

「ナノエレクトロニクス半導体新材料・新構造
ナノ電子デバイス技術開発」
(中間評価)第1回分科会
資料5-1

「ナノエレクトロニクス半導体新材料・新構造 ナノ電子デバイス技術開発」

事業原簿

【公開版】

担当部	独立行政法人 新エネルギー・産業技術総合開発機構 電子・情報技術開発部
-----	--

概要

プロジェクト用語集

I. 事業の位置付け・必要性について

1. NEDOの関与の必要性・制度への適合性	I -1
1.1 NEDOが関与することの意義	I -1
1.2 実施の効果(費用対効果)	I -2
2. 事業の背景・目的・位置づけ	I -3
2.1 事業の背景	I -3
2.2 事業の目的	I -3
2.3 事業の位置付け	I -3

II. 研究開発マネジメントについて

1. 事業の目標	II -1
2. 事業の計画内容	II -14
2.1 研究開発の内容	II -14
2.2 研究開発の実施体制	II -18
2.3 研究開発の運営管理	II -18
3. 情勢変化への対応	II -18
4. 中間評価結果への対応	II -19
5. 評価に関する事項	II -19

III. 研究開発成果について

1. 事業全体の成果		
1.1 事業全体の成果の概要	III-1-1.2-①-(1)-1
1.2 研究開発項目毎の成果の概要		
1.2-①シリコンナノワイヤ技術		
1.2-①-(1)「シリコンナノワイヤトランジスタの知識統合研究開発」	III-1-1.2-①-(1)-1
1.2-①-(2)「ナノワイヤFETの研究開発」	III-1-1.2-①-(2)-1
1.2-①-(3)「シリコンナノワイヤトランジスタの物性探究と集積化の研究開発」	III-1-1.2-①-(3)-1
1.2-②次世代メモリ技術		
1.2-②-(1)「新構造 FinFET による SRAM 技術の研究開発」	III-1-1.2-②-(1)-1

- 1. 2-②-(2)「次世代相変化メモリ技術の研究開発」
 III-1-1.2-②-(2)-1
- 1. 2-②-(3)「ナノギャップ不揮発性メモリ技術の研究開発」
 III-1-1.2-②-(3)-1
- 1. 2-③新材料技術
 - 1. 2-③-(1)「カーボンナノチューブトランジスタ技術の研究開発」
 III-1-1.2-③-(1)-1
 - 1. 2-③-(2)「シリコンプラットフォーム上III-V族半導体チャネルトランジスタ技術
 の研究開発」 III-1-1.2-③-(2)-1
 - 1. 2-③-(3)「シリコンウェハ中の原子空孔濃度定量評価技術の研究開発」
 III-1-1.2-③-(3)-1

IV. 実用化の見通しについて

1. 実用化の見通し

- ①シリコンナノワイヤ技術
 - ①-(1)「シリコンナノワイヤトランジスタの知識統合研究開発」
 IV-1-①-(1)-1
 - ①-(2)「ナノワイヤFETの研究開発」
 IV-1-①-(2)-1
 - ①-(3)「シリコンナノワイヤトランジスタの物性探究と集積化の研究開発」
 IV-1-①-(3)-1
- ②次世代メモリ技術
 - ②-(1)「新構造 FinFET による SRAM 技術の研究開発」
 IV-1-②-(1)-1
 - ②-(2)「次世代相変化メモリ技術の研究開発」
 IV-1-②-(2)-1
 - ②-(3)「ナノギャップ不揮発性メモリ技術の研究開発」
 IV-1-②-(3)-1
- ③新材料技術
 - ③-(1)「カーボンナノチューブトランジスタ技術の研究開発」
 IV-1-③-(1)-1
 - ③-(2)「シリコンプラットフォーム上III-V族半導体チャネルトランジスタ技術の研究
 開発」 IV-1-③-(2)-1
 - ③-(3)「シリコンウェハ中の原子空孔濃度定量評価技術の研究開発」
 IV-1-③-(3)-1

(添付資料)

- 特許論文リスト
- プログラム基本計画
- プロジェクト基本計画
- 事前評価関連資料

概要

		作成日	平成21年8月25日				
プログラム名	IT イノベーションプログラム、ナノテク・部材イノベーションプログラム						
プロジェクト名	ナノエレクトロニクス半導体新材料・新構造ナノ電子デバイス技術開発	プロジェクト番号	P09002				
担当推進部/担当者	電子・情報技術開発部/ 河本滋						
0. 事業の概要	半導体集積回路(LSI)の更なる高機能化・低消費電力化に向けて、電子デバイス性能の技術的な飽和を突破するための”新材料”、”新プロセス”、”新構造”を実現する半導体技術を、ナノテクノロジーを最大限に活用することによって創生し、将来の産業応用への芽を見出すことを目的として、シリコンナノワイヤ技術、次世代メモリ技術、新材料技術の開発を行う。						
I. 事業の位置付け・必要性について	IT 社会を根底から支える半導体LSIには一層の高機能化、低消費電力化が求められている。従来、半導体LSIは微細化技術の向上により機能、消費電力、集積度、コストにおける急速な進歩を達成してきた。一方、LSIの更なる性能向上には、単なる微細化のみならず、新材料、新プロセス、新構造など革新的技術の導入が不可欠であり、その必要性は微細化の進展とともにますます大きくなっている。このため、シリコンで培った微細化技術やデバイス原理をこれまで同様に活用しながら、シリコンという材料の物理的限界を突破するための”新材料”、”新プロセス”、”新構造”を実現する半導体技術を、ナノテクノロジーを最大限に活用することによって創生し、将来の産業応用への芽を見出すことを目的とした技術開発を行う。						
II. 研究開発マネジメントについて							
事業の目標	平成 23 年度までに、産業界が10年後を見据えた将来の集積回路システムとして展開できる電子デバイスを開発する際に産業技術として活用できるかどうかの実現可能性を見極めることができる技術シーズを確立する。						
事業の計画内容	主な実施項目	H19fy	H20fy	H21fy	H22fy	H23fy	
	①-(1)シリコンナノワイヤトランジスタの知識統合研究開発	→					
	①-(2)ナノワイヤ FETの研究開発	→					
	①-(3)シリコンナノワイヤトランジスタの物性探究と集積化の研究開発	→					
	②-(1)新構造 FinFETによるSRAM技術の研究開発	→					
	②-(2)次世代相変化メモリ技術の研究開発	→					
	②-(3)ナノギャップ不揮発性メモリ技術の研究開発	→					
	③-(1)カーボンナノチューブトランジスタ技術の研究開発	→					
	③-(2)シリコンプラットフォーム上 III-V 族半導体チャネルトランジスタ技術の研究開発	→					
	③-(3)シリコンウェハ中の原子空孔濃度定量評価技術の研究開発	→					

開発予算(百万円)	会計・勘定	H19fy	H20fy	H21fy	H22fy	H23fy	総計
	一般会計(経産省)	493	599	—	—	—	1092
	一般会計(NEDO)	—	—	564			564
	総予算額	493	599	564			1656
開発体制	経済産業省原課	商務情報政策局 情報通信機器課					
	プロジェクトリーダー	設置していない					
	委託先	独立行政法人産業技術総合研究所 株式会社東芝 国立大学法人東京工業大学 国立大学法人東京大学 国立大学法人京都大学 株式会社船井電機新応用技術研究所 国立大学法人名古屋大学 独立行政法人物質・材料研究機構 国立大学法人新潟大学					
情勢変化への対応	本研究開発は、経済産業省により、公募によって研究開発実施者が選定され、平成19年度より委託により実施している。平成21年度より、NEDO技術開発機構が本研究開発を運営・管理するに当たっては、平成20年度までの進捗状況を踏まえた研究開発内容・計画及び実施体制の妥当性について、外部有識者による審議を含めた評価を行った上で最適な研究開発体制を構築し、委託して実施する。						
Ⅲ. 研究開発成果について	<p>①シリコンナノワイヤ技術</p> <p>①-(1)シリコンナノワイヤトランジスタの知識統合研究開発 構造の整ったSiナノワイヤトランジスタを作製するために、Si表面を原子レベル平坦加工する技術を開発し、断面寸法 4x9 nm のナノワイヤの作製に成功した。ナノワイヤの三次元形状を高精度測定するために、傾斜の探針および三次元走査が可能な原子間力顕微鏡を開発した。偏光方向依存性を利用して、単一のSiナノワイヤのラマン信号の測定に成功した。Siナノワイヤに対して、原子スケールの構造安定性、不純物分布、電気特性を予測・解析できる要素シミュレーション技術を開発した。ナノワイヤトランジスタの電流輸送特性評価のために、高キャリア濃度領域でのクーロン相互作用を導入したモンテカルロシミュレータを開発した。</p> <p>①-(2)ナノワイヤFETの研究開発 今後の電子デバイスで最も有望なSiナノワイヤFET開発のための技術ロードマップ作成を最終目標としている。理論解析ではワイヤ径に関し量子チャネル数とバンド間電子散乱による伝導のトレードオフの関係を示し、最大性能を示す径が存在することを明らかにした。また弾道伝導が実現出来た場合のワイヤFETの電圧電流特性を解析式と簡単な数値計算を組合せて求める手法を確立した。実験では現状生産設備で容易に作成可能な工程を考案し、径25nmのFETでオンオフ比8桁で40 μA/ワイヤを超えるオン電流を実証した。単位ゲート幅当たりの性能予測を行ったところプレーナFETに対する圧倒的な優位性を確認した。</p> <p>①-(3)シリコンナノワイヤトランジスタの物性探究と集積化の研究開発 シリコンナノワイヤの移動度を正確に測定する手法を確立し、試作したナノワイヤトランジスタアレーにおいて移動度を評価した。nFETでは主に側壁の効果によりワイヤ幅が狭くなると移動度が低下するが、pFETでは側壁の効果を受けず特に高電界において高い移動度が維持されることを初めて明らかにした。また、ゲート長約50nm、チャネル径約25nmのナノワイヤトランジスタ作製の基盤技術を開発した。加えてナノワイヤトランジスタ高性能化に向けて、歪み印加装置を用いて立体構造トランジスタの最適応力印加指針を開発し、インパースモデリングによる飽和速度の抽出法を開発してSi(110)面の微細CMOSの優位性を明確化した。</p> <p>②次世代メモリ技術</p> <p>②-(1)新構造FinFETによるSRAM技術の研究開発 FinFET作製基盤技術として、微細FinFET作製技術および金属ゲートCMOSプロセス技術を構築した。更に、FinFET特性ばらつき要因を包括的に調査し、金属ゲートの仕事関数ばらつきが最大の問題となることを世界に先駆け提唱した。</p>						

また、新提案の Pass-Gate に 4 端子 FinFET を用いた Flex-Pass-Gate-SRAM の試作に成功し、本回路構成により、読み出し余裕が電源電圧に依らず通常 FinFET-SRAM よりも 2 倍以上向上することを実証した。さらに、独自に開発したコンパクトモデルを用いてアレイレベルでの動作速度予測も検討し、その優位性を確認した。

②-(2)次世代相変化メモリ技術の研究開発

ゲルマニウム-アンチモン-テルル三元相変化合金の新たな相変化スイッチモデルを量子力学に基づいて計算した。相変化膜内では 4 配位と 6 配位の Ge 原子状態がエネルギー的に双安定であり、僅かなエネルギーによって相転移が可能なことを確かめた。また、類似スイッチの可能性がある新規材料について、中間目標に掲げた 2 例以上の新規超格子材料を発見した。実験においては、 $[\text{GeTe}/\text{Sb}_2\text{Te}_3]$ の繰り返しから構成される超格子構造膜を実際にヘリコンスパッタリング法によって作製し、目的とする構造が形成できることを確認した。この構造をデバイス上で動作させ、中間目標値を上回るエネルギー低減を達成できる見通しを得た。

②-(3)ナノギャップ不揮発性メモリ技術の研究開発

ナノギャップスイッチ(NGS)動作機構解明のため、高分解能 AFM によるギャップ構造観察を可能とする、間隙 10nm 以下の単接合型 NGS 素子を開発し、初期動作時の構造変化を捉えることに成功した。一方、不揮発性メモリとしての NGS 基本性能確認のため、保持時間、NGS 発現場所などのデータを取得し、他方式メモリに対する優位性を明らかにした。また、電極幅微細化により動作電流低減可能なことを見いだした。さらに、NGS メモリ実用化に向けて縦型素子の開発に着手し、90nm 径、0.1 μm 深さの Viahole での NGS 動作に成功した。現在、アレイ構成での動作実証に向けて、平面型 NGS アレイの特性評価を進めている。

③新材料技術

③-(1)カーボンナノチューブトランジスタ技術の研究開発

半導体的振る舞いを示すナノチューブの優先成長に関して、その原因が成長中に導入された欠陥に起因することを明らかにした。一方、超高真空圧型の熱 CVD 装置での CNT 成長の実現、微量ガス成分の影響確認、および 1 本ごとの CNT の分光評価実現により、成長機構解明および、直径・カイラリティ制御のための基礎技術をほぼ確立した。高電流密度化に向けた高密度水平配向成長では、サファイアや石英基板上での成長検討により 5 本/ μm と将来目標実現につながる結果を得た。シリコン基板上においてもトレンチ構造に沿った水平配向成長を実証し、将来の Si プラットフォーム技術活用の可能性を示した。デバイス表面保護膜形成技術としては、原子層成膜技術が低損傷で有望であることを示した。素子ばらつき評価に関しては、磁気力顕微鏡を利用した電流誘起磁場計測手法により、単一 CNT-FET 中の異なる CNT チャネル間でのゲート閾値電圧および相互コンダクタンスの差違などの観測に成功した。

③-(2)シリコンプラットフォーム上 III-V 族半導体チャネルトランジスタ技術の研究開発

Si 基板上の InGaAs 選択エピタキシャル成長及び InGaAs/InP 基板と Si 基板の貼り合わせにより、III-V-OI チャネルを形成する基本技術を開発した。In を含む III-V 基板上への Al_2O_3 成長及び表面硫黄処理や窒化・酸化条件の最適化により、良好な MIS 界面特性を実証した。カチオン種が MIS 界面に及ぼす効果を明確化すると共に、電気特性の温度依存性から界面欠陥を評価する手法を確立した。貼り合わせ法による極薄ボディ InGaAs チャネルを用いたメタルソースドレイン MISFET、及び $\text{Al}_2\text{O}_3/\text{InGaAs}$ 構造の MISFET を世界で初めて作製し、Si を凌ぐ高移動度特性を達成した。

③-(3)シリコンウェハ中の原子空孔濃度定量評価技術の研究開発

これまで、ZnO 圧電素子を用いた高周波超音波計測により高分解能を達成し、ボロン添加 CZ および FZ シリコンの弾性定数が低温でソフト化を示し、磁場を加えると消失することを観測した。これにより、原子空孔軌道の量子状態の実験的解明が進展し、広がった軌道の大規模シミュレーションも進んでいる。現在、ボロン添加 CZ 結晶中の原子空孔濃度分布の評価が進んでおり、プロジェクト終了後の原子空孔濃度評価ウェーハの製造技術と、それを用いた半導体デバイス製造への進展が期待される。

投稿論文

99 件

	学会発表・講演	413 件
	特許	42 件
IV. 実用化の見通しについて	全ての研究開発項目について中間目標は達成済みまたは達成見込みであり、最終目標も達成見通しであり、事業の目標である技術シーズの確立の見通しは立っている。	
V. 評価に関する事項	事前評価	平成 20 年度実施（担当部：電子・情報技術開発部）
	中間評価以降	平成 24 年度 事後評価実施予定
VI. 基本計画に関する事項	作成時期	平成 21 年 3 月
	変更履歴	なし

プロジェクト用語集

研究開発項目①－(1)：シリコンナノワイヤトランジスタの知識統合研究開発

用語	説明
CMOS	Complementary (相補型)MOS の略号。N チャネル MOSFET と p チャネル MOSFET という、オンオフ動作が相互に逆転するタイプのトランジスタを直列につないだ素子。LSI 中での信号処理を行う上での最も基本的な回路である。
SOI (Si on insulator)	薄い単結晶 Si 層を絶縁層上に形成した基板のこと。
金属シリサイド	金属と Si の化合物。LSI でゲート電極やコンタクト電極として広く用いられている。ニッケルシリサイド (NiSi _x) はその代表例。
共焦点顕微ラマン分光システム	対物レンズにより試料上に絞り込まれたレーザー光が励起したラマン信号を、対物レンズで集光して検出するシステム。試料面における焦点は結像面においても焦点となり、焦点部分だけを選択的に検出でき、高い空間分解能が実現できる。
原子層堆積法 ALD (atomic layer deposition)	化合物 AB の薄膜を堆積する際に、A の原料ガスと B の原料ガスを交互に供給し、それぞれの飽和吸着を利用して原子層ごとに薄膜を堆積する方法。極薄膜を均一に堆積できることが特長。
原子間力顕微鏡(AFM)	先端の尖った針(探針)を試料表面上で走査し、針先端と試料の間に働く原子間力を検出することにより試料表面の形状を観察する顕微鏡。通常、表面平行方向の空間分解能は数 nm～数十 nm 程度。
高誘電率(high-k)ゲート絶縁膜	トランジスタのゲート絶縁膜の電気的な膜厚を低減するために、これまで用いられてきた SiO ₂ (誘電率は4)よりも誘電率の大きな絶縁膜、即ち高誘電率ゲート絶縁膜の採用が進められている。ハフニウム(Hf)の酸化物をベースとする化合物が最有力候補。
走査トンネル顕微鏡(STM)	バイアス電圧を印加した先端の尖った金属針(探針)を試料表面上で走査し、針先端と試料の間に流れるトンネル電流を検出することで試料表面の電子状態を観察する顕微鏡。試料は導電体に限るが、表面平行方向の空間分解能は 0.2nm 程度。
第一原理計算	量子力学の方程式を直接、数値解法して、電子状態、バンド構造などを計算する方法。
非平衡グリーン関数法	量子力学に基づいた電子輸送シミュレーションの手法。相互作用を自己エネルギーによる摂動として導入することで、量子干渉の影響を考慮した輸送特性評価が可能になる。
分子動力学法	統計力学の数値計算法であり、大規模な系の安定構造を予測できる。また、力学物性、熱力学的性質、輸送係数などを計算できる。
モンテカルロ法	半古典的なボルツマン輸送方程式に基づいたシミュレーション手法。乱数を用いて、擬似的に粒子の運動を位相空間でシミュレートすることで、粒子の分布関数を統計的に求める。
ラマン散乱	物質に光が入射したとき、光と格子振動が相互作用して、入射光と異なる振動数の光に散乱される現象。入射光と散乱光の

	振動数の差から、格子振動の振動数等の情報を得ることができる。
--	--------------------------------

研究開発項目①－(2)： ナノワイヤFETの研究開発

用語	説明
Niシリサイド技術	NiとSiが反応してできる化合物。ソース・ドレインの部分をNiシリサイドとすることで、トランジスタの直列抵抗を低減する技術。
SOI	シリコンオンインシュレータ基板。単結晶の薄膜Si層が絶縁膜の上に形成されている基板。
オン電流・オフ電流	トランジスタのドレイン、ゲート電極に電圧を印加し、オン状態とした際のドレイン電流。またオフ状態とした場合のドレイン電流をオフ電流という。
キャリア散乱	キャリアがチャネル内に導入されドレインに向かう途中に受ける散乱。
コンパクトモデル	トランジスタの電気特性を定性式で表現した簡易モデル。
第一原理計算	実験や測定値を使わずに材料の特性を計算する手法。
電子構造	材料中ではキャリアの運動量とエネルギーがとれる値が制限されるためその状態を表現したもの。
トンネル効果	絶縁体中をエネルギーの散乱無しにキャリアが通過する現象。
ハーフピッチ	リスグラフィーで実現できる線幅の間隔の半分。
バリスティック伝導	キャリアが散乱を受けずに伝導する弾道伝導。
歪み	機械的な応力により原子間の間隔が変化すること。

研究開発項目①－(3)： シリコンナノワイヤトランジスタの物性探究と集積化の研究開発

用語	説明
EMA	Effective Mass Approximation。有効質量近似
FinFET	Fin(ひれ)のようなチャネルを有して Fin の側面で MOS 構造となったダブルゲート構造のトランジスタ
KP 法	k-p 摂動法 (ボルツマンゾーンにある k 点近傍の点 p におけるバンドの様子を $ k - p $ の摂動展開で求める方法)
UTB MOSFET	極薄膜 (Ultra-thin-body) SOI MOSFET
TEM	透過型電子顕微鏡
移動度	低電界移動度。MOSFET における反転層のキャリアの移動のしやすさ。
ゲート・オール・アラウンド	ナノワイヤトランジスタのような立体構造トランジスタにおいて、ゲートがチャネルを囲うような構造
サブシュレッシュヨルド係数	ゲート電圧によってドレイン電流が log スケールで立ち上がる時の傾き
短チャネル効果	ゲート長が短くなりドレインの効果がソースにまで及ぶことに起因して、しきい値電圧の低下や待機時の漏れ電流が増加する現象
トランジスタアレー	複数個のトランジスタが整列 (アレー・アレイ) している構造

ナノワイヤトランジスタ	ナノスケールのワイヤ構造のチャネルを有するトランジスタ
速度飽和	電界を増やすとキャリアの速度は大きくなる(増加の傾きは移動度に相当)が、電界が大きくなると頭打ちする(飽和)現象。
歪み印加装置	基板曲げ装置。2点で支え、反対側の間隔を変えた2点から加圧することで試料表面に圧縮歪みや伸張歪みを印加する装置。
歪みシリコン	シリコン結晶に歪みを印加することで MOSFET の性能を向上する技術

研究開発項目②- (1): 新構造 FinFET による SRAM 技術の研究開発

用語	説明
ALD	Atomic Layer Deposition:原子層堆積法
CMOS	Complementary Metal Oxide Semiconductor:p 型半導体チャネルと n 型半導体チャネルの MOSFET を、相補的に接続した集積回路
FinFET	平面型の 2 重ゲート電界効果トランジスタでの作製における、2 つのゲートの位置合わせの難しさを解消した、起立型の MOS 構造を有する 2 重ゲート電界効果トランジスタ。起立した半導体構造が魚などのひれに似ていることからフィン型と呼ばれる。
Pass-Gate (パスゲート)	SRAM セル中で、書き込み・読み出し回路部とセルをつなぐビット線とフリップフロップ回路を接続し、ビット線への接続をオン・オフするトランジスタ。装置全体から書き込み・読み出しを行うセルを選び出すときに使用される。
RTA	Rapid Thermal Annealing:高速熱処理プロセス
SNM	Static Noise Margin:ここでは、SRAM セルにおける、外乱に対する動作安定性の余裕度を表す指標。装置の動作に対して許容される、雑音振幅の最大値によって定義され、値が大きいほど安定性が高いことを示す。
SPICE	Simulation Program with Integrated Circuit Emphasis: 電子回路のアナログ動作をシミュレーションするソフトウェアである。
SRAM	Static Random Access Memory:フリップフロップ等の順序回路を用いてデータを記憶する RAM。DRAM のようなリフレッシュ動作は必要ない。
Subthreshold Factor (S 係数)	Subthreshold 係数:しきい値電圧以下のゲート電圧時に、電流を一桁増加させるのに必要なゲート電圧。単位は、mV/桁。S 係数が小さければ小さいほど、低消費電力である。
TDMAT	tetrakis dimethylamino titanium:TiN 金属ゲートを原子層堆積する際の原料。
TEMAH	Tetraethylmethylamino Hafnium:原子層堆積法により高誘電率絶縁膜 HfO ₂ を堆積する際の原料。
TMAH	Tetramethylammonium Hydroxide:Si を異方的にエッチングするアルカリ溶液の一種。主にレジスト現像液に使用されており、CMOS プロセスとの整合が良い。

Undoped Channel FET	チャンネル中に不純物が全く添加されていないトランジスタ。
3 端子 FinFET	Fin チャンネルの両側壁に形成されているゲートが、左右共通の FinFET を指す。
4 端子 FinFET	Fin チャンネルの両側壁に形成されているゲートが、左右でそれぞれ独立している FinFET を指す。片側のゲートを駆動用に、他方をしきい値電圧制御に使用することで、素子(回路)製造後に自在にしきい値電圧を制御可能という優れた特徴を有す。
エクステンション	ゲートに近接しているソース・ドレイン領域。通常のソース・ドレイン領域よりも浅い不純物分布を有する。
寄生抵抗	チャンネル抵抗以外に、トランジスタ構造上寄生する抵抗。具体的には、ソース・ドレイン抵抗や、コンタクト抵抗など。
高誘電率ゲート絶縁膜	通常のゲート酸化膜 SiO ₂ に比べて誘電率が高く、ゲート絶縁膜の薄膜化と低漏れ電流化を可能とする材料。すなわち、高誘電率ゲート絶縁膜導入により、高性能化と低消費電力化が可能となる。代表的なものに HfO ₂ がある。
コンパクトモデル	トランジスタの電気特性を近似式(数式)で記述したもの。大規模回路の性能を短時間かつ高精度に予測するために必須のモデル。回路シミュレーションにおいては、膨大な数のトランジスタを扱う必要があるため、トランジスタモデルには、2つの相反する要求:高精度かつ短い計算時間が課せられている。産総研では、世界に先駆け次世代フィン FET 用のデバイスモデル開発に成功している。
しきい値電圧	トランジスタの性能を決めるパラメータの 1 つで、2 つの電極間(ソースドレイン)を電流が流れ始める最小のゲート電圧。
仕事関数	物質表面において、表面から 1 個の電子を無限遠まで取り出すのに必要な最小エネルギーのこと。トランジスタにおいては、ゲート材料の仕事関数が、しきい値電圧を決めるパラメータの 1 つとなる。
特性ばらつき	集積回路生産現場において、素子個々の特性(例えばしきい値電圧)が目標値からランダムに外れる現象を指す。トランジスタの寸法公差や不純物原子数に依存性が高く、素子寸法の縮小に伴い増大する傾向を持つ。したがって、トランジスタ技術世代の進行に伴って、問題は大きくなる
バルク CMOS	基板が Si のみで構成されている CMOS。
フリップフロップ回路	SRAM セル中で、(0,1)の情報を保持する回路要素で、インバータ(論理信号を反転する回路)2 つを環状に接続した構造を持つ。CMOS 式の場合、合計 4 つのトランジスタで構成される。
ミッドギャップ仕事関数	シリコンの価電子帯と伝導帯のちょうど中間に仕事関数が存在すること。

研究開発項目②-(2)：次世代相変化メモリ技術の研究開発

用語	説明
GST	ゲルマニウム-アンチモン-テルル三元合金の略称
超格子	人工的に意図する構造をもった結晶格子

密度汎関数法	量子力学の原理の基づいて電子密度を計算し、分子や結晶構造のエネルギー計算等を行う解析法
GST225	Ge ₂ Sb ₂ Te ₅ を組成とする相変化記録材料

研究開発項目②- (3): ナノギャップ不揮発性メモリ技術の研究開発

用語	説明
AFM	原子間力顕微鏡 (Atomic Force Microscopy) の略称。 走査型プローブ顕微鏡 (SPM: Scanning Probe Microscopy) の一種で、ナノメートルレベルで尖った針 (探針) で試料表面を走査することにより、試料表面の微細な凹凸情報 (形状) を取得し、表面形状を可視化する。さらに、試料表面に局在する物理量を選択的に検出することにより、表面形状だけでなく粘弾性分布や表面電位分布等も可視化することが可能となる (→KFM)。
FM-AFM	周波数変調 (Frequency modulation) 検出方式の AFM の略称。 AFM カンチレバーが共振周波数で振動している状態で、探針に相互作用力がはたらくとその振動状態は変化し、共振周波数は敏感に変化するため、この共振周波数の変化を検出することで高感度の相互作用検出が可能となる。非破壊原子分解能イメージング法として表面科学分野では広く用いられている。
FPGA	Field Programmable Gate Array の略称。 大規模 PLD (programmable logic device) の一種。ユーザが手元でプログラム可能なセミカスタム IC。開発期間が短くできるので、試作品ばかりでなく、最終製品にも利用されている。数千ゲートから数十万ゲート (システムゲート) の FPGA 製品が市販されている。 基本的な構造は、プログラム可能な論理モジュールを規則的に並べ、その間に配線領域を用意し、各論理モジュールと配線領域をプログラムすることで、論理回路を実現する。 プログラムの方法は、SRAM セル方式、EPROM 方式、アンチフューズ (プログラムすることで導通する) 方式、EEPROM を内蔵した方式がある。
KFM	ケルビンプローブ原子間力顕微鏡 (Kelvin probe Force Microscopy) の略称。 探針-試料間にはたらく静電気力を検出することで、試料の表面電位の2次元分布をナノメートルスケールで測定する顕微鏡 (表面電位可視化法)。
NDR	負性微分抵抗 (Negative Differential Resistance)。 金属などの電気良導体に電圧を印加すると、それに伴い電流値が増加する、その際は、微分抵抗 ($\Delta V / \Delta I$) が正である。それが負になること。ナノギャップメモリでは、NDRを利用して不揮発性メモリ動作を行っている。
NGS	ナノギャップスイッチ (NGS)。ナノメートルの間隙を持つ電極に電圧を印加すると抵抗値の異なるスイッチ素子動作が可能になること。
SMA (コネクタ)	Sub Miniature Type A の略称。 主にマイクロ波の無線通信機器に古くから使われているコネク

	タ。適用周波数上限は製品により異なるが、～18GHz までを想定している。特性インピーダンスは 50Ω である。締結には専用のトルクレンチが用いられる。
TEG (テグ)	Test Element Group の略称。 プロセスのチェックやデバイスの基本特性の評価用素子。ウェハ上にチップと同時に作ることが多い。
Via-hole (ビアホール)	半導体デバイスの多層メタル配線の層間を結ぶ配線、及びそのための貫通孔。多層プリント配線基盤の場合は、貫通孔内側が導体で覆われて層の間に導通を与えるものをいう。
エンベデッドマイコン	インストラクションコードやコントロールソフト、必要なデータなどを、複数回書き換え可能なマクロコントローラ。書き換え可能とするため、EEPROM、EPROM、NOR フラッシュ、FeRAM、などのランダムアクセス可能な不揮発性 ROM が用いられる。
超稠密 (ちゅうみつ) 不揮発性メモリ	不揮発性メモリとは、電源を切っても記録情報が失われない (不揮発性) メモリの総称で、現在広く普及しているフラッシュメモリは不揮発性メモリの一種である。超稠密不揮発性メモリとは、これまでの不揮発性メモリに比べて、はるかに高密度 (超稠密) に集積化可能なメモリを指す。
不純物揺らぎ	半導体は、極めて低濃度の不純物 (ドーパント) 添加により、そのフェルミレベル制御が可能なことから、現在これを利用して所望の特性をもつ半導体素子进行設計している。しかしながら、素子の微細化に伴い、チャンネル領域に存在する不純物の絶対量は著しく少なくなり、その統計的揺らぎが素子特性のばらつきに影響することが懸念されている。これを不純物揺らぎの問題という。

研究開発項目③- (1): カーボンナノチューブトランジスタ技術の研究開発

用語	説明
FIB	収束イオンビームのこと。Ga イオンでできたビームを収束させ、この収束イオンビームを対象材料に照射することにより、μm~数 10nm の加工が可能である。
カイラリティ	カーボンナノチューブのらせん度を表す指数。ナノチューブ円筒面の展開図を考えた時、ナノチューブの赤道に相当するベクトルの向きを表す指数。カイラリティが異なるとナノチューブは異なった性質を持つ。
ケルビンプローブフォース顕微鏡 (KFM)	デバイス上を探針を走査するとき、探針とデバイスとの間に電位差があると静電気力が働く。この静電気力を検出し、この静電気力がゼロになるようにフィードバック制御することにより、デバイスの電位分布を測定する顕微鏡。
原子層堆積 (ALD)	2元素からなる膜を形成する方法。構成元素を含む原料ガス2種類を交互に供給し、基板上でガスを分解することにより元素を1原子層ずつ供給して成膜することから、物理的なエネルギーが成膜に関与しないため、低損傷である。
高周波散乱パラメータ測定	デバイスに高周波を入力し、得られた反射波の振幅と位相からデバイスの入出力インピーダンス行列を計算し、このインピーダンスの周波数特性から、電流利得や電力利得の周波数特性を求める方法。

磁気力顕微鏡(MFM)	磁化させた探針を走査することにより、磁気力の分布を測定する顕微鏡。チャンネルに電流が流れると電流に比例する磁場が発生するので、この磁場を測定すれば、チャンネルを流れる電流を測定することができる。
準ダーク励起子	理論的に光吸収の選択則を満たさず、吸収スペクトルでは観察されない励起子(ダーク励起子)が存在する。一方、ナノチューブの軸方向に垂直な偏光面の光励起の場合には、この励起子も弱い光吸収を示すことが分かり、準ダーク励起子とよぶ。
走査型局所ゲート顕微鏡	ナノメートルレベルの細い先端を有する探針を局所ゲートとしてナノデバイス上を走査し、局所ゲートにより変調されるチャンネル電流を可視化する顕微鏡。チャンネルの電子状態や電気特性が評価できる。
フォノンサイドバンド	励起子とフォノンとのカップリングによって、励起子のエネルギー準位よりもフォノン分だけ高いエネルギーの光の吸収が観察され、これをフォノンサイドバンドと呼ぶ。
フーリエ変換型赤外分光(FT-IR)	測定サンプルに赤外光を照射し、透過光のスペクトルからサンプルの特性を得る計測手法を赤外分光と呼ぶ。この際、スペクトル測定に回折格子を用いず、固定鏡からの反射光と移動鏡からの反射光の干渉信号をフーリエ変換するものをフーリエ変換型赤外分光と呼ぶ。
ラマン散乱	物質に光を照射したとき、入射光と異なる波長を持った光が散乱される現象。物質を構成する原子の振動に関する情報が得られることから、ナノチューブの半導体/金属の判定や欠陥評価に用いられる。
エキシトン(励起子)	励起状態にある物質中の電子と正孔の間にはクーロン相互作用が生じる。クーロン相互作用により強い結合が生じ束縛状態になったものをエキシトン(励起子)と呼ぶ。

研究開発項目③-(2)：シリコンプラットフォーム上Ⅲ-V族半導体チャンネルトランジスタ技術の研究開発

用語	説明
CMOS	Complementary Metal Oxide Semiconductor: p型半導体チャンネルとn型半導体チャンネルのMOSFETを、相補的に接続した集積回路
ECR スパッタ	Electron Cyclotron Resonance スパッタ: 磁界により高密度のプラズマを閉じ込め、基板方向に並行電極版を配置して発生させたECRプラズマを、電位を与えることによって固体ソースに加速衝突させて、固体ソースをスパッタリングし、基板上に成膜する方法。
ECR プラズマ	プラズマを発生させる共振器にマイクロ波(通常2.45GHz)を送り込むとともに、共振器の軸方向に、磁場を印加することで、磁力線の軸の周りを回転する電界により、電子を回転させながら加速させて、マイクロ波のエネルギーを効率よく吸収させて放電を起こすことにより発生させたプラズマ。
high-k 絶縁膜	金属酸化膜など、SiO ₂ より高い誘電率(k)をもつ絶縁膜。

	CMOS のゲート絶縁膜や DRAM のキャパシタに用いられる。
MBE	超高真空において原料を加熱蒸発させて分子ビームを発生させ、基板に照射して結晶のエピタキシャル成長を行う手法。
MISFET	Metal-Insulator-Semiconductor Field Effect Transistor: MOSFET とほぼ同意だが、窒化膜などゲート絶縁膜が酸化膜でない構造も含む。
MIS 界面	Metal-Insulator-Semiconductor 界面: 金属-絶縁膜-半導体の積層構造における絶縁体と半導体の界面。
XPS	X-ray Photoelectron Spectroscopy: X 線を試料に照射したときに発生する光電子のエネルギーを分光することにより、試料の化学組成や結合状態を評価する分析手法。
アニール	材料やデバイスを熱処理すること。
イオン注入	高エネルギーに加速したイオンを固体材料に打ち込んで電気特性を制御する手法。
移動度	電界の下での電子や正孔の動きやすさを示す物理量であり、電子や正孔の速度を電界で割った値で定義される。
回転双晶	二つの同種結晶が一つの直線を 2 回対称軸(双晶軸)のみを持ち結合していること。
界面準位	絶縁体/半導体などの界面に発生する電子状態で、多くの場合、比較的応答速度の速いトラップとなるもの。
活性化アニール	材料の結晶性を高め不純物がドナーやアクセプタとして振舞うようにするための、イオン注入の後に熱処理。
貫通転位	すべり面が明瞭に観察できるほどに、薄膜全体を貫くように発生した転位。
原子層堆積法	固体の薄膜を形成するために、原料の飽和吸着と分解反応を繰り返して原子層を積み重ねていく手法。膜厚の均一性と制御性が高いのが特徴。
格子不整合	基板と成長層の格子定数が一致しないこと。
ゲートスタック	MOSFET 構造における、チャネル/ゲート絶縁膜/ゲート電極の積層構造。
極薄ボディ	Channel-on-insulator 構造における、Channel 層の膜厚を 100 nm 以下に極めて薄くしたもの。
III-V-OI チャネル(基板)	III-V-On-Insulator チャネル(基板): Channel-on-insulator 構造における、Channel 層に高電子移動度材料である III-V 族化合物半導体を採用したもの。
III-V 族半導体	III 族原子と V 族原子から構成される半導体。代表的なものとして、GaAs、InAs、InP、および、これらの合金があり、高い電子移動度を持つことを特徴とする。
酸化窒化	酸化と窒化の両方を施すこと。
シリコンプラットフォーム	現在のシリコン MOSFET を中心とした集積回路を実現する上でのインフラストラクチャーの総称であり、最先端の大面積シリコン基板上へ、種々のデバイスを集積化して大規模回路を実現することを特徴とする。

シリコンユニバーサル移動度	SiO ₂ をゲート絶縁膜とするシリコン MOSFET の実効表面電界に対するチャネル移動度のことであり、同じ実効電界のもとでは、基板濃度や酸化膜厚に依存せず、一定の値をとることが知られている。
スロートラップ	MOS 界面近傍に発生する応答の遅いキャリア捕獲中心。
低温コンダクタンス法	MOS キャパシタのコンダクタンスを測定することにより界面準位を測定する方法であり、特に、測定温度を変えかつ低温にすることにより、広いエネルギー範囲の界面準位を評価することが可能になる。
電荷中性点	半導体において価電子帯の電子状態の影響と、伝導帯の電子状態の影響が、ちょうどバランスするエネルギー位置。電荷中性点より上にある界面準位は電子を受容するアクセプタ的に振る舞い、電荷中性点より下にある界面準位は電子を放出するドナー的に振る舞う。
伝導帯	半導体の電子状態において、電子が伝導に寄与できる状態の集まり。価電子帯と伝導帯とはバンドギャップによって隔てられている。
バンドギャップ	半導体において電子が存在できないエネルギー領域。半導体の電氣的・光学的な特性を決める基本的な物性の一つ。
表面パッシベーション	固体の表面の欠陥や活性点を不活性化処理すること。
表面反転	半導体の表面において、バルクにおける電気伝導を担う多数キャリア (n 型であれば電子、p 型であれば正孔) と反対の極性のキャリア (n 型であれば正孔、p 型であれば電子) が、バルク多数キャリアよりも高い濃度で発生した状態。CMOS を動作させるためには、外部電界 (ゲート電圧の印加) により、この状態を p 型と n 型の両方において実現できることが必要。
ヒステリシス	電荷応答に履歴をもつこと。
フォーミングガス	水素と窒素の混合ガスのこと。
プラズマ酸化	プラズマを用いて活性状態の酸素を作り出し、それを利用して半導体基板表面を酸化する方法。
プラズマ窒化	プラズマを用いて活性状態の窒素を作り出し、それを利用して半導体基板表面を窒化する方法。
メタルソースドレイン	メタル電極により形成されたソースドレイン領域のこと。
有機金属気相成長法	飽和蒸気圧が比較的高い有機金属を原料として、水素や窒素などをキャリアガスとして利用して行う結晶成長の方法のことで、成長用原料をガスとして安定に供給することができるため、大面積に均一な結晶を比較的速い成長速度で成長が可能。

研究開発項目③－(3)：シリコンウェハ中の原子空孔濃度定量評価技術の研究開発

用語	説明
原子空孔	格子欠陥の一つであり、規則正しく並んだ結晶格子から原子が抜けた穴のこと。
超音波計測	超音波とは一般に 20 kHz 以上の音波を指し、超音波計測は物質に超音波を入射することにより、物質の音速と弾性定数を計測する技術。

ソフト化	弾性定数は、一般に温度を下げると増大する(物質が固くなる)。それに反し、温度を下げると弾性定数が減少する(物質が軟らかくなる)現象をソフト化とよぶ。
電子軌道	原子核の周りを回る電子の空間分布。
完全結晶ウェーハ	ボイドや転位とよばれる巨視的な欠陥が存在しない完全結晶から切り出されたウェーハ。
電気四極子	静電荷や振動電荷により、正負交互に4つの極をもつような電荷分布。電子軌道がもつ成分で電荷分布が4方向に分極しているもの。
原子空孔軌道	原子空孔の周りの4つのシリコン原子の電子軌道が、混成してできた軌道。
希釈冷凍機	ヘリウム3とヘリウム4の混合ガスを用いて、数ミリケルビンの低温まで冷却することができる装置。
超伝導磁石	超伝導線材を用いて液体ヘリウムで冷却して使用する強力な磁場を発生できる磁石。
圧電素子	圧電素子とは、圧電体に加えられた電圧を応力に、または応力を電圧に変換する素子のこと。本開発研究では、電気信号を超音波歪みに、超音波歪みを電気信号に変換するための素子として用いる。
スパッター法	薄膜製造技術の一つ。高エネルギー粒子を金やチタンなどのターゲットに衝突させて原子を飛び出させて目的の基板に成膜させる。
CZ シリコン	チョクラルスキー (Czochralski) 法で育成されたシリコン結晶のこと。フラッシュメモリーなどの一般的な半導体デバイス用ウェーハとして広く利用されている。
単原子空孔	シリコン原子が1個だけ結晶格子から抜けた原子空孔のこと。格子から複数個抜けたものは、複原子空孔と呼ぶ。
分子軌道	分子中の電子軌道がつくりだす空間分布をあらわす波動関数。
密度汎関数法	多電子系の物性を求める計算手法の一つ。電子密度から電子系のエネルギーなどの物性を計算する方法。
分子動力学法	多体の原子間ポテンシャルを、古典的なニュートン方程式を解くことにより、系の状態を解析する方法。
第一原理計算	実験結果などの経験的パラメーターを使用しない計算手法。バンド計算とも言う。
エピタキシャル成長	薄膜の結晶を基盤となる結晶の上に成長させる技術の一つ。
ゲッターリング	ウェーハ中の有害な金属不純物を吸収し取り除くこと。
酸素析出	シリコン結晶中の酸素が複数個集まった様態。
ライフタイム	励起された電子やホールがキャリアとしての性質を帯びている特性時間。
NAND 型フラッシュメモリー	否定論理積 (NAND) による不揮発性記憶素子の一種。
FZ シリコン	浮遊帯域融解 (Floating Zone) 法で育成されたシリコン結晶のこと。
超 LSI	一般に 10^7 個以上の素子を集積した回路として指すことが多

	い。
格子間シリコン	格子欠陥の一つで、シリコン結晶格子の間にシリコン原子が余分に入った状態。
強相関電子物性	物質中の電子間に働くクーロン相互作用が強い系の物性。
超音波歪み	超音波によって引き起こされる結晶格子の歪みのこと。
スピン	電子や原子核などが持つ量子力学的な自由度の一つで、スピン角運動量のこと。
スピン軌道相互作用	電子のスピンと軌道の相互作用のこと。
超音波位相差計測装置	物質中を超音波として信号が通過する時に生じる位相の遅れを検出して、超音波の音速の相対変化を計測する装置。
電子スピン共鳴	磁場の中におかれた不対電子が、マイクロ波を吸収して励起されるときに性質を利用した分光法の一つ。
陽電子消滅	電子の反粒子である陽電子が結晶中の空孔型欠陥に捕獲されやすい性質を利用した実験法。
薄膜振動子	ZnO などの圧電体を薄膜形成した素子のこと。
ICDS	半導体中の欠陥の国際会議 International Conference on Defects in Semiconductors のこと。
EMRS	European Materials Research Society の会議のこと。
ECS	The Electrochemical Society の会議のこと。
ユニット評価	シリコンウェハの基礎特性評価のこと。主にキャリアのライフタイム評価, 酸化膜の耐圧特性による絶縁破壊評価, ゲッターリングに必要となる酸素析出評価などをさす。

I. 事業の位置付け・必要性について

1. NEDOの関与の必要性・制度への適合性

1.1 NEDOが関与することの意義

情報技術がめざましく発展している今日の社会では、情報・知識を、時間や場所の制約を受けず誰もが自由自在かつ安全に活用できる情報通信環境の実現が望まれている。また、平成20年9月に改訂された経済成長戦略大綱において、我が国の国際競争力強化のために注力すべき分野として、情報家電、ロボットなどが挙げられている。このような応用システムの基幹となる半導体集積回路(LSI)には、一層の高機能化、低消費電力化が求められている。

また NEDO 技術開発機構が編纂した NEDO 技術ロードマップ(平成21年版)が示すように、我が国にとって重要な半導体 LSI はその実現のためには多くの技術開発が必要となっている超低消費電力のシステム LSI である。本プロジェクトは、このような要求を満たすシステム LSI 等の高機能・低消費電力 LSI の実現に必要な半導体デバイス・プロセス基盤技術の確立を目的として、ITイノベーションプログラム及びナノテク・部材イノベーションプログラムの一環として実施されている。

半導体技術がこれまでに機能、消費電力、集積度、コストにおける急速な進歩を達成してきたのは、集積回路を製造するとき使用される最小寸法を年々指数関数的に縮小する微細化技術の向上によるもので、今後も引き続き微細化技術開発を通じて、集積回路の機能あたりコストがさらに低減されIT技術のさらなる発展と経済における生産性と社会全体における生活の質の大きな改善をもたらすことが期待されている。最近では、微細・高集積化の進展に伴い、開発すべき技術課題の難度と、その克服に要する研究開発資源が増大してきており、民間企業のみでは十分な対応が困難となっている。

LSIの性能向上には、単なる微細化のみならず、新材料、新プロセス、新構造など革新的技術の導入が不可欠で、その必要性は微細化の進展とともにますます大きくなる。すなわち、微細化によって得られてきたメリットをこれまで以上に享受しながらITを根底から支える半導体技術をさらに発展させていくために、2020年頃以後のLSIに求められる新材料、新構造、新プロセス技術の開発を実現する技術シーズを発掘育成し、それらを将来の産業技術につなげていくための橋渡しを進める取り組みが必要である。このため、産学官の英知を結集して当たる必要があり、国家プロジェクトとして NEDO が関与すべきものと考えられる。

本プロジェクトが対象としている技術課題は、今後の微細・高集積化を進める上で重要な鍵を握る技術に関わるものであり、世界に先駆けてこれらの課題を克服することは、我が国半導体産業の国際競争力強化に不可欠な要件である。半導体デバイスの高度化は、関連する半導体製造装置、材料等の関連産業においても、技術の高度化を促進するものであり、国際競争力の強化に寄与することとなる。また、半導体 LSI は、情報通信分野はもとより、広範な産業分野(家電、自動車、モバイル、ロボット等)に応用され、高付加価値の新製品開発と、それによる競争力強化に貢献するものと期待される。さらに、半導体とその関連技術は、バイオ、MEMS、NEMS、ナノテクといった新興成長分野を根底から支え、変革していく技術的原動力となっており、将来の新規産業創出等、極めて大きな波及効果が期待されている。

以上のように、本プロジェクトは、開発課題の性格上、産学官の英知を結集して開発を行う必要があることに加え、我が国半導体とその関連産業の国際競争力強化、および国家的重点目標であ

る高度情報化社会の実現に寄与するものであり、さらには、広範な産業分野への大きな波及効果が期待され、産業政策・情報政策の面からも極めて重要な課題であることから、国家プロジェクトとして NEDO が関与すべきものと考えられる。

1.2 実施の効果(費用対効果)

本プロジェクトは事業期間 5 年間、事業規模は 32 億円の計画で進められている。本プロジェクトが対象としている技術の開発により、情報通信機器の高機能化、低消費電力化の要求を満たすシステム LSI 実現など、将来幅広い産業分野で利用される共通基盤技術の形成が見込まれる。その成果は、モバイル・携帯機器、デジタル家電等において、その情報処理部分の中核を支えている半導体集積回路とそれを製造する際に必要となる製造装置・材料などに直接波及する。また、これらの産業以外にも、半導体集積回路を用いた情報通信・デジタル情報家電産業や情報処理・記憶装置等の産業、あるいは機器と人とのインターフェースとして機能する電子デバイス・ディスプレイデバイス等の産業に波及する。また、これらを使用する自動車、車両、ロボット、情報通信ネットワークを利用した安全システム等、社会生活の根幹を形成する産業にも広く波及する。

図 I -1 に 2004 年から 2008 年までの半導体世界市場と 2013 年までの予想を示す。半導体市場は様々な要素デバイスの売上で構成されており、本プロジェクトに直接関係するシステム LSI は、携帯電話、ノート PC 等のデジタルモバイル機器やデジタル家電機器等に搭載され、メモリ、マイクロプロセッサ、ロジック、アナログ等の機能を集積した LSI とし、市場規模の目安として「Logic」「ASSP」「ASIC」「Microcomponents」および「Memory」の合計を想定している。半導体市場はプロジェクト開始後にいったん縮小したものの 2009 年以降は拡大に転じその後も一定の市場規模を確保していくことが予想されている。本プロジェクトが終了する 2011 年の半導体世界市場規模は 24 兆円、このうち本事業の関連市場規模は約 20 兆円と推計される。このことから、本プロジェクトの事業費に対して十分大きな効果が期待できるものといえる。

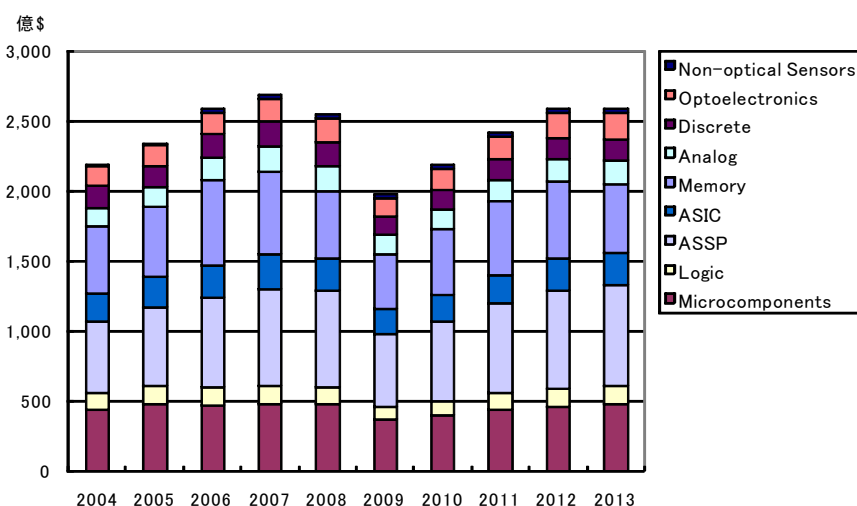


図 I -1 デバイスカテゴリ別世界半導体市場

出典: ガートナー「Semiconductor Forecast Worldwide: Forecast Database」

2009 年 5 月 28 日

また、以上の試算は、本プロジェクトの成果が直接及ぶと考えられるシステムLSIに限ったものであり、システムLSIの各種応用機器まで含めると、さらに大きな効果をもたらされるものと考えられる。高機能・低消費電力システムLSIが実現すれば、生活空間のあらゆる場面での活用が進み、情報通信システムの高度化、生活・医療サービス、高齢者支援、デジタル家電の知能化など、幅広いサービスが実現し、大きな新市場創出につながることを期待できる。

2. 事業の背景・目的・位置づけ

2.1 事業の背景

日本経済が将来に渡って持続的発展を続けるためには、その原動力として電子・情報通信産業の健全な発展が不可欠である。国際的視点からも電子・情報通信産業の進展なくしては、日本が先進国としての地位を占め、その役割を果たしていくことは難しいと言える。半導体デバイスは、電子機器、情報通信機器の機能・性能を決定付ける重要な構成要素であり、機器の高性能化、小型化、低消費電力化等のニーズの高まりにつれ、益々その重要性を高めている。半導体技術の進歩が、電子・情報産業の発展の鍵を握っていると言っても過言ではない。

現在半導体は、電子機器、情報機器を構成している様々な機能を持った要素システムがひとつのシリコンチップ上に集積されたシステムオンチップ(SoC)の時代に入っている。これまで微細化、高集積化によりその機能や性能の向上を果たしてきたところであり、今後もその要求は高まっていくことが見込まれるが、微細化の進展に伴い、技術的限界が見え始めている。

そこでこの微細化限界を突破するために、我が国の企業・大学・公的研究機関において極めて高いポテンシャルを有しているナノテクノロジーを最大限に活用したナノエレクトロニクスの研究開発を強化することが必要である。一方、デジタル・デバイスのCMOS構造というアーキテクチャは極めて優れているため、これが維持できる限りこれを維持することが望ましく、そうすることによりこれまで半導体の発展を支えてきた「微細化」というドライバを引き続き活用することができる。したがって次世代のLSI技術開発では、シリコンで培った微細化技術やデバイス原理をこれまで同様に活用しながら、シリコンという材料の物理的特性を十分に踏まえた上で、様々な要因に基づいて出現するデバイス性能の技術的な飽和を突破するための”新材料”、”新プロセス”、”新構造”を実現することが必要である。

2.2 事業の目的

本プロジェクトは、次世代の電子デバイスのために、シリコンで培った微細化技術やデバイス原理をこれまで同様に活用しながら、シリコンという材料の物理的限界を突破するための”新材料”、”新プロセス”、”新構造”を実現する半導体技術を、ナノテクノロジーを最大限に活用することによって創生し、将来の産業応用への芽を見出すことを目的とする。

2.3 事業の位置づけ

ITを根底から支える半導体技術をさらに発展させていくために、微細化・高集積化の進展に伴う技術課題を克服する技術シーズを発掘育成し、将来の産業技術につなげていくための橋渡しを進

める本プロジェクトは、今後のIT技術の更なる発展と経済における生産性と社会全体における生活の質の大きな改善をもたらすことが期待される。

また、ナノテクノロジーの最大の応用領域の一つであるナノエレクトロニクスという広い領域において、産業技術の発展のみならず科学技術力の向上を鑑みると、探索的かつ学術的な研究から産業応用が可能な実用的な研究まで優れた研究を効果的かつ継続的に発展させるシームレスな支援体制の確立は不可欠なものであり、本プロジェクトはこの実現を目指す施策の中に位置づけられる。また、ナノエレクトロニクス領域の更なる発展と多様性の確保に不可欠な次世代の研究人材の育成や異分野との融合促進を図ることが期待され、日本のエレクトロニクス研究領域にイノベーションをもたらしうる大きな仕組みとしても機能していくと期待される。

II. 研究開発マネジメントについて

1. 事業の目標

本プロジェクトの目標は、平成23年度までに、産業界が10年後を見据えた将来の集積回路システムとして展開できる電子デバイスを開発する際に産業技術として活用できるかどうかの実現可能性を見極めることができる技術シーズを確立することである。このために、次の9項目について研究開発を行う。

①シリコンナノワイヤ技術

研究開発項目①-(1)「シリコンナノワイヤトランジスタの知識統合研究開発」

研究開発項目①-(2)「ナノワイヤFETの研究開発」

研究開発項目①-(3)「シリコンナノワイヤトランジスタの物性探究と集積化の研究開発」

②次世代メモリ技術

研究開発項目②-(1)「新構造 FinFET による SRAM 技術の研究開発」

研究開発項目②-(2)「次世代相変化メモリ技術の研究開発」

研究開発項目②-(3)「ナノギャップ不揮発性メモリ技術の研究開発」

③新材料技術

研究開発項目③-(1)「カーボンナノチューブトランジスタ技術の研究開発」

研究開発項目③-(2)「シリコンプラットフォーム上III-V族半導体チャネルトランジスタ技術の研究開発」

研究開発項目③-(3)「シリコンウェハ中の原子空孔濃度定量評価技術の研究開発」

以下に、各研究開発項目の達成目標とその目標の根拠をまとめる。

研究開発項目①-(1)：シリコンナノワイヤトランジスタの知識統合研究開発

シングルナノ領域、即ちゲート長がサブ10nmの領域に到達すると、ゲートのチャネルに対する制御能力を最大化するために、直径がnmレベルのナノワイヤ構造をチャネルに採用することが必須になる。この領域では、量子効果が顕在化し、その利点を活かして高い性能を実現することが期待できる一方、原子レベルの構造揺らぎもデバイス特性に顕著な影響を与え、特性バラツキが今以上に深刻な課題になることが懸念される。

このため、量子効果が顕在化する特性寸法が10nm以下のナノワイヤトランジスタを対象に、高精度なデバイス試作と電気的特性評価、物理計測評価解析、デバイスシミュレーションを含む計算科学的解析を、総合的に行う。これによって、CMOSの将来形としてのナノワイヤトランジスタの特性を予測し、構造・材料・プロセスの設計を行うための基盤的知識体系を、科学的な裏付けを持って構築することを目的とする研究開発を行う。

<達成目標>

中間目標(平成21年度末)

(1)シリコンナノワイヤトランジスタの作製技術および特性解析に関する研究開発

・直径10nm級のシリコンナノワイヤ形成技術及び高誘電率ゲート絶縁膜の堆積技術とメタルソース・ドレイン形成技術を確立し、シリコンナノワイヤ トランジスタの試作を行って電気特性を評価する。

(2) ナノワイヤトランジスタの精密計測評価技術の研究開発

・ナノワイヤを計測するための走査プローブ技術を開発し、原子間力顕微鏡による高アスペクト3次元形状の可視化と、孤立ナノワイヤの走査トンネル顕微鏡による計測を実現する。また、ライン&スペースパターンを基本とする擬似ナノワイヤデバイス構造に対して、X線散乱・回折法を用いて形状や内部構造の解析を行う。

(3) ナノワイヤトランジスタのシミュレーション技術の研究開発

・ナノワイヤトランジスタの構造安定性、界面構造、不純物分布、ポテンシャル分布、電気特性を解析する、要素シミュレーション技術を開発する。

・ナノワイヤトランジスタの特性評価を行うために、チャネル領域での量子閉じ込め効果を取り入れた自己無撞着量子モンテカルロ・デバイスシミュレータを開発する。

最終目標(平成23年度末)

(1) シリコンナノワイヤトランジスタの作製技術および特性解析に関する研究開発

・表面が原子レベルで平滑な直径10nm以下のシリコンナノワイヤ形成技術、原子レベルで平坦な界面を有する高誘電率ゲート絶縁膜の堆積技術及びメタルソース・ドレイン形成技術を確立し、シリコンナノワイヤ トランジスタを作製して、構造制御の効果を明らかにする。

(2) ナノワイヤトランジスタの精密計測評価技術の研究開発

・ナノワイヤの3次元走査プローブ計測により、サブnmの形状計測精度を実現する。

・絶縁体上に作製されたナノワイヤ構造のポテンシャル分布を、走査プローブで計測する技術を確立する。

・X線散乱・回折の解析により、基板表面上に周期的に形成したナノワイヤデバイスの形状及び内部構造とそれらのばらつきの評価を実現する。

(3) ナノワイヤトランジスタのシミュレーション技術の研究開発

・ナノワイヤトランジスタの構造安定性、界面構造、不純物分布、ポテンシャル分布、電気特性を予測・解析できる統合的シミュレーション技術を開発し、実験で得た実測値との比較によりその信頼性を検証する。

・自己無撞着量子モンテカルロ・デバイスシミュレータを開発し、ナノワイヤトランジスタの特性予測を実現する。

<目標の根拠>

(1) シリコンナノワイヤトランジスタの作製技術および特性解析に関する研究開発

・原子レベルの構造揺らぎもデバイス特性に顕著な影響を与え、特性バラツキが深刻になる懸念がある。

・シングルナノ領域でデバイス本来の特性を観測するためには、原子レベルで整ったデバイス構造を作製できることが、必要条件である。

(2) ナノワイヤトランジスタの精密計測評価技術の研究開発

・ナノワイヤトランジスタの動作特性は、形状や物性の変化に極めて敏感であると予想されるので、特性解析のためには原子レベル精度で3次元的に形状や物性を計測評価できる技術が必須である。

(3) ナノワイヤトランジスタのシミュレーション技術の研究開発

・量子効果が顕在化するナノワイヤトランジスタを対象に、原子スケールの構造安定性、不純物分布、ポテンシャル分布、界面構造、電気特性を予測・解析できるシミュレーション技術を新規に開発することが必要である。

研究開発項目①－(2)： ナノワイヤFETの研究開発

ゲート長微細化は2020年代で終焉を迎えることがほぼ確実な状況となって来たが、その後もロジックLSI素子としては現在の電流駆動型のCMOSFET系デバイスの性能向上を追求していくことが重要である。しかしながら、2020年代後半以降の具体的施策は依然として明示されておらずに空白となったままで、この部分の研究・技術開発ロードマップを作成することが急務となって来ている。ロジックLSIの発展を今後も継続して行くためには、低消費電力化と高性能化への絶え間ない努力が重要であり、低電源電圧下でOFF電流を今までよりも非常に低い値に維持したままで、今まで以上の大変に高いON電流を実現できる素子技術の実現が必要である。この為の手段であるが、この時代のゲート長(5~10nm)では伝導機構が準バリスティックとなるため、ゲート長を短くしてもON電流増加は望めず他の手段を用いる必要がある。

ゲート長微細化以外の手段として、ゲート電極がチャネルを取囲む構造であるが故にOFF電流の抑制に有利なことと、ナノワイヤの特長として準1次元伝導とマルチ量子チャネルに起因する極めて高いON電流を望めることからナノワイヤ系FETが、CMOS細化終焉の後の最有力候補として注目を集めるようになってきた。しかしながらナノワイヤFETの伝導はワイヤ径、ワイヤの結晶方位、ワイヤの応力によりバンド構造が大きく変化するという大変に複雑なメカニズムに支配されるため、これらのパラメータを考慮に入れた電流・電圧特性を記述するコンパクトモデルは確立しておらず、理論的にどこまで高いON電流が得られるかすら不明の現状にある。更にワイヤ表面での散乱、ソース・ドレイン端でのキャリア注入・散乱・反跳など理論的、技術的に解決していかなければならない問題が山積している。

このため、SiナノワイヤFETを対象として、理論と実験の面からその性能を定量的に明らかにする。また、ナノワイヤFET導入の為の理論的・技術的課題を明確化し、その解決法の探索を行なう。それらの研究結果を踏まえ、実用化への本格的な研究開発を行なうためのSiナノワイヤFETのロードマップを作成することを目的とする研究開発を行う。

<達成目標>

中間目標(平成21年度末)

(1) Siナノワイヤの電子構造の量子論的検討

・第一原理計算等を用いて、歪みなどによるSiナノワイヤの電子構造の変化を系統的に解析し、良好なバリスティックFET特性を得るための指針を示す。

・金属と半導体のナノ界面におけるショットキー障壁を第一原理計算等により見積もる。

(2) ナノワイヤFETのバリスティシティ制御

・バリスティック伝導に少数回の散乱を導入した場合のドレイン電流への影響を把握する。

・光応答・電気特性等の解析により、ナノワイヤFET中の電子ダイナミクスの特徴をモデル化する。

・Siナノワイヤの構造に依存したドレイン電流を明らかにし、記述する。

(3) SiナノワイヤFETの作製

・直径10nm級のSiナノワイヤFETの作製を行う。また、電気特性の解析によりキャリアの散乱メカニズムを考察し、プロセス上の技術課題を明確にする。

・Siナノワイヤと金属とのコンタクトにおける特異なシリサイド反応現象を実験により明らかにする。

(4) Siナノワイヤデバイスのロードマップ作成

・SiナノワイヤFETを実現するに当たり直面する技術的課題、科学的課題をタイムスケジュール上でリストアップし、解決するための方法の考察を行う。

最終目標(平成23年度末)

(1) Siナノワイヤの電子構造の量子論的検討

・Siナノワイヤの電子構造解析により、SiナノワイヤFET実用化に向けて解明すべき物理現象を明らかにする。

・金属とワイヤ状物質との間の曲率のあるナノ界面におけるショットキー障壁を第一原理計算等によって解析し、その特徴を理論的に明らかにする

(2) ナノワイヤFETのバリスティシティ制御

・準バリスティックSiナノワイヤFETの電圧・電流特性をコンパクトモデルで定式化する。

・コンパクトモデルによる解析と実験で得た実測値との比較を通じて、バリスティシティを高めるなど性能最適化のための指針を明確化し、その理論・技術上の問題点を明らかにする。

(3) SiナノワイヤFETの作製

・SiナノワイヤFETの作製とその性能評価を通じて、理論予測との違いを明らかにし、その技術上の課題を明確にする。

(4) Siナノワイヤデバイスのロードマップ作成

・上記の研究開発の結果および他機関の研究結果も含めた総合的な検討に基づいて、最終目的であるSiナノワイヤデバイスのロードマップを作成する。さらにこれらの課題を解決するための具体的施策を示し、そのための今後の研究開発体制のあるべき姿を提案する。

<目標の根拠>

(1) Siナノワイヤの電子構造の量子論的検討

・Siナノワイヤはバルクと物性が異なるため形状、サイズで電気特性を把握するためには電子構造を解析する必要がある。

・曲率を持った界面では波動関数の染みこみが平面の場合と異なるため等価的にショットキー障壁が異なることが予測されるため。

(2) ナノワイヤFETのバリスティシティ制御

・準バルスティック伝導を有する Si ナノワイヤ FET の実用化のためにはコンパクトモデルが必要である。

・準バルスティック伝導を得るために必要な科学上の課題、技術上の課題がまだ不透明である。

(3) SiナノワイヤFETの作製

・大規模集積を可能とする Si ナノワイヤ FET の試作を行いプロセス上の課題を明らかにするため。

(4) Siナノワイヤデバイスのロードマップ作成

・本研究期間の終了後に世の中に引き継がれて発展するためには特性に加え科学・技術上のロードマップを示すことが必須と考えられるため。

研究開発項目①ー(3)：シリコンナノワイヤトランジスタの物性探究と集積化の研究開発

シリコンナノワイヤトランジスタは、将来のナノスケールシリコンMOSFETの一形態として注目されているが、ナノワイヤトランジスタのワイヤ・サイズの制御性、チャネル長の縮小化ではまだ不十分な面もあり、ナノワイヤで発現する物理現象の正確な理解、高性能化に向けたデバイス最適構造の探求と実証など未解決な課題を多く残している。

このため、シリコンナノワイヤトランジスタ分野における上記課題を解決し、シリコンナノワイヤの物性研究とシリコンナノワイヤトランジスタの実用化に向けた基礎的データを取得することを目的とする研究開発を行う。

<達成目標>

中間目標(平成21年度末)

(1) 極細シリコンナノワイヤトランジスタの電気伝導探究と集積化に関する研究開発

ワイヤ径5nm以下の長チャネルシリコンナノワイヤトランジスタのアレーを作製する技術を確立する。

(2) 短チャネルシリコンナノワイヤトランジスタの電気伝導探究と集積化に関する研究開発

短チャネル・ナノワイヤトランジスタ、具体的にはチャネル長50nm以下、チャネル径25nm以下のシリコンナノワイヤトランジスタを作製する。

最終目標(平成23年度末)

(1) 極細シリコンナノワイヤトランジスタの電気伝導探究と集積化に関する研究開発

量子閉じ込めおよびひずみ等の効果を総合して通常のプレーナバルクMOSFETより高い移動度を示すシリコンナノワイヤトランジスタのパラメータを明らかにする。

(2) 短チャネルシリコンナノワイヤトランジスタの電気伝導探究と集積化に関する研究開発

チャネル長25nm以下、チャネル径10nm以下のシリコンナノワイヤトランジスタを作製する。

<目標の根拠>

(1) 極細シリコンナノワイヤトランジスタの電気伝導探究と集積化に関する研究開発

・シリコンナノワイヤが従来 MOSFET より高い性能を有するかは不明な部分が多い。ナノワイヤの物性解明を通じて移動度が高い条件を明らかにすることは実用化に向けて極めて重要である。

(2)短チャネルシリコンナノワイヤトランジスタの電気伝導探究と集積化に関する研究開発
・ワイヤ・サイズの制御性、チャネル長の縮小化ではまだ不十分な面もあり、ナノワイヤで発現する物理現象の正確な理解、高性能化へ向けたデバイス最適構造の探求と実証など未解決な課題を多く残している。量産化へ向けた種々の問題への取り組み、微細チャネルのキャリア輸送機構の研究は重要である。

研究開発項目②－(1)：新構造 FinFET による SRAM 技術の研究開発

微細化が進むにつれて最初に動作限界の危機に直面すると考えられているSRAMの技術課題を解決することを目指し、微細化に伴う短チャネル効果に強いFinFETと、分離された2つのゲートを有し閾値電圧制御可能な4端子FinFETを有効に組み合わせた新規SRAM (Flex-Pass-Gate SRAM)セルの先行基盤技術開発を行い、その原理実証と本格開発に向けた課題抽出を行うことを目的とする研究開発を行う。

<達成目標>

中間目標(平成21年度末)

(1)立体構造FinFET技術の研究開発

・極微細化プロセス、メタルゲート、high-k 絶縁膜、多層配線などのFinFET回路作製への適用をはかり、ゲート長20nm、チャネル厚10nm以下の立体構造4端子FinFET作製技術の構築を行う。

(2)4端子FinFETを用いた低消費電力・高ノイズ耐性SRAM回路技術の研究開発

・提案コンセプトを実現する4端子型FinFET低消費電力・高ノイズ耐性SRAM回路(具体的には、Flex-Pass-Gate SRAM)設計を行う。

・バルクトランジスタを用いた設計比で、セル面積増加無、動作余裕1.5倍、待機時消費電力1/20以下の回路設計指針を得る。

最終目標(平成23年度末)

(1)立体構造FinFET技術の研究開発

・Flex-Pass-Gate SRAMへの上記FinFET導入を行う。

(2)4端子FinFETを用いた低消費電力・高ノイズ耐性SRAM回路技術の研究開発

・(1)で確立した微細4端子FinFETを用いたSRAMアレイを試作し、特性評価・解析によりIPを確立する。

・従来トランジスタと比較して、セル面積増加なしに、動作余裕を1.5倍に、待機時消費電力を1/20にできることを示す。

<目標の根拠>

(1)立体構造FinFET技術の研究開発

・寸法は、実用化時期(2016)および ITRS ロードマップに基づく。

(2)4端子FinFETを用いた低消費電力・高ノイズ耐性SRAM回路技術の研究開発

・SRAM 選択は、国内主要半導体メーカーからの要求に基づく。動作余裕 1.5 倍は、他機関の報告と比較してトップレベルの値として設定。待機時消費電力 1/20 は、20nm 世代において 90nm 世代同等に低減するものとして設定。いずれも TCAD により確認。

研究開発項目②- (2)：次世代相変化メモリ技術の研究開発

磁気抵抗メモリ、強誘電体メモリ等とともに、シリコンを基盤とする従来半導体メモリに挑む不揮発型新メモリとして、相変化メモリが注目されている。相変化メモリは、セル構造が簡単なため高密度化に適しているが、相変化記録薄膜中に「結晶」-「アモルファス」間の一次相変化を繰り返し発生させることから、膜の融点(650℃)以上に加熱する必要があり、消費電力と繰り返し記録耐性において更なる改良・改善が必要とされている。

このため、書き込み・読み出し回数的大幅な向上と作動電力を最小限にする技術を開発することで、省資源・省エネルギー型の不揮発性相変化固体メモリを開発することを目的とする研究開発を行う。

<達成目標>

中間目標(平成21年度末)

(1) 高速スイッチング現象に最適なナノレベル構造制御カルコゲナイド薄膜の結晶構造の検討
超格子構造で高速動作可能な新規相変化材料組成を2材料以上シミュレーションによって見だし、実際にデバイスを作製して実験によって動作検証を行う。

(2) 抵抗加熱方式での熱的構造変化を最適に行うためのシミュレーション技術の開発
熱シミュレーションソフトを完成させ、超格子構造からなる相変化メモリに適応して、超格子セル内部の温度分布を把握する。

(3) 再現性や信頼性など集積化に向けて必要となる特性の体系的理解のための動作温度領域における薄膜物性データベースの構築

シミュレーションの元となる各材料の薄膜熱物性の測定とデータベース化を行う。

(4) 一定規模以上の集積化可能性を示すためのナノレベル微細加工を施したデバイス試作
同等のサイズで作製された従来型の相変化固体メモリの性能と比較して、電力消費で1/3以下となる GeSbTe 系超格子相変化メモリを作製する。

最終目標(平成23年度末)

(1) 高速スイッチング現象に最適なナノレベル構造制御カルコゲナイド薄膜の結晶構造の検討
超格子構造で高速動作可能な新規相変化材料組成を5材料以上シミュレーションによって見だし、実際にデバイスを作製して実験によって動作検証を行う。

(2) 抵抗加熱方式での熱的構造変化を最適に行うためのシミュレーション技術の開発

平成21年度末に目標を達成するため最終目標は設定しない。

(3) 再現性や信頼性など集積化に向けて必要となる特性の体系的理解のための動作温度領域における薄膜物性データベースの構築

シミュレーションの元となる各材料の薄膜熱物性の測定とデータベースの外販化を行う。

(4)一定規模以上の集積化可能性を示すためのナノレベル微細加工を施したデバイス試作
同等のサイズで作製された従来型の相変化固体メモリの性能と比較して、電力消費で 1/10 以下となる超格子相変化メモリを実証する。

また、同等のサイズで作製された従来型の相変化固体メモリの性能と比較して、 10^{15} 回以上の繰り返し書き換え回数をもつ超格子相変化メモリを実証する。

<目標の根拠>

(1) 高速スイッチング現象に最適なナノレベル構造制御カルコゲナイド薄膜の結晶構造の検討

・相変化メモリの特性を大幅に改善するためには、一層膜を超格子構造とし、スイッチングする層の原子の移動に伴うエントロピーによるエネルギー散逸を大幅に低下させれば良い。我々は GeSbTe225 系の新しいスイッチング原理に基づいてこれを検証する。また、動作原理が正当なものであれば、類似構造をもつ新材料は他にも存在する。

(2) 抵抗加熱方式での熱的構造変化を最適に行うためのシミュレーション技術の開発

・相変化に費やされるエネルギーの多くがエントロピーによるエネルギー散逸と考えられるので、これを低減できれば消費電力を大幅に低減でき、逆に繰り返し回数の向上につながる。シミュレーション技術を用いれば、エネルギー消費の最も少ない構造を探索できる。

(3) 再現性や信頼性など集積化に向けて必要となる特性の体系的理解のための動作温度領域における薄膜物性データベースの構築

・実際の動作温度環境下での薄膜物性データは少ない。特に相変化メモリでは最高温度は 800°C 以上に達する。これらのデータを利用しない限り、正確なシミュレーションはできない。

(4) 一定規模以上の集積化可能性を示すためのナノレベル微細加工を施したデバイス試作

・超格子構造により、耐久性の高い相変化メモリは十分可能であると考えられる。

研究開発項目②-(3)： ナノギャップ不揮発性メモリ技術の研究開発

モバイル機器や情報家電などデジタル情報機器の急速な拡大に伴い、われわれが取り扱うべき情報量は飛躍的に増大しつつある。こうした状況の下、情報をいつでもどこでもすばやく記憶、読みだせるユニバーサルメモリの開発は必須となっており、磁気抵抗メモリや強誘電体メモリなど、さまざまな次世代不揮発性メモリの開発が精力的に進められている。なかでも抵抗スイッチメモリは、とりわけ微細化に有利なメモリとして注目されている。近年、この抵抗スイッチメモリに利用できる現象として、ナノスケールの微小間隙を有するナノギャップ電極構造において、入力電圧波形に依存して電極間の抵抗値が5桁も変化するナノギャップスイッチ(以下NGSと略する)現象が見出され、これを不揮発性メモリに応用する研究が進められている。NGSメモリは、その構造が著しく単純であり、従来の半導体デバイスにおける、不純物揺らぎ等に起因する微細化限界の壁を打ち破ることが可能な、日本発の超稠密不揮発性メモリとなることが期待される。しかしながら、NGS現象のメモリへの応用研究はその端緒についたばかりであり、実用化に向けての研究開発を行う必要がある。

このため、超稠密不揮発性メモリの実現を目指して、金属ナノギャップ構造を利用した、集積化可能なNGS不揮発性メモリを開発することを目的とする研究開発を行なう。

<達成目標>

中間目標(平成21年度末)

(1) 平面先鋭型金属ナノギャップ素子およびその基本特性評価技術の開発

ギャップ長10nm、ギャップ幅30nmの電極を有する平面型NGS素子を開発する。また、電極材料および絶縁層の材質を検討する。高感度ナノプローブ計測評価技術を開発し、電気伝導状態にあるときのNGSの構造を明らかにするとともに、パルス電圧印加前後の構造変化を評価する。さらに、バイアス印加中の動的な構造変化を測定可能なナノプローブ計測評価技術を開発する。

(2) 金属ナノギャップメモリ・デバイスの研究開発

縦型(上下金属配線間)のNGS素子およびメモリアレイを試作・評価し、下記の性能を実証する。

- ・高速性: $1\mu\text{s}$ 以下の書き換えスピード
- ・稠密性: 上下電極交点の Via-hole 径 ϕ で100nm
- ・書き換え耐性: 10^5 回以上
- ・256bit アレイTEGによるメモリ動作(書き換えと読み出し)と bit バラツキ(抵抗値の分布)の検証

(3) 高性能メモリ金属ナノギャップ素子の研究開発

動作電流値を低減できる金属ナノギャップ基本素子構造および駆動法を開発する。具体的には、駆動最大電流値を $50\mu\text{A}$ 以下にできる構造、動作環境および駆動法を開発する。

最終目標(平成23年度末)

(1) 平面先鋭型金属ナノギャップ素子およびその基本特性評価技術の開発

ナノギャップ領域が極限的に微細化してもNGSメモリ動作することを検証するために、中間目標のデバイスサイズよりもさらに微細化した、ギャップ長5nm、ギャップ幅10nmの電極を有する平面型NGS素子を開発する。平成21年度までに開発した高感度ナノプローブ計測評価技術をさらに発展させ、AFM散逸計測などのナノプローブ物性計測法を用いてナノギャップ部の物性変化を測定することにより、長時間動作後のナノギャップ部の電気特性変化や組成変化を評価する。

(2) 金属ナノギャップメモリ・デバイスの研究開発

縦型NGS素子の微細化を進めるとともに、4kbitのデバイスを試作・評価し、下記の性能を実証する。

- ・高速性: 100ns以下の書き換えスピード
- ・稠密性: 上下電極交点の Via-hole 径 ϕ で40nm
- ・書き換え耐性: 10^6 回以上

また、このデバイスを用いてNGS素子の特性バラツキを評価する。

(3) 高性能メモリ金属ナノギャップ素子の研究開発

素子特性として、最大電流値 $20\mu\text{A}$ 以下、動作電圧5V程度を実現する。

<目標の根拠>

(1) 平面先鋭型金属ナノギャップ素子およびその基本特性評価技術の開発

・平面先鋭型金属ナノギャップ素子は、ナノギャップ部が局所領域に限定されるため(面内・電極厚み方向)、NGS現象の微視的メカニズム解明に向け、構造変化や電気等諸特性を高分解能で

計測するモデル試料として最適

- ・ギャップ幅は、ギャップ領域を1箇所限定し、NGSの際に変化すると予想される構造と同程度の大きさを考慮
- ・フォーミング処理時に伴う構造変化を最小限にするため、初期ギャップ長は可能な限り小さな値の方がよいが、電子線露光によるナノギャップ作製再現性を考慮
- ・表面電位計測や散逸計測などのナノプローブ物性計測法によるナノギャップ素子の評価は、Anode、Cathodeの境界を明確にするためにも、またギャップ領域の局所的な電気特性を明らかにするためにも必須

(2) 金属ナノギャップメモリ・デバイスの研究開発

- ・実用的な不揮発性メモリの水準を勘案
- ・Gbitクラスの大容量メモリもバンク構成の最下層は、4 kbit程度である。またこのメモリデバイスを多数個用いて、Mbit(6 σ)の特性バラツキを評価することで、大容量化の実現性も評価可能

(3) 高性能メモリ金属ナノギャップ素子の研究開発

- ・動作電圧は現状のフラッシュメモリの電源電圧 5.0 V \sim 1.8 Vの上限値程度を考慮
- ・動作電流値は実用的水準から設定

研究開発項目③－(1)：カーボンナノチューブトランジスタ技術の研究開発

シリコン集積回路の高性能化が限界に近づきつつある中、この限界を打破しうる新しいデバイス技術の開発が強く求められている。カーボンナノチューブ(CNT)は理想的な一次元構造と優れた電子輸送特性を有し、その電子デバイス応用の期待が高い。

このため、CNTの電子デバイス応用を目指して、CNTの成長、デバイスプロセス、及びナノ計測に関して種々の課題を解決し、CNT電子デバイスの高性能性及び実用性を実証することを目的とした研究開発を行う。

<達成目標>

中間目標(平成21年度末)

(1) CNTデバイス作製技術の研究開発

- ・高周波動作実証に向けてトップゲートFET作製技術を検討し、基本技術を確立する。
- ・本技術を高密度チャンネルFETに適用し、電流利得遮断周波数として5GHz以上を実証する。

(2) CNT成長技術の研究開発

- ・半導体CNT優先成長における電場制御効果を確認する。
- ・サファイア基板上で15本/ μ mの高密度配向成長を実現する。
- ・シリコンウェハ上のCNT配向成長を実現する。

(3) CNTデバイスの局所評価技術の研究開発

- ・ナノプローブ評価技術として、10nm以下の空間分解能を有する電位測定技術、およびFETの個別チャンネルを流れる μ A以下の電流を評価できる技術を開発する。

最終目標(平成23年度末)

(1) CNTデバイス作製技術の研究開発

- ・高密度CNT形成技術、コンタクト形成技術、デバイス表面保護膜形成技術を確立するとともに、これらの技術を総合化することにより、50本/ μm 以上の高密度かつ50nm以下の短い配向チャネルFET技術を開発する。
- ・高密度チャネルFETの電流利得遮断周波数として50GHz以上を実証する。
- ・コンプリメンタリ素子の作製技術を開発し、論理動作を実証する。

(2) CNT成長技術の研究開発

- ・原料ガスおよび電場の制御による半導体CNT優先成長技術を開発するとともに、半導体優先成長CNTのFETへの適用可能性、高密度・配向成長と高品質化を実証する。
- ・単結晶基板上で50本/ μm の超高密度・高配向CNTの可能性を検証する。
- ・シリコンウェハ上のCNT高度配向成長技術を開発する。

(3) CNTデバイスの局所評価技術の研究開発

- ・平成21年度末までに開発したナノプローブ評価技術を、CNT欠陥準位計測、およびFET個別チャネルの伝導特性評価に適用し、CNTチャネルの高品質性、高密度CNTチャネルの一様性、チャネルー電極間コンタクトの均一性、などの評価での有効性を検証する。

<目標の根拠>

(1) CNTデバイス作製技術の研究開発

- ・ITRS の 2020 年の要求電流密度($2.7\mu\text{A}/\text{nm}$)を満たす CNT 密度
- ・ f_T 50GHz 以上を容易に実現できるチャネル長
- ・精度の高い遅延時間解析が可能となる f_T

(2) CNT成長技術の研究開発

- ・本プロジェクトのデバイスでは高品質な半導体 CNT が必須
- ・ITRS の 2020 年の要求電流密度($2.7\mu\text{A}/\text{nm}$)を満たす CNT 密度
- ・現在の Si LSI 技術との融合を進めるため

(3) CNTデバイスの局所評価技術の研究開発

- ・高品質 CNT-FET の実現には CNT チャネル特性の個別評価が必要

研究開発項目③－(2)：シリコンプラットフォーム上III-V族半導体チャネルトランジスタ技術の研究開発

技術世代hp22nm以細のCMOSにおける性能向上や低消費電力化を、新たな高移動度チャネル材料と構造の導入により達成しようとするトレンドが近年明確化している。pMOSFETについては、ひずみGOIを用いることにより10倍を越える正孔移動度の向上が報告されているが、nMOSFETについては、ひずみSi技術以降の電子移動度向上のための有効な手段が見出されていない。有効質量が極めて小さく移動度が極めて大きい、III-V族半導体を用いたnMOSFETは、バリスティック輸送が支配的となる技術世代においても高い駆動力を実現できる可能性がある。

一方、適用される技術世代を考えると、十分短チャネル効果が抑制できるトランジスタ構造とする必要がある。このためには、絶縁膜の上に薄膜III-V化合物半導体を形成した III-V-On-Insulator

(III-V-OI)構造を用いて、極薄ボディMISFETあるいはFinFETなどのマルチゲートFETを形成することが必要であると考えられる。更にこのようなMOSFETを、ULSI用の素子として実現するためには、Siプラットフォームを用いることが必須である。そのためには、Si基板上に上記のIII-V-OIを形成し、SiやGeなどでは得られない極めて高い電流駆動力を持ち、かつ短チャネル効果抑制にも優れた、将来の大規模集積回路に適用できるnMOSFETあるいはMISFETを実現することが期待される。

このため、hp22nm世代以降の高性能トランジスタを実現するためのデバイス構造として、Si基板上更にその上の絶縁膜上に形成したIII-V族半導体をチャネルとするMISFETを開発することを目的とする研究開発を行う。

<達成目標>

中間目標(平成21年度末)

- ・III-V-OIチャネルを形成する基本形成プロセス、およびIII-V MIS界面を安定化できる基本プロセスを確立する。
- ・III-V族半導体基板上のnチャネルIII-V族半導体チャネルMISFETの作製技術を開発し、その高移動度動作を実証する。

最終目標(平成23年度末)

- ・Si上あるいは絶縁膜上のnチャネルIII-V族半導体チャネルMISFETの作製技術を開発し、その高移動度動作を実証する。
- ・Si上のIII-V MISFETの最適素子構造・材料の明確化を進め、CMOSプラットフォームへの適用性を明らかにすると共に、将来のCMOS構造への集積化の可能性を検証する。

<目標の根拠>

- ・Siプラットフォーム上の高性能n-MOSFETのfeasibilityを確認する上で、III-V MISFETの高移動度動作を実証する必要がある。
- ・将来世代LSI上の微細CMOSの構成素子となりうることを示すためには、当該世代に適合する構造・材料を明確化すると共に、CMOSとしての集積化の上で、本質的問題がないことを提示する必要がある。

研究開発項目③-(3)：シリコンウェハ中の原子空孔濃度定量評価技術の研究開発

半導体産業におけるデバイス製造では、チョクラルスキー(CZ)法で製造したCZシリコン結晶から切り出したウェハを用いる。最近になり、2次欠陥であるボイドが全く存在しない完全結晶シリコンインゴットの製造技術が発達し、完全結晶ウェハを用いたデバイス製造技術が急速に進展している。CZシリコン中に存在する酸素をデバイス製造過程で析出させ金属汚染の除去を行なうゲッターリング技術は、微細化が進行してもデバイス製造技術に重要な役割を果たしている。ゲッターリング効果を得るには適量の酸素を析出させることが必要であるが、原子空孔は非常に重要な因子であり、酸素析出を著しく促進する。しかし、現在までシリコンウェハ中に存在する孤立した原子空孔の濃

度評価法が確立していないので、完全結晶シリコンウェハを用いたデバイス製造においては、酸素析出にばらつきが生じ、動作特性の不良による歩留まりの低下など大きな困難が生じている。このような技術的困難を突破するために、原子空孔濃度を予め評価したシリコンウェハを用いてデバイスを製造する技術が半導体産業から強く要請されている。

このため、低温超音波計測により、シリコン結晶中の孤立した原子空孔の濃度を定量評価する分析技術を開発し、超音波計測による原子空孔濃度分析技術の実用化を進めることを目的とする研究開発を行う。

<達成目標>

中間目標(平成21年度末)

(1)超音波計測を用いた原子空孔濃度分析の研究開発

完全結晶ウェハの原子空孔濃度を評価するために、圧電薄膜を用いた極低温超音波計測のシステムを構築し、20mKまでの極低温領域で高い音速分解能($\Delta v/v = 10^{-6}$ 以上)を実現する。

(2)原子空孔のナノレベルシミュレーション技術の研究開発

512原子以上での大規模セルでのナノレベルシミュレーションを行い、原子空孔軌道の量子状態を精密に求める。

(3)シリコン結晶中の原子空孔分布計測と欠陥制御技術の開発

低温超音波計測を利用して CZ 完全結晶インゴット中の原子空孔濃度とその空間分布を評価することによって、ウェハ結晶の品質特性との対応を明確にする。

(4)原子空孔濃度を評価した完全結晶ウェハを用いたデバイスの動作特性評価

低温超音波計測により原子空孔濃度を予め評価した完全結晶ウェハを用いたテストデバイスを作製し、原子空孔濃度とデバイス特性との関連を調査し、歩留まりの向上を図るための基礎技術を確立する。

最終目標(平成23年度末)

(1)超音波計測を用いた原子空孔濃度分析の研究開発

超音波計測によって低温ソフト化の量を測定することで、産業界で実用化が進んでいる完全結晶ウェハの原子空孔濃度の面内分布の分析技術を確立する。

(2)原子空孔のナノレベルシミュレーション技術の研究開発

超音波計測の結果と比較しながら、大規模ナノレベルシミュレーションを行い、原子空孔軌道と超音波歪みとの結合定数を求め、産業界で実用化が進んでいる完全結晶ウェハ中の原子空孔濃度の評価に適用する。

(3)シリコン結晶中の原子空孔分布計測と欠陥制御技術の開発

as-grown 結晶欠陥分布を決定する結晶育成時の熱履歴を厳密に制御する事で、原子空孔濃度を制御したデバイス評価に適した完全結晶ウェハを作製することを可能にする。

(4)原子空孔濃度を評価した完全結晶ウェハを用いたデバイスの動作特性評価

低温超音波計測により原子空孔濃度を予め評価した完全結晶ウェハを用いてテストデバイスを作製し、原子空孔濃度とデバイス特性との関連を調査し、次世代の完全結晶ウェハを用いたデバイス

製造のための基礎技術を確立する。

< 目標の根拠 >

(1) 超音波計測を用いた原子空孔濃度分析の研究開発

・低温超音波計測システムの構築と圧電薄膜作製が進行し、FZ および CZ シリコン結晶でのソフト化とその磁場依存性の観測が進んでいる。

(2) 原子空孔のナノレベルシミュレーション技術の研究開発

・Si 原子数が $N=216$ の系で大規模計算手法を実施し、原子空孔の周りに広がっている原子空孔軌道を求めている。

(3) シリコン結晶中の原子空孔分布計測と欠陥制御技術の開発

・ボロン添加 CZ シリコン結晶を製造し、原子空孔の存在を示す低温ソフト化とその磁場依存性の観測に成功している。

(4) 原子空孔濃度を評価した完全結晶ウェハを用いたデバイスの動作特性評価

・現在半導体産業で用いているシリコンウェハを用い、試験デバイス製造を進め、その電気特性がウェハ中の原子空孔分布と相関があることを示唆する結果を得ている。

2. 事業の計画内容

2.1 研究開発の内容

上記目標を達成するために、シリコンで培った微細化技術やデバイス原理をこれまで同様に活用しながら、シリコンという材料やプレーナCMOS構造の物理的特性を十分に踏まえた上で、様々な要因に基づいて出現するデバイス性能の技術的な飽和を突破し、集積回路システムとして用いることを前提として以下の”新材料”技術や”新(デバイス)構造”に関する研究開発を行う。

研究開発項目①-(1): シリコンナノワイヤトランジスタの知識統合研究開発

(1) シリコンナノワイヤトランジスタの作製技術および特性解析に関する研究開発

ナノワイヤトランジスタを試作し、構造と特性を解析して両者の関係を定量的に把握する。シングルナノ領域でデバイス本来の特性を観測するためには、原子レベルで整ったデバイス構造を作製できることが、必要条件である。このため、ナノワイヤチャネル、高誘電率ゲートスタック及びメタルソース・ドレインの作製プロセスを開発し、電気的特性評価と物理計測評価解析を行う。

(2) ナノワイヤトランジスタの精密計測評価技術の研究開発

ナノワイヤトランジスタの動作特性は、形状や物性の変化に極めて敏感であると予想されるので、特性解析のためには原子レベル精度で3次元的に形状や物性を計測評価できる技術が必須である。この要求に応え、形状やポテンシャル分布を3次元に計測できる走査プローブ技術を開発する。さらにX線の散乱・回折を用い、基板表面上に形成した多数のナノワイヤデバイス構造の形状や内部構造を精密に評価する技術を開発する。

(3) ナノワイヤトランジスタのシミュレーション技術の研究開発

量子効果が顕在化するナノワイヤトランジスタを対象に、原子スケールの構造安定性、不純物分布、ポテンシャル分布、界面構造、電気特性を予測・解析できるシミュレーション技術を開発する。

また、キャリア輸送に対する量子効果及びチャンネル内やソース・ドレイン領域でのキャリア散乱をできるだけ正確に導入したナノデバイス・シミュレータを構築する。

研究開発項目①－(2)： ナノワイヤFETの研究開発

(1) Siナノワイヤの電子構造の量子論的検討

Siナノワイヤの詳細なバンド構造や金属/Siナノワイヤのショットキー界面を量子論的計算によって明らかにする。上記の結果を用いて、Siナノワイヤの物性を科学的見地から体系的に明らかにし、ロードマップ作成に繋げる。

(2) ナノワイヤFETのバリスティシティ制御

ワイヤFET準バリスティック伝導において高い電流駆動力を実現する手段の検討を行う。その為にON電流を理論的に見積もるコンパクトモデルを構築する。OFF電流を支配する物理的モデルは明確になっていないため、この検討も行う。

(3) SiナノワイヤFETの作製

SiナノワイヤFETの試作を行い、理論と比較することにより、コンパクトモデルの精度を高める。また、試作デバイスの構造・パタン設計、試作プロセス設計、試作の実行、試作デバイスの評価を通して、ナノワイヤFETの技術的な課題を具体的に明確化する。

(4) Siナノワイヤデバイスのロードマップ作成

上記(1)～(3)の結果に基づいてSiナノワイヤFETロードマップを作成する。本研究開発と同時に委託される関連研究開発の結果や今後国内外で発表されるであろう他機関の研究結果も含めて総合的に検討を行い、その科学的及び技術的課題を明らかにする。さらにこれらの課題を解決するための具体的施策を示し、今後の日本の研究開発体制のあるべき姿を提案する。

研究開発項目①－(3)： シリコンナノワイヤトランジスタの物性探究と集積化の研究開発

(1) 極細シリコンナノワイヤトランジスタの電気伝導探究と集積化に関する研究開発

主にチャンネルは長いがナノワイヤの直径が極めて細いシリコンナノワイヤトランジスタの研究を行う。具体的には、極細シリコンナノワイヤトランジスタの試作と物性探究、ひずみによる高性能化の検討、最適レイアウトと集積化の検討を行う。

(2) 短チャンネルシリコンナノワイヤトランジスタの電気伝導探究と集積化に関する研究開発

主にナノワイヤ径はそれほど細くないがゲート長の短いシリコンナノワイヤトランジスタの研究を行う。具体的には、短チャンネルシリコンナノワイヤトランジスタの試作と物性探究、短チャンネル・少数キャリア散乱下における伝導特性の解析と高性能化の検討、最適回路形式と集積化の検討を行う。

研究開発項目②－(1)： 新構造 FinFET による SRAM 技術の研究開発

(1) 立体構造FinFET技術の研究開発

リソグラフィ寸法以下の立体構造を安定的に形成し、ばらつきの少ない所望の電気特性を実現するナノレベルの構造制御技術を開発して、立体構造トランジスタの性能向上を図り、低リーク電流かつ高駆動力のFinFETと閾値電圧調整可能な4端子FinFETの作製技術、及び、それらの集

積回路技術を構築する。

(2) 4端子FinFETを用いた低消費電力・高ノイズ耐性SRAM回路技術の研究開発

SRAMセルをFinFET及び4端子FinFETで構成し、低消費電力と高ノイズ耐性、省SRAMセル面積、従来のSRAM設計資産との整合性を持ったSRAM新回路構成を提供する。さらに、前項で開発したFinFET特性に即した回路設計、レイアウトの最適化等を行い、SRAMセルアレイレベルでの動作を実証する。

研究開発項目②－(2)：次世代相変化メモリ技術の研究開発

熔融状態のランダムな配列を高抵抗層とする従来型の相変化メモリではなく、新しい記録再生原理に基づいたカルコゲン化合物の超格子構造をボトムアップで作製し、書き込み・読み出し回数大幅な向上と動作電力の大幅な抑制を実現できるナノレベル構造制御を施した新型相変化メモリを開発する。また、密度汎用数法によるシミュレーションと実験とを同時並行的に実施することで相変化メモリの作製方法を見直し、ナノレベルで動作機能を制御する新技術を完成させる。そのために具体的には、下記4項目について研究開発を行なう。

- (1) 高速スイッチング現象に最適なナノレベル構造制御カルコゲナイド薄膜の結晶構造の検討
- (2) 抵抗加熱方式での熱的構造変化を最適に行うためのシミュレーション技術の開発
- (3) 再現性や信頼性など集積化に向けて必要となる特性の体系的理解のための動作温度領域における薄膜物性データベースの構築
- (4) 一定規模以上の集積化可能性を示すためのナノレベル微細加工を施したデバイス試作

研究開発項目②－(3)：ナノギャップ不揮発性メモリ技術の研究開発

(1) 平面先鋭型金属ナノギャップ素子およびその基本特性評価技術の開発

NGS動作機構の解明、すなわちナノギャップ部の抵抗変化を引き起こす要因を明らかにするために、NGS特性評価に適した、AFMをベースとするナノプローブ計測評価手法を確立する。また、ナノプローブ計測法によるナノギャップ部の評価を可能とする素子、平面先鋭型金属ナノギャップ素子を開発する。

(2) 金属ナノギャップメモリ・デバイスの研究開発

金属ナノギャップメモリ・デバイスを試作および評価し、稠密性、高速性、不揮発性等の性能を実証する。

(3) 高性能メモリ金属ナノギャップ素子の研究開発

実用レベルの動作・保持環境においても高性能メモリ特性を持つ金属ナノギャップの基本素子構造作製および高性能メモリ特性を実現する動作手法の開発を行う。実用レベルの動作環境において動作電流が低く抑えられる構造、動作法を開発する。集積化ナノギャップ素子のバラツキの原因を見だし、それが低減できる駆動法の技術開発を行う。

研究開発項目③－(1)：カーボンナノチューブトランジスタ技術の研究開発

(1) CNTデバイス作製技術の研究開発

・高密度CNTチャネル形成技術、CNT-FETのコンタクト形成技術、デバイス表面保護膜形成技術、高密度短チャネルデバイス作製技術を開発する。

・これらの技術を総合化してCNT-FETを試作し、高性能性及び実用性を実証する。

(2) CNT成長技術の研究開発

・原料ガスや電場などを高度に制御したCNT成長技術、CNTカイラリティ計測技術を開発し、半導体優先成長および高品質成長を実証する。

・高密度CNT配向成長を実現する触媒技術・基板技術を開発する。

・シリコンウェハ上でのCNT配向成長技術を開発する。

(3) CNTデバイスの局所評価技術の研究開発

・ナノプローブを利用した高精度なCNT欠陥評価技術およびCNTチャネル電流検出技術を開発する。

研究開発項目③- (2)： シリコンプラットフォーム上III-V族半導体チャネルトランジスタ技術の研究開発

III-V族半導体チャネル MISFET の最適素子構造・材料の明確化を進め、本デバイスの当該世代CMOSへの適用性を明らかにすると共に、将来のCMOS構造への集積化の可能性を検証するために以下の研究開発を行う。

(1) III-V-OIチャネル形成技術

有機金属気相成長法及び貼り合わせ法を用いた Si 基板上あるいは絶縁膜上への良質な III-V 族半導体チャネル及び III-V 族薄膜ウェハの形成技術を開発する。

(2) MIS界面安定化技術及び界面評価技術

III-V族半導体MIS界面の最適化による高品質MIS構造形成技術並びに high-k 絶縁膜を含むゲートスタック構造形成技術を開発する。

(3) III-V-OI MISトランジスタ形成技術

Si 上あるいは絶縁膜上の n チャネル III-V 族半導体チャネルMISFETの作製技術の確立と動作実証を行う。

研究開発項目③- (3)： シリコンウェハ中の原子空孔濃度定量評価技術の研究開発

(1) 超音波計測を用いた原子空孔濃度分析の研究開発

超音波計測を用いて、弾性定数の低温ソフト化の大きさを精密に測定することで、産業界で用いられているシリコンウェハ中の原子空孔の濃度を定量的に評価する分析技術を開発する。

(2) 原子空孔のナノレベルシミュレーション技術の研究開発

密度汎関数法、分子動力学、並びにこれらをハイブリッド化した大規模計算手法を用いたシリコン中の原子空孔のナノレベルシミュレーション技術を開発する。

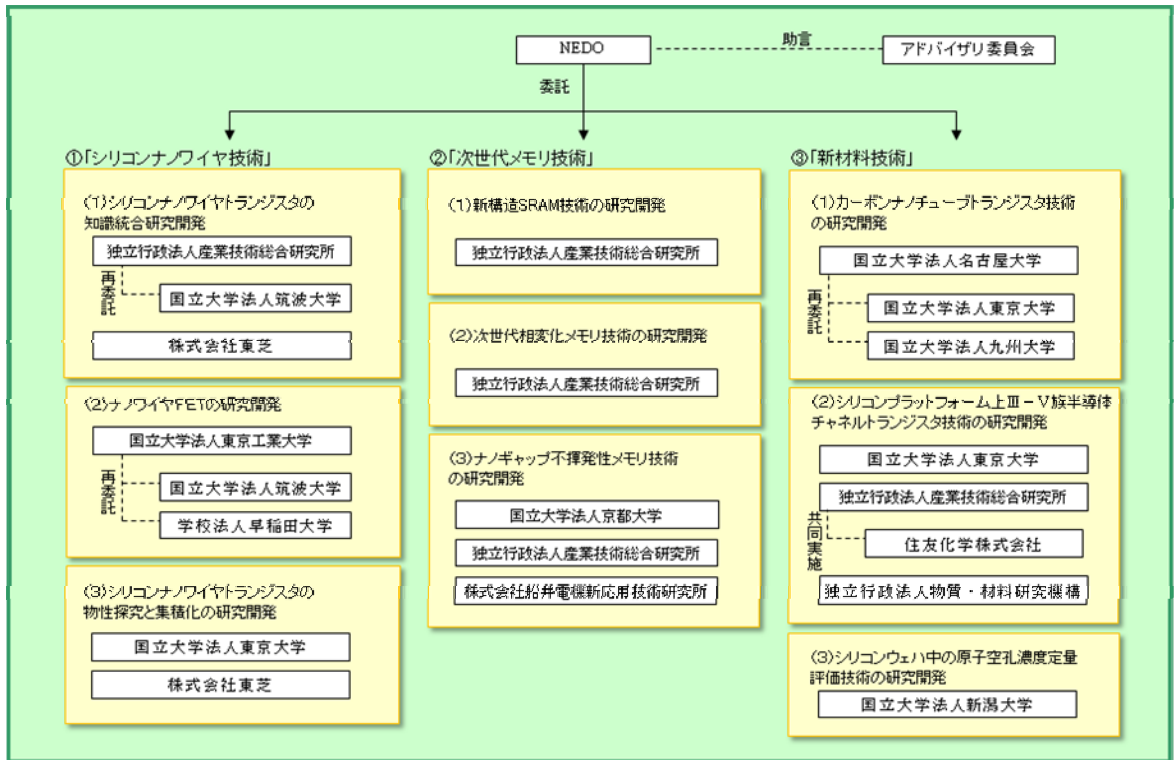
(3) シリコン結晶中の原子空孔分布計測と欠陥制御技術の開発

低温超音波計測による原子空孔の計測・分析技術を利用して、シリコンインゴット中の原子空孔濃度および2次結晶欠陥の三次元分布を求め、結晶製造時の結晶欠陥制御との対応を明確にして、デバイス製造評価に対応できるウェハ作製技術を開発する。

(4) 原子空孔濃度を評価した完全結晶ウェハを用いたデバイスの動作特性評価

超音波計測により原子空孔濃度を評価した完全結晶シリコンウェハを用いて試験的デバイスを製造し、原子空孔がデバイスの動作特性に及ぼす影響の評価技術を開発する。

2. 2 研究開発の実施体制



研究開発に参加する各研究開発グループの有する研究開発ポテンシャルの最大限の活用により効率的な研究開発の推進を図る観点から、研究体にはNEDO技術開発機構が委託先決定後に委嘱する産業界を中心とするアドバイザー委員会を置き推進に関する意見を運営管理に反映させて効果的に研究開発を実施する。

2. 3 研究開発の運営管理

研究開発全体の管理・執行に責任を有するNEDO技術開発機構は、経済産業省及び研究開発実施者と密接な関係を維持しつつ、プログラムの目的及び目標、並びに本研究開発の目的及び目標に照らして適切な運営管理を実施する。具体的には、必要に応じて開催するアドバイザー委員会の意見を運営管理に反映させる他、年に4回程度プロジェクトの進捗について報告を受けること等を行う。

3. 情勢変化への対応

本研究開発は、経済産業省により、企業、民間研究機関、独立行政法人、大学等(委託先から

再委託された研究開発実施者を含む)から公募によって研究開発実施者が選定され、共同研究契約等を締結する研究体を構築され、平成19年度より委託により実施している。平成21年度より、NEDO技術開発機構が本研究開発を運営・管理するに当たっては、平成20年度までの進捗状況を踏まえた研究開発内容・計画及び実施体制の妥当性について、外部有識者による審議を含めた評価を行った上で最適な研究開発体制を構築し、委託して実施する。

4. 中間評価結果への対応

本プロジェクトは平成 21 年度に中間評価の実施を予定しており、現時点において未実施のため記載すべき事項はない。

5. 評価に関する事項

NEDO技術開発機構は、技術的及び政策的観点から、研究開発の意義、目標達成度、成果の技術的意義並びに将来の産業への波及効果等について、外部有識者による研究開発の中間評価を平成21年度、事後評価を平成24年度に実施する。また、中間評価結果を踏まえ必要に応じプロジェクトの加速・縮小・中止等見直しを迅速に行う。なお、評価の時期については、当該研究開発に係る技術動向、政策動向や当該研究開発の進捗状況等に応じて、前倒しする等、適宜見直すものとする。

・研究開発成果について

1. 事業全体の成果

1.1 事業全体の成果の概要

全ての研究開発項目について中間目標は達成済みまたは平成 21 年度中に達成見込みであり、最終目標も達成の見通しが立っている。

1.2 研究開発項目毎の成果の概要

1.2 - (1)「シリコンナノワイヤトランジスタの知識統合研究開発」

1.2 - (1) - 1 目標の達成度

(基本計画の目標)

(概要)

シングルナノ領域、即ちゲート長がサブ 10 nm の領域に到達すると、ゲートのチャンネルに対する制御能力を最大化するために、直径が nm レベルのナノワイヤ構造をチャンネルに採用することが必須になる。この領域では、量子効果が顕在化し、その利点を活かして高い性能を実現することが期待できる一方、原子レベルの構造揺らぎもデバイス特性に顕著な影響を与え、特性バラツキが今以上に深刻な課題になることが懸念される。

このため本事業では、量子効果が顕在化する特性寸法が 10nm 以下のナノワイヤトランジスタを対象に、次のように、デバイス試作と電気的特性評価、物理計測評価解析、デバイスシミュレーションを含む計算科学的解析を、総合的に行う。これによって、CMOS の究極形としてのナノワイヤトランジスタの特性を予測し、構造・材料・プロセスの設計を行うための基盤的知識体系を、科学的な裏付けを持って構築する。

(1)シリコンナノワイヤトランジスタの作製技術および特性解析

ナノワイヤトランジスタを試作し、構造と特性を解析して両者の関係を定量的に把握する。シングルナノ領域でデバイス本来の特性を観測するためには、原子レベルで整ったデバイス構造を作製できることが、必要条件である。このため、ナノワイヤチャンネルと高誘電率ゲートスタックおよびメタルソース・ドレインの作製プロセスを開発し、電気的特性評価と物理計測評価解析を行う。

(2)ナノワイヤトランジスタの精密計測評価技術の研究開発

ナノワイヤトランジスタの動作特性は、形状や物性の変化に極めて敏感であると予想されるので、特性解析のためには原子レベル精度で3次元的に形状や物性を計測評価できる技術が必須である。この要求に応え、形状やポテンシャル分布を3次元に計測できる走査プローブ技術を開発する。さらにX線の散乱・回折を用い、基板表面上に形成した多数のナノワイヤデバイス構造の形状や内部構造を精密に評価する技術を開発する。

(3)ナノワイヤトランジスタのシミュレーション技術の研究開発

量子効果が顕在化するナノワイヤトランジスタを対象に、原子スケールの構造安定性、不純物分布、ポテンシャル分布、界面構造、電気特性を予測・解析できるシミュレーション技術を開発する。また、キャリア輸送に対する量子効果や、チャンネル内およびソース・ドレイン領域でのキャリア散乱

をできるだけ正確に導入したナノデバイス・シミュレータを構築する。

中間目標 (平成21年度):

(1)シリコンナノワイヤトランジスタの作製技術および特性解析

・直径 10nm 級のシリコンナノワイヤ形成技術、および高誘電率ゲート絶縁膜の堆積技術とメタルソース・ドレイン形成技術を確立し、シリコンナノワイヤ トランジスタの試作を行って電気特性を評価する。

(2)ナノワイヤトランジスタの精密計測評価技術の研究開発

・ナノワイヤを計測するための走査プローブ技術を開発し、原子間力顕微鏡による高アスペクト3次元形状の可視化と、孤立ナノワイヤの走査トンネル顕微鏡による計測を実現する。また、ライン&スペースパターンを基本とする擬似ナノワイヤデバイス構造に対して、X線散乱・回折法を用いて形状や内部構造の解析を行う。

(3)ナノワイヤトランジスタのシミュレーション技術の研究開発

・ナノワイヤトランジスタの構造安定性、界面構造、不純物分布、ポテンシャル分布、電気特性を解析する、要素シミュレーション技術を開発する。

・ナノワイヤトランジスタの特性評価を行うために、チャンネル領域での量子閉じ込め効果を取り入れた自己無撞着モンテカルロ・デバイスシミュレータを開発する。

最終目標 (平成23年度):

(1)シリコンナノワイヤトランジスタの作製技術および特性解析

・表面が原子レベルで平滑な直径10 nm以下のシリコンナノワイヤ形成技術、および原子レベルで平坦な界面を有する高誘電率ゲート絶縁膜の堆積技術とメタルソース・ドレイン形成技術を確立し、シリコンナノワイヤ トランジスタを作製して、構造制御の効果を明らかにする。

(2)ナノワイヤトランジスタの精密計測評価技術の研究開発

・ナノワイヤの3次元走査プローブ計測により、サブnmの形状計測精度を実現する。

・絶縁体上に作製されたナノワイヤ構造のポテンシャル分布を、走査プローブで計測する技術確立する。

・X線散乱・回折の解析により、基板表面上に周期的に形成したナノワイヤデバイスの形状や内部構造およびそれらのばらつきの評価を実現する。

(3)ナノワイヤトランジスタのシミュレーション技術の研究開発

・ナノワイヤトランジスタの構造安定性、界面構造、不純物分布、ポテンシャル分布、電気特性を予測・解析できる統合的シミュレーション技術を開発し、実験との比較によりその信頼性を検証する。

・自己無撞着量子モンテカルロ・デバイスシミュレータを開発し、ナノワイヤトランジスタの特性予測を実現する。

(開発成果の要約)

(1)シリコンナノワイヤトランジスタの作製技術および特性解析に関する研究開発

ナノワイヤトランジスタへの適用が有望なメタルソース・ドレイン形成技術開発、及びナノワイヤチ

チャンネルの形成技術を開発した。

メタルソース・ドレインの研究においては、当プロジェクトに先立って開発した NiSi₂ 結晶相の固相エピタキシャル膜形成技術を用いて、断面寸法が 10 nm 級のシリコンナノワイヤのシリサイド化を行ない、単結晶 NiSi₂ を得ることに成功した。中間目標であるメタルソース・ドレインの形成技術の確立を達成することができた。

ナノワイヤチャンネルの形成の基盤技術開発に関連しては、SOI(Silicon on Insulator)基板上に形成した立体 Si チャンネル構造に対して、低 pH 弗酸溶液処理および水素アニールを用いた“Si 表面原子レベル平坦化技術”を適用した。その結果、異なる方位を持つ結晶面を側壁に持ち、かつ原子レベルでの平坦性をもつ直径 30nm 程度の Si ナノワイヤ構造の形成に成功した。また、水素アニールで側壁面の平坦化処理を行った後に、低圧の酸素中で加熱しエッチングすることで、Si ナノワイヤの細線化を行い、原子レベルの平坦性を維持したままで、高誘電率 (high-k) ゲート絶縁膜の原子層堆積 (ALD) に適した親水性の表面を得る手法を開発した。この方法により、断面寸法が 4 × 9nm の Si ナノワイヤを作製した。さらに、これらのチャンネル上に HfO₂ の ALD 堆積による高誘電率ゲート絶縁膜及びポリシリコンゲート電極の形成にも合わせて成功した。

これらの技術を統合して、今年度の残り期間に直径 10 nm 級のシリコンナノワイヤ トランジスタの試作を行う。

また、ナノワイヤのフォノン特性測定においては、励起光による局所加熱の影響を受けることなく単一のナノワイヤのラマン散乱測定を行うための技術開発を行った。Si のストライプ構造において、励起光の偏光方向がストライプの方向と平行な時、エッジ部分のラマン信号が増強される効果を用い、10 nW というきわめて弱い励起光強度で、幅 15nm、厚さ 10nm の単一の Si ナノストライプのラマン信号を測定することに成功した。これは、通常の励起強度の 1/1000 ~ 1/10000 という低い励起強度である。また、幅が 20 ~ 40 nm の Si ナノストライプのラマンスペクトルを測定し、幅が狭くなるにつれ、ラマン・ピーク位置が系統的に低波数側にシフトすることを確認した。

(2) ナノワイヤトランジスタの精密計測評価技術の研究開発

原子間力顕微鏡を用いた三次元形状計測に向け、探針の傾斜および縦・横方向力の同時取得に対応した三次元走査技術の開発を進めた。走査機構の最適化とプローブの特性評価を行い、探針先端のダメージ低減と高アスペクトパターンの側壁形状測定に目途を付けた。また、ナノワイヤ構造の X 線計測では、深さ方向に組成が段階的に変化する構造の複数の手法による比較検討から深さ方向分解能について目処を付けるとともに、基板表面上に周期的に形成したナノワイヤ構造の X 線散乱および回折の測定により、ワイヤの幅や周期などの寸法測定に成功した。

SOI 基板上に作製されたナノデバイス構造のポテンシャル計測を走査トンネル顕微鏡により行う際、安全に探針をデバイス領域まで移送するための技術として、導電性の AFM プローブを用い、AFM モードで絶縁膜上に形成された試料構造の位置を同定して、プローブとの間に流れるトンネル電流の 2 次元マッピングを取ることに成功した。このような測定の報告例は、これまでにはない。ここで用いた導電性プローブは Si 製で、伝導度があまり高くなく、測定データの S/N が良くないため、金属製のチップを持つ AFM カンチレバーを自作する等の改良を行っている。

(3) ナノワイヤトランジスタのシミュレーション技術の研究開発

量子効果が顕在化するナノワイヤトランジスタを対象に、原子スケールの構造安定性、不純物分布、電気特性などを予測・解析できるシミュレーション法の要素技術を開発した。具体的には、シリコンナノワイヤの構造を分子動力学計算で予測する構造最適化シミュレータを開発し、フラレンケージを有するナノワイヤの構造安定性を明らかにした。さらに、その電子状態計算を第一原理計算で系統的に行い、電気的特性を明らかにすると共に、電気伝導シミュレータを開発した。また、シリコンと酸化物界面の構造を予測する界面シミュレータを開発した。また、ナノワイヤ表面近傍の不純物析出のモデリング(不純物モデリングシミュレーション)技術の開発を行った。

量子モンテカルロ・デバイスシミュレータによるナノワイヤトランジスタの特性評価については、半古典的シミュレータに、ソース・ドレインなどの高濃度領域で最も支配的な散乱過程(クーロン相互作用)を正確に導入することにより、ナノワイヤ構造での現実的なデバイス特性を正しくシミュレーションできる手法を開発した。その結果、トランジスタの電流特性が、高濃度領域での位相緩和から大きな影響を受けることを明らかにした。このシミュレータに、ナノワイヤチャネルの量子閉じ込め効果を反映したサブバンド構造の導入を進めている。

(中間目標の達成度)

以上の内容を表 1-1.2-1 にまとめる。このように、基本計画に定義された中間目標は現時点でほぼ達成されており、平成21年度中には達成見込みである。この成果を受けて、最終目標の実現に向けて研究を実施中である。

1.2-1 (1)-2 成果の意義

ナノワイヤトランジスタを対象とする作製技術と評価技術、物理計測評価解析、シミュレーション技術について、世界最高水準の成果が得られている。

NiSi₂ 結晶膜の固相エピタキシャル成長法を用い、ナノワイヤに単結晶のメタルソース・ドレインを形成する技術は他に類がなく、世界最高水準に位置する。また、ナノワイヤの形成法については、従来、酸化圧縮による酸化自動停止法をはじめとするさまざまな手法で、直径数 nm 程度の断面寸法が形成されてはいるが、その形状およびサイズは特に制御されたものではない。今回の酸素エッチングを用いた細線化技術は、Si ナノワイヤ形成技術としては新規な手法である。特に、形状やサイズの制御が可能であることが、従来技術にない極めて大きな優位点である。さらに、本手法で形成した Si 表面上には、直接 ALD により良好な特性を持つ high-k ゲート絶縁膜を堆積可能であることが明らかになっており、今後の FET 作製にも極めて高い親和性を持つ。この手法により、世界最高水準であるサブ 10nm の断面寸法をもつ Si ナノワイヤの形成に成功したことは、本技術のもつ高いポテンシャルを示す。

単一のナノワイヤを対象とするラマン散乱計測技術および STM 計測技術、三次元形状の AFM 計測技術など、それぞれの計測技術も、他に例を見ない独創的な技術である。開発した計測技術は、そのままでナノレベルの精度を要求されている現行のシリコンプロセスに適用可能で、有用な成果である。

シミュレーション技術については、シリコンナノワイヤの構造形成過程を原子レベルで予測する分

子動力学シミュレータを開発し、シリコンナノワイヤに特有な構造を予測したことは、世界で初めてであり、大きな成果である。また、構造安定性と電気特性を解析するシミュレータを同時に開発し、総合的にナノワイヤトランジスタの解析に取り組んでいることも、他にはない特長である。キャリア間のクーロン相互作用を正確に導入したデバイスシミュレータは、世界で唯一であり、今後のナノデバイスの特性解析に、有力な手法になると期待される。

今後の研究開発で、上記の要素技術の成果を統合することにより、他に例を見ない強力な技術力を体系的に構築できる可能性が高い。

1.2 - (1) - 3 知的財産権等の取得

ナノワイヤトランジスタの作製プロセスとして重要性が高い極薄膜絶縁膜形成方法について、3件の特許出願を行った。

1.2 - (1) - 4 成果の普及

以上に述べた特許、論文、外部発表等の件数を表 - 1 - 1.2 - (1) - 2 にまとめて示す。本表からわかるように、本研究開発は国内外から高い評価を受けており、招待講演を含めて、適切に情報発信を行っている。

1.2 - (1) - 5 最終目標の達成可能性

現在までに、研究開発は順調に進行している。この成果をうけ、今後は、(1)シリコンナノワイヤトランジスタの作製技術および特性解析に関する研究開発では、独自性の高いシリコンナノワイヤチャンネル作製技術とナノワイヤへの単結晶メタルソース・ドレイン形成技術とを組み合わせ、ナノワイヤトランジスタの全体プロセス技術を構築し、精度の高いデバイス試作を行う。この成果に基づくナノワイヤトランジスタの系統的な試作結果と対比して、(2)ナノワイヤトランジスタの精密計測評価技術の研究開発と(3)ナノワイヤトランジスタのシミュレーション技術の研究開発を推進し、それぞれの成果を総合的に統合することにより、最終目標を確実に達成できると考えている。

表 - 1 - 1.2 - (1) - 1

「シリコンナノワイヤトランジスタの知識統合研究開発」の成果と達成度()

達成度(H21年度末見込み)

:目標を大幅に上回り達成、 :目標を達成、 :目標をほぼ達成、×:目標未達成

中間目標(H21年度末)	研究開発成果	達成度
<p><u>(1)シリコンナノワイヤトランジスタの作製技術および特性解析に関する研究開発</u></p> <p>・直径 10 nm 級のシリコンナノワイヤ形成技術及び高誘電率ゲート絶縁膜の堆積技術とメタルソース・ドレイン形成技術を確立し、シリコンナノワイヤトランジスタの試作を行って電気特性を評価する。</p>	<p>直径10nm級のシリコンナノワイヤ形成技術: NiSi₂の固相エピタキシャル成長法を用いて、ナノワイヤに単結晶メタルソース・ドレインを形成する技術を確立した。 低pH HF処理と水素アニールによりSi ナノワイヤ側壁面を結晶面に収束させることに成功。 酸素エッチングにより断面寸法4×9nmのSiナノワイヤ構造の形成に成功。 高誘電率ゲート絶縁膜の堆積技術としてALD-HfO₂を堆積したSi ナノワイヤ構造の形成に成功した。 ～の要素技術を取り入れたシリコンナノワイヤトランジスタのプロセス技術を開発中であり、また電気特性評価に向けた準備を行っている。</p>	
<p><u>(2)ナノワイヤトランジスタの精密計測評価技術の研究開発</u></p> <p>・ナノワイヤを計測するための走査プローブ技術を開発し、原子間力顕微鏡による高アスペクト3次元形状の可視化と、孤立ナノワイヤの走査トンネル顕微鏡による計測を実現する。また、ライン&スペースパターンを基本とする擬似ナノワイヤデバイス構造に対して、X線散乱・回折法を用いて形状や内部構造の解析を行う。</p>	<p>・原子間力顕微鏡を用いた三次元形状計測のために、傾斜探針および縦・横方向力が同時取得できる三次元プローブ走査技術を開発し、高アスペクトパターンの側壁形状測定に目途を付けた。 ・導電性プローブを持つAFMカンチレバーを用い、SOI基板上に作製したシリコン構造のトンネル電流検出に基づく電気的特性の測定に成功した。 ・基板表面上に周期的に形成したナノワイヤ構造の寸法を、X線散乱および回折を用いて測定することに成功した。また、表面から深さ方向への組成変化の計測について目処を付けた。</p>	
<p><u>(3)ナノワイヤトランジスタのシミュレーション技術の研究開発</u></p> <p>・ナノワイヤトランジスタの構造安定性、界面構造、不純物分布、ポテンシャル分布、電気特</p>	<p>・ナノワイヤトランジスタについて、構造を分子動力学計算で予測する構造最適化シミュレータ、第一原理計算などに基づく界面シミュレータや不純物モデリングシミュレーション、電気伝導シミュレーション技術を開発した。</p>	

<p>性を解析する、要素シミュレーション技術を開発する。</p> <p>・ナノワイヤトランジスタの特性評価を行うために、チャンネル領域での量子閉じ込め効果を取り入れた自己無撞着量子モンテカルロ・デバイスシミュレータを開発する。</p>	<p>・非平衡グリーン関数法 (NEGF) をベースにした量子輸送シミュレータに、ソース・ドレイン高濃度領域でのクーロン相互作用と散乱散逸過程を正確に導入したナノデバイス・シミュレータを構築し、ナノワイヤチャンネルのサブバンド構造の導入を進めている。</p>	
---	---	--

表 - 1 - 1.2 - - (1) - 2

「シリコンナノワイヤトランジスタの知識統合研究開発」の特許、論文、外部発表等

区分 年度	特許出願			論文及びProceedings		その他外部発表 (うち招待講演数)
	国内	外国	PCT出願	査読付き	その他	
H19FY	2 件	0 件	0 件	0 件	0 件	29 (4) 件
H20FY	1 件	0 件	0 件	17 件	2 件	45 (6) 件
H21FY	0 件	0 件	0 件	7 件	1 件	12 (3) 件

H21 FY は平成 21 年 7 月 1 日現在の集計。

1.2 - (2) 「ナノワイヤFETの研究開発」

1.2 - (2) - 1 目標の達成度

(基本計画の目標)

(1) 「Siナノワイヤの電子構造の量子論的検討」

Siナノワイヤの詳細なバンド構造や金属/Siナノワイヤのショットキー界面を量子論的計算によって明らかにする。上記の結果を用いて、Siナノワイヤの物性を科学的見地から体系的に明らかにし、ロードマップ作成に繋げる。

本研究開発を遂行するに当たり次の研究項目の検討を行う。Siナノワイヤの詳細なバンド構造を量子論的計算によって明らかにし、Siナノワイヤの物性を科学的見地から体系的に明らかにし、ロードマップ作成に繋げる。Siナノワイヤの径や歪みをパラメータとして得られた電子構造からバリスティック電流を計算しSiナノワイヤの構造によるドレイン電流の変化を捉える。また、モデル金属と半導体ナノ界面の電子状態を明らかにするために第一原理計算による解析を行い、ナノ界面におけるショットキー障壁を見積もるとともに、その仕組みを理論的に明らかにする。

中間目標 (平成21年度):

- ・第一原理計算等を用いて、歪みなどによるSiナノワイヤの電子構造の変化を系統的に解析し、良好なバリスティックFET特性を得るための指針を示す。
- ・金属と半導体のナノ界面におけるショットキー障壁を第一原理計算等により見積もる。

最終目標 (平成23年度):

- ・Siナノワイヤの電子構造解析により、SiナノワイヤFET実用化に向けて解明すべき物理現象を明らかにする。
- ・金属とワイヤ状物質との間の曲率のあるナノ界面におけるショットキー障壁を第一原理計算等によって解析し、その特徴を理論的に明らかにする

(2) 「ナノワイヤFETのバリスティシティ制御」

ワイヤFET準バリスティック伝導において高い電流駆動力を実現する手段の検討を行う。その為にON電流を理論的に見積もるコンパクトモデルを構築する。OFF電流を支配する物理的モデルは明確になっていないため、難しい課題であるがこの検討も行う。

本研究開発を遂行するに当たり次の研究項目の検討を行う。ナノスケール界面における電子の輸送が従来考えられていたモデルと異なることを、ナノワイヤFETをはじめとするナノ構造中の電子のダイナミクスを測定し、そのモデル化を行う。また、Siナノ構造を対象とした電気特性等を詳細に解析することによって、バリスティック伝導に少数回の散乱を導入した場合のドレイン電流への影響を把握する。

中間目標 (平成21年度):

- ・バリスティック伝導に少数回の散乱を導入した場合のドレイン電流への影響を把握する。
- ・光応答・電気特性等の解析により、ナノワイヤFET中の電子ダイナミクスの特徴をモデル化する。
- ・Siナノワイヤの構造に依存したドレイン電流を記述する。

最終目標（平成23年度）:

- ・準バリスティックSiナノワイヤFETの電圧・電流特性をコンパクトモデルで定式化する。
- ・コンパクトモデルによる解析と実験値との比較を通じて、バリスティシティを高めるなど性能最適化のための指針を明確化するとともに、その理論・技術上の問題点を明らかにする。

(3)「SiナノワイヤFETの作製」

SiナノワイヤFETの試作を行い、理論と比較することにより、コンパクトモデルの精度を高める。また、試作デバイスの構造・パタン設計、試作プロセス設計、試作の実行、試作デバイスの評価を通して、ナノワイヤFETの技術的な課題を具体的に明確化する。

本研究開発を遂行するに当たり次の研究項目の検討を行う。Siナノワイヤの電気測定用のテストパターン(TEG)の設計を行い、実際にSiナノワイヤデバイスを作製・評価して、ナノワイヤゆえに生じる問題点を明らかにする。さらに並行してSiナノワイヤの物理分析を詳細に行い、理論とデバイス作製にフィードバックを行う。また、SiナノワイヤFETではソース・ドレインにおける直列の寄生抵抗が性能の劣化を引き起こすため、Siナノワイヤにおけるシリサイド反応を検討する。

中間目標（平成21年度）:

- ・直径10nm級のSiナノワイヤFETの作製を行う。また、電気特性の解析によりキャリアの散乱メカニズムを考察し、プロセス上の技術課題を明確にする。
- ・Siナノワイヤと金属とのコンタクトにおける特異なシリサイド反応現象を実験により明らかにする。

最終目標（平成23年度）:

- ・SiナノワイヤFETの作製とその性能評価を通じて、理論予測との違いを明らかにし、その技術上の課題を明確にする。

(4)「Siナノワイヤデバイスのロードマップ作成」

上記(1)～(3)の結果に基づいてSiナノワイヤFETロードマップを作成する。本事業と同時に委託される関連事業の結果や今後国内外で発表されるであろう他機関の研究結果も含めて総合的に検討を行い、その科学的及び技術的課題を明らかにする。さらにこれらの課題を解決するための具体的施策を示し、今後の日本の研究開発体制のあるべき姿を提案する。

中間目標（平成21年度）:

- ・SiナノワイヤFETを実現するに当たり直面する技術的課題、科学的課題をタイムスケジュール上でリストアップし、解決するための方法の考察を行う。

最終目標（平成23年度）:

・上記の事業項目の結果および他機関の研究結果も含めた総合的な検討に基づいて、本事業の最終目的であるSiナノワイヤデバイスのロードマップを作成する。さらにこれらの課題を解決するための具体的施策を示し、そのための今後の研究開発体制のあるべき姿を提案する。

(開発成果の要約)

(1)「Siナノワイヤの電子構造の量子論的検討」

ワイヤ径、方向および歪みによる電子構造の結果から、有効質量の変化を捉えることができた。その結果、伝導に寄与する量子チャネル数とバンド間電子散乱による伝導のトレードオフの関係を示し、最大性能を示す径が存在することが明らかになった。また、従来考えられてきたオーミック接触のモデルの矛盾を指摘し、曲率のある界面でオーミック接触を実現するためには、界面中に共鳴トンネルを媒介するレベルを作る必要があるという道筋を示した。また、第一原理計算を用いてモデル金属とワイヤ状物質のショットキー障壁を計算したところ、ワイヤ状物質の形状に強く依存したショットキー障壁値が存在することが明らかになった。

(2)「ナノワイヤFETのバリスティシティ制御」

二次元電子ガスからドットへの電子注入実験を行ったところ、直接トンネル電流に温度依存性がある結果を得た。高次元の電子溜まりから低次元の場所への注入機構の場合、従来とは異なる伝導機構が介在する可能性を示した。

また、ドレイン反跳を理論的に考慮するために反射透過(RT)モデルを新しく構築し、ドレイン反跳の影響を最小化することが可能なデバイス構造のあり方を明らかにした。また、フロントゲート構造でもゲートアラウンド構造と同様にバリスティック伝導が得られることが理論的に明らかにした。

さらにバリスティック伝導が実現出来た場合のSiナノワイヤFETの電圧電流特性を解析式と簡単な数値計算を組合せて求める手法を確立した。その結果、ワイヤ径、あるいは縮退度によって、電子の注入速度が大きく変化し、最大のドレイン電流を得ることが可能なパラメータの存在を示した。また、第一原理計算によって導いたSiナノワイヤのバンド構造を基にトランジスタ特性を示し、径や方向、歪みによる影響を示した。

(3)「SiナノワイヤFETの作製」

Siナノワイヤのトランジスタ特性が評価可能なTEGの設計を行い、実際に現状の半導体微細加工生産設備を用いてSiナノワイヤFETの作製を行った。その結果、径25nmのFETでオンオフ比で8桁、ワイヤー本あたり40 μ Aを超えるオン電流を実証することに成功した。また、350cm²/Vsを超える移動度を得ることに成功した。また、独自のデバイス構造である四端子デバイスではSiナノワイヤチャネル内のポテンシャルの抽出に成功した。

また、SiナノワイヤへのNiの反応を熱処理温度、熱処理時間を変えて系統的に実験を行った結果、SiナノワイヤではNiの過剰な拡散に加えてSiが外に掻き出される特異な現象を確認した。この過剰なNiの拡散は、低温熱処理後に未反応Niを除去し、高温で熱処理を行うことで抑制可能で

あることを見いだした。

(4) 「Siナノワイヤデバイスのロードマップ作成」

国内外で発表されているSiナノワイヤの正当な比較を行った結果、Siナノワイヤの潜在的な性能を発揮したデバイスはまだ発表されていないことがわかった。その原因として、ドレイン反跳が挙げられ、解決すべき問題であることを指摘した。また、本PJで行ったSiナノワイヤFET作製で得られた特性を基に将来のリソグラフィー技術を想定した場合の性能評価を行いSiナノワイヤFETの性能ロードマップの作成を行った。その結果、SiナノワイヤFETはバルクやダブルゲートの性能を遙かに凌駕するドレイン電流を得る事が可能であること示す結果を得た。

(中間目標の達成度)

以上の内容を表 1-1.2 - (2) - 1にまとめる。このように、基本計画に定義された中間目標はすべて現時点で達成できる見込みである。その成果を受けて、最終目標の実現に向けて研究を実施中である。

1.2 - (2) - 2 成果の意義

(1) 「Siナノワイヤの電子構造の量子論的検討」

本成果である最大の性能を示すSiナノワイヤの径と方向の存在は、Siナノワイヤのトランジスタとしての潜在的で本質的な性能が予測可能であることを示している。この理論的性能予測から次世代デバイスとしてのロードマップ上の位置づけが可能となる一方で、大規模計算科学の現実的なデバイスへの応用例を示すことができた意義は大きい。

一方、曲率をもった界面におけるショットキー障壁が平面の場合と異なることは、モデル金属を用いた計算結果であるが、初めて定量的に実証した内容である。SiナノワイヤFETにおいてメタルソース・ドレインのコンタクトを想定した場合、ショットキー障壁の増大が課題となることを示した意義は大きい。

(2) 「ナノワイヤFETのバリシティシテ制御」

バリスティック伝導の課題であるドレイン反跳を理論的にモデル化することで、ドレイン電流を最大にするために必要なデバイス設計を提案することができた意義は大きい。また、集積に有利なフロントゲート構造でもバリスティック伝導の実現が可能であることを理論的に示した功績はデバイス作製の容易さを示唆する内容でありその意義は大きい。一方、ナノ界面におけるトンネル電流の温度依存性は、関与する電子の局在性を示すものであり、新現象を捉えた内容である。Siナノワイヤのソースからチャンネルに供給されるキャリアの機構がバルクの場合と異なることを強く示唆する内容であり、本発見の意義は大きい。また、電子構造から得られる理想的なトランジスタ特性を導出することを可能とするコンパクトモデルを構築したことは、普遍的な方法論であるとともに、逆にどのような電子構造を持つワイヤが実現できればいいかを定量的に示すことができる意義は大きい。一方で、理論計算より導出した電子構造を基にSiナノワイヤFETとして、最適なSiナノワイヤの径や歪み量、方向などのパラメータによるドレイン電流の変化量を定量的に比較した意義は、実デバ

イス作製に有用な情報であることからその意義は大きい。

(3)「SiナノワイヤFETの作製」

本成果の意義は半導体微細加工生産設備で試作が可能なプロセスを用いてSiナノワイヤFETの作製とその動作に成功したことにあり、得られた性能は現在報告されているSiナノワイヤFETの特性を超える値であり、SiナノワイヤFETの次世代デバイスとしての可能性を強くサポートする内容である。得られた成果は本事業の最終目標であるロードマップ作成に必要なSiナノワイヤ作製に関する技術上の課題の抽出とSiナノワイヤFETの性能のベンチマークに必要不可欠である。

本成果はNiの拡散がSiナノワイヤに対してバルクの場合と異なることを実験的に初めて示した内容である。まだ詳細なメカニズムは明らかにはなっていないもののプロセスの工夫によって抑制できることを見いだした点は技術的に意義があると考えている。

(4)「Siナノワイヤデバイスのロードマップ作成」

本成果の意義は、様々な方法でSiナノワイヤFETの性能が示されている中で、正当な比較を行い、性能向上にまだ技術的課題があることを示したところにある。またロードマップ作成を行った結果、SiナノワイヤFETの性能がまだ科学的、技術的な課題はあるものの、バルクやダブルゲートと比較して潜在的に高いことを示すことに成功した。本成果は微細化終焉後のデバイス候補としてのSiナノワイヤFETの優位性を示す内容である。

1.2 - (2) - 3 知的財産権等の取得

ゲート電極となるメタル材料が微結晶化によるばらつきは、組成比の工夫によりアモルファスを維持し、ばらつきが抑制できるという内容で出願済みである。

1.2 - (2) - 4 成果の普及

以上に述べた成果に関する特許、論文、外部発表等の件数を表 - 1 - 1.2 - (2) - 2にまとめて示す。

1.2 - (2) - 5 最終目標の達成可能性

現在までに、研究開発は順調に進行している。この成果をうけ、今後は以下の開発を推進することにより、最終目標を確実に達成できると考えている。

(1)「Siナノワイヤの電子構造の量子論的検討」

原子数1万個以上の第一原理計算に成功しており、実デバイスに近いSiナノワイヤの物理現象を調査できる体制が整ってきた。また、ショットキー障壁の変調を克服するモデルの構築が完了しており、曲率を持った界面の物理現象が理論的に体系化できると考えている。

(2)「ナノワイヤFETのバリシティシティ制御」

トンネル電流の低温における時間分解可能な光学応答測定を行うことで次元の異なる構造の間

のトンネル現象を明らかにすることが可能と考えている。また、モデルに関しては、これまでの第一原理計算による様々なSiナノワイヤの電子構造のデータ蓄積から、構造依存性の定式化を実現する見通しは立ったと考えている。また、Siナノワイヤにおいて支配的と予測される散乱のモデル化を行い、これまでに構築したコンパクトモデルへの組み込みを行うことで準パリスティックSiナノワイヤFETのモデル構築が達成できる。

(3)「SiナノワイヤFETの作製」

これまで構築できたプロセスを基にナノワイヤ径の制御に加えて、デバイスパラメータのスケールアップを行い、短いゲート長や薄いゲート酸化膜によるトランジスタ試作を試みることで達成が可能であると考えている。また、SiナノワイヤへのNiシリサイドに関しては、詳細な物理分析を推進することで、反応のメカニズムを解明することができると考えている。

(4)「Siナノワイヤデバイスのロードマップ作成」

上記、(1)～(3)の研究を通じて、性能向上に向けた科学、技術的な課題のリストアップをさらに追求していき、ロードマップの作成に望むことで達成可能であると考えている。

表 - 1 - 1.2 - (2) - 1

「ナノワイヤFETの研究開発」の成果と達成度()

達成度(H21年度末見込み)

:目標を大幅に上回り達成、 :目標を達成、 :目標をほぼ達成、×:目標未達成

中間目標	研究開発成果	達成度
<p>中間目標を記載(以下同じ)</p> <p><u>(1)Siナノワイヤの電子構造の量子論的検討</u></p> <p>・第一原理計算等を用いて、歪みなどによるSiナノワイヤの電子構造の変化を系統的に解析し、良好なバリスティックFET特性を得るための指針を示す。</p>	<p>(1)直径1nmから3nmまでのサイズのSiナノワイヤの方向、あるいは応力を加えた場合の電子構造の変化を第一原理計算で捉えることに成功した。有効質量の変化、バンド間の間隔の変化を基にバリスティックFET特性で最大になるパラメータを明らかにした。</p>	(1)
<p><u>(1)Siナノワイヤの電子構造の量子論的検討</u></p> <p>・金属と半導体のナノ界面におけるショットキー障壁を第一原理計算等により見積もる。</p>	<p>(1)曲がった界面における金属の仕事関数が平面の場合と比べて波動関数の染みこみ具合が異なることから変調されるモデルを構築した。第一原理による定量化を現在計算中である。</p>	(1)
<p><u>(2)ナノワイヤFETのバリスティシティ制御</u></p> <p>・バリスティック伝導に少数回の散乱を導入した場合のドレイン電流への影響を把握する。</p>	<p>(2)ドレイン反跳を考慮した反射・透過モデル(RTモデル)を構築し、ドレイン端で反跳するキャリアの影響により電流が低下することが明らかになった。</p>	(2)
<p><u>(2)ナノワイヤFETのバリスティシティ制御</u></p> <p>・光応答・電気特性等の解析により、ナノワイヤFET中の電子ダイナミクスの特徴をモデル化する。</p>	<p>(2)二次元構造から零次元構造への電子輸送実験を行った結果、トンネル電流の温度依存性を確認できた。電子を波束とした扱ったモデルを用いたシミュレーションで一部を再現することができた。</p>	(2)
<p><u>(2)ナノワイヤFETのバリスティシティ制御</u></p> <p>・Siナノワイヤの構造に依存したドレイン電流を記述する。</p>	<p>(2)電子構造に基づいたバリスティック伝導FETのコンパクトモデルを構築し、ドレイン電流を導出することができた</p>	(3)
<p><u>(3)SiナノワイヤFETの作製</u></p> <p>・直径10nm級のSiナノワイヤFETの作製を行う。また、電気特性の解析によりキャリアの散乱メカニズムを考察し、プロセ</p>	<p>(3)SiナノワイヤFETの特性評価を可能とするTEGの設計を完了し、半導体製造装置に実際に試作を投入した。その結果、一本当たり40μAを超えるオン電流を得る事に成功した。</p>	(1)

ス上の技術課題を明確にする。		
(3) SiナノワイヤFETの作製 ・Siナノワイヤと金属とのコンタクトにおける特異なシリサイド反応現象を実験により明らかにする。	(3) 半導体製造装置を用いてSiナノワイヤFETの作製に成功し、高い歩留まりを得ることに成功した。	(2)
(4) Siナノワイヤデバイスのロードマップ作成 ・SiナノワイヤFETを実現するに当たり直面する技術的課題、科学的課題をタイムスケジュール上でリストアップし、解決するための方法の考察を行う。	(4) SiナノワイヤFETで問題となる項目のリストアップを行った。	(1)

表 - 1 - 1.2 - - (2) - 2

「ナノワイヤFETの研究開発」の特許、論文、外部発表等

区分 年度	特許出願			論文		その他外部発表 (学会発表・ プレス発表等)
	国内	外国	PCT出願	査読付き	その他	
H19FY	0件	0件	0件	0件	1件	3件
H20FY	0件	1件	1件	5件	3件	15件
H21FY	0件	0件	0件	2件	1件	12件

1.2 - (3) 「シリコンナノワイヤトランジスタの物性探究と集積化の研究開発」

1.2 - (3) - 1 目標の達成度

(基本計画の目標)

東京大学では、極細シリコンナノワイヤトランジスタの電気伝導探究とその集積化に関する研究開発を行う。具体的には、チャンネル長が長いがワイヤ径が非常に細いナノワイヤトランジスタを担当し、その電気伝導特性の解明と集積化の研究を行う。中間目標と最終目標は下記のとおりである。

中間目標 (平成21年度):

ワイヤ径 5nm 以下の長チャンネルシリコンナノワイヤトランジスタのアレーを作製する技術を確立する。

最終目標 (平成23年度):

通常のプレーナバルクMOSFETより高い移動度を示すシリコンナノワイヤトランジスタのパラメータを明らかにする。

株式会社 東芝では、短チャンネルシリコンナノワイヤトランジスタの電気伝導探究と集積化に関する研究開発を行う。具体的には、主にナノワイヤ径はそれほど細くないがゲート長の短いシリコンナノワイヤトランジスタを担当し、短チャンネルシリコンナノワイヤトランジスタの試作と物性探究、短チャンネル・少数キャリア散乱下における伝導特性の解析と高性能化の検討、最適回路形式と集積化の検討を行う。中間目標と最終目標は以下の通りである。

中間目標 (平成21年度):

短チャンネル・ナノワイヤトランジスタ、具体的にはチャンネル長 50nm 以下、チャンネル径 25nm 以下のシリコンナノワイヤトランジスタを作製する。

最終目標 (平成23年度):

チャンネル長 25nm 以下、チャンネル径 10nm 以下のシリコンナノワイヤトランジスタを作製する。

(開発成果の要約)

東京大学では、平成20年度までに、ワイヤ径7nmの長チャンネルシリコンナノワイヤトランジスタアレーの作製に成功するとともに、その移動度を正確に評価する手法を確立した。また、シリコンナノワイヤトランジスタの移動度を決定する要因を明らかにした。現在、作製プロセス条件をさらにつめて、ワイヤ径5nm以下の長チャンネルシリコンナノワイヤトランジスタのアレーを作製するための研究を進めている。

東芝では、ゲート長約50nm、チャンネル径約25nmのナノワイヤトランジスタ作製の基盤技術を開発して、ナノワイヤ径24nm、ゲート長22nmのナノワイヤトランジスタを作製した。そしてこのナノワイヤ径24nmのトランジスタはゲート長50nmでトランジスタ動作を実現した。現在、物性の正確な理解や高性能化へ向けて、シリコンナノワイヤにエレベーター(せり上げ)ソース/ドレイン構造した短チャンネルシリコンナノワイヤトランジスタを作製するために研究を進めている。

(中間目標の達成度)

以上の内容を表 - 1 - 1.2 - (3) - 1にまとめる。このように、基本計画に定義された中間目標現時点ではほぼ達成されつつある。この成果を受けて、最終目標の実現に向けて研究を実施中である。

1.2 - (3) - 2 成果の意義

半導体各社は、hp32nm 技術から hp22nm 技術の開発を急ピッチで進めており、hp22nm 技術では FinFET 等の三次元構造を有するトランジスタの実用化が有力視されつつある。ところが、その先の 15nm 技術の研究開発はまだ全く手が付けられていない。ますます厳しくなる短チャネル効果を抑えるためには、FinFET と構造的に近いシリコンナノワイヤトランジスタに徐々に移行していく可能性が高い。従って、将来の半導体産業にとって、シリコンナノワイヤに関する基礎物性の研究成果の意義は極めて大きい。高度情報化社会の到来と各種デジタル機器ビジネスを背景に、半導体産業は今後も長期的には年率 8%程度の上の伸びが予想されており、シリコンナノワイヤトランジスタの開発で半導体デバイスの微細化が進んだ場合には、その経済効果は世界で数十兆円におよぶ可能性がある。

本プロジェクトでは、極めて細いナノワイヤトランジスタにおける電気伝導特性を世界で初めて明らかにするなど、基礎物性評価の点で世界的に高く評価されている。これらの成果は、将来ナノワイヤトランジスタが実用化開発される場合に極めて有用な情報を与えており、成果は汎用性を有するとともに、予算に見合った以上の成果を挙げていると言える。シリコンナノワイヤトランジスタの研究は世界的に活発に行われつつあるが、本成果は基礎物性解明の点で他グループに対して優位に立っている。

1.2 - (3) - 3 知的財産権等の取得

東京大学では現在のところ、研究内容は基礎的な研究であり、論文発表は適宜行っているが知的財産権等の出願は行っていない。今後、研究が進む実用化に近い成果が挙げられた時点で知的財産権取得を目指す予定である。株式会社 東芝ではナノワイヤトランジスタやその高性能化に関連した特許出願を国内外に実施し、表 - 1 - 1.2 - (3) - 2に示すように、現在までに5件(国内2件、国外2件、PCT1件)を特許出願した。

1.2 - (3) - 4 成果の普及

IEDM(国際電子デバイス会議)等の権威ある国際会議にて成果を発表しており、本プロジェクトの成果は広く世界で認知されている。また、ニュースリリースや新聞等での掲載、そして国際展示会への出展などを実施して情報発信を行っている。

以上に述べた特許、論文、外部発表等の件数を表 - 1 - 1.2 - (3) - 2にまとめて示す。

1.2 - (3) - 5 最終目標の達成可能性

上記の通り本プロジェクトは、現在まで順調に進行している。今後は、基礎的な電気伝導特性の結果をもとにトランジスタとしての性能を評価する研究を推進することにより、そしてナノワイヤ形成のための SOI 薄膜化や短チャネルトランジスタ作製のためのプロセス設計により、最終目標を確実に達成することができると考えている。

表 - 1 - 1.2 - (3) - 1

「シリコンナノワイヤトランジスタの物性探究と集積化の研究開発」の成果と達成度 ()

達成度 (H21 年度末見込み)

: 目標を大幅に上回り達成、 : 目標を達成、 : 目標をほぼ達成、 × : 目標未達成

中間目標	研究開発成果	達成度
(1)ワイヤ径5nm以下の長チャネルシリコンナノワイヤトランジスタのアレーを作製する技術を確立する	(1) 現在までに、ワイヤ径7nmの長チャネルシリコンナノワイヤトランジスタのアレーを作製する技術を確立した。現在、さらにプロセスの改良を行っている。	(1)
(2)チャネル長50nm以下、チャネル径25nm以下のシリコンナノワイヤトランジスタを作製する。	(2)ナノワイヤ径24nm、ゲート長22nmのナノワイヤトランジスタを作製した。ゲート長50nmのトランジスタ動作を実現した。	(2)

表 - 1 - 1.2 - (3) - 2

「シリコンナノワイヤトランジスタの物性探究と集積化の研究開発」の特許、論文、外部発表等

区分 年度	特許出願			論文		その他外部発表 (学会発表・ プレス発表等)
	国内	外国	PCT出願	査読付き	その他	
H19FY	1件	0件	0件	0件	0件	1件
H20FY	1件	2件	0件	2件	0件	22件
H21FY	0件	0件	1件	1件	0件	11件

1.2 - (1) 「新構造 FinFET による SRAM 技術の研究開発」

1.2 - (1) - 1 目標の達成度

(基本計画の目標)

(i)立体構造 FinFET 技術の研究開発

リソグラフィ寸法以下の立体構造を安定的に形成し、ばらつきの少ない所望の電気特性を実現するナノレベルの構造制御技術を開発して、立体構造トランジスタの性能向上を図り、低リーク電流かつ高駆動力の FinFET と閾値電圧調整可能な 4 端子 FinFET の作製技術、及び、それらの集積回路技術を構築する。

(ii)4 端子 FinFET を用いた低消費電力・高ノイズ耐性 SRAM 回路技術の研究開発

SRAM セルを FinFET 及び 4 端子 FinFET で構成し、低消費電力と高ノイズ耐性、省 SRAM セル面積、従来の SRAM 設計資産との整合性を持った SRAM 新回路構成を提供する。さらに、前項で開発した FinFET 特性に即した回路設計、レイアウトの最適化等を行い、SRAM セルアレイレベルでの動作を実証する。

中間目標 (平成21年度):

(i)立体構造 FinFET 技術の研究開発

・極微細化プロセス、メタルゲート、high-k 絶縁膜、多層配線などの FinFET 回路作製への適用をはかり、ゲート長 20nm、チャンネル厚 10nm 以下の立体構造 4 端子 FinFET 作製技術の構築を行う。

(ii)4 端子 FinFET を用いた低消費電力・高ノイズ耐性 SRAM 回路技術の研究開発

・提案コンセプトを実現する 4 端子型 FinFET 低消費電力・高ノイズ耐性 SRAM 回路(具体的には、Flex-Pass-Gate-SRAM)設計を行う。
・バルクトランジスタを用いた設計比で、セル面積増加無、動作余裕 1.5 倍、待機時消費電力 1/20 以下の回路設計指針を得る。

最終目標 (平成23年度):

(i)立体構造 FinFET 技術の研究開発

・Flex-Pass-Gate-SRAM への上記 FinFET 導入を行う。

(ii)4 端子 FinFET を用いた低消費電力・高ノイズ耐性 SRAM 回路技術の研究開発

・(i)で確立した微細 4 端子 FinFET を用いた SRAM アレイを試作し、特性評価・解析により IP を確立する。
・従来トランジスタと比較して、セル面積増加なしに、動作余裕を 1.5 倍に、待機時消費電力を 1/20 にできることを示す。

(開発成果の要約)

(i)立体構造 FinFET 技術の研究開発

LSTP 用に最適なミッドギャップメタルゲートとして TiN を取り上げ、プロセス開発の結果、窒素流量比で閾値電圧がある程度制御できること、対称性のよい CMOS 特性が得られることを確認した。一方、LOP 用などの高い電流駆動力を要する回路用に、Ta/Mo 積層メタルゲートを取り上げ、

FinFET に適用可能であることを見出した。また、LSTP 用途向け TiN ゲート、LOP 用途向け Ta/Mo 及び Mo ゲートを用いた CMOS-FinFET 作製技術の構築を行った。

さらに当初の目標には無かった成果として、上記 TiN、Mo、Ta/Mo ゲート材を用いた FinFET の特性ばらつき要因を包括的に調査し、その結果、ゲート金属材料の実効仕事関数ばらつきが主要因であることを世界に先駆け提唱した。FinFET のソース・ドレイン寄生抵抗のばらつきの解析にも着手し、Fin チャンnel厚ばらつきが、極めて大きな寄生抵抗ばらつきをもたらすこと、更にソース・ドレイン形成条件の最適化によりばらつき低減が可能であることを明らかにした。

また、当該 FinFET 作製プロセスへの High-k ゲート絶縁膜成膜プロセス導入を行い、High-k ゲート材料(具体的には HfO_2 膜)が導入された FinFET-SRAM 試作に成功した。さらに、ゲート長 20nm 実現に向け、EB リソグラフィを用いたレジスト加工プロセスの高度化を進め、これまでに、40nm ゲート長 FinFET 作製に成功している。チャンネル厚(Fin 厚)に関しては、TMAH による異方性ウェットエッチングプロセスを用いて、チャンネル厚 8.5nm の 4 端子 FinFET 試作に成功している。同時に、サイドウォール転写マスク形成法構築を開始し、30nm 厚チャンネルの安定加工条件を確認している。

(ii)4 端子 FinFET を用いた低消費電力・高ノイズ耐性 SRAM 回路技術の研究開発

これまでに、パスゲートを 4 端子 FinFET で、フリップフロップを通常の 3 端子 FinFET で構成される Flex-Pass-Gate-SRAM 製造プロセス(4 端子 FinFET 部分だけ、RIE により選択的にゲートを分離する微細混載プロセス)を確立した。さらに、2 層配線プロセスの立ち上げも行い、Flex-Pass-Gate-SRAM フルセル作製プロセス開発に成功した。Flex-Pass-Gate-SRAM セルの場合、書き込み余裕を維持した状態で読み出し動作余裕を、全 3 端子 FinFET 構成型 SRAM よりも 2 倍以上向上することを、実デバイス測定により確認した。

さらに、FinFET 測定データからのパラメータ抽出手法および特性ばらつきを抽出する手法を確立した。低消費電力・高ノイズ耐性の観点から Flex-Pass-Gate-SRAM を構成するトランジスタ構造および配置の最適化を進め、その動作安定度の詳細なシミュレーションを行った。その結果、20nm ゲート長世代において、セル面積の増加なしに、読み出し余裕、書き込み余裕のいずれも、プレーナバルク SRAM に対しては 1.5 倍以上優れることを見出した。ゲート長、フィン厚のばらつきを考慮しても、Flex-Pass-Gate-SRAM は、しきい値電圧制御機能を持つ 4 端子 FinFET パスゲートにより高ノイズ耐性を有することを証明した。さらに、アレイ設計に必須の、FinFET 回路シミュレーションモデル作成を、TCAD シミュレーションと実デバイス測定を交えて推し進め、回路シミュレータに実装可能なレベルに仕上げた。また、SRAM アレイを構成する際に生じる配線間容量の見積りにも着手し、アレイレベルでの動作速度予測、占有面積について検討した。検討にあたっては、20nm ゲート長世代の低消費電力用プロセスを仮定し、トランジスタ、配線を含むレイアウトから容量を抽出し、ドライバとセンスアンプにおける遅延を考慮して、SPICE 回路シミュレータにより速度を見積もった。検討の結果、提案方式の SRAM は、対応するプレーナ・バルク・プロセスで作製される標準的な 6 トランジスタ SRAM に比べて、書き込み、読み出し余裕共に向上しつつ動作速度も向上し、周辺回路を含め面積増加を数%程度に抑えられることを確認した。消費電力に関しては、Pass-Gate の 4 端子化によって実現したノイズマージン増大効果を利用した電源電圧スケールリングなどの導入

により、バルクトランジスタを用いた設計比で、セル面積増加無、動作余裕 1.5 倍、待機時消費電力 1/20 以下の回路設計指針を得る予定である。

(中間目標の達成度)

以上の内容を表 1-1.2 - (1) - 1にまとめる。このように、基本計画に定義された中間目標は年度内で達成される予定であり、さらに当初の計画に無い、FinFET 特性ばらつき解析に関する成果も挙げている。この成果を受けて、最終目標の実現に向けて研究を実施中である。

1.2 - (1) - 2 成果の意義

本プロジェクトの成果は、4 端子 FinFET の開発とそのしきい値制御性を有効に利用できる SRAM への適用と、その有効性実証である。その有効性が明らかになれば、SRAM を突破口としてあらゆるシステム LSI に普及していくことが期待できる。実用化は、高コストが許容されるプロセッサのキャッシュメモリーの置き換えから始まり、技術の成熟とともに低消費電力指向のシステム LSI へ波及すると予想する。

これまでに本プロジェクトでは、FinFET 実用に向け重要な基盤技術である金属ゲート CMOS プロセスの構築も行っている(09VLSI シンポジウムにて発表)。また同時に、実用に向け最大の課題となる FinFET 特性ばらつき問題に対しても果敢に挑戦し、FinFET 特性ばらつきの最大要因がゲート材仕事関数ばらつきにあることを、世界に先駆け提唱している(08IEDM にて発表)。これらは今後 FinFET 実用において極めて有用な情報発信となっている。

また、本プロジェクトでは、世界初となる 4 端子 FinFET と 3 端子 FinFET が混載された Flex-Pass-Gate-SRAM の回路作製に成功しており、通常 FinFET で構成された SRAM と比較して、書き込み動作余裕を維持した状態で 2.3 倍以上の読み出し動作余裕向上を確認している(08IEDM にて発表)。この向上率は、その他の機関から提唱されている手法では到達できない値であり、4 端子 FinFET の SRAM 適用の有用性を実証している。

さらに、世界に先駆け FinFET(3 端子および 4 端子)コンパクトモデル開発に成功しており、商用 SPICE への実装ならびに大規模回路性能予測にも取り組んでいる。これらの成果は、世界に先駆け FinFET 回路応用において必要不可欠な回路設計基盤を充実化するものであり、FinFET 実用に向け大きな一歩と言える。

1.2 - (1) - 3 知的財産権等の取得

本プロジェクトの根幹を成す Flex-Pass-Gate-SRAM 回路構成に関する特許は、Pj 採択以前に出願済みである(国内および PCT)。出願済みである。現在、周辺知財強化に向け、特許出願準備中。

1.2 - (1) - 4 成果の普及

以上に述べた特許、論文、外部発表等の件数を表 1-1.2 - (1) - 2にまとめて示す。

1.2 - (1) - 5 最終目標の達成可能性

現在までに、研究開発は順調に進行している。この成果をうけ、今後は、微細 FinFET 作製基盤技術の確立、微細配線の適用等回路製造プロセスの高度化、ならびに当該微細 FinFET を用いた Flex-Pass-Gate-SRAM 大規模セルアレイ作製と性能向上実証を推進することにより、最終目標を確実に達成できると考えている。

表 - 1 - 1.2 - (1) - 1

「新構造 FinFET による SRAM 技術の研究開発」の成果と達成度()

達成度(H21 年度末見込み)

: 目標を大幅に上回り達成、 : 目標を達成、 : 目標をほぼ達成、× : 目標未達成

中間目標	研究開発成果	達成度
<p>(1) 立体構造FinFET技術</p> <p>・極微細化プロセス、メタルゲート、high-k絶縁膜、多層配線などのFinFET回路作製への適用を図る。</p>	<p>(1)</p> <p>LSTP用としてTiNメタルゲートを、LOPとしてTa/Mo積層メタルゲートを利用したCMOSプロセスを構築。High-k絶縁膜および多層配線を実装したSRAM試作に成功。FinFET特性ばらつきの主要因がゲート材仕事関数ばらつきにあると世界に先駆け提唱。</p>	(1)
<p>(2) 立体構造FinFET技術</p> <p>・ゲート長20nm、チャンネル厚10nm以下の立体構造4端子FinFET作製技術の構築を行う。</p>	<p>(2)</p> <p>ゲート長に関しては、40nmまでの微細加工技術を構築済み。今年度末までに20nmまで構築予定。チャンネル厚に関しては、8.5nmのチャンネル形成技術を構築済み。</p>	(2)
<p>(3) SRAM回路技術</p> <p>・Flex-Pass-Gate-SRAM回路設計を行う。</p>	<p>(3)</p> <p>Flex-Pass-Gate-SRAMの試作に成功、書き込み余裕を維持した状態で読み出し動作余裕を、全3端子FinFET構成型SRAMよりも2倍以上向上することを、実デバイス測定により確認した。</p>	(3)
<p>(4) SRAM回路技術</p> <p>・低消費電力回路設計指針</p>	<p>(4)</p> <p>SPICEを用いたFlex-Pass-Gate-SRAM回路性能評価環境を整備した。バルクトランジスタを用いた設計比で、セル面積増加無、動作余裕1.5倍、待機時消費電力1/20以下の回路設計指針は、年度内獲得予定。</p>	(4)

表 - 1 - 1.2 - - (1) - 2

「新構造 FinFET による SRAM 技術の研究開発」の特許、論文、外部発表等

区分 年度	特許出願			論文		その他外部発表 (学会発表・ プレス発表等)
	国内	外国	PCT出願	査読付き	その他	
H19FY	0件	0件	0件	2件	0件	15件
H20FY	0件	0件	0件	8件	0件	27件
H21FY	0件	0件	0件	5件	0件	3件

1.2 - (2) 「次世代相変化メモリ技術の研究開発」

1.2 - (2) - 1 目標の達成度

(基本計画の目標)

磁気抵抗メモリ、強誘電体メモリ等とともに、シリコンを基盤とする従来半導体メモリに挑む不揮発型新メモリとして、相変化メモリが注目されている。相変化メモリは、セル構造が簡単なため高密度化に適しているが、相変化記録薄膜中に「結晶」-「アモルファス」間の一次相変化を繰り返し発生させることから、膜の融点(650)以上に加熱する必要があり、消費電力と繰り返し記録耐性において更なる改良・改善が必要である。

本事業では、新規の記録方式を提案するとともに、書き込み・読み出し回数的大幅な向上と動作電力を最小限にする技術を開発することで、省資源・省エネルギー型の不揮発性相変化固体メモリを開発する。溶融状態のランダムな配列を高抵抗層とする従来型の相変化メモリではなく、新しい記録再生原理に基づいたカルコゲン化合物の超格子構造をボトムアップで作製し、書き込み・読み出し回数大幅な向上と動作電力の大幅な抑制を実現できるナノレベル構造制御を施した新型相変化メモリを開発する。また、密度汎関数法によるシミュレーションと実験とを同時並行的に実施することで相変化メモリの作製方法を見直し、ナノレベルで動作機能を制御する新技術を完成させる。そのために具体的には、下記4項目について研究開発を行なう。

- (1) 高速スイッチング現象に最適なナノレベル構造制御カルコゲナイド薄膜の結晶構造の検討
- (2) 抵抗加熱方式での熱的構造変化を最適に行うためのシミュレーション技術の開発
- (3) 再現性や信頼性など集積化に向けて必要となる特性の体系的理解のための動作温度領域における薄膜物性データベースの構築
- (4) 一定規模以上の集積化可能性を示すためのナノレベル微細加工を施したデバイス試作

上記4開発項目におけるそれぞれの中間目標と最終目標は以下のとおりである。

中間目標 (平成21年度):

- (1) 格子構造で高速動作可能な新規相変化材料組成を2材料以上シミュレーションによって見だし、実際にデバイスを作製して実験によって動作検証を行う。
- (2) 熱シミュレーションソフトを完成させ、超格子構造からなる相変化メモリに適応して、

超格子セル内部の温度分布を把握する。

- (3) シミュレーションの元となる各材料の薄膜熱物性の測定とデータベース化を行う。
- (4) 同等のサイズで作製された従来型の相変化固体メモリの性能と比較して、電力消費で 1/3 以下となる GeSbTe 系超格子相変化メモリを作製する。

最終目標 (平成23年度):

- (1) 超格子構造で高速動作可能な新規相変化材料組成を 5 材料以上シミュレーションによって見だし、実際にデバイスを作製して実験によって動作検証を行う。
- (2) 平成21年度末に目標を達成するため最終目標は設定しない。
- (3) シミュレーションの元となる各材料の薄膜熱物性の測定とデータベースの外販化を行う。
- (4) 同等のサイズで作製された従来型の相変化固体メモリの性能と比較して、電力消費で 1/10 以下となる超格子相変化メモリを実証する。また、同等のサイズで作製された従来型の相変化固体メモリの性能と比較して、 10^{15} 回以上の繰り返し書き換え回数をもつ超格子相変化メモリを実証する。

(開発成果の要約)

ゲルマニウム-アンチモン-テルル三元相変化合金の新たな相変化スイッチモデルを量子力学に基づいて計算し、相変化膜内で4配位と6配位のGe原子状態のエネルギーが双安定であり、僅かなエネルギーによって相転移が可能なことを確かめた。また、これと類似スイッチを有する可能性がある新規材料についてシミュレーションを行い、中間目標に掲げた2例以上の新規超格子材料を発見した。また、独自開発した光ディスク用電磁界-熱統合シミュレーションを改良し、相変化メモリに適用した。実験においては、 $[\text{GeTe}/\text{Sb}_2\text{Te}_3]$ の繰り返しから構成される超格子構造膜を実際にヘリコンスパッタリング法によって作製し、透過電子顕微鏡によって目的とする構造が形成できることを示した。この構造をデバイス上で動作させ、中間目標値のエネルギー低減を達成できる見通しを得た。

(中間目標の達成度)

以上の内容を表 1-1.2- (2)-1 にまとめる。このように、基本計画に定義された中間目標は、自前のデバイス作製が平成21年度からの開発項目であることから現時点で一部に未達はあがるが、それ以外の部分に関しては現時点で達成されている。この成果を受けて、最終目標の実現に向けて研究を実施中である。

1.2- (2)-2 成果の意義

平成19年度から21年度までの研究開発によって、本研究課題で推進する4配位と6配位のGe原子状態の双安定構造を応用した次世代相変化メモリが、実際に理論から期待されるとおり動作することが確認できた点は、本研究開発の中で非常に大きな成果である。この成果は、

MRAM等と比較して欠点とされた特性を補うものであり、相変化メモリが低消費電力で動作でき、また、CVDのような特殊なガスを用いずとも成膜方法もスパッタリング法で形成できることはプロセス上有利であり、相変化固体メモリへの期待が益々高まるものと思われる。本成果は特許性に富むことから未発表のデータが多いが、成果は世界最高水準であり、米国において研究が加速されている同じ材料組成を用いた相変化ナノワイヤー型デバイスよりも高性能特性を示す。また、本成果で得られた量子力学に基づく構造シミュレーションにより、ゲルマニウム-アンチモン-テルル(225)材料系以外にも類似の双安定相をもつ材料についての知見が得られたことは、これまでゲルマニウム-アンチモン-テルル(225)材料系に限定されてきた相変化メモリ材料開発に大きな幅をもたせ、未知の材料発掘への可能性を示した点でも評価されるものと思われる。また、開発している熱解析シミュレーションソフトは、熱物性を温度パラメーターとして変化させてシミュレーションを行うものであり、これまでの市販のシミュレーションでは室温での熱物性データを高温まで適応させざるを得ず、実動作温度でのデータとに差異が生じていたが、我々のシミュレーションの開発によって、相変化デバイス以外でも動作温度が比較的高いデバイスの熱シミュレーションに応用されるものと考え。費用対効果については、スパッタリング装置の改造、デバイス測定の評価装置等を整備したが、独自にデバイスを作製するための装置等は既存のものを用いており、他人件費を除けば、費用対効果はほぼ妥当である。

1.2 - (2) - 3 知的財産権等の取得

本研究課題においては平成 19 年から平成 21 年(現時点)までに、基本特許を除き 6 件の新規国内特許出願を行っており、将来の事業化に向けた取り組みを実施している。また、外国出願も平行して行っており、産総研知的財産部門と綿密に連絡を取りながら知的財産の取得に努めている。

1.2 - (2) - 4 成果の普及

研究成果が非常に新規性に富み、かつ、実用上非常に有益なものが多いため、一部の成果しか外部に公表していないのが現状である。シミュレーション結果もかなりの量が蓄積されているが、関連するそれぞれの特許が公開された後に成果の公表を可能な限り行うものとする。現時点では本研究課題を中心とした論文は執筆せず、関連のある論文として執筆を行っている(約 2 件)。

1.2 - (2) - 5 最終目標の達成可能性

(1)～(4)の研究課題は概ね順調に研究開発が進められている。(4)の自前のデバイス作製は平成 21 年度から開始したが、これも順調に進展が見られる。デバイスの特性として最終目標で電力消費量を現行の 1/10としているが、決してチャレンジ的な数字ではなさそうである。しかし、繰り返し回数の目標値が 10^{15} としているが、一つのデバイスで記録・消去・読み出し時間を合計すると、2~10 年程度の時間を評価に費やす必要があることが最近わかった。この評価は実用的ではないため、ある程度の加速試験を行い外挿結果として最終目標の評価を行うこととする。しかしながら現状の特性からすると目標達成は可能であると推測できる。

表 - 1 - 1.2 - (2) - 1

「次世代相変化メモリ技術の研究開発」の成果と達成度()

達成度(H21 年度末見込み)

:目標を大幅に上回り達成、 :目標を達成、 :目標をほぼ達成、×:目標未達成

中間目標	研究開発成果	達成度
(1)格子構造で高速動作可能な新規相変化材料組成を2材料以上シミュレーションによって見だし、実際にデバイスを作製して実験によって動作検証を行う。	実験による新規材料の動作実験は現時点では実施されていないが、2材料以上の新規相変化材料組成をシミュレーションによって発見し特許出願を行った。	
(2)熱シミュレーションソフトを完成させ、超格子構造からなる相変化メモリに適応して、超格子セル内部の温度分布を把握する。	シミュレーションソフトが現時点でほぼ完成した。これにより、セル内温度分布と電場分布を計算できるようになった。	
(3)シミュレーションの元となる各材料の薄膜熱物性の測定とデータベース化を行う。	継続して順調にデータの取得に努め、順次薄膜のデータベース化を行っている。	
(4)同等のサイズで作製された従来型の相変化固体メモリの性能と比較して、電力消費で1/3以下となるGeSbTe系超格子相変化メモリを作製する。	自前のデバイスの作製を平成21年度からスタートし、電力消費量1/3以下を達成の見込み。	

表 - 1 - 1.2 - - (2) - 2

「次世代相変化メモリ技術の研究開発」の特許、論文、外部発表等

区分 年度	特許出願			論文		その他外部発表 (学会発表・ プレス発表等)
	国内	外国	PCT出願	査読付き	その他	
H19FY	0件	0件	0件	0件	0件	1件
H20FY	4件	2件	0件	1件	0件	3件
H21FY	0件	0件	0件	1件	0件	0件

1.2 - (3) 「ナノギャップ不揮発性メモリ技術の研究開発」

1.2 - (3) - 1 目標の達成度

(基本計画の目標)

近年のデジタル情報機器の飛躍的な拡大に伴い、次世代不揮発性メモリの開発は必須となっている。本事業では、ナノメートルスケールの微小間隙を有する金属電極構造において、電極間抵抗値が数桁も変化するナノギャップスイッチ(以下NGSと略する)現象を利用した、次世代超稠密不揮発性メモリの開発を目標とする。NGSメモリはその構造が著しく単純であり、従来の半導体デバイスにおける不純物揺らぎに起因する微細化限界の壁を打ち破ることが可能な日本発の技術シーズによる超稠密不揮発性メモリとなることが期待される。NGSメモリ実現に向けて、実デバイスに適したナノギャップ素子の構造と作製法を探索し、NGSメモリの諸特性を検証する。また、NGS動作メカニズムの解明を進めるとともに、素子特性評価、特性向上する動作法・動作環境の開発を行う。さらに縦型NGSアレイ構造の実現とBitバラツキの評価を行い、メモリへの応用可能性を実証する。

各研究開発サブテーマにおいて設定している中間目標および最終目標は次の通りである。

(1) 平面先鋭型金属ナノギャップ素子およびその基本特性評価技術の開発

中間目標(平成 21 年度):

- ・ ギャップ長10nm、ギャップ幅30nmの電極を有する平面型NGS素子を開発する。また、電極材料および絶縁層の材質を検討する。高感度ナノプローブ計測評価技術を開発し、電気伝導状態にあるときのNGSの構造を明らかにするとともに、パルス電圧印加前後の構造変化を評価する。さらに、バイアス印加中の動的な構造変化を測定可能なナノプローブ計測評価技術を開発する。

最終目標(平成 23 年度):

- ・ ナノギャップ領域が極限的に微細化してもNGSメモリ動作することを検証するために、中間目標のデバイスサイズよりもさらに微細化した、ギャップ長5nm、ギャップ幅10nmの電極を有する平面型NGS素子を開発する。平成21年度までに開発した高感度ナノプローブ計測評価技術をさらに発展させ、AFM散逸計測などのナノプローブ物性計測法を用いてナノギャップ部の物性変化を測定することにより、長時間動作後のナノギャップ部の電気特性変化や組成変化を評価する。

(2) 金属ナノギャップメモリ・デバイスの研究開発

中間目標(平成 21 年度):

縦型(上下金属配線間)のNGS素子およびメモリアレイを試作・評価し、下記の性能を実証する。

- ・高速性: 1 μ s以下の書き換えスピード
- ・稠密性: 上下電極交点のVia-hole径 で100nm
- ・書き換え耐性: 10⁵回以上
- ・256bit アレイTEGによるメモリ動作(書き換えと読み出し)とbitバラツキ(抵抗値の分布)の検証

最終目標(平成 23 年度):

縦型NGS素子の微細化を進めるとともに、4 kbitのデバイスを試作・評価し、下記の性能を実証する。

- ・高速性: 100 ns以下の書き換えスピード
- ・稠密性: 上下電極交点のVia-hole径 で40 nm
- ・書き換え耐性: 10⁶回以上

また、このデバイスを用いてNGS素子の特性バラツキを評価する。

(3) 高性能メモリ金属ナノギャップ素子の研究開発

中間目標(平成 21 年度):

動作電流値を低減できる金属ナノギャップ基本素子構造および駆動法を開発する。具体的には、駆動最大電流値を50 μ A以下にできる構造、動作環境および駆動法を開発する。

最終目標(平成 23 年度):

素子特性として、最大電流値20 μ A以下、動作電圧5V程度を実現する。

(開発成果の要約)

NGS動作機構解明のため、高分解能AFMによるギャップ構造観察を可能とする、間隙10nm以下の単接合型NGS素子を開発し、初期動作時の構造変化を捉えることに成功した。一方、不揮発性メモリとしてのNGS基本性能確認のため、保持時間、NGS発現場所などのデータを取得し、他方式メモリに対する優位性を明らかにした。また、電極幅微細化により動作電流低減可能なことを見いだした。さらに、NGSメモリ実用化に向けて縦型素子の開発に着手し、90 nm径、0.1 μ m深さのViaholeでのNGS動作に成功した。現在、アレイ構成での動作実証に向けて、平面型NGSアレイの特性評価を進めている。

(中間目標の達成度)

(1) 平面先鋭型金属ナノギャップ素子およびその基本特性評価技術の開発

ギャップ長 10 nm、ギャップ幅 30 nm の電極を有する平面型 NGS 素子を開発し、NGS 動作させることに成功した。また、これまでに Au および Pt 電極を用いて NGS 素子の開発に成功し、動作電圧が異なることを確認した。また、現在、窒化シリコン薄膜作製装置を立ち上げつつあり、年度内に窒化シリコンを絶縁層に用いた NGS 素子を作製し、評価する予定である。また、NGS 素子作製後に電圧を印加する際、電流一定制御を施すことでギャップ近傍の構造変化を低減できることを見出した。さらに、バイアス印加中の動的な構造変化を測定する AFM システムを既に構築しており、年度内には開発できる見通しである。

(2) 金属ナノギャップメモリ・デバイスの研究開発

Via-hole 径 90 nm の縦型素子の NGS 動作を検証した。より確実な縦型 NGS の作製方法を研究室中であり、封止技術の検討も同時併行的に進めている。その他の不揮発性メモリの特性も、平面型 NGS の評価データから年度内中間目標は達成の見通しである。縦型アレイの作製評価についても現時点でスケジュール通りに進展している。

(3) 高性能メモリ金属ナノギャップ素子の研究開発

NGS 素子の基本性能の確認および評価を実施した。とくに、現象発現箇所の特定およびデータの保持時間に関する研究開発を行った。これにより、他の不揮発性メモリとの差異および優位性に関するデータが取得できた。

動作電流値を低減できる金属ナノギャップ基本素子構造および駆動法を見いだしている。これまでの知見を基に平成 21 年度内には、現在の駆動最大電流値 100 μ A から駆動最大電流値が 50 μ A にできる構造、動作環境および駆動法を見いだす。

以上の内容を表 1-1.2 - (3) - 1にまとめる。このように、基本計画に定義された中間目標は多くは、すでに達成済みであり、すべてを本年度中に達成する。この成果を受けて、最終目標の実現に向けて研究を実施中である。

1.2 - (3) - 2 成果の意義

不揮発性メモリは、大きな市場であり書き換え時間の早い不揮発性メモリが実現すれば、新しい市場の創造につながる。さらに、縦型のメモリデバイスを実現することで、既存の不揮発性メモリを凌駕する、コストエフェクティブ、半導体プロセスに親和性の高い、高速大容量の不揮発性メモリの実現が可能となる。その技術は、エンベデッドメモリ、汎用メモリ、更にシステム LSI、FPGA にも応用が可能な、汎用性、発展性の高い技術であり、デジタル情報機器に革新的進展をもたらす、ひいては省エネ社会の実現にも貢献することが可能な技術である。

1.2 - (3) - 3 知的財産権等の取得

研究途上で得られた、NGS メモリの製法、構造、評価方法などを、適宜特許出願している。経産省の委託研究以降では、国内出願のみであるが、それ以前の基本特許等は外国出願済みであり、今後も適宜出願する。

1.2 - (3) - 4 成果の普及

応用物理学会等による定期的学会発表、また、国内外で開催されている国際会議での成果の発信、集積化可能性に関するプレス発表(茨城新聞、日経産業新聞、日刊工業新聞)を実施している。更に平成 21 年 9 月開催の応用物理学会でナノギャップに関する研究シンポジウムを開催できることになった。その世話人および講演者として本技術開発の関係者が 5 名関わっている。一般向け科学雑誌「ニュートン」にもナノギャップメモリの紹介記事が掲載され、専門家ばかりでなく、一般向けへの成果の発信も実施している。更にナノテク展、セミコンジャパンの展示会において、研究成果の発信を実施している。これらの観点で成果の普及・発信につながる活動が来ている。成果の発信は、戦略的に適切に行っていると考えられるが、メモリデバイスに関しては日本以外でも活発に技術開発が行われており、日本の国益となるように留意し、最新動向結果、最新技術情報を踏まえて NEDO と実施者は共に実施していく。

以上に述べた特許、論文、外部発表等の件数を表 1-1.2 - (3) - 2にまとめて示す。

1. 2 - - (3) - 5 最終目標の達成可能性

(1) 平面先鋭型金属ナノギャップ素子およびその基本特性評価技術の開発

平面型 NGS 素子のギャップ長およびギャップ幅の微細化に関しては、21 年度より博士研究員を雇用し、作製プロセスの最適化に注力しており、中間目標は予定通り達成しつつある。今後も、作製プロセスの改善を進めていくことで、最終目標の達成は十分可能であると考えられる。また、高感度ナノプローブ計測評価技術の開発についても、着実に AFM 装置の改良を進めており、最終目標の達成は可能と考えている。

(2) 金属ナノギャップメモリ・デバイスの研究開発

現時点で、計画達成に遅れは無く、予定通りのスケジュールで進展中である。来年度の 4kb メモリチップの設計と試作が、最終目標達成のために必須であり、これを試作評価することで、プロジェクトを成功に導くことが出来る。

(3) 高性能メモリ金属ナノギャップ素子の研究開発

現在までに、研究開発は順調に進行している。この成果をうけ、今後は動作電圧の低減のために、金属材料、構造、駆動法の最適化技術開発に取り組み、最終目標を確実に達成出来るように取り組む。

表 - 1 - 1.2 - (3) - 1

「ナノギャップ不揮発性メモリ技術の研究開発」の成果と達成度()

達成度(H21 年度末見込み)

:目標を大幅に上回り達成、 :目標を達成、 :目標をほぼ達成、×:目標未達成

中間目標	研究開発成果	達成度
<p><u>(1)平面先鋭型金属ナノギャップ素子およびその基本特性評価技術の開発</u></p> <ul style="list-style-type: none"> ・ギャップ長10nm、ギャップ幅30nmの電極を有する平面型NGS素子の開発 ・電極材料および絶縁層の材質検討 ・高感度ナノプローブ計測評価技術の開発およびNGS構造変化評価 ・バイアス印加中の動的な構造変化を測定可能なナノプローブ計測評価技術の開発 	<ul style="list-style-type: none"> ・ギャップ長10nm、ギャップ幅30nmの電極を有する平面型NGS素子を作製した。 ・Au および Pt 電極を用いた平面型 NGS 素子を開発した。窒化シリコン絶縁層の作製準備中。 ・AFMによるNGS動作開始前後の構造変化を評価し、構造変化を低減する印加電圧波形を見出した。 ・バイアス印加中の動的な構造変化を測定可能なナノプローブ計測評価用AFMシステムを開発中。 	
<p><u>(2)金属ナノギャップメモリ・デバイスの研究開発</u></p> <p>縦型(上下金属配線間)のNGS素子およびメモリアレイを試作評価し、下記の性能を実証する。</p> <ul style="list-style-type: none"> ・高速性:1μs以下の書き換えスピード ・稠密製:上下電極交点のVia-hole径で100nm ・書き換え耐性:10⁵回以上 ・256bit アレイ TEG によるメモリ動作(書き換えと読み出し)とbitバラツキ(抵抗値の分布)の検証 	<ul style="list-style-type: none"> ・メモリアレイ構成とするために好適な縦型NGSを作製し、今年度の各目標値の、上下電極交点のVia hole径 =90nm以下の素子で、NGS特性を確認した。高速性(1μs)と書き換え耐性(10万回)については、達成予定 ・256ビットアレイの評価(メモリ動作とビットバラツキ検証)については評価プログラムと真空プローバシステムを準備中であり、今年度末までには評価する。 	
<p><u>(3)高性能メモリ金属ナノギャップ素子の研究開発</u></p> <ul style="list-style-type: none"> ・NGS素子の基本性能の確認および評価 	<ul style="list-style-type: none"> ・現象発現箇所の特定およびデータの保持時間に関するデータを取得できた。これにより、他方式メモリに対する優位性を明らかにした。 	

<ul style="list-style-type: none"> ・動作電流値を低減できる金属ナノギャップ基本素子構造の最適化 ・駆動最大電流値が50 μAにできる動作環境および駆動法の開発 	<ul style="list-style-type: none"> ・電極幅の微細化によって動作電流値が低減可能である。動作温度, 保持温度の計測を実施し, その動作を確認した。 ・素子に印加する電圧をDCスイープからパルス波に変更しパルス電圧印加による動作電流低減を確認した。窒素雰囲気での動作を確認した。 	
--	---	--

表 - 1 - 1.2 - - (3) - 2

「ナノギャップ不揮発性メモリ技術の研究開発」の特許、論文、外部発表等

区分 年度	特許出願			論文		その他外部発表 (学会発表・ プレス発表等)
	国内	外国	PCT出願	査読付き	その他	
H19FY	2件	0件	0件	2件	0件	7件
H20FY	5件	0件	0件	3件	0件	15件
H21FY	1件	0件	0件	3件	0件	5件

1.2 - (1)「カーボンナノチューブトランジスタ技術の研究開発」

1.2 - (1) - 1 目標の達成度

(基本計画の目標)

(概要)

シリコンという材料の物理的限界を突破するための”新材料”、”新プロセス”、”新構造”を実現する半導体技術として、優れた電子輸送特性が期待されるカーボンナノチューブを取り上げ、CNTデバイス作製技術、CNT成長技術、微細CNTデバイスの局所評価技術の研究開発を実施し、将来の産業応用への可能性を明らかにする。

ナノチューブの成長技術に関しては、成長機構・触媒反応機構を解明するとともに、高品質半導体ナノチューブの優先成長、ナノチューブの高密度配向成長を可能とする。デバイスプロセス技術については、ナノデバイスにおいて重要となるナノチューブの表面保護膜形成技術、極薄絶縁膜を有するゲート電極形成技術、コンタクト形成技術を確立する。さらに微細ナノチューブデバイスの評価技術を確立するとともに、本技術を用いてナノチューブ内の欠陥とナノチューブFET特性との関係を解明し、これに基づきナノチューブの高品質化、デバイスの高性能化を実現する。

以上の技術を総合化することにより、ナノチューブ本来の優れた物性的特長を引き出すことが可能なデバイス構造を明らかにし、次世代ナノエレクトロニクスのキーデバイスとしての実用性を実証する。

中間目標 (平成21年度):

CNTデバイス作製技術の研究開発

- (1) 高周波動作実証に向けてトップゲートFET作製技術を検討し、基本技術を確立する。
- (2) 本技術を高密度チャネルFETに適用し、電流利得遮断周波数として5GHz以上を実証する。

CNT成長技術の研究開発

- (1) 半導体CNT優先成長における電場制御効果を確認する。
- (2) サファイア基板上で15本/μmの高密度配向成長を実現する。
- (3) シリコンウェハ上のCNT配向成長を実現する。

CNTデバイスの局所評価技術の研究開発

- (1) ナノプローブ評価技術として、10nm以下の空間分解能を有する電位測定技術を開発する。
- (2) FETの個別チャネルを流れるμA以下の電流を評価できる技術を開発する。

最終目標 (平成23年度):

CNTデバイス作製技術の研究開発

- (1) 高密度CNT形成技術、コンタクト形成技術、デバイス表面保護膜形成技術を確立するとともに、これらの技術を総合化することにより、50本/μm以上の高密度かつ50nm以下の短い配向チャネルFET技術を開発する。

(2)-1. 高密度チャンネルFETの電流利得遮断周波数として50GHz以上を実証する。

(2)-2. コンプリメンタリ素子の作製技術を開発し、論理動作を実証する。

CNT成長技術の研究開発

(1) 原料ガスおよび電場の制御による半導体CNT優先成長技術を開発するとともに、半導体優先成長CNTのFETへの適用可能性、高密度・配向成長と高品質化を実証する。

(2) 単結晶基板上で50本/ μm の超高密度・高配向CNTの可能性を検証する。

(3)シリコンウェハ上のCNT高度配向成長技術を開発する。

CNTデバイスの局所評価技術の研究開発

(1)、(2) 平成21年度末までに開発したナノプローブ評価技術を、CNT欠陥準位計測、およびFET個別チャンネルの伝導特性評価に適用し、CNTチャンネルの高品質性、高密度CNTチャンネルの一様性、チャンネル - 電極間コンタクトの均一性、などの評価での有効性を検証する。

上記実施内容のうち、-(1)については、東京大学工学部、-(2)(3)については九州大学、-(1)(2)については東京大学生産技術研究所にそれぞれ再委託して実施する。

(開発成果の要約)

CNTデバイス作製技術の研究開発、CNT成長技術の研究開発、CNTデバイスの局所評価技術の研究開発を行い、19-21年度は以下の成果を得た。

CNTデバイス作製技術の研究開発

デバイス構造における半導体ナノチューブの優先成長に関しては、CNT-FETの作製とドレイン電流の評価により、半導体的振る舞いを示すナノチューブの優先成長の実証と再確認を行うとともに、その原因解明を進めた。その結果、金属的ナノチューブにできた欠陥が電位障壁として働き、その結果、ナノチューブが半導体的に振る舞う可能性を、ラマン散乱および走査型局所ゲート顕微鏡技術により明らかにした。高密度マルチチャンネルFETの作製に関しては、アーク放電プラズマを用いた触媒微粒子形成、触媒還元時の微量エタノール添加および石英基板上への成長を組み合わせることにより23本/ μm の配向成長を達成するとともに、FET動作を実証した。

短ゲートCNT-FET作製技術に関しては、電子ビーム描画技術を用いてゲート長50nmのマッシュルームゲートCNT-FETの作製を可能とし、FET動作を実証した。さらにゲート絶縁膜/表面保護膜形成方法として原子層堆積(ALD)法を検討し、低損傷成膜法として有望であることを明らかにした。また本技術を用いたhigh-k HfO_2 の成膜により、CNT-FETがp型伝導からn型伝導に変化することを示した。表面保護膜の形成に関しては、ALD HfO_2 /CNT界面制御が素子特性制御にとって重要であることを明らかにするとともに、素子表面保護膜による安定動作の可能性を示した。

高周波動作実証に向けた検討においては、ソースおよびドレインをゲートに対して自己整合的に形成する方法を検討した。具体的には、電子ビーム描画技術と二層フォトレジストを用いてフットプリントの短いマッシュルームゲートを作製し、このゲートに対してソース/ドレイン電

極を自己整合的に形成する方法を検討し、極短ゲート(ゲート長 50nm) マルチチャネル CNT-FET の作製を可能とした。高周波散乱パラメータ測定から求めた電流利得遮断周波数は 4GHz である。

CNT成長技術の研究開発

A. 半導体優先成長

高品質ナノチューブの成長に関して、触媒金属における化学反応の詳細機構を検討するための超高真空背圧(10^{-8} Torr)の熱 CVD 装置を製作し、これを用いて、触媒基板温度 500 、エタノール蒸気圧 0.1 Torr 以下での単層 CNT の CVD 合成を確認し、最適なナノチューブ合成条件の模索と合成されたナノチューブの分光による評価を行った。一方、従来のアルコール CVD 装置を用いて、単層 CNT の垂直配向膜合成 CVD における光吸収によるその場計測を進め、主に触媒の失活を原因とした成長速度の減速や不純物ガスによる影響についての知見を得た。特に、エタノールの気相熱分解反応について検討し、高温かつエタノール流量が小さい場合には、エチレン、水、少量のアセチレンへの熱分解を経由しての触媒反応が卓越してくることを明らかにした。また、エタノールの熱分解で生成されるアセチレンの触媒金属との反応速度はエタノールの 1000 倍近くであるとの予測に基づき、微量のガス成分添加による合成速度の増大などを確認した。ただし合成速度が増大する場合に合成されたナノチューブの品質は劣化する傾向があり、最適なガス成分での合成が必要であることを明らかとした。さらに、反応機構の解明と制御を目指して、これらの検討を1本ごとのCNTについて行うための準備として、蛍光分光の励起、発光スペクトルにおける線幅やフォノンサイドバンド、温度依存性、垂直励起の影響などの基礎物理を明らかとするとともに、架橋ナノチューブを合成して1本ごとのナノチューブの顕微蛍光分光による評価技術を確立した。

B. 配向成長

サファイア単結晶基板上で水平方向に配向した単層カーボンナノチューブの高密度合成を目的として、プロセス適応性や制御性のよいマグネトロンスパッタリングによって触媒金属薄膜を成膜し、ナノチューブの合成の検討を行った。一枚の基板上で触媒膜厚にグラデーションをもたせて成膜することで、同一合成条件での触媒膜厚の系統的な評価を行った。触媒金属として Fe、Co、Fe-Mo、Co-Mo といった触媒を検討し、メタン原料のときには 1 nm 以下の膜厚の Fe 触媒が高い触媒活性を与え、5 本/1 μm の平均密度を得ることができた。局所的には 15 本/1 μm 程度の密度も得られた。

さらに、これまで単層カーボンナノチューブの水平配向成長が困難とされてきた酸化膜付き Si 基板上での配向成長の可能性を検討した。Si 基板に対する種々の表面修飾を検討し、CF₄ プラズマによる Si 基板の表面処理が特徴的な凹凸構造を与え、それによって SWNT の配向成長が起こる可能性があることを見出した。この現象は一種のステップのような基板の立体構造に起因する配向成長と解釈することができる。これをさらに発展させ、電子ビーム描画とエッチングによる、いわゆるトップダウン的手法を用いて、人工的な微細トレンチ構造を作製し、そのトレンチの溝に沿って単層カーボンナノチューブを配向成長させることに成功した。シリコン基板の利点を活かし、バック

ゲート型のトランジスタを作製し、動作を確認した。

CNTデバイスの局所評価技術の研究開発

A. 電位分布測定技術

ナノチューブ内の欠陥分布やギャップ準位等を検出するために、ケルビンプローブフォース顕微鏡(KFM)技術の向上を図っている。これまでに、間欠バイアス印加法と静電引力信号のサンプリング検出法の併用によって電位像のコントラストや空間分解能が向上することがわかり、両手法の有効性が示された。また、FET中のCNTチャンネルに沿った電位分布の計測に適用した結果、CNTによっては不均一な電圧降下が生じていることがあり、カイラリティの異なるCNTの接合面や欠陥が途中に存在している可能性、あるいは、バンドル状態が変化している可能性があることがわかった。

B. ナノチューブチャンネル内電流測定技術

磁気力顕微鏡(MFM)を利用した電流誘起磁場計測を通じて、複数のナノチューブ間での電流の流れやすさ等を比較することによって、ナノチューブの品質を評価することを目指している。これまでに、まず、パターニングされたネットワーク型金属電流路での電流誘起磁場計測によって本手法における定量性の検証を行い、電流値とMFM信号の間にはよい線形関係があると同時に、そのばらつきが概ね $\pm 15\%$ の範囲に収まっていることを確認した。次いで、FIBによるMFMカンチレバーへの追加工を施して測定感度の向上を実現した。さらに、同手法をCNT-FETでのチャンネル伝導特性の比較に適用した結果、CNTチャンネル毎に閾値バイアスや伝達コンダクタンスに差異が生じていることが示された。同FETでのマクロなI-V測定データとの対比により、本手法では $1\mu\text{A}$ 以下の測定感度が達成されていることがわかった。

(中間目標の達成度)

以上の内容を表 1-1.2 - (1) - 1にまとめる。このように、基本計画に定義された中間目標は半導体ナノチューブの優先成長を除きすべて現時点で達成または達成予定である。この成果を受けて、最終目標の実現に向けて研究を実施中である。

未達成の半導体ナノチューブの優先成長に関しては、電場印加という新しい方法を考案し、ホルダー設計を行ったところであり、本年度末には、その有効性を判定できる予定である。

1.2 - (1) - 2 成果の意義

・デバイス作製技術

FET用ナノチューブの配向成長密度 $23\text{本}/\mu\text{m}$ は世界のトップクラスの値であり、CNT-FETの電流駆能力向上につながる重要な成果である。CNTデバイス作製技術に関しては、これまでに蓄積したコンタクト形成技術は世界を先導する成果であり、これに加えて、今回確立した低損傷保護膜形成およびトップゲート形成に関する基礎技術・知見は、微細デバイスに共通の汎用性を有し、他のナノデバイスへの応用が期待できる。

・優先成長技術

半導体ナノチューブの優先成長機構解明を狙いとして開始した、CVD合成における詳細な成

分分子の検討と制御は世界に先駆ける重要な研究であり、新たな基礎研究および合成技術創出につながる。また、本プロジェクトの熱 CVD 技術は、世界の標準技術となりつつあるアルコール原料 CVD の提案元であり、世界最高水準である。また、高品質でかつ半導体優先成長を実現する手法として提案した、高真空背圧 CVD 装置内において、電場を印加し合成されつつある金属 CNT を阻害する方法は、従来の"半導体優先成長"と呼ばれる技術の限界を打破し、世界に先駆ける技術分野となることが期待される。さらに、顕微蛍光分光および顕微ラマン分光による個々の CNT のカイラリティ検出技術の開発は、デバイスを用いた評価の限界を打破し、今後の半導体優先成長技術開発に向けて必須のものとなる。本プロジェクトにおける、分光学的な知見に基づく個々の CNT のカイラリティ計測技術は、多数の招待講演依頼を受けるなど世界最高水準である。

・配向成長技術

将来の Si 集積化技術との融合に道を開くシリコン基板 (SiO_2/Si) 上での配向成長の報告はこれまでにない。シリコン酸化膜はアモルファスであるため秩序構造を持たないことによる。本プロジェクトで提案した方法は、シリコン基板の表面にナノスケールのトレンチ構造を人工的に作製し、これに沿って単層カーボンナノチューブを配向成長させるものであり、電場等の外場を用いない世界で最初の、シリコン基板 (SiO_2/Si) 上でのナノチューブの配向成長の実現である。

・CNTデバイスの局所評価技術の研究開発

KFM における間欠バイアス印加法や静電引力のサンプリング検出法は、東大グループの独自技術であり、現段階での最高到達空間分解能として見積もられている約 10nm という値は、世界最高水準である。一方、MFM による電流誘起磁場計測を通じて単一 CNT-FET 中での個別 CNT チャネルの伝導特性の観測に成功し、それらの比較を行った例は世界で初めてである。

1.2 - (1) - 3 知的財産権等の取得

基礎研究主体ではあるが、新規アイデアとして3件の特許出願を行った。

1.2 - (1) - 4 成果の普及

以上に述べた特許、論文、外部発表等の件数を表 - 1 - 1.2 - (1) - 2 にまとめて示す。積極的に論文発表を行うことにより成果の普及に努めるとともに、新聞発表を行い(1件)、一般に向けた情報発信も行っている。

1.2 - (1) - 5 最終目標の達成可能性

半導体ナノチューブの優先成長を除くと、CNTデバイス作製技術、ナノチューブ高密度配向成長技術、CNTデバイスの局所評価技術の研究開発は順調に進行している。半導体ナノチューブの優先成長は世界でまだ誰も成功していない挑戦的な課題であるが、化学反応の詳細機構の解明と、電場印加技術の検討により、この課題に取り組む。この成果により、最終目標の達成は十分期待できる。

表 - 1 - 1.2 - (1) - 1

「カーボンナノチューブトランジスタ技術の研究開発」の成果と達成度()

達成度(H21年度末見込み)

:目標を大幅に上回り達成、 :目標を達成、 :目標をほぼ達成、×:目標未達成

中間目標	研究開発成果	達成度
(1) デバイス作製技術 ・トップゲートFET作製技術を検討し、基本技術を確立する。	(1) 石英基板上への23本/ μm の高密度配向成長を実証。また、ゲート絶縁膜/表面保護膜形成方法として原子層成膜の低損傷性を実証するとともに、トップゲートFET動作を実証。	(1)
(2) 電流利得遮断周波数 ・5GHz以上を実証する。	(2) マッシュルームゲート形成技術、ソース・ドレインの自己整合技術、マルチチャネルCNT-FETにより4GHzを実証。	(2)
(3) 電場による半導体優先成長 ・電場による半導体優先成長を確認する。	(4) 成長時反応機構の詳細な解析を行うとともに、半導体優先成長が期待できる電場印加成長のホルダー設計を行った。ラマン分光による半導体優先成長確認の準備もでき、今年度中に達成見込み。	(3)
(4) 配向CNTの高密度化 ・サファイア基板上で15本/ μm の高密度配向成長を実現する	(5) 膜厚に勾配をもたせたスパッタ膜を使い、CVD条件を高度に制御することで、平均5本/ μm 、局所的に15本/ μm 程度の密度を得た。	(4)
(5) Si上での配向技術 シリコンウェハ上のCNT配向成長を実現する	(6) CF_4 プラズマ加工したSi基板、及び電子線描画とエッチングによってトレンチ加工したSi基板を用い、Si上に配向したCNTを合成することに成功した。	(5)
(6) KFM高空間分解能化 ・KFMでの最高到達空間分解能として10nmを実現する。	(7) 間欠バイアス印加法と静電引力のサンプリング検出法を併用したKFMにおいて、約10nmの最高到達空間分解能が得られることを、InAs量子ドット周囲での電位分布計測を通じて確認した。	(6)
(7) MFMの高感度化 ・MFMの1 μA 以下の高感度化を実現する。	(8) MFMカンチレバーの形状について、有限要素法解析による設計とFIBによる追加工を施し、従来の3倍程度の感度改善効果があること、1 μA 以下の感度があることを確認した。	(7)

表 - 1 - 1.2 - - (1) - 2

特許、論文、外部発表等

区分 年度	特許出願			論文		その他外部発表 (学会発表・プレス発表等)
	国内	外国	PCT出願	査読付き	その他	
H19FY	0件	0件	0件	3件	0件	22件
H20FY	3件	0件	0件	10件	1件	61件
H21FY	0件	0件	0件	4件	1件	25件

1. 2-③-(2)「シリコンプラットフォーム上III-V族半導体チャンネルトランジスタ技術の研究開発」

1. 2-③-(2)-1 目標の達成度

(基本計画の目標)

hp22nm世代以降の高性能トランジスタを実現するためのデバイス構造として、Si 基板上更にはその上の絶縁膜上に形成した III-V 族半導体をチャンネルとする MISFET を開発することを目的とする研究開発を行う。III-V 族半導体チャンネル MISFET の最適素子構造・材料の明確化を進め、本デバイスの当該世代 CMOS への適用性を明らかにすると共に、将来の CMOS 構造への集積化の可能性を検証するために、以下の研究開発を行う。

(1) III-V-OI チャンネル形成技術

有機金属気相成長法及び貼り合わせ法を用いた Si 基板上あるいは絶縁膜上への良質な III-V 族半導体チャンネル及び III-V 族薄膜ウェハの形成技術を開発する。

(2) MIS界面安定化技術及び界面評価技術

III-V 族半導体MIS界面の最適化による高品質MIS構造形成技術並びに high-k 絶縁膜を含むゲートスタック構造形成技術を開発する。

(3) III-V-OI MISトランジスタ形成技術

Si 上あるいは絶縁膜上の n チャンネル III-V 族半導体チャンネル MISFET の作製技術の確立と動作実証を行う。

中間目標 (平成21年度):

- ・III-V-OI チャンネルを形成する基本形成プロセス、および III-V MIS 界面を安定化できる基本プロセスを確立する。
- ・III-V 族半導体基板上のnチャンネル III-V 族半導体チャンネル MISFET の作製技術を開発し、その高移動度動作を実証する。

最終目標 (平成23年度):

- ・Si 上あるいは絶縁膜上のnチャンネル III-V 族半導体チャンネル MISFET の作製技術を開発し、その高移動度動作を実証する。
- ・Si 上の III-V MISFET の最適素子構造・材料の明確化を進め、CMOS プラットフォームへの適用性を明らかにすると共に、将来の CMOS 構造への集積化の可能性を検証する。

(開発成果の要約)

(1) III-V-OI チャンネル形成技術

III-V-OI チャンネルを形成する基本形成プロセスについては、Si 基板の InGaAs 選択エピタキシャル成長、及び InGaAs/InP 基板と Si 基板との貼り合わせにより、III-V-OI チャンネルを形成する基本技術を開発した。

有機金属気相成長 (MOVPE) を用いた Si 上の InGaAs チャネル層形成については、熱酸化膜にリソグラフィで形成した 1 μm 程度のシリコン(111)開口に InGaAs の単一核を発生させ、その後 InGaAs の横方向成長を行うことにより貫通転位のない InGaAs 結晶層を酸化膜上に形成する、微小領域選択成長技術を開発してきた。とくに本研究開発においては、シリコン開口領域への初期核発生および横方向成長モードの成長条件依存性を詳細に検討し、InGaAs 結晶の横／縦比の拡大、形状均一性の向上を目指してきた。これまでの研究開発により、以下の知見を得た。

(a)初期核発生については、シリコンともっとも格子不整合の大きい InAs が1つの開口に単一核という目標に適している。

(b)横方向成長に関しては、InGaAs 成長面の Ga 組成が形状成長に大きな影響を与えている。すなわち、InAs は縦方向に成長するが、InGaAs の成長において Ga 原料の供給を増やして Ga の取り込みを増大させると横方向成長モードに移行する。しかし、さらに Ga 組成を増やすと3次元成長を誘発してしまう。

(c)これらの InGaAs 結晶には、(111)表面と平行に回転双晶が無数に形成される。しかし、Ga 組成を増やして(111)、(110)以外の結晶面を形成すると、回転双晶は消滅する。

これらの知見をもとに、InGaAs 結晶の成長過程において、気相に供給する In および Ga の原料濃度を変調する多段階成長法を開発した。これにより、平坦表面を有し、横／縦比6以上の InGaAs アイランドを得ることができた。さらに、結晶最上層に Ga リッチな層を形成することで、チャネルを形成する結晶層最上部から回転双晶を除去することにも成功した。

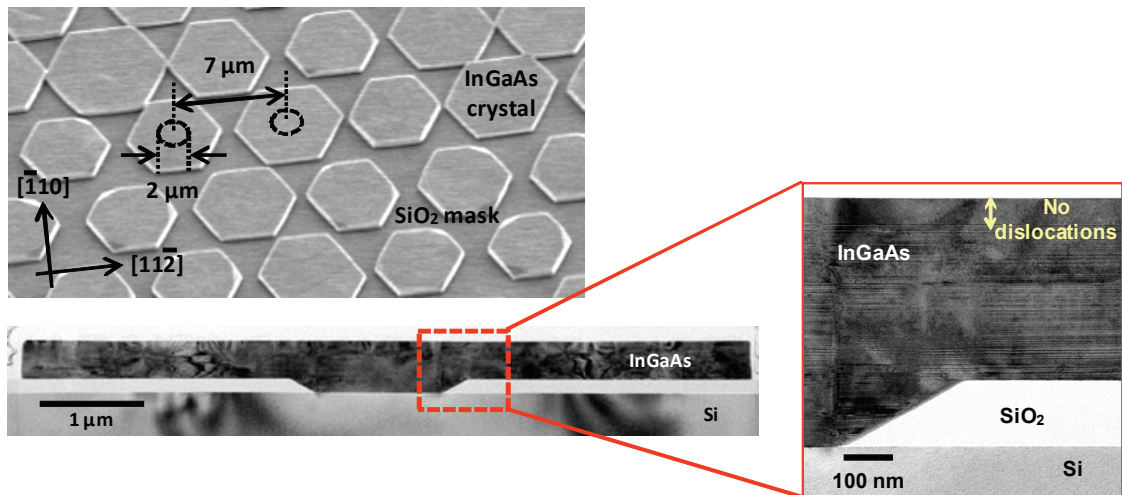


図 1-1 微小領域選択成長における多段階成長のガス供給シーケンスと、それにより得られた InGaAs 結晶の鳥瞰 SEM 像、および断面 TEM 像

また、電子サイクロトロン共鳴 (ECR) プラズマを利用した表面活性化を用いて、低温・低ダメージの III-V 族半導体と Si 基板の直接基板貼り合わせ技術を開発した。それは、III-V 族化合物半導体基板上に ECR スパッタを利用して低ダメージで絶縁膜(SiO₂)を成膜し、良好な III-V MOS 界面を形成し、その絶縁膜表面と Si 基板表面を直接貼り合わせるというものである。ECR プラズマにより成膜と同時に、絶縁膜表面が基板貼り合わせに対して活性化される。これにより、従来の基板貼り合わせ方法とは異なり、溶液処理を行わないでも、低温・低ダメージの基板貼り合わせを実現し、

基板貼り合わせ後の熱処理により、貼り合せ基板の剥離テストでは、InP 基板や Si 基板のバルク破壊が起こるほどの強度を実現し、十分な貼り合わせ強度を有していることを確認した。絶縁膜を介した貼り合わせのため、基板貼り合わせ時の III-V チャンネル層へのダメージを軽減することを可能にしている。また、HCl を用いた高い選択性ウェットエッチング(InP:InGaAs>1000:1)により、III-V-OI 層の薄膜化が容易であるため、低ダメージで InP 基板を除去することにより、InGaAs-OI on Si 基板を作製することができる。作製した InGaAs-OI 基板の写真を図 1-2(a)に示す。2 インチウエハ全体で良好な貼り合わせが実現できていることが分かる。また、図 1-2(b), (c)に貼り合わせ界面の断面透過型電子顕微鏡による(b)全体像と(c)格子像をそれぞれ示す。平坦な表面と平坦かつ急峻な界面が確認でき、良好な貼り合わせが実現できていることが分かる。本研究で開発した基板貼り合わせ技術により良好な III-V-OI 基板の作製が可能となった。さらに、絶縁膜を原子層堆積法により成膜した Al₂O₃ 膜とした基板貼り合わせ技術も開発した。

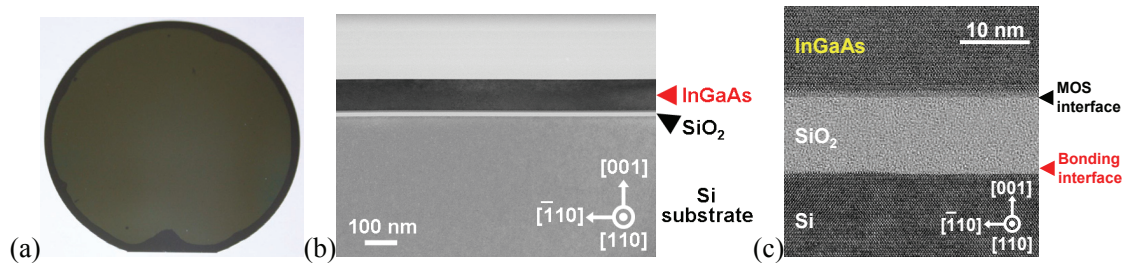


図 1-2 (a)開発した直接基板貼り合わせにより作製した III-V-OI 基板の写真、および貼り合わせ界面の断面透過型電子顕微鏡による(b)全体像と(c)格子像。

(2) MIS 界面安定化技術及び界面評価技術

III-V MIS 界面を安定化するための基本プロセスについては、InGaAs や InP などの III-V 基板に対する Al₂O₃ の原子層成長 (ALD)、及び、表面硫化処理や窒化・酸化条件の最適化により、良好な MIS 界面特性が得られ、nMISFET 動作のために必要な表面ポテンシャルの変調 (p 型半導体における表面反転) を行えることを実証した。

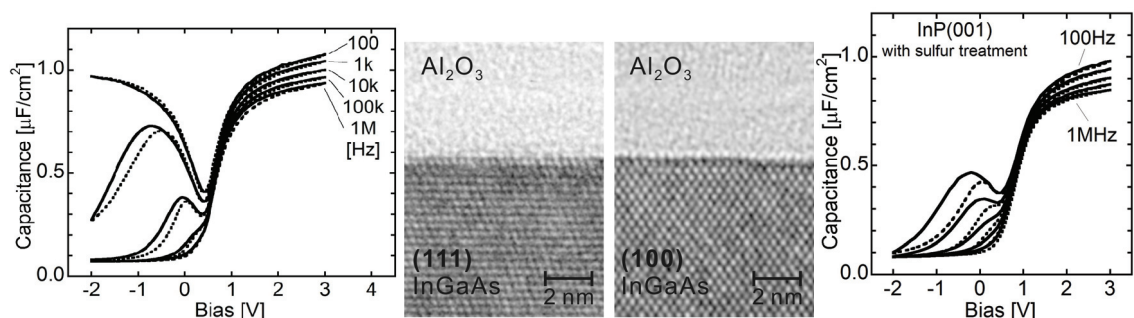


図 1-3 ALD-Al₂O₃/n-In_{0.53}Ga_{0.47}As(100)構造の C-V 特性(左)と界面の断面 TEM((111)A 面および(001)面) (中央)及び ALD-Al₂O₃/n-InP(100)構造の C-V 特性(右)。

具体的には、Al₂O₃ の ALD については、還元性を持つトリメチルアルミニウムを原料とすることにより、MIS 界面の III-V 族半導体のカチオン酸化物が 1 原子層程度に制御された構造を再現性良く形成できることを確認した。III-V チャンネル材料の選択については、電荷中性点がバンドギャップ内の伝導帯に近いところにあることが知られている In を含む材料が nMISFET 動作のために有利

であることがわかった。このようなカチオンの種類と界面特性との関係について、MBE を用いて III-V 表面を精密に制御する実験により、界面構造変化の観点からも検討を加えた。また、従来デバイス作製に用いられている(001)面に加えて、(111)A 面においても界面準位密度の低い界面を得られることを見出した。III-V 族半導体の表面パッシベーション効果が知られている $(\text{NH}_4)_2\text{S}$ 溶液による硫化処理については、界面準位密度低減よりも、むしろ、MIS 界面の熱的安定性を高める上で効果的であることが確認された。

さらに、III-V チャネルの窒化・酸化による高品質 MOS 界面層形成に関しては、InP 表面及び InGaAs 表面に ECR プラズマ窒化およびプラズマ酸化を施すことによって、MIS 界面の電気特性改善が実現できることを示した。InP に関しては、ECR プラズマ窒化は、CV 特性のヒステリシスをもたらすスロートラップを大きく減少させることが分かった。InP 表面を ECR プラズマ窒化したのち SiO_2 を EB 蒸着により形成した場合とプラズマ窒化を行わない場合の CV 特性を示している。プラズマ窒化がない場合は、大きなヒステリシスが観測され、MIS 界面近傍に大量のスロートラップがあることが推察されるが、プラズマ窒化を施すことにより、大きくヒステリシスが減少しており、窒化によって界面層の改質がなされ、スロートラップの低減が可能であることが明らかとなった。

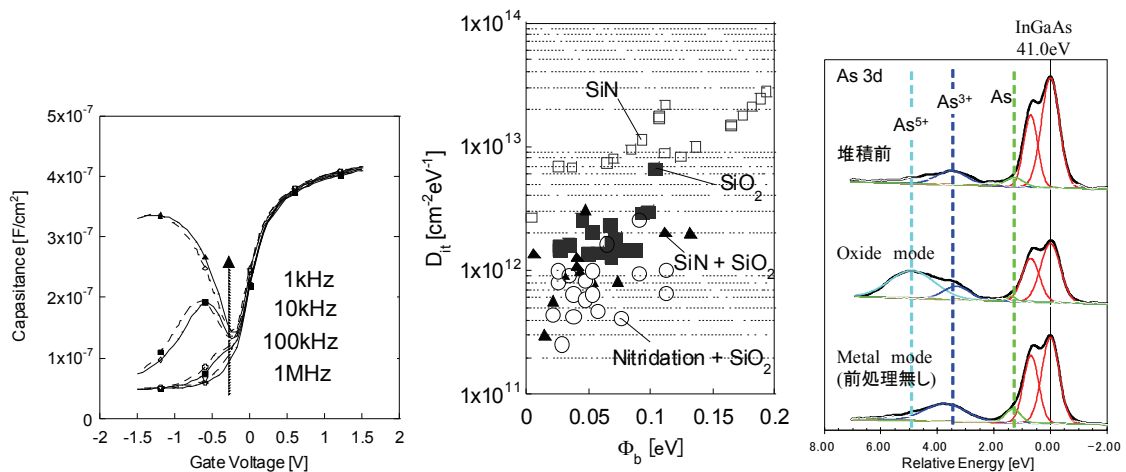


図 1-4 250°Cの基板温度で ECR N₂ プラズマにより窒化したのち、 SiO_2 を連続的に ECR スパッタし、フォーミングガス中で、350°Cの PDA と 450°Cの PMA を施した InGaAs MIS キャパシタの室温での CV 特性(左)と種々の界面処理と絶縁膜の組み合わせによる MIS 界面の界面準位密度(中央)及び InGaAs 表面及び InGaAs 上にメタルモード・オキサイドモードで約 1 nm の SiO_2 を ECR スパッタした界面の As 3d XPS スペクトル(右)

一方、InGaAs に対して、ECR プラズマ処理を施したところ、表面を窒化処理し、連続して ECR プラズマ SiO_2 を堆積した後、アニールを施すことにより、界面準位とヒステリシスを大幅に低減できることが明らかとなった。図 1-4 左は、HCl 前処理を施した InGaAs/InP 基板表面を、250°Cの基板温度で ECR N₂ プラズマにより窒化したのち、メタルモードと呼ばれる低酸素流量の下で、 SiO_2 を連続的に ECR スパッタし、これを 350°C、フォーミングガス中でアニール、さらに Al 電極をつけて、450°C、フォーミングガス中でアニールした MOS キャパシタの、室温での CV 特性である。室温においても、きわめて急峻な容量変化が得られている。また、ヒステリシスは、およそ 50mV 程度と小さく、良好な MIS 界面が実現していることが分かる。

ECR プラズマ中で種々の表面処理と絶縁膜を堆積させて作製した InGaAs MIS キャパシタの MIS 界面準位のエネルギー分布を、図 1-4 中央に示す。 $1 \times 10^{11} \sim 1 \times 10^{12} \text{ cm}^{-2} \text{ eV}^{-1}$ の範囲に入る界面準位の値が得られており、適切な ECR プラズマ窒化とスパッタ条件を組み合わせ、界面に存在する酸化層の制御を行うことが、界面欠陥の低減に極めて有効であることが明らかとなった。

また、MIS 界面評価技術については、InGaAs MIS キャパシタに低温コンダクタンス法を適用することで、定量性の高い界面準位の評価ができることを明らかにした。測定は、200-100K 程度で行い、コンダクタンスカーブに対して表面ポテンシャル揺らぎを考慮したモデルを当てはめることで、再現性よく界面準位を決定している。測定結果の一例が、図 1-4 中央である。

また、界面の電気特性と構造の関係を明確化するために、XPS と電気測定を組み合わせ、界面準位の起源の探索を進めている。ECR スパッタによる SiO_2 と InGaAs との MIS 界面特性は、スパッタ条件によって大きく影響を受けることを見出した。MIS キャパシタの電気評価から、スパッタ時の酸素流量が少ないメタルモードでの堆積の方が、酸素流量の多いオキサイドモードよりも、圧倒的に低い界面準位が得られることを見出した。この起源を明らかにするために、同様の堆積条件で、極めて膜厚のうすい ($\sim 1 \text{ nm}$) SiO_2 を堆積し、XPS で観測することにより、メタルモードとオキサイドモードの界面構造の違いを明らかにした。図 1-4 右に示すように、結果として、モードの違いは、As 3d スペクトルに顕著に表れ、オキサイドモードでは、多量の As^{5+} ピークが検出されることから、この化学状態に対応するボンドが界面準位の起源になっている可能性があることを明らかにした。

(3) III-V-OI MIS トランジスタ形成技術

上記(1)で述べた、貼り合わせ法による極薄ボディ III-V-OI を用いたメタルソースドレイン MISFET、及び、上記(2)で述べた MIS 界面安定化技術を盛り込んだ $\text{Al}_2\text{O}_3/\text{InGaAs}$ 構造の MISFET を、世界で初めて作製し、Si を凌ぐ高移動度特性を達成した。

貼り合わせ法による極薄ボディ III-V-OI 基板にメタル ソース/ドレイン (S/D) を形成し、Si 基板上メタル S/D III-V-OI MOSFET の動作実証に成功した。図 1-5(a)に作製したデバイスの概略図を示す。ここで、III-V-OI 層には InGaAs を使い、絶縁膜 (BOX 層) には ECR スパッタにより成膜した SiO_2 膜 (ECR- SiO_2)、あるいは原子層堆積法により成膜した Al_2O_3 膜 (ALD- Al_2O_3) を用いた。図 1-5(b)に ECR- SiO_2 を BOX 層とするメタル S/D III-V-OI MOSFET の電流電圧特性を示す。良好なトランジスタ特性を実現することに成功した。図 1-5(c)に ECR- SiO_2 あるいは ALD- Al_2O_3 を BOX 層とするメタル S/D III-V-OI MOSFET と Si universal 移動度を示す。III-V-OI MOSFET の最高移動度は $1200 \text{ cm}^2/\text{Vs}$ であり、Si universal 移動度に対して、ECR- SiO_2 を BOX 層とするデバイスで 1.7 倍、ALD- Al_2O_3 を BOX 層とするデバイスで 1.8 倍の高い性能を実現した。このことから、メタル S/D III-V-OI MOSFET は高性能 CMOS トランジスタへの応用が期待される。

$\text{Al}_2\text{O}_3/\text{InGaAs}$ 構造の MISFET については、InP ウエハ上にヘテロエピタキシャル成長した InGaAs を用いて、Si イオン注入と活性化アニール (600°C) によりソース・ドレイン形成後に $\text{Ta}_x\text{N}_y/\text{ALD } \text{Al}_2\text{O}_3$ ゲートスタックを積層するゲートラストプロセスを確立した。チャネル移動度を評価した結果、実用的な表面キャリア濃度 $1 \times 10^{13} \text{ cm}^{-2}$ において、同じドーピング濃度の Si MOSFET の約 2 倍の高移動度を達成した。また、比較のため作製したゲートファーストプロセスの結果や、MISFET 特性改善を目指したアニール処理条件の検討を通じて、デバイスプロセスにおける熱負

荷が MISFET 特性に与える影響を明らかにした。

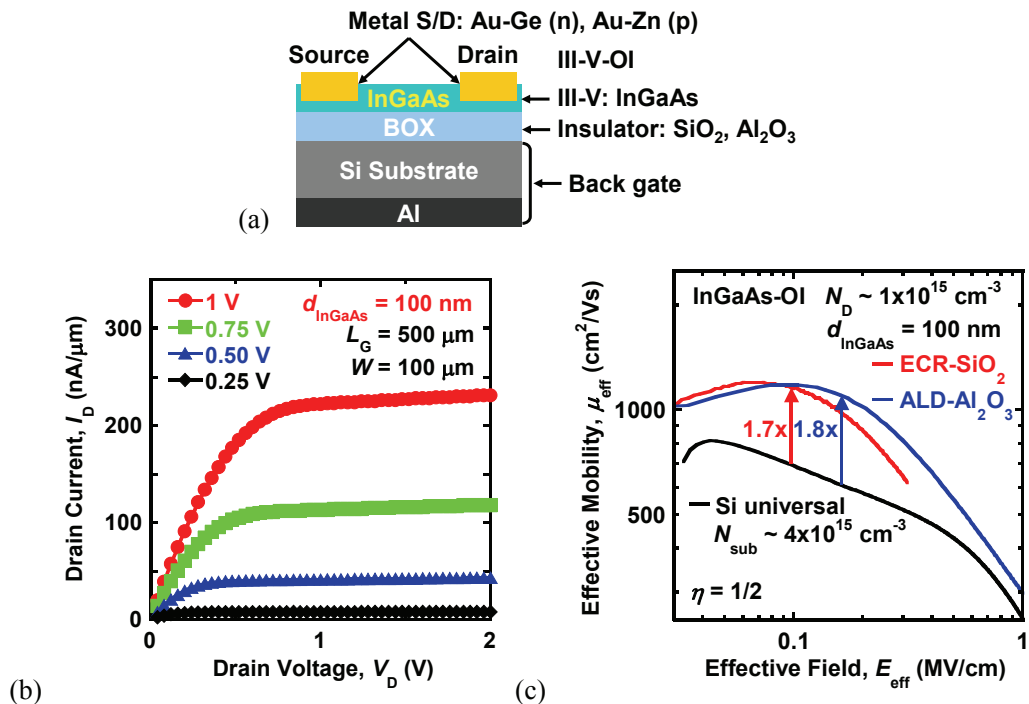


図 1-5 (a) メタル S/D III-V-OI MOSFET の概略図。(b) ECR-SiO₂ を BOX 層とするメタル S/D III-V-OI MOSFET の電流電圧特性。(c) ECR-SiO₂ 及び ALD-Al₂O₃ を BOX 層とするメタル S/D III-V-OI MOSFET の移動度と Si universal 移動度との比較。

(中間目標の達成度)

III-V-OI チャンネルを形成する基本形成プロセスとして、Si 基板の InGaAs 選択エピタキシャル成長、及び、InGaAs/InP 基板と Si 基板との貼り合わせにより、III-V-OI チャンネルを形成する基本技術を開発した。MIS 界面安定化技術として、In を含む III-V 基板上への Al₂O₃ 成長プロセスの開発、及び、表面硫化処理や窒化・酸化条件の最適化を行った結果、10¹¹ cm⁻²eV⁻¹ 台前半の界面準位をもつ良好な MIS 界面特性を実証した。このように MIS 界面特性の向上を試みる中で、カチオン種や基板面方位が MIS 界面に及ぼす効果を明確化すると共に、電気特性の温度依存性から界面欠陥を評価する手法を確立した。III-V-OI MIS トランジスタ形成技術については、貼り合わせにより形成した極薄ボディ InGaAs チャンネルを用いたメタルソースドレイン MISFET、及び、Al₂O₃/InGaAs 構造の MISFET を作製するプロセスを確立し、Si を凌ぐ高移動度特性を達成した。

以上の内容を表 III-1-1. 2-③-(2)-1 にまとめる。このように、基本計画に定義された中間目標はすべて現時点で達成されている。この成果を受けて、最終目標の実現に向けて研究を実施中である。

1. 2-③-(2)-2 成果の意義

【市場の拡大および市場の創造への期待】本研究成果は、現在スケーリングの限界に直面している Si CMOS のデバイス性能を大きくブーストできる可能性があることに加え、Si CMOS と III-V 族半

導体ベースの種々のデバイスを融合する新たな System on a chip の創製に向けた基盤技術となっており、既存ロジックデバイスの市場拡大と新しい半導体市場の創造の両面で、大きな期待ができる。

【成果の水準】現在、世界的にロジック応用に向けた III-V MOSFET の研究開発は、欧米を中心にきわめて活発に進められているが、Si CMOS プラットフォーム上での実現の鍵となる Si 基板上での動作の報告は極めて少ない。我々の Si 基板上の薄膜 III-V-OI の形成とその上での MOSFET の動作実証は、世界で初めての報告(VLSI symp. (2009))である。加えて、微細チャネル MOSFET を実現する上で重要な III-V-OI 層の極薄膜にも成功しており、最も薄膜なもので 7nm の InGaAs-OI 上の MOSFET 動作を実証しており、加えてこの場合に問題となる移動度低下を防ぐ構造も提案・実証している。また、III-V バルク基板上の MISFET の移動度としても、世界最高水準を達成している。以上のことから、本成果が世界最高水準であるばかりでなく、その新規性と有用性の点で、当該分野の世界的発展をリードしていると言える。

【新たな技術領域の開拓】本研究成果は、MOSFET 応用のための Si 上への極薄の III-V-OI 形成の点で新たな技術領域を開拓している。また、ソースドレインとして、世界に先駆けてメタルを適用し、実証しており、今後の III-V MOSFET の基本構造となっていく可能性が高く、その界面制御・プロセス設計を含め、新しい技術領域を提供している。

【成果の汎用性】技術は、CMOS ロジック応用だけでなく、アナログ・高周波・ハイパワー用デバイスの高性能化にも適用できる技術である。更に、MIS 界面や金属半導体界面構造と電子物性の基礎的理解は、III-V MISFET にとどまらず、Si、Ge を含む半導体 MOS 技術一般に活用できる知識基盤であり、きわめて汎用性が高い。

【対費用効果】Si 上のロジック用 III-V MOSFET を研究ターゲットとしている米国 SRC の Focus Center (UCSB を中心とした大学間のコンソーシアム、2006 年 7 月開始)では 3 年間で 700 万ドル、EU の Dual Logic Project (IMEC、ST マイクロ、NXP などによるコンソーシアム、2007 年 12 月開始)では 3 年間で 900 万ユーロの予算が投入されている。本研究プロジェクトは、委託先の東京大学、産業技術総合研究所、物材機構、共同実施先(平成20年度は研究協力機関)の住友化学の緊密な連携によって進められており、装置や人材、ノウハウの共有によって、きわめて効率的に実施されている。結果として、開始から事実上 2 年弱の研究期間で、これらの研究機関と同等あるいはそれ以上の研究成果を挙げることに成功しており、投入された予算は効果的に使われていると考えている。

1. 2-③-(2)-3 知的財産権等の取得

III-V-OI チャネル形成に関する特許出願を2件、III-V MISFET 構造に関する特許を1件出願している。これらの出願においては、産業技術総合研究所の共同実施先(平成20年度は研究協力機関)の住友化学による実用化を念頭に、内容を精査して出願しており、外国出願の手続きも進めている。加えて、最新の成果を元に、III-V-OI 基板に関し 1 件、チャネル構造に関し 1 件の出願を準備中である。

1. 2-③-(2)-4 成果の普及

今回の研究成果の普及を図るために、国際会議、国内会議、ジャーナル論文などでその内容を開示している。約2年弱の研究期間の間に、ジャーナル論文5件、国際会議20件(うち、招待講演8件、予定を含む)、国内会議51件(うち、招待講演12件、予定を含む)の成果報告を行っている。特に、本技術を実用化する想定者が多く参加しており、電子デバイスの研究分野において、IEDMと並んで重要な国際会議である2009年にVLSIシンポジウムに投稿して、アクセプトされ、発表を行っている。更に、ウェハ技術から界面制御・デバイス技術までをカバーする、国内ではほぼ唯一の研究体であることから、国内学会で積極的に成果の普及を進めている。また、一般への広い情報発信として、新聞発表1件、雑誌への投稿記事1件がある。

以上に述べた特許、論文、外部発表等の件数を表Ⅲ-1-1.2-③-(2)-2にまとめて示す。

1.2-③-(2)-5 最終目標の達成可能性

本研究開発項目の第一の最終目標である、「Si上あるいは絶縁膜上のnチャネル III-V 族半導体チャネル MISFET の作製技術開発と高移動度動作実証」については、計画を前倒しする形で、貼り合わせ法による Si 上の III-V-OI チャネルにおいてバックゲート構造の MISFET を動作させることに成功し、Si を超える移動度を得ている。III-V 基板上的 MISFET については、通常のトップゲート構造において MIS 界面を適切に制御することで、さらに大きく Si を超える移動度を達成しており、また、メタル・ソースドレインを用いた MISFET 動作も実証済みである。これらの技術の統合における基本的な問題は見当たらないことから、Si 上の III-V-OI チャネルを用いたトップゲート構造の高移動度 MISFET は、射程に入ったと考えている。

本研究開発項目の第二の最終目標である「Si 上の III-V MISFET の最適素子構造・材料の明確化、CMOS プラットフォームへの適用性と CMOS 集積化の可能性の検証」については、III-V チャネル材料の選択指針、ゲートスタック材料・プロセスの最適化、および、メタルソースドレインの材料候補について、現在までに着実に知見が蓄積されてきている。材料・プロセスの候補は絞られてきており、これらを用いた III-V MISFET の最適素子構造の同定を進める準備が整ったところである。また、これまでの材料開発および MISFET 試作は、Si プラットフォームとの整合性をもつ選択肢の中で検討を進めており、プロジェクトの後半に向けて、今後は CMOS プラットフォームへの適用性と集積化可能性をさらに明確に意識した MISFET プロセス開発を進める。

現在までに、研究開発は極めて順調に進行しており、上記のように今後の研究開発を推進することにより、最終目標を確実に達成できると考えている。

表Ⅲ-1-1.2-③-(2)-1

「シリコンプラットフォーム上 III-V 族半導体チャネルトランジスタ技術の研究開発」の成果と達成度
(※)

※達成度(H21 年度末見込み)

◎: 目標を大幅に上回り達成、○: 目標を達成、△: 目標をほぼ達成、×: 目標未達成

中間目標	研究開発成果	達成度
<p><u>(1)</u> III-V-OIチャネル形成技術</p> <p>・III-V-OIチャネルを形成する基本形成プロセスを確立する。</p>	<p>(1) Si基板のInGaAs選択エピタキシャル成長及びInGaAs/InP基板とSi基板の貼り合わせによりIII-V-OIチャネルを形成する基本技術を開発した。</p>	<p>(1)</p> <p>○</p>
<p><u>(2)</u> MIS界面安定化技術及び界面評価技術</p> <p>・III-V MIS界面を安定化できる基本プロセスを確立する</p>	<p>(2) Inを含むIII-V基板上へのAl₂O₃成長及び表面硫黄処理や窒化・酸化条件の最適化により、良好なMIS界面特性を実証した。</p>	<p>(2)</p> <p>○</p>
<p><u>(3)</u> III-V-OI MISトランジスタ形成技術</p> <p>・III-V族半導体基板上のnチャネルIII-V族半導体チャネルMISFETの作製技術を開発し、その高移動度動作を実証する。</p>	<p>(3) 貼り合わせにより形成した極薄ボディInGaAsチャネルを用いたメタルソースドレインMISFET、及びAl₂O₃/InGaAs構造のMISFETの世界で初めての作製に成功し、Siを凌ぐ高移動度特性を達成した。</p>	<p>(3)</p> <p>◎</p>

表Ⅲ-1-1.2-③-(2)-2

「シリコンプラットフォーム上 III-V 族半導体チャネルトランジスタ技術の研究開発」の特許、論文、外部発表等

区分 年度	特許出願			論文		その他外部発表 (学会発表・ プレス発表等)
	国内	外国	PCT出願	査読付き	その他	
H19FY	0件	0件	0件	0件	0件	5件
H20FY	3件	0件	0件	4件	1件	33件
H21FY	0件	0件	0件	2件	0件	42件

1.2 - (3) 「シリコンウェハ中の原子空孔濃度定量評価技術の研究開発」

1.2 - (3) - 1 目標の達成度

(基本計画の目標)

(概要)

半導体産業におけるデバイス製造では、チョクラルスキー(CZ)法で製造したCZシリコン結晶から切り出したウェハを用いる。最近になり、2次欠陥であるポイドが全く存在しない完全結晶シリコンインゴットの製造技術が発達し、完全結晶ウェハを用いたデバイス製造技術が急速に進展している。CZシリコン中に存在する酸素をデバイス製造過程で析出させ金属汚染の除去を行なうゲッターリング技術は、微細化が進行してもデバイス製造技術に重要な役割を果たしている。ゲッターリング効果を得るには適量の酸素を析出させることが必要であるが、原子空孔は非常に重要な因子であり、酸素析出を著しく促進する。しかし、現在までシリコンウェハ中に存在する孤立した原子空孔の濃度評価法が確立していないので、完全結晶シリコンウェハを用いたデバイス製造においては、酸素析出にばらつきが生じ、動作特性の不良による歩留まりの低下など大きな困難が生じている。このような技術的困難を突破するために、原子空孔濃度を予め評価したシリコンウェハを用いてデバイスを製造する技術が半導体産業から強く要請されている。

このため、低温超音波計測により、シリコン結晶中の孤立した原子空孔の濃度を定量評価する分析技術を開発し、超音波計測による原子空孔濃度分析技術の実用化を進めることを目的とする研究開発を行う。

中間目標 (平成21年度):

(1) 超音波計測を用いた原子空孔濃度分析の研究開発

完全結晶ウェハの原子空孔濃度を評価するために、圧電薄膜を用いた極低温超音波計測のシステムを構築し、20mKまでの極低温領域で高い音速分解能($v/v = 10^{-6}$ 以上)を実現する。

(2) 原子空孔のナノレベルシミュレーション技術の研究開発

512原子以上での大規模セルでのナノレベルシミュレーションを行い、原子空孔軌道の量子状態を精密に求める。

(3) シリコン結晶中の原子空孔分布計測と欠陥制御技術の開発

低温超音波計測を利用してCZ完全結晶インゴット中の原子空孔濃度とその空間分布を評価することによって、ウェハ結晶の品質特性との対応を明確にする。

(4) 原子空孔濃度を評価した完全結晶ウェハを用いたデバイスの動作特性評価

低温超音波計測により原子空孔濃度を予め評価した完全結晶ウェハを用いたテストデバイスを作製し、原子空孔濃度とデバイス特性との関連を調査し、歩留まりの向上を図るための基礎技術を確立する。

最終目標 (平成23年度):

(1) 超音波計測を用いた原子空孔濃度分析の研究開発

超音波計測によって低温ソフト化の量を測定することで、産業界で実用化が進んでいる完全結晶ウェハの原子空孔濃度の面内分布の分析技術を確立する。

(2) 原子空孔のナノレベルシミュレーション技術の研究開発

超音波計測の結果と比較しながら、大規模ナノレベルシミュレーションを行い、原子空孔軌道と超音波歪みとの結合定数を求め、産業界で実用化が進んでいる完全結晶ウェハ中の原子空孔濃度の評価に適用する。

(3) シリコン結晶中の原子空孔分布計測と欠陥制御技術の開発

as-grown 結晶欠陥分布を決定する結晶育成時の熱履歴を厳密に制御する事で、原子空孔濃度を制御したデバイス評価に適した完全結晶ウェハを作製することを可能にする。

(4) 原子空孔濃度を評価した完全結晶ウェハを用いたデバイスの動作特性評価

低温超音波計測により原子空孔濃度を予め評価した完全結晶ウェハを用いてテストデバイスを作製し、原子空孔濃度とデバイス特性との関連を調査し、次世代の完全結晶ウェハを用いたデバイス製造のための基礎技術を確立する。

(開発成果の要約)

シリコンの弾性定数の低温ソフト化を測定するために、希釈冷凍機を導入した。原子空孔濃度を制御したシリコンインゴットから複数採取した試料を系統的に評価するために、冷凍機に 4 つの試料を同時挿入して測定可能なように同軸ケーブルを 8 ライン導入し、無負荷の状態でも 10mK まで冷却することを確認した。次に、超音波を共振させるための ZnO 圧電素子の安定成膜を実現した。これらの達成により、20 mK までの極低温領域で高い音速分解能 ($v/v = 10^{-6}$ 以上) を実現できた。現在希釈冷凍機およびヘリウム 3 冷凍機を用いた超音波計測を駆使し、ボロン添加の CZ および FZ シリコンの弾性定数が 5K 以下の低温でソフト化を示し、磁場を加えることで消失することを観測し、磁性を帯びた原子空孔軌道の量子力学的性質の実験的解明が進展している。また、第一原理計算を用いた原子空孔軌道の理論計算を行うために、電子状態計算用システム一式とデータ解析・可視化用システムを導入した。既に 216 原子セル (215 個のシリコン原子と 1 個の原子空孔) での計算を終了し、さらに 512 原子セルでの大規模セルで第一原理計算を用いたシミュレーションを行い、原子空孔の周りに広がった局在電子軌道の量子状態を求める作業を進行中である。現在、原子空孔濃度制御を施した試作ボロン添加 CZ 結晶インゴット中の原子空孔濃度分布の評価が進行中であり、実験結果が順調に得られている。原子空孔濃度を評価したウェハについて試作デバイスを表面に作成し、ライフタイム、耐圧特性の評価を行い、原子空孔との相関を推定する作業も進行中である。今後は、得られたデータをもとに、結晶インゴットの引き上げ条件にフィードバックさせることで、原子空孔濃度評価ウェハの製造技術が発展するとともに、濃度評価ウェハを用いたフラッシュメモリーデバイス製造技術が進展すると期待される。

(中間目標の達成度)

(1) 超音波計測を用いた原子空孔濃度分析の研究開発については、超音波位相差計測装置、希釈冷凍機、ZnO 圧電素子を用いた原子空孔濃度分析システムを完成させたことにより、評価技術開発の基盤ができており、既に中間目標を達成している。(2) 原子空孔のナノレベルシミュレー

ション技術の研究開発については第一原理計算を駆使した216原子セルおよび512原子セルによるシミュレーションを行い、巨大な原子空孔軌道の状態が明らかになってきた。これにより中期目標はほぼ達成できており、今後必要となる濃度評価へ繋げることが可能となった。(3)シリコン結晶中の原子空孔分布計測と欠陥制御技術の開発では、原子空孔濃度を制御した試作ボロン添加CZシリコンインゴットから採取した複数個の試料について実験が進行中であり、低温ソフト化の大きさが分布している様子や磁場依存性が明らかになってきており、中間目標を十分達成している。(4)の原子空孔濃度を評価した完全結晶ウェハを用いたデバイスの動作特性評価では、産業用CZシリコンウェハにおけるライフタイム、耐圧特性の評価を行い、巨視的なボイド欠陥が無いにもかかわらず、同心円状の差異が観測され、原子空孔の影響が示唆される。原子空孔濃度を評価したシリコンウェハをもちいて試作デバイスを表面に作成した上で同様の評価を行い、原子空孔との相関を推定する作業を進めており、中間目標を達成できる。以上の内容を表 1-1.2 - (3) - 1にまとめる。このように、基本計画に定義された中間目標はほぼ達成されている。この成果を受けて、最終目標の実現に向けて研究を実施中である。

1.2 - (3) - 2 成果の意義

・市場の拡大或いは市場の創造

半導体産業のフラッシュメモリーに代表される超LSIデバイス製造ではボロン添加のCZシリコン完全結晶から切り出したウェハが用いられている。デバイス製造で重金属汚染を除去するゲッタリングプロセスには原子空孔の存在が必要である。しかし、現在ではシリコンウェハ中の空孔領域を格子間シリコン領域と区分する物理計測法は存在していないので、経験と勘に頼ったウェハ製造が行われているのが現状である。本開発では、半導体産業で用いられるボロン添加CZシリコンインゴット中の原子空孔の存在濃度を弾性定数の低温でのソフト化の大きさで見積もることに成功した。この成果は、低温超音波計測により原子空孔濃度を評価した高品質シリコンウェハの開発が可能になったことを意味しており、デバイス製造の歩留まり向上が期待され、シリコンウェハ市場の新たな創造に繋がることは確実である。

・技術水準

開発者はJ.Phys.Soc.Jpn.vol.75(2006)044602において超音波による原子空孔の観測に世界で最初に成功したことを発表した。これは、超音波を用いた強相関電子物性の世界最高水準の基礎研究が、半導体物理の半世紀にわたる難問を解決したことを意味している。さらに、シリコンウェハ中の原子空孔濃度を評価する革新的技術が出現したことを意味しており、世界標準化に向けての取り組みが必要である。

・新たな技術領域の開拓

原子空孔の周りに広がった局在電子軌道の量子状態がもっている電気四極子が超音波歪みと結合するので、弾性定数の低温ソフト化が起きる。とくに半導体産業でも用いられるボロン添加シリコン中の原子空孔軌道には3個の電子が収容され、スピン軌道相互作用により磁性を帯びる。このため、超音波で観測されるシリコン結晶の弾性定数の低温ソフト化の大きさおよびその磁場依存性を計測することで、原子空孔の濃度を決定できる。本開発の成果は、超音波を用いた低温量子計測により原子空孔濃度評価を行う全く新しい半導体検査技術・検査装置として確立できる。さらに、原

子空孔濃度を評価した高品質シリコンウェハの開拓が期待できる。

・ 汎用性

本開発での超音波を用いた原子空孔濃度評価は、現在の半導体産業での主要材料であるシリコン結晶を対象としているが、同じ結晶構造をもつゲルマニウムや窒化ガリウムなどの半導体の原子空孔濃度評価にも適用できる可能性があり、原子空孔を観測できる点で本開発の成果は汎用性を持っている。また、次世代半導体と考えられている SiC やダイヤモンドの原子空孔の評価も可能性がある。

・ 費用対効果

本開発では低温を実現するための希釈冷凍機および、高分解能で音速を計測する超音波位相差計測装置などの設備備品、ボロン添加 FZ シリコンインゴットなどの結晶購入費、結晶の研磨等の加工費、低温実験に必要な液体ヘリウム使用料、ZnO 圧電薄膜製造に掛かる材料費などに予算執行を行った。ウェハメーカーで育成されたボロン添加 CZ シリコン中の原子空孔濃度評価が進行しており、予算投資に見合った成果が得られている。

・ 他の競合技術に対する優位性

これまで、原子一個が抜けた原子空孔の存在を検出する方法は電子スピン共鳴や陽電子消滅などが知られている。これらの原子空孔観測技術は、電子線照射などを施して原子空孔濃度を人為的に桁違いに増やしたシリコン試料についてのみシグナルが得られている。しかし、照射をしないシリコン結晶に関しては、電子スピン共鳴や陽電子消滅ではシグナルが得られず観測できない。本開発での低温超音波計測では半導体産業で利用されているシリコン結晶中の原子空孔濃度を評価することが可能である。本開発の成果は、他の競合技術が存在せず、唯一無二の優位性がある。

1.2 - (3) - 3 知的財産権等の取得

開発者は原子空孔の世界最初の報告を J.Phys.Soc.Jpn.vol.75(2006)044602 に発表する直前に、知的財産権の確保のために特許2件「シリコンウェハ中に存在する原子空孔の定量評価装置およびその方法」および「CZ 法による Si 単結晶インゴットの製造方法」を登録し、国際出願(韓, 米, 独, 英, 伊)を行っている。さらに、特許「シリコンウェハ中に存在する原子空孔の定量評価装置、その方法、シリコンウェハの製造方法、及び薄膜振動子」を新潟大学から単独で出願し、実用化・ベンチャー起業化を目指した知的権利の確保を進めている。

1.2 - (3) - 4 成果の普及

・ 論文発表

原子空孔の世界最初の報告を J.Phys.Soc.Jpn.vol.75(2006)044602 に発表して以来、無添加 CZ シリコン結晶中の原子空孔分布の観測などに関連して幾つかの論文を特に国際会議を通じて発表してきた。本開発において、ボロン添加 FZ シリコンとボロン添加 CZ シリコンにおける弾性定数の低温ソフト化とその磁場依存性の詳細が明らかとなってきたので、特許等の知的財産権を注意深く確保しつつ論文を発表していく。

・ 成果の普及と普及の見通し

半導体産業でウェハとして利用しているシリコン結晶中の原子空孔の評価が課題である。本開発では、ウェハメーカから CZ シリコン結晶の提供を受けて、超音波計測による原子空孔濃度評価を進めている。また、デバイスメーカが超音波によって原子空孔濃度が評価されたシリコンウェハを用いてデバイスを試験製造し、原子空孔の存在がデバイスの電気特性及ぼす影響について評価する予定である。本開発の成果は、ウェハメーカにおける原子空孔を制御した完全結晶シリコンウェハの開発およびデバイスメーカにおける原子空孔濃度評価したデバイスプロセス技術の開発として「普及」するとの見通しがある。

・情報発信

2006 年に原子空孔の世界最初の報告を日本物理学会・応用物理学会などの国内学会等で発表するとともに ICDS, EMRS, ECS などの半導体結晶に関連したいくつかの国際会議で後藤および金田が招待講演を行い国際的にも広く情報発信を行ってきた。また、日本経済新聞 2006 年 4 月 21 日、日刊工業新聞 2006 年 2 月 1 日、新潟日報 2006 年 4 月 11 日、EE Times 2006 年 3 月 27 日、EE Times Jpn. 2006 年 5 月、Nikkei BP Silicon Online 2006 年 4 月 21 日、科学新聞 2006 年 4 月 28 日、日経ナノビジネス 2006 年 7 月 24 日、化学工業日報 2009 年 3 月 16 日、17 日、など新聞報道、雑誌、Web 掲載等 12 件があり、開発の成果が半導体産業の革新的技術であるので広く関心を読んでいる

以上に述べた特許、論文、外部発表等の件数を表 - 1 - 1.2 - - (3) - 2 にまとめて示す。

1.2 - - (3) - 5 最終目標の達成可能性

現在まで、(1)超音波計測を用いた原子空孔濃度分析の研究開発、(2)原子空孔のナノレベルシミュレーション技術の研究開発、(3)シリコン結晶中の原子空孔分布計測と欠陥制御技術の開発、(4)原子空孔濃度を評価した完全結晶ウェハを用いたデバイスの動作特性評価の開発研究はいずれも順調に進行している。この成果を受けて、今後は、半導体産業で用いられているボロン添加 CZ シリコン結晶中の原子空孔濃度評価を進め、シリコンインゴット中の原子空孔制御技術の開発と、原子空孔濃度を評価したウェハを用いたデバイス製造技術の開発を進めことで、最終目標を達成できる見込みである。

また、これまでの研究経験を生かして、さらに 1 台の超音波位相差計測装置を製作、スパッターによる ZnO 圧電薄膜の安定的な製作、ボロン添加 CZ シリコンインゴット中の原子空孔分布の把握、原子空孔濃度を評価したシリコンウェハを用いたデバイスの試作、これまでの原子空孔シミュレーションの研究を踏まえた 1024 個の Si 原子を扱う大規模計算手法など、最終目標に向け、課題とその解決の道筋が明確に示されており、妥当なものであると判断できる。

表 - 1 - 1.2 - (3) - 1

「シリコンウェハ中の原子空孔濃度定量評価技術の研究開発」の成果と達成度()

達成度(H21年度末見込み)

:目標を大幅に上回り達成、 :目標を達成、 :目標をほぼ達成、×:目標未達成

中間目標	研究開発成果	達成度
(1)超音波計測を用いた原子空孔濃度分析の研究開発 ・完全結晶ウェハの原子空孔濃度を評価するために、圧電薄膜を用いた極低温超音波計測のシステムを構築し、20mKまでの極低温領域で高い音速分解能($v/v = 10^{-6}$ 以上)を実現する。	(1)超音波装置と希釈冷凍機を用いた低温・磁場下でのウェハ中原子空孔評価装を開発した。また、ギガヘルツ発振ZnO圧電素子を成膜し、原子空孔濃度分析システムを完成させた。その結果、20mKまでの極低温領域まで高い音速分解能($v/v = 10^{-6}$ 以上)を達成した。	(1)
(2)原子空孔のナノレベルシミュレーション技術の研究開発 ・512原子以上での大規模セルでのナノレベルシミュレーションを行い、原子空孔軌道の量子状態を精密に求める。	(2)216原子での計算を終了し、さらに512原子での大規模セルで第一原理計算を用いたシミュレーションを行い、原子空孔の周りに広がった局在電子軌道の量子状態を求める作業を進行中である。	(2)
(3)シリコン結晶中の原子空孔分布計測と欠陥制御技術の開発 ・低温超音波計測を利用してCZ完全結晶インゴット中の原子空孔濃度とその空間分布を評価することによって、ウェハ結晶の品質特性との対応を明確にする。	(3)低温超音波計測を利用して、試作ボロン添加CZ結晶インゴット中の原子空孔濃度とその空間分布を評価し、インゴット中の原子空孔分布計測を進めている。	(3)
(4)原子空孔濃度を評価した完全結晶ウェハを用いたデバイスの動作特性評価 ・低温超音波計測により原子空孔濃度を予め評価した完全結晶ウェハを用いたテストデバイスを作製し、原子空孔濃度とデバイス特性との関連を調査し、歩留まりの向上を図るための基礎技術を確立する。	(4)歩留まりの向上を図るための基礎技術を確立するため、低温超音波計測により原子空孔を予め評価した完全結晶ウェハを用いてテストデバイスを作製し、ライフタイム、耐圧特性の評価を行い、原子空孔との相関を推定している。	(4)

表 - 1 - 1.2 - - (3) - 2

「シリコンウェハ中の原子空孔濃度定量評価技術の研究開発」の特許、論文、外部発表等

区分 年度	特許出願			論文		その他外部発表 (学会発表・プレス発表等)
	国内	外国	PCT出願	査読付き	その他	
H19FY	2件	6件	2件	2件	3件	13件
H20FY	1件	0件	1件	2件	0件	10件
H21FY	0件	0件	0件	1件	0件	3件

・ 実用化の見通しについて

1. 実用化の見通し

- (1)「シリコンナノワイヤトランジスタの知識統合研究開発」

(1) 成果の実用化可能性

本研究開発項目では、FET の究極形であるナノワイヤトランジスタを対象として、産業界が集積回路システムの構成要素としての実現可能性を見極めるために必要な技術シーズの提供を目的としている。この要求に応えるには、単にナノワイヤトランジスタを試作し性能を実証してみせるだけでは不十分で、ナノワイヤトランジスタの構造や特性を予測し、構造・材料・プロセスの設計を行うための基盤的知識体系を、科学的な裏付けを持って構築することが必要である。

この目的のために、本研究開発項目では、ナノワイヤトランジスタを原子レベルの正確さで作製する技術と特性の評価技術、ナノワイヤトランジスタの構造やひずみ、ポテンシャル分布をナノレベルで計測する物理計測評価解析技術、ナノワイヤトランジスタの構造やトランジスタ特性を予測できるシミュレーション技術の研究開発を行い、それぞれの要素技術について、世界最高水準の成果が得られている。

開発した作製プロセスや計測技術、シミュレーション手法などの要素技術は、そのままナノレベルの精度を要求されている現行のシリコンプロセスに適用可能であり、産業技術として有用な成果である。今後の研究開発で、上記の要素技術の成果を統合することにより、当初の目的に即した統合的な技術シーズを体系的に構築できると期待している。

(2) 波及効果

本研究開発項目は、シリコンナノワイヤトランジスタの基盤技術の体系的構築という明確な目的に応えるために、筑波大学や産総研が協力して研究ポテンシャルを有する有能な研究者を糾合して推進している。これによって、材料・計測・計算科学の異分野融合的な研究開発を促進し、大学や独法研究機関に散在する最先端のナノサイエンスを、目的の明確なデバイス技術につなげる研究開発のモデルケースとなる。さらに、本研究開発に大学院学生や若手研究者が参画することにより、ナノ領域の材料科学や量子輸送現象などの基礎科学に深い知見を有しながら、半導体デバイス技術開発にも通じた人材を育成する目的にも、貢献を図っている。

以上を通じて、本研究開発は、我が国の半導体分野の長期的な技術開発の礎石を築く役割を果たしている。

- (2) 「ナノワイヤFETの研究開発」

(1) 成果の実用化可能性

Siナノワイヤの電子構造を明らかにすることでデバイス性能の評価が可能となった本手法の実用化は可能である。構築したコンパクトモデルは計算時間が少ないことから大規模な集積回路の設計と回路動作のシミュレーションツールとして実用化が可能である。曲率をもったナノ界面とのショットキー障壁の変調を解決するためにオーミック接触を得る方法は、材料設計が必要であるが実用化は可能である。デバイス特性に強く影響を与える量子キャパシタンスの概念は一次元デバイスに存在する本質的な量子効果であるため、その導出手法は広く用いられるはずである。

SiナノワイヤFET作製技術に関しては、半導体微細加工を行う生産装置で作製なプロセスを採用しており、また現状デバイスを凌駕する性能が実証できたので、SiナノワイヤFETが実用化される可能性が高いと言える。また、Niの熱処理を二段階で行い、Niの供給量を抑えるプロセスはSiナノワイヤのコンタクトで起こる課題をクリアするためのプロセスであり、現有の製造設備でも対応が可能であるため、産業技術として活用が可能である。

最後に、本プロジェクト全体で得られた科学的、技術的知見を基に、Siナノワイヤデバイス実用化の研究開発の為にロードマップ作成を行うことになっており、ロードマップの実用化は本研究の前提である。本プロジェクトの中間成果からも分かるように世界で初めて実用的なSiナノワイヤのロードマップの作成が十分可能である。

(2) 波及効果

デバイスの縮小化と大規模計算能力の向上により、実デバイスの寸法の電子構造の解析が可能であることを実証することができたため、今後計算科学を利用したデバイス設計の重要性が高くなる。ここに必要とされる設備や人材を強化することも望まれるようになる。一方、ナノサイズの利用したデバイスでは配線とのコンタクトが性能を左右するため、オーミック接触を実現する方法が必要であるため、本成果は極めて汎用性の高い結果である。

またデバイスのモデリング研究では、構築したコンパクトモデルは計算時間が少ないことから大規模な集積回路の設計と回路動作のシミュレーションツールとして実用化が可能である。ドレインまで含んだデバイス構造に依存したバリシエシティ制御はチャネル材料の最高性能を引き出すために必要な研究であるため、今後学術的な体系化が期待される内容である。

SiナノワイヤFETでは超低消費電力、超高速デバイスの実現できる可能性が高く、更なる多機能化と共に省エネ化が促進できる効果をはらんでいる。SiナノワイヤとNiの過剰な反応を制御良く抑制することを可能としており、直列抵抗における電力損失の抑制から省エネの効果が期待できる。また、今回明らかになった過剰なNiの拡散はナノワイヤデバイスのエレクトロニクス以外の分野でも利用価値があるため、その波及効果例に枚挙の暇はない。

本ロードマップの作成により、従来のプレーナ型半導体の限界を超えて半導体デバイスの性能が躍進することが示されることになり、半導体の研究開発や半導体産業の長期計画、ひいては半導体を用いる電子産業に与えるインパクトは極めて大きいといえよう。また、Siナノワイヤデバイスが実用化されれば、集積回路の省エネ化に十分に繋がり、クールアースなど地球温暖化防止にも大

いに貢献することになる。

さらに本成果は微細化限界を打破するために必要な物理、技術をリストアップするため、新規の物理、新しい技術のテーマの創出につながる。そのため、工学的な貢献のみでなく、学術的な貢献も極めて大きい。

- (3)「シリコンナノワイヤトランジスタの物性探究と集積化の研究開発」

(1) 成果の実用化可能性

hp22nm 技術では従来のプレーナー型トランジスタ構造に代わって、FinFET 等の三次元構造を有するトランジスタの実用化が有力視されつつある。さらに、その先の世代では、ますます厳しくなる短チャネル効果を抑えるために、三次元構造の採用は必須であり、FinFET と構造的に比較的構造に近いシリコンナノワイヤトランジスタに徐々に移行し、シリコンナノワイヤトランジスタが実用化される可能性が高い。

しかし、シリコンナノワイヤトランジスタを実用化するためには、まだ未知の物性や解決すべき課題が多く、本プロジェクトでは、シリコンナノワイヤトランジスタの実用化を視野に入れ、実用化するために必要な基礎データを取得することを目的としている。

(2) 波及効果

hp15nm 技術あるいはそれ以降の微細化技術は、シリコンナノワイヤトランジスタによってのみ実現される可能性があり、この場合は、本プロジェクトが全半導体産業、ひいては全情報産業に与える波及効果は極めて大きい。本プロジェクトでは、産学連携により実用化を視野に入れた基礎研究を遂行するとともに、大学院生等の若手研究者の育成にも役立っており、これらの取り組みが産学連携の分野で波及効果を生じてさせているといえる。

- (1) 「新構造 FinFET による SRAM 技術の研究開発」

(1) 成果の実用化可能性

本研究の成果は、4 端子 FinFET の開発とその閾値制御性を有効に利用できる SRAM への適用と、その有効性実証である。その有効性が明らかになれば、SRAM を突破口としてあらゆるシステム LSI に普及していくことが期待できる。実用化は、高コストが許容されるプロセッサのキャッシュメモリの置き換えから始まり、技術の成熟とともに低消費電力指向のシステム LSI へ波及すると予想している。

本 Pj では、2016 年頃の FinFET 実用に先立ち、FinFET 基盤技術および Flex-PG-SRAM-IP の国内半導体メーカーへの提供を目指す。本研究開発成果の実用化に向けては、半導体メーカーによる生産に向けた実用化開発が欠かせない。本研究成果により、SRAM 回路の設計試作を実施することにより、FinFET に代表される立体構造トランジスタを CMOS 集積回路に導入するにあたり最低限必要な製造および設計技術体系が構築される。また、FinFET 実用に向け重要な研究課題である特性ばらつきに関する基礎的なデータも蓄積される。これらは半導体メーカーが技術評価ツールとして使えるものであり、立体構造トランジスタを実用技術として速やかに技術移管するための大きな足がかりとなるものと考えている。

本研究の立案に先立ち、主要半導体メーカーに産総研の技術シーズを提示し、今後の技術開発の方向性について意見交換を行った(06 年 12 月から 09 年 6 月まで、計 12 回)。本研究開発の柱となる低消費電力・高ノイズ耐性 SRAM 開発は各社からの要望の強かったものである。本研究で実施する、FinFET のばらつき評価、SPICE モデルの構築は、実用化に向けて特に検討を進めて欲しいと指摘された点である。プロジェクト開始後も、引き続き主要半導体メーカーに対し、技術開発の方向に関する意見交換を継続的に行っており、今後も、速やかな技術移転に向け、逐次半導体メーカーからの課題抽出ならびにそれらの解決策探索を行っていく予定である。

(2) 波及効果

本プロジェクトの中核となる FinFET 基盤技術に関する研究においては、3 大学から、技術研修制度にて学生を受け入れている。すなわち、本 Pj の実施は、学士学生、修士・博士課程大学院生の教育・研究能力育成にも貢献している。

情報家電、自動車等は我が国が強い競争力を持ち、それを根幹で支えるシステム LSI はまさに我が国産業のコメである。本研究開発の実施により、低消費電力・高ノイズ耐性 SRAM を実現できれば、システム LSI の高集積化高性能化に大きく寄与し、ひいてはそれを利用する我が国の工業製品群の競争力強化に貢献する。また本研究開発の実施により、システム LSI の大幅な待機時消費電力が削減される。(財)省エネルギーセンターの 2006 年調査によれば、一世帯あたりの年間待機時消費電力量は 308kWh で、年間総消費電力量の 7.3%に相当し、うち情報家電・通信機器によるものが約半分を占める。本技術開発によりこの分の待機時消費電力を無くすことができれば、日本全国で約 75 億 kWh の省エネとなる。これは原油消費量 180 万 kl に相当し、400 万 t の CO2 排出削減に貢献する。

- (2) 「次世代相変化メモリ技術の研究開発」

(1) 成果の実用化可能性

本研究開発成果は実用性が高く、相変化固体メモリの大幅な特性改善に直結する技術である。また、超格子成膜技術はスパッタリング法で可能なため、コストを考慮してもプロセス内に導入できることから、直ぐにでも生産技術に移管可能であり、実用化は十分可能である。

(2) 波及効果

本研究開発成果は、相変化固体メモリの開発を加速させ、磁気メモリに比較して国内での開発投資が非常に乏しい相変化メモリ技術開発を活発化させる起爆剤となりうる。また、新規相変化材料探索に向けたシミュレーション技術は、優秀なポスドクが非常に興味を示しており、実験とシミュレーションを平行させて研究開発を実施できる非常に良好な教育現場も提供している。ただ、国内の大学には相変化メモリの研究拠点が非常に少なく優秀な人材が海外から集まることへの懸念が残る。しかし、国際的な人材育成という視点に立てば、これは良好な関係とも言えるかもしれない。

- (3) 「ナノギャップ不揮発性メモリ技術の研究開発」

(1) 成果の実用化可能性

2006年にNanotechnology誌に発表した金属ナノギャップの負性微分抵抗(NDR)を示す電流電圧特性の発見以来、動作原理の解明と共に、その応用分野として不揮発性メモリを想定して研究開発を進めており、図1の「ナノギャップ不揮発性メモリ技術の実用化予測」に示すように、実用的なメモリデバイスを最終目標として、各機関でテーマを分担・連携している。研究開発スケジュールの各段階での具体的な成果を実証するマイルストーンとして、今年度(2009)は、縦型NGSの(256bit)アレイTEG、来年度(2010)は多数ビットのバラつきを評価、収集するための4kbitメモリ試作を予定している(最終的な評価は2011年度末)。NGSメモリ単体としての諸特性の評価はかなりの部分まで進んでいることから、256bitおよび4kbitクラスのメモリ容量のデバイスを実際に試作して評価すれば、市販のMb, Gbへ拡張するための様々な課題も明らかとなり、実応用への道筋もより明確に示すことが出来ると考えている。

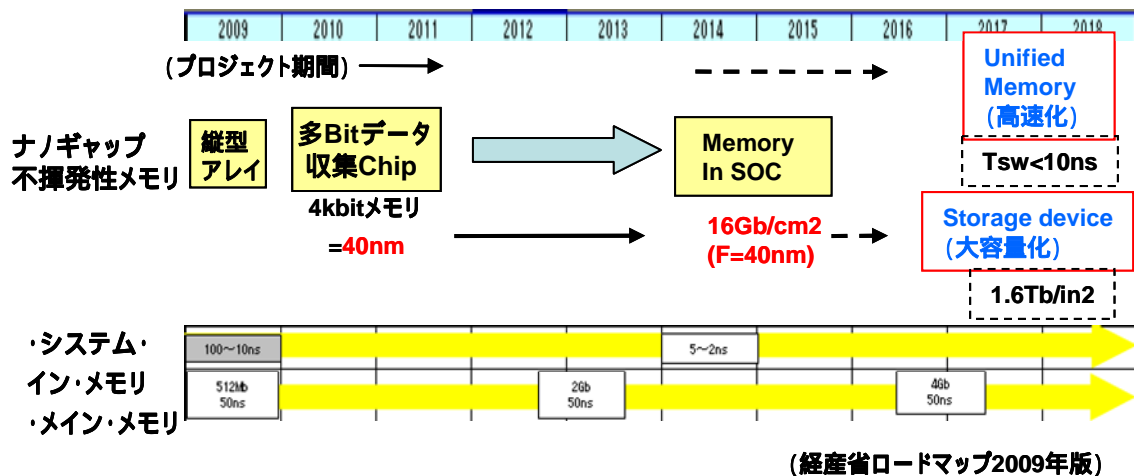


図1 ナノギャップ不揮発性メモリ技術の実用化予測

(2) 波及効果

これまで単体NGSにおいて、不揮発性メモリとしての基本特性(データリテンション、書き換え耐性(Endurance)、W/Eスピード)を評価してきた。その結果、既存のNAND/NOR型Flash、FRAM、MRAM、PRAM等と比較しても不揮発性・稠密製(大容量化)・スピードの各指標のいずれにおいても同等或いはそれ以上の性能を有することが明らかとなった。更にNGSメモリの最も優位な点は、その構造と構成要素の単純さ、さらに半導体デバイスプロセスとの親和性に由来するコスト競争力である(図2 ナノギャップメモリの特長を参照のこと)。

半導体デバイスへの応用を検討すると、上層の配線構造を置き換える形で不揮発性メモリを付加する事が出来るので、エンベデッドマイコンへの応用が最も効果的だと考えられる。現在、マイコンに搭載されているEPROM、NOR型Flash、FRAM等よりも、書き換えスピード・耐久性・コストに優れているので、NGSメモリへの置き換えが容易に進むものと思われる。したがって、マイコンが各種家電製品、デジタル機器、NC制御ロボット、カーエレクトロニクス応用とあらゆる生活、産業シ

ーンに使われているので、NGS メモリの浸透力・影響力は計り知れないほど大きくなると期待しており、マイコンに止まらずシステムLSIにまで NGS メモリが内蔵され普及が進むと予想している。また、メモリ容量の大小により取扱われるデータも、OS からアプリケーションソフト、ファームウェア、そして実データまで色々なタイプが考えられるが、大容量化によりメモリ単体での応用、特にストレージメモリとしての応用も有望である。したがって、大容量化を進めることで、ワンセグ携帯やデジカメの画像データ、ファイルメモリ、メモリカードそして HDD の代替である SSD まで視野に入ってくる。

NGS メモリは、(現状で MRAM を除く)他の不揮発性メモリと比較して書き換えスピードが速いので、書き換え耐性 (Endurance)を 10^{15} 回(現状 10^5)まで高められれば、DRAM 機能に不揮発性を兼ね備えた、所謂ユニバーサル(ユニファイド)メモリも実現可能である。これを実現した NGS メモリをメインメモリに使用できることになれば、PC のクイックコールドスタートも可能となって、PC の省電力化、ひいては省エネ・地球環境の保全 (CO₂ 削減) にも貢献することが出来る。そればかりか、PC のコールドスタートと同様の需要構造は、情報家電、特に薄型 TV の電源 ON・OFF の際にも顕著になっており、上記システム LSI に NGS メモリが内蔵されると同様の省電力効果が期待できる。

なお、各機関において若手博士研究員を複数名雇用しており、本技術分野の人材育成にもつなげると考えている。

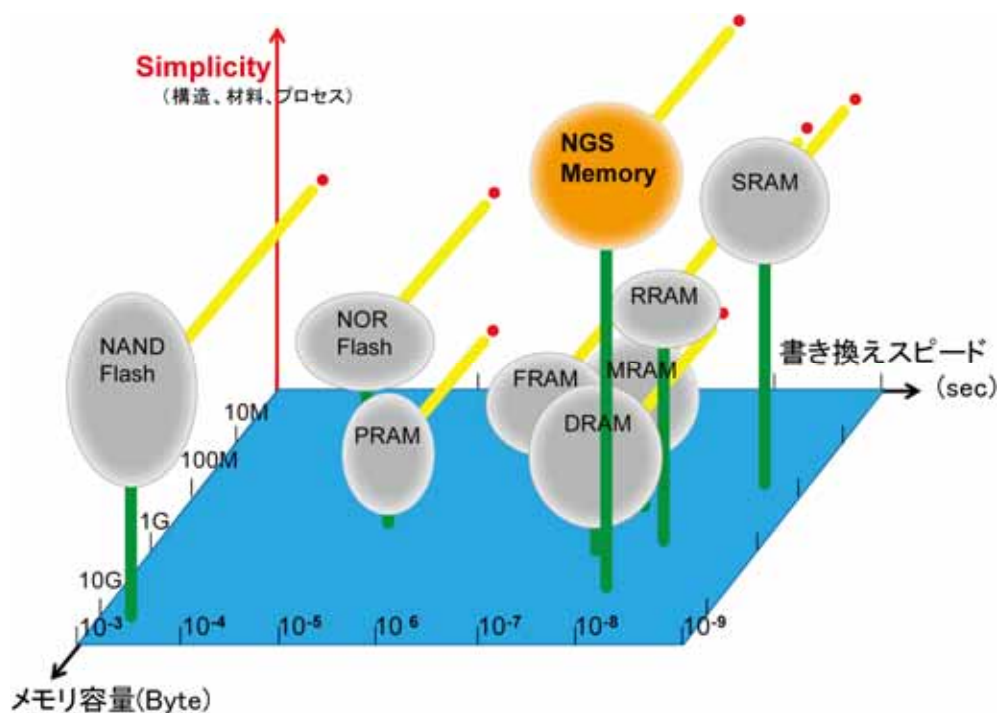


図2 ナノギャップメモリの特長

- (1)「カーボンナノチューブトランジスタ技術の研究開発」

(1) 成果の実用化可能性

本テーマ「カーボンナノチューブトランジスタ(CNT-FET)技術の研究開発」では、国際半導体ロードマップにおける2020年の微細 Si CMOS における高速論理デバイス用の性能目標(電流駆動能力 $2.7\mu\text{A}/\text{nm}$)を達成できるものとして、これを電流密度から換算した CNT 密度 $50\text{本}/\mu\text{m}$ を目標として設定している。また速度性能目標としては、精度の高い遅延時間解析による性能予測が可能となる電流利得遮断周波数として 50GHz を設定している。

産業技術として活用できるかどうかの実現可能性判断のためには、この性能目標を達成できるかどうかに加えて、均一性・再現性を見通しを明らかにする必要がある。CNT-FET では Si CMOS 技術に比べて成熟度ははるかに低く、均一性・再現性の数値目標を上げること、また、実用化可能性判断を行うことは現時点では困難である。世界においてこれまでほとんど報告例がないこれらのデータについて、均一性・再現性を妨げる要因を解明することが重要であり、この技術確立を主要課題として位置づけ、研究開発を推進する。本技術の確立は、カーボンナノチューブトランジスタを産業技術として活用できるかどうかの実現可能性を見極めるための技術シーズとなる。

FET 作製技術についていえば、表面保護膜形成技術、コンタクト形成技術、nチャネルデバイス作製技術の確立が必要である。

成長技術についていえば、半導体 CNT の優先成長が最も重要な課題である。本技術は世界のどの研究機関も開発には成功してはならず、非常に挑戦的なテーマである。名古屋大学が保有しているプラズマ CVD 法による半導体的 CNT の優先成長は、欠陥由来のものであることが明らかとなったが、これに代わる方法として新たに提案した電場印加成長について、早急に有用性の可否を判断する。なおこの判断のためには、トランジスタの電気特性を評価するのみではなく、個々の CNT のカイラリティを評価する技術が重要である。この確立に向けて研究を推進し、評価技術として見通しを得た段階である。

均一性・再現性を妨げる要因を解明するためには、デバイスの評価技術が重要である。CNT-FET というナノスケールのデバイス进行评估するための技術として、高い分解能が期待される走査型プローブ顕微鏡ファミリーの中で、電気特性評価に適した KFM 電位分布測定技術、MFM 電流値測定技術を取り上げ、 10nm 以下の高分解能化、 μA 以下の高感度化を中間目標として研究開発を行ってきた。本技術についてはほぼ見通しを得た段階であり、今後は CNT-FET の電気特性評価に適用し、ばらつき要因解明に役立てる。さらに、電位決定のアルゴリズムの改良などによって測定スループットを向上することによって、産業応用への道筋を探る。

(2) 波及効果

CNT 成長用原料ガスであるエタノールの気相熱分解反応の詳細解明から得られた知見「アルコール分解で生じたアセチレンによる成長速度の約1けたの急増」は、CNT 透明導電膜などを目指す大量合成技術を飛躍的に発展させることが期待される。さらに、アセチレン添加などにより成長速度を増加させることで、短時間での実用的な単層 CNT 大量合成技術に発展することが期待される。

KFM による電位分布測定技術や MFM による電流計測技術は、いずれも、その応用範囲は CNT に限られたものではなく、様々な材料系への適用や新たな用途への展開の可能性を有しており、それらの計測技術を確立することの波及効果は大きい。

- (2)「シリコンプラットフォーム上 - 族半導体チャネルトランジスタ技術の研究開発」

(1) 成果の実用化可能性

本研究開発項目は、最終年度までに高移動度の III-V 族半導体チャネル MISFET を実証し、CMOS プラットフォームへの適用性と CMOS 構造へ集積化可能性を検証する。本研究開発事業が終了した時点で産業技術として活用できると判断される場合、III-V チャネルの適用が予想される技術世代に対応した微細化・集積化技術とともに、量産化のための装置技術・材料技術等の開発を継続して行うことが、実用化のために必要と考えられる。

本研究開発項目の成果は、上記のように10年のスパンで考える CMOS 集積回路応用よりも時間軸上近い応用として、アナログ・高周波・ハイパワー応用のディスクリートデバイスの形での数年以内の実用化、さらに、それに続く Si CMOS と化合物ディスクリートデバイスとの融合という形で実用化といった道筋が期待できる。

これらの実用化シナリオを可能にするためには、上記のデバイスに適したウエハ供給あるいはエピタキシャル成長サービスが安定的に利用可能であることが必要である。本研究開発項目には、化合物エピ基板で高いシェアを占める企業が、研究協力機関(平成 20 年度)、共同実施機関(平成 21 年度)として参加し、成果の実用化の準備を進めている。

(2) 波及効果

本研究開発項目は、基本的に高い電流駆動力を有する nMOSFET の実現にあるという意味において所謂 More Moore 路線にあるものであるが、研究開発の成果は、Si テクノロジーと他分野の融合により付加価値を生み出そうとする所謂 More Than Moore の基盤技術として大きな波及効果を持ち得る。新しい機能材料をシリコン基板上に集約し、シリコンプラットフォームにアドオンする形で集積化させていく“ヘテロジニアス・インテグレーション(Heterogeneous Integration)”では、非シリコン材料による物性をデバイスの高性能化に応用するにとどまらず、異種材料間の高度な複合構造をデバイスに応用することによって材料の持つ物性を極限まで引き出すことを可能とする。最近の SiGe や Ge を Si あるいは SOI 上に形成する技術に加え、III-V 族化合物半導体を Si 基板上に形成する技術は、Si テクノロジーが、今後ヘテロジニアス・インテグレーション技術へと変化していくさきがけと捉えることが可能である。Si 基板上に III-V 族化合物半導体を集積することによる Si ULSI とフォトニクスとの複合集積回路や、III-V 族化合物半導体を中心に最近研究が活発化しているスピエレトロニクスと融合した LSI の基礎技術などは、本研究開発項目の成果から派生し得る可能性の比較的高い製品群の例であろう。

本研究開発項目の実施は、学会などでも高い関心を集めており、その結果、従来は別々の分野として発展してきたシリコンテクノロジーと化合物半導体技術の研究者間の交流が活性化しており、両分野が融合して新たな技術を生み出していくことが期待される。

人材育成の観点からは、本研究開発項目は MIS 界面や金属半導体界面の基礎的理解から、III-V-OI デバイスという先端的技術開発までを包含しており、その中に東京大学の学生(延べ8名)や、ポスドク研究者(延べ2名)を参加させることにより、将来の電子情報産業を支える幅広い知

識と経験を有する人材を育成する貴重な場となっている。

- (3) 「シリコンウェハ中の原子空孔濃度定量評価技術の研究開発」

(1) 成果の実用化可能性

半導体産業で用いられているシリコン結晶では、Si原子一個が抜けた原子空孔およびSi原子一個が余分に入り込んだ格子間シリコンが制御されている。しかし、産業的に有用な原子空孔領域を格子間シリコン領域とから区分する計測法が存在せず、IT 産業でのデバイス製造プロセスにおいて困難が生じている。これまでに、超音波によって測定されるシリコン結晶の弾性定数の低温ソフト化の大きさが原子空孔濃度に比例していることを利用すればシリコン結晶中の原子空孔濃度を評価できることを示した。特に、フラッシュメモリなどの超 LSI 製造において用いられているボロン添加シリコンウェハ中の原子空孔濃度評価への実用化が喫緊の課題である。本委託開発においては低温超音波計測システムの開発を進め、ボロン添加シリコン結晶中の原子空孔の低温ソフト化その磁場依存性の解明を進めている。超音波計測によりシリコン結晶中の原子空孔評価の実用化が可能である。

(2) 波及効果

本委託開発におけるボロン添加シリコン中の原子空孔評価は、IT 産業での高品質シリコンウェハを対象にしたものであり、現状において世界で唯一の技術であり代替方法は存在しない。これは、我が国での超音波物理の基礎研究の成果が半導体産業の原子空孔評価の革新的技術に発展したものであり、実用化に伴う波及効果は極めて大きい。今後ともフラッシュメモリなどのデバイスへの需要は大きく、その生産を支えるシリコンウェハの需要も増大するので、原子空孔評価の実用化によって、高品質シリコン結晶の開発、新しいプロセス技術、原子空孔評価装置の標準化が進む。また、太陽電池基盤シリコン材料の原子空孔評価は高効率化へ重要な技術であり、発展が望める。このように、原子空孔評価実用化には、ナノテク・材料からエネルギー・環境に及ぶ広範な波及効果が期待される。

特許論文リスト

- (1)「シリコンナノワイヤトランジスタの知識統合研究開発」

(a) 投稿論文

平成 20 年度

	発表日	発表媒体	発表タイトル	発表者
1	2008.9.23	Extended Abstracts of the 2008 SOLID STATE DEVICES AND MATERIALS	Self-limiting Growth Behavior of Epitaxial NiSi ₂ and its Impact on Controlled Silicidation of Metal Source/Drain in Silicon Nanowire MOSFETs	右田 真司, 森田 行則, 田岡 紀之, 水林 亘, 太田 裕之
2	2008.11.10	Extended abstract of International symposium on surface science and nanotechnology	AFM measurement of minute Si surface etching by oxygen molecule	森田 行則, 清水 哲夫, 田中 深幸, 右田 真司, 太田 裕之
3	2009.1.23	ゲートスタック研究会 (第 14 回)-材料・プロセス・評価の物理-	酸素分子による layer-by-layer Si 表面エッチングの AFM 測定	森田 行則, 右田 真司, 田岡 紀之, 水林 亘, 太田 裕之
4	2008.5.12	Phys. Rev. B 77, 201401(R) (2008)	Formation of silicon-fullerene-linked nanowires inside carbon nanotubes: A molecular-dynamics and first-principles study	Kengo Nishio, Taisuke Ozaki, Tetsuya Morishita, and Masuhiro Mikami
5	2009.3.18	ULIS 2009: 10TH INTERNATIONAL CONFERENCE ON ULTIMATE INTEGRATION OF SILICON p. 61-64	Computational Exploration of Novel Silicon Nanostructures	Kengo Nishio, Taisuke Ozaki, Tetsuya Morishita, Wataru Shinoda, Masuhiro Mikami
6	2008	Journal of Physics: Conference Series 106 (2008) 012017	Evaluation of Two-Dimensional Distribution of Dielectric Degradation in Stressed SiO ₂ Film by Etch-Rate Difference	S.Okamoto, Y.Tokukawa, R.Hasunuma, M.Ogino, H.Kuribayashi, Y.Sugahara and K.Yamabe
7	2008	Thin Solid Films, 516, 9 2348-2357 (2008)	Nanoscale Dynamics Probed by Laser-Combined Scanning Tunneling Microscopy	H. Shigekawa, S. Yoshida, O. Takeuchi, M. Aoyama, Y. Terada, H. Kondo and H. Oigawa
8	2008	Appl. Phys. Lett. 92, 102105 (2008)	Probing nanoscale potential modulation by defect-induced gap states on GaAs(110) using Light-Modulated Scanning Tunneling Spectroscopy	S. Yoshida, Y. Kanitani, O. Takeuchi and H. Shigekawa
9	2008	Materials Integration Vol.21 No.07, 10-20 (2008) in Japanese.	STM/STS for Evaluation of Physical Properties of Nanoparticles	Hidemi Shigekawa, Atsushi Taninaka, Syoji Yoshida, Arifumi Okada, Yasuhiko Terada and Osamu Takeuchi
10	2008	Jpn. J. Appl. Phys., 47, 7, 6117-6120 (2008)	Nanoscale mapping of built-in potential in GaAs p-n junction using Light-Modulated STM	S. Yoshida, Y. Kanitani, R. Oshima, Y. Okada, O. Takeuchi and H. Shigekawa
11	2008	Nano Lett. Vol. 8, No. 11, 3577-3581(2008)	Optical doping: active control of metal-insulator transition in nanowire	Yasuhiko Terada, Shoji Yoshida, Atsushi Okubo, Ken Kanazawa, Maojie Xu, Osamu

				Takeuchi and Hidemi Shigekawa
12	2008	Appl. Phys. A. 93, 589-592 (2008)	Impurity doping in silicon nanowires synthesized by laser ablation	N. Fukata, S. Matsushita, N. Okada, J. Chen, T. Sekiguchi, N. Uchida, and K. Murakami
13	2008	Solid State Phenom. 131-133, 553-558 (2008)	Phonon confinement and impurity doping in silicon nanowires synthesized by laser ablation	N. Fukata, T. Oshima, N. Okada, S. Matsushita, T. Tsurui, J. Chen, T. Sekiguchi, and K. Murakami
14	2008	Appl. Phys. Lett. 93, 203106(2008)	Codoping of boron and phosphorus in silicon nanowires synthesized by laser ablation	N. Fukata, M. Mitome, Y. Bando, M. Seoka, S. Matsushita, K. Murakami, J. Chen, and T. Sekiguchi
15	2008	Phys. stat. sol.(c), 5, pp.102-106 (2008)	3D Monte Carlo Simulations including Full Coulomb Interaction under High Electron Concentration Regimes	Tadayoshi Uechi, Takayuki Fukui, and Nobuyuki Sano
16	2008	J.Comp. Electron., 7, pp.301-304 (2008)	Consistency of Boundary Conditions in Nonequilibrium Green's Function Simulations	Suguru Sato and Nobuyuki Sano
17	2008	J.Comp. Electron., 7, pp.240-243 (2008)	3D Monte Carlo Analysis of potential Fluctuations under High Electron Concentrations	Tadayoshi Uechi, Takayuki Fukui, and Nobuyuki Sano,
18	2008	J.Comp. Electron., 7, pp.471-474 (2008)	Schottky Barrier MOSFETs as Resonant Tunneling Devices	Shuichi Toriyama and Nobuyuki Sano
19	2008	Appl. Phys. Exp., 1, pp.05107_1-3 (2008)	Three-dimensional Monte Carlo Simulation of Electron Transport in Si Including Full Coulomb Interaction	Takayuki Fukui, Tadayoshi Uechi, and Nobuyuki Sano

平成 21 年度

	発表日	発表媒体	発表タイトル	発表者
1	2009.6.11	Proceedings of 9th IWJT 2009	Atomic-Scale Controlled Growth of Epitaxial NiSi ₂ Films for Schottky Source/Drain of Silicon Nanowire Transistors	右田 真司, 森田 行則, 田岡 紀之, 水林 亘, 太田 裕之
2	2009	Jpn.J.Appl.Phys., 48, 05DB03(2009)	Improvement of Dielectric Properties on Deposited SiO ₂ Caused by Stress Relaxation with Thermal Annealing	Mitsuru Sometani, Ryu Hasunuma, Masaaki Ogino, Hitoshi Kuribayashi, Yoshiyuki Sugahara, and Kikuo Yamabe
3	2009	Jpn.J.Appl.Phys., 48, 05DD02(2009)	Vestiges of multiple progressive dielectric breakdown on HfSiON surfaces	T.Hayashi, C.Tamura, M.Sato, R.Hasunuma, and K.Yamabe
4	2009	Jpn.J.Appl.Phys., 48, 05DB02(2009)	Roughness Increase on Surface and Interface of SiO ₂ Grown on Atomically Flat Si(111) Terrace	K.Ohsawa, Y.Hayashi, R.Hasunuma and K.Yamabe
5	2009	Jpn.J.Appl.Phys., 48, 05DD03(2009)	Analyses of Threshold Voltage Shift on Hole Injection in HfSiO _x Films	C.Tamura, T.Hayashi, Y.Kikuchi, K.Ohmori, R.Hasunuma and K.Yamabe
6	2009	Jpn.J.Appl.Phys., 48, 051201(2009)	Changes in Concentrations of Copper and Nickel on Boron-Doped Czochralski-Grown Silicon Surface at Room Temperature	R.Takeda, M.Narita, S.Tani-ike and K.Yamabe
7	2009	Jpn.J.Appl.Phys., 48, 056502(2009)	Hole Mobility Enhancement Caused by Gate-Induced Vertical Strain in Gate-First Full-Metal High-k P-Channel Field Effect	F.Ootsuka, A.Katakami, K.Shirai, H.Nakata, T.Eimori, Y.Nara, Y.Ohji, K.Shimura, S.Horii, N.Sano and K.Yamabe

			Transistors Using Ion-Beam W	
8	2009	Jpn. J. Appl. Phys. (in press)	Analysis of Photon-Induced Drain Current in Polycrystalline-Silicon Thin-Film Transistors	Hiroyuki Ikeda and Nobuyuki Sano

(b) 学会発表
平成 19 年度

	発表日	学会名	発表タイトル	発表者
1	2007.11.26	第 21 回分子シミュレーション討論会	ゲスト内包ポリ20面体Siナノワイヤの電子状態計算	西尾憲吾、尾崎泰助、森下徹也、篠田渉、三上益弘
2	2008.2.18	スーパーコンピュータワークショップ2008	新奇なSiナノ構造の探索とその物性予測	西尾憲吾、尾崎泰助、森下徹也、篠田渉、三上益弘
3	2007.3.15	American Physical Society March meeting 2008	The effect of the sodium and iodine doping on the electronic band structure of the polyicosahedral Si nanowire: A first principles study	Kengo Nishio, Taisuke Ozaki, Tetsya Morishita, Wataru Shinoda, Masuhiro Mikami
5	2008.3.23	日本物理学会 第63回年次大会	第一原理電子状態計算によるポリ20面体Siナノ構造のSi20ケージへのドーピング効果の研究	西尾憲吾、尾崎泰助、森下徹也、篠田渉、三上益弘
6	2007.11.27	第21回分子シミュレーション討論会	スリット状細孔におけるナノシートSiの形成シミュレーション	森下徹也、西尾憲吾、三上益弘
7	2008.03.23	日本物理学会第63回年次大会	スリット状細孔におけるナノシートSiの形成シミュレーション	森下徹也、西尾憲吾、三上益弘
8	2007.05.16	Electrochemical Society Fall Meeting	(Invited) Tight Distribution of Dielectric Characteristics of HfSiON in Metal Gate Devices	R.Hasunuma, T.Naito, C.Tamura, A.Uedono, K.Shiraishi, N.Umezawa, T.Chikyow, S.Inumiya, M.Sato, Y.Tamura, H.Watanabe, Y.Nara, Y.Ohji, S.Miyazaki, K.Yamada, and K.Yamabe
9	2007.06.07	第93回研究集会 表面・界面・シリコン材料研究委員会	HfSiOxの閾値変動に対する窒素添加効果	田村知大・内藤達也・佐藤基之・犬宮誠治・蓮沼 隆・山部紀久夫
10	2007.10.1	The Second International Symposium on Atomic Technology(ISAT-2)	Evaluation of Two-Dimensional Distribution of Dielectric Degradation Using Difference in Etching Rate of Stressed SiO2	S.Okamoto, Y.Ttokuwaka, R.Hasunuma, K.Yamabe, M.Ogino, H.Kuribayashi and Y.Sugahara
11	2007.10.1	The Second International Symposium on Atomic Technology(ISAT-2)	Native oxidation from atomic steps on Si(111) surface	K.Ohsawa, R.Hasunuma and K.Yamabe
12	2008.01.14	応用物理学会薄膜・表面物理分科会/シリコンテクノロジー分科会共催特別研究会	ゲート電極形成後の熱処理によるHfSiON膜への影響	村田晃一、田村 知大、林 倫弘、佐藤 基之、蓮沼 隆、山部 紀久夫
13	2008.01.14	応用物理学会薄膜・表面物理分科会/シリコンテクノロジー分科会共催特別研究会	HfSiON膜の電気的特性へ与える高温PNA処理の影響	林倫弘、田村 知大、中村 源志、赤坂 泰志、蓮沼 隆、山部 紀久夫
14	2008.01.14	応用物理学会薄膜・表面物理分科会/シリコンテクノロジー分科会共催特別研究会	HfSiON/TaSiゲートスタック nMOS反転側ゲートリーク電流機構と破壊特性に関する考察	佐藤基之、鬼沢岳、青山敬幸、奈良安雄、大路謙、山部紀久夫

15	2008.01.14	応用物理学会薄膜・表面物理分科会/シリコンテクノロジー分科会共催特別研究会	窒素添加がHfSiO _x のNBTIに与える影響	田村知大、林 倫弘、村田 晃一、犬宮 誠治、佐藤 基之、蓮沼 隆山部 紀久夫
16	2008.01.14	応用物理学会薄膜・表面物理分科会/シリコンテクノロジー分科会共催特別研究会	ラジカル酸化膜の絶縁破壊特性	岡本真一、蓮沼隆、山部紀久夫
17	2008.01.14	応用物理学会薄膜・表面物理分科会/シリコンテクノロジー分科会共催特別研究会	HfSiON膜中の欠陥と電気特性に見られるその影響	蓮沼隆、田村知大、林 倫弘、佐藤基之、山部紀久夫
18	2008.03.13	First International Symposium on Interdisciplinary Materials Science (ISIMS-2008)	Dielectric characteristics of SiO ₂ film formed by radical oxygen",	S.Okamoto, R.Hasunuma and K. Yamabe
19	2008.03.13	First International Symposium on Interdisciplinary Materials Science (ISIMS-2008)	The effect of infiltration on atomic step flow	K.Kamata, R.Ozaki, R.Hasunuma and K. Yamabe
20	2007. 12	The 15th International Colloquium on Scanning Probe Microscopy	Indium Nanowires and Nanodots Grown on In/Si(111) Surface	M. Xu, A. Okada, S. Yoshida, K. Kanazawa, K. Hayashi, O. Takeuchi and H. Shigekawa
21	2008.02	合同シンポジウム「凝縮系の超高速現象とコヒーレント制御」	INVITED Femtosecond time-resolved STM and its application to the analysis of ultrafast dynamics in the nanoscale world	重川秀実
22	2008. 02.29	第7回メゾテクノロジーフォーラム —原子・ナノ・メゾにわたる表面・内部の電子状態分布計測の最先端—	INVITED 光STMによるナノスケールキャリアダイナミクス計測	重川秀実
23	2008. 03.03	第2回「光と物質」研究会	INVITED STM で覗くナノスケール光誘起ダイナミクス	重川秀実
24	2008. 03.05	第7回ドーパント計測研究会	光励起STMを用いた半導体超高速キャリアダイナミクス計測	吉田 昭二、寺田 康彦、武内 修、重川秀実
25	2008. 03	第1回学際物質科学国際シンポジウム (ISIMS-2008)	Nanoscale imaging of carrier dynamics in semiconductor heterostructures by femtosecond time-resolved STM	Yasuhiko Terada, Shoji Yoshida, Hiroyuki Kondo, Atsushi Okubo, Osamu Takeuchi, and Hidemi Shigekawa
26	2008. 03	第1回学際物質科学国際シンポジウム (ISIMS-2008)	Influence of junction geometry on single molecular conductance investigated by STM point contact method	Shoji Yoshida, Yoshitaka Okutsu, Osamu Takeuchi, and Hidemi Shigekawa
27	2008. 03	2008年春季 第55回応用物理学関係連合講演会	Nanoscale mapping of carrier dynamics in PIN junction using time-resolved STM	寺田 康彦、近藤 博行、吉田 昭二、武内 修、重川 秀実
28	2007.12.12	International Semiconductor Device Research Symposium (ISDRS 2007)	Effects of Gate-Edge Metamorphoses (GEM) on Device Characteristics of Scaled MOSFETs	Tatsuya Yamada and Nobuyuki Sano

平成 20 年度

	発表日	学会名	発表タイトル	発表者
1	2008.9.3	2008 年秋季 第 69 回応用物理学会学術講演会	酸素による Si(001)表面のエッチング: エッチングレートの AFM を用いた測定	森田 行則, 清水 哲夫, 田中 深幸, 右田 真司, 太田 裕之
2	2008.9.23	2008 年国際固体素子・材料コンファレンス (SSDM 2008)	Self-limiting Growth Behavior of Epitaxial NiSi ₂ and its Impact on Controlled Silicidation of Metal Source/Drain in Silicon Nanowire MOSFETs	右田 真司, 森田 行則, 田岡 紀之, 水林 亘, 太田 裕之
3	2008.11.10	5th International Symposium on Surface Science and Nanotechnology (ISSS-5)	AFM measurement of minute Si surface etching by oxygen molecule	森田 行則, 清水 哲夫, 田中 深幸, 右田 真司, 太田 裕之
4	2009.1.23	ゲートスタック研究会	酸素分子による layer-by-layer Si 表面エッチングの AFM 測定	森田 行則, 右田 真司, 田岡 紀之, 水林 亘, 太田 裕之
5	2009.3.30	第 56 回応用物理学会関係連合講演会	Si ナノワイヤへの NiSi ₂ エピタキシャルソース・ドレイン形成	右田 真司, 森田 行則, 田岡 紀之, 水林 亘, 太田 裕之
6	2008.4.22	OPENMX/QMAS workshop 2008	Electronic and optical properties of polyicosahedral Si nanostructures	西尾 憲吾, 尾崎 泰助, 森下 徹也, 篠田 渉, 三上 益弘
7	2008.5.12	第 6 回ナノ学会	ポリ 20 面体 Si ナノワイヤの Si ₂₀ ケージへのドーピング効果	西尾 憲吾, 尾崎 泰助, 森下 徹也, 篠田 渉, 三上 益弘
8	2008.6.19	International Symposium on Multi-scale Simulations of Biological and Soft Materials (MSBSM2008)	Formation of Si fullerene linked nanowires inside carbon nanotubes: A molecular dynamics and first-principles study	西尾 憲吾, 尾崎 泰助, 森下 徹也, 三上 益弘
9	2008.6.27	1st "computational sciences" seminar at Japan Advanced Institute of Science and Technology	Atomic and Electronic Structure of Si-fullerene-linked nanowires	西尾 憲吾
10	2008.8.29	第 35 回記念フラレン・ナノチューブ総合シンポジウム	Formation of Si Fullerenes: A Molecular dynamics Study	西尾 憲吾, 尾崎 泰助, 森下 徹也, 三上 益弘
11	2008.9.20	日本物理学会 2008 年秋季大会	シリコンフラレンを数珠繋ぎした構造を持つナノワイヤのカーボンナノチューブ内での自己組織化	西尾 憲吾, 尾崎 泰助, 森下 徹也, 三上 益弘
12	2008.11.17	第 22 回分子シミュレーション討論会	カーボンナノチューブ内での Si フラレンを数珠繋ぎした構造を持つナノワイヤの自己組織化	西尾 憲吾, 尾崎 泰助, 森下 徹也, 三上 益弘
13	2008.12.9	Computational Science Workshop 2008	Molecular Dynamics Simulations of Formation of Silicon Nanostructures Having Fullerene-like Cages and Their Electronic Properties	Kengo Nishio, Taisuke Ozaki, Tetsuya Morishita, Wataru Shinoda, Masuhiro Mikami
14	2009.2.16	「巨大計算新手法の開発と分子・物質シミュレーション中核拠点の形	分子動力学シミュレーションによる新奇なシリコンナノ構造の探索	西尾 憲吾, 尾崎 泰助, 森下 徹也, 三上 益弘

		成」第5回連携研究会		
15	2008.3.5	最先端・高性能汎用スーパーコンピュータの開発利用」プロジェクト次世代ナノ統合シミュレーションソフトウェアの研究開発 第3回公開シンポジウム	カーボンナノチューブ内でのシリコンフラーレン数珠繋ぎナノワイヤーの自己組織化	西尾憲吾、尾崎泰助、森下徹也、三上益弘
16	2009.3.10	Ultimate Integration on Silicon Conference 2009	Computational exploration of novel silicon nanostructures	Kengo Nishio, Taisuke Ozaki, Tetsya Morishita, Wataru Shinoda, Masuhiro Mikami
17	2008.09.24	International Conference on Solid State Materials and Devices (SSDM-2008)	Impacts of Random Dopant Fluctuation on Transient Characteristics in CMOS Inverters: A Device Simulation Study	Shuichi Toriyama, Kazuya Matsuzawa, and Nobuyuki Sano
18	2008.11.05	2008 Int. Workshop on Dielectric Thin Films for Future ULSI Devices-Science and Technology	The rate of degradation of thin SiO ₂ films under application of high electric stress	Z.Lu, M.Ogino, H.Kuribayashi, Y.sugahara, R.Hasunuma and K.Yamabe
19	2008.11.05	2008 International Workshop on Dielectric Thin Films for Future ULSI Devices-Science and Technology	Improvement of dielectric properties on TEOS-SiO ₂ caused by stress relaxation with thermal annealing	M.Sometani, R.Hasunuma, M.Ogino, H.Kuribayashi, Y.Sugahara and K.Yamabe
20	2008.11.05	2008 International Workshop on Dielectric Thin Films for Future ULSI Devices-Science and Technology(IWDTF-08)	Influence of Hole Trapping on Threshold Voltage Shift in HfSiO _x Films	C.Tamura, T.Hayashi, K.Ohmori, R.Hasunuma and K.Yamabe
21	2008.11.05	2008 International Workshop on Dielectric Thin Films for Future ULSI Devices-Science and Technology(IWDTF-08)	Vestiges of multiple progressive dielectric breakdown on HfSiON surfaces	T.Hayashi, C.Tamura, M.Sato, R.Hasunuma and K.Yamabe
22	2008.11.05	2008 International Workshop on Dielectric Thin Films for Future ULSI Devices-Science and Technology(IWDTF-08)	Micro roughness of silicon dioxide thermally grown on atomically flat silicon (111) terrace	K.Ohsawa, Y.Hayashi, R.Hasunuma and K.Yamabe
23	2009.01.13	薄膜・表面物理分科会・シリコンテクノロジー分科会共催特別研究会	応力緩和による TEOS-SiO ₂ のリーク電流の抑制	染谷満、蓮沼 隆、荻野 正明、栗林 均、須ヶ原 紀之、山部 紀久夫
24	2009.01.13	薄膜・表面物理分科会・シリコンテクノロジー分科会共催特別研究会	原子的平坦 Si (111)表面に形成した熱酸化膜のラフネス	大沢敬一朗、林 優介、蓮沼 隆、山部 紀久夫
25	2009.01.13	薄膜・表面物理分科会・シリコンテクノロジー分科会共催特別研究会	ラジカル酸化と熱酸化による SiO ₂ 薄膜の膜質制御	呂釗、佐藤 慎九郎、蓮沼 隆、山部 紀久夫

26	2009.01.13	薄膜・表面物理分科会・シリコンテクノロジー分科会共催特別研究会	HfSiOx におけるしきい値電圧経時劣化の成分分離	田村知大, 林 倫弘, 菊地 裕樹, 大毛利 健治, 蓮沼 隆, 山部 紀久夫
27	2009.01.13	薄膜・表面物理分科会・シリコンテクノロジー分科会共催特別研究会	HfSiON 膜表面で観察される絶縁破壊の痕跡	林 倫弘, 田村 知大, 佐藤 基之, 蓮沼 隆, 山部 紀久夫
28	2008. 08.22	理研・次世代ナノシンポジウム	光励起 STM を用いた半導体ナノスケール評価技術	武内修
29	2008. 09	2008 年秋季 第 69 回応用物理学会学術講演会	In/Si(111)ナノワイヤー金属絶縁体転移の光制御	大久保 淳史, 寺田 康彦, 吉田 昭二, 武内 修, 重川 秀実
30	2008. 10	第 4 回真空・表面科学アジア・オーストラリア会議(VASSCAA-4)	Optical control of metal-insulator transition in nanowire	Yasuhiko Terada, Shoji Yoshida, Atsushi Okubo, Maojie Xu, Osamu Takeuchi, and Hidemi Shigekawa
31	2008. 10	第 4 回真空・表面科学アジア・オーストラリア会議(VASSCAA-4)	Screened Coulomb potential around charged defects on GaAs(110) imaged by Light-Modulated Scanning Tunneling Microscopy	S. Yoshida, Y. Kanitani, O. Takeuchi and H. Shigekawa
32	2008.10	ECS Pacific Rim Meeting (PRIME)	(Invited) Electronic States of P Donors in Si nanocrystals embedded in SiO ₂ studied by Electron Spin Resonance and photoluminescence - Hydrogen Passivation Effects	K. Murakami
33	2008. 11	表面科学とナノテクノロジー - に関する国際シンポジウム(ISSS-5)	Optical Control of Metal-Insulator Phase Transition in In/Si(111) Nanowire	A. Okubo, Y. Terada, S. Yoshida, M. Xu, O. Takeuchi, H. Shigekawa
34	2008. 12	The 16th International Colloquium on Scanning Probe Microscopy(ICSPM16)	Novel control of metal-insulator transition in nanowire by optical doping	Yasuhiko Terada, Shoji Yoshida, Atsushi Okubo, Osamu Takeuchi, and Hidemi Shigekawa
35	2008. 12	The 16th International Colloquium on Scanning Probe Microscopy(ICSPM16)	Nanoscale carrier dynamics in GaInNAs p-n junction investigated by Laser Combined Scanning Tunneling Microscopy	S. Yoshida, Y. Terada, A. Ohkubo, N. Miyashita, R. Oshima, O. Takeuchi, and H. Shigekawa
36	2008. 12	The 16th International Colloquium on Scanning Probe Microscopy(ICSPM16)	Observation of surface reconstructions and nanometer sized structures formed on In/Si(311)	M. Xu, A. Okada, S. Yoshida, K. Kanazawa, N. Ookawa, O. Takeuchi and H. Shigekawa
37	2008. 12.15	表面化学サロン	INVITED 走査トンネル顕微鏡と局所分光 - 光との融合で広がる世界 -	重川秀実
38	2009. 01	"Unifying themes in condensed matter" at the Aspen Center for Physics	INVITED Imaging carrier dynamics in nanoscale potential landscapes by laser-combined scanning tunneling microscopy	Hidemi Shigekawa
39	2009. 01	JST - DFG 「ナノエレクトロニクス」日独合同ワークショップ	INVITED Imaging carrier dynamics in nanoscale potential landscapes by laser-combined scanning tunneling microscopy	Hidemi Shigekawa

40	2009. 03	第2回学際物質科学国際シンポジウム (ISIMS-2009)	Carrier dynamics around localized gap states investigated by femtosecond time-resolved STM	Munenori Yokota, Yasuhiko Terada, Shoji Yoshida, Atsushi Okubo, Osamu Takeuchi and Hidemi Shigekawa
41	2009. 03	2009年春季第56回応用物理学関係連合講演会	時間分解STMによるPIN接合のキャリアダイナミクスマッピング	大久保 淳史, 寺田 康彦, 吉田 昭二, 武内 修, 重川 秀実
42	2008.09.24	International Conference on Solid State Materials and Devices (SSDM-2008)	Impacts of Random Dopant Fluctuation on Transient Characteristics in CMOS Inverters: A Device Simulation Study	Shuichi Toriyama, Kazuya Matsuzawa, and Nobuyuki Sano
43	2008.9.23	International Conference on Solid State Materials and Devices (SSDM-2008)	(Invited) 3D Monte Carlo Simulations of Nano-scale Devices: Impact of Coulomb Interaction on Device Characteristics	Nobuyuki Sano, Tadayoshi Uechi and Takayuki Fukui
44	2009.2.21	IEEE EDS Mini-colloquium for Nano CMOS and Nanowire	(Invited) Impact of the Coulomb Interaction on Nano-scale Device Characteristics: A Monte Carlo Study	Nobuyuki Sano

平成 21 年度

	発表日	学会名	発表タイトル	発表者
1	2009.6.11	9th International Workshop on Junction Technology	Atomic-Scale Controlled Growth of Epitaxial NiSi ₂ Films for Schottky Source/Drain of Silicon Nanowire Transistors	右田 真司, 森田 行則, 田岡 紀之, 水林 亘, 太田 裕之
2	2009.9.8	2009年秋季第70回応用物理学学会学術講演会	ラマン散乱のエッジ増強効果とSiナノストライプへの応用	多田 哲也, Pobortchi Vladimir, 金山 敏彦
3	2009.9.8	2009年秋季第70回応用物理学学会学術講演会	酸素エッチングを用いたサブ10nmの断面寸法を持つSiナノワイアの形成	森田 行則, 右田 真司, 水林 亘, 太田 裕之
4	2009.5.9	ナノ学会 第7回	シリコンフラーレン数珠繋ぎナノワイヤーのカーボンナノチューブ内での形成	西尾憲吾, 尾崎泰助, 森下徹也, 三上益弘
5	2009.8.4	1st Nano Today Conference	Exploration of Novel Silicon Nanostructures by Molecular Dynamics Simulation	Kengo Nishio, Taisuke Ozaki, Tetsya Morishita, Wataru Shinoda, Masuhiro Mikami
6	2009.9.26	日本物理学会 2009 年秋季大会	Si ナノワイヤーの酸化膜界面構造に関する研究: 連続ランダムネットワークを用いたシミュレーション	美馬俊喜, 西尾憲吾, 三上益弘
7	2009.05.05	The Third International Symposium on Atomic Technology (ISAT-3)	Roughness Increase on Surface and Interface of SiO ₂ Grown on Atomically Flat Si (111) Terrace	K.Ohsawa, Y.Hayashi, R.Hasunuma, and K.Yamabe
8	2009.05.05	The Third International Symposium on Atomic Technology (ISAT-3)	Reliability Control of Silicon Dioxide Films by Radical and Thermal Oxidation	Z.Lu, S.Sato, R.Hasunuma and K.Yamabe
9	2009.05.25	215th Electrochem.Soc., Spring Meeting	(Invited) 2-D Roughening of SiO ₂ Thermally Grown on Atomically Flat Si surface",	K.Yamabe, K.Ohsawa, Y.Hayashi, and R.Hasunuma
10	2009.07.03	シンポジウム「超短パルスを使ったイメージング」 日本光学会光波シンセ	INVITED フェムト秒時間分解STMによるナノスケールイメージング	重川 秀実

		シス研究グループ		
11	2009.05.27	International Workshop on Computational Electronics (IWCE-13)	(Invited) Scaling FETs to 10 nm: Coulomb Effects, Source Starvation, and Virtual Source	M.V.Fischetti, S. Jin, T.-w. Tang, P. Asbeck, Y. Taur, S. E. Laux, and N. Sano

(c) 表彰等

平成 20 年度

	発表日	内容	タイトル等	受賞者等
1	2009.03.29	日本物理学会若手奨励賞	第一原理分子動力学法を用いたポリアモルフィズムの研究	森下徹也

(d) その他特記事項

平成 19 年度

	発表日	内容	タイトル等	発表者等
1	2008.03.15	スーパーコンピューティング技術産業応用協議会	(依頼講演) 材料・デバイス統合型シミュレーションシステム開発向けの課題 - ナノワイヤトランジスタとDDSを例に -	三上益弘

平成 20 年度

	発表日	内容	タイトル等	発表者等
1	2009.01.09	ナノプローブテクノロジー第167委員会第53回研究会	(依頼講演)測長AFMによるデバイス立体形状測定	権太 聡、木下 和人

平成 21 年度

	発表日	内容	タイトル等	発表者等
1	2009.5.28	金沢大学大学院自然科学研究科セミナー	(依頼講演) 分子シミュレーションによる分子膜とシリコンクラスターの構造と機能の研究	三上益弘

(e) 特許

(国内特許)

平成 19 年度

出願： 2 件

登録： 0 件

平成 20 年度

出願： 1 件

登録： 0 件

(国際特許)

なし

- (2) 「ナノワイヤFETの研究開発」

(a) 投稿論文

平成 20 年度

	発表日	発表媒体	発表タイトル	発表者
1	2008.5	ECS Transaction, vol.13(2), pp. 51-56	Quantum Effects of Capacitance in Nano-Scale Devices	Kazuyuki Uchida
2	2008.6	Applied Surface Science, vol. 254, pp.6194-6198	Ballistic/quasi-ballistic transport in nanoscale transistor	K. Natori
3	2008.10	ECS Transaction, vol.16(40), pp. 1-5	Electronic Structure Analysis of Silicon Nanowires for High Conductivity in n- and p-channel Nanowire-FET	Yeonghun Lee, Takahiro Nagata, Kuniyuki Kakushima, Kenji Shiraishi, H. Iwai
4	2008.11	IEEE Transaction on Electron Device, vol. 55, pp.2877-2855	Compact Modeling of Ballistic Nanowire MOSFETs	K. Natori
5	2009.3	Japanese Journal of Applied Physics, vol. 48, 034503	New Solution to High-Field Transport in Semiconductors: I. Elastic Scattering without Energy Relaxation	K. Natori
6	2009.2	Physical Review B, vol. 79, 085402	Electronic properties of a carbon nanotube in a field-effect transistor structure: A first-principles study	Kazuyuki Uchida, Susumu Okada
7	2009.3	Japanese Journal of Applied Physics, vol. 48, 034504	New Solution to High-Field Transport in Semiconductors: II. Velocity Saturation and Ballistic Transmission	K. Natori
8	2009.3	ECS Transaction, vol.18(1), pp. 71-75	Evaluation of Lateral Ni Diffusion in Si Nanowire Schottky Contact	Hideyuki Kamimura, Soushi Sato, Kuniyuki Kakushima, Parhat Ahmet, Kazuo Tsutsui, Nobuyuki Sugii, Takeo Hattori, and Hiroshi Iwai

平成 21 年度

	発表日	発表媒体	発表タイトル	発表者
1	2009.6	Physical Review B, vol. 79, 235444	Electronic structure calculations for a carbon nanotube capacitor with a dielectric medium	Kazuyuki Uchida, Atsushi Oshiyama
2	2009.7	Microelectronic Engineering, vol. 86, pp.1520-1528	Roadmap for 22 nm and beyond	H. Iwai
3	2009.10	ECS Transaction, <i>in press</i>	Annealing Reaction for Ni Silicidation of Si Nanowire	H. Arai, H. Kamimura, S. Sato, K. Kakushima, P. Ahmet, K. Tsutsui, N. Sugii, K. Natori, T. Hattori, H. Iwai

(b) 学会発表

平成 19 年度

	発表日	学会名	発表タイトル	発表者
1	2008.3	第55回応用物理学関連 連合講演会, 28a-P5-9	シリコンナノワイヤの電子構造の理論的研究	李 映勲, 大竹 明, 永田貴弘, 白石賢二
2	2008.3	第55回応用物理学関連	パリストイックなナノワイヤ	名取研二

		連合講演会, 28a-P5-10	MOSFETのコンパクト理論	
3	2008.3	第55回応用物理学関連 連合講演会, 28a-P5-15	熱酸化によるSiナノワイヤー形 状の酸化条件依存性	上村英之, 角嶋邦之, Ahmet Parhat1, 筒井一生, 杉井信之, 大毛利健治, 服部健雄, 岩井 洋

平成 20 年度

	発表日	学会名	発表タイトル	発表者
1	2008.5	213th ECS meeting	Quantum Effects of Capacitance in Nano-Scale Devices	Kazuyuki Uchida
2	2008.9	SSDM, pp.10-41	Compact Modeling of Ballistic Nanowire MOSFETs	K. Natori
3	2008.9	第69回応用物理学学会学 術講演会, 2p-CH-7	Si Finのアスペクト比最適化に より作製した円形Siナノワイヤ の形状に関する研究	佐藤創志, 上村英之, 新井英朗, 大毛利健治, 角嶋邦之, アヘメ ト パールハット, 筒井一生, 服 部健雄, 杉井信之, 山田啓作, 岩井 洋
4	2008.9	第69回応用物理学学会学 術講演会, 4a-E-5	第一原理計算によるシリコン ナノワイヤの電子構造解析	李映勲, 永田貴弘, 白石賢二, 角嶋邦之, 岩井洋
5	2008.10	214th ECS meeting,	Electronic Structure Analysis of Silicon Nanowires for High Conductivity in n- and p-channel Nanowire-FET	Y. Lee, T. Nagata, K. Kakushima K. Shiraishi, H. Iwai
6	2009.2	MNCN 2009	Study of Nanowire Band Structure for the Analysis of its Conduction	K. Shiraishi
7	2009.2	MNCN 2009	Ballistic Conduction of Si-nanowire FETs Based on Compact Modeling	K. Natori
8	2009.2	MNCN 2009	Fabrication of Gate-around Si Nanowire Transistors for Characterizing carrier Transport	K. Ohmori
9	2009.3	ISTC/CSTIC2009	Evaluation of Lateral Ni Diffusion in Si Nanowire Schottky Contact	Hideyuki Kamimura, Hideaki Arai, Soshi Sato, Kuniyuki Kakushima, Ahmet Parhat, Kazuo Tsutsui, Nobuyuki Sugii, Takeo Hattori, Hiroshi Iwai
10	2009.3	第56回応用物理学関連 連合講演会, 1a-V-5	四端子測定TEGを用いたSiナノ ワイヤトランジスタのチャンネル 内電位測定	佐藤創志, 上村英之, 新井英朗, 角嶋邦之2Ahmet Parhat, 大毛利 健治, 筒井一生, 杉井信之2, 服 部健雄, 山田啓作, 岩井 洋1
11	2009.3	第56回応用物理学関連 連合講演会, 1a-V-6	Si ナノワイヤへのNiシリサイ ド形成の評価	新井英朗, 上村英之, 佐藤創志, 角嶋邦之, アヘメト パールハッ ト, 筒井一生, 杉井信之, 服部 健雄, 岩井 洋
12	2009.3	第56回応用物理学関連 連合講演会, 1a-V-9	引っ張り歪みSiナノワイヤの電 子構造とバリステック伝導	李映勲, 永田貴弘, 角嶋邦之, 白石賢二, 名取研二, 岩井 洋
13	2009.3	第56回応用物理学関連 連合講演会, 1a-X-4	シリコンナノワイヤFET研究の 現状とロードマップ作成の考え 方	岩井洋, 名取研二, 白石賢二, 山田啓作, 大毛利健治, 筒井一 生, 角嶋邦之, パールハット ア ヘメト
14	2009.3	第56回応用物理学関連 連合講演会, 1a-D-6	トップダウンSiナノワイヤFET の作製法とその電気的特性のサ ーベイ	岩井洋, 山田啓作, 大毛利健治, 筒井一生, 角嶋邦之, Parhat Ahmet1, 佐藤創志, 上村英之, 新井英朗
15	2009.3	第56回応用物理学関連 連合講演会, 2p-V-6	Si量子ドットフローティングゲ ートMOSキャパシタにおける	櫻井蓉子, 野村晋太郎, 白石賢 二, 村口正和, 遠藤哲郎, 池田

			過渡電流特性	弥央, 牧原克典, 宮崎誠一
--	--	--	--------	----------------

平成 21 年度

	発表日	学会名	発表タイトル	発表者
1	2009.6	2009 Symposium on VLSI Technology	Guiding Principles Toward Future Gate Stacks Given by the Construction of New Physical Concepts	K. Shiraishi
2	2009.6	INFOS 2009	Roadmap 22 nm and beyond	H. Iwai
3	2009.9	第70回応用物理学会学術講演会, 11a-TH-3	2stepアニールを用いた酸化膜中のSiナノワイヤへのNiシリサイド化	茂森直登, 新井英朗, 佐藤創志, 角嶋邦之, アヘメト パールハット, 西山彰, 筒井一生, 杉井信之, 服部健雄, 岩井 洋
4	2009.9	第70回応用物理学会学術講演会, 11a-TH-9	パリスティックナノワイヤFETsの電流電圧特性の数値計算	Abudurehman Abudukelimu 角嶋邦之, Parhat Ahmet, 筒井一生, 西山彰, 杉井信之, 名取研二, 服部健雄, 岩井洋
5	2009.9	第70回応用物理学会学術講演会, 8p-L-2	超低消費電力シリコンデバイス技術の重要性	岩井洋
6	2009.9	第70回応用物理学会学術講演会, 8p-L-10	準パリスティックなナノワイヤMOSFETのコンパクト・モデル	名取研二
7	2009.9	ACSIN 10	Physics in Nano-Interfaces and Nano-Structures towards Future Si Nanoelectronics	K. Shiraishi
8	2009.9	ESSDERC 2009	High-Performance Si Nanowire FET with a Semi Gate-Around Structure Suitable for Integration	Soshi Sato, Hideyuki Kamimura, Hideakie Arai, Kuniyuki Kakushima, Parhat Ahmet, Kenji Ohmori, Keisaku Yamada, Hiroshi Iwai
9	2009.10	216th ECS Meeting	Physics of Nanocontact Between Si Quantum Dots and Inversion Layer	S. Nomura, Y. Sakurai, Y. Takada, K. Shiraishi, M. Muraguchi, T. Endoh
10	2009.10	216th ECS Meeting	Physics of Nanointerfaces and Nanostructures for Future Si Nanodevices	K. Shiraishi
11	2009.10	SSDM 2009	Systematic Study on Size Dependences of Transport Parameters for Ballistic Nanowire-FET with Effective Mass Approximation	Y. Lee, K. Kakushima, K. Shiraishi, K. Natori, H. Iwai

(c) 表彰等

平成 20 年度

	発表日	内容	タイトル等	受賞者等
1	2008.12	Recognize and honor outstanding service to the Electron Devices Society and its sponsored activities	IEEE 2008 EDS Distinguished Service Award	H. Iwai

平成 21 年度

	発表日	内容	タイトル等	受賞者等
--	-----	----	-------	------

1	2009.4	サブ50nm MOSFET技術 の先導的研究開発	平成21年度文部科学大臣表彰 科学技術分野 科学技術賞 開 発部門	岩井洋
---	--------	-----------------------------	---	-----

(d) その他特記事項

平成 20 年度

	発表日	内容	タイトル等	発表者等
1	2008.12	IEDM Short Course: 22 nm CMOS Technology	Technology Scaling and Roadmap	Hiroshi Iwai

平成 21 年度

	発表日	内容	タイトル等	発表者等
1	2009.6	アドバンテスト・テクニ カル・レポート 3 2	CMOS集積回路の発展と今後の 展望	岩井洋

(e) 特許

(国内特許)

平成 20 年度

出願： 1 件
登録： 0 件

(国際特許)

平成 20 年度

出願： 1 件
登録： 0 件

- (3) 「シリコンナノワイヤトランジスタの物性探究と集積化の研究開発」

委託先名： 東京大学

(a) 投稿論文

平成 20 年度

	発表日	発表媒体	発表タイトル	発表者
1	2009.1.20	Japanese Journal of Applied Physics	Electron Mobility in Silicon Gate-All-Around [100]- and [110]-Directed Nanowire Metal-Oxide-Semiconductor Field-Effect Transistor on (100)-Oriented Silicon-on-Insulator Substrate Extracted by Improved Split Capacitance-Voltage Method	Jiezhi Chen, Takura Saraya, Kousuke Miyaji, Ken Shimizu, and Toshiro Hiramoto
2	2009.3	ECS Transactions	Transport in Silicon Nanowire Transistors	T. Hiramoto, J. Chen, Y.J. Jeong, and T. Saraya

平成 21 年度

	発表日	発表媒体	発表タイトル	発表者
1	2009.4.24	Journal of Applied Physics	Silicon nanowire n-type metal-oxide-semiconductor field-effect-transistors and single-electron transistors at room temperature under uniaxial tensile strain	YeonJoo Jeong, Kousuke Miyaji, Takuya Saraya, and Toshiro Hiramoto

(b) 学会発表

平成 20 年度

	発表日	学会名	発表タイトル	発表者
1	2008.6.16	IEEE Silicon Nanoelectronics Workshop	Experimental Study on Silicon Nanowire nMOSFET and Single-Electron Transistor at Room Temperature under Uniaxial Tensile Strain	Yeon Joo Jeong, Kousuke Miyaji, and Toshiro Hiramoto
2	2008.6.17	Symposium on VLSI Technology	Experimental Study of Mobility in [110]- and [100]-Directed Multiple Silicon Nanowire GAA MOSFETs on (100) SOI	Jiezhi Chen, Takuya Saraya, Kousuke Miyaji, Ken Shimizu, and Toshiro Hiramoto
3	2008.12.17	IEEE International Electron Devices Meeting (IEDM)	Electron Mobility in Multiple Silicon Nanowires GAA nMOSFETs on (110) and (100) SOI at Room and Low Temperature	Jiezhi Chen, Takuya Saraya, and Toshiro Hiramoto
4	2008.12.17	IEEE International Electron Devices Meeting (IEDM)	Uniaxial Strain Effects on Silicon Nanowire pMOSFET and Single-Hole Transistor at Room Temperature	YeonJoo Jeong, Jiezhi Chen, Takuya Saraya, and Toshiro Hiramoto
5	2009.1.22	International Symposium on	Silicon Nanowire FETs and Single-Electron/Hole	Toshiro Hiramoto, Jiezhi Chen, YeonJoo Jeong, and

		Nanoscale Transport and Technology (NTT2009)	Transistors under Uniaxial Strain at Room Temperature	Takuya Saraya (Invited)
6	2009.3.20	International Semiconductor Technology Conference and China Semiconductor Technology International Conference (ISTC/CSTIC 2009)	Transport in Silicon Nanowire Transistors	Toshiro Hiramoto (Invited)
7	2008.7.24	応用物理学会シリコンテクノロジー分科会研究集会	(100) SOI基板上に作製した[110]および[100]方向マルチシリコンナノワイヤGAA MOSFETの移動度評価	陳 杰智, 更屋拓哉, 宮地幸祐, 清水 健, 平本俊郎
8	2008.9.4	第69回応用物理学会学術講演会	ナノワイヤMOSFET及び室温動作単電子トランジスタにおける一軸引っ張り歪みの効果	鄭然周, 宮地幸祐, 更屋拓也, 平本俊郎
9	2008.9.4	第69回応用物理学会学術講演会	[110]および[100]方向マルチシリコンナノワイヤGAA MOSトランジスタにおける移動度評価	陳杰智, 更屋拓哉, 宮路幸祐, 清水健, 平本俊郎
10	2008.12.24	日本半導体技術ロードマップ委員会PIDS会議	シリコンナノワイヤトランジスタ	平本俊郎
11	2009.1.21	東京大学グローバルCOE「セキュアライフ・エレクトロニクス」シンポジウム	Silicon Nanowire MOSFETs: Measurements of Mobility and Strain Effects	Toshiro Hiramoto, Jiezhi Chen, YeonJoo Jeong, and Takuya Saraya
12	2009.2.27	電子情報通信学会シリコンデバイス・材料研究会	シリコンナノワイヤpMOSFET及び室温動作単正孔トランジスタにおける一軸歪みの効果	鄭然周, Chen Jiezhi, 更屋拓哉, 平本俊郎

平成 21 年度

	発表日	学会名	発表タイトル	発表者
1	2009.5.12	International Nanotechnology Conference on Communication and Cooperation	Measurements of Mobility and Strain Effects in Silicon Nanowire Transistors	Toshiro Hiramoto
2	2009.6.16	Symposium on VLSI Technology	High Hole Mobility in Multiple Silicon Nanowire Gate-All-Around pMOSFETs on (110) SOI	Jiezhi Chen, Takuya Saraya, and Toshiro Hiramoto
3	2009.4.1	2009年春季第56回応用物理学学術講演会	シリコンナノワイヤpMOSFET及び室温動作単正孔トランジスタにおける一軸歪みの効果	鄭然周, 更屋拓哉, 平本俊郎
4	2009.4.1	2009年春季第56回応用物理学学術講演会	[110]および[100]方向(110)シリコンナノワイヤGAA MOSトランジスタにおける電子移動度評価	陳杰智, 更屋拓哉, 平本俊郎
5	2009.4.1	2009年春季第56回応用物理学学術講演会	シリコンナノワイヤGAA MOSトランジスタにおける電子移動度の温度依存性評価	陳杰智, 更屋拓哉, 平本俊郎

6	2009.4.1	2009年春季第56回応用物理学学術講演会	シリコンナノワイヤトランジスタにおける移動度とひずみ効果	平本俊郎, 陳杰智, 鄭然周, 更屋拓哉
---	----------	-----------------------	------------------------------	----------------------

(c) 表彰等

平成 20 年度

	発表日	内容	タイトル等	受賞者等
1	2009.1.19	IEEE EDS Japan Chapter Student Award	Experimental Study of Mobility in [110]- and [100]-Directed Multiple Silicon Nanowire GAA MOSFETs on (100) SOI	陳 杰智
2	2009.1.19	IEEE EDS Japan Chapter Student Award	Uniaxial Strain Effects on Silicon Nanowire pMOSFET and Single-Hole Transistor at Room Temperature	鄭 然周

(d) その他特記事項

平成 20 年度

	発表日	内容	タイトル等	発表者等
1	2008.12.18	プレス発表 日経産業新聞	次世代LSI 処理速度40%向上も 東大, ひずみシリコン活用	

(e) 特許

なし

委託先名: 株式会社 東芝

(a) 投稿論文

なし

(b) 学会発表

平成 19 年度

	発表日	学会名	発表タイトル	発表者
1	2008.03.27	応用物理学会 2008年春季 第55回応用物理学関係連合講演会	ナノワイヤトランジスタのしきい値およびサブスレッショルド特性	田中千加, 萩島大輔, 内田建

平成 20 年度

	発表日	学会名	発表タイトル	発表者
1	2008.6.17	2008 Symposia on VLSI Technology	Three-Dimensional Stress Engineering in FinFETs for Mobility/On-Current Enhancement and Gate Current Reduction	Masumi Saitoh, Akio Kaneko, Kimitoshi Okano, Tomoko Kinoshita, Satoshi Inaba, Yoshiaki Toyoshima, Ken Uchida
2	2008.7.24	応用物理学会 シリコンテクノロジー分科会 第104回研究集会	FinFETにおける移動度向上・ゲート電流低減のための3次元応力エンジニアリング	齋藤真澄, 金子明生, 岡野王俊, 木下朋子, 稲葉 聡, 豊島 義明, 内田 建

3	2008.12.16	2008 International Electron Devices Meeting (IEDM)	Comprehensive Performance Assessment of Scaled (110) CMOSFETs Based on Understanding of STI Stress Effects and Velocity Saturation	Masumi Saitoh, Nobuaki Yasutake, Yukio Nakabayashi, Toshinori Numata, Ken Uchida
---	------------	--	--	--

平成 21 年度

	発表日	学会名	発表タイトル	発表者
1	2009.4.1	応用物理学会 2009年 春季 第56回応用物理学 関係連合講演会	短チャネル(110)面n/pMOSFET における飽和ドレイン電流の決定要因	齋藤真澄, 安武信昭, 中林幸雄, 沼田敏典, 内田建
2	2009.4.1	応用物理学会 2009年 春季 第56回応用物理学 関係連合講演会	(110)面n/pMOSFETにおける低電界移動度のチャネル幅依存性の起源	齋藤真澄, 安武信昭, 中林幸雄, 沼田敏典, 内田建
3	2009.4.28	2009 IEEE International Reliability Physics Symposium (IRPS)	Successful Measurements of Interface-Trap-Induced Scattering in n-MOSFETs - Developed Hall Effect Measurements and Comparison with Theory	Shigeki Kobayashi, Takamitsu Ishihara, Masumi Saitoh, Yukio Nakabayashi, Toshinori Numata, Ken Uchida
4	2009.6.16	2009 Symposia on VLSI Technology	Physical Understanding of Vth and Idsat Variations in (110) CMOSFETs	Masumi Saitoh, Nobuaki Yasutake, Yukio Nakabayashi, Ken Uchida, Toshinori Numata1

(c) 表彰等

平成 21 年度

	発表日	内容	タイトル等	受賞者等
1	2009.12.2	2009年STS Award (SEMI Technology Symposium Award)	FinFETにおける3次元応力設計	齋藤真澄

(d) その他特記事項

平成 20 年度

	発表日	内容	タイトル等	発表者等
1	2008.6.17	ニュースリリース(東芝) EE Times Japan個別取材、新聞 5 誌掲載、Web 8 誌掲載	(掲載) 立体構造トランジスタを用いた32nm世代以降のLSI高性能化の新技术の開発について	齋藤真澄、沼田敏典
2	2008.8.29、 2008.11.5	JEITA SOIウエーハ関連技術小委員会	(講演) Siナノワイヤーデバイスの開発動向	沼田敏典
3	2008.9.30 ~ 10.4	CEATEC 2008	(展示) 歪みシリコンチャネル 立体構造トランジスタ	沼田敏典、齋藤真澄
4	2008.10.31 ~ 11.1	早稲田大学 テクノフェア早稲田	(展示) 歪みシリコンチャネル 立体構造トランジスタ	沼田敏典
5	2008.12.5	セミコンJapan2008 SEMIテクノロジーシンポジウム	(講演) FinFETにおける3次元 応力設計	齋藤真澄
6	2009.3	東芝レビュー	(掲載) 立体構造トランジスタの3次元ひずみエンジニアリング技術	齋藤真澄

平成 21 年度

	発表日	内容	タイトル等	発表者等
1	2009.4	東芝 研究開発センター パンフレット	歪シリコン立体構造トランジスタ (FinFET)	齋藤真澄

(e) 特許**(国内特許)****平成 19 年度**

出願： 1 件

平成 20 年度

出願： 1 件

(国際特許)**平成 20 年度**

出願： 2 件

平成 21 年度

出願： 1 件 (PCT 出願)

- (1) 「新構造 FinFET による SRAM 技術の研究開発」

(a) 投稿論文

平成 19 年度

	発表日	発表媒体	発表タイトル	発表者
1	2007.12.1	IEEE Electron Device Letters	Experimental Evaluation of Effects of Channel Doping on Characteristics of FinFETs	K. Endo, Y. Ishikawa, Y. X. Liu, M. Masahara, M. Matsukawa, S. -I. O'uchi, K. Ishii, H. Yamauchi, J. Tsukada, and E. Suzuki
2	2007.12.1	プラズマ応用科学	二重ゲートトランジスタの結合ゲート動作と分離ゲート可変閾値動作の比較解析	坂本邦博

平成 20 年度

	発表日	発表媒体	発表タイトル	発表者
1	2008.4.1	IEICE Trans. Electronics	FinFET-Based Flex-Vth SRAM Design for Drastic Standby-Leakage-Current Reduction	S. O'uchi, M. Masahara, K. Endo, Y.X. Liu, T. Matsukawa, K. Sakamoto, T. Sekigawa, H. Koike, E. Suzuki
2	2008.4.1	Jpn. J. Appl. Phys.	Dual-Metal-Gate Transistors with Symmetrical Threshold Voltages Using Work-Function-Tuned Ta/Mo Bilayer Metal Gates	T. Matsukawa, Y.X. Liu, K. Endo, M. Masahara, Y. Ishikawa, H. Yamauchi, J. Tsukada, K. Ishii, E. Suzuki
3	2008.4.1	Jpn. J. Appl. Phys.	Nitrogen Gas Flow Ratio and Rapid Thermal Annealing Temperature Dependences of Sputtered Titanium Nitride Gate Work Function and Their Effect on Device Characteristics	Y.X. Liu, T. Hayashida, T. Matsukawa, K. Endo, M. Masahara, S. O'uchi, K. Sakamoto, K. Ishii, J. Tsukada, Y. Ishikawa, H. Yamauchi, A. Ogura, E. Suzuki
4	2008.6.1	IEEE Electron Device Letters	A Ta/Mo Interdiffusion Dual Metal Gate Technology for Drivability Enhancement of FinFETs	T. Matsukawa, K. Endo, Y.X. Liu, S. O'uchi, Y. Ishikawa, H. Yamauchi, J. Tsukada, K. Ishii, M. Masahara, K. Sakamoto and E. Suzuki
5	2008.6.1	電気学会論文誌 C 電子・情報・システム部門誌	(招待論文) フレックス・パスゲートSRAMによる雑音余裕向上	大内、昌原、坂本、遠藤、柳、松川、関川、小池、鈴木
6	2008.9.1	IEEE Trans. Electron Devices	Threshold-Voltage Reduction of FinFETs by Ta/Mo Interdiffusion Dual Metal-Gate Technology for Low-Operating-Power Application	T. Matsukawa, K. Endo, Y.X. Liu, S. O'uchi, Y. Ishikawa, H. Yamauchi, J. Tsukada, K. Ishii, M. Masahara, K. Sakamoto, and E. Suzuki
7	2008.11.1	Solid-State Electronics	Flex-pass-gate SRAM for static noise margin enhancement using FinFET-based technology	S. O'uchi, K. Endo, M. Masahara, K. Sakamoto, Y. Liu, T. Matsukawa, T. Sekigawa, H. Koike, E. Suzuki,
8	2009.2.1	Applied Physics Express	Enhancing Noise Margins of Fin-Type Field Effect Transistor Static Random Access Memory Cell by Using Threshold Voltage-Controllable Flexible-Pass-Gates	K. Endo, S. O'uchi, Y. Ishikawa, Y. Liu, T. Matsukawa, M. Masahara, K. Sakamoto, J. Tsukada, K. Ishii, H. Yamauchi, and E. Suzuki

平成 21 年度

	発表日	発表媒体	発表タイトル	発表者
1	2009.4.1	IEEE Electron Device Letters	Fluctuation Analysis of Parasitic Resistance in FinFETs With Scaled Fin Thickness	T. Matsukawa, K. Endo, Y. Ishikawa, H. Yamauchi, S. Ouchi, Y. Liu, J. Tsukada, K. Ishii, K. Sakamoto, E. Suzuki, and M. Masahara
2	2009.5.1	Jpn. J. Appl. Phys.	A Comparative Study of Nitrogen Gas Flow Ratio Dependence on the Electrical Characteristics of Sputtered TiN Gate Bulk Planar MOSFETs and Fin-Type MOSFETs	T. Hayashida, Y. Liu, T. Matsukawa, K. Endo, S. Ouchi, K. Sakamoto, K. Ishii, J. Tsukada, Y. Ishikawa, H. Yamauchi, E. Suzuki, A. Ogura, and M. Masahara
3	2009.5.1	IEEE Electron Device Letters	Metal-Gate FinFET Variation Analysis by Measurement and Compact Model	S. O'uchi, T. Matsukawa, T. Nakagawa, K. Endo, Y.X. Liu, T. Sekigawa, J. Tsukada, Y. Ishikawa, H. Yamauchi, K. Ishii, E. Suzuki, H. Koike, K. Sakamoto, and M. Masahara
4	2009.7.1	IEEE Electron Device Letters	Independent-Double-Gate FinFET SRAM for Leakage Current Reduction	K. Endo, S. O'uchi, Y. Ishikawa, Y. X. Liu, M. Matsukawa, T. Sakamoto, M. Masahara, J. Tsukada, K. Ishii, H. Yamauchi, and E. Suzuki
5	2009.7.1	Solid-State Electronics	(招待論文) Dual Metal Gate FinFET Integration by Ta/Mo Diffusion Technology for Vt Reduction and Multi-Vt CMOS Application	T. Matsukawa, K. Endo, Y.X. Liu, S. O'uchi, Y. Ishikawa, H. Yamauchi, J. Tsukada, K. Ishii, K. Sakamoto, E. Suzuki, M. Masahara

(b) 学会発表

平成 19 年度

	発表日	学会名	発表タイトル	発表者
1	2007.9.17	Custom Integrated Circuits Conference	(注目論文にセレクト) Flex-Pass-Gate SRAM Design for Static Noise Margin Enhancement Using FinFET-Based Technology	S.O'uchi, M.Masahara, K.Sakamoto, K.Endo, Y.X.Liu, T.Matsukawa, T.Sekigawa, H.Koike, E.Suzuki
2	2007.9.20	Int.Conf. SSDM	TiN Gate Work Function Control Using Gas Flow Ratio and RTS-Temperature	Y.X.Liu, T.Hayashida, T.Matsukawa, K.Endo, M.Masahara, S.O'uchi, K.Sakamoto, K.Ishii, J.Tsukada, Y.Ishikawa, H.Yamauchi, A.Ogura, E.Suzuki
3	2007.9.20	Int.Conf. SSDM	Dual Metal Gate MOSFETs with Symmetrical Threshold Voltages Using Work Function Tuned Ta/Mo Bi-layer Metal Gates	T.Matsukawa, Y.X.Liu, K.Endo, M.Masahara, Y.Ishikawa, H.Yamauchi, J.Tsukada, K.Ishii, E.Suzuki
4	2007.10.4	Int. SOI Conf.	A Ta/Mo Interdiffusion Gate Technology for Dual Metal Gate First FinFET Fabrication	T.Matsukawa, K.Endo, Y.X.Liu, S.O'uchi, Y.Ishikawa, H.Yamauchi, J.Tsukada, K.Ishii, M.Masahara, K.Sakamoto, E.Suzuki,
5	2007.10.10	ECS	(招待講演) Advanced DG-MOSFETs Process Technologies	E.Suzuki, Y.X.Liu, K.Endo, T.Matsukawa, M.Masahara, K.Sakamoto, S.O'uchi
6	2007.12.12	ISDRS	Nitrogen Gas Flow Ratio Controlled PVD TiN Metal Gate Technology for FinFET CMOS	Y.X.Liu, T.Hayashida, T.Matsukawa, K.Endo, M.Masahara, S.O'uchi,

				K.Sakamoto, K.Ishii, J.Tsukada, Y.Ishikawa, H.Yamauchi, A.Ogura, E.Suzuki,
7	2008.1.27	第13回ゲートスタック研究会-材料・プロセス・評価の物理	(招待講演) 起立型ダブルゲートMOSFETの作製および課題	遠藤和彦、他
8	2008.3.29	第55回 応用物理学関係 連合講演会	Ta/Mo積層メタルゲートによる FinFETの低Vth化(2)	松川貴、他
9	2008.3.29	第55回 応用物理学関係 連合講演会	TiNメタルゲートFinFET SRAMの作製	柳永勲、他
10	2008.3.27	第55回 応用物理学関係 連合講演会	スパッタによるTiNゲートプレーナMOSFETとFinFET電気特性の比較評価	林田哲郎、他
11	2008.3.29	第55回 応用物理学関係 連合講演会	フレックス・パスゲートSRAMによる動作安定性向上	大内真一、他

平成 20 年度

	発表日	学会名	発表タイトル	発表者
1	2008.5.21	ECS	(招待講演) Advanced Metal Gate FinFET CMOS Technology	Y.X. Liu, T. Matsukawa, K. Endo, M. Masahara, S. O'uchi, K. Ishii, K. Sakamoto, and E. Suzuki
2	2008.6.3	IEEE ICICDT	Independent-Gate Four-Terminal FinFET SRAM for Drastic Leakage Current Reduction	K. Endo, S. O'uchi, Y. Ishikawa, Y.X. Liu, T. Matsukawa, K. Sakamoto, M. Masahara, J. Tsukada, K. Ishii, H. Yamauchi, and E. Suzuki
3	2008.6.16	Si Nanoelectronics Workshop	An Experimental Study of TiN Gate FinFET SRAM with (111)-Oriented Sidewall Channels	Y. X. Liu, T. Hayashida, T. Matsukawa, K. Endo, S. O'uchi, K. Sakamoto, M. Masahara, K. Ishii, J. Tsukada, Y. Ishikawa, H. Yamauchi, A. Ogura, and E. Suzuki
4	2008.9.1	IEEE Workshop on Compact Model	(招待講演) Four-Terminal FinFET Technology	M. Masahara, S. O'uchi, T. Matsukawa, K. Endo, Y.X. Liu, K. Sakamoto, and E. Suzuki,
5	2008.9.1	IEEE Workshop on Compact Model	Calibration for Independent-DG MOSFET Compact Model Using Measured and Simulated <i>I-V</i> Characteristics	S. O'uchi, T. Nakagawa, Y.X. Liu, T. Sekigawa, E. Suzuki, K. Sakamoto, H. Koike and M. Masahara
6	2008.9.2	第69回応用物理学会学術講演会	Ta/Mo積層メタルゲートによるデュアルメタルゲートCMOS FinFET集積技術	松川貴、他
7	2008.9.2	第69回応用物理学会学術講演会	4端子FinFETを用いた論理Vth可変CMOSインバータの作製	柳永勲、他
8	2008.9.2	第69回応用物理学会学術講演会	独立ダブルゲート型FinFET によるSRAM 低消費電力化の検討	遠藤和彦、他
9	2008.9.3	第69回応用物理学会学術講演会	独立ダブルゲートFinFETコンパクトモデルとその校正	大内真一、他
10	2008.9.17	ESSDERC	Enhancing Noise Margins of FinFET SRAM by Integrating Vth-Controllable Flexible-Pass-Gates	K. Endo, S. O'uchi, Y. Ishikawa, Y.X. Liu, T. Matsukawa, M. Masahara, K. Ishii, J. Tsukada, H. Yamauchi, and E. Suzuki
11	2008.9.18	ESSDERC	Dual Metal Gate FinFET Integration by Ta/Mo Diffusion Technology for Vt Reduction and Multi-Vt CMOS Application	T. Matsukawa, K. Endo, Y.X. Liu, S. O'uchi, M. Masahara, Y. Ishikawa, H. Yamauchi, J. Tsukada, K. Ishii, K. Sakamoto and E. Suzuki,

12	2008.10.9	Int. SOI Conf.	Impact of Extension and Source/Drain Resistance on FinFET Performance	T. Matsukawa, K. Endo, Y. Ishikawa, H. Yamauchi, Y.X. Liu, S. O'uchi, J. Tsukada, K. Ishii, K. Sakamoto, E. Suzuki and M. Masahara
13	2008.10.9	Int. SOI Conf.	Logic Gate Threshold Voltage Controllable Single Metal Gate FinFET CMOS Inverters Implemented by Using Co-Integration of 3T/4T-FinFET	Y.X. Liu, T. Sekigawa, T. Hayashida*, T. Matsukawa, K. Endo, S. O'uchi, K. Sakamoto, K. Ishii, T. Tsukada, Y. Ishikawa, H. Yamauchi, A. Ogura*, H. Koike, E. Suzuki, and M. Masahara
14	2008.11.5	IWDTF	Demonstration of Gate Work Function Engineered FinFET CMOS	Y.X. Liu, T. Hayashida, T. Matsukawa, K. Endo, S. O'uchi, K. Sakamoto, J. Tsukada, H. Yamauchi, K. Ishii, Y. Ishikawa, A. Ogura, E. Suzuki, and M. Masahara
15	2008.11.5	IWDTF	A Comparative Study of the Electrical Characteristics of Sputtered TiN Gate Planar MOSFETs and FinFETs	T. Hayashida, Y.X. Liu, T. Matsukawa, K. Endo, S. O'uchi, K. Sakamoto, K. Ishii, J. Tsukada, Y. Ishikawa, H. Yamauchi, E. Suzuki, A. Ogura, and M. Masahara
16	2008.11.7	IWDTF	Dual Metal Gate Integration for CMOS FinFETs using selective formation on Ta/Mo Interdiffused Gates	T. Matsukawa, K. Endo, Y. Ishikawa, H. Yamauchi, Y.X. Liu, S. O'uchi, J. Tsukada, K. Ishii, K. Sakamoto, E. Suzuki and M. Masahara
17	2008.12.17	IEDM	Enhancing SRAM Cell Performance by Using Independent Double-Gate FinFET	K. Endo, S. O'uchi, Y. Ishikawa, Y.X. Liu, T. Matsukawa, K. Sakamoto, J. Tsukada, K. Ishii, H. Yamauchi, E. Suzuki, and M. Masahara
18	2008.12.17	IEDM	Characterization of Metal-Gate FinFET Variability Based on Measurements and Compact Model Analyses	S. O'uchi, T. Matsukawa, T. Nakagawa, K. Endo, Y.X. Liu, T. Sekigawa, J. Tsukada, Y. Ishikawa, H. Yamauchi, K. Ishii, E. Suzuki, H. Koike, K. Sakamoto, and M. Masahara
19	2009.1.26	第107回応用物理学会シリコンテクノロジー分科会研究集会	(依頼講演) コンパクトモデルを用いた金属ゲートFinFETのばらつき解析	大内真一、他
20	2009.3.30	第56回応用物理学関係連合講演会	金属ゲートFinFETのしきい値電圧ばらつき解析	大内真一、他
21	2009.3.30	第56回応用物理学関係連合講演会	FinFETのエクステンションとS/D寄生抵抗のばらつき評価	松川貴、他
22	2009.3.30	第56回応用物理学関係連合講演会	独立ダブルゲート型FinFETによるSRAMノイズマージン向上の検討	遠藤和彦、他

平成 21 年度

	発表日	学会名	発表タイトル	発表者
1	2009.5.30	ECS	(招待講演) Highly Reliable SRAM Circuit Technology Utilizing FinFETs	S. O'uchi, K. Endo, Y.X. Liu, T. Matsukawa, J. Tsukada, H. Yamauchi, K. Ishii, E. Suzuki, K. Sakamoto, and M. Masahara,
2	2009.6.16	Symposium on VLSI Technology	Comprehensive Analysis of Variability Sources of FinFET Characteristics	T. Matsukawa, S. O'uchi, K. Endo, Y. Ishikawa, H. Yamauchi, Y.X. Liu, J. Tsukada, K. Sakamoto and M. Masahara

3	2009.7.15	電気学会	(依頼講演) FinFET特性ばらつきに関する 考察および高ばらつき耐性 FinFET-SRAMの提案	昌原明植、松川貴、遠藤和彦、 大内真一、柳永勲、坂本邦博
---	-----------	------	--	---------------------------------

(c) 表彰等

なし

(d) その他特記事項

平成 19 年度

	発表日	内容	タイトル等	発表者等
1	2007.9.12	プレス発表	4端子型フィンFETを用いた高 性能SRAM	大内真一、他

平成 20 年度

	発表日	内容	タイトル等	発表者等
1	2008.12.11	プレス発表	22nm世代トランジスタ特性ば らつきの新しい解析法の確立と 、ばらつきに強いSRAMの試作 に成功	大内真一、他

(e) 特許

(国内特許)

なし

(国際特許)

なし

- (2) 「次世代相変化メモリ技術の研究開発」

(a) 投稿論文

平成 20 年度

	発表日	発表媒体	発表タイトル	発表者
1	2008.05.	Jpn. J. Appl. Phys.47 (2008) 5763.	The role of Ge Switch in Phase Transition – An Approach using Atomically Controlled [GeTe/Sb ₂ Te ₃] Superlattice	J. Tominaga, P. Fons, A. Kolobov, T. Shima

平成 21 年度

	発表日	発表媒体	発表タイトル	発表者
1	2009.05	Phys. Rev. B, 79 (2009) 174112	Ultrafast dephasing of coherent optical phonons in atomically controlled GeTe/Sb ₂ Te ₃ superlattices	M. Hase, Y. Yamamoto, J. Tominaga

(b) 学会発表

平成 19 年度

	発表日	学会名	発表タイトル	発表者
1	2008.03.27	Material Research Society, Spring Meeting	Atomic Zipper with Large Optical and Electrical Transition in SbTe Alloy	J. Tominaga, P. Fons, T. Shima, M. Kuwahara, O. Suzuki and A. Kolobov

平成 20 年度

	発表日	学会名	発表タイトル	発表者
1	2008.11.21	ISOM講演会	GST225相変化材料の活性化エネルギーの起源はなにか?	富永淳二
2	2008.07.16	ISOM/ODS08	What is the origin of activation energy in phase-change film?	J. Tominaga, T. Shima, R. Simpson, M. Kuwahara, P. Fons, A. Kolobov
3	2008.09.08	E*PCOS2008	The origin of activation energy in phase-change materials	J. Tominaga, T. Shima, R. Simpson, M. Kuwahara, P. Fons, A. Kolobov

(c) 表彰等

平成 20 年度

	発表日	内容	タイトル等	受賞者等
1	2008.07.17	Best Academic Award of ISOM/ODS08, Hawaii, US	What is the origin of activation energy in phase-change film?	J. Tominaga, T. Shima, R. Simpson, M. Kuwahara, P. Fons, A. Kolobov

(d) その他特記事項

なし

(e) 特許

(国内特許)

平成 20 年度

出願： 4 件

登録： 0 件

(国際特許)

平成 20 年度

出願： 2 件

登録： 0 件

- (3) 「ナノギャップ不揮発性メモリ技術の研究開発」

(a) 投稿論文

平成 19 年度

	発表日	発表媒体	発表タイトル	発表者
1	2008.1.8	Jpn. J. Appl. Phys	Influence of Substrate Structure on Resistance Switch using a Simple Metal Nanogap Junction	内藤泰久、堀川昌代、清水哲夫
2	2008.3.14	Jpn. J. Appl. Phys	Dependence of Electric Properties of a Nanogap Junction on Electrode Material	古田成生、高橋剛、内藤泰久、堀川昌代、清水哲夫、小野雅敏

平成 20 年度

	発表日	発表媒体	発表タイトル	発表者
1	2008.7.18	Jpn. J. Appl. Phys.	Small amplitude frequency modulation atomic force microscopy of lead phthalocyanine molecules using cantilever with very high spring constant	細川義浩、一井崇、小林圭、松重和美、山田啓文
2	2008.9.16	Appl. Phys. Express	Non-Volatile Resistance Switching Using Silicon Nanogap Junction	内藤泰久、森田行則、堀川昌代、菅洋志、清水哲夫
3	2009.2.18	Appl. Phys. Express	Non-volatile Resistance Switching using Single-Wall Carbon Nanotube Encapsulating Fullerene Molecules	内藤泰久、柳和宏、菅洋志、堀川昌代、田中丈士、片浦弘道、清水哲夫

平成 21 年度

	発表日	発表媒体	発表タイトル	発表者
1	2009.4.27	Review of Scientific Instruments	Frequency noise in frequency modulation atomic force microscopy	小林圭、山田啓文、松重和美
2	2009.6.09	Applied Surface Science	Control of Nanogap Junction Resistance by Imposed Pulse Voltage	増田雄一郎、高橋剛、古田成生、小野雅敏、清水哲夫、内藤泰久
3	2009.xx.xx	Jpn. J. Appl. Phys (accepted)	The Effect of Gas Molecules on Resistance Switch Employing a Gold Nanogap Junction	内藤泰久、堀川昌代、清水哲夫

(b) 学会発表

平成 19 年度

	発表日	学会名	発表タイトル	発表者
1	2007.12.6	15th International Colloquium on Scanning Probe	The study of structural change in nanogap switch effect using SPM	内藤泰久、清水哲夫

		Microscopy		
2	2008.3.27	第55回応用物理学関係 連合講演会	単接合ナノギャップスイッチの AFMによる構造変化観察	水上貴博, 宮戸祐治, 小林圭, 山 田啓文, 松重和美, 清水哲夫, 内 藤泰久
3	2008.3.27	第55回応用物理学関係 連合講演会	シリコンによる2端子不揮発性メ モリル	内藤泰久, 堀川昌代, 清水哲夫, 森田行則
4	2008.3.27	第55回応用物理学関係 連合講演会	走査プローブ顕微鏡を用いたナ ノギャップスイッチ効果の観察	内藤泰久, 清水哲夫
5	2008.3.27	第55回応用物理学関係 連合講演会	カーボンナノチューブによるナノ ギャップ抵抗スイッチング効果	菅洋志, 堀川昌代, 清水哲夫, 内藤泰久

平成 20 年度

	発表日	学会名	発表タイトル	発表者
1	2008.8.23	2008 INTERNATIONAL SYMPOSIUM ON INTEGRATION OF MEMS AND INTELLIGENT ELECTRONICS	Non-volatile Memory Using Single Carbon Nanotube	菅洋志, 清水哲夫, 田中深幸, 堀 川昌代, 西岡泰城, 内藤泰久
2	2008.8.23	2008 INTERNATIONAL SYMPOSIUM ON INTEGRATION OF MEMS AND INTELLIGENT ELECTRONICS	Fabrication of a metal Nanogap for TEM Observation	古田成生, 古田, 増田, 高橋剛, 小野雅敏, 田中伸幸, 久保陽介, 佐々木勝寛, 黒田光太郎, 菅洋志, 堀川昌代, 清水哲夫, 内藤泰久
3	2008.9.4	第 6 9 回応用物理学学 術講演会	AFMによる単接合型薄膜ナノギ ャップスイッチの構造変化観察	水上貴博, 宮戸祐治, 小林圭, 山 田啓文, 松重和美, 清水哲夫, 内 藤泰久
4	2008.9.4	第 6 9 回応用物理学学 術講演会	金ナノギャップ電極を用いた 抵抗スイッチ効果の雰囲気ガス 依存性	内藤泰久, 堀川昌代, 清水哲夫
5	2008.9.4	第 6 9 回応用物理学学 術講演会	ナノギャップ電極による抵抗 スイッチング効果の印加電圧依 存性	増田雄一郎, 古田成生, 高橋剛 小野雅敏, 内藤泰久, 清水哲夫, 堀川昌代
6	2008.10.15	214th meeting of ECS	Nonvolatile resistance switching effect using simple metal nanogap junction	内藤泰久, 清水哲夫
7	2008.11.11	ISSS5	Resistance Switch Effect Using Silicon Nanogap Junction	内藤泰久, 森田行則, 堀川昌代, 清水哲夫
8	2008.10.29	VASSCAA-4	Control of Nanogap Junction Resistance by Imposed Pulse Voltag	増田雄一郎, 高橋剛, 古田成生 小野雅敏, 内藤泰久, 清水哲夫
9	2008.3.17	5th Molecular Electronics and Bioelectronics	Non-volatile Resistance Switching Effect using Nanogap Junctions	内藤泰久, 堀川昌代, 清水哲夫
10	2008.3.17	5th Molecular Electronics and Bioelectronics	Dependence of Electrode Area on Nanogap Switch Effect	菅洋志, 堀川昌代, 小高隼介, 宮 崎久生, 塚越一仁, 清水哲夫, 内 藤泰久

平成 21 年度

	発表日	学会名	発表タイトル	発表者
1	2009.4.1	第56回応用物理学 関係連合講演会	ナノギャップ電極のギャップ間隔 制御とAFMによる表面形状観察	水上貴博, 宮戸祐治, 小林圭, 山 田啓文, 松重和美, 清水哲夫, 内 藤泰久
2	2009.4.1	第56回応用物理学 関係連合講演会	金属ナノギャップ電極を 用いた抵抗スイッチ効果の 大気中動作	内藤泰久, 堀川昌代, 増田雄一 郎, 小野雅敏, 清水哲夫
3	2009.4.1	第56回応用物理学 関係連合講演会	ナノギャップ抵抗スイッ チの微細化効果	菅洋志, 堀川昌代, 小高隼介, 宮崎久生, 塚越一仁, 清水哲夫, 内藤泰久

(c) 表彰等

なし

(d) その他特記事項

平成 19 年度

	発表日	内容	タイトル等	発表者等
1	2008.1.22	社団法人 電子情報技術 産業協会 ナノエレクト ロニクス技術分科会	(招待講演) ナノギャップスイッチ効果を 利用した新しい不揮発性メモリ の開発	内藤泰久
2	2008.3.5	AIST-TODAY(産総研機 関誌)	ナノ効果を用いた素子の本格 研究～ナノギャップスイッチ～ ナノ空間で動く抵抗スイッチの 素子研究開発～	内藤泰久

平成 20 年度

	発表日	内容	タイトル等	発表者等
1	2008.5.30	携帯電話 技術全集	次世代超小型不揮発性メモリ 開発における抵抗スイッチ(P445-452)	清水哲夫, 内藤泰久
2	2008.11.27	プレスレク (茨城新聞、日刊工業新 聞、日経産業新聞)	ナノスケール特性を利用した超 稠密不揮発性メモリ	清水哲夫, 小野雅敏, 内藤泰久
3	2008.12.5	展示会セミコン」 プレゼンテーション	産学官連携研究 マイクロエッチ ング分析電子顕微鏡 ナノギャ ップ不揮発性メモリ	内藤泰久, 清水哲夫
4	2009.1.22	日本学術振興会「未踏・ ナノデバイステクノロ ジー」第151委員会	(招待講演) ナノギャップ電極とその応用 技術の開発	内藤泰久
5	2009.2.7	ナノテクフロンティア (雑誌ニュートン)	ナノの「すき間」で記憶す る	記事協力 内藤泰久

平成 21 年度

	発表日	内容	タイトル等	発表者等
--	-----	----	-------	------

1	2009.7.17	電気学会「シリコンナノデバイス集積化技術調査専門委員会」・「化合物半導体電子デバイス調査専門委員会」合同委員会プログラム「2端子メモリ素子の新展開」	(招待講演) 金属ナノギャップ電極を用いた抵抗メモリ	内藤泰久
2	2009.9.X	Electrochemistry(電気化学学会会誌) 特集「ナノギャップ電極の最前線」	ナノギャップ電極を用いた新しい不揮発性メモリの開発	内藤泰久

(e) 特許

(国内特許)

平成 19 年度

出願： 2 件

登録： 0 件

平成 20 年度

出願： 5 件

登録： 0 件

平成 21 年度

出願： 1 件

登録： 0 件

(国際特許)

なし

- (1) 「カーボンナノチューブトランジスタ技術の研究開発」

「CNT デバイス作製技術の研究開発」(名古屋大学)

(a) 投稿論文

平成 19 年度

	発表日	発表媒体	発表タイトル	発表者
1	2008.03.05	NANO: Brief Reports and Reviews	Potential Profile Measurement of Carbon Nanotube FETs Based on the Electrostatic Force Detection	Y. Okigawa, T. Umesaka, Y. Ohno, S. Kishimoto, T. Mizutani

平成 20 年度

	発表日	発表媒体	発表タイトル	発表者
1	2008.09.04	Proc. SPIE	Electrical properties of carbon nanotube FETs	T. Mizutani, Y. Ohno, S. Kishimoto
2	2008	Appl. Phys. Lett.	High-density horizontally aligned growth of carbon nanotubes with Co nanoparticles deposited by arc-discharge plasma method	D. Phokharatkul, Y. Ohno, H. Nakano, S. Kishimoto, T. Mizutani
3	2008.04.09	Journal of Physics: Conference Serie	Electrical properties of carbon nanotube FETs	T. Mizutani, Y. Noshio, Y. Ohno

(b) 学会発表

平成 19 年度

	発表日	学会名	発表タイトル	発表者
1	2008.03.06	STRJワークショップ 2007	カーボンナノチューブFETの現状と将来展望	水谷 孝
2	2008.03.22	日本物理学会 第63回 年次大会シンポジウム	カーボンナノチューブデバイスにおける環境効果	大野 雄高, 水谷 孝
3	2008.03.27	春季第55回応用物理学関係連合講演会	フォトルミネッセンス空間分布測定によるカーボンナノチューブのカイラリティ分布評価の試み	小林 篤史, 大野 雄高, 岸本 茂, 水谷 孝
4	2008.03.03	第34回フラーレン・ナノチューブ総合シンポジウム	Fabrication Process of Carbon Nanotube FETs Using ALD Passivation for Biosensors	Y. Nakashima, Y. Ohno, S. Kishimoto, M. Okochi, H. Honda, T. Mizutani

平成 20 年度

	発表日	学会名	発表タイトル	発表者
1	2008.06.29	Ninth International Conference on the Science and Application of Nanotubes (NT08)	High-density horizontally-aligned growth of carbon nanotubes for high-performance multi-channel nanotube FETs	Y. Ohno, D. Phokharatkul, H. Nakano, S. Kishimoto, T. Mizutani
2	2008.06.29	Ninth International Conference on the Science and Application	Carbon nanotube networks for thin-film transistors grown by grid-inserted plasma-enhanced	T. Mizutani, S. Kishimoto, Y. Ono, Y. Ohno

		of Nanotubes (NT08),	chemical vapor deposition	
3	2008.08.10	SPIE Opticst+Photonics 2008	Electrical properties of carbon nanotube FETs	T. Mizutani
4	2008.09.24	2008 International Conference on Solid State Devices and Materials (SSDM 2008)	High-density horizontally-aligned growth of carbon nanotubes for high-performance field-effect transistors	Y. Ohno, D. Phokharatkul, H. Nakano, S. Kishimoto, T. Mizutani
5	2008.10.06	1st Russian-Japanese Young Scientist Conference on Nanomaterials and Nanotechnology	Fabrication and Characterization of Carbon Nanotube Filed-Effect Transistors	Y. Ohno, T. Mizutani
6	2008.10.12	The Seventh International Conference on Advanced Semiconductor Devices and Microsystems (ASDAM '08)	Electrical properties of carbon nanotube FETs	T. Mizutani, Y. Ohno, S. Kishimoto
7	2008.10.28	21st International Microprocesses and Nanotechnology Conference (MNC 2008)	Carbon Nanotube FETs with CNT Network Channel grown by Grid-inserted Plasma-enhanced CVD	Y. Ono, S. Kishimoto, Y. Ohno, T. Mizutani
8	2008.10.28	21st International Microprocesses and Nanotechnology Conference (MNC 2008)	Influence of insulator deposition in carbon nanotube FETs	N. Moriyama, Y. Ohno, Y. Nakashima, H. Soma, S. Kishimoto, T. Mizutani
9	2008.11.09	The 5th Japan-Korea Symposium on Carbon Nanotube (KJ5)	Characterization of CNT-FET by Scanning Gate Microscopy	Y. Okigawa, Y. Ohno, S. Kishimoto, T. Mizutani
10	2008.11.09	The 5th Japan-Korea Symposium on Carbon Nanotube (KJ5)	Carbon Nanotube FETs with CNT Network Channel grown by Grid-inserted Plasma-enhanced CVD	Y. Ono, S. Kishimoto, Y. Ohno, T. Mizutani
11	2008.11.09	The 5th Japan-Korea Symposium on Carbon Nanotube (KJ5)	Control of conduction property of carbon nanotube transistors	Y. Ohno, T. Mizutani
12	2008.11.09	The 5th Japan-Korea Symposium on Carbon Nanotube (KJ5)	High-performance n-type Carbon Nanotube FETs with Stability	N. Moriyama, Y. Ohno, S. Kishimoto, T. Mizutani
13	2008.8.27	第 35 回記念フラレン・ナノチューブ総合シンポジウム	カーボンナノチューブFETの作製と評価	水谷 孝, 大野 雄高, 岸本 茂
14	2008.9.2	秋季第69回応用物理学会学術講演会	イントロダクトリートーク:カーボンナノチューブナノエレクトロニクス	水谷 孝
15	2008.9.2	秋季第69回応用物理学会学術講演会	n-type single-walled carbon nanotube FETs with Sm as contact electrodes	Prakash R. Somani, A. Kobayashi, Y. Ohno, S. Kishimoto, T. Mizutani
16	2008.9.2	秋季第69回応用物理学会学術講演会	カーボンナノチューブFETにおける絶縁膜堆積の影響	森山 直希, 大野 雄高, 岸本 茂, 水谷 孝
17	2008.9.2	秋季第69回応用物理学会学術講演会	カーボンナノチューブトランジスタの作製と評価	大野 雄高, 水谷 孝
18	2009.3.2	第 36 回フラレン・ナノチューブ総合シンポジウム	Characterization of CNT-FET by Scanning Gate Microscopy	Y. Okigawa, S. Kishimoto, Y. Ohno, T. Mizutani

19	2009.3.30	春季第56回応用物理学 関係連合講演会	アークプラズマ堆積法を用いた カーボンナノチューブ成長用触 媒微粒子形成	畑 謙佑, 大野 雄高, 岸本 茂, 水谷 孝
20	2009.3.30	春季第 56 回応用物理学 関係連合講演会	High-k ゲート絶縁膜を有する n 型トップゲートカーボンナノチ ューブ FET の作製と評価	森山 直希, 大野 雄高, 岸本 茂, 水谷 孝
21	2009.3.30	春季第56回応用物理学 関係連合講演会	カーボンナノチューブFETの特 性と可能性	水谷 孝, 大野 雄高, 岸本 茂
22	2009.3.30	春季第 56 回応用物理学 関係連合講演会	磁気力顕微鏡によるマルチチャ ネル型 CNT - FET の電気伝導 特性評価	阿登 正幸, 沖川 侑揮, 水谷 孝, 高橋 琢二

平成 21 年度

	発表日	学会名	発表タイトル	発表者
1	2009.04.06	First International Conference on Nanostructured Materials and Nanocomposites(ICNM 2009)	Fabrication and characterization of high-performance carbon nanotube field-effect transistors	Y. Ohno, T. Mizutani
2	2009.04.17	The 4th Guadalupe Workshop	Plasma-enhanced CVD of semiconducting SWNTs for transistor application	Y. Ohno, T. Mizutani
3	2009.06.09	International Symposium on Carbon Nanotube Nanoelectronics (CNTNE 2009)	Formation of catalyst nano-particles for growth of high-density horizontally aligned carbon nanotubes	K. Hata, Y. Ohno, S. Kishimoto, T. Mizutani
4	2009.06.09	International Symposium on Carbon Nanotube Nanoelectronics (CNTNE 2009)	Carrier-type conversion in carbon nanotube FETs by deposition of HfO ₂	N. Moriyama, Y. Ohno, S. Kishimoto, T. Mizutani
5	2009.06.09	International Symposium on Carbon Nanotube Nanoelectronics (CNTNE 2009)	Characterization of CNT-FETs by Scanning Probe Microscopy	T. Mizutani, Y. Okigawa, Y. Ohno, S. Kishimoto
6	2009.06.09	International Symposium on Carbon Nanotube Nanoelectronics (CNTNE 2009)	Electrical Properties of Individual Carbon Nanotube Channels in a Field Effect Transistor Studied by Magnetic Force Microscopy	Masayuki Ato, Yuki Okigawa, Takashi Mizutani, Takuji Takahashi
7	2009.6.15	第22回プラズマ材料科 学シンポジウム	Fabrication and characterization of carbon nanotube FETs fabricated by using grid-inserted plasma-enhanced CVD	T. Mizutani, S. Kishimoto

(c) 表彰等

なし

(d) その他特記事項

なし

(e) 特許

なし

「CNT成長技術の研究開発」(東京大学工学部)

(1)半導体CNT優先成長

(a) 投稿論文

平成 19 年度

	発表日	発表媒体	発表タイトル	発表者
1	2008.1.8	Phys. Rev. B	Exciton dephasing and multiexciton recombinations in a single carbon nanotube	K. Matsuda, T. Inoue, Y. Murakami, S. Maruyama and Y. Kanemitsu
2	2008.3.12	J. Phys. Chem. C	Growth Deceleration of Vertically Aligned Carbon Nanotube Arrays: Catalyst Deactivation or Feedstock Diffusion Controlled?	R. Xiang, Z. Yang, Q. Zhang, G. Luo, W. Qian, F. Wei, M. Kadowaki, E. Einarsson, S. Maruyama

平成 20 年度

	発表日	発表媒体	発表タイトル	発表者
1	2008.4.18	Jpn. J. Appl. Phys.	Vertically Aligned 13C Single-Walled Carbon Nanotubes from No-flow Alcohol Chemical Vapor Deposition and their Root Growth Mechanism	R. Xiang, Z. Zhang, K. Ogura, J. Okawa, E. Einarsson, Y. Miyauchi, J. Shiomi, S. Maruyama
2	2008.4.18	Jpn. J. Appl. Phys.	Temperature Dependence of Raman Scattering from Single-walled Carbon Nanotubes -Undefined Radial Breathing Mode Peaks at High Temperatures-	S. Chiashi, Y. Murakami, Y. Miyauchi and S. Maruyama
3	2008.5.14	Phys. Rev. Lett.	Linear plasmon dispersion in single wall carbon nanotubes and the collective excitation spectrum of graphene	C. Kramberger, R. Hambach, C. Giorgetti, M. H. Rummeli, M. Knupfer, J. Fink, B. Buchner, L. Reining, E. Einarsson, S. Maruyama, F. Sottile, K. Hannewald, V. Olevano, A. G. Marinopoulos, T. Pichler
4	2008.5.20	Phys. Rev. B	Exciton fine structures in a single carbon nanotube revealed through spectral diffusion	K. Matsuda, T. Inoue, Y. Murakami, S. Maruyama and Y. Kanemitsu
5	2008.9.3	phys. stat. sol. (b)	Loss-spectroscopy on sparse arrays of aligned carbon nanotubes	C. Kramberger, M. Rummeli, M. Knupfer, J. Fink, B. Buchner, E. Einarsson, S. Maruyama, T. Pichler

平成 21 年度

	発表日	発表媒体	発表タイトル	発表者
1	2009.4.10	J. Phys. Chem. C	Acetylene-Accelerated Alcohol Catalytic CVD Growth of Vertically Aligned Single-Walled Carbon Nanotubes	R. Xiang, E. Einarsson, J. Okawa, Y. Miyauchi and S. Maruyama
2	2009.4.28	Phys. Rev. B	Effect of dielectric environment on the ultraviolet optical	Y. Murakami and S. Maruyama

			absorption of single-walled carbon nanotubes	
3	2009.5.7	Phys. Rev. B	Photoluminescence sidebands of carbon nanotubes below the bright singlet excitonic levels	Y. Murakami, B. Lu, S. Kazaoui, N. Minami, T. Okubo, S. Maruyama

(b) 学会発表

平成 19 年度

	発表日	学会名	発表タイトル	発表者
1	2008.3.6	IWEPNM2008	(招待講演) Cross-polarized optical excitation of single-walled carbon nanotubes	S. Maruyama
2	2008.3.10	APS March Meeting	(招待講演) Cross-polarized optical absorption of single-walled carbon nanotubes probed by photoluminescence excitation spectroscopy, UV-Vis-IR and polarized Raman Scatterings	S. Maruyama

他 1 3 件 (合計 1 5 件)

平成 20 年度

	発表日	学会名	発表タイトル	発表者
1	2008.5.20	213th ECS Meeting	(招待講演) Alcohol CVD Growth and Optical Characterization of Vertically-Aligned Single-Walled Carbon Nanotubes	S. Maruyama
2	2008.6.30	9th Int. Conf. Science and Application of Nanotubes (NT08)	Recent progress on the growth mechanism and structure control of vertically aligned SWNT arrays by alcohol CVD	R. Xiang, E. Einarsson, J. Okawa, Y. Murakami and S. Maruyama
3	2008.6.30	9th Int. Conf. Science and Application of Nanotubes (NT08)	Cross-polarized optical excitation of single-walled carbon nanotubes	S. Maruyama
4	2008.10.13	214th ECS Meeting (PRiME)	Growth Control of Vertically-Aligned Single-Walled Carbon Nanotubes from Alcohol	S. Maruyama, R. Xiang, E. Einarsson and J. Okawa
5	2008.11.5	AsiaNANO 2008	(招待講演) Alcohol CVD Growth of Vertically-Aligned Single-Walled Carbon Nanotubes	S. Maruyama
6	2008.12.13	IUMRS-ICA 2008	(招待講演) Growth Control and Optical Characterization of Vertically Aligned Single-Walled Carbon Nanotubes	S. Maruyama

他 1 5 件 (合計 2 1 件)

平成 21 年度

	発表日	学会名	発表タイトル	発表者
1	2009.5.25	215th ECS Meeting	(招待講演) Optical characterization of vertically aligned single-walled carbon nanotube arrays	E. Einarsson, R. Xiang, Z. Zhang, Y. Murakami and S. Maruyama

2	2009.6.7	WONTON09	High-Precision Selective Deposition of Catalyst for Facile Localized Growth of Single Walled Carbon Nanotubes	R. Xiang, T. Wu, E. Einarsson, Y. Suzuki, Y. Murakami, J. Shiomi, S. Maruyama
3	2009.6.10	WONTON09	(招待講演) Spectral features due to dark exciton in photoluminescence map of single-walled carbon nanotubes	S. Maruyama, Y. Miyauchi and Y. Murakami
4	2009.6.25	10th Int. Conf. Science Application Nanotubes (NT09)	Precisely Localized As-grown Single Walled Carbon Nanotubes for Facile Fabrication of Field Effect Transistor Device	S. Aikawa, R. Xiang, E. Einarsson, J. Shiomi, E. Nishikawa, S. Maruyama

他7件(合計11件)

(c) 表彰等

平成21年度

	発表日	内容	タイトル等	受賞者等
1	2009.4.25	中国留学生指導	感謝状(中華人民共和国大使館)	丸山 茂夫
2	2009.5.11	垂直配向単層カーボンナノチューブ応用の実現に向けて	産業タイムズ社賞	Erik Einarsson, Rong Xiang, Jun Okawa, Shigeo Maruyama

(d) その他特記事項

平成19年度

	発表日	内容	タイトル等	発表者等
1	2008.3.3	日刊工業新聞	東大、単層カーボンナノチューブの成長促進法を解明	丸山 茂夫

(e) 特許

なし

「CNT成長技術の研究開発」(九州大学)

(2) サファイア基板上での高密度配向成長の実現

(3) シリコンウェハ上のCNT配向成長の実現

(a) 投稿論文

平成20年度

	発表日	発表媒体	発表タイトル	発表者
1	2008.12.3	J. Am. Chem. Soc., 130, 17264 (2008).	Unidirectional growth of single-walled carbon nanotubes	N. Ishigami et al.
2	2009.02.03	Appl. Phys. Lett., 94, 53113 (2009).	Top-down approach to align single-walled carbon nanotubes on silicon substrate	C. M. Orofeo et al.
3	2009.02.26	J. Phys. Chem. C, 112, 18350 (2009)	Horizontally aligned growth of single-walled carbon nanotubes on surface modified silicon wafer	N. Yoshihara et al.

平成 21 年度

	発表日	発表媒体	発表タイトル	発表者
1	2008.05.01	化学工業, 60, 348 (2009)	単層カーボンナノチューブの 水平配向成長とデバイス応用	吾郷浩樹

(b) 学会発表

平成 19 年度

	発表日	学会名	発表タイトル	発表者
1	2008.03.24	日本物理学会第63回年 次大会	(招待講演) 成長および配向制御 - 単結 晶表面上での水平配向成長 -	吾郷浩樹

平成 20 年度

	発表日	学会名	発表タイトル	発表者
1	2008.05.07	ナノ学会第6回大会	表面原子配列によってプログ ラムされた単層カーボンナノチ ューブの配向成長	吾郷浩樹 他
2	2008.08.27	第35回フラーレン・ナ ノチューブ総合シンポ ジウム	Unidirectional growth of single-walled carbon nanotubes	N. Ishigami et al.
3	2008.08.28	第35回フラーレン・ナ ノチューブ総合シンポ ジウム	Growth of Horizontally-Aligned Single-Walled Carbon Nanotubes on Surface Modified Silicon Substrate	N. Yoshihara et al.
4	2008.09.02	2008年秋季 第69回応 用物理学会学術講演会	(招待講演) 水平配向カーボンナノチュー ブの新展開	吾郷浩樹 他
5	2008.09.04	2008年秋季 第69回応 用物理学会学術講演会	単層カーボンナノチューブの 一方向成長	石神直樹 他
6	2008.09.04	2008年秋季 第69回応 用物理学会学術講演会	表面処理したシリコン基板上 での単層カーボンナノチューブ の水平配向成長	吉原直記 他
7	2008.10.30	21st International Microprocess and Nanotechnology Conference (MNC2008)	Growth of horizontally aligned single-walled carbon nanotubes on surface modified silicon substrate	N. Yoshihara et al.
8	2008.12.01	MRS 2008 Fall Meeting	Growth mechanism, characterization, and structure control of aligned carbon nanotubes on sapphire	H. Ago et al.
9	2008.12.01	MRS 2008 Fall Meeting	Unidirectional growth of single-walled carbon nanotubes on sapphire	N. Ishigami et al.
10	2008.12.11	IUMRS-ICA 2008	(招待講演) Synthesis and Characterization of Horizontally-Aligned Single-Walled Carbon Nanotubes	H. Ago

11	2009.01.26	九大応力研ワークショップ	(招待講演) 単結晶基板上での単層カーボンナノチューブの水平配向成長	吾郷浩樹
12	2009.03.04	第36回フラーレン・ナノチューブ総合シンポジウム	Top-down approach to align single-walled carbon nanotubes on silicon substrate	C. M. Orofeo et al.

平成 21 年度

	発表日	学会名	発表タイトル	発表者
1	2009.04.02	2009年春季第56回応用物理学関係連合講演会	トップダウン的手法に基づくシリコンウエハー上での単層ナノチューブの配向成長	吾郷浩樹 他
2	2009.06.11	CNTNE2009 (International Symposium on Carbon Nanotube Nanoelectronics 2009)	(招待講演) Growth mechanism, characterization, and structure control of aligned carbon nanotubes	H. Ago
3	2009.06.19	Global COE International Workshop	(招待講演) Synthesis and application of horizontally aligned single-walled carbon nanotubes	H. Ago

(c) 表彰等

平成 20 年度

	発表日	内容	タイトル等	受賞者等
1	2008.04.15	平成20年度 文部科学大臣表彰 若手科学者賞	カーボンナノチューブの成長と機能化の研究	吾郷浩樹
2	2008.05.09	ナノ学会第6回大会 産業タイムズ社賞	表面原子配列によってプログラムされた単層カーボンナノチューブの配向成長	吾郷浩樹 他

(d) その他特記事項

なし

(e) 特許

(国内特許)

平成 20 年度

出願： 3 件

登録： 0 件

「CNTデバイスの局所評価技術の研究開発」(東京大学生産技術研究所)

(a) 投稿論文

平成 21 年度

	発表日	発表媒体	発表タイトル	発表者
1	2009.06	Ultramicroscopy, 109 , 963-967 (2009)	Improvement of KFM performance by intermittent bias application method and by sampling detection of cantilever deflection	Takuji Takahashi, Tadahisa Matsumoto and Shiano Ono

(b) 学会発表

平成 19 年度

	発表日	学会名	発表タイトル	発表者
1	2008.03.29	第55回応用物理学関係 連合講演会、29a-Q-12、 千葉 (2008)	「間欠バイアスKFM を利用し た静電引力の距離依存性に関す る検討」	松本忠久、小野志亜之、 高橋琢二

平成 20 年度

	発表日	学会名	発表タイトル	発表者
1	2008.06.23	International Scanning Probe Microscopy Conference (Seattle 08), P-18, Seattle, USA, June (2008)	Improvement of KFM Performance by Intermittent Bias Application Method and by Sampling Detection of Cantilever Deflection	Takuji Takahashi, T. Matsumoto, and Shiano Ono
2	2008.07.22	International Conference on Nanoscience+Technology (ICN+T 2008), SP-TuM12, Keystone, USA (2008)	Intermittent Bias Application Method for High Performance KFM	Takuji Takahashi, T. Matsumoto and Shiano Ono
3	2008.09.09	UC Santa Barbara – University of Tokyo Workshop; P-21, Santa Barbara, September, (2008)	Nano-probing Techniques for Electrical and Optical Characterization of Nanostructures	Takuji Takahashi, Tadahisa Matsumoto, Daisuke Saida, and Shiano Ono
4	2008.12.11	16th International Colloquium on Scanning Probe Microscopy (ICSPM16), S4-5, Atagawa, Japan (2008)	FIB-processed Cantilever for Lowering Torsional Spring Constant	Masayuki Ato and Takuji Takahashi
5	2008.12.12	16th International Colloquium on Scanning Probe Microscopy (ICSPM16) , S5-2 Atagawa, Japan (2008)	Electrical Characterization by Magnetic Force Microscopy on Individual Channels in a Carbon Nanotube Field-Effect Transistor	Masayuki Ato, Yuki Okigawa, Takashi Mizutani and Takuji Takahashi
6	2008.09.04	第69回応用物理学学会学 術講演会、4p-L-7、名古 屋 (2008)	「FIB加工によるねじれ変位強 調型カンチレバーの作製」	阿登正幸、高橋 琢二

平成 21 年度

	発表日	学会名	発表タイトル	発表者
1	2009.03.30	第56回応用物理学関係 連合講演会	磁気力顕微鏡によるマルチ チャンネル型CNT-FETの電気伝導特 性評価	阿登正幸, 沖川侑揮, 水谷 孝, 高橋琢二
2	2009.05.05	IEEE International Magnetics Conference (Intermag 2009), AB-04, Sacramento, USA (2009)	Individual channel conductance in a carbon nanotube field-effect transistor studied by magnetic force microscopy	Takuji Takahashi, Masayuki Ato, Yuki Okigawa and Takashi Mizutani
3	2009.06.10	International Symposium on Carbon Nanotube Nanoelectronics, 2P-20, Matsushima, Japan (2009)	Electrical Properties of Individual Carbon Nanotube Channels in a Field Effect Transistor Studied by Magnetic Force Microscopy	Masayuki Ato, Yuki Okigawa, Takashi Mizutani and Takuji Takahashi
4	2009.06.11	International Scanning Probe Microscopy Conference (Madrid 2009), Oral 35, Madrid, Spain (2008)	Characterization of Individual Carbon Nanotube Channels in a Field-effect Transistor by Means of Magnetic Force Microscopy	Takuji Takahashi, Masayuki Ato, Yuki Okigawa and Takashi Mizutani

(c) 表彰等

なし

(d) その他特記事項

なし

(e) 特許

なし

- (2)「シリコンプラットフォーム上 - 族半導体チャネルトランジスタ技術の研究開発」

(a) 投稿論文

平成 20 年度

	発表日	発表媒体	発表タイトル	発表者
1	2008.11.15	<i>J. Crystal Growths.</i> , Vol. 310, Issue 23, pp. 4768-4771	Effect of Ga content on crystal shape in micro-channel selective-area MOVPE of InGaAs on Si	M. Deura, T. Hoshii, M. Takenaka, S. Takagi, Y. Nakano, and M. Sugiyama
2	2008.11.15	<i>Journal of Crystal Growth</i> , Vol. 310, Issue23, pp. 4808- 4812	<i>In situ</i> passivation of GaAs surface with aluminum oxide with MOVPE	Y. Terada, M. Deura, Y. Shimogaki, M. Sugiyama, and Y. Nakano
3	2008.6.11	<i>Phys. Stat. Sol.</i> , Vol.C-5, No.9, pp.2733 -2735	Epitaxial lateral overgrowth of InGaAs on SiO ₂ from (111) Si micro channel areas	T. Hoshii, M. Deura, M. Sugiyama, R. Nakane, S. Sugahara, M. Takenaka, Y. Nakano, and S. Takagi
4	2008.12.26	<i>Appl. Phys. Express.</i> , Vol. 2, 011101	Dislocation-free InGaAs on Si(111) using micro-channel selective-area metalorganic vapor phase epitaxy	M. Deura, T. Hoshii, T. Yamamoto, Y. Ikuhara, M. Takenaka, S. Takagi, Y. Nakano, and M. Sugiyama

平成 21 年度

	発表日	発表媒体	発表タイトル	発表者
1	2009. 5.24	<i>ECS Trans.</i> , Vol. 19, no. 5, pp. 9-20	Ge/III-V Channel Engineering for future CMOS	S. Takagi, M. Sugiyama, T. Yasuda and M. Takenaka
2	2009.4.20	<i>Jpn. J. Appl. Phys.</i> , Vol. 48, no. 4, 04C093	Investigation of InAlAs oxide/InP metal-oxide-semiconductor structures formed by wet thermal oxidation	S. Nakagawa, M. Yokoyama, O. Ichikawa, M. Hata, M. Tanaka, M. Takenaka and S. Takagi

(b) 学会発表

平成 19 年度

	発表日	学会名	発表タイトル	発表者
1	2008.3.30	第 55 回応用物理学会 関係連合学術講演会	SiO ₂ 蒸着膜を用いた InP MIS 界面特性	灰本隆志、竹中充、高木信 一、
2	2008.3.28.	第 55 回応用物理学会 関係連合学術講演会	微小領域選択成長による Si(111)基板上への InAs ピ ラーの形成	星井拓也、出浦桃子、杉山 正和、中根了昌、菅原聡、 竹中充、中野義昭、高木信 一、
3	2008.3.29	第 55 回応用物理学会	MOVPE における in situ 硫	寺田雄紀，出浦桃子，杉山

		関係連合学術講演会	黄被覆による GaAs(001)表面の酸化抑制	正和, 霜垣幸浩, 中野義昭,
4	2008.3.19	化学工学会第 73 年会	微小領域選択成長による Si 上 III/V 化合物半導体層の形成	出浦桃子、星井拓也、杉山正和、中根了昌、菅原聡、竹中充、高木信一、中野義昭
5	2008.1.14-15	ゲートスタック研究会 材料・プロセス・評価の物理 (第 13 回研究会)	高移動度チャンネル MOS トランジスタ技術の現状と将来 (プレナリートーク)	高木信一

平成 20 年度

	発表日	学会名	発表タイトル	発表者
1	2009.2.17	First International Symposium on Atomically Controlled Fabrication Technology - Surface and Thin Film Processing -,	Advanced Nano CMOS Platform using Ge/III-V Channels (招待講演)	S. Takagi, M. Sugiyama and M. Takenaka,
2	2009.3.20	International Semiconductor Technology Conference,	In situ passivation of InP surface using H ₂ S by MOVPE	H. L. Lu, Y. Terada, M. Deura, Y. Shimogaki, Y. Nakano, and M. Sugiyama
3	2008.12	IEEE Semiconductor Interface Specialists conference (SISC 08)	Improvement of MIS interfacial properties by direct nitridation of InP surfaces,	T. Haimoto, T. Hoshii, M. Takenaka and S. Takagi
4	2008.9	International Conference on Solid State Devices and Materials (SSDM 08)	Fabrication of III-V MOS structure by using selective oxidation of InAlAs,	S. Nakagawa, M. Yokoyama, O. Ichikawa, M. Hata, M. Tanaka, M. Takenaka, S. Takagi,
5	2008.9.15	38th European Solid-State Device Research Conference (ESSDERC), Tutorials	High mobility channel MOSFET (招待講演)	S. Takagi,
6	2008.9.19	Workshop on Germanium and III-V MOS Technology, 38th European Solid-State Device Research Conference (ESSDERC)	Devices for high performance CMOS (招待講演)	S. Takagi,
7	2008.9.9-11	2008 International Conference	Understanding and Engineering of	S. Takagi,

		on Simulation of Semiconductor Processes and Devices (SISPAD)	Carrier Transport in Advanced MOS Channels (プレナリー講演)	
8	2008.6	International Conference of MOVPE (ICMOVPE 08)	Effect of Ga content on crystal shape in micro-channel selective-area MOVPE of InGaAs on Si	M. Deura, T. Hoshii, M. Sugiyama, R. Nakane, M. Takenaka, S. Sugahara, S. Takagi, and Y. Nakano,
9	2008.6.1-6	14th International Conference of Metalorganic Vapor Phase Epitaxy	In situ passivation of GaAs surface with aluminum oxide with MOVPE	Y. Terada, M. Deura, Y. Shimogaki, M. Sugiyama, and Y. Nakano,
10	2008.4.21-23	2008 International Symposium on VLSI Technology, Systems, and Applications (VLSI-TSA)	Advanced Nano CMOS Platform using Carrier-Transport-Enhanced Channels (招待講演)	S. Takagi,
11	2008.4.14-17	4th International Nanotechnology Conference on Communication and Cooperation (INC4)	High Performance Nano CMOS Platform utilizing carrier transport enhancement (招待講演)	S. Takagi,
12	2008.12	IEEE Semiconductor Interface Specialists conference (SISC 08)	Impact of Cation Composition and Substrate Orientation on Electrical Properties of ALD-Al ₂ O ₃ /III-V Interfaces	T. Yasuda, N. Miyata, H. Ishii, T. Itatani, O. Ichikawa, N. Fukuhara, M. Hata, A. Ohtake, T. Haimoto, T. Hoshii, M. Takenaka and S. Takagi,
13	2008.7.30-8.13	NSC-JST Nano Device Workshop	Interface Engineering for III-V MISFETs	N. Miyata, T. Yasuda and A. Ohtake,
14	2009.3.31	第56回応用物理学関係連合講演会	ECR スパッタ SiO ₂ 膜を用いた InGaAs MOS キャパシタの界面特性向上	星井拓也, 横山正史, 山田永, 秦雅彦, 安田哲二, 竹中充, 高木信一,
15	2009.3.31	第56回応用物理学関係連合講演会	III-V チャネルの MIS 特性におけるバレル物性と界面構造の影響	安田哲二, 宮田典幸, 石井裕之, 板谷太郎, 山田永, 福原昇, 秦雅彦, 大竹晃浩, 竹中充, 高木信一,
16	2009.3.30.	第56回応用物理学関係連合講演会	III-V nMOSFET 実現に向けた埋め込み再成長 n-InPS/D 形成	竹中充, 武田浩司, 星井拓也, 杉山正和, 中野義昭, 高木信一
17	2009.3.18	化学工学会第74年会	Si 上 InGaAs の微小領域選択 MOVPE における横方向成長促進と均一性向上	出瀬桃子, 星井拓也, 竹中充, 高木信一, 中野義昭, 杉山正和
18	2009.3.9-19	電気学会電子デバイス研	化合物半導体 MOSFET の研究開	高木信一

		研究会EDD-09-40	発進方向と将来展望 (招待講演)	
19	2009.1.23-24,	ゲートスタック研究会材料・プロセス・評価の物理 (第14回研究会)	III-Vチャンネル上への高品質MIS界面の形成 (招待講演)	安田 哲二
20	2008.9.26	第40回化学工学会秋季大会	MOVPEにおける酸化アルミニウムによるGaAs(100)面のin situパッシベーション	寺田 雄紀, 出浦 桃子, 霜垣 幸浩, 杉山 正和, 中野 義昭,
21	2008.9.26	日本学術振興会第147委員会第102回研究会	Si基板上InGaAsの微小領域選択成長	杉山 正和, 出浦 桃子, 星井 拓也, 竹中 充, 高木 信一, 中野 義昭,
22	2008.9.4	第69回応用物理学会学術講演会	InP表面の直接窒化によるMIS界面特性の改善	灰本隆志, 星井拓也, 竹中充, 高木信一,
23	2008.9.4	第69回応用物理学会学術講演会	微小領域選択MOVPEにおけるSi上InGaAsのGa組成と結晶構造	出浦桃子, 星井拓也, 山本剛久, 幾原雄一, 竹中充, 高木信一, 中野義昭, 杉山正和
24	2008.9.4	第69回応用物理学会学術講演会	微小領域選択MOVPEにおけるSi上InGaAsの横方向成長過程	出浦 桃子, 星井 拓也, 竹中 充, 高木 信一, 中野 義昭, 杉山 正和,
25	2008.9.3	第69回応用物理学会学術講演会	アルミニウム原料を用いたGaAs(100)面のMOVPE内in situパッシベーション	寺田 雄紀, 出浦 桃子, 霜垣 幸浩, 杉山 正和, 中野 義昭,
26	2008.9.4	第69回応用物理学会学術講演会	InGaAs上へのAl ₂ O ₃ のALD成長による良好なMIS界面特性の実現	安田 哲二, 宮田 典幸, 石井 裕之, 板谷 太郎, 市川 磨, 福原 昇, 秦 雅彦, 大竹 晃浩, 灰本 隆志, 星井 拓也, 竹中 充, 高木 信一
27	2008.7.10-11	第72回半導体集積回路技術シンポジウム電気化学会電子材料委員会	新チャンネル材料を使った高電流駆動CMOS デバイス技術 (招待講演)	高木信一
28	2008.7.9-11	第27回電子材料シンポジウム	微小領域選択MOVPE におけるSi上InGaAs の成長機構に対するGa組成の影響	出浦桃子, 星井拓也, 竹中充, 高木信一, 中野義昭, 杉山正和
29	2008.7.9-11	第27回電子材料シンポジウム	MOVPEにおける酸化アルミニウムを用いたGaAs表面のin situパッシベーション	寺田 雄紀, 出浦 桃子, 霜垣 幸浩, 中野 義昭, 杉山 正和

30	2008.6.13	日本学術振興会第145委員会第114回研究会明治大学駿河台キャンパス	Si(111)基板上InGaAsチャンネル層の微小領域選択成長	杉山 正和, 出浦 桃子, 星井 拓也, 竹中 充, 高木 信一, 中野 義昭,
31	2008.6.6	VDECデザイナーズ・フォーラム2008	デバイス技術者から回路設計者へのメッセージ~チャンネルエンジニアリングによる高性能CMOSデバイス技術 (招待講演)	高木信一
32	2008.6.9	電子情報通信学会シリコン材料・デバイス(SDM)研究会ゲート絶縁膜 容量膜 機能膜およびメモリ技術(応用物理学会、シリコンテクノロジー分科会、第101回研究集会「ゲートスタック構造の新展開:高移動度チャンネル技術を中心に」)	[チュートリアル講演] 高性能CMOSのための高移動度チャンネル技術の現状と展望 (招待講演)	高木信一
33	2008.6.19-20	SEMI Forum Japan 2008テクニカルセミナーフロントエンドプロセスセミナー - 32nmノードデバイスに向けた、最先端フロントエンドプロセス -	III-V族半導体チャンネルMOSトランジスタ技術 (招待講演)	高木信一

平成 21 年度

1	2009. 11. 30 - 12. 4. 発表予定	2009 MRS Fall Meeting Symposium A: High-k Dielectrics on Semiconductors with High Carrier Mobility	Relationship between Interface Structures and Electrical Properties in the High-k/III-V System (招待講演)	T. Yasuda, N. Miyata, Y. Urabe, H. Ishii, T. Itatani, H. Yamada, N. Fukuhara, M. Hata, A. Ohtake, M. Yokoyama, T. Hoshii, M. Takenaka and S. Takagi
2	2009.9.13-16 発表予定	2009 Custom Integrated Circuits Conference (CICC)	Advanced Nano CMOS Platform using High Mobility Channels for	S. Takagi

			Realizing High Performance and Low Power Consumption LSIs (招待講演)	
3	2009.10. 発表予定	Solid State Devices and Materials (SSDM09)	Metalorganic vapor phase epitaxy of GaAs with AIP surface passivation layer for improved MOS characteristics	Y. Terada, M. Deura, Y. Shimogaki, Y. Nakano, and M. Sugiyama
4	2009.10.4-9 発表予定	Symp. CVD-XVII & EUROCVD-17, 216th Meeting of The Electrochemical Society,	In situ monitoring of the initial nucleation for the formation of uniform InGaAs micro-discs on Si	M. Deura, Y. Kondo, T. Hoshii, M. Takenaka, S. Takagi, Y. Nakano and M. Sugiyama,
5	2009.8.12 発表予定	14th U.S. Biennial Workshop on Organometallic Vapor Phase Epitaxy	Twin-free InGaAs thin layer on Si by multi-step micro-channel selective-area MOVPE	M. Deura, Y. Kondo, T. Hoshii, M. Takenaka, S. Takagi, Y. Nakano, and M. Sugiyama
6	2009.8.12 発表予定	14th U.S. Biennial Workshop on Organometallic Vapor Phase Epitaxy	Initial growth of InAs on P-terminated Si(111) surface to promote uniform lateral growth of InGaAs micro-discs on patterned Si	Y. Kondo, M. Deura, T. Hoshii, M. Takenaka, S. Takagi, Y. Nakano, M. Sugiyama
7	2009.8.12. 発表予定	14th US Biennial workshop on Organometallic Vapor Phase Epitaxy	In situ anti-oxidation treatment in GaAs MOVPE by As desorption and AIP passivation	Y. Terada, M. Deura, M. Sugiyama, and Y. Nakano
8	2009.6.22-24	67th Device Research Conference (DRC)	Metal Source/Drain Inversion-mode InP MOSFETs	S. H. Kim, S. Nakagawa, T. Haimoto, R. Nakane, M. Takenaka and S. Takagi,
9	2009.6	VLSI symposium	Demonstration of metal S/D III-V-OI MOSFETs on a Si substrate using direct wafer bonding	M. Yokoyama, M. Takenaka, T. Yasuda, H. Takagi, H. Yamada, N. Fukuhara, M. Hata, M.

				Sugiyama, Y. Nakano and S. Takagi,
10	2009.5.24-29	1st International Symposium on Graphene and Emerging Materials for Post-CMOS Applications, 215th Meeting of The Electrochemical Society,	Ge/III-V Channel Engineering for future CMOS (招待講演)	S. Takagi, M. Sugiyama, T. Yasuda and M. Takenaka,
11	2009.5.10-14	21st International Conference on Indium Phosphide and Related Materials (IPRM)	Source/drain formation by using epitaxial regrowth of n+InP for III-V nMOSFETs	M. Takenaka, K. Takeda, T. Hoshii, T. Tanemura, M. Sugiyama, Y. Nakano, and S. Takagi,
12	2009.5.10-14	21st International Conference on Indium Phosphide and Related Materials (IPRM)	Uniform InGaAs Micro-Discs on Si by Micro-Channel Selective-Area MOVPE	M. Deura, T. Hoshii, M. Sugiyama, M. Takenaka, S. Takagi and Y. Nakano,
13	2009.9 発表予定.	第70回応用物理学会学術講演会	ALD Al ₂ O ₃ を埋め込み層としたIII-V-On-Insulator構造の形成とバックゲートMISFET特性	安田 哲二, 高木 秀樹, 横山 正史, 石井 裕之, 卜部 友二, 山田 永, 秦 雅彦, 竹中 充, 高木 信一,
14	2009.9. 発表予定	第70回応用物理学会学術講演会	InP/InGaAs埋め込みチャネルを持つMIS構造の界面特性	安田哲二, 卜部友二, 石井裕之, 宮田典幸, 板谷太郎, 山田永, 福原昇, 秦雅彦, 竹中充, 高木信一
15	2009.9. 発表予定	第70回応用物理学会学術講演会	硫化アンモニウム溶液処理したIII-V表面上のMIS界面評価	卜部友二, 宮田典幸, 安田哲二, 石井裕之, 板谷太郎, 山田永, 秦雅彦, 竹中充, 高木信一,
16	2009.9. 発表予定	第70回応用物理学会学術講演会	硫化アンモニウム溶液処理によるInGaAs	石井裕之, 卜部友二, 板谷太郎, 安田哲二, 宮田

			n-MISFETの特性改善	典幸, 山田永, 福原昇, 秦雅彦, 横山正史, 竹中充, 高木信一,
17	2009.9. 発表予定	第70回応用物理学 会学術講演会	界面窒化によるECRスパ ッタSiO ₂ /InGaAs MOSキ ャパシタの界面特性向上	星井拓也、横山正史、山 田永、秦雅彦、安田哲二 、竹中充、高木信一、
18	2009.9. 発表予定	第70回応用物理学 会学術講演会	InAlAs酸化界面制御層を 用いたInP MOS界面特性 の向上	中川翔太, 横山正史, 山 田永, 秦雅彦, 竹中充, 高木信一、
19	2009.9. 発表予定	第70回応用物理学 会学術講演	メタルソース・ドレイン を用いたInP MOSFETの 作製と電気特性	金相賢, 中川翔太, 灰本 隆志, 中根了昌, 竹中充 , 高木信一、
20	2009.9. 発表予定	第70回応用物理学 会学術講演会	基板貼り合わせによるSi 基板上メタル S/D III-V-OI n-MOSFETの移 動度向上とp-MOSFET動 作	横山正史, 安田哲二, 山 田永, 福原昇, 秦雅彦, 杉山正和, 中野義昭, 竹 中充, 高木信一、
21	2009.9. 発表予定	第70回応用物理学 会学術講演会	MOVPEにおけるin situ AIPパッシベーションに よるGaAs 表面準位抑制	寺田雄紀, 出浦桃子, 霜 垣幸浩, 竹中充, 高木信一 , 中野義昭, 杉山正和、
22	2009.9. 発表予定	第70回応用物理学 会学術講演会	微小領域選択MOVPE に よるSi 上InGaAs 結晶最 表部における双晶消滅層 の形成と評価	出浦桃子, 近藤佳幸, 竹 中充, 高木信一, 中野義 昭, 杉山正和、
23	2009.9. 発表予定	第70回応用物理学 会学術講演会	微小領域選択MOVPE に おける表面P 終端Si か らのInAs 均一核発生	近藤佳幸, 出浦桃子, 竹 中充, 高木信一, 中野義 昭, 杉山正和、
24	2009.9. 発表予定	第70回応用物理学 会学術講演会	直接基板接合によるSi基 板上III-V CMOSラン ジスタ (招待講演)	竹中充、横山正史、杉山 正和、中野義昭、高木信 一、
25	2009.9.16- 18 発表予 定	第41回化学工学会 秋季大会	微小領域選択MOVPE に おけるSi 上InGaAs の原 子構造と光学特性解析	出浦桃子, 近藤佳幸, 星 井拓也, 竹中充, 高木信 一, 中野義昭, 杉山正和
26	2009.9.16- 18 発表予	第41回化学工学会 秋季大会	MOVPE 微小領域選択成 長におけるSi 上InAs 核	近藤佳幸, 出浦桃子, 竹中充, 高木信一, 中

	定		発生の成長条件依存性	野義昭, 杉山正和,
27	2009.9.16-18発表予定	第41回化学工学会 秋季大会	AIPおよびH ₂ Sを用いた GaAs表面のMOVPE反応 炉内in situパッシベーション	寺田雄紀, 出浦桃子, 霜垣幸浩, 杉山正和, 中野義昭,
28	2009.7.21	応用物理学会シリ コンテクノロジー 分科会第115回研究 集会	基板貼り合わせを用いた Si 基板上メタル S/D III-V-On-Insulator MOSFETの作製とその動 作実証 (依頼講演)	横山正史, 安田哲二, 高木秀樹, 山田永, 福原昇, 秦雅彦, 杉山正和, 中野義昭, 竹中充, 高木信一,
29	2009.7.8-10	電子材料シンポジ ウム (EMS28)	Improvement in uniformity of InGaAs micro-discs on Si using multi-step growth in micro-channel selective-area MOVPE	M. Deura Y. Kondo, T. Hoshii, M. Takenaka, S. Takagi, Y. Nakano and M. Sugiyama,
30	2009.7.8-10	電子材料シンポジ ウム (EMS28)	Effect of initial nucleation on growth conditions of InAs on Si by micro- channel selective-area MOVPE	Y. Kondo, M. Deura, M. Takenaka, Y. Nakono, M. Sugiyama
31	2009.7.8-10	電子材料シンポジ ウム (EMS28)	Suppression of GaAs(001) surface oxidation by in situ H ₂ S treatment and aluminum termination with MOVPE	Y. Terada, M. Deura, S. Takagi, Y. Nakano and M. Sugiyama,
32	2009.7.8-10	電子材料シンポジ ウム (EMS28)	CMOSプラットフォーム 上のIII-V MOSトランジ スタ技術 (招待講演)	高木信一,
33	2009.4.2.	第56回応用物理学 関係連合講演会	MOVPE におけるin situ H ₂ S 処理およびAl終端 処理によるGaAsの表面 酸化抑制	寺田雄紀, 出浦桃子, 霜垣幸浩, 杉山正和, 中野義昭
34	2009.4.2.	第56回応用物理学 関係連合講演会	微小領域選択MOVPEに おけるSi上InAs核発生の	近藤佳幸, 出浦桃子, 竹中充, 高木信一, 中野義

			成長条件依存性	昭, 杉山正和
35	2009.4.2.	第56回応用物理学 関係連合講演会	多段階成長を用いた微小 領域選択MOVPEにおけ るSi上InGaAsの面内均一 化	出浦桃子, 近藤佳幸, 星 井拓也, 竹中充, 高木信 一, 中野義昭, 杉山正和
36	2009.4.1	第56回応用物理学 関係連合講演会	高性能III-V MISFETに向 けた界面制御技術 (招待講演)	宮田典幸, 石井裕之, 板 谷 太郎, 安田哲二, 大 竹晃浩, 山田永, 福原昇 , 秦雅彦,
37	2009.4.1	2009年春季 第56回 応用物理学関係連 合講演会	InGaAs/InP(001) 上 へ の n-MISFETの試作	石井裕之, 板谷太郎, 安 田哲二, 宮田典幸, 山田 永, 福原昇, 秦雅彦, 竹 中充, 高木信一,
38	2009.4.1.	第56回応用物理学 関係連合講演会	超薄膜III-V-OI MOSFET 実現に向けたチャネルお よび接合形成技術 (招待講演)	竹中充, 横山正史, 星井 拓也, 出浦桃子, 灰本隆 志, 金相賢, 杉山正和, 高木信一
39	2009.4.1.	第56回応用物理学 関係連合講演会	バリスティックMOSFET の駆動電流に与えるキャ リアの有効質量の効果	高木信一, 竹中充
40	2009.4.1.	第56回応用物理学 関係連合講演会	InP表面の直接窒化によ るMISFETの作製とその 電氣的評価	灰本隆志, 中川翔太, 星 井拓也, 竹中充, 高木信 一

(c) 表彰等

平成 20 年度

	発表日	内容	タイトル等	受賞者等
1	2008.6.6	14th International Conference of Metalorganic Vapor Phase Epitaxy Best Student Contribution Award	Effect of Ga content on crystal shape in micro-channel selective-area MOVPE of InGaAs on Si	Momoko Deura
2	2009.7.11	第27回EMS賞	微小領域選択MOVPEにお けるSi上InGaAsの成長機構 に対するGa組成の影響	出浦 桃子

3	2008.9.2	第24回応用物理学会 講演奨励賞	微小領域選択MOVPEにお けるSi上InGaAsの横方向成 長に対するGa組成の影響	出浦 桃子
---	----------	---------------------	---	-------

平成 21 年度

	発表日	内容	タイトル等	受賞者等
1	2009.5.13	21th International Conference on Indium Phosphide and Related Materials Best Student Paper finalist	Uniform InGaAs Micro-Discs on Si by Micro-Channel Selective-Area MOVPE	Momoko Deura

(d) その他特記事項

平成 20 年度

	発表日	内容	タイトル等	発表者等
1	2009.1.1	電子情報通信学会誌	ポストスケールリング時代 のCMOSデバイス技術	高木信一

平成 21 年度

	発表日	内容	タイトル等	発表者等
1	2009.6.23	プレス発表 日経産業新聞	半導体新潮流VLSIシンプ から ポスト微細化の波	東京大学
2	2009.6.16	プレス発表 日刊工業新聞	シリコン基板上にIII-V族 の化合物 東大がLSI技術	東京大学

(e) 特許

(国内特許)

平成 20 年度

出願： 3 件

登録： 0 件

(国際特許)

なし

- (3)「シリコンウェハ中の原子空孔濃度定量評価技術の研究開発」

(a) 投稿論文

平成 19 年度

	発表日	発表媒体	発表タイトル	発表者
1	2007.9	Physica B, Vols. 401-402	Observation of Vacancy in Crystalline Silicon Using Low-temperature Ultrasonic Measurements	T. Goto, H. Yamada-Kaneta, K. Sato, M. Hikin, Y. Nemoto, S. Nakamura
2	2007.9	Physica B, Vols. 401-402	Vacancies in CZ Silicon Crystals Observed by Low-temperature Ultrasonic Measurements	H. Yamada-Kaneta, T. Goto, Y. Nemoto, K. Sato, M. Hikin, Y. Saito, S. Nakamura
3	2007.11	Proc. of The Science and Technology of Silicon Materials 2007 (査読なし)	Observation of vacancy in silicon using low-temperature ultrasonic measurements	T. Goto, H. Yamada-Kaneta, M. Hikin, H. Watanabe, K. Sato, Y. Nemoto, T. Yanagisawa, S. Nakamura
4	2007.11	Proc. of The Science and Technology of Silicon Materials 2007 (査読なし)	Vacancy distribution in growth-rate-varied CZ silicon crystal observed by low-temperature ultrasonic measurements	H. Yamada-Kaneta, M. Hikin, T. Goto, Y. Nemoto, K. Sato, Y. Saito, S. Nakamura
5	2007.11	Proc. of The Science and Technology of Silicon Materials 2007 (査読なし)	Piezoelectric ZnO sputtering on crystalline silicon for low-temperature ultrasonic measurements	H. Watanabe, T. Goto, H. Yamada-Kaneta, Y. Nemoto, M. Hikin, T. Yanagisawa, S. Nakamura

平成 20 年度

	発表日	発表媒体	発表タイトル	発表者
1	2008.5	J. Mater. Sci.: Mater Electron19	Vacancies in as-grown CZ silicon crystals observed by low-temperature ultrasonic measurements	Hiroshi Yamada-Kaneta, Terutaka Goto, Yuichi Nemoto, Koji Sato, Masatoshi Hikin, Yasuhiro Saito, Shintaro Nakamura
2	2008.9	Solid State Phenomena Vols. 131-133	Vacancies in growth-rate-varied CZ silicon crystal observed by low-temperature ultrasonic measurements	H. Ymada-Kaneta, T. Goto, Y. Nemoto, K. Sato, M. Hikin, Y. Saito, S. Nakamura

平成 21 年度

	発表日	発表媒体	発表タイトル	発表者
1	2009.3	J. Phys. Conf. Series 150	Ultrasonic Study of Vacancy in Single Crystal Silicon at Low Temperatures	M. Akatsu, T. Goto, H. Y-Kaneta, H. Watanabe, Y. Nemoto, K. Mitsumoto, S.

				Baba, Y. Nagai, S. Nakamura
--	--	--	--	-----------------------------

(b)学会発表

平成 19 年度

	発表日	学会名	発表タイトル	発表者
国際学会				
1	2007.7	ICDS-24 (International Conference on Defects in Semiconductors) Albuquerque, New Mexico, USA	Invited Talk "Observation of vacancy in crystalline silicon using low-temperature ultrasonic measurements "	Terutaka Goto, Hiroshi Yamada-Kaneta, Koji Sato, Masatoshi Hikin, Yuichi Nemoto, and Shintaro Nakamura
2	2007.7	ICDS-24 (International Conference on Defects in Semiconductors) , Albuquerque, New Mexico, USA	Vacancies in CZ silicon crystals observed by low-temperature ultrasonic measurements	Hiroshi Yamada-Kaneta, Terutaka Goto, Yuichi Nemoto, Koji Sato, Masatoshi Hikin, Yasuhiro Saito, and Shintaro Nakamura
3	2007.9	DRIP XII (12th International Conference on Defects-Recognition, Imaging and Physics in Semiconductors)	Invited Talk "Vacancies in as-grown CZ silicon crystals observed by low-temperature ultrasonic measurements"	Hiroshi Yamada-Kaneta, Terutaka Goto, Yuichi Nemoto, Koji Sato, Masataka Hikin, Yasuhiro Saito, Shintaro Nakamura
4	2007.9	DRIP XII (12th International Conference on Defects-Recognition, Imaging and Physics in Semiconductors), Berlin, Germany	Invited Talk "Vacancies in growth-rate-varied CZ silicon crystal Observed by low-temperature ultrasonic measurements"	Hiroshi Yamada-Kaneta, Terutaka Goto, Yuichi Nemoto, Koji Sato, Masataka Hikin, Yasuhiro Saito, Shintaro Nakamura
5	2007.10	XII GODEST (Gettering and Defect Engineering in Semiconductor Technology) ,EMFCSC, Erice, ITALY	Vacancies in growth-rate-varied CZ silicon crystal Observed by low-temperature ultrasonic measurements	H. Yamada-Kaneta, T. Goto, Y. Nemoto, K. Sato, M.Hikin, Y.Saito, and S. Nakamura
6	2007.10	212th ECS Meeting (The Electrochemical Society) Washington, DC	Novel Ultrasonic Tool for Vacancy Observation in Crystalline Silicon - T	Goto, H. Yamada-Kaneta, K. Sato, M. Hikin, Y. Nemoto and S.Nakamura

国内学会				
1	2007.9	秋季 第68回応用物理学会学術講演会 9月4日～9月8日 北海道工業大学	シリコン原子空孔の電子軌道と電気四極子	後藤輝孝, 金田 寛, 昆金正敏, 根本祐一, 中村慎太郎
2	2007.9	秋季 第68回応用物理学会学術講演会 9月4日～9月8日 北海道工業大学	超音波測定法によるCZ-Si結晶中の原子空孔濃度分布評価	昆金正敏, 後藤輝孝, 金田寛, 根本祐一, 渡邊 肇, 柳澤達也, 中村慎太郎
3	2007.9	日本物理学会 第62回年次大会 9月21日～9月24日 北海道大学札幌キャンパス	シリコン原子空孔の電子軌道と電気四極子	後藤輝孝, 金田寛, 昆金正敏, 根本祐一, 渡邊肇, 柳沢達也, 中村慎太郎
4	2007.9	日本物理学会 第62回年次大会 9月21日～9月24日 北海道大学札幌キャンパス	低温超音波計測による商業ベースデバイス用シリコン結晶の原子空孔濃度分布測定	金田寛, 後藤輝孝, 昆金正敏, 根本祐一, 中村慎太郎
5	2007.9	日本物理学会 第62回年次大会 9月21日～9月24日 北海道大学札幌キャンパス	超音波計測によるCZシリコン中の原子空孔濃度分布の研究	昆金正敏, 後藤輝孝, 金田寛, 根本祐一, 渡邊肇, 柳澤達也, 中村慎太郎
6	2008.3	春季 第55回応用物理学関係連合講演会 3月27日～3月30日 日本大学工学部 船橋キャンパス	低温弾性ソフト化から見たシリコン原子空孔に与える高温アニールの影響: Ar, O ₂ , N ₂ , H ₂ 雰囲気	金田 寛, 渡邊 肇, 後藤 輝孝, 根本 祐一, 昆金 正敏, 柳澤 達也, 中村 慎太郎
7	2008.3	春季 第55回応用物理学関係連合講演会 3月27日～3月30日 日本大学工学部 船橋キャンパス	低温超音波計測による酸化熱処理FZシリコン結晶の原子空孔観測	渡邊肇, 後藤輝孝, 金田寛, 根本祐一, 昆金正敏, 柳澤達也, 中村慎太郎

平成 20 年度

	発表日	学会名	発表タイトル	発表者
国際学会				
1	2008.5	The E-MRS 2008 Spring Meeting (European Materials Research Society) Strasbourg (France)	Invited Talk "Low-temperature properties of vacancy in crystalline silicon"	T. Gotoa,b, H. Yamada-Kaneta, M. Hikina, H. Watanabea, Y. Nemoto, T. Yanagisawa, and S. Nakamura
2	2008.5	The E-MRS 2008 Spring Meeting (European Materials Research Society) Strasbourg (France)	Low-temperature ultrasonic measurements of vacancies in FZ silicon crystals annealed in Ar-, O ₂ -, N ₂ -, and H ₂ -ambient	Hiroshi Yamada-Kaneta, Masatoshi Hikin, Hajime Watanabe, Terutaka Goto, Yuichi Nemoto, Tatsuya Yanagisawa, Shintaro Nakamura

3	2008.8	LT25(The 25th International Conference on Low Temperature Physics) Amsterdam(Holland)	Ultrasonic Study of Vacancy in Single Crystal Silicon at Low Temperatures	M. Akatsua, T. Gotoa, H. Y-Kanetab, H. Watanabea, Y. Nemotoa, K. Mitsumotoa, S. Babaa, Y. Nagaia, and S. Nakamura
4	2008.10	Japanese Participants of the 10 th German-Japanese Symposium, Schloss Ringberg	Quadrupole effects of vacancy orbital in crystalline silicon	T.Goto
5	2008.11	The 5 th International Symposium on Advanced Science and Technology of Silicon Material, Keauhou Beach Resort, Kona, Hawaii	Single Vacancies in Silicon Crystal Observed by Low-Temperature Ultrasonic Measurements	H.Yamada-Kaneta
国内学会				
1	2008.9	日本物理学会 秋季大会 9月20日～9月23日 岩手大学上田キャンパス	超音波計測によるデバイス用シリコン結晶中の原子空孔観測	渡邊肇, 赤津光洋, 三本啓輔, 永井勇太, 馬場正太郎, 金田寛, 後藤輝孝, 根本祐一, 石井勲, 中村慎太郎
2	2008.9	日本物理学会 秋季大会 9月20日～9月23日 岩手大学上田キャンパス	シリコン単原子空孔の基底状態の再検討	小川貴史, 鶴田健二 ^A , 家富洋, 後藤輝孝, 金田寛
3	2008.9	日本物理学会 秋季大会 9月20日～9月23日 岩手大学上田キャンパス	領域10シンポジウム:シリコン結晶中の単原子空孔:量子状態解明の新たな展開と半導体技術イノベーション「低温超音波計測によるシリコン原子空孔の物性研究と産業応用」	後藤輝孝
4	2009.3	日本物理学会 第64回年次大会 3月27日～30日立教 学院池袋キャンパス	B _F -プFZシリコンの磁場中超音波計測	渡邊肇, 赤津光洋, 三本啓輔, 永井勇太, 馬場正太郎, 金田寛, 後藤輝孝, 根本祐一, 石井勲, 中村慎太郎
5	2009.3	日本物理学会 第64回年次大会 3月27日～30日立教 学院池袋キャンパス	シリコン結晶中原子空孔の歪み場・弾性特性の解析:古典及び半経験的タイトバインディング分子動力学	小川貴史, 鶴田健二, 家富洋, 後藤輝孝, 金田寛

平成 21 年度

	発表日	学会名	発表タイトル	発表者
国際学会				
1	2009.7	International Conference on Magnetism 2009 Karlsruhe, Germany	Quadrupole Effects of Vacancy Orbital in Boron-Doped Silicon	Terutaka Goto, Mitsuhiro Akatsu, Hajime Watanabe, Yuta Nagai, Shotaro Baba, Yuichi Nemoto, Hiroshi Yamada-Kaneta, Isao Ishii, Takafumi Ogawa, Keisuke Mitsumoto

(c)表彰等

平成 20 年度

	発表日	内容	タイトル等	受賞者等
1	2008.10	日報文化賞受賞 新潟日報	純粋なシリコン結晶中に存在する原子空孔を世界初観測。高品質化で産業界と連携	後藤 輝孝

(d)その他特記事項

平成 19 年度

	発表日	内容	タイトル等	発表者等
1	2007.11	国際会議主催	シリコン材料の科学と技術フォーラム2007	シリコン材料の科学と技術フォーラム実行委員会 委員長:新潟大学 金田 寛

平成 20 年度

	発表日	内容	タイトル等	発表者等
1	2008.12	国内研究会主催	パワーデバイス用シリコンおよび関連半導体に関する研究会	金田寛、後藤輝孝、鹿島一日兒他

平成 21 年度

	発表日	内容	タイトル等	発表者等
1	2009.3.16	取材協力 化学工業日報	シリコンウエハー極限微細領域で覇権 原子空孔濃度測定 上「新潟大が技術・装置開発 経産・文科省、実用化後押し」	後藤輝孝、金田寛
2	2009.3.17	取材協力 化学工業日報	シリコンウエハー極限微細領域で覇権 原子空孔濃度	後藤輝孝、金田寛

			測定 下「完全結晶ウエハー とデバイス 歩留まり, 画期的 に向上」	
--	--	--	--	--

(e)特許

(国内特許)

平成 19 年度

出願: 2 件

登録: 0件

平成 20 年度

出願: 1 件

登録: 0件

(国際特許)

平成 19 年度

出願: 8 件

登録: 0件

平成 20 年度

出願: 1 件

登録: 0件

ITイノベーションプログラム基本計画

1. 目的

我が国が目指す高度情報通信ネットワーク社会の構築に向け、経済成長戦略大綱、IT新改革戦略、科学技術基本計画及び技術戦略マップ等に基づき、情報化の進展に伴うエネルギー消費量の増大等の課題にも考慮しつつ、その基盤となる情報通信機器・デバイス等の情報通信技術を開発し、実社会への利用を促進する。また、情報システム・ソフトウェアについて品質、信頼性及び生産性の向上を推進し、組込みソフトウェア産業強化、オープンソースソフトウェアを安心して活用するための環境整備、独創的な人材の発掘等、我が国産業競争力強化のための必要な基盤整備を実施することによって、ITの利活用の深化・拡大を図り、より豊かな国民生活を実現するとともに、我が国の経済活力の向上を図ることを目的とする。

2. 政策的位置付け

「経済成長戦略大綱」(2006年7月財政・経済一体改革会議、2007年6月改訂・経済財政諮問会議報告、2008年6月改訂・経済財政諮問会議報告)

IT革新による競争力強化、IT革新を支える産業・基盤の強化に必要な研究開発の推進に対応

「第3期科学技術基本計画」(2006年3月閣議決定)国家的・社会的課題に対応した研究開発の重点推進4分野である情報通信分野、分野別推進戦略(2006年3月総合科学技術会議)における重点分野である情報通信分野に位置づけられるもの。

「IT新改革戦略」(2006年1月高度情報通信ネットワーク社会推進戦略本部)次世代のIT社会の基礎となる研究開発の推進等に対応。「ITによる地域活性化等緊急プログラム」(2008年2月)、「IT政策ロードマップ」(2008年6月)、「重点計画 - 2008」(2008年8月)等を策定。

3. 達成目標

(1) 情報経済社会を形成する上で必要不可欠な基盤技術である情報通信機器・デバイス等に関しては、「革新的な技術の確立」と「その開発成果の普及促進」を図る。

【目標】

・情報通信機器・デバイス産業の付加価値額を、2020年度において、2008年度比で、約50%増加させる。

・半導体の微細化に係る革新的基盤技術の開発(テクノロジーノード45nm以下)

・革新的な大型ディスプレイ技術の開発(消費電力を現状機器と比較して約50%以下)

・革新的なネットワーク機器技術の開発(消費電力を現状機器と比較して60%以下)

(2) 経済社会システムの信頼性確保に大きく寄与する情報システム・ソフトウェアに関しては、品質、信頼性及び生産性の向上や産学官の開発リソースの連携強化により、「人材育成」と「ソフトウェア工学の開発」等を積極的に推進する。

【目標】

- ・情報サービス・ソフトウェア産業の付加価値額を、2015年度において、2004年度比で、約25%増加させる。
- ・組み込みシステム等の不具合発生率(2011年度までに2006年度比50%減)

4. 研究開発内容

[プロジェクト]

・ITコア技術の革新

[i]世界最先端デバイスの先導開発

(中略)

(5)ナノエレクトロニクス半導体新材料・新構造技術開発 - うち新材料・新構造ナノ電子デバイス(運営費交付金)(再掲)

概要

従来の半導体は、性能の向上(高速化、低消費電力化、高集積化)を確保するために微細化が進められてきたが、絶縁性、誘電率等の物理的限界、微細化に伴う製造コストの増大など、集積度向上によるメリットが十分達成されなくなっている。

本研究開発では、シリコンで培った微細化技術やデバイス原理を活用しながら、シリコン材料の物理的限界を突破するための“新材料”および“新(デバイス)構造”の開発を行い、次世代の電子デバイス技術を確立する。

技術目標及び達成時期

2011年度までに、産業界が10年後を見据えた将来の電子デバイスを開発する際に、産業技術として活用できるかどうかの実現可能性を見極め、また技術シーズを確立する。

研究開発期間

2007年度～2011年度

(中略)

6. 研究開発の実施に当たっての留意事項

事業の全部又は一部について独立行政法人の運営費交付金により実施されるもの(事業名に(運営費交付金)と記載したものは、中期目標、中期計画等に基づき、運営費交付金の総額の範囲内で、当該独立行政法人の裁量によって実施されるものである。

7. 改訂履歴

- (1)平成12年12月28日付け、情報通信基盤高度化プログラム基本計画を制定。
- (2)平成14年2月28日付け、情報通信基盤高度化プログラム基本計画及び次世代半導体デバイスプロセス等基盤技術プログラム基本計画を制定。情報通信基盤高度化プログラム基本計画(平成12・12・27工総第12号)は廃止。
- (3)平成15年1月31日付け、情報通信基盤高度化プログラム基本計画及び次世代半導体デ

バイスプロセス等基盤技術プログラム基本計画を制定。情報通信基盤高度化プログラム基本計画(平成14・02・25産局第17号)及び次世代半導体デバイスプロセス等基盤技術プログラム基本計画(平成14・02・25産局第18号)は、廃止。

(4) 平成15年3月10日付け、情報通信基盤高度化プログラム基本計画、次世代半導体デバイスプロセス等基盤技術プログラム基本計画、次世代ディスプレイ技術開発プログラム基本計画及び情報通信基盤ソフトウェア開発推進プログラム基本計画を制定。情報通信基盤高度化プログラム基本計画(平成15・01・29産局第1号)及び次世代半導体デバイスプロセス等基盤技術プログラム基本計画(平成15・01・29産局第2号)は、廃止。

なお、情報通信機器高度化プログラム基本計画(平成15・01・29産局第1号)及び次世代半導体デバイスプロセス等基盤技術プログラム基本計画(平成15・01・29産局第2号)の一部は、次世代ディスプレイ技術開発プログラム基本計画及び情報通信基盤ソフトウェア開発推進プログラム基本計画へ移行。

(5) 平成16年2月3日付け、高度情報通信機器・デバイス基盤プログラム基本計画及び情報通信基盤ソフトウェア開発推進プログラム基本計画を制定。情報通信機器高度化プログラム基本計画(平成15・03・07産局第14号)、次世代半導体デバイスプロセス等基盤技術プログラム基本計画(平成15・03・07産局第7号)、次世代ディスプレイ技術開発プログラム基本計画(平成15・03・07産局第4号)は、高度情報通信機器・デバイス基盤プログラム基本計画に統合することとし、廃止。また、情報通信基盤ソフトウェア開発推進プログラム基本計画(平成15・03・07産局第14号)は、廃止。

(6) 平成17年3月25日付け、高度情報通信機器・デバイス基盤プログラム基本計画を制定。高度情報通信機器・デバイス基盤プログラム基本計画(平成16・02・03産局第1号)は廃止。また、平成17年3月31日付け、情報通信基盤ソフトウェア開発推進プログラム基本計画を制定。情報通信基盤ソフトウェア開発推進プログラム基本計画(平成16・02・03産局第2号)は廃止。

(7) 平成18年3月31日付け、高度情報通信機器・デバイス基盤プログラム基本計画及び情報通信基盤ソフトウェア開発推進プログラム基本計画を制定。高度情報通信機器・デバイス基盤プログラム基本計画(平成17・03・25産局第7号)及び情報通信基盤ソフトウェア開発推進プログラム基本計画(平成17・03・25産局第6号)は廃止。

(8) 平成19年4月2日付け、高度情報通信機器・デバイス基盤プログラム基本計画及び情報通信基盤ソフトウェア開発推進プログラム基本計画を制定。高度情報通信機器・デバイス基盤プログラム基本計画(平成18・03・31産局第4号)及び情報通信基盤ソフトウェア開発推進プログラム基本計画(平成18・03・31産局第5号)は廃止。

(9) 平成20年4月1日付け、ITイノベーションプログラム基本計画を制定。情報通信機器高度化・デバイス基盤プログラム基本計画(平成19・03・12産局第7号)及び情報通信基盤ソフトウェア開発推進プログラム基本計画(平成19・03・12産局第8号)は、本プログラム基本計画に統合することとし、廃止。

(9) 平成21年4月1日付け、ITイノベーションプログラム基本計画を制定。ITイノベーションプログラム基本計画(平成20・03・27産局第1号)は、廃止。

ナノテク・部材イノベーションプログラム基本計画

1. 目的

このプログラムは、情報通信、ライフサイエンス、環境、エネルギーなど、あらゆる分野に対して高度化あるいは不連続な革新(ジャンプアップ)をもたらすナノテクノロジー及び革新的部材技術を確立するとともに、その実用化や市場化を促進することで、我が国産業の国際競争力の維持・強化や解決困難な社会的課題の克服等を可能とすることを目的とする。

2. 政策的位置付け

第3期科学技術基本計画(2006年3月閣議決定)

・「ナノテクノロジー・材料分野」は、特に重点的に研究開発を推進すべき分野(重点推進4分野)の一つに指定、優先的に資源配分することとされている。

・我が国の材料技術は、基礎研究から応用研究、素材、部材の実用化に至るまでの全ての段階において世界のトップレベルを堅持しており、我が国製造業の国際競争力の源泉となっている。

「イノベーション25」(2007年6月閣議決定)

・「ナノテクノロジー・材料分野」は、中長期的に取り組むべき課題として、「1.生涯健康な社会形成」、「2.安全・安心な社会形成」、「4.世界的課題解決に貢献する社会形成」、及び「5.世界に開かれた社会形成」の分野に位置付けられている。

・所要の措置を講じていくことが必要である事項として以下の点が指摘されている。

・学際領域・融合領域における教育等人材育成、拠点形成

・社会受容を促すための積極的な取り組み

・知的財産確保のための戦略的な取り組み

「経済成長戦略大綱」(2006年7月財政・経済一体改革会議)

・「我が国の国際競争力の強化」の取り組みとして、高度な部品・材料産業やモノ作り中小企業の強化が掲げられている。

・「技術戦略マップ」の活用等により、ユーザー企業との垂直連携による研究開発を推進することを通して、我が国経済発展の基盤である高品質、高性能な部品・材料産業の強化を図ることが今後の取組として記載されている。

「新産業創造戦略2005」(2005年6月経済産業省)

・部材分野は、新産業群の創出を支える共通基盤技術として位置づけられている。

・「高度部材・基盤産業」の集積を形成していることが、「ものづくり」に不可欠な基盤技術のネットワーク化を通じた現場レベルでの迅速かつ高度な摺り合わせを可能としており、我が国「ものづくり」の強みの源泉となっていると記載されている。

3. 達成目標

・世界に先駆けて、ナノテクノロジーを活用した不連続な技術革新を実現する。

・我が国部材産業の強みを更に強化することで、他国の追随を許さない競争優位を確保するとともに部材産業の付加価値の増大を図る。

・ナノテクノロジーや高機能部材の革新を先導することで、これら部材を活用した情報通信、ライフサイエンス、環境、エネルギーなどの幅広い産業の付加価値の増大を図る。

・希少金属などの資源制約の打破、圧倒的な省エネルギー社会の実現など、解決困難な社会的課題の克服を目指す。

4. 研究開発内容

[プロジェクト]

・ナノテクノロジーの加速化領域

ナノテクノロジーを活用した不連続な技術革新を加速・促進する。

(中略)

・情報通信領域

ナノテクノロジーや革新的部材開発技術を駆使して既存技術の微細化の壁を突破し、電子デバイス・光デバイスで世界をリードするとともに、高度化された製造技術の開発を行う。

(1) ナノエレクトロニクス半導体新材料・新構造技術開発 - うち新材料・新構造ナノ電子デバイス (運営費交付金)

概要

従来の半導体は、性能の向上(高速化、低消費電力化、高集積化)を確保するために微細化が進められてきたが、絶縁性、誘電率等の物理的限界、微細化に伴う製造コストの増大など、集積度向上によるメリットが十分達成されなくなっている。

本研究開発では、シリコンで培った微細化技術やデバイス原理を活用しながら、シリコン材料の物理的限界を突破するための“新材料”および“新(デバイス)構造”の開発を行い、次世代の電子デバイス技術を確立する。

技術目標及び達成時期

2011年度までに、産業界が10年後を見据えた将来の電子デバイスを開発する際に、産業技術として活用できるかどうかの実現可能性を見極め、また技術シーズを確立する。

研究開発期間

2007年度～2011年度

(中略)

6. 研究開発の実施に当たっての留意事項

事業の全部又は一部について独立行政法人の運営費交付金により実施されるもの(事業に(運営費交付金)と記載したものは、中期目標、中期計画等に基づき、運営費交付金の総額の範囲内で、当該独立行政法人の裁量によって実施されるものである。

7. 改訂履歴

(1) 平成12年12月28日付け制定。

(2) 平成14年2月28日付け制定。材料ナノテクノロジープログラム基本計画(平成12・12・27工総第16号)は、廃止。

(3) 平成15年3月10日付け制定。ナノテクノロジープログラム基本計画(平成14・02・25産局第8号)は、廃止。

(4) 平成16年2月3日付け制定。ナノテクノロジープログラム基本計画(平成15・03・07産局第1号)は、廃止。

- (5)平成17年3月31日付け制定。ナノテクノロジープログラム基本計画(平成16・02・03産局第7号)は、廃止。
- (6)平成18年3月31日付け制定。ナノテクノロジープログラム基本計画(平成17・03・25産局第4号)は、廃止。
- (7)平成19年4月2日付け制定。ナノテクノロジープログラム基本計画(平成18・03・31産局第13号)は、廃止。
- (8)平成14年2月28日付け制定。
- (9)平成15年3月10日付け制定。革新的部材産業創出プログラム基本計画(平成14・02・25産局第9号)は、廃止。
- (10)平成16年3月7日付け制定。革新的部材産業創出プログラム基本計画(平成15・03・07産局第5号)は、廃止。
- (11)平成17年3月31日付け制定。革新的部材産業創出プログラム基本計画(平成16・03・07産局第5号)は、廃止。
- (12)平成18年3月31日付け制定。革新的部材産業創出プログラム基本計画(平成17・03・25産局第3号)は、廃止。
- (13)平成19年4月2日付け制定。革新的部材産業創出プログラム基本計画(平成18・03・31産局第14号)は、廃止。
- (14)平成20年4月1日付け、ナノテク・部材イノベーションプログラム基本計画制定。ナノテクノロジープログラム基本計画(平成19・03・20産局第1号)および革新的部材プログラム基本計画(平成19・03・19産局第4号)は、本イノベーションプログラム基本計画に統合することとし、廃止。
- (15)平成21年4月1日付け制定。ナノテク・部材イノベーションプログラム基本計画(平成20・03・24産局第1号)は、廃止。

(ITイノベーションプログラム・ナノテク・部材イノベーションプログラム)
「ナノエレクトロニクス半導体新材料・新構造ナノ電子デバイス技術開発」基本計画

1. 研究開発の目的・目標・内容

(1) 研究開発の目的

情報技術がめざましく発展している今日の社会では、情報・知識を、時間や場所の制約を受けず誰もが自由自在かつ安全に活用できる情報通信環境の実現が望まれている。また、平成20年9月に改訂された経済成長戦略大綱において、我が国の国際競争力強化のために注力すべき分野として、情報家電、ロボットなどが挙げられている。このような応用システムの基幹となる半導体集積回路(LSI)には、一層の高機能化、低消費電力化が求められている。

半導体技術がこれまでに機能、消費電力、集積度、コストにおける急速な進歩を達成してきたのは、集積回路を製造するときに使用される最小寸法を年々指数関数的に縮小する微細化技術の向上によるもので、今後も引き続き微細化技術開発を通じて、集積回路の機能あたりコストがさらに低減されIT技術のさらなる発展と経済における生産性と社会全体における生活の質の大きな改善をもたらすことが期待されている。また、ITRS及び技術戦略マップに示されている通り、LSIの性能向上には、単なる微細化のみならず、新材料、新プロセス、新構造など革新的技術の導入が不可欠で、その必要性は微細化の進展とともにますます大きくなる。すなわち、微細化によって得られてきたメリットをこれまで以上に享受しながらITを根底から支える半導体技術をさらに発展させていくために、2020年頃以後のLSIに求められる新材料、新構造、新プロセス技術の開発を実現する大学の技術シーズを発掘育成し、それらを将来の産業技術につなげていくための橋渡しを進める取り組みが必要である。

ナノエレクトロニクスは、ナノテクノロジーの最大の応用領域の一つである。一方、デジタルデバイスのCMOS構造というアーキテクチャは極めて優れているため、これが維持できる限りこれを維持することが望ましく、そうすることによりこれまで半導体の発展を支えてきた「微細化」というドライバを引き続き活用することができる。したがって次世代のLSI技術開発で取るべき方向は、「シリコンで培った微細化技術やデバイス原理をこれまで同様に活用しながら、シリコンという材料の物理的特性を十分に踏まえた上で、様々な要因に基づいて出現するデバイス性能の技術的な飽和を突破するための”新材料”、”新プロセス”、”新構造”を実現すること」である。

そこで本研究開発は、次世代の電子デバイスのために「シリコンで培った微細化技術やデバイス原理をこれまで同様に活用しながら、シリコンという材料の物理的限界を突破するための”新材料”、”新プロセス”、”新構造”を実現する」半導体技術を、ナノテクノロジーを最大限に活用することによって創生し、将来の産業応用への芽を見出すことを目的として、ITイノベーションプログラム及びナノテク・部材イノベーションプログラムの一環として実施する。

(2) 研究開発の目標

最終目標(平成23年度)

産業界が10年後を見据えた将来の集積回路システムとして展開できる電子デバイスを開発する際に産業技

術として活用できるかどうかの実現可能性を見極めることができる技術シーズを確立する。技術開発項目毎に定める最終目標と中間目標については、別紙の通り。

(3) 研究開発の内容

上記目標を達成するために、シリコンで培った微細化技術やデバイス原理をこれまで同様に活用しながら、シリコンという材料やプレーナCMOS構造の物理的特性を十分に踏まえた上で、様々な要因に基づいて出現するデバイス性能の技術的な飽和を突破し、集積回路システムとして用いることを前提として以下の”新材料”技術や”新(デバイス)構造”に関する研究開発を行う。

[委託事業]

シリコンナノワイヤ技術

シリコン CMOS の微細化が進み、チャンネルがワイヤ構造になり、その長さや断面寸法が10ナノメートル級になった際に顕在化する物理現象を積極的に取り込んだ高性能デバイス技術を開発する。具体的には、シリコンナノワイヤの加工技術、物理計測技術、電気特性計測技術、シミュレーション技術、統合設計技術を開発し、先端シリコンプロセスラインを用いたデバイス検証を行う。

- ・シリコンナノワイヤトランジスタの知識統合
- ・ナノワイヤFETの開発
- ・シリコンナノワイヤトランジスタの物性探究と集積化

次世代メモリ技術

新構造および新材料により既存メモリを代替する技術を開発する。具体的には、マルチゲート型立体構造トランジスタを用いた低消費電力SRAM技術、低消費電力・高速動作新型相変化メモリ技術、ナノギャップ不揮発メモリ技術の開発を行う。

- ・新構造FinFETによるSRAM技術の開発
- ・次世代相変化メモリ技術の開発
- ・ナノギャップ不揮発メモリ技術の開発

新材料技術

新チャンネル材料技術及び新材料評価技術を開発する。具体的には、化合物半導体チャンネルデバイス技術、カーボンナノチューブデバイス技術、シリコン中の原子空孔評価技術の開発を行う。

- ・カーボンナノチューブトランジスタ技術の開発
- ・シリコンプラットフォーム上 - 族半導体チャンネルトランジスタ技術の開発
- ・シリコンウェハ中の原子空孔濃度定量評価技術の開発

2. 研究開発の実施方式

(1) 研究開発の実施体制

本研究開発は、経済産業省により、企業、民間研究機関、独立行政法人、大学等(委託先から再委託された

研究開発実施者を含む)から公募によって研究開発実施者が選定され、共同研究契約等を締結する研究体を構築され、平成19年度より委託により実施している。平成21年度より、独立行政法人新エネルギー・産業技術総合開発機構(以下「NEDO技術開発機構」という。)が本研究開発を運営・管理するに当たっては、平成20年度までの進捗状況を踏まえた研究開発内容・計画及び実施体制の妥当性について、外部有識者による審議を含めた評価を行った上で最適な研究開発体制を構築し、委託して実施する。

共同研究開発に参加する各研究開発グループの有する研究開発ポテンシャルの最大限の活用により効率的な研究開発の推進を図る観点から、研究体にはNEDO技術開発機構が委託先決定後に委嘱する産業界を中心とするアドバイザー委員会を置き推進に関する意見を運営管理に反映させて効果的に研究開発を実施する。

(2) 研究開発の運営管理

研究開発全体の管理・執行に責任を有するNEDO技術開発機構は、経済産業省及び研究開発実施者と密接な関係を維持しつつ、プログラムの目的及び目標、並びに本研究開発の目的及び目標に照らして適切な運営管理を実施する。具体的には、必要に応じて開催するアドバイザー委員会の意見を運営管理に反映させる他、年に4回程度プロジェクトの進捗について報告を受けること等を行う。

3. 研究開発の実施期間

本研究開発の期間は、平成21年度から平成23年度までの3年間とする。本研究開発は、平成19年度から平成20年度までの2年間に経済産業省が実施した「ナノエレクトロニクス半導体新材料・新構造技術開発 - うち新材料・新構造ナノ電子デバイス」について、平成21年度より、NEDO技術開発機構の事業として実施する。

4. 評価に関する事項

NEDO技術開発機構は、技術的及び政策的観点から、研究開発の意義、目標達成度、成果の技術的意義並びに将来の産業への波及効果等について、外部有識者による研究開発の中間評価を平成21年度、事後評価を平成24年度に実施する。また、中間評価結果を踏まえ必要に応じプロジェクトの加速・縮小・中止等見直しを迅速に行う。なお、評価の時期については、当該研究開発に係る技術動向、政策動向や当該研究開発の進捗状況等に応じて、前倒しする等、適宜見直すものとする。

5. その他の重要事項

(1) 研究開発成果の取扱い

成果の普及

得られた研究成果については、NEDO技術開発機構、実施者とも普及に努めるものとする。

知的財産権の帰属

委託研究開発の成果に関わる知的財産権については、「独立行政法人新エネルギー・産業技術総合開発機構新エネルギー・産業技術業務方法書」第25条の規定等に基づき、原則として、すべて委託先に帰属させ

ることとする。

(2)基本計画の変更

NEDO技術開発機構は、研究開発内容の妥当性を確保するため、社会・経済的状況、国内外の研究開発動向、政策動向、プログラム基本計画の変更、評価結果、研究開発費の確保状況、当該研究開発の進捗状況等を総合的に勘案し、達成目標、実施期間、研究開発体制等、基本計画の見直しを弾力的に行うものとする。

(3)根拠法

本プロジェクトは、独立行政法人新エネルギー・産業技術総合開発機構法第15条第1項第2号に基づき実施する。

6.基本計画の改定履歴

平成21年3月、制定。

研究開発項目 - (1): シリコンナノワイヤトランジスタの知識統合研究開発

1. 研究開発の必要性

シングルナノ領域、即ちゲート長がサブ10nmの領域に到達すると、ゲートのチャネルに対する制御能力を最大化するために、直径がnmレベルのナノワイヤ構造をチャネルに採用することが必須になる。この領域では、量子効果が顕在化し、その利点を活かして高い性能を実現することが期待できる一方、原子レベルの構造揺らぎもデバイス特性に顕著な影響を与え、特性バラツキが今以上に深刻な課題になることが懸念される。

このため、量子効果が顕在化する特性寸法が10nm以下のナノワイヤトランジスタを対象に、高精度なデバイス試作と電気的特性評価、物理計測評価解析、デバイスシミュレーションを含む計算科学的解析を、総合的に行う。これによって、CMOSの将来形としてのナノワイヤトランジスタの特性を予測し、構造・材料・プロセスの設計を行うための基盤的知識体系を、科学的な裏付けを持って構築することを目的とする研究開発を行う。

2. 研究開発の具体的内容

(1) シリコンナノワイヤトランジスタの作製技術および特性解析に関する研究開発

ナノワイヤトランジスタを試作し、構造と特性を解析して両者の関係を定量的に把握する。シングルナノ領域でデバイス本来の特性を観測するためには、原子レベルで整ったデバイス構造を作製できることが、必要条件である。このため、ナノワイヤチャネル、高誘電率ゲートスタック及びメタルソース・ドレインの作製プロセスを開発し、電気的特性評価と物理計測評価解析を行う。

(2) ナノワイヤトランジスタの精密計測評価技術の研究開発

ナノワイヤトランジスタの動作特性は、形状や物性の変化に極めて敏感であると予想されるので、特性解析のためには原子レベル精度で3次元的に形状や物性を計測評価できる技術が必須である。この要求に応え、形状やポテンシャル分布を3次元に計測できる走査プローブ技術を開発する。さらにX線の散乱・回折を用い、基板表面上に形成した多数のナノワイヤデバイス構造の形状や内部構造を精密に評価する技術を開発する。

(3) ナノワイヤトランジスタのシミュレーション技術の研究開発

量子効果が顕在化するナノワイヤトランジスタを対象に、原子スケールの構造安定性、不純物分布、ポテンシャル分布、界面構造、電気特性を予測・解析できるシミュレーション技術を開発する。また、キャリア輸送に対する量子効果及びチャネル内やソース・ドレイン領域でのキャリア散乱をできるだけ正確に導入したナノデバイス・シミュレータを構築する。

3. 達成目標

中間目標として、平成21年度末までに以下の目標を達成する。

(1) シリコンナノワイヤトランジスタの作製技術および特性解析に関する研究開発

直径10nm級のシリコンナノワイヤ形成技術及び高誘電率ゲート絶縁膜の堆積技術とメタルソース・ドレイン形成技術を確立し、シリコンナノワイヤトランジスタの試作を行って電気特性を評価する。

(2) ナノワイヤトランジスタの精密計測評価技術の研究開発

・ナノワイヤを計測するための走査プローブ技術を開発し、原子間力顕微鏡による高アスペクト3次元形状の可視化と、孤立ナノワイヤの走査トンネル顕微鏡による計測を実現する。また、ライン&スペースパターンを基本とする擬似ナノワイヤデバイス構造に対して、X線散乱・回折法を用いて形状や内部構造の解析を行う。

(3) ナノワイヤトランジスタのシミュレーション技術の研究開発

・ナノワイヤトランジスタの構造安定性、界面構造、不純物分布、ポテンシャル分布、電気特性を解析する、要素シミュレーション技術を開発する。

・ナノワイヤトランジスタの特性評価を行うために、チャンネル領域での量子閉じ込め効果を取り入れた自己無撞着量子モンテカルロ・デバイスシミュレータを開発する。

最終目標として、平成23年度末までに以下の目標を達成する。

(1) シリコンナノワイヤトランジスタの作製技術および特性解析に関する研究開発

・表面が原子レベルで平滑な直径10nm以下のシリコンナノワイヤ形成技術、原子レベルで平坦な界面を有する高誘電率ゲート絶縁膜の堆積技術及びメタルソース・ドレイン形成技術を確立し、シリコンナノワイヤトランジスタを作製して、構造制御の効果を明らかにする。

(2) ナノワイヤトランジスタの精密計測評価技術の研究開発

・ナノワイヤの3次元走査プローブ計測により、サブnmの形状計測精度を実現する。

・絶縁体上に作製されたナノワイヤ構造のポテンシャル分布を、走査プローブで計測する技術を確立する。

・X線散乱・回折の解析により、基板表面上に周期的に形成したナノワイヤデバイスの形状及び内部構造とそれらのばらつきの評価を実現する。

(3) ナノワイヤトランジスタのシミュレーション技術の研究開発

・ナノワイヤトランジスタの構造安定性、界面構造、不純物分布、ポテンシャル分布、電気特性を予測・解析できる統合的シミュレーション技術を開発し、実験で得た実測値との比較によりその信頼性を検証する。

・自己無撞着量子モンテカルロ・デバイスシミュレータを開発し、ナノワイヤトランジスタの特性予測を実現する。

研究開発項目 - (2): ナノワイヤFETの研究開発

1. 研究開発の必要性

ゲート長微細化は2020年代で終焉を迎えることがほぼ確実な状況となって来たが、その後もロジックLSI素子としては現在の電流駆動型のCMOSFET系デバイスの性能向上を追究していくことが重要である。しかしながら、2020年代後半以降の具体的な施策は依然として明示されておらずに空白となったままで、この部分の研究・技術開発ロードマップを作成することが急務となって来ている。ロジックLSIの発展を今後も継続して行くためには、低消費電力化と高性能化への絶え間ない努力が重要であり、低電源電圧下でOFF電流を今までよりも非常に低い値に維持したままで、今まで以上の大変に高いON電流を実現できる素子技術の実現が必要である。この為の手段であるが、この時代のゲート長(5~10nm)では伝導機構が準バリスティックとなるため、ゲート長を短くしてもON電流増加は望めず他の手段を用いる必要がある。

ゲート長微細化以外の手段として、ゲート電極がチャネルを取囲む構造であるが故にOFF電流の抑制に有利なこと、ナノワイヤの特長として準1次元伝導とマルチ量子チャネルに起因する極めて高いON電流を望めることからナノワイヤ系FETが、CMOS細化終焉の後の最有力候補として注目を集めるようになってきた。しかしながらナノワイヤFETの伝導はワイヤ径、ワイヤの結晶方位、ワイヤの応力によりバンド構造が大きく変化するという大変に複雑なメカニズムに支配されるため、これらのパラメータを考慮に入れた電流・電圧特性を記述するコンパクトモデルは確立しておらず、理論的にどこまで高いON電流が得られるかすら不明の現状にある。更にワイヤ表面での散乱、ソース・ドレイン端でのキャリア注入・散乱・反跳など理論的、技術的に解決していかなければならない問題が山積している。

このため、SiナノワイヤFETを対象として、理論と実験の面からその性能を定量的に明らかにする。また、ナノワイヤFET導入の為の理論的・技術的課題を明確化し、その解決法の探索を行なう。それらの研究結果を踏まえ、実用化への本格的な研究開発を行なうためのSiナノワイヤFETのロードマップを作成することを目的とする研究開発を行う。

2. 研究開発の具体的内容

(1) Siナノワイヤの電子構造の量子論的検討

Siナノワイヤの詳細なバンド構造や金属/Siナノワイヤのショットキー界面を量子論的計算によって明らかにする。上記の結果を用いて、Siナノワイヤの物性を科学的見地から体系的に明らかにし、ロードマップ作成に繋げる。

(2) ナノワイヤFETのバリスティック制御

ワイヤFET準バリスティック伝導において高い電流駆動力を実現する手段の検討を行う。その為にON電流を理論的に見積もるコンパクトモデルを構築する。OFF電流を支配する物理的モデルは明確になっていないため、この検討も行う。

(3) SiナノワイヤFETの作製

SiナノワイヤFETの試作を行い、理論と比較することにより、コンパクトモデルの精度を高める。また、試作デバイスの構造・パタン設計、試作プロセス設計、試作の実行、試作デバイスの評価を通して、ナノワイヤFETの技術的な課題を具体的に明確化する。

(4) Siナノワイヤデバイスのロードマップ作成

上記(1)～(3)の結果に基づいてSiナノワイヤFETロードマップを作成する。本研究開発と同時に委託される関連研究開発の結果や今後国内外で発表されるであろう他機関の研究結果も含めて総合的に検討を行い、その科学的及び技術的課題を明らかにする。さらにこれらの課題を解決するための具体的施策を示し、今後の日本の研究開発体制のあるべき姿を提案する。

3. 達成目標

中間目標として、平成21年度末までに以下の目標を達成する。

(1) Siナノワイヤの電子構造の量子論的検討

- ・第一原理計算等を用いて、歪みなどによるSiナノワイヤの電子構造の変化を系統的に解析し、良好なバリスティックFET特性を得るための指針を示す。
- ・金属と半導体のナノ界面におけるショットキー障壁を第一原理計算等により見積もる。

(2) ナノワイヤFETのバリスティシティ制御

- ・バリスティック伝導に少数回の散乱を導入した場合のドレイン電流への影響を把握する。
- ・光応答・電気特性等の解析により、ナノワイヤFET中の電子ダイナミクスの特徴をモデル化する。
- ・Siナノワイヤの構造に依存したドレイン電流を明らかにし、記述する。

(3) SiナノワイヤFETの作製

- ・直径10nm級のSiナノワイヤFETの作製を行う。また、電気特性の解析によりキャリアの散乱メカニズムを考察し、プロセス上の技術課題を明確にする。
- ・Siナノワイヤと金属とのコンタクトにおける特異なシリサイド反応現象を実験により明らかにする。

(4) Siナノワイヤデバイスのロードマップ作成

- ・SiナノワイヤFETを実現するに当たり直面する技術的課題、科学的課題をタイムスケジュール上でリストアップし、解決するための方法の考察を行う。

最終目標として、平成23年度末までに以下の目標を達成する。

(1) Siナノワイヤの電子構造の量子論的検討

- ・Siナノワイヤの電子構造解析により、SiナノワイヤFET実用化に向けて解明すべき物理現象を明らかにする。
- ・金属とワイヤ状物質との間の曲率のあるナノ界面におけるショットキー障壁を第一原理計算等によって解析し、その特徴を理論的に明らかにする

(2) ナノワイヤFETのバリスティシティ制御

- ・準バリスティックSiナノワイヤFETの電圧・電流特性をコンパクトモデルで定式化する。
- ・コンパクトモデルによる解析と実験で得た実測値との比較を通じて、バリスティシティを高めるなど性能最適化のための指針を明確化し、その理論・技術上の問題点を明らかにする。

(3) SiナノワイヤFETの作製

- ・SiナノワイヤFETの作製とその性能評価を通じて、理論予測との違いを明らかにし、その技術上の課題を明確にする。

(4) Siナノワイヤデバイスのロードマップ作成

・上記の研究開発の結果および他機関の研究結果も含めた総合的な検討に基づいて、最終目的であるSiナノワイヤデバイスのロードマップを作成する。さらにこれらの課題を解決するための具体的施策を示し、そのための今後の研究開発体制のあるべき姿を提案する。

研究開発項目 - (3): シリコンナノワイヤトランジスタの物性探究と集積化の研究開発

1. 研究開発の必要性

シリコンナノワイヤトランジスタは、将来のナノスケールシリコンMOSFETの一形態として注目されているが、ナノワイヤトランジスタのワイヤ・サイズの制御性、チャンネル長の縮小化ではまだ不十分な面もあり、ナノワイヤで発現する物理現象の正確な理解、高性能化へ向けたデバイス最適構造の探求と実証など未解決な課題を多く残している。

このため、シリコンナノワイヤトランジスタ分野における上記課題を解決し、シリコンナノワイヤの物性研究とシリコンナノワイヤトランジスタの実用化に向けた基礎的データを取得することを目的とする研究開発を行う。

2. 研究開発の具体的内容

(1) 極細シリコンナノワイヤトランジスタの電気伝導探究と集積化に関する研究開発

主にチャンネルは長いナノワイヤの直径が極めて細いシリコンナノワイヤトランジスタの研究を行う。具体的には、極細シリコンナノワイヤトランジスタの試作と物性探究、ひずみによる高性能化の検討、最適レイアウトと集積化の検討を行う。

(2) 短チャンネルシリコンナノワイヤトランジスタの電気伝導探究と集積化に関する研究開発

主にナノワイヤ径はそれほど細くないがゲート長の短いシリコンナノワイヤトランジスタの研究を行う。具体的には、短チャンネルシリコンナノワイヤトランジスタの試作と物性探究、短チャンネル・少数キャリア散乱下における伝導特性の解析と高性能化の検討、最適回路形式と集積化の検討を行う。

3. 達成目標

中間目標として、平成21年度末までに以下の目標を達成する。

(1) 極細シリコンナノワイヤトランジスタの電気伝導探究と集積化に関する研究開発

ワイヤ径5 nm以下の長チャンネルシリコンナノワイヤトランジスタのアレーを作製する技術を確立する。

(2) 短チャンネルシリコンナノワイヤトランジスタの電気伝導探究と集積化に関する研究開発

短チャンネル・ナノワイヤトランジスタ、具体的にはチャンネル長50 nm以下、チャンネル径25 nm以下のシリコンナノワイヤトランジスタを作製する。

最終目標として、平成23年度末までに以下の目標を達成する。

(1) 極細シリコンナノワイヤトランジスタの電気伝導探究と集積化に関する研究開発

量子閉じ込めおよびひずみ等の効果を総合して通常のプレーナバルクMOSFETより高い移動度を示すシリコンナノワイヤトランジスタのパラメータを明らかにする。

(2) 短チャンネルシリコンナノワイヤトランジスタの電気伝導探究と集積化に関する研究開発

チャンネル長25 nm以下、チャンネル径10 nm以下のシリコンナノワイヤトランジスタを作製する。

研究開発項目 - (1): 新構造 FinFET による SRAM 技術の研究開発

1. 研究開発の必要性

微細化が進むにつれて最初に動作限界の危機に直面すると考えられている SRAM の技術課題を解決することを目指し、微細化に伴う短チャネル効果に強い FinFET と、分離された 2 つのゲートを有し閾値電圧制御可能な 4 端子 FinFET を有効に組み合わせた新規 SRAM (Flex-Pass-Gate SRAM) セルの先行基盤技術開発を行い、その原理実証と本格開発に向けた課題抽出を行うことを目的とする研究開発を行う。

2. 研究開発の具体的内容

(1) 立体構造 FinFET 技術の研究開発

リソグラフィ寸法以下の立体構造を安定的に形成し、ばらつきの少ない所望の電気特性を実現するナノレベルの構造制御技術を開発して、立体構造トランジスタの性能向上を図り、低リーク電流かつ高駆動力の FinFET と閾値電圧調整可能な 4 端子 FinFET の作製技術、及び、それらの集積回路技術を構築する。

(2) 4 端子 FinFET を用いた低消費電力・高ノイズ耐性 SRAM 回路技術の研究開発

SRAM セルを FinFET 及び 4 端子 FinFET で構成し、低消費電力と高ノイズ耐性、省 SRAM セル面積、従来の SRAM 設計資産との整合性を持った SRAM 新回路構成を提供する。さらに、前項で開発した FinFET 特性に即した回路設計、レイアウトの最適化等を行い、SRAM セルアレイレベルでの動作を実証する。

3. 達成目標

中間目標として、平成 21 年度末までに以下の目標を達成する。

(1) 立体構造 FinFET 技術の研究開発

・極微細化プロセス、メタルゲート、high-k 絶縁膜、多層配線などの FinFET 回路作製への適用をはかり、ゲート長 20nm、チャネル厚 10nm 以下の立体構造 4 端子 FinFET 作製技術の構築を行う。

(2) 4 端子 FinFET を用いた低消費電力・高ノイズ耐性 SRAM 回路技術の研究開発

・提案コンセプトを実現する 4 端子型 FinFET 低消費電力・高ノイズ耐性 SRAM 回路(具体的には、Flex-Pass-Gate SRAM)設計を行う。
・バルクトランジスタを用いた設計比で、セル面積増加無、動作余裕 1.5 倍、待機時消費電力 1 / 20 以下の回路設計指針を得る。

最終目標として、平成 23 年度末までに以下の目標を達成する。

(1) 立体構造 FinFET 技術の研究開発

・Flex-Pass-Gate SRAM への上記 FinFET 導入を行う。

(2) 4 端子 FinFET を用いた低消費電力・高ノイズ耐性 SRAM 回路技術の研究開発

・(1) で確立した微細 4 端子 FinFET を用いた SRAM アレイを試作し、特性評価・解析により IP を確立する。
・従来トランジスタと比較して、セル面積増加なしに、動作余裕を 1.5 倍に、待機時消費電力を 1 / 20 にできることを示す。

研究開発項目 - (2): 次世代相変化メモリ技術の研究開発

1. 研究開発の必要性

磁気抵抗メモリ、強誘電体メモリ等とともに、シリコンを基盤とする従来半導体メモリに挑む不揮発型新メモリとして、相変化メモリが注目されている。相変化メモリは、セル構造が簡単なため高密度化に適しているが、相変化記録薄膜中に「結晶」-「アモルファス」間の一次相変化を繰り返し発生させることから、膜の融点(650)以上に加熱する必要があり、消費電力と繰り返し記録耐性において更なる改良・改善が必要とされている。

このため、書き込み・読み出し回数的大幅な向上と作動電力を最小限にする技術を開発することで、省資源・省エネルギー型の不揮発性相変化固体メモリを開発することを目的とする研究開発を行う。

2. 研究開発の具体的内容

溶融状態のランダムな配列を高抵抗層とする従来型の相変化メモリではなく、新しい記録再生原理に基づいたカルコゲン化合物の超格子構造をボトムアップで作製し、書き込み・読み出し回数大幅な向上と動作電力の大幅な抑制を実現できるナノレベル構造制御を施した新型相変化メモリを開発する。また、密度汎関数法によるシミュレーションと実験とを同時並行的に実施することで相変化メモリの作製方法を見直し、ナノレベルで動作機能を制御する新技術を完成させる。そのために具体的には、下記4項目について研究開発を行なう。

(1) 高速スイッチング現象に最適なナノレベル構造制御カルコゲナイド薄膜の結晶構造の検討

(2) 抵抗加熱方式での熱的構造変化を最適に行うためのシミュレーション技術の開発

(3) 再現性や信頼性など集積化に向けて必要となる特性の体系的理解のための動作温度領域における薄膜物性データベースの構築

(4) 一定規模以上の集積化可能性を示すためのナノレベル微細加工を施したデバイス試作

3. 達成目標

中間目標として、平成21年度末までに以下の目標を達成する。

(1) 高速スイッチング現象に最適なナノレベル構造制御カルコゲナイド薄膜の結晶構造の検討

超格子構造で高速動作可能な新規相変化材料組成を 2 材料以上シミュレーションによって見だし、実際にデバイスを作製して実験によって動作検証を行う。

(2) 抵抗加熱方式での熱的構造変化を最適に行うためのシミュレーション技術の開発

熱シミュレーションソフトを完成させ、超格子構造からなる相変化メモリに適応して、超格子セル内部の温度分布を把握する。

(3) 再現性や信頼性など集積化に向けて必要となる特性の体系的理解のための動作温度領域における薄膜物性データベースの構築

シミュレーションの元となる各材料の薄膜熱物性の測定とデータベース化を行う。

(4) 一定規模以上の集積化可能性を示すためのナノレベル微細加工を施したデバイス試作

同等のサイズで作製された従来型の相変化固体メモリの性能と比較して、電力消費で 1/3 以下となる GeSbTe 系超格子相変化メモリを作製する。

最終目標として、平成23年度末までに以下の目標を達成する。

(1)高速スイッチング現象に最適なナノレベル構造制御カルコゲナイド薄膜の結晶構造の検討

超格子構造で高速動作可能な新規相変化材料組成を 5 材料以上シミュレーションによって見だし、実際にデバイスを作製して実験によって動作検証を行う。

(2)抵抗加熱方式での熱的構造変化を最適に行うためのシミュレーション技術の開発

平成21年度末に目標を達成するため最終目標は設定しない。

(3)再現性や信頼性など集積化に向けて必要となる特性の体系的理解のための動作温度領域における薄膜物性データベースの構築

シミュレーションの元となる各材料の薄膜熱物性の測定とデータベースの外販化を行う。

(4)一定規模以上の集積化可能性を示すためのナノレベル微細加工を施したデバイス試作

同等のサイズで作製された従来型の相変化固体メモリの性能と比較して、電力消費で 1/10 以下となる超格子相変化メモリを実証する。

また、同等のサイズで作製された従来型の相変化固体メモリの性能と比較して、 10^{15} 回以上の繰り返し書き換え回数をもつ超格子相変化メモリを実証する。

研究開発項目 - (3): ナノギャップ不揮発性メモリ技術の研究開発

1. 研究開発の必要性

モバイル機器や情報家電などデジタル情報機器の急速な拡大に伴い、われわれが取り扱うべき情報は飛躍的に増大しつつある。こうした状況の下、情報をいつでもどこでもすばやく記憶、読みだせるユニバーサルメモリの開発は必須となっており、磁気抵抗メモリや強誘電体メモリなど、さまざまな次世代不揮発性メモリの開発が精力的に進められている。なかでも抵抗スイッチメモリは、とりわけ微細化に有利なメモリとして注目されている。近年、この抵抗スイッチメモリに利用できる現象として、ナノスケールの微小間隙を有するナノギャップ電極構造において、入力電圧波形に依存して電極間の抵抗値が5桁も変化するナノギャップスイッチ(以下NGSと略する)現象が見出され、これを不揮発性メモリに応用する研究が進められている。NGSメモリは、その構造が著しく単純であり、従来の半導体デバイスにおける、不純物揺らぎ等に起因する微細化限界の壁を打ち破ることが可能な、日本発の超稠密不揮発性メモリとなることが期待される。しかしながら、NGS現象のメモリへの応用研究はその端緒についたばかりであり、実用化に向けての研究開発を行う必要がある。

このため、超稠密不揮発性メモリの実現を目指して、金属ナノギャップ構造を利用した、集積化可能なNGS不揮発性メモリを開発することを目的とする研究開発を行なう。

2. 研究開発の具体的内容

(1) 平面先鋭型金属ナノギャップ素子およびその基本特性評価技術の開発

NGS動作機構の解明、すなわちナノギャップ部の抵抗変化を引き起こす要因を明らかにするために、NGS特性評価に適した、AFMをベースとするナノプローブ計測評価手法を確立する。また、ナノプローブ計測法によるナノギャップ部の評価を可能とする素子、平面先鋭型金属ナノギャップ素子を開発する。

(2) 金属ナノギャップメモリ・デバイスの研究開発

金属ナノギャップメモリ・デバイスを試作および評価し、稠密性、高速性、不揮発性等の性能を実証する。

(3) 高性能メモリ金属ナノギャップ素子の研究開発

実用レベルの動作・保持環境においても高性能メモリ特性を持つ金属ナノギャップの基本素子構造作製および高性能メモリ特性を実現する動作手法の開発を行う。実用レベルの動作環境において動作電流が低く抑えられる構造、動作法を開発する。集積化ナノギャップ素子のバラツキの原因を見いだし、それが低減できる駆動法の技術開発を行う。

3. 達成目標

中間目標として、平成21年度末までに以下の目標を達成する。

(1) 平面先鋭型金属ナノギャップ素子およびその基本特性評価技術の開発

ギャップ長10nm、ギャップ幅30nmの電極を有する平面型NGS素子を開発する。また、電極材料および絶縁層の材質を検討する。高感度ナノプローブ計測評価技術を開発し、電気伝導状態にあるときのNGSの構造を明らかにするとともに、パルス電圧印加前後の構造変化を評価する。さらに、バイアス印加中の動的な構造変化を測定可能なナノプローブ計測評価技術を開発する。

(2) 金属ナノギャップメモリ・デバイスの研究開発

縦型(上下金属配線間)のNGS素子およびメモリアレイを試作・評価し、下記の性能を実証する。

- ・高速性: $1\ \mu\text{s}$ 以下の書き換えスピード
- ・稠密性: 上下電極交点の Via-hole 径 で $100\ \text{nm}$
- ・書き換え耐性: 10^5 回以上
- ・256bit アレイTEGによるメモリ動作(書き換えと読み出し)と bit バラツキ(抵抗値の分布)の検証

(3)高性能メモリ金属ナノギャップ素子の研究開発

動作電流値を低減できる金属ナノギャップ基本素子構造および駆動法を開発する。具体的には、駆動最大電流値を $50\ \mu\text{A}$ 以下にできる構造、動作環境および駆動法を開発する。

最終目標として、平成23年度末までに以下の目標を達成する。

(1)平面先鋭型金属ナノギャップ素子およびその基本特性評価技術の開発

ナノギャップ領域が極限的に微細化してもNGSメモリ動作することを検証するために、中間目標のデバイスサイズよりもさらに微細化した、ギャップ長 $5\ \text{nm}$ 、ギャップ幅 $10\ \text{nm}$ の電極を有する平面型NGS素子を開発する。平成21年度までに開発した高感度ナノプローブ計測評価技術をさらに発展させ、AFM散逸計測などのナノプローブ物性計測法を用いてナノギャップ部の物性変化を測定することにより、長時間動作後のナノギャップ部の電気特性変化や組成変化を評価する。

(2)金属ナノギャップメモリ・デバイスの研究開発

縦型NGS素子の微細化を進めるとともに、4kbitのデバイスを試作・評価し、下記の性能を実証する。

- ・高速性: $100\ \text{ns}$ 以下の書き換えスピード
- ・稠密性: 上下電極交点の Via-hole 径 で $40\ \text{nm}$
- ・書き換え耐性: 10^6 回以上

また、このデバイスを用いてNGS素子の特性バラツキを評価する。

(3)高性能メモリ金属ナノギャップ素子の研究開発

素子特性として、最大電流値 $20\ \mu\text{A}$ 以下、動作電圧 $5\ \text{V}$ 程度を実現する。

研究開発項目 - (1): カーボンナノチューブトランジスタ技術の研究開発

1. 研究開発の必要性

シリコン集積回路の高性能化が限界に近づきつつある中、この限界を打破しうる新しいデバイス技術の開発が強く求められている。カーボンナノチューブ(CNT)は理想的な一次元構造と優れた電子輸送特性を有し、その電子デバイス応用の期待が高い。

このため、CNTの電子デバイス応用を目指して、CNTの成長、デバイスプロセス、及びナノ計測に関して種々の課題を解決し、CNT電子デバイスの高性能性及び実用性を実証することを目的とした研究開発を行う。

2. 研究開発の具体的内容

(1) CNTデバイス作製技術の研究開発

・高密度CNTチャネル形成技術、CNT-FETのコンタクト形成技術、デバイス表面保護膜形成技術、高密度短チャネルデバイス作製技術を開発する。

・これらの技術を総合化してCNT-FETを試作し、高性能性及び実用性を実証する。

(2) CNT成長技術の研究開発

・原料ガスや電場などを高度に制御したCNT成長技術、CNTカイラリティ計測技術を開発し、半導体優先成長および高品質成長を実証する。

・高密度CNT配向成長を実現する触媒技術・基板技術を開発する。

・シリコンウェハ上でのCNT配向成長技術を開発する。

(3) CNTデバイスの局所評価技術の研究開発

・ナノプローブを利用した高精度なCNT欠陥評価技術およびCNTチャネル電流検出技術を開発する。

3. 達成目標

中間目標として、平成21年度末までに以下の目標を達成する。

(1) CNTデバイス作製技術の研究開発

・高周波動作実証に向けてトップゲートFET作製技術を検討し、基本技術を確立する。

・本技術を高密度チャネルFETに適用し、電流利得遮断周波数として5GHz以上を実証する。

(2) CNT成長技術の研究開発

・半導体CNT優先成長における電場制御効果を確認する。

・サファイア基板上で15本/ μm の高密度配向成長を実現する。

・シリコンウェハ上のCNT配向成長を実現する。

(3) CNTデバイスの局所評価技術の研究開発

・ナノプローブ評価技術として、10nm以下の空間分解能を有する電位測定技術、およびFETの個別チャネルを流れる μA 以下の電流を評価できる技術を開発する。

最終目標として、平成23年度末までに以下の目標を達成する。

(1) CNTデバイス作製技術の研究開発

・高密度CNT形成技術、コンタクト形成技術、デバイス表面保護膜形成技術を確立するとともに、これらの技術を総合化することにより、50本/ μm 以上の高密度かつ50nm以下の短い配向チャンネルFET技術を開発する。

・高密度チャンネルFETの電流利得遮断周波数として50GHz以上を実証する。

・コンプリメンタリ素子の作製技術を開発し、論理動作を実証する。

(2) CNT成長技術の研究開発

・原料ガスおよび電場の制御による半導体CNT優先成長技術を開発するとともに、半導体優先成長CNTのFETへの適用可能性、高密度・配向成長と高品質化を実証する。

・単結晶基板上で50本/ μm の超高密度・高配向CNTの可能性を検証する。

・シリコンウェハ上のCNT高度配向成長技術を開発する。

(3) CNTデバイスの局所評価技術の研究開発

・平成21年度末までに開発したナノプローブ評価技術を、CNT欠陥準位計測、およびFET個別チャンネルの伝導特性評価に適用し、CNTチャンネルの高品質性、高密度CNTチャンネルの一様性、チャンネル - 電極間コンタクトの均一性、などの評価での有効性を検証する。

研究開発項目 - (2): シリコンプラットフォーム上 - 族半導体チャネルトランジスタ技術の研究開発

1. 研究開発の必要性

技術世代hp22nm以細のCMOSにおける性能向上や低消費電力化を、新たな高移動度チャネル材料と構造の導入により達成しようとするトレンドが近年明確化している。pMOSFETについては、ひずみGOIを用いることにより10倍を越える正孔移動度の向上が報告されているが、nMOSFETについては、ひずみSi技術以降の電子移動度向上のための有効な手段が見出されていない。有効質量が極めて小さく移動度が極めて大きい、**III-V族半導体**を用いたnMOSFETは、バリスティック輸送が支配的となる技術世代においても高い駆動力を実現できる可能性がある。

一方、適用される技術世代を考えると、十分短チャネル効果が抑制できるトランジスタ構造とする必要がある。このためには、絶縁膜の上に薄膜III-V化合物半導体を形成したIII-V-On-Insulator (III-V-OI)構造を用いて、極薄ボディMISFETあるいはFinFETなどのマルチゲートFETを形成することが必要であると考えられる。更にこのようなMOSFETを、ULSI用の素子として実現するためには、Siプラットフォームを用いることが必須である。そのためには、Si基板上に上記のIII-V-OIを形成し、SiやGeなどでは得られない極めて高い電流駆動力を持ち、かつ短チャネル効果抑制にも優れた、将来の大規模集積回路に適用できるnMOSFETあるいはMISFETを実現することが期待される。

このため、hp22nm世代以降の高性能トランジスタを実現するためのデバイス構造として、Si基板上更にはその上の絶縁膜上に形成したIII-V族半導体をチャネルとするMISFETを開発することを目的とする研究開発を行う。

2. 研究開発の具体的内容

III-V族半導体チャネルMISFETの最適素子構造・材料の明確化を進め、本デバイスの当該世代CMOSへの適用性を明らかにすると共に、将来のCMOS構造への集積化の可能性を検証するために以下の研究開発を行う。

(1) **III-V族半導体チャネル形成技術**

有機金属気相成長法及び貼り合わせ法を用いたSi基板上あるいは絶縁膜上への良質なIII-V族半導体チャネル及びIII-V族薄膜ウェハの形成技術を開発する。

(2) **MIS界面安定化技術及び界面評価技術**

III-V族半導体MIS界面の最適化による高品質MIS構造形成技術並びにhigh-k絶縁膜を含むゲートスタック構造形成技術を開発する。

(3) **III-V族半導体チャネルMISトランジスタ形成技術**

Si上あるいは絶縁膜上のnチャネルIII-V族半導体チャネルMISFETの作製技術の確立と動作実証を行う。

3. 達成目標

中間目標として、平成21年度末までに以下の目標を達成する。

- ・ **III-V族半導体チャネル形成技術**を形成する基本形成プロセス、およびIII-V MIS界面を安定化できる基本プロセスを

確立する。

・III-V 族半導体基板上的nチャンネル - 族半導体チャンネルMISFETの作製技術を開発し、その高移動度動作を実証する。

最終目標として、平成23年度末までに以下の目標を達成する。

・Si 上あるいは絶縁膜上のnチャンネル - 族半導体チャンネルMISFETの作製技術を開発し、その高移動度動作を実証する。

・Si 上の III-V MISFETの最適素子構造・材料の明確化を進め、CMOSプラットフォームへの適用性を明らかにすると共に、将来のCMOS構造への集積化の可能性を検証する。

研究開発項目 - (3): シリコンウェハ中の原子空孔濃度定量評価技術の研究開発

1. 研究開発の必要性

半導体産業におけるデバイス製造では、チョクラスキー(CZ)法で製造したCZシリコン結晶から切り出したウェハを用いる。最近になり、2次欠陥であるポイドが全く存在しない完全結晶シリコンインゴットの製造技術が発達し、完全結晶ウェハを用いたデバイス製造技術が急速に進展している。CZシリコン中に存在する酸素をデバイス製造過程で析出させ金属汚染の除去を行なうゲッタリング技術は、微細化が進行してもデバイス製造技術に重要な役割を果たしている。ゲッタリング効果を得るには適量の酸素を析出させることが必要であるが、原子空孔は非常に重要な因子であり、酸素析出を著しく促進する。しかし、現在までシリコンウェハ中に存在する孤立した原子空孔の濃度評価法が確立していないので、完全結晶シリコンウェハを用いたデバイス製造においては、酸素析出にばらつきが生じ、動作特性の不良による歩留まりの低下など大きな困難が生じている。このような技術的困難を突破するために、原子空孔濃度を予め評価したシリコンウェハを用いてデバイスを製造する技術が半導体産業から強く要請されている。

このため、低温超音波計測により、シリコン結晶中の孤立した原子空孔の濃度を定量評価する分析技術を開発し、超音波計測による原子空孔濃度分析技術の実用化を進めることを目的とする研究開発を行う。

2. 研究開発の具体的内容

(1) 超音波計測を用いた原子空孔濃度分析の研究開発

超音波計測を用いて、弾性定数の低温ソフト化の大きさを精密に測定することで、産業界で用いられているシリコンウェハ中の原子空孔の濃度を定量的に評価する分析技術を開発する。

(2) 原子空孔のナノレベルシミュレーション技術の研究開発

密度汎関数法、分子動力学、並びににそれらをハイブリッド化した大規模計算手法を用いたシリコン中の原子空孔のナノレベルシミュレーション技術を開発する。

(3) シリコン結晶中の原子空孔分布計測と欠陥制御技術の開発

低温超音波計測による原子空孔の計測・分析技術を利用して、シリコンインゴット中の原子空孔濃度および2次結晶欠陥の三次元分布を求め、結晶製造時の結晶欠陥制御との対応を明確にして、デバイス製造評価に対応できるウェハ作製技術を開発する。

(4) 原子空孔濃度を評価した完全結晶ウェハを用いたデバイスの動作特性評価

超音波計測により原子空孔濃度を評価した完全結晶シリコンウェハを用いて試験的デバイスを製造し、原子空孔がデバイスの動作特性に及ぼす影響の評価技術を開発する。

3. 達成目標

中間目標として、平成21年度末までに以下の目標を達成する。

(1) 超音波計測を用いた原子空孔濃度分析の研究開発

完全結晶ウェハの原子空孔濃度を評価するために、圧電薄膜を用いた極低温超音波計測のシステムを構築し、20mKまでの極低温領域で高い音速分解能($v/v = 10^{-6}$ 以上)を実現する。

(2) 原子空孔のナノレベルシミュレーション技術の研究開発

512原子以上での大規模セルでのナノレベルシミュレーションを行い、原子空孔軌道の量子状態を精密に求める。

(3)シリコン結晶中の原子空孔分布計測と欠陥制御技術の開発

低温超音波計測を利用して CZ 完全結晶インゴット中の原子空孔濃度とその空間分布を評価することによって、ウェハ結晶の品質特性との対応を明確にする。

(4)原子空孔濃度を評価した完全結晶ウェハを用いたデバイスの動作特性評価

低温超音波計測により原子空孔濃度を予め評価した完全結晶ウェハを用いたテストデバイスを作製し、原子空孔濃度とデバイス特性との関連を調査し、歩留まりの向上を図るための基礎技術を確立する。

最終目標として、平成23年度末までに以下の目標を達成する。

(1)超音波計測を用いた原子空孔濃度分析の研究開発

超音波計測によって低温ソフト化の量を測定することで、産業界で実用化が進んでいる完全結晶ウェハの原子空孔濃度の面内分布の分析技術を確立する。

(2)原子空孔のナノレベルシミュレーション技術の研究開発

超音波計測の結果と比較しながら、大規模ナノレベルシミュレーションを行い、原子空孔軌道と超音波歪みとの結合定数を求め、産業界で実用化が進んでいる完全結晶ウェハ中の原子空孔濃度の評価に適用する。

(3)シリコン結晶中の原子空孔分布計測と欠陥制御技術の開発

as-grown 結晶欠陥分布を決定する結晶育成時の熱履歴を厳密に制御する事で、原子空孔濃度を制御したデバイス評価に適した完全結晶ウェハを作製することを可能にする。

(4)原子空孔濃度を評価した完全結晶ウェハを用いたデバイスの動作特性評価

低温超音波計測により原子空孔濃度を予め評価した完全結晶ウェハを用いてテストデバイスを作製し、原子空孔濃度とデバイス特性との関連を調査し、次世代の完全結晶ウェハを用いたデバイス製造のための基礎技術を確立する。

事前評価書

	作成日	平成21年2月10日
1. 事業名称	ナノエレクトロニクス半導体新材料・新構造ナノ電子デバイス技術開発 (ITイノベーションプログラム)(ナノテク・部材イノベーションプログラム)	
2. 推進部署名	電子・情報技術開発部	
3. 事業概要	<p>(1) 概要 次世代の電子デバイスのために、シリコンで培った微細化技術やデバイス原理をこれまで同様に活用しながら、シリコンという材料の物理的限界を突破するための”新材料”、”新プロセス”、”新構造”を実現する半導体技術を、ナノテクノロジーを最大限に活用することによって開発する。</p> <p>(2) 事業規模: 総事業費 平成21年度～平成23年度 18億円 (予定) (平成21年度事業費6億円)</p> <p>(3) 事業期間: 平成21年度～23年度(3年間) 平成19年度～20年度は経済産業省で実施</p>	
4. 評価の検討状況	<p>(1) 事業の位置付け・必要性</p> <p>情報技術がめざましく発展している今日の社会では、情報・知識を、時間や場所の制約を受けず誰もが自由自在かつ安全に活用できる情報通信環境の実現が望まれている。また、平成20年9月に改訂された経済成長戦略大綱において、我が国の国際競争力強化のために注力すべき分野として、情報家電、ロボットなどが挙げられている。このような応用システムの基幹となる半導体集積回路(LSI)には、一層の高機能化、低消費電力化が求められている。</p> <p>半導体技術がこれまでに機能、消費電力、集積度、コストにおける急速な進歩を達成してきたのは、集積回路を製造するときに使用される最小寸法を年々指数関数的に縮小する微細化技術の向上によるもので、今後も引き続き微細化技術開発を通じて、集積回路の機能あたりコストがさらに低減されIT技術のさらなる発展と経済における生産性と社会全体における生活の質の大きな改善をもたらすことが期待されている。また、ITRS及びNEDO技術ロードマップに示されている通り、LSIの性能向上には、単なる微細化のみならず、新材料、新プロセス、新構造など革新的技術の導入が不可欠で、その必要性は微細化の進展とともにますます大きくなる。すなわち、微細化によって得られてきたメリットをこれまで以上に享受しながらITを根底から支える半導体技術をさらに発展させていくために、2020年頃以後のLSIに求められる新材料、新構造、新プロセス技術の開発を実現する大学の技術シーズを発掘育成し、それらを将来の産業技術につなげていくための橋渡しを進める取り組みが必要である。</p> <p>ナノエレクトロニクスは、ナノテクノロジーの最大の応用領域の一つである。一方、デジタル・デバイスのCMOS構造というアーキテクチャは極めて優れているため、これが維持できる限りこれを維持することが望ましく、そうすることによりこれまで半導体の発展を支えてきた「微細化」というドライバを引き続き活用することができる。したがって次世代のLSI技術開発で取るべき方向は、「シリコンで培った微細化技術やデバイス原理をこれまで同様に活用しながら、シリコンという材料の物理的特性を十分に踏まえた上で、様々な要因に基づいて出現するデバイス性能の技術的な飽和を突破するための”新材料”、”新プロセス”、”新構造”を実現すること」である。</p> <p>そこで本研究開発では、次世代の電子デバイスのために「シリコンで培った微細化技術やデバイス原理をこれまで同様に活用しながら、シリコンという材料の物理的限界を突破するための”新材料”、”新プロセス”、”新構造”を実現する」半導体技術を、ナノテクノロジーを最大限に活用することによって創生し、将来の産業応用への芽を見出すことを目的とする。</p>	

(2) 研究開発目標の妥当性

<目標>

本プロジェクトは、IT を根底から支える電子デバイスについて、2020年頃以後に予想されるシリコン半導体の限界をブレイクスルーする新たな技術を開発する。具体的には、次の3項目を目標とする。

シリコンナノワイヤ技術

シリコン CMOS の微細化が進み、ゲート長が10ナノメートル以下になった際に顕在化する物理現象を積極的に取り込んだ高性能デバイス技術を開発する。具体的には、シリコンナノワイヤの加工技術、物理計測技術、電気特性計測技術、シミュレーション技術、統合設計技術を開発し、先端シリコンプロセスラインを用いたデバイス検証を行う。

次世代メモリ技術

新構造および新材料により既存メモリを代替する技術を開発する。具体的には、マルチゲート型立体構造トランジスタを用いた低消費電力 SRAM 技術、低消費電力・高速動作新型相変化メモリ技術、ナノギャップ不揮発メモリ技術の開発を行う。

新材料技術

新チャネル材料技術および新材料評価技術を開発する。具体的には、カーボンナノチューブデバイス技術、化合物半導体チャネルデバイス技術、シリコン中の原子空孔評価技術の開発を行う。

上記目標を達成するために、次の9つの研究開発項目について、別添の研究開発計画に基づき研究開発を実施する。

シリコンナノワイヤ技術

研究開発項目 - (1): シリコンナノワイヤトランジスタの知識統合研究開発

研究開発項目 - (2): ナノワイヤFETの研究開発

研究開発項目 - (3): シリコンナノワイヤトランジスタの物性探究と集積化の研究開発

次世代メモリ技術

研究開発項目 - (1): 新構造 SRAM 技術の研究開発

研究開発項目 - (2): 次世代相変化メモリ技術の研究開発

研究開発項目 - (3): ナノギャップ不揮発性メモリ技術の研究開発

新材料技術

研究開発項目 - (1): カーボンナノチューブトランジスタ技術の研究開発

研究開発項目 - (2): シリコンプラットフォーム上 - 族半導体チャネルトランジスタ技術の研究開発

研究開発項目 - (3): シリコンウェハ中の原子空孔濃度定量評価技術の研究開発

<妥当性>

本事業の内容である新材料・新構造ナノ電子デバイスの研究開発を進めることにより、技術基盤である半導体の微細化、高集積化、低消費電力化に対応することはもちろん、出口であるIT産業分野を念頭に置いた革新的技術の開発が行えることから、高度情報通信ネットワーク社会の基盤となる情報通信機器・デバイス等のIT技術の開発、IT分野等に対して高度化あるいは不連続な革新をもたらすナノテクノロジーの確立、IT産業の持続的な国際競争力の強化という施策の目的に照らして有効なものであると判断する。

(3) 研究開発マネジメント

本研究開発は、経済産業省により、企業、民間研究機関、独立行政法人、大学等(委託先から再委託された研究開発実施者を含む)から公募によって研究開発実施者が選定され、共同研究契約等を締結する研究体を構築され、平成19年度より委託により実施している。平成21年度より、独立行政法人新エネルギー・産業技術総合開発機構(以下「NEDO技術開発機構」という。)が本研究開発を運営・管理するに当たっては、平成20年度までの進捗状況を踏まえた研究開発内容・計画及び実施体制の妥当性について、外部有識者による審議を含めた評価を行った上で最適な研究開発体制を構築し、委託して実施する。

また、共同研究開発に参加する各研究開発グループの有する研究開発ポテンシャルの最大限の活用により効率的な研究開発の推進を図る観点から、研究体にはNEDO技術開発機構が委託先決定後に委嘱する産業界を中心とするアドバイザー委員会を置き推進に関する意見を運営管理に反映させて効果的に研究開発を実施する。

また、研究開発全体の管理・執行に責任を有するNEDO技術開発機構は、経済産業省及び研究開発実施者と密接な関係を維持しつつ、プログラムの目的及び目標、並びに本研究開発の目的及び目標に照らして適切な運営管理を実施する。具体的には、必要に応じて開催するアドバイザー委員会の意見を運営管理に反映させる他、年に4回程度プロジェクトの進捗について報告を受けること等を行う。

また、技術的及び政策的観点から、研究開発の意義、目標達成度、成果の技術的意義並びに将来の産業への波及効果等について、外部有識者による研究開発の中間評価を平成21年度、事後評価を平成24年度に実施する。また、中間評価結果を踏まえ必要に応じてプロジェクトの加速・縮小・中止等見直しを迅速に行う。なお、評価の時期については、当該研究開発に係る技術動向、政策動向や当該研究開発の進捗状況等に応じて、前倒しする等、適宜見直すものとする。

(4) 研究開発成果

半導体デバイスのさらなる微細化のための基盤技術が開発されるため、現在、半導体デバイスが用いられている携帯電話等の様々な機器は、より小型化されるなど高付加価値製品を創出し、我が国IT産業の国際競争力に大きく寄与する。

また、産学官の連携、異分野の研究領域との融合により実現される革新的なナノエレクトロニクス技術が産出されることにより、将来の融合領域の産業応用への芽を見出すことにつながる。

(5) 実用化・事業化の見通し

ITを根底から支える電子デバイスについて、2020年頃以後に予想されるシリコン半導体の限界をブレイクスルーする新たな技術を開発できると見込まれる。

(6) その他特記事項

平成19年度から20年度は、経済産業省で本プロジェクトを実施した。平成21年度からはNEDOが本プロジェクトを実施する。

5. 総合評価

本プロジェクトは、NEDOで実施するプロジェクトとして適切であると判断する。また、経済産業省において適切なプロセスを経て選定した実施者は、NEDOプロジェクトの実施者として適切であると判断する。

「ナノエレクトロニクス半導体新材料・新構造ナノ電子デバイス技術開発 基本計画(案)」に対するパブリックコメント募集の結果について

平成21年3月10日
NEDO技術開発機構
電子・情報技術開発部

NEDO POST 3において標記基本計画(案)に対するパブリックコメントの募集を行いました結果をご報告いたします。
みなさまからのご協力を頂き、ありがとうございました。

1. パブリックコメント募集期間

平成21年2月16日～平成21年2月27日

2. パブリックコメント投稿数<有効のもの>

計1件

3. パブリックコメントの内容とそれに対する考え方

ご意見の概要	ご意見に対する考え方	基本計画への反映
(3) 研究開発の内容		
<p>[意見1] ナノワイヤ構造のトランジスタは、四方をゲートが取り囲み、寄生容量の影響がなく、均等にチャンネルに電界がかかることから短チャンネル効果などを気にしなくてもよいという特徴を持ちます。ですから、ナノワイヤ構造の作成技術さえ確立できたら、ひずみや新材料を使わずに、単純な構造で安く低消費電力で高集積なデバイスを作ることができる可能性があります。集積回路用のトランジスタはON/OFF比が十分とれることこそ重要であり、ナノワイヤ構造が有利です。ですから、32nm程度の次期テクノロジーから、ひずみなしでシリコン酸化膜のワイヤ型トランジスタを導入できるように研究目標を変更すべきです。</p>	<p>1. ご指摘の通り、ナノワイヤトランジスタは、ゲートの効果を最大にできる構造であることからオフリーク電流を最小限に制御できることが特長です。このため、今後の微細化において理想的な構造といえます。一方、その実現に向けては、ナノワイヤチャンネルにおける量子効果などを考慮した特性解析、ナノワイヤチャンネルのみならずソース・ドレイン構造なども含めた作製プロセスの新規開発に加えて、ばらつきの抑制や集積システムとしての設計を可能にする十分な基礎特性の蓄積など、解決すべき数多くの課題が存在しています。従いまして、本プロジェクトにおいては、これらの課題解決の候補となりうる大学等発の技術シーズを、産業技術としての実現可能性を見極めることが可能なレベルへと育成確立することを目標としております。</p>	<p>特になし</p>

<p>[意見2] 単一電子回路など別の道も探索すべきです。もし十年前に、ナノワイヤ技術を探索していたら、今頃ナノワイヤFETの出荷を日本が率先して始めていたのではないのでしょうか。なにしろ材料は替えずに加工技術だけ工夫すればよいのですから。ですから、そのように別の道の探索も行った方がより確実に目標に達することができます。</p>	<p>2. これまでにない新規なアーキテクチャやシステムを探究する上では単一電子回路などの技術の方向性に着目することも重要であることはご指摘の通りであります。一方では、極めて優れているアーキテクチャである CMOS 構造を引き続き維持し、従来の半導体の発展を支えてきた「微細化」というドライバを引き続き活用することも非常に大切です。以上の観点より、本プロジェクトではシリコンで培った微細化技術やデバイス原理をこれまでと同様に活用しながら、シリコンという材料の物理的限界を突破することが有望な”新材料”、”新プロセス”、”新構造”をその技術開発の対象としております。</p>	<p>特になし</p>
---	--	-------------

以上