

「ナノエレクトロニクス半導体新材料・新構造 ナノ電子デバイス技術開発」 (中間評価)第1回分科会

5. プロジェクトの概要説明 (公開)

平成21年8月25日

NEDO技術開発機構
電子・情報技術開発部

5. プロジェクトの概要説明

5.1 事業の位置づけ・必要性

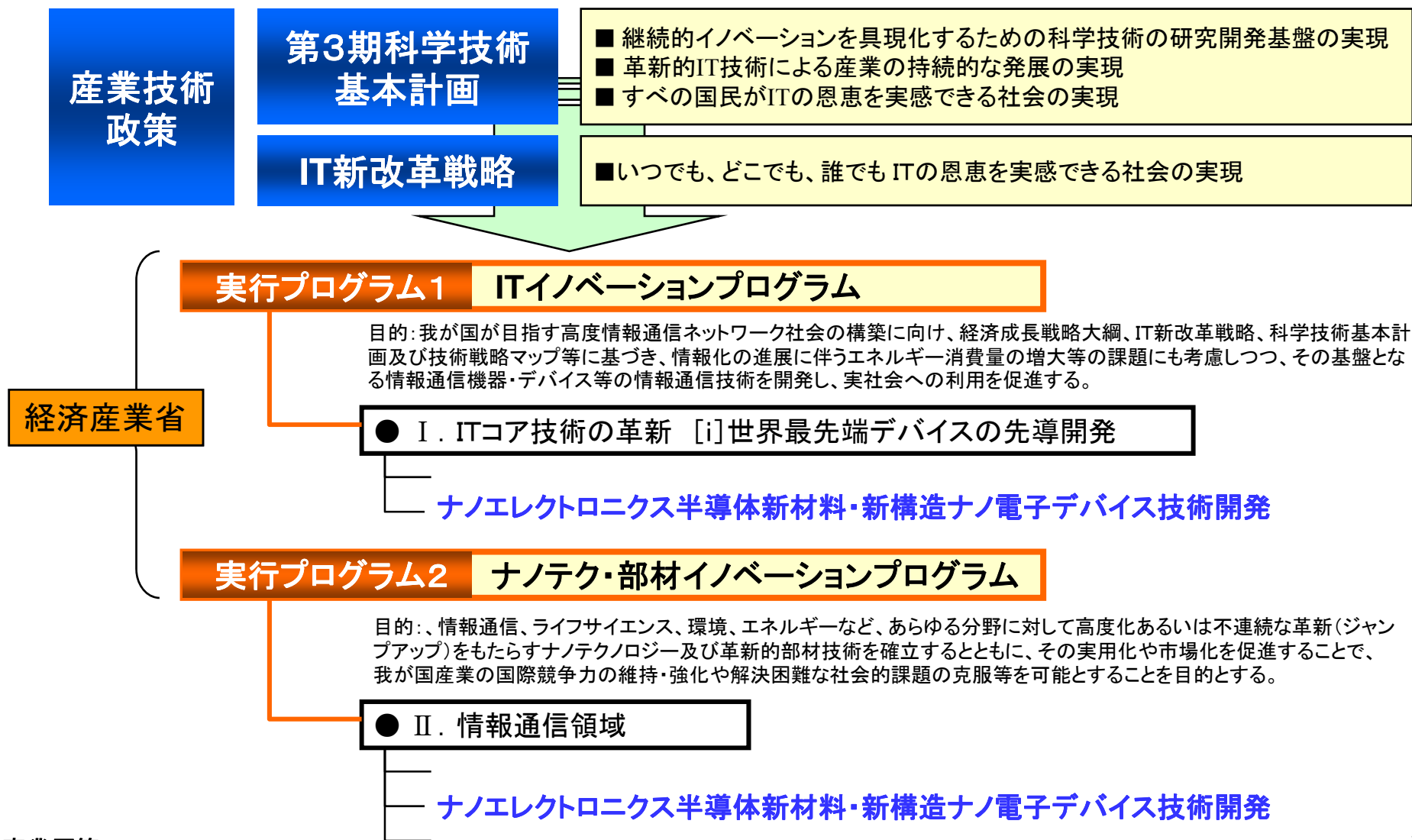
5.2 研究開発マネジメント

5.3 研究開発成果

5.4 実用化の見通し

事業の位置付け—政策上の位置付け

経済産業省 研究開発プログラム「ITイノベーションプログラム」および「ナノテク・部材イノベーションプログラム」の1テーマとして実施



事業の位置付け—NEDO中期目標における位置付け

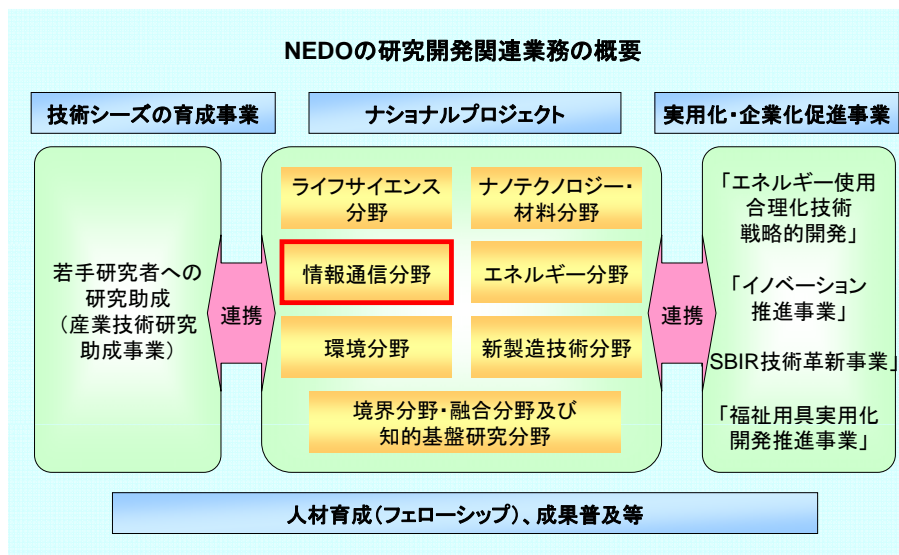
NEDO中期目標に掲げる「高度な情報通信社会の実現」のため、
電子・情報技術開発分野の半導体技術の一環として実施。

NEDO 中期目標

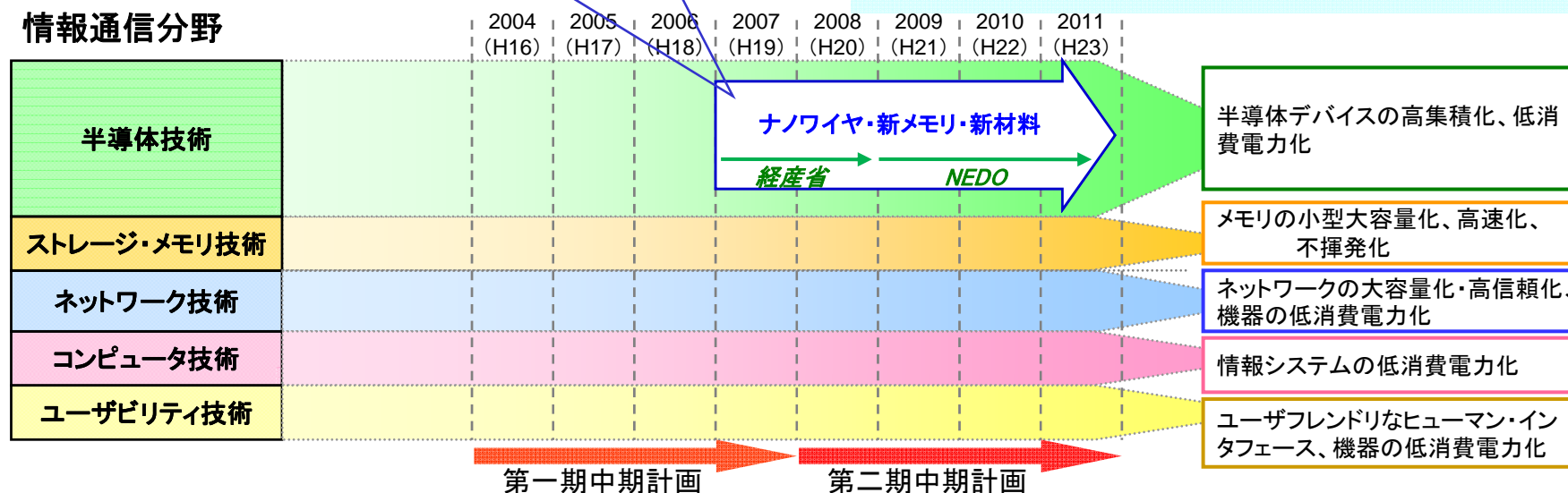
- 誰もが自由な情報の発信・共有を通じて、個々の能力を創造的かつ最大限に発揮することが可能となる**高度な情報通信(IT)社会の実現**
- 我が国経済の牽引役としての**産業発展の促進**

本プロジェクト:「ナノエレクトロニクス半導体新材料・新構造ナノ電子デバイス技術開発」

(H19~20年度は経済産業省にて実施)



情報通信分野



事業の位置付け—事業の背景・目的・必要性

事業目的： シリコンで培った微細化技術やデバイス原理をこれまで同様に活用しながら、シリコンという材料の物理的限界を突破するための”新材料”、”新プロセス”、”新構造”を実現する半導体技術を、ナノテクノロジーを最大限に活用することによって創生し、将来の産業応用への芽を見出す

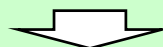
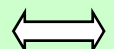
背景

半導体技術は高度情報化社会の実現に不可欠

IT社会を根底から支える半導体LSIの一層の高機能化、低消費電力化の要求

個々の民間企業では技術開発は困難

微細化の追求による性能向上における技術的・経済的課題の顕在化



産学連携による技術的英知の集結が必要

LSIの更なる性能向上には、単なる微細化のみならず、新材料、新プロセス、新構造など革新的技術の導入が不可欠

本事業： 革新的技術の導入により課題を解決する技術シーズを開発

日本の技術優位性により産業競争力強化に繋がる技術

省エネルギー、地球温暖化対策に貢献する技術



NEDO技術開発機構が関与すべき事業

事業の位置づけーNEDOプロジェクトにおける取り組み

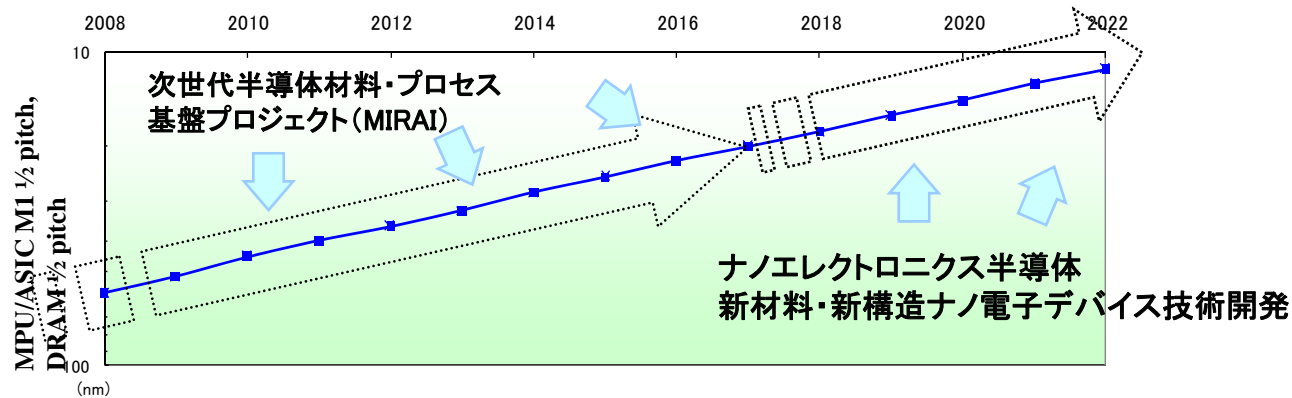
・NEDOプロジェクトにおける微細化への取り組み

■「次世代半導体材料・プロセス基盤プロジェクト(MIRAI)」(2001~2010年度)

・hp45nmを超える技術課題の解決のため、「**極限CMOSTランジスタ**」「**新探求配線**」「**特性バラつき耐性の高いデバイス**」「**EUVマスク基盤技術**」「**EUV光源高信頼化技術**」の技術開発を実施

■「ナノエレクトロニクス半導体新材料・新構造ナノ電子デバイス技術開発」(2007~2011年度)

・2020年頃以降のLSIに求められる技術シーズを発掘・育成するため、「**シリコンナノワイヤ技術**」「**次世代メモリ技術**」「**新材料技術**」の開発を実施



トランジスタの微細化トレンドとNEDOプロジェクトのターゲット

予算額と期待される効果の比較

本事業の関連市場規模(予測)

予算額32億円(予定)に対し、2011年(プロジェクト終了時)で約20兆円、2020年で約30兆円※の市場規模(LSI/メモリ市場) ※2009年から成長率7%/年を仮定

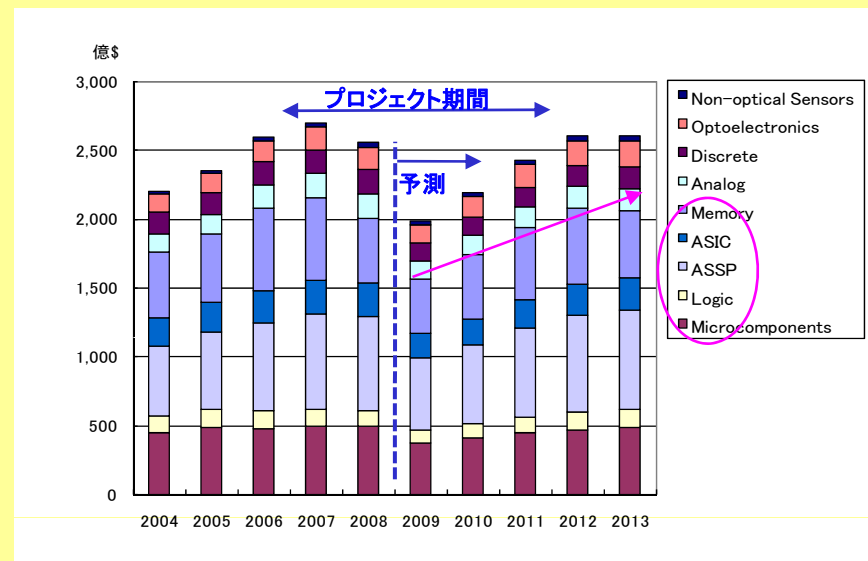
事業予算

年度	H19	H20	H21	H22	H23
事業予算 (億円)	5	6	6	7 (予定)	8 (予定)

NEDO

平成19~21年度実績 合計17億円

半導体市場の動向(予測)



出典: ガートナー「Semiconductor Forecast Worldwide: Forecast Database」2009年5月28日
(ガートナーのデータを基にNEDOにてグラフを作成)

基本計画における研究開発目標

プロジェクト目標(H23年度)

産業界が10年後を見据えた将来の集積回路システムとして展開できる電子デバイスを開発する際に産業技術として活用できるかどうかの実現可能性を見極めることができる技術シーズを確立する。

①シリコンナノワイヤ技術

研究開発項目①-(1)「シリコンナノワイヤトランジスタの知識統合研究開発」

研究開発項目①-(2)「ナノワイヤFETの研究開発」

研究開発項目①-(3)「シリコンナノワイヤトランジスタの物性探究と集積化の研究開発」

②次世代メモリ技術

研究開発項目②-(1)「新構造FinFETによるSRAM技術の研究開発」

研究開発項目②-(2)「次世代相変化メモリ技術の研究開発」

研究開発項目②-(3)「ナノギャップ不揮発性メモリ技術の研究開発」

③新材料技術

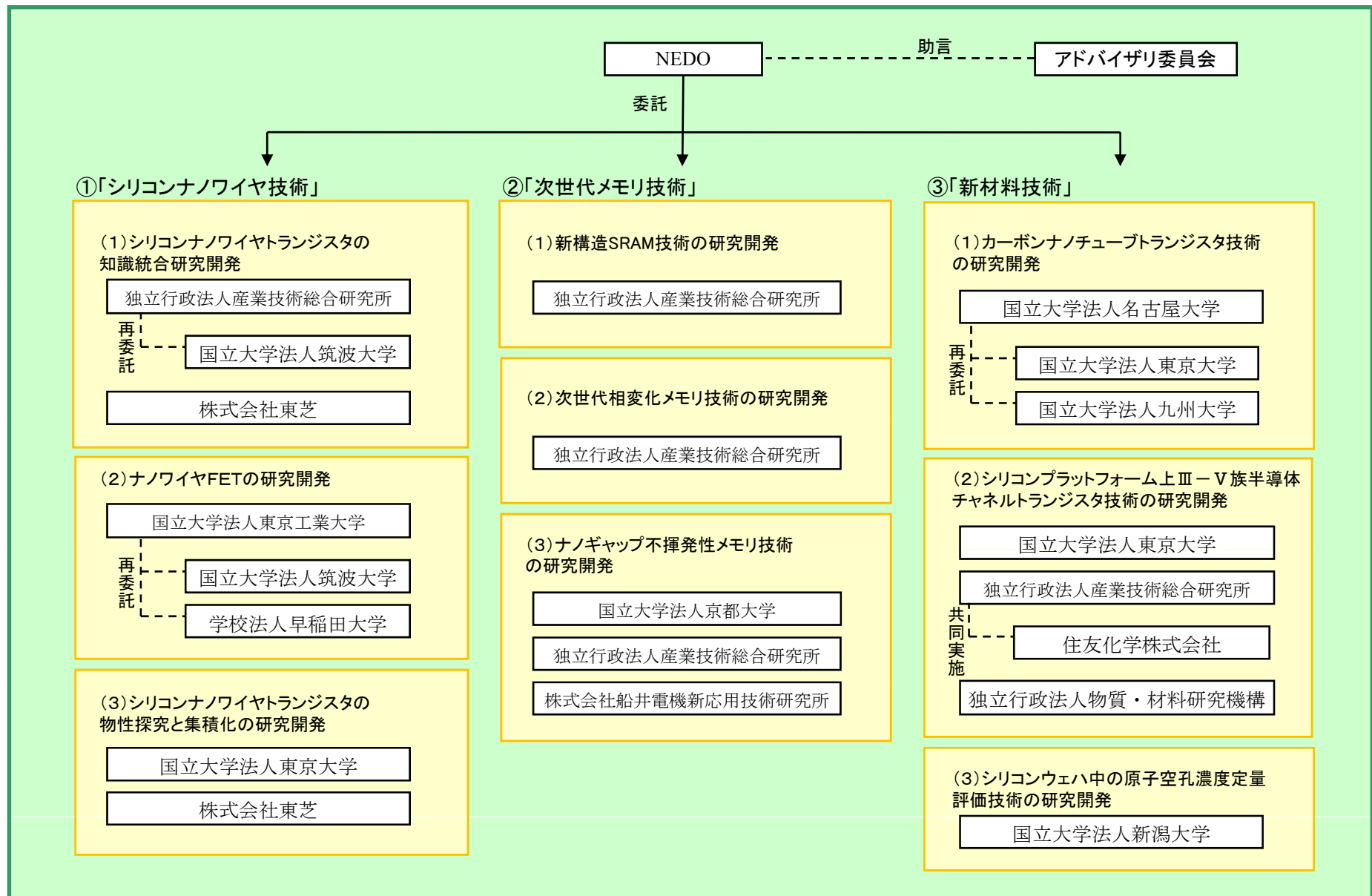
研究開発項目③-(1)「カーボンナノチューブトランジスタ技術の研究開発」

研究開発項目③-(2)「シリコンプラットフォーム上Ⅲ-V族半導体チャネルトランジスタ技術の研究開発」

研究開発項目③-(3)「シリコンウェハ中の原子空孔濃度定量評価技術の研究開発」

各研究開発項目において、具体的な中間目標(H21年度末)・最終目標(H23年度末)を設定

研究開発実施の事業体制



研究開発計画

	平成19年度	平成20年度	平成21年度	平成22年度	平成23年度	
①Siナノワイヤ技術 (1)Siナノワイヤトランジスタの知識統合 (2)ナノワイヤFET (3)Siナノワイヤトランジスタの物性探究と集積化	ナノシミュレーション要素技術／精密計測技術／ナノワイヤ形成技術			中間目標	サブ10nmナノワイヤTr作製技術	最終目標
	理論解析基盤技術／FET作製基盤技術				ナノワイヤ理論・デバイス技術	
	特性評価解析技術／短チャネルナノワイヤTr作製基盤技術				新回路・集積化技術	
②次世代メモリ技術 (1)新構造FinFETによるSRAM (2)次世代相変化メモリ (3)ナノギャップ不揮発性メモリ	新構造FinFET基盤技術／回路設計・作製技術			中間目標	SRAM集積回路技術	最終目標
	統合シミュレーション技術／高速SW・高効率材料技術				低消費電力・高信頼デバイス技術	
	動作特性評価技術／低消費電力基盤技術				集積NGSデバイス技術	
③新材料技術 (1)CNTトランジスタ (2)Ⅲ-V族半導体チャネルトランジスタ (3)Siウェハ中の原子空孔濃度定量評価	局所評価技術／半導体・密度制御基盤技術／デバイス作製基盤技術			中間目標	CNT-FETデバイス技術	最終目標
	チャネル形成基盤技術／デバイス作製基盤技術				高移動度デバイス技術	
	原子空孔シミュレーション技術／空孔濃度計測基盤技術				高精度空孔評価技術	

情勢変化への対応

技術検討会の開催

平成21年度NEDO移管にともない外部有識者による技術検討会を実施

- プロジェクト基本計画の検討
- 委託先の検討

定期的なヒアリング

実施者から定期的なヒアリングを実施(年2回予定)

- 平成21年度はNEDO委託契約締結にともない実施者から成果進捗を報告

適時、適切な計画変更

必要に応じて、柔軟に適切な計画変更を行い、研究開発を推進(予定)

5. プロジェクトの概要説明

5. 1 事業の位置づけ・必要性

5. 2 研究開発マネジメント

5. 3 研究開発成果

5. 4 実用化の見通し

中間目標の達成度(H21年度末見込み)

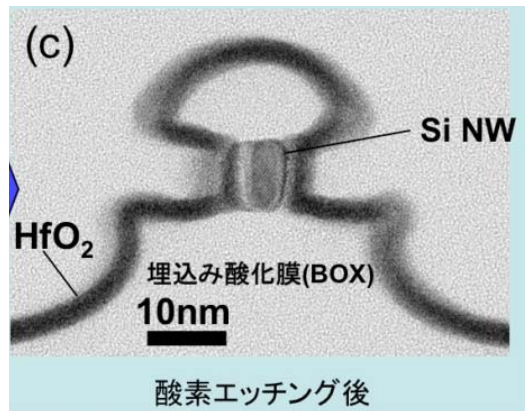
達成度(H21年度末見込み) ◎: 目標を大幅に上回り達成 ○: 目標を達成 △: 目標をほぼ達成 ×: 目標未達成

研究開発項目	主な目標	成果	達成度 (項目全体)
①-①) Siナノワイヤトランジスタの知識統合	・直径10 nm級のシリコンナノワイヤ形成技術及び高誘電率ゲート絶縁膜の堆積技術とメタルソース・ドレイン形成技術を確立し、シリコンナノワイヤトランジスタの試作を行って電気特性を評価する。	・NiSi ₂ の固相エピタキシャル成長法を用いて、ナノワイヤに単結晶メタルソース・ドレインを形成する技術を確立した。酸素エッチングにより断面寸法4×9nmのSiナノワイヤ構造の形成に成功。高誘電率ゲート絶縁膜の堆積技術としてALD - HfO ₂ を堆積したSi ナノワイヤ構造の形成に成功した。	○
①-②) ナノワイヤFET	・直径10nm級のSiナノワイヤFETの作製を行う。また、電気特性の解析によりキャリアの散乱メカニズムを考察し、プロセス上の技術課題を明確にする。	・SiナノワイヤFETの特性評価を可能とするTEGの設計を完了し、半導体製造装置に実際に試作を投入した。その結果、一本当たり40 μAを超えるオン電流を得る事に成功した。	◎
①-③) Siナノワイヤトランジスタの物性探究と集積化	・ワイヤ径5nm以下の長チャネルシリコンナノワイヤトランジスタのアレーを作製する技術を確立する。	・ワイヤ径7nmの長チャネルシリコンナノワイヤトランジスタのアレーを作製する技術を確立した。	○
②-①) 新構造FinFETによるSRAM	・Flex-Pass-Gate-SRAM回路設計を行う。	・Flex-Pass-Gate-SRAMの試作に成功、書き込み余裕を維持した状態で読み出し動作余裕を、全3端子FinFET構成型SRAMよりも2倍以上向上することを、実デバイス測定により確認した。	◎、○
②-②) 次世代相変化メモリ	・熱シミュレーションソフトを完成させ、超格子構造からなる相変化メモリに適応して、超格子セル内部の温度分布を把握する。	・シミュレーションソフトが現時点でほぼ完成した。これにより、セル内温度分布と電場分布を計算できるようになった。	◎、○
②-③) ナノギャップ不揮発性メモリ	・高感度ナノプローブ計測評価技術の開発およびNGS構造変化評価。	・AFMIによるNGS動作開始前後の構造変化を評価し、構造変化を低減する印加電圧波形を見出した。	○
③-①) CNTトランジスタ	・トップゲートFET作製技術を検討し、基本技術を確立する。	・石英基板上への23本/μmの高密度配向成長を実証。また、ゲート絶縁膜/表面保護膜形成方法として原子層成膜の低損傷性を実証するとともに、トップゲートFET動作を実証。	◎、○
③-②) III-V族半導体チャネルトランジスタ	・III-V族半導体基板上的nチャネルIII-V族半導体チャネルMISFETの作製技術を開発し、その高移動度動作を実証する。	・貼り合わせにより形成した極薄ボディInGaAsチャネルを用いたメタルソースドレインMISFET、及びAl ₂ O ₃ /InGaAs構造のMISFETの世界で初めての作製に成功し、Siを凌ぐ高移動度特性を達成した。	◎、○
③-③) Siウエハ中の原子空孔濃度定量評価	・圧電薄膜を用いた極低温超音波計測のシステムを構築し、20mKまでの極低温領域で高い音速分解能($\Delta v/v = 10^{-6}$ 以上)を実現する。	・超音波装置と希釈冷凍機を用いた低温・磁場下でのウエハ中原子空孔評価を開発した。また、ギガヘルツ発振ZnO圧電素子を成膜し、原子空孔濃度分析システムを完成させた。その結果、20mKまでの極低温領域まで高い音速分解能($\Delta v/v = 10^{-6}$ 以上)を達成した。	◎、○

成果例 ① ナノワイヤ

(1) Siナノワイヤトランジスタの知識統合

HfO₂ゲート絶縁膜を積層した
Siナノワイヤ
4 × 9 nm

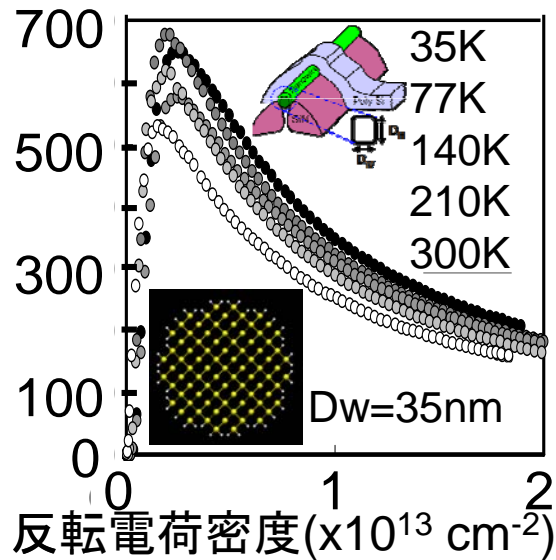


断面TEM像

・低圧酸素エッチングによるナノワイヤ形状の精密制御

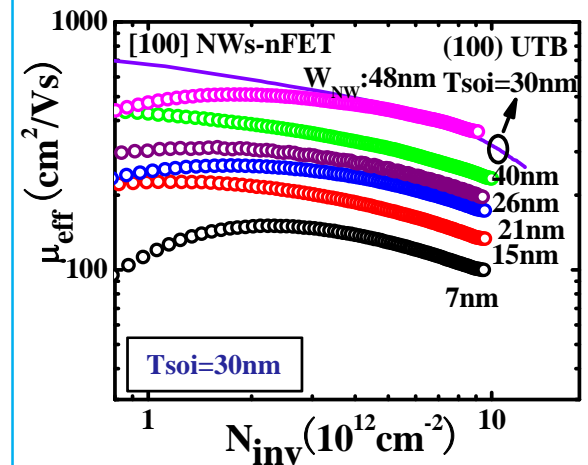
(2) ナノワイヤFET

実効移動度 (cm²/Vs)



・室温で540cm²/Vsという世界最高レベルの移動度を達成
・電流駆動力もプレーナFETに比べ圧倒的優位性があることを確認

(3) Siナノワイヤトランジスタの物性探究と集積化

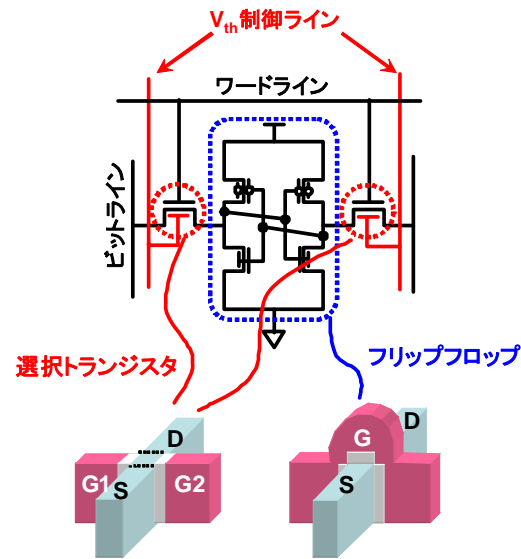


・シリコンナノワイヤアレーの作製技術と移動度評価技術を確立
・ワイヤ幅7nmという極めて細いナノワイヤトランジスタの移動度を初めて正確に測定

成果例 ②新メモリ

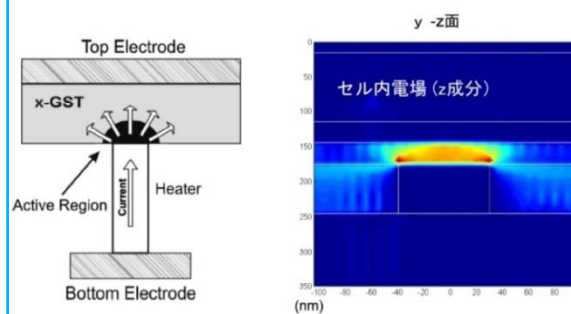
(1) 新構造FinFETによるSRAM

新提案Flex-PG-SRAM



・4端子FinFETを用いてFlex-Pass-Gate-SRAM試作に成功、通常SRAMに比べ、ノイズ耐性が2倍以上に向上することを実証（基本特許出願済み）

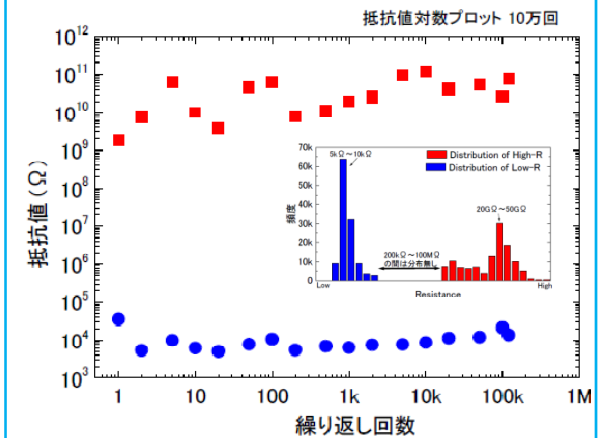
(2) 次世代相変化メモリ



・相変化メモリセル内の温度分布のみならず電場分布も同時に計算できるソフトを開発し、相変化の状態と電場強度の関係を把握可能とした

(3) ナノギャップ不揮発性メモリ

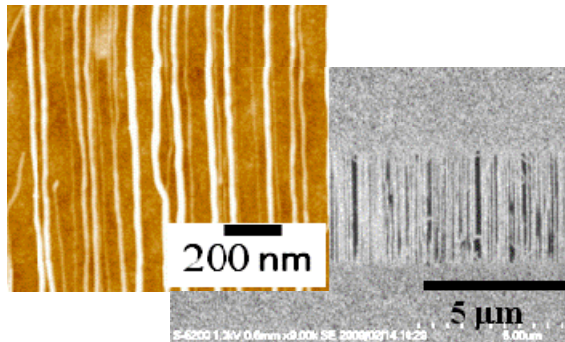
Endurance: 10^5 回以上



・新規メモリとしての基本性能を確認
 ✓ Endurance: 10^5 回以上
 ✓ データ保持温度
 -80 ~ +150°Cの範囲で動作確認
 ✓ データ保持時間: 10年以上(外挿値)
 ✓ パルス幅10nsecでも動作確認

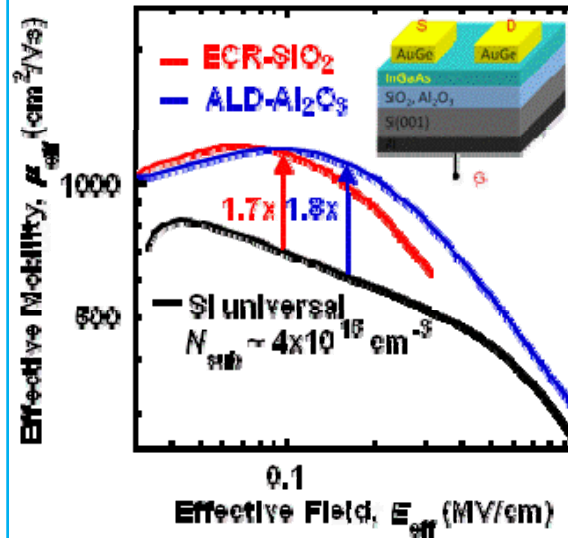
成果例 ③新材料

(1) CNTトランジスタ



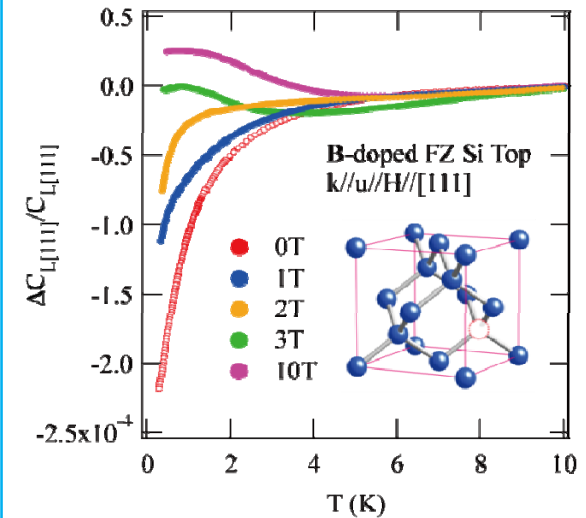
・CNTの高密度配向成長を実現
(23本/μm)

(2) III-V族半導体チャネルトランジスタ



・ECR-SiO₂およびALD-Al₂O₃を埋め込み層とした膜厚100 nmの薄膜InGaAsチャネル・メタルS/D n-MOSFETの素子動作を実証しSi移動度と比較して1.7-1.8倍の高移動度を達成

(3) Siウェハ中の原子空孔濃度定量評価



・低温超音波計測によりシリコン結晶の低温ソフト化とその磁場依存性を測定することで原子空孔濃度を定量評価する分析技術を開発

知的財産権、成果の普及

	特許	論文	発表・講演	受賞	プレス掲載	展示会
①-(1) Siナノワイヤトランジスタの 知識統合	3	27	86	1	0	0
①-(2) ナノワイヤFET	2	11	29	2	1	0
①-(3) Siナノワイヤトランジスタの 物性探究と集積化	5	3	28	3	4	2
②-(1) 新構造FinFETによるSRAM	0	15	36	0	8	1
②-(2) 次世代相変化メモリ	6	2	4	1	0	0
②-(3) ナノギャップ不揮発性メモリ	8	8	21	0	5	1
③-(1) CNTトランジスタ	3	19	107	4	1	0
③-(2) Ⅲ-V族半導体チャネルト ランジスタ	3	6	78	4	3	0
③-(3) Siウェハ中の原子空孔濃度 定量評価	12	8	24	1	2	1
合計	42	99	413	16	24	5

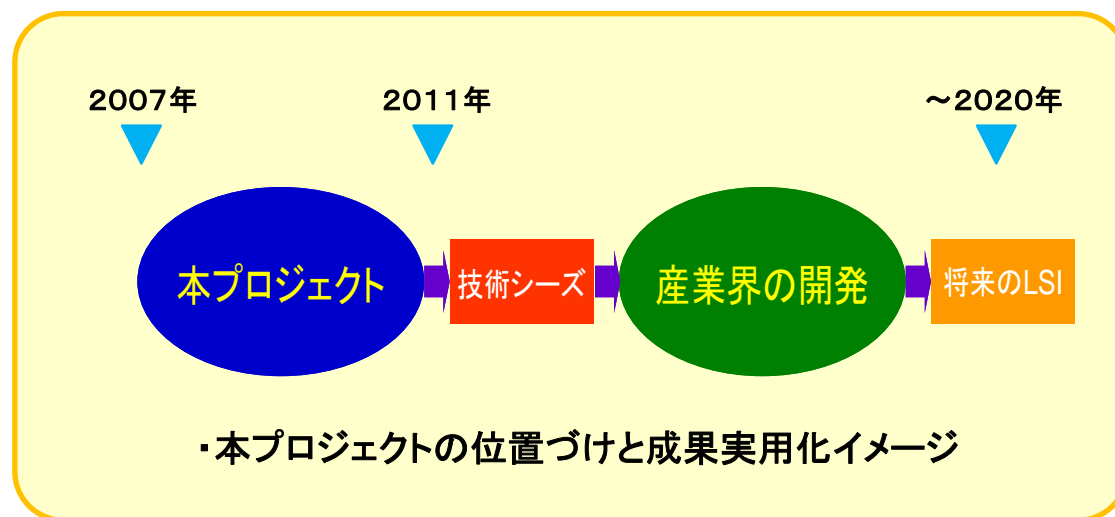
最終目標の達成可能性

	最終目標(H23年度末)	達成見通し
①-① Siナノワイヤトランジスタ の知識統合	<ul style="list-style-type: none"> 直径10nm以下のSiナノワイヤトランジスタを作製、構造制御の効果を明確化 サブnm形状やポテンシャル分布の計測技術を実現 統合的シミュレーション技術、デバイスシミュレータを開発 	<ul style="list-style-type: none"> これまでの成果を元にした精度の高い系統的なデバイス試作を行い、この結果と対比して精密計測評価技術とシミュレーション技術の研究開発を推進し、それぞれの成果を総合的に統合することにより、最終目標を確実に達成することが可能。
①-② ナノワイヤFET	<ul style="list-style-type: none"> 電子構造解析により解明すべき物理現象を明確化 バリシテシシティ等の性能最適化指針を明確化 SiナノワイヤFET作製評価により技術課題を明確化 Siナノワイヤデバイスのロードマップ作成 	<ul style="list-style-type: none"> 電子構造解析、バリシテシシティ制御、ナノワイヤFET作製に関する今後の課題は明確になっている。この成果をうけ、性能向上に向けた科学、技術的な課題のリストアップを更に追求していき、ロードマップの作成も達成可能である。以上により、最終目標を確実に達成することができる。
①-③ Siナノワイヤトランジスタ の物性探究と集積化	<ul style="list-style-type: none"> プレーナバルクMOSFETより高移動度を示すパラメータを明確化 チャネル長25nm以下、チャネル径10nm以下のSiナノワイヤトランジスタ作製 	<ul style="list-style-type: none"> トランジスタとしての性能評価の推進、ナノワイヤ形成のためのSOI薄膜化や短チャネルトランジスタ作製のためのプロセス設計により、最終目標を確実に達成することが可能。
②-① 新構造FinFETによる SRAM	<ul style="list-style-type: none"> Flex-Pass-Gate SRAMへの4端子FinFET導入、SRAMアレイ試作 動作余裕1.5倍、待機時消費電力1/20を実証 	<ul style="list-style-type: none"> 微細FinFET作製基盤技術の確立、回路製造プロセスの高度化、ならびに当該微細FinFETを用いたFlex-Pass-Gate-SRAM大規模セルアレイ作製と性能向上実証を推進することにより、最終目標を確実に達成することが可能。
②-② 次世代相変化メモリ	<ul style="list-style-type: none"> 新規相変化材料を5つ以上見だし動作実証 薄膜熱物性測定とテータベース外販化 電力消費1/10以下、繰り返し10^{15}回以上を実証 	<ul style="list-style-type: none"> これまでに新規相変化材料を2つ以上見だし、電力消費量1/3以下も達成の見込み。繰り返し回数の評価には加速試験が必要だが、現状の特性からすると最終目標達成は可能である見込み。
②-③ ナノギャップ不揮発性メモ リ	<ul style="list-style-type: none"> 平面微細NGS素子開発、ナノギャップ物性変化測定 縦型NGS素子開発、4kbitデバイス試作、書き換え速度100ns、書き換え耐性10^6回以上を実証 最大電流20μA以下、動作電圧5V程度を実現 	<ul style="list-style-type: none"> 平面型NGS素子の微細化、計測評価技術、縦型NGS素子開発、高性能化ともに順調に進行しており、最終目標の達成は可能。4kbメモリチップの設計と試作・評価が重要。
③-① CNTトランジスタ	<ul style="list-style-type: none"> 高密度チャネルFETで電流利得遮断周波数50GHz以上を実証 半導体CNT優先成長、Siウエハ上CNT高密度配向成長を実現 局所評価技術の有効性を検証 	<ul style="list-style-type: none"> デバイス作製、高密度配向成長、局所評価の技術開発は順調に進行している。半導体CNT優先成長は挑戦的な課題であるが、化学反応機構の解明と電場印加技術により取り組む。この成果により、最終目標の達成は十分期待できる。
③-② III-V族半導体チャネル トランジスタ	<ul style="list-style-type: none"> 高移動度動作を実証 最適素子構造・材料を明確化 	<ul style="list-style-type: none"> Si上のIII-V-OIチャネルでSiを超える移動度を得ており、最適素子構造・材料についても着実に知見が蓄積されてきていることから、最終目標は達成可能。
③-③ Siウエハ中の原子空孔 濃度定量評価	<ul style="list-style-type: none"> 原子空孔濃度の面内分布分析技術を確立 大規模ナノレベルシミュレーション技術を開発 原子空孔濃度を制御した完全結晶ウエハ作製を可能にする 原子空孔濃度とデバイス特性との関連を調査 	<ul style="list-style-type: none"> 半導体産業で用いられているボロン添加CZシリコン結晶中の原子空孔濃度評価を進め、シリコンインゴット中の原子空孔制御技術の開発と、原子空孔濃度を評価したウエハを用いたデバイス製造技術の開発を進めことで、最終目標を達成できる見込み。

成果の実用化可能性

プロジェクト全体目標(2011年度)

産業界が10年後を見据えた将来の集積回路システムとして展開できる電子デバイスを開発する際に産業技術として活用できるかどうかの実現可能性を見極めることができる技術シーズを確立する。



中間目標、最終目標ともに達成見込みであり、目標とする技術シーズが確立される見通しは立っている。

波及効果

関連分野への技術展開

・開発成果のナノ計測技術、高精度シミュレーション技術は現行Siデバイスへ適用可能、さらに、様々な材料系への展開も期待

人材育成の促進

・大学院学生、若手研究者の参加により、将来の電子産業を支える幅広い知識と経験を有する人材を育成