

「パワーエレクトロニクスインバータ
基盤技術開発プロジェクト」

事業原簿

公開版

担当部	独立行政法人 新エネルギー・産業技術総合開発機構 電子・情報技術開発部
-----	--

－ 目次 －

概要

プロジェクト基本計画

プログラム基本計画

プロジェクト用語集

I. 事業の位置付け・必要性について

1. NEDOの関与の必要性・制度への適合性	1
1.1 NEDOが関与することの意義	1
1.2 実施の効果	2
1.3 情勢変化への対応	5
1.4 評価に関する事項	5
2. 事業の背景・目的・位置づけ	5

II. 研究開発マネジメントについて

1. 事業の目標	6
2. 事業の計画内容	8
2.1 研究開発の内容	8
2.2 研究開発の実施体制	14
2.3 研究開発の運営管理	24
3. 情勢変化への対応	26
4. 評価に関する事項	27

III. 研究開発成果について

1. 事業全体の成果	27
2. 研究開発項目毎の成果	29
2.1 高効率・高密度インバータユニット技術開発	29
2.2 高効率・高密度インバータ革新的高度化基盤技術開発	30
(1) インバータ大容量化技術	30
(2) インバータ信頼性向上基盤技術	32
(3) インバータ高パワー密度化基盤技術	34
3. 成果の水準と目標の達成度	35
4. 研究発表・講演・特許・その他の公表	44

IV. 実用化、事業化の見通しについて

V. 事前評価書とパブリックコメント募集の結果

参考資料：「パワーエレクトロニクスインバータ基盤技術開発」成果参考資料

概要

		作成日	平成 21 年 8 月 25 日		
プログラム (又は 施策) 名	ITイノベーションプログラム エネルギーイノベーションプログラム				
プロジェクト名	パワーエレクトロニクス インバータ基盤技術開発	プロジェクト番号	P 0 6 0 1 9		
担当推進部/担当者	電子・情報技術開発部 秋山純一				
0. 事業の概要	<p>低損失・高密度パワーエレクトロニクス機器を実用化するためには、SiCスイッチング素子技術を用いて、低損失・高密度インバータ技術開発を行うことが必要である。すなわち具体的な適用製品を想定して、従来のSiスイッチング素子を高性能SiCスイッチング素子に置き換えてインバータに用いるための回路設計技術、ノイズ対策や熱設計などのSiCスイッチング素子実装に伴う課題等を解決していく必要がある。一方、革新的な超低損失・高密度インバータを実現するために、SiCスイッチング素子の大容量化・信頼性向上・低損失化等のSiC材料のポテンシャルを最大限活用した高度化が求められる。これらの技術開発のためには素子特性評価とSiCウェハ評価を多面的に結びつけ、SiC単結晶ウェハおよびエピタキシャル製膜技術へフィードバックすることが不可欠である。さらに、高度化SiCスイッチング素子の性能を最大限活用したインバータ高パワー密度化に関わる設計技術・高速制御技術・高温実装技術等の基盤技術開発が必要である。本プロジェクトでは、これらの要請を具現化して、SiCスイッチング素子を用いたパワーエレクトロニクスインバータ基盤技術を開発した。</p>				
0. 事業の位置 付け・必要性に ついて	<p>情報家電の普及や通信需要の拡大に対処する電気エネルギーの高効率利用の実現、及びハイブリッド自動車や産業用の様々なモータ制御、家電製品の電源制御など、我が国の重要産業の国際競争力強化と省エネルギーを図るためには、その基盤となるパワーエレクトロニクスの研究開発が必要である。また、経済産業省が発表した新産業創造戦略（平成17年5月）において、我が国の産業競争力強化のために注力すべき分野として、環境・エネルギー機器が挙げられており、パワーエレクトロニクス機器には、一層の低消費電力化・小型化が求められている。本プロジェクトでは、自動車・家電製品等の低消費電力化実現に不可欠な炭化ケイ素 (SiC) 等を用いたパワーエレクトロニクスインバータ基盤技術を平成20年度までに確立し、我が国の関連産業の国際競争力強化と省エネルギーに資することを目的として IT イノベーションプログラム及びエネルギーイノベーションプログラムの一環として実施する。</p>				
II. 研究開発マネジメントについて					
事業の目標	平成20年度までに、具体的な製品応用を想定したSiCを用いた低損失インバータユニットを試作し、電力変換損失を同一定格のSiインバータユニットの30%以下に低減する。また、SiC材料のポテンシャルを最大限活用した革新的な超低損失・高密度インバータを実現するために、SiCスイッチング素子の大容量化・信頼性向上・低損失化等の性能高度化や、インバータ設計・高速制御・高温実装等に関わる基盤技術を確立する。				
事業の計画内容	主な実施事項	H18fy	H19fy	H20fy	
	①高効率・高密度インバータユニット技術開発			→	
	②高効率・高密度インバータ革新的高度化基盤技術開発			→	
開発予算 (会計・勘定)	会計・勘定	H18fy	H19fy	H20fy	総額
	一般会計				
	特別会計 (高度化)	2,067	1,089	888	4,044
	総予算額	2,067	1,089	888	4,044
開発体制	経産省担当原課	商務情報政策局 情報通信機器課			
	プロジェクトリーダー	(独) 産業技術総合研究所 パワーエレクトロニクス研究センター 研究センター長 荒井 和雄 (現在、イノベーション推進室 技術顧問)			
	委託先	三菱電機 株式会社、 独立行政法人 産業技術総合研究所、 財団法人 新機能素子研究開発協会			

<p>情勢変化への対応</p>	<p>3年間という短期のプロジェクトで目標を達成するため、必要な設備を早期に整備するためH18年度においては、H19年度予算の前倒し使用が認められ、実行した。また、世界最小のオン抵抗値を実現したことで、基盤技術開発の加速追加資金が335百万円投入された。</p> <p>H19年度、H20年度の予算は予定されていたより減額されたが、大口径ウェハの適用、高キャリア周波数化を図るための加速をH19年度に240百万円、歩留り向上に繋がるプロセス要素技術の開発の加速としてH20年度には85百万円の加速資金が投入された。</p>	
<p>Ⅲ. 研究開発成果について</p>	<p>【事業全体】 オールSiCインバータの設計、試作、実証では、14kVA（11kW出力）/400Vインバータユニット（体積1.1L）のユニットで損失の70%低減、パワー密度10W/cm³を達成。基盤技術としてSiCウェハの結晶転位欠陥のデバイス性能への影響については、現行の高品質基板は適用可能でむしろエピ膜形成を含めたプロセス起因欠陥がキラ欠陥であることが判明した。また、インバータの高パワー密度、高温使用の可能性について見極めることのできる技術が確立された。</p> <p>【個別テーマ】</p> <p>①高効率・高密度インバータユニット技術開発</p> <ul style="list-style-type: none"> 14kVA（11kW）のSiCインバータユニットを試作し、Si-IGBTモジュールに比べ損失70%減を実証し、最終目標を達成した。パワー密度10W/cm³、高キャリア周波数化ではインバータユニットで30kHzを達成した。4インチウェハを用いたSBD試作を行い、ウェハ品質と合わせて、変換器実用化の見通しを確実にした。 <p>②高効率・高密度インバータ革新的高度化基盤技術開発</p> <p>(1) インバータ大容量化技術</p> <ul style="list-style-type: none"> 結晶欠陥と素子破壊箇所の対応付けを行い、三角欠陥等のエピ欠陥がキラ欠陥であることを明らかにした。また、絶縁破壊箇所特定素子の試作により、MOS型電界効果トランジスタの耐圧不良が接合型電界効果トランジスタ領域上の酸化膜の破壊によること等を突き止めた。更に、活性化熱処理プロセスの工夫でSiC基板表面荒れを抑制することで歩留まりを向上させる技術を開発し、5mm角の素子試作に適用してショットキーバリアダイオード等で高い歩留りを得た。これらの結果から、5mm角、100A級素子の実現に必要な条件を明らかにした。 <p>(2) インバータ信頼性向上基盤技術</p> <ul style="list-style-type: none"> 5mm角までのMOS構造の信頼性寿命測定、放射光X線トポグラフィ等によるキラ欠陥の同定を進めて、数種のエピ欠陥がキラ欠陥として働き、絶縁破壊電荷を減少させていることを明確にした。貫通螺旋転位欠陥は破壊確率を高くするが、市販基板レベルの貫通螺旋転位欠陥密度では、実使用上必要とされる信頼性寿命30年は保証できるとの見通しを得た。また、ドライ酸化とウエット酸化/N2O酸化の組み合わせにより、高チャネル移動度と高信頼性を両立できる酸化膜形成技術の開発に成功した。 <p>(3) インバータ高パワー密度化基盤技術</p> <p>低オン抵抗素子試作と損失統合設計シミュレーションにより50W/cm³の高出力パワー密度を実現できる条件を明らかにした。重要な条件である高温環境動作のための電極形成技術等に関する分析を進め、250℃の環境下で1000時間を超える高温保持試験を行い、良好な接合特性を維持できることを確認した。</p>	
<p>Ⅳ. 実用化、事業化の見通しについて</p>	<p>投稿論文</p>	<p>40件 「査読付き」39件、「その他」1件、口頭発表：80件（国際会議：33件）</p>
<p>Ⅴ. 評価に関する事項</p>	<p>事前評価</p>	<p>平成18年度12月実施 担当部 電子・情報技術開発部</p>
	<p>中間評価以降</p>	<p>平成21年度 事後評価実施予定</p>
	<p>作成時期</p>	<p>平成18年3月策定</p>

VI. 基本計画に関する 事項	変更履歴	平成 20 年 7 月、イノベーションプログラム基本計画の制定により、「(1) 研究開発の目的」の記載を改訂。
--------------------	------	---

(IT イノベーションプログラム・エネルギーイノベーションプログラム)
「パワーエレクトロニクスインバータ基盤技術開発」基本計画

電子・情報技術開発部

1. 研究開発の目的・目標・内容

(1) 研究開発の目的

情報家電の普及や通信需要の拡大に対処する電気エネルギーの高効率利用の実現、及びハイブリッド自動車や産業用の様々なモータ制御、家電製品の電源制御など、我が国の重要産業の国際競争力強化と省エネルギーを図るためには、その基盤となるパワーエレクトロニクスの研究開発が必要である。また、経済産業省が発表した新産業創造戦略（平成17年5月）において、我が国の産業競争力強化のために注力すべき分野として、環境・エネルギー機器が挙げられており、パワーエレクトロニクス機器には、一層の低消費電力化・小型化が求められている。本プロジェクトでは、自動車・家電製品等の低消費電力化実現に不可欠な炭化ケイ素（SiC）等を用いたパワーエレクトロニクスインバータ基盤技術を平成20年度までに確立し、我が国の関連産業の国際競争力強化と省エネルギーに資することを目的としてITイノベーションプログラム及びエネルギーイノベーションプログラムの一環として実施する。

現在、家電機器や産業用途機器、鉄道、電力系統などの幅広い分野においてパワーエレクトロニクス機器が活用されている。さらに今後は、ハイブリッド自動車や電気自動車の普及、高度情報通信機器の増加、分散電源や電力貯蔵装置などを含む低電圧配電システムが電力系統に幅広く導入されるのに伴い、パワーエレクトロニクス機器の電力変換容量拡大、変換損失低減と小型化の必要性が高まっている。その一方で、従来のシリコン（Si）スイッチング素子を用いたパワーエレクトロニクス機器では、Siの物性的な限界からさらなる性能向上は困難となりつつある。このような背景から、ワイドギャップ半導体であるSiCが、新たなパワーエレクトロニクス用半導体材料として注目されている。SiCスイッチング素子では、導通時の電力損失（オン損失）が従来素子の100分の1、動作周波数が10倍に向上し、動作温度は250℃を超え得ると理論的に予測されている。SiCスイッチング素子を用いることにより、従来のSi電力変換モジュールと比べて、大幅に低電力損失かつ高密度のSiC電力変換モジュールの実現が期待される。独立行政法人新エネルギー・産業技術総合開発機構（以下、「NEDO技術開発機構」という）が編纂した、NEDO技術ロードマップ(平成17年版)では、我が国にとって、ワイドバンドギャップ半導体を用いた低損失・高パワー密度を実現するスイッチング素子開発が重要であり、その実現のためには多くの技術開発課題の解決に臨むことが求められている。

NEDO技術開発機構は、電力システムや燃料電池自動車等に用いられるパワーエレクトロニクス機器の超低損失化・小型化・軽量化を目指して、ワイドバンドギャップ半導体スイッチング素子の技術開発を行ってきた。超低損失電力素子技術開発プロジェクト（1998年～

2002年) では、SiCを用いた超低損失スイッチング素子の基盤技術開発と原型素子実証を行った。エネルギー使用合理化技術実用化開発(2003年-2005年)では、SiCスイッチング素子の実用化開発を行い、パワーモジュールの試作を行っている。

低損失・高密度パワーエレクトロニクス機器を実用化するためには、上記技術開発等の成果であるSiCスイッチング素子技術を用いて、低損失・高密度インバータ技術開発を行うことが必要である。すなわち具体的な適用製品を想定して、従来のSiスイッチング素子を高性能SiCスイッチング素子に置き換えてインバータに用いるための回路設計技術、ノイズ対策や熱設計などのSiCスイッチング素子実装に伴う課題等を解決していく必要がある。

一方、革新的な超低損失・高密度インバータを実現するために、SiCスイッチング素子の大容量化・信頼性向上・低損失化等のSiC材料のポテンシャルを最大限活用した高度化が求められる。これらの技術開発のためには素子特性評価とSiCウェハ評価を多面的に結びつけ、SiC単結晶ウェハおよびエピタキシャル成膜技術へフィードバックすることが不可欠である。さらに、高度化SiCスイッチング素子の性能を最大限活用したインバータ高パワー密度化に関わる設計技術・高速制御技術・高温実装技術等の基盤技術開発が必要である。

本プロジェクトでは、これらの要請を具現化して、SiCスイッチング素子を用いたパワーエレクトロニクスインバータ基盤技術を確立することを目的とする。

当該研究開発事業は、産業界も資金等の負担を行うことにより、市場化に向けた産業界の具体的な取り組みが示されていることを条件として実施する。

(2) 研究開発の目標

具体的な製品応用を想定したSiCを用いた低損失インバータユニットを試作し、電力変換損失を同一定格のSiインバータユニットの30%以下に低減する。*

また、SiC材料のポテンシャルを最大限活用した革新的な超低損失・高密度インバータを実現するために、SiCスイッチング素子の大容量化・信頼性向上・低損失化等の性能高度化や、インバータ設計・高速制御・高温実装等に関わる基盤技術を確立する。

(3) 研究開発内容

上記目標を達成するために、以下の研究開発項目について、別紙の研究開発計画に基づき研究開発を実施する。

- ①高効率・高密度インバータユニット技術開発
- ②高効率・高密度インバータ革新的高度化基盤技術開発

2. 研究開発の実施期間

本研究開発の期間は、平成18年度から平成20年度までの3年間とする。

3. 研究開発の実施方式

* 目標値設定に関する詳細は別紙の研究開発計画で指定する
プロジェクト基本計画-2

(1) 研究開発の実施体制

NEDO技術開発機構が公募を行い、民間企業、独立行政法人、大学等から委託先を選定するものとする。本プロジェクトにおける研究開発と産業界の実用化に向けた取り組みを一体的にマネジメントするように、プロジェクトリーダー（PL）をNEDO技術開発機構が指名する。また、SiCを含めたワイドギャップ半導体は、パワーエレクトロニクスや高周波応用が期待されており、また、その周辺技術の革新も目覚ましいものがある。本プロジェクトを機動的に運営するために、調査委員会等を設け国内外の技術情報の収集およびプロジェクトへの適時活用を図る。

(2) 研究開発の運営管理

研究開発全体の管理・執行に責任と決定権を有するNEDO技術開発機構は、経済産業省及びPLと密接な関係を維持しつつ、プログラムの目的及び目標、並びに本研究開発の目的及び目標に照らして適切な運営管理を実施する。また、必要に応じて、外部有識者の意見を運営管理に反映させる。

4. 評価の実施

NEDO技術開発機構は、技術的及び産業技術政策的観点から見た研究開発の意義、目標達成度、成果の技術的意義ならびに将来の産業への波及効果等の観点から、外部有識者による研究開発の事後評価を平成21年度に実施する。なお、評価の時期については、当該研究開発に係る技術動向、政策動向や当該研究開発の進捗状況等に応じて、前倒しする等、適宜見直すものとする。

5. その他の重要事項

(1) 研究開発成果の取扱い

① 成果の普及

得られた研究開発成果のうち共通基盤技術に係るものについては、プロジェクト内で速やかに共有した後で、NEDO技術開発機構及び実施者が協力して普及に努めるものとする。

② 知的基盤整備事業又は標準化等との連携

得られた研究開発の成果については、知的基盤整備または標準化等との連携を図るため、データベースへのデータの提供、標準情報（TR）制度への提案等を積極的に行う。

③ 知的所有権の帰属

委託研究開発の成果に関わる知的所有権については、「独立行政法人新エネルギー・産業技術総合開発機構 新エネルギー・産業技術業務方法書」第25条の規定等に基づき、原則として、すべて委託先に帰属させることとする。

(2) 基本計画の変更

NEDO技術開発機構は、研究開発内容の妥当性を確保するため、社会・経済的状況、内外の研究開発動向、産業技術政策動向、プログラム基本計画の変更、第三者の視点からの評価結果、研究開発費の確保状況、当該研究開発の進捗状況等を総合的に勘案し、達成目標、

実施期間、研究開発体制等、基本計画の見直しを弾力的に行うものとする。

(3) 根拠法

本プロジェクトは、独立行政法人新エネルギー・産業技術総合開発機構法（平成14年法律第145号）第15条第1項第1号ハ及び第2号に基づき実施する。

(4) その他

産業界が実施する研究開発との間で共同研究を行う等、密接な連携を図ることにより、研究開発を加速し、円滑な技術移転を促進する。

6. 基本計画の改訂履歴

(1) 平成18年3月、制定。

(2) 平成20年6月、イノベーションプログラム基本計画の制定により、「(1) 研究開発の目的」の記載を改訂。

(別紙) 研究開発計画

研究開発項目 ①「高効率・高密度インバータユニット技術開発」

1. 研究開発の必要性

低損失・高密度化の要求が高いパワーエレクトロニクス機器を対象として、その中核となるSiCスイッチング素子を用いたインバータユニットの技術開発を行い、その実用化を目指す。インバータユニットとは、下の回路図に示す直流電圧を交流電圧に変換するインバータ基本構造とする。本研究開発では、SiCスイッチング素子をインバータに用いるために必要な、実装・冷却・素子駆動・ノイズ対策などのインバータユニットの設計とSiCスイッチング素子を含めたインバータユニット試作開発の総合技術開発を行う必要がある。

2. 研究開発の具体的内容

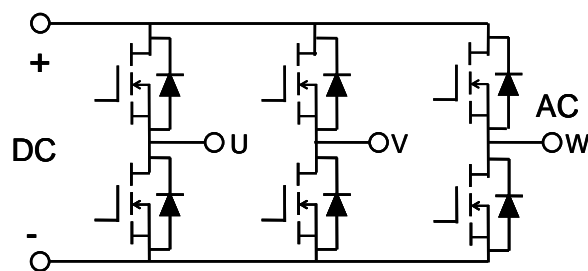
インバータ用スイッチング素子の高性能化技術開発を行うと共に、それら高性能スイッチング素子を用いた高効率インバータユニットの試作を行い、その有効性を実証する。具体的には、ダイオード・MOS型スイッチング素子作製プロセス技術、素子耐圧安定化技術、素子オン抵抗低減化技術、インバータ化技術（素子保護、熱設計、低インダクタンス構造、最適スイッチング技術）等の技術開発を実施する。本研究項目で用いるSiCウェハの評価を、研究開発項目②における素子特性評価・ウェハ品質評価と密接に連携させて、ウェハ・スイッチング素子・インバータユニットの性能に関わる知見をプロジェクト全体で共有することにより、高効率・高密度インバータ実現に向けての課題解決に資するものとする。

3. 達成目標

具体的な製品応用を想定した、SiCスイッチング素子を用いたインバータユニットを試作し、同一定格のSiインバータユニットと比較して変換損失を大幅に低減することを実証する。

一例として、産業用汎用インバータを想定した、AC400V系、3相、出力容量15kVA級のインバータユニットで、変換損失を同一定格のSiインバータユニットの30%以下に低減する。

変換損失は開発インバータユニットの定格に依存するので、定格に応じて上記目標例と同等な性能向上を実証することとする。



インバータユニット

研究開発項目 ②「高効率・高密度インバータ革新的高度化基盤技術開発」

1. 研究開発の必要性

SiC材料の特徴を活かした革新的なインバータ実用化のためには、その革新性（低損失・大容量・高温動作・小型化など）をもたらすSiCスイッチング素子の大容量化・信頼性向上・低損失化等の性能高度化が必要であり、さらに、それらの革新的SiCスイッチング素子を用いた超低損失・大容量インバータ開発のための設計・高速制御・高温実装などの技術開発が必要である。

2. 研究開発の具体的内容

(1) インバータ大容量化基盤技術

インバータの革新的高度化を目指して、SiCウェハ品質とその上に作製した素子特性の関連を明らかにし、スイッチング素子特性劣化機構等を解明する。その知見を踏まえて素子あたり100 Aクラスの大容量化を実現するための基盤技術を開発する。

(2) インバータ信頼性向上基盤技術

前項目の特性劣化機構等の知見を踏まえて、SiCスイッチング素子の信頼性評価手法や高信頼性を実現する基盤技術を開発する。

上記2項目を効率的に遂行するために、プロジェクト全体でSiCウェハの管理を行い、素子特性評価とウェハ品質評価について系統的なデータの集積・管理を行う。

(3) インバータ高パワー密度化基盤技術

インバータの革新的高パワー密度化を目指して、SiC物性値限界に迫る低損失スイッチング素子を開発し、インバータ損失の低減を迫及する。加えて、開発素子の活用に資するインバータ設計技術の高度化により、高パワー密度化を目指す。更にインバータ連携制御の要となる高速制御技術、及び高温動作を行うための実装技術の指針を提示する。

3. 達成目標

(1) インバータ大容量化技術

SiCウェハの品質とその上に試作したスイッチング素子特性の関連を明確化する。インバータの大容量化に不可欠なスイッチング素子の大容量化に関しては、5 mm角級チップを試作し、電流容量100 Aの性能を達成する条件を明確にする。

(2) インバータ信頼性向上基盤技術

SiCスイッチング素子の信頼性評価手法を開発し長期信頼性を決めている要因を明確化する。特に最大の課題であるMOSスイッチング素子の酸化膜について、5 mm角級チップを試作し、実用素子に求められる信頼性を達成する条件を明確にする。

(3) インバータ高パワー密度化基盤技術

素子あたり10 A以上のSiC低損失MOSスイッチング素子（オン抵抗 $2\sim 5\text{ m}\Omega\cdot\text{cm}^2$ 、耐圧 $0.6\sim 1.7\text{ kV}$ ）の開発を行う。インバータ損失の限界を迫及する限界設計技術を開発し、高パワ

一密度 (50 W/cm³以上) のSiCインバータを実現に必要な条件を明らかにし、その見通しを明確化する。同様に、高速制御技術および高温 (250℃) 環境での動作の実装技術の指針を提示する。

ITイノベーションプログラム基本計画

1. 目的

我が国が目指す高度情報通信ネットワーク社会の構築に向け、経済成長戦略大綱、IT新

改革戦略、科学技術基本計画及び技術戦略マップ等に基づき、情報化の進展に伴うエネルギー消費量の増大等の課題にも考慮しつつ、その基盤となる情報通信機器・デバイス等の情報通信技術を開発し、実社会への利用を促進する。また、情報システム・ソフトウェアについて品質、信頼性及び生産性の向上を推進し、組込みソフトウェア産業強化、オープンソースソフトウェアを安心して活用するための環境整備、独創的な人材の発掘等、我が国産業競争力強化のための必要な基盤整備を実施することによって、ITの利活用の深化・拡大を図り、より豊かな国民生活を実現するとともに、我が国の経済活力の向上を図ることを目的とする。

2. 政策的位置付け

○「経済成長戦略大綱」（2006年7月財政・経済一体改革会議。2007年6月改訂、経済財政諮問会議報告）

IT革新による競争力強化、IT革新を支える産業・基盤の強化に必要な研究開発の推進に対応

○「第3期科学技術基本計画」（2006年3月閣議決定）

国家的・社会的課題に対応した研究開発の重点推進4分野である情報通信分野、分野別推進戦略（2006年3月総合科学技術会議）における重点分野である情報通信分野に位置づけられるもの。

○「IT新改革戦略」（2006年1月高度情報通信ネットワーク社会推進戦略本部）
次世代のIT社会の基礎となる研究開発の推進等に対応。

3. 達成目標

(1) 情報経済社会を形成する上で必要不可欠な基盤技術である情報通信機器・デバイス等に関しては、「革新的な技術の確立」と「その開発成果の普及促進」を図る。

【目標】

- ・情報通信機器・デバイス産業の付加価値額を、2020年度において、2007年度比で、約50%増加させる。
- ・半導体の微細化に係る革新的基盤技術の開発（テクノロジーノード45nm以細）・情報家電の音声認識のタスク率（95%以上の達成）
- ・革新的な大型ディスプレイ技術の開発（消費電力を現状機器と比較して約50%以下）

- ・革新的なネットワーク機器技術の開発（消費電力を現状機器と比較して60%以下）

(2) 経済社会システムの信頼性確保に大きく寄与する情報システム・ソフトウェアに関しては、品質、信頼性及び生産性の向上や産学官の開発リソースの連携強化により、「人材育成」と「ソフトウェア工学の開発」等を積極的に推進する。

【目標】

- ・情報サービス・ソフトウェア産業の付加価値額を、2015年度において、2004年度比で、約25%増加させる。
- ・組み込みシステム等の不具合発生率（2011年度までに2006年度比50%減）

4. 研究開発内容

[プロジェクト]

(中略)

II. 省エネ革新

(中略)

[iii] 省エネを支えるプロセス基盤技術

(1) パワーエレクトロニクスインバータ基盤技術開発（運営費交付金）（再掲）

①概要

エネルギー需給構造の高度化を図る観点から行うものであり、省エネルギーを進めるために、シリコンよりも材料特性に優れたワイドギャップ半導体デバイスを用いた高効率インバータ等の実用パワーエレクトロニクス機器システムの基盤技術の開発を行う。

②技術目標及び達成時期

2008年度までに、ワイドバンドギャップ半導体デバイスを用いた高効率インバータ等の実用パワーエレクトロニクス技術を開発する。

③研究開発期間

2006年度～2008年度

(中略)

5. 政策目標の実現に向けた環境整備

【法律】

- ・情報処理の振興を目的に、昭和45年に情報処理の促進に関する法律が制定。
- ・半導体集積回路の回路配置の適正な利用の確保を目的に、昭和63年に半導体集積回路の回路配置に関する法律が制定。

【税制】

- ・情報セキュリティ強化を確保しつつ生産性の向上を図るためのIT投資に対し、35%特別償却又は7%税額控除（情報基盤強化税制）。
- ・ソフトウェアを含む機械装置等に対し、30%特別償却又は7%税額控除（中小企業投資促進税制）。

【国際標準化】

各プロジェクトで得られた成果のうち、標準化すべきものについては、適切な標準化活動（国際規格（ISO/IEC））、日本工業規格（JIS）、その他国際的に認知された標準の提案等）を実施する。特に、産学連携ソフトウェア工学の実践における組込みソフトウェア開発については、国際標準の動向を踏まえた開発を促進することにより、プロジェクトの成果の幅広い普及を促進する。

【関係機関との連携】

各プロジェクトのうち、研究開発を効率的・効果的に推進する観点から関係機関との連携が必要なものについては、これを積極的に行う。

但し、関係機関が行う研究開発等の独自性を妨げるものではない。

【導入普及促進】

成果の普及を図るため、これまでの終了プロジェクトの成果の全部または、一部についてはオープンソースソフトウェアとして公開する。

【プロジェクト等間の連携について】

高信頼な組込みソフトウェアの開発では、ソフトウェアエンジニアリングセンター（SEC）において提供される各種エンジニアリング手法を開発現場に適用し、当該技術の効果を明らかにしながら開発を進める。

【その他】

・グラント事業

NEDOの産業技術研究助成事業を活用し、萌芽的・革新的な情報通信関係の技術シーズの発掘を行う。また、ソフトウェア分野の独創的な技術やビジネスシーズを有した人材を発掘する。

・事業終了後の連携

産学官連携の研究体制を通して活動を行い、これらの事業の終了後も各分野の研究者・技術者が有機的に連携し、更に新たな研究を作り出す環境を構築する。

・人材育成

ハードウェア分野においては、出来る限り大学との連携を重視し、各種フェローシッ

プ制度を活用しつつ、最先端の情報通信基盤研究現場への学生等の参画を推進することにより次世代の研究開発人材の育成を図る。また、ソフトウェア分野における独創的な人材を発掘し、育成するとともに、優秀な人材が集うコミュニティを構築するなど、発掘された人材の才能をさらに伸ばすための取組を進める。

・広報／啓発

毎年10月を「情報化月間」としている。

6. 研究開発の実施に当たっての留意事項

事業の全部又は一部について独立行政法人の運営費交付金により実施されるもの（事業名に（運営費交付金）と記載したものは、中期目標、中期計画等に基づき、運営費交付金の総額の範囲内で、当該独立行政法人の裁量によって実施されるものである。

7. 改訂履歴

- (1) 平成12年12月28日付け、情報通信基盤高度化プログラム基本計画を制定。
- (2) 平成14年2月28日付け、情報通信基盤高度化プログラム基本計画及び次世代半導体デバイスプロセス等基盤技術プログラム基本計画を制定。情報通信基盤高度化プログラム基本計画（平成12・12・27工総第12号）は廃止。
- (3) 平成15年1月31日付け、情報通信基盤高度化プログラム基本計画及び次世代半導体デバイスプロセス等基盤技術プログラム基本計画を制定。情報通信基盤高度化プログラム基本計画（平成14・02・25産局第17号）及び次世代半導体デバイスプロセス等基盤技術プログラム基本計画（平成14・02・25産局第18号）は、廃止。
- (4) 平成15年3月10日付け、情報通信基盤高度化プログラム基本計画、次世代半導体デバイスプロセス等基盤技術プログラム基本計画、次世代ディスプレイ技術開発プログラム基本計画及び情報通信基盤ソフトウェア開発推進プログラム基本計画を制定。情報通信基盤高度化プログラム基本計画（平成15・01・29産局第1号）及び次世代半導体デバイスプロセス等基盤技術プログラム基本計画（平成15・01・29産局第2号）は、廃止。

なお、情報通信機器高度化プログラム基本計画（平成15・01・29産局第1号）及び次世代半導体デバイスプロセス等基盤技術プログラム基本計画（平成15・01・29産局第2号）の一部は、次世代ディスプレイ技術開発プログラム基本計画及び情報通信基盤ソフトウェア開発推進プログラム基本計画へ移行。

- (5) 平成16年2月3日付け、高度情報通信機器・デバイス基盤プログラム基本計画及び情報通信基盤ソフトウェア開発推進プログラム基本計画を制定。情報通信機器高度化プログラム基本計画（平成15・03・07産局第14号）、次世代半導体デバイスプロセス等基盤技術プログラム基本計画（平成15・03・07産局第7号）、次世代ディスプレイ技術開発プログラム基本計画（平成15・03・07産局第4号）は、高度情報通信機器・デバイス基盤プログラム基本計画に統合することとし、廃止。また、情報通信基盤ソフトウェア開発推進プログラム基本計画（平成15・03・07産局第14号）は、

廃止。

- (6) 平成17年3月25日付け、高度情報通信機器・デバイス基盤プログラム基本計画を制定。高度情報通信機器・デバイス基盤プログラム基本計画（平成16・02・03産局第1号）は廃止。また、平成17年3月31日付け、情報通信基盤ソフトウェア開発推進プログラム基本計画を制定。情報通信基盤ソフトウェア開発推進プログラム基本計画（平成16・02・03産局第2号）は廃止。
- (7) 平成18年3月31日付け、高度情報通信機器・デバイス基盤プログラム基本計画及び情報通信基盤ソフトウェア開発推進プログラム基本計画を制定。高度情報通信機器・デバイス基盤プログラム基本計画（平成17・03・25産局第7号）及び情報通信基盤ソフトウェア開発推進プログラム基本計画（平成17・03・25産局第6号）は廃止。
- (8) 平成19年4月2日付け、高度情報通信機器・デバイス基盤プログラム基本計画及び情報通信基盤ソフトウェア開発推進プログラム基本計画を制定。高度情報通信機器・デバイス基盤プログラム基本計画（平成18・03・31産局第4号）及び情報通信基盤ソフトウェア開発推進プログラム基本計画（平成18・03・31産局第5号）は廃止。
- (9) 平成20年4月1日付け、ITイノベーションプログラム基本計画を制定。情報通信機器高度化・デバイス基盤プログラム基本計画（平成19・03・12産局第7号）及び情報通信基盤ソフトウェア開発推進プログラム基本計画（平成19・03・12産局第8号）は、本プログラム基本計画に統合することとし、廃止。

エネルギーイノベーションプログラム基本計画

1. 目的

資源に乏しい我が国が、将来にわたり持続的発展を達成するためには、革新的なエネルギー技術の開発、導入・普及によって、各国に先んじて次世代型のエネルギー利用社会の構築に取り組んでいくことが不可欠である。他方、エネルギー技術開発は、長期間を要するとともに大規模投資を伴う一方で将来の不確実性が大きいことから、民間企業が持続的な取組を行うことは必ずしも容易ではない。このため、政府が長期を見据えた将来の技術進展の方向性を示し、官民双方がこの方向性を共有することで、将来の不確実性に対する懸念が緩和され、官民において長期にわたり軸のぶれない取組の実施が可能となる。以下に5つの政策の柱毎に目的を示す。

1-I. 総合エネルギー効率の向上

1970年代以来、官民をあげて省エネルギーに取り組み、産業構造の転換や新たな製造技術の導入、民生機器の効率改善等により世界最高水準の省エネルギーを達成している。今後、「新・国家エネルギー戦略」に掲げる、2030年までにGDPあたりのエネルギー利用効率を約30%向上を実現していくためには、産業部門はもとより、全部門において、総合エネルギー効率の向上に資する技術開発とその成果の導入を促進する。

1-II. 運輸部門の燃料多様化

ほぼ100%を石油に依存する運輸部門は、我が国エネルギー需給構造上、最も脆弱性が高く、その需給構造の次世代化は、将来に向けた早急な対策が不可欠な課題となっている。

「新・国家エネルギー戦略」に掲げる目標（2030年に向け、運輸部門の石油依存度が80%程度となることを目指す）の実現のためにも、官民が中長期的な展望・方向性を共有しつつ、技術開発と関連施策を推進する。

1-III. 新エネルギー等の開発・導入促進

太陽光、風力、バイオマスなどの新エネルギーは、エネルギー源の多様化や地球温暖化対策の観点から重要である。しかし、現時点では経済性や出力安定性といった普及へ向けての課題が存在する。

そのため、これらの課題解決に向けた技術開発の推進及び新エネルギーの導入促進のための関連施策の実施により、更なる新エネルギーの普及を推進する。

1-IV. 原子力等利用の推進とその大前提となる安全の確保

原子力発電は供給安定性に優れ、運用時にCO₂を排出しないクリーンなエネルギー源である。安全確保を大前提に核燃料サイクルを含む原子力発電を着実に推進する。

1-V. 化石燃料の安定供給確保と有効かつクリーンな利用

化石燃料資源の大宗を輸入に依存する我が国にとって、その安定供給の確保は国家安全

保障に直結する課題である。このため、石油・天然ガス等の安定供給確保を目指し、我が国企業による資源国における資源開発等に対する支援等の施策を進めるとともに、その有効かつクリーンな利用を図る。

2. 政策的位置付け

○ エネルギー基本計画（2007年3月閣議決定）

重点的に研究開発のための施策を講ずべきエネルギーに関する技術及びその施策として、

1. 総合エネルギー効率の向上に資する技術
2. 原子力利用の推進とその大前提となる安全の確保に資する技術
3. 運輸部門のエネルギー多様化に資する技術
4. 新エネルギーに関する技術
5. 化石燃料の安定供給確保と有効かつクリーンな利用に資する技術

以上が位置づけられている。

○ 新・国家エネルギー戦略（2006年5月）

世界最先端のエネルギー需給構造の実現を図るため

1. 省エネルギーフロンランナー計画
2. 運輸エネルギーの次世代化計画
3. 新エネルギーイノベーション計画
4. 原子力立国計画

以上の計画が位置づけられている。また、資源外交、エネルギー環境協力の総合的な強化を図るため、「総合資源確保戦略」が位置づけられている。

○ 第3期科学技術基本計画（2006年3月閣議決定）

国の存立にとって基盤的であり国として取り組むことが不可欠な研究開発課題を重視して研究開発を推進する「推進4分野」であるエネルギー分野、分野別推進戦略（2006年3月総合科学技術会議）における「推進4分野」であるエネルギー分野に位置付けられている。

○ 経済成長戦略大綱（2006年7月財政・経済一体改革会議）

資源・エネルギー政策の戦略的展開として

1. 省エネルギーフロンランナー計画
2. 次世代自動車・燃料イニシアティブ等による運輸エネルギー次世代化
3. 新エネルギーイノベーション計画
4. 原子力立国計画
5. 資源外交、環境・エネルギー協力等の総合的な強化

以上が位置づけられている。

○ 京都議定書目標達成計画（2005年4月閣議決定）

「京都議定書の約束を達成するとともに、更に「脱温暖化社会」に向けて長期的・継続的な排出削減を進めるには、究極的には化石燃料への依存を減らすことが必要で

ある。環境と経済の両立を図りつつ、これらの目標を達成するため、省エネルギー、未利用エネルギーの利用等の技術革新を加速し、効率的な機器や先進的なシステムの普及を図り、世界をリードする環境立国を目指す。」とされている。

3. 達成目標

3-I. 総合エネルギー効率の向上

転換部門における「エネルギー転換効率向上」、産業部門における「製造プロセス向上」、民生・運輸部門における「省エネルギー」などにより、エネルギー消費効率を2030年度までに少なくとも30%改善することを目指す。

3-II. 運輸部門の燃料多様化

バイオマス由来燃料、GTL、BTL、CTLなどの新燃料、電気自動車や燃料電池自動車などの導入により、現在ほぼ100%の運輸部門の石油依存度を2030年までに80%程度とすることを目指す。

3-III. 新エネルギー等の開発・導入促進

太陽光、風力、バイオマスなどの新エネルギーの技術開発や燃料電池など革新的なエネルギー高度利用を促進することにより、新エネルギー等の自立的な普及を目指すことで、エネルギー源の多様化及び地球温暖化対策に貢献する。

3-IV. 原子力等利用の推進とその大前提となる安全の確保

2030年以降においても、発電電力量に占める比率を30～40%程度以上とすることを目指すため、高速増殖炉サイクルの早期実用化、既設軽水炉代替へ対応する次世代軽水炉の開発、軽水炉技術を前提とした核燃料サイクルの確立、放射性廃棄物対策などの技術開発を推進する。

3-V. 化石燃料の安定供給確保と有効かつクリーンな利用

石油・天然ガスの化石燃料の安定供給確保を目指し、資源獲得能力の強化に資する先端的な技術開発を推進するとともに、環境負荷低減のために化石燃料の効率的かつクリーンな利用を促進するための技術開発・導入を目指す。

4. 研究開発内容

4-I. 総合エネルギー効率の向上

(中略)

4-I-vi. 次世代省エネデバイス技術

(1) パワーエレクトロニクスインバータ基盤技術開発 (運営費交付金)

①概要

エネルギー需給構造の高度化を図る観点から行うものであり、省エネルギーを進めるために、シリコンよりも材料特性に優れたワイドギャップ半導体デバイスを用いた高効率インバータ等の実用パワーエレクトロニクス機器システムの基盤技術

の開発を行う。

②技術目標及び達成時期

2008年度までに、ワイドギャップ半導体デバイスを用いた高効率インバータ等の実用パワーエレクトロニクス技術を開発する。

③研究開発期間

2006年度～2008年度

(中略)

5. 政策目標の実現に向けた環境整備（成果の実用化、導入普及に向けた取組）

5-I. 総合エネルギー効率の向上

- 事業者単位の規制体系の導入
- 住宅・建築物に係る省エネルギー対策の強化
- セクター別ベンチマークアプローチの導入と初期需要創出（高効率機器の導入補助等）
- トップランナー基準の対象機器の拡充等
- アジアにおける省エネルギー対策の推進を通じた我が国の国際競争力の向上
- 国民の省エネルギー意識の高まりに向けた取組

5-II. 運輸部門の燃料多様化

- 公共的車両への積極的導入
- 燃費基準の策定・改定
- アジアにおける新エネルギー協力
- 国際標準化による国際競争力向上

5-III. 新エネルギー等の開発・導入促進

- 事業者支援補助金等による初期需要創出
- 新エネルギーベンチャービジネスに対する支援の拡大
- 新エネルギー産業構造の形成
- 電気事業制度・ガス事業制度の在り方の検討

5-IV. 原子力利用の推進とその大前提となる安全の確保

- 電力自由化環境下での原子力発電の新・増設の実現
- 資源確保戦略の展開
- 次世代を支える人材育成
- 中小型炉の海外市場への展開、我が国原子力産業の国際展開支援
- 原子力発電拡大と核不拡散の両立に向けた国際的枠組み作りへの積極的関与
- 国と地域の信頼強化

5-V. 化石燃料の安定供給確保と有効かつクリーンな利用

- 資源国等との総合的な関係強化（研究開発の推進・協力、人材育成・技術移転、経済関係強化など）
- 化石燃料のクリーンな利用の開拓

6. 研究開発の実施に当たっての留意事項

事業の全部又は一部について独立行政法人の運営費交付金による実施されるもの（事業名に（運営費交付金）と記載したもの）は、中期目標、中期計画等に基づき、運営費交付金の総額の範囲内で当該独立行政法人の裁量によって実施されるものである。

また、事業名に（採択テーマ）と記載された事業は、提案公募事業により採択されたテーマを記載したものであり、その採択や評価等は、提案公募事業の実施機関の責任の下、実施されるものである。

7. 改訂履歴

- (1) 平成16年7月7日付け、省エネルギー技術開発プログラム基本計画、新エネルギー技術開発プログラム基本計画、燃料技術開発プログラム基本計画、電力技術開発プログラム基本計画、原子力技術開発プログラム基本計画制定。固体高分子形燃料電池／水素エネルギー利用プログラム基本計画（平成16・02・03産局第6号）は、新エネルギー技術開発プログラム基本計画に統合することとし、廃止。
- (2) 平成17年3月31日付け制定。省エネルギー技術開発プログラム基本計画（平成16・06・04産局第8号）、新エネルギー技術開発プログラム基本計画（平成16・06・04産局第10号）、燃料技術開発プログラム基本計画（平成16・06・04産局第12号）、電力技術開発プログラム基本計画（平成16・06・04産局第11号）、原子力技術開発プログラム基本計画（平成16・06・04産局第13号）は、廃止。
- (3) 平成18年3月31日付け制定。省エネルギー技術開発プログラム基本計画（平成17・03・25産局第14号）、新エネルギー技術開発プログラム基本計画（平成17・03・25産局第9号）、燃料技術開発プログラム基本計画（平成17・03・25産局第17号）、電力技術開発プログラム基本計画（平成17・03・25産局第12号）、原子力技術開発プログラム基本計画（平成17・03・25産局第13号）は、廃止。また、次世代低公害車技術開発プログラム基本計画（平成17・03・29産局第2号）は、省エネルギー技術開発プログラム基本計画及び燃料技術開発プログラム基本計画に統合することとし、廃止。
- (4) 平成19年4月2日付け制定。省エネルギー技術開発プログラム基本計画（平成17・03・31産局第19号）、新エネルギー技術開発プログラム基本計画（平成18・03・31産局第15号）、燃料技術開発プログラム基本計画（平成18・03・31産局第18号）、電力技術開発プログラム基本計画（平成18・03・31産局第17号）、原子力技術開発プログラム基本計画（平成18・03・31産局第16号）は、廃止。
- (5) 平成20年4月1日付け、エネルギーイノベーションプログラム基本計画制定。省エネルギー技術開発プログラム基本計画（平成19・03・26産局第1号）、新エネルギー技術開発プログラム基本計画（平成19・03・20産局第4号）、燃料技術開発プログラム基本計画（平成19・03・19産局第7号）、電力技術開発プログラム基本

計画（平成19・03・16産局第3号）、原子力技術開発プログラム基本計画（平成19・03・23産局第2号）は、本プログラム基本計画に統合することとし、廃止。

【プロジェクト用語集】

	用語	説明
1	SiC(炭化ケイ素)半導体	炭素(C)とケイ素(Si)の化合物であるSiC(Silicon carbide, 炭化ケイ素)からなる半導体である。最大の特徴は、バンドギャップが3.25eVと従来のSi半導体に比べて3倍と広く、その分絶縁破壊にいたる電界強度が3MV/cmと10倍程度大きい点。また、熱伝導性、耐熱性、耐薬品性に優れ、放射線に対する耐性もSi半導体より高いという特徴を持つ。
2	インバータ	直流を交流に変換する装置を指す。これに対して、交流を直流に変換する装置をコンバータという。しかし、一般にはコンバータとインバータを組み合わせ、商用電源の周波数を変換する装置全体をインバータと呼ぶことが多い。インバータを使えば交流モータの回転速度を制御したり、照明器具の明るさを自在に調節することができる。
3	IGBT	Insulated Gate Bipolar Transistorの略。MOSFETとバイポーラトランジスタの複合素子で、電子、ホール両方のキャリアが伝導に寄与するために、オン抵抗値がユニポーラ型のMOSFETよりも低いが、スイッチング損失が大きく、スイッチング速度が遅い。Siのパワー素子で非常に広範囲に使われている。
4	ワイドバンドギャップ半導体	バンドギャップの大きい半導体。「大きい」は相対的なものではっきりとはしないが、シリコンのバンドギャップの2倍程度である2.2eV程度以上のバンドギャップを持つ場合にワイドギャップと呼ぶことが多い。 例えば窒化ガリウム(GaN)では、炭化ケイ素(SiC)、ダイヤモンドなどがある。
5	エピタキシャル成膜技術	結晶基板上に結晶軸のそろった結晶層を成長させる技術。不純物や欠陥のない結晶層を作る。基板上でガスを反応させて結晶層を積み上げるVPE(気相成長)法と溶液を接触させて結晶相を成長させるLPE(液相成長)法がある。
6	汎用インバータ	周波数と電圧を制御することによって、モータの回転を高度に制御する可変速装置です。汎用インバータとは名前の示すとおり、建設・土木機械、食料加工機械、搬送機械、ファン・ポンプなど極めて広範な用途を持っており、多くの産業機器に使われています。汎用インバータの定義には{100KVA以下で、主として汎用3相囲い型誘導電動機(37キロワット以下)を駆動することを目的として、標準仕様により量産されている電圧型インバータ}や{容量範囲が75KW(1馬力)以下のもの}などがあります。
7	ダイオード	整流作用(電流を一定方向にしか流さない作用)を持つ電子素子。
8	SBD(ショットキーバリアダイオード)	金属と半導体とのショットキー接合の整流作用を利用している。順方向の電圧降下が低く、逆回復時間が短いため、高周波の整流に適する。一般的に漏れ電流が多く、サージ耐力が低い。
9	PiNダイオード	通常のダイオードがP層とN層の2層構造であるのに対し、中間層としてI層と呼ばれる真性半導体層を持つため3層構造となっている。I層は真性半導体とは言うものの、実際には不純物濃度が低いn型半導体である。I層の存在により、PNダイオードよりも順方向電圧降下が若干大きくなるが、逆方向阻止電圧が高い素子を作ることができる。
10	キャリア周波数	PWM制御(パルス幅変調)方式の時、インバータで出力電圧形のパルス幅を決めるための変調波の周波数
11	MOSFET	電界効果トランジスタ(FET)の一種で、LSIの中では最も一般的に使用されている構造である。U字型ゲートをもつMOSFETをUMOSという。
12	DMOS	Double Diffused MOS : 2重拡散型MOS。従来の信号処理用のMOSTランジスタではチャネル部分の拡散は1回で、マスク寸法でチャネル長が決まり比較的高い抵抗値を有したのに対し、ドライバの出力部に用いるDMOSではチャネル部分への2回の拡散での横方向への広がりの差を利用して実効的なチャネル長をサブミクロンまで短くし、トランジスタのON抵抗を非常に低くしています。

	用語	説明
13	IE-MOS	Implantation and Epitaxial MOSFET. 産総研が開発したMOSFETで現在、世界最小のオン抵抗値を有する。
14	X線トポグラフィー	結晶からのブラッグ反射像を写真、あるいはテレビにより拡大して結晶の種々の特性を静的、動的に観察する結晶解析の一方法。
15	チャンネル移動度	移動度は、固体の中でのキャリアの流れやすさを表す指標で、加えた電界強度とキャリアの走行速度の比例計数である。同じ大きさの電圧を加えたときには、移動度が大きいほど、キャリアの走行速度が大きくなり、電流が増加する。チャンネル移動度は、トランジスタ(MOSFET)の性能指標の一つ。電子の動きやすさ、即ちトランジスタ内を電子が流れる速度を表わすもので、この数値が大きいものほどトランジスタのオン抵抗が下がり、動作スピードが速い。
16	転位	結晶中に含まれる、線状の結晶欠陥のことである。外力等によって、転位近傍の原子が再配置されることによって転位の位置が移動し材料が変形する為、変形に要する力は原子間の結合力から理論的に計算される力よりも小さく金属の硬さ(変形のしにくさ)は転位の動きやすさが決めている。転位が動くことによって、金属等は外力に対して、破壊せずに変形する塑性変形を起こす。転位には刃状転位(エッジ・ディスロケーション)と、螺旋転位(スクリー・ディスロケーション)と、2つが混合した混合転位が有る。
17	TDDB/TZDB	Time Dependent Dielectric Breakdown. 酸化膜(絶縁膜)の経時破壊現象です。酸化膜の絶縁破壊強度は通常、10MV/cm 以上と高電界であるが、実使用状態等のような低電界においても時間経過とともに破壊が起こる現象がみられ、これをTDDB と呼び、特に近年の集積度の向上と共に微細化に伴うゲート酸化膜の薄膜化と電界強度の増加により重要な故障要因の一つとなっている。TZDB(time zero dielectric breakdown)は瞬時絶縁破壊。
18	GaN	ガリウムナイトライド(gallium nitride)とも呼ばれる窒化物半導体である。バンドギャップがSiより3倍広いという特性を活かして、青色発光ダイオード(LED)や青紫色半導体レーザーといった発光デバイスが実用化している。また、GaNをトランジスタに適用しようという試みも活発化しており、(1)耐圧が高い、(2)高温で動作する、(3)電流密度を大きくできる、(4)スイッチングが高速である、(5)オン抵抗が小さい、という特徴を持っており、SiC半導体と並ぶ次世代パワー半導体デバイスとして期待されている
19	EMI	EMIとは電子機器が発する電磁波が周辺の他の電子機器の動作に影響を及ぼす現象のこと。Electro Magnetic Interference. 電磁干渉. 電磁妨害。
20	エコキュート	ヒートポンプ技術を利用して空気の熱で湯を沸かすことができる電気給湯機のうち、冷媒として、フロンではなく二酸化炭素を使用している機種の総称。
21	TEG	test element group. 特性評価用素子。ウェハ上にチップと同様に作ることが多い。
22	トポロジー	要素どうしの近さや繋がり方。
23	DC/DCコンバータ	直流電圧を別の直流電圧に変換するのがDC-DCコンバータの役割。変換効率にすぐれるスイッチング方式のDC-DCコンバータは、電子機器の省電力化や小型・軽量化に貢献。

	用語	説明
24	フォトルミネッセンス	一般に、物質にエネルギーを与えた時、エネルギーの放出を発光という形で行う現象がルミネッセンス(Luminescence)です。光によりエネルギーを与えた場合の発光をフォトルミネッセンスといいます。半導体結晶におけるフォトルミネッセンスは、格子欠陥や不純物の影響を受けやすいため、広い意味での”結晶中の欠陥”を高感度に検出することが可能となります。不純物や欠陥に起因した発光の強度分布を測定することにより、結晶の均一性や欠陥の分布状況を高い分解能で評価することが可能です。
25	EBIC法	Electron Beam Induced Currentの略で電子線励起電流法。SEM装置内で試料に電子ビームを照射した際、試料中に生じた電流を測定する方法。EBIC信号を測定することにより、試料内部の電界構造(半導体の接合構造)に関する情報を得ることが出来る。
26	DIMOS	Double-Implanted MOSFET. Pウェル部分とソース部分の両方をイオン注入で形成する縦型パワーMOSFETのこと。
27	負荷短絡耐量	電源回路では、負荷を短絡して短絡電流が流れた時に、電流検出で10 μ sec程度は必要な為、その間にFETが破壊しないような負荷短絡耐量が求められています。
28	アバランシェ耐量	アバランシェ(Avalanche)とは雪崩の意味でFETは電子雪崩が発生します。ソースドレイン間に高電圧を与え、リーク電流を流した状態をアバランシェ降伏といいます。
29	デッドタイム	回路上でMOSFETが同時にオンしたときには、オン抵抗だけでしか制約されない大きな貫通電流が流れてMOSFETが破損する。MOSFETのスイッチングには時間がかかるため、安全を見込んだ時間(デッドタイムと呼ぶ)、上下のMOSFETを同時にオフさせて、同時にオンしないようにしています。
30	ダイボンディング	はんだ、金メッキ、樹脂を接合材料として、ダイ(電子回路を作り込んだSiC基板のチップ)をリードフレーム(LF)や基板等に接着すること。

I. 事業の位置付け・必要性について

1. NEDOの関与の必要性・制度への適合性

1.1 NEDOが関与することの意義

情報家電の普及や通信需要の拡大に対処する電気エネルギーの高効率利用の実現、及びハイブリッド自動車や産業用の様々なモータ制御、家電製品の電源制御など、我が国の重要産業の国際競争力強化と省エネルギーを図るためには、その基盤となるパワーエレクトロニクスの研究開発が必要である。また、経済産業省が発表した新産業創造戦略（平成 17 年 5 月）において、我が国の産業競争力強化のために注力すべき分野として、環境・エネルギー機器が挙げられており、パワーエレクトロニクス機器には、一層の低消費電力化・小型化が求められている。

本プロジェクトでは、自動車・家電製品等の低消費電力化実現に不可欠な炭化ケイ素（SiC）等を用いたパワーエレクトロニクスインバータ基盤技術を平成 20 年度までに確立し、我が国の関連産業の国際競争力強化と省エネルギーに資することを目的として IT イノベーションプログラム及びエネルギーイノベーションプログラムの一環として実施する。

現在、家電機器や産業用途機器、鉄道、電力系統などの幅広い分野においてパワーエレクトロニクス機器が活用されている。さらに今後は、ハイブリッド自動車や電気自動車の普及、高度情報通信機器の増加、分散電源や電力貯蔵装置などを含む低電圧配電システムが電力系統に幅広く導入されるのに伴い、パワーエレクトロニクス機器の電力変換容量拡大、変換損失低減と小型化の必要性が高まっている。その一方で、従来のシリコン（Si）スイッチング素子を用いたパワーエレクトロニクス機器では、Si の物性的な限界からさらなる性能向上は困難となりつつある。このような背景から、ワイドギャップ半導体である SiC が、新たなパワーエレクトロニクス用半導体材料として注目されている。SiC スwitching素子では、導通時の電力損失（オン損失）が従来素子の 100 分の 1、動作周波数が 10 倍に向上し、動作温度は 250℃を超え得ると理論的に予測されている。SiC スwitching素子を用いることにより、従来の Si 電力変換モジュールと比べて、大幅に低電力損失かつ高密度の SiC 電力変換モジュールの実現が期待される。独立行政法人新エネルギー・産業技術総合開発機構（以下、「NEDO技術開発機構」という）が編纂した、NEDO技術ロードマップ(平成 17 年版)では、我が国にとって、ワイドギャップ半導体を用いた低損失・高パワー密度を実現するスイッチング素子開発が重要であり、その実現のためには多くの技術開発課題の解決に臨むことが求められている。

NEDO技術開発機構は、電力システムや燃料電池自動車等に用いられるパワーエレクトロニクス機器の超低損失化・小型化・軽量化を目指して、ワイドギャップ半導体スイッチング素子の技術開発を行ってきた。超低損失電力素子技術開発プロジェクト（1998 年～2002 年）では、SiC を用いた超低損失スイッチング素子の基盤技術開発と原型素子実証を行った。エネルギー使用合理化技術実用化開発（2003 年-2005 年）では、SiC スwitching素子の実用化開発を行い、パワーモジュールの試作を行っている。

低損失・高密度パワーエレクトロニクス機器を実用化するためには、上記技術開発等の成果である SiC スwitching素子技術を用いて、低損失・高密度インバータ技術開発を行うことが必要である。すなわち具体的な適用製品を想定して、従来の Si スwitching素子を高性能 SiC スwitching素子に置き換えてインバータに用いるための回路設計技術、ノイズ対策や熱設計

などの SiC スイッチング素子実装に伴う課題等を解決していく必要がある。

一方、革新的な超低損失・高密度インバータを実現するために、SiC スイッチング素子の大容量化・信頼性向上・低損失化等の SiC 材料のポテンシャルを最大限活用した高度化が求められる。これらの技術開発のためには素子特性評価と SiC ウェハ評価を多面的に結びつけ、SiC 単結晶ウェハおよびエピタキシャル成膜技術へフィードバックすることが不可欠である。さらに、高度化 SiC スイッチング素子の性能を最大限活用したインバータ高パワー密度化に関わる設計技術・高速制御技術・高温実装技術等の基盤技術開発が必要である。

本プロジェクトでは、これらの要請を具現化して、SiC スイッチング素子を用いたパワーエレクトロニクスインバータ基盤技術を確立することを目的とする。

1.2 実施の効果

(1) 費用対効果

本プロジェクトは総額 40.4 億円により、SiC インバータを開発するものである。助成先の事業に参加しているメーカ各社（三菱電機株式会社、株式会社日立製作所、株式会社東芝、富士電機デバイステクノロジー株式会社、日産自動車株式会社、シャープ株式会社、沖電気工業株式会社後に参加メンバーが OKI セミコンダクタ株式会社）は開発された SiC 半導体デバイスとそれを応用したインバータ技術を活用して SiC 半導体デバイス応用製品を開発する。本プロジェクトによって実現される SiC 半導体デバイスとそれを応用したインバータ技術は主に汎用インバータが用いられる工業用モータ機器市場において活用される。汎用の工業用モータドライブ用インバータの世界市場は、2008 年では 1,570 億円、2013 年予測では 2,120 億円(1 ドル=100 円で換算)である。

2009 年度において日本企業はこの市場において約 50%のシェアを占め、今後も強い国際競争力を維持することが望まれる。本プロジェクトによって実現される省エネ、小型化のための SiC インバータ技術は、この市場における日本企業の競争力強化に貢献するものと期待される。

(2) 省エネルギー効果

(出典：H20年3月「次世代省エネデバイス技術調査報告書」(財)新機能素子研究開発協会を一部改訂)

①各製品分野におけるSiデバイスからSiCデバイスに置換えることによる効率の向上

製品分野	現在(Siデバイス使用)の機器の総合平均効率(%)	内Si半導体デバイスによる損失分(%)	SiC半導体デバイス導入による効率向上分(%)
エアコン	93.0	3.5	2.5
冷蔵庫	92.0	3.5	2.5
電気自動車(HEV/EV)	80.0	20.0	11.5
汎用インバータ	93.7	2.9	2.0
コンピュータ関連	87.3	6.8	4.7
無停電電源等IT機器関連電源	91.8	5.9	4.1
太陽光発電用インバータ	96.2	2.9	2.0
燃料電池用インバータ	93.9	4.7	3.3
汎用モータのインバータ化による効果			20.0

図表 I-1. 各製品分野におけるSiデバイスからSiCデバイスに置換えることによる効率の向上

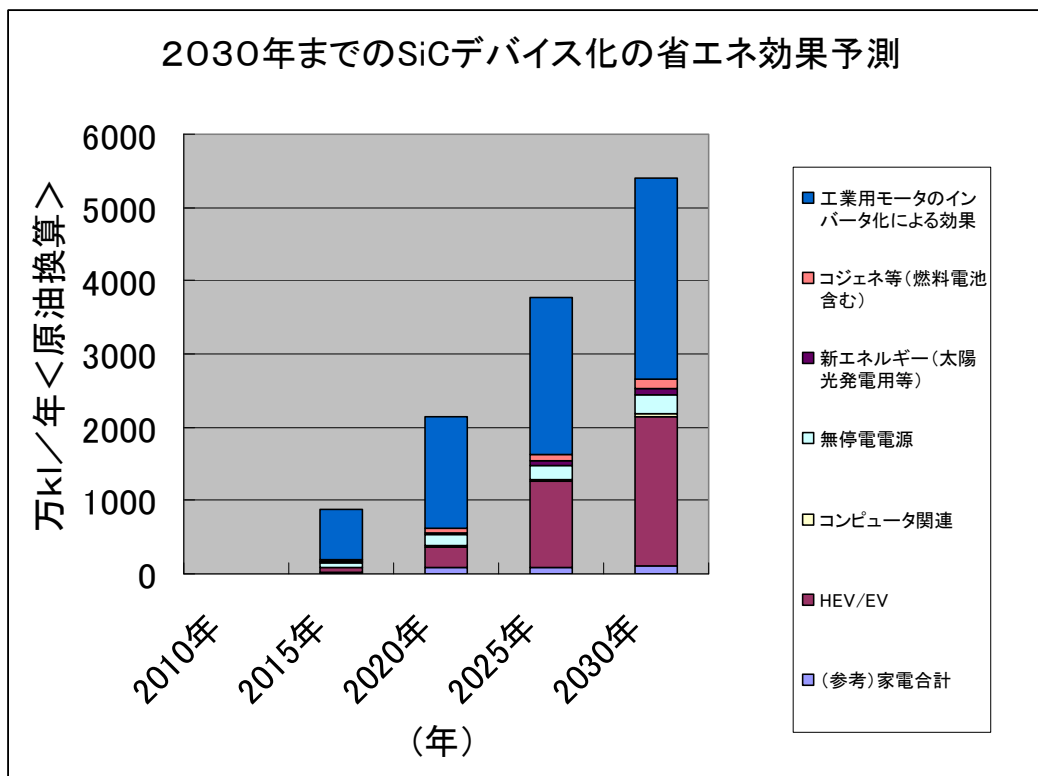
②2030年までのSiCデバイス化による省エネ効果の予測

(単位<原油換算>：万kl/年)

年	2010	2015	2020	2025	2030
製品分野					
①(参考)家電合計	0	29	77	87	97
②HEV/EV	0	58	292	1169	2045
③汎用インバータ	0	63	126	292	457
④コンピュータ関連	0	0	23	35	47
⑤無停電電源	0	72	139	192	244
⑥新エネルギー(太陽光発電用等)	0	8	25	63	100
⑦コージェネ等(燃料電池含む)	0	35	57	86	114
工業用モータのインバータ化による効果	0	683	1524	2134	2743
<①~⑦>合計	0	265	739	1924	3104
<①~⑧:③除く>合計	0	885	2137	3766	5390

図表 I-2. 2030年までのSiCデバイス化による省エネ効果の予測

③2030年までのSiCデバイス適用による省エネ効果予測



図表 I-3. 2030年までのSiCデバイス適用による省エネ効果予測

④各製品分野の省エネ効果予測に用いた仮定

図表 I-4. 各製品分野の省エネ効果予測に用いた仮定

製品分野	省エネ効果算出仮定
エアコン	家庭用エアコン年間総消費電力: 950KWh/台; 保有台数100,000千台。 2015年は30%、2020年は80%、2030年は100%、がSiC化と仮定。
冷蔵庫	家庭用冷蔵庫年間総消費電力: 520KWh/台; 保有台数60,000千台 2015年は30%、2020年は80%、2030年は100%、がSiC化と仮定。
参考:家電合計	冷蔵庫、TV、エアコン、洗濯機、照明の前回調査書の比で割り出したもの。 家電全体/(エアコン+冷蔵庫)=1.3
電気自動車(HEV/EV)	前回調査により、ストック台数を2015年:100万台、2020年:500万台、 2030年:350万台が電動化するとした。自動車は40KWの平均出力とした。
汎用インバータ	2015年、2020年における一台当りの損失低減は122kWh/年(2%低減)として、前回調査の方法を元に算出。2030年については、総電力消費量の予測を基に算出。
コンピュータ関連	PFCへの適用。効率向上分以外は平成16年度 NEDO委託業務 調査研究報告書「SiCパワーエレクトロニクス実用化・導入普及戦略に係る調査研究」(平成17年3月発行;素子協)の算出法にもとづいて算
無停電電源等IT機器関連電源	2015年:1391億KWhの50%、2020年:1904億KWhの70%、2025年:2418億KWhの80%、 2030年:2932億KWhの80%、にSiCを導入。
新エネルギー(太陽光発電等)	効率向上分の見直し以外は以下の通り、平成16年度 NEDO委託業務 調査研究報告書「SiCパワーエレクトロニクス実用化・導入普及戦略に係る調査研究」(平成17年3月発行;素子協)の算出法にもとづいて算出。
コジェネ等(燃料電池含む)	
汎用モータのインバータ化による効果	総電力使用量予想値は2015年、2020年、2030年それぞれ1.12,1.25,1.50兆KWh/年、とし、インバータ化率はそれぞれ30,50,70%とする。インバータ化による省エネ率は20%とした。

1.3 情勢変化への対応

平成18年度、本プロジェクトによって、世界で最小のオン抵抗値を持つ IEMOSFET の開発・実証を行ったことから、更にSiC ウェハの結晶欠陥低減に資するデバイスの特性分析とデバイス製造要素技術の高度化を図る必要があることが判ったので、平成18年度の加速テーマとして実施することとした。

平成19年度、確立したSiC基板欠陥評価方法を用いて、4インチウェハ評価を実施し、三菱電機において、ダイオード試作評価を実施し、素子特性を劣化させるメカニズム解明に資する共に、実用化のためのプロセスコストの低減を図った高効率インバータ実現に向けての課題解決を加速する必要があることが判った。また、フィルター等の小型化が期待できるインバータの高キャリア周波数化に関し評価検討を行い、その効果を検証する必要があることが判ったので、これらを平成19年度の加速テーマとして実施することとした。

平成20年度、SiCを用いたインバータ実用化に向けては、材料欠陥・プロセス起因欠陥の低減によるデバイスの歩留まり信頼性向上が求められており、そのための基盤技術の確立を図るためにもプロセス起因欠陥においては、イオン注入後に行う活性化熱処理によるウェハ表面荒れが最も大きな課題であった。これを回避できる手法が明らかになったので、本技術をプロセス技術として平成20年度の加速テーマとして実施することとした。

1.4 評価に関する事項

技術的及び産業政策的観点から見た技術開発の意義、目標達成度、成果の技術的意義並びに将来の産業への波及効果、技術研究成果の実用化・事業化等の観点から、外部有識者による技術開発の事後評価を平成21年度までに実施する。

2. 事業の背景・目的・位置づけ

高度情報化社会のもと、情報流、エネルギー流、物流における電力エネルギーの重要性が益々増大しており、温暖化防止、省資源、産業の活性化を満たす持続的発展可能な社会を形成してゆくためには、従来のレベルより格段に優れた省エネルギー技術の開発が必要である。本プロジェクトにおいては、電気エネルギーの高効率利用を図るため、電力エネルギー変換の高度化の中心技術であるインバータ技術を革新することを目指す。そのために性能が材料物性値の限界に近づきつつあるSi（シリコン）半導体パワーデバイスにかえてSi半導体デバイスの10分の1以下への低損失化が可能となるSiC（シリコンカーバイド）を中心とするワイドギャップ半導体デバイスを用いたインバータ基盤技術を確立する。

世界的に見れば、日本ではSiCの基礎研究が先駆的に行われていたものの、パワーデバイスとしての研究開発は米国と欧州が大きく先行していた。国家プロジェクト「超低損失電力素子技術開発」（1998～2002年度）により我が国半導体産業界におけるSiC半導体基盤技術育成が行われ、ついで「エネルギー使用合理化技術戦略的開発事業」の一環として（2003～2005年度）においてデバイスからモジュール化の推進が行われ、我が国でもパワーエレクトロニクスとしての実用化へ向けての可能性を追求するレベルまで来た。

II. 研究開発マネジメントについて

1. 事業の目標

本研究開発の目標は、具体的な製品応用を想定した SiC を用いた低損失インバータユニットを試作し、電力変換損失を同一定格の Si インバータユニットの 30%以下に低減する。また、SiC 材料のポテンシャルを最大限活用した革新的な超低損失・高密度インバータを実現するために、SiC スwitchング素子の大容量化・信頼性向上・低損失化等の性能高度化や、インバータ設計・高速制御・高温実装等に関わる基盤技術を確立することである。

これらの目標を達成するために、下記の技術開発を行う。

①高効率・高密度インバータユニット技術開発

インバータ用スイッチング素子の高性能化技術開発を行うと共に、それら高性能スイッチング素子を用いた高効率インバータユニットの試作を行い、その有効性を実証する。具体的には、ダイオード・MOS 型スイッチング素子作製プロセス技術、素子耐圧安定化技術、素子オン抵抗低減化技術、インバータ化技術（素子保護、熱設計、低インダクタンス構造、最適スイッチング技術）等の技術開発を実施する。本研究項目で用いる SiC ウェハの評価を、研究開発項目②における素子特性評価・ウェハ品質評価と密接に連携させて、ウェハ・スイッチング素子・インバータユニットの性能に関わる知見をプロジェクト全体で共有することにより、高効率・高密度インバータ実現に向けての課題解決に資するものとする。

②高効率・高密度インバータ革新的高度化基盤技術開発

(1) インバータ大容量化基盤技術

インバータの革新的高度化を目指して、SiCウェハ品質とその上に作製した素子特性の関連を明らかにし、スイッチング素子特性劣化機構等を解明する。その知見を踏まえて素子あたり100 Aクラスの大容量化を実現するための基盤技術を開発する。

(2) インバータ信頼性向上基盤技術

前項目の特性劣化機構等の知見を踏まえて、SiCスイッチング素子の信頼性評価手法や高信頼性を実現する基盤技術を開発する。

上記2項目を効率的に遂行するために、プロジェクト全体でSiCウェハの管理を行い、素子特性評価とウェハ品質評価について系統的なデータの集積・管理を行う。

(3) インバータ高パワー密度化基盤技術

インバータの革新的高パワー密度化を目指して、SiC 物性値限界に迫る低損失スイッチング素子を開発し、インバータ損失の低減を追及する。加えて、開発素子の活用に資するインバータ設計技術の高度化により、高パワー密度化を目指す。更にインバータ連携制御の要となる高速制御技術、及び高温動作を行うための実装技術の指針を提示する。

研究開発項目 (個別テーマ)	研究開発目標(最終)	根拠
①高効率・高密度インバータユニット技術開発	具体的な製品応用を想定したSiCを用いた低損失インバータユニットを試作し、電力変換損失を同一定格のSiインバータユニットの30%以下に低減する。	産業用モータ応用を目的とした汎用インバータにおいて、SiCスイッチング素子を用いたオールSiCインバータユニットを試作し、Siと比較して変換損失を大幅に低減することを実証し、SiCパワーデバイスの価値を示すことが必要。
②高効率・高密度インバータ革新的高度化基盤技術開発	(1)インバータ大容量化技術 SiCウェハの品質とその上に試作したスイッチング素子特性の関連を明確化する。インバータの大容量化に不可欠なスイッチング素子の大容量化に関しては、5mm角級チップを試作し、電流容量100Aの性能を達成する条件を明確にする。	Siデバイスに対して、明確な代替価値を見出すためには、SiCワンチップに大電流容量が可能となる必要があり、SiCウェハの結晶欠陥がクリアできれば物性的に可能であり、その条件を明確にすることは実用化に必須の課題である。
	(2)インバータ信頼性向上基盤技術 SiCスイッチング素子の信頼性評価手法を開発し長期信頼性を決めている要因を明確化する。特に最大の課題であるMOSスイッチング素子の酸化膜について、5mm角級チップを試作し、実用素子に求められる信頼性を達成する条件を明確にする。	ノーマリオフ素子が可能であるMOSFETにおいて、ゲート酸化膜および酸化膜/SiC界面での信頼性の確保することが、従来からの重要課題であり信頼性を達成するための要件を得ることが必要である。
	(3)インバータ高パワー密度化基盤技術 素子あたり10A以上のSiC低損失MOSスイッチング素子(オン抵抗 2~5mΩ/cm ² 、耐圧0.6~1.7kV)の開発を行う。インバータ損失の限界を追求する限界設計技術を開発し、高パワー密度(50W/cm ³ 以上)のSiCインバータの実現に必要な条件を明らかにし、その見通しを明らかにする。同様に、高速制御技術および高温(250℃)環境での動作の実装技術の指針を提示する。	インバータは高エネルギー密度化すなわち高性能化することにより、小型化し製品価値の向上に繋がる。SiCデバイス応用によるその究極点およびもう一つ長所である高温での動作が可能であるという点について、見極めることがSiCパワーデバイスの将来展望を持つことに繋がる。

図表Ⅱ-1. 研究開発目標とその妥当性

2. 事業の計画内容

2.1 研究開発の内容

研究開発項目	研究分野	研究課題	研究グループ
①高効率・高密度インバータユニット技術開発	<ul style="list-style-type: none"> 半導体デバイス開発 パワーエレクトロニクス 	SiC-MOSFET、SBDの開発とオールSiC 1.4KVAインバータユニットの性能実証	伊丹サイト： 三菱電機(株)先端技術総合研究所
②高効率・高密度インバータ革新的高度化基盤技術開発	<ul style="list-style-type: none"> 材料評価技術 半導体デバイス開発 	②-1 インバータ大容量化技術：基板の結晶欠陥とデバイス特性の関連を解明	つくばサイト： 産総研/エネルギー半導体エレクトロニクスラボ、素子協(日立、東芝、富士電機 AT/DT、沖電気、三菱電機)
	<ul style="list-style-type: none"> 材料評価技術 半導体デバイス開発 半導体デバイスプロセス技術 	②-2 インバータ信頼性向上基盤技術：MOSFETのゲート酸化膜の信頼性向上要因解明とプロセス要素技術開発	つくばサイト： 産総研/エネルギー半導体エレクトロニクスラボ、素子協(日立、東芝、富士電機 AT/DT、沖電気)
	<ul style="list-style-type: none"> 半導体デバイス開発 パワーエレクトロニクス 	②-3 インバータ高パワー密度化基盤技術	つくばサイト： 産総研/エネルギー半導体エレクトロニクスラボ、素子協(東芝、日産自動車、シャープ)

図表Ⅱ-2. 研究開発項目の研究課題と担当研究グループ

(研究開発計画)

研究開発項目	平成18年度	平成19年度	平成20年度
①高効率・高密度インバータユニット技術開発	656百万円 <p>終端構造の最適化検討。セルの微細化検討。ゲート絶縁膜形成技術、素子構造最適化検討に着手。素子高性能化技術を基に10A級のパワーモジュールを試作しスイッチング特性と不良モード検証を実施。スイッチング損失駆動方式の検討。デバイス動作解析技術とインバータ熱解析技術の開発。</p>	368百万円 <p>ゲート形成工程の最適化検討。素子試作工程の評価管理設備を導入し試作プロセスの高度化を図る。大容量化に向けた並列駆動方法(素子特性、駆動法、主回路構造)を確立。出力容量(14kVA)の3相インバータユニットにおいて同定格SiCインバータ比で損失30%以下を達成するための条件(素子特性、駆動条件、インバータユニット構造等)を明らかにし、その見通しを明確にする。高キャリア周波数化を検討するために高キャリア周波数駆動試験設備を導入し、高キャリア周波数化に向けた基礎特性評価を実施。</p>	250百万円 <p>H18、19年度で実施した開発で得られた素子限界特性、並列駆動技術等の知見を元に、AC400V系、出力容量14kVAの3相インバータユニットを設計、試作する。また同インバータユニットの損失が同定格のSiCインバータユニットの30%以下であることを実証する。パワーエレクトロニクス機器のフィルタ類減による小型・低コスト化、低高調波化、高機能化が期待できるインバータの高キャリア周波数化(>15kHz)に関し、H19年度の基礎評価を元に、伝導および放射ノイズ高精度評価、熱抵抗の高精度評価、高速SWの過渡解析等の評価検討を実施し、インバータ設計により高周波化効果を検証する。</p>
	1,411百万円	721百万円	638百万円
	②-1 インバータ大容量化技術	2インチSiC基板において、1mm□～3mm□のSiCスイッチング素子(DMOS、UMOS)と整流素子(PiNダイオード、SBD)を試作して順方向特性、逆方向耐圧を測定して、マッピングを行うプロセスを確立する。特にX線トポグラフィに関し、放射光ビームライン源、高輝度高分解能線源、汎用線源の総合的な展開により、より高いレベルの解析と実効的な分析処理時間の確立を図り、基板評価、及び試作素子評価の効率化を行う。本技術確立によりSiC基板の結晶欠陥とデバイス特性劣化の相関解析を促進する。	SiC素子の順方向特性、逆方向耐圧との相関付けを系統的に行うことにより、1mm□～3mm□のSiC素子において結晶欠陥が電気特性を劣化させるメカニズムを解明すると共に電流容量数10A/チップの性能を達成する条件を明らかにする。 <p>高い評価技術力を駆使し、伊丹サイトが担当する4インチウエハを用いたダイオード試作評価と連携して、プロセスコストの低減を図った高効率・高密度インバータ実現に向けての課題解決に資する。</p>
②高効率・高密度インバータ革新的高度化基盤技術開発	②-2 インバータ信頼性向上基盤技術 <p>2インチSiC基板において、1mm□～3mm□のゲート酸化膜の信頼性評価素子を製造して、250°Cまで昇温してタイムゼロでのゲート酸化膜の信頼性及び、長期信頼性をTDDB寿命で評価する技術を開発する。また、様々な転位欠陥の上に存在する酸化膜構造をTEMで調べる技術を確立する。</p>	平成18年度までに開発された、ゲート酸化膜の製造技術及び信頼性寿命評価技術を用いて、タイムゼロでのゲート酸化膜の信頼性及び、長期信頼性寿命を測定する。様々な転位欠陥(基底面転位、螺旋転位、刃状転位等)上に存在する酸化膜構造をTEMにより観察して、転位がゲート酸化膜の信頼性寿命に与える影響を調べる。最終的に、1mm□～3mm□のSiC-MOSFETのゲート酸化膜を実用化するのに必要な信頼性寿命を得るための条件を明確にする。	ゲート酸化膜の絶縁破壊電界分布(TZDB特性)や信頼性寿命(TDDB寿命)及びチャネル移動度を測定し、ゲート酸化膜の信頼性とチャネル移動度が両立するゲート酸化膜形成条件を明確にする。結晶欠陥を同定して、TZDB特性、TDDB寿命と対応づけして、5mm□、100A級のSiC DMOSを実用化するのに必要なゲート酸化膜の信頼性寿命(30年)を得るために必要なSiC基板の欠陥種及び欠陥密度を明確にする。カーボンキャップ形成技術をイオン注入面のゲート酸化膜形成時の活性化熱処理技術に適用する。
②-3 インバータ高パワー密度化基盤技術	デバイスの低オン抵抗化、及び試作効率化のために必要な微細加工プロセスを確立する。またインバータ動作評価環境を整備し、50kW級の高出力性能の評価を可能として、SiC素子の性能を十分に活かしたインバータの設計・開発に資する。現有のインバータ損失設計シミュレータに組み込み、実験によりシミュレーションの妥当性を検証する。高速制御技術に関して、基礎技術を検討して課題を抽出するとともに、EMI対応技術に関して、ノイズフィルタ用インダクタの高周波PWM動作条件下での損失評価技術、および高周波特性の改善技術の研究を行う。	微細化プロセスの精度を高めて600V-10A/チップ以上のSiC低損失MOSFET(オン抵抗:0.1Ω)とSBDダイオードの試作を行う。デバイス、電力変換回路、制御技術、フィルタの各パラメータの相互関係の解析も行い統合設計手法の研究を行い、これらの結果をベースにして、高パワー密度SiCインバータの実現に必要な条件を明らかにし、その見通しを明確にする。高速制御技術に関して、インバータシステム間の連携制御による瞬時的な電力の授受の制御を実現するための技術的指針を明らかにする。EMI対応技術に関して、高パワー密度SiCインバータの超高速スイッチングに起因する総合的なEMI障害の発生要因を分析・分類し、その課題解決のための基本技術確立への見通しを明確にする。	S耐圧600-1200V級で10A/チップ以上のSiC低損失MOSFET(オン抵抗:0.1Ω級)とSBDを試作し、スイッチング特性、トータル損失低減効果など、各種特性を評価する。チップ自体の耐熱性を強化すると共にデバイス/電極接合の200°C耐熱化を進め、長時間特性の確認を行う。GaN HFETについても、10Aクラスのデバイスのプロセス検討・試作・評価を実施し、SiCパワーデバイスとの比較を行い、次世代インバータにおけるSiCデバイスの特徴を明確にする。インバータ高機能化の要となる高パワー密度インバータ高速連携制御技術、EMI対応技術など個別技術の指針を示した上で、それらを総合的に統合してインバータ性能の限界を追求する限界設計技術を適用し、最終目的である高パワー密度(50W/cm ³ 以上)のSiCインバータを実現するのに必要な条件を明らかにし、その見通しを明確化する。

図表 II-3. 研究開発項目の研究課題と担当研究グループ

(再委託)

< 1 > テーマ名：「デバイス作製プロセス起因欠陥の評価／インバータ設計最適化技術の開発」

再委託先：(財) 電力中央研究所（業務責任者：上席研究員 土田修一）

< 2 > 再委託研究内容

1). デバイス作製プロセス起因欠陥の評価（材料科学研究所，横須賀地区）

- ① 電中研保有の結晶評価技術を適用し，パワーエレクトロニクスインバータ基盤技術開発においてプロセス加工を行った SiC 試料について，プロセス起因欠陥を検出する。
- ② 電中研保有の結晶評価技術を適用し，パワーエレクトロニクスインバータ基盤技術開発において試作された SiC TEG デバイスについて，プロセス加工におけるプロセス起因欠陥を検出する。
- ③ 電中研保有の結晶評価技術を適用し，パワーエレクトロニクスインバータ基盤技術開発においてイオン注入/アニール処理を施した SiC 試料について，プロセス起因欠陥の定量評価，プロセス条件依存性解析を行うことにより，同種欠陥密度の低減条件を明らかにする。

2). インバータ設計最適化技術の開発（システム技術研究所，狛江地区）

- ① パワーエレクトロニクス機器用途毎のインバータ要求仕様（定格容量，出力電圧等）の明確化。

以下のパワーエレクトロニクス機器を対照とする。

- イ. 需要側機器（分散形電源連系用，電力貯蔵装置用，電力品質調整用，産業用モータードライブ，通信・情報機器電源，PHEV/EV 用，エコキュート用，IH 用，エアコン用，等）
- ロ. 電力供給システム用機器（分散形電源連系用，電圧・無効電力調整用，ループコントローラ用，等）

- ② 上記用途毎の電力変換（インバータ）設計最適化のための評価指標の明確化。
- ③ インバータ性能評価指標に対応した設計（トポロジー，素子構成，スイッチング周波数，等）最適化手順とビルディングブロック構築手順の明確化。
- ④ シミュレーションツールを使用したインバータ設計最適化検討の準備作業と試計算。
- ⑤ インバータシミュレーションツールを用いて，パワーデバイスを含む各種パラメータを変化させた場合の損失およびスイッチング過電圧を解析し，パワーデバイス設計へのフィードバックを含め，パラメータ解析によるインバータ設計最適化が実用的に機能することを検証する。
- ⑥ 電力ネットワークや負荷機器を考慮したパワーエレクトロニクスシステム設計とインバータ自体の高パワー密度化を主眼とする実装設計との協調方法を整理し，統合的なインバータ設計最適化技術の構造を明確にする。

(共同実施)

< 1 > テーマ名：「SiC デバイス実装に対応可能なハイブリッド銀ペーストの開発」

共同実施先：大阪大学（菅沼克昭教授）

【共同実施内容】

①ハイブリッド銀ペーストの設計及び接続制御技術の開発

SiC や GaN などパワー半導体チップの接続に使用する銀ペーストには、低抵抗、耐熱性に加え、上下アタッチメント間の高効率の応力緩和や熱伝達が必要条件になる。これらの条件を満たすためにナノ粒子を主とするペーストやサブミクロンからミクロンオーダーの銀粉を銀ナノ粒子で結束させポーラス構造を形成するハイブリッド銀ペーストの適用が考えられる。

本開発では、主としてハイブリッド銀ペーストを用い、200～250℃で有機物を取り除き、銀ナノ粒子をサイズ効果で低温焼結させることでポーラス構造の接続を形成する。銀ペーストとして供給される材料の接続特性を銀粉や銀ナノインクを用いて改質し、銀ナノ粒子間、銀ナノ粒子－銀粉間および接続界面のナノ構造の解明、改善技術の指針を確立する。

平成 18、19 年度はポーラス構造形成に適した各種ナノ物質の合成及びハイブリッド銀ペースト調製条件の検討を行う。平成 20 年度は、これらの新規材料の合成条件やプロセス条件をパラメータとし、各パラメータの銀ポーラスおよび界面形成における影響を解明し、ダイアタッチ構造の熱特性を最適化する。

②ハイブリッド銀ペースト接続の安定界面基礎設計及び熱・力学的信頼性評価技術の確立

ハイブリッド銀ペーストは銀ナノ粒子－チップ及び基板のめっき材料間で融着、焼結が進行し、最終的に接続構造が形成される。しかし、これらの材料間の結合は未知の部分が多く、せん断強度、耐衝撃強度評価法の確立および評価を実施し、ハイブリッド銀ペーストと各種めっきとの接続特性の評価及びその接続機構の解明に取り込む。また、新たな銀ポーラス構造の熱伝達特性評価方法の確立及び制御技術を開発すると共に、特に問題となる SiC や GaN チップと銀ポーラス構造の接続界面における不均一応力分布によるチップ損傷への影響を明らかにする。

< 2 > テーマ名：「電力変換システムとその応用に関する研究」

共同実施先：東京工業大学（赤木 泰文教授）

【共同実施内容】

①6.6kV トランスレス・エネルギー貯蔵システムの研究

リチウム・イオン電池の使用を前提した高性能エネルギー貯蔵システムを開発する。これはカスケード PWM 変換器を使用し、6.6kV 系統に直結できる点に特長がある。平成 19 年度までは蓄電デバイスとして電解コンデンサを使用し、その動作原理を実験によって確認した。平成 20 年度はニッケル水素電池を使用し、電気絶縁した複数台のニッケル水素電池の SOC (State-of-Charge: 電池残存量) バランス制御を開発し、200V, 10kW ミニモデルを設計・製作し、SOC バランス制御の有効性を実証する。

②双方向絶縁形 DC/DC コンバータを使用した 6.6kV 配電系統用 BTB システムの基礎研究

これは上記1)の研究を発展させたもので、カスケードPWM変換器の直流リンクに双方向絶縁形DC/DCコンバータを接続したユニークなシステム構成に特長がある。平成18年度と19年度においては、そのコア回路として使用するコンバータセルの基本設計と動作検証を行う。平成20年度においては、製作したハードウェアとソフトウェアの改良を行い、更なる特性改善を目指す。

③次世代6.6kV配電システム用BTBシステムの基礎研究

双方向絶縁形DC/DCコンバータをベースとした、次世代6.6kV配電システム用BTBシステムの基礎研究を行う。これは上記1)のカスケードPWM変換器の直流リンクに、当研究室で以前に開発した双方向絶縁形DC/DCコンバータを接続する。本研究では、その基礎研究としてコンバータセルを設計・製作し、設計の妥当性を検証する。

<3>テーマ名：「SiCインバータEMI対応技術の研究開発」

共同実施先：首都大学東京（清水敏久教授）

【共同実施内容】

高パワー密度SiCインバータの超高速スイッチングに起因する総合的なEMI障害の発生要因を分析・分類し、その課題解決のための基本技術確立への見通しを明確にする。インバータから外部に及ぼすEMI障害と、スイッチングノイズに伴い生じる内部EMIの両者について、研究を実施する。

<4>テーマ名：「SiCインバータ高速制御技術の研究開発」

共同実施先：千葉大学（佐藤之彦教授）

【共同実施内容】

電力変換システムにおけるエネルギー蓄積要素や受動素子の小型化に向けて、インバータシステム間の連携制御による瞬時的な電力の授受の制御を実現するための技術課題を抽出し、その解決に向けた技術的指針を明らかにする。平成18年度にはインバータの連携制御の基礎となる高速応答が可能な電流制御に関する基礎技術を検討して術課題を抽出し、その解決に向けた技術的指針を明らかにする。平成19年度には電力変換システムにおけるエネルギー蓄積要素や受動素子の小型化に向けて、インバータシステム間の連携制御による瞬時的な電力の授受の制御を実現するための技術課題を抽出し、その解決に向けた技術的指針を明らかにする。

<5>テーマ名：「フォトルミネッセンスによるSiCウェハの欠陥評価」

共同実施先：宇宙航空研究開発機構(田島道夫 研究主幹)

【共同実施内容】

高度評価法によるウェハ欠陥の位置や形状、特性との対高度評価法によるウェハ欠陥の位置や形状、特性との対応から、TZDB特性、TDDB寿命との対応づけしてキラ欠陥を同定する。つくばサイトで作製されたSiCデバイスTEG等をフォトルミネッセンスマッピング法評価し、その欠陥を解析する。

<6>テーマ名「SiC デバイス欠陥の EBIC 法による評価」

共同実施先：物質・材料研究機構（関口隆史 半導体特性評価グループ グループリーダー）

【共同実施内容】

高度評価法によるウェハ欠陥の位置や形状、特性との対高度評価法によるウェハ欠陥の位置や形状、特性との対応から、TZDB 特性,TDDB 寿命との対応づけしてキラー欠陥を同定する。つくばサイトで作製された SiC デバイス TEG 等を EBIC 法で評価し、その欠陥を解析する。

2.2 研究開発の実施体制

2.2.1 実施事業者

1. 高効率・高密度インバータユニット技術開発
三菱電機 株式会社
2. 高効率・高密度インバータ革新的高度化基盤技術開発
独立行政法人 産業技術総合研究所
財団法人 新機能素子研究開発協会

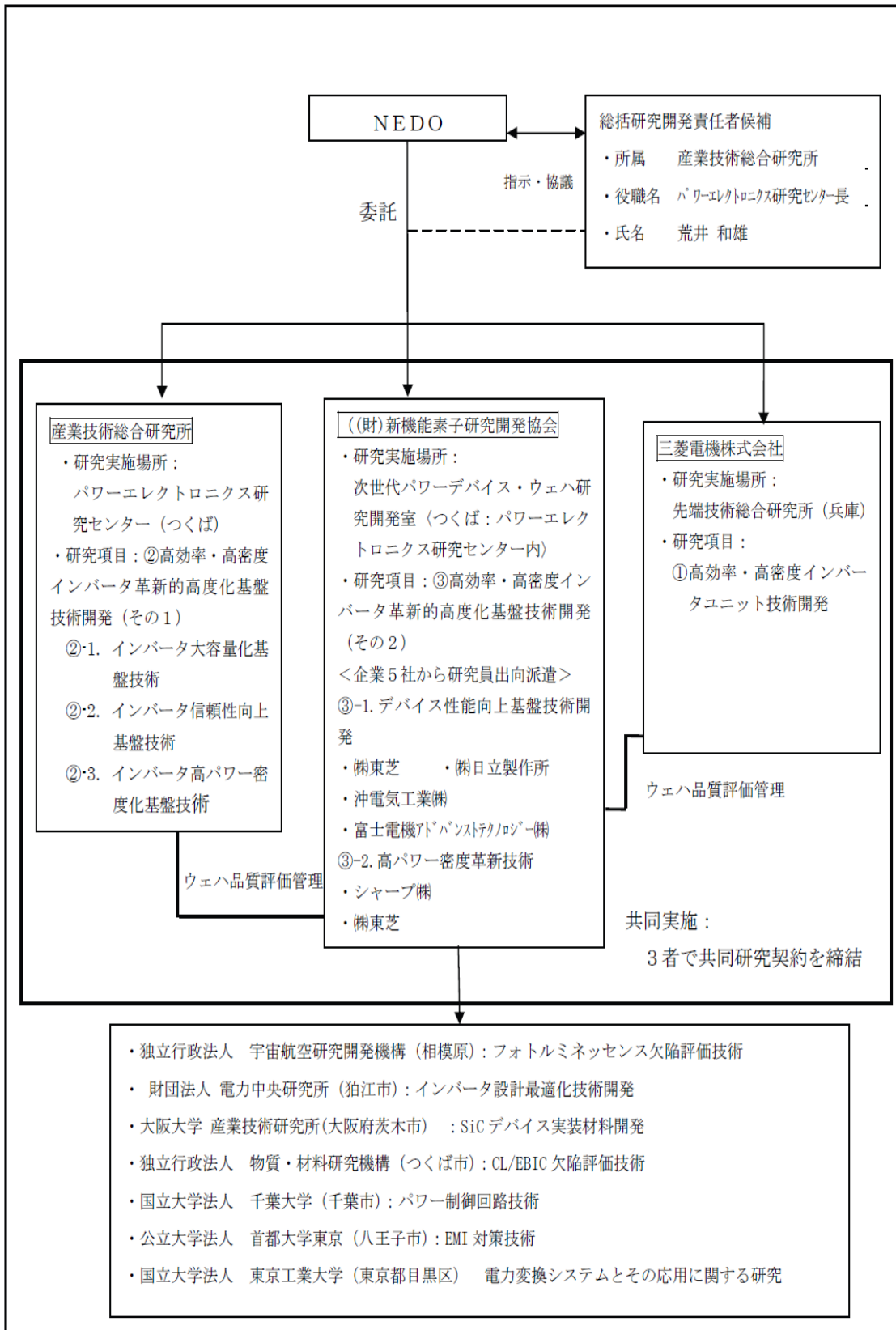
2.2.2 実施体制

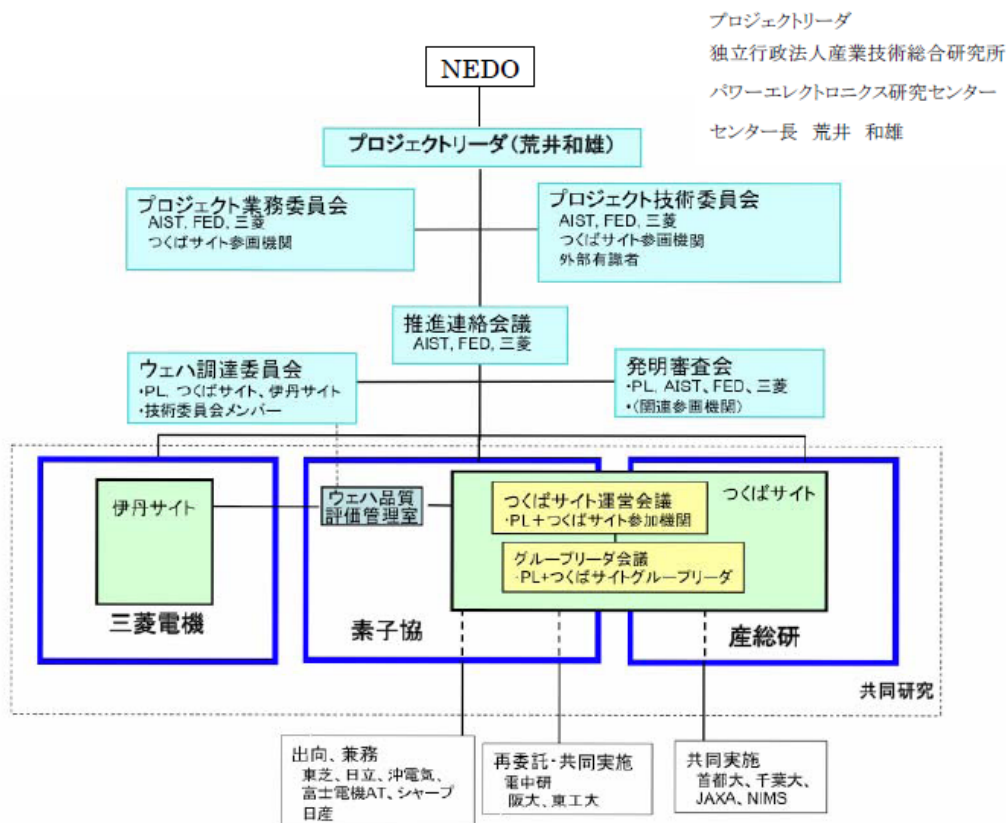
<全体>

(次頁)

図表Ⅱ-6. 「パワーエレクトロニクスインバータ基盤技術開発」実施体制
実施体制

「パワーエレクトロニクスインバータ基盤技術開発」実施体制





図表 II-7. 実施体制

2.2.3 研究の場所

- ① テーマ「高効率・高密度インバータユニット技術開発」
兵庫県尼崎市塚口本町8丁目1番1号
三菱電機 株式会社 先端技術総合研究所内
- ② テーマ「高効率・高密度インバータ革新的高度化基盤技術開発」
茨城県つくば市梅園1-1-1、中央第2
独立行政法人 産業技術総合研究所
パワーエレクトロニクス研究センター 内
(H20年度よりエネルギー半導体エレクトロニクスラボに改称)

2.2.4 主任研究者

- ① テーマ「高効率・高密度インバータユニット技術開発」
三菱電機(株) 先端技術総合研究所 デバイス技術部門統轄 大森 達夫
- ② テーマ「高効率・高密度インバータ革新的高度化基盤技術開発」
(独) 産業技術総合研究所 エネルギー半導体エレクトロニクスラボ ラボ長 奥村 元
(財) 新機能素子研究開発協会 研究開発統括部長 清水 肇

2.2.5 研究者 (1) 三菱電機株式会社

委託先等名	三菱電機株式会社		
業務管理者	先端技術総合研究所 デバイス技術部門統轄	大森 達夫	
経理責任者	先端技術総合研究所 総務部 経理課長	中川 正男	
研究開発責任者	先端技術総合研究所 デバイス技術部門統轄	大森 達夫	
研究実施場所 および 登録研究員	三菱電機株式会社 先端技術総合研究所 〒661-8661 兵庫県尼崎市塚口本町八丁目1番1号 (最寄り駅：JR宝塚線 猪名寺駅)		
	氏名	所属・役職	主な担当事業内容
	大森 達夫	デバイス技術部門統轄兼SiCデバイス開発プロジェクトグループ・プロジェクトマネージャー	1)、5)
	高見 哲也	SiCデバイス開発プロジェクトグループ・サブプロジェクトマネージャー	1)、5)
	今泉 昌之	SiCデバイス開発プロジェクトグループ デバイス要素技術グループ・グループマネージャー	1)、5)
	炭谷 博昭	SiCデバイス開発プロジェクトグループ デバイス実証グループ・グループマネージャー	1)、5)
	渡辺 昭裕	SiCデバイス開発プロジェクトグループ デバイス実証グループ・主席研究員	1)
	中田 修平	SiCデバイス開発プロジェクトグループ 実証グループ・主席研究員	1)
	黒田 研一	SiCデバイス開発プロジェクトグループ デバイス実証グループ・主席研究員	1)
	大塚 健一	SiCデバイス開発プロジェクトグループ デバイス実証グループ・主席研究員	1)
	油谷 直毅	SiCデバイス開発プロジェクトグループ デバイス実証グループ・主席研究員	1)、2)-2)
	綾 淳	SiCデバイス開発プロジェクトグループ デバイス実証グループ・主席研究員	1)、2)-2)
	渡辺 寛	SiCデバイス開発プロジェクトグループ デバイス実証グループ・主席研究員	1)、2)-2)
	古庄 智明	SiCデバイス開発プロジェクトグループ デバイス実証グループ・研究員	1)、2)-2)
	中尾 之泰	SiCデバイス開発プロジェクトグループ 要素技術グループ・主席研究員	1)
	三浦 成久	SiCデバイス開発プロジェクトグループ 要素技術グループ・主席研究員	1)
	吉田 昌平	SiCデバイス開発プロジェクトグループ 要素技術グループ・研究員	1)
	小山 正人	パワエレシステム開発センター・センター長	1)、5)
	大井 健史	パワエレシステム開発センター デバイス応用技術グループ・グループマネージャー	1)、5)
	木ノ内 伸一	パワエレシステム開発センター デバイス応用技術グループ・主席研究員	1)
	碓井 修	パワエレシステム開発センター デバイス応用技術グループ・主席研究員	1)
	中武 浩	パワエレシステム開発センター デバイス応用技術グループ・研究員	1)

- 1) 高効率・高密度インバータユニット技術開発
- 2)-1 インバータ大容量化基盤技術の研究
- 2)-2 インバータ大容量化基盤技術の研究
(4インチ未満の評価、及びそれを用いたダイオード試作・評価)
- 3) インバータ信頼性向上基盤技術の研究
- 4) インバータ高パワー密度化基板技術の研究
- 5) 研究開発進捗管理及び結果の取りまとめ・分析・報告

(2) 独立行政法人 産業技術総合研究所

PL	荒井 和雄	産業技術総合研究所 イノベーション推進室	
委託先等名	独立行政法人 産業技術総合研究所		
業務管理者	エネルギー半導体エレクトロニクス研究ラボ 研究ラボ長 奥村 元		
経理責任者	財務会計部門 経理室長 杉田 実		
研究実施場所及び登録研究員	独立行政法人 産業技術総合研究所、つくばセンター 〒305-8568 茨城県つくば市梅園 1-1-1、中央第2 (最寄り駅：つくばエクスプレス つくば駅)		
	氏名	所属・役職	担当事業内容 (*)
	荒井和雄	イノベーション推進室 技術顧問(PL)	5), 6)
	奥村 元	エネルギー半導体エレクトロニクス研究ラボ、研究ラボ長	5), 6)
	大橋弘通	エネルギー半導体エレクトロニクス研究ラボ、プロジェクトマネージャー	4), 5), 6)
	福田憲司	エネルギー半導体エレクトロニクス研究ラボ、SiC パワーデバイス技術統括	2)-①, 3), 4), 5), 6)
	樋口 登	エネルギー半導体エレクトロニクス研究ラボ、スーパーデザイン・ネットワーク研究班、主任研究員	4), 5), 6)
	松畑洋文	エネルギー半導体エレクトロニクス研究ラボ、ウェハ・評価技術統括	2), 3), 5), 6)
	山口 浩	エネルギー半導体エレクトロニクス研究ラボ、副研究ラボ長	4), 5), 6)
	山口博隆	エネルギー半導体エレクトロニクス研究ラボ、ウェハ・評価研究班、主任研究員	2), 3), 6)
	八尾 勉	エネルギー半導体エレクトロニクス研究ラボ、招聘研究員	2)-①, 3), 4), 6)
	田中保宣	エネルギー半導体エレクトロニクス研究ラボ、SiC パワーデバイス研究班、主任研究員	2)-①, 6)
	大久保雅隆	計測フロンティア研究部門、副研究部門長	2)-①, 3), 4), 6)

	板谷太郎	計測フロンティア研究部門、超分光システム開発研究グループ、主任研究員	2)-①, 3), 4), 6)
	小杉亮治	エネルギー半導体エレクトロニクス研究ラボ、SiC パワーデバイス研究班、主任研究員	2)-①, 6)
	先崎純寿	エネルギー半導体エレクトロニクス研究ラボ、SiC パワーデバイス研究班、主任研究員	3), 6)
	原田信介	エネルギー半導体エレクトロニクス研究ラボ、SiC パワーデバイス研究班、研究員	4), 6)
	岡本光央	エネルギー半導体エレクトロニクス研究ラボ、SiC パワーデバイス研究班、研究員	4), 6)
	木下明将	エネルギー半導体エレクトロニクス研究ラボ、SiC パワーデバイス研究班、特別研究員	2)-①, 4), 6)
	林 祐輔	エネルギー半導体エレクトロニクス研究ラボ、スーパーデザイン・ネットワーク研究班、研究員	4), 6)
	郎 豊群	エネルギー半導体エレクトロニクス研究ラボ、スーパーデザイン・ネットワーク研究班、特別研究員	4), 6)
	金城達人	エネルギー半導体エレクトロニクス研究ラボ、スーパーデザイン・ネットワーク研究班、特別研究員	4), 6)
	Rejeki Simanjorang	エネルギー半導体エレクトロニクス研究ラボ、スーパーデザイン・ネットワーク研究班、特別研究員	4), 6)
	和田桂典	エネルギー半導体エレクトロニクス研究ラボ、ウェハ・評価研究班、テクニカルスタッフ	2)-①, 3)
	加藤 真	エネルギー半導体エレクトロニクス研究ラボ、SiC パワーデバイス研究班、テクニカルスタッフ	2)-①, 3), 4)
	梅沢 正	エネルギー半導体エレクトロニクス研究ラボ、SiC パワーデバイス研究班、テ	2)-①, 3), 4)

		クニカルスタッフ	
	大和田好蔵	エネルギー半導体エレクトロニクス研究ラボ、スーパーデザイン・ネットワーク研究班、テクニカルスタッフ	4), 6)
	彦坂憲宣	エネルギー半導体エレクトロニクス研究ラボ、テクニカルスタッフ	2)-①, 3), 4)
	鈴木賢二	エネルギー半導体エレクトロニクス研究ラボ、SiC パワーデバイス研究班、テクニカルスタッフ	2)-①, 3), 4)

(*) 担当事業内容

- 1) 高効率・高密度インバータユニット技術開発
- 2) インバータ大容量化基盤技術の研究
 - ① 次項②以外
 - ② 4インチウェハ評価、及びそれを用いた4インチを用いたダイオード試作・評価
- 3) インバータ信頼性向上基盤技術の研究
- 4) インバータ高パワー密度化基盤技術の研究
- 5) 研究開発進捗管理及び結果の取りまとめ・分析・報告
- 6) 関連技術及び特許動向調査

(4) 共同実施先における研究体制

①首都大学東京

共同実施先等の名称	公立大学法人 首都大学東京		
研究実施場所及び登録研究員	公立大学法人 首都大学東京 南大沢キャンパス 〒192-0397 東京都八王子市南大沢 1-1 (最寄り駅：京王線相模原線 南大沢駅)		
	氏名	所属・役職	担当事業内容
	▽清水敏久	理工学研究科、電気電子工学専攻 教授	4), 6)

実施内容：SiC インバータ EMI 対応技術の研究開発を行う。

②千葉大学

共同実施先等の名称	国立大学法人 千葉大学		
研究実施場所及び	国立大学法人 千葉大学 西千葉キャンパス 〒263-8522 千葉県千葉市稲毛区弥生町 1-33		

登録研究員	(最寄り駅：総武本線 西千葉駅)		
	氏名	所属・役職	担当事業内容
	▽佐藤之彦	工学部電子機械工学科、教授	4), 6)

実施内容：SiC インバータ高速制御技術の研究開発を行う。

③宇宙航空研究開発機構

共同実施先等の名称	独立行政法人 宇宙航空研究開発機構		
研究実施場所及び登録研究員	独立行政法人 宇宙航空研究開発機構 相模原キャンパス 〒229-8510 神奈川県相模原市由野台 3-1-1 (最寄り駅：横浜線 淵野辺駅)		
	氏名	所属・役職	担当事業内容
	田島道夫	宇宙科学研究本部 宇宙探査工学研究系、研究主幹	2)-①, 3), 6)

実施内容：つくばサイトで作製された SiC デバイス TEG 等をフォトルミネッセンスマッピング法で評価し、その欠陥を解析する。

④物質・材料研究機構

共同実施先等の名称	独立行政法人 物質・材料研究機構		
研究実施場所及び登録研究員	独立行政法人 物質・材料研究機構 並木地区 〒305-0044 茨城県つくば市並木 1-1 (最寄り駅：つくばエクスプレス つくば駅)		
	氏名	所属・役職	担当事業内容
	関口隆史	情報通信材料研究領域、半導体特性評価グループ、グループリーダー	2)-①, 3), 6)
	陳斌	情報通信材料研究領域、半導体特性評価グループ、NIMS ジュニア研究員	2)-①, 3), 6)

実施内容：つくばサイトで作製された SiC デバイス TEG 等を EBIC 法で評価し、その欠陥を解析する。

(3) 財団法人 新機能素子研究開発協会

PL	荒井 和雄	産業技術総合研究所 イノベーション推進室 技術顧問
委託先等の	財団法人 新機能素子研究開発協会	

名称			
業務管理者	研究開発統括部長 清水 肇		
経理責任者	総務部経理課 経理課長 加藤良武		
研究実施場所及び登録研究員	財団法人 新機能素子研究開発協会 〒105-0001 東京都港区虎ノ門2丁目9番14号 発明会館5階		
	氏名	所属・役職	担当事業内容 (*)
	清水 肇	研究開発部 研究開発統括部長 兼 次世代インバータ基盤技術研究所長	5), 6)
	渡井久男	研究開発部 研究開発第一部長	2), 3), 4), 5), 6)
つくばサイト			
業務管理者	次世代インバータ基盤技術研究所 技術開発室長 兼 ウェハ品質管理室長 樋口 登		
研究実施場所及び登録研究員	(独) 産業技術総合研究所 〒305-8568 茨城県つくば市梅園1-1-1 中央第2 エネルギー半導体エレクトロニクス研究ラボ内 次世代インバータ基盤技術研究所		
	氏名	所属・役職	担当事業内容 (*)
	一ノ関共一	次世代インバータ基盤技術研究所 ウェハ品質評価管理室 主任研究員	2), 3)
	小坂賢一	次世代インバータ基盤技術研究所 ウェハ品質評価管理室 主任研究員	2), 3)
	田中美恵子	次世代インバータ基盤技術研究所 ウェハ品質評価管理室 主任研究員	2), 3)
	横山 夏樹	次世代インバータ基盤技術研究所 技術開発室 主幹研究員	2)-①, 3), 6)
	鳥居 和功	次世代インバータ基盤技術研究所 技術開発室 主幹研究員	2)-①, 3), 6)
	大野 俊之	次世代インバータ基盤技術研究所 技術開発室 主幹研究員	2)-①, 3), 6)
	大柳 孝純	次世代インバータ基盤技術研究所 技術開発室 主任研究員	2)-①, 3), 6)

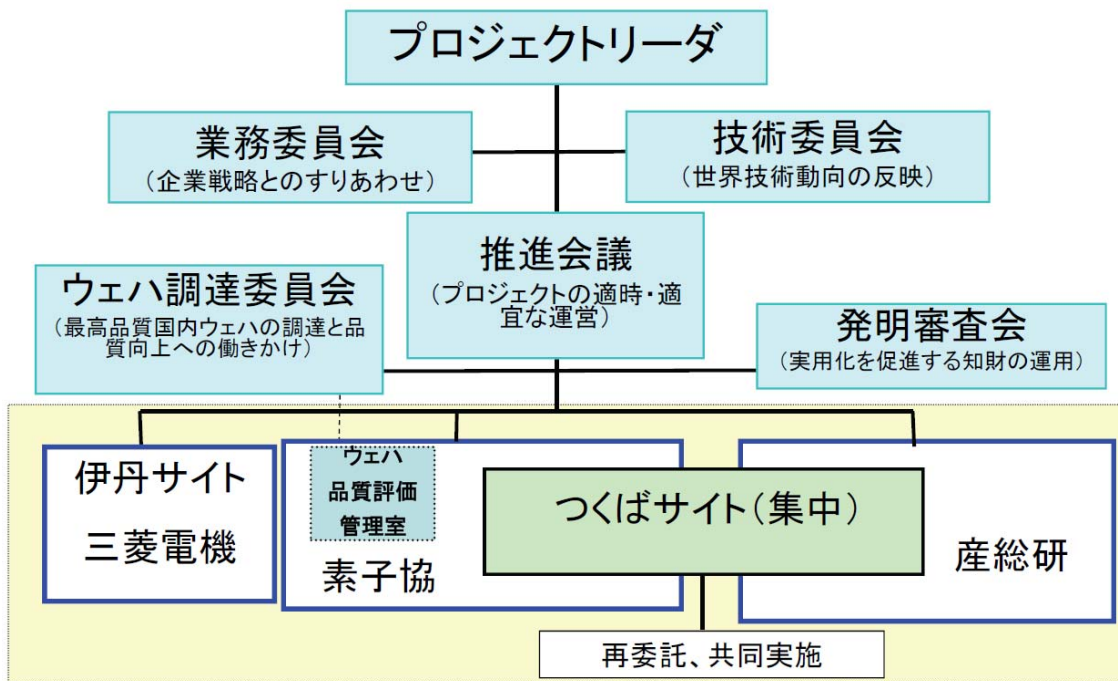
吉江 徹	次世代インバータ基盤技術研究所 技術開発室 主任研究員	2)-①, 3), 6)
内田 英次	次世代インバータ基盤技術研究所 技術開発室 主幹研究員	2)-①, 3), 6)
小林 元樹	次世代インバータ基盤技術研究所 技術開発室 主幹研究員	2)-①, 3), 6)
坂田 豊和	次世代インバータ基盤技術研究所 技術開発室 主任研究員	2)-①, 3), 6)
作野 圭一	次世代インバータ基盤技術研究所 技術開発室 主幹研究員	4), 6)
川村 博史	次世代インバータ基盤技術研究所 技術開発室 主任研究員	4), 6)
ジョン・トリナム	次世代インバータ基盤技術研究所 技術開発室 主任研究員	4), 6)
四戸 孝	次世代インバータ基盤技術研究所 技術開発室 主幹研究員	2)-①, 3), 4), 6)
畠山哲夫	次世代インバータ基盤技術研究所 技術開発室 主幹研究員	2)-①, 3), 5), 6)
河野 洋志	次世代インバータ基盤技術研究所 技術開発室 主任研究員	2)-①, 3), 6)
鈴木 拓馬	次世代インバータ基盤技術研究所 技術開発室 主任研究員	2)-①, 3), 6)
湯元 美樹	次世代インバータ基盤技術研究所 技術開発室 主任研究員	2)-①, 3), 6)
米澤 喜幸	次世代インバータ基盤技術研究所 技術開発室 主幹研究員	2)-①, 3), 6)
中村 俊一	次世代インバータ基盤技術研究所 技術開発室 主任研究員	2)-①, 3), 6)
後藤 雅秀	次世代インバータ基盤技術研究所 技術開発室 主任研究員	2)-①, 3), 6)
田森 妙	次世代インバータ基盤技術研究所 技術開発室 主任研究員	2)-①, 3), 6)
田沼良平	次世代インバータ基盤技術研究所 技術開発室 主幹研究員	2)-①, 3), 6)
▽樋口 登	次世代インバータ基盤技術研究所 技術開発室長 兼 ウェハ品質管理室長	2)-①, 3), 4), 5), 6)

	谷本 智	次世代インバータ基盤技術研究所 技術開発室 主幹研究員	4), 6)
	高尾和人	次世代インバータ基盤技術研究所 技術開発室 主任研究員	4), 6)
	南 章行	次世代インバータ基盤技術研究所 技術開発室 主任研究員	2)-①, 3), 6)
	福田浩一	次世代インバータ基盤技術研究所 技術開発室 主任研究員	2)-①, 3), 6)
	新里昌弘	次世代インバータ基盤技術研究所 技術開発室 主任研究員	2)-①, 3), 6)
	渡邊 寛	次世代インバータ基盤技術研究所 ウェア品質評価管理室 主任研究員	2)-②
	辻 崇	次世代インバータ基盤技術研究所 技術開発室 主任研究員	2)-①, 6)
	下里 淳	次世代インバータ基盤技術研究所 技術開発室 主任研究員	<u>2)-①, 3)</u>

2.3 研究開発の運営管理

三菱電機株、(独)産業技術総合研究所、(財)新機能素子研究開発協会の3者の「共同研究契約書」を元に、「パワーエレクトロニクスインバータ基盤技術開発事業研究体運営規程」、「パワーエレクトロニクスインバータ基盤技術開発事業研究体知的財産権取扱規程」を設けて運営管理を行った。

<プロジェクト実施運営体制図>



図表Ⅱ-8. プロジェクト実施運営体制図

2.3.1 研究開発管理

(a) 基本事項の決定

推進連絡会議にて決定。

(b) 業務委員会、技術委員会による研究開発計画に対するステアリング

業務委員会における参加企業各社の業務委員、技術委員会におけるプロジェクト外有識者委員の意見を考慮しプロジェクトの方向を決定。

(c) 研究開発の管理運営

週1回の定例技術検討会、つくばサイト参加企業のリーダーと共同実施者も含めたつくばサイト会議、研究課題毎のミーティングを行い進捗をフォローすると共に、SiC ウェハの品質管理と購入計画、ウェハメーカー、エピメーカーとの技術情報の交換と議論をウェハ調達委員会で行う。

(e) 成果管理

成果の外部への発表、特許出願に関してはプロジェクトリーダーの承認のもと、決められた手順にもとづいて行われる。特許出願に関して発明者やその持分について議論が必要な場合のみ、発明審査会をPLが招集する。

2.3.2 成果報告

成果の報告、議論は1回/週の定例会等研究グループ毎に行い、2回/年のプロジェクト技術委員会の前に結論に向けた議論を行う。

2.3.3 業務管理

業務管理は NEDO 技術開発機構との契約者である三菱電機㈱、(独)産業技術総合研究所、(財)新機能素子研究開発協会それぞれの予算管理部門で実施。

3. 情勢変化への対応

【加速財源投入実績】

(1) 平成18年度

①件名

高効率・高密度インバータユニット技術の開発促進のための露光装置と高輝度 X 線分析装置の購入

②金額：335百万円

③目的・必要性

世界で最小のオン抵抗値を持つ IEMOSFET の開発・実証を行ったことから、更に SiC ウェハの結晶欠陥低減に資するデバイスの特性分析とデバイス製造要素技術の高度化を図る。

④成果

SiC 素子化に必要な露光装置と高輝度 X 線分析装置の導入により、電気特性と結晶欠陥の対応付けが加速されたことにより、デバイスクラック欠陥が明らかになりつつあり、プロジェクト目標達成が加速されている。

(2) 平成19年度

①件名

高効率・高密度インバータ革新的高度化基盤技術の開発促進のための4インチウェハ、インライン4インチウェハ評価設備、インバータ動作評価装置の購入

②金額

240百万円

③目的・必要性

確立した SiC 基板欠陥評価方法を用いて、4インチウェハ評価を実施し、三菱電機において、ダイオード試作評価を実施する。これにより、素子特性を劣化させるメカニズム解明に資する共に、実用化のためのプロセスコストの低減を図った高効率インバータ実現に向けての課題解決に資する。

また、フィルター等の小型化が期待できるインバータの高キャリア周波数化に関し評価検討を行い、その効果を検証する。

④成果

国産の4インチウェハが米国 Cree 社製と同等の品質との評価結果を得た。また、4インチウェハ上デバイス試作の加速としてインライン評価が可能な4インチ対応プロセスを準備すると共に、SiC インバータ回路の高周波動作評価を行った。

(3) 平成20年度

①件名

高効率・高密度インバータ革新的高度化基盤技術の開発促進のためのカーボンキャップ装置の購入

②金額 85 百万円

③目的・必要性

SiC を用いたインバータ実用化に向けては、材料欠陥・プロセス起因欠陥の低減によるデバイスの歩留まり信頼性向上が求められており、そのための基盤技術の確立を図るためにもプロセス起因欠陥においては、イオン注入後に行う活性化熱処理によるウェハ表面荒れが最も大きな課題であった。これを回避できる手法を確立する。

④成果

SiC デバイスプロセスのボトルネックであった活性化熱処理に関し、カーボン保護膜で表面荒れを抑制できるプロセスを見出し、100A 級 SiC-SBD や 10A 級 SiC-MOSFET (IE-MOS) の試作に成功した。IEMOS については、加速資金で導入したカーボンキャップ装置による耐圧歩留まり向上を確認し、インバータ回路での評価に使用する 10A 級 IEMOS を製作した。

4. 評価に関する事項

技術的及び産業政策的観点から見た技術開発の意義、目標達成度、成果の技術的意義並びに将来の産業への波及効果等の観点から、外部有識者による技術開発の事後評価を平成 21 年度までに実施する。

III. 研究開発成果について

1. 事業全体の成果

(1) 高効率・高密度インバータユニット技術開発

素子耐圧安定化を目的に終端構造の最適化検討を行い、1700V 以上の耐圧を有する SiC-MOSFET、SBD を試作実証した。また SiC-MOSFET の大容量化検討として素子面積 5mm 口の MOSFET 及び SBD を試作し、100A のスイッチング動作を確認した。また、パワーデバイスとしての限界特性評価の一環として、MOSFET に対して短絡時の評価を実施し、現状パワーデバイスにおいて標準的な 10 μ sec 以上であることを確認した。並列モジュール (30A 級) を用いて、実際にモータ駆動試験を実施してパワー密度は 10W/cc を達成し、損失が 11 kW 出力時に Si-IGBT インバータユニットの 30%であることを確認し、最終目標を達成した。高キャリア周波数化については、インバータユニットにおいて 30 kHz 高キャリア動作を達成した。

(2) 高効率・高密度インバータ革新的高度化基盤技術

(2)-1. インバータ大容量化基盤技術の研究

①放射光トポグラフィ法による転位欠陥評価技術

転位欠陥の性状を非破壊で評価する手法を開発し、基底面螺旋転位、基底面刃状転位の区別をつけることが可能となった。観察される特長的な転位のコントラストの原因についての考察も行いメカニズムを明確にした。

②大容量 SBD の開発と耐圧劣化機構

ウエハ起因とプロセス起因の課題解決の両面から研究開発を進め、活性化熱処理工程で耐圧不良が起こる問題は、活性化熱処理時にカーボンキャップを被せる方法により解決した。耐圧 1200V で 5mm \square 100A 級 J B S - S B D の試作に成功した。歩留り低下の原因はエピタキシャル層の欠陥であることを明らかにした。

③PiN ダイオードの耐圧不良機構

高ドーズ Al 注入により逆方向特性の劣化（高リーク電流および低絶縁耐圧）が見られた。高リーク電流を示す素子での発光点は貫通螺旋転位と一致した。

④大容量 DIMOS の開発と耐圧劣化機構

現状での耐圧歩留まりの低下はプロセス要因が支配的であることを示唆された。特に、活性化熱処理工程においては、高温・短時間の活性化アニール処理が耐圧歩留まり改善に有効であることを確認した。リーク電流が比較的大きい値を示す素子と転位密度の間には明確な相関関係が見られた。貫通螺旋転位については、懸念すべき欠陥ではあるが、市販の SiC ウエハに存在する貫通螺旋転位密度程度であれば、実用上ほぼ問題ないレベルである。

(2)-2. インバータ信頼性向上基盤技術の研究

① (0001) Si 面上の高チャネル移動度と高信頼性ゲート酸化膜

製造工程で、(0001) Si 面ではドライ酸化の後に N₂O と H₂ アニールを行うことが、高信頼性と高チャネル移動度を両立させる。この条件でのチャネル移動度は、30.7 cm²/Vs となり、最も高い。SiC ウエハの欠陥としては、エピタキシャル成長中に発生する欠陥がキラーとなることがわかった。基底面転位と螺旋転位では、かなりの高い確率でゲート酸化膜の破壊が発生するが、致命的ではない。寿命は TDDB 測定により、30 年を十分に超えている。5mm \square の 3MV/cm での TDDB 寿命は、30 年を超えることが分かり、転位密度が約 9000 個/cm² 以下の SiC 基板上に欠陥が非常に少ない高品質エピタキシャル層を形成できれば 5mm \square のゲート酸化膜においても 30 年の長期信頼性寿命を保証できると考えられる。

② (000-1) C 面上の高チャネル移動度と高信頼性ゲート酸化膜

5mm 角以上の大面積のゲート酸化膜の寿命は主にゲート酸化プロセスと表面欠陥密度によって支配されており、高信頼化にはゲート酸化プロセスのさらなる最適化と、表面欠陥密度、特に“ダウンフォール”、“三角欠陥”の低減が必須である。C 面においては、螺旋転位や刃状転位などの結晶欠陥との強い相関は認められなかった。

以上に加え、ウエハの一括管理により、ウエハ情報を早期にメーカーへ開示し、ウエハ産業の育成に貢献した。

(2)-3. インバータ高パワー密度化基盤技術

インバータ損失統合設計シミュレータによるインバータ出力パワー密度予測を行い、50W/cc 以上の高パワー密度化への条件を定量的に検討できる手法を開発した。高パワー密度インバータの実証を行うために SiC-MOSFET、SBD の試作を行い、モジュール試作/評価を実施した。また、高密度化の重要要素である高温実装技術に必要な要素技術

の研究を進め、250℃以上の動作に必要な接合技術の開発を行った。以上の研究成果をもとに50W/cc以上のパワー密度を実現するのに必要な課題とその見通しを明らかにした。

2. 研究開発項目毎の成果

2.1 高効率・高密度インバータユニット技術開発（伊丹サイト）

（1）高効率・高密度インバータユニット技術開発

H18年度は素子耐圧安定化を目的に終端構造の最適化検討を行い、1700V以上の耐圧を有するSiC-MOSFET、SBDを試作実証した。またSiC-MOSFETのオン抵抗低減に向け、素子の基本単位であるセルの微細化検討を有効面積3mm²MOSFETに対し実施し、典型的なオン抵抗値として約8m Ω cm²を得た。続いて大容量化検討として素子面積5mm²のMOSFET及びSBDを試作し、ハーフブリッジ構成で動特性を評価した結果、100Aのスイッチング動作を確認した。また、パワーデバイスとしての限界特性評価の一環として、MOSFETに対して短絡時の評価を実施し、試作したデバイスの構造パラメータの範囲で破壊までの時間としては現状パワーデバイスにおいて標準的な10 μ sec以上であることを確認した。さらにインバータユニットの検討として、3mm²のSiC-MOSFETとSBDを用いた3.7kW級のプロトタイプインバータモジュール(6素子入り)を試作した。

H19年度はH18年に試作した3mm²のSiC-MOSFET、SBDを用いたプロトタイプインバータモジュール(6素子入り)を用い、3.7kWインバータユニットを試作した。このインバータユニットを用いてモータの負荷連続試験を実施した結果、3.7kW出力時にSi-IGBTを用いたインバータユニットに比べて電力損失が50%に低減できることを確認した。またインバータユニットの小型化の指標であるパワー密度はSi-IGBTインバータ比で約4倍に相当する9W/cm³を達成した。続いてインバータ設計に必要なデバイス回路モデル構築の一貫として、動特性に対応可能なSiC-MOSFET回路モデルを構築するとともに、モデルと実測の比較を行い、良好な一致を確認した。さらにSiC-MOSFETのアバランシェ耐量、短絡耐量、SBDのリカバリー耐量等の限界特性を評価し、14kVA(11kW出力)インバータ動作に十分な耐量を確認した。これらの知見よりモジュールの容量増大を目的に3mm²のSiC-MOSFETを3並列、SBDを2並列にした並列モジュール(30A級)を試作した。このモジュールの3相インバータユニット(14kVA)適用時の損失を推定するために、静特性、動特性の評価を実施した。その結果、Siインバータ比で損失30%(70%減)が達成できる見通しを得た。

H19年度からは追加研究項目として、インバータの高キャリア周波数化について研究開発に着手し、その一環として昇降圧チョッパを用いた高キャリア駆動の基礎特性評価を行い、20kHz駆動時の波形評価から安定な動作を確認した。

H20年度はH19年度に試作した並列モジュール(30A級)を用いて、実際にモータ駆動試験を実施し、損失の評価を行った。その結果、予想通り10kW出力時にSi-IGBTを用いたインバータに比べて損失が70%低減されていることを実験的に確認した。さらにこの結果を元に14kVA(11kW出力)インバータユニットを設計、試作した。試作したインバータユニットの体積は1.1Lで、パワー密度は10W/cm³を達成した。続いて、このインバータユニットの損失評価を行い11kW出力時にSi-IGBTインバータユニットの30%であることを確認し、最終目標を達成した。

高キャリア周波数化については、上下アームのスイッチングにおけるデッドタイムを1 μ secに短縮

することで、インバータユニットにおいて 30kHz 高キャリア動作を達成した。またこの結果より、高キャリア化によるインバータに対する利点効果を試算したところリアクトルを 1/3 の値に設定してもリップル電流は同等以下であることが確認できた。

(2) 高効率・高密度インバータ革新的高度化基盤技術

H19 年度より追加研究項目として 4 インチウェハを用いた SBD 試作評価を実施した。H19 年度は 4 インチウェハのデバイス試作、評価に向けてインライン評価技術の基礎検討に着手した。

H20 年度は SiC の 4 インチプロセスを新規に構築し、実際に 5mm□の SBD の試作に成功した。評価した電気特性は、ウェハ品質評価管理室での表面欠陥の評価データと相関があることを確認した。また、国内エピ/ウェハメーカーの 4 インチ SiC エピウェハ上に試作された SBD チップの電気特性は海外エピ/ウェハメーカー品に迫る特性を有することを確認した。

	伊丹サイト (三菱電機)	ローム	Cree	GE
オン抵(mΩ cm ²)	7	8.6	9	11
耐圧(V)	1200	1350	1200	1000
電流(A)	60	20	60	16
チップサイズ	5.2mm × 5.2mm	2.4mm × 4.8mm	7mm × 8mm	4.5mm × 4.5mm
備考	2009/2	EGSCRM 2008	EGSCRM 2008	EGSCRM 2008

図表.Ⅲ-1. SiC-MOSFET のベンチマーク

	伊丹サイト (三菱電機)	ローム /ホンダ	Fraunhofer ISE (独)	ローム /日産	東芝	電中研 /東芝
デバイス	SiC-MOSFET SiC-SBD	SiC-MOSFET SiC-SBD	SiC-MOSFET SiC-SBD	Si-IGBT SiC-HJD	Si-IGBT SiC-SBD	Si-トランジスタ SiC-SBD
出力 (モジュール容量)	11kW (1200V/75A)	- (1200V/230A)	7kW	-	3kW (1200V/10A)	3.3kW (600V/32A)
損失低減 _(Si比)	70%	46%	46%	20%	30-40%	15%

* 損失低減率が公表されている発表

図表.Ⅲ-2. SiC デバイスを適用した電力変換器の報告例(損失低減効果報告例)

2. 2 高効率・高密度インバータ革新的高度化基盤技術開発(つくばサイト)

(1) インバータ大容量化基盤技術の研究

①放射光トポグラフ法による転位欠陥評価技術

4H-SiC デバイスの内部構造を観察する手段として、放射光を用いた低角入射X線トポグラフ法の開発を進めた。観察されているさまざまな転位のコントラストから各種の転位を同定する手法

の確立を目指した。今回のプロジェクトで基底面螺旋転位、基底面刃状転位の区別をつけることが可能となった。また基底面転位の6種類のバーガスベクトルの方向も区別をつけることが可能であることが分かった。また、貫通刃状転位の6種類のバーガスベクトルも区別を付けることが分かった。観察されている貫通螺旋転位のバーガスベクトルのC軸方向の成分は、現在のウエハでは大部分 $\pm[0001]$ であり、 $\pm[0002]$ などは観察されなかったことが、補助的に用いた電子顕微鏡観察よりわかった。また、本、低角入射X線トポグラフィ法で観察される特長的な転位のコントラストの原因についての考察も行いメカニズムを明確にした。さらに、基板上的エピ膜成長時や、pn接合界面の形成時の典型的な格子欠陥構造の変化などを示し、新たな知見を得た。

②大容量 SBD の開発と耐圧劣化機構

JBS構造とショットキー電極にTiを用いて500°Cでアニールをすることにより、低Vfと低リーク電流を両立させることができた。また、活性化熱処理工程で終端構造の表面が荒れることにより、耐圧不良が起こる問題は、活性化熱処理時にカーボンキャップを被せて行うことにより解決し、耐圧1200Vで5mm \square 100A級JBS-SBDの試作に成功した。歩留まり低下の原因はエピタキシャル層の欠陥(ダウンフォールや三角欠陥)であることを突き止め、5mm \square JBS-SBDでは20%程度の歩留まりを得た。当初懸念された転位欠陥に起因する耐圧不良は見つからず、エピ欠陥の低減とプロセスの管理の徹底により5mm \square 100A級JBS-SBDでも高歩留まりが得られると見通しがたった。

③C面高耐圧PiNダイオードのリーク電流解析

パワーMOSFETのスイッチング損失低減には、高ドーズAl注入により高濃度のp領域を形成し、pボディ用コンタクト抵抗を低減する必要がある。しかし高ドーズAl注入により、p-n接合のリーク電流の増加が危惧され、異なるAl濃度でイオン注入された高耐圧PNダイオードを作製し、逆方向電流電圧特性を評価した。

その結果、注入Al濃度 $3 \times 10^{19} \text{cm}^{-3}$ 以下では顕著な逆方向特性の劣化は見られなかったが、注入Al濃度 $2 \times 10^{20} \text{cm}^{-3}$ では逆方向特性の劣化(高リーク電流および低絶縁耐圧)が見られた。高リーク電流を示す素子での発光点はらせん転位と一致した。問題を起こす欠陥密度は、注入Al濃度が $3 \times 10^{19} \text{cm}^{-3}$ 以下では 35cm^{-2} 以下と見積もられるが、注入Al濃度 $2 \times 10^{20} \text{cm}^{-3}$ では 500cm^{-2} と急増した。断面ひずみ解析によると結晶面のばらつきが大きな領域がp-n接合に重なっており、これが欠陥密度の急増の原因と思われる。

④放射光を用いた走査X線マイクロビームによるSiC-PiNダイオード結晶中の貫通螺旋転位の周りの歪みの3次元解析

X線マイクロビーム3Dトポグラフィにより、リークSDとノンリークSDの歪み解析を行った。その結果、リークSDの歪み場はSD本来の対称形状であるのに対し、ノンリークSDの歪み場は非対称形状となっていることがわかった。また欠陥密度の指標としてのロッキングカーブピーク幅はノンリークSDよりリークSDのほうが大きいことがわかった。以上のことから、ノンリークSDでは転位芯の拡がりによる歪みの緩和で結晶欠陥が少なく、電流リークを生じにくいと考えられる。イオン

注入の解析では、イオン注入により形成されたダメージの下に欠陥密度の高い領域(深部欠陥)があつて、その領域は深さ $2.9\mu\text{m}$ の p-n 接合を超えて約 $4\mu\text{m}$ の深さまで達していることがわかつた。したがつて、イオン注入によるリーク電流の増大はこの深部欠陥が影響していると考えられる。

⑤PiN ダイオード逆方向耐圧不良、金属不純物の効果

PiN ダイオード逆方向耐圧不良に影響を及ぼす金属不純物の効果を調べた。ウエハ中の微量不純物元素を放射光を用いた蛍光X線調べ Cr、Fe、Co、Ni、Cu などの微量金属不純物の存在を検出した。購入直後の SiC ウエハの表面を全反射蛍光X線調べ、各種の金属不純物が表面に存在していることを確認した。RCA 洗浄を繰り返すとこれらの表面の汚染はある程度抑えられることを確認した。PiN ダイオード逆方向特性を測定するときに、エミッション顕微鏡で観察し、逆方向に電流が流れるとき発光がターミネーションエッジで観察されるものを正常品と定義し、pn 接合内部で発行が観察されるものを不良品と定義した。不良品の pn ジャンクション発光部を SIMS で分析すると、微量検出限界を少し上回る微量 Fe、Cu、Cr、Ti などの不純物が検出された。意図的に金属微量不純物 Fe、Cu、Ti、 $1.017 \times 10^{17}\text{atoms/cm}^3$ 、 $1.018 \times 10^{18}\text{atoms/cm}^3$ をインプラした後 1800°C で 1.5 分アニールを行い、EBIC、CL で観察した。Fe、Cu では十分拡散し、転位のコントラストなどに変化が見られた。また転位の Cu による固着を示唆していると推察された。

⑥大容量 DIMOS の開発と耐圧劣化機構

大面積 SiC-DMOSFET における耐圧劣化、および耐圧歩留まり低下要因を、作製プロセスと結晶欠陥(転位)の2つの観点から調査し、その支配的要因を明らかとすることを目標として研究を行った。1~3mm \square 素子を試作すると同時に単純な PiN ダイオード構造から段階的に DMOS 構造に近づく 4 つの PiN 接合 TEG (Test Elementary Group) を用いて因数分解し、SiC-DMOSFET のオフ特性における重要課題を明らかにした。その結果、小さい素子サイズ(150 μm 角)の V-I 特性評価より、耐圧および耐圧歩留まりという観点からは p-well 構造の有無で耐圧不良が多くなることは無いことがわかつた。素子サイズと耐圧歩留まりの関係については、耐圧歩留まりは素子サイズに大きく依存し、アクティブ領域を拡大すると耐圧歩留まりは低下する結果が得られた。ここで、DMOSFET の耐圧歩留まり低下の支配的要因は、JFET 領域上の酸化膜破壊であり、破壊箇所と転位位置には強い相関は見られないことから、現状での耐圧歩留まりの低下はプロセス要因が支配的であることを示唆された。特に、活性化熱処理工程が耐圧歩留まりに大きな影響を与えることを明らかにし、高温・短時間の活性化アニール処理が耐圧歩留まり改善に有効であることを確認した。リーク電流と転位密度の関連性についても転位密度の異なる SiC ウエハーを準備して PiN ダイオードを試作しリーク電流を比較した。転位密度の異なるウエハ上に作製した PiN ダイオードにおいて、リーク電流が比較的大きい値を示す素子の数と転位密度の間には明確な相関関係が見られる結果が得られた。一方で、同一ウエハ内では素子領域に含まれる貫通螺旋転位(TSD)の数とリーク電流値に明確な相関(依存性)は見られなかつた。貫通螺旋転位については、懸念すべき欠陥ではあるが、現在市販されている SiC ウエハーに存在する貫通螺旋転位密度程度であれば、実用上ほぼ問題ないレベルであると思われる。

(2) インバーター信頼性向上基盤技術の研究

5mm□100AのパワーMOSFETを実現するために必要な高チャネル移動度とゲート酸化膜の信頼性寿命を達成するのに必要なゲート酸化膜の製造プロセス及びSiCウエハの条件を明確にするために、ゲート酸化温度、酸化雰囲気、酸化後アニール(POA)及びSiCウエハの欠陥がこの2つの特性にどのように影響するかを調べた。製造プロセス条件は、ドライ酸化で1350℃まで酸化温度を上昇するにつれて絶縁破壊電荷が増加する。次いで、ドライ酸化の後にN₂O雰囲気でのアニール、さらにH₂雰囲気でのアニールを行うことにより、絶縁破壊電荷が増加するので、ドライ酸化+N₂Oアニール+H₂アニールが最も高い信頼性を有するゲート酸化膜が得られる。この条件でのチャネル移動度は、30.7cm²/Vsとなり得られた中では最も高いので(0001)Si面では、ドライ酸化の後にN₂OとH₂アニールを行うことが、高信頼性と高チャネル移動度を両立させるプロセス条件である。SiCウエハの欠陥とゲート酸化膜の信頼性寿命の研究からは、ダウンフォールや三角欠陥等のエピタキシャル成長中に発生する欠陥がキラーとなることがわかった。転位のうち刃状転位でのゲート酸化膜破壊の発生はほとんど無い。一方、基底面転位と螺旋転位では、かなりの高い確率でゲート酸化膜の破壊が発生するが致命的ではない。このことを裏付けるために、転位密度が約9000個/cm²と約2500個/cm²の2種類のSiC基板を用意してキラー欠陥であるダウンフォールと三角欠陥の密度が非常に少ない高品質のエピタキシャル基板を用いて、500μm□、1mm□、3mm□のMOSキャパシタを作製してTZDB,TDDB測定を行った。TZDB測定では、絶縁破壊電界の最頻値は転位密度及び面積によらず、11MV/cmであった。また、TDDB測定を9MV/cm,9.5MV/cm,10MV/cmで行い各電界での寿命を算出して実際の動作電界である3MV/cmのTDDB寿命を外挿して求めたところ、転位密度及び面積によらず実際の使用に要求される30年を十分に超えている。3つの大きさのMOSキャパシタの各電界でのTDDB寿命から5mm□でのTDDB寿命を外挿したところ、3MV/cmでのTDDB寿命は、やはり、30年を超えることが分かり、転位密度が約9000個/cm²以下のSiC基板上にダウンフォールと三角欠陥が非常に少ない高品質エピタキシャル層を形成できれば5mm□のゲート酸化膜においても30年の長期信頼性寿命を保証できると考えられる。但し、実際のパワーMOSFETではトータルの信頼性を保証する必要があり負荷短絡耐量やアバランシェ耐量のような破壊耐量とSiC基板の転位欠陥との相関を調べる必要がある。

①(0001)Si面上の高チャネル移動度と高信頼性ゲート酸化膜

5mm□100AのパワーMOSFETを実現するために必要な高チャネル移動度とゲート酸化膜の信頼性寿命を達成するのに必要なゲート酸化膜の製造プロセス及びSiCウエハの条件を明確にするために、ゲート酸化温度、酸化雰囲気、酸化後アニール(POA)及びSiCウエハの欠陥がこの2つの特性にどのように影響するかを調べた。製造プロセス条件は、ドライ酸化で1350℃まで酸化温度を上昇するにつれて絶縁破壊電荷が増加する。次いで、ドライ酸化の後にN₂O雰囲気でのアニール、さらにH₂雰囲気でのアニールを行うことにより、絶縁破壊電荷が増加するので、ドライ酸化+N₂Oアニール+H₂アニールが最も高い信頼性を有するゲート酸化膜が得られる。この条件でのチャネル移動度は、30.7cm²/Vsとなり得られた中では最も高いので(0001)Si面では、

ドライ酸化の後に N_2O と H_2 アニールを行うことが、高信頼性と高チャネル移動度を両立させるプロセス条件である。SiC ウェハの欠陥とゲート酸化膜の信頼性寿命の研究からは、ダウンフォールや三角欠陥等のエピタキシャル成長中に発生する欠陥がキラーとなることがわかった。転位のうち刃状転位でのゲート酸化膜破壊の発生はほとんど無い。一方、基底面転位と螺旋転位では、かなりの高い確率でゲート酸化膜の破壊が発生するが致命的ではない。このことを裏付けるために、転位密度が約 9000 個/cm² と約 2500 個/cm² の2種類の SiC 基板を用意してキラー欠陥であるダウンフォールと三角欠陥の密度が非常に少ない高品質のエピタキシャル基板を用いて、500 μm □、1mm□、3mm□の MOS キャパシタを作製して TZDB, TDDB 測定を行った。TZDB 測定では、絶縁破壊電界の最頻値は転位密度及び面積によらず、11MV/cm であった。また、TDDB 測定を 9 MV/cm, 9.5 MV/cm, 10MV/cm で行い各電界での寿命を算出して実際の動作電界である 3MV/cm の TDDB 寿命を外挿して求めたところ、転位密度及び面積によらず実際の使用に要求される 30 年を十分に超えている。3 つの大きさの MOS キャパシタの各電界での TDDB 寿命から 5mm□での TDDB 寿命を外挿したところ、3MV/cm での TDDB 寿命は、やはり、30 年を超えることが分かり、転位密度が約 9000 個/cm² 以下の SiC 基板上にダウンフォールと三角欠陥が非常に少ない高品質エピタキシャル層を形成できれば 5mm□のゲート酸化膜においても 30 年の長期信頼性寿命を保証できると考えられる。但し、実際のパワー MOSFET ではトータルの信頼性を保証する必要があり負荷短絡耐量やアバランシェ耐量のような破壊耐量と SiC 基板の転位欠陥との相関を調べる必要がある。

②(000-1)C 面上の高チャネル移動度と高信頼性ゲート酸化膜

結晶欠陥密度が大きいウェハ、小さいウェハ及びエピ表面欠陥密度が大きいウェハ及び、小さいウェハを用意し、酸化膜信頼性特性の優劣を調べた。その結果、結晶欠陥密度より、エピ表面欠陥密度が大きいウェハにおいて顕著な信頼性の劣化が見られた。ウェット酸化膜においては、ウェット酸化直後の水素アニールによって信頼性が向上することが判明し、さらに 800°C が最適であることを確かめた。N₂O による酸化プロセスにおいては N₂O の直接酸化より、ドライ酸化 + N₂O アニールによる酸化膜が高信頼性を示した。ドライ酸化 + N₂O アニールによるゲート酸化による大面積酸化膜の寿命について調べた。加速電界における不良率 65% の寿命からゲート電界 3MV/cm における寿命を外挿した。3mm 角以下のゲート酸化膜では真性破壊モードによる破壊が主であり、30 年以上の寿命が推定された。一方、5mm 角のゲート酸化膜においては表面欠陥起因の初期破壊が 50% に及んだ。残りの素子もほとんど偶発不良モードで破壊した。しかしながら、5mm 角においても酸化膜寿命は 30 年以上であることが確認できた。

以上まとめると、5mm 角以上の大面積のゲート酸化膜の寿命は主にゲート酸化プロセスと表面欠陥密度によって支配されており、高信頼化にはゲート酸化プロセスのさらなる最適化と、表面欠陥密度、特に“ダウンフォール”、“三角欠陥”の低減が必須である。なお C 面においては 1 例を除いて螺旋転位や刃状転位などの結晶欠陥との強い相関は観察されなかった。

(3) インバータ高パワー密度化基盤技術

基本計画に基づき本研究グループは、「高パワー密度化に必要な条件を明らかにし、その見通しを明らかにする」事を目標に研究を進めてきた。インバータ損失統合設計シミュレータによるインバータ出力パワー密度予測を行い、50W/cc以上の高パワー密度化への条件を定量的に検討できる手法を開発した。高パワー密度インバータの実証を行うために必要な高性能デバイスとして所定の性能を有するSBD, MOSFETの試作を行い、モジュール試作/評価を実施した。加えて、高密度化の重要要素である高温実装技術に必要な要素技術の研究を進め、250°C以上の動作に必要な接合技術の開発を行った。以上の研究成果をベースに50W/cc以上のパワー密度を実現するのに必要な課題とその見通しを明らかにした。

3. 成果の水準と目標の達成度

評価 ◎：目標値を大きく達成したか前倒しで達成、○：計画通り目標達成、△：目標一部未達成か達成時期遅れ、×：目標未達成

(次頁より)

図表Ⅲ-3. 成果の水準と目標の達成度

開発項目 (サブテーマ)	20年度実施計画 の目標	主な成果およびその水準	基本計画	基本計画に規定 された目標の達 成状況	自己評 価
I. 高効率・高密度インバータ ユニット技術開発	①AC400V系、出力容量14kVAのSiC3相インバータユニットの設計、試作	5mm□SiC-MOSFETとSiC-SBDを適用した6in1モジュールを用いて、14kVA(11kW出力)/400Vインバータユニット(体積1.1L)を設計、試作した。パワー密度10W/cm ³ を達成。	具体的内容:ダイオード・MOS型スイッチング素子作製プロセス技術、素子耐圧安定化技術、素子オン抵抗低減化技術、インバータ化技術等の技術開発を実施	14kVA(11kW出力)インバータユニット(体積1.1L)を試作し、最終成果目標を達成した。	○
	②SiCインバータユニットの損失が同定格のSiインバータユニットの70%減を実証	14kVA(11kW)インバータユニットを用いて400V系、11kWの3相誘導モータの連続駆動試験を実施。電力損失が、11kW出力時にSi-IGBTデバイスを用いたSiインバータの30%であることを確認した。	達成目標:出力電圧(AC 400Vrms、60 Hz)、出力電流(AC 20 Arms)、出力容量(14 kVA)の3相インバータユニットを試作し、その損失が同定格のSiインバータの30%以下であることを実証する。	Siインバータ比で電力損失を30%に低減できることを実証し、最終成果目標を達成した。	○
	③高キャリア周波数化効果検証	上下アームのスイッチングにおけるデッドタイムを1μsecに短縮することで、30kHz高キャリア動作を達成した。またこの結果より、高キャリア化による利点効果を試算し、リアクトルを1/3の値に設定してもリップル電流は同等以下にできることが確認でき	インバータの高キャリア周波数化(>15kHz)に関し評価検討を行い高キャリア周波数化効果を明確にする。	14kVA(11kW)SiCインバータユニットを用いて、キャリア周波数30kHz動作を確認し、最終成果目標を達成した。	○
II. 高効率・高密度インバータ 革新的高度化 基盤開発	①SiCウェハの転位解析法の確立と想定される素子の電気特性劣化モデルの検証	(1) 貫通螺旋転位のバーガスベクトルと貫通螺旋転位のコントラストとの間の関係を明確にした。このような転位の詳細解析は、世界初。また積層欠陥による電子準位などを明確にした。	SiCウェハの品質と その上に試作した スイッチング素子 特性の関連を明 確化する。イン バータの大容量化 に不可欠なスイ ッチング素子の大容 量化に関しては、 5mm角級チップ を試作し、電流容 量100Aの性能を 達成する条件を明 確にする。	H19年度に開発 した活性化熱処 理プロセスを用 いて、プロセス 起因欠陥の分離 が進んだ。SBD では5mm□試作 /評価により不 良原因が明確に なった。 MOSFETでも 5mm□までの試 作/評価が進 み、最終目標で ある5mm□素 子、100Aを達成 するのに必要な 条件を明確化で きた。	○
(1)インバータ 大容量化基盤 技術		(2) Alインプラにより形成された格子欠陥と貫通螺旋転位部の発光の関係から、Alのイオンインプラ量を抑えることが、PINダイオードの耐圧不良を回避する一つの方策であることが新たにわかった。			
(3) PINダイオードの耐圧不良を起こすものとして、PINダイオードでは局所的に微量のFe、Crなどの金属不純物元素が存在することが新たに確認された					
(4) Cu原子などが転位の回りに寄って来ていることの傍証的結果を新たに観察した。					

開発項目 (サブテーマ)	20年度実施 計画の目標	主な成果およびその水準	基本計画	基本計画に 規定された 目標の達成 状況	自己評 価
II. 高効率・ 高密度イン バータ革新 的 高度化基 盤開発 (1)インバー タ大容量化 基盤技術	②5mm□の DMOSやその 要素構造、 SBD等を試作 すると共に、 それらの素子 特性と各種評 価法による ウェハ欠陥と の相関付けを 行い、特性劣 化欠陥、 100A/チップ 性能達成条 件を明確化 する。	(1) JBS-SBDの耐圧不良には、転位欠陥よりもダウンホールのようなエピ欠陥やプロセス欠陥が大きく影響していることが確認されたが、逆方向特性のリーク電流は、良品であっても、螺旋転位に集中的に流れていると推定される。ダウンホールがダイオード耐圧不良の主要キラー欠陥である。 5mm□素子作製においては、現在市販されている1万個/cm2程度のウェハであれば、ダウンホール、三角欠陥等のエピタキシャル層の欠陥を無くすと同時に活性化熱処理等のプロセスを工夫すれば5mm□、100A級SiC-SBDが試作	SiCウェハの品質とその上に試作したスイッチング素子特性の関連を明確化する。インバータの大容量化に不可欠なスイッチング素子の大容量化に関しては、5mm角級チップを試作し、電流容量100Aの性能を達成する条件を明確にする。	転位の精密同定が大きく進展し、キラー欠陥密度を念頭に、プロセス要因の影響も含めて目標とする特性阻害要因の解明と特性実現条件を明確化できた。	○
	③熱アニール時の表面荒れを抑制し、歩留まりを向上する技術の開発	(2) DIMOSでは、その要素構造での解析から、転位が直接耐圧不良を引き起こしている可能性は低いこと、基板の転位密度減少と共に高リーク電流素子の割合が減少すること、等が判明した。DMOSの耐圧不良がSiC半導体内部ではなく、酸化膜で発生する可能性が高いということが、本成果で初めて明らかになった。この時に短時間で活性化熱処理を行うとSiC表面の荒れが小さくなり、酸化膜での破壊が抑制されることを明らかにした。 ・SiCデバイスプロセスのボトルネックであった活性化熱処理に関し、カーボン保護膜で表面荒れを抑制で			○
	④ 4インチプロセス構築及びSBD試作評価	(1)国産4インチエピ、ウェハを用いて試作したSBDの特性を評価し、海外製ウェハを用いて作製したSBDに迫る特性が得られることを確認した。 (2) 4インチウェハプロセス構築に向けて、ウェハ、プロセス設備、部品類の手配、及びプロセス検討を行った。現在、4インチウェハを用いたSBD試作プロセスを実施中。SiC4インチウェハプロセスを構築し、4インチウェハを用いて5mm□のSBDの試作に成功した。 <SiCウェハ品質評価はウェハ品質評価管理室担当、SBD試作・評価は伊丹サイト担当>			○

開発項目 (サブテーマ)	20年度実施 計画の目標	主な成果およびその水準	基本計画	基本計画に規定され た目標の達成状況	自己評 価
(2)インバー タ信頼性向 上基盤技術	①5mm□ま でのゲート酸化 膜キャパシタ 及び MOSFETを試 作する。また、信頼性と チャネル移動 度が両立する 酸化膜形成 条件を明確 化する。	(1) Si面:ドライ酸化(1350℃) +N2O処理(1350℃)+H2 (1000℃)プロセスによるゲート 酸化膜の形成により高チャネ ル移動度(30cm ² /Vs)を達成 した。また、1250℃以上の高温 で信頼性寿命が長くなること は、本成果で初めて明らかと なった重要な知見である。 (2) C面:ドライ酸化(1250℃) +N2O酸化(1250℃)+H2 (1000℃)プロセスにより高移 動度(40cm ² /Vs)を達成した。 この値は、C面におけるN2Oを 用いたゲート酸化膜形成法で は世界最高値である。 ゲ	SiCスイッチング 素子の信頼性 評価手法を開 発し長期信頼 性を決めている 要因を明確化 する。特に最大 の課題である MOSスイッチ ング素子の酸化 膜について、 5mm角級チップ を試作し、実用 素子に求めら れる信頼性を達 成する条件を明 確にする。	高チャネル移動度 を実現できるゲート酸化 法を用いて作製され る、転位密度1,000個 /cm ² と10,000個/cm ² の基板上の3mm□及 び5mm□酸化膜素子 の信頼性を評価す ることにより、実用的 5mm□酸化膜素子の 寿命30年に必要な 転位密度が明確にな った。 また、KOHエッチング による転位密度評価 から酸化膜素子のキ ラー欠陥を同定する ことにより、最終目標 を達成できた。	○
	②上記ゲート 酸化膜キャパ シタの結晶欠 陥を同定し て、TZDB特 性、TDDDB寿 命と対応づ け、100A級 SiC DMOSの 実用化に必 要なゲート酸 化膜信頼性 寿命(30年) を得るため に必要な条件 を明確にする。	(1) MOS構造において欠陥 破壊と素子構造破壊を分離す ることを可能とし、素子信頼性 予測についての指針を明確に した。 (2) ゲート絶縁破壊箇所と転 位欠陥との相関を評価した結 果、基底面転位と螺旋転位で 絶縁破壊が生じるが、刃状転 位ではほとんど絶縁破壊が生 じておらず、上記2種類の転位 はデバイスキラー欠陥ではな いと考えられる。 エピタキシャル層中のダウン フォール欠陥がゲート酸化膜 のキラー欠陥となることが判 明した。 更に、エピタキシャル層の 種々の表面欠陥がキラー欠陥 であることが判った。また、過 度の犠牲酸化は			○

開発項目 (サブテーマ)	20年度実施 計画の目標	主な成果およびその水準	基本計画	基本計画に規定され た目標の達成状況	自己評価
(インバータ 信頼性向上 基盤技術)		<p>(3) Si面: 転位欠陥1000個/cm²級、10000個/cm²級のSiC基板に対して、ゲート酸化膜の耐圧分布とTDDDB寿命@3MV/cmの加速試験を行った。</p> <p>この時にエピタキシャル層のキラ欠陥が非常に少ない基板では3MV/cmで30年を十分に超えることが判明した。</p> <p>5mm□での寿命も外挿法により算出したところ30年を超える。</p> <p>C面: エピタキシャル層のダウンフォールと三角欠陥はキラ欠陥である。ドライ酸化+N₂O酸化でゲート酸化膜を形成した試料で真性破壊領域での絶縁結論として、5mm□級100AのDMOSの実用化に必要なゲート酸化膜の信頼性寿命を得るには、以下の3点が重要であることが判明した。1) SiC基板の転移密度は市販されている10000個/cm²級以下であること、2) エピタキシャル層のダウンフォールや三角欠陥等を無くすなどの品質を向上させる。3) 特にSi面の場合にはエピタキシャル層にピットを出さないプロセスの構築を行う。上記のようなアプローチは、世界的に見て他に類の無い、本プロジェクトだけの研究方法である。</p>			

開発項目 (サブテーマ)	20年度実施 計画の目標	主な成果およびその水準	基本計画	基本計画に規定され た目標の達成状況	自己評価
(3)インバータ高パワー密度化基盤技術	①高密度インバータ用低オン抵抗デバイスの大容量化、高性能化を試みると共に、それらを用いたインバータの各種動作評価を行う。 (600V-1200V, 10A以上, 0.1Ω級のIEMOS, 600V, 1200V, 10A, オン電圧, 1.2VのSBD, 10A級GaN-HFETによるインバータ回路試作/評価)	(1) IEMOSについては、加速資金で導入したカーボンキャップ装置による耐压歩留まり向上を確認し、インバータ回路での評価に使用する10A級IEMOSを製作した。 オン電圧と逆漏れ電流の低い1200V耐压SBDの試作を行い、世界トップクラスの特性(オン電圧 1.2V@200A/cm ²)を達成した。 (2) SiCデバイスとの相互評価のためのGaN HFETについては、10A級GaN素子(0.12Ω)の試作し、インバータ損失統合設計シミュレータであるSi, SiCとの比較・評価を行った。 その結果、1200V 耐压の産業応用及び自動車応用はSiC が軸となって実用化が進み、600V 耐压以下の民生用のアプリケーションでは、高速スイッチングのメリットを生かしたGaNデバイスの応用開発が進むとする方向性が見えた。	素子あたり 10A以上のSiC低損失MOSスイッチング素子(オン抵抗 2~5mΩ・cm ² , 耐压 0.6~1.7kV)の開発を行う。インバータ損失の限界を追及する限界設計技術を開発し、高パワー密度(50W/cm ³ 以上)のSiCインバータを実現に必要な条件を明らかにし、その見通しを明確化する。同様に、高速制御技術および高温(250℃)環境での動作の実装技術の指針を提示する。	インバータ損失統合設計シミュレータによるインバータ出力パワー密度予測を行い、最終目標である50W/ccの高パワー密度化への指針を総合的に提示できた。 高密度化の重要要素である高温動作時のモジュール特性評価については、デバイスおよび実装レベルでの信頼性評価の見通しを提示した。	○
	②インバータ高機能化技術 高機能インバータに必要な高速連携制御技術、EMI対応技術など個別技術の指針を提示する。	(1) 高速制御技術については、インバータシステム間の連携制御における複数台電力変換器応用システムに関する性能評価を実施し、高速制御のメリットを生かした連系制御の方向性を示した。(千葉大と共同実施) (2) 超高速スイッチングに起因するEMI問題について、新たに内部ノイズ電流に着目し、実測に基づく評価からその重要性を指摘するとともに、対策を検討して指標を示した。(首都大学東京との共同実施)			○

開発項目 (サブテーマ)	20年度実施 計画の目標	主な成果およびその水準	基本計画	基本計画に規定され た目標の達成状況	自己評 価
(3)インバータ高パワー密度化基盤技術	①高密度インバータ用低オン抵抗デバイスの大容量化、高性能化を試みると共に、それらを用いたインバータの各種動作評価を行う。 (600V-1200V, 10A以上, 0.1Ω級のIEMOS、600V, 1200V, 10A, オン電圧, 1.2VのSBD、10A級GaN-HFETによるインバータ回路試作/評価)	(1) IEMOSについては、加速資金で導入したカーボンキャップ装置による耐压歩留まり向上を確認し、インバータ回路での評価に使用する10A級IEMOSを製作した。 オン電圧と逆漏れ電流の低い1200V耐压SBDの試作を行い、世界トップクラスの特性(オン電圧 1.2V@200A/cm ²)を達成した。 (2) SiCデバイスとの相互評価のためのGaN HFETについては、10A級GaN素子(0.12Ω)の試作し、インバータ損失統合設計シミュレータであるSi、SiCとの比較・評価を行った。 その結果、1200V 耐压の産業応用及び自動車応用はSiCが軸となって実用化が進み、600V 耐压以下の民生用のアプリケーションでは、高速スイッチングのメリットを生かしたGaNデバイスの応用開発が進むとする方向性が見えた。	素子あたり 10A以上のSiC低損失MOSスイッチング素子(オン抵抗 2~5mΩ・cm ² , 耐压 0.6~1.7kV)の開発を行う。インバータ損失の限界を迫及する限界設計技術を開発し、高パワー密度(50W/cm ³ 以上)のSiCインバータを実現に必要な条件を明らかにし、その見通しを明確化する。同様に、高速制御技術および高温(250℃)環境での動作の実装技術の指針を提示する。	インバータ損失統合設計シミュレータによるインバータ出力パワー密度予測を行い、最終目標である50W/ccの高パワー密度化への指針を総合的に提示できた。 高密度化の重要要素である高温動作時のモジュール特性評価については、デバイスおよび実装レベルでの信頼性評価の見通しを提示した。	○
	②インバータ高機能化技術 高機能インバータに必要な高速連携制御技術、EMI対応技術など個別技術の指針を提示する。	(1) 高速制御技術については、インバータシステム間の連携制御における複数台電力変換器応用システムに関する性能評価を実施し、高速制御のメリットを生かした連系制御の方向性を示した。(千葉大と共同実施) (2) 超高速スイッチングに起因するEMI問題について、新たに内部ノイズ電流に着目し、実測に基づく評価からその重要性を指摘するとともに、対策を検討して指標を示した。(首都大学東京との共同実施)			○

開発項目 (サブテーマ)	20年度実施計画の目標	主な成果およびその水準	基本計画	基本計画に規定された目標の達成状況	自己評価
(インバータ高パワー密度化基盤技術)	<p>③高温実装技術</p> <ul style="list-style-type: none"> ・チップの耐熱性強化、デバイス/電極接合の200℃耐熱化、及び長時間特性の確認を行う。 ・ダイアタッチ用の銀ナノ粒子・ナノロッドの合成条件の追求と特性評価を行う。 	<p>(1) SiC-MOSFETのAlメタライゼーションプロセスおよびAl電極へ直接半田付けする電極形成技術に関し、信頼性評価を進めた結果、上記の電極形成も含めてデバイス特性、ダイボンディング特性などについて高温放置試験(最大300℃)を行い、当初目標をクリアしていることを確認した。300℃は、Siデバイスでは想定されていない高温域であり、高温実装関連技術として極めて重要な領域である。</p> <p>(2) サブミクロン銀粒子の混合方法、熱処理温度の検討を行い、接合強度の最適化条件を探った結果、改良のめどを得た</p>			◎
	<p>④高パワー密度変換器設計デバイス技術、高温実装技術、高機能化技術を総合的に統合した上で、インバータ限界設計技術を適用し、高パワー密度(50W/cm³以上)SiCインバータを実現するために必要な条件を明確化する。</p>	<p>(1) インバータ損失統合設計シミュレータについて、計算速度向上、パラメータ入力法改善、3次元グラフィックス出力化に加えて、複数のプログラムをリンクさせるシミュレータ(iSIGHT)を導入し、パワー密度に影響する複雑かつ多数の設計パラメータの感度解析の実行を可能にした。本アプローチは他に例を見ない革新的な取り組みであり、高パワー密度(50W/cm³)のSiCインバータ実現に必要な条件を明らかにするために必要な環境として、活用を図った</p> <p>(2) 上記シミュレータと低オン抵抗デバイス試作結果、デバイス特性評価結果、高温実装技術研究結果、インバータ高機能化技術の成果を総合的に活用し、50W/cm³の見通しを明確にした。</p>			

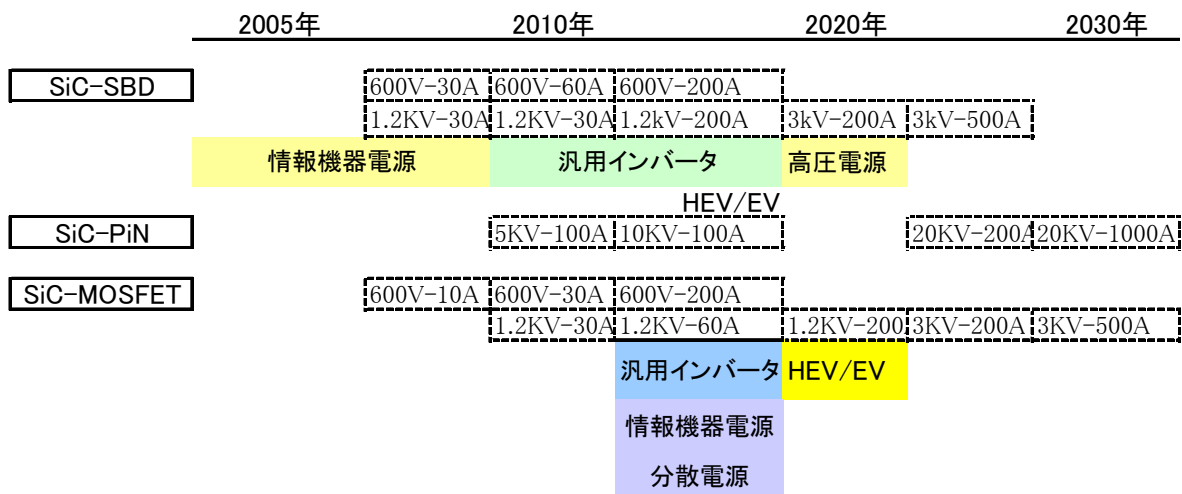
開発項目 (サブテーマ)	20年度実施計画の目標	主な成果およびその水準	基本計画	基本計画に規定された目標の達成状況	自己評価
(インバータ高パワー密度化基盤技術)	⑤プロセス起因欠陥解析とインバータ設計最適化技術 (電中研へ再委託して実施)	<p>(1)PN接合形成の際のイオン注入による基底面転位移動現象を見出し、そのイオン注入パターン依存性を詳細に解析した。</p> <p>本アプローチは、デバイス内の無効領域へ欠陥を誘導する手法を目指すものであり、転位挙動を積極的に利用するという意味で他に例を見ない成果を得た。</p> <p>(2)インバータシミュレーションツールを用いて、損失およびスイッチング過電圧を解析し、実験結果との整合性を検証した。</p> <p>システム設計と高パワー密度化との協調方法を整理して、統合的なインバータ設計</p>			○
	⑥システム応用基盤技術(東工大と共同実施)	<p>自然エネルギーの短周期変動の抑制を目的としたトランスレス・カスケードPWM変換器を用いたエネルギー貯蔵システムを設計・試作し、性能を評価した。</p> <p>双方向絶縁形DC/DCコンバータの基盤設計・製作し、性能評価を実施し、コンバータセルについて検討し、所期の目標を達成した。</p>			○

4. 研究発表・講演・特許・その他の公表

図表Ⅲ-4. 成果の水準と目標の達成度

	H18	H19	H20	計
特許出願	0	5	9	14件
論文(査読付き)	2(1)	10(10)	27(27)	39件
研究発表・講演	4	29	48	81件
受賞実績	0	0	2	2件
新聞・雑誌等への掲載	1	2	1	4件
展示会への出展	0	1	2	3件

IV. 実用化、事業化の見通しについて



図表IV-1. 成果の水準と目標の達成度

1. 成果の実用化可能性

SiC を適用したインバータユニットの性能実証というプロジェクト成果をもとに、量産化に向けた素子、モジュール製造ラインの整備、低コスト化、歩留まり向上を主とした開発が今後すすめられる。ボトルネックとなっていた SiC ウェハの最近の進捗は著しく、高品質化、大口径化としては 4 インチ径ウェハはデバイス製品向けに実用化レベルに迫ってきている。わが国でもエピ膜形成装置の開発も進められており、これまでになく実用化が加速すると考えられる。実用化時の製品としてはパワーモジュール単体とそれらを組み込んだパワエレ製品を想定する。量産開始後は耐圧、容量のラインナップ化を進める。市場としては先ず、先ず各企業が Si を用いたパワーモジュール、パワエレ機器でシェアを占めている分野、またパワーモジュール、汎用インバータ等のパワエレ機器において小型、高性能版として市場投入を行うことを想定される。

また基盤技術として、本プロジェクトで確立された高効率・高密度インバータ革新的高度化基盤技術を基に実用化研究として高効率・高密度インバータに供する SiC スイッチング素子およびダイオードの開発を継続して行い、次世代インバータの省エネ、超小型化を推し進める。またウェハ及びエピ技術の進展加速の相乗効果により、SiC 素子量産事業化への投資リスクが大幅に低減され、2010 年台初頭には SiC 素子が量産製品化できると見込まれる。

平成22年4月以降、サンプルを限定顧客に配布開始、平成23年4月から本格量産に移行することも可能と考えられる。平成25年に電源、汎用向けパワーモジュール、平成26年にインバータシステムの量産に展開することも可能である。

1.1 適用可能性の明確化

今回のプロジェクトの研究開発とインバータとしての性能実証により、半導体ユニットの大幅な損失の低減と小型化、および基礎となるウェハの品質に実用化するメリットが見出された。今後は、本プロジェクトで得られた知見を利用し、各企業がそれぞれの製品戦略において SiC デバイス/インバータをどこに適用し差別化するか、新製品の開発を行うかによって力点は異なるが、基盤技術として更に

開発を進め、実用化をバックアップする必要がある。

1.2 実用化へ向けた課題の明確化と解決手段

本プロジェクトに1素子 10~100Aの大容量化することに成功した。しかしながらSiCパワーMOSFETの本格的な普及のためには特性向上と低コスト化のためさらなる低オン抵抗化、それに伴うデバイス構造の改良とデバイス製造要素技術の研究開発、ウェハ及びエピ膜の品質向上と大口径化が必要である。

SiC ウェハ及びエピ膜作製に関しては、2~4 インチの国産のバルクウェハも品質においては現在米国の Cree 社に迫るレベルをほぼ確保するに至っているが、実用化の環境で使うためには、デバイス信頼性等を損なうウェハ／エピ膜の品質欠陥の役割を高度に解析し、キラー欠陥のさらなる低減を図る必要がある。このようなウェハとデバイスの連携プレーは欧米でも十分な体制を取って居らず、本プロジェクトのようなウェハ／エピ膜の評価と各種欠陥のデバイス特性に与える相関関係に関する知見を得て、メーカーに情報提供し議論をしていくことが、SiCデバイス向けの高品質エピウェハ供給に重要と考える。これは SiC デバイスの歩留り、すなわちコストに直接的な影響をもたらす。

このような本プロジェクトの活動は、我が国のウェハ産業競争力向上に貢献する。

また、本プロジェクトで明らかになった高温でのデバイス製造プロセスでもたらされるプロセス誘起欠陥の対策も必要である。

デバイスの実用化に関する技術開発に加えて、本来 SiC デバイスが Si デバイスより優れている高温領域における動作を充分活用して機器、システムとしてのメリットを活かすためには、パワーデバイスの高実装技術のみでなく周辺部品を含めた高温実装への対応が必要である。部品の耐高温性や高温環境下における性能を考慮した設計(電気・熱・機械の要素設計や部品・基板・配線材料等の選択)技術が必要である。しかし、温度領域200~250℃においては、現有の実装技術における知見だけでは対応が不十分な領域であり、部品や実装材料の高温特性把握といった基礎的なレベルの知見を拡充しながら、設計技術に反映してゆく必要がある。

2. 波及効果

2.1 技術的・社会経済的波及効果

パワーエレクトロニクスの市場規模は約6兆円で、産業、家電、分散電源、自動車、電鉄、IT機器等広い分野に適用されている。これらの市場では、パワーエレクトロニクスの特長である低損失化、小型化、高速化、高温環境対応への期待が大きい。その市場規模は増加すると予想され、2050年には本研究開発成果が貢献できる耐圧が数百V以上のデバイス市場で約10兆円と、現在の約10倍に増加するとの推定がなされている。1973年から2006年までで、GDPは2.3倍となった。その間エネルギーの産業:民生:運輸のエネルギー消費量の比率は4:1:1から2:1:1に変化した。依然として産業分野の比率は大きい。家庭、商店、事務所ビル、などの民生部門や自動車、鉄道、船舶、航空などの運輸部門の省エネルギーの重要性は増してきている。

今後はCO₂削減対策が家電、IT関係、HEV/EV等の電気製品にも必須の製品戦略の一つとなる。本プロジェクトで開発される SiC デバイスやそれを用いた電力変換器は、電力変換損失低減のキラーデバイスとなる性能を有し、グリーンパワエレ技術、グリーンITのハードウェア革新として、従来のSiデ

バイス／機器の性能、とりわけ低損失化、高温動作、冷却装置の小型化に関して変革をもたらすと期待される。SiC デバイス／電力変換器を適用することにより、製品価値の向上が実現される。SiC デバイスが広く普及した際の省エネルギー効果は、2030年には原油換算で約5,400万kl、と予測されており(2007年度NEDO調査「次世代省エネデバイス」における(財)新機能素子研究開発協調査による)、大きな省エネルギー効果が期待される。

2.2 研究開発の促進、人材育成の促進

本プロジェクトによるSiC デバイスとりわけスイッチング素子の大容量化の成功により、いよいよ損失低減効果の大きなオール SiC の実用化が近くなったが、従来の Si デバイスとの比較、代替メリットを考えるとさらなる基盤技術の研究開発は今後の実用化促進に不可欠である。上記に述べたように、ウェハ、エピ膜という材料からデバイス構造、デバイス製造プロセス、実装技術、とりわけ高温実装技術の研究開発は国際競争力を養う上でさらなる注力が必要である。

SiC の実用化が見えてくると共にこの分野に携わる研究者、技術者が急速に増えてくると思われる。

Si 関係など他の材料・デバイス技術者の転向が最も考えられる。Si と SiC との物性の差が大きくプロセス技術もより高温が必要であったり、硬い材質であることの難しはあるが、基本的には Si デバイス技術者が SiC デバイス技術への対応が可能であると考えられる。

本 SiC デバイスおよび応用製品の開発には、材料から製造プロセス、システムまでの技術を一貫して連携できる人材が必要であり、現行の Si デバイスに対してインセンティブの持てる研究開発システムも必要と考えられる。

V. 事前評価書とパブリックコメント募集の結果

1. 事前評価書

		作成日	平成17年12月16日
1. 事業名称	パワーエレクトロニクスインバータ基盤技術開発		
2. 推進部署名	電子・情報技術開発部		
3. 事業概要	<p>(1) 概要</p> <p>情報家電の普及や通信需要の拡大に伴い、情報通信分野における電力消費の増大が懸念されている。また、これら機器は、瞬間の停電でも機器動作の異常に繋がることから、無停電電源装置（UPS：Uninterruptible Power Supply）などの需要も拡大しており、このような電力を扱うパワーエレクトロニクス半導体分野における省エネルギー技術の開発が喫緊の課題となっている。</p> <p>さらに、直交変換を行うインバータは、最近急速に普及が進みつつある燃料電池や太陽電池などの直流電源と商用電源の連携や、ハイブリッド自動車などのモーター制御においても不可欠の技術となっている。このため、シリコンよりも材料特性に優れたワイドギャップ半導体デバイスを用いた高効率インバータ等の実用パワーエレクトロニクス機器システムを開発し、省エネルギーに資する。</p> <p>(2) 事業規模</p> <p>平成18年度事業費 12.6億円</p> <p>(3) 事業期間</p> <p>平成18年度～20年度（3年間）</p>		
4. 評価の検討状況	<p>(1) 事業の位置づけ・必要性</p> <p>大規模サーバー等の情報処理機器の無停電電源装置や、エアコン等の家電製品においても高効率インバータの導入による省エネルギー対策が不可欠となっている。</p> <p>また、ハイブリッド／燃料電池自動車の開発・普及により、車載用のパワーデバイスの一層の省エネルギー化が必要とされている。これらの課題を解決するためには、シリコン半導体の限界を超える高効率化、高性能化をもたらす新たな半導体材料（SiC：炭化珪素）を用いたパワーデバイスの実現が極めて重要である。本事業は、情報通信分野の技術戦略マップの半導体分野のディスクリートデバイスに関するパワーデバイスの領域に対応するものである。</p> <p>(2) 研究開発目標の妥当性</p> <p>現在主流であるシリコンによるパワーデバイスでは、耐圧(電圧)、オン抵抗、許容温度、</p>		

動作速度などが理論限界に到達しつつある。このため、低電力損失、高耐圧（電圧）・高温動作可能という優れた特性を有するSiC等の新たなワイドギャップ半導体を用いたパワーデバイスを開発し、それを用いた省エネルギー電力機器の開発が、更なる省エネルギー化に向けて必須の課題となっている。

本事業は、ワイドギャップ半導体デバイスを用いた高効率インバータ等の実用パワーエレクトロニクス技術開発を目指すものであり、妥当な目標設定と考える。目標設定については、今後も有識者ヒアリングなどで意見を聴取し、妥当性についてさらなる検討を行う。

(3) 研究開発マネジメント

公募を行い、最適な実施体制を構築する。本研究開発の目的及び目標を踏まえ、機動的な予算配分や事業計画の策定・見直しを行い、適切な運営管理に努める。また、必要に応じて、外部有識者の意見を運営管理に反映させる。

(4) 研究開発成果

本事業の成果により、シリコンパワーデバイスの限界を超える新たな半導体（SiC：炭化珪素）パワーデバイスを用いた、高効率・高性能パワーエレクトロニクス技術が実現し、情報家電の普及や通信需要の拡大に伴い需要が増加する無停電電源装置（UPS）、燃料電池や太陽電池などの直流電源の系統接続、ハイブリッド自動車などのモーター制御等において、大幅な省エネルギー効果が期待される。

(5) 実用化・事業化の見通し

従来のシリコン系インバータの性能を大きく凌駕する高効率・高性能インバータの実現により、自動車の省エネ化、ハイブリッド／燃料電池自動車の開発・普及の促進、情報処理通信機器の持続的高性能化と高効率化などが図られ、それらの製品に関する世界市場における優位性が確保されるものと期待できる。

(6) その他特記事項

5. 総合評価

シリコンの理論限界を超えた、新たな半導体材料を用いた新型インバータ装置の開発が強く求められており、国際的にも米国、欧州の半導体メーカーが研究開発に凌ぎを削っている。SiC等の新たな材料によるワイドギャップ半導体デバイスの実現に向けては、様々な解決すべき基礎的な課題が存在し、民間企業単独で開発することは困難であるため、NEDOが実施する事業として、産学官の共同研究体制を構築しながら適切に進めることが重要である。

2. パブリックコメント募集の結果

「パワーエレクトロニクスインバータ基盤技術開発基本計画（案）」に対するパブリックコメント募集の結果について

平成18年3月15日
NEDO技術開発機構
電子・情報技術開発部

NEDO POST 3において標記基本計画（案）に対するパブリックコメントの募集を行いました結果をご報告いたします。

お寄せいただきましたご意見を検討し、別添の基本計画に反映させていただきました。
みなさまからのご協力を頂き、ありがとうございました。

1. パブリックコメント募集期間

平成18年2月9日～平成18年2月16日

2. パブリックコメント投稿数<有効のもの>

計3件

3. パブリックコメントの内容とそれに対する考え方

ご意見の概要	ご意見に対する考え方	基本計画への反映
全体について		
<p>[意見1] 今回の開発の成果がいかに実用化に資することになるのか、より明確に表現すべきではないかと考える。</p> <p>またこの分野の開発は上記のように早く基盤研究段階を脱し、実用化段階に移行する必要があると考えられ、例えば、トップランナー方式に準じて運用を指向し、民間で最も開発が進んでいるところに重点配分を行って開発を促進するという条件を示しても良いのではないかと考えられる。</p>	<p>低損失パワーエレクトロニクス早期実用化のために、基本計画では、実用化に向けた開発と基盤技術開発を並行して進めることにしています。実用化に向けた開発については、委託先審査において実用化への取り組みと応募者の技術面の実力を重要な判断条件とし、実用化に資することとしています。</p>	特になし

<p>[意見2] 今回のプロジェクトに、パッシブデバイス（インダクタ・コンデンサ等）の技術開発が含まれないのはなぜですか。また、パッシブデバイスの高周波化小型化高密度化低損失化など別のプロジェクトで扱う用意はあるのでしょうか。今回のプロジェクトにパッシブ素子の高周波化低損失化にかかる技術開発項目を加えることは無いのでしょうか？</p>	<p>低損失パワーエレクトロニクス技術開発において受動素子開発も重要であると認識しています。予算の制約もあり、本事業では、まずワイドギャップ半導体開発を通じてパワーエレクトロニクスの革新を実現していきます。その他の技術開発については、本課題が進捗した時に改めて検討します。</p>	<p>特になし</p>
<p>1. 研究開発の目的 (2) 研究開発の目標</p>		
<p>[意見1] 家電等への適用を考えますと、電力損失 10 分の 1 で十分な CO2 排出削減効果が期待でき、コストへの寄与度が最も高いと予測される SiC チップ面積をいかに小さくするかが問題です。MOS 損失と SiC チップ面積を関連付けた理論的予測にもとづく目標値設定や研究開発内容の展開が必要かと思われま</p>	<p>基本計画では、開発するインバータの定格に応じて柔軟に性能目標を設定するようにしています。具体的な開発対象製品に即した目標値や研究実施計画を設定するように、指摘事項を考慮して運営します。</p>	<p>特になし</p>
<p>[意見2] インバータユニットの電力変換装置損失を 30% に低減とありますが、基盤技術の確立時期が平成 20 年度までであるなら、目標値が低すぎるように思われます。また、SiC スイッチング素子の損失低減に対する寄与度も曖昧です。さらに、コストと関連の強いインバータユニットの大きさ（体積）について、研究開発の目的に掲げているにもかかわらず目標値の設定がありません。</p>	<p>SiC の物性から定まる理論値や技術動向を考慮すると、30% という目標値は高いハードルだと考えています。容積については、冷却方法等さまざまな要因が係わってくるので具体的な目標は設定していません。</p>	<p>特になし</p>
<p>(3) 研究開発の内容</p>		

<p>[意見 1]本開発の成果を基に遅滞なく、実用化をめざす、という観点からはデバイスメーカーとウエハメーカーの密接な関係が構築されることが極めて重要であり、この『管理』することがその促進に資するとは考えにくいと思われる。</p>	<p>SiC パワーエレクトロニクス素子開発の課題として、ウエハ欠陥と素子特性の関連付けが重要です。プロジェクト全体で、評価方法の標準化を含め、多数のデータを集積・管理することで、個別のデバイスメーカーと個別のウエハメーカーとの連携では為し得なかった研究開発の促進ができると思います。</p>	<p>特になし</p>
---	--	-------------

以上