

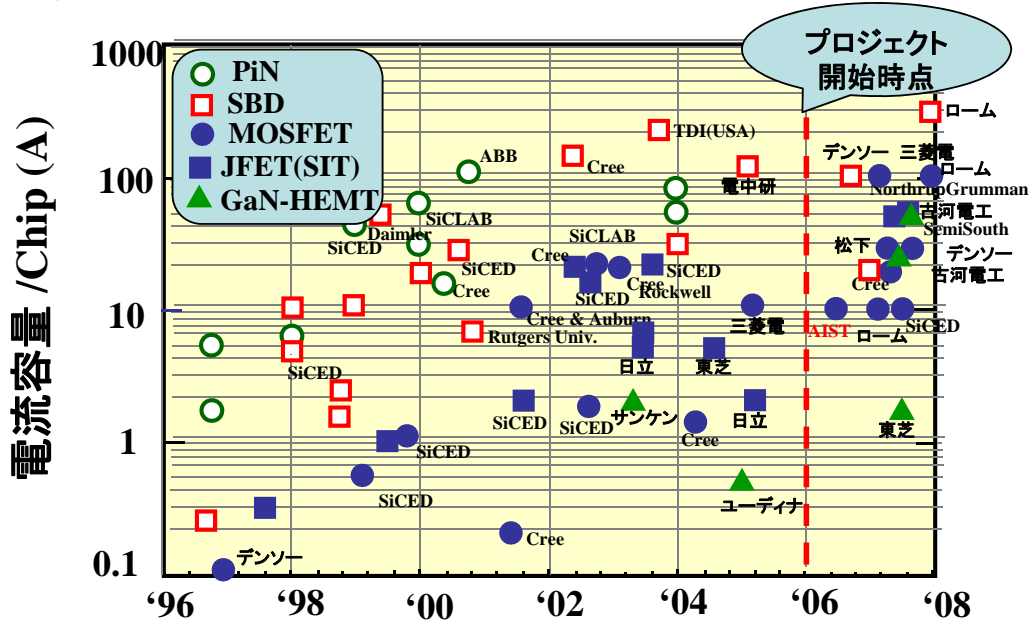
5. プロジェクトの概要説明

- 5. 1 事業の位置づけ・必要性
- 5. 2 研究開発マネジメント
- 5. 3 研究開発成果
- 5. 4 実用化の見通し

3. 研究開発マネジメントについて

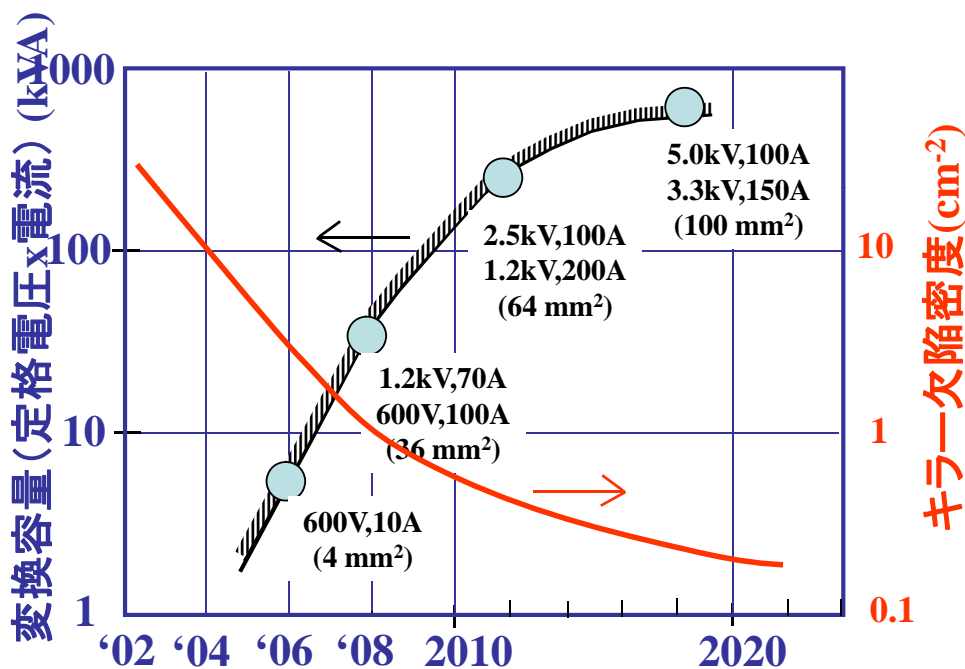
公開

SiC、GaNデバイスの大電流化のトレンド



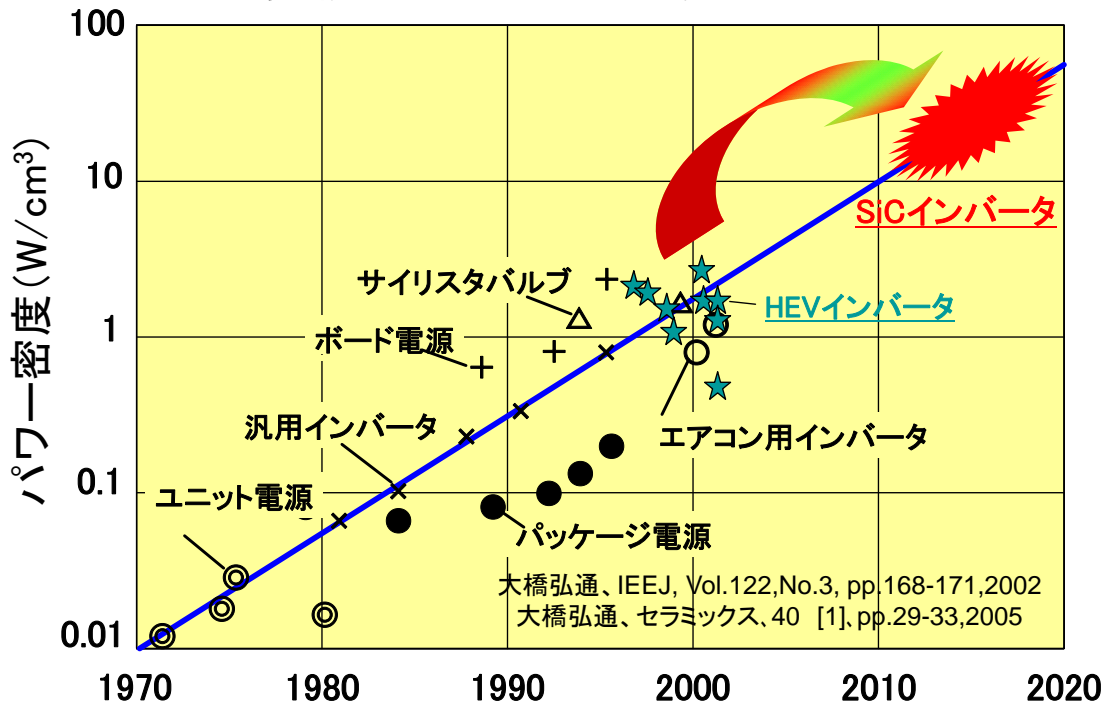
- オールSiCパワーデバイスによる変換器の低損失化の実証
- チップ当たりの電流容量が100Aを超えるスイッチング素子の開発
- 世界的にみて未開拓なSiCパワーデバイスの信頼性のR&D

電圧，電流容量のトレンド予想



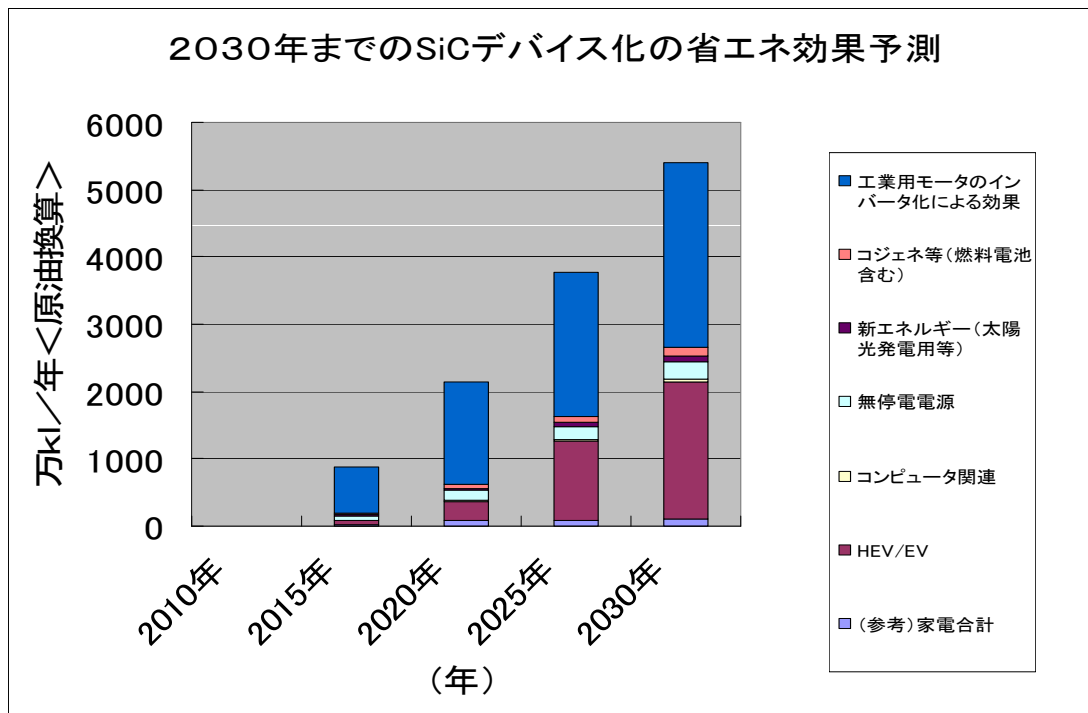
SiCパワーデバイスの本格的な実用化には結晶の品質の見極めが早急の課題

電力変換器のパワー密度のロードマップ



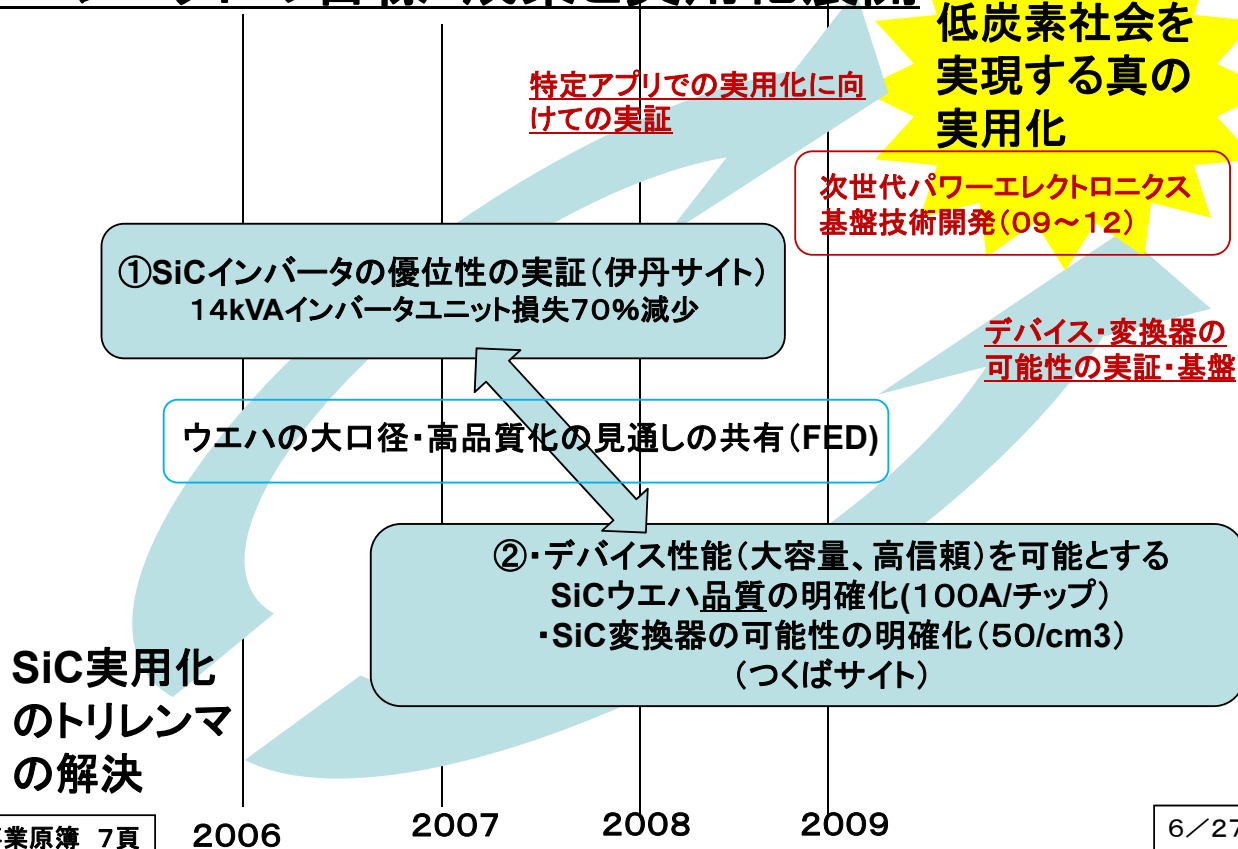
電力変換器のパワー密度(大きさの指標)はこの30年で2桁向上した。
変換器のコストパフォーマンスの指標ともいえる。

2030年までのSiCデバイス適用による省エネ効果予測

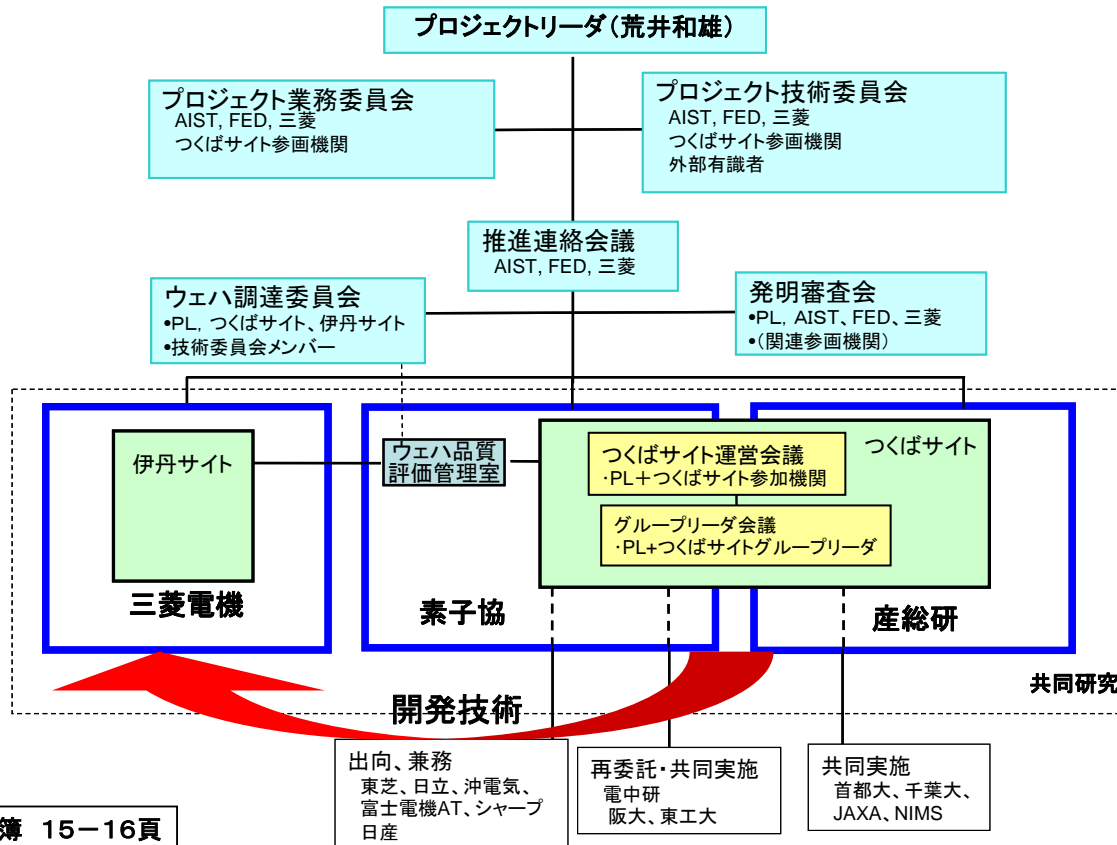


(汎用インバータによるインバータ化効果を入れた場合)
 <<次世代省エネデバイス>>(NEDO省エネローリングのFED再委託調査)

プロジェクトの目標・成果と実用化展開



プロジェクト体制



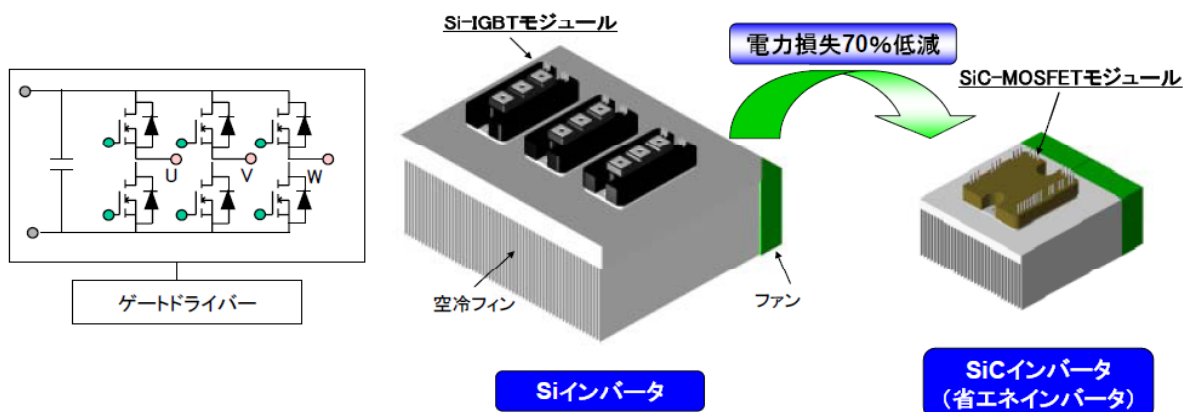
研究開発項目①： 高効率・高密度インバータユニット技術開発

研究内容

インバータ用スイッチング素子の高性能化技術開発を行うと共に、それら高性能スイッチング素子を用いた高効率インバータユニットプロトタイプを試作を行い、その有効性(低損失性)を実証する。

目標

SiC-MOSFET(素子耐圧:1200V)を用いた三相インバータユニット(AC400、14kVA)を試作し、同一定格のSiインバータと比較して変換損失を70%低減することを実証する。



開発の内容

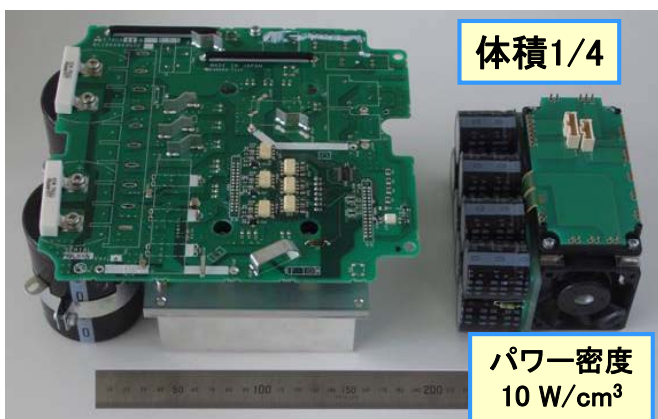
高効率・高密度インバータユニット技術開発

開発項目	目標
高効率・高密度インバータユニット技術開発	具体的な製品応用を想定したSiCスイッチング素子を用いたインバータユニットを試作し、同定格のSiインバータユニットと比較して変換損失を大幅に低減することを実証する。 出力電圧(AC 400 Vrms、60 Hz)、出力電流(AC 20 Arms)、出力容量(14 kVA)の3相インバータユニットを試作し、その損失が同定格のSiインバータの30%以下であることを実証する。
高キャリア周波数化検討 (2007年度秋追加)	* インバータの高キャリア周波数化(>15kHz)に関し評価検討を行い、高キャリア周波数化効果を明確にする。

開発項目	目標	実績	評価
高効率・高密度インバータ技術開発	具体的な製品応用を想定したSiCスイッチング素子を用いたインバータユニットを試作し、同定格のSiインバータユニットと比較して変換損失を大幅に低減することを実証する。 出力電圧(AC 400 Vrms、60 Hz)、出力電流(AC 20 Arms)、出力容量(14 kVA)の3相インバータユニットを試作し、その損失が同定格のSiインバータの30%以下であることを実証する。	5mm ² SiC-MOSFETとSBDを用い、14kVA(11kW出力)/400Vインバータユニットを設計、試作した。11kW出力時に損失がSiインバータの30%であることを確認し、最終目標を達成した。	○
高キャリア周波数化検討	インバータの高キャリア周波数化(>15kHz)に関し評価検討を行い、高キャリア周波数化効果を明確にする。	上下アームのスイッチングにおけるデッドタイムを1 μ secに短縮することで、30kHz高キャリア動作を達成した。またこの結果より、高キャリア化によるインバータに対する利点効果を試算、リアクトルを1/3の値に設定してもリップル電流は同等以下であることが確認できた。	○

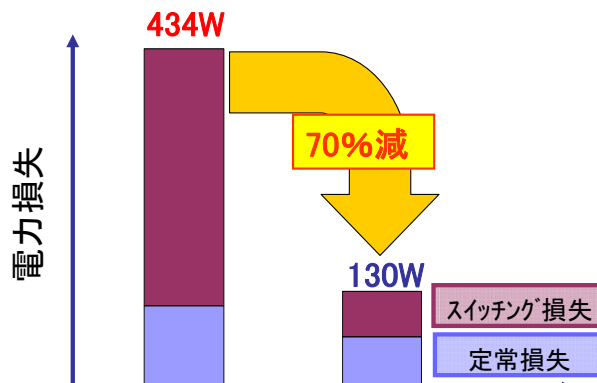
14kVA小型SiCインバータユニット

SiCインバータユニットで世界最高の電力損失**70%減**を実証
(Siインバータユニット比)



体積1/4

パワー密度
10 W/cm³

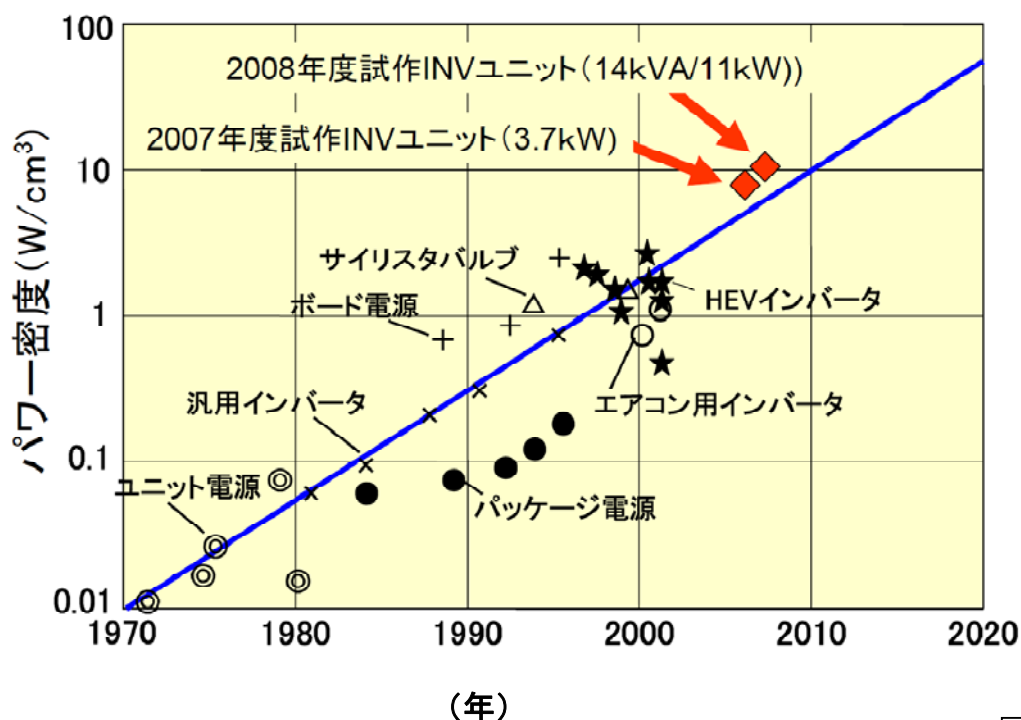


Siインバーター
(11kW)

SiCインバーター
14kVA(11kW)

Siインバーター SiCインバーター
11kW出力時の電力損失

インバータのパワー密度トレンドと本プロジェクト達成値



事業原簿 29頁

11 / 27

研究開発項目② : 高効率・高密度インバータ革新的高度化技術開発

課題1: インバータ大容量化基盤技術

5mm \square 級チップを試作し、電流容量100Aの性能を達成するのに必要な条件を明確にする。

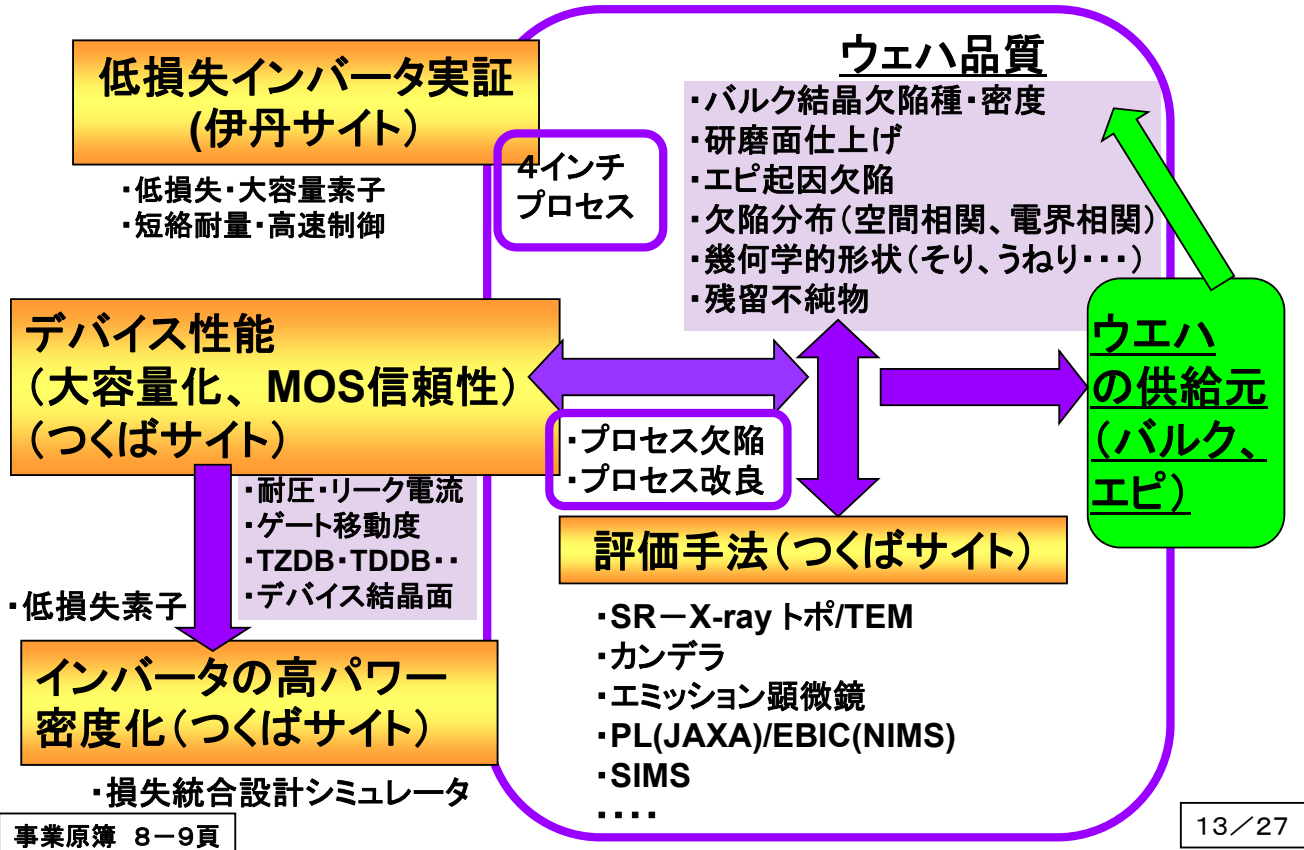
課題2: インバータ信頼性向上基盤技術

5mm \square 級チップを試作し、実用素子に求められるゲート酸化膜の信頼性を達成する条件を明確にする。

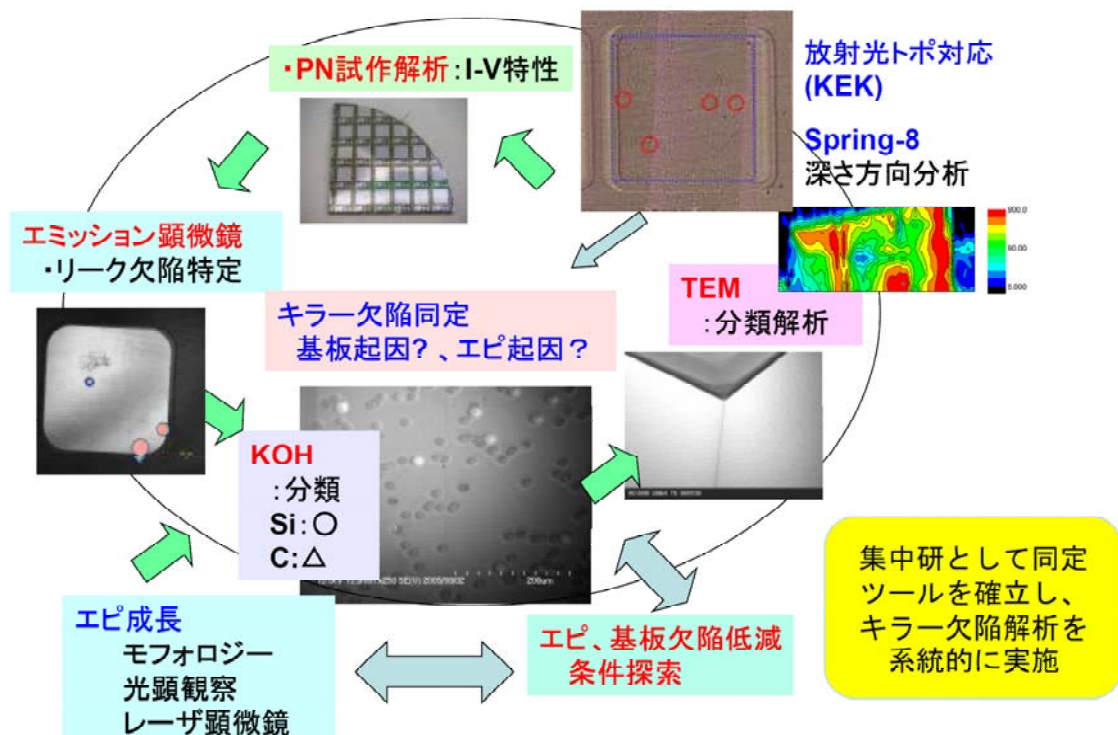
課題3: インバータ高パワー密度化基盤技術

10A以上の低損失スイッチング素子の開発を行う。50 W/cm^3 以上のSiCインバータを実現に必要な条件を明らかにする。高速制御技術および250 $^{\circ}C$ 環境での動作の実装技術の指針を提示する。

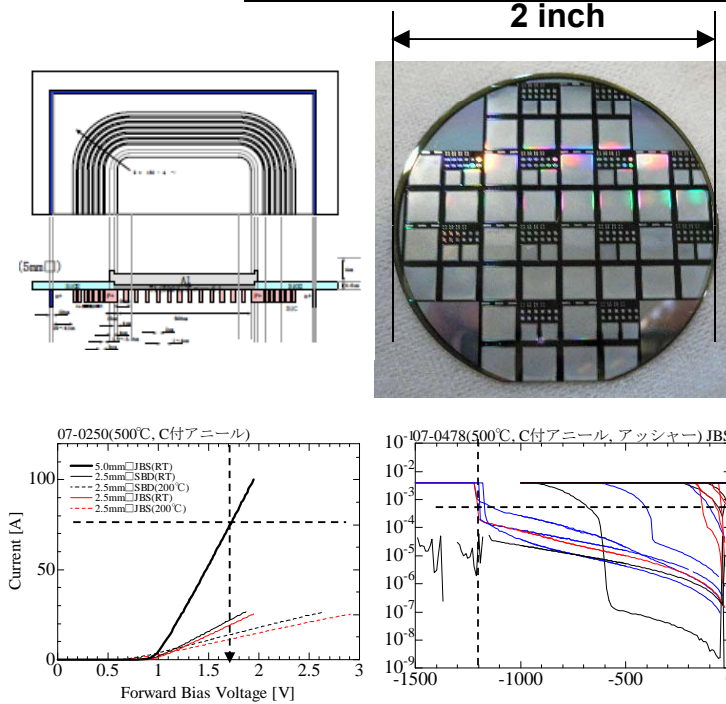
適時、適宜な情報の共有とダイナミックな研究展開



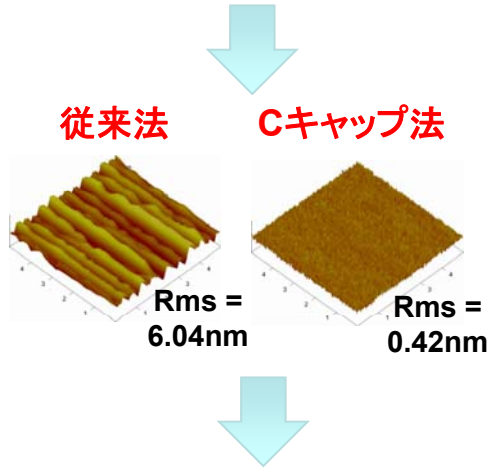
SiCウェハ欠陥とデバイス性能阻害要因の関係解明の具体的方法



5mm□(100A級)SBDの作製



Cキャップ法による表面荒れ抑制
(H20春期加速案件)



**1200V 5mm□JBS
で歩留まり:25%**

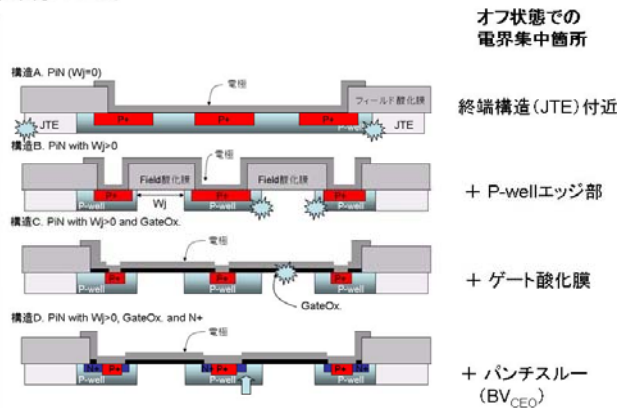
SBD : Schottky Barrier Diode
JBS : Junction Barrier Schottky

DIMOS不良解析TEGによるキラークラック同定(1)

2.75mm□素子での
耐压歩留まり(1000V):30%

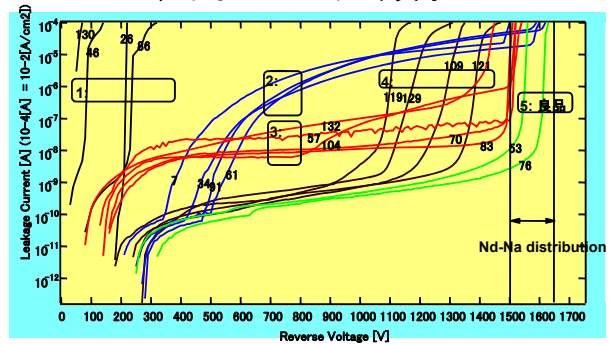
PN接合TEG(評価素子)を用いて
不良要因を解析

PN構造(単純プロセス)



DIMOS構造(複雑プロセス)

不良素子の分類わけ



- A構造**
1. 低耐压(<300V)
 2. 中電圧(~500V)から大きなリーク電流はあるが、耐压は高い。
 3. 低電圧から中程度のリーク電流はあるが、耐压は高い。
 4. リーク電流は低い、耐压が若干低い。
 5. 良品

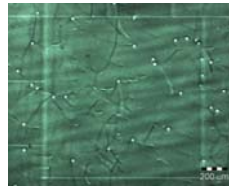
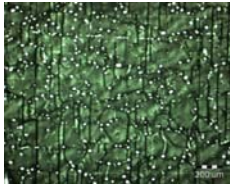
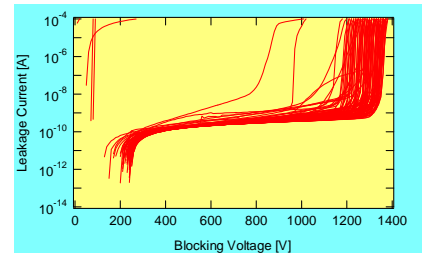
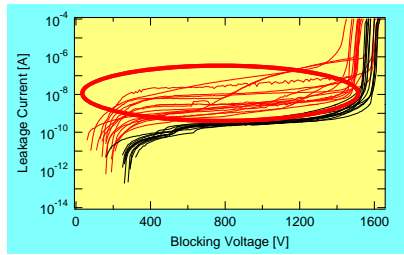
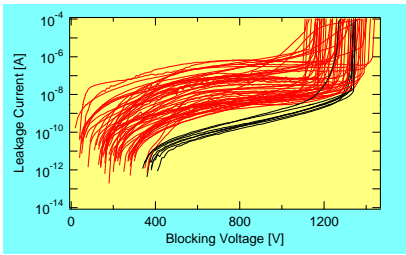
DIMOSにおけるリーク電流と転位密度

(構造A)

A社 欠陥多数

A社 標準品

B社



TSD=4000-6000cm⁻²

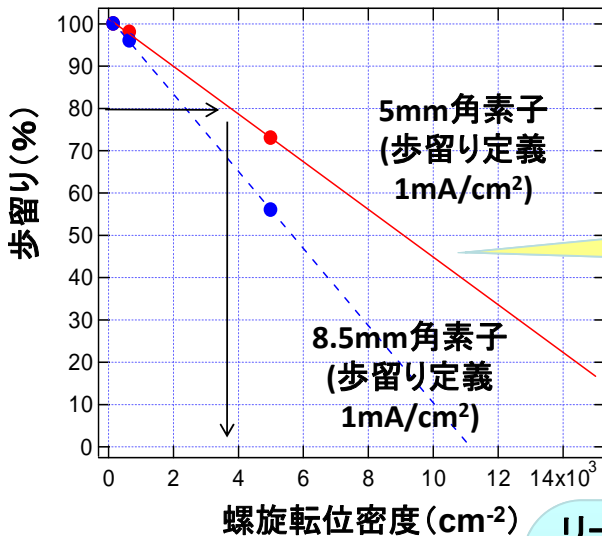
300-1000, 0-3000cm⁻²

100-200, 0-1200cm⁻²

転位密度の高いウエハでは、
リーク電流の大きい素子が多数みられる。

DIMOSにおける転位密度と歩留まり

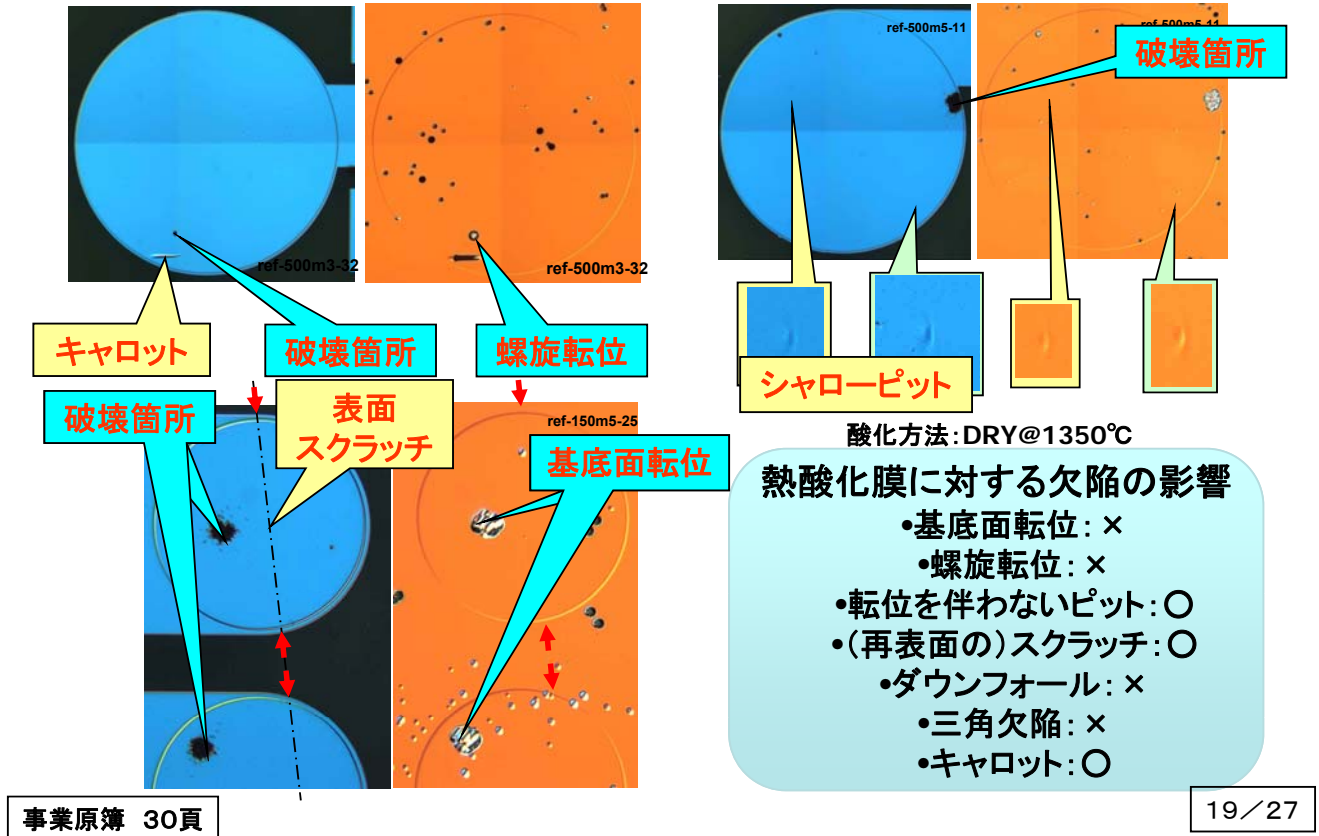
リーク電流によって規定される
耐圧歩留りとTSD密度との関係



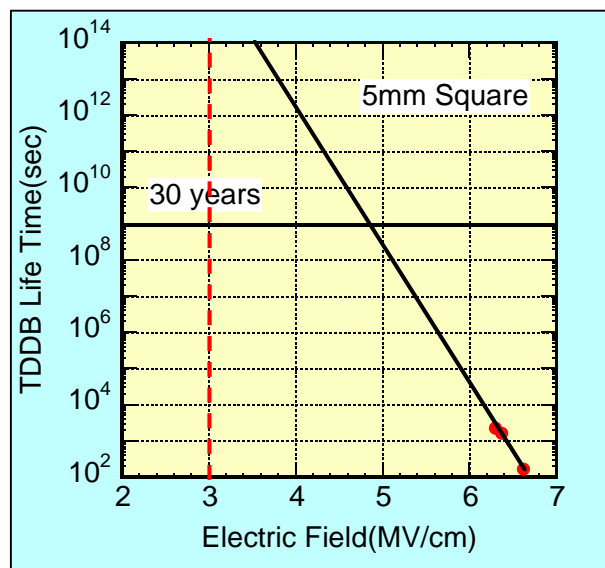
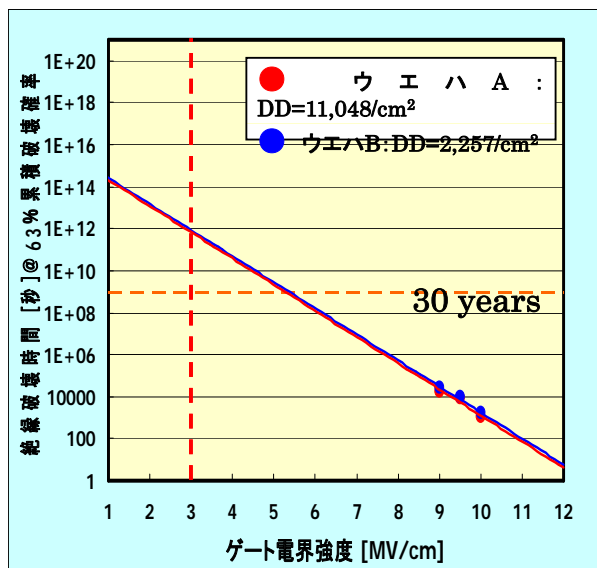
1mm□素子から5mm□、
8.5mm□の
高温でのリーク電流を予想

リーク電流で定義される耐圧不良には転位
欠陥(螺旋転位)密度を4000/cm²以下にす
る必要有り
→市販されているSiC基板でOK

酸化膜破壊と各種ウェハ欠陥

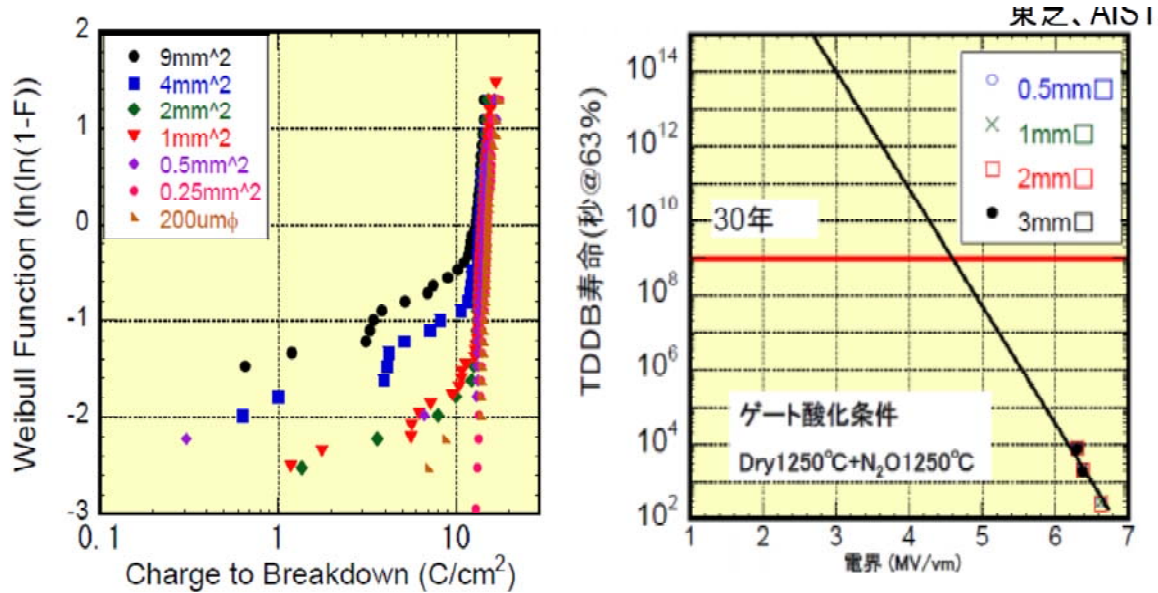


大面積チップ(5mm□)での酸化膜の信頼性 (TDDB)



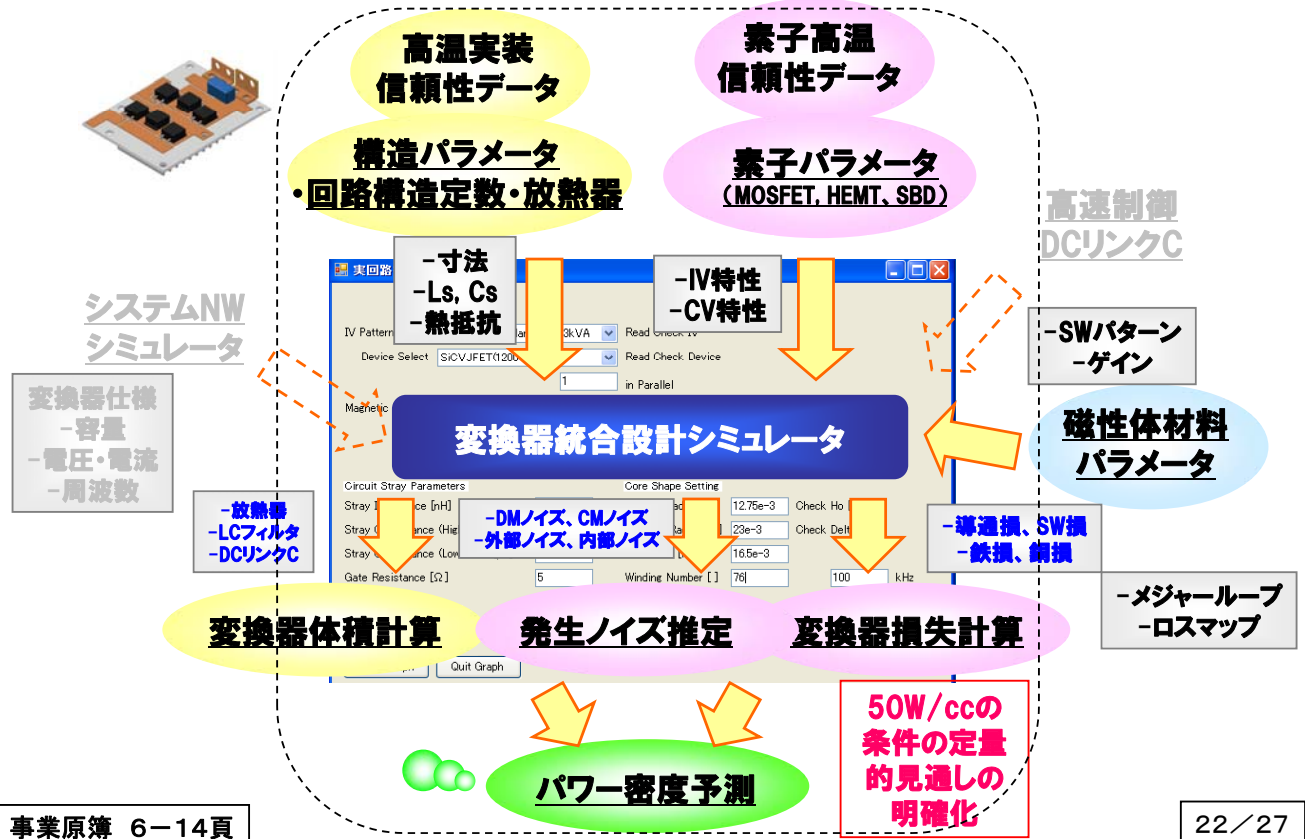
市販のSiCウェハでも、
5mm□チップで信頼性寿命は30年を越えると推定

C面酸化膜の信頼性



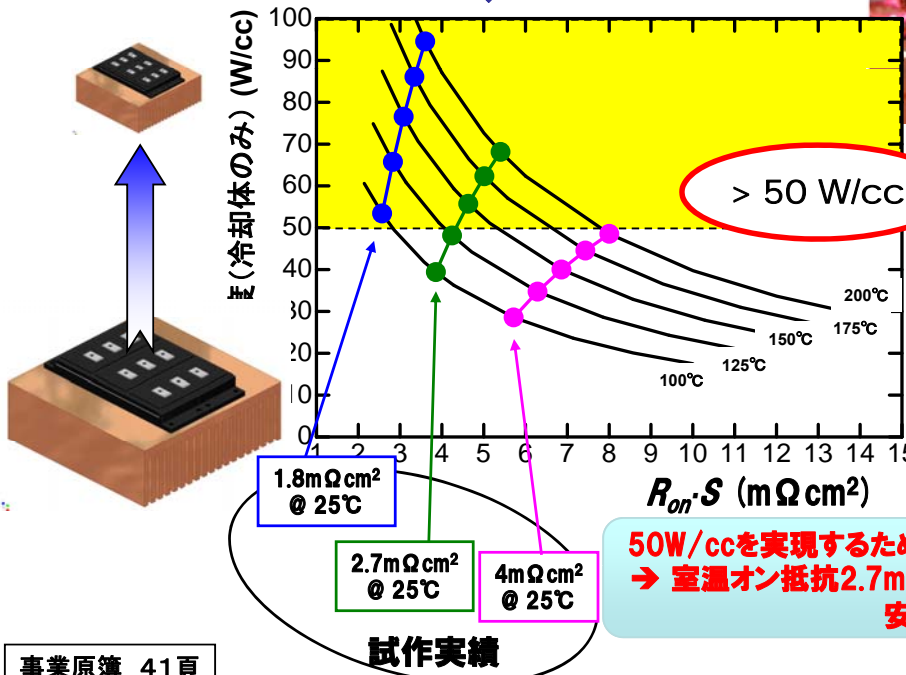
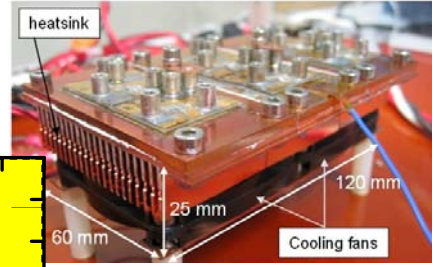
真性破壊が主であるので破壊寿命は面積にほとんど依存しない。
外挿により5mm角までの素子で30年以上の寿命を確認した。

損失統合設計ツールによる50W/cm³の見通しへのアプローチ



50W/cm³ 実現への見通し試算例

統合損失設計ミュレータ \rightarrow 試作データ



計算条件

回路	三相インバータ
SiC-MOSFET耐圧	600V
SiC-MOSFET電流密度	200A/cm ²
スイッチング周波数	20kHz
冷却方式	片面強制空冷

50W/ccを実現するためのMOSFET試作の目指す方向
→ 室温オン抵抗2.7mΩ cm²以下の素子のT_j=200°C
安定動作化

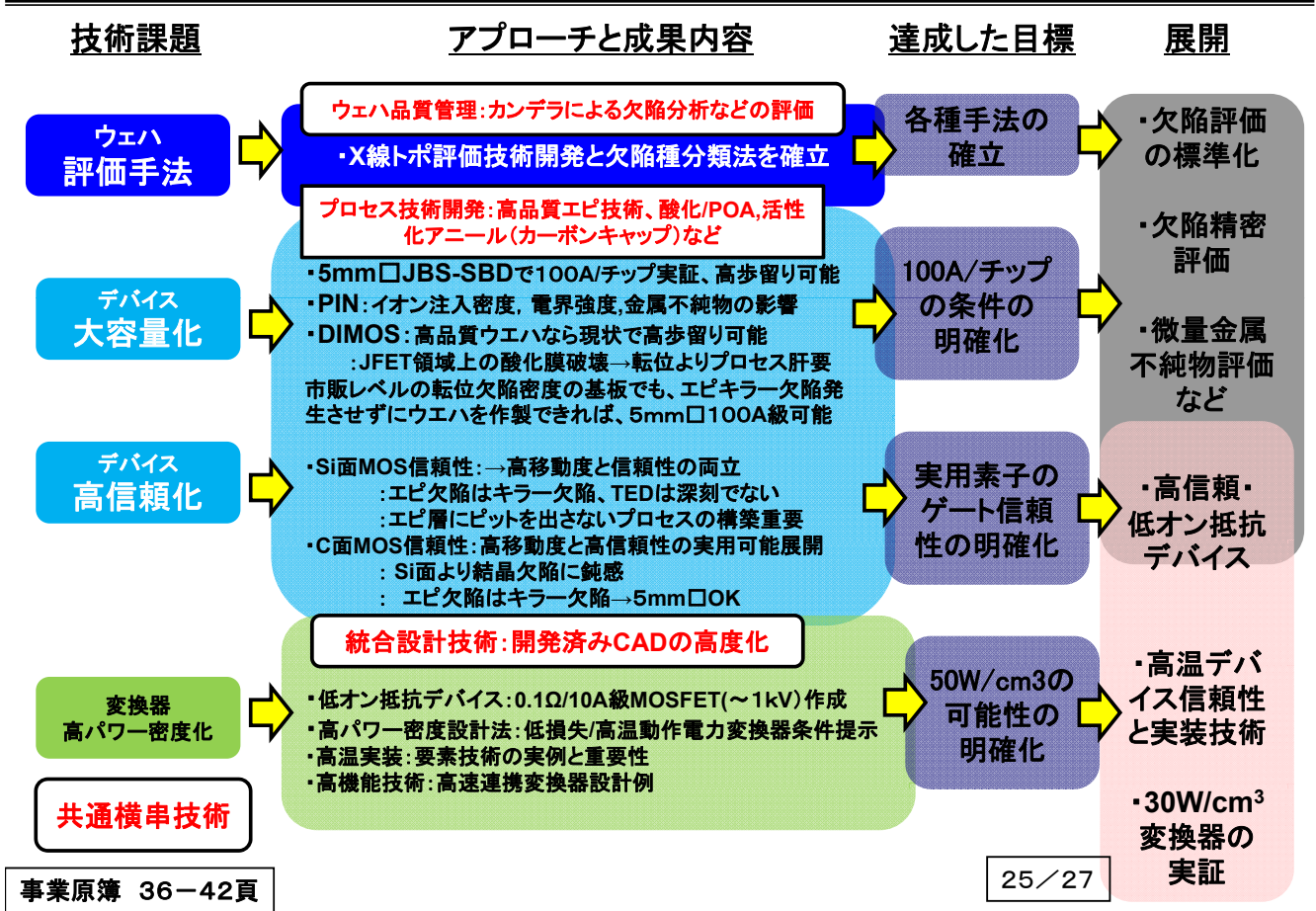
事業原簿 41頁

23 / 27

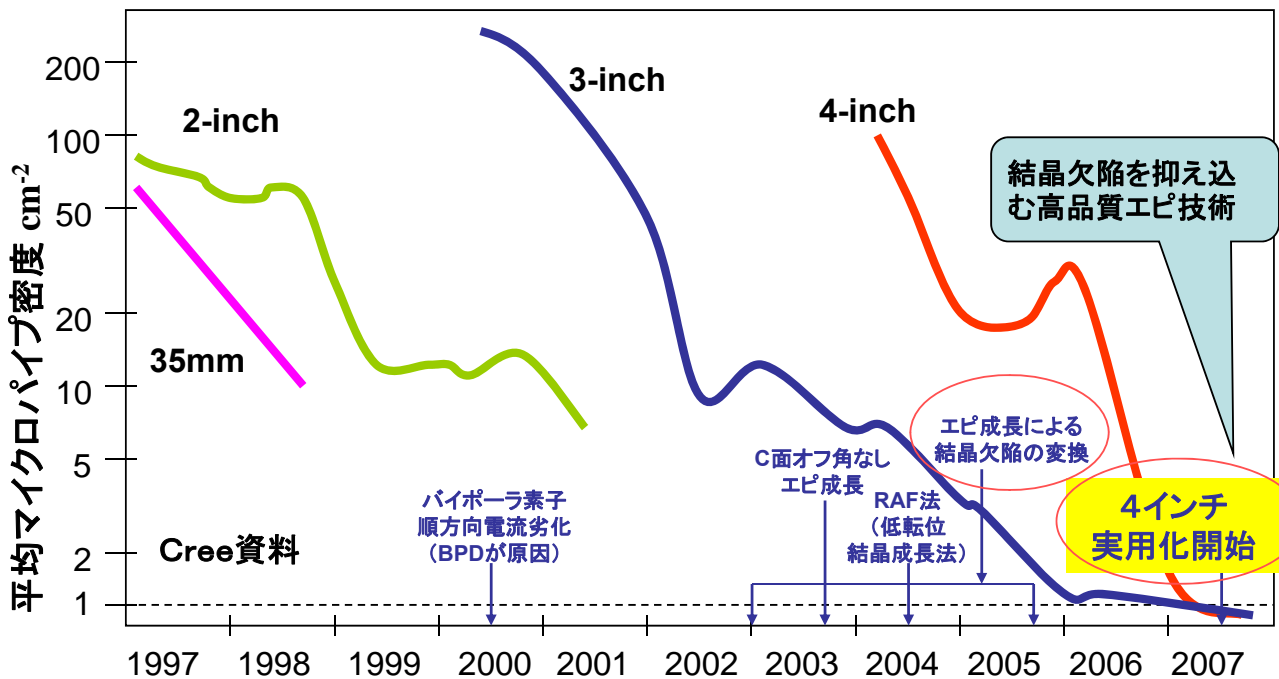
「パワーエレクトロニクスインバータ基盤技術開発プロジェクト」
 (事後評価)第1回分科会 資料5-2(2)

5. プロジェクトの概要説明

- 5. 1 事業の位置づけ・必要性
- 5. 2 研究開発マネジメント
- 5. 3 研究開発成果
- 5. 4 実用化の見通し



実用化を担保するSiCウエハの大口径化と高品質化のトレンド



本プロジェクトによるウエハの安定購入と品質・実用化情報の提供により、国内ウエハメーカーにおいて、ウエハ口径の拡大、品質の向上が著しい。実用化の最低口径4インチ高品質ウエハが実現し、事業化の見通し。デバイスキラ欠陥の解明とエピによる欠陥変換技術との併用により、実用化への確実なステップが切れる見通し。

(3) 知的財産権、成果の普及

	H18	H19	H20	計
特許出願	0	5	9	14件
論文(査読付き)	2(1)	10(10)	27(27)	39件
研究発表・講演	4	29	48	81件
受賞実績	0	0	2	2件
新聞・雑誌等への掲載	1	2	1	4件
展示会への出展	0	1	2	3件

※ : 平成21年度7月20日現在