

「次世代半導体材料・プロセス基盤(MIRAI)プロジェクト」
事後評価分科会
資料5-1

次世代半導体材料・プロセス基盤 (MIRAI) プロジェクト
事業原簿

【公開版】

作成者

独立行政法人 新エネルギー・産業技術総合開発機構
電子・材料・ナノテクノロジー部

概要 プロジェクト用語集	概要-1
I. 事業の位置づけ・必要性について	I-1
1 NEDO の関与の必要性・制度への適合性	I-1
1.1 NEDO が関与することの意義	I-1
1.2 実施の効果(費用対効果)	I-2
2 事業の背景・目的・位置付け	I-3
2.1 背景および目的	I-3
2.2 第三期の事業の位置付け	I-6
2.3 国外の開発動向	I-9
II. 研究開発マネジメントについて	II-1
1 事業の目標	II-1
2 事業の計画内容	II-2
2.1 第三期の研究開発の内容	II-2
2.2 研究開発の実施体制、予算	II-5
2.3 研究開発の運営管理	II-9
2.4 研究開発成果の実用化、事業化に向けたマネジメントの妥当性	II-13
3 情勢変化への対応	II-14
3.1 基本計画変更	II-15
3.2 研究加速資金	II-16
3.3 先導研究	II-19
4 中間評価結果への対応	II-21
5 評価に関する事項	II-23
III. 研究開発成果について	III-1
1 事業全体の成果	
2 研究開発項目毎の成果	
IV. 実用化・事業化の見通しについて	IV-1

(添付資料)

・特許論文リスト

・イノベーションプログラム基本計画

「IT イノベーションプログラム」

「エネルギーイノベーションプログラム」

・プロジェクト基本計画

・技術戦略マップ

プログラム-1

基本計画-1

概要

		作成日	平成 23 年 4 月 14 日
施策(プログラム)名	ITイノベーションプログラム、エネルギーイノベーションプログラム		
事業(プロジェクト)名	次世代半導体材料・プロセス基盤(MIRAI)プロジェクト	プロジェクト番号	P01014
事業担当推進 部室・担当者	電子・材料・ナノテクノロジー部 小野英輝、河本滋		
0.事業の概要	<p>平成 18 年度から開始された第三期は、平成 19 年度の中間評価および国内外の情勢を鑑み、研究開発項目と目標の見直しを行い「Ⅰ. 次世代半導体材料・プロセス基盤技術開発」において、hp45nm を超える技術領域の課題を解決する革新技術としての①新構造極限 CMOS トランジスタ技術、②新探究配線技術、③特性ばらつきに対し耐性の高いデバイス・プロセス技術を、産業界における実用化に向けた展開につなげることを目指して研究開発を実施する。</p> <p>また、「Ⅱ. 次世代半導体露光プロセス基盤技術開発」において、④EUV マスク基盤技術および新たに追加した⑤EUV 光源高信頼化技術を開発し、EUV マスク基盤技術については平成 20 年度に hp45nm、平成 22 年度に hp32nm に対応する技術を確立し、平成 20 年度より開始する EUV 光源高信頼化技術については平成 22 年度に hp32nm に対応する技術を確立する。</p>		
Ⅰ. 事業の位置付け・必要性について	<p>情報技術がめざましく発展している今日の社会では、情報・知識を、時間や場所の制約を受けず誰もが自由自在かつ安全に活用できる情報通信環境の実現が望まれている。また、平成 19 年 6 月に改定された経済成長戦略大綱において、我が国の国際競争力強化のために注力すべき分野として、情報家電、ロボットなどが挙げられている。このような応用システムの基幹となる半導体 LSI には、一層の高機能化、低消費電力化が求められている。本プロジェクトは、我が国の半導体関連産業(デバイス、装置及び材料)の国際競争力強化のため、高機能 LSI の実現に不可欠な半導体構造の微細化に対応できる半導体デバイス・プロセス基盤技術を平成 22 年度までに確立することを目的として高度情報通信機器・デバイス基盤プログラムの一環として実施する。</p> <p>本プロジェクトでは、平成 13 年度から平成 17 年度までに、hp65nm～hp45nm のデバイスに必要な高誘電率ゲート絶縁膜材料・計測・解析技術、及び低誘電率層間絶縁膜材料・計測・解析技術を中心として、将来のデバイス・プロセス技術に必要なトランジスタ形成に必要な技術、ウェハ・マスク関連計測技術、及びデバイス回路構成技術等の開発を行ってきた。その成果の内、実用化開発に移行できるものは、平成 17 年度末に関連コンソーシアムを含めた産業界に移転され、実用化に向けた開発が展開される。</p> <p>平成 18 年度からは、半導体の微細化に関しては、hp45nm を超えるデバイス実現に必要な革新的基盤技術を、産業界において自ら実用化に向けた展開を図る際の判断ができる水準まで技術開発を行い、技術選択肢として提示することを目的とする。具体的には新構造極限 CMOS トランジスタ関連技術、新探究配線技術、特性ばらつきに対し耐性の高いデバイス・プロセス技術、及び EUV マスク基盤技術の開発を行う。</p> <p>平成 20 年度からは、新構造極限 CMOS トランジスタ技術、新探究配線技術、特性ばらつきに対し耐性の高いデバイス・プロセス技術において、hp45nm を超える技術領域の課題を解決する革新技術を産業界における実用化に向けた展開につなげることを目指して研究</p>		

	<p>開発を実施する。また、EUV マスク基盤技術については平成 20 年度に hp45nm、平成 22 年度に hp32nm に対応する技術を確立し、平成 20 年度より開始する EUV 光源高信頼化技術については平成 22 年度に半導体デバイスの量産に適用できる EUV 光源の高信頼化技術を確立する。</p> <p>本技術の確立により、情報通信機器、情報家電、ロボットなどの高機能化、低消費電力化の要求を満たすシステムLSI実現など、将来幅広い産業分野で利用される共通基盤技術の形成が見込まれる。これにより、電子情報通信分野での新規産業創出に資するのみならず、広範な分野で利用される共通基盤技術の形成に資する。</p>
<p>II. 研究開発 マネジメントに ついて 【事業の目標】</p>	<p>第三期の研究開発は、NEDO が研究開発内容を大幅に見直し、公募を行い、民間企業、独立行政法人、大学等から委託先を選定した。実施体制は、第二期と同様、フォーカス 21 委託事業の「応募資格」を踏まえたものとした。また、本プロジェクトは、第二次半導体新世紀委員会の「つくば半導体 R&D センター構想」と密接な連携をし、産業界の実用化に向けた取り組みと一体的にマネジメントできるように、NEDO がプロジェクトリーダー(PL:株式会社半導体先端テクノロジーズ社長 渡辺久恒)を指名した。実施組織として、技術研究組合超先端電子技術開発機構と独立行政法人産業技術総合研究所から成る共同研究体、及び(株)半導体先端テクノロジーズを委託先として研究開発を実施した。各開発技術に対する具体的な目標は以下の通りであり、①-③の技術開発では、平成 20 年度以降の研究開発計画は平成 19 年度末の中間評価を受けて設定することとした。平成 18~19 年度の研究開発項目は次の通りである。</p> <p>① 新構造極限 CMOSトランジスタ関連技術開発 ② 新探究配線技術開発 ③ 特性ばらつきに対し耐性の高いデバイス・プロセス技術開発 ④ 次世代マスク基盤技術開発</p> <p>平成 20 年度の基本計画の見直しにより、以下の研究開発開発項目と目標を定め、公募により実施者を決定した。実施組織として、下記技術開発項目①を(独)産業技術総合研究所と(株)東芝が、②③④を(株)半導体先端テクノロジーズが、また⑤を技術研究組合極端紫外線露光システム技術開発機構(EUVA)が実施する。</p> <p>I. 次世代半導体材料・プロセス基盤技術開発</p> <p>hp45nm を超える技術領域の課題を解決する革新技術としての新構造極限 CMOSトランジスタ技術、新探究配線技術、特性ばらつきに対し耐性の高いデバイス・プロセス技術を、産業界における実用化に向けた展開につなげることを目指して開発する。</p> <p>① 新構造極限 CMOSトランジスタ関連技術開発</p> <p>hp32nm を越える技術世代に対応するバリスティックCMOS技術の開発を行う。チャンネル領域で準バリスティックなキャリア輸送が起こるシリコン MOS トランジスタの微細化において、デバイスの性能を最大限に発揮させるための原理とその実現に必要な材料・構造を明らかにし、低消費電力・高信頼性を実現するための技術を確立する。</p> <p>② 新探究配線技術開発</p> <p>銅と Low-k 材料を用いた多層配線構造において hp32nm 以細の微細化に伴って抵抗が上昇し、信頼性が低下する等の課題を解決するため、カーボン材料を用いた低い抵抗値と高い許容電流密度を持つ配線構造技術を確立する。また、高速・低消費電力でデータ信号伝達を実現する新しいグローバル配線として 10GHz以上の波長多重によるオンチップ光</p>

【開発予算】	(単位:百万円)		H13	H14	H15	H16	H17	
	一般会計	(実績)	1,838	4,931	4,317	2,842	2,636	
	特会(石油)	(実績)	1,604	2,092	0	1,472	1,699	
	総予算額	(実績)	3,442	7,023	4,317	4,314	4,335	
	(単位:百万円)		H18	H19	H20	H21	H22	総額
	一般会計	(実績)	2,987	2,147	2,369	962	665	25,694
	特会(石油)	(実績)	3,344	2,888	2,384	3,378	1,960	20,821
	総予算額	(実績)	6,331	5,035	4,753	4,340	2,625	46,515
【開発体制】	経済省担当原課		商務情報政策局 情報通信機器課					
	運営機関		新エネルギー・産業技術総合開発機構					
	プロジェクトリーダー		株式会社 半導体先端テクノロジーズ社長 渡辺久恒					
	委託先		独立行政法人 産業技術総合研究所(AIST) 株式会社 東芝 株式会社 半導体先端テクノロジーズ(Selete) 技術研究組合 極端紫外線露光システム技術開発機構(EUVA)					
	共同実施・再委託先		シャープ(株)、神戸大学、早稲田大学、産業技術総合研究所、日本電信電話(株)、東京大学、広島市立大学、広島大学、東北大学、兵庫県立大学、九州工業大学、イリノイ大					
【情勢変化への対応】	<p>平成 17 年、経済産業省と NEDO 技術開発機構が『hp45nm 技術の研究開発については、原則的に MIRAI プロジェクト第二期で開発を終了し、産業界に技術移転する。MIRAI プロジェクト第三期ではその先の hp32-hp22nm 技術領域の基盤技術を確認する。』という方針をまとめた。これを受け、平成 17 年度までに開発した技術に関しては Selete 及びプロジェクト参加企業他に移転し、或いは、実用化のため、NEDO 継続研究開発をスタートさせ、第二期は平成 18 年 3 月で終了した。NEDO 技術開発機構は MIRAI 第三期(平成 18-22 年度)に対して、基本計画を策定し、新規に公募を実施した。公募の結果、第三期の研究開発は、① 新構造極限 CMOS トランジスタ関連技術開発、に関しては産総研・ASET からなる共同研究体に委託し、② 新探究配線技術開発、③ 特性ばらつきに対し耐性の高いデバイス・プロセス技術開発、及び④次世代マスク基盤技術開発に関しては株式会社半導体先端テクノロジーズに委託することを NEDO 技術開発機構が決定した。</p> <p>平成 19 年度の中間評価および国内外の情勢を鑑み、研究開発項目の見直しを行い「Ⅰ. 次世代半導体材料・プロセス基盤技術開発」において、hp45nm を超える技術領域の課題を解決する革新技術としての①新構造極限 CMOS トランジスタ技術、②新探究配線技術、③特性ばらつきに対し耐性の高いデバイス・プロセス技術を、産業界における実用化に向けた展開につなげることを目指して研究開発項目と具体的な目標を見直した。また、「Ⅱ. 次世代半導体露光プロセス基盤技術開発」において、新たに「⑤EUV 光源高信頼化技術」を研究開発項目に追加した。これらの基本計画の見直しに合わせて公募を行い実施者を決定した。公募の結果、①は産総研、東芝に委託し、②③は Selete に委託し、⑤は EUVA に委託することを決定した。</p>							
Ⅲ. 研究開発成果について	<p>① 新構造極限 CMOS トランジスタ関連技術開発 ・高移動度 SiGe、Ge チャネル CMOS のソース・ドレインの最適な材料として、NiSiGe 及び NiGe を新たに提案した。NiSiGe 及び NiGe ショットキー界面に適切な不純物材料を見出し、これを制御して、実効キャリア速度の向上に不可欠な低抵抗オーミック形成に成功する</p>							

とともに、 $L_g=26\text{nm}$ でのデバイス動作で、提案ソース・ドレイン材料の有効性を実証した。

- Ge チャンネルへ効果的な歪み技術を提案し、正孔移動度の向上を実証するとともに、Ge 上の SrGe 界面処理による正孔移動度特性の向上を実現した。Si チャンネルについても、表面・界面ラフネス改善とエピタキシャル high-k による移動度向上、ソース・ドレインとの界面付近の不純物分布を制御して 0.1eV 以下のショットキーバリアを達成するなど、ショバリスティック効率の改善に関わる設計指針の提案と実証を行った。
- SiGe 及び Si チャンネルについて、 $hp32\text{nm}$ 相当の微細ゲート長トランジスタの試作をした。 1.15 倍以上の電流駆動力の向上と 20% 以下の消費電力の削減効果が実証された。
- 微細デバイスの電気特性評価法を開発し、バリステック輸送効率など求めるとともに、走査トンネル顕微鏡 (STM) によるポテンシャルプロファイル計測技術、ラマンを用いた局所応力分析を開発し、バリステック効率の向上メカニズムを解明できる評価・解析法を確立した。また、量子補正モンテカルロ・デバイスシミュレータを用いた、準バリステック輸送のモデル化技術を確立した。

② 新探究配線技術開発

(1) 極限低抵抗・高電流密度配線技術の開発

- 4 段階プラズマ処理という新プロセスを導入し、プラズマ CVD で CNT 密度 $2 \times 10^{12}/\text{cm}^2$ の高密度を達成 (目標値は $3 \times 10^{12}/\text{cm}^2$)。CNT 層数は約 5 層より、 1×10^{13} シェル/ cm^2 を達成 (世界トップ)。ビア構造では、ビア底の下地金属膜と表面処理の最適化や新しい二元系微粒子触媒の適用により、熱 CVD の高品質かつ高密度 ($1 \times 10^{12}/\text{cm}^2$) CNT の成長に成功。
- プラズマ CVD 成長速度 (密度 $1 \times 10^{12}/\text{cm}^2$) で毎分 70nm を達成 (目標である成長プロセス 5 分以内を達成)。密度 $2 \times 10^{12}/\text{cm}^2$ では毎分 30nm の高速成長達成。
- 従来の Si LSI プロセスと整合する CNT ビアのためのシングルダマシンプロセスを開発。さらに 300mm ウェハで実績のあるプラズマ CVD を適用し、直径 70nm の微細 CNT ビアアレーの作製に成功。CNT ビアの電気特性は、直径 70nm ビアで抵抗 $51\ \Omega$ 、直径 160nm ビアで抵抗 $10\ \Omega$ を得た (この値はプロジェクト開始時の $1/56$ であり、直径 50nm 、高さ 200nm のビア換算で約 $76\ \Omega$ となり、目標値 $14\ \Omega$ と同桁を達成)。電流密度耐性では、熱 CVD 成長ビアで EM 破破メカニズム解析や CMP 平坦化、コンタ外技術改善により、 $4 \times 10^7 \text{A}/\text{cm}^2$ で 1000 時間以上の耐性を確認 (目標値 $1 \times 10^7 \text{A}/\text{cm}^2$ 以上を達成)。
- 縦方向での CNT 高密度成長を確認したことで、横配線での高密度化が達成できる目処を得た。

(2) 新コンセプトグローバル配線技術の開発

- リング型 PLZT 変調器により、消費電力設計値 $0.35\ \text{pJ}$ 、 3.5mW の変調器の $10\ \text{GHz}$ 動作を確認。
- 5 波の合分波を行う 0.5mm^2 の SiN 光導波路製の合分波器を試作し、光回路内における過剰損失 4dB 、チャンネル間クロストーク -15dB 以下を確認。
- グレーティングと反射膜を組み合わせた垂直光入射結合器を開発。
- SiN 合分波器と Si ナノフォトダイオードを組合せた波長多重回路を LSI にフリップチップ接続し、同一光配線を用いて 5GHz と 3GHz の 2 周波数クロック動作を確認
- 設計上トータルで 2pJ 以下となる変調、受光器を開発。

③ 特性ばらつきに対し耐性の高いデバイス・プロセス技術開発

(1) 構造依存の特性ばらつきの物理的理解とモデリング技術の開発

- 新規 TEG、および特性高速計測技術開発により、経時変化ばらつきを含むデバイス特性を安定的に計測可能な評価技術を確立した。その結果、 $\pm 3\sigma$ 範囲の経時変化、ならびに $\pm 6\sigma$ の特性ばらつきを計測し、中心特性の変化と共に、特性ばらつきが拡大する事を初めて示した。
- HK/MG デバイスの試作・評価を行い、従来デバイスに比べ実効ゲート絶縁膜厚低減による V_{th} ばらつき低減を検証し、HK/MG 構造がデバイス特性ばらつき改善に有効であるというデバイス開発指針を得た。
- 実デバイスの複数物理パラメータ抽出手法 (たとえば、ゲート絶縁膜厚、ゲート形状、シリサイド構造等) を確立し、3D-STEM でオン電流の異なるデバイスでは、ソース・ドレインのシリサイド膜形状に相違があることを示した。
- アトムプローブを用い、電気特性が異なる実デバイスのチャンネル不純物数が V_{th} と正の相

関を初めて実測した。
 特性ばらつき改善の指針として、シリサイド形成均一化、チャネル不純物乱れの低減などを示した。

- ・離散不純物モデル、LER モデル、不純物拡散モンテカルロモデル等を組み込んだ 3 次元デバイス・プロセスシミュレーション技術を開発した。
- ・NMOS の V_{th} ばらつきを再現し、原因がチャネル不純物であるホウ素の増速拡散であることを明らかにした。
- ・NMOS チャネルホウ素の増速拡散を抑制する炭素共注入技術を開発し、不純物の離散性以外の原因を約 25%低減した。
- ・非物理的なフィッティングパラメータを含まないコンパクトトランジスタモデル HiSIM-RP を開発し、TCAD に対して V_{th} が $\pm 20\text{mV}$ 、 I_{on} が $\pm 5\%$ の精度で予測可能なことを実証した。
- ・LSI の任意のレイアウトパターンに対応可能なコンパクトストレスモデルを開発し、 I_{on} の変動予測を $\pm 5\%$ 、 V_{th} の変動予測を $\pm 20\text{mV}$ で行うことが可能であることを実証した。
- ・試作デバイスの電気特性をフィードバックした 3 次元デバイス・プロセスシミュレーターを用いて、プレーナ型を含む種々のデバイス構造の計算を実施し、チャネルドーパントを低減した構造で、 V_{th} 、 I_{on} ばらつきが低減可能であることを示した。
- ・デバイス基本特性を維持し、しきい値、オン電流等のデバイス特性ばらつきを抑制できる構造として、FD-SOI やマルチゲート構造を提案し、ばらつき抑制効果を示した。

(2) 外部擾乱依存の特性ばらつきの物理的理解とモデリング技術の開発

- ・経時変化を含むデバイス特性ばらつきを、回復効果を最小限に抑えられる 1 ミリ秒以下の測定が可能でかつ、安定的に計測するシステムの開発を完了した。
- ・電気特性を測定した実デバイス構造を解析可能な、3 次元アトムプローブ技術(50nm ϕ の MOS チャネルの加工等、サンプル作成手法を含む)の開発を完了し、実施項目 2) でばらつき改善の指針を得た。
- ・中性子照射実験によって SET パルス幅の発生率分布を測定するテストチップを開発し、幅 100ps 以下の SET パルスが大部分を占めることを世界で初めて実験的に確認した。この結果に基づいてプロセス微細化に対する電荷収集予測モデルを構築し、hp22nm までのシリコンバルクプレーナ CMOS における SET 起因のソフトウェアエラーを予測計算を行なった。さらに SET パルスフィルタリングによってエラーレートを 1~10FIT に抑えることが出来ることを示した。
- ・対地容量の異なる電源ドメインは、放電速度が異なるためにドメイン境界のトランジスタのゲート酸化膜に電位差が発生し、これがチップ全体の CDM 型 ESD 耐圧を決定していることを明らかにした。CDM 型 ESD 耐圧向上のための設計指針として、i)電源ドメイン間の対地容量を揃えること、ii)対地容量が小さい電源ドメインに寄生容量を追加すること、iii)ドメイン間の GND 配線抵抗を小さくすること、を提案し、これらの指針を実際に適用したテストチップを試作し、CDM 型 ESD 耐圧 1000V が達成可能であることを実証した。
- ・チップレベルの基板ノイズ伝播解析とトランジスタレベルの基板ノイズ感度モデルとを組み合わせた回路シミュレーション手法を開発し、その効果を実証した。

④ 次世代マスク基盤技術開発

(1) 高精度・低欠陥 EUVL マスクおよびブランク技術の開発

(1)-1 EUV 光を用いたマスクおよびブランクの検査・解析技術の開発

マスクブランク全面検査装置システムを開発し、Hp16nm 世代対応ブランク欠陥感度(高さ 1.2nm、幅 40nm)を有すことを実証した。位相欠陥検出信号を解析し、EUV 光検査はブランク内部構造の異常も検出可能なことを示し、欠陥上の多層膜堆積が二つの堆積モードからなることを明らかにした。位相欠陥転写性を解析し、バンプ型およびピット型のプログラム位相欠陥の転写インパクトについて欠陥位置依存性及び検査焦点位置依存性を明らかにした。EUV 顕微鏡で 100nm 未満の解像度を実現した。更に回折像捕集型顕微鏡ではマスク欠陥とブランク位相欠陥が検出できることを明らかにした。

(1)-2 EUVL マスクおよびブランクの高品位化技術の開発

小領域 EUV 露光装置 SFET の高度化として、フライアイミラーの反射率改善やチャンバー真空度改善により対策前の 5 倍の照度を実現し、SFET の限界解像度として X-dipole 照明で 16nm を得、年間稼働時間 140→207 日以上、年間ウエハ処理枚数 1100→2500 を

実現した。マスク遮光帯性能を確認し、多層膜加工型は積層型に比べ EUV 光には約 6 倍、OoB 光には約 4 倍の遮光性能が得られる事を確認した。マスク遮光帯付与によるマスク位置精度への影響が無いこと、遮光帯付き薄膜吸収体マスクでは隣接ショットからの被り露光の影響が良く防止されていることを確認した。欠陥転写性評価技術として、マスク寸法の加重平均化によるマスクパターン LWR 定義法を提案し、マスク製造プロセスならびにマスク出来栄への評価法を確立し、複数露光ショット積算によるウエハ転写寸法平均化手法を開発した。

(1)-3 EUVL マスクコンタミネーション制御技術の開発

マスクコンタミ膜の構造・物性の解明し、カーボンコンタミに真空中残留ガスに起因する数%の Si が存在することを明らかにした。独自に開発したマコンタミ堆積シミュレータ結果からスクコンタミ成長モデルを解明し、マスクコンタミによるパターン寸法変化や位置シフトの相関関係を求め、管理基準を策定した。マスクコンタミクリーニング技術として、ウェット系、UV オゾン系、プラズマ系、新オゾン系、水素ラジカルについて評価した。洗浄能力や低ダメージといった点でそれぞれ一長一短があり、洗浄能力では新オゾン系、低ダメージではウェット系が優れていた。水素ラジカルについては反応機構を解明した。レジストアウトガス低減については、圧力上昇法と GC-MS 法により評価した。露光装置 SFET における光学系とマスクのコンタミ抑制並びにレジスト材料選択に貢献した。

(2)パターン欠陥検査技術および欠陥修正技術の開発

(2)-1 EUVL マスクパターン欠陥検査技術の開発

P 偏光照明系を実装した EUVL マスク対応欠陥検査装置 NPI-6000EUV α 機の欠陥検出感度評価を実施し、Hp27nm 世代対応マスク(=マスク上 Hp108nmLS)の吸収体反射率 4%とすることで凸欠陥ならびに凹欠陥の目標感度(=10%CD 変動を与える欠陥サイズ)を各々達成した。また、偏光照明解像度特性向上光学素子の導入、P 偏光照明系導入に伴う焦点検出オフセット対策(焦点検出補正光学系)、P 偏光および S 偏光の同時検査光学系の導入等によって Hp22nm 世代対応マスク(=Hp88nmLS)での凸欠陥および凹欠陥の目標感度を各々達成した。ランダムに発生するマスク自然欠陥を SEM 観察する手法としてマーカ法を確立し、マスク自然欠陥転写性シミュレーション結果を実験的に検証し、シミュレーションの妥当性を確認した。Die-Database 検査技術を開発し、画像出力の非線形補正による検出感度向上により微細パターン検査感度を改善した。

(2)-2 EUVL マスクパターン欠陥修正技術の開発

ビーム径拡大を抑制したまま低加速・低ダメージ化を実現する新規鏡筒を開発した。Ga イオンビームならびに電子ビームによる白欠陥埋め込み材料として、マスク洗浄耐性ならびに EUV 光遮光特性からイオンビーム W 堆積膜が最適であることを確認した。Ga イオンビームによる多層膜除去型の白欠陥修正技術を提案し、SFET で転写性評価を経て同技術の有効性を検証した。静電アクチュエータ型ナノピンセットに異物把持検知するデュアルグリップセンシング機能及び基板接触検知するデュアルタッチセンシング機能を加えた。極微細化ならびに低ダメージ化の達成見込みのあるガス系イオンを新イオン源とした新規 FIB マスク修正技術を基礎検討し、水素イオンビームにて照射量を抑えれば従来通りのマスク黒欠陥修正技術と成り得るとのフィジビリティを実証した。

(3)ペリクルレスマスクハンドリング技術の開発

(3)-1 EUVL マスクの異物フリー搬送・保管技術の開発

SEMI-E152 規格準拠した EUV マスクポッドについて出荷・保管・落下・装置搬送試験(大気中、真空中)を実施し、防塵・発塵評価を行い、パイロットラインでの使用に対して十分な性能であることを確認し、マスク帯電、異物のマスク面転移の影響、真空排気過程での温度変化やアウトガスの影響を評価し、これらを反映させた改良版ポッドを開発した。信頼性ある異物検査結果を得るための検査手法を検討し、所望条件下での検査回数を与える関係式を構築した。マスク裏面と静電チャック間に挟まれる異物の許容サイズについて検討し、静電チャック表面形状がマスクパターン面の平坦度や変形矯正応力に及ぼす影響を求める手法を確立した。SiC セラミック静電チャック、低熱膨張率セラミックチャックおよび石英ガラスチャックをそれぞれ試作しマスク吸着実験からマスク裏面付着異物数の吸着回数依存性を求めた。

(3)-2 ウエハファブ内 EUVL マスク異物検査技術およびクリーニング技術の開発

	<p>ペリクルレスマスクのファブ内運用として検査ならびにクリーニング方式について、露光装置内装置も視野に入れたドライ式物理クリーニングを中心に検討した。ファブ内での検査やクリーニングの運用を実際のチップ生産(歩留り、生産量)見合いでケーススタディし最適化運用が可能なることを明らかにした。露光機チャック吸着によるマスク裏面異物付着に対し、スポンジブラシによる水洗浄のブラシ回転数やマスク回転数、ブラシ加圧力などを最適化することによりチャック材質に拠らず良好なクリーニングが可能なることを検証した。</p> <p>⑤ EUV 光源高信頼化技術開発</p> <p>(1) 光源起因マスク、ミラーの汚染評価技術の開発 LPP:LIF を用いた Sn 計測技術を開発した。IF 点での反射率低下が 10%以下となる Sn 汚染量に相当する Sn 原子密度 2×10^6 個/cm³ の測定感度を達成した。 DPP:IF 点で反射率と XPS を測定できる汚染評価装置を開発した。反射率測定精度は±0.2%(短時間観測で目標とする 3,000 時間の寿命測定誤差が±6 時間)まで向上した。</p> <p>(2) 集光光学系などの清浄化技術の開発 LPP:Sn イオン除去に磁場が有効であることを実証した。中性 Sn 原子起因の堆積防止については(a)小径 Sn ドロプレット・ターゲットとプレパルス照射の組み合わせによる中性 Sn 原子の発生低減、(b)Sn 堆積膜のガスクリーニング手法で対処した。20 μm φ の Sn ドロプレットで必要なクリーニング速度>0.1nm/min に目処を付けた。コレクタ大面積クリーニング機構を作製した。 DPP: α 光源で実績のある DMT を大幅に改善した。更に中性デブリは、回転電極の Sn 塗布厚の薄膜化(従来の 1/5 の 20μm)で 1/3 に低減(現在は 10 μm まで改善)し、高速イオンデブリはアドバンスドレーザートリガー適用で 1/5 に低減した。コレクタへの Sn の堆積は動作ショット数によらず~0.1nm、Ru 反射面は 2nm/G ショットのスパッタで反射率低下は無かった。これより Ru 膜厚 1 μm 以上で 1 年以上のコレクタ寿命を達成する見込みを得た。</p> <p>(3) 高出力対応熱管理技術の開発 LPP: 計測データをベースにコレクタの熱応力変形と IF 位置での EUV 集光像への影響をシミュレーションにより評価した。冷却機構を具備した反射率 50%以上、直径 400mm の大口径直入射コレクタを製作した。 DPP: HVM 対応の DeCo を一体化した温度-構造-光学連携シミュレーションを開発し、発光点(プラズマ)からの放射成分(輻射、非輻射成分)の計測、および HVM レベル大型コレクタの温度上昇の実測により、180W 対応の DeCo の熱管理技術に目処を付けた。</p> <p>(4) IF 変動防止技術の開発 DPP:ファジー推論と学習効果機能を有するアルゴリズムを開発した。IF 変動ライブラリの併用により 0.5 秒の高速自動アライメント技術を確立した。</p>		
IV. 実用化、事業化の見通し	MIRAI 第二期までの成果は、覚書を結び、Selete 及び参加企業に技術移転を実施した。また、実用化を目指す NEDO 継続研究を実施している。第三期においては、先端的技術に開発の重点が移ったため、共同研究等を通じ、参加企業の研究開発組織へ技術移転する。		
V. 評価に関する事項 【評価実施時期】 【評価項目・評価基準】	評価履歴	実施時期	平成 15 年度中間評価実施
		評価項目・評価基準	標準的評価項目・評価基準
		実施時期	平成 17 年度中間評価 (平成 18 年度実施)
		評価項目・評価基準	標準的評価項目・評価基準
		実施時期	平成 19 年度中間評価(①-③)
		評価項目・評価基準	標準的評価項目・評価基準
		実施時期	平成 20 年度中間評価(④)
		評価項目・評価基準	標準的評価項目・評価基準
	評価予定	実施時期	平成 23 年度事後評価(①-⑤)
		評価項目・評価基準	標準的評価項目・評価基準

VI. 基本計画 に関する事項	作成時期	平成 13 年 3 月
	変更履歴	<p>平成 14 年 3 月 (根拠法を「その他の重要事項」へ明記)</p> <p>平成 15 年 2 月 (「経済活性化のための研究開発プロジェクト(フォーカス 21)」として位置付けられた)</p> <p>平成 15 年 12 月 (第 2 期の研究開発計画内容見直しによる改訂)</p> <p>平成 17 年 12 月 (第 3 期の研究開発計画策定による改訂)</p> <p>平成 19 年 3 月 (研究開発計画内容見直しによる改訂)</p> <p>平成 20 年 3 月 (研究開発内容と目的の見直しによる改訂)</p> <p>平成 20 年 6 月 (標準化に関する見直しによる改訂)</p> <p>平成 20 年 7 月 (イノベーションプログラム基本計画制定により「(1)研究開発の目的」の記載を改訂)</p> <p>平成 22 年 3 月 (基本計画を見直し、「(3)研究開発内容」、「(別紙) 研究開発計画、研究開発項目①「新構造極限 CMOS トランジスタ関連技術開発」、研究開発項目②「新探究配線技術開発」、研究開発項目③「特性ばらつきに対し耐性の高いデバイス・プロセス技術開発」」の記載を改訂。)</p>

プロジェクト用語集

新構造極限 CMOS トランジスタ関連技術開発

用語	解説
ALD	Atomic Layer Deposition 原子層堆積法
AFM	Atomic Force Microscope、原子間力顕微鏡
CMOS	Complementary Metal-Oxide-Semiconductor、 相補型 MOS トランジスタまたは相補型 MOS 回路
GOI MOSFET	Ge-on Insulator MOSFET
EOT	Effective Oxide Thickness、実効酸化膜厚
FDTD	時間領域差分法 (Finite-difference time-domain method) のことで、 電磁場計算の一手法として広く用いられる
High-k	高誘電率 (High-k) ゲート絶縁膜
MSD-MOSFET	Metal Source/Drain MOSFET
MOSFET	Metal-Oxide-Semiconductor Field-Effect Transistor、MOS 電界効果型トランジスタ
RTA	Rapid Thermal Annealing、高速アニール
SGOI MOSFET	SiGe チャネル MOSFET
SOI-CMOS	Silicon-on-Insulator CMOS
イオン注入	Ion Implantation、イオンを固体に注入し、固体の特性を変化させる手法
開口数	物体から対物レンズに入射する光線の光軸に対する最大角度を θ 、物体と対物レンズの間の媒質の屈折率を n とし、次の式で表され、光学系の分解能を定める。 $NA = n \sin \theta$
ゲートスタック	Gate Stack、MOSFET のゲート絶縁膜からゲート電極までの構造
ゲート漏れ電流	ゲート酸化膜薄膜のトンネル効果等による漏れ電流
酸化濃縮法	SiGe 層を高温で酸化することにより Ge を濃縮して、薄膜で高い Ge 濃度の高品質 SiGe 基板を形成する技術。
しきい値電圧	MOSFET がオン状態になるゲート電圧
ショットキー障壁	n-型および p-型半導体と金属の接触において、金属のフェルミ準位が n-型半導体のフェルミ準位より低く、p-型半導体のフェルミ準位より高い場合にはフェルミ準位が一定になるように電子移動が起こり、空間電荷層が発生する。この結果、半導体表面の伝導帯と価電子帯に曲がり、ポテンシャル障壁が生じる。この障壁をショットキ

	一障壁(Shottky barrier)といい、金属、半導体間で整流作用を生じさせる。
走査トンネル顕微鏡	STM (Scanning Tunneling Microscope)。金属製の走査探針と試料表面の間に電圧を印加し、トンネル電流を検出して表面の形状や状態を計測する顕微鏡。
走査プローブ技術	原子間力顕微鏡に代表されるような、微細加工・微細構造評価技術
第一原理計算	実験データや経験パラメーターを使わないで行う理論計算方法
ドーパント	半導体にごく微量添加される不純物のこと。
ドライエッチング	プラズマを用いたエッチング
バリスティック MOSFET	散乱なくキャリアがチャネルを走行する MOSFET
パルス IV 測定	短パルスでトランジスタの I-V (電流-電圧) 特性を測定するための計測方法
ひずみ Si	Si 膜にひずみを加えることにより MOSFET の性能を向上する技術
ひずみ SOI	ひずみ Si を SOI の Si 層に適用した MOSFET 性能向上技術
プローブ誘起ラマン測定	AFMプローブ先端の金属粒子による散乱光でラマン散乱を測定する手法
偏光	電場(或いは磁場)の振動方向が特定の方向に振動する光(電磁波)のこと。
ユニバーサル移動度	反転層の電子移動度
ラマン分光法	物質に入射した光が散乱される時、フォノン等とエネルギーをやりとりして、入射光と異なった振動数で散乱される光を分光する測定方法。

プロジェクト用語集

新探究配線技術開発
(カーボン配線技術開発)

用語	解説
CMP	Chemical Mechanical Polishing、化学機械研磨
Low-k	低誘電率(Low-k)層間絶縁膜
TEM	Transmission Electron Microscopy、透過型電子顕微鏡
CNT	Carbon Nanotube、カーボンナノチューブは炭素の2次元六員環ネット(グラフェン)が円筒状の蒔いてできた、ナノメートルサイズの直径を持つチューブ
FTIR	Fourier Transform Infra-red Spectroscopy、極性を持つ化学分子が赤外線を吸収してスペクトルを発生する原理を利用した赤外線分光のこと
MWNT	Multi-walled Carbon Nanotube、多層化カーボンナノチューブはカーボンナノチューブが同心円状に複数あるもの
インパクト	ノズルから高速でナノ粒子を含むガスを寸出し、前方に置いたいたでガスの流れを急激に変化させ、ナノ粒子のサイズに応じた慣性力の違いを利用して特定のサイズの粒子を選別する装置
エレクトロマイグレーション	金属材料への通電による物質移動減少のこと。ボイドやクラックが発生し金属材料が断線してしまうことがあり、配線における通電故障の原因の中で最も重要なものとなっている。
ダマシンプロセス	LSI配線の作製工程の一種、予め配線金属が埋め込まれる溝パターンを作製した後、金属を埋め込んでいく
バリスティック伝導	電気伝導を荷う電荷が、講師進藤や不純物などとの散乱を起こさずに移動していく輸送形態。これによって通常の伝導(オーム性伝導)に比べ、低い電気抵抗が得られると期待できる。
量子化抵抗	バリスティック伝導が生じた場合に、1チャンネル当り抵抗はオームの法則には従わず、 $6.45\text{K}\Omega$ という一定の電気抵抗となる。

プロジェクト用語集

②新探究配線技術開発

(LSI チップ光配線技術開発)

用語	解説
AD	エアロゾルデポジション
LD モジュール	光接続および電気接続できるようにパッケージされた半導体レーザー。
MMI(多モード干渉導波路)	光配線において、光の強度を複数の導波路に等しい強度で分配するための素子。光共振の定在波を利用する。
PZT、PLZ	PZT(ジルコン酸チタン酸鉛)はペロブスカイト構造を持つ強誘電体材料。大きな圧電特性および電気光学特性を持つが、光学結晶異方性が大きいので多結晶体では粒界における光散乱のため光の透過率が低かったが、エアロゾルデポジションでナノ結晶化することにより透明度が上がった。PLZT は PZT への La ドープにより分極ドメインが微細化し高周波応答に優れた電気光学材料になっている。
SNOM	Scanning near-field optical microscopy、走査型近接場光学顕微鏡の略。微小な先端径の探針(プローブ)の先端に発生する近接場光を光源とした光学測定を行う、走査型プローブ顕微鏡。作用距離が～数十 nm の近接場光を利用することによって光の回折限界を超える分解能での光学測定が可能となる。
TE-like モード, TM-like モード	基板上に 2 次元光導波路が形成された時に、光が基板に平行な電界成分をもつ導波モードを TE (Transverse Electric)モード、垂直な電界成分をもつ導波モードを TM (Transverse Magnetic)モードと呼ぶ。3 次元光導波路ではこれらの完全なモードは一般には存在しないが、対応する導波モードを TE-like モード、TM-like モードと呼ぶ
TIA	トランス・インピーダンス・アンプ。電流を電圧に変換するアンプ。フォトダイオードからの光電流を電圧信号に変換するのに用いられる。
エアロゾルデポジション	サブミクロン径の原料セラミック粉を基板に常温で吹き付けることにより、緻密なナノ結晶粒セラミック膜を形成する技術。
シリコンフォトニクス	光導波路などの主要な光配線部品をシリコン半導体産業の量産プロセス技術で製造する技術。シリコン、窒化シリコンなどは従来の光ファイバー材料(シリカ)と比較して大きな屈折率を持っており、急な曲げによる光の漏れが少ないため光回路のサイズを大幅に小さくできるという長所を持つ。
ドライバ	電気光変調器を駆動するための電気回路。
ナノフォトダイオード	表面プラズモンを光のアンテナとして利用することで、小さな近接場領域での光電流発生を可能にしたフォトダイオード。
プラズモンアンテナ	光の電界成分により表面プラズモンが励起される金属構造体。周期構造を持たせることで特定の波長の光と共鳴して局在化された強い近接場光を作り出す。
マッハ・ツェンダー	光を二つの光路に分けてから再び一つの光路に戻すことで、二つの光路

	間の光路差に基づく光の位相のずれを光の強度変化としてとらえる干渉計。
共振型変調器	共振により光の電界を強めて小型化した変調器。リング型の光導波路などが用いられる。
屈折率	媒質中での光の速度は真空中での速度より低下する。真空中の光の速度と媒質中での光の速度の比を屈折率と呼ぶ。屈折率 1.5 の材料における光信号の伝播速度は真空中の 2 分の 3 になる。エネルギーや信号を伝える群速度の比は正確には群屈折率と呼ばれる。
光導波路	光信号を通す配線。屈折率の高いコアの周囲を屈折率の低いクラッドで囲み光信号をコア付近に集中させて伝送する。
受光器	光信号の入力に対し電気信号(光電流)を出力するデバイス。
電気光学セラミックス	電界により屈折率が変化するセラミックス材料。
電気光学定数	電気光学材料の性能を表すパラメータ。屈折率変化量を印加する電界強度で割った値。
波長多重	一本の光ファイバーまたは光導波路に複数の異なる波長の光信号を同時に乗せることにより、大容量の情報伝送を行う手段。
光アイソレータ	光を片方向にだけ通すデバイス。反射によるノイズを防ぐのに用いられる。
表面プラズモン	金属表面の電荷の集団振動。光の電界成分と結合している。
偏光	光の波において、電界成分または磁界成分が特定の方向に向いている状態をいう。
変調器(特に電気光変調器)	電気信号により光の透過率を変えるデバイス。

プロジェクト用語集

③特性ばらつきに対し耐性の高いデバイス・プロセス技術開発
(構造依存の特性ばらつきの物理的理解とモデリング技術の開発)

用語	解説
AIST	National Institute of Advanced Industrial Science & Technology 独立行政法人 産業技術総合研究所(産総研)
ASET	Association of Super-Advanced Electronics Technologies 技術研究組合 超先端電子技術開発機構
ASRC	Advanced Semiconductor Research Center 次世代半導体研究センター
CASMAT	Consortium for Advanced Semiconductor Materials and Related Technologies 次世代半導体材料技術研究組合
ITRS	International Technology Roadmap for Semiconductors 国際半導体技術ロードマップ
MIRAI	Millennium Research for Advanced Information Technology
NEDO	New Energy and Industrial Technology Development Organization 独立行政法人 新エネルギー・産業技術総合開発機構
Selete	Semiconductor Leading-Edge Technologies (株)半導体先端テクノロジーズ
SEAJ	Semiconductor Equipment Association of Japan (社)日本半導体製造装置協会
SEMI	Semiconductor Equipment and Materials Institute
STARC	Semiconductor Technology Academic Research Center (株)半導体理工学研究センター
ALD	Atomic Layer Deposition 原子層堆積法
AFM	Atomic Force Microscope、原子間力顕微鏡
CCD	Charge Coupled Device、電荷転送素子
CD	Critical Dimension、MOSFET のゲート、配線幅等における最小寸法
CD-AFM	Critical Dimension が測定可能な AFM
CG-IL	Constituent Gradient Interfacial Layer、
Hf	等遷移金属原子と Si の組成比(濃度)が境界領域において変化する界面構造
CMP	Chemical Mechanical Polishing、化学機械研磨
CMOS	Complementary Metal-Oxide-Semiconductor、 相補型 MOS トランジスタまたは相補型 MOS 回路
CRC	Cyclic Redundancy Check、巡回冗長チェック
DRAM	Dynamic Random Access Memory、ダイナミックランダムアクセスメモリ
DUV	Deep Ultraviolet、遠紫外線

DVS-BCB	Divinylsiloxane-bis-benzocycrobutene
EUV	Extremely Ultraviolet、極端紫外線
EUVL	EUV Lithography、極端紫外線リソグラフィ
EUPS	EUV Photoemission Spectroscopy、EUV 光を用いた電子分光
FUSI Gate	Fully-Silicided Gate、フルシリサイドゲート、電極領域全体をシリコンと金属の化合物で形成したゲート電極
GDP	Gross Domestic Product、国内総生産
GOI MOSFET	Ge-on Insulator MOSFET
GSCI Model	Generated Subordinate Carrier Injection Model
EOT	Effective Oxide Thickness、実効酸化膜厚
FLP	Fermi-Level Pinning、フェルミ準位ピンニング、フェルミ準位が、シリコンのバンドギャップ中のある位置に固定 (Pinning) されること
FPGA	Field Programmable Gate Array、フィールドでプログラムできる LSI のこと
High-k	高誘電率 (High-k) ゲート絶縁膜
IEEE1394	IEEE1394 規格の伝送インタフェース
HiSIM	Hiroshima University-STARC MOSFET Model
HP	High Performance、ITRS における高性能応用向 MOSFET
LER	Line-Edge Roughness、ラインエッジラフネス
LL-D&A	Layer-by-Layer Deposition & Annealing、原子層製膜の途中で緻密化処理を行って膜中の再配列と不純物除去を行う製膜法
LSI	Large Scale Integration、大規模集積回路
LOP	Low Operating Power、ITRS における低動作電流 MOSFET
LSTP	Low Standby Power、ITRS における低スタンバイ電力 MOSFET
Low-k	低誘電率 (Low-k) 層間絶縁膜
MSD-MOSFET	Metal Source/Drain MOSFET
MOSFET	Metal-Oxide-Semiconductor Field-Effect Transistor、MOS 電界効果型トランジスタ
NGL	Next Generation Lithography、次世代リソグラフィ
NBD	Nano-Beam Electron Diffraction、ナノビーム電子線回折局所ひずみ測定法
OPC	Optical Proximity Correction、光近接効果補正
PASI	Gate Partial Silicide Gate、シリコンと金属の組成を制御したゲート電極
PN	Pseudo-Random Number 擬似乱数、または、Pseudo-Random Noise 擬似ランダム雑音
POC 機	Proof-of-Concept 機、概念実証機
RET	Resolution Enhancement Technique、解像度強調技術
RF	Radio Frequency、無線帯域周波数
RTA	Rapid Thermal Annealing、瞬時熱アニール
SGOI MOSFET	SiGe チャネル MOSFET
S/N 比	Signal-to-Noise Ratio、信号と雑音の比

SRAM	Static Random Access Memory、スタティックランダムアクセスメモリ
SOC	System-on-a-Chip, システム・オン・チップまたはシステム LSI
SOI-CMOS	Silicon-on-Insulator CMOS
TDI	Time Delay and Integration、遅延積算
TEM	Transmission Electron Microscopy、透過型電子顕微鏡
TMCTS	Tetramethyl-Cyclo-Tetra-Siloxane、テトラメチルシクロテトラシロキサン
TN	Technology Node、技術ノード、DRAM ハーフピッチで技術世代を示す言葉で2003ITRSまで使用された。
UV	Ultraviolet、紫外線
XPS	X-ray Photoemission Spectroscopy、X線光電子分光
アッシング	レジストを気相中でオゾンやプラズマにより灰化(Ashing)し除去すること。
イオン注入	Ion Implantation、イオン化した不純物を加速することで半導体結晶中に注入し、固体の特性を変化させる手法
位相シフトマスク	微細なパターンが形成させるため、透過する光の位相を局所的にシフトさせるパターンを有するマスク
遺伝的アルゴリズム	Genetic Algorithm(GA) 、選択 (selection)、交叉(crossover) 、突然変異 (mutation)、などを繰り返し行うことにより人工的進化を行い最適解を求めるアルゴリズム。生物の進化の過程を模したもので、確率的探索、学習、最適化等の目的に用いる。
エキシマレーザー	波長が紫外線領域のレーザー
エッチング	半導体ウェハ上に酸化膜等の薄膜を形成し、フォトレジストでパターンを形成した後不要な薄膜を除去する手法
エッチストップ	エッチングの進行を停止させること
X線小角散乱法	SAXS、低角領域のX線散乱を用いる、数 nm からおよそ 100nm の大きさの構造を評価する解析手法。
ガロア体演算	有限な数の要素からなる集合(ガロア体)を用いた演算手法
カンチレバー	片持ち梁
貫通転位	表面まで達するような転位
キュア	機械的強度を改善させること
吸着分光エリプソメトリ	分子の吸着現象を可視・紫外域の膜屈折率変化として検出する、非破壊の空孔構造評価法
クロックスキュー	Clock skew、同期式设计においてクロックの伝搬遅延 時間の差、配線容量などの理由により発生するタイミングずれ
ゲートスタック	Gate Stack、MOSFET の絶縁膜からゲート電極までの構造
ゲート漏れ電流	ゲート酸化膜薄膜のトンネル効果等による漏れ電流
酸化濃縮法	SiGe 層を高温で酸化することにより Ge を濃縮して、薄膜で高い Ge 濃度の高品質 SiGe 基板を形成する技術。
しきい値電圧	MOSFET がオン状態になる電圧
σ	縮小投影照明下における像形成のコヒーレンス度

縮小投影リソグラフィ	半導体ウエハに MOSFET や配線パターンを縮小して投影露光するリソグラフィ
シュバルツシルト集光光学系	凹面鏡と凸面鏡を組み合わせた集光光学系
乗算器	Multiplier、2 数の乗算を行うためのハードウェアの回路
ショットキー障壁	n 型および p 型半導体と金属の接触において、金属のフェルミ準位が n 型半導体のフェルミ準位より低く、p 型半導体のフェルミ準位より高い場合にはフェルミ準位が一定になるように電子移動が起こり、空間電荷層が発生する。この結果、半導体表面の伝導帯と価電子帯に曲がり、ポテンシャル障壁が生じる。この障壁をショットキー障壁(Shottky barrier)といい、金属、半導体間で整流作用を生じさせる。
スケーリング	トランジスタ、配線の縦、横寸法を等倍縮小し性能を向上する技術
スケラビリティ	複数技術世代に使用可能であること
セルフヒーティング効果	測定時の電流によりトランジスタの温度が上昇する現象
走査トンネル顕微鏡	二次元不純物プロファイル測定技術のひとつ
走査プローブ技術	原子間力顕微鏡に代表されるような、微細加工・微細構造評価技術
ダマシン配線	絶縁膜に配線溝を形成し、絶縁膜上および配線溝内に Cu 等配線形成用の導電層を堆積し、CMPによって配線溝内に導電層を残す研磨を行って形成する埋め込み配線。Damascene とは象嵌細工のこと。
TOF	信号 イオン・光電子等粒子ビームの飛行時間(Time of Flight)信号
TEG	Test Element Group、テスト用のパターンや回路を集積したテストパターン・回路
適応型クロック調整	GA(遺伝アルゴリズム)等を用いて製造後に適応調整を行うクロック調整法
テープテスト	テープによる剥離性から、密着性を求める手法
ドライエッチング	プラズマを用いたエッチング
ナノインプリント	金型に刻み込んだ凹凸を、基板上に塗布した樹脂材料に押し付けて形状を転写する技術
二段階酸化濃縮法	保持温度から酸素雰囲気下で一定昇温速度で昇温し、予備酸化を施し窒素雰囲気下で昇温し酸素雰囲気下に切り替え、酸化濃縮を行う方法
ハーフピッチ	配線等のピッチ(フルピッチ)の半分
バリスティック MOSFET	散乱なくキャリアがチャンネルを走行する MOSFET
パルス IV 測定	短パルスでトランジスタの I-V(電流-電圧)特性を測定するための計測方法
ビットエラー率	BER、送信信号が復号できず、ビットエラーになる確率。エラービット数/トータルビット数で定義
ひずみ Si	Si 膜にひずみを加えることにより MOSFET の性能を向上する技術
ひずみ SOI	ひずみ Si を SOI の Si 層に適用した MOSFET 性能向上技術
プラズマ重合	プラズマ中での重合化学反応
プラズマ CVD	原料物質を含むガスをプラズマ状態に励起する化学気相成長 (Chemical Vapor Deposition) 法
フラッシュメモリ	データの書き込みを電氣的に行い、消去を電氣的に一括して行う半導体メモリ
プリエンファシス	pre-emphasis、あらかじめ送信側で周波数特性や波形の強調を行い、受信側での信号やパルスの劣化を補償する手法

プログラマブル遅延回路	デバイスの遅延回路の遅延値をビット列で制御できるようにした回路
プロセスダメージリカバリ	処理過程で受けたダメージを回復すること
プローブ誘起ラマン測定	AFMプローブ先端の金属粒子による散乱光でラマン散乱を測定する手法
ベータ機	装置メーカーがデバイスメーカー等の顧客に提供し、顧客での開発に使用される装置
ポロジェン	空孔を発生させる前駆体
ポアシール	空孔をシールする膜。比誘電率(k値)を上昇させないシールが望ましい。
ベンチマーク	現状や他との比較を数値評価できる指標
プロセスモジュール	配線、ゲートスタック等まとまった一群のプロセス
マスク	フォトリソグラフィなどの手段によりLSIに転写するパターンを石英、ガラス表面に形成したパターン原版
マスクブランクス	マスクのパターンを形成する前の基板となる石英、ガラス等の原版
ムーアの法則	Intel社の創設者の一人であるGordon Moore博士が1965年に経験則として提唱した「半導体の集積密度は18~24ヶ月で倍増する」という法則
ユニバーサル移動度	反転層の電子移動度
抑制剤	Suppressor、めっきにおいてスルーホール等に液を充填するため、平坦部で膜が形成されることを抑制する薬剤
4点曲げ試験	2点を支持し、2点に加重する、密着性を求めるための試験手法
DMA-TEG	Device Matrix Array Test Element Groupの略。マトリクス状にデバイスを配置し、デコーダで選択しながら測定するTEG構造。
DUT	Device Under TEST、測定するデバイスを示す。
外挿しきい値	線形領域の場合、低ドレイン電圧の状態でのドレイン電圧-ゲート電圧波形を書かせて最大傾斜となる接線を書いたときのx切片を線形の外挿 V_{th} と定義。飽和領域の場合は通常のドレイン電圧をかけた測定での定義。
定電流しきい値	低ドレイン電圧をかけた状態で $I_d=10^{-7}A/\mu m$ 流れるゲート電圧を定電流の V_{th} と定義。飽和領域の場合は通常のドレイン電圧をかけた測定での定義。
ドーピング	シリコン基板にイオン注入等の手段を用いて不純物添加すること。
SCM	Scanning Capacitance Microscopy、走査型容量顕微鏡の略。
SIMS	Secondary Ion Mass Spectroscopy、二次イオン質量分析計の略。
NBD	Nano Beam electron Diffraction、ナノビーム電子線回折法の略。
CBED	収束線電子線回折
SNOM	Scanning near-field optical microscopy、走査型近接場光学顕微鏡の略。微小な先端径の探針(プローブ)の先端に発生する近接場光を光源とした光学測定を行う、走査型プローブ顕微鏡。作用距離が~数十nmの近接場光を利用することによって光の回折限界を超える分解能での光学測定が可能となる。
アトムプローブ	プローブ上に加工した試料と検出器間に高電圧を印加することにより、試料から原子を蒸発させ、その原子分析を行うことで3次元の濃度分布を求める手法。
電子線ホログラフィ	真空中を通過する参照波とチャンネルを通過する物体波からホログラム像を取得し、フーリエ変換することで位相差像を得る手法。得られた位相差像より、チャネ

	ルのポテンシャルの計算が可能。
SNM	Static Noise Margin の略。
I_{on}	MOS トランジスタのオン電流。通常はゲート電圧とドレイン電圧に電源電圧を印加した場合に流れるソースドレイン間の電流のことをオン電流と呼ぶ。
V_{th}	MOS トランジスタのしきい電圧で MOS トランジスタがオン状態になる電圧のこと。その定義は様々であるが、定電流
I_{ds}	MOSトランジスタのソースドレイン間に流れる電流で、ドレイン端子で計測される電流。一般にドレイン誘起ゲート電流等が加わるため、オフ領域でソース電流よりも大きな電流値となる。
I_s	MOS トランジスタのソースドレイン間に流れる電流で、ソース端子で計測される電流。
V_g	MOS トランジスタのゲート電圧。
V_{ds}	MOS トランジスタのドレイン電圧。
DIBL	短チャネルデバイスのドレイン電圧が増加して飽和領域になると閾値の変化はさらに大きくなる。これはドレインの影響が増加することによる障壁低下効果 (Drain-Induced-Barrier-Lowering: DIBL)これはドレイン電圧が増加することによりドレインの電界が表面方向に進入するためだと考えられる。よって DIBL によってドレイン領域の空乏層が伸びてソースドレインへのサブ領域での電流が増加する。

プロジェクト用語集

③特性ばらつきに対し耐性の高いデバイス・プロセス技術開発

(外部擾乱依存の特性ばらつきの物理的理解とモデリング技術の開発)

用語	解説
BSIM4	U. C. Berkeleyが開発したSPICE用コンパクトトランジスタモデルで、現在のデファクトスタンダードモデルとなっている。
CDM	Charged Device Modelの略で、LSIのパッケージに蓄えられた電荷がLSIチップとの容量結合によってLSI内部の回路を経由してパッケージピンから放電する現象を模擬したESDの試験方法。
ESD	Electro-Static Dischargeの略で、物体に蓄積された静電気が放電する現象を指す。
FIT	Failures In Timeの略で、ソフトウェアの発生率の単位。デバイス1個当たり10 ⁹ 時間に何回エラーが発生するかを表す。
Halo	トランジスタの短チャネル効果を抑制するためにソース・ドレインの近傍に配置される、チャネルより不純物濃度の高い領域。Pocketとも呼ばれる。
HiSIM2	Hiroshima University and STARC IGFET Model Ver. 2 広島大学と(株)半導体理工学研究センター(STARC)が共同開発した回路シミュレーション用コンパクトトランジスタモデル。
HiSIM-RP	HiSIM2をベースにMIRAI-Seleteで開発されたリバープロファイリング用コンパクトトランジスタモデル。
HyDeLEOS	Selete-TCADのデバイスシミュレータ。
Ion	トランジスタのドレイン電圧とゲート電圧を共に電源電圧に等しくした時のドレイン電流。オン電流とも呼ばれ、デジタル回路の動作速度を決定する目安となる。
LPE	Layout Parameter Extraction レイアウトデータから寄生容量素子成分を抽出してネットリストに付加する機能。
LVS	Layout Versus Schematic レイアウト図形と回路図を比較照合してトランジスタのL,Wやソース・ドレインサイズの抽出を行ない、これらの情報を反映させたSPICEシミュレーション用のネットリストを作成する機能。
mixed-mode TCAD	トランジスタと回路素子を結合してシミュレーションするデバイスシミュレータの機能。
RC-timer 方式	ESD保護回路方式の一つで、RC時定数でESD保護素子がオンするタイミングを調整する。MOSトランジスタのスナップバックを利用したESD保護回路に比べ、プロセスの影響を受けにくいという利点がある。
S/D-extension	短チャネル効果を抑制するために、本来のソース・ドレインよりも接合深さを浅くなる様に形成したソース・ドレイン領域。
SET	Single Event Transient 中性子線がLSIの論理ゲートに入射することによってトランジスタの動作特性に過渡的な特性変動が生じ、その特性変動が回路中を

	伝播して行き、LSI の誤動作を引き起こす現象。
SPICE	1970 年代後半に U. C. Berkeley が開発した回路シミュレータ。現在は回路シミュレータの総称として使われることが多い。
TCAD	Technology-Computer-Aided-Design プロセス・デバイスシミュレータの総称。
VF-TLP	Very Fast Transmission Line Pulse 同軸ケーブルに蓄積させた電荷を放電させることによって ns オーダーの高電圧・大電流パルスをデバイスに印加し、デバイスのパルス I-V 特性を測定する装置。
オンチップモニタ	「ばらつきとノイズ感度」その場評価 TEG に搭載された増幅器の AC 特性やノイズ信号レベルを測定するために TEG チップの外周に作りつけられたモニター回路。
ガードバンド	アナログ回路への基板ノイズの伝播を防止するため、トランジスタの周囲に設置される連続したウェルコンタクト領域。
寄生バイポーラ効果	基板電流によって基板内に電位降下が生じ、それによってソース端の基板電位が上昇してソースから基板にキャリアが注入されること。
キャリブレーション	モデルが実測値を精度良く再現するようにモデルパラメータの値を調整すること。
中性子線	宇宙線が地球の大気の大気原子核を壊して発生した中性子が地表まで到達したもの。エネルギーは 10MeV~1GeV で、到達頻度は New York City で 13 個/cm ² /hour。電気的に中性であるため物質の透過率が高く遮蔽が困難。
テール電流源	差動増幅器の左右のトランジスタに流れる電流の和を一定に保つために差動入力トランジスタのソースの下に設定されている電流源。
ネットリスト	回路素子間の接続情報や回路素子の特性情報を記載したデータで、SPICE への入力データとなる。
ピエゾ抵抗係数	物質の抵抗率のストレスによる変化率を表す係数。
表面ポテンシャル	MOSFET のシリコン-ゲート絶縁膜界面の静電ポテンシャル。
プリミティブセル	NAND、NOR 等の論理ゲート単位で括ったトランジスタ回路の総称。
ポアソン比	ストレスを加えた方向の歪と、ストレスに垂直な方向の歪との比。
ポアソン方程式	静電ポテンシャルと電荷の関係を記述した方程式。
リバースプロファイリング	トランジスタの電気特性からトランジスタ内部の不純物プロファイルを抽出する技術

④次世代マスク基盤技術開発

⑤EUV 光源高信頼化技術開発

用語	解説
AES	AES はオージェ電子分光 (Auger Electron Spectroscopy) の略であり、Auger 過程により放出された電子のエネルギースペクトルを分析し検査物の表面の組成等を分析する装置。
AFM	AFM は原子間力顕微鏡 (Atomic Force Microscopy) の略である。極めて鋭い先端を持つ測定針 (Stylus) を検査物に近接させ、針の先端と検査物表面の間に働く原子間力を測定し、表面の形状を測定する技術。針に沿う方向では原子レベルの分解能を持つ。
BASE	化学増幅系レジスト材料において、PAGから発生した酸を中和する機能を持った材料。PAGに比べ微量添加することによって、余分な酸を中和する機能を持つ。この機能による解像度向上効果が期待される添加物。
BL-9	兵庫県立大学高度産業科学研究所に設置された放射光施設NewSUBARUのビームラインのうち、比較的長い直線部を有する長尺アンジュレータ(挿入型光源)のビームラインの名称。その特徴は輝度が高く、位相特性がよいこと。
DOF	結像系で必要な分解能の像を得られる像面の調整範囲で焦点深度 (Depth of Focus) という。露光装置では必要なレジスト像が得られる像面の範囲をいう。焦点深度は NA の逆数の2乗に比例するため、NA が大きくなると深度は浅くなる。
DPP(Discharge Produced Plasma) 方式	EUV 光を生じるプラズマを生成するために放電を用いる方法。放電法。ターゲットと呼ぶプラズマ生成物質と大電流パルスパワーを放電部に投入し、放電プラズマを生成させる。放電法では、直接電気で放電プラズマを生成するため、構成が比較的簡単で総合的な EUV 光の生成効率が高く、装置価格や維持費用が低く抑えられるという長所を持つ。
EEM	EEM は弾性放出加工 (Elastic Emission Machining) の略で、加工微粒子を懸濁した液中で回転弾性球を加工面に近接して配置し、表面を通過する微粒子で面の突起部のみを除去し平滑面を形成する技術。大阪大学で開発された日本の技術で、SPRing-8 など放射光施設で用いられる超平滑面ミラーに応用されている。
ETS	EUVLLCで最初の成果物として設定されたもので、EUVテスト露光装置である。Engineering Test Stand (ETS) という。1999年完成を目指した(実際の完成は2001年)。4枚ミラー光学系で、NA0.1、波面収差 14nm (@ $\lambda=13.4\text{nm}$) を目指した。
EUPS(Extreme Ultraviolet Photoelectron Spectroscopy)	産総研で考案された EUV 光を用いた極端紫外光励起光電子分光法。通常用いられているX線励起光電子分光法 (XPS) に対し、XPS の 2 桁近い高い空間分解能が得られる。また、発生する光電子のエネルギーが 50eV 程度であり、試料の最表面 1~2 原子層の情報に高敏感 (XPS の数倍) である。EUV 光源の光学素子では原子層レベルの超微量汚染検出が可能で、反射率測定での汚染評価に比べて 2 桁以上の高感度が期待できる。
EUVLLC	EUVLLC (EUV Limited Liability Company) は1996年にIntel、AMD、Motorolaが中心となって創設された企業体で、資金管理、テーマ運営と特許管理をする会社。後に、マイクロン (Micron Technology) 社、インフィニオン・テクノロジーズ (Infineon Technologies) 社、2001年にはIBMが参加した。
IBF	IBF はイオンビーム加工 (Ion Beam Figuring) の略で、絞ったイオンビームを加工面に照射し凸部を選択的に除去する技術。イオンビームの径で一度に加工できる領域を変えることができる。加工能力はイオン電流、加速電圧、ビームスキャン速度 (あるいは滞留時間) で調整できる。
LER(ラインエッジラフネス)	レジストパターンの周辺におけるパターンの凹凸を言う。レジストを構成する分子の大きさが、パターン全体の大きさに比べて無視できないような状況となったことや、化学増幅系レジストにおける、反応主体である酸の拡散距離、さらには露光に用いる光子の数のゆらぎ等が原因で、パターンエッジが揺らぐ現象。

LPP(Laser Produced Plasma)方式	EUV 光を生じるプラズマを生成するためにレーザーを用いる方法。レーザー法。ターゲットと呼ぶプラズマ生成物質を EUV 発生チャンバに投入し、高強度短パルスレーザーで照射してプラズマを生成させる。レーザー法では、プラズマ周囲の空間的制約が少ないため、大きな捕集立体角を持つ集光ミラーや、プラズマからの熱やデブリ遮蔽の機構を設置することも可能である。
MOPA(Master Oscillator Power Amplifier)システム	発振器と増幅器より構成されたレーザーシステム。励起されたレーザー媒質に発振器からのシード光を通し、誘導放出を利用して出力を増強させる方法。増幅器は光共振器を使わないため、構造は単純だが、自然放出光による雑音(レーザー発振に寄与しない上準位からの緩和)が加わり易い。大きな出力強度(パワー密度)を通して上準位を速やかに枯渇させることで雑音を低減できると考えられる。
NA	光学系の光軸と最外光線のなす角 q の正弦に屈折率を乗じたものを NA (Numerical Aperture = $n \sin q$) 開口数という。投影光学系では大きいほど分解能が高くなる。
OPC	OPC は光近接効果補正 (Optical Proximity Correction) の略である。回路パターンが微細になると光の回折の影響で角が丸くなったり、隣接パターンが接触したりする現象が生ずる。これを防止するためにマスク上のパターンを補正し、正しいパターンの転写ができるように補正する。この補正を光近接効果補正という。転写されないサイズの微細パターンを付与したりするため、電子ビーム描画のデータの増大、微細パターン検査の負荷の増大、データ変換と描画時間の増大等コスト上昇の要素が極めて大きくマスク価格の高騰を招いている。
PAG (光酸発生剤)	Photo Acid Generator の略。光等のエネルギー線の照射によって、酸を発生させる機能を持つ材料。
PSD	Power Spectral Density (PSD) は面粗さの周波数成分を分解能で規格化して表示したもの。面のフーリエ係数の2乗を表示したのがパワー密度とすると、それを分解能で規格化したもの。
RET	RET は解像力向上技術 (Resolution Enhancement Technology) の略である。従来の方では解像力不足のためパターン転写に限界がある。これを解決する手段として円環照明、四重極照明などの変形照明、位相変化を利用した位相型マスク等種々の技術を利用して解像力を向上する技術をいう。OPC もその一種である。
RF (Radio Frequency) CO ₂ レーザ	ラジオ周波数でレーザー媒質を励起する CO ₂ レーザ。電波法に準じ、周波数として 13.56MHz と 40.68MHz が良く使われる。しかし、実験室では 100MHz 以上の周波数で励起されることもある。RF CO ₂ レーザは大きく 2 種類に分類できる。強制冷却方式の高速同軸流 (Fast-Axial-Flow) タイプと拡散冷却方式のスラブ (Slab) タイプの 2 種類がある。
SIMS	SIMS は二次イオン質量分析装置 (Secondary Ion Mass Spectroscopy) の略である。セシウム (Cs)、酸素 (O)、ガリウム (Ga) などのイオンを照射し、反跳してくる二次原子のエネルギーを分光し、被検査物の組成を分析する装置。
TEA (Transversely Excited Atmospheric) CO ₂ レーザ	レーザーの出射光軸と放電方向が直交し、ガス圧が大気圧程度またはそれ以上である CO ₂ レーザ。ガス圧が高いため、連続放電が困難である。そのため、レーザー発振の形態はパルス発振である。
VNL	EUVLLC で実質的な開発を担当するメンバを国立三研究所に集めた。その全体を Virtual National Laboratories (VNL) とよぶ。三研究所とは Lawrence Livermore National Lab (リバモア)、Lawrence Berkeley National Lab (バークレー)、Sandia National Lab. (サンディア) である。
XANES	X-Ray Absorption Near Edge Structure (XANES) は吸収端近傍構造による分析法で、配位構造や結合の電子状態にも敏感である。
XPS	X-ray Photo-emission Spectroscopy の略。X線を照射し放出される電子のエネルギーを分析して元素の結合状態を測定する手法。化学結合状態で電子の軌道エネルギーがシフトするので、ケミカルシフトを検出する。

粗さ	レンズやミラーの加工面の凹凸で、その周期から低空間周波数粗さ(LSFR)、中間空間周波数粗さ(MSFR)、高空間周波数粗さ(HSFR)に分類される。各領域の空間波長としては、順に有効径 $\sim 1\text{mm}$ 、 $1\text{mm}\sim 1\text{mm}$ 、 $< 1\text{mm}$ とすることが多い。ミラー光学系の場合 LSFRは結像性能に、MSFRはフレアーに、HSFRは反射率の低下に影響を与える。
アンジュレータ	電子蓄積リングの直線部に軌道の上下に極性を交互に変えて比較的弱い磁石列を配置したものをアンジュレーター(Undulator)という。この磁石間を電子が通ると、軌道面内で正弦波的な蛇行運動が起こり蛇行軌道上で間断なく放射光を発生する。発生した光は互いに干渉し合うので、輝度が高く特定の波長にピークを持つスペクトルがえられる。
液浸リソグラフィ	UV露光装置の投影光学系の最終レンズとウエハの間に屈折率の高い液体を入れ、実効波長を短縮しNAを増大する技術。KrF、ArF露光機では液体として純水を用いる。歴史的には光学顕微鏡の対物レンズと被検物の間に油を入れ解像力向上にもちいられた。
エタンデュ	エタンデュは光束の面積と広がり角(立体角)の積で定義される量である。光学系の中でエタンデュは一定であり、光源側のエタンデュ(光源面積と発散立体角の積)は照明領域のエタンデュ(照明領域の面積と照明光立体角の積)により制限される。光源側のエタンデュが大きいと、有効利用出来ない光束の割合が増加する。
オパシディ	光学的厚さ。 発光体表面の明るさは、発光体の厚さ d に比例するので、大きなパワーのためには、発光体を厚くする必要がある。一方で、発光体自身にも、波長に依存した吸収 k_f があるため、発光体を無限に厚くしても無限に明るくはならず、飽和する。飽和輝度 I_{black} は、黒体輝度と呼ばれ温度のみで決まる。 つまり光源の明るさ I は、 $I = I_{\text{black}}(1 - \exp(-k_f d))$ で与えられる。 オパシディ=光学的厚さ t は $t = k_f d$ と定義され、光源の明るさを決める重要なパラメータである。
化学増幅系レジスト	光等のエネルギー線により酸を発生する酸発生材から発生した酸の触媒作用によって、レジストの現像液に対する溶解特性を制御することでパターンを形成することを特徴とするレジスト材料の総称。ポジ型では、アルカリ可溶性の材料の一部を保護基によって保護し、これに酸発生材からの酸が触媒となり、保護基が外れることで、アルカリ可溶になる系が多い。ネガ型では、酸の触媒作用で、架橋が進むなど、現像液に対する溶解性が低下することや、溶解性の極性が変化することなどを利用する系が多い。
干渉計	光の干渉を利用してレンズやミラーなどの加工面形状を計測する装置。精度向上のために光路を参照光と検査光で共通にした(コモンパス)Fizeau(フィゼー)干渉計を用いられることが多い。
光線追跡シミュレーション	系内のある物体への入射光特性(エネルギーと方向など)を与え、その物体からの射出光特性を計算することを繰り返して光の伝播をシミュレーションすること。照明解析やコンピュータグラフィクスなどに適用されている。
高分子レジスト	ベースとなるレジスト樹脂の分子量が比較的大きなレジスト材料で、従来の光リソグラフィ技術で利用されている材料の主流。
コンタミネーション	真空中で用いられる反射ミラー上に炭化水素が堆積すること、金属ミラーの表面の酸化も含める。ミラーのコンタミネーションにより反射率が低下する。EUV用多層膜ミラーは理論反射率でも70%前後のため、コンタミネーションによる反射率低下が数%でもシステムの性能の低下を及ぼす。堆積防止と除去がテーマ。
酸拡散距離	光等のエネルギー線の照射により発生した酸の拡散する距離を言う。この距離が長い場合、多くの反応点と酸が反応する可能性があり、触媒効果が大きくなり、高感度化する可能性が高い一方、エネルギー線の入射点から遠い部分まで、その影響が及ぶこととなり、解像性が低下する等の問題点がある。
磁気パルス圧縮型電源	可飽和リアクトルのスイッチング機能(非飽和時に OFF、飽和時に ON)を利用して短パルス電流を供給する電源。半導体スイッチの採用で高繰り返し用途に適し、信頼性が高い。

斜入射集光ミラー	反射面への光の斜入射角を臨界角より小さくし、光の全反射を利用した集光ミラー。光の干渉効果を利用する多層膜(直入射)ミラーとは異なり反射面は単層膜でもよく、斜入射角が10度以下で90%近い反射率が得られる。
集光点出力	プラズマからの EUV 光を集光ミラーで集光した集光点での出力。集光ミラーの捕集立体角、集光ミラーの反射率、EUV チャンバ内の EUV 透過率などの EUV 損失により、発光点出力から大きく出力は低下する。EUV 光源から露光装置に送られる EUV 出力値として重要な値である。
Zr フィルタ	Zr の薄膜は、13.5nm 近傍において比較的高い透過率を有し、かつ他の波長帯の光は透過しない性質を有している。この性質を利用して EUV 以外の波長を遮断するフィルターとして用いられる。
直入射集光ミラー	回転楕円面鏡または2つの球面鏡を組み合わせた集光ミラーであり、反射面への入射が比較的垂直入射に近い。ミラー表面には Mo/Si 等の多層膜反射面が形成されている。
発光点出力	プラズマから四方に発生する EUV 光を、立体角 2π あたり、波長域 13.5nm の 2%band width に規格化して示される EUV 出力値。一次光源出力とも呼ばれる。
プロセスファクター (k1, k2)	結像系の分解能(R)と焦点深度(DOF)を波長と開口数 NA とで (λ/NA) 、 $(\lambda/(NA)^2)$ と表すとき、それぞれにかかる比例係数を k_1 、 k_2 という。実際の装置における分解能と焦点深度はプロセスにより変わるのでプロセス係数という。 k_1 の理論値は0.25であるが実際は0.3より大きい条件しか使えない。また k_2 は0.8~1.0程度の値である。($R=k_1 \lambda / NA$ 、 $DOF=k_2 \lambda / (NA)^2$)
分子レジスト	ベースとなるレジスト樹脂の分子量が単分子から構成されるレジスト材料の総称で、様々な機能を単分子に凝縮することで、母体となるレジスト分子によるパターンエッジの凹凸を抑制できる可能性があり、LERの低減手段として注目されている。
変換効率	プラズマ生成のために直接的に投入したエネルギーに対するEUV発光点出力(立体角 2π あたり、波長域 13.5nm の 2%band width)の割合。投入エネルギーは、レーザー法ではレーザー出力、放電法では放電電極への注入電力を用いることが一般的である。
捕集立体角	プラズマからの EUV 光を集光ミラーで集光する立体角のこと。レーザー法ではプラズマ周辺の空間的自由度が大きく大径集光ミラーをプラズマ近傍に設置できるので、比較的大きな捕集立体角 ($\geq \pi$) が確保できる。放電法ではプラズマからの EUV 光が隣接する電極に遮られるため、レーザー法に比べて捕集立体角を余り大きく取れない。
面精度	光学系の結像性能を決める要素。収差がある像の強度が無収差像の強度の90%であるとき、許される波面収差は $\lambda/14$ 以下といわれている(Marechal 基準)。ミラー光学系では形状誤差が2倍にきくこと、6枚ミラー系では一枚あたりの誤差は $1/\sqrt{6}$ とすべきことを考慮すると、ミラー一枚の面精度は $\epsilon = \lambda / (14 * 2 * \sqrt{6}) \sim 0.2\text{nm rms}$ となる。
Mo/Si 多層膜ミラー	高屈折と低屈折率材料を、波長の 1/4 程度の厚さで交互に多層膜構造を形成すると設計波長において高い反射率が得られる。波長 13.5nm においては、吸収の少ないモリブデン(Mo)とシリコン(Si)が用いられる。
レーザー強度 (Intensity)	レーザーパルスのピーク強度を定義する。レーザー強度は以下の式より定義される。 レーザー強度=レーザーエネルギー密度[J/cm ²] / パルス全幅半値[s]

I. 事業の位置付け・必要性について

1. NEDO の関与の必要性・制度への適合性

1.1 NEDO が関与することの意義

情報技術がめざましく発展している今日の社会では、情報・知識を時間や場所の制約を受けず誰もが自由自在かつ安全に活用できる情報通信環境の実現が望まれている。また平成 19 年 6 月に改訂された経済成長戦略大綱において、我が国の国際競争力強化のために注力すべき分野として、情報家電、ロボットなどが挙げられている。このような応用システムにおいて基幹となる先端半導体 LSI 技術においては、今後進展する微細化に対する課題解決が不可欠である。また、上記分野においてはさらなるモバイル化、ユビキタス化が進展するため、それに伴って、半導体 LSI の高機能化、低消費電力化へのニーズはますます強くなるものと予測される。また NEDO が編纂した NEDO 技術ロードマップ(平成 21 年版)が示すように、我が国にとって重要な半導体 LSI はその実現のためには多くの技術開発が必要となっている超低消費電力のシステム LSI である。本プロジェクトは、このような要求を満たすシステム LSI やメモリ等の高機能・低消費電力 LSI の実現に必要な半導体デバイス・プロセス基盤技術の確立を目的として、IT イノベーションプログラム、エネルギーイノベーションプログラムの一環として実施されている。

これまで、半導体デバイスは、微細・高集積化することにより、着実に高機能・高性能化と低コスト化を実現してきた。これが 30 年以上にわたり 3 年毎に 4 倍という目覚ましい勢いで高集積化を果たしてきた大きな原動力と考えられる。このためには、量産化・製品開発段階に加え、次世代、次々世代、さらにこれらを支える基礎研究等、多段階の技術開発を同時並行的に進めなければならない。最近では、微細・高集積化の進展に伴い、開発すべき技術課題の難度と、その克服に要する研究開発資源が増大してきており、民間企業のみでは十分な対応が困難となっている。

本プロジェクトは、そのhp65nm¹からhp45nm以降まで広い技術世代に向け、最重要と考えられる技術課題の克服にチャレンジするものである。これらの技術課題は非常に難度が高いため、物性、材料、反応等の基本に立ち戻って科学的知見を活用し、これを産業技術へ繋げていくという、サイエンスとエンジニアリングが融合一体となった取り組みが必要である。このため、産学官の英知を結集して当たる必要があり、国家プロジェクトとしてNEDOが関与すべきものと考えられる。

本プロジェクトが対象としている技術課題は、今後の微細・高集積化を進める上で重要な鍵を握る技術に関わるものであり、世界に先駆けてこれらの課題を克服することは、我が国半導体産業の国際競争力強化に不可欠な要件である。半導体デバイスの高度化は、関連する半導体製造装置、材料等の関連産業においても、技術の高度化を促進するものであり、国際競争力の強化に寄与することとなる。また、半導体 LSI は、情報通信分野はもとより、広範な産業分野(家電、自動車、モバイル、ロボット等)に応用され、高付加価値の新製品開発と、それによる競争力強化に貢献するものと期待される。さらに、半導体とその関連技術は、バイオ、MEMS、NEMS、ナノテクといった新興成長分野を根底から支え、変革していく技術的原動力となっており、将来の新規産業創出等、極めて大きな波及効果が期待されている。

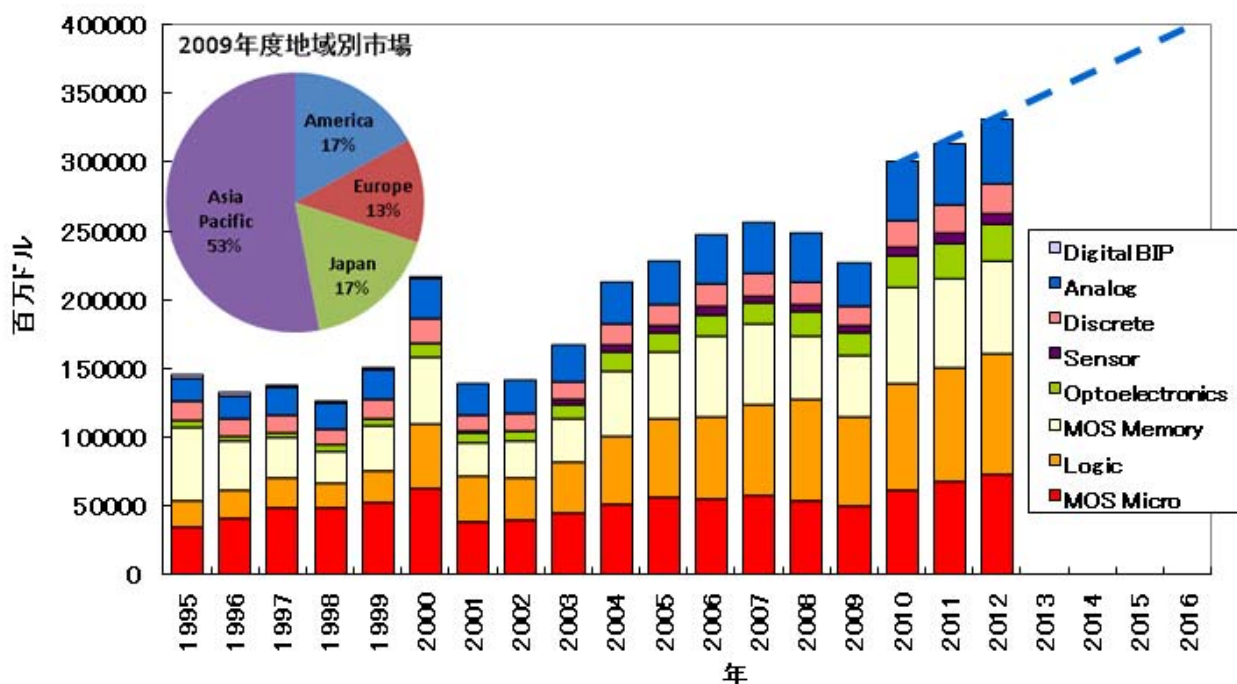
以上のように、本プロジェクトは、開発課題の性格上、産学官の英知を結集して開発を行う必要があることに加え、我が国半導体とその関連産業の国際競争力強化、および国家的重点目標である高度情報化社会の実現に寄与するものであり、さらには、広範な産業分野への大きな波及効果が期待され、産業政策・情報政策の面からも極めて重要な課題であることから、国家プロジェクトとして NEDO が関与すべきものと考えられる。

¹ITRS では 2004 年まで DRAM の配線ピッチの 1/2 をハーフピッチ (hp) とし、これをテクノロジノードに変えて使用した。2005 年版 ITRS からは DRAM 以外のハーフピッチも併記され、フラッシュメモリの第一層金属配線(ビット線)のハーフピッチが最小である。ここでは半導体 LSI 技術レベルの指標として hp を用いる。

1.2 実施の効果(費用対効果)

本プロジェクトが対象としている技術の開発により、情報通信機器の高機能化、低消費電力化の要求を満たすシステムLSI実現など、将来幅広い産業分野で利用される共通基盤技術の形成が見込まれる。その成果は、モバイル・携帯機器、デジタル家電等において、その情報処理部分の中核を支えている半導体集積回路とそれを製造する際に必要となる製造装置・材料などに直接波及する。また、これらの産業以外にも、半導体集積回路を用いた情報通信・デジタル情報家電産業や情報処理・記憶装置等の産業、あるいは機器と人とのインターフェースとして機能する電子デバイス・ディスプレイデバイス等の産業に波及する。また、これらを使用する自動車、車両、ロボット、情報通信ネットワークを利用した安全システム等、社会生活の根幹を形成する産業にも広く波及する。

I-1-1.2-図1に1995年から2010年までの半導体世界市場と2016年までの予想を示す。半導体市場は様々なデバイスの売上で構成されており、本プロジェクトに直接関係するシステムLSIおよびメモリの市場は、図中の「Logic」、「MOS Micro」および「MOS Memory」の合計を想定している。半導体市場規模は、2009年に世界的な不況により一時減少するが、2010年以降回復すると予想される。2010年以降市場が年5.1%で成長すると仮定すると、hp22nmデバイスの量産開始が見込まれる2016年には世界市場規模は40兆円になる(1ドル100円換算)。このうちシステムLSIの世界市場規模は半導体市場全体の約50%と仮定すると、本プロジェクトに係わる市場規模は20兆円と推計される。また2016年のメモリの世界市場規模は、半導体市場全体の約25%と仮定すると、本プロジェクトに係わる市場規模は、10兆円と推計される。



I-1-1-2-図1 半導体世界市場、システムLSI関連市場の年次推移(WSTSデータを集計)

以上の試算は、本プロジェクトの成果が直接及ぶと考えられる LSI に限ったものであり、LSI の製造装置および各種応用機器まで含めると、さらに大きな効果がもたらされるものと考えられる。高機能・低消費電力システム LSI が実現すれば、生活空間のあらゆる場面での活用が進み、情報通信システムの高度化、生活・医療サービス、高齢者支援、デジタル家電の知能化など、幅広いサービスが実現し、大きな新市場創出につながる事が期待できる。

また、省エネルギーに関して本プロジェクトの効果を試算すると、半導体デバイスの微細化が進行した結果削減される LSI 消費電力量は、2020 年に 11.6TWh、2030 年に 22TWh になる。これを石油消費量削減効果に換算すると、それぞれ、274 万 kl、519 万 kl に相当する。

2. 事業の背景・目的・位置付け

2.1 背景および目的

日本経済が将来に渡って持続的発展を続けるためには、その原動力として電子・情報通信産業の健全な発展が不可欠である。国際的視点からも電子・情報通信産業の進展なくしては、日本が先進国としての地位を占め、その役割を果たしていくことは難しいと言える。半導体デバイスは、電子機器、情報通信機器の機能・性能を決定付ける重要な構成要素であり、機器の高性能化、小型化、低消費電力化等のニーズの高まりにつれ、益々その重要性を高めている。半導体技術の進歩が、電子・情報産業の発展の鍵を握っていると言っても過言ではない。

一方、日本の半導体産業の状況を見れば、80 年代後半から 90 年代初頭にかけて、世界市場の過半を制する勢いであったが、その後海外企業の台頭により年々国際競争力が低下してきた。前述の通り、半導体デバイスの性能・機能の向上に対する際限のないニーズの高まりに対応して、技術的障壁は益々高度なものとなり、その克服は極めて重要な課題となっていた。このため、産業界においても次世代の半導体技術の開発に対して国家資金を投入することの必要性について要望・提案がなされた。

こうした背景のもとで、通商産業省(当時)／NEDO において検討の結果、以下に示す本事業「次世代半導体材料・プロセス基盤技術開発(半導体 MIRAI プロジェクト)」が開始されることとなった。また同時に、民間主導のあすかプロジェクトが発足し、両者の連携のもとに産学官の力を結集して半導体技術開発を進めることとなった。

本事業の第一期・二期(2001～2005 年度)においては国際半導体技術ロードマップ(ITRS2001)に示されている技術課題の内、2007～2010 年頃までを見通し、重点的に推進すべき研究開発課題として次世代(hp65nm)および次々世代(hp45nm)に向けた新材料、プロセスモジュール、デバイス技術等の開発を目的とした。一方、あすかプロジェクトにおいては、より直近にあたる hp90～65nm を主要ターゲットにして、量産対応のプロセス・デバイス技術、および設計技術の開発を行うこととした。

半導体は、電子機器、情報機器を構成している様々な機能を持った要素システムがひとつのシリコンチップ上に集積されたシステムオンチップ(SoC)の時代に入りつつあった。これまで前述のように微細化、高集積化により機能や性能の向上を果たしてきたところであり、今後もその要求は高まっていくことが見込まれるが、微細化の進展に伴い、技術的限界が見え始めていた。国際半導体技術ロードマップ(ITRS2001)においても、次世代、次々世代にあたる hp65-45nm 以細においては、これを実現するための技術的方策が未解決とされていた。

第一期・二期の開発対象は、このような微細化の進展に不可欠で、極めて難度が高い技術課題として下記の 5 課題に焦点を絞って開発に取り組んできた。開発成果については、実用化に結びつく重要技術をタイムリーに開発し、産業界へのすみやかな技術移転を図ることにより、我が国半導体産業の発展に貢献することを目指した。

- ①高誘電率ゲート絶縁膜材料・計測・解析技術開発
- ②低誘電率層間絶縁膜材料・計測・解析技術開発
- ③将来のデバイスプロセス基盤技術開発
 - ③-1 トランジスタ構成材料計測解析技術の開発
 - ③-2 ウェハ、マスク関連高精度計測技術の開発
 - ③-3 回路システム技術の開発

また本事業は、平成 15 年度(2003 年度)より経済産業省において、研究開発の成果が迅速に事業化に結びつき、産業競争力強化に直結する「経済活性化のための研究開発プロジェクト(フォーカス 21)」と位置付けられており、次の条件のもとで実施された。

- ・技術的革新性により競争力を強化できること。
- ・研究開発成果を新たな製品・サービスに結びつける目途があること。
- ・比較的短期間で新たな市場が想定され、大きな成長と経済波及効果が期待できること。
- ・産業界も資金等の負担を行うことにより、市場化に向けた産業界の具体的な取組が示されていること。

産業界の具体的な取組とは、「あすかプロジェクト」における(株)半導体先端テクノロジーズ(Selete)が実施した先端デバイス・プロセス技術の研究開発である。MIRAI と Selete では隔月で打ち合わせの場を持ち、両者の研究開発の連携を深めた。「あすか」はモジュール開発を最終目標に、より実用的な技術開発を担うのに対し、MIRAI は科学的なアプローチによる基盤技術開発を担当した。MIRAI は「あすか」の 1 世代先という区別をされることがよくあるが、ことはそう単純ではなく、両者で異なる研究開発のアプローチを取り、互いに相補的である点が本質である。MIRAI の科学的アプローチによる現象解明が「あすか」の開発に直接フィードバックされる場合もある。

研究開発の進捗と伴にプロジェクト成果が出てくる一方、微細化の技術開発は進んできた。産業界は、あすかプロジェクトが終了する 2006 年度以降の共同コンソーシアム活動のあり方について、半導体産業研究所(SIRIJ)に第 2 次半導体新世紀委員会(SNCC)を組織し、MIRAI プロジェクト実施者、NEDO、METI も委員に加わり、検討を行った。2004 年 5 月に第 2 次 SNCC 提言が示され(JEITA プレスリリース 2004 年 6 月 10 日)、さらに、この第 2 次 SNCC 提言を具体化するため SIRIJ に組織された、つくば R&D センター準備委員会(MIRAI 実施者は委員、NEDO と METI はオブザーバ参加)における議論、NEDO および METI が実施した個別企業からのヒアリング、産業界と MIRAI 実施者と NEDO および METI の協議などから以下の課題が明らかになった。

- ・hp45nm の材料・プロセス技術の選定が行われる 2007 年頃までに、FEP 及び BEP のモジュール開発を終える必要がある。
- ・極限微細化技術や、新構造 CMOS の研究開発などの先端的基盤技術研究は引き続き重要。
- ・hp45nm では EUV リソグラフィ(極端紫外線リソグラフィ)が候補のひとつ。光源、光学系開発は行われているが、EUV リソ・マスク関連の総合的技術開発は行われていない。

上記課題を解決するために、NEDO は MIRAI プロジェクトの運営について 2005 年 2 月に以下の方針を固めた。

- ・MIRAI プロジェクトの hp45nm 関連の要素技術の成果を、2005 年度末に Selete に移転し、Selete において一元的にモジュール開発を実施する。
- ・MIRAI プロジェクトでは、2006 年度以降、極限微細化技術や新構造 CMOS 開発などの先端的基盤技術開発を中心に行う。
- ・hp45nm の実用化を図るために、EUV リソ・マスク関連の技術開発を、早期に立ち上げる。

上記方針に基づき、2006 年度以降の展開を見定めた上で戦略的に 2005 年度の研究開発を行うこと、2006 年度からの研究開発計画を取りまとめて MIRAI 基本計画を改定することが決定された。

このような背景のもと、2006 年度からは、半導体の微細化に関しては、hp45nm を越えるデバイス実現に必要な革新的基盤技術を、産業界において自ら実用化に向けた展開を図る際の判断ができる水準まで技術開発を行い、技術選択肢として提示することを目的とした。また、EUV リソグラフィに関しては、hp45nm～hp32nm に適用できる高精度・低欠陥 EUV リソグラフィ用マスクの技術基盤技術確立を目的とした。これらの具体的な課題として第三期は下記の 4 課題に焦点を絞って開発に取り組むこととした。

I. 次世代半導体材料・プロセス基盤技術開発

- ① 新構造極限 CMOS トランジスタ関連技術開発
- ② 新探究配線技術開発
- ③ 特性ばらつきに対し耐性の高いデバイス・プロセス技術開発

II. 次世代半導体露光プロセス基盤技術開発

- ④ 次世代マスク基盤技術開発

平成 19 年度末の中間評価以後、情勢変化を検討し、新構造極限 CMOS トランジスタ関連技術については、新構造トランジスタと極限 EOT (Equivalent Oxide Thickness) ゲートスタックの技術についてのサイエンスの深堀と実証が一定の段階に達したことから、平成 19 年度末に関連コンソーシアムを含めた産業界に成果を移転して開発を終了するとともに、平成 20 年度から新たに、hp32nm を越える技術領域で顕在化するキャリアのバリスティック輸送現象の総合的な最適化を図るバリスティック CMOS 技術開発に取り組むこととした。新探究配線技術は hp32nm 以細の技術領域で、また、特性ばらつきに対し耐性の高いデバイス・プロセス技術は hp45nm を超える技術領域で消費電力や信頼性の課題を解決する革新的技術であることが示され、また産業界においてプロジェクト終了時に自ら実用化に向けた展開を図る期待が大きい技術であると判断されたことから、平成 22 年度までの具体的な成果達成目標を設定して技術開発を行うこととした。

また、EUV リソグラフィに関しては、hp32nm 以細に適用できる高精度・低欠陥 EUV リソグラフィ用マスクの技術基盤確立を目的とした。具体的には EUV リソグラフィ用マスクの解析・評価技術、コンタミネーション制御技術、欠陥検査技術、欠陥修正技術、及びペリクルレスハンドリング技術等の開発を行うこととした。平成 20 年度からは、上の開発と平行して、量産に適用できる EUV 光源の高信頼化技術の開発を行い、具体的には、光源起因マスク、ミラーの汚染評価技術、集光光学系などの清浄化技術を開発することとした。これらの具体的な課題として平成 20 年度より下記の 5 課題に焦点を絞って開発に取り組んだ。

I. 次世代半導体材料・プロセス基盤技術開発

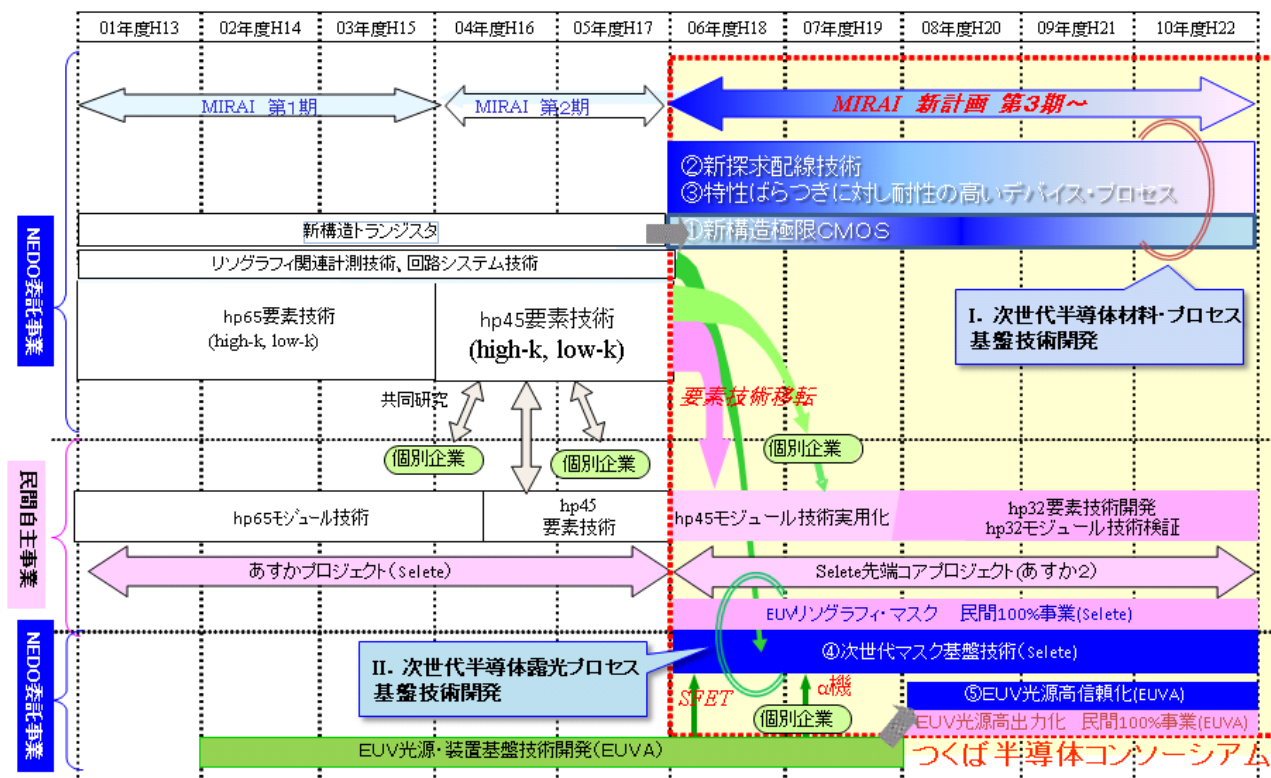
- ① 新構造極限 CMOS トランジスタ関連技術開発
- ② 新探究配線技術開発
- ③ 特性ばらつきに対し耐性の高いデバイス・プロセス技術開発

II. 次世代半導体露光プロセス基盤技術開発

- ④ 次世代マスク基盤技術開発
- ⑤ EUV 光源高信頼化技術開発

2.2 第三期の事業の位置付け

第一期から第三期までの研究開発項目の推移と事業の位置づけ及び民間事業との分担を I-2-2-2-図1 に示す。本プロジェクトは第三期から、つくば半導体コンソーシアムの事業の一環として進められている。つくば半導体コンソーシアムは産学官連携した半導体の研究開発を行うもので、民間企業では MIRAI 第一期、第二期の成果を含めた hp45nm モジュール技術を実用化することに注力し、一方、MIRAI では hp45nm を超える領域をターゲットとした研究開発を進めた。特に「II. 次世代半導体露光プロセス基盤技術開発」では、hp32nm 以細のリソグラフィ技術として有望な EUV リソグラフィの技術開発に特化し、デバイス開発に先行して微細化を推進し、半導体デバイスの高度化に資することとした。



I-2-2-2-図1 MIRAI プロジェクトの再編とつくば半導体コンソーシアム

第三期の「I. 次世代半導体材料・プロセス基盤技術開発」における3課題の技術的位置づけ及び必要性を次に示す。

①「新構造極限 CMOS トランジスタ関連技術開発」

hp32nm を越える技術領域では、微細化を進めることにより CMOS の電流駆動力が低下するため、革新的新技術の導入が必須である。具体的には、MIRAI 第3期前半までに既に開発済みの高移動度チャネル材料技術やひずみ導入による高移動度化技術の利用に加えて、「バリスティック効率」を向上することが求められている。また、微細化に伴う素子構造の縮小化により不純物分布のばらつきが信頼性の点で課題とされているが、不純物への衝突散乱が少ないバリスティック効率の向上は、ばらつきの低減を行うことが可能となり、最終的にはトランジスタ動作の信頼性向上に結びつけることが期待できる。このためにはシリコン

MOS トランジスタのソース・ドレインの材料・構造、チャネル材料・構造を制御してバリスティック効率を向上させオン電流を増大させることが強く求められている。

②「新探究配線技術開発」

hp32nm 以細の技術領域においては、従来の低誘電率層間絶縁(Low-k)膜と銅(Cu)配線の多層配線では信号遅延・電磁干渉・消費電力・電流密度などの課題が顕在化し実現が困難となる。微細化に伴う配線表面や結晶粒界における電子散乱により Cu の抵抗率が増大するだけでなく、微細化に伴い Cu ビアに流れる電流密度が限界に達する。これらの問題に対し、従来技術の延長線上には抜本的な解決策が見あたらない。従来技術とは異なる発想に基づく新探究配線技術の研究開発に取り組み、実用化開発に向けての指針を提示することが求められている。

③「特性ばらつきに対し耐性の高いデバイス・プロセス技術開発」

半導体 LSI では、微細化と共にデバイス特性のばらつきが顕著になってきた。hp45nm を越える技術領域に向けて、特性ばらつきが正常な回路動作の大きな障害になると予想される。この問題に対処するには、半導体材料・プロセスからシステム設計に至る多面的なアプローチが必要である。その中でも、デバイス特性ばらつきの解析・物理的理解・モデリングは製造・設計歩留まりの向上を実現できる共通基盤技術として不可欠なものである。さらに、これらの知見に基づき、半導体材料・プロセス・デバイス面から特性ばらつきに対処する基盤技術開発が求められる。

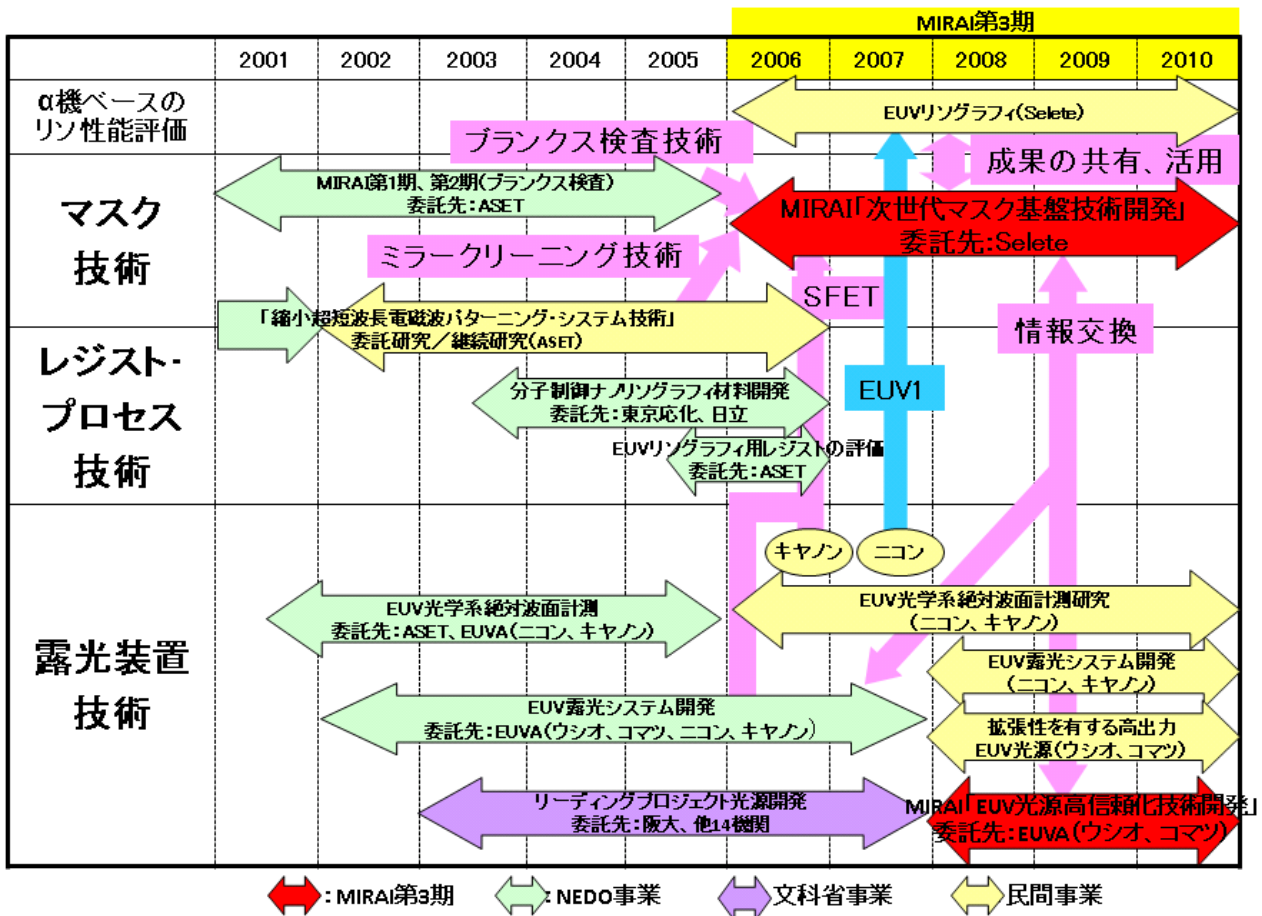
次に、「Ⅱ. 次世代半導体露光プロセス基盤技術開発」の2課題である「④次世代マスク基盤技術開発」「⑤EUV 光源高信頼化技術開発」に関する EUV リソグラフィについて、そのリソグラフィ技術内での位置付けを示す。

I-2-2.2-図 2 は、hp45nm 以細の半導体デバイスを量産するための光を用いたリソグラフィ技術の候補とその適用範囲を示したものである。図中の候補のうち、ArF 水液浸(NA1.35)は hp45nm で原理的に微細化の限界を迎える。その先の世代への微細化に対応できるリソグラフィ技術としては、ArF 高屈折率液浸(NA1.65)、ArF 水液浸/ダブルパターンニング、EUV リソグラフィが候補に挙げられる。これらの中で ArF 高屈折率液浸(NA1.65)は、硝材開発等が難航しており、2008 年現在、露光機メーカーでの開発は停滞している。また、ArF 水液浸/ダブルパターンニングは、hp32nm の Flash メモリへの適用の最有力候補として開発が進んでいる。しかし、技術の延命が hp20nm 台までであること、また、ロジック LSI への適用は、パターン分割の難易度が高く不透明であること、という課題がある。一方 EUV リソグラフィは、光源、マスク、レジスト等、新規に開発する項目が多いが、hp32nm 以細の複数世代で適用できる技術である。よって、露光方式の解像性能ポテンシャルを考慮すると、EUV リソグラフィが hp32nm 以細の領域で最も有望な量産リソグラフィ技術候補と考えられる。

生産年	2007	2008	2009	2010	2013	2016
DRAM 1/2 Pitch	65	57	50	45	32	22
ArF水液浸 (NA1.35)	(k1=0.4)	hp57nm	(k1=0.35)	hp50nm	微細化の限界	
ArF高屈折率液浸 (NA1.65)		(k1=0.4)	hp47nm	(k1=0.35)	hp41nm	開発の停滞
ArF水液浸 (NA1.35) / ダブルパターンング		(k1=0.5)	hp72nm (=hp36nm)	(k1=0.35)	hp50nm (=hp25nm)	微細化の限界
EUVL (NA0.25/0.35, k1=0.5)				EUVLにより微細化を進展 (NA0.25) (NA0.35) hp27nm hp20nm		

I-2-2-2-図2 hp45nm 世代のリソグラフィ技術候補とその適用範囲

以上のように、EUVリソグラフィは有望な微細化技術であるが、最終的に半導体製造に採用されるためには、多くの課題がある。それらの課題に対応する我が国の開発体制と、本プロジェクトの位置付けをI-2-2-2-図3に示す。図において、マスク、レジスト、リソインテグレーション、光学系・装置開発、光源を開発課題と位置付け、これらの課題を、本プロジェクト、他の国家プロジェクト、並びに民間自主開発事業によりカバーして取り組んでいる。



-2-2-2-図3 国内の EUV リソグラフィ開発体制と本プロジェクトの位置付け

2.3 国外の開発動向

EUVリソグラフィの実用化に向けた技術開発は、多岐にわたる難度の高い要素技術の開発と、総合的なシステム化が必要であり、大規模な開発リソースを要することから、海外でも多くの公的資金や民間資金を投入して開発が進められている。I-2-2.3-図1に米、欧、アジアでのEUVリソグラフィ開発プロジェクトを示す。EUVリソグラフィはそもそも日本のNTTから発祥した技術であるが、本格的取り組みは欧米が先行することになった。特にインテル主導によるEUVLLC(EUV Liability Limited Company)/VNL(Virtual National Laboratory:米国の3国立研究所の共同研究体)におけるフルフィールドテスト露光機(ETS; Engineering Test Stand)試作と露光評価により、その技術的可能性が実証されてから、欧米の開発資金(特に公的予算)は急激に増加した。またオランダ露光装置メーカーASML社が米SVGL社を買収し、欧米における露光装置メーカーがASML1社に絞られたことにより、各種要素技術(光源、光学部品、光学設計、精密真空ステージ、汚染評価、検査技術等)を担当する企業や研究機関が結集してASML露光装置の開発に参画することとなった。また、米CRADA(Cooperative Research & Development Agreement)、ISMT(International Semiconductor Manufacturing Technology)や、欧MEDEA+(Microelectronics Development for European Application)などの組織によりコーディネートされ、整合性のとれたEUVリソグラフィ技術開発が進められていることがうかがえる。また、アジアでも韓国では2002年から、台湾では2008年からEUVリソグラフィ開発のプロジェクトがスタートしており、世界の半導体産業をリードする主要な国々で、激しい国際競争が行われている。

	92	93	94	95	96	97	98	99	00	01	02	03	04	05	06	07	08	09	10	予算合計
米国																				公的:540M\$+α 民間:380M\$+100M\$?
欧州																				公的:423M€+α 民間:310M€
アジア																				
日本	I-2-2-2-図3参照																			公的:400億円 民間:120億円

I-2-2-3-図1 海外のEUVLEUVリソグラフィ開発プロジェクト

II. 研究開発マネジメントについて

1. 事業の目標

以下に一期から三期のプロジェクト目標を示す。

- (1) プロジェクトが発足時に制定された基本計画の開発目標。(2001年3月)
 - ・平成15(2003)年度に70nm、平成19(2007)年度に50nm以細の技術世代の技術課題を解決する。
 - ・プロジェクトを通して得られた基礎データ等については、プロジェクト実施期間中にデータを体系的に整理し、幅広く社会に提供を図る。
- (2) フォーカス21に位置付けられたことに対応した改訂。(2003年2月)
 - ・平成15(2003)年度に65nm、平成19(2007)年度に45nm以細の技術世代の技術課題を解決する。
 - ・プロジェクトを通して得られた基礎データ等については、プロジェクト実施期間中にデータを体系的に整理し、幅広く社会に提供を図る。
 - ・開発された技術は、デバイス構造の試作等により、電気特性や構造安定性の実証・確認等を行い、産業界への速やかな技術移転を行う。
- (3) 中間評価を受けて、第二期の基本計画を改訂。(2003年12月)
 - ・平成19(2007)年度に45nm以細の技術世代の技術課題を解決する。
 - ・プロジェクトを通して得られた基礎データ等については、プロジェクト実施期間中にデータを体系的に整理し、幅広く社会に提供を図る。
 - ・開発された材料・プロセス技術は、デバイス構造の試作等により電気特性や構造安定性の実証・確認等を行うと共に、関連するコンソーシアムあるいは参加企業の協力を得てインテグレーション課題の抽出とその解決を図ることにより、産業界への速やかな技術移転を行う。
- (4) 第三期の基本計画策定による改訂。(2005年12月)
 - ・hp45nm向け技術については平成18(2006)年度以降に関連コンソーシアム等において一元的に実用化に向けてモジュール開発を行う。
 - ・第3期を平成18(2006)年度から平成22(2010)年度まで実施する。
 - (i) hp45nmを超える技術領域の課題を解決する革新的基盤技術を開発し、半導体LSI実現に向けてのデバイス・プロセス技術選択肢を提示する。平成19(2007)年度末に見直しを行う。
 - (ii) EUVマスク基盤技術を開発し、平成20(2008)年度にhp45nm、平成22(2010)年度にhp32nmに対応する技術を確立する。
 - ・プロジェクトを通して得られた基礎データ等の共通基盤となる知見は、プロジェクト実施期間中にデータを体系的に整理し、我が国半導体技術の強化に努める。
- (5) 中間評価(2007年12月実施)を受けて平成20年度以降の基本計画を改訂。(2008年3月)
 - I. hp45nmを超える技術領域の課題を解決する革新技術としての新構造極限CMOSトランジスタ技術、新探究配線技術、特性ばらつきに対し耐性の高いデバイス・プロセス技術を、産業界における実用化に向けた展開につなげることを目指して開発する。
 - II. EUVマスク基盤技術およびEUV光源高信頼化技術を開発し、EUVマスク基盤技術については平成20年度にhp45nm、平成22年度にhp32nmに対応する技術を確立し、平成20年度より開始するEUV光源高信頼化技術については平成22年度にhp32nm以細に対応する露光装置に適用可能な技術を確立する。

第三期基本計画のプロジェクト研究開発項目に関し目標を表 II.1-1 に示す。

表Ⅱ.1-1 MIRAIプロジェクト第三期の目標

研究開発項目	第三期目標(平成22年度)
① 新構造極限 CMOSトランジスタ関連技術開発	hp32nmを越える技術世代に対応するバリスティックCMOS技術の開発を行う。チャンネル領域で準バリスティックなキャリア輸送が起こるシリコンMOSTランジスタの微細化において、デバイスの性能を最大限に発揮させるための原理とその実現に必要な材料・構造を明らかにし、低消費電力・高信頼性を実現するための技術を確認する。
② 新探究配線技術開発	銅とLow-k材料を用いた多層配線構造においてhp32nm以細の微細化に伴って抵抗が上昇し、信頼性が低下する等の課題を解決するため、カーボン材料を用いた低い抵抗値と高い許容電流密度を持つ配線構造技術を確認する。また、高速・低消費電力でデータ信号伝達を実現する新しいグローバル配線として10GHz以上の波長多重によるオンチップ光配線技術を実証する。
③ 特性ばらつきに対し耐性の高いデバイス・プロセス技術開発	hp45nmを越える微細化に伴うばらつきに起因する製造、設計歩留まりの向上や特性の経時劣化に対処する技術として、構造依存ばらつきとその経時変化の解析技術を確認し、ばらつきの物理的理解とモデリング技術を開発する。さらに特性ばらつきに耐性の高いトランジスタ構造を提案する。また、LSI回路の正常な動作を妨げる外部擾乱に対し、トランジスタや回路の誤動作や故障が発生するメカニズムを明確にし、その解決策と耐性の高い回路の設計指針を確認する。
④ 次世代マスク基盤技術開発	hp32nm以細のEUVリソグラフィに用いられるEUVマスクについて、高精度・低欠陥のマスクおよびブランク技術、マスクパターンの欠陥検査・修正技術、マスクのハンドリング技術の開発を行い、EUVマスクの総合的技術を確認する。
⑤ EUV光源高信頼化技術開発	hp32nm以細のEUVリソグラフィに用いられるEUV光源について、マスク、ミラーへの光源に起因する汚染に対する評価技術、汚染に対する清浄化技術の開発を行い、EUV光源の高信頼化技術を確認する。

2. 事業の計画内容

2.1 第三期の研究開発の内容

I. 次世代半導体材料・プロセス基盤技術開発

①「新構造極限 CMOSトランジスタ関連技術開発」

hp32nm を越える技術領域における低消費電力・低待機電力 CMOS に適した、高電流駆動力・低リーク電流シリコン-ゲルマニウム系 CMOS 技術の実現に求められるバリスティック効率向上技術を産業界の実用化に向けた取り組みと一体的に開発する。

(1) ソース・ドレイン材料・構造の制御により CMOS の駆動力を高める技術の開発

(i) ソース・チャンネル界面の電子状態を制御し、キャリア注入速度・キャリア濃度を改善する材料・形成方法・構造を開発する。

(ii) ドレイン・チャンネル界面での電子状態を制御しキャリア反射を抑える材料・形成方法・構造を開発する。

(2) キャリア輸送特性を向上して CMOS の駆動力を高める技術の開発

- (i)NMOS と PMOS それぞれに最適化したチャンネルの歪みを制御してキャリア速度を向上するための材料・形成方法・構造を開発する。
 - (ii)NMOS と PMOS それぞれに最適化したチャンネルの表面・界面ラフネスを改善しキャリア散乱を抑制するための材料・形成方法・構造を開発する。
 - (iii)NMOS と PMOS それぞれに最適化したチャンネルとソース・ドレインとの界面付近の不純物分布を最適化しバリスティック効率を向上するための材料・形成方法・構造を開発する。
- (3) 微細な低消費電力・高電流駆動力トランジスタによる実証
- (1)・(2) で開発した技術を総合的に組み合わせる上で、微細化に伴う短チャンネル効果を抑え、低オフリーク電流を実現するために、ゲートの静電支配力の高い構造を持つ超低消費電力トランジスタを作製し低消費電力・高電流駆動力性能実証を行う。
- (4) 計測・モデリング技術の開発
- (i)バリスティック効率向上技術関連の計測技術を開発する。
 - (ii)(3) で開発する低消費電力・高電流駆動力トランジスタのモデリング技術を開発する。

②「新探究配線技術開発」

hp32nm 以細の技術領域の集積回路に適した配線基盤技術を、産業界の実用化に向けた取り組みと一体的に開発する。

(1) 極限低抵抗・高電流密度配線技術の開発

Cu 配線による微細化の課題である配線およびビア・プラグにおける比抵抗上昇、エレクトロマイグレーションによる信頼性低下を解決し、低消費電力 LSI を実現するため、カーボン材料を使った極限低抵抗・高電流密度配線技術の開発を行う。

- (i)LSI 製造プロセスで許容される温度条件でカーボンナノチューブ(CNT)の高密度成長技術を開発する。
- (ii)LSI 製造プロセスで許容される温度条件で CNT の高速成長技術を開発する。
- (iii)hp32nm 以細の 300mm ウェハの配線構造へ適用可能性を示すため Low-k 材料を用いた配線プロセスを開発し、抵抗・信頼性・電流密度などの特性が、その世代の Cu 配線材料に対し優位性があることを実証する。
- (iv)カーボン材料を用いた横配線技術を開発する。

(2) 新コンセプトグローバル配線技術の開発

グローバル配線における高周波数信号の信号遅延、クロックスキュー、シグナルインテグリティ(SI)の問題を解決し、超低消費電力を確立する新コンセプト配線技術である光配線技術を開発する。

- (i)低消費電力の電気と光信号を変換するオンチップ電気光変調器および導波路結合型受光器を開発する。
- (ii)波長多重光回路のための導波路、合分波器、受光、および変調素子の多チャンネル集積形成技術を開発する。必要に応じて光配線内高速信号伝送の評価解析技術を開発する。
- (iii)外部に置かれた多波長光源とオンチップ光回路の集積技術を開発する。
- (iv)光クロック・バスの低消費電力動作を確認し、システム性能を実証する。

③「特性ばらつきに対し耐性の高いデバイス・プロセス技術開発」

hp45nm を超える技術領域の集積回路の特性ばらつきに対処する技術を、産業界の実用化に向けた取り組みと一体的に開発する。

(1) 構造依存の特性ばらつきの物理的理解とモデリング技術の開発

hp45nm を超える技術領域の LSI の微細化に伴うばらつきに起因する回路誤動作に対処し、製造・設計歩留まりの向上を図る技術として、構造依存の特性ばらつきの物理的理解とモデリング技術の開発を行う。さらに特性ばらつきに耐性の高いトランジスタ構造を提案する。

(i) デバイス特性ばらつきの評価

経時劣化を含めた特性ばらつき評価に有効な標準 TEG (Test Element Group) を作製し、その TEG を用いて作製したデバイスの電気特性測定により、デバイス特性ばらつきを解析する。

(ii) ばらつきの物理原因解明

(i) で解析したデバイスの物理計測を行い、特性ばらつきの物理原因を解明する。

(iii) 特性ばらつきモデリング技術の開発

(ii) で明らかにした特性ばらつきの物理原因を組み込んだデバイス・製造プロセスモデリング技術を開発し、素子・回路・プロセス設計に有効なものとする。

(iv) 構造依存ばらつきのモデリング技術

(iii) のデバイス・製造プロセスモデリング技術により得られる素子ばらつき特性を近似した高速かつ汎用性の高いデバイスモデル・回路シミュレーション手法を開発し、材料・プロセス・デバイス面から特性ばらつきに起因する回路動作上の課題に対処できるようにする。この際必要になる、

(iv)-1 デバイス電気特性のリバースプロファイリングに基づくコンパクトトランジスタモデル、

(iv)-2 ストレス起因のレイアウトパターン依存性モデル

についても、併せて開発する。

(v) 特性ばらつきに対して耐性の高いデバイス基盤技術の開発

特性ばらつきに対して耐性の高いデバイスを提案・実証する。

(vi) 計測解析技術の開発

高精度・高速な電気特性測定によるデバイス特性ばらつき解析技術を開発する。また、ばらつき物理原因の計測解析技術を開発する。

(2) 外部擾乱依存の特性ばらつきの物理的理解とモデリング技術の開発

(i) 中性子線入射による電荷発生に起因する回路誤動作の物理的理解とモデリング技術の開発

中性子線入射による電荷発生によって生じるトランジスタおよび回路の異常動作を解析し、中性子線入射に対して耐性の高いデバイス・プロセス・回路の設計に有効なモデリング技術を開発する。

(ii) トランジスタノイズに起因する回路誤動作モデリング技術の開発

静電気放電現象 (ESD) などの外部ノイズや電源などの内部ノイズによって生じるトランジスタ及び回路動作の異常解析し、それらの擾乱に対して耐性の高いデバイス・プロセス・回路設計に有効なモデリング技術を開発する。

II. 次世代半導体露光プロセス基盤技術開発

④ 次世代マスク基盤技術開発

(1) 高精度・低欠陥EUVLマスクおよびブランクス技術の開発

(i) EUV光を用いたマスクおよびブランクの検査・解析技術の開発

6インチブランクス全域にわたり、EUV光によって位相欠陥を検出する技術、およびマスク上のパターン形状、位相欠陥、プロセス誘起欠陥、コンタミネーション起因欠陥等をEUV光により解析・評価する技術を開発する。

(ii) EUVLマスクおよびブランクの高品位化技術の開発

ブラックスの位相欠陥検査、および高性能EUV露光装置によるマスクの転写性評価を通じ、ブラックスやマスクの材料・構造・作製プロセスを最適化することによって、高品位マスク技術を確立する。

(iii) EUVLマスクコンタミネーション制御技術の開発

真空中に残存する水分や hidrocarbon に起因するコンタミネーションによって引き起こされる反射率低下を抑制する技術を開発する。また、コンタミネーションの除去技術を開発する。

(2) EUVLマスクパターン欠陥検査技術および欠陥修正技術の開発

(i) EUVLマスクパターン欠陥検査技術の開発

従来のフォトマスク欠陥検査技術を改変・高度化することにより、hp45nm微細加工技術に対応するEUVLマスク欠陥検査技術を開発する。hp32nm微細加工技術に対しては、前記hp45nmに対応する開発技術の高度化、あるいは電子ビーム技術等、新たな技術の開発により対応することを検討する。

(ii) EUVLマスクパターン欠陥修正技術の開発

多層膜へのダメージ抑制と修正精度の二つの視点から、集束イオンビーム方式、電子ビーム方式、メカニカル方式など複数の候補技術を比較・検討し、最適な方式を見極めて、hp45nm～hp32nm微細加工技術に対応できる欠陥修正技術を開発する。

(3) ペリクルレスEUVLマスクハンドリング技術の開発

(i) EUVLマスクの異物フリー搬送・保管技術の開発

マスクを格納・保持するキャリア、露光装置内でのキャリア搬送、キャリアからのマスクの着脱、キャリア洗浄などについて評価・解析を行い、最適な搬送・保管方式を見極め、異物フリー搬送・保管技術を確立する。

(ii) ウェハファブ内EUVLマスク異物検査技術およびクリーニング技術の開発

ウェハファブ内でマスク上の異物を検査する技術、および検出された異物をクリーニングする技術を開発する。

⑤ EUV光源高信頼化技術開発

(1) 光源起因マスク、ミラーの汚染評価技術の開発

光源側より発生する燃料デブリや除去用ガス等による露光光学系側のマスク、ミラーへの影響を評価する技術について、ミラー反射率測定や各種の表面分析手法等を駆使して開発し、評価を行う。

(2) 集光光学系などの清浄化技術の開発

マスク、ミラーへの汚染抑制対策としての汚染源となる燃料デブリ等の拡散・流出防止技術、燃料回収技術とともに、集光系構成部材等の熱管理技術の開発を行う。

2.2 研究開発の実施体制、予算

第一期(2001年度～2003年度)の研究開発は、NEDOが選定した技術研究組合超先端電子技術開発機構(ASET)と独立行政法人産業技術総合研究所(産総研)を委託先とし、両者が共同研究契約を締結し研究体を形成して実施した。また、共同研究開発に参加する各研究開発グループの有する研究開発ポテンシャルを最大限に活用し、効率的な研究開発の推進を図るとの観点から、研究体には研究開発責任者(プロジェクトリーダー:産総研次世代半導体研究センター長 廣瀬全孝)を置き、そのリーダーシップの下に研究開発を実施することとし、その下に研究者を可能な限り結集して効率的な研究開発を実施した。

中間評価において第一期のプロジェクトマネジメントや進捗・成果が評価されたことから、第二期(2004年度～2007年度)の研究開発は、引き続き廣瀬プロジェクトリーダーのもと、ASETと産総研を委託先とし、両

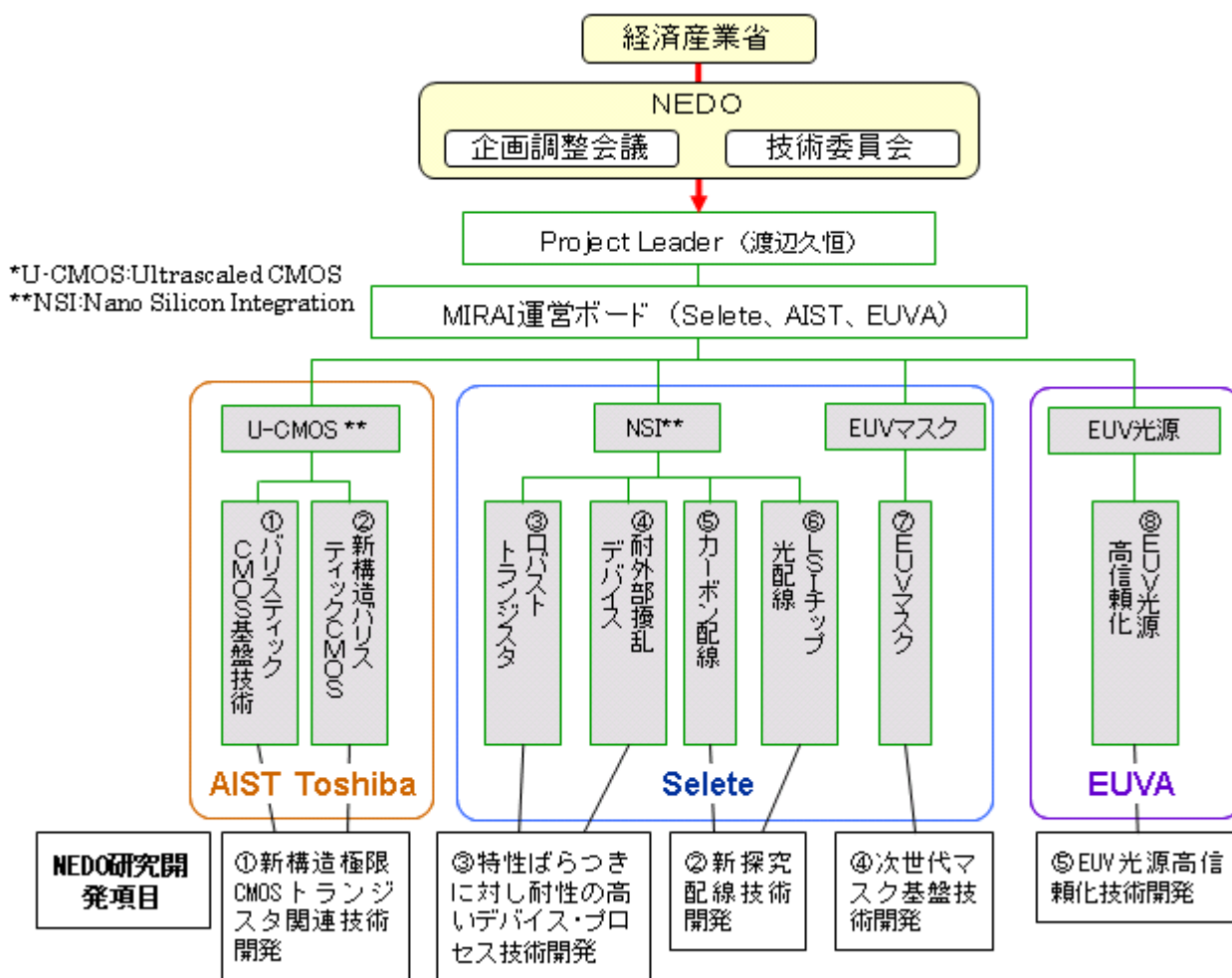
者が共同研究契約を締結し研究体を形成して実施することとした。ただし、委託先は、第二期開発計画を策定するに当たって、本プロジェクトがフォーカス21に位置づけられていることに鑑み、フォーカス21委託事業の「応募資格」を踏まえて実施体制を整備した。また、本プロジェクトの成果をスムーズに産業界に移転するため、第二期は産業界プロジェクトである「あすかプロジェクト」等、関連コンソーシアムとの一層の連携強化を図り、技術移転を計ることに重点をおいたプロジェクト運営を行った。

第三期(2006年度～2007年度)の研究開発は、NEDOが選定した委託先、技術研究組合超先端電子技術開発機構(ASET)と独立行政法人産業技術総合研究所(産総研)が共同研究契約を締結し形成した研究体と、株式会社半導体先端テクノロジーズ(Selete)が実施した。また、本プロジェクトにおける研究開発と産業界の実用化に向けた取り組みが一体的にマネジメントできるように、研究開発責任者(プロジェクトリーダー:Selete社長 渡辺久恒)とチーフサイエンステクノロジーオフィサー(サブプロジェクトリーダー:産総研次世代半導体研究センター長 廣瀬全孝)を置き、そのリーダーシップの下に研究開発を実施することとし、その下に研究者を可能な限り結集して効率的な研究開発を実施した。

2008年3月に改訂した基本計画に基づき、研究開発項目①②③⑤に関して公募を行い、NEDOが選定した委託先として、①は産総研と(株)東芝、②③はSelete、⑤は技術研究組合極端紫外線露光システム技術開発機構(EUVA)に決定され、引き続き渡辺プロジェクトリーダーのもと、研究開発を実施した。内容に変更がない研究開発項目④に関しては引き続きSeleteが事業を実施した。

プロジェクトでは効率的・機動的な研究開発を実現するためⅡ-2-2-図1に示す組織をプロジェクトに設置し、以下の方針で研究を推進した。

- a) プロジェクトリーダーが全責任を負って研究開発を推進できる体制をとり、MIRAI運営ボードはプロジェクトの運営全般について責任を分担する。
- b) 4つのリサーチユニットを設置し、その下で8つの研究開発テーマに取り組む。リサーチユニットはリサーチユニットリーダーを中心に研究開発を実施する。リサーチユニットリーダーがスピーディな意思決定を行えるようにその権限と責任を明確化する。
- c) プロジェクト全般に対するアドバイザーボードとして、NEDO技術開発機構に外部有識者より成る企画調整会議、技術会議を置き、プロジェクト運営に対する助言を得る。
- d) MIRAIプロジェクトで実施する技術開発を補完し、とくに基礎的な物理・化学評価、材料合成、計測、原理計算等を強化するため、大学・研究機関と共同実施および再委託を行う。



II-2-2-図1 MIRAIプロジェクト実施体制(2008年度の体制図を用いて例示)

上記c)の企画調整会議、技術委員会について、委員と開催日程を以下に示す。

(1) 企画調整会議 (2004年5月までは運営会議)

MIRAIプロジェクト全体の方向性に関し助言を得る。(所属は当時)

委員	キャノン株式会社 専務取締役	市川 潤二
	株式会社半導体先端テクノロジーズ 代表取締役会長	小野 敏彦
	富士通株式会社 経営執行役常務	藤井 滋
	株式会社ニコン 常務取締役兼上席執行役員	牛田 一雄
	株式会社ニコン 代表取締役社長兼CEO兼COO	荻谷 道郎
	松下電器産業株式会社 代表取締役専務	古池 進
	株式会社東芝 執行役上席常務セミコンダクター社カンパニー社長	古口 榮男
	東洋大学 理事長	菅野 卓雄
	東京大学 名誉教授	菅野 卓雄
	NECエレクトロニクス株式会社 代表取締役社長	戸坂 馨
	株式会社ルネサステクノロジ 相談役	長澤 紘一
	NECエレクトロニクス株式会社 代表取締役社長	中島 俊雄

東京エレクトロン株式会社 代表取締役会長
株式会社東芝 執行役上席常務セミコンダクター社カンパニー社長

東 哲郎
室町 正志

開催日 2004年5月21日
2005年2月24日
2006年1月19日
2008年3月3日

(2) 技術委員会

MIRAIプロジェクトの技術開発に関し助言を得る。(所属は当時)

委員長	東京大学大学院 新領域創成科学研究科教授	柴田 直
委員	東京大学 大学院工学系研究科電子工学専攻 教授	浅田 邦博
	東京大学 大学院工学系研究科産業機械工学専攻 教授	石原 直
	松下電器産業株式会社 半導体社事業本部プロセス開発センター所長	上田 誠二
	NECエレクトロニクス株式会社 基盤技術開発事業本部事業本部長	大屋 秀市
	株式会社日立製作所 中央研究所 主管研究員	木村 紳一郎
	東京エレクトロン株式会社 取締役常務執行役員	久保寺 正男
	株式会社日立ハイテクノロジーズ ナノテクノロジー製品事業所長	田地 新一
	株式会社ルネサステクノロジ 業務執行役員 生産本部副本部長	西村 正
	株式会社東芝 セミコンダクター社 首席技監	開 俊一
	東京大学 生産技術研究所 第3部 教授	平本 俊郎
	NECエレクトロニクス株式会社 基盤技術開発事業本部事業本部長	福間 雅夫
	東京工業大学 精密工学研究所 教授	益 一哉
	富士通株式会社 電子デバイス事業本部 副本部長	八木 春良

開催日 2004年9月29日
2004年12月24日
2005年3月11日
2007年2月27日

本プロジェクトの平成19(2007)年度までの予算はⅡ-2-2.2-表1の通りである。

Ⅱ-2-.2.2-表1 MIRAI プロジェクト予算

◆第一期および第二期

(単位:億円)

	H13年度	H14年度	H15年度	H16年度	H17年度
合計	34.42	60.23	43.17	43.14	43.35

◆第三期

	H18年度	H19年度	H20年度	H21年度	H22年度
一般会計 (研究開発項目:①②③)	30.87	21.47	23.68	9.61	6.65
特別会計 (研究開発項目:④)	33.43	28.87	18.09	18.51	9.17
特別会計 (研究開発項目:⑤)	—	—	5.74	15.25	10.42

2.3 研究開発の運営管理

(1)NEDOにおける運営管理

(1-1)研究開発の運営管理

研究開発全体の管理・執行に責任と決定権を有するNEDOは、経済産業省及びプロジェクトリーダーと密接な関係を維持しつつ、プログラムの目的及び目標、並びに本研究開発の目的及び目標に照らして適切な運営管理を実施する。また、必要に応じて、外部有識者の意見を運営管理に反映させる。

(1-2)研究開発成果の取扱い

(i) 成果の普及

得られた研究開発成果のうち共通基盤技術に係るものについては、プロジェクト内で速やかに共有した後で、NEDO及び実施者が協力して普及に努めるものとする。

(ii) 知的基盤整備又は標準化等との連携

得られた研究開発の成果については、知的基盤整備又は標準化等との連携を図るため、データベースへのデータの提供、標準情報(TR)制度への提案等を積極的に行うと共に、必要な標準化を実施する。

(iii) 知的所有権の帰属

委託研究開発の成果に関わる知的所有権については、「独立行政法人新エネルギー・産業技術総合開発機構 新エネルギー・産業技術業務方法書」第25条の規定等に基づき、原則として、すべて受託先に帰属させることとする。

(1-3)基本計画の変更

NEDOは、研究開発内容の妥当性を確保するため、社会・経済的状況、国内外の研究開発動向、産業技術政策動向、プログラム基本計画の変更、第三者の視点からの評価結果、研究開発費の確保状況、当該研究開発の進捗状況等を総合的に勘案し、達成目標、実施期間、研究開発体制等、基本計画の見直しを弾力的に行うものとする。

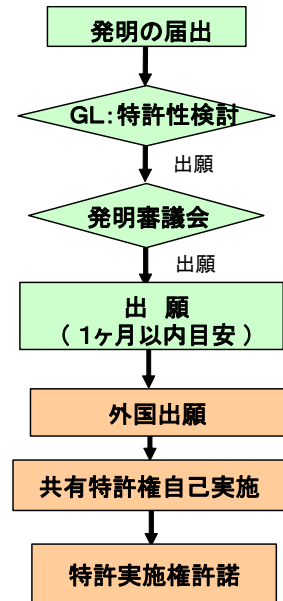
(2)産総研・ASET の共同研究体における運営管理(第3期前半)

研究の運営管理に関しては次のように行った。① 新構造極限 CMOS トランジスタ関連技術開発においては、産総研と ASET からなる共同研究体において、ASET は参加企業からの出向研究者を受け入れ、産総研と ASET の共同研究契約に基づき、リサーチユニットリーダー、テーマリーダーのもとで研究員が研究活動を実施した。共同実施先・再委託先等との契約、会計・経理、報告書の取りまとめは ASET が行った。共同研究契約に基づき、研究運営規程、知的財産権取扱規程、情報管理規程を整備し、公平で創造的な研究活動が推進できるよう運営管理を実施した。

MIRAI プロジェクト第三期では第一期・第二期と同様、知的財産権の創造活動を最大限に活性化するため、研究グループでの知的財産の保護を行った。発生した発明については発明審議会で権利帰属確認と発明の評価を行い、産業技術総合研究所と ASET に参加している権利帰属先企業に迅速な権利化を依頼するようにした。その考え方、及び出願手順の概略は以下である。

- (1) 発明の出願手順は右の図に示した通りで、全発明を発明審議会で評価し、知財権の迅速な出願を行うようにした。
- (2) 出願までの発明の保護、プロジェクト内での技術討論活性化のため、出願前、開示期限前の発明は参加各社においても評価する上長、および出願担当者以外には内容非開示とした。
- (3) 出願においては日本を第一出願国とした。
- (4) 実施権許諾における優遇措置、開示における優遇措置を、下表のように定めた。

-2-2.3-(2)-図 1
知財権の取扱い



II-2-2.3-(2)-表 1 特許の開示と実施権許諾における優遇措置

	実施許諾	発明要旨開示可	明細書開示可
発明者の所属会社	権利者	-	-
同一研究グループ	最優遇	6ヶ月	1年
MIRAI-PJ	次優遇	1年	1年3ヶ月
第三者	優遇無し	1年6ヶ月	1年6ヶ月

(3) Seleteにおける運営管理(第三期前半及び後半)

Seleteは、参加企業からの出向者を受け入れ、プロジェクトリーダーのもとで研究活動を実施すると共に、共同実施先・再委託先等との契約、会計・経理、報告書の取りまとめ等を行っている。また、Seleteでは、研究運営、知的財産権の取り扱い、情報の管理、取り扱い、社外発表の管理、取り扱いなどについては規程を整備し、所定の情報管理のもとで、MIRAIプロジェクト活動が創造的かつ活発に実施できる体制としている。

SeleteにおけるMIRAIプロジェクトでは、研究開発活動と共に知的財産権創出活動を活発化できるように、各研究グループで創出される知的財産の保護を行っている。各研究グループで創出された知的財産権については、秘密保持したままで、テーマリーダーが評価を行い、各研究グループに参加する権利帰属先企

業に迅速な権利化を依頼するようにした。出願前の発明提案は、出願企業の評価者、出願担当者以外には内容は守秘としている。また、実施権許諾の優遇については、(i) 研究グループ参加企業:最優遇、(ii) EUVL参加企業:1次優遇、(iii)Selete株主会社:2次優遇、(iv)第三者:優遇なし、としている。

研究成果の実用化を推進するため、実用化を見据えた企業と機密保持契約に基づく情報の開示、共同研究契約に基づく研究成果の評価などにより、実用化の加速を図っている。

II-2-2.3-(3)-表1 特許の実施権許諾における優遇措置

	実施許諾
発明者の所属会社	権利者
同一研究グループ	最優遇
NSIグループ	1次優遇
Selete株主	2次優遇
第三者	優遇なし

(4)産総研および東芝における運営管理(第三期後半)

産総研および東芝では、知的財産権の取り扱いや情報の管理について、それぞれの機関の規定の下で、MIRAIプロジェクト活動が創造的かつ活発に実施できる体制とした。特に、研究開発活動と共に知的財産権創出活動を活発化できるように、各研究チームで創出される知的財産の保護を行った。各研究チームで創出された知的財産権については、秘密を保持したままで重要度と適合性を判断した上で、それぞれの機関の知財部門に迅速な権利化を依頼するようにした。

また、同じリサーチユニットを構成する産総研と東芝の研究グループは、定期的に進捗状況と研究開発計画の検討会を開催し、秘密を保持しつつ協働の促進を図った。成果の外部発表については、テーマリーダーの承認を経てリサーチユニットリーダーが投稿予定原稿を事前に査読し、プロジェクトリーダーの承認の後に、論文や学会発表への投稿を行った。さらに、産総研の研究成果の実用化を推進するため、技術移転を希望する企業へ機密保持契約に基づいて情報の開示を行ったほか、共同研究契約に基づいて共同研究先企業に計測技術の研究開発成果を適用し、有効性の評価を行った。

(5)EUVAにおける運営管理(第三期後半)

EUVAは、組合員企業からの出向者を受け入れ、プロジェクトリーダーのもとで研究活動を実施すると共に、共同実施先・再委託先等との契約、会計・経理、報告書の取りまとめ等を行っている。また、EUVAでは、研究運営、知的財産権の取り扱い、情報の管理・取り扱い、社外発表の管理・取り扱いなどについては、総会、理事会、運営会議、業務委員会、技術委員会により、運営、報告、管理、決定を行い、MIRAIプロジェクト活動が創造的かつ活発に実施できる体制としている。

EUVAにおけるMIRAIプロジェクトでは、研究開発活動と共に知的財産権創出活動を活発化できるように各研究室で創出される知的財産の保護を行っている。各研究室で創出された知的財産権については、知的財産を後のビジネスにおいて有効に活用できるように、発明が本プロジェクトの委託業務に関してなされた場合、知的財産の権利の帰属は発明者の出向元または派遣元の組合員に帰属としている。また、発明がなされた場合には速やかに届出の上、研究室長が特許性を判断し、発明者の認定を行っている。

研究成果の実用化を推進するため、実用化を見据えた企業と機密保持契約に基づく情報の開示、共同研究契約に基づく研究成果の評価などにより、実用化の加速を図っている。

(6)外部団体との協力関係

次世代マスク基板基盤技術開発においては、MIRAI第1期、第2期でASET(技術研究組合超先端電子技術開発機構)が開発したブランクス検査技術の移管を受け、「開発項目(1)高精度・低欠陥EUVLマスクおよびブランクス技術の開発」内で継続して研究を進めている。「開発項目(2)EUVLマスクパターン欠陥検査技術および欠陥修正技術の開発」では、同様にMIRAI第1期、第2期でASETが開発した199nm紫外光によるパターン欠陥検査技術が活用されている。さらに、NEDO委託事業「超先端電子技術開発促進事業(2002年終了)」およびその継続研究でASETと九工大が開発したミラークリーニング技術を、「開発項目(1)高精度・低欠陥EUVLマスクおよびブランクス技術の開発」内でマスククリーニング技術へ応用する研究を進めている。

また、EUV光源高信頼化技術開発においては、文部科学省リーディングプロジェクト「極端紫外(EUV光源開発などの先進半導体製造技術の実用化)(2003～2007年度の5ヵ年)のメンバーである九州大学におけるCO₂レーザ励起LPPの研究結果を取り入れ、EUVAの量産光源に向けての開発を進め、さらには同リーディングプロジェクトのEUV光源開発共同利用設備(大阪大学)を利用して光源測定器の較正を行うなど研究協力の実効を挙げている。

さらに、NEDO内に設置したEUVL総合戦略検討委員会を通じて、国内のEUVL開発の複数のプロジェクト間で連携し、競争力強化に結びつく戦略の策定を進めている。本委員会は、EUVL技術実用化に向けたシナリオ、ロードマップ、技術の現状と将来動向、残された課題等について情報交換や問題点の検討を行い、開発戦略や役割分担、連携、不足技術の保管、成果の共有等に関するコンセンサス形成を目指し、これによってEUVL技術の開発を効率的に進め、実用化の取組みをより確実なものにすることを目的とする。委員および開催日程を以下に示す。

委員	独立行政法人物質・材料研究機構	フェロー	堀池靖浩
	技術研究組合 ASET	EUV プロセス研究部 部長	岡崎信次
	株式会社半導体先端テクノロジーズ	研究第2部 部長	森一朗
	技術研究組合 EUVA	研究企画部兼研究部 部長	阿部直道
	半導体産業研究所	企画部 部長	上田潤
	東京大学大学院工学系研究科産業機械工学専攻	教授	石原直
	大阪大学レーザーエネルギー学研究センター	教授	宮永憲明
	株式会社ニコン	精機カンパニー開発本部 主幹研究員	浅見武史
	株式会社ニコン	精機カンパニー開発本部 マネージャー	村上勝彦
	キヤノン株式会社	コアテクノロジー開発本部 上席担当部長	鵜澤繁行
	半導体 MIRAI プロジェクト	リソグラフィ関連計測技術グループ	寺澤恒男
	大日本印刷株式会社	電子デバイス事業部 電子デバイス研究所主席研究員	法元盛久
	大日本印刷株式会社	電子デバイス事業部 電子デバイス研究所所長	林直也
	株式会社日立製作所中央研究所	主任研究員	福田宏
	東京応化工業株式会社	開発本部 部長	小野寺純一

開催日 第1回 2005年10月5日
第2回 2005年11月28日

- 第3回 2006年2月2日
- 第4回 2006年5月15日
- 第5回 2006年8月24日
- 第6回 2006年12月27日
- 第7回 2007年9月6日

加えて、海外との協力関係についてはIEUVI(International EUVL Initiative)を通じ、I-SEMATECH、IMEC他の開発機関と情報交換および研究協力を行っている。

2.4 研究開発成果の実用化、事業化に向けたマネジメントの妥当性

(1) I. 次世代半導体材料・プロセス基盤技術開発

技術移転後の成果活用を確認すると共に、スムーズな移転あるいは活用がなされるためには本プロジェクトでは何をすべきかを調べるため 2006年10月、2007年10月、2008年11月に技術移転先および ASET 参加会社に技術移転後の活用状況調査を行った。

以下の質問表を元に調査を行い、各社ごとに意見交換を行った。

II-2-2.4-(1)-表1 第二期成果活用状況調査の質問事項

移転時の 状況等	成果移転の方法	研究者帰任、共同研究継続など、移転の仕方の実態について
	自社における位置付け (移転成果の位置付け)	どのように活かされているか 直接事業化している？／自社技術との補完、融合により事業化？
	自社事業との整合性	成果移転のタイミングは適切であったか(遅い=未完でももっと早く？、速い=遅くても、完成度を上げて？)
	移転成果の評価	技術としての完成度(移転されるに充分か、不十分か、不十分ならどのようなところまで NEDO-PJ で開発すべきであったか。残された技術課題はあるか、何か？)
現状	開発状況と課題	自社での開発状況(特に、最近1年間の状況) 開発における現状の課題
	実用化、事業化状況と課題	実用化、事業化の状況(特に、最近1年間の状況) 実用化、事業化に際しての課題
	波及効果	技術的な波及効果 事業上、その他の波及効果
今後	今後の予定	実用化、事業化、事業展開の予定 波及効果(関連の技術開発への展開等)
その他	課題、希望、要望	制度上の課題 NEDO/MIRAI への希望、要望

活用状況調査で得られた意見を以下にまとめる。

- ・成果移転時の対応は、装置・人・ドキュメントと十分なものであった。また、その内容のまとまりも産学官連携によって得られた科学的知見を十分に発揮した基礎的でありオリジナリティの高いもの

であった。

- hp45nm の技術領域はまだ決定されていないため、自社開発のものと並べて有望な技術候補として継続した研究開発を行っている。その点で成果移転のタイミングは適切であった。
- 移転されたものは基礎的なアイデアとそのアイデアを実現するための実証技術である。実証技術については移転後の検討でコスト・汚染・処理時間等を複合的に判断するとかなり異なった技術へと改良・変更されている。しかし基礎なアイデア(コンセプト)は引き継がれ、あるいは拡充されて活用されている。
- MIRAI では要素技術レベルまでの研究開発が行われ、受け取った材料・装置技術はその後各社とのサンプル出荷等を通じてブラッシュアップを計る必要がある。

(2) II. 次世代半導体露光プロセス基盤技術開発

EUVL関連市場は、オランダの露光機メーカーであるASMLのEUV露光装置のβ機(量産試作機)出荷が2010年から開始され、2011年内に計6台出荷予定であること、また、HVM機も2012年出荷予定で、デバイスメーカーから既に8台を受注していることから、2012年から立ち上がりを見せると予想される。ITRS2010ロードマップに照らすと、DRAM hp36nm、Flashメモリhp25nm、ロジックM1 hp32nmの世代に当たるが、当面は微細化が最も進んでいるFlashメモリからEUVLが使用されると見込まれている。

以上の認識の下、技術移転後の成果活用については、NEDOでは委託先からの定期的な成果報告の場を設け、委託先とNEDOで意見交換や議論を行い、研究開発成果の実用化、事業化に向けマネジメントしてきた。

研究開発項目④次世代マスク基盤技術開発

本研究開発項目では、委託先のSeleteが主催するEUVマスクサブワーキング、及びEUVリソ・マスク成果報告会においては、本研究開発項目の共同実施先企業を交えた実用化・事業化状況や方法について議論した。

本研究開発項目で開発してきた次の技術については、EUVL市場の立ち上がりを見据え、技術移転先企業が事業化を計画している。

- EUVマスクブランク欠陥検査装置
- EUVマスクパターン欠陥検査装置
- EUVマスクパターン欠陥修正装置
- EUVマスク搬送試験装置
- EUVマスクキャリア

研究開発項目⑤EUV光源高信頼化技術開発

本研究開発項目では、委託先のEUVAが主催する技術委員会、業務委員会、及び成果報告会においては、EUVA組合企業や関係大学を交えて実用化・事業化状況や方法について議論した。

本研究開発項目で開発してきた次の技術については、EUVL市場の立ち上がりを見据え、技術移転先企業が事業化を計画している。

- ギガフォトン株式会社
- XTREME technologies GmbH (ウシオ電機株式会社の100%子会社)

3. 情勢変化への対応

3.1 基本計画変更

(1)外部擾乱ばらつきへの拡充

半導体 LSI では、微細化と共にトランジスタ特性ばらつきが顕著になってきており、課題解決の重要性は急速に増大している。この課題に対し研究開発項目③「特性ばらつきに対し耐性の高いデバイス・プロセス技術開発」の中で、研究開発の具体的内容を定め、トランジスタ構造依存の特性ばらつきに対する半導体材料・プロセス・デバイスからの対処を Selete に委託し平成 18 年度より実施していた。本事業の進捗により、これまで困難であった特性ばらつきへの解析・測定・モデリングに関する理解が深まってきた。

一方、当時、動作環境などの様々な外部擾乱によって生じる回路動作の障害となる特性ばらつきが顕在化しており、個々の擾乱によるトランジスタおよび回路動作の特性ばらつきを解析し、様々な擾乱に対しデバイス・プロセス・回路設計に有効なモデリング技術の研究開発が求められていた。前述のトランジスタ構造依存の特性ばらつきへの理解が深まってきたことから、外部擾乱依存の特性ばらつきへのデバイス・プロセスからの検討が可能になったため「外部擾乱依存の特性ばらつきへの物理的理解とモデリング技術の開発」に関する内容を基本計画に追記し、研究開発の拡充を図った。

NEDO は 2006 年 2 月 27 日に技術委員会を開催し、本研究内容の拡充と 2007 年度の研究計画の妥当性を審議し、拡充に関する基本計画改定が了承された。

内容の拡充に伴う基本計画の改訂案は平成18年度 3 月 2 日に NEDO で決定された。委託先の公募を 2007 年 3 月～4 月に行った。応募提案について、下記の採択審査委員による提案書の事前書面審査の後、採択審査会を 2007 年 4 月 17 日に開催した。

委員長	桜井 貴康	東京大学 国際・産学共同研究センター 教授
委員	小野寺 秀俊	京都大学大学院 情報学研究科通信情報システム専攻 教授
	松澤 昭	東京工業大学大学院 理工学研究科電子物理工学専攻 教授

採択審査委員会の審査結果を受け、NEDO は株式会社 半導体先端テクノロジーズを委託先として選定し、本内容の拡充を含めた研究開発を行うことが決定された。

(2)EUV 光源高信頼化技術開発の追加

NEDO では平成 15～19 年度に「極端紫外線 (EUV) 露光システムの開発」プロジェクトを実施し、EUV 露光装置、EUV 光源等について、EUV 露光システムとして総合的に開発を進めた。「極端紫外線 (EUV) 露光システムの開発」開始当時、IEUVI(International EUV Initiative: EUV に関する国際的な委員会)の推奨を受け、量産用 EUV レジスト感度を $5\text{mJ}/\text{cm}^2$ と設定し、これに応じた量産用 EUV 光源出力目標を 100W とした。しかし、「極端紫外線 (EUV) 露光システムの開発」終了年に、IEUVI は EUV レジスト感度の向上が見られないうとして感度の推奨値を $10\text{mJ}/\text{cm}^2$ へ変更したため、露光機メーカーから量産用 EUV 光源出力として 180W が求められるようになった。「極端紫外線 (EUV) 露光システムの開発」の光源開発としては、基本計画目標を達成したが、その数値はユーザーが求める仕様からは乖離があるため、EUV 光源開発には引き続き支援が必要であると NEDO は判断した。そこで、NEDO は平成 20 年 3 月に基本計画改定案を決定し、委託先の公募を平成 20 年 3 月～4 月に行った。応募提案について、下記の採択審査委員による提案書の事前書面審査の後、採択審査会を平成 20 年 5 月 9 日に開催した。

委員長	柴田 直	東京大学大学院新領域創成科学研究科 教授
委員	小野寺 秀俊	京都大学 大学院情報学研究科 教授

戸所 義博	奈良先端科学技術大学院大学 産官学連携推進本部 特任教授
廣瀬 和之	宇宙航空研究開発機構 宇宙科学研究本部 准教授
和田 一美	東京大学 大学院工学系研究科 教授

採択審査委員会の審査結果を受け、NEDO は技術研究組合極端紫外線露光システム技術開発機構を委託先として選定し、本内容の研究開発を行うことが決定された。

(3)新探求配線技術開発の前倒し終了

研究開発項目①～③について、平成 22 年度の開発予算(一般会計)は大幅な削減となった。これを受けて、それぞれの研究開発項目に関して平成 22 年度末の最終目標達成に向けた開発の進捗状況を精査した。その結果、研究開発項目②新探求配線技術開発(カーボン配線技術開発及び LSI チップ光配線技術開発)については、一部開発内容については目標を達成し、その他の開発内容についても目標をほぼ達成しており、目的とする要素技術開発が一定の水準に達したことから、平成 21 年度末で前倒し終了し、最終年度である平成 22 年度は、①新構造極限 CMOS トランジスタ関連技術開発と③特性ばらつきに対し耐性の高いデバイス・プロセス技術開発に注力してプロジェクトを実施することとした。

3.2 研究加速資金

プロジェクトの研究開発内容に関連する国内外の学会に参加し、技術動向を収集し、動向変化に対応して計画の見直しを行った。計画立案時に想定していない新規の課題に対しても早期に対応した。具体的には、期中において、実施方針、実施計画を変更し、同時に加速資金を投入、補正予算を執行するなどにより、課題の解決を図った。以下に第三期に行った加速資金及び補正予算の案件を示す。

①「新構造極限 CMOS トランジスタ関連技術開発」における加速

(1)平成 19 年 6 月加速

◆一軸ひずみ微細構造トランジスタにおける高性能化実証(75 百万円)

プロジェクトにおいて、世界に先駆けて酸化濃縮法を用いた SiGe 層あるいは Si 層を用いたひずみ基板とデバイスの開発を行い、一軸ひずみ Fin 構造を実現し、世界トップデータの移動度特性などの目覚ましい成果を挙げたことから、本技術をさらにレベルアップするために、Fin 形状の構造比依存性を網羅的に調べる試作実験を行い移動度向上の設計指針を検証しながら、さらに高い移動度をより微細な構造で得られることを示す開発を行った。

③「特性ばらつきに対し耐性の高いデバイス・プロセス技術開発」における加速

(1)平成 18 年 11 月加速

◆大規模デバイス試作による特性ばらつき解析(400 百万円)

半導体の微細化進展に伴い、トランジスタ特性ばらつきに対処する技術の重要性が急速に認識され、世界の研究動向は、系統的にばらつきを解析する動きが活発化し、デバイスから回路レベルに跨ったばらつき低減の試みが進んだ。これらは MIRAI の基本計画にある研究開発の方向と合致するものであるが、世界の研究動向に鑑み、ばらつきの電氣的・物理的解析を加速するために、当初予定していた規模をはるかに上回る膨大な数のデバイスの試作を行い、その特性データの取得と解析を行う開発を行った。

(2)平成 19 年 9 月加速

◆NMOS 特性ばらつきのメカニズムと対応策の検討(120 百万円)

微細化と共にトランジスタ特性のばらつきが顕著になり、正常な回路動作の大きな障害になるという危険は一層増加し、議論が活発化している。プロジェクトではこれまでに世界最大規模 100 万トランジスタの特性測定 TEG(test element group)を設計・試作しデバイス特性測定を開始した。その結果、NMOS のばらつきが従来の考え方では説明つかないことを世界で初めて明らかにした。このため、NMOS ばらつきの解明のための物理パラメータばらつきの解析、ばらつき改善のためのデバイス計測による解析を行った。

(3)平成 21 年 9 月加速

◆High-k/メタルゲート構造の特性ばらつき解析技術開発(100 百万円)

hp32nm 以降世代(2013 年～)の最先端デバイスにおいて High-k ゲート絶縁膜/メタル電極構造(以下 HK/MG 構造)が世界的に注目され、デバイスメーカー各社による実用化に向けた国際的な開発競争が繰り広げられ、これに伴い、本構造に対する特性ばらつきに関する検討の必要性が高まった。このため、HK/MG 構造の NMOS 及び PMOS を試作・評価を追加的に実施し、この構造における特性ばらつき解析技術を開発することとした。

④「次世代マスク基盤技術開発」における加速

(1)平成18年10月加速

◆アウトガス評価装置の機能増強(111百万円)

レジストからのアウトガス量を評価は、世界の複数の研究機関で実施されているが、QMS方式によるアウトガス評価結果が研究機関により4桁以上異なること、また、GC-MS方式(ウイスコンシン大学で採用)とQMS方式の評価結果の整合性がとれないこと等の問題があり、世界中で評価方式自体が課題として浮上していた。そこで、アウトガス評価方式を早期に確立し、マスクコンタミネーション制御技術に係る研究開発を加速するため、QMSとGC-MSの両評価方式を備えた評価装置の開発を行った。

◆マスクパターン欠陥検査装置(277百万円)

平成18年度に装置の仕様決定と設計を完了させる予定であったが、対物光学系、データ処理システムの一部が早期に設計完了したこと、また、設計が完了した部分の作製を前倒しで着手することにより装置全体の性能評価が早まることから、装置作製資金の前倒し投入を行った。

◆マスク分析装置(299百万円)

欠陥の形状、構造、寸法、元素情報等を収集する体制が必要であること、並びに、マスクパターン修正部、マスクハンドリングによる付着異物をピンポイントで分析する要求が高まったことから、FIB加工機能とSEM観察機能を併せ持つダブルビーム型のマスク分析装置の導入を行った。

◆マスクハンドリング評価装置(55百万円)

静電チャック機構、並びに低発塵仕様のマスク着脱機構を作製、導入し、露光装置の実搬送動作に近い環境での発塵要因の分析評価を進めた。

(2)平成19年11月加速

◆小フィールドEUV露光装置(SFET)集光状態モニタ機能増設(40百万円)

SFETのウエハ面での光強度、分布が経時変化するという問題が発生した。このため、中間集光点での集光状態を観測することを計画し、モニタ機能を増設した。集光状態を観測した結果、中間集光点の位置ずれを確認した。また、同時に光源電極の損耗が起こっていることから、光源電極損耗によるプラズマの位置ずれが集光状態変化の原因であると推定した。

◆アウトガス評価装置の機能増強(81百万円)

アウトガス評価装置の評価期間を短縮するため、真空排気システムと光源を導入し、評価期間を半分以下に短縮した。

◆EUV光源特性評価装置(87百万円)

位相欠陥を検査するためには、従来の検査用光源では、光捕集角度に制限があるが、検査に必要な光強度(2mW)を得るためには、角度制限の緩和と光源特性の定量的把握が必要であることがわかった。このため、光源特性評価装置を導入し、検査光源の光強度分布評価を行った。

◆高精度マスク欠陥計測装置(289百万円)

マスク、ブランクスの高品位化には、高精度マスク欠陥計測とSFETの高解像度を活用したマスク転写性評価が不可欠である。また、ITRSでは、hp45nm以降で0.3nm以下の計測再現精度が求められている。現有のマスク欠陥計測装置の再現精度は0.6nmだったが、平成19年に0.3nmの高精度マスク欠陥計測装置が日立HTより製品化された。そこで、この装置を早期に導入し、マスクパターン寸法ばらつき許容値の高精度化を図った。

◆高精度・高速マスクシミュレータ(35百万円)

マスクシミュレーションでは、マスク面上での精密な解析に加え、ウエハ上のレジストの影響を反映させる必要があることが、SFETを用いた露光実験で明らかになってきた。このため、三次元構造マスクの光強度分布の計算が可能な高精度・高速マスクシミュレータを導入し、レジスト効果を加味した高精度シミュレーションの計算時間を現行シミュレータの1/4以下へ短縮した。これによりマスク許容欠陥仕様の早期確立、欠陥検査条件の最適化を図った。

(3)平成21年1月加速

◆SFET光源機能増強(37百万円)

SFETの稼働率向上および露光実験の精度向上・安定化を行い、マスク仕様の有効性を検証する露光実験の効率を高めるため、コレクタミラー、デブリ抑制ツールなどの交換時の光軸調整を容易化、高精度化する機構、並びにコレクタミラーの温度を計測する機構を導入した。これにより年間3回ほど行うコレクタミラー、デブリ抑制ツールの交換時の光軸調整(平均調整期間2週間)を1日でかつ高精度に行うことができ、また、露光実験の効率向上が可能となった。

◆SFET稼働率向上対策(88百万円)

光源の消耗部品であるデブリ抑制ツール、コレクタミラーの交換により、露光実験の効率が15%向上した。

◆マスク反射率計測装置高精度化改造(44百万円)

平成20年度開発したマスク構造仕様の確定において新規に課題となった、低反射率領域の測定精度不足を解消するため、反射率測定器の検出系改造、ソフト変更を行った。

(4)平成21年12月加速

◆パターン欠陥検査高性能化(201百万円)

偏光照明検査技術の開発により検査感度を世界最高の30nm台に引き上げたが、検査時間が市販装置の10倍となった。このため、検査光源の高出力化と検出系の低ノイズ化により、検査信号のS/N比(信号/ノイズ比)の低下を防ぎ、検査時間を市販装置の2倍にまで短縮した。また、検査光を2つの偏光(P偏光とS偏光)に分割し集光する新規光学系の開発、およびオートフォーカスの高精度化技術の開発を行い、検査感度を20nm台にさらに引き上げた。

◆パターン欠陥修正高精度化(84百万円)

反応性ガス雰囲気中でのイオンビーム照射により、世界最高水準20nm台のマスク欠陥修正精度を実証し

た。しかし、現在使用しているGaイオンビームよりも原子の小さな水素イオンを用いることで、マスク欠陥修正精度を向上させるため、欠陥修正に適用可能な水素イオン鏡筒の開発とその評価、さらに同イオンビームと反応性ガス供給との整合を行った。これにより10nm台の修正精度を達成した。

⑤「EUV光源高信頼化技術開発」における加速

(1)平成21年8月補正予算

◆EUV光源高信頼化技術の総合的実証システム構築(500百万円)

LPP光源の清浄化技術開発において、磁場によるSnイオン制御とイオン化レーザによる中性Snデブリのイオン化については、各要素技術の試験をする際には、実験チャンバをその時々で組み替えて試験を行い、個別に要素技術の検討を行ってきた。EUV光源高信頼化技術の実用化には、個々の要素技術をシステムとして組み合わせた試験による技術の実証が必要であるため、清浄化を図る要素技術を組み合わせたシステムを構築し、これによる実証試験を追加的に行うことで技術開発を拡充した。

(2)平成21年9月加速

◆コレクタ長寿命化のための技術開発(452百万円)

DPP光源の清浄化技術開発において、レーザーアシスト方式をシングルからダブルとすること、回転電極に塗布するSn膜を薄くすること、回転フォイルトラップとガスフロー付き静止フォイルトラップを組み合わせることでコレクタに到達するデブリ量を減少できることが明らかになったため、これら3つの要素技術を統合したときのコレクタ長寿命化効果を総合評価し、これらの技術開発により115Wレベルでのコレクタ寿命1年以上を実験的に証明した。

(3)平成22年6月加速

◆HVM機対応高熱負荷コレクタ熱管理技術の開発(332百万円)

量産機用DPP光源に適用可能な高信頼化技術として、コレクタに対する熱-構造-光学連携シミュレーション技術を確認したことを受け、当該シミュレーション技術を用いて量産機レベルの出力180W光源に対応するコレクタを設計・試作し、β機レベルのDPP実機に搭載した。そして、コレクタの温度上昇と集光イメージ変動を実測し、出力180W時のコレクタの熱変形による出力低下防止を確認した。

(4)平成22年10月加速

◆レーザ生成錫プラズマEUV光源の中性錫除去技術実証(150百万円)

量産機用LPP光源に適用可能な高信頼化技術として、コレクタの反射率を維持して寿命を延ばすために、水素ラジカルクリーニングを導入し、評価チャンバ内の評価ミラー表面に付着した中性Snデブリをエッチングし、水素ラジカルの供給フローを最適化した。そして、当該技術をLPP光源プロト機に搭載し、連続運転試験を通じて光源の信頼性について総合評価する中でコレクタのメンテナンスフリーを実証した。

3.3 先導研究

2005年度の第3期基本計画の改訂において、hp45nmを超える技術領域の課題を解決する革新的基盤技術の開発を行うと共に、現状技術の壁を越える可能性を持つ技術シーズを先導的に研究する開発体制の構築が課題として挙げられており、大学などで研究されている技術シーズの内、産業界のニーズに繋げられる技術を発掘し育てる先導研究を実施した。

(1)先導調査

本プロジェクトにおいて目標としている情報家電に不可欠な高機能・低消費電力システム LSI を実現するには、単なる微細化のみならず新しいアイデア(材料、構造、プロセス等)に基づく革新的技術の導入が不可欠になってきており、そのため本プロジェクトの一環で、大学等の研究機関において MIRAI で求められる産業界のニーズに繋げられる技術シーズがどの程度内在し、研究機関側が研究の方向性を MIRAI と同じ方向に向けることができるかを調べるために、産業界のニーズに繋がる技術シーズ調査を 2005 年度 12 月～3 月に実施した。本調査の研究機関とテーマを下記にまとめる。

研究機関	調査テーマ
東京工業大学	次世代 high-k・メタルゲートスタック技術に関する先導調査
東京大学	Si 基板上に形成された高性能Ⅲ-V 族半導体 MISFET に関する調査
東北大学	立体チャネル MOSFET による駆動力向上・ゲート制御性向上・特性ばらつき抑制技術に関する先導調査
産業技術総合研究所	計測技術に関する調査
産業技術総合研究所	マルチゲート MOS デバイスの集積回路応用に関する調査
広島市立大学	特性ばらつきモデルと同シミュレーションに関する調査
東京大学	Ge MOSFET における高性能ソース・ドレイン接合技術に関する調査
名古屋大学	非 Si チャネル結晶・界面形成とデバイス物性制御に関する調査
名古屋大学	閾値電圧ゆらぎ制御のためのメタルゲートエンジニアリングに関する調査
東京大学	MOSトランジスタの特性ばらつきの実情と将来に向けての対策案に関する調査
物質材料研究機構	次世代LSIデバイスにおける特性ばらつきの問題とその解決法に関する調査
東京工業大学	新探究伝送線路配線技術に関する調査
早稲田大学	22 nm ノード以降バリスティック MOSFET 時代のソース/ドレイン不純物構造設計に関する先導調査

(2)先導研究の実施

先導調査の結果、大学等の研究機関における技術シーズのポテンシャルを確認ができたため、技術シーズの育成のために 2008 年 3 月までの先導研究の実施を 2006 年 8 月 8 日に NEDO で決定された。委託先の公募を 2007 年 8 月～9 月に行った。応募提案について、下記の採択審査委員による提案書の書面審査を行った。

今村 健	株式会社 半導体理工学研究センター
大路 譲	株式会社 半導体先端テクノロジーズ
金山 敏彦	独立行政法人 産業技術総合研究所 次世代半導体研究センター
廣瀬 全孝	独立行政法人 産業技術総合研究所 次世代半導体研究センター
前口 賢二	半導体産業研究所
最上 徹	株式会社 半導体先端テクノロジーズ
渡辺 久恒	株式会社 半導体先端テクノロジーズ

採択審査委員会の審査結果を受け、NEDO は以下の委託先を選定し、研究を実施した。

東京大学	Si 基板上に形成された高性能Ⅲ-V 族半導体 MISFET に関する先導研究
------	---

AIST /NIMS	化合物半導体を含む non-Si チャンネル材料上への High-k 絶縁膜形成技術に関する先導研究
NIMS	メタルゲートを中心とした次世代デバイスにおける特性ばらつきの問題とその解決法に関する先導研究
名古屋大学	閾値電圧ゆらぎ制御のためのメタルゲートエンジニアリングに関する先導研究
東京工業大学	次世代 high-k・メタルゲートスタック技術に関する先導研究
東京工業大学	新探究伝送線路配線技術に関する先導研究
広島大学	デバイスばらつきに基づく回路特性ばらつきの予測とデバイス開発へのフィードバック

4. 中間評価結果への対応

第一期終了年度である 2003 年度に中間評価が行われた。また、2006 年度に第2回目の中間評価が行われ、その概要を以下に記す。

[総合評価]

- ・半導体産業は、我が国の情報通信機器産業において重要な位置づけにあり、本プロジェクトは、半導体産業の競争力向上のために、国の産業技術政策上重要な意義を持つ。
- ・半導体技術が高難度化する中、本プロジェクトは、hp45nm 以細のシステム LSI に向けて、MOS デバイスの構造および材料そのものの変革にまで踏み込んだ、新たな技術開発課題に挑戦しており、その果敢な取り組みは大きく評価できるものである。
- ・本プロジェクトのマネジメントについては、産学官の連携体制の下、第二期の当初の予定である4年間の半分の期間で目標を達成しており、評価に値する。さらに実用化開発に移行すべき成果は、Selete を含む、民間企業へ移転するよう取り組みがなされており、産業競争力強化の観点からも大変評価できるものである。
- ・研究開発成果についても、開発項目ごとに数値目標が明確で、世界的にもトップを行く多くの高い成果が上げられている。知的財産権についても適切に出願されている。また、学術論文や国際会議などの発表も十分に行われており、本成果は、技術開発としても優れているとともに、学術的にも価値が大きい。
- ・実用化に向けても、プロジェクトで取り扱った技術の多くは、すでに移転先も決定しており、実用化の可能性が高いものとなっている。しかし、開発されたデバイスおよびプロセス技術のインテグレーションへの発展が、今後の課題として残される。

[今後に対する提言]

- ・研究開発成果を Selete 等でプロセスモジュール化開発に繋げるために、インテグレーション、実デバイスへの適用時の課題、オーバーヘッドの低減などの効率化を含め、まだやらねばならないことは残されている。
- ・今後のプロジェクト運営に関しては、より学際的な研究を進め、より大きな差別化を期待したい。
- ・最終的にデバイスメーカーで採用されるように、Selete での検証も含めて、デバイスメーカーと連携した継続研究を行っていくことも重要である。
- ・第三期の計画については、大きな予算を使って実験的研究に走る前に、十分なアイデアの提案と技術的議論を行い、物理原理から来る限界等について、あらかじめ検討しておくべきである。先行技術を十分に調査するとともに、国内外の技術的蓄積も有効に生かせるよう、開発戦略を立てていく必要がある。

- ・本プロジェクトは材料・デバイス中心のプロジェクトではあるが、微細化限界の克服のためには、回路システム関連の研究と相まって相補的に進展することが重要であり、必要に応じ回路システム関連の研究テーマを導入する機動的なマネジメントを期待したい。

この中間評価を受けて、第三期において本プロジェクトの成果をスムーズに産業界に移転するため、民間プロジェクトである「あすかプロジェクト」と連携し、技術領域をフォーカスして日本の半導体デバイス・装置・材料産業に波及する技術開発を行うこととした。また、第二期成果の技術移転後の支援を行うために NEDO 装置を借用して継続的な実用化開発が必要である技術移転先において継続研究を行った。

平成 19 年末には「I. 次世代半導体材料・プロセス基盤技術開発」に関する中間評価を行った。その概要を以下に示す。

[総合評価]

- ・半導体は、産業のインフラや差別化に大きく関わっていることから、我が国の産業競争力は勿論、安全保障の観点からも非常に重要である。また、半導体産業は、日本経済を底支えする基幹産業でもある。しかし、半導体技術は近年ますます高難度化しており、民間のみで取り組むのは難しい状況にある。したがって、国を挙げてその技術開発を活性化し促進することを目的に、日本における ULSI 技術研究開発の最前線として、NEDO の下、産官学の英知を結集して先端技術開発、知的基盤の創出を行っている本プロジェクトの意義は大変大きい。また、本プロジェクトは、第三期の中間地点で、数多くの世界最高レベルもしくは世界初となる研究成果が得られており、質・量ともに高く評価できる成果が出ている。しかしながら、得られた成果の実用性は認められるものの、本格的な実用化さらには事業化のためには、今後のさらなる研究開発、調査が必要なものも多い。したがって、今後の半導体技術力強化のためには、本プロジェクトを継続実施することが望ましい。
- ・実用化へむけての努力は評価できるものの、今後の研究開発や事業化に対するビジョンが明確とは言えない。また、本プロジェクトは材料やプロセス要素技術に関する個別のテーマを重点的に掘り下げることに重きを置く体制となっており、LSI システム全体としての高性能化にどのようにつながっていくのかを明確にする体制とはなっていたといえず、全体像が掴みにくい嫌いがある。また、個別テーマについては、最先端LSI開発のためのテーマとして、これで必要かつ十分であるかの検討が不足している嫌いがある。
- ・LSI システム全体をにらみつつ、早急に第三期の最終的な目標及び出口を明確にし、それを達成するための適切な連携や共通目標設定、技術移管体制をしっかりと検討すべきである。ただし、半導体分野の動きは非常に早いので、マネジメント体制により十分な柔軟性を持たせることが肝要であろう。

[今後に対する提言]

- ・半導体競争力を維持、強化することは我が国にとって必須であり、本プロジェクトはその先駆的な研究開発を担っていることから、継続して実施すべきである。
- ・ただし、プロジェクトとして、開発する技術の、従来技術に比べた明らかな優位性や、プロジェクト全体としての成果を明示することに留意されたい。また、中間評価時点では、第三期の終了時の目標や実用化への道筋が明瞭になっていないため、評価に戸惑う結果になっている。本プロジェクトを hp32nm やそれ以細の集積回路においてどのように活用するのか、周辺技術へどのように適応するのか、あるいは新たなテーマを取り上げる必要があるのかなどの検討を早急に行い、今後の基礎的研究の継続の仕組み作りや、実用化に向けての企業との連携体制の確立をしていただきたい。

この中間評価を受けて、第三期前半までの研究成果により絞り込まれた技術選択肢をベースとして、実用化に向けた目標の明確化を図るため基本計画を変更した。これに伴い、公募により体制を見直した。

平成20年度には「Ⅱ．次世代半導体露光プロセス基盤技術開発 ④次世代マスク基盤技術開発」に関する中間評価を行った。概要を以下に示す。

[総合評価]

- 半導体産業は基幹産業の一つであり、我が国の中で発展してきた。その発展の原動力は、一つには微細化、とくに露光技術の発展に依存している。
- 低消費電力システムLSIの開発にはパターンの微細化が不可欠である。hp22nm以細まで対応可能な量産用露光技術は、今の所、EUV露光技術しか見当たらない。その中核テーマであるマスクに焦点を当てた本プロジェクトは、国際競争力を高め、緊急性を要する研究開発を加速する意味でNEDOの事業として妥当である。
- 本MIRAIプロジェクトのマネジメントについては、全体として有機的につながりを持って推進されている。また、研究開発成果についても、少数の研究者(15名程度)であるにも拘わらず、世界最高性能である線幅26nmの孤立・密集パターンの同時形成、マスク・マスクブランクス内の高さ1.5nm、大きさ60nmの欠陥を走査検出可能な新原理欠陥検出法の開発、汚染物質に関わる多くの知見とそのクリーニング方法、搬送方法などに関し多くの研究開発成果を着実にあげ、順調に研究開発が進んでいることから、中間目標であるhp45nmに対応する技術は目標を達成できる見通しであると判断する。さらに最終目標の達成に向けても課題の明確化が図られているものと考ええる。
- 今後は各研究グループ間での連携をさらに深め、共通のマイルストーンを明確化し、年度や期の区切り毎に進捗を数値的に確認しながら、最終目標が達成できるよう、研究開発を進めてほしい。また、加速すべき技術を見極めた上で、重要な研究開発については研究をさらに加速し、プロジェクト終了時点で予定以上に高い技術レベルを達成することを期待する。

[今後に対する提言]

- 本プロジェクト終了までの2年間で、実用化に必要な全ての技術を揃えることはなかなか難しい状況であり、本プロジェクトで全てをまかなう事も勿論できない。わが国でカバーすべき分野、得意分野と、外国のコンソーシアムや企業が先行している分野、彼らが得意として任せられる分野を峻別して、リソースの集中を図るべき時に来ている。
- 今後に向けては、リソースを集中すべき研究開発項目を今一度精査すべきである。また、EUV露光技術の出番はhp22nm以細になると思われることから、本プロジェクトの成果を基に必要な課題を洗い出し、必要なものについては、加速資金等の投入も積極的に行うべきと考える。
- また、EUV露光技術の実用化に際しては、コストも重要なファクターであり、ユーザーにとって関心の高いところと考えられる。EUVマスクの方が安価になる期待もあるので、技術開発に併せてコスト試算も可能な限り行っていただき、技術開発の意義をアピールしていくことも期待したい。

5. 評価に関する事項

第一期の中間評価を平成15(2003)年度に行った。また、第二期の繰り上げ終了に対応して、平成18(2006)年度に第二回の中間評価を行った。第三期前半の中間評価として「Ⅰ．次世代半導体材料・プロセス基盤技術開発」に関する評価を平成19(2007)年度に行った。また、「Ⅱ．次世代半導体露光プロセス基

盤技術開発 ④次世代マスク基盤技術開発」に関する評価を平成20(2008)年度に行った。平成23年度に事後評価を行う予定である。

Ⅲ 研究開発成果について

1. 事業全体の成果

I. 次世代半導体材料・プロセス基盤技術開発

① 新構造極限CMOSトランジスタ関連技術開発 [U-CMOS]

本研究開発項目は、独立行政法人 産業技術総合研究所(以下、産総研)と株式会社 東芝(以下、東芝)とで、次のように分担・連携して開発を行った。

産総研： バリステックCMOS基盤技術開発

主としてSi材料を用いて、ゲート絶縁膜界面でのキャリア散乱低減や金属半導体界面の接触抵抗低減のための、原子スケールでの材料制御技術の極限追究とデバイス実証および関連する評価技術等の研究開発を行う。

東芝： 新材料バリステックCMOS技術開発

主としてSiGe系材料を用い、ひずみなどの移動度向上技術や、トランジスタプロセス開発、要素技術のデバイス実証、短チャネルトランジスタでの性能実証等を行う。

また、産総研のスーパークリーンルーム施設での微細トランジスタ試作において、産総研、東芝の両メンバーが、プロセス開発等で協業した。

以下に、基本計画の開発項目と目標、及びそれらに対する主な成果、目標に照らした達成度をIII-1-I-①-1-(0)-表1として示す。

III-1-I-①-(0)-表1 基本計画の開発項目と目標、成果、及び達成度

開発項目と目標	成果	達成度
<p>(1)ソース・ドレイン材料・構造の制御により CMOS の駆動力を高める技術の開発 【開発項目の全体目標】 ソース・ドレインの材料・構造を制御して、キャリア注入速度・キャリア濃度を向上し、キャリア反射を抑制する科学的な理解に裏付けられた材料・構造・プロセスの設計指針を提案し実証する。</p>	<p>【開発項目の全体成果】 ・高移動度SiGe、GeチャネルCMOSのソース・ドレインの最適な材料として、NiSiGe及びNiGeを新たに提案した。NiSiGe及びNiGeショットキー界面に適切な不純物材料を見出し、これを制御して、実効キャリア速度の向上に不可欠な低抵抗オーミック形成に成功するとともに、Lg=26nmでのデバイス動作で、提案ソース・ドレイン材料の有効性を実証した。</p>	<p>達成</p>
<p>①ソース・チャネル界面を制御し、キャリア注入速度等を改善する材料・形成方法・構造の開発 (東芝)</p>	<p>・Ge基板上で、hp32ノードに対応するサイズのhigh-k/MGへのNiGeメタルソースドレインの形成に成功した。 ・上記技術を適用・改良を施し、ひずみSiGe Trigate MOSFET向けにメタルSD (NiGeSi)プロセス開発完了、微細トランジスタに適用し、動作を確認した。 ・Ge-nMOS 用新規偏析ショットキー技術(P/S 界面ドーブ)により、NiGe/GeダイオードのON抵抗が従来技術(Pのみ)の半分に低減すること確認。また、電子に対して10mV以下のSBHを確認。 ・以上より、高移動度チャネルである、SiGe,Geへの低ショットキーバリアメタルソースドレイン技術が実用化の技術選択肢となりうるポテンシャルを有していることが示され、目標が達成された。</p>	

<p>②ドレイン・チャンネル界面での電子状態を制御しキャリア反射を抑える材料・形成方法・構造の開発 (産総研)</p>	<p>・TCAD Simulationから、ドレイン端に関してはソース端同様、できるだけショットキー障壁を小さくするのが、寄生抵抗削減の観点で望ましいことを明らかにした。</p>	
<p>(2)キャリア輸送特性を向上してCMOSの駆動力を高める技術の開発 【開発項目の全体目標】 チャンネルの歪み、表面・界面ラフネス、ソース・ドレインとの界面付近の不純物分布を制御してバリスティック効率を向上する科学的な理解に裏付けられた材料・構造・プロセスの設計指針を提案し実証する。</p>	<p>【開発項目の全体成果】 ・Geチャンネルへ効果的な歪み技術を提案し、正孔移動度の向上を実証するとともに、Ge上のSrGe界面処理による正孔移動度特性の向上を実現した。Siチャンネルについても、表面・界面ラフネス改善とエピタキシャルhigh-kによる移動度向上、ソース・ドレインとの界面付近の不純物分布を制御して0.1eV以下のショットキーバリアを達成するなど、ショバリスティック効率の改善に関わる設計指針の提案と実証を行った。</p>	<p>達成</p>
<p>①チャンネルの歪みを制御してキャリア速度を向上するためのCMOS向け材料・形成方法・構造の開発 (東芝)</p>	<p>・二段階酸化濃縮法による高Ge濃度SGOIチャンネルSiGe-pMOSFETにおいて、一軸圧縮ひずみが観測された。ひずみSiを上回る正孔移動度が実現可能な大きなひずみ(2.6%)を実現した。 ・hp32相当よりも微細なGe-nMOSFET構造に、ゲート両端のリセス上へのSiGeエビにより、一軸引張りひずみの印加を確認。移動度増大に有効な1%以上の引張りひずみの印加を確認した。これらを持って、目標を達成した。</p>	
<p>②ゲート絶縁膜・チャンネル界面を改善しキャリア散乱を抑制するためのCMOS向け材料・形成方法・構造の開発 (東芝)(産総研)</p>	<p>(東芝) ・Geチャンネル上のhigh-k(LaAlO)/SrGe絶縁膜により、Si正孔のユニバーサル移動度の約2倍の正孔移動度達成。 ・このSrGe界面層技術でEOT<1nm達成。また、現状high-k/Si並みEOT-Jgスケラビリティ(実用的なゲートリーク特性)を確認。 ・以上のように、キャリア散乱要因を極力抑えたゲートスタックプロセスが開発され、そのキャリア移動度に対する有効性が示され、目標が達せられた。 (産総研) ・酸素終端法を開発。active-passive境界条件酸化を用いてSiの最表面結合を酸素で終端。均一な直接接合界面を形成。SiO₂/Si界面での界面ラフネス散乱と同程度の高品質high-k/Si直接接合ゲートスタックを形成することに成功し、目標を達成した。 ・RTC法を開発。非晶質HfO₂膜を基板側から結晶化させることにより、高品質な直接接合エピタキシャルHfO₂を形成。界面層形成を抑制することでEOT 0.5 nmを実現することで目標を達成した。 ・駆動力検証についても、目標を達成した。詳細は開発項目(4)で述べる。</p>	
<p>③NMOSとPMOSそれぞれに最適化したチャンネルとソース・ドレインとの界面付近の不純物分布を最適化しバリスティック効率を向上するための材料・形成方法・構造の開発 (産総研)</p>	<p>・SOI基板中のNiSi₂横方向エピタキシャル成長を利用した接合制御技術を開発した。 ・NiSi₂のショットキー接合界面に偏析したP(リン)およびB(ボロン)を、従来行われていなかった高温アニールで活性化することで、接合の実効バリアハイトをSiの伝導帯および価電子帯からそれぞれ0.1 eV</p>	

	<p>以下に調節できることを実証した。世界でもトップ水準の数値を達成し、メタルソース・ドレイン技術の実用化に向けて大きく前進する成果が得られ、目標を達成した。</p>	
<p>(3) 微細な低消費電力・高電流駆動力トランジスタによる実証 【開発項目の全体目標】 バリステック輸送現象が発現する微細ゲート長のシリコン-ゲルマニウム系MOSトランジスタを作製し、電流のゲート長依存性などからバリステック効率を導出する。本テーマの開発成果を用いていないトランジスタとの比較で、OFF電流を揃えた条件でON電流が1.15倍以上となること、ならびにON電流をそろえた条件での消費電力が80%以下となることを示す。また、開発されたトランジスタ素子特性が、高い再現性で得られることを実用化の観点から示す。</p>	<p>【開発項目の全体成果】 ・SiGe 及び Si チャネルについて、hp32nm 相当の微細ゲート長トランジスタの試作をした。1.15 倍以上の電流駆動力の向上と20%以下の消費電力の削減効果が実証された。</p>	<p>達成</p>
<p>① 超低消費電力トランジスタの作製と低消費電力・高電流駆動力性能実証 (東芝) (産総研)</p>	<p>(東芝) ・nMOS: ひずみ SOI-GAA-FET でオン電流 1.23 倍, 消費電力 64% (対参照用 Trigate-SOI) ・pMOS: ひずみ SGOI-TrigateFET でオン電流 1.45 倍, 消費電力 72% (対参照用 Trigate-SOI) ・上記特性により、数値目標を達成した。 (産総研) ・ゲートの微細化に関して、東芝との共同開発を行い、メタルゲート/high-k絶縁膜及び、偏析によりショットキーバリアハイトを制御した、NiSi₂メタルソース・ドレインを適用した、Lg=26nm (hp 32nm ゲート長相当)のFD-SOIデバイスの試作を完了することで、目標を達成した。また、本表の項目(2)-産総研実施計画書②で開発した高駆動力ゲートスタック有効性を試作した微細トランジスタにおけるゲート長のドレイン電流依存性から検証し、開発した高駆動力ゲートスタックの適用により未適用に比較して34%の駆動力の向上があることを示した。</p>	
<p>(4) 計測・モデリング技術の開発 【開発項目の全体目標】 トランジスタのバリステック効率の向上メカニズムを解明できる評価・解析法を確立し、モデル化技術を確立する。</p>	<p>【開発項目の全体成果】 ・微細デバイスの電気特性評価法を開発し、バリステック輸送効率など求めるとともに、走査トンネル顕微鏡 (STM) によるポテンシャルプロファイル計測技術、ラマンを用いた局所応力分析を開発し、バリステック効率の向上メカニズムを解明できる評価・解析法を確立した。また、量子補正モンテカルロ・デバイスシミュレータを用いた、準バリステック輸送のモデル化技術を確立した。</p>	<p>達成</p>
<p>① バリステック効率向上技術関連の計測技術の開発 (産総研)</p>	<p>・開発項目 (3) で開発したデバイスについて、バリステック効率などを抽出した。また、開発項目 (2) で開発した HfO₂/Si 直接接合型の高移動度ゲートスタックに対して、キャリア移動度とソース端実効速度の関係をもとめ、従来技術に比較して 34%の電流駆動力向上が可能であることを示したことにより、本プロジェクトの数値目標を達成した。 ・NiSi₂とSiのライン&スペースパターンに対し、試料表面調製法を開発し、NiSi₂/Si 界面付近の伝導帯、価電子帯のバンドプロファイルを測定することに成功した。さらに、STM シミュレーションを行うことにより、0.1eV のポテンシャル計測分解能があること</p>	

	<p>を示した。これにより、当該開発に関する目標は達成された。</p> <p>・NiSi, NiSi₂がSiに誘起する応力を計測し、NiSi₂がより揺らぎの小さい応力の印加していることを見いだした。また、偏光方向を制御することにより、応力の方向と大きさを定量的に解析する技術を開発し、電磁場シミュレーションの結果を解析することにより、光の回折限界を超える空間分解能で応力分布の解析ができることを示した。さらに、開発したラマン計測技術を用いた測定結果を用いてシミュレーションの較正を行い、高精度の応力評価を可能とすることで、目標は達成された。</p>
<p>②低消費電力・高電流駆動力トランジスタのモデリング技術の開発 (再委託:神戸大学)</p>	<p>・メタルソース/ドレイントランジスタのバリスティック輸送効率をシミュレーションし、メタルソース/ドレイン構造では、1)ソース端kTレイヤが従来のpn接合トランジスタに比べて狭くなること、2)その結果、キャリアのソースへの後方散乱が抑制され、同一チャネル長・同一バイアス条件においてバリスティック効率が向上することを、明らかにした。</p> <p>・不純物偏析がソース端の実効バリア高を低くし電流駆動力を向上させる技術として有効であることを実証した。さらに、高濃度偏析下の素子特性はショットキーバリアではなく、隣接するボトルネックバリアが支配することを見出すなど、不純物偏析型のメタルソース・ドレインを有する、準バリスティックMOSFETのモデル化技術を確立した。以上より、バリスティックCMOSTランジスタの特性シミュレーションおよび最適設計技術を完成させた。</p>

次に主な成果の概要を記述する。

(1) ソース・ドレイン材料・構造の制御によりCMOSの駆動力を高める技術の開発

nチャネルトランジスタ用の技術として、GeチャネルへのNiGeコンタクト抵抗の低減技術を開発した。NiGeとGeの界面にPとS原子を高濃度に分布させることにより、従来知られているPのみの場合に比べショットキーダイオードのオン抵抗が半分程度以下になった。また、それに対応してショットキーバリアが大幅に低減されたことを確認した。P・SのNiGe/Ge界面への共存によるショットキーバリア低減を示したのは世界初である。

pチャネルトランジスタ用の技術として、Ge-MISFETむけNiGeコンタクトのプロセス技術を開発した。プロセスパラメータの最適化により、hp32世代に対応する微細ゲート構造に、メタルSD構造を作りこむことが出来た。本技術を、ひずみ立体SiGeチャネル向けNiGeSiコンタクトに適用した。Geの価電子帯端に金属のフェルミレベルがピニングして正孔に対するバリアが消失するのと同様、高Ge組成のSiGeに対しても不純物ドーピングなしにバリア低減が可能であることを示した。本開発の結果、(3)における数値目標である、電流駆動力の増大と、消費電力低減の数値目標を達成した。

(2) キャリア輸送特性を向上してCMOSの駆動力を高める技術の開発

nチャネルに関して、ひずみSi、ひずみGeのひずみ印加(緩和防止)構造を提案し、実験的検証を行った。ひずみSiについては、SOI上で微細加工した際にもひずみが緩和しないためのSiGeストレスリテーナ構造を提案し、実際に試作した微細ひずみSiアイランドでひずみ保持の実証をおこなった。ひずみGeに関しては、チャネルに模したダミーゲートの両側のソースドレインに相当するGe基板にウェットエッチングで溝を形成し、SiGeをエピタキシャル成長して、ダミーゲート直下のGeの引張りひずみをラマン分光で評価した。その結果、hp32相当以下のサイズまで、必要な引張りひずみ(0.5%以上)が印加されていることを確認した。前者はMIRAIオリ

ジナルの技術提案であり、後者はこの系における世界初の実証として意義が大きい。

pチャンネルに関しては、酸化濃縮法による立体チャンネルひずみSiGeチャンネルの形成により、2.6%という非常に大きな一軸圧縮ひずみを達成した。既存のひずみSi用プロセスでは1.5%程度が上限であり、それをはるかに超える値が実現できた。また、2.7%の圧縮ひずみSiGeで、(001)Siの約5倍の正孔移動度増大を実証した。この移動度増大も、同様の立体チャンネルSiGeにおいては世界最高の値である。一方、ゲート絶縁膜界面に関しては、Ge基板上で、オリジナル技術であるSiGe_x(ストロンチウムジーマナイド)界面層技術の実証を行った。その結果、high-kゲート絶縁膜を有するGe-pMISFETにおける正孔移動度として、世界最高値を実現した。また、high-kゲート絶縁膜を有するGe-pMISCAPの熱処理によるフラットバンド電圧シフトの系統的解析より、GeトランジスタではSiトランジスタに比べ熱処理によるしきい値電圧シフトが大きくなることを見出した。

Si系チャンネルの駆動力向上に関連して、寄生電気抵抗の低減によってキャリア輸送特性を向上することを目的として、メタルソース・ドレイン技術の開発を行った。熱耐性に優れたNiSi₂相を用いたメタルソース・ドレイン構造の形成技術を構築して完全空乏型SOI FETを試作し、その動作を確認した。接合特性の課題であるショットキーバリアに対しては、不純物偏析機構に基づいた実効ショットキーバリアハイト低減技術を活用し、その高度化指針を探索した。原子層エッチングと二次イオン質量分析技術を駆使することで、偏析元素が接合界面の数原子層領域に存在することを突き止めた。偏析不純物の活性化率の低さを高濃度化と高温アニールによって克服することで、シリコンのバンドエッジに相当する実効バリアハイトを実現することに成功した。

また、ゲート電極のチャンネル支配力強化によってキャリア輸送特性を向上することを目的として、極薄High-k技術の開発を行った。酸化反応と酸素エッチング反応の遷移領域に注目して、Si最表面の原子層のみを酸素で終端する技術を開発した。さらに非晶質HfO₂膜の結晶成長技術を開発し、エピタキシャルHfO₂膜を合成した。キャパシタおよびトランジスタを試作して電気特性を評価し、界面の酸素終端化が界面準位の低減に貢献すること、そしてエピタキシャルHfO₂膜の合成が漏れ電流の低減に貢献することを明らかにした。これらの技術を統合することで、世界最高の移動度を有する極薄High-k膜を達成した。既存の半導体製造技術に基づいて開発したこれらの成果は、生産技術への展開が容易である。

(3) 微細な低消費電力・高電流駆動力トランジスタによる実証

(1)、(2)で得られた知見を活用し、nチャンネルとして、ひずみSOIチャンネル、pチャンネルとして、ひずみSGOIチャンネルの微細立体チャンネル構造トランジスタをそれぞれ試作し、無ひずみSOIチャンネルの同様な構造の素子との電流電圧特性の比較を行った。その結果、十分な余裕を持って数値目標が達成された。すなわち、同一ゲート電圧での電流値がそれぞれ27%、45%増大し、同一電流値を得るためのゲート電圧がそれぞれ20%、15%減少した。これらは、消費電力換算でそれぞれ36%、28%の低減に相当する。ただし、これらの値は、nチャンネルに関しては比較対象のSOI素子の反転層キャリア濃度N_s依存性は少ないものの、pチャンネルはN_s依存性が高く、前記値はN_s=7.2e12 cm⁻²の時の値である。pチャンネルについては、N_sの想定を高くするほど消費電力低減効果が大きく、N_s=8.7e12 cm⁻²の時に42%の消費電力低減効果が得られた。これらの値は、本研究項目における数値目標である、15%以上の電流駆動力の増大、および、20%以上の消費電力の低減をいずれも満たすものである。

さらに、(1)、(2)で開発したSi系チャンネルの要素技術に関して、微細CMOSへの適用可能性を実証するため、極薄SOI上にメタルゲート電極/high-kゲート絶縁膜、メタルソース/ドレインの新材料を導入した微細トランジスタのプロセス開発、デバイス実証を行った。ゲート電極には、ゲート長によるしきい値電圧バラツキが抑えられるmetal inserted poly-Si stack (MIPS)ゲート電極を用いた。新たに開発したSiO₂ハードマスキング法により、26 nmまで細線化することができた。さらに、ゲート長26nmのn- & p- MOSFETsを試作し、動作実証した。メタルソースドレイン接合位置制御技術については、メタルS/DにはSiとの格子ミスマッチが極めて小さいエピタキシャルNiSi₂を用いた。エピタキシャル成長中のアニール時間の制御により、極薄SOI中でエピタキシャルNiSi₂を原子層レベルで縦横方向へ位置制御できることを示した。

(4) 計測・モデリング技術の開発

MIRAI-UCMOSで開発した、高移動度Geチャンネルの移動度や界面特性評価、ならびにメタルソース・ドレイン技術や高駆動力ゲートスタック技術の微細デバイスへの適用可能性の検証のための電気特性評価を行った。GeチャンネルのpMOS移動度解析として、Geチャンネルに数モノレイヤーのSiをエピタキシャル成長したヘテロ界面のpMOSFETを試作し、Siの正孔のユニバーサル移動度に対して、約4倍の移動度を達成できたことを示した。また、nMOSに関しては、SiO₂/epi-Si/Ge界面と、GeO₂/Geについて、伝導帯側での界面準位密度のエネルギー分布を精密に測定した。その結果、SiO₂/epi-Si/Geよりも、GeO₂/Geにおいて伝導帯側の界面準位密度は小さく、10¹² cm⁻² eV⁻¹を下回る界面が得られることが分かった。これらの結果は、今後の高移動度Ge CMOSを実現するために必要な界面制御の指針となる結果である。

また、III-1-I-①-(2)で開発した極薄高駆動力High-kゲートスタックにおける微細化ゲート長領域での有効性を検証するため、Full-depleted Silicon on Insulator (FD-SOI)型の微細MOSFETを試作し、移動度、ソース端実効速度などを抽出した。その結果、III-1-I-①-(2)で開発した高駆動力ゲートスタックは十分高い移動度が実現しているため、従来法(HF-last上のHfO₂ゲートスタック)と比較して、約34%の電流駆動力の向上が確認された。これにより、MIRAI-UCMOSの目標である、電流駆動力の15%以上の向上を達成した。ポテンシャル分布計測技術開発においては、走査型トンネル顕微鏡(STM)を用いて、Siデバイスのポテンシャル分布を測定する技術を開発し、STMシミュレータによりポテンシャル分布を定量的に解析することに成功した。また、メタルソース/ドレインとSi界面のポテンシャル計測に関しては、伝導帯、価電子帯のバンドプロファイルを測定し、STMシミュレーションにより、測定されたプロファイルを再現することに成功した。

ラマン分光法を用いたSiデバイス構造の局所応力分布計測技術開発においては、偏光方向を制御することにより、異なるラマン信号成分を分離して検出し、応力の方向と大きさを定量的に解析する技術を開発した。さらに、高い開口数をもつ対物レンズとラマン禁制偏光光学配置を用いることにより、(001)面上の応力方向を解析する技術を開発し、歪みSOI層をパターンニングした時に生じる異方的応力緩和を観測した。

また、電磁場シミュレーションの結果を解析することにより、50nmという光の回折限界を超える空間分解能で応力分布の解析ができることを示した。そして、開発したラマン信号の偏光解析技術をベースに実トランジスタにおける歪みシミュレーションの高精度な校正を行い、様々なレイアウトバリエーションにおけるトランジスタのチャンネル領域の応力が評価できることを示した。

また、バリスティック効率の向上メカニズムを解明するためのバリスティックCMOSシミュレーション技術を開発した。このシミュレーション技術を用いて、バリスティック効率の向上には、ソース端のボトルネック幅を狭くしキャリアの後方散乱確率を低減する構造が有利であることを明らかにした。この知見を基に、従来の拡散層電極よりも狭いボトルネック幅が実現できるショットキーMOSFETに着目した。その結果、ショットキー障壁高さを約0.15eV以上に設定すると、ボトルネック幅の縮小によりバリスティック効率が向上することを初めて明らかにした。その一方で、ITRSが要求する寄生抵抗値を下回るためにはショットキー障壁高さを0.1eV以下にまで下げる必要があることから、不純物偏析技術によるショットキー障壁高さの変調効果を検討した。その結果、高濃度の不純物偏析素子ではショットキー障壁高さを低減できる一方で、チャンネル内部にポテンシャルポケットが形成されるため従来と同様の広いボトルネック幅を持つボトルネック障壁がキャリアの注入機構を支配することを明らかにした。

② 新探究配線技術開発

(1) 極限低抵抗・高電流密度配線技術の開発

初期目標の達成状況については、III-1-I-②-(1)表1に示す通りであるが、次に概要を示す。カーボン配線技術開発では、LSI製造プロセスで許容される温度条件におけるカーボンナノチューブの高密度、高速成長技術の開発、300mmウェハへ拡張可能な技術によるCu配線に対する優位性の実証により、目標を達成している。さらに、学会・論文発表などの状況については、III-1-I-②-(1)表2に示す通り、積極的な発表、特許出願を推進した。

III-1-I-②-(1)表1 開発項目と目標達成状況

開発項目と目標	開発成果	達成度
1) LSI製造プロセスで許容される温度条件におけるカーボンナノチューブ(CNT)の高密度成長技術の開発	1) 4段階プラズマ処理という新プロセスを導入し、プラズマCVDでCNT密度 $2 \times 10^{12}/\text{cm}^2$ の高密度を達成(目標値は $3 \times 10^{12}/\text{cm}^2$)。CNT層数は約5層より、 1×10^{13} シェル/cm ² を達成(世界トップ)。ビア構造では、ビア底の地下金属膜と表面処理の最適化や新しい二元系微粒子触媒の適用により、熱CVDの高品質かつ高密度($1 \times 10^{12}/\text{cm}^2$)CNTの成長に成功	ほぼ達成
2) LSI製造プロセスで許容される温度条件におけるCNTの高速成長技術の開発	2) プラズマCVD成長速度(密度 $1 \times 10^{12}/\text{cm}^2$)で毎分70nmを達成(目標である成長プロセス5分以内を達成)。密度 $2 \times 10^{12}/\text{cm}^2$ では毎分30nmの高速成長達成。	達成
3) hp32nm以細の300mmウェハの配線構造へ適用可能性の提示と当該世代のCu配線材料に対する優位性の実証	3) 従来のSi LSIプロセスと整合するCNTビアのためのシングルダマシプロセスを開発。さらに300mmウェハで実績のあるプラズマCVDを適用し、直径70nmの微細CNTビアアレーの作製に成功。CNTビアの電気特性は、直径70nmビアで抵抗51Ω、直径160nmビアで抵抗10Ωを得た(この値はプロジェクト開始時の1/56であり、直径50nm、高さ200nmのビア換算で約76Ωとなり、目標値14Ωと同桁を達成)。電流密度耐性では、熱CVD成長ビアでEM破破メカニズム解析やCMP平坦化、コンタ外技術改善により、 $4 \times 10^7 \text{A}/\text{cm}^2$ で1000時間以上の耐性を確認(目標値 $1 \times 10^7 \text{A}/\text{cm}^2$ 以上を達成)	ほぼ達成
4) カーボン材料を用いた横配線技術の開発	4) 縦方向でのCNT高密度成長を確認したことで、横配線での高密度化が達成できる目処を得た。	ほぼ達成

III-1-I-②-(1)表2 特許出願件数と学会・論文発表件数

	H20年	H21年	H22年	計
特許出願 (うち外国出願)	8 (3)	8 (2)	8 (3)	24(8)件
論文(査読付き)	3	3	4	10件
研究発表・講演	28	17	5	50件
新聞・雑誌等への掲載	6	3	0	9件

② 新探究配線技術開発 [NSI]

(2) 新コンセプトグローバル配線技術の開発 (LSI チップ光配線技術開発)

本研究テーマにおいては、LSI のグローバル配線における消費電力、情報伝送容量密度、シグナルインテグリティ等の課題を解決するために、シリコンフォトニクスなどの新しい技術を導入することにより、光配線を導入する検討を行った。光技術により、寸法的には LSI 内の機能ブロック間を光で結ぶことが可能であることは従来から指摘されていた。しかし、消費エネルギーを低減するには、電気信号を光信号に変換する変調器の大幅な小型・低消費電力化を行うことが必要となる。そのために必要な基本要素技術を開発するとともに、開発した技術を用いたオンチップ光波長多重伝送、および低コスト化と信頼性向上に必要な周辺技術の開発も行った。具体的研究開発内容は、『低消費電力オンチップ電気光変調器および導波路結合型受光器』、『波長多重光回路のための導波路、合分波器、受光および変調素子の多チャンネル集積形成技術』、『多波長光源とオンチップ光回路の集積技術の開発』、『光クロック・バスの低消費電力動作確認とシステム性能実証』、の四項目である。

『低消費電力オンチップ電気光変調器および導波路結合型受光器』においては、最も大きな消費電力を発生する電気光変調器を低損失化する開発を行った。目標は 10 GHz 以上で電力遅延積 4 pJ 以下、消費電力 14 mW 以下である。

ここでは、Si/SiO₂ および電極材料の上に直接ナノ結晶粒の電気光学セラミックス材料である PLZT (ランタノドープジルコン酸チタン酸鉛) の導波路を形成する方法を開発し、電気光変調器の感度を高めるために電気光学膜自体の光散乱損失を減らした。散乱の主原因となるボイド発生の機構を調べ、エアロゾルデポジションの原料粉調整方法および製膜プロセスをボイドができにくいように最適化するおとで、PLZT 膜散乱損失の目標である 2 dB/mm が得られた。さらに、電気光学変調器設計のためのシミュレータを開発し、そのシミュレータにより上記 PLZT の特性を用いたリング型 PLZT 変調器を設計した。電極を上下からサンドイッチする独自構造により、半径 75 μm の変調器の消費電力 (設計値) は 0.35 pJ、3.5 mW という極めて小さなものになった。また、試作した半径 75 μm の PLZT リング変調器は実際に 10 GHz で動作することが確認された。さらに、同じ方法で設計した半径 25 μm の変調器の消費電力は計算上 0.14 pJ、1.4 mW と目標を大幅に超える極めて小さなものとなった。試作した PLZT リング変調器は 2 GHz で動作することが確認された。これらの試作変調器の消費電力を実測するには至らなかったが、今回の試作品は加工による側壁凹凸の発生等により、導波路の光散乱が膜の光散乱よりも大きかったため、特に高周波で信号強度が弱くなっており、実際の消費電力は計算値よりほぼ一桁大きかったと見積られる。

受光器と導波路を結合した光回路については、オンチップ合分波器用に開発した Si₃N₄ 導波路から Ag 製表面プラズモンアンテナにより光信号を導入する Si ナノフォトダイオードの高効率結合設計を行った。その結果、散乱等による損失も含めた外部量子効率の本テーマ前半の開発で得られた導波路結合 Si ナノフォトダイオードの 10% から 25% にまで引き上げられた。

『波長多重光回路のための導波路、合分波器、受光および変調素子の多チャンネル集積形成技術』においては、他の配線方法と比較した場合の光配線の最大のメリットを生み出す光波長多重のオンチップへの導入を検討した。ここで、チップ上に多数の波長合分波器 MUX/DEMUX (Multiplexor/Demultiplexor) 機能を持ち、電気配線における SerDes: Serializer/Deserializer に相当する) を持つマイクロノードを置くことを可能にするため、4 波以上の光信号の合分波を行う 1mm² 以下の合分波器、および波長多重光伝送回路を試作し、光回路内における過剰損失を 10dB 以下にすることを目標とした。

導波路を用いた合分波器のフットプリントを 1 mm² 以下にするためには、導波路を急峻に曲げても光が漏れないようにする必要がある。本テーマ前半で開発した SiON 光導波路では、導波路曲げによる損失は半径 300 μm 以下になると大きくなるため合分波器のフットプリントを 1mm² 以下にすることは困難であった。今回は、SiON の O (酸素) 含有量を減らしてほぼ Si₃N₄ とすることで屈折率を引き上げて半径 20 μm まで曲げ損失が出ないように

することに成功した。その結果、0.5 mm²のフットプリントに5波の合分波器とSiナノフォトダイオードを組み合わせて設置することが可能になった。Si₃N₄導波路は側壁等を平滑にすることなどで予想以上に小さな導波損失となり、その結果合分波器の挿入損失は目標の10dBを大きく下回る4dBとなった。

『多波長光源とオンチップ光回路の集積技術の開発』においては、外部光源とオンチップ光回路の結合手段の開発を行った。光導波路に光ファイバで外部から光を導入し電気光変調器で光信号を作る方式を採用し、光通信分野で必要とされるような±0.1 μmレベルの精密位置決めは必要としない手法の開発を目指した。

量産に適した光ファイバ垂直入射型で位置決め許容量が大きい構造として、Si₃N₄導波路にグレーティングと反射膜を組み合わせた結合器を設計し試作・評価を行った。その結果、開発した結合器の位置決め許容誤差は±1.5～2.0 μmと十分大きくとれることが判明した。また、5波長以上の波長多重に十分対応する帯域幅を持つことも確認された。

『光クロック・バスの低消費電力動作確認とシステム性能実証』においては、変調器、検出器(受光器)、導波路を組み合わせて光配線を構成して入出力実証を行うこと、およびその電力遅延積が7pJ以下になることを目標とした。

SiON導波路を用いたオンチップ合分波器とSiナノフォトダイオードからなる光回路をLSIにフリップチップ接続した集積チップを用いた光波長多重実験を行い、5 GHzと3 GHzの2種類の光クロックを同一の光配線で送りLSIを動作させられることを示した。これは光クロック・バスの低消費電力動作への応用方法を示す例となっていると考えられる。システム全体の電力遅延積に関しては、設計上はトータルで2pJ以下となる個々の要素(変調器、受光器、導波路、光源)が得られた。

III-1-I-②-(2)-表1 目標達成度の一覧表

開発項目	目標	成果	達成度
1) 低消費電力オンチップ電気光変調器および導波路結合型受光器	・10 GHz以上で電力遅延積4 pJ以下の変調器を開発	・リング型PLZT変調器により、消費電力設計値0.35 pJ、3.5mWの変調器の10 GHz動作を確認	達成
2) 波長多重光回路のための導波路、合分波器、受光、および変調素子の多チャンネル集積形成技術	・4波以上の光信号の合分波を行う1mm ² 以下の合分波器、および波長多重光伝送回路を試作 ・光回路内における過剰損失を10dB以下	・5波の合分波を行う0.5mm ² のSiN光導波路製の合分波器を試作し、光回路内における過剰損失4dB、チャンネル間クロストーク-15dB以下を確認	達成
3) 多波長光源とオンチップ光回路の集積技術の開発	・外部光源とオンチップ光回路の集積に用いる光源・導波路結合器を開発	・グレーティングと反射膜を組み合わせた垂直光入射結合器を開発	達成
4) 光クロック・バスの低消費電力動作確認とシステム性能実証	・光変調器、検出器、導波路を組合せ、10mm長配線を想定した光配線を構成し、データの入出力を実証 ・光配線の電力遅延積が7pJ以下	・SiN合分波器とSiナノフォトダイオードを組合せた波長多重回路をLSIにフリップチップ接続し、同一光配線を用いて5GHzと3GHzの2周波数クロック動作を確認 ・設計上トータルで2pJ以下となる変調、受光器を開発	ほぼ達成

Ⅲ-1-I-②-(2)-表 2 特許出願件数と学会・論文発表件数の一覧表

	H20	H21	H22	計
特許出願(うち外国出願)	3	11(1)	14(4)	28(5) 件
論文(査読付き)	4	5	3	12 件
研究発表・講演	21	19	5	45 件
新聞・雑誌等への掲載	1	1	0	2 件

③ 特性ばらつきに対し耐性の高いデバイス・プロセス技術開発

(1) 構造依存の特性ばらつきの物理的理解とモデリング技術の開発

本開発の事業の目標達成状況、知財権の取得状況、学会・論文発表の状況を以下に示す。

実施項目①の「デバイス特性ばらつきの評価」については、hp65nm標準TEGの電気特性測定によりデバイス特性ばらつきと経時変化のデバイスパラメータ依存性を明らかにすることが目標であった。新規TEG、および特性高速計測技術を開発し、経時変化ばらつきを含むデバイス特性を安定的に計測可能な評価技術を確立した。さらに、新材料を含むデバイスの試作し、その評価を行うことで実施項目①の目標を達成した。実施項目②の「ばらつきの物理原因解明」については、試作したデバイスの物理パラメータの解析を行うことにより、物理原因を明らかにすることが目標である。実際に試作したデバイスの複数物理パラメータの抽出手法、実デバイスのアトムプローブ手法を開発することにより、実施項目②の目標を達成した。実施項目③の「デバイス特性ばらつきモデリング技術の開発」では、物理原因を組み込んだ3次元TCAD技術を開発し、ばらつき実測データの再現、ならびにこれを指針に不純物以外のばらつき要因を低減し、実施項目の目標を達成した。実施項目④構造依存ばらつきのモデリング技術の「デバイス電気特性のリバースプロファイリングに基づくコンパクトトランジスタモデル」に関しては、リバースプロファイリングに基づいたコンパクトトランジスタモデルを開発し、目標精度を達成した。これにより、プロセス起因ばらつきを直接反映した高精度な回路設計が可能になった。また、「ストレス起因のレイアウトパターン依存性モデル」に関しては、任意のレイアウトパターンに対応可能なコンパクトストレスモデルを開発し、目標精度を達成した。これにより、過剰な設計マージンを排除した高性能な回路設計が可能になった。実施項目⑤の「特性ばらつきに対して耐性の高いデバイス基盤技術の開発」は、特性ばらつきに対して耐性の高いデバイス構造を提案し、その基本特性と課題を明確化することである。開発した3次元TCADを用いて、デバイス基本特性を保持しつつ、特性ばらつきを抑制できる構造を提案し、開発目標を達成した。実施項目⑥は「計測解析技術の開発」である。本開発の計測・解析に必要な技術を開発し、開発目標を達成した。

以上、目標達成状況については、III-1-I-③-(1)表1.に詳細を示す通り、全ての目標を達成した。

次に知財権の取得状況については、III-1-I-③-(1)表2に示す通り、11件の特許出願を実施している。さらに、学会・論文発表の状況については、III-1-I-③-(1)表2に示す通り、積極的な発表を推進し、172件の発表を実施した。

III-1-I- (1)表 1. 平成 22 年度における目標達成状況

目 標	達成状況	達成度
①デバイス特性ばらつきの評価 hp65nm標準TEGの電気特性測定によりデバイス特性ばらつきと経時変化のデバイスパラメータ(ゲート長、ゲート幅等)および材料・プロセス(hp45nmでのゲート電極材料とhigh-k絶縁膜を含む)への依存性を定量的に明らかにする。	<ul style="list-style-type: none"> 新規 TEG、および特性高速計測技術開発により、経時変化ばらつきを含むデバイス特性を安定的に計測可能な評価技術を確立した。その結果、$\pm 3\sigma$ 範囲の経時変化、ならびに$\pm 6\sigma$ の特性ばらつきを計測し、中心特性の変化と共に、特性ばらつきが拡大する事を初めて示した。 HK/MG デバイスの試作・評価を行い、従来デバイスに比べ実効ゲート絶縁膜厚低減による V_{th} ばらつき低減を検証し、HK/MG 構造がデバイス特性ばらつき改善に有効であるというデバイス開発指針を得た。 	達成
②ばらつきの物理原因解明 で解析したTEG中のデバイスについて、デバイスサイズ・形状・構造・組成・不純物分布・ラフネス・欠陥準位密度等、および、電圧ストレス等に依存する経時変化の解析を行うことにより、ばらつきとその経時変化の物理原因を定量的に明らかにする。	<ul style="list-style-type: none"> 実デバイスの複数物理パラメータ抽出手法(たとえば、ゲート絶縁膜厚、ゲート形状、シリサイド構造等)を確立し、3D-STEM でオン電流の異なるデバイスでは、ソース・ドレインのシリサイド膜形状に相違があることを示した。 アトムプローブを用い、電気特性が異なる実デバイスのチャンネル不純物数が V_{th} と正の相関を初めて実測した。 特性ばらつき改善の指針として、シリサイド形成均一化、チャンネル不純物乱れの低減などを示した。 	達成
③デバイス特性ばらつきモデリング技術の開発 で定量的に明らかにしたばらつきとその経時変化の物理原因を組み込んだデバイス・製造プロセスモデリング技術(TCAD)を開発し、材料・プロセス・デバイスパラメータを変化させて作製したTEG解析によるデバイス特性とその経時変化のばらつき実測データを $\pm 10\%$ の精度で再現できるようにする。またこれを用いて、不純物以外のばらつき要因を明確にし、それらによるばらつきを20%以上低減する指針を得る。さらに、この技術を用いてhp32nmのシリコンCMOSのばらつき予測を示す。	<ul style="list-style-type: none"> 離散不純物モデル、LER モデル、不純物拡散モンテカルロモデル等を組み込んだ3次元デバイス・プロセスシミュレーション技術を開発した。 NMOS の V_{th} ばらつきを再現し、原因がチャンネル不純物であるホウ素の増速拡散であることを明らかにした。 NMOS チャンネルホウ素の増速拡散を抑制する炭素共注入技術を開発し、不純物の離散性以外の原因を約 25%低減した。 	達成
④構造依存ばらつきのモデリング技術 ④-1 デバイス電気特性のリバースプロファイリングに基づくコンパクトトランジスタモデル トランジスタ電気特性からのリバースプロファイリングに基づいた、非物理的なフィッティングパラメータを含まないコンパクトトランジスタモデルを開発し、TCADに対してしきい値電圧 V_{th} が $\pm 20mV$ 、オン電流 I_{on} が $\pm 5\%$ の精度で予測可能なことを示す。	<ul style="list-style-type: none"> 非物理的なフィッティングパラメータを含まないコンパクトトランジスタモデル HiSIM-RP を開発し、TCAD に対して V_{th} が$\pm 20mV$、I_{on} が$\pm 5\%$の精度で予測可能なことを実証した。 	達成
④構造依存ばらつきのモデリング技術 ④-2 ストレス起因のレイアウトパターン依存性モデル ストレス起因のレイアウトパターン依存性モデリングを提案し、その L_{on} の変動予測を $\pm 5\%$ 、 V_{th} の変動予測を $\pm 20mV$ の精度で行うことが可能なモデルを開発する。	<ul style="list-style-type: none"> LSI の任意のレイアウトパターンに対応可能なコンパクトストレスモデルを開発し、I_{on}の変動予測を$\pm 5\%$、V_{th}の変動予測を$\pm 20mV$で行うことが可能であることを実証した。 	達成
⑤特性ばらつきに対して耐性の高いデバイス基盤技術の開発 特性ばらつきに対して耐性の高いデバイス構造を提案し、その基本特性と課題を明確化することにより、微細化に伴う特性ばらつきの増大に対応できるhp32nm以細の技術領域のトランジスタ技術基盤を開発する。	<ul style="list-style-type: none"> 試作デバイスの電気特性をフィードバックした3次元デバイス・プロセスシミュレーターを用いて、プレーナ型を含む種々のデバイス構造の計算を実施し、チャンネルドーパントを低減した構造で、V_{th}、I_{on}ばらつきが低減可能であることを示した。 デバイス基本特性を維持し、しきい値、オン電流等のデバイス特性ばらつきを抑制できる構造として、FD-SOI やマルチゲート構造を提案し、ばらつき抑制効果を示した。 	達成
⑥計測解析技術の開発 、 の計測・解析に必要な技術を確立する。	<ul style="list-style-type: none"> 経時変化を含むデバイス特性ばらつきを、回復効果を最小限に抑えられる1ミリ秒以下での測定が可能でかつ、安定的に計測するシステムの開発を完了した。 電気特性を測定した実デバイス構造を解析可能な、3次元アトムプローブ技術(50nmqのMOSチャンネルの加工等、 	達成

	サンプル作成手法を含む)の開発を完了し、実施項目 2) であらつき改善の指針を得た。	
--	--	--

III-1-I-③-(1)表 2. 特許出願件数と学会・論文発表件数

	H20	H21	H22	計
特許出願(うち外国出願)	6	9(2)	4(1)	19(3) 件
論文(査読付き)	5	11	20	36 件
研究発表・講演	18	37	87	142 件
受賞実績	0	2	4	6 件
新聞・雑誌等への掲載	2	3	1	6 件

2011年2月14日現在

③ 特性ばらつきに対し耐性の高いデバイス・プロセス技術開発

(2) 外部擾乱依存の特性ばらつき of 物理的理解とモデリング技術の開発

本開発の事業の目標達成状況、知財権の取得状況、学会・論文発表の状況を以下に示す。

実施項目③-(2)-1)の「中性子線入射による電荷発生に起因する回路誤動作の物理的理解とモデリング技術の開発」については、中性子線入射によるソフトエラーの中でも特に SET (Single Event Transient)型のソフトエラーに関する発生メカニズムを明確にした上で物理モデルを構築した上で、hp32nm 以細でのシリコン CMOS における影響予測を示すと共に、エラーレートが 1~10FIT 以下となる設計指針を確立することが目標であった。本開発では、まず中性子照射実験によって SET パルス幅の発生率分布を測定するテストチップを開発し、幅 100ps 以下の SET パルスが大部分を占めることを世界で初めて実験的に確認した。次に、実験結果に基づいてプロセス微細化に対する電荷収集予測モデルを構築し、hp22nm までのシリコンバルクプレーナ CMOS における SET 起因のソフトエラーレートを予測計算を行ない、さらに SET パルスフィルタリングによってエラーレートを 1~10FIT に抑えることが出来ることを示し、本実施項目の目標を達成した。実施項目③-(2)-2)-1)の「耐 ESD 技術開発」については、外部擾乱としての CDM 型 ESD のメカニズムを明確にした上で物理モデルを提案し、設計指針を確立し、破壊現象のメカニズム解明と静電耐圧の規格 (JEDEC におけるクラス 4:1000V)を満たす解決策を提示しその有用性を示すことが目標であった。本開発では、まず、CDM 型 ESD 測定環境を立ち上げ、メカニズム解明とモデル提案を推進した。その後、CDM 型 ESD 現象のシミュレーション解析手法を構築し、シミュレーション解析と TEG 実測結果を基に、CDM 耐圧を決定づけるキーファクターを定義し、CDM 耐圧 ClassIVを実現するための解決策を提供し、本実施項目の目標を達成した。実施項目③-(2)-2)-2)の「アナログ回路における耐ノイズ技術開発」については、「ばらつき」と「ノイズ」のコンカレント・インパクトを考慮した設計のための回路シミュレーション手法を提供することが目標であった。本開発では、新たに開発したチップレベルの基板ノイズ伝播解析と新たに提案したトランジスタレベルの基板ノイズ感度モデルとを組み合わせた回路シミュレーション手法を開発し、その効果を実証し、本実施項目の目標を達成した。

以上、項目別ごとの目標達成状況については、III-1-I-③-(2)-表 1.に詳細を示す通り、全ての目標を達成した。

次に知財権の取得状況と学会・論文発表の状況については、III-1-I-③-(2)-表 2 に示す通りであり、5 件の特許出願と、27 件の発表を実施した。

以上、本開発活動では、各項目の全ての目標を達成していると共に、すでにいくつかの成果については、参加メンバー企業により、実用化が開始されている。また、知財権取得、学会・論文発表についても、積極的な活動が展開されたものである。

III-1-I-③-(2)-表 1. 平成 22 年度における目標達成状況

目 標	研究開発成果	達成度
③-(2)-1) 中性子線入射による電荷発生に起因する回路誤動作の物理的理解とモデリング技術の開発 回路・チップレベルでのエラーレートの評価技術を開発し、その発生メカニズムを明確にした上で物理モデルを構築する。またhp32nm以細でのシリコンCMOSにおける影響予測を示す。さらに、エラーレートが1～10FIT以下となる設計指針を確立する。	③-(2)-1) 中性子照射実験によってSETパルス幅の発生率分布を測定するテストチップを開発し、幅100ps以下のSETパルスが大部分を占めることを世界で初めて実験的に確認した。この結果に基づいてプロセス微細化に対する電荷収集予測モデルを構築し、hp22nmまでのシリコンバルクプレーナCMOSにおけるSET起因のソフトエラーレートを予測計算を行なった。さらにSETパルスフィルタリングによってエラーレートを1～10FITに抑えることが出来ることを示した。	③-(2)-1) 達成
③-(2)-2)-1 耐ESD技術開発 ESDの外部擾乱依存の特性ばらつきに対してメカニズムを明確にした上で物理モデルを提案し設計指針を確立し、破壊現象のメカニズム解明と静電耐圧の規格(JEDECにおけるクラス4:1000V)を満たす解決策を提示しその有用性を示す。	③-(2)-2)-1 対地容量の異なる電源ドメインは、放電速度が異なるためにドメイン境界のトランジスタのゲート酸化膜に電位差が発生し、これがチップ全体のCDM型ESD耐圧を決定していることを明らかにした。CDM型ESD耐圧向上のための設計指針として、i)電源ドメイン間の対地容量を揃えること、ii)対地容量が小さい電源ドメインに寄生容量を追加すること、iii)ドメイン間のGND配線抵抗を小さくすること、を提案し、これらの指針を実際に適用したテストチップを試作し、CDM型ESD耐圧1000Vが達成可能であることを実証した。	③-(2)-2)-1 達成
③-(2)-2)-2 アナログ回路における耐ノイズ技術開発 「ばらつき」と「ノイズ」のコンカレント・インパクトを考慮した設計のための回路シミュレーション方法を提供する。	③-(2)-2)-2 チップレベルの基板ノイズ伝播解析とトランジスタレベルの基板ノイズ感度モデルとを組み合わせた回路シミュレーション手法を開発し、その効果を実証した。	③-(2)-2)-2 達成

III-1-I-③-(2)-表 2. 特許、論文、外部発表等の件数

	H20	H21	H22	計
特許出願(うち外国出願)	0	2	3	5(0)件
論文(査読付き)	0	0	2	2件
研究発表・講演	2	9	14	25件
新聞・雑誌等への掲載	0	0	2	2件

Ⅲ 研究開発成果について

1. 事業全体の成果

Ⅱ 次世代半導体露光プロセス基盤技術開発

④ 次世代マスク基盤技術開発[EUV マスク]

本開発の事業全体についての成果を、目標の達成状況、知財権の取得状況、学会・論文発表の状況に分けて、本節に示す。

本研究開発の目的は、基本計画に記載されているように、hp32nm 以細に適用できる高精度・低欠陥 EUVL 用マスクの技術基盤を確立することにある。具体的な研究開発項目として、以下に示す三つの大テーマ、七つの中テーマが定められてる。

- (1) 高精度・低欠陥EUVLマスクおよびブランクス技術の開発
 - (1)-1 EUV 光を用いたマスクおよびブランクの検査・解析技術の開発
 - (1)-2 EUVL マスクおよびブランクスの高品位化技術の開発
 - (1)-3 EUVL マスクコンタミネーション制御技術の開発
- (2) EUVLマスクパターン欠陥検査技術および欠陥修正技術の開発
 - (2)-1 EUVL マスクパターン欠陥検査技術の開発
 - (2)-2 EUVL マスクパターン欠陥修正技術の開発
- (3) ペリクルレスEUVLマスクハンドリング技術の開発
 - (3)-1 EUVL マスクの異物フリー搬送・保管技術の開発
 - (3)-2 ウエハファブ内 EUVL マスク異物検査技術およびクリーニング技術の開発

これらの開発の最終目標は基本計画に以下のように規定されている。すなわち、

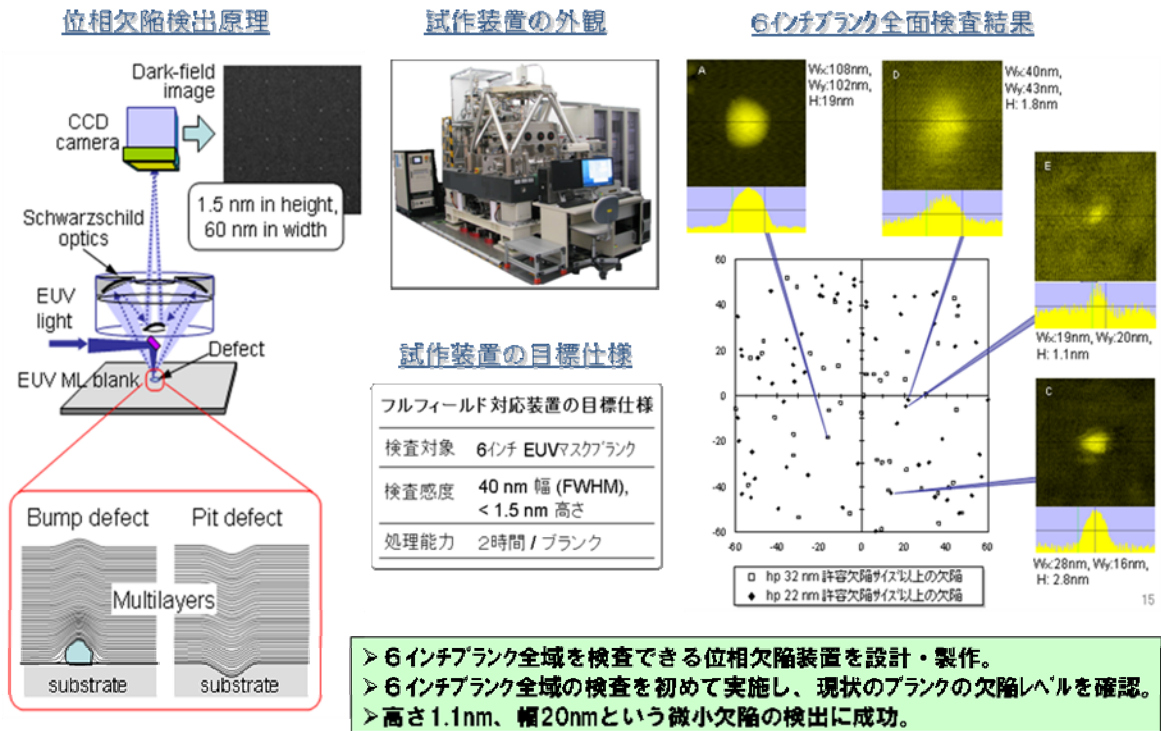
- (1) hp32nm 微細加工技術に対応する EUVL マスクの許容欠陥の指標、および EUVL マスクブランクの位相欠陥検査技術を確立する。
- (2) EUVL マスクパターン欠陥検査技術については、hp45nm 微細加工技術に対応する EUVL マスクに必要な欠陥検出感度を Die-to-Database 検査方式において実現すると共に、hp32nm 微細加工技術への要求感度達成に目処をつける。EUVL マスクパターン欠陥修正技術については、hp45nm の EUVL マスクに必要な修正精度を達成する。また、hp32nm 微細加工技術への要求精度達成への目処をつける。
- (3) hp32nm 微細加工技術において要求されるレベルの EUVL マスク搬送・保管技術およびファブ内検査・クリーニング技術を確立する。

各研究開発項目について、その成果を概観するとともに、各項目に対して設定した詳細な開発目標と達成状況を表に示す。

(1)高精度・低欠陥 EUVL マスクおよびブランクス技術の開発

(1)-1 EUV 光を用いたマスクおよびブランクの検査・解析技術の開発

世界に先駆けて EUV 光を用いたブランク全面暗視野欠陥検査装置を開発し、最も高い欠陥検出感度を用いてブランク面内の位相欠陥を検査して、現在の欠陥品質レベルを明らかにした。更に CCD カメラの低ノイズ化やノイズ低減アルゴリズムなどを開発し当初目標感度を凌ぎ、目標の検査感度少なくとも Hp16nm 世代対応マスクに影響する欠陥を検出できる感度性能を実証した。また検出信号解析や欠陥分析から本検査方式は多層膜表面形状だけでなく多層膜内部構造の異常を捉えることが出来ることを明確にし、従来光学方式検査装置への優位性を示した。本開発により、ブランクサプライヤでの位相欠陥低減を可能とし EUVL マスクブランク品質を飛躍的に向上し得る基盤技術を構築した。



III-1-II-④-(0)-図1 多層膜マスクブランク位相欠陥検査技術

(1)-2 EUVL マスクおよびブランクの高品位化技術の開発

小領域露光装置 SFET の光源特性ならびに光学系特性を詳細調査することにより装置の安定稼動化と Hp1X nm 水準の高解像化を実現した。これにより低欠陥 EUVL マスクや高性能レジストの開発を加速した。

マスク構造では量産運用を念頭にした高性能薄膜吸収体ならびに高性能マスク遮光帯を独自提案しその有効性を実証した。またレジスト LWR 問題を独自の複数ショット寸法積算処理方法の開発や、マスク LWR との相関を明らかにすることにより寸法変動 10%水準での定量的転写性の評価基盤を確立した。

マスクおよびブランクの自然欠陥の検査結果に相関させたウェハ転写性をトレースし、特にブランク位相欠陥の影響を検証した。本事業において開発した検査装置が、hp32 nm 世代マスクに対して十分な感度性能であることも明らかにした。

(1)-3 EUVL マスクコンタミネーション制御技術の開発

多角的な物性評価を通じてマスクコンタミの本質だけでなくマスク上の成長メカニズムをも明らかにし、破壊試験に拠らないマスクコンタミ制御手法の基盤を確立した。更にこれら知見を基に酸化系および還元系の複数のクリーニング技術を開発しベンチマークすることによって、ユーザでの量産運用形態に応じた技術選択肢指針を明確化した。目的に応じた複数のレジストアウトガス評価手法を開発し高精度化した。また累計 400 種類以上もの多様なレジストサンプルを評価することによりアウトガス発生源を明らかにし、サプライヤにレジスト開発指針を与えた。

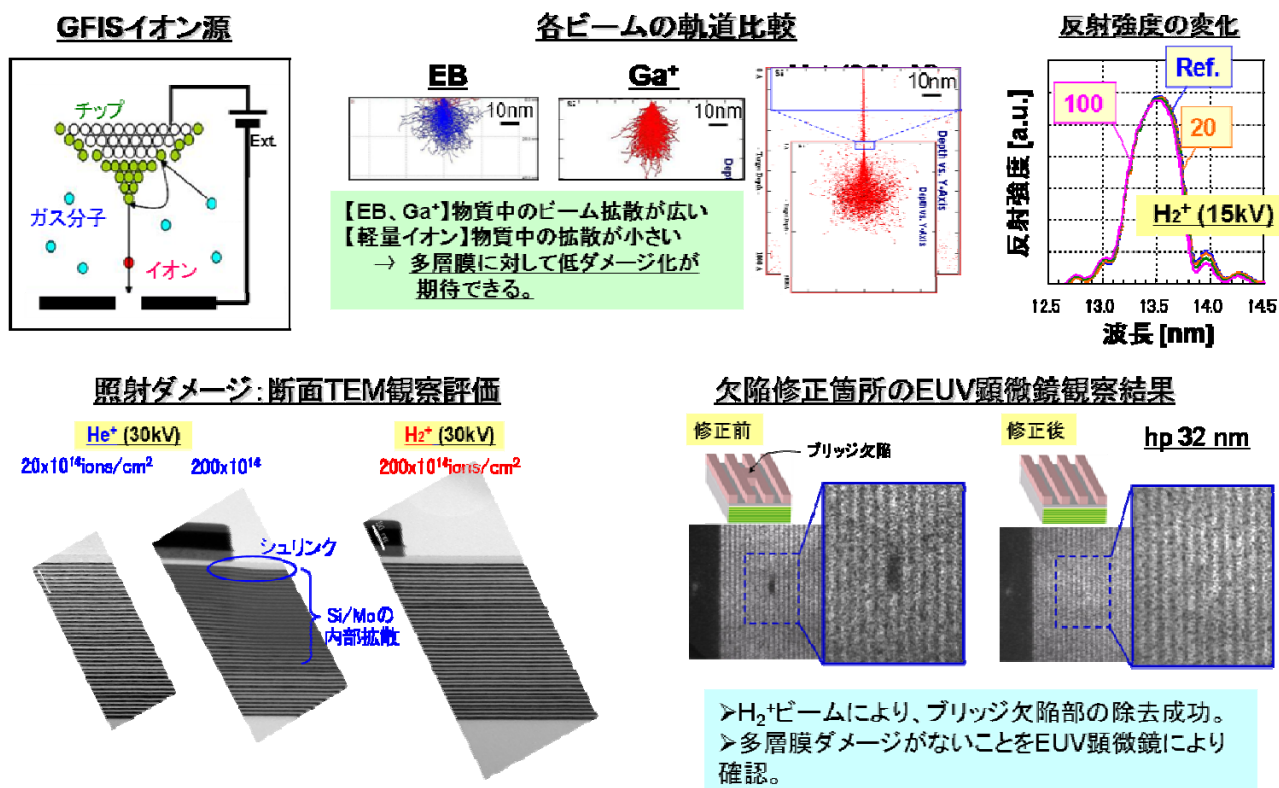
(2)パターン欠陥検査技術および欠陥修正技術の開発

(2)-1 EUVL マスクパターン欠陥検査技術の開発

検査波長 199nm の DUV 光を用いた EUVL マスクパターン欠陥検査技術開発において、偏向照明の適用、フォーカス精度向上、高感度センサの導入、センサ出力の非線形補正技術、および参照画像生成アルゴリズムの改良など、検査装置の高度化開発とともに、マスク吸収体パターンを検査光に対して低反射化することに

より、hp22nm 世代マスクの Die-to-Die 検査だけでなく Die-to-Database 検査の目標感度を実現した。本開発により、マスクサプライヤでの低欠陥化を可能とし EUVL マスク品質を飛躍的に向上し得る技術基盤を構築した。

➤hp 22 nm 世代対応欠陥修正技術として GFIS (Gas Field Ion Source) を用いた欠陥修正基盤技術を構築



III-1-II-④-(0)-図2 GFISによるマスクパターン欠陥修正技術

(2)-2 EUVL マスクパターン欠陥修正技術の開発

世界に先駆けて Ga イオンの FIB 方式による EUVL マスク用の低ダメージパターン欠陥修正装置を開発した。マスクバッファ層膜厚の最適化によりマスクミキシングダメージを解消した黒欠陥修正および白欠陥修正が可能であることを実証した。白欠陥修正では種々のデポ膜材料のマスクコンタミクリーニング耐性や EUV 光遮光性能を検討し金属系埋め込み材料の優位性を明らかにする一方、多層膜の直接加工による新規白欠陥修正技術を開発した。更に hp22 nm 以降の次世代のマスクパターン欠陥修正に向け超微細ビーム径と超低ダメージ性とを兼ね備えたガスイオンの FIB 光源開発に着手し、世界で初めて黒欠陥修正の実現可能性を実証した。本開発により、マスクサプライヤでの低欠陥化を可能とし EUVL マスク品質を飛躍的に向上し得る技術基盤を構築した。

(3)ペリクルレスマスクハンドリング技術の開発

(3)-1 EUVL マスクの異物フリー搬送・保管技術の開発

大気中および真空中の種々マスクハンドリング過程での発塵評価、および静電チャックでのマスク吸着試験あるいは吸着時マスク平坦度計測も可能な全自動マスクハンドリング試験装置を独自に開発し、サブ 50nm φ 以下の異物検査装置と併せてマスクハンドリング試験環境を構築した。ペリクルに代わる 2 重ポッド式マスクキャリアカセットを提案し当該環境での詳細評価の結果、これの SEMI 国際標準規格化 (E152) に貢献した。同規格に完全準拠の新型 2 重ポッド cnPod を開発し、従来を上回る防塵性能ならびに発塵性能を示すことを明らかにした。本開発により、サプライヤからのマスク出荷ならびにユーザでの低欠陥マスクの維持を可能とし

EUVL マスクの量産適用に向けた技術基盤を構築した。静電チャックとマスク裏面間の異物がマスク表面（パターン面）に及ぼす影響を実験ならびにシミュレーション検討し、許容マスク裏面異物仕様を求めた。

(3)-2 ウェハファブ内 EUVL マスク異物検査技術およびクリーニング技術の開発

EUVL マスクユーザのウェハファブ内での異物検査方式やクリーニング方式を種々調査すると同時に、検査およびクリーニングすべき異物仕様についてパターン転写シミュレーションにより明らかにした。また検査工程およびクリーニング工程の実運用に関してウェハファブでの半導体製品の生産歩留りや生産性への影響を考慮した運用方法をケーススタディし、検査およびクリーニングの最適運用が存在することを明らかにした。静電チャック吸着に起因するマスク裏面付着異物に対するウェハファブ内クリーニングとし物理洗浄効果のあるブラシ利用の湿式洗浄が有効であることを実証した。

III-1-II-④-(0)-表 1 次世代マスク基盤技術開発の研究開発目標と成果達成度

研究開発項目	基本計画目標	全体成果	達成/未達成
①高精度・低欠陥 EUVLマスクおよび プランクス技術開発	<ul style="list-style-type: none"> ・hp32nm対応EUVLプランクス位相欠陥検査技術の確立 ・EUVLマスク高品位化開発 <ul style="list-style-type: none"> - マスク構造最適化開発 - 許容欠陥指標構築 (hp32nm) ・カーボンコンタミネーション制御技術の開発 <ul style="list-style-type: none"> - コンタクト膜の特性評価 - クリーニング技術開発 - レジストアウトガス解析評価技術開発 	<ul style="list-style-type: none"> ・プランク全域検査可能なEUV光を用いた位相欠陥検査装置を開発し、高さ1.2nm、幅40nmの位相欠陥を検出確率95%で検出。検査時間は4.8時間。自然欠陥評価でActinic方式の有用性を実証。 ・薄膜吸収体、遮光棒プロセスを実証しデファクトスタンダード化。 ・複数露光ショット積算による寸法平均化手法を開発、許容欠陥指標を構築。 ・カーボンコンタミの膜特性、転写性を明確化。成長モデル構築。 ・酸化系および還元系のクリーニング技術開発。 ・レジストアウトガス評価手法 (圧力上昇法、QMS、GC-MS) 開発 	達成
②EUVLマスクパターン欠陥検査技術開発	<ul style="list-style-type: none"> ・hp32nm対応欠陥検出感度の達成 	<ul style="list-style-type: none"> ・検査装置の高度化(*)と低反射率吸収膜の適用によって、199nm光によるマスクパターン欠陥検査技術がhp22nmに対して適用可能を実証。(*)偏光照明、低ノイズCGD、センサー画像非線形補正、新規アルゴリズム等。 	達成
③EUVLマスクパターン欠陥修正技術開発	<ul style="list-style-type: none"> ・hp32nm対応修正精度の達成の目処 	<ul style="list-style-type: none"> ・高精度化・低ダメージ化が可能なGas Field Ion SourceによるH2+ビームを用いた欠陥修正技術のhp22nm以細へのフィジビリティを検証。 	達成
④ペリクルレスEUVLマスクハンドリング技術開発	<ul style="list-style-type: none"> EUVLマスク搬送・保管技術およびファブ内検査・クリーニング技術の確立 (hp32nm) 	<ul style="list-style-type: none"> 異物フリーマスクハンドリング技術を評価する世界最高性能の評価環境を構築。 二重ポッドの有効性を実証。防塵性能は0.004個/回以下。SEMI標準化に貢献。 	達成

次に知財権の取得状況については、46件の国内特許出願を実施している。このうち、外国出願11件を外国出願した。学会・論文発表については、173件の学会発表を実施し、12件の論文(査読付き)を発表した。学会発表については、国際学会において、4件のAwardを受賞した。

表III-1-II- ② 特許出願・対外発表件数 (中間評価後)

	H21年度	H22年度	合計
特許出願	10	18	28
対外発表	33	31	64
合計	43	48	92

III. 研究開発成果について

1. 事業全体の成果

II. 次世代半導体露光プロセス基盤技術開発

⑤EUV 光源高信頼化技術開発

H20～22 年度にわたる LPP および DPP 光源の EUV 光源高信頼化の成果は、下記基本計画目標に対して以下の通りである。

基本計画目標

(1) 中間集光点で 180W の出力光源を1年間動作させた場合においても、マスクあるいはミラーの最大反射率低下が 10%以下となる汚染量を明示できる評価技術を開発し、その有効性を示す。

(2) 中間集光点で 180W の出力光源に対して、(1)に示すような汚染量抑制を実現できる高信頼化技術を開発する。

1) LPP 光源

LPP 光源側より発生する燃料デブリの流入計測技術として、反射率低下が 10%以下となる Sn 汚染量に相当する Sn 原子密度 2×10^6 個/cm³ の測定感度の LIF (Laser Induced Fluorescence; レーザ誘起蛍光法) を用いた Sn 計測技術を開発し、基本計画目標(1)を達成した。

また、EUV 反射率 > 50%、直径 400mm の実用レベルの大口径の直入射コレクタを製作し、シミュレーションの結果、適切な冷却機構によりこの入熱量に対して IF 位置での EUV 集光像を保持できる見込みを得た。さらに、Sn イオンに対する磁場による制御技術開発を進め、中性 Sn による集光ミラー汚染対策として Sn 原子の発生低減とイオン化技術の開発を行った。Sn 原子の発生低減技術として、小径 Sn ドロプレット・ターゲットの開発とプレパルス照射技術の開発を行い、Sn 原子のイオン化に関しては、レーザ共鳴吸収によるイオン化の基礎実験と実用化検討を実施した。更に、集光コレクタ表面に堆積した Sn の除去技術として、エッチングガスを用いたクリーニング技術の LPP 用直入射コレクタへの適用検討と基礎実験を実施し、20 μ m ϕ の Sn ドロプレットで必要なクリーニング速度 > 0.1nm/min を超える 1.28nm/min を得、基本計画目標(2)を達成する見込みを得た。

さらに、高出力対応熱管理技術の開発として、計測データをベースにコレクタの熱応力変形と IF 位置での EUV 集光像への影響をシミュレーションにより評価し、冷却機構を具備した反射率 > 50%、直径 400mm の大口径直入射コレクタを製作した。

2) DPP 光源

マスク・ミラー汚染損傷評価装置を開発し、本装置に搭載された XPS により、光源から流入する光源起因のコンタミネーションの成分特定を行うことができた。反射率測定系の測定精度は $\pm 0.2\%$ の測定精度を実現し、基本計画目標(1)を達成した。

また、LA-DPP (Laser Assisted-Discharge Produced Plasma: レーザ誘導放電生成プラズマ) 方式における回転電極の Sn 塗布厚を高精度均一化することによる中性デブリの発生を抑止する技術により中性デブリは竜計で平均して 1/3 に低減し、トリガーレーザの照射に関する新方式により高速イオンデブリの発生を従来の 1/5 に低減することが可能となった。高速デブリ及び LA-DPP に特有の粒子状デブリのほとんどが捕獲可能な新たな DMT (Debris mitigation tool) の開発を行い、コレクタミラーへの Sn の堆積を 0.1nm 程度、Ru 反射面のスパッタを 2nm/Gs 程度に抑えることができた。以上により、1年以上のコレクタ長寿命化の基盤技術が確立し、基本計画目標(2)を達成した。

さらに、高出力対応熱管理技術の開発として、HVM 対応の DeCo (Debris mitigation tool と Collector) を

一体的に温度-構造-光学連携シミュレーションする技術を開発し、発光点(プラズマ)からの放射成分(輻射、非輻射成分)の計測、および HVM レベル大型コレクタの温度上昇の実測により、180W 対応の DeCo の熱管理技術に目処を付けた。

そして、IF 変動防止技術の開発として、ファジー推論と学習効果機能を有するアルゴリズムを開発し、IF 変動ライブラリの併用により 0.5 秒の高速自動アライメント技術を確立した。

3) 自主研究「拡張性を有する高出力 EUV 光源の開発」

技術研究組合 極端紫外線露光システム技術開発機構(EUVA)ではMIRAIプロジェクト「EUV 光源高信頼化技術の開発」と並行して自主研究「拡張性を有する高出力 EUV 光源の開発」を進めてきた。その主な結果を簡単に述べる。

3.1) LPP 光源における自主研究「拡張性を有する高出力 EUV 光源の開発」

これまでに試作光源を用いて、IF 出力 104W 相当を観測した。発光条件は CO₂レーザ出力 7.9kW、Duty20%、Snドロプレット径 60 μm φ である。このときの CE(Conversion Efficiency: EUV 変換効率)は、プリパルス手法により 2.5%を得た。

3.2) DPP 光源における自主研究「拡張性を有する高出力 EUV 光源の開発」

これまでに β 機用 SoCoMo(Source Collector Module)を用い、Duty100%にて3シェルコレクタミラーでは IF 点出力 14W(9シェルコレクタでは 34W相当)の EUV 出力を実測した。また、電源の高繰返し化を図った結果、Duty20%ではあるものの発光点出力 1.5kW(IF 点出力 150W相当)を達成した。

4) 成果のまとめ

H20～H22年度の活動成果のまとめをⅢ-1-II-⑤-表1に示す。また、Ⅲ-1-II-⑤-表2～3にはそれぞれ特許出願件数、対外発表件数の推移を示した。

Ⅲ-1-II-⑤-表 1 H20～H22 活動成果のまとめ

	最終目標(H22 年度末)	最終結果(H22 年度末)	達成度
光源高信頼化技術 (委託研究) ①「光源起因マスク、ミラーの汚染評価技術の開発」	3,000 時間稼働時、マスク・ミラーの汚染による反射率低下 10%以下の評価技術確立	LPP:LIF を用いた Sn 計測技術の開発。IF 点での反射率低下が 10%以下となる Sn 汚染量に相当する Sn 原子密度 1×10^7 個/cm ³ に対して 2×10^6 個/cm ³ の測定感度を達成。 DPP:IF 点で反射率と XPS を真空環境で測定できる汚染評価装置を開発。反射率測定精度は ±0.2% まで向上 (短時間観測で目標とする 3,000 時間の寿命測定誤差が ±6 時間)まで向上。 β 光源にて IF 以降に Sn の流入が無いこと、C,O に汚染による反射率低下の見積もりは 2.1%@3,000hrs であった。	達成

<p>②集光光学系などの清浄化技術の開発</p>	<p>コレクタ寿命(反射率 10%低下で定義) > 3000 時間 @ 115W 出力</p> <p>清浄化手法の 180W 出力までの拡張性検証</p>	<p>LPP: Sn イオン除去に磁場が有効であることを実証。中性 Sn 原子起因の堆積防止については(a)小径 Sn ドロプレット・ターゲットとプレパルス照射の組み合わせによる中性 Sn 原子の発生低減、(b)Sn 堆積膜のガスクリーニング手法で対処。</p> <p>20 μm ϕ の Sn ドロプレットで必要なクリーニング速度 > 0.1nm/min に目処。コレクタ大面積クリーニング機構を作製。</p> <p>DPP: α 光源で実績のある DMT を大幅に改善。更に中性デブリは、回転電極の Sn 塗布厚の薄膜化(従来の 1/5 の 20μm)で 1/3 に低減(現在は 10 μm まで改善)、高速イオンデブリはアドバンスレーザートリガー適用で 1/5 に低減。</p> <p>コレクタへの Sn の堆積は動作ショット数によらず ~ 0.1nm、Ru 反射面は 2nm/G ショットのスパッタで反射率低下は無。これより Ru 膜厚 > 1 μm で > 1 年以上のコレクタ寿命を達成見込み。</p>	<p>達成</p>
<p>③高出力対応熱管理技術の開発</p>	<p>115W 安定稼働(熱歪に起因する反射率、光量などの変動無し)</p> <p>180W 出力までの拡張性検証</p>	<p>LPP: 計測データをベースにコレクタの熱応力変形と IF 位置での EUV 集光像への影響をシミュレーションにより評価。冷却機構を具備した反射率 > 50%、直径 400mm の大口径直入射コレクタを製作。</p> <p>DPP: HVM 対応の DeCo を一体化・温度-構造-光学連携シミュレーションの開発、発光点(プラズマ)からの放射成分(輻射、非輻射成分)の計測、および HVM レベル大型コレクタの温度上昇の実測により、180W 対応の DeCo の熱管理技術に目処。</p>	<p>達成</p>
<p>④IF 変動防止技術の開発</p>	<p>IF 変動自動補正手法開発</p>	<p>DPP: ファジー推論と学習効果機能を有するアルゴリズムを開発。IF 変動ライブラリの併用により 0.5 秒の高速自動アライメント技術を確立。</p>	<p>達成</p>
<p>光源高出力化(自主研究) ⑤拡張性を有する高出力 EUV 光源の開発</p>	<p>115W 試作光源製作 180W 拡張性検討</p> <p>(Raw は LPP 光源で SPF、ドーズコントロール無しの条件、DPP 光源で Etendue 制限を設けない場合) (Exposure は実露光条件)</p>	<p>LPP: 試作光源(ETS)で発光点出力 197W 達成(IF 出力 104W (Raw) 相当; CO₂レーザー 7.9kW、Duty20%、Burst 時間 20ms、Sn ドロプレット径 60 μm ϕ、CE2.5%)。</p> <p>>180W の拡張性の検証のため、プロト機を設計・製作。</p> <p>DPP: β 光源で、発光点出力 1.5kW 出力達成(IF 出力 150W (Raw) 相当; パルス出力 4J、繰り返し 18kHz、CE2%、Duty20%、Burst 時間 200ms)。</p> <p>β 光源・Full SoCoMo で発光点出力 640W を Duty100% で達成(IF 点出力 65W 相当; パルス出力 4J、繰り返し</p>	

		7.5kHz、CE2.13%)。実露光を考慮して Etendue 50% とすると 33W@IF (IF 点での実測は DMT 透過率が設定値にならず 14.7W (Exposure))。
--	--	--

Ⅲ-1-II-⑤-表 2 特許出願件数 (MIRAI)

	H20 年度	H21 年度	H22 年度	合計
LPP 光源	20	20	20	60
DPP 光源	2	7	1	10
合計	22	27	21	70

Ⅲ-1-II-⑤-表 3 対外発表 (MIRAI)

	H20 年度	H21 年度	H22 年度	合計
LPP 光源	13/2	5/1	5/0	23/3
DPP 光源	4/1	4/0	7/0	15/1
合計	17/3	9/1	12/0	38/4

(学会/論文)