

「次世代プロセスフレンドリー設計技術開発」

事後評価分科会

資料5-1 事業原簿(公開)

「次世代プロセスフレンドリー設計技術開発」

事業原簿 **【公開】**

担当部	独立行政法人 新エネルギー・産業技術総合開発機構 電子・材料・ナノテクノロジー部
-----	---

- 目次 -

概要

プロジェクト用語集

I. 事業の位置付け・必要性について	
1. NEDOの関与の必要性・制度への適合性	I -1
1.1 NEDOが関与することの意義	I -1
1.2 実施の効果(費用対効果)	I -3
2. 事業の背景・目的・位置付け	I -8
II. 研究開発マネジメントについて	
1. 事業の目標	II -1
2. 事業の計画内容	II -3
2.1 研究開発の内容	II -3
2.2 研究開発の実施体制	II -3
2.3 研究開発の運営管理	II -5
2.4 研究開発成果の実用化、事業化に向けた マネジメントの妥当性	II -6
3. 情勢変化への対応	II -7
4. 中間評価結果への対応	II -8
5. 評価に関する事項	II -10
III. 研究開発成果について	
1. 事業全体の成果	III -1
2. 研究開発項目毎の成果	III -12
3. 特許、論文、外部発表等	III -32
IV. 実用化、事業化の見通しについて	
1. 実用化、事業化の見通しについて	IV -1
2. 波及効果	IV -5

(添付資料)

・プログラム基本計画

「ITイノベーションプログラム」

「エネルギーイノベーションプログラム」

・プロジェクト基本計画

・技術戦略マップ

・事前評価関連資料(事前評価書、パブリックコメント募集の結果)

・特許論文リスト

概要

		最終更新日	平成23年10月5日				
プログラム名	ITイノベーションプログラム/エネルギーイノベーションプログラム						
プロジェクト名	次世代プロセスフレンドリー設計技術開発	プロジェクト番号	P06017				
担当推進部/担当者	電子・材料・ナノテクノロジー部 万田純一 (平成23年3月現在) 電子・情報技術開発部 齊藤博文 (平成18年5月～平成20年5月)						
0. 事業の概要	<p>我が国半導体産業の国際競争力強化のためには、競争力のあるシステム LSI 製品を短期間で開発し、低コストで市場に投入する必要がある。一方、半導体プロセスの微細化に伴い、製造マージンの縮小や特性ばらつきの増大が避けられず、その結果、所望の性能を得るまでに何回も設計・試作をやり直すことになるなど、製品開発にかかる期間やコストが著しく高まる。これらの課題を解決するために、本プロジェクトでは、製造段階での問題をモデル化し、設計段階で事前検証することで、開発期間を短縮し、かつ低コストで半導体製品を実現することを目指した製造性考慮設計 (DFM: Design for Manufacturing) 手法を開発する。</p> <p>本技術開発により、hp45nm (ロジックノード 32nm) 技術領域における高性能システム LSI の設計生産性を、本技術を用いない場合と比較して3倍にすることを目標とする。</p>						
I. 事業の位置付け・必要性について	<p>世界のシステム LSI (ASIC & ASSP) 市場は平成 19 年より本格展開が始まる hp90nm (ロジックノード 65nm) 以降の世代については、高性能・大規模システム LSI がターゲットとなっている。回路が指数関数的に複雑・大規模化するため、それを解決すべく設計生産性を大幅に向上させる必要がある。また製造においては、市販設計ツールを使って設計してもチップが期待通り動作しないことが明らかになっており、RTL からプロセスまでに生じるあらゆる要因を統一的な技術でカバーされていなければならない。このため国内の半導体メーカーの設計技術、プロセス技術の総力を結集して強力な設計メソッドロジ技術の開発、確立が必須であり、ひいては国内のあらゆる産業にとって重要な基盤となる。JEITA 調査報告書「世界の主要電子機器からみた半導体市場の中長期展望」より推定した平成 23 年以降の世界、及び国内の半導体需要予測ではシステム LSI (マイコン、ロジック分野) の販売額は10兆円～20兆円規模であり、これらは今後有望視される民生、コンピュータ、通信、自動車などに幅広く使われる。このような大きなマーケットを支えるプロジェクトの実施効果は極めて大きいと考えられる。</p>						
II. 研究開発マネジメントについて							
事業の目標	本技術開発により、hp45nm 技術領域における高性能システム LSI の設計生産性を、本技術を用いない場合と比較して3倍にする。						
事業の計画内容	主な実施項目	H18fy	H19fy	H20fy	H21fy	H22fy	
	ばらつき考慮の設計メソッドロジ開発	→					
	歩留まり考慮の設計技術開発		→				
	hp45nm リソグラフィ考慮設計の基盤研究			→			
	統合低消費電力メソッドロジ開発				→		
	特性・統合ばらつき考慮メソッドロジ開発					→	

開発予算(助成額) 単位:百万円 契約種類:助成(1/2)	会計・勘定	H18fy	H19fy	H20fy	H21fy	H22fy	総額
	一般会計	0	0	0	0	0	0
	特別会計(需給)	877	887	837	690	549	3,840
	加速予算	0	0	50	30	30	110
	総予算額	877	887	887	720	579	3,950
開発体制	経産省担当原課	商務情報政策局情報通信機器課					
	開発責任者	下東勝博(代表取締役社長)					
	助成先	株式会社 半導体理工学研究センター					
情勢変化への対応	<p>平成18年度、19年度の2年間においては、研究計画に影響を与える重要な情勢の変化は認められなかった。従って、情勢変化に対応した特別な計画変更等は行っておらず、当初計画どおりの研究開発を実施した。</p> <p>平成20年度では、従来のhp65nm技術領域の研究開発ではストレスの影響は軽視できたものの、hp45nm技術領域ではチップ面積の増大、設計期間の増加等に大きく影響し、さらに、トランジスタ特性に対するストレスの影響を正確に反映したMIRAIプロジェクトの知見が活用可能であることが分かった。ストレス起因の影響を考慮したhp45nm技術領域に対応するチップレベルでの設計手法を確立すべく追加開発を加速により実施した。</p> <p>平成21年4月に半導体理工学研究センターと大阪大学との共同研究において、電源ノイズを統計量として扱うことによってモデル化できる画期的な成果が得られた。平成21年度では、電源ノイズ考慮設計技術の開発を加速により実施した。これにより、高速動作インターフェースを備えたチップに多く見られた電源ノイズ起因の動作不良にも対応することが可能となり、データ転送速度が上昇しても設計期間の短縮が図れるようになった。</p> <p>平成22年度では、各種ばらつきを考慮した最適設計フロー開発を加速により実施した。革新的なアイデアとして、電源ノイズ解析、温度考慮のRC抽出と温度分布解析技術、統計的クロストーク解析、電圧降下解析技術を設計フローの前工程(論理合成、フロアプラン、自動配置配線)に効果的に組み込むことにより、設計生産性を3倍にする可能性があることが判明した。そこで、この統合的なフロー技術の開発を行い、最適なマージン・コーナ条件設定の技術の開発、ならびにその有効性を確認した。</p>						
中間評価結果への対応	<p>平成20年度に実施した中間評価において、本プロジェクトに対し下記の評価を頂いた。</p> <p>『半導体はエレクトロニクス製品だけではなく、自動車や医療、社会インフラの基盤となる技術であり、その設計は、プロセスと車の両輪をなしており、EDA(電気設計支援ソフトウェア)の寡占化やファブレスメーカーの躍進を考えると、プロセス以上に重要な技術となっている。この様な中で、日本の半導体メーカーのシステムLSIの設計技術力を高めるため、hp65nm(中間)、hp45nm(最終)プロセスをターゲットとして、共通の設計技術を開発することで複数企業全体として開発期間の短縮・開発コスト削減できることは意義のあることであり、開発成果・技術移転実績も申し分ない。さらに以下の点に留意して開発を進めて欲しい。</p> <p>①ロードマップ記載等の革新的技術で、実用的に重要なものはないの</p>						

	<p>かを検討し、実施することが望まれる。</p> <p>②開発した技術の知的財産権を確保し、日本企業の技術がベンダーを通じて拡散することを防止する方策を講ずべきである。</p> <p>③日本の半導体産業のプレゼンス向上は国際競争力強化にもつながると考えられるので、戦略的な広報活動を期待したい。</p> <p>④プロセスと設計の界面の研究では、装置メーカからの研究開発状況を盛り込む、或いは意見を吸上げるべきではないか。</p> <p>⑤低電力化設計メソッドロジーは実現方法が多岐にわたるので、どのようなときにどのような技術を適用すべきかが開発前にわかるようなガイドラインの策定が望まる。</p> <p>⑥冗長化技術についてはどのように対応するか明確にすべきである。』</p> <p>これらの評価結果について、以下のように対応した。</p> <p>①革新技術については、技術の重要性ならびに経済的優位性を考慮して、チェックシートにより重要性を確認し、開発を実施した。(平成21年度実施計画に反映)</p> <p>②知的財産権をノウハウという形で大半保持した。EDAベンダーへその技術を開示する際には、一般化や汎用化した形で提供し、実際の設計へは応用できないようにすることで知的財産を確保した。(反映はなし)</p> <p>③成果の実用化や事業化へ向けて、学会発表、新聞発表を通じてアピールを実施した。(反映はなし)</p> <p>④装置メーカとの連携強化のため、日本のマスクベンダーとも意見交換し、プロセスと設計の界面における重要な研究開発を行うマスク設計(D2I)プロジェクトとは、意見交換をした。(反映はなし)</p> <p>⑤設計ガイドラインを策定した。(平成21年度実施計画に反映)</p> <p>⑥冗長化技術については、平成21年度に明確化した。(平成21年度実施計画に反映)</p>		
<p>評価に関する事項</p>	<p>事前評価</p>	<p>平成17年度実施</p>	<p>担当部 電子・情報技術開発部</p>
	<p>中間評価</p>	<p>平成 20 年度</p>	<p>中間評価実施</p>
	<p>事後評価</p>	<p>平成 23 年度</p>	<p>事後評価実施予定</p>
<p>Ⅲ. 研究開発成果について</p>	<p>1. 事業全体の成果</p> <p>プロジェクトを遂行するにあたり、開発を大きく2つのフェーズ分けで行った。第1のフェーズは平成18年度、19年度であり、hp90nm世代のプロセス情報を用い、hp65nm世代の設計手法を開発した。第2のフェーズは平成20年度、21年度、22年度であり、hp65nm世代のプロセス情報を用い、hp45nm世代で実品種設計で使用可能な設計手法を開発した。これは、プロセス開発と設計手法開発が同時進行するために、前世代のプロセス情報を用い、次世代の設計手法を開発するためである。</p> <p>平成18年度は、hp90nmプロセスをベースに基本設計メソッドロジー開発として設計フロー、製造ばらつきを考慮した設計手法、歩留まり考慮設計技術、サインオフ技術、ライブラリ標準化開発手法技術などの開発を行った。</p> <p>平成19年度は、hp65nm対応の低消費電力考慮の設計メソッドロ</p>		

の開発ならびに歩留まり考慮設計メソドロジ開発を行った。

平成 20 年度は、現在使用可能な hp65nm プロセスをベースに設計と製造が統合された標準設計メソドロジ開発を行った。この標準設計メソドロジには、統計的タイミング解析、低消費電力対応、hp65nm 製造性考慮(リソ、製造欠陥、CMP)、サインオフ基準、RTL プロトタイプング技術を含む。さらにこれをもとに、hp45nm に新規必要技術の追加を一部行った。hp45nm に新たに解決が必要な技術としては、リソグラフィ考慮、hp45nm トランジスタ・配線要因などがあるが、20 年度はそれらがシステム LSI チップ設計に与える影響の基盤研究を行い、先行的な技術開発を行った。

以上より、設計と製造が統合された製造性考慮設計技術を重点的に組み込んだ hp65nm 技術領域のシステム LSI に対応した標準設計手法を開発し、中間目標を達成した。

平成 21 年度は、hp45nm に必要な技術を引き続き開発した。特に、hp45nm 世代で重要性がますますつき要因を分析し、その大きな要因である熱・ノイズを他のばらつき要因である、リソグラフィ、ストレスなどと統合的に扱う統合ばらつき考慮設計環境の基礎的なサインオフ技術開発を行った。

平成 22 年度は、最終目標である製造歩留まりを確保可能なシステム LSI 設計の生産性が3倍になることを確認するために56Mゲートのテストデータを用い、今回開発した設計フローが所望の生産性を実現しているか実証を行った。その際、設計技術としての一貫性、設計全体からの最適性の面を中心に課題点を抽出し、実用化レベルまで引き上げた。

以上より、hp45nm 技術領域でシステム LSI に求められる製造歩留まりを確保可能な、製造性考慮設計技術を重点的に組み込んだ設計手法を開発した。また開発手法を盛り込んだシステム LSI 設計手法をもちいることにより、hp45nm 技術領域で求められる製造歩留まりを確保可能なシステム LSI を設計する生産性を、本技術開発手法を用いない場合と比較して3倍にする事が出来、最終目標を達成した。

2. 研究開発項目毎の成果

1) 製造性考慮設計の基盤技術開発

1-1) 製造ばらつきを考慮したLSI設計手法の開発

決定論的タイミング解析(STA)を用いたばらつきを考慮した設計フローを開発し、32nm 世代でもサインオフコーナー数を15から6に削減した。コーナー導出手法として、32/28nm テクノロジ向けコーナー導出手順と CTS(クロック配線ツール)条件設定ガイドを作成した。STA/SSTA(統計的タイミング解析)の協調検証手法として、検証ガイドを作成した。

1-2) 製造歩留りを考慮したLSI設計手法の開発

ストレスによる遅延変動、リソ影響によるリーク電流の変動に対して、設計段階において不良を低減する手法を示した。本手法を適用することにより、45nm 世代においてパラメトリック不良を40.8%低減できることを確認した。また、中間評価にて報告した、ランダム不良、システムティック不良に対する開発技術をリファレンスフローへ組み込み、45nm 世代

において不良を低減できることを確認した。この結果として 45nm 世代で90nm 世代と同等以上の歩留りが確認できた。さらに本技術を 32nm 世代に適用した場合65nm 世代と同等以上の歩留りが実現できることを試算した。

1-3) 設計意図を活用するリソグラフィフレンドリーな設計手法の開発

リソグラフィに関する問題を設計段階にて解決することが可能なリソグラフィフレンドリーな設計手法を開発し、この技術の適用により、従来手法に比べて 100 倍以上高速に処理できることを確認した。また、複雑に挿入されたダミーメタルに対してリソグラフィ的に問題となる箇所を設計意図としてインタフェースする手法を開発した。これらの技術により、製造側での作成・確認作業の低減と、製造側からリソグラフィ問題による作業手戻りをなくすることを可能とした。

1-4) 製造性考慮設計の効果予測技術の開発

32nm 世代の設計においては、動的電源ノイズを高精度・高速に予測する技術を開発した。今回開発した技術を用いることにより、電源ノイズ下での遅延変動見積り誤差 20%未満であり、SPICE シミュレーションによる見積りに対して 1/244 倍の処理時間を達成した。その結果、タイミング解析に及ぼす影響をより正確に見積もることが可能になった。

2) 製造性考慮設計の標準化技術開発

2-1) 製造と設計に係わるDFMデータベース整備と標準インターフェイスの開発

RTL プロトタイピング技術、高速論理合成技術、並列分散処理技術、高速 STA 技術等の設計期間を短縮する新規技術の開発とこれらの要素技術を組み入れかつ、最適な処理手順、各ステップでの最適な処理内容とマージン設定、不整合のない各ステップ間の I/F をもつ設計 TAT 削減に効果のある最適設計フロー開発を行った。

DFM データベースと標準インターフェイスを具備した最適設計フローの効果を実証するため、大規模テストデータを用いて論理合成、フロアプラン、自動配置配線、サインオフまでの全工程について貫通検証を実施した。検証を通じて発生した課題に対して処理手順の見直し、EDA ツールの改修等を図るとにより処理時間の問題の解消を行うとともに、新規技術の最適な実行条件の設定を行うことにより最大限の効果を引き出し、最終的に設計工期1/3を達成した。

2-2) 製造工程モデル化に基づき移植性が確保されたEDAライブラリ標準化開発手法の構築

移植性と精度の両立を具備した電流源モデル(Current Source Model)を適用した高精度パワー計算モデルベースライブラリ開発、ばらつき情報を統計的に解析可能なメモリライブラリキャラクタライズ技術開発を開発した。さらに、移植性のためにEDAライブラリのシンタックス

/セマンティックスおよび各種テーブル値の異常値有無のチェック、条件の異なるライブラリ同士の比較チェック、Spice シミュレーションとの相關チェック等のライブラリ検証技術開発を行い、ガイドラインにまとめた。

3) 新技術事象に対する製造性考慮設計技術開発

3-1) 統計的な解析・検証・判定手法の開発(サインオフ技術)

サインオフ技術として必須な統計的タイミング解析技術、電力解析・電圧降下解析技術、クロストーク解析技術、タイミングマージン設定技術を開発した。

統計的タイミング解析ではクロストークと電圧降下を同時に考慮した統計的タイミング解析技術を開発した。その結果、適切な条件を選択して4条件のタイミング解析コーナーを示した。

電力解析・電圧降下解析ではピーク電力解析を行って、IR ドロップがワーストとなる状態を見つけ、そのときの IR ドロップをタイミング解析の解析条件を開発し、その結果、電圧ばらつきによるタイミングマージンを約2%削減できた。

クロストーク解析では従来方法では、電位変化の時間的なオーバーラップ期間を悲観的に見積もっていた。そこで、この過度な悲観性を軽減するため、統計的な扱いによるクロストーク解析手法を確立した。

タイミングマージン設定では、ゲート種類やクリティカルパス段数を考慮した統計的タイミング解析と、これに適したタイミングマージン設定を行った。その結果、セットアップ側タイミングスラックを平均で約15% (最大29%)削減することができた。

3-2) 低消費電力化設計手法の開発と低消費電力指向新基本回路技術の開発

今回開発した RTL パワー最適化技術を活用することで、RTL 設計段階で消費電力削減のための論理構造を追加することが可能となった。また、DVFS 技術の開発を行い、設計フローにインテグレートした。RTL パワー最適化技術と DVFS 技術など今回開発したすべての技術によって 2007 年度時点の電力削減技術をターゲットとするシステム LSI に適用した場合と比べ、消費電力を 45.8%削減することが出来た。

3-3) 冗長化技術および製造後調整を考慮した新基本回路技術の開発

冗長化と製造後調整が可能な論理 ECO 技術を開発した。従来の人手作業によるポストマスク論理 ECO フローを用いて、論理修正を行なった場合、合計約 39 時間必要であったが、今回開発したポストマスク

	論理 ECO フローでは、約 9 時間で処理ができた。このことから、実用的なポストマスク論理 ECO フローを開発することが確認できた。	
	投稿論文	査読付き: 21 件、その他: 7 件
	特許	出願済: 3 件 (うち国際出願 0 件)、 登録: 0 件、 実施: 0 件
	その他の外部発表(プレス発表等)	31 件
IV. 実用化、事業化の見通しについて	<p>半年ごとに開発物を半導体各社へ技術移転を行い実用化させ、引継ぎ技術はクライアント各社の実チップ開発に活用されている。</p> <p>最終成果である STARCAD-CELV5.0 の実用化時期について、V5.0 の成果 13 項目に対してクライアント各社へ実用化時期についてアンケートを行った。クライアント 6 社の回答の平均値であるが、各成果に対し、すでに実用化が 1 社、6 ヶ月以内が 1.2 社、6 ヶ月～2 年以内が 2.7 社、2 年～5 年が 0.5 社であり、トータル 5.4 社となりほぼ全成果に対して全社が実用化済みまたは実用化予定である事が分かった。</p>	
V. 基本計画に関する事項	作成時期	平成 18 年 3 月 策定
	変更履歴	平成 20 年 7 月 改訂 (イノベーションプログラム基本計画の制定により、「(1) 研究開発の目的」の記載を改訂) 平成 22 年 8 月 改訂 (各種ばらつきを考慮した最適設計フロー開発を加速し、最終目標の設計生産性を 2→3 倍に改訂)

プロジェクト用語集

(Hotspot) Severity	Litho Hotspot について、製造時に形成不良を起こす危険度を示す。通常3段階で危険度を表現し、番号の若いほど危険度が高い。Severity 1:修正必須 / Severity 2:修正推奨 / Severity 3:修正任意
(Litho) Simulation-based Analysis (Litho) Model-based Analysis	いずれも、半導体プロセスの露光工程の、光学モデルによるシミュレーション解析を指す。
(Litho/Etching) Contour 考慮設計	トランジスタ素子(MOSFET)を形成する Diffusion 層と Gate Poly-Si 層の形状について、Litho/Etching 工程後の Si Contour 形状をシミュレーションすることにより、素子 Gate の実効 L/W を見積もり、SPICE ネットリストの素子パラメータに反映させる設計手法を言う。実効 L/W を求めることにより、設計精度の向上を図ることができる。
(Transistor) Leff / Weff	シリコン上でのゲート寸法は Drawing 寸法とは異なっている。トランジスタの電気特性を表す上での、ゲート寸法の実効値を指す。
AWO	電源遮断ブロック内部において、電源遮断状態においても常時 ON(AlwaysOn)となる信号をバッファリングして信号接続するとき用いられるバッファ/インバーターセル
Bridging (Hotspot)	Litho Hotspot の一つの種類。最小 Litho Space Rule 違反の抽出 - Contour 間隔がある閾値よりも狭くなっている部分が対象 - コの字型の内側で発生するものは対象外 - Line 端同士の間で発生するものは対象外
CG	ある動作モードにおいて、使用していない Flip Flop へのクロック供給を回路的に停止することでクロックの Dynamic Power を削減する手法
Contour	レイアウトパターンに対して光強度シミュレーション(Litho Simulation)を実施することで得られる光強度の等高線
CPF	低消費電力時の回路の仕様やパワー制約条件を記述する為の電源仕様フォーマット(標準化団体 Si2<Silicon Integration Initiative>が提供)
Critical Area	Particle がそこに存在すると不良となってしまうような場所の集合をエリアとして表現したもの。配線のオープン不良やショート不良となる危険箇所を表す。
Critical Area Analysis Tool	Critical Area 計算と歩留り見積もり計算を行うツール。ランダム不良を解析するツール
CTS	バッファもしくはインバータのペアでツリー構造を合成することで、ルートからフリップフロップ、メモリまでのクロックの到達時間を揃える設計手法
Detection Area Info	リソ対策ツールからリソ解析ツールへ IF する情報。Hotspot を Detection する領域を含む。
DFT	テスト容易化設計のことで、LSI や SoC の製造テストをより簡単に行うための設計手法。DFT によるテストにはスキャンテスト、BIST (Built-In Self-Test)、BOST (Built-Out Self-Test)、IDDQ 等の手法がある
Double Via	Via 形成不良を低減させる方法の一つ。異なる配線層の間を接続する Via 部分個々に Via Hole を2つ設け、冗長性を持たせることによって歩留まりを改善させる。さらに Hole を3つ以上設ける場合を含めた表現として Redundant Via がある。
DVFS	動作中の LSI の電源電圧やクロック周波数を最適な値に制御して消費電力低減を実現する回路方式
fall glitch	Vdd に固定された victim ネットが、aggressor セル出力の fall switching により Vss 側に引き下げられるグリッチ
Fixing Guideline	Hotspot 修正方法ガイドライン

FV(フォーマル検証)	設計の仕様と、設計結果の回路をそれぞれ数学的に解析することで、回路の正しさを検証する手法である。
Generic Model	リソ・シミュレーションのモデルなど、想定プロセス条件に応じて合わせ込みが必要なモデルに関して、STARC モデルへの合わせこみをしていない状態で、ベンダーから提供されたモデルを指す。
Global Tree	[クロックメッシュ用語] クロックルートからメッシュを駆動するドライバまでのクロックツリーを指す。
Hotspot	主に Litho あるいは CMP 起因で形成不良を起こす危険性の高いパターンを含む、レイアウト上の危険箇所。
ICG	Clock Gating 用に AND と Latch などの組み合わせ回路を一つのセルに統合したもの
ILM	階層設計で利用される階層モデルの一つ。階層ブロックの入力端子から最初のレジスタまでのパスの情報、および最後のレジスタから出力端子までのパス情報のみを抽出したモデル。階層ブロック内で閉じたパスの情報は ILM 中には含まれない。
Internal Power	セル内部での貫通電流及びショート電流により消費される電力
IR ドロップ	配線抵抗の影響で、チップの一部分の電圧が低下すること。理想電源電圧値との差をドロップ値と呼ぶ。電源側＝理想電源電位より低くなる方向を正のドロップ グラウンド側＝理想グラウンド電位より高くなる方向を正のバウンスと呼ぶ。
ISO	電源オフ領域から不定の伝播を防ぐための分離セル
Line End (Hotspot)	Litho Hotspot の一つの種類。最小 Litho Space Rule 違反の抽出。 - Line 端同士の間隔がある閾値よりも狭くなっている部分が対象。
Litho Error Info	リソ解析ツールからリソ対策ツールへ IF する情報。Hotspot 座標、種類、重要度、Fixing Guideline を含む。
Local Tree	[クロックメッシュ用語] メッシュから順序回路のクロック端子までの局所的なクロックツリーを指す。
LOCV	検証対象のパスを構成するゲート段数と空間相関を考慮することで、ランダム・バラつきを間接的に取り込み、設計マージンが不当に増大しちゃうのを防ぐ方法
LowPower チェッカ	パワーフォーマットの品質チェックと、LowPower 回路の構造チェックをあわせたもの
LPE	配線寄生素子(抵抗、容量、インダクタンス)や、回路シミュレーションで使う設計素子のインスタンス・パラメータ(トランジスタの L/W など)を、レイアウト情報から抽出すること。
LS	異なる電位を跨る信号に対して電圧を昇圧もしくは降圧するためのセル
LSE	Enable 付きのレベルシフタ。アイソレーション機能をもつレベルシフタ。
MCMM	MC(複数のプロセスのコーナー条件)と MM(複数の動作モード)でサインオフ条件)を同時に考慮する技術。Synopsys では MCMM と呼び、Cadence では MMMC と呼んでいる。
Model Calibration Calibration Model	リソ・シミュレーションのモデルなどを想定プロセス条件に応じて合わせ込むこと。また、そのように合わせこんだモデルを指す。
MSV	複数の供給電源システムを用いる設計
MTCMOS	スタンバイ時のリーク電流を削減する低電力化回路のこと
Necking (Hotspot)	Litho Hotspot の一つの種類。最小 Litho Width Rule 違反の抽出。 - Contour 幅ある閾値よりも細くなっている部分が対象。 - Line 端で発生するものは対象外。
Particle	工場の雰囲気中に浮遊しているか、あるいは製造工程で発生する微細粒子(ゴミ)で、ウェーハに付着した場合に形成不良の要因となる。

Pattern Matching	成果物の中では、図形の一致を検索することを指す。回転や鏡映を一致とみなすか否かは、その時々目的に従う。なお、厳密な図形の合同を指す Exact Match と、図形の一致に対して幅をもった判断を許す Inexact Match がある。
PBA	ユーザが指定したパスに特化してタイミング解析を行う手法。多入力時における他ピンからの影響(slew など)を除外するため、精度良く解析できるが、処理時間がかかる。
Post Mask 論理 ECO	マスク下地層の修正を行わずに論理 ECO を行うこと。
Pre Mask 論理 ECO	マスク作成前の論理 ECO。P&R 中途に発生する論理 ECO を指す。
preCTSopt	CTS 前の Ideal クロック状態での配置合成処理
Process Window	製造装置のばらつきなどに起因するプロセス条件変動の幅を指す。特に成果物の中では、リソ工程に関する、Dose 量(露光量)と Focus ずれに関する変動幅を指して使うことが多い。
Pulsed Latch	置換可能なフリップフロップをラッチ(Pulsed Latch)に置換し、クロックツリー上に微小幅のパルスクロックを生成する Pulse Generator を挿入する。一般的にラッチはフリップフロップより少ないトランジスタ数で構成できるため、消費電力を低減できる。
rise glitch	Vss に固定された victim ネットが、aggressor セル出力の rise switching により Vdd 側に持ち上げられるグリッチ
RTL	実現する論理をレジスタとレジスタ間の論理 機能で表現したハードウェア記述言語(HDL)
SAIF	インスタンスに対する Switching Activity を定義するためのファイルフォーマットの一つ。
SDC	設計制約を記述するための業界標準 フォーマット
SDC タイミング例外生成	RTL 記述から論理的なタイミング例外設定の記述を SDC フォーマットで生成する。
SDC テンプレート生成	RTL 記述からクロック設定や入出力遅延設定の記述を SDC フォーマットで生成する。
SDC フィルタリング	STA ツールのクリティカルパスレポートから論理的なタイミング例外設定の記述を SDC フォーマットで生成する。
SRAF	露光解像度向上技術 RET (Resolution Enhancement Techniques) の一種で、形成不良の危険のあるパターンの近傍に、シリコンには形成されない微細な補助パターンを付加し、マスクに反映させて局所的な露光条件を改善するもの。
STA	静的タイミング解析のこと で、主にレジスタとレジスタ間の論理回路のタイミングを網 羅的に検証する手法
STI	近年の先端微細プロセスにおいて主流となっている素子分離技術で、シリコン上でトランジスタ素子同士を絶縁分離するための技術、あるいはその分離領域を指す。従来の埋め込み酸化膜(LOCOS)の構造とは形成方法が異なり、分離幅の縮小が容易になるのが特長。しかし、分離領域に起因する応力が素子特性に及ぼす影響が新たな設計課題を生んでいる。
Stress Compact Model	特に STI の場合の素子分離領域に起因する応力(STI Stress)など、微細プロセスにおけるトランジスタ素子は、周辺から種々の応力(Stress)の影響を受ける。Stress に係るレイアウト・パラメータ(間隔、幅など)を測長し、その結果を入力として素子の電気特性変動値($\Delta V_{th}/\Delta U_0$)を出力するモデルを Stress Compact Model と呼ぶ。Compact Stress Model も同義語。
Stress 考慮設計	電流能力(Ion)向上のため Stress を積極的に利用するトランジスタ素子の開発が行われているが、Stress のレイアウト依存性は新たな特性ばらつきの原因ともなる。Stress のレイアウト依存性を素子の電気特性変動として考慮することにより設計精度の向上を図ることを Stress 考慮設計と呼ぶ。

Switching Power	配線及びゲートからなる負荷容量の充放電により消費される電力
SystemC	RTL より高位の抽象度での設計を目的とした言語。C++のサブセット。
TCF	トグル情報を定義するためのフォーマットのこと
TNS	違反している Slack のトータル値
UPF	低消費電力時の回路の仕様やパワー制約条件を記述する為の電源仕様フォーマット (標準化団体の IEEE-P1801 が提供)
Usage Model	要素技術の観点で、課題解決と効果確認ができるフロー。
VCD	シミュレーション時間、シミュレーション中の信号変化などの情報
Via Coverage (Hotspot)	Litho Hotspot の一つの種類。Via-配線間の Coverage Rule 違反の抽出 - Overlap 面積がある閾値よりも少ない箇所が対象
Wake Up 時間	パワースイッチセルがオンしてから、定常状態になるまでの時間
Wire Spreading	Particle 起因の不良を低減させる方法の一つ。配線間隔を広げることにより、ショート不良となる Critical Area を減らす。
Wire Widening	Particle 起因の不良を低減させる方法の一つ。配線幅を広げることにより、オープン不良となる Critical Area を減らす。
WNS	“Worst Negative Slack”の略 Negative Slack (違反している Slack)の中で最も絶対値が大きい(悪い)Slack の値
アサーションベース検証	アサーション(プロパティとも呼ぶ)ベース検証とは、設計記述(RTL)が仕様にあっているかどうかを検証する機能。仕様を記述するアサーション記述言語(PSL や SVA)を用い、RTL 記述との不整合を検出することができる。
逆相 Xtalk 遅延	Aggressor-Victim の逆相遷移により、Switching が遅くなる遅延
クロックメッシュ	クロック分配方式の1つで、メッシュ状にクロック信号を分配する。特徴:規模が大きい回路に対してもスキューを抑える為に有効な手段の一つである。「一般的に」配線リソースやパワー消費が大きいと言われている。ゲートドクロックと組み合わせるのが難しい。短絡部分を正しく解析できるセルベースの EDA ツールが存在せず、SPICE で解いた結果を I/F するのが既存のフローとなる。最近では、チップをパーティション(リージョン)に分け、部分的にメッシュを適用する手法も論文発表されている。こうした部分メッシュと区別するため、従来のメッシュを特別に「シングルメッシュ」と呼ぶことがある。
スペアセル	Post Mask 論理 ECO の際に使用するあらかじめ用意された論理 ECO 用のセル。
タイミング例外	タイミング考慮の対象外とするための制約。(set_false_path、set_multicycle_path、set_min/max_delay、set_disable_timing)
電源メッシュ	格子形状の電源配線
パワースイッチセル(PSW)	電源からの電流供給あるいは、グランドへの電流流出を遮断するスイッチの機能を持つセル。電源側に挿入するヘッダーセルとグランド側に挿入するフッターセルの 2 種がある。
マルチ CPU	CPU が複数が存在する回路構成や複数使用する処理を指す。チップ、単一マシン上に存在するものだけではなくネットワーク経由で接続されるものも含む。複数あるプロセス毎に CPU を割り当て同時に実行することの意味で使用されることもある。その場合は、メモリ空間を共有しないものを指すことが多い。
マルチコア	一つのチップ上に複数の CPU コアが乗っている回路構成を指す。CPU コアごとにプロセス、スレッドを実行することで並列処理が可能。メモリ空間を共有する使い方に適した構成であるため、マルチスレッドと同じ意味で使用されることも多い。

マルチスレッド	1つのプロセスをさらに小さな単位(スレッド)に分け、その複数のスレッドを同時に実行すること。同じメモリ空間を共有する。
マルチプロセッサ	単一のマシン上に CPU・プロセッサが複数が存在する回路・システム構成を指す。
マルチモード SDC マージ	複数の動作モードの SDC をひとつの SDC で統合すること
メッシュ	格子形状の配線を指す。主にクロック配線もしくは電源配線で使用される。詳細は、クロックメッシュ or 電源メッシュを参照。
ランダムばらつき	素子形状、チップ内位置などと依存がなく相関のない(相関係数=0)ばらつき
空間相関	OnChip 上でのシステムティックなばらつきを SSTA で扱う際に定義される相関で、Tr 間、配線間、パス間の距離が近ければ相関が強くなり、離れるほど相関が弱くなる。
高位合成	抽象度の高い動作レベルから RTL へ変換すること。動作合成ともいう。
統計的 STA(SSTA)	遅延値のばらつきを統計量として解析する STA。
同相 Xtalk 遅延	Aggressor-Victim の同相遷移により、Switching が早くなる遅延
突入電流 (ラッシュカレント)	パワースイッチセルがオンになった瞬間に、電源配線から遮断ブロックへ流れ込む、あるいは遮断ブロックからグランド配線へ流れ出す、定常状態時に比べて大きな電流

I. 事業の位置付け・必要性について

1. NEDOの関与の必要性・制度への適合性

1.1. NEDOが関与することの意義

本事業は、以下のとおり、「ITイノベーションプログラム」及び「エネルギーイノベーションプログラム」の一環として、これら両プログラムの目標達成に寄与すべく研究開発を実施している。また、当該事業が技術開発により解決を目指している課題は、システム LSI を主要製品とする我が国半導体企業が共通に抱える課題であって共通基盤的な技術開発をもって解決を図るべきものであり、また、大規模な産学連携による総合的な取り組みが重要であると考えられる。このような点から、本事業は、独立行政法人 新エネルギー・産業技術総合開発機構(NEDO)の関与が必要とされ、国家プロジェクトとして推進すべき事業であるといえる。

「ITイノベーションプログラム」は、我が国が目指す高度情報通信ネットワーク社会の構築に向け、経済成長戦略大綱、IT新改革戦略、科学技術基本計画及び技術戦略マップ等に基づいて実施されており、情報化の進展に伴うエネルギー消費量の増大等の課題にも考慮しつつ、その基盤となる情報通信機器・デバイス等の情報通信技術を開発し、実社会への利用を促進することによって、ITの利活用の深化・拡大を図り、より豊かな国民生活を実現するとともに、我が国の経済活力の向上を図ることを目的としている。

本プロジェクトが対象としているシステム LSI は、情報通信機器等の基幹となる重要構成要素であり、その技術開発は、高度情報通信ネットワーク社会実現のキーとなる技術である。近年、半導体微細加工技術が進展した結果、システム LSI 上に実現可能なシステムの規模が増大し、情報通信機器の機能のシステム LSI への集約がますます進んできた。しかし、その一方で、システム LSI の開発に係る新たな技術課題も顕在化し、設計と製造工程を一体的に捉え LSI 設計開発工程の全体的な最適化を図ることで解決を図る必要も生じてきた。本プロジェクトは、これらの課題を解決すべく、製造段階での問題をモデル化し設計段階で事前検証する製造性考慮設計技術(DFM: Design for Manufacturing)を重点的に組み込んだ設計技術を開発するものであり、その成果は国内半導体メーカーで実用に供され、優れたシステム LSI の実現、ひいては、情報通信技術の開発、利用促進に寄与するものである。

「エネルギーイノベーションプログラム」は、京都議定書目標達成計画(2005年4月閣議決定)、エネルギー基本計画(2007年3月閣議決定)、新・国家エネルギー戦略(2006年5月)、経済成長戦略大綱(2006年7月6日財政・経済一体改革会議)、第3期科学技術基本計画に基づいて実施されている。

エネルギー資源の約8割を海外に依存する我が国にとって、これを効率的に利用すること、即ち「省エネルギー」を図ることは、エネルギー政策上の重要な課題である。また、同時に、我が国は2度にわたる石油危機を体験して以来、主要先進国の中でも屈指の省エネルギー

型の産業構造を作り上げてきており、蓄積された省エネルギー技術は、地球温暖化問題の直面する人類にとって貴重な価値を有するものである。このような観点から、本プログラムは、「更なる省エネルギー技術の開発・導入を進め、もって我が国におけるエネルギーの安定供給の確保を図ること」、および、「更なる省エネルギー技術の開発・普及により、二酸化炭素(CO₂)排出削減を図り、もって地球温暖化の抑制に貢献すること」を目的として実施されている。

一方、本プロジェクトが対象としているシステム LSI は、その多機能化、高速化に伴い、消費電力の増大が大きな問題となっており、一層の低消費電力化が求められている。LSI の低消費電力化が実現されれば、従来と同じ機能をより少ない電力で実現することが可能になり、高度情報化社会におけるエネルギー資源の効率的利用に大きく貢献すると考えられる。本プロジェクトでは製造性考慮最適化設計技術を組み込んだ標準設計手法開発の目指す成果として、設計効率向上や歩留まり向上とならび低消費電力化技術を大きな課題の一つとして掲げており、その成果は、最終的には、我が国の省エネルギー技術の確保、および、地球温暖化の抑制に寄与するものである。

このように、本プロジェクトの実施は、「ITイノベーションプログラム」及び「エネルギーイノベーションプログラム」の目的に合致するものであり、高機能システム LSI の実現に不可欠な製造性を考慮した LSI 設計技術を開発し、我が国の半導体関連産業の国際競争力強化に資することを目的として、これら両プログラムの一環として実施している。

また、後述のとおり(「2. 事業の背景、目的、位置付け」を参照)、本プロジェクトが進める研究開発は、我が国半導体メーカーの共通的な課題の解決を図ろうとするものであり、その効率的な開発のためには、各社単独で取り組むよりは、共通の課題を抱える企業が協同し、大規模な産学連携による総合的な取り組みが重要であり、その成果は、我が国の半導体関連産業の国際競争力強化に繋がるものである。このように、本プロジェクトは、我が国企業の共通課題を協同体制で解決を図ろうとするものであり、その成果は、我が国半導体産業の国際競争力強化に貢献するものである。

また、開発する技術は、実際のシステム LSI 設計に直接的に適用可能であることも目指しており、開発成果は、共通課題の解決を図る技術である一方で、実用性の高い技術である。このため、本プロジェクトの成果は、速やかに半導体メーカー等に移管され、実用に供されることを目指している。

これらの観点から、本プロジェクトは、NEDO の助成事業としての技術開発が必要とされるものである。

1.2. 実施の効果(費用対効果)

本プロジェクトは、我が国半導体メーカーの共通課題の解決を図ろうとするものであり、その成果は、これらの企業において実用化され、システム LSI の効率的な開発に活用され、最終的に、我が国半導体産業の国際競争力強化に貢献するものであると同時に、低消費電力 LSI の実現を通じて、エネルギー安定供給の確保、地球温暖化の抑制といった省エネルギーにも寄与するものである。

1.2-1. 国際競争力強化

エレクトロニクス製品の価値は、セット機器のシステム機能そのものを取り込んだシステム LSI の機能・性能に依存するところが極めて大きく、システム LSI の機能や品質が製品の機能・品質を左右しつつある。このようなシステム LSI を活用した製品市場としては、世界の年間出荷台数が1億台をはるかに超えるパソコン市場や年間4億台を越える携帯電話市場をはじめ、デジタル情報家電、ブロードバンド、次世代移動体通信システムや携帯情報端末市場などがある。そして、今後も、これら電機業界、通信業界、自動車産業などのけん引役であるシステム LSI の需要の進展が予想される。特にデジタル情報家電(デジタル TV、DVD/HDD レコーダー、ゲーム機、カーナビゲーション、PDA、デジタルカメラなど)は、国内をはじめアジア市場での進展が今後も期待されている。

世界のシステム LSI(ASIC&ASSP)市場は 2007 年より本格展開が始まる hp90nm 以降の世代については、高性能・大規模システム LSI がターゲットとなる。回路が指数関数的に複雑・大規模化するため、それを解決すべく設計生産性を大幅に向上させなければならない。また製造においては、市販設計ツールを使って設計してもチップが期待通り動作しない場合もあり、RTL からプロセスまでに生じるあらゆる要因を統一的な技術でカバーされていなければならない。国内の半導体メーカーの設計技術、プロセス技術の総力を結集して強力な設計手法の確立により、国内の多くの産業にとって「プロセスフレンドリーシステム LSI 最適化設計技術」は極めて重要な設計技術となる。図 I 1-1は、JEITA 調査報告書「世界の主要電子機器からみた半導体市場の中長期展望 2004」より推定した2011年以降の世界、及び国内の半導体需要予測である。システム LSI(マイコン、ロジック分野)の販売額は10兆円～20兆円規模であり、これらは今後有望視される民生、コンピュータ、通信、自動車などに幅広く使われる。このような大きなマーケットを支えるプロジェクトの実施効果は極めて大きい。

以上から、「豊かな社会の実現を目指す高度情報通信ネットワーク社会の構築に向け、環境負荷の低減、実社会への適用及び普及促進のための技術の共通化・標準化等も考慮に入れながら、基盤となる情報通信機器・デバイス等の情報通信技術に関する研究開発を実施する。」というITイノベーションプログラムの目的にも合致する。

年度	2011年		2012年		2013年		2014年		2015年	
SoC使用機器名	世界金額 (億円)	国内金額 (シェア28% 億円)	世界金額 (億円)	国内金額 (シェア30% 億円)	世界金額 (億円)	国内金額 (シェア32% 億円)	世界金額 (億円)	国内金額 (シェア34% 億円)	世界金額 (億円)	国内金額 (シェア 36% 億 円)
民生分野	22,820	6,390	23,596	7,079	24,398	7,807	25,227	8,577	26,085	9,391
コンピュータ分野	79,445	22,245	82,146	24,644	84,939	27,181	87,827	29,861	90,813	32,693
通信分野	33,468	9,371	34,606	10,382	35,783	11,450	36,999	12,580	38,257	13,773
自動車分野	10,968	3,071	11,341	3,402	11,727	3,753	12,125	4,123	12,538	4,514
総額	146,701	41,076	151,689	45,507	156,846	50,191	162,179	55,141	167,693	60,369

*JEITA調査報告書「世界の主要電子機器からみた半導体市場の中長期展望2004」より推定
*2011～2015の成長率は7%を使用。国内シェアは、毎年2%増加すると仮定。

図 I 1-1 マイコン、ロジック分野の半導体需要予測

このように、本プロジェクト成果は、半導体産業のみならず我が国の多くの分野の国際産業力強化に大きく貢献できるものである。

1.2-2. 省エネルギー効果

「資源に乏しい我が国が、将来にわたり持続的発展を達成するためには、革新的なエネルギー技術の開発、導入・普及によって、各国に先んじて次世代型のエネルギー利用社会の構築に取り組んでいくことが不可欠である。他方、エネルギー技術開発は、長期間を要するとともに大規模投資を伴う一方で将来の不確実性が大きいことから、民間企業が持続的な取組を行うことは必ずしも容易ではない。このため、政府が長期を見据えた将来の技術進展の方向性を示し、官民双方がこの方向性を共有することで、将来の不確実性に対する懸念が緩和され、官民において長期にわたり軸のぶれない取組の実施が可能となる。」というエネルギーイノベーションプログラムの目的にも以下のように合致するものである。

省エネルギー効果を試算するため、図 I 1-2 のようにシステム LSI 適用機器の市場の推定を行った。システム LSI を必要とする主な情報通信機器を選定し、その普及台数を求めた。代表的な情報通信機器は機能進化しながら成長して行くと仮定しシステム LSI の大規模・高機能化により機器内でワンチップ化が進展するとした。普及台数は、JEITA 調査報告書「世界の主要電子機器からみた半導体市場の中長期展望 2004」、「2009 年までの AV 主要品目世界需要予測 (2005 年報告書)」、「2010 年の電子・情報産業ビジョン」より引用し 2010 年度の数量を推定した。2020 年、2030 年の普及台数は、経済産業省、機械統計より平均成長率を 3.4%として推定した。今後、我が国がこれまで以上に豊かな国民生活を維持するためには、この程度の経済成長目標は必要と考えられる。尚、各機器の消費電力は株式会社 半導体理工学研究センター (以下「STARC」という) にて推定した。

図 I 1-2 システム LSI 適用機器の市場の推定

SoC使用機器名	2007年生産 *1(千台)	2010年普及 台数(千台)	2020年普及 台数(千台)	2030年普及 台数(千台)
パソコン用画像処理	5,736	6,883	7,117	7,359
プリンタ	4,000	5,600	5,790	5,987
DVDレコーダ	6,900	8,280	8,562	8,853
携帯電話	51,000	56,100	58,007	59,980
デジタルカメラ	12,160	13,376	13,831	14,301
ビデオ一体カメラ	1,740	1,914	1,979	2,046
セットトップボックス	2,708	2,708	2,800	2,895
液晶TV	6,336	8,870	9,172	9,484
無線LAN	120,000	156,000	161,304	166,788
その他MPU	800,000	960,000	992,640	1,026,390

*経済産業省、機械統計より平均成長率を 3.4%として 2020 年、2030 年の数量を推定。

*代表的な情報家電機器が機能進化しながら成長して行くと仮定。システム LSI の大規模・高機能化により機器内ワンチップ化が進展。

*1:普及台数:JEITA 調査報告書「世界の主要電子機器からみた半導体市場の中長期展望 2004」、「2009 年までの AV 主要品目世界需要予測 (2005 年報告書)」、「2010 年の電子・情報産業ビジョン」より引用。2010 年数量を推定。

省エネルギー効果の試算は、事業が行われない時の年間消費電力を普及台数×消費電力×稼働時間×365 日とし、事業が行われたときの省エネ量を普及台数×消費電力×稼働時間×365 日×置換率×0.55(本事業により 45%の省エネルギー設計が実現)として計算した。図 I 1-3に、各機器の省エネルギー効果の計算結果を示す。国内で圧倒的に生産量の多いマイコンの省エネ化の効果が大きい。置換率は、本事業の終了する 2010 年には、hp65nm ノードで 60%と仮定した。その後、2020 年には hp45nm は次世代技術に置き換えが始まっていると想定し置換率を 30%程度と仮定した。2030 年での hp45nm ノードの置換率は更に減少として 10%とした。

図 I 1-3 システム LSI 適用機器の市場の推定

SoC使用機器名	2010年 (hp65、44MGate) 55%減						
	2010年普及 台数(千台)	消費電力 (W)*2	稼働時間 (h/日)	事業が行われ ない時の年間 消費電力 (MkWh)	hp65への 置換率	事業が行われ た時の年間 省エネ量 (MkWh)	原油換算 (KL)
パソコン用画像処理	6,883	20	12	603	0.6	199	46,959
プリンタ	5,600	4	12	98	0.6	32	7,641
DVDレコーダ	8,280	4	5	60	0.6	20	4,707
携帯電話	56,100	2	4	164	0.6	54	12,758
デジタルカメラ	13,376	2	1	10	0.6	3	760
ビデオ一体カメラ	1,914	3	1	2	0.6	1	163
セットトップボックス	2,708	4	4	16	0.6	5	1,232
液晶TV	8,870	10	6	194	0.6	64	15,128
無線LAN	156,000	1	10	569	0.6	188	44,345
その他MPU	960,000	0.3	24	2,523	0.6	833	196,482
				4,240	合計	1,399	330,176

SoC使用機器名	2020年 (hp45、88MGate) 55%減						
	2020年普及 台数(千台)	消費電力 (W)*2	稼働時間 (h/日)	事業が行われ ない時の年間 消費電力 (MkWh)	hp45への 置換率	事業が行われ た時の年間 省エネ量 (MkWh)	原油換算 (KL)
パソコン用画像処理	7,117	200	12	6,235	0.3	1,029	647,410
プリンタ	5,790	8	12	203	0.3	33	21,069
DVDレコーダ	8,562	8	5	125	0.3	21	12,980
携帯電話	58,007	4	4	339	0.3	56	13,191
デジタルカメラ	13,831	4	1	20	0.3	3	786
ビデオ一体カメラ	1,979	6	1	4	0.3	1	169
セットトップボックス	2,800	8	4	33	0.3	5	1,273
液晶TV	9,172	20	6	402	0.3	66	15,644
無線LAN	161,304	2	10	1,178	0.3	194	45,853
その他MPU	992,640	3	24	26,087	0.3	4,304	1,015,811
				34,625	合計	5,713	1,774,186

SoC使用機器名	2030年 (hp45、88MGate) 55%減						
	2030年普及 台数(千台)	消費電力 (W)*2	稼働時間 (h/日)	事業が行われ ない時の年間 消費電力 (MkWh)	hp45への 置換率	事業が行われ た時の年間 省エネ量 (MkWh)	原油換算 (KL)
パソコン用画像処理	7,359	400	12	12,893	0.1	709	167,351
プリンタ	5,987	16	12	420	0.1	23	5,446
DVDレコーダ	8,853	16	5	258	0.1	14	3,349
携帯電話	59,980	8	4	701	0.1	39	9,093
デジタルカメラ	14,301	8	1	42	0.1	2	542
ビデオ一体カメラ	2,046	12	1	9	0.1	0	116
セットトップボックス	2,895	16	4	68	0.1	4	878
液晶TV	9,484	40	6	831	0.1	46	10,784
無線LAN	166,788	4	10	2,435	0.1	134	31,608
その他MPU	1,026,390	3	24	26,974	0.1	1,484	350,116
				44,629	合計	2,455	579,283

*2:消費電力:STARC 推定。

各年度での省エネ効果をまとめると下記のように試算され、省エネルギー社会の実現に貢献するものである。

	年間省エネ料(MkWh)	原油換算(KL)
2010年	1,399	330,176
2020年	5,713	1,774,186
2030年	2,455	579,283

* 1KWh の発電量に必要な原油量を 0.236L とした。

尚、2030年にはさらに微細化が進んで hp45nm が置換されるので効果が減少する。

1.2-3. 実施効果

本プロジェクトは、平成 18 年度に開始し、助成費用として 18 年度は 8.8 億円、19 年度は 8.9 億円、20 年度は 8.9 億円、21 年度は 7.2 億円、22 年度は 5.8 億円、総額約 40 億円の助成費用(加速資金を含む)を支出した。これに対して、上述のとおり、本プロジェクトの成果は、我が国半導体メーカーにおいて実用に供され、それぞれの企業が各社の効率的なシステム LSI の開発に大いに活用されると考えている。実際、開発成果は、技術開発と並行して、順次、企業に移管されており、既に、開発を完了した一部成果については製品開発に活用され始めている。また、省エネルギー効果も低消費電力化設計フローの導入により hp90nm 世代に比較して約 45%低消費電力化が達成されると見込まれている。今回の開発した、低消費電力化設計フローには RTL でのパワー最適化技術、DVFS(Dynamic Voltage and Frequency Scaling) 技術と呼ばれる動的にクロック周波数と電源電圧を調整する技術など State of the Art な技術が含まれている。これらは設計ノウハウとして低消費電力設計ガイドラインとしてまとめられ、多くの実設計にすでに使われている。

このように、本助成費用の投入により、十分な効果が得られると見込まれる。

2. 事業の背景・目的・位置付け

情報ネットワーク社会の進展に伴い、情報通信機器やデジタル家電に対する高機能化、低消費電力化、小型・軽量化などの要求はますます大きくなっている。これらの製品は表示機能、処理機能、通信機能、組み込みソフトウェアから構成され、我が国企業が得意な擦り合わせが有効に機能する分野であり、今後注力すべき産業分野と考えられている。その鍵を握るのはシステム LSI である。

システム LSI は、適用製品の多様なニーズに対応するために、機能の複合化が求められ、CPU、メモリ、アナログ回路、センサー、通信機能、画像処理機能など多数の機能ブロックの混載化が進む。さらに、システム LSI が用いられる製品分野は競争が激しく製品寿命が短い。収益を上げるには、付加価値の高い新製品を低コストかつ短期間で開発・設計し、目標歩留まりをいち早く達成し、初期の段階から低コストで生産する必要がある。

システム LSI 開発には、ふたつの大きな課題がある。ひとつは、設計規模の巨大化によるソフトウェアを含めたシステム設計・検証部分の肥大化と、設計品質の確保が困難になる課題である。これに対しては、プラットフォーム化、IP の再利用など、製品システム設計と密接に関連した技術開発が半導体各社で行われている。

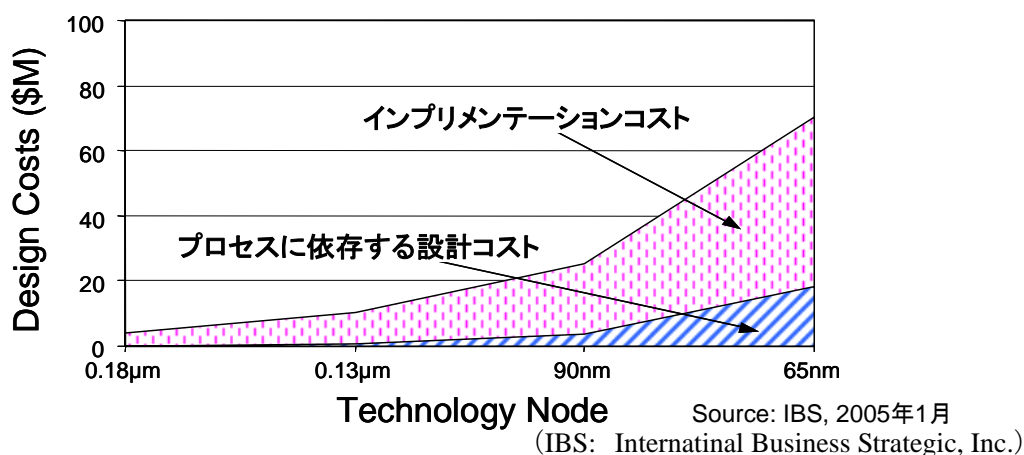
もうひとつは、半導体デバイスの微細化進展によって発生した新たな技術課題である。半導体デバイスは微細化により、低消費電力化、高機能化、小型化、低コスト化を実現してきたが、微細化のさらなる進展に伴い、寄生抵抗・容量・インダクタンスの増加とそれによる電気信号の歪みやノイズ耐性の劣化、高速化に伴うタイミングマージンの減少、チップ発熱による特性劣化など、設計段階で考慮すべき要素が飛躍的に増加している。さらに、2010 年に生産開始が予定されている hp45nm 技術世代では、低 k1 値リソグラフィにおけるレイアウトパターンの再現性の低下、製造に起因するばらつきや欠陥に対するマージンの低下など、設計と製造工程を一体的に捉え全体的な最適化を図ることで初めて解決できる技術課題が山積している。このような設計と製造の界面に関わる課題は、システム LSI を主要製品とする我が国半導体メーカーが共通に抱える課題であり、共通基盤的な技術開発をもって解決を図るべきである。

本プロジェクトでは、これらの課題解決を目指して、製造段階での問題をモデル化し設計段階で事前検証する製造性考慮設計技術(DFM: Design for Manufacturing)を重点的に組み込んだシステム LSI 設計手法を開発し、さらに、その開発成果の早期実用化を図ることにより、我が国の LSI 設計技術の底上げを図り、設計効率向上や歩留まり向上で製品コスト競争力を強化し、日本の半導体業界全体に貢献することを目的とする。

II. 研究開発マネジメントについて

1. 事業の目標

情報通信機器やデジタル家電に対する高機能化、低消費電力化、開発期間短縮への要求など、製品開発への要求は非常に大きくなっている。価値の高い製品を低コストかつ短期間で開発・設計し、目標歩留りをいち早く達成することが期待されているが、半導体デバイスの微細化とともに新たな技術課題が顕在化してきた。微細化により低消費電力化、高機能化、小型化、低コスト化を実現してきたが、微細化の進展に伴い、寄生抵抗・容量、インダクタンスの増加とそれによる電気信号の歪やノイズ耐性の劣化、高速化に伴うタイミングマージンの減少、チップ発熱による特性劣化などの設計段階で考慮すべき技術課題が飛躍的に増加している。図II 1-1に示すようにプロセスの微細化により、各種設計課題に対応するために設計コストは飛躍的に増大する。また、図II 1-2に示すように、プロセスあるいはリソグラフィ起因によるレイアウトパターンの再現性の低下や製造に起因するばらつきや欠陥に対するマージンの低下などにより、歩留りが低下するという問題も深刻化する。これら設計課題は、設計と製造工程を一体的に捉えて全体的な最適化を図ることで初めて解決できる。



図II 1-1 プロセスに依存する設計コストの増大

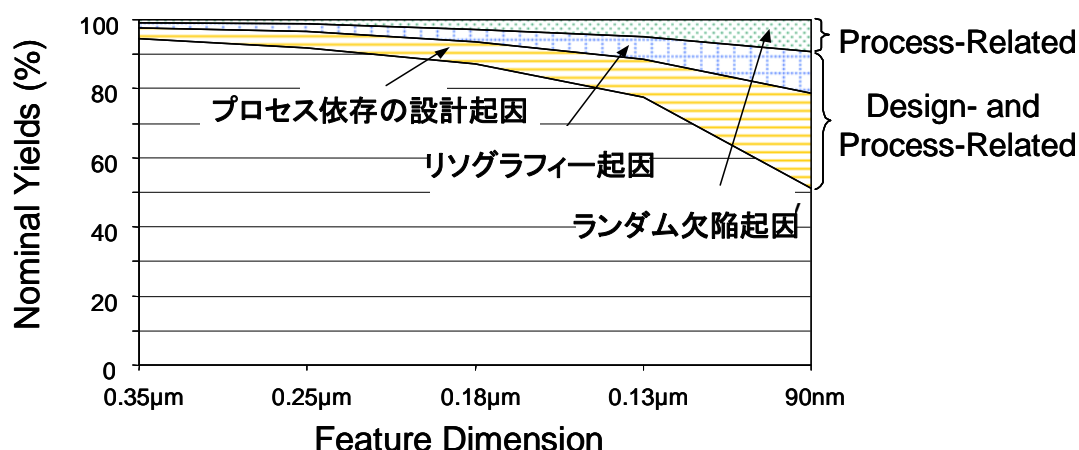


図 II 1-2 DFM の不備による歩留りの低下

これらの状況を踏まえて、本プロジェクトでは、中間目標、最終目標を設定し、研究開発を推進している。

具体的には、中間目標として、平成 20 年度末までに、「設計と製造が統合された製造性考慮設計技術を重点的に組み込んだ hp65nm (ロジックノード 45nm:hp 表記で無い数字はロジックノードである) 技術領域のシステム LSI に対応した標準設計手法を開発すること」を目標としている。

さらに、最終目標として、平成 22 年度末までに「hp45nm 技術領域のシステム LSI で求められる製造歩留まりを確保可能な、製造性考慮設計技術を重点的に組み込んだ標準設計手法を開発するとともに、開発成果を盛り込んだシステム LSI 設計手法を用いることにより、hp45nm 技術領域で求められる製造歩留まりを確保可能なシステム LSI を設計する生産性を、本技術開発手法を用いない場合と比較して3倍にすること」を目標としている。

2. 事業の計画内容

2.1. 研究開発の内容

hp45nm 以細の技術領域におけるシステム LSI で、高集積、低消費電力、高歩留まりなどを実現するには、設計と製造にまたがった諸課題を解決する設計技術の開発が必須である。具体的には、微細化に伴う信号劣化やタイミングマージンの減少やオンチップばらつきによる設計マージンの減少、さらにリソグラフィにおけるレイアウトパターンの再現性低下の課題がある。これらの課題を解決するために、製造段階での問題をモデル化し、設計段階で事前に検証することによってシステム LSI の設計から製造に至る全体の生産性を向上させることが可能な、設計と製造工程を一体的に捉えた LSI 設計手法を開発する。

①製造性考慮設計の基盤技術開発

- ・製造ばらつきを考慮した LSI 設計手法の開発
- ・製造歩留まりを考慮した LSI 設計手法の開発
- ・設計意図を活用するリソグラフィフレンドリーな設計手法の開発
- ・製造性考慮設計の効果予測技術の開発

②製造性考慮設計の標準化技術

- ・製造と設計に係わる DFM データベース整備と標準インターフェイスの開発
- ・製造工程のモデル化に基づき移植性が確保された EDA ライブラリ標準化開発手法の構築

③新技術事象に対する製造性考慮設計技術開発

- ・統計的な解析・検証・判定手法の開発
- ・低消費電力化設計手法の開発と低消費電力指向新基本回路技術の開発
- ・冗長化技術および製造後調整を考慮した新基本回路技術の開発

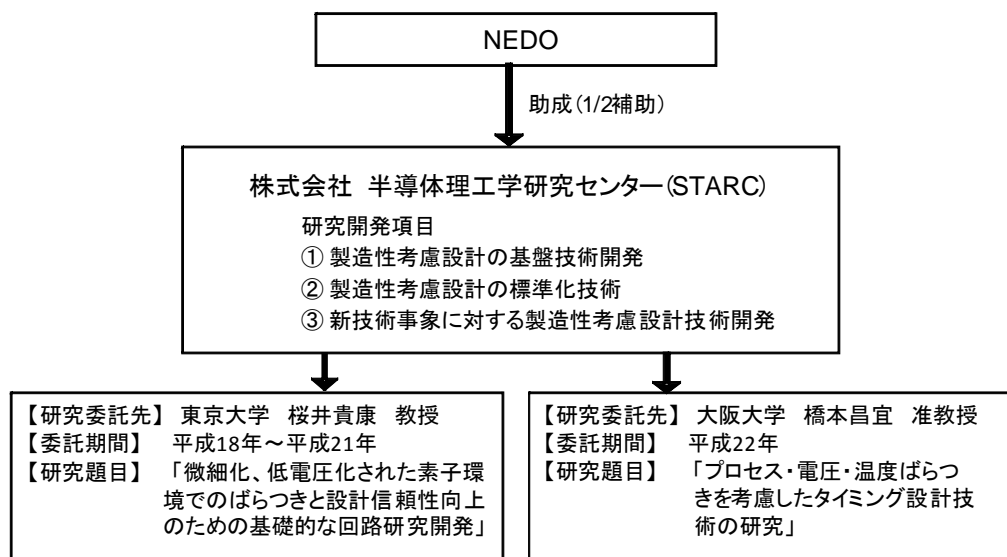
これらの技術開発を効率的に進め、かつ実用に供するように本プロジェクトでは、設計全体を最適化する設計手法を開発する。設計手法は設計全体に流れを構築する縦串である設計フロー開発とそのフローに組み込まれる横串である要素技術開発からなる。要素技術としてはばらつき考慮の設計手法開発、歩留まりを考慮した設計手法開発、リソグラフィフレンドリーな設計手法の開発、サインオフ技術の開発、およびライブラリ開発手法があり、それらの技術開発を行う。

2.2. 研究開発の実施体制

本プロジェクトで開発する次世代プロセスフレンドリー設計技術は、システム LSI を主要製品とする我が国半導体メーカーが共通に抱える課題に対して、その解決を図ろうとするものであり、NEDO 助成事業として、共通の課題を抱える企業が協同し、大規模な産学連携による総合的な取り組みを進めることが重要である。

このような考えのもと、本プロジェクトは、図Ⅱ 2-1 のような実施体制で進められた。我が国の主要半導体メーカーが設立した株式会社半導体理工学研究センター(STARC)で実施することとし、各社の設計技術者を集結して研究開発を推進している。最先端の設計技術開発を推進できる技術者を集結することで共通基盤的な技術を効率的に開発することを目指すとともに、これらの技術者が、各社における本プロジェクト成果の普及、実用化を進めるうえで中心的な役割を担うことを期待している。

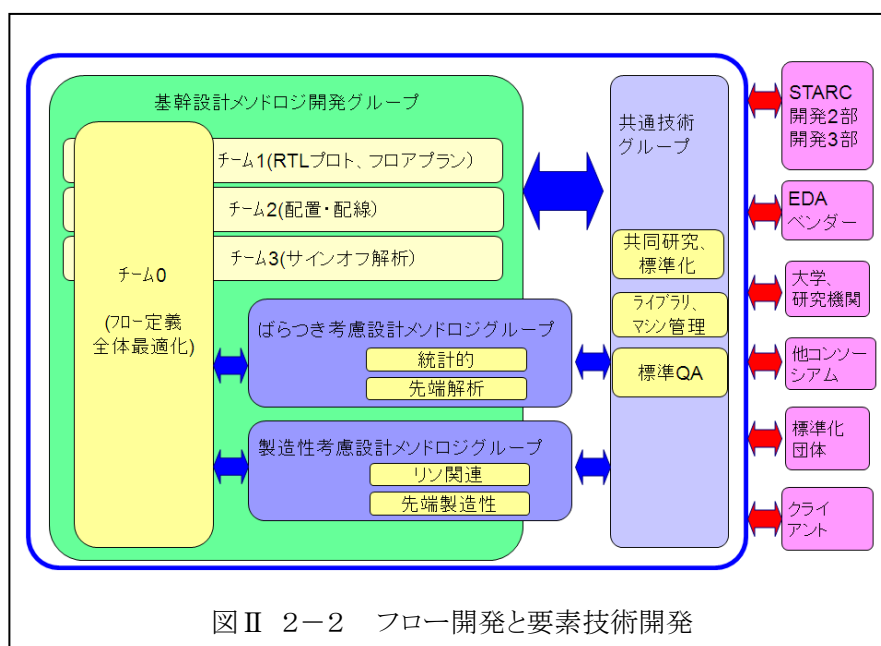
また、大学の研究開発力を活用した研究開発を進めている。平成18年度から平成21年度においては、微細化、低電圧化された素子環境でのばらつきと設計信頼性向上のための基礎的な回路的研究開発が将来的に重要になる課題であり、この分野で研究アクティビティの高い東京大学に研究委託を行った。平成22年度においては、プロセス・電圧・温度ばらつきを考慮したタイミング設計技術の研究開発を大阪大学に研究委託した。



図Ⅱ 2-1 実施体制

*株式会社 半導体理工学研究センターを STARC と略す

助成先である STARC においては、開発責任者である社長のもと、開発第一部が開発を推進している。具体的には、5つの要素技術開発チームと、我が国半導体事業者で主に使われている基本的な2種類の EDA ツールに対応した2つの設計フロー開発チームが連携し、図Ⅱ 2-2に示すような設計技術の開発を効率的に進める体制を構築している。また、STARC 開発第一部の支援組織である「先端コア支援委員会」が、本開発について仕様要求や助言を行う等、参加企業各社の広範なバックアップ体制も整備している。



2.3. 研究開発の運営管理

研究の運営管理については、半年ごとに開発成果物を参加半導体企業へ実用化させるため、図 II 2-3に示すように開発計画の検討と承認を行う拡大先端コア支援委員会と、プロジェクト活動に参加各社の戦略や意見を反映する先端コア支援委員会、及び STARC、各社設計開発現場の技術者によるサブワーキンググループを設置した。サブワーキンググループは、設計フロー、フロントエンド/配置配線、ばらつき/サインオフ、製造性考慮(DFM)、ライブラリ、標準 QA (EDA ツールの評価統括)の6グループが個別技術ごとに STARC 計画と各社開発要求との整合を行う。

各サブワーキンググループの結果は毎月1回、先端コア支援委員会によってプロジェクト全体活動に対して各社の意見を反映すると共に、プロジェクト目標達成に向け全体的な活動方針や重要事項についての審議・評議、各社意見を取纏めや、プロジェクト推進に必要な人材および各種情報の提供、活動状況に対するアドバイスなどを行う。各社代表委員は正委員1名と複数の副委員を可能とし、各社代表の正委員となる者には、プロジェクトの活動内容に関して、自社内の関連部門に対して十分な影響力を持つ人物(部長クラス以上)であること、関連技術分野に関し、技術的バックグラウンドを有する事などを求めている。

委員長はクライアント支援委員の中から互選により選任し、副委員長は STARC 開発第1部長としている。

先端コア支援委員会の主な役割は以下のとおりである。

- 1) 年度活動計画案、予算案の審議、承認
- 2) 年度活動報告案への助言、提言
- 3) 下部組織(SWG)の改変
- 4) 新規プロジェクトの提案

5) 下部組織 (SWG) 委員の選出

6) STARC 依頼に対する各社出向者の推薦、各社情報提供、アンケート回答

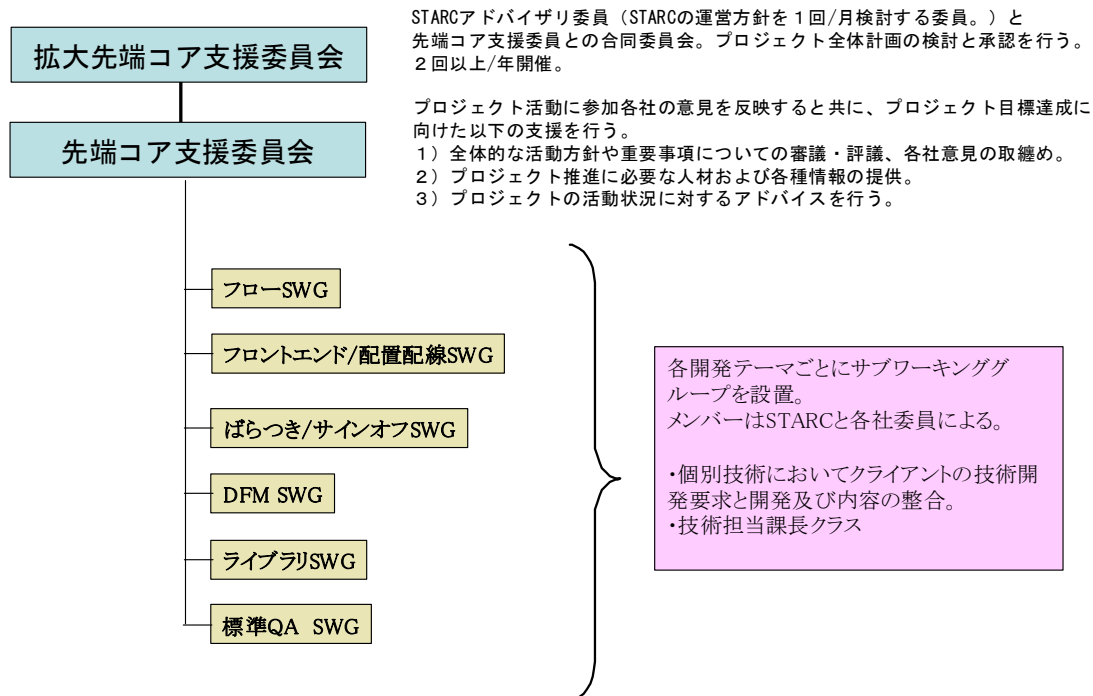


図 II 2-3 研究開発の運営管理体制

2.4 研究開発成果の実用化に向けたマネジメントの妥当性

システム LSI 産業分野は国際的に極めて技術競争が激しい。そこで、本プロジェクトではプロジェクト終了後に実用化を考えるのではなく、「開発」⇒「企業へ技術移転」を6ヶ月ごとに繰り返し半導体産業の国際競争力強化に貢献した。以下 技術移転の状況を述べる。

平成18年度は、hp90nm プロセスをベースに、V1.0 基本メソッドロジフロー開発、ばらつきを考慮した設計フローの構築等の開発を行った。これらの成果を標準設計環境プラットフォームとして、STARCAD-CEL V0.5(65nm 基本フロー 2006年9月)、STARCAD-CEL V1.0(ばらつき考慮メソッドロジ 2007年3月)をクライアント各社にリリースした。

平成19年度は、歩留まり考慮設計メソッドロジと低消費電力設計メソッドロジとに焦点をあてた技術開発を行った。これらの成果を標準設計環境プラットフォームとして、STARCAD-CEL V1.5(超低消費電力メソッドロジ 2007年9月)、STARCAD-CEL V2.0(歩留まり考慮メソッドロジ 2008年3月)をクライアント各社にリリースした。

平成20年度は、現在使用可能な hp65nm プロセスをベースに設計と製造が統合された標準設計メソッドロジ開発を行った。この標準設計メソッドロジには、統計的タイミング解析、低消費電力対応、

45nm 製造性考慮(リソ、製造欠陥、CMP)、サインオフ基準、RTL プロトタイピング技術を含む。さらにこれをもとに、hp45nm に新規必要技術課題の抽出を行った。hp45nm に新たに解決が必要な技術としては、リソグラフィ考慮、hp45nm トランジスタ・配線要因などがあるが、20 年度はそれらがシステム LSI チップ設計に与える影響の基盤研究を行い、先行的な技術開発を行った。これらの成果を標準設計環境プラットフォームとして、STARCAD-CEL V2.5(45nm 実証フロー 2008 年 9 月)、STARCAD-CEL V3.0(リソ考慮設計メソドロジ 2009 年 3 月)をクライアント各社にリリースした。

平成21年度は、hp45nm での大きな設計課題である低消費電力化技術を主テーマとして取り組んだ。成果を標準設計環境プラットフォームとして、STARCAD-CEL V3.5(熱・ノイズ考慮設計メソドロジ 2009 年 9 月)、STARCAD-CEL V4.0(統合低消費電力設計メソドロジ 2010 年 3 月)をクライアント各社にリリースした。

平成22年度は、最終目標である製造歩留まりを確保可能なシステムLSIの設計の生産性が3倍になることを確認するために56Mゲートのテストデータを用い、今回開発した設計フローが所望の生産性を実現しているか実証を行った。成果を標準設計環境プラットフォームとして、STARCAD-CEL V4.5(特性考慮設計メソドロジ 2010 年 9 月)、STARCAD-CEL V5.0(統合ばらつき考慮設計メソドロジ 2010 年 3 月)をクライアント各社にリリースした。

研究開発成果の実用化につなげる知財マネジメントについては、本プロジェクトで開発する技術は、国外の競合他社に対して先行性のある技術であるため 特許性は高いものになり得る。しかし その要点はノウハウの集積物でもあるため、知財化による公開は模倣による権利侵害リスクも高い。従って、我が国発信の技術として 価値を損なわないように 知財化については慎重に進めていく方針である。

3. 情勢変化への対応

次世代プロセスフレンドリー設計技術開発プロジェクトは、平成 18 年 5 月に開始された。平成 18 年度、19 年度の 2 年間に於いて、研究計画に影響を与える重要な情勢の変化は認められなかった。従って、情勢変化に対応した特別な計画変更等は行っておらず、当初計画どおりの研究開発を実施した。

平成 20 年度については、hp45nm 世代の設計技術を展望して追加的に、「製造歩留まり、ばらつき、低消費電力に影響するストレス起因のトランジスタ特性変動をチップレベルで考慮した設計手法」の基礎検討を行った。具体的には、以下の開発を実施した。

- ① ストレス起因のトランジスタ特性変動の情報をライブラリに反映させるために必要な「ストレスのモデル化」。
- ② 上記モデルを適用するチップレベルの「ストレス起因トランジスタ特性変動考慮の設計手法」の開発の実施。

hp45nm 世代では、設計において考慮すべき要因がますます増加し、製造歩留まり考慮、ばらつき考慮、低消費電力対応の LSI 設計が hp65nm 世代に比べ格段に難しくなる。特に、最近のプロセス技術開発の結果、hp45nm 世代では、トランジスタにかかるストレス(応力)の特性変動に与

える影響が予想より大幅に大きいことが判明してきた。このため、製造歩留まり、ばらつき、低消費電力対応で考慮されるべき技術要因として、ストレス考慮設計技術が必須のテーマである。

現在、トランジスタ単体については、TCAD(Technology CAD)によってこのストレス効果を解析する技術が開発されている。しかしながら、チップレベル(1億個以上のトランジスタを集積)での解析、さらに、ストレス考慮の設計技術の開発は、世界的にも行われていない。チップレベルの設計でこのストレス効果を考慮するために、ライブラリでのストレスのモデル化、そのモデルを用いたチップレベルでのストレス考慮の設計手法の基本開発を世界に先駆けて行う。この結果は平成21年度以降に予定している特性考慮設計技術に取り込み、hp45nm 世代の製造歩留まり考慮、ばらつき考慮、低消費電力対応が実現できるよりロバストな要因解析、全体最適化技術として発展させる。

平成21年度では、電源ノイズ考慮設計技術の開発を加速により実施した。電源ノイズ(電源の電位変化が起因するノイズ)は、時間的に変動するものであるため、従来から動作異常を検出できるリーズナブルなモデル化が不可能と考えられており、当初から研究課題には含めていなかった。一方で、平成21年4月に半導体理工学研究センターと大阪大学との共同研究において、電源ノイズを統計量として扱うことによってモデル化できる画期的な成果が得られた。本成果を用いて、電源ノイズに対する新たな研究課題を実施することにより、高速動作インターフェースを備えたチップに多く見られた電源ノイズ起因の動作不良にも対応することが可能となり、これにより、データ転送速度が上昇しても設計期間の短縮が図れるようになった。

平成22年度では、各種ばらつきを考慮した最適設計フロー開発を加速により実施した。電源ノイズ解析、温度考慮のRC抽出と温度分布解析技術、統計的クロストーク解析、電圧降下解析技術の開発を通じ、これらの解析技術を当初予定のサインオフ工程(最終検証工程)に組み込むだけでは、ターゲットとしているhp45nm 世代の物理現象、ならびに製造条件の困難さから設計マージン(設計時に製造後のチップの動作保証をするための設計余裕)、サインオフ時のコーナー条件を減らすことが不可能であり、設計生産性としては2倍程度の向上しか期待できない。そこで設計生産性3倍の達成を目指し技術検討した結果、革新的なアイデアとして、これら解析技術を設計フローの前工程(論理合成、フロアプラン、自動配置配線)に効果的に組み込むことにより、設計生産性を3倍にする可能性があることが判明した。そこで、この統合的なフロー技術の開発を行い、最適なマージン・コーナ条件設定の技術開発、ならびにその有効性を確認した。

4. 中間評価結果への対応

平成20年度に実施した中間評価において、本プロジェクトに対し下記の評価を頂いた。

『半導体はエレクトロニクス製品だけではなく、自動車や医療、社会インフラの基盤となる技術であり、その設計は、プロセスと車の両輪をなしており、EDA(電気設計支援ソフトウェア)の寡占化やファブレスメーカーの躍進を考えると、プロセス以上に重要な技術となっている。この様な中で、日本の半導体メーカーのシステムLSIの設計技術力を高めるため、hp65nm(中間)、hp45nm(最終)プロセスをターゲットとして、共通の設計技術を開発することで複数企業全体として開発期間の短縮・開発コスト削減できることは意義のあることであり、開発成果・技術移転実績も申し分ない。さらに以下

の点に留意して開発を進めて欲しい。

- ①ロードマップ記載等の革新的技術で、実用的に重要なものはないのかを検討し、実施することが望まれる。
- ②開発した技術の知的財産権を確保し、日本企業の技術がベンダーを通じて拡散することを防止する方策を講ずべきである。
- ③日本の半導体産業のプレゼンス向上は国際競争力強化にもつながると考えられるので、戦略的な広報活動を期待したい。
- ④プロセスと設計の界面の研究では、装置メーカーからの研究開発状況を盛り込む、或いは意見を吸上げるべきではないか。
- ⑤低電力化設計メソドロジーは実現方法が多岐にわたるので、どのようなときにどのような技術を適用すべきかが開発前にわかるようなガイドラインの策定が望まる。
- ⑥冗長化技術についてはどのように対応するか明確にすべきである。』

これらの評価結果のうち、①、⑤、⑥に対しては、平成21年度実施計画に反映し以下の通り対応した。

- ①革新技術については、技術の重要性ならびに経済的優位性を考慮して、チェックシートにより重要性を確認し、開発を実施した。
- ⑤設計ガイドラインを策定した。
- ⑥冗長化技術の今後については、2009年度に明確化した。
②、③、④に対しては下記のように対応した。
- ②知的財産権をノウハウという形で保持する場合が大半であった。EDAベンダーへその技術を開示する際には、一般化や汎用化した形で提供し、実際の設計へは応用できないようにすることで知的財産を確保した。
- ③成果の実用化や事業化へ向けて、学会発表、新聞発表を通じてアピールを実施した。
- ④装置メーカーとの連携強化のため、日本のマスクベンダーとも意見交換をし、プロセスと設計の界面における重要な研究開発を行うマスク設計(D2I)プロジェクトと、意見交換をした。

5. 評価に関する事項

平成 20 年度に中間評価を実施した。

- ①実施時期:平成 20 年度
- ②評価手法:外部評価
- ③評価事務局:研究評価広報部
- ④評価項目・基準:

評価は下記の 4 つの評価軸に対して標準的な評価項目・評価基準を定め、これに基づき行われた。

1. 事業の位置付け・必要性

- (1) NEDOの事業としての妥当性
- (2) 事業目的の妥当性

2. 研究開発マネジメント

- (1) 研究開発目標の妥当性
- (2) 研究開発計画の妥当性
- (3) 研究開発実施の事業体制の妥当性
- (4) 研究開発成果の実用化、事業化に向けた
マネジメントの妥当性
- (5) 情勢変化への対応等

3. 研究開発成果

- (1) 目標の達成度
- (2) 成果の意義
- (3) 知的財産権等の取得及び標準化の取組
- (4) 成果の普及

4. 実用化、事業化の見通し

- (1) 成果の実用化可能性
- (2) 事業化までのシナリオ
- (3) 波及効果

⑤評価委員:

「次世代プロセスフレンドリー設計技術開発」

中間評価分科会委員名簿

(平成20年11月現在)

	氏名	所属、肩書き
分科 会長	ごとう まとし 後藤 敏	早稲田大学 大学院情報生産システム研究科 教授
分科会長 代理	たき かずお 瀧 和男	エイ・アイ・エル(株) 代表取締役社長
委員	きしね けいじ 岸根 桂路	滋賀県立大学 工学部電子システム工学科 准教授
	ごとう げんすけ 後藤 源助	山形大学 工学部情報科学科 教授
	とどころ よしひろ 戸所 義博	奈良先端科学技術大学院大学 産学連携推進本部 特任教授
	みなみかわ あきら 南川 明	アイサプライ・ジャパン (株) 副社長/主席アナリスト
	もたい ひでき 甕 秀樹	(株)産業タイムズ社 半導体産業新聞 副編集長

敬称略、五十音順

平成23年度に事後評価を実施する。

Ⅲ. 研究開発成果について

1. 事業全体の成果

(1) 目標

32nm (hp45nm) 以細の技術領域におけるシステム LSI において、高集積、低消費電力、高歩留りなどを実現するには、設計と製造にまたがった諸課題を解決する設計技術の開発が必要である。具体的には、微細化に伴う信号劣化やタイミングマージンの減少、オンチップばらつきによる設計マージンの減少、さらにリソグラフィによるレイアウトパタンの再現性の低下などの課題がある。これらの課題を解決するために、製造段階での各種問題をモデル化し、設計段階で事前に検証することによってシステム LSI の設計から製造に至る全体の生産性を向上させることが可能な、設計と製造工程を一体的に捉えたシステム LSI の設計手法を開発する。

研究開発目標としては下記の目標が設定されている。

2011年3月までに次の目標を達成する。

- * 32nm (hp45nm) 技術領域のシステム LSI で求められる製造歩留りを確保可能な製造性考慮設計技術を重点的に組み込んだ標準設計手法を開発する。開発成果を盛り込んだ設計手法を用いることにより、32nm (hp45nm) 技術領域で求められる製造歩留りを確保しつつ、本設計手法を用いない場合と比べ設計生産性を3倍に向上させる。

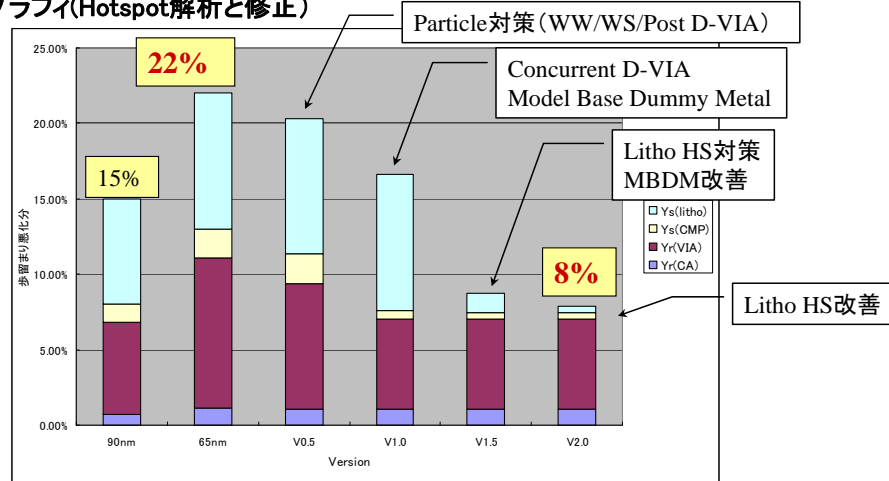
この目標を実現するにあたりプロジェクトを遂行するにあたり、開発を大きく2つのフェーズ分けて行った。第1のフェーズは2006年度、2007年度であり、65nm (hp90nm) 世代のプロセス情報を用い、45nm (hp65nm) 世代の設計手法を開発した。第2のフェーズは2008年度、2009年度、2010年度であり、45nm (hp65nm) 世代のプロセス情報を用い、32nm (hp45nm) 世代の実品種設計で使用可能な設計手法を開発した。これは、プロセス開発と設計手法開発が同時進行するために、前世代のプロセス情報を用い、次世代の設計手法を開発するためである。

2006年度、2007年度の開発実績については2008年11月の中間評価分科会で詳しい報告を行ったが、その結果は、45nm (hp65nm) 世代において、製造歩留まりは、65nm (hp90nm) 世代当初における歩留まり悪化率を約1/3に削減できた(図Ⅲ 1-1-1)。これにより45nm (hp65nm) 世代では、65nm (hp90nm) 世代と同等の歩留まりが確保できることを示した。さらに、設計生産性においても、今回開発した設計手法を使うことにより、65nm (hp90nm) 世代当初にくらべ3倍の向上がみられた(図Ⅲ 1-1-2)。

製造性考慮設計による歩留まりの向上(フェーズ1)

製造歩留まりの向上技術のフロー実装

- 製造欠陥(Wire spreading/wideningによるCA値の改善)
- ダブルVia化
- CMP(段差解析と平坦化)対策機能
- リソグラフィ(Hotspot解析と修正)



本歩留まり計算は、STARCが設定した条件下における、設計による改善を示したもので、製造による改善等は考慮しておらず、実際の製品の歩留まりを表していません。

図Ⅲ 1-1-1 45nm (hp65nm) 世代における歩留まりの確保

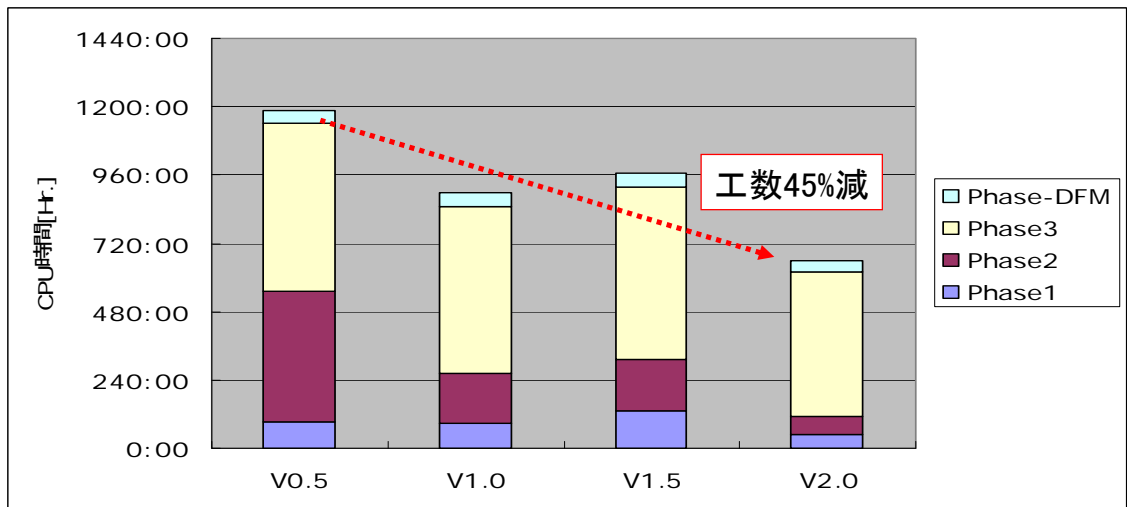
設計生産性の向上(フェーズ1)

プロセス: 65nm

回路規模: 12MG (=90nm世代と同一)

周波数: 200MHz → 233MHz (設計複雑度: 1.165倍 = 233 / 200)

消費電力: 31%削減 (設計複雑度: 1.44倍 = 1 / (1 - 0.31))



設計複雑度: 1.68倍 = 1 * 1.165 * 1.44

工数削減: 45%

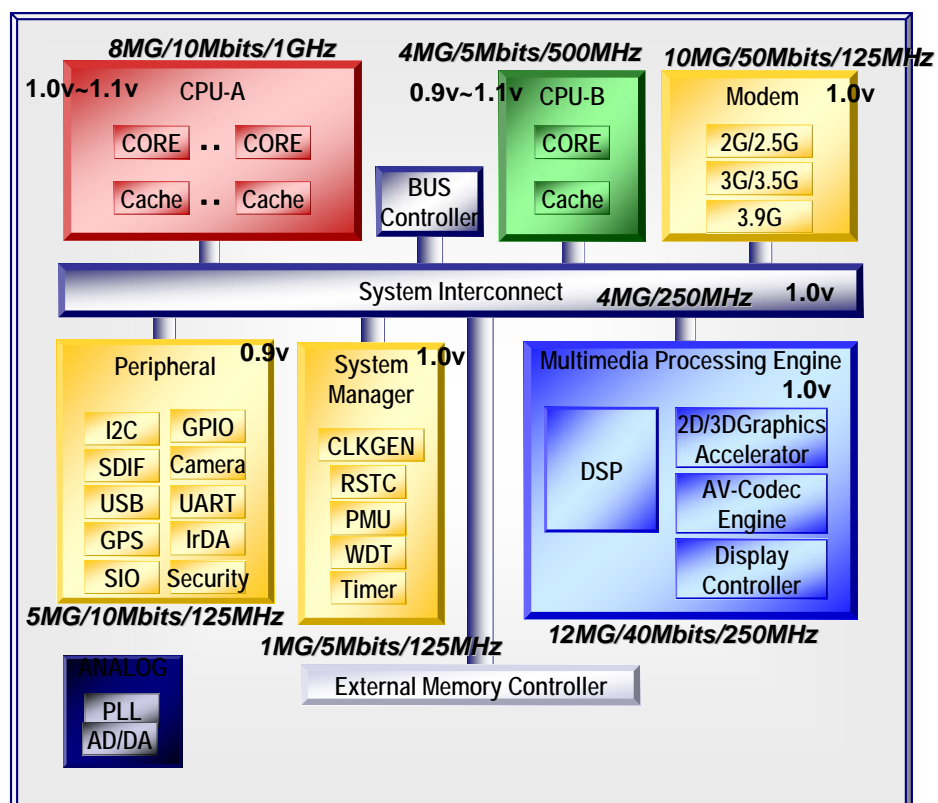
3.05倍の生産性向上

図Ⅲ 1-1-2 45nm (hp65nm) 世代における生産性向上

さらに、最終目標を達成するために、2008年度から2010年度の第2のフェーズでは、32nm (hp45nm) 世代において、製造歩留まりは、45nm (hp65nm) 世代当初における歩留まり悪化率をさらに削減し、32nm (hp45nm) 世代で、45nm (hp65nm) 世代と同等の歩留まりが確保できることを示す。さらに、設計生産性においても、同様に45nm (hp65nm) 世代当初に比べ3倍の向上をめざし、32nm (hp45nm) 世代においての適用可能性を示す。第2のフェーズにおいても目標の実証・確認は、第1のフェーズ同様に前世代の45nm (hp65nm)のライブラリを用いて行った。

また、低消費電力化の実現に向けても、基本計画には数値目標としては、挙げられていないが、技術トレンドから予測し、45nm (hp65nm) 世代で約半減を目指し、32nm (hp45nm) 世代において今回の技術が適用可能であることを示す。

これらの目標設定にあたり32nm (hp45nm)世代でターゲットとするシステムLSIの定義を行った(図III 1-1-3)。回路規模は純粋なロジックの部分で44Mゲート(4トランジスタ:1ゲート)、最大動作周波数は1GHzである。チップ面積は1cm角を想定した。



超高集積システムLSI (44Mゲート/1GHz, 1cm²@32nmプロセス)

図III 1-1-3 ターゲットシステムLSI

(2) 製造歩留まりの確保

32nm(hp45nm)世代で、65nm(hp90nm)世代と同等の歩留まりを確保することを目標とした。しかしながら、実際には、歩留まりの改善効果を直接測定するのは難しいため、設計起因で歩留まりを悪化させている要因(歩留まりロス)を低減させることで、32nm(hp65nm)世代で65nm(hp90nm)世代と同等以上の歩留まり悪化率の低減を図ることを目標とした。

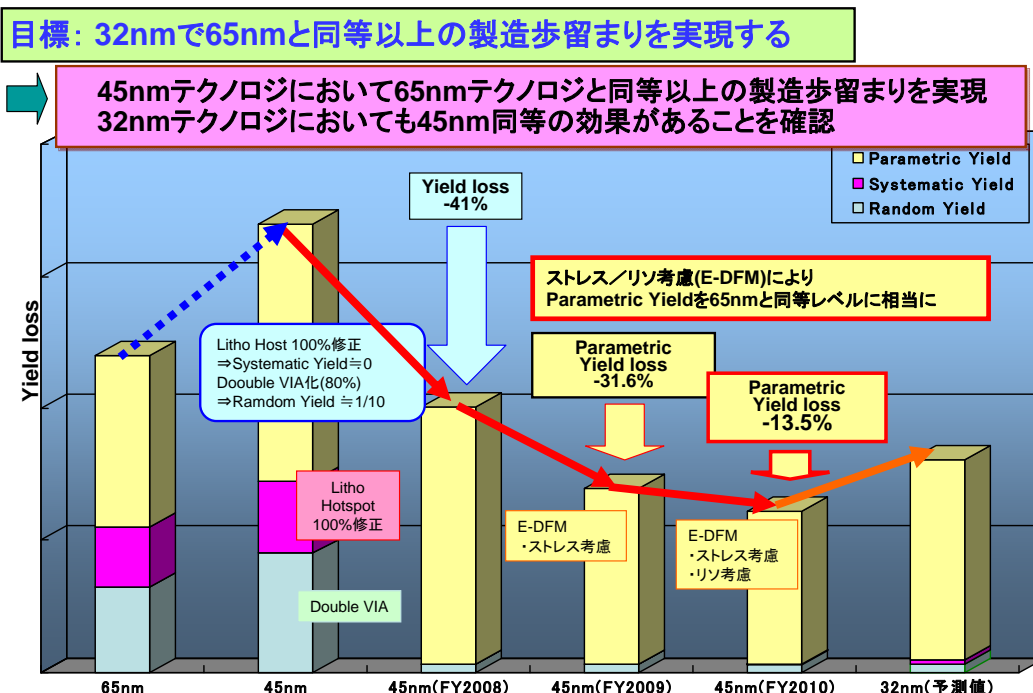
製造性起因による歩留まりロスの原因には、大きく3つある。一つは、埃や塵などのランダムディフェクトによる歩留まりロス、二つ目は、リソグラフィホットスポットによるシステムティックな歩留まりロス、三つ目として、ストレス(応力)の影響による電気特性の変動により、トランジスタの遅延変動やリソグラフィよりトランジスタのゲート長が変動し、リーク電流が変動する、などで生じるパラメトリックな歩留まりロスである。それぞれに対して、以下の技術開発を行い、それら技術をフロー実装することにより、製造歩留まりロスの低減を図った。

製造歩留まり向上技術のフロー実装した技術は次のとおりである。

- ・ 製造欠陥対策(ダブルVia化、Wire Spreading/Widening による Critical Area 値の改善)
- ・ リソグラフィ対策(リソホットスポット予防、解析、修正)
- ・ CMP 対策(段差解析と平坦化)
- ・ ストレス・リソグラフィによるパラメトリック歩留まりロス対策(ストレスを考慮した遅延計算とセルの配置改善、リソグラフィを考慮したリーク電流計算)

以上の製造歩留まりロス低減施策を施すことにより、45nm(hp65nm)において、65nm(hp90nm)と同等以上の歩留まりロスの低減を達成し、32nm(hp45nm)においても、65nm(hp90nm)と同等以上の製造歩留まりロスの低減が可能との見積もり結果を得た(図Ⅲ 1-1-4)。

製造性考慮(歩留まりロス低減)の実績



図III 1-1-4 製造歩留まりの確保

(3) 設計生産性の向上

設計生産性向上(設計 TAT 短縮)のために開発した主な技術は以下のとおりである。

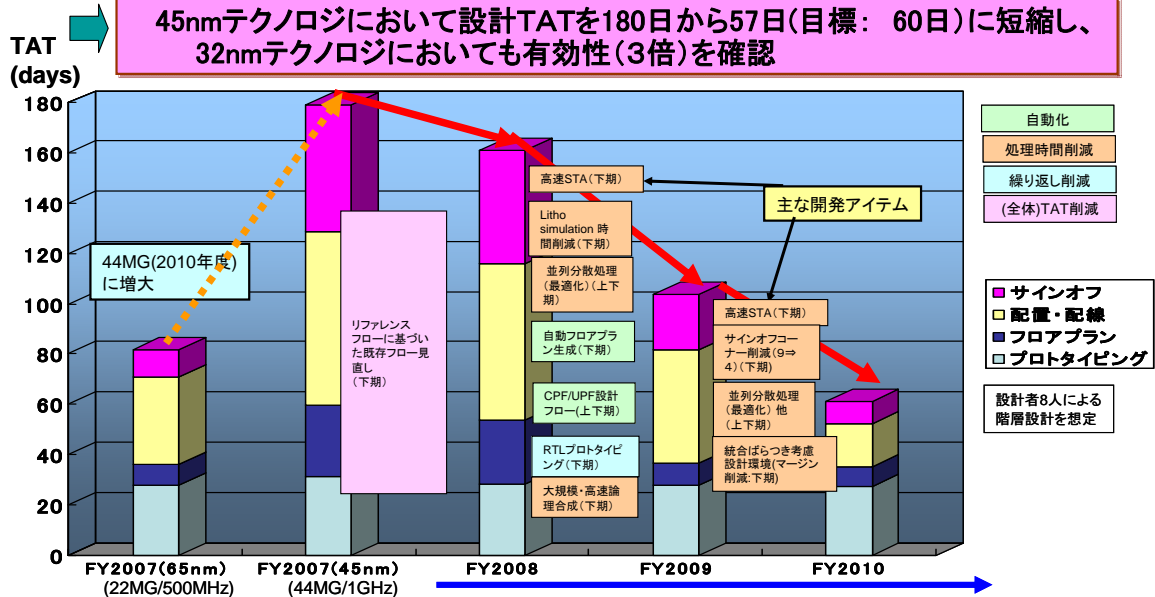
- ・ 処理の自動化 : 自動フロアプラン、CPF/CPF 処理フロー
- ・ 処理時間の短縮 : 並列分散処理、高速 STA、Litho 解析の高速化、統合ばらつき考慮技術によるコーナー数削減とタイミングマージンの削減
- ・ 繰り返し回数の削減 : RTL プロトタイピング、
- ・ 処理フローの見直しによる TAT 短縮 : リファレンスフローによる既存フローの見直し

今回開発した技術・設計手法を用いることにより 2007 年度時点の技術を用いて設計した場合と比べて設計 TAT を 180 日から 57 日の 1/3 に短縮した(図III 1-1-5)。なお、この設計に関わる設計者の数は 8 人として一定であり、設計 TAT が 1/3 になったことから、設計生産性 3 倍になったと言える。

設計生産性向上(設計TAT短縮)の実績

目標: 32nmで、本設計手法を用いない場合と比べ設計生産性を3倍に向上させる

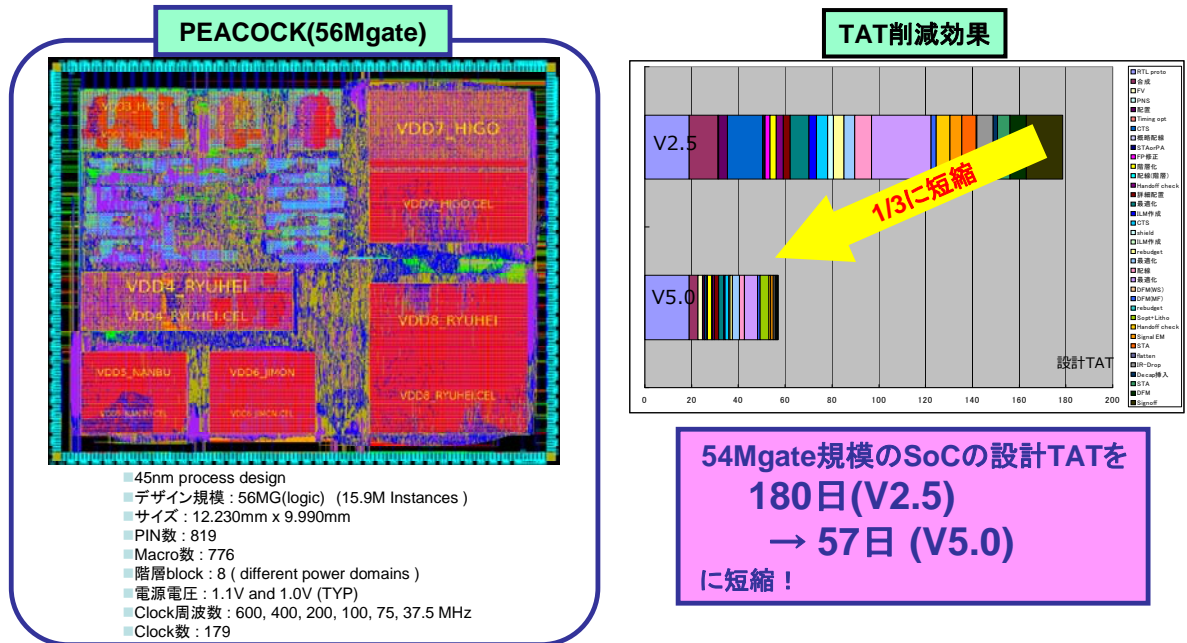
45nmテクノロジーにおいて設計TATを180日から57日(目標: 60日)に短縮し、32nmテクノロジーにおいても有効性(3倍)を確認



図Ⅲ 1-1-5 設計生産性の向上

図Ⅲ 1-1-6に、今回開発した技術を適用して、設計したシステムLSIの例を示す。ここで実際に実証に用いたシステムLSIの回路規模は、56Mゲートである。設計TATは、本開発技術を適用することで、2007年度時点の技術を用いて、ターゲットとするシステムLSIを設計した場合と比べて設計TATを180日から57日に短縮できた。

開発した要素技術を組み込んだツールチェーンで
2007年度比でTAT 1/3を達成

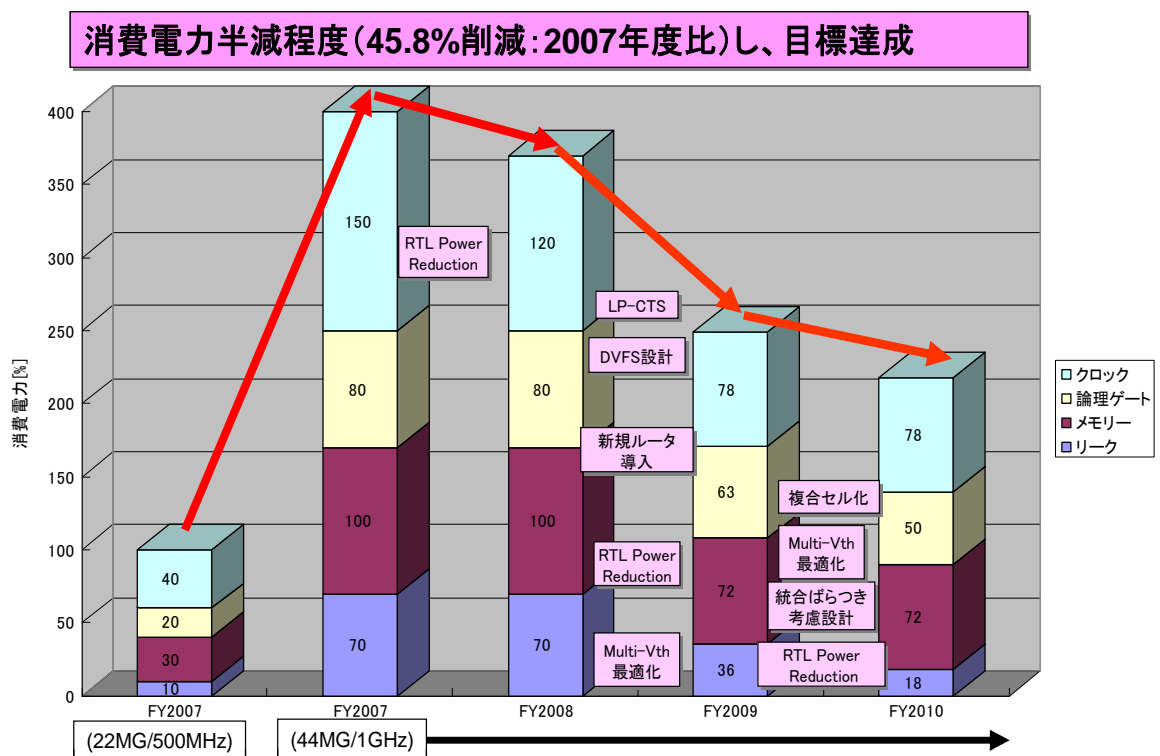


図Ⅲ 1-1-6 開発した設計手法で設計したシステム LSI の例

(4) 消費電力の削減

微細化に伴い、大規模・高速化、低電圧化が進展するとダイナミックな電力に加え、リーク電力も増加する。その対策として、RTLでの電力見積もり・最適化技術の開発、Multi-Vthの最適化技術の開発などを行った。また、システムLSIへのメモリの搭載量は益々増加しており、メモリのダイナミックリーク電力の低減も必須となる。そのためRTLでのメモリゲーティング、スリープモードを活用したリーク電力の低減技術の開発なども行った。複数の電源や種々の動作モードを扱うLSIも一般的になり、それらLSIの低消費電力化のために、DVFS(Dynamic Voltage and Frequency Scaling)技術やPSO(Power Shut Off)に対応した技術開発も行った。

これら今回開発した技術を用いることで、2007年度時点の電力削減技術をターゲットとするシステムLSIに適用した場合と比べ、消費電力を45.8%削減することが出来た(図Ⅲ 1-1-7)。



図Ⅲ 1-1-7 消費電力の削減

なお、以下の詳細な開発成果においては、プロセス世代を表記に当たってhpの記載のないものはロジックノードとする。これはシステムLSIビジネスにおいてロジックノード表記が一般的なためである。

(5) 成果のまとめ

本プロジェクトの開発目標、内容(具体策)、成果を 表Ⅲ 1-1-1に示す。なお 研究開発項目 1)、2)、3)については『2. 研究開発項目毎の成果』にて詳述する。

表Ⅲ 1-1-1 成果のまとめ

期間	2008年度(平成20年度)～2010年度(平成22年度)				
研究開発目標	2011年3月までに次の目標を達成する。 * 32nm (hp45nm) 技術領域のシステムLSIで求められる製造歩留りを確保可能な製造性考慮設計技術を重点的に組み込んだ標準設計手法を開発する。開発成果を盛り込んだ設計手法を用いることにより、32nm (hp45nm) 技術領域で求められる製造歩留りを確保しつつ、本設計手法を用いない場合と比べ設計生産性を3倍に向上させる。				
全体目標	具体策	目標	成果	判定	
	歩留まり確保可能な製造性考慮技術の開発	32nm世代で歩留まり悪化率を65nmと同等	歩留まり悪化率を20%改善	◎	
	設計生産性向上	設計生産性3倍(2007年度比)	3倍	○	
	低消費電力化	約半減(2007年度比)	45.8%削減	○	
1) 製造性考慮設計の基盤技術開発					
製造ばらつきを考慮したLSI設計手法の開発	STAの検証コーナー削減	サインオフコーナー数:6	サインオフコーナー数:6	○	
	コーナー導出手法	コーナー導出ガイド作成	コーナー導出ガイド	○	
	STA/SSTAの協調検証手法	検証ガイド作成	検証ガイド	○	
製造歩留りを考慮したLSI設計手法の開発	パラメトリック不良の削減	40%以上削減	40.8%削減	○	
	ストレス影響の遅延変化算出	ストレス影響の遅延変化算出手法確立	変化率3%～9%	○	
設計意図を活用するリソグラフィフレンドリーな設計手法の開発	リソシミュレーションの高速化	100倍以上	257倍	◎	
	ダミーメタル挿入手法	製造側から設計側への手戻り削減	手戻りなし	○	
製造性考慮設計の効果予測技術の開発	電源ノイズ化での遅延変動見積もり精度向上	見積もり誤差20%未満	20%未満	○	
	電源ノイズ化での遅延変動見積もり高速化	200倍以上	244倍	○	
	最大電圧降下量の見積もり精度向上	5%程度	5%程度	○	
2) 製造性考慮設計の標準化技術開発					
製造と設計に係わるDFMデータベース整備と標準インターフェイスの開発	トータル設計フロー	設計生産性3倍(2007年度比)	3倍	○	
	高精度ライブラリの開発手法	ライブラリサイズの20%削減	25%削減	○	
	メモリキャラクタライズ手法	遅延誤差SPICE比同等	1%未満	○	
	ライブラリ検証手法	検証ガイド作成	検証ガイド	○	
製造工程モデル化に基づき移植性が確保されたEDAライブラリ標準化開発手法	ばらつきを抑えるセル構造	ばらつき量改善	移動度ばらつき: 25%～34%改善 閾値ばらつき: 28%～55%改善	○	
3) 新技術事象に対する製造性考慮設計技術開発					
統計的な解析・検証・判定手法の開発(サインオフ技術)	統計的タイミング解析	サインオフコーナー数:4	サインオフコーナー数:4	○	
	IRドロップ解析	タイミングマージンの増加を0	タイミングマージン2%削減	○	
	サインオフ時のOCV設定	タイミングスラック15%改善	タイミングスラック平均15%(最大29%)改善	○	
低消費電力化設計手法の開発と低消費電力指向新基本回路技術の開発	クロックゲーティング	クロックのダイナミック電力10%削減	クロックのダイナミック電力12%削減	○	
	メモリゲーティング	メモリのダイナミック電力40%削減	メモリのダイナミック電力56%削減	○	
	メモリゲーティング	メモリのリーク電力40%削減	メモリのリーク電力48%削減	○	
	RTLパワー最適化・DVFS	トータル電力30%削減	トータル電力37%削減	○	
冗長化技術および製造後調整を考慮した新基本回路技術の開発	ポストマスクECO	ECOの設計時間を75%削減	ECOの設計時間を80%削減	○	

判定 ◎:大幅達成、○:達成、△:達成見込み、X:未達

表Ⅲ 1-1-1のように、すべての目標クリアしており、予定以上の成果が上がっている。その結果、基本計画書の最終目標どおり、下記を達成できた。

32nm (hp45nm) 技術領域のシステム LSI で求められる製造歩留りを確保可能な製造性考慮設計技術を重点的に組み込んだ標準設計手法を開発した。開発成果を盛り込んだ設計手法を用いることにより、hp45nm 技術領域で求められる製造歩留りを確保しつつ、本設計手法を用いない場合と比べ設計生産性を3倍に向上させた。

今回の成果について本プロジェクトの成果の受け取り先である STARC クライアント 6 社の当技術関連マネージメントレベルに対し、技術開発項目設定の妥当性、各社ビジネスへの整合性、成果の出来、技術水準についてアンケートを最終バージョンである STARCAD-CEL V5.0 の 13 項目の主な技術開発成果に対し行った。13 項目の平均であるが、その結果を表Ⅲ 1-1-2に示す。

表Ⅲ 1-1-2 クライアントによる成果の評価

評価項目	技術開発項目設定の妥当性	各社ビジネスへの整合性	成果の出来	成果は世界レベルの技術水準か？
評価	適当： 5.6社	適当： 4.8社	期待通り： 5社	同水準： 5.2社 水準以上： 0.5社

このアンケート結果により、技術開発項目の妥当性、ビジネスとの整合性、成果の出来栄え、成果の技術水準とも、現在の日本におけるシステム LSI ビジネスにおいてビジネス的、技術的にも非常に整合がとれており、その成果も世界水準と同等または、それ以上と結論づけることが可能である。

(6) 研究開発の進め方

研究開発成果を早期に実用化を計る観点、ならびに開発成果に対するフィードバックをもらい、成果をよりよいものとする観点、ある時期の開発項目のめりはりをつけ、開発の集中化を図る観点から、STARCAD-CELと名づけ、6ヶ月単位に主要開発テーマを決め、バージョンをつけ、クライアント各社に成果のリリースを行った。これは、開発フェーズ1のときも行った手法であり、有効に機能した。各時期のテーマとそのバージョン名を記す。

2008年度上期: STARCAD-CEL V2.5

45nm 設計と製造が統合された製造性考慮標準設計メソドロジの開発

2008年度下期: STARCAD-CEL V3.0

32nm リソグラフィ考慮設計の基盤研究

2009年度上期: STARCAD-CEL V3.5

熱考慮設計メソドロジの開発

2009年度下期: STARCAD-CEL V4.0

統合低消費電力メソドロジ開発

2010年度上期: STARCAD-CEL V4.5

特性考慮設計メソドロジの開発

2010年度下期: STARCAD-CEL V5.0

統合ばらつき考慮メソドロジ開発

2. 研究開発項目毎の成果

1) 製造性考慮設計の基盤技術開発

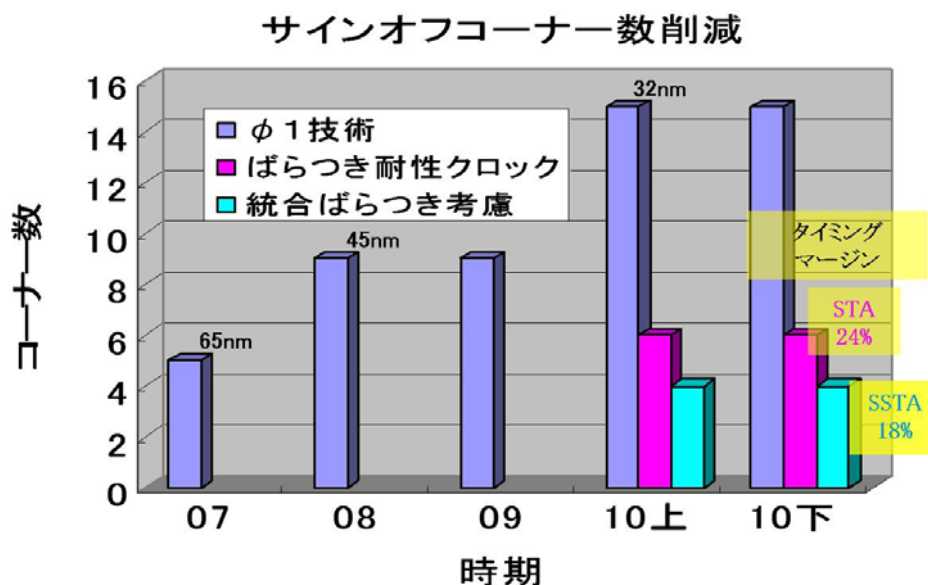
製造性考慮設計の基盤技術として、基本計画にあげられる下記4つの分野の技術開発を32nm (hp45nm)世代向けに行った。

- 1-1) 製造ばらつきを考慮したLSI設計手法の開発
- 1-2) 製造歩留りを考慮したLSI設計手法の開発
- 1-3) 設計意図を活用するリソグラフィフレンドリーな設計手法の開発
- 1-4) 製造性考慮設計の効果予測技術の開発

1-1) 製造ばらつきを考慮したLSI設計手法の開発

① 克服すべき課題

中間評価における報告では、45nm世代に適用できる統計的タイミング解析(SSTA)とばらつきを考慮した最適化技術の技術において設計TATが約25%削減、セル総面積は約10%、リーク電力は約15%削減できることを確認した。この統計的解析手法を駆使したチップ検証全般に渡る成果は3-1)にて後述する。しかしながら、統計的手法は32nm世代に対して2010年度の段階で設計の上流工程やマクロブロック、メッシュ形状配線等には機能開発が不十分でまだ設計全工程に適用が出来ないという問題がある。従って将来的には設計全体が統計解析で扱える日が来るとしても、その前に現行の決定論的タイミング解析(STA)を用いたばらつきを考慮した設計フローを開発して実用に供する必要がある。STAを使った設計フローの問題点として、検証コーナー数の増加(65nm世代で5、45nm世代で9、32nm世代で15)が挙げられる。45nm世代及び32nm世代でも6コーナーで済ませる事を目的とした設計手法を開発した。これをSTARCでは「ばらつき耐性クロック」と呼んでいる。本開発の成果として年代、プロセス世代とコーナー数の関係を図III 2-1-1-1に示す。図中%で示している数値は代表的なタイミングマージン値である。ただしタイミングマージンは実際には適用するネットの性質やコーナー条件(PVTW: プロセス、電圧、温度、配線)によって細かく調整しているので一つの値で代表されるようなものではない。



図Ⅲ 2-1-1-1

② 今回の開発で達成したレベル

「STA 検証の 6 コーナー化」を STARC の 45nm ライブラリ適用ケースでタイミングマージン 24%にて達成した、ということなる。このようにコーナー数の上限を明示してそこにコーナー数を押さえ込む手法を提示したのは本研究が初と思われる。際限なく増加する恐れのある検証コーナー数に歯止めをかけた意味は大きいと考える。

また一連の開発技術をガイドラインの形式で文書化した。そこに記述した主な内容は

- コーナー導出ガイドライン
 - ◇ 32/28nm テクノロジ向けコーナー導出手順
 - ◇ CTS(クロック配線ツール)条件設定ガイド
- STA/SSTA の協調検証ガイドライン

である。「コーナー導出ガイドライン」においては STARC が提供するコーナー導出キット Sacla を用いて STARC が実証に用いた 45nm ライブラリ以外のプロセス・ライブラリーに対してどのような手順でコーナーとタイミングマージンを設定していけば良いかを説明している。

1-2) 製造歩留りを考慮した LSI 設計手法の開発

① 克服すべき課題

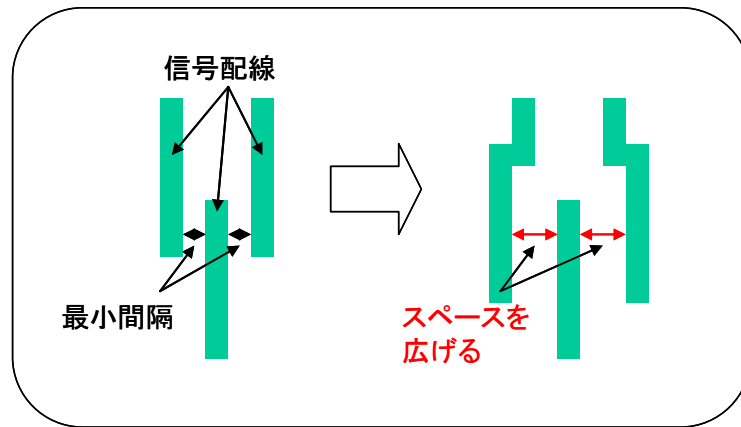
設計段階において製造歩留りを考慮した多くの LSI 設計手法が実用的に運用されている。多くは、製造装置や製造環境に起因するランダム不良に対する対策である。また、リソグラフィに關係するシステムティック不良は、製造過程にて OPC 処理等により対処しているが、プロセス加工技術の微細化により製造段階だけの対応が困難になっており、設計段階での対策が不可欠である。さらに、形状的な問題による発生する不良だけではなく、トランジスタの特性自体が周辺形状の影響を受けて変化することに発生するパラメトリック不良も無視できなくなっている。

製造歩留りの向上には、これらの不良要因に対して、設計段階での対応も不可欠となっている。中間評価における報告では、以下の開発を行い、65nm 世代で 90nm 世代と同等以上の歩留りを実現し、45nm 世代へ適用可能な技術であることを示した。

このとき不良の要因を、製造段階におけるゴミなどに起因する「ランダム不良」、レイアウト形状などの設計データに起因する「システムティック不良」、リソ/ストレスの影響によりトランジスタ等の電気的特性に影響を与える「パラメトリック不良」に分類し、それぞれに対策を行った。

- (1) ランダム不良対策として、図Ⅲ 2-1-2-1に示すようなゴミなどによる配線のショート/断線の対策として、配線同士の間隔を広げるような Relax 配線(Wire Spreading, Wire Widening)や、VIA 不良による断線を回避するために、同一個所に VIA を2個以上配置する Double Via 化を実施。
- (2) システムティック不良対策として、表Ⅲ 2-1-2-1に示すような露光装置での露光時に配線のショート/断線が発生する可能性があるリソグラフィ的に問題となる箇所(リソ・ホットスポット)を抽出して修正する技術の立ち上げ。
- (3) パラメトリック不良に対しては、CMP による膜厚の変動や、配線幅の変動を考慮した容量、抵抗の抽出技術、および、リソ解析後の実際に近いパターン(リソ・コンター形状)から容量、抵抗を抽出する技術を確立。

これ等の技術は 32nm 世代へも継続して適用可能であり、大きな効果が得られる技術である。

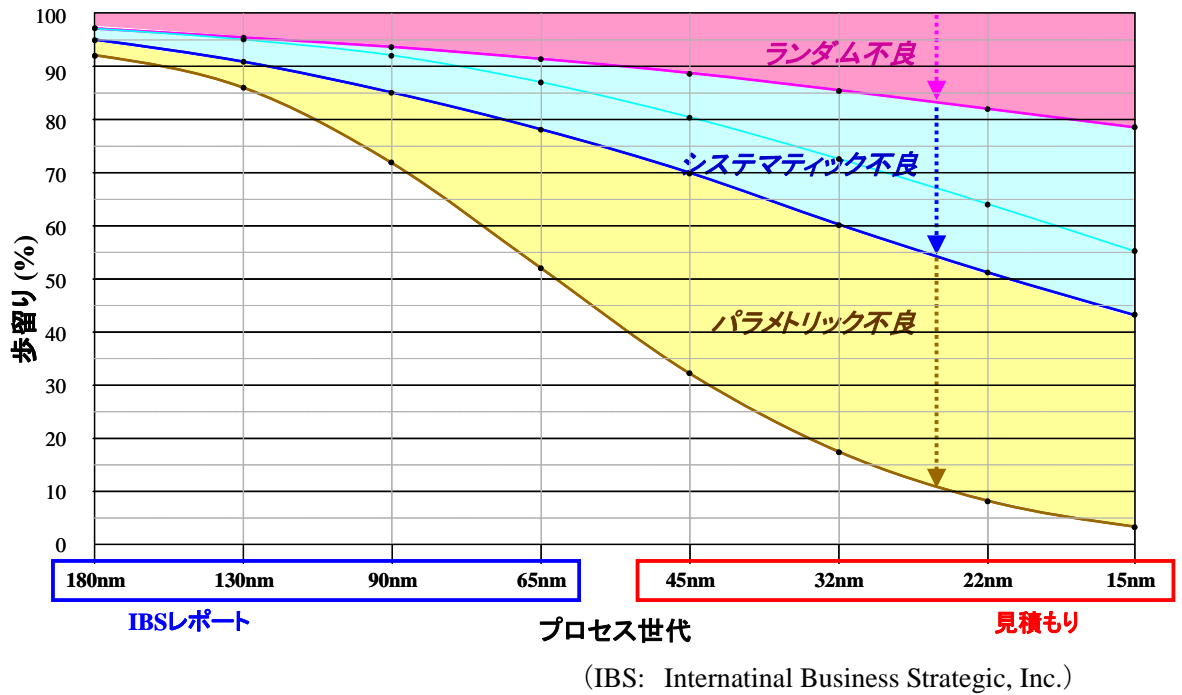


図Ⅲ 2-1-2-1 Relax 配線

表Ⅲ 2-1-2-1 リソ・ホットスポット

Hotspot種類	定義	例(イメージ図)
Necking	<ul style="list-style-type: none"> •最小Litho width rule違反の抽出 •Contour幅がある閾値よりも細くなっている部分が対象。 •Line端で発生するものは対象外。 	<p>一定の距離を指定し、Line端で起こるものは対象外。</p>
Bridging	<ul style="list-style-type: none"> •最小Litho space rule違反の抽出 •Contour間隔がある閾値よりも狭い部分が対象。 •コの字型の内側で発生するものは対象外。 •Line端同士で発生するものは対象外。 	<p>一定の距離を指定し、コの字型の内側で発生するものは対象外。</p>
LineEnd	<ul style="list-style-type: none"> •最小Litho space rule違反の抽出 •Line端同士のContour間隔がある閾値より狭い部分が対象 	
Via Coverage	<ul style="list-style-type: none"> •Via-配線間 カバレッジ違反の抽出 •Overlap面積がある閾値よりも少ない箇所が対象。 	

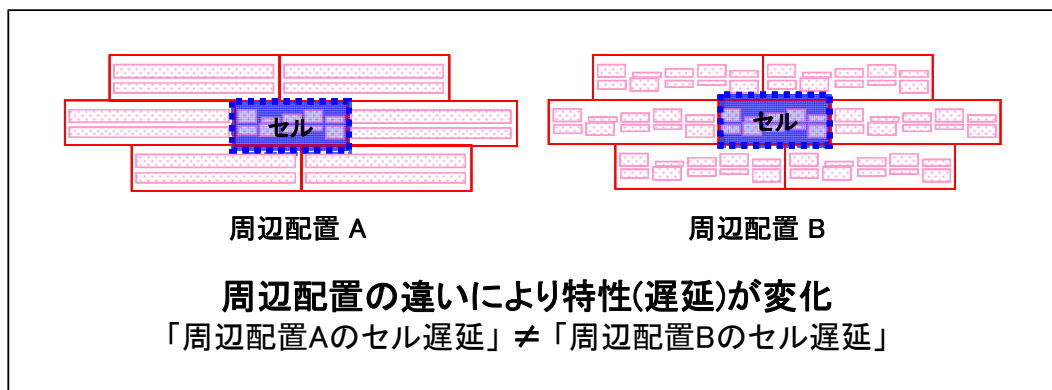
一方、図Ⅲ 2-1-2-2に示すように 32nm 世代では、パラメトリック不良の占める割合が高くなると予測され、歩留り改善のためにはパラメトリック不良に対する更なる施策が必要となる。この原因となる、リソ/ストレスによるトランジスタ自体の特性変動に対しても対策を講じる必要がある。



図Ⅲ 2-1-2-2 歩留り予測

リソ/ストレスによるトランジスタの特性変動は、セルの配置状態に依存し、セルの遅延時間やリーク電流の変動として現れる。トランジスタの特性変動は複合的な要因によるが、周辺セルからのストレスの影響が遅延時間の変動に、リソによるトランジスタ形状変化がリーク電流の変動として、支配的である。

例えばストレスの影響に関しては、図Ⅲ 2-1-2-3に示す例のように、同じセルにおいても、周辺セルのトランジスタの形状の違いによりストレスの影響度合いが異なるため、遅延時間に差異が生じる。従来、ストレス影響による差異は考慮する必要が無かったが、プロセスの微細化と動作速度の高速化により、遅延時間の変動がタイミングへ与える影響が大きくなり、ストレスを考慮しない場合に歩留り低下の要因となってきた。



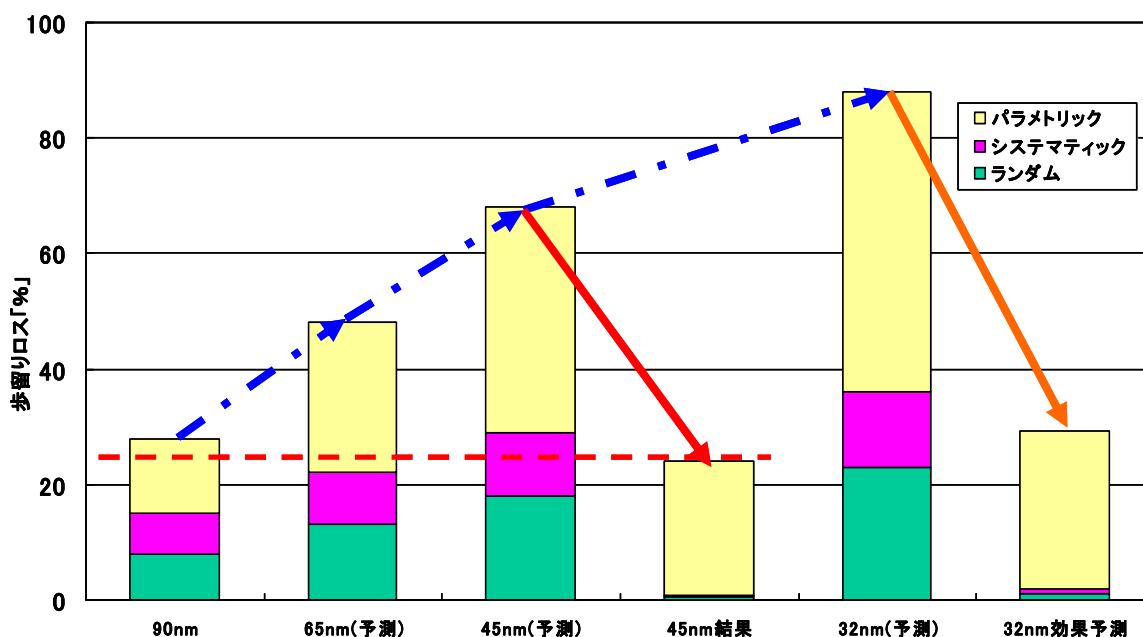
図Ⅲ 2-1-2-3 ストレス影響の例

②今回の開発で達成したレベル

ストレスによる遅延変動、リソ影響によるリーク電流の変動に対して、設計段階において不良を低減する手法を示した。本手法を適用することにより、45nm 世代においてパラメトリック不良を 40.8% 低減できることを確認した。また、中間評価にて報告した、ランダム不良、システムティック不良に対する開発技術をリファレンスフローへ組込み、45nm 世代において不良を低減できることを確認した。

この結果として、図Ⅲ 2-1-2-4に示すように 45nm 世代で90nm 世代と同等以上の歩留りが確認できた。さらに本技術を 32nm 世代に適用した場合65nm 世代と同等以上の歩留りが実現できることを試算した。

また、特性考慮の効果確認環境技術は、半導体各社の製造プロセスに対して、ストレス影響度を把握するために利用でき、その結果を用いてストレスに対する対策の必要性を判断することが可能となった。本技術を STARC の環境に適用した結果、ストレス影響による遅延の変化は 3%~10% 程度である結果が得られており、ストレスの影響度合いを数値的に認識できることを確認した。



図Ⅲ 2-1-2-4 歩留り改善の結果

1-3) 設計意図を活用するリソグラフィフレンドリーな設計手法の開発

① 克服すべき課題

設計側から製造側へ受け渡されるデータは、トランジスタや配線の情報であるレイアウト・データのみである。製造側では、このレイアウト・データよりマクス描画等を行い製造に必要な情報に変換している。しかし、プロセス加工技術の微細化による集積度の向上により、マスク形状が複雑になり、マクス描画やマスク検証に大幅な時間が必要となっている。これは、レイアウト・データ量の増加に加えて、リソグラフィのための OPC 処理やホットスポットのチェックが不可欠になったためである。

中間評価における報告では、設計 intent 活用技術としてパターンの精度を示すランク情報を、設計側から製造側へ伝えることにより、マクス描画時間を 35%削減、マクス検査時間を 40%削減できる結果を示した。

32nm 世代では、パターンの微細化により、リソグラフィの問題がより顕著となり、図 III 2-1-3-1 に示すように製造段階だけの対応では手戻りが発生するため、設計段階に対応を行い、製造段階での負荷を低減できるようなリソグラフィフレンドリーな設計手法が必要である。

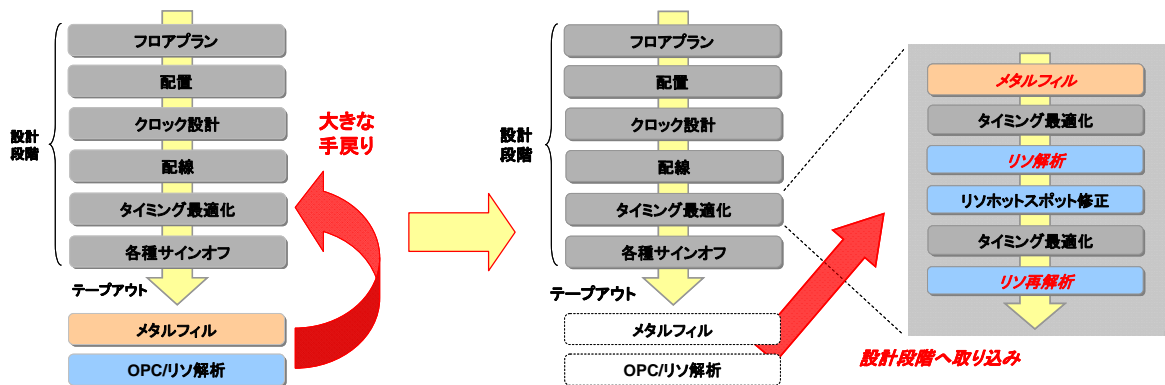
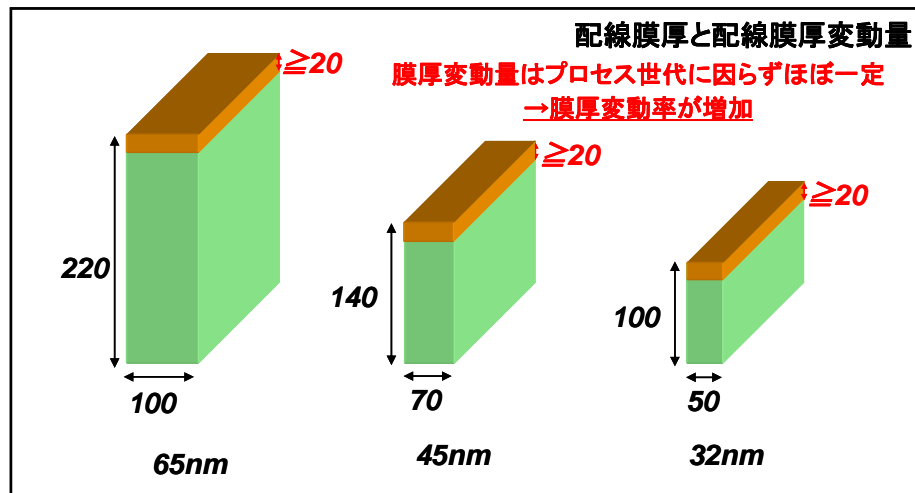


図 III 2-1-3-1 従来手法フローでの課題と対応

また、図 III 2-1-3-2 に示すように配線膜厚の薄膜化により、CMP 装置での膜厚変動の割合が大きくなるため、膜厚を均一化して歩留りを向上させるためには、より複雑なダミーメタルの挿入が必要となる。このため、一部のダミーメタルは信号配線に近接せざるを得なくなり、ダミーメタルに対してもリソグラフィへの問題が生じ、ダミーメタルも OPC の対象とする必要がある。しかし、全てのダミーメタルを OPC 対象としてしまうと、マクス作成の処理時間が増えてしまうため、リソグラフィ的に影響する部分を設計意図として製造側へ伝える必要がある。

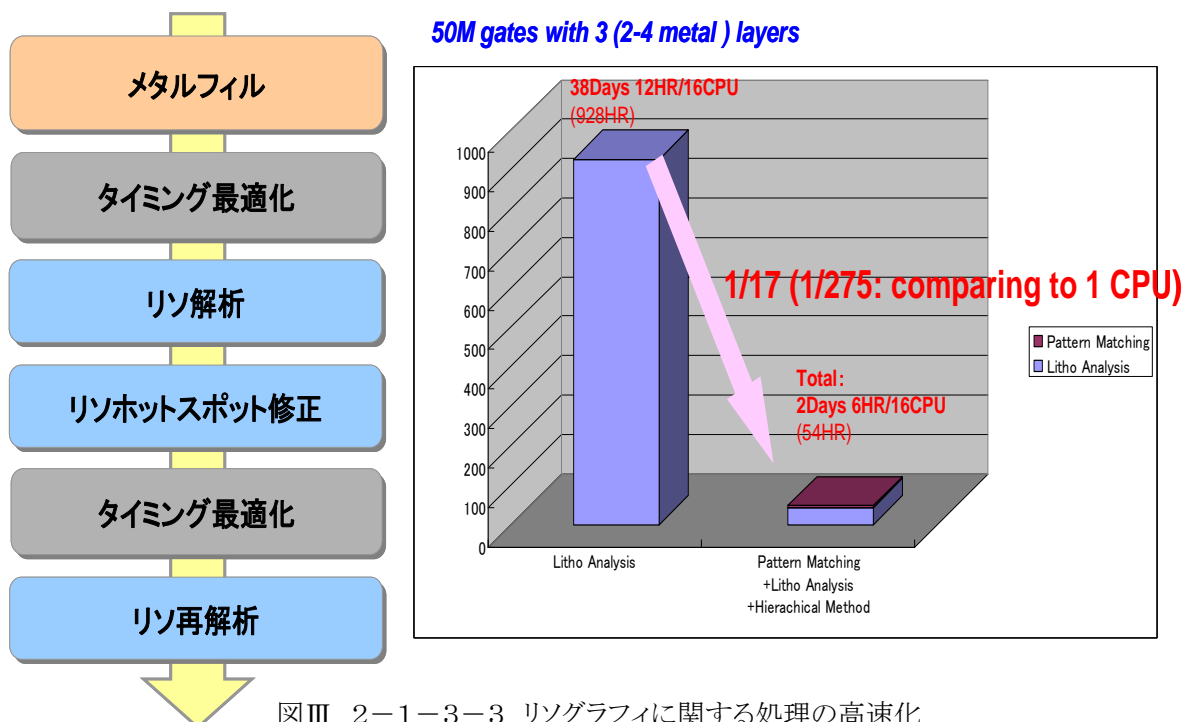


図Ⅲ 2-1-3-2 配線膜厚の変動率

②今回の開発で達成したレベル

リソグラフィに関する問題を設計段階にて解決することが可能なリソグラフィフレンドリーな設計手法を開発し、この技術の適用により、図Ⅲ 2-1-3-3に示すように従来手法の1CPU を使っていた場合に比べて 250 倍以上高速に処理できることを確認した。また、複雑に挿入されたダミーメタルに対してリソグラフィ的に問題となる個所を設計意図としてインターフェースする手法を開発した。これらの技術により、製造側での作成・確認作業の低減と、製造側からリソグラフィ問題による作業手戻りをなくすることを可能とした。

今回開発した、設計段階においてリソグラフィに関係する問題を解決する技術は、業界として最先端のものであり、32nm 世代以降において必要不可欠な技術である。



図Ⅲ 2-1-3-3 リソグラフィに関する処理の高速化

1-4) 製造性考慮設計の効果予測技術の開発

①克服すべき課題

中間評価における報告では、平均電圧降下を考慮した静的タイミング解析の開発や、時間的に変化する電源電圧解析技術(動的電源ノイズ解析技術)の精度基礎評価の成果を示した。しかしながら、素子微細化と回路大規模化に伴う低電圧化・多電源化、および、2009年頃からUSB3.0やDDR3に代表される高速データインターフェースを備えたチップ設計の急増により、動的電源ノイズ起因の動作不良が多くみられるようになってきた。これは、チップ製品の歩留まりを低下させることにつながるため、32nm世代の設計においては、動的電源ノイズを高精度・高速に予測し、かつタイミング解析に及ぼす影響をより正確に見積もることが課題となった。

②今回の開発で達成したレベル

32nm世代の設計においては、動的電源ノイズを高精度・高速に予測する技術を開発した。今回開発した技術を用いることにより、電源ノイズ下での遅延変動見積もり誤差20%未満であり、SPICEシミュレーションによる見積りに対して1/244倍の処理時間を達成した。その結果、タイミング解析に及ぼす影響をより正確に見積もることが可能になった。

その過程において、動的電圧降下値を、各論理モジュールのスイッチングアクティビティの線形和として近似するモデリング法を提案し、このモデル、および、電力解析結果から取り出したスイッチングアクティビティ情報を組み合わせ、電圧降下ワーストシナリオを生成し、最大電圧降下量を誤差5%程度で予測できることを確認した。

2) 製造性考慮設計の標準化技術開発

ここでは製造性考慮設計の標準化技術として、基本計画にあげられている下記2つの分野の技術開発を 32nm (hp45nm) 世代向けに行った。

2-1) 製造と設計に係わる DFM データベース整備と標準インターフェイスの開発

2-2) 製造工程モデル化に基づき移植性が確保された EDA ライブラリ標準化開発手法の構築
 具体的には製造と設計に係わる DFM データベース整備と標準インターフェイスの開発として設計における標準インターフェイスを装備したトータルな設計フロー開発を行った。また、製造工程をモデル化した、汎用性の高いライブラリ標準化開発手法の構築を行った。

2-1) 製造と設計に係わる DFM データベース整備と標準インターフェイスの開発

①克服すべき課題

製造と設計に係わる DFM データベース整備と標準インターフェイスの開発として、中間評価における報告では、45nm 世代に適用できる設計における標準インターフェイスを装備したトータルな設計フロー開発を行い、大規模化対応、設計 TAT 短縮に貢献できることを示した。設計フローは、RTL(Register Transfer Level)を入力した論理合成段階から実際のレイアウトパターンを作成する自動配置配線、さらにはサインオフまでの設計の流れを定義し、必要な入出力条件、処理内容を明確にすることにより設計のやり直しやチップ面積や性能等の LSI 品質の無駄(オーバーヘッド)を排除し最短期間で設計できる環境を供するものである。32nm 以降、設計時に考慮すべき要素が急激に増加するため、今後設計全体をカバーする設計フローは一層重要かつ必要不可欠となる。

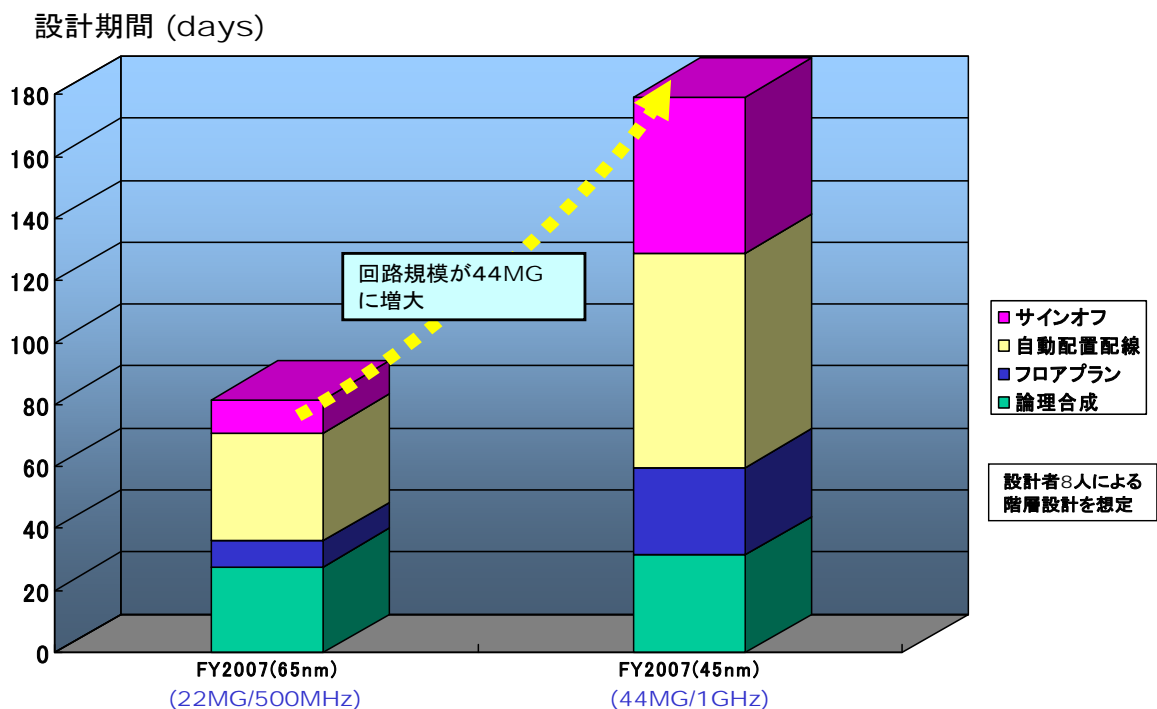
ここでは、更なる設計生産性の向上を目指すとともに今後さらに設計時に要求が高まっている低消費電力化、製造性、テスト容易性等を追及できる設計フローを開発し、設計ステップ間、製造とのインターフェイスも開発し、手戻りのない最適な設計フローの開発を行った。

中間評価における報告では、45nm 世代に適用可能な製造ばらつきや歩留まりを考慮した大規模化に対応した設計フローを開発しその詳細を報告した。特に大規模化による設計期間増大に対応するための階層設計フローや、ばらつきを考慮した統計的タイミング解析技術を導入することにより設計期間を大幅に短縮できる設計フロー開発の成果を示した。

32nm 世代では、さらなるトランジスタの微細化、LSI の高性能化により、1 平方センチメートルの LSI チップに 44MG 個以上の論理ゲートを搭載することになり、さらには設計において考慮すべき要因が益々増加し、製造歩留まり考慮、ばらつき考慮、低消費電力化対応の LSI 設計が 45nm 世代に比べて格段に難しくなると言われている。特に最近の低電圧化(0.8V)、多電源化(30 以上の電源島)とクロック周波数の向上(1GHz)やデータ転送速度の上昇の結果、クロック系構成回路やメモリブロックなどの同時スイッチングによる動的電源ノイズが遅延変動へ大きく影響を与えるようになってきた。そのため、製造時のトランジスタ形状のばらつき等に加え、さらには電源ノイズを総合的に考慮した設計フローが必要となってきた。

現在のゲートレベルの設計フローでは、製造時のトランジスタ形状、チップ内の温度勾配や電源ノイズによるばらつき(電気的特性変動)をすべて設計マージン(動作保障のための余分)として設計フロー全体に一律に与えて設計している。このような状況下では、各処理ステップで課題なマージン、過小なマージンが混在することとなり設計複雑度の悪化、設計期間の増大を招いている。

中間評価にて報告した 65nm 世代に適用できる階層化設計フローを用いて 45nm 世代製品を設計した場合、設計期間は 65nm 世代製品の 80 日から約 180 日に増大する(ここでは、回路規模と動作速度は 32nm 世代を想定)。この要因は、回路規模の増大(22MG から 44MG)や動作速度の向上(500MHz から 1GHz)等の LSI の規模・性能に因るだけでなく、前述のとおり製造時のトランジスタのばらつきや電源ノイズの遅延変動等の考慮すべき要因の増大と一律に設定した過大なマージンの影響に因るものである。



図Ⅲ 2-2-1-1 45nm 世代製品の設計 TAT

この問題の解決のためには、各処理ステップでばらつき考慮した最適なタイミングマージンを与えつつ、設計生産性を大幅に向上させる最適設計フローの開発が必要である。

・大規模化対応と設計期間短縮

44M ゲート以上の大規模な回路を最短の設計期間で設計できる環境を構築するためには、各設計処理ステップでの取り扱えるデータ量の拡大、処理速度の向上、各処理ステップ間の整合性の向上が必須である。扱えるデータ量に限界があり、また処理速度が低い場合には、現有のハードウェア環境での設計そのものが不可能となりかねない。また、処理ステップ間で整合性が保

たれていなければ前処理での結果で問題が発生しなくとも、後の工程で問題が発生し、結果として設計初期段階に戻って設計のやり直し、結果として設計期間が大幅に増大する危険性がある。現状の EDA ツールは扱えるデータ量、処理速度の観点から満足できるものではなく、今後の大規模回路の設計を行うためにはこれらの改善だけでなく、処理ステップ、処理内容の見直し、最適なツール実行時のツールパラメータの設定によるフロー全体の最適化、各処理での並列実行技術や設計初期段階でできるだけレイアウト情報を予測し設計後期に大幅な修正が発生しない LSI の実現性予測技術、LSI のレイアウト(フロアプラン)の自動生成機能、レイアウト設計段階におけるサインオフ精度でのタイミング解析・最適化技術等の新規技術開発を行い、大幅な設計生産性向上による設計期間短縮と大規模化への対応を実施する。

またこれらの技術を実測し効果の確認、設計フロー全体での効果の確認を行うために大規模なテストデータの開発と開発した大規模対応設計フローを適用し効果を実証する。

・過大な設計マージン削減

前述のとおり、現在の設計フローでは、RTL を用いた論理合成からフロアプラン、自動配置配線(P&R)、サインオフの全処理ステップで過大なマージンを設定しており、これによってタイミング収束性の悪化による設計期間増大、設計やり直しを招いている。

統計的タイミング解析技術をサインオフ工程だけではなく自動配置配線工程にも応用し、さらには温度勾配、IR-Drop を考慮した最適なマージンを算出し、各処理ステップに当該最適マージン値を与える。これにより設計複雑度を緩和でき、タイミング収束性を向上させることにより設計期間の短縮や消費電力の低減が可能となる。

②今回の開発で達成したレベル

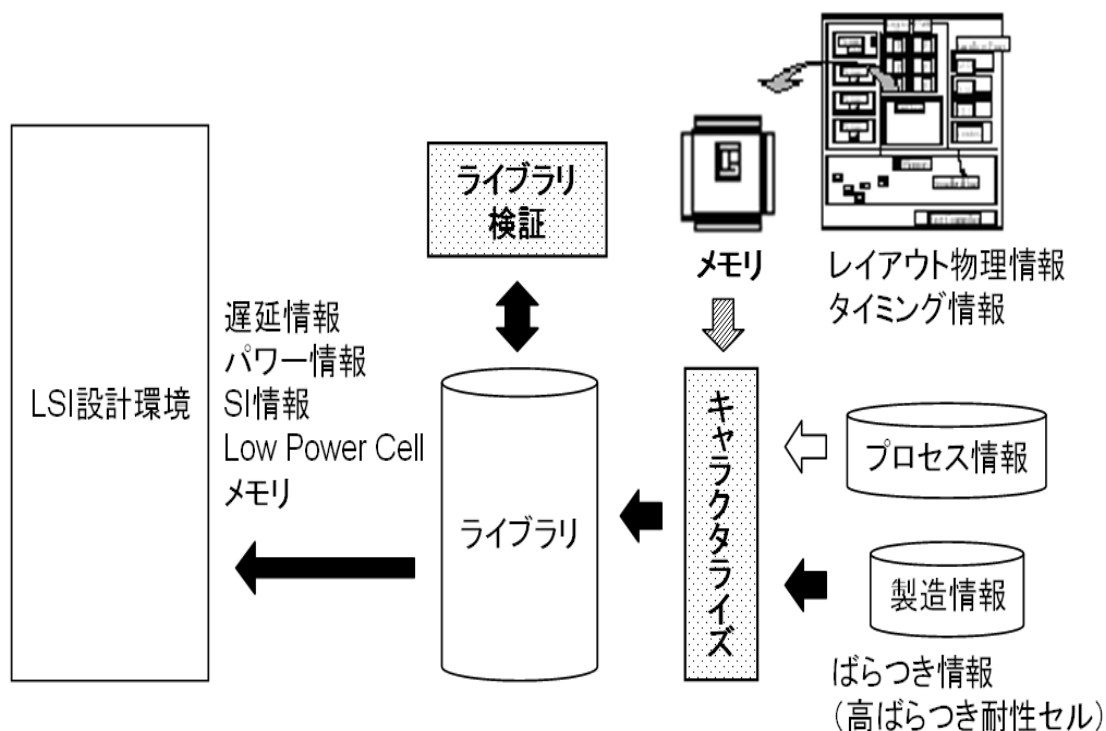
課題に対する対策として、RTL プロトタイピング技術、高速論理合成技術、並列分散処理技術、高速 STA 技術等の設計期間を短縮する新規技術の開発とこれらの要素技術を組み合わせ、最適な処理手順、各ステップでの最適な処理内容とマージン設定、不整合のない各ステップ間の I/F をもつ設計 TAT 削減に効果のある最適設計フロー開発を行った。

今回開発した設計期間短縮を目指した最適設計フローの効果を実証するため、大規模テストデータ(56MG)を用いて論理合成、フロアプラン、自動配置配線、サインオフまでの全工程について貫通検証を実施した。検証を通じて発生した課題に対して処理手順の見直し、EDA ツールの改修等を図るところにより処理時間の問題の解消を行うとともに、新規技術の最適な実行条件の設定を行うことにより最大限の効果を引き出し、最終的に設計工期1/3を達成した。

2-2) 製造工程のモデル化に基づき移植性が確保されたEDAライブラリ標準化開発手法の構築

①克服すべき課題

中間評価における報告では、45nm 世代に適用できる EDA ライブラリ開発の技術に関し、相対的なばらつき量の増加に対応し設計段階においてばらつきや物理現象に対する高精度な表現ができる、加えて製造歩留まりを考慮することができる効率的な開発手法の成果を示した。さらには、大規模対応として階層設計ブロックに対する高精度モデリング手法を示した。この EDA ライブラリ開発技術を 32nm 世代に適用するには次の課題がある。高精度表現に関しては、遷移状態毎の更なる詳細表現が要求されると共に低消費電力設計に対応した新たなセル属性情報の追加および遅延/タイミングだけでなくパワーに対する表現が要求される。また、スタンダードセルと同様にメモリに対しても高精度表現が要求され、これを現実的な計算機リソースや期間で行なう必要がある。一方で EDA ライブラリの不具合は設計の根幹を揺るがす問題となるため、上記対応により複雑で多大な情報量を有するようになった EDA ライブラリの正当性および精度を検証する技術が課題となっている。製造歩留まりの考慮に関しては、リソグラフィやストレスの影響を Spice パラメータに反映しばらつき考慮のライブラリとしてキャラクタライズする技術は確立されているが、もとのセル構造自体のストレス耐性を高めてばらつきを抑えることを考える必要がある。



図Ⅲ 2-2-2-1 製造歩留まり考慮ライブラリと LSI 設計環境

②今回の開発で達成したレベル

電流源モデル(Current Source Model)を適用した高精度パワー計算モデルベースライブラリ開発、ばらつき情報を統計的に解析可能なメモリアイブラリキャラクタライズ技術開発を開発した。

電流源モデル(Current Source Model)を適用した高精度パワー計算モデルベースライブラリ開発では、電流波形の類似性に着目して正規化を施すことによりライブラリを圧縮する手法を確立した。圧縮結果は、2007年度末に比べ75%の大きさになった。

ばらつき情報を統計的に解析可能なメモリアイブラリキャラクタライズ技術開発では、前処理として遅延が最大になるパスを抽出して回路を縮退し、その縮回路を使ってキャラクタライズを行なうという二段構えの手法を開発した。本方法による遅延値の精度誤差は全体回路を使ったシミュレーション結果と比べて数%程度であることを確認した。

さらに、EDA ライブラリのシンタックス/セマンティックスおよび各種テーブル値の異常値有無のチェック、条件の異なるライブラリ同士の比較チェック、Spice シミュレーションとの関連チェック等のライブラリ検証技術開発を行い、ガイドラインにまとめた。

また、製造歩留まりを考慮したセル設計技術開発では、ばらつきを抑えるセル構造を検討した。その結果、Full Adder セルに関して移動度のばらつきを 25%~34%、また閾値電圧の変動量のばらつきを 28%~55%改善できることを確認した。

3) 新技術事象に対する製造性考慮設計技術開発

新規技術事象に対する製造性考慮設計技術開発として、基本計画にあげられている下記3つの分野の技術開発を行った。

- 3-1) 統計的な解析・検証・判定手法の開発(サインオフ技術)
- 3-2) 低消費電力化設計手法の開発と低消費電力指向新基本回路技術の開発
- 3-3) 冗長化技術および製造後調整を考慮した新基本回路技術の開発

3-1) 統計的な解析・検証・判定手法の開発(サインオフ技術)

①克服すべき課題

中間評価における報告では、プロセスばらつきを考慮した統計的タイミング解析による検証方法の成果を示したが、クロストークや電圧降下を考慮する場合には、別途、決定論的タイミング解析(STA)の実行が必要なレベルにあった。すなわち、クロストークと電圧降下を同時に考慮した統計的タイミング解析による検証方法の確立が課題である。また、この検証における、解析コーナー数削減とタイミングマージン削減も課題である。

・統計的タイミング解析

クロストークと電圧降下を同時に考慮した統計的タイミング解析が必要である。また、配線に関連する抵抗/容量成分等の寄生パラメータを十分な精度で抽出し、かつ、複雑化する検証コーナー条件の中から適切な条件を選択して処理時間の効率化を図る必要がある。さらに、現実的な設計期間を達成するため、並列処理による処理の高速化も必要である。

・電力解析・電圧降下解析

微細化プロセスに伴う配線抵抗の増加および低電圧化により、電源配線において静的電圧降下(IRドロップ)がより顕著となり、これがゲート遅延時間の非線形的増加を招く。また、IRドロップが大きい場合は、回路の誤動作を招く恐れもある。そこで、ピーク電力解析を行って、IRドロップがワーストとなる状態を見つけ、そのときのIRドロップをタイミング解析の解析条件として与えることが、高精度なタイミング解析をする上で重要となる。

・クロストーク解析

微細化に伴う隣接配線間容量の増加により、配線の電位変化の隣接配線に及ぼす影響が大きくなる。しかも、プロセスばらつきの影響により遅延の変動幅が広がるため、従来方法では、電位変化の時間的なオーバーラップ期間を悲観的に見積もってしまい、クロストーク遅延を過大に見積もる傾向があった。そこで、この過度な悲観性を軽減するため、統計的な扱いによるクロストーク解析手法を確立する必要がある。

・タイミングマージン設定

チップ内ばらつきを考慮してタイミングマージンを付与するOCV手法(従来手法)は、使いやすさの反面、過大なタイミングマージンを付加する恐れがある。これを改善するため、ゲート種類やクリティカルパス段数を考慮した統計的タイミング解析と、これに適したタイミングマージン設定をする必要がある。また、従来、最大IRドロップとなるコーナー条件に対するIRドロップ用タイミングマー

ジンを、他コーナーにも一律同じ値で設定していたが、これを緩和するため、前述のピークパワー時のIRドロップ値のアノテートを行い、およびこれに見合った大きすぎないIRドロップ用タイミングマージンの付与が必要である。さらに、温度に関する解析条件についても、タイミングマージンを緩和する方向で適切な条件に設定することが重要である。

②今回の開発で達成したレベル

・統計的タイミング解析

クロストークと電圧降下を同時に考慮した統計的タイミング解析技術を開発した。その結果、複雑化する検証コーナー条件の中から適切な条件を選択して4条件のタイミング解析コーナーを示した。

・電力解析・電圧降下解析

微細化プロセスに伴う配線抵抗の増加および低電圧化により、電源配線において静的電圧降下(IRドロップ)がより顕著となり、そこで、ピーク電力解析を行って、IRドロップがワーストとなる状態を見つけ、そのときのIRドロップをタイミング解析の解析条件を開発し、その結果、電圧ばらつきによるタイミングマージンを約2%削減できた。

・クロストーク解析

微細化に伴う隣接配線間容量の増加により、配線の電位変化の隣接配線に及ぼす影響が大きくなる。従来方法では、電位変化の時間的なオーバーラップ期間を悲観的に見積もっていた。そこで、この過度な悲観性を軽減するため、統計的な扱いによるクロストーク解析手法を確立した。

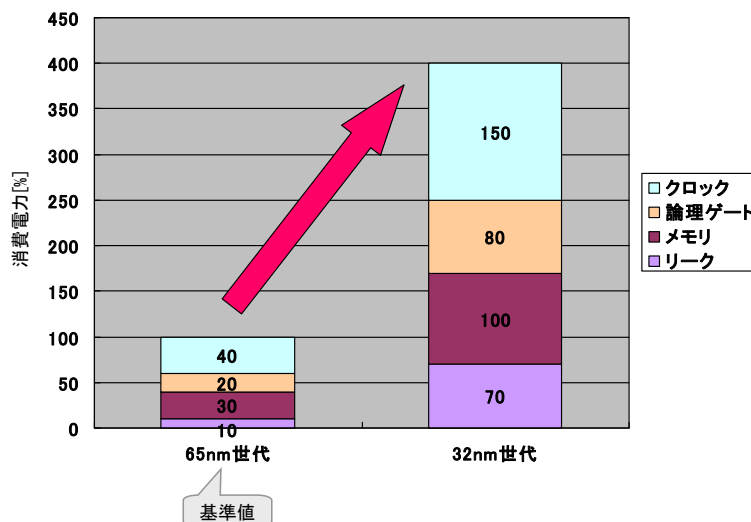
・タイミングマージン設定

チップ内ばらつきを考慮してタイミングマージンを付与するOCV手法(従来手法)は、使いやすい反面、過大なタイミングマージンを付加する恐れがある。これを改善するため、ゲート種類やクリティカルパス段数を考慮した統計的タイミング解析と、これに適したタイミングマージン設定を行った。その結果、セットアップ側タイミングスラックを平均で約15%(最大29%)削減することができた。

3-2) 低消費電力化設計手法の開発と低消費電力指向新基本回路技術の開発

①克服すべき課題

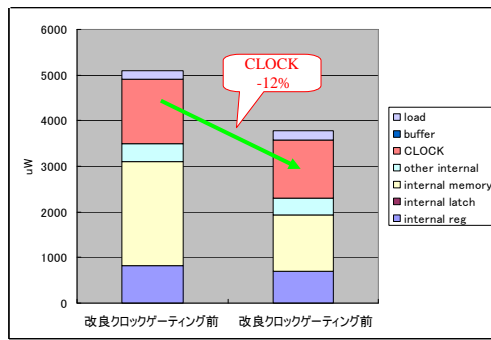
中間評価における報告では、45nm 世代に適用できる低消費電力設計フローを示し、RTL 設計段階での消費電力予測技術や低消費設計技術の実装手順を表現する CPF(Common Power Format)と UPF(Unified Power Format)といった共通フォーマットを用いてトランジスタに供給する電源を遮断するパワーゲーティング技術を開発し、論理回路ブロックが動作しない時に発生するリーク電力を削減することができる成果を示した。またトランジスタゲート長調整技術では、リーク電力を40%~60%低減できる成果を示した。しかしながら、図Ⅲ 2-3-2-1に示すように、65nm 世代/論理回路規模 17MG/最大動作周波数 400MHz のチップ実績を基に、LSI の大規模化、高機能化を考慮すると、32nm 世代/論理回路規模 44MG/最大動作周波数 1GHz へとチップの大規模化や高性能化を考慮すると、クロックや論理ゲート、メモリが動作することで消費されるダイナミック電力で 3.7 倍、論理ゲートとメモリのリーク電流により消費されるスタティック電力で 7 倍の消費電力増加が予測されるため、より一層の消費電力低減施策が必要となる。



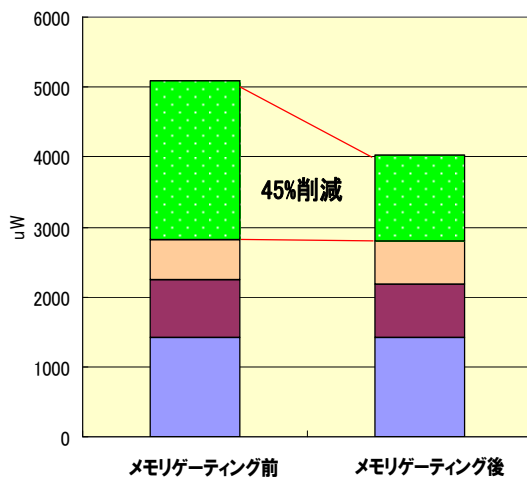
図Ⅲ 2-3-2-1 消費電力増加予測 (STARC 予測)

②今回の開発で達成したレベル

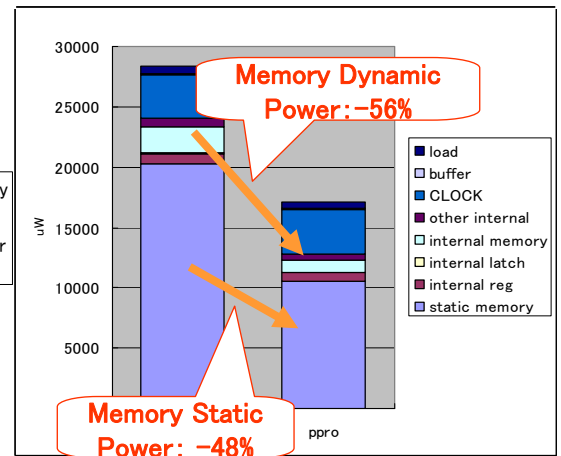
今回開発した3種の RTL パワー最適化技術を活用することで、RTL 設計段階で消費電力削減のための論理構造を追加することが可能となった。図Ⅲ 2-3-2-2には、これら3種類の RTL パワー最適化技術を 45nm 世代/300KGate 規模の論理回路に適用した際の事例を示す。この事例(a)では、改良クロックゲーティング技術の適用によって、クロックのダイナミック電力が 12%低減され、事例(b)では、メモリゲーティング技術の適用によって、メモリの全体では電力が 45%低減され、事例(c)では、メモリークゲーティング技術の適用によって、メモリのリーク電力が 48%低減される効果が得られた。メモリのダイナミック電力は 56%削減された。



図III 2-3-2-2(a) 改良クロックゲーティング技術適用効果



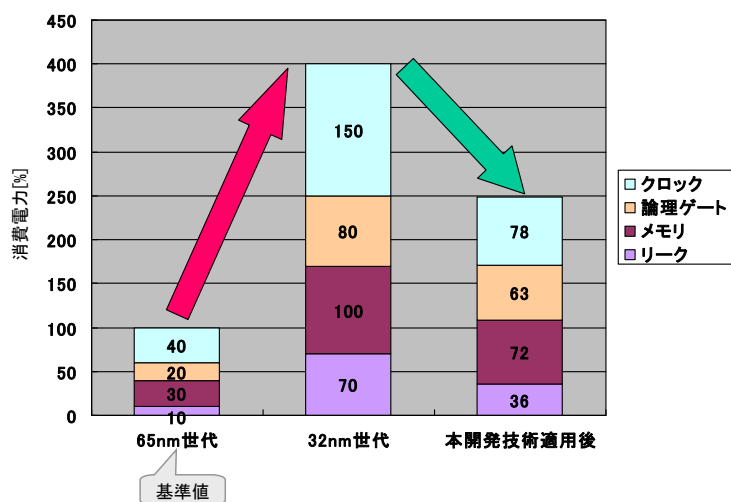
図III 2-3-2-2(b) メモリゲーティング技術適用効果



図III 2-3-2-2(c) メモリブロックゲーティング技術適用効果

図III 2-3-2-2 RTLパワー最適化実施例 (回路規模:300KGate)

また、今回開発した、RTL パワー最適化技術と DVFS 技術を適用することにより、32nm 世代で適用効果を見積もると図Ⅲ 2-3-2-3に示すように約 37%の消費電力を低減することができた。



図Ⅲ 2-3-2-3 消費電力低減の結果

この結果、今回開発したすべての電力削減技術をターゲットとするシステム LSI(図Ⅲ 1-1-3)に適用した場合、2007 年度当時の技術的用にと比べ、消費電力を 45.8%削減することが出来た。

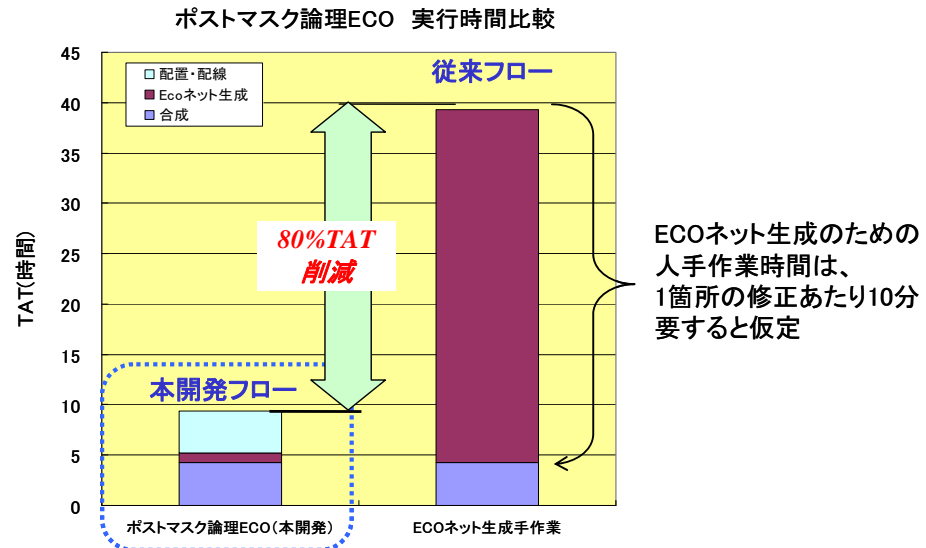
3-3) 冗長化技術および製造後調整を考慮した新基本回路技術の開発

①克服すべき課題

微細化の進展とシステム LSI の多機能化に伴って、設計規模が増大し、設計途中での論理変更や不完全な検証による論理ミスの発生が避けられないようになってきている。これらシステム LSI の設計開発時の論理変更やミスの修正を、一から設計をやり直すのではなく、それまでに設計された物理レイアウトデータやマスクデータを利用することで開発コストを抑えながら効率良く修正を行なうことができる ECO(Engineering Change Order) 技術を使用する。ECO とは、設計の最終段階で発見されたエラーを一部修正する技術を言う。例えば、論理変更による一部修正や、レイアウト設計における一部の素子配置改善や配線修正などが ECO で行われる。

②今回の開発で達成したレベル

前章でのべた技術開発により、従来の人手作業によるポストマスク論理 ECO フローを用いて、210 箇所の論理修正を行なった場合、大部分が人手作業での ECO ネット生成で、合計約 39 時間(設計者が作業する時間を1日 8 時間とした場合、約 5 日間)必要であったが、今回開発したポストマスク論理 ECO フローでは、大部分がコンピュータの処理時間であり、かつ約 9 時間で処理ができた。このことから、実用的なポストマスク論理 ECO フローを開発することが確認できた。



図Ⅲ 2-3-3-1 従来フローと今回開発したフローでの実行時間

3. 特許、論文、外部発表等

知的財産の取り扱いとしてノウハウと特許がある。

設計技術の開発、特に設計手法(設計メソドロジー)の開発では、知的財産は、ノウハウとして秘匿した方が有利だという基本方針のもとで知的財産の取り扱いを実施した。

これは設計手法の新規知的アイデアの多くは、特許出願をしても方式としての特許(方式特許)になる。また、最終製品などからその方式を特定することはほとんど不可能であり、権利侵害の確認が容易ではない。この状況においては、特許として公開し、知的財産とするよりは、ノウハウとして知的財産を秘匿したほうが良いと判断し、多くの技術はノウハウとして公開はしなかった。ただし、権利侵害の確認が容易な場合は、特許として知的財産の活用を図った。また、学会等で公知となったものも特許としての知財活用を図った。

特許、論文、外部発表等の件数を表Ⅲ 3-1に示す。

表Ⅲ 3-1 特許、論文、外部発表等の件数

区分 年度	特許出願			論文		その他外部発表 (プレス発表等)
	国内	外国	PCT [※] 出願	査読付き	その他	
H18FY						4件
H19FY				2件	7件	11件
H20FY	1件			6件	1件	6件
H21FY	1件			4件	2件	4件
H22FY	1件			6件		6件

(※Patent Cooperation Treaty :特許協力条約)

IV. 実用化・事業化の見通しについて

1. 実用化・事業化の見通しについて

(1) クライアントへの技術移転

開発のフェーズ 1 同様、成果の実用化としては、今回の成果を 6 ヶ月単位に STARCAD-CEL のバージョンとして STARC クライアント6社にリリースした。各リリースでは、その時期フォーカスした開発技術も示した。また、実設計者が使いやすいように、①低消費電力関連、②ばらつき考慮、③製造性考慮、④生産性向上関連の4つのカテゴリに基本計画に則った各要素技術を分類し、リリースをして実用化を促進した。6 ヶ月ごとのリリースでは下記のように成果がまとめられている。成果が出たところから実用化が可能になっている。

2008年度上期： STARCAD-CEL V2.5

45nm 設計と製造が統合された製造性考慮標準設計メソドロジの開発

- 45nm 対応基盤フロー(統計的タイミング解析、低消費電力対応、45nm 製造性考慮(リソ、製造欠陥、CMP)、サインオフ基準、RTL プロトタイプング)の実証
- 32nm 世代対応への課題抽出

2008年度下期： STARCAD-CEL V3.0

32nm リソグラフィ考慮設計の基盤研究

- 低消費電力関連技術
 - ・ RTL パワー見積り技術開発(特にクロックライン、マルチモード)
 - ・ RTL パワー最適化技術検討
 - ・ DVFS インプリ設計技術、サインオフ技術の開発
 - ・ 電力考慮 DFT 実装検討
- ばらつき考慮関連技術
 - ・ ばらつき耐性クロック設計手法実用化(nonTree 構造での Xtalk・Drop 計算、Useful Skew 対応)
 - ・ クロックジッター検証開発
 - ・ 統計的解析環境開発(統計的 Xtalk、IRDrop 同時考慮)
 - ・ Yield サインオフの有効性検討
 - ・ 熱考慮タイミング解析評価
 - ・ 熱考慮リーク解析評価
- 製造性考慮関連技術
 - ・ リソ考慮 usage model 高速化
 - ・ DFM 考慮セル設計要素技術開発
 - ・ Context 考慮設計 課題抽出
- 設計生産性向上関連技術
 - ・ チップ実現性予測技術開発

- ・ CPF/UPF 混在設計環境開発
- ・ 大規模/高速論理合成技術検討

-

2009年度上期: STARCAD-CEL V3.5

熱考慮設計メソッドの開発

- 低消費電力関連技術
 - ・ RTL パワー見積り技術(特にクロックライン、マルチモード)
 - ・ RTL パワー最適化技術
 - ・ 熱考慮リーク解析技術
 - ・ 非同期化(Desync)技術の有効性確認(ブロックレベル)
- ばらつき考慮関連技術
 - ・ ばらつき耐性クロック設計実用化手法
(ノンツリー構造でのクロック・IRドロップ 計算)
 - ・ 統計的解析環境 (統計的クロストーク、IRドロップ同時考慮)
 - ・ 電源ノイズ解析方法(ノイズ源のモデル化、伝播パスの可視化)
- 製造性考慮関連技術
 - ・ 特性考慮セル設計要素技術
 - ・ リソ考慮階層ユーセージモデル
- 設計生産性向上関連技術
 - ・ 大規模/高速論理合成技術
 - ・ フロアプラン効率化技術

2009年度下期: STARCAD-CEL V4.0

統合低消費電力メソッド開発

- 低消費電力関連技術
 - ・ RTL パワー見積り技術実用化
 - ・ RTL パワー最適化技術
 - ・ DVFS 設計/検証手法
 - ・ マルチ VF(DVFS)サインオフ技術
 - ・ 低電力 DFT 実装技術
- ばらつき考慮関連技術
 - ・ ばらつき耐性クロック設計手法
 - ・ 統合ばらつき考慮解析環境
 - ・ 統合ばらつき考慮サインオフ設計マージン削減
- 製造性考慮関連技術
 - ・ リソプリベンションルール
 - ・ 特性考慮セル設計手法

- ・ チップレベル特性考慮設計技術
- 設計生産性向上関連技術
 - ・ 大規模・高速論理合成実用化
 - ・ フロアプラン自動化機能実用化
 - ・ 並列分散処理(最適化)実用化
 - ・ CPF/UPF 設計技術実用化
 - ・ IP ベース設計手法
 - ・ 高速 STA 技術

2010年度上期: STARCAD-CEL V4.5

特性考慮設計メソドロジの開発

- 低消費電力関連技術
 - ・ 低電力設計検証手法ガイドライン
- ばらつき考慮関連技術
 - ・ ばらつき耐性クロック設計 Usage model
 - ・ 統合ばらつき考慮解析技術
 - ・ 統合ばらつきインプリメンテーション技術
 - ・ STA と SSTA との協調タイミング解析技術
 - ・ 電源ノイズ解析技術
- 製造性考慮関連技術
 - ・ ダミーメタル考慮タイミング解析技術
 - ・ リソ考慮 Usage Model 高速化
 - ・ 特性考慮の効果解析環境
- 生産性向上関連技術
 - ・ 並列分散処理(最適化)技術
 - ・ パワーインテント考慮設計フロー
 - ・ SDC 等価検証機能
 - ・ SDC 作成・検証ガイドライン
 - ・ 論理 ECO フロー
 - ・ マルチモード SDC マージ技術
 - ・ パワーインテント整合性検証技術
 - ・ フロアプラン効率化技術
 - ・ 高速 STA フロー技術

2010年度下期: STARCAD-CEL V5.0

統合ばらつき考慮メソドロジ開発

- 低消費電力関連技術
 - ・ 低電力設計検証技術

- ・ 異電源サインオフ技術
- ばらつき考慮関連技術
 - ・ ばらつき耐性クロック設計技術
 - ・ 統合ばらつき考慮設計技術
 - ・ STAとSSTAとの協調タイミング解析技術
- 製造性考慮関連技術
 - ・ ダミーメタル考慮設計技術
 - ・ リソ考慮設計技術
 - ・ 特性考慮の効果確認技術
- 大規模、短 TAT 技術
 - ・ SDC 作成・検証・等価性技術
 - ・ 高位合成 I/F(C2RTL 受入れ基準) 技術
 - ・ パワーインテント考慮設計技術
 - ・ 高速 STA 技術
 - ・ 大規模フロー検証

各リリースにおける成果物数の一覧を表IV 1-1に掲載する。

表IV 1-1 成果物の一覧

成果物一覧	V2.5	V3.0	V3.5	V4.0	V4.5	V5.0
説明書	16	7	27	37	25	71
仕様書	49	59	58	64	56	25
ガイドライン	0	0	4	5	8	14
報告書	125	145	148	184	144	153
スクリプト	13	16	16	25	27	19
評価データ	23	38	43	53	37	46
総計	226	265	296	368	297	328

各リリースのあとに、STARC クライアント各社の技術者を集め、成果報告会を開催。さらに個別技術項目について STARC の技術者がクライアント各社に出向き、そこで技術移管(個別 TT (Technology Transfer))を行った(表IV 1-2)。各リリース後の個別 TT にのべ 2000 名前後の技術者の参加があった。

表IV 1-2 成果報告会の出席者数と個別 TT 実施回数

技術移転	V2.5	V3.0	V3.5	V4.0	V4.5	V5.0
成果報告会 出席者数	182名	179名	144名	110名	106名	80名
個別TT 実施回数	267回	298回	305回	378回	346回	251回

各回個別TTにのべ2000名以上の技術者の参加、

最終成果である STARCAD-CELV5.0 の実用化時期について、V5.0 の成果13項目に対してクライアント各社へ実用化時期についてアンケートを行った。クライアント6社の回答の平均値であるが、各成果に対し、すでに実用化が1社、6ヶ月以内が1.2社、6ヶ月～2年以内が2.7社、2年～5年が0.5社であり、トータル5.4社となりほぼ全成果に対して全社が実用化済みまたは実用化予定である事が分かった。

2. 波及効果

このように6ヶ月単位に STARC クライアント技術者にスムーズに技術移管が行われており、非常に多くの製品ですでに使われている。

さらに、プロジェクト途中において技術者の入れ替えを実施しており、開発した成果を実設計現場ですぐに使えるようしくみも出来上がっており、人材育成においても開発、実用化といったことが行われている。

この結果、日本のシステム LSI 設計に対して、デファクト標準とし STARCAD-CEL が使われるようになってきているという波及効果は極めて大きく、半導体設計における国際競争力強化に役立っている。

(添付資料)

・イノベーションプログラム基本計画

(1)「ITイノベーションプログラム」基本計画

1. 目的

我が国が目指す高度情報通信ネットワーク社会の構築に向け、経済成長戦略大綱、IT新改革戦略、科学技術基本計画及び技術戦略マップ等に基づき、情報化の進展に伴うエネルギー消費量の増大等の課題にも考慮しつつ、その基盤となる情報通信機器・デバイス等の情報通信技術を開発し、実社会への利用を促進する。また、情報システム・ソフトウェアについて品質、信頼性及び生産性の向上を推進し、組み込みソフトウェア産業強化、オープンソースソフトウェアを安心して活用するための環境整備、独創的な人材の発掘等、我が国産業競争力強化のための必要な基盤整備を実施することによって、ITの利活用の深化・拡大を図り、より豊かな国民生活を実現するとともに、我が国の経済活力の向上を図ることを目的とする。

2. 政策的位置付け

○「新成長戦略(基本方針)」(2009年12月閣議決定)

「(1)グリーンイノベーションによる環境・エネルギー大国戦略」「(5)科学・技術戦略立国戦略」に対応

○「第3期科学技術基本計画」(2006年3月閣議決定)

国家的・社会的課題に対応した研究開発の重点推進4分野である情報通信分野、分野別推進戦略(2006年3月総合科学技術会議)における重点分野である情報通信分野に位置づけられるもの。

○「IT新改革戦略」(2006年1月高度情報通信ネットワーク社会推進戦略本部)

次世代のIT社会の基礎となる研究開発の推進等に対応。「ITによる地域活性化等緊急プログラム」(2008年2月)、「IT政策ロードマップ」(2008年6月)、「重点計画－2008」(2008年8月)、「i-Japan戦略2015」(2009年7月)等を策定。

3. 達成目標

(1) 情報経済社会を形成する上で必要不可欠な基盤技術である情報通信機器・デバイス等に関しては、「革新的な技術の確立」と「その開発成果の普及促進」を図る。

【目標】

- ・情報通信機器・デバイス産業の付加価値額を、2020年度において、2008年度比で、約50%増加させる。
 - ・半導体の微細化に係る革新的基盤技術の開発(テクノロジーノード45nm以細)
 - ・革新的な大型ディスプレイ技術の開発(消費電力を2007年度比約50%以下)
 - ・革新的なネットワーク機器技術の開発(消費電力を2007年度比60%以下)
 - ・次世代高効率・高品質照明の基盤技術の開発(消費電力を現状機器と比較して50%以下)
- (2) 経済社会システムの信頼性確保に大きく寄与する情報システム・ソフトウェアに関しては、品質、信頼性及び生産性の向上や産学官の開発リソースの連携強化により、「人材育成」と

「ソフトウェア工学の開発」等を積極的に推進する。

【目標】

- ・情報サービス・ソフトウェア産業の付加価値額を、2015年度において、2004年度比で、約25%増加させる。
- ・組み込みシステム等の不具合発生率(2012年度までに2007年度比50%減)

4. 研究開発内容

[プロジェクト]

I. ITコア技術の革新

[i] 世界最先端デバイスの先導開発

(中略)

(4) 次世代プロセスフレンドリー設計技術開発(運営費交付金)(再掲)

①概要

あらゆる機器に組み込まれている半導体の低消費電力化を図るため、テクノロジーノード45nm以細の半導体に対応するSoC(System on Chip)設計技術を開発する。具体的には、テクノロジーノード45nm以細の半導体の共通設計基盤技術開発として、DFM(Design For Manufacturing)基盤技術を中核とした設計及び製造の全体最適を確保する全く新しいSoC製造フローを開発する。

なお、本事業は、エネルギー需給構造の高度化を図る観点から行うものである。

②技術目標及び達成時期

テクノロジーノード45nm以細のSoC開発において製造性を考慮した共通設計基盤技術を確立し、システムLSIデバイスの省エネルギーを実現するとともに、設計生産性を従来予想に比べ2倍にすることを目標とする。

③研究開発期間

2006年度～2010年度

(中略)

6. 研究開発の実施に当たっての留意事項

事業の全部又は一部について独立行政法人の運営費交付金により実施されるもの(事業名に(運営費交付金)と記載したものは、中期目標、中期計画等に基づき、運営費交付金の総額の範囲内で、当該独立行政法人の裁量によって実施されるものである。

7. 改訂履歴

(中略)

(10)平成22年4月1日付け、ITイノベーションプログラム基本計画を制定。ITイノベーションプログラム基本計画(平成21・03・23産局第2号)は、廃止。

(2)「エネルギーイノベーションプログラム」基本計画

1. 目的

資源に乏しい我が国が、将来にわたり持続的発展を達成するためには、革新的なエネルギー技術の開発、導入・普及によって、各国に先んじて次世代型のエネルギー利用社会の構築に取り組んでいくことが不可欠である。他方、エネルギー技術開発は、長期間を要するとともに大規模投資を伴う一方で将来の不確実性が大きいことから、民間企業が持続的な取組を行うことは必ずしも容易ではない。このため、政府が長期を見据えた将来の技術進展の方向性を示し、官民双方がこの方向性を共有することで、長期にわたり軸のぶれない取組の実施が可能となる。

エネルギー安全保障の確立や、世界全体の温室効果ガスを2050年までに半減するという長期目標を達成するため、以下に政策の柱毎に目的を示す。

1-I. 総合エネルギー効率の向上

1970年代以来、官民をあげて省エネルギーに取り組み、産業構造の転換や新たな製造技術の導入、民生機器の効率改善等により世界最高水準の省エネルギーを達成している。今後、「新・国家エネルギー戦略」に掲げる、2030年までにGDPあたりのエネルギー利用効率を約30%向上を実現していくためには、産業部門はもとより、全部門において、総合エネルギー効率の向上に資する技術開発とその成果の導入を促進する。

(中略)

2. 政策的位置付け

○ 低炭素社会づくり行動計画(2008年7月閣議決定)

2008年6月の福田総理(当時)のスピーチ「福田ビジョン」等を受け、我が国が低炭素社会へ移行していくための具体的な道筋を示すため、国全体を低炭素化へ動かす仕組みや革新的な技術開発、国民一人ひとりの行動を促すための取組について策定。

「環境エネルギー技術革新計画」や「Cool Earth－エネルギー革新技術計画」等に示された革新的技術の開発に5年間で300億ドル程度を投入するという具体的な目標が示された。

○ 環境エネルギー技術革新計画(2008年5月)

温室効果ガスの大幅な削減を目指すだけでなく、エネルギー安全保障、環境と経済の両立、開発途上国への貢献等を考慮し、以下の戦略等を策定。

1. 低炭素社会実現に向けた我が国の技術戦略
2. 国際的な温室効果ガス削減策への貢献策
3. 革新的環境エネルギー技術開発の推進方策

○ Cool Earth－エネルギー革新技術計画(2008年3月)

2007年5月の総理イニシアティブ「クールアース50」を受け、世界全体の温室効果ガスの排出量を現状に比して2050年までに半減するという長期目標を達成するため、エネルギー分野における革新的な技術開発について検討をおこない、21の技術を選定。

○ エネルギー基本計画(2007年3月閣議決定)

重点的に研究開発のための施策を講ずべきエネルギーに関する技術及びその施策として、

1. 総合エネルギー効率の向上に資する技術

2. 原子力利用の推進とその大前提となる安全の確保に資する技術
3. 運輸部門のエネルギー多様化に資する技術
4. 新エネルギーに関する技術
5. 化石燃料の安定供給確保と有効かつクリーンな利用に資する技術

以上が位置づけられている。

○ 新・国家エネルギー戦略(2006年5月)

世界最先端のエネルギー需給構造の実現を図るため

1. 省エネルギーフロントランナー計画
2. 運輸エネルギーの次世代化計画
3. 新エネルギーイノベーション計画
4. 原子力立国計画

以上の計画が位置づけられている。また、資源外交、エネルギー環境協力の総合的な強化を図るため、「総合資源確保戦略」が位置づけられている。

○ 第3期科学技術基本計画(2006年3月閣議決定)

国の存立にとって基盤的であり国として取り組むことが不可欠な研究開発課題を重視して研究開発を推進する「推進4分野」であるエネルギー分野、分野別推進戦略(2006年3月総合科学技術会議)における「推進4分野」であるエネルギー分野に位置付けられている。

○ 経済成長戦略大綱(2006年7月財政・経済一体改革会議)

資源・エネルギー政策の戦略的展開として

1. 省エネルギーフロントランナー計画
2. 次世代自動車・燃料イニシアティブ等による運輸エネルギー次世代化
3. 新エネルギーイノベーション計画
4. 原子力立国計画
5. 資源外交、環境・エネルギー協力等の総合的な強化

以上が位置づけられている。

○ 京都議定書目標達成計画(2005年4月閣議決定)

「京都議定書の約束を達成するとともに、更に「脱温暖化社会」に向けて長期的・継続的な排出削減を進めるには、究極的には化石燃料への依存を減らすことが必要である。環境と経済の両立を図りつつ、これらの目標を達成するため、省エネルギー、未利用エネルギーの利用等の技術革新を加速し、効率的な機器や先進的なシステムの普及を図り、世界をリードする環境立国を目指す。」とされている。

3. 達成目標

3- I. 総合エネルギー効率の向上

転換部門における「エネルギー転換効率向上」、産業部門における「製造プロセス効率向上」、民生・運輸部門における「省エネルギー」などにより、GDP当たりのエネルギー消費指数を2030年度までに少なくとも30%改善することを目指す。

(中略)

4. 研究開発内容

4-I. 総合エネルギー効率の向上

(中略)

4-I-vi. 次世代省エネデバイス技術

(中略)

(4) 次世代プロセスフレンドリー設計技術開発(運営費交付金)

①概要

エネルギー需給構造の高度化を図る観点から行うものであり、あらゆる機器に組み込まれている半導体の低消費電力化を図るため、テクノロジーノード45nm以細の半導体に対応するSoC(System on Chip)設計技術を開発する。具体的には、テクノロジーノード45nm以細の半導体の共通設計基盤技術開発として、DFM(Design For Manufacturing)基盤技術を中核とした設計及び製造の全体最適を確保する全く新しいSoC製造フローを開発する。

②技術目標及び達成時期

テクノロジーノード45nm以細のSoC開発において製造性を考慮した共通設計基盤技術を確立し、システムLSIデバイスの省エネルギーを実現するとともに、設計生産性を従来予想に比べ2倍にすることを目標とする。

③研究開発期間

2006年度～2010年度

(中略)

6. 研究開発の実施に当たっての留意事項

事業の全部又は一部について独立行政法人の運営費交付金による実施されるもの(事業名に(運営費交付金)と記載したものは、中期目標、中期計画等に基づき、運営費交付金の総額の範囲内で当該独立行政法人の裁量によって実施されるものである。

また、事業名に(採択テーマ)と記載された事業は、提案公募事業により採択されたテーマを記載したものであり、その採択や評価等は、提案公募事業の実施機関の責任の下、実施されるものである。

7. 改訂履歴

(中略)

(6)平成21年4月1日付け制定。エネルギーイノベーションプログラム基本計画(平成20・03・25産局第5号)は廃止。

・プロジェクト基本計画

(ITイノベーションプログラム/エネルギーイノベーションプログラム)

「次世代プロセスフレンドリー設計技術開発」基本計画

電子・材料・ナノテクノロジー部

1. 研究開発の目的・目標・内容

(1) 研究開発の目的

今日の社会では、情報・知識を、時間や場所の制約を受けず誰もが自由自在かつ安全に活用できる情報通信環境の実現が望まれている。また、平成17年5月に発表された新産業創造戦略において、我が国の産業競争力強化のために注力すべき分野として、情報家電、ロボットなどが挙げられている。このような電子情報システムの基幹となるシステム LSI には、一層の高機能化、低消費電力化が求められている。本プロジェクトは、高機能システム LSI の実現に不可欠な製造性を考慮した LSI 設計技術を開発し、我が国の半導体関連産業の国際競争力強化に資することを目的として、IT イノベーションプログラム及びエネルギーイノベーションプログラムの一環として実施する。

情報ネットワーク社会の進展に伴い、情報通信機器やデジタル家電に対する高機能化、低消費電力化、小型・軽量化などの要求はますます大きくなっている。これらの製品は表示機能、処理機能、通信機能、組み込みソフトウェアから構成され、我が国企業が得意な擦り合わせが有効に機能する分野であり、今後注力すべき産業分野と考えられている。その鍵を握るのはシステム LSI である。

システム LSI は、適用製品の多様なニーズに対応するために、機能の複合化が求められ、CPU、メモリ、アナログ回路、センサー、通信機能、画像処理機能など多数の機能ブロックの混載化が進む。さらに、システム LSI が用いられる製品分野は競争が激しく製品寿命が短い。収益を上げるには、付加価値の高い新製品を低コストかつ短期間で開発・設計し、目標歩留まりをいち早く達成し、初期の段階から低コストで生産する必要がある。

システム LSI 開発には、ふたつの大きな課題がある。ひとつは、設計規模の巨大化によるソフトウェアを含めたシステム設計・検証部分の肥大化と、設計品質の確保が困難になる課題である。これに対しては、プラットフォーム化、IPの再利用など、製品システム設計と密接に関連した技術開発が半導体各社で行われている。

もうひとつは、半導体デバイスの微細化進展によって発生した新たな技術課題である。半導体デバイスは微細化により、低消費電力化、高機能化、小型化、低コスト化を実現してきたが、微細化のさらなる進展に伴い、寄生抵抗・容量・インダクタンスの増加とそれによる電気信号の歪みやノイズ耐性の劣化、高速化に伴うタイミングマージンの減少、チップ発熱による特性劣化など、設計段階で考慮すべき要素が飛躍的に増加している。さらに、2010年に生産開始が予定されている hp45nm 技術世代では、低 k1 値リソグラフィにおけるレイアウトパターンの再現性の低下、製造に起因するばらつきや欠陥に対するマージンの低下など、設計と製造工程を一体的に捉え全体的な最適化を図ることで初めて解決できる技術課題が山積している。このような設計と製造の界面に関わる課題は、システム LSI を主要製品とする我が国半導体メーカーが共通に抱える課題であ

り、共通基盤的な技術開発をもって解決を図るべきである。

本プロジェクトでは、後者の課題解決を目指して、製造段階での問題をモデル化し設計段階で事前検証する製造性考慮設計技術(DFM:Design for Manufacturing)を重点的に組み込んだシステム LSI 設計手法を開発する。具体的には、① 製造性を考慮した、RTL 記述からマスクパターン(GDS-II)までをカバーするシリコンインプリメンテーション設計手法の開発、②製造・設計インターフェイスに係わる情報体系の整備と標準化、製造工程のモデル化に基づき移植性が確保されたライブラリ類の開発手法の確立と標準化、③新技術事象に対する製造性を考慮した設計技術開発、を推進する。

また、効率的な開発のためには、各社単独で取り組むよりは、共通の課題を抱える企業が協同し、大規模な産学連携による総合的な取り組みが重要であり、独立行政法人新エネルギー・産業技術総合開発機構(以下「NEDO」という)の助成事業としての技術開発が必要である。

上記の開発を統合したシステム LSI 設計手法を早期に実用化することにより、我が国の LSI 設計技術の底上げを図り、設計効率向上や歩留まり向上で製品コスト競争力を強化し、日本の半導体業界全体に貢献することを目的とする。

(2) 研究開発の目標

中間目標として、平成 20 年度末までに以下の目標を達成する。

設計と製造が統合された製造性考慮設計技術を重点的に組み込んだ hp65nm 技術領域のシステム LSI に対応した標準設計手法を開発する。

最終目標として、平成 22 年度末までに以下の目標を達成する。

hp45nm 技術領域のシステム LSI で求められる製造歩留まりを確保可能な、製造性考慮設計技術を重点的に組み込んだ標準設計手法を開発する。開発成果を盛り込んだシステム LSI 設計手法を用いることにより、hp45nm 技術領域で求められる製造歩留まりを確保可能なシステム LSI を設計する生産性を、本技術開発手法を用いない場合と比較して3倍にする。

(3) 研究開発の内容

hp45nm 以細の技術領域におけるシステム LSI で、高集積、低消費電力、高歩留まりなどを実現するには、設計と製造にまたがった諸課題を解決する設計技術の開発が必須である。具体的には、微細化に伴う信号劣化やタイミングマージンの減少やオンチップばらつきによる設計マージンの減少、さらにリソグラフィにおけるレイアウトパターンの再現性低下の課題がある。これらの課題を解決するために、製造段階での問題をモデル化し、設計段階で事前に検証することによってシステム LSI の設計から製造に至る全体の生産性を向上させることが可能な、設計と製造工程を一体的に捉えた LSI 設計手法を開発する。

①製造性考慮設計の基盤技術開発

- ・製造ばらつきを考慮した LSI 設計手法の開発
- ・製造歩留まりを考慮した LSI 設計手法の開発
- ・設計意図を活用するリソグラフィフレンドリな設計手法の開発

- ・製造性考慮設計の効果予測技術の開発

②製造性考慮設計の標準化技術

- ・製造と設計に係わる DFM データベース整備と標準インターフェースの開発
- ・製造工程のモデル化に基づき移植性が確保された EDA ライブラリ標準化開発手法の構築

③新技術事象に対する製造性考慮設計技術開発

- ・統計的な解析・検証・判定手法の開発
- ・低消費電力化設計手法の開発と低消費電力指向新基本回路技術の開発
- ・冗長化技術および製造後調整を考慮した新基本回路技術の開発

2. 研究開発の実施体制

本研究開発は、NEDOが、原則本邦の企業、研究組合、公益法人等の研究機関(原則、国内に研究開発拠点を有していること。ただし、国外企業の特別の研究開発能力、研究施設等の活用あるいは国際標準化獲得の観点から国外企業との連携が必要な部分はこの限りではない。)から、公募によって開発実施者を選定し助成(助成率1/2)により実施する。

3. 研究開発の実施期間

本研究開発の期間は、平成 18 年度(2006 年度)から平成 22 年度(2010 年度)までの 5 年間とする。

4. 評価に関する事項

NEDOは、技術的および政策的観点から見た技術開発の意義、目的達成度、成果の技術的意義並びに将来の産業への波及効果等について、外部有識者による研究開発の中間評価を平成 20 年度に、事後評価を平成 23 年度に実施する。また、中間評価結果を踏まえ必要に応じプロジェクトの加速・縮小・中止等見直しを迅速に行う。なお、評価の時期については、当該研究開発に係る技術動向、政策動向や当該研究開発の進捗状況などに応じて、前倒しする等、適宜見直すものとする。

5. その他の重要事項

(1)基本計画の変更

NEDOは、基本計画の内容の妥当性を確保するために、社会・経済的状況、内外の技術開発動向、政策動向、プログラム基本計画の変更、評価結果、研究開発費の確保状況、当該研究開発の進捗状況等を総合的に勘案し、達成目標、実施期間、研究開発体制等、基本計画の見直しを弾力的に行う。

(2)根拠法

本プロジェクトは、独立行政法人新エネルギー・産業技術総合開発機構法(平成14年 法

律第145号)第15条第1項第3号に基づき実施する。

(3)その他

最先端工場でのデータ取得や設計手法の検証を行う等、製造と設計の密接な連携を図ることにより、円滑で迅速な開発と実用化を促進する。

本プロジェクトは設計技術の開発を主とするものであるが、NEDOが実施する関連半導体デバイス・プロセス・製造技術開発やマスク設計・描画・検査技術開発との間で密接な連携を図り、効率的な開発を行う。

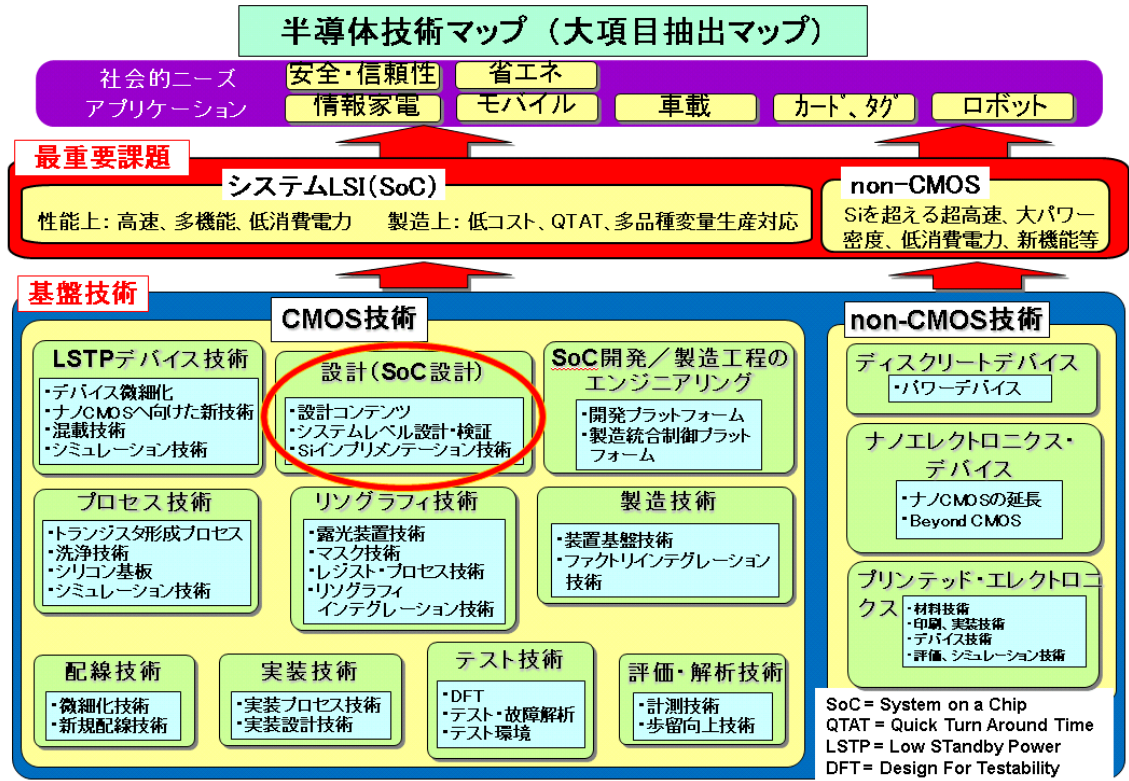
6. 基本計画の改訂履歴

(1)平成18年3月、制定。

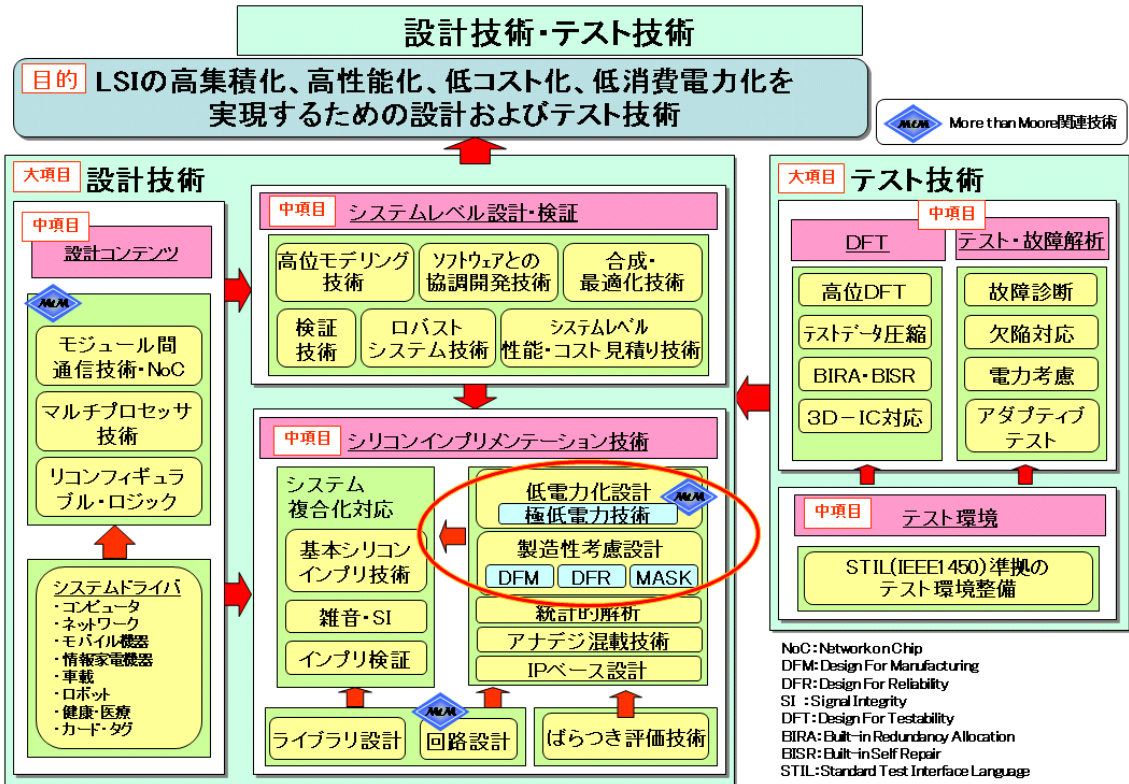
(2)平成20年7月、イノベーションプログラム基本計画の制定により、「(1)研究開発の目的」の記載を改訂。

(3)平成22年8月、加速に伴い、「(2)研究開発の目標」のLSIを設計する生産性を、2→3倍に改訂。

・技術戦略マップ(分野別技術ロードマップ)



SoC = System on a Chip
 QTAT = Quick Turn Around Time
 LSTP = Low Standby Power
 DFT = Design For Testability



・事前評価関連資料(事前評価書、パブリックコメント募集の結果)

1. 事前評価書

事前評価書

		作成日	平成 18 年 2 月 8 日
1. 事業名称	次世代プロセスフレンドリー設計技術開発		
2. 推進部署名	電子・情報技術開発部		
3. 事業概要	<p>(1) 概要</p> <p>hp45nm 以細の技術領域の半導体製品に求められる大規模、高速化、高機能化、低消費電力化、低コスト化へ対応するシステム LSI 設計技術を開発する。具体的には、製造工程を考慮した効率の良い設計技術 (DFM : Design For Manufacturing) を開発する。その結果、低消費電力かつ高機能のシステム LSI を設計・開発するコストが低減し、我が国半導体産業の国際競争力の強化を図るものである。</p> <p>(2) 事業規模</p> <p>平成 18 年度事業費 9.9 億円</p> <p>(3) 事業期間</p> <p>平成 18 年度～22 年度 (5 年間)</p>		
4. 評価の検討状況	<p>(1) 事業の位置づけ・必要性</p> <p>プロセッサやメモリなど複数の機能を 1 つの半導体チップに搭載することで、消費電力の低減、製品の小型軽量化、信頼性向上につながるシステム LSI は我が国が得意とする情報家電を支えるキーデバイスである。我が国半導体産業の国際競争力の強化を図るため、システム LSI 開発・製造コストを下げるのが、課題となっている。しかしながら、半導体プロセスの微細化に伴い設計・製造コストが急上昇し、従来の設計技法では対応できなくなりつつある。そのため、プロセスの特性を踏まえた製造性を考慮した新たな共通設計基盤技術開発が必要である。本事業は、情報通信分野の技術戦略マップ 半導体分野の設計 (SoC 設計) / シリコンインプリメンテーション技術等に対応するものである。</p> <p>(2) 研究開発目標の妥当性</p> <p>設計・製造が複雑化する hp45nm 以細の技術領域においては製造性を考慮した共通設計基盤技術開発が重要である。</p> <p>本事業は、hp45nm 以細の技術領域のシステム LSI 開発において製造性を考慮した共通設計基盤技術を確立し、低消費電力・高機能システム LSI の設計生産性を従来予想に比べ倍増させることを目標としており、妥当なものとする。目標設定については、今後とも有識者ヒアリングなどで意見を聴取し、妥当性についてさらなる検討を行う。</p>		

<p>(3) 研究開発マネジメント</p> <p>公募を行い、最適な実施体制を構築する。また、研究開発開始後 3 年目に中間評価を予定しており、その結果を踏まえて事業全体の予算配分や計画について見直しを行い、適切な運営管理に努める。また、必要に応じて、外部有識者の意見を運営管理に反映させる。</p>
<p>(4) 研究開発成果</p> <p>hp45nm 以細の技術領域の半導体デバイス設計においては、設計と製造の両者を考慮して解決を図らなければならない設計・製造境界面の課題が顕在化してきている。本事業により、製造・設計工程間に跨る情報のフィードバックと最適化処理を行う、従来とは全く異なる設計手法を開発することにより、これらの課題を解決することが期待できる。</p>
<p>(5) 実用化・事業化の見通し</p> <p>当該技術の確立により、我が国の半導体産業は、欧米、アジアの企業に比べ、大幅に開発コスト、製品単価を押さえた低消費電力かつ高機能のシステム LSI 製品を短い開発期間でマーケットに提供可能となり、本プロジェクトを実施する経済的意義は大きい。また、情報家電、自動車、ロボットなど多くの産業分野の発展への貢献が期待される。</p>
<p>(6) その他特記事項</p>
<p>5. 総合評価</p> <p>半導体製品に求められる大規模、高速化、高機能化、低消費電力化、低コスト化へ対応するシステム LSI 設計技術の確立は、将来の我が国半導体産業の優位性の確保と情報化社会の推進にとって大きな意義を持っている。また、hp45nm 以細の技術領域の半導体デバイス設計においては、設計と製造の両者を考慮して解決を図らなければならない様々な課題が顕在化してきており、この課題を解決するためには、従来とは全く異なる製造・設計工程間に跨る情報のフィードバックと最適化処理を行う設計手法の開発が必要である。</p> <p>当該技術は民間企業単独で開発することは極めて困難であり、NEDO が実施する事業として、産学官の共同研究体制を構築しながら適切に進めることが重要である。</p>

2. パブリックコメント募集の結果

「次世代プロセスフレンドリー設計技術開発基本計画（案）」に対するパブリックコメント募集の結果について

平成18年3月3日
NEDO技術開発機構
電子・情報技術開発部

NEDO POST 3において標記基本計画（案）に対するパブリックコメントの募集を行いました結果をご報告いたします。
みなさまからのご協力を頂き、ありがとうございました。

1. パブリックコメント募集期間
平成18年2月8日～平成18年2月16日
2. パブリックコメント投稿数<有効のもの>
計0件

以上

・特許論文リスト

【特許】

番号	出願者	出願番号	国内 外国 PCT	出願日	状態	名 称	発明者
1	NEC エレクトロニクス 株式会社 (現 ルネサスエレクトロニクス株式会社)	特 願 2008- 102361	国内	2008/8/ 10	出 願	セル遅延ライブラリとその作成方法、及び遅延解析方法	堀内賢一
2	富士通セミコンダクター株式会社	特 願 2009- 158972	国内	2009/7/ 3	出 願	デカップリング容量決定方法、デカップリング容量決定装置およびプログラム	奥村隆昌
3	ルネサスエレクトロニクス株式会社、株式会社 東芝、ソニー株式会社	特 願 2010- 135902	国内	2010/6/ 15	出 願	半導体集積回路装置の設計方法	真野純一他

(※Patent Cooperation Treaty :特許協力条約)

【論文】

番号	発表者	所属	タイトル	発表誌名、 ページ番号	査読	発表年
1	西口 信行	STARC	設計からの歩留まり向上アプローチ	ISTF2007	無	2007/9/5
2	坂本 敏行	STARC	10nm 世代に向けたタイミング検証技術と問題点	2007年ソサイエティ大会	無	2007/9/10
3	村方 正美	STARC	ナノメータSoC開発のためのプロセスフレンドリ設計技術	電子回路研究会	無	2007/10/11
4	村方 正美	STARC	DFM&Y Research and development topics in STARC	International Conference on Semiconductor Variability	無	2007/10/23
5	西口 信行	STARC	最先端システム LSI 設計の課題 -設計Intentの活用-	LSI テスティングシンポジウム 2007	無	2007/11/8
6	T. Niiyama, P. Zhe, K. Ishida, M. Murakata, M. Takamiya, and T. Sakurai	東京大学 /STARC	Dependence of Minimum Operating Voltage (VDDmin) on Block Size of 90-nmCMOS Ring Oscillators and Its Implications in Low Power DFM	International Symposium on Quality Electronic Design (ISQED), San Jose, USA, pp. 133-136, March 2008.	有	2008/3月
7	朴 哲, 新山 太郎, 高宮 真, 桜井 貴康	東京大学 /STARC	リングオシレータを用いた90nmCMOS論理ゲートの動作下限電源電圧の実測	電子情報通信学会総合大会, C-12-39, 北九州, 2008年3月	無	2008/3月
8	稲垣 賢一, ダナルドノアントノ, 高宮 真, 桜井 貴康	東京大学 /STARC	オンチップサンプリングオシロスコープ内タイミング生成回路用タイミング分解能測定回路	電子情報通信学会総合大会, C-12-38, 北九州, 2008年3月	無	2008/3月
9	村方 正美	STARC	Dependence of Minimum Operating Voltage (VDDmin) on Block Size of 90-nm CMOS Ring Oscillators and Its Implications in Low Power DFM	International Symposium on Quality Electronic Design(ISQED2008)	有	2008/3/18

10	T. Sakurai	東京大学 /STARC	Next-Generation Power-Aware Design (Plenary Talk)	International Symposium on Low Power Electronics and Design (ISLPED), Bangalore, India, Aug. 2008	有	2008/8 月
11	T. Niiyama, P. Zhe, K. Ishida, M. Murakata, M. Takamiya, and T. Sakurai	東京大学 /STARC	Increasing Minimum Operating Voltage (VDDmin) with Number of CMOS Logic Gates and Experimental Verification With up to 1Mega-Stage Ring Oscillators	International Symposium on Low Power Electronics and Design (ISLPED), Bangalore, India, pp. 117-122, Aug. 2008	有	2008/8 月
12	T. Niiyama, K. Ishida, M. Takamiya, and T. Sakurai	東京大学 /STARC	Expected Vectorless Teacher-Student Swap (TSS) Test Method with Dual Power Supply Voltages for 0.3V Homogeneous Multi-core LSI's	IEEE Custom Integrated Circuits Conference (CICC), San Jose, USA, pp. 137-140, Sep. 2008.	有	2008/9 月
13	荒木 貴弘, 朴 哲, 新 山 太郎, 高宮 真, 桜井 貴康	東京大学 /STARC	超低電源電圧における論理ゲ ート遅延の電源電圧変動に関 する感度	電子情報通信学会 ソサイエティ大会, C-12-1, 川崎, 2008年9月	無	2008/9 月
14	S. Choi, K. Ikeuchi, H. Kim, K. Inagaki, M. Murakata, N. Nishiguchi, M. Takemiya, and T. Sakurai	東京大学 /STARC	Experimental Assessment of Logic Circuit Performance Variability with Regular Fabrics at 90nm Technology Node	34th European Solid-State Circuits Conference (ESSCIRC), Edinburgh, UK, pp.50-53, Sep. 2008.	有	2008/9 月

15	西口 信行	STARC	Variation and Manufacturability Aware Design Methodology for the Advanced System LSI	IWCM2009	有	2009/1/19
16	小池 洋	STARC	Proposal of Automated Rule-based Spice Parameter QA Methodology	IWCM2009	有	2009/1/19
17	奥村 隆昌	STARC	Improvement in Computational Accuracy of Output Transition Time Variation Considering Threshold Voltage Variations	IEICE Trans. on Fundamentals	有	2009/4 月
18	小川 公裕	STARC	STARC のサインオフコーナ削 減戦略	DA シンポジウム 2009	無	2009/8/26
19	西口 信行	STARC	The design issues for the most advanced system LSI and their solutions in STARC activities	2009 年日台半導体 設計自動化科学技 術研究シンポジウ ム	無	2009/9/5
20	島崎 健二	STARC	A Minimum Decap Allocation Technique Based on Simultaneous Switching for nanoscale SoC	CICC 2009	有	2009/9/13
21	奥村 隆昌	STARC	Advanced Techniques to Estimate Delay Fluctuation due to Power Supply Noise in Compatible with STA applications	ASP-DAC 2010	有	2010/1 月
22	T. Yasufuku, T. Niiyama, Z. Piao, K. Ishida, M. Murakata, M. Takamiya, and T. Sakurai	東京大学 /STARC	"Difficulty of Power Supply Voltage Scaling in Large Scale Subthreshold LogicCircuits ,"	IEICE Transaction on Electronics, E93-C, No.3, pp.332-339, March 2010.	有	2010/3 月
23	小川 公裕	STARC	An Efficient Multi-voltage Timing Sign off Methodology	DAC2010 User's Track	有	2010/6/13

24	森川 慶一	STARC	Timing margin Reduction with Statistical Characterization for SRAM Cell	DAC2010 ユーザートラック	有	2010/6/17
25	T.Okumura and M. Hashimoto	大阪大学 /STARC	“Setup Time, Hold Time and Clock-to-Q delay Computation under Dynamic Supply Noise,”	CICC 2010, Sep., 2010	有	2010/9/19
26	西口 信行	STARC	特性ばらつきと製造性を考慮した設計技術	電子情報通信学会	有	2010/11/1
27	T. Okumura, F. Minami, K.Shimazaki, K.Kuwada and M. Hashimoto	大阪大学 /STARC	“Gate Delay Estimation in STA under Dynamic Power Supply Noise,”	IEICE Transaction on Fundamental of Electronics, Communications and Computer Science, Vol. E93-A. No. 12, December 2010, pp2447-2455	有	2010/12/1
28	西口 信行	STARC	An RTL to GDS2 Design Methodology for Advanced System LSI	ASP DAC 2011	有	2011/1/28

【社外発表】

番号	発表者	所属	タイトル	発表誌名、 ページ番号	査 読	発表年
1	西口 信行	STARC	ICC in STARCAD-21	Synopsys DAC 2006 Seminar	無	2006/7/24
2	西口 信行	STARC	Challenge to Variation for 65nm and below System LSI	Synopsys DAC 2006 Seminar	無	2006/7/25
3	西口 信行	STARC	Challenge for DFM from System LSI	SEMICON Japan 2006	無	2006/12/8
4	西口 信行	STARC	半導体設計技術総論	株式会社電子ジャーナル	無	2007/3/26
5	西口 信行	STARC	最先端システム LSI 設計のチ ャレンジー低消費電力対応と 製造性考慮設計ー	大阪大学情報シス テム工学科目特別 講演	無	2007/6/27
6	乗松 誠志	STARC	ケイデンス社 DFM ツールを用 いた設計メソッドの構築	DA SHOW/CDNlive! Japan 2007	無	2007/7/13
7	西口 信行	STARC	STARC 活動紹介リソグラフィ 考慮設計技術	ISTF2007	無	2007/9/5
8	西口 信行	STARC	最先端システム LSI 設計にお けるローパワー化へのチャレン ジ	Apache 社セミナー	無	2007/9/14
9	竹内 真哉	STARC	IC Compiler クロックメッシュ機 能実用化開発への取り組み	JSNUG2007	無	2007/10/12
10	西口 信行	STARC	DFM for an advanced system LSI	Brion 社 セミナー	無	2007/10/22
11	西口 信行	STARC	45nm プロセス以降のシステム LSI 設計技術	Semiconductor FPD World	無	2008/1/21
12	森 裕之	STARC	IC Compiler クロックメッシュ機 能実用化開発への取り組み	EDS Fair 2008(シノ ブシス ブースステ ージ)	無	2008/1/24
13	森 裕之	STARC	UPF ベース低消費電力設計環 境への取り組み	EDS Fair 2008(シノ ブシス ブースステ ージ)	無	2008/1/24
14	杉岡 俊明	STARC	STARCAD-CEL PRIDE V1.4 ローパワー設計フロー	System Design Forum 2008	無	2008/1/25
15	西口 信行	STARC	最新のシステム LSI 低消費電	システムデザイフ	無	2008/1/26

			力設計技術 ー標準化に期待するところー	オーラム 2008		
16	西口 信行	STARC	最先端システム LSI 設計のチ ャレンジ	Atrenta 社 ユーザ ミーティング	無	2008/9/19
17	西口 信行	STARC	システム LSI における DFM の チャレンジ-STARC の活動から -	SEMICON Japan 2008	無	2008/12/5
18	西口 信行	STARC	製造性考慮設計	JEITA	無	2009/1 月
19	改田 博政	STARC	Cadence 社 SSTA ツール導入 効果の紹介	Cadence プレゼン 資料	無	2009/1 月
20	西口 信行	STARC	45nm/32nm プロセスにおける 設計メソドロジー	Semiconductor FPD World	無	2009/1/21
21	西口 信行	STARC	半導体設計技術総論	半導体テクノロジー 大全(2009 年度)	無	2009/2/25
22	千綿 幸雄	STARC	短 TAT 設計を実現するフロント エンド設計メソドロジーと Conformal-ECO/Constraint Designer の役割	DA SHOW/CDNLive! Japan 2009	無	2009/7/17
23	植木 健史	STARC	STARCAD-CEL 製造性考慮設 計メソドロジー	DA SHOW/CDNLive! Japan 2009	無	2009/7/17
24	西口 信行	STARC	A DFM Design Methodology for the Most Advanced System LSI's	SEMI テクノロジシン ポジウム	無	2009/12/4
25	新野 哲也	STARC	ローパワー設計を実現するフ ロントエンド設計メソドロジーと RTL での PowerPro によるパワ ー最適化の役割	カリプト ローパワ ーセミナー	無	2009/12/4
26	南 文裕	STARC	Power and Thermal Variation Aware Design Methodology and Challenges	DAC 2010 Apache 社ブース	無	2010/6/15
27	田中 輝弥	STARC	Cadence/EDIS ベースの実用 的な STARC 次世代 DFM 設計 環境構築~次世代の DFM 設 計では EDIS をこう使う~	DA SHOW/CDNLive! Japan 2010	無	2010/7/22
28	新野 哲也 齊藤 典子	STARC	ローパワー設計を実現するフ ロントエンド設計メソドロジーと	カリプト ローパワ ーセミナー2010	無	2010/10/21

			PoewrPro によるパワー最適化の適用効果			
29	久原 浩史	STARC	FishTail 社ツールを利用したS DCマージの適用効果について	株式会社ジーダット WEB 、 FishTail Design Automation Inc. WEB	無	2010/11/10
30	千綿 幸雄	STARC	SoC インプリメンテーションと高 位合成の I/F における現状と 課題	ケイデンス ESL コ ミュニティ・セミナー 2010	無	2010/12/9
31	近藤 英史 851	STARC	世界最高水準の 32nm/28nm 向け DFM 設計環境~ケイデン ス DFM ツールを用いて STARC が実現~	EDSFair2011	無	2011/1/28