

# 「次世代プロセスフレンドリー設計技術開発」

(2006年度～2010年度 5年間)

## プロジェクトの概要説明 (公開)

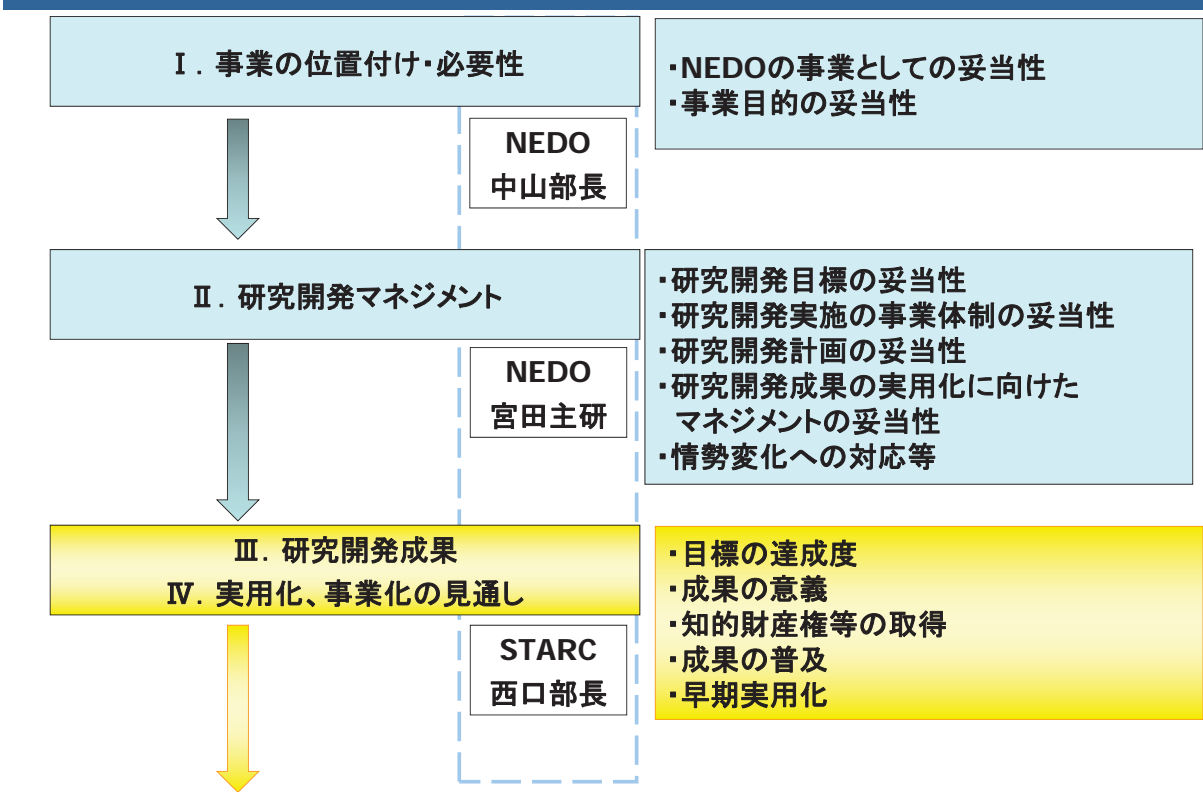
I. 事業の位置付け・必要性

II. 研究開発マネジメント

NEDO 電子・材料・ナノテクノロジー部



### 説明内容

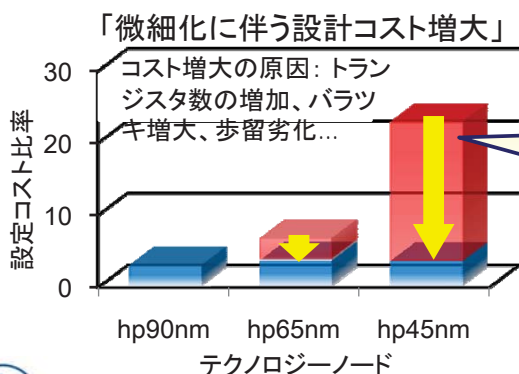


背景

◆半導体デバイスの微細化により、LSIの高機能化、低消費電力化が実現されてきた。  
hp90nm(2004年)→hp65nm(2007年)→hp45nm(2010年)

◆半導体プロセスの微細化による設計の課題  
・タイミングマージンの減少、リーク電流の増大、チップ発熱による特性劣化などによる設計マージン低下  
・回路の複雑化(トランジスタ数の増加)による設計TATの増加  
・製造ばらつきや欠陥による歩留り低下

◆システムLSI設計の複雑化・設計期間(コスト)の増大



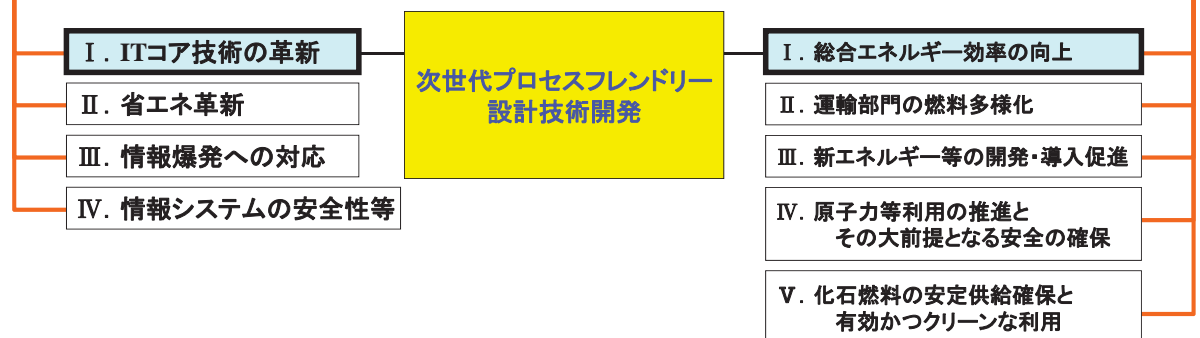
次世代プロセスフレンドリー設計技術開発

「製造性考慮設計技術」を組み込んだLSI設計手法による設計コストの低減

産業技術政策における位置付け



ITイノベーションプログラム 実行プログラム エネルギーイノベーションプログラム

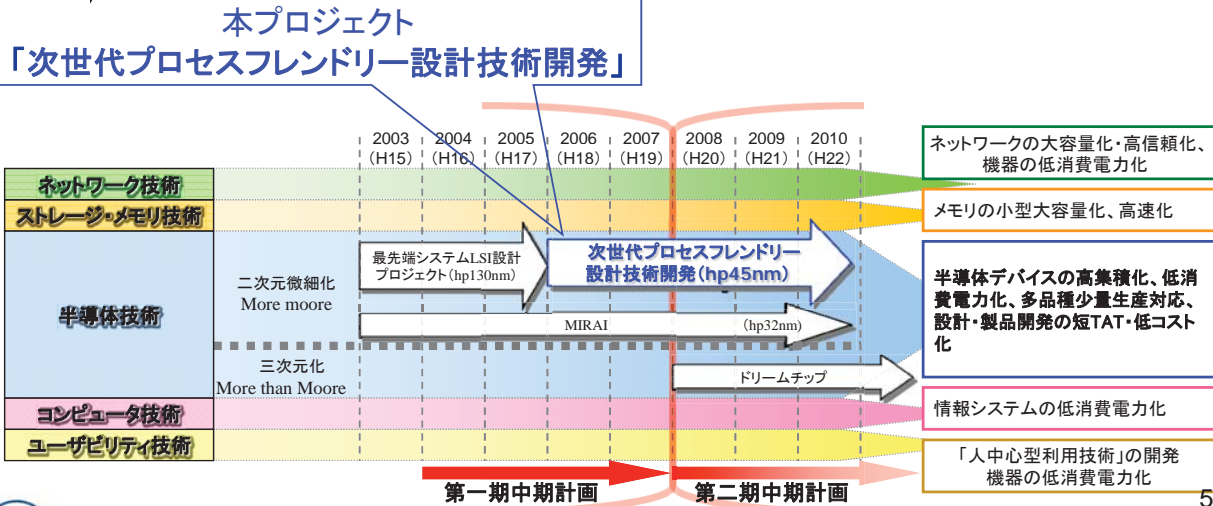


## NEDO中期目標における位置付け

### NEDO 中期目標

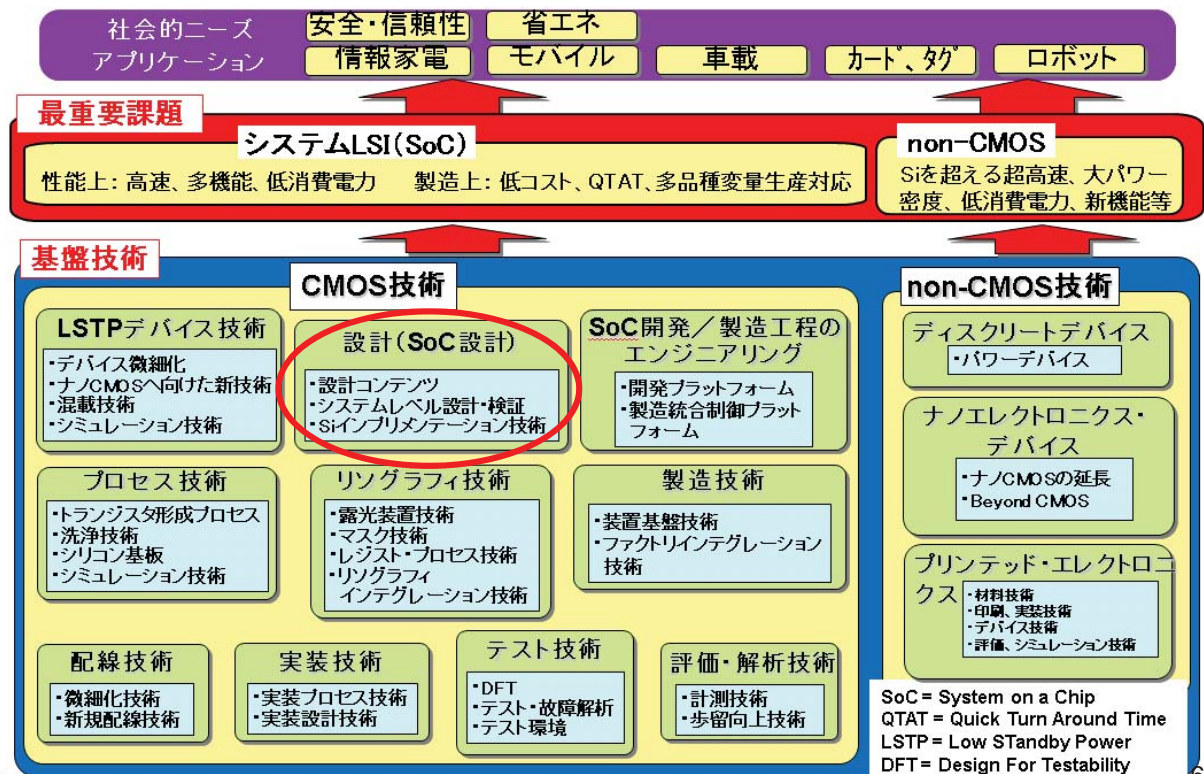
- 誰もが自由な情報の発信・共有を通じて、個々の能力を創造的かつ最大限に発揮することが可能となる高度な情報通信(IT)社会の実現
- 我が国経済の牽引役としての産業発展の促進

### 半導体技術分野におけるhp45nm微細化技術に対応した設計技術



## NEDO 半導体分野の技術マップにおける位置付け

### 技術戦略マップ2010(抜粋)



## NEDOプロジェクトとしての必要性

### ◆ 情報通信技術の開発、省エネルギー技術の開発は、国家的重点課題

[ 本プロジェクトは、システムLSIの製造性考慮設計技術による設計生産性向上、低消費電力化が目的。 ]

### ◆ 我が国半導体メーカーの共通的な課題の解決を図ろうとするもの

[ 我が国企業の共通課題を協同体制で解決を図ろうとするものであり、その成果は、我が国半導体産業の国際競争力強化に貢献するもの ]

### ◆ 成果は、速やかに半導体メーカー等に移管され、実用に供されることを目指すもの

[ 開発技術は、実際のシステムLSI設計に直接的に適用可能であることも目指している。 ]

◆ 効率的な開発のためには、共通な課題を抱える企業が共同し、大規模な産学連携による総合的な取り組みが重要

## 国家プロジェクト(NEDO助成事業)としての実施

「次世代プロセスフレンドリー設計技術開発」プロジェクト  
平成18(2006)年度～平成22(2010)年度

「ITイノベーションプログラム」及び「エネルギーイノベーションプログラム」の一環

7



## プロジェクト実施の効果

次世代プロセスフレンドリー設計技術開発(平成18年度～22年度)  
助成額合計: 約40億円/5年

## 実施効果

最先端半導体設計技術の確立による  
高度情報通信社会の実現への貢献

国際競争力強化

設計技術力強化・コスト改善

本設計手法を早期に実用化することにより、わが国のLSI設計技術の底上げを図り、設計効率向上や歩留まり向上で製品コスト競争力を強化できる。

(設計効率向上による設計コスト削減試算例)  
hp45nm の1製品あたりの設計コスト削減=1億円  
(TAT短縮・エンジニア人件費・EDAソフト、ハード使用費用等)  
クライアントメーカーで100製品/年を開発すると  
100億円以上/年の設計コスト削減

「省エネ」への貢献

次世代省エネデバイス技術の確立により、省エネ効果として約1.8百万kl/年(2020年)の石油削減効果が期待される。

(根拠)  
石油削減量(2020年)=  
SoC使用機器の年間消費電力(34625MKWh)  
X hp45nmへの置換率(30%)  
X 省エネ効果(55%)  
X 原油換算(0.236l/KWh)  
=1,774,186kl/年

8



## 事業目的(プロジェクトの目的)

## 情報通信機器、デジタル家電製品

高機能化、低消費電力化、小型・軽量化などの要求増大。競争激化。短寿命。

## その対応の鍵を握るのは システムLSI

付加価値の高い新製品を低コストかつ短期間で開発・設計し、目標歩留まりをいち早く達成し、初期の段階から低コストで生産する必要がある。

## システムLSI開発における新たな技術課題

製造に起因するばらつきや欠陥に対するマージン低下など  
設計と製造の界面に関わる課題

## プロジェクトの目的

製造段階での問題をモデル化し、設計段階で事前検証する製造性考慮設計技術(DFM: Design for Manufacturing)を重点的に組み込んだシステムLSI設計手法を開発する。

9

## プロジェクト内容・目標

## プロジェクト内容

## [1]製造性考慮設計の基盤技術開発

- ・製造ばらつきを考慮したLSI設計手法の開発
- ・製造歩留りを考慮したLSI設計手法の開発
- ・設計意図を活用するリソグラフィフレンドリな設計手法の開発
- ・製造性考慮設計の効果予測技術の開発

## [2]製造性考慮設計の標準化技術

- ・設計と製造に係わるDFMデータベースの整備と標準インタフェイスの開発
- ・製造工程のモデル化に基づき移植性が確保されたEDAライブラリ標準化開発手法の構築

## [3]新技術事象に対する製造性考慮設計技術開発

- ・統計的な解析・検証・判定手法の開発
- ・低消費電力化設計手法の開発と低消費電力指向新基本回路技術の開発
- ・冗長化技術および製造後調整を考慮した新基本回路技術の開発

## プロジェクト目標

## 【中間目標】

平成20年度末までに、設計と製造が統合された製造性考慮設計技術を重点的に組み込んだhp65nm技術領域のシステムLSIに対応した標準設計手法を開発する。

## 【最終目標】

平成22年度末までに、hp45nm技術領域のシステムLSIで求められる製造歩留まりを確保可能な、製造性考慮設計技術を重点的に組み込んだ標準設計手法を開発する。開発成果を盛り込んだシステムLSI設計手法を用いることにより、hp45nm技術領域で求められる**製造歩留まりを確保可能なシステムLSI**を設計する**生産性を、本技術開発手法を用いない場合と比較して3倍にする。**

10

hp90nmに対し、なにも製造性考慮設計技術開発をしない場合  
 hp65nm において 10%  
 hp45nm において 25%  
 製造歩留まりが低下  
 (International Business Strategic,Inc.データからの推測)

要因 : プロセスの微細化により  
 プロセス、リソグラフィ起因によるレイアウトパターンの再現性低下  
 製造に起因するばらつきや欠陥に対するマージン低下 等



本プロジェクトで製造性考慮設計に係わる歩留まり低下を解決し、  
**【求められる製造歩留まり】(\*)を確保**

(\*)歩留まり改善を積み重ねてきた前プロセス世代の歩留まりに  
 いち早く到達すること。低下要因の排除。

**最終目標 : hp45nmでhp90nmと同等以上の製造歩留まりを確保する。**

トランジスタ数の増加 : 2倍/プロセス世代

集積度の増加 : 2倍/プロセス世代(同一チップ面積)

設計コスト・設計TATの増加 : 2倍/プロセス世代(同一チップ面積)



本プロジェクトにより設計生産性を2倍にし、  
 さらに2011年加速により3倍にし、  
 前世代プロセスより低設計コスト・短設計TATを実現

**最終目標 : hp45nmでhp90nm世代並みの設計コスト/設計TATを実現**

ITRS2004、NEDOロードマップと合致

Table 19 Additional Design Technology Requirements (抜粋)

Year of Production	2004	2005	2006	2007	2008	2009	2012	Driver
DRAM 1/2 Pitch (nm)	90	80	70	65	57	50	36	
SOC new design cycle (months)	12	12	12	12	12	11	11	SoC

### 事業体制(研究開発体制)

#### ▶ 我が国の主要半導体メーカーが設立した株式会社半導体理工学研究センターに助成。

- ・最先端の設計技術開発を推進できる国内の技術者を集結し、各社の共通基盤的な技術を効率的に開発。
- ・あわせて、これらの技術者が、各社における本プロジェクト成果の普及、実用化を進めるうえで中心的な役割を担うことを期待。
- ・「開発」⇒「企業へ技術移転」を6ヶ月ごとに繰り返し、開発しながら半導体産業の国際競争力強化に貢献。

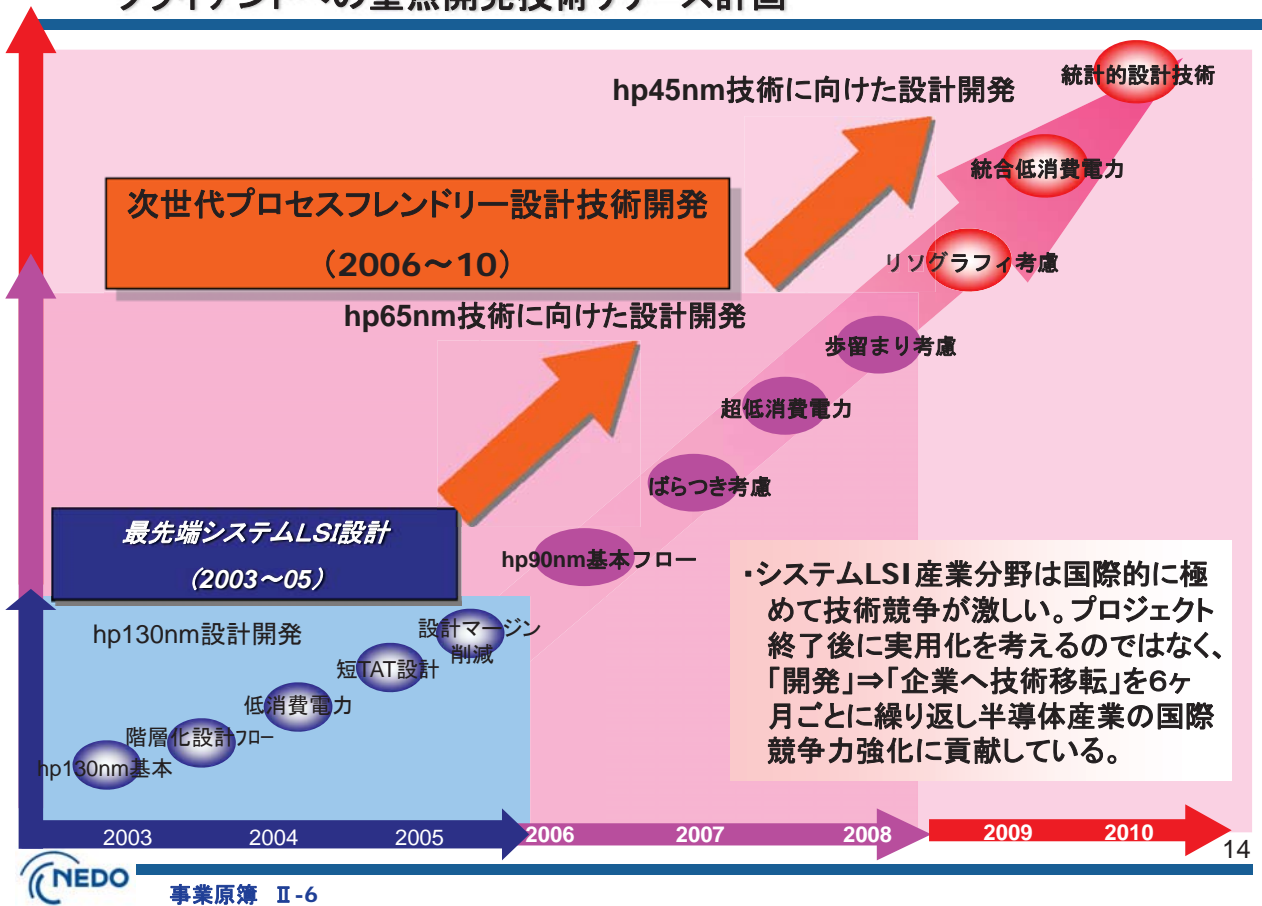
#### ▶ 大学の研究開発力を活用して、ばらつきと設計信頼性の研究開発を推進。

- ・ばらつきと設計信頼性は将来的に重要になる課題であり、この分野で研究アクティビティの高い東京大学に
- ・プロセス・電圧・温度ばらつきに関するタイミング設計技術に実績のある大阪大学に研究委託を行い、研究開発を推進。

#### ▶ NEDOが実施する関連半導体デバイス・プロセス・製造技術開発(MIRAI)やマスク設計・描画・検査技術開発(D2I)との間で密接な連携を図り、効率的な開発を推進。



### クライアントへの重点開発技術リリース計画



本プロジェクトで開発する技術は、国外の競合他社に対して先行性のある技術であるため特許性は高いものになり得る。しかし、その要点はノウハウの集積物でもあるため、知財化による公開は模倣による権利侵害リスクも高い。従って、我が国発信の技術として価値を損なわないように知財化については慎重に進めた。

- ①特願2008-102361  
「セル遅延ライブラリとその作成方法、及び遅延解析方法」
- ②特願2009-158972  
「デカップリング容量決定方法、デカップリング容量決定装置およびプログラム」
- ③特願2010-135902  
「半導体集積回路装置の設計方法」

### 定期的なヒアリング

原則年2回、実施者から定期的なヒアリングを実施。

- 研究開発進捗状況の確認
- 実用化見込みの検討
- ベンチマークの検討
- 加速資金投入の検討

• システムLSI産業分野は国際的に極めて技術競争が激しい。プロジェクト終了後に実用化を考えるのではなく、「開発」⇒「企業へ技術移転」を6ヶ月ごとに繰り返し半導体産業の国際競争力強化に貢献している。

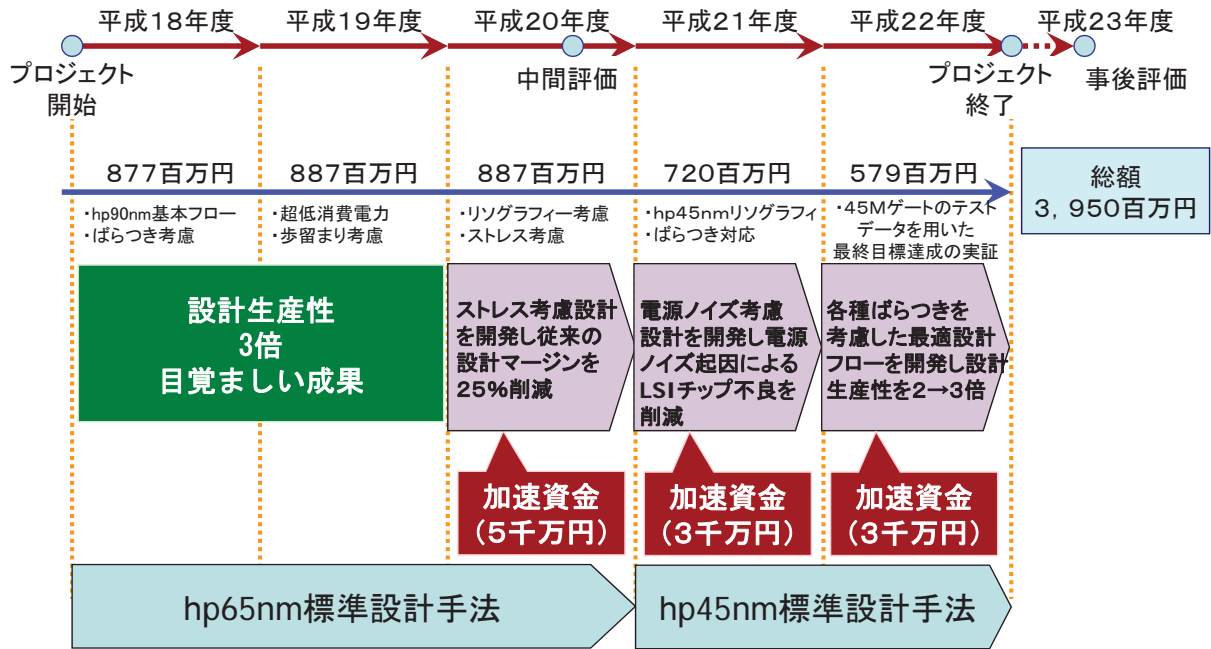
### 機動的な加速資金の投入

状況の変化などに対し、必要な加速資金を適切に投入し研究開発を加速。

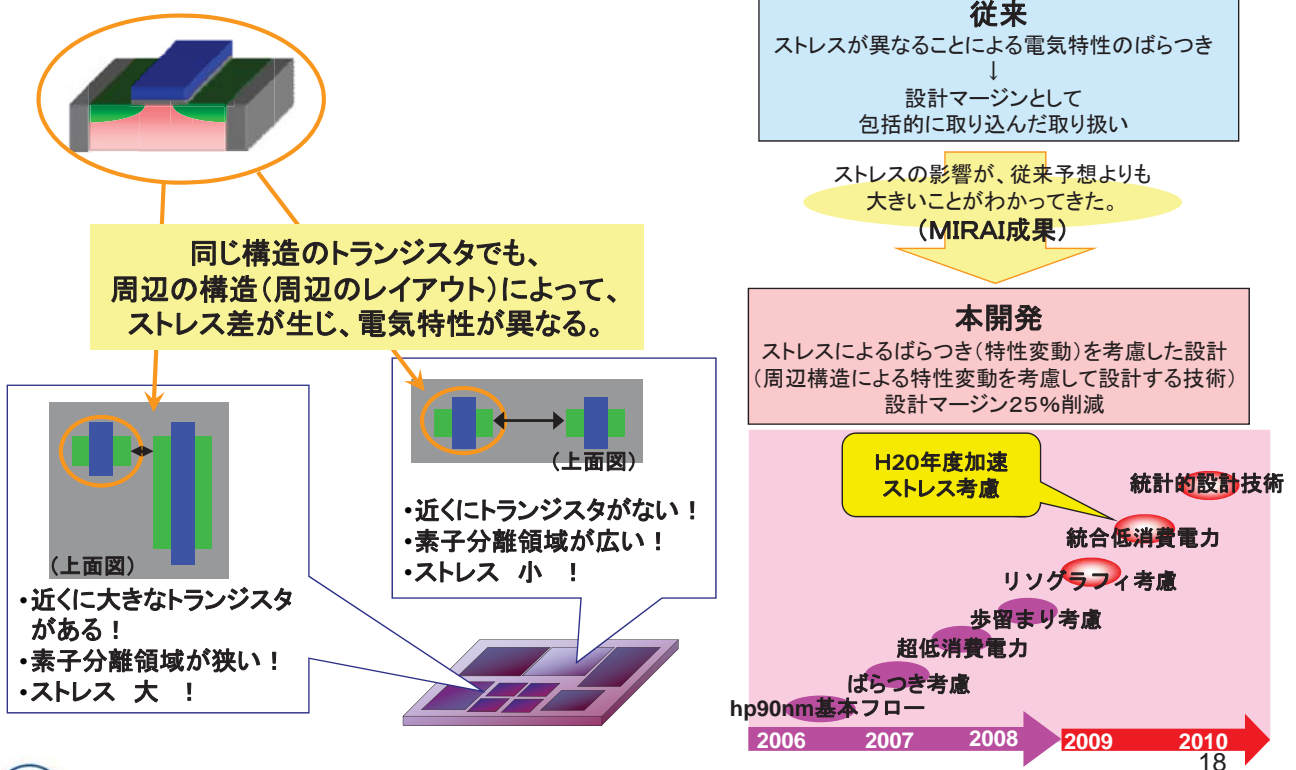
- ◇加速4要件
- (i) 目覚しい成果を上げ、国際競争上の優位性確立が期待できる。
  - (ii) 新たな発見や研究動向への対応、「手遅れ」防止
  - (iii) 基本特許の取得、国際標準の確立が有望
  - (iv) 社会的要請、研究環境の変化への対応



**加速資金による研究開発の推進**



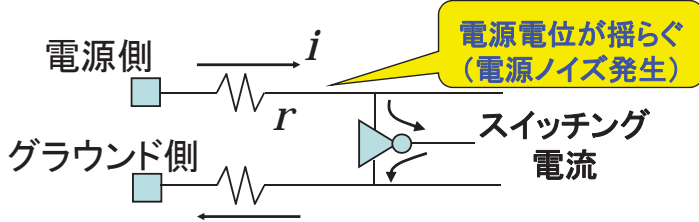
**ストレス(応力)考慮設計技術の開発(ストレスの影響とは)**



情勢変化への対応(4)

電源ノイズ考慮設計技術の開発(電源ノイズの問題とは)

- 回路素子のスイッチングによって電源電位が変化



- 信号パス上に電源ノイズが発生するとLSI内の信号波形が歪み、内部回路が誤動作 ⇒ 動作エラー

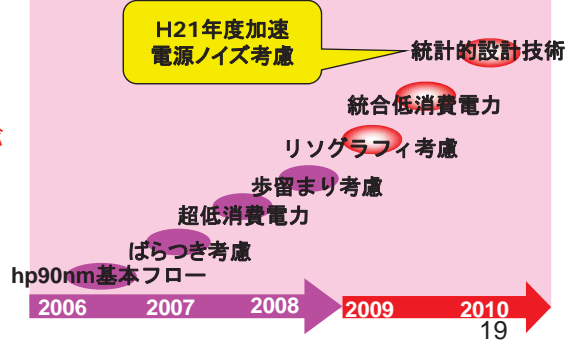
なぜ電源ノイズ考慮設計が必要になってきたのか

- データ転送速度が一気に向上
  - DDR3対応LSIの出荷開始(DDR2の2倍の転送速度)
  - USB3.0対応LSIのサンプル出荷開始(USB2.0の10倍の転送速度)
 ⇒ 動作周波数上昇と並列回路動作により、ピーク電流が増加し、かつその電流変動により、電源ノイズ急増し、動作エラーが多発
- 低消費電力化のための低電圧化
 ⇒ 電源ノイズマージンの減少

**従来**  
電源の電位変化に起因する電源ノイズは、時間的に変動するため、動作異常を検出できるリーズナブルなモデル化が不可能  
↓  
設計マージンとして包括的な取り扱い

電源ノイズを統計量として扱うことによってモデル化( STARCと大阪大学との共同研究成果)

**本開発**  
電源ノイズを考慮した設計  
電源ノイズ起因によるLSIチップ不良撲滅



中間評価結果への対応

「概ね現行通り実施して良い。」との評価。  
下記は、主な指摘事項に対する対応。

指摘事項	対応
1 ・ロードマップ記載等の革新的技術で、実用的に重要なものはないのかを検討し、実施することが望まれる。	・革新技術については、技術の重要性ならびに経済的優位性を考慮して、チェックシートにより重要性を確認し、開発を実施した。 (平成21年度実施計画に反映)
2 ・低電力化設計メソドロジーは実現方法が多岐にわたるので、どのようなときにどのような技術を適用すべきかが開発前にわかるようなガイドラインの策定が望まれる。	・設計ガイドラインを策定した。 (平成21年度実施計画に反映)
3 ・冗長化技術についてはどのように対応するか明確にすべきである。	・冗長化技術の今後については、2009年度に明確化した。 (平成21年度実施計画に反映)

# 「次世代プロセスフレンドリー設計技術開発」

## プロジェクトの概要説明 (公開)

### Ⅲ.研究開発成果

### Ⅳ.実用化、事業化の見通し

平成23年10月27日  
西口信行  
株式会社半導体理工学研究センター

この資料はロジックノードでプロセス世代を表現しています。  
(例: hp45nmはロジックノード32nmです。)

## 目標と期間

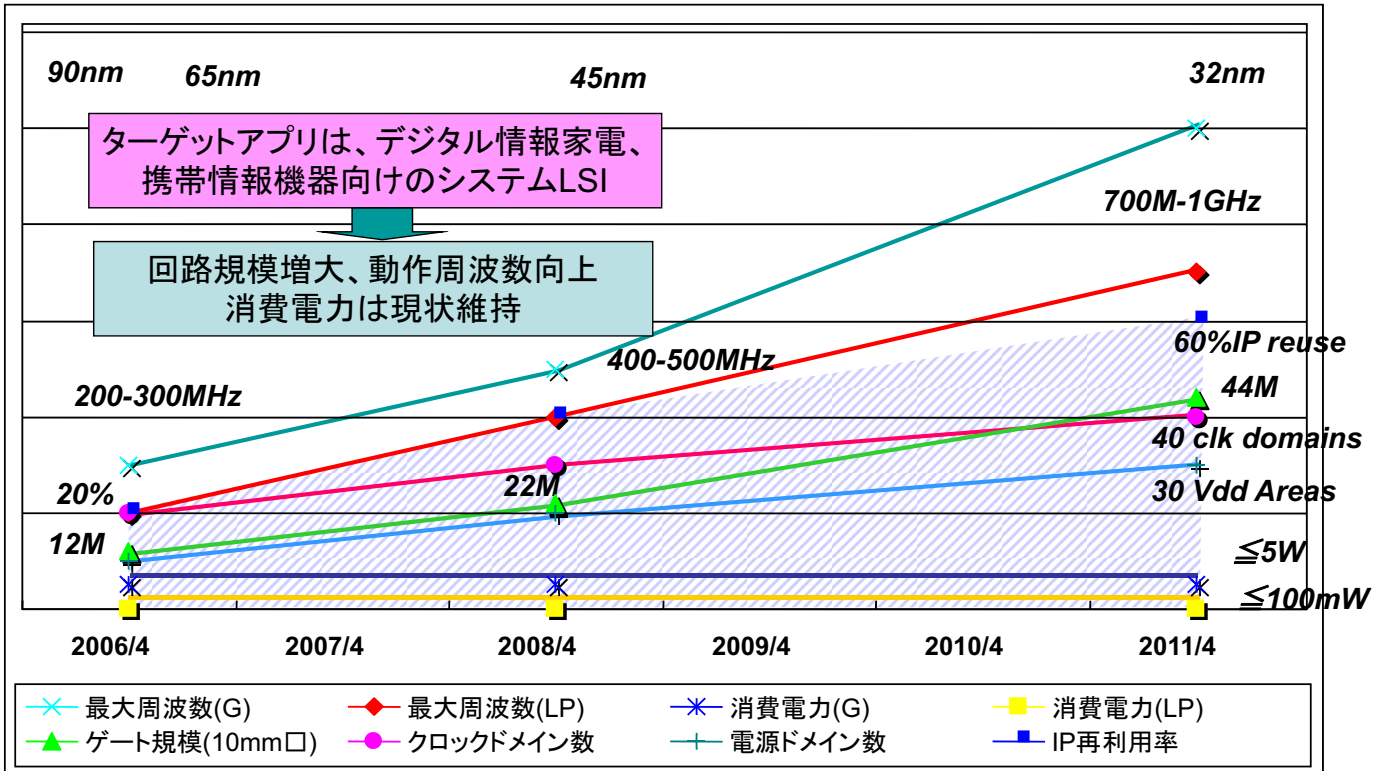
### ▶ 目標

32nm (hp45nm) 技術領域のシステムLSIで求められる製造歩留りを確保可能な製造性考慮設計技術を重点的に組み込んだ標準設計手法を開発する。開発成果を盛り込んだ設計手法を用いることにより、hp45nm技術領域で求められる製造歩留りを確保しつつ、本設計手法を用いない場合と比べ設計生産性を3倍に向上させる。

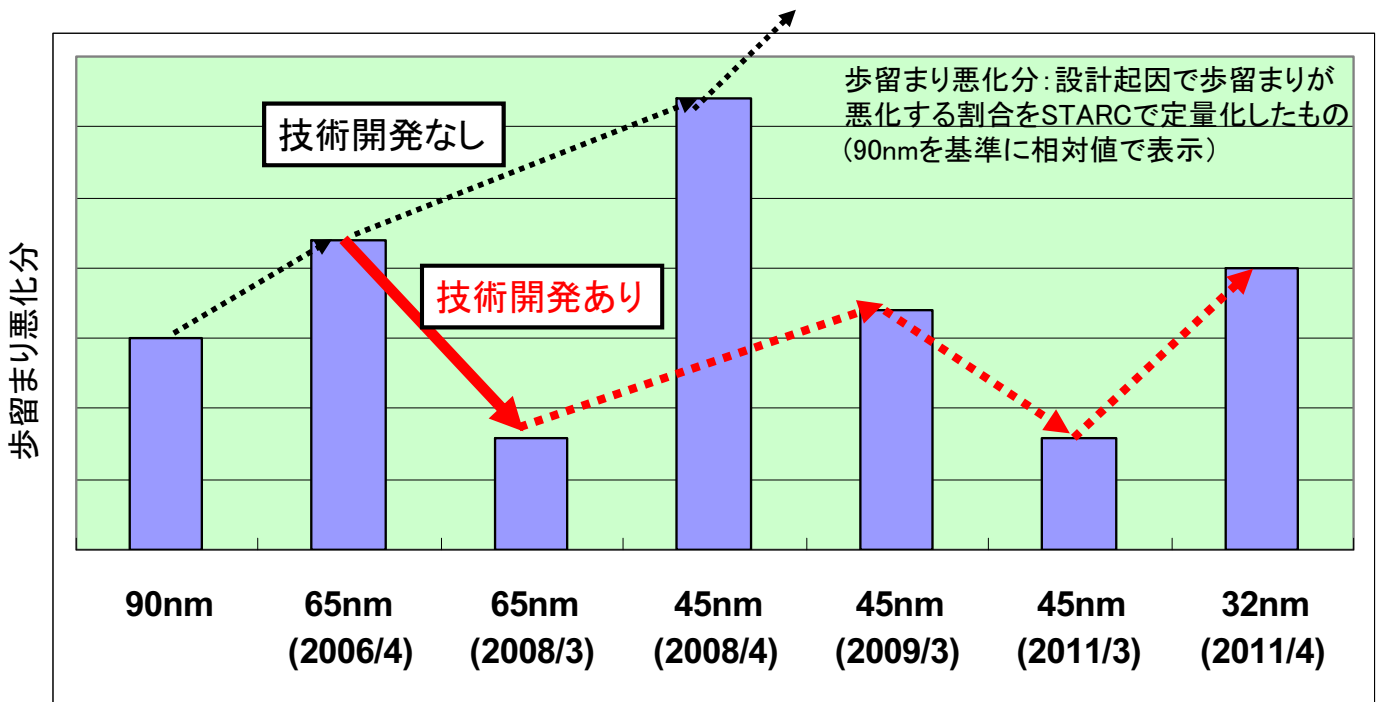
### ▶ 期間

2006年4月 — 2011年3月(5年間)

# 65nm世代以降のシステムLSI



# 製造歩留まり悪化のトレンド

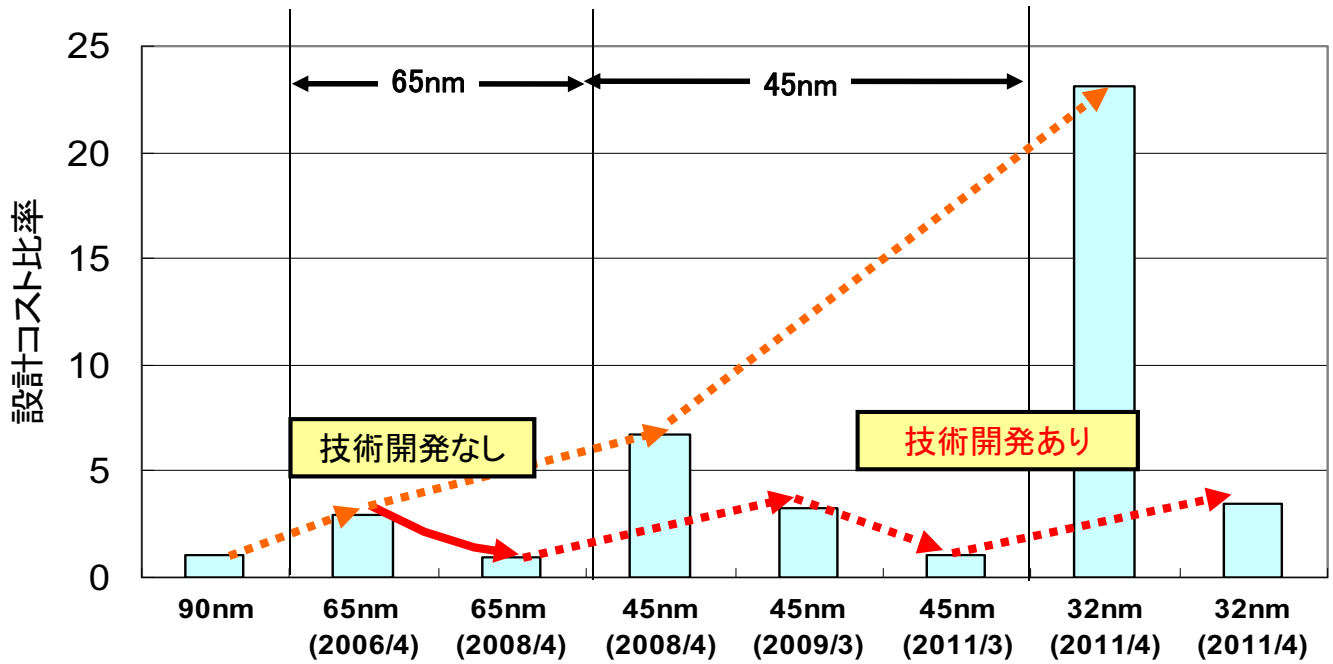


歩留まり悪化要因の改善

IBSのデータよりSTARCで予測

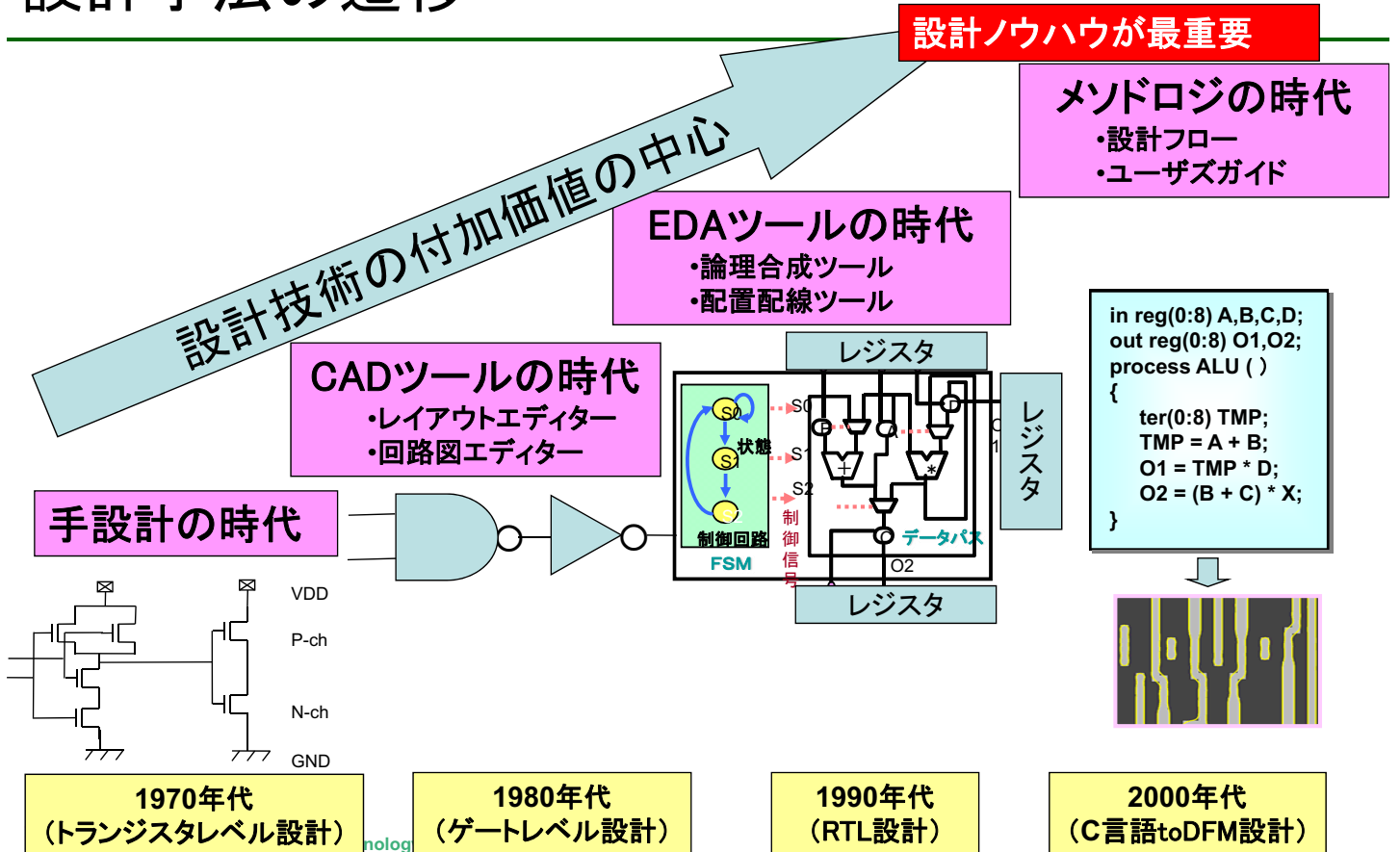
# 設計コスト増大のトレンド

90nmの設計コストを基準(=1)に相対値で表示



IBSのデータよりSTARCで予測

# 設計手法の遷移

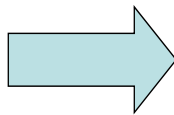


# 設計手法(設計メソドロジー)の確立

良い設計とは

- 製品仕様を満足し、
- 設計コストを抑え、
- 製造コストを下げられる

実現するには



最新システムLSI固有の問題:  
動作しなければその原因の特定が  
ほとんど不可能

**設計全体を最適化し、動作を保証  
する設計手法(設計メソドロジー)が  
必要**

設計メソドロジーに含まれるもの

- 設計工程
- 設計工程の順序
- 各設計工程の入力、出力情報
- 設計データ、設計条件(制約)
- 各設計工程での処理手順
- 各設計工程での性能・機能の達成度合い
- 各設計工程での設計保証の基準とその保証手順
- 最終製造保証の基準とその保証手順
- EDAツールの使用法

## 進め方

### ▶ フェーズ1:

- 技術開発ターゲット: 45nmに対応可能な製造性を考慮したシステムLSI設計メソドロジーの開発
- 開発期間: 2006年4月～2008年3月 2年間

### ▶ フェーズ2:

- 技術開発ターゲット: 32nm製品レベルの製造性考慮、低消費電力に対応したシステムLSI設計メソドロジーの開発
- 開発期間: 2008年4月～2011年3月 3年間

# 各フェーズでの目標

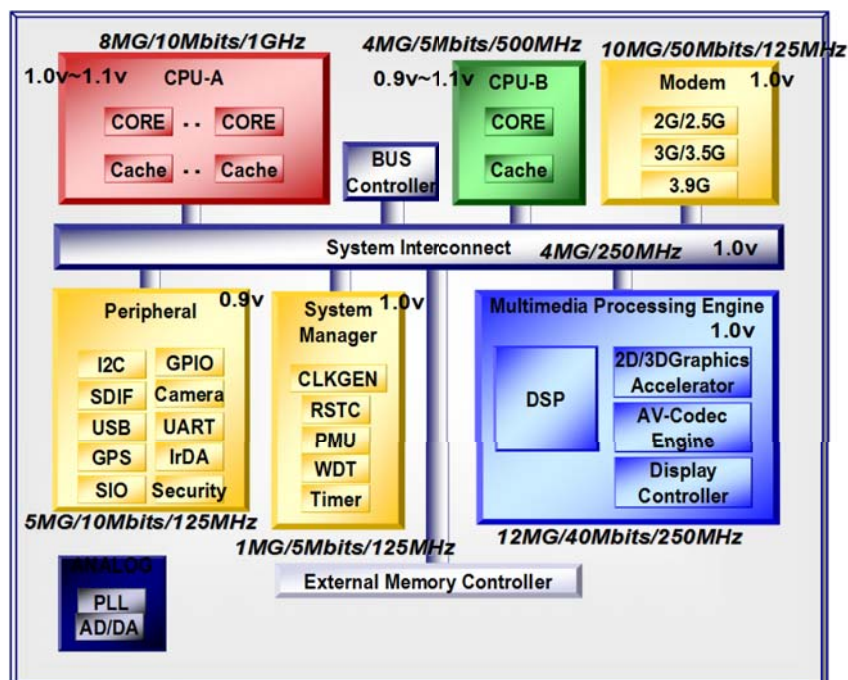
## ▶フェーズ1:

- 45nmに対応可能なように65nm世代のプロセス、ライブラリ情報を使って、製造歩留まりを確保し、設計生産性を3倍向上させる。
- 2008年11月の中間評価で成果発表

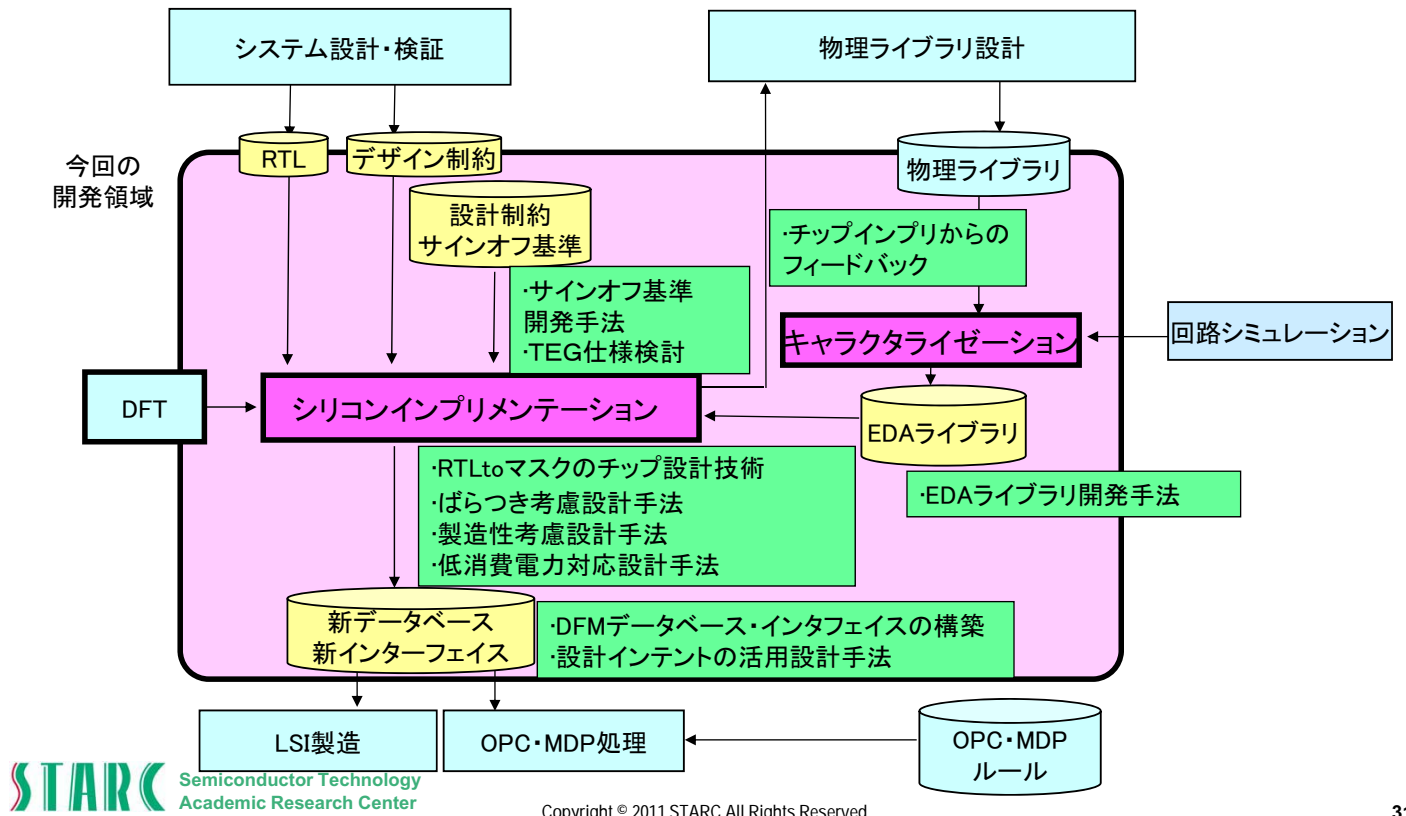
## ▶フェーズ2:

- 32nmに対応可能なように45nm世代のプロセス、ライブラリ情報を使って、製造歩留まりを確保し、設計生産性を3倍向上させる。

# フェーズ2で実現するシステムLSI



デジタル家電向け超高集積システムLSI  
(44Mゲート/1GHz, 1cm<sup>2</sup>@32nmプロセス)



## 研究開発項目と研究開発目標

### 研究開発項目

### 研究開発目標

#### 製造性考慮設計の基盤技術開発

- ▶ 製造ばらつきを考慮したLSI設計手法の開発
- ▶ 製造歩留りを考慮したLSI設計手法の開発
- ▶ 設計意図を活用するリソグラフィフレンドリな設計手法の開発
- ▶ 製造性考慮設計の効果予測技術の開発

#### 製造性考慮設計の標準化技術

- ▶ 設計と製造に係わるDFMデータベースの整備と標準インタフェースの開発
- ▶ 製造工程のモデル化に基づき移植性が確保されたEDAライブラリ標準化開発手法の構築

#### 新技術事象に対する製造性考慮設計技術開発

- ▶ 統計的な解析・検証・判定手法の開発
- ▶ 低消費電力化設計手法の開発と低消費電力指向新基本回路技術の開発
- ▶ 冗長化技術および製造後調整を考慮した新基本回路技術の開発

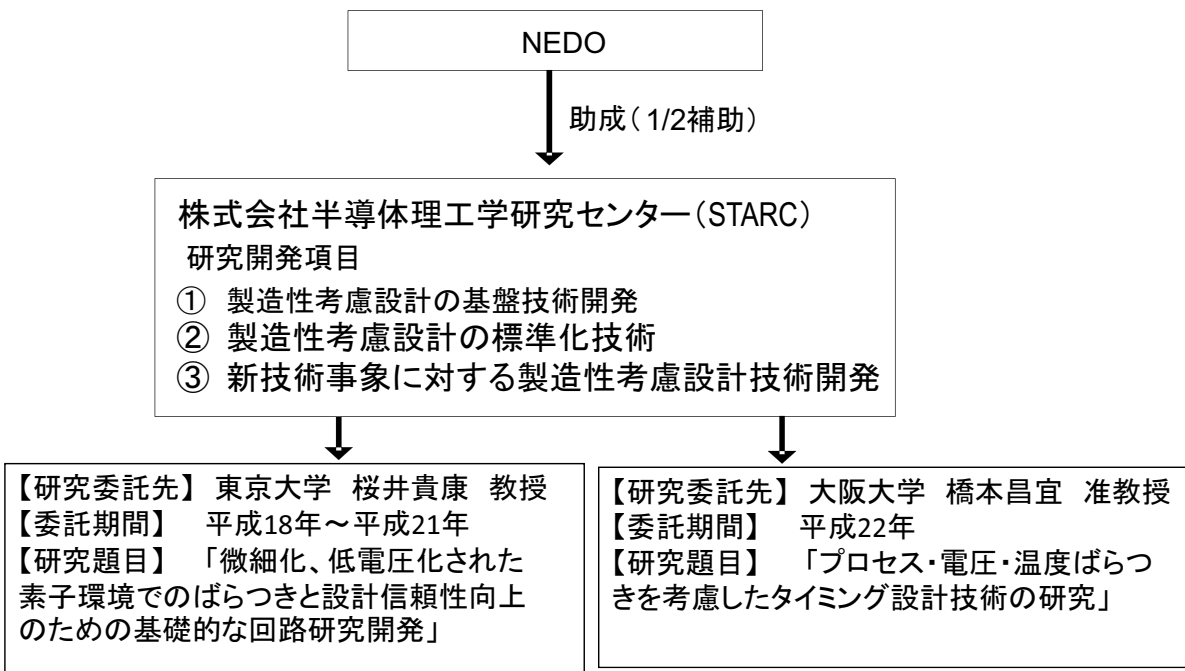
歩留まり確保

設計生産性向上

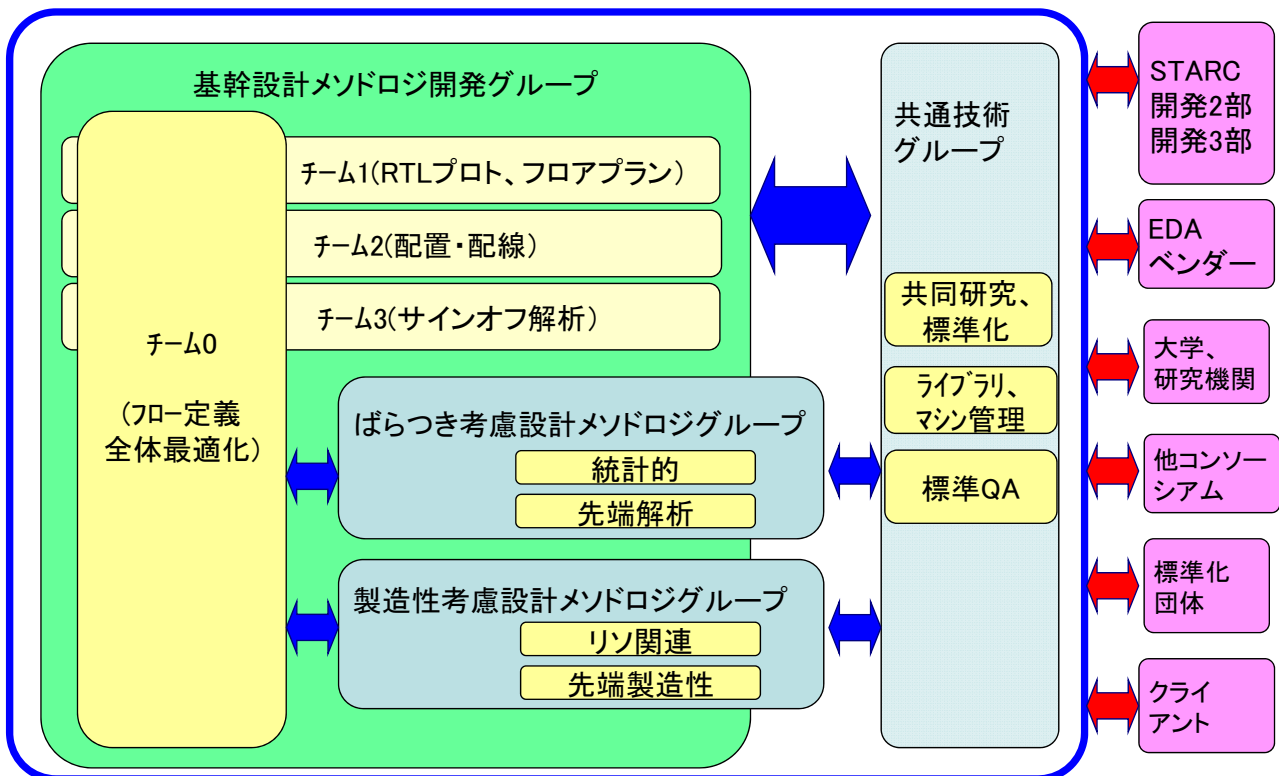
低消費電力化



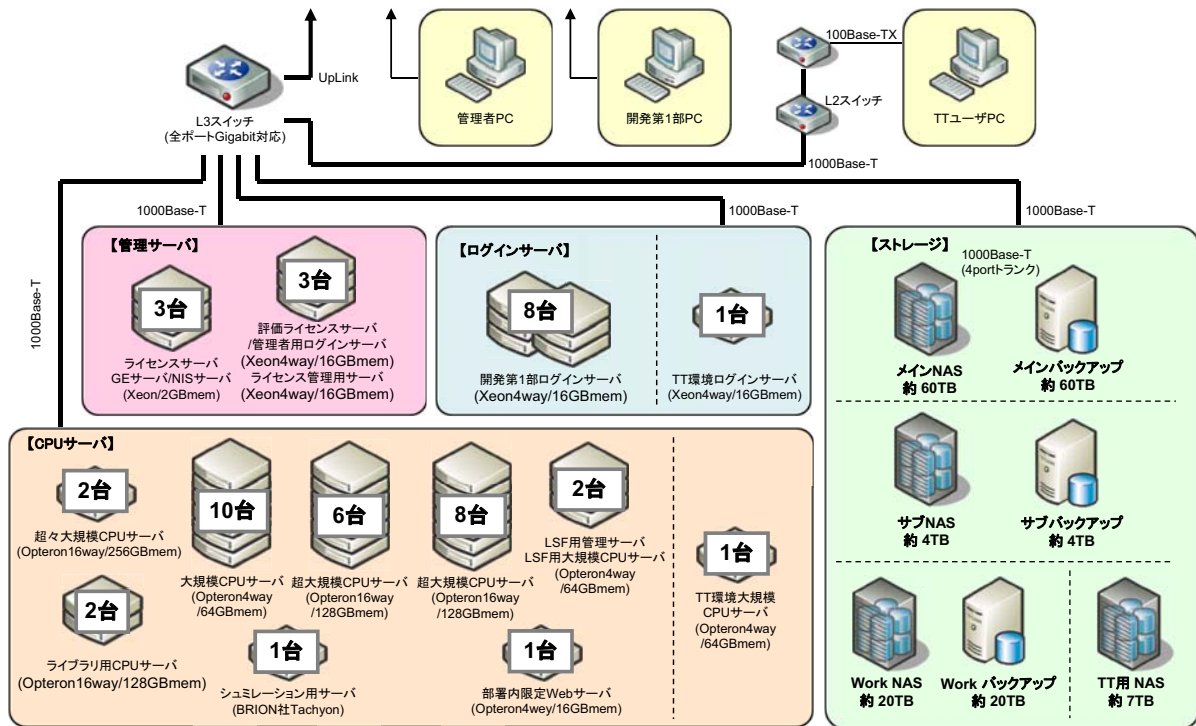
# 実施体制



# 開発体制(STARC内)



# ハードウェアシステム構成図

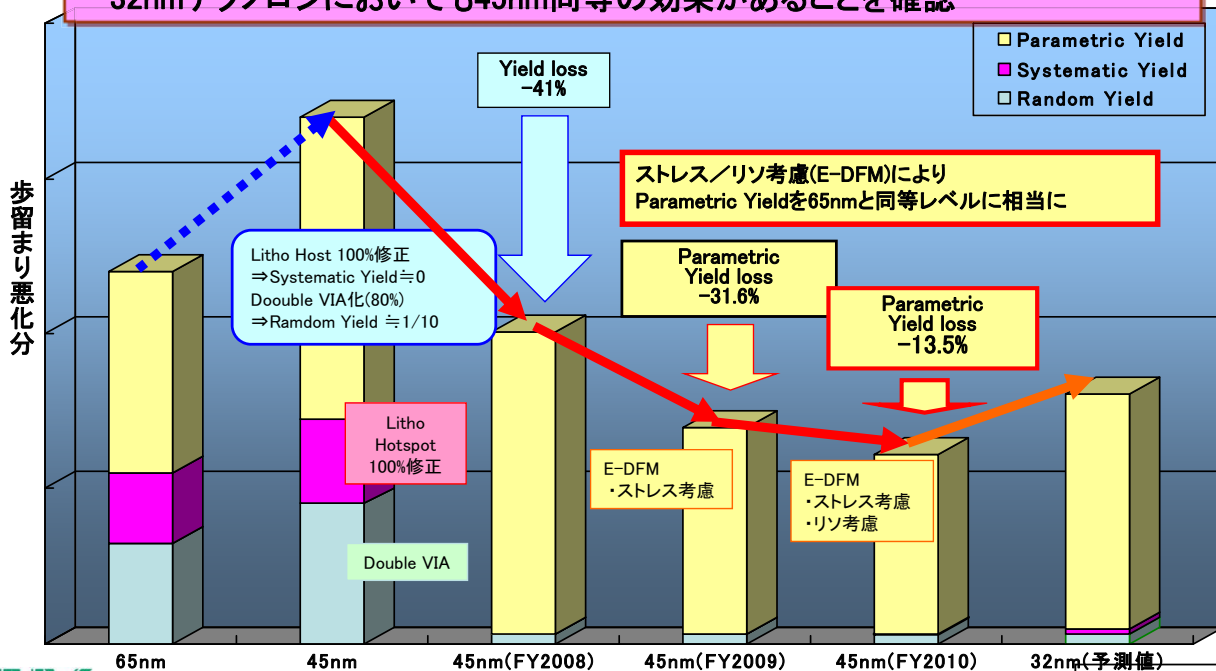


## フェーズ2の成果

# 製造性考慮(歩留まり悪化分の低減)の実績

目標: 32nmで65nmと同等以上の製造歩留まりを実現する

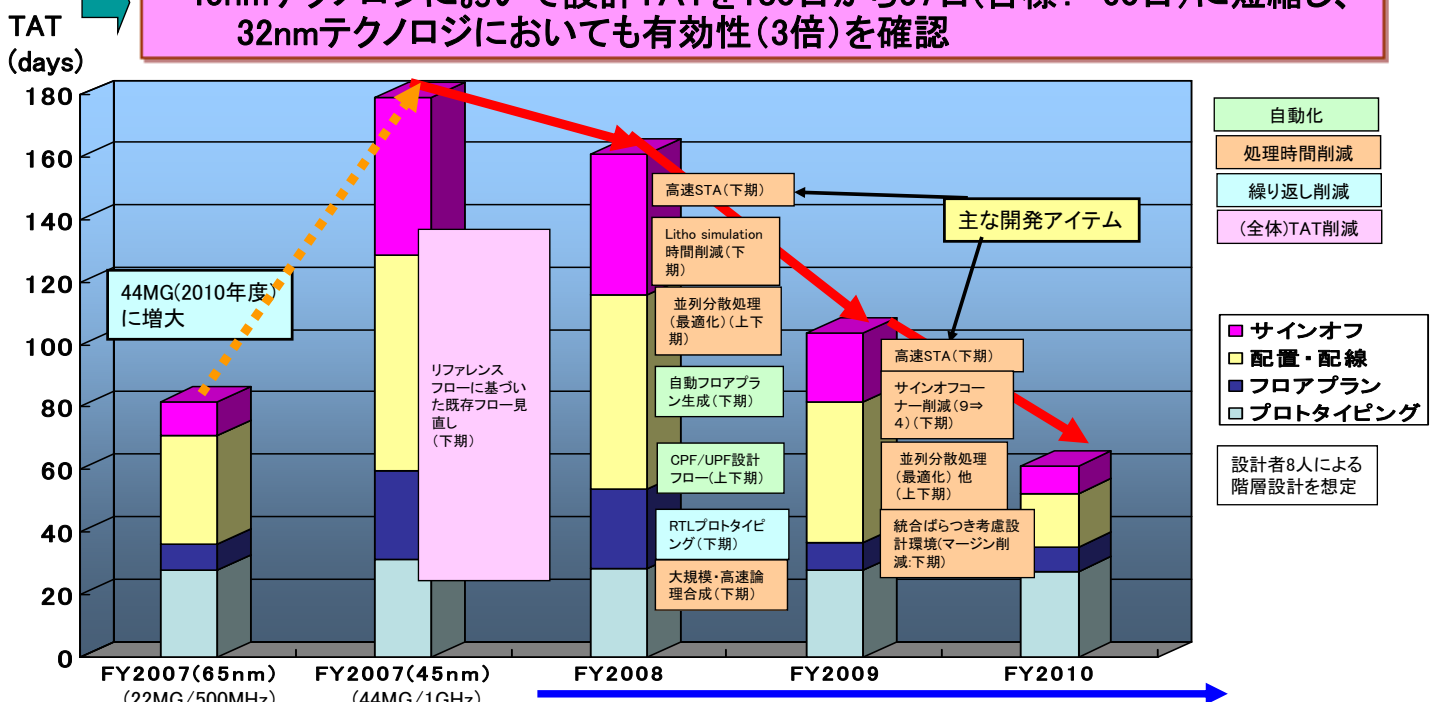
45nmテクノロジーにおいて65nmテクノロジーと同等以上の製造歩留まりを実現  
32nmテクノロジーにおいても45nm同等の効果があることを確認



# 設計生産性向上(設計TAT短縮)の実績

目標: 32nmで、本設計手法を用いない場合と比べ設計生産性を3倍に向上させる

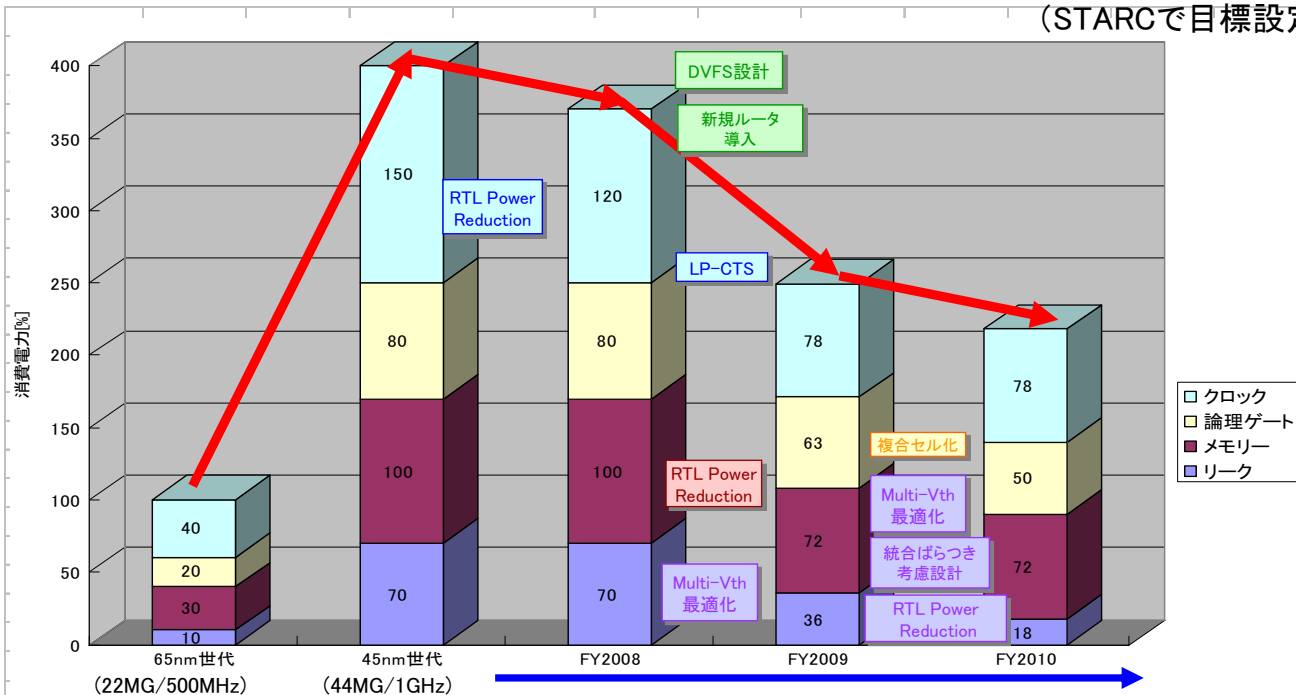
45nmテクノロジーにおいて設計TATを180日から57日(目標: 60日)に短縮し、  
32nmテクノロジーにおいても有効性(3倍)を確認



# 消費電力削減の実績

消費電力半減程度(45.8%削減:2007年度比)し、目標達成

(STARCで目標設定)



# 開発項目の目標と達成状況

研究開発目標	2011年3月までに次の目標を達成する。 * 32nm (hp45nm) 技術領域のシステムLSIで求められる製造歩留りを確保可能な製造性考慮設計技術を重点的に組み込んだ標準設計手法を開発する。開発成果を盛り込んだ設計手法を用いることにより、32nm (hp45nm) 技術領域で求められる製造歩留りを確保しつつ、本設計手法を用いない場合と比べ設計生産性を3倍に向上させる。			
	具体策	目標	成果	判定
全体目標	歩留まり確保可能な製造性考慮技術の開発	32nm世代で歩留まり悪化率を65nmと同等	歩留まり悪化率を20%改善	◎
	設計生産性向上技術の開発	設計生産性3倍 (2007年度比)	3倍	○
	低消費電力化技術の開発	約半減(2007年度比)	45.8%削減	○

判定 ◎:大幅達成、○:達成、△:達成見込み、X:未達

# 成果の意義

- ▶ 今回の成果について本プロジェクトの成果の受け取り先のSTARCクライアント6社の当技術関連のマネージメントレベルの人に対し、次表の内容のアンケートを最終バージョンであるSTARCAD-CEL V5.0の13項目の主な技術開発成果に対し行った。13項目の平均である。

評価項目	技術開発項目設定の妥当性	各社ビジネスへの整合性	成果の出来	成果は世界レベルの技術水準か？
評価	適当: 5.6社	適当: 4.8社	期待通り: 5社	同水準: 5.2社 水準以上: 0.5社

# 知的財産権

- ▶ 知的財産の取り扱いとしてノウハウと特許がある。設計技術の開発、特に設計手法(設計メソドロジー)の開発では、知的財産は、ノウハウとして秘匿した方が有利だという基本方針のもとで知的財産の取り扱いを実施した。これは設計手法の新規知的アイデアの多くは、特許出願をしても方式としての特許(方式特許)になる。また、最終製品などからその方式を特定することはほとんど不可能であり、権利侵害の確認が容易ではない。この状況においては、特許として公開し、知的財産とするよりは、ノウハウとして知的財産を秘匿したほうが良いと判断し、多くの技術はノウハウとして公開はしなかった。
- ▶ ただし、権利侵害の確認が容易な場合は、特許として知的財産の活用を図った。また、学会等で公知となったものも特許としての知財活用を図った。
- ▶ 特許として登録した方が良いと判断したものの3件については出願した。

# 学会及びセミナーでの発表件数

	2006年度	2007年度	2008年度	2009年度	2010年度
査読あり学会発表	0	2	6	4	6
査読なし学会発表	0	7	1	2	0
セミナー他	4	11	6	4	6

## STARCAD-CELのリリース(早期実用化)

