

「次世代半導体材料・プロセス基盤  
(MIRAI)プロジェクト（第Ⅲ期）」  
事後評価報告書（案）概要

目 次

分科会委員名簿 .....	1
プロジェクト概要 .....	2
評価概要（案） .....	1 4
評点結果 .....	2 3

独立行政法人新エネルギー・産業技術総合開発機構 研究評価委員会  
「次世代半導体材料・プロセス基盤(MIRAI)プロジェクト (第Ⅲ期)」  
(事後評価)

分科会委員名簿

(平成23年4月現在)

	氏名	所属、役職
分科会長	しらき やすひろ 白木 靖寛*1	東京都市大学 総合研究所 教授 東京大学 名誉教授
分科会長 代理	すぎやま すずむ 杉山 進	立命館大学 立命館グローバル・イノベーション研究機 構 教授
委員	あだち たかお 安達 隆郎	エルピーダメモリ株式会社 取締役
	おかだ たつお 岡田 龍雄	九州大学 大学院システム情報科学研究院 電気システム工学部門 教授
	おのだ ひろし 鉄田 博	日新イオン機器株式会社 新事業推進室 室長
	ささご まさる 笹子 勝	パナソニック株式会社 セミコンダクター社 生産本部 プロセス開発センター 次世代技術グループ チームリーダー
	さ の のぶゆき 佐野 伸行	筑波大学 大学院数理物質科学研究科 電子・物理工学専攻 教授
	しおの のぼる 塩野 登	財団法人日本電子部品信頼性センター 理事
	すなみ ひでお 角南 英夫*2	広島大学 名誉教授
	ひらい よしひこ 平井 義彦	大阪府立大学 大学院工学研究科 電子・数物系専攻 教授
	わたなべ しゅんたろう 渡部 俊太郎	東京理科大学 総合研究機構 教授

敬称略、五十音順

注\*1：実施者の一部と同一大学であるが、所属部署が異なるため（実施者：東京大学生産技術研究所）「NEDO 技術委員・技術評価委員規程(平成23年7月7日改正)」第34条（評価における利害関係者の排除）により、利害関係はないとする。

注\*2：実施者の一部と同一大学であるが、所属部署が異なるため（実施者：広島大学 HiSIM 研究センター）「NEDO 技術委員・技術評価委員規程(平成23年7月7日改正)」第34条（評価における利害関係者の排除）により、利害関係はないとする。

## プロジェクト概要

		作成日	平成 23 年 4 月 14 日
施策(プログラム)名	ITイノベーションプログラム、エネルギーイノベーションプログラム		
事業(プロジェクト)名	次世代半導体材料・プロセス基盤(MIRAI)プロジェクト	プロジェクト番号	P01014
事業担当推進 部室・担当者	電子・材料・ナノテクノロジー部 小野英輝、河本滋		
0.事業の概要	<p>平成 18 年度から開始された第三期は、平成 19 年度の中間評価および国内外の情勢を鑑み、研究開発項目と目標の見直しを行い「Ⅰ. 次世代半導体材料・プロセス基盤技術開発」において、hp45nm を超える技術領域の課題を解決する革新技術としての①新構造極限 CMOS トランジスタ技術、②新探究配線技術、③特性ばらつきに対し耐性の高いデバイス・プロセス技術を、産業界における実用化に向けた展開につなげることを目指して研究開発を実施する。</p> <p>また、「Ⅱ. 次世代半導体露光プロセス基盤技術開発」において、④EUV マスク基盤技術および新たに追加した⑤EUV 光源高信頼化技術を開発し、EUV マスク基盤技術については平成 20 年度に hp45nm、平成 22 年度に hp32nm に対応する技術を確立し、平成 20 年度より開始する EUV 光源高信頼化技術については平成 22 年度に hp32nm に対応する技術を確立する。</p>		
Ⅰ. 事業の位置付け・必要性について	<p>情報技術がめざましく発展している今日の社会では、情報・知識を、時間や場所の制約を受けず誰もが自由自在かつ安全に活用できる情報通信環境の実現が望まれている。また、平成 19 年 6 月に改定された経済成長戦略大綱において、我が国の国際競争力強化のために注力すべき分野として、情報家電、ロボットなどが挙げられている。このような応用システムの基幹となる半導体 LSI には、一層の高機能化、低消費電力化が求められている。本プロジェクトは、我が国の半導体関連産業(デバイス、装置及び材料)の国際競争力強化のため、高機能 LSI の実現に不可欠な半導体構造の微細化に対応できる半導体デバイス・プロセス基盤技術を平成 22 年度までに確立することを目的として高度情報通信機器・デバイス基盤プログラムの一環として実施する。</p> <p>本プロジェクトでは、平成 13 年度から平成 17 年度までに、hp65nm～hp45nm のデバイスに必要な高誘電率ゲート絶縁膜材料・計測・解析技術、及び低誘電率層間絶縁膜材料・計測・解析技術を中心として、将来のデバイス・プロセス技術に必要となるトランジスタ形成に必要な技術、ウェハ・マスク関連計測技術、及びデバイス回路構成技術等の開発を行ってきた。その成果の内、実用化開発に移行できるものは、平成 17 年度末に関連コンソーシアムを含めた産業界に移転され、実用化に向けた開発が展開される。</p> <p>平成 18 年度からは、半導体の微細化に関しては、hp45nm を超えるデバイス実現に必要な革新的基盤技術を、産業界において自ら実用化に向けた展開を図る際の判断ができる水準まで技術開発を行い、技術選択肢として提示することを目的とする。具体的には新構造極限 CMOS トランジスタ関連技術、新探究配線技術、特性ばらつきに対し耐性の高いデバイス・プロセス技術、及び EUV マスク基盤技術の開発を行う。</p> <p>平成 20 年度からは、新構造極限 CMOS トランジスタ技術、新探究配線技術、特性ばらつきに対し耐性の高いデバイス・プロセス技術において、hp45nm を超える技術領域の課題を</p>		

	<p>解決する革新技术を産業界における実用化に向けた展開につなげることを目指して研究開発を実施する。また、EUV マスク基盤技術については平成 20 年度に hp45nm、平成 22 年度に hp32nm に対応する技術を確立し、平成 20 年度より開始する EUV 光源高信頼化技術については平成 22 年度に半導体デバイスの量産に適用できる EUV 光源の高信頼化技術を確立する。</p> <p>本技術の確立により、情報通信機器、情報家電、ロボットなどの高機能化、低消費電力化の要求を満たすシステムLSI実現など、将来幅広い産業分野で利用される共通基盤技術の形成が見込まれる。これにより、電子情報通信分野での新規産業創出に資するのみならず、広範な分野で利用される共通基盤技術の形成に資する。</p>
<p>II. 研究開発マネジメントについて 【事業の目標】</p>	<p>第三期の研究開発は、NEDO が研究開発内容を大幅に見直し、公募を行い、民間企業、独立行政法人、大学等から委託先を選定した。実施体制は、第二期と同様、フォーカス 21 委託事業の「応募資格」を踏まえたものとした。また、本プロジェクトは、第二次半導体新世紀委員会の「つくば半導体 R&amp;D センター構想」と密接な連携をし、産業界の実用化に向けた取り組みと一体的にマネジメントできるように、NEDO がプロジェクトリーダー(PL:株式会社半導体先端テクノロジーズ社長 渡辺久恒)を指名した。実施組織として、技術研究組合超先端電子技術開発機構と独立行政法人産業技術総合研究所から成る共同研究体、及び(株)半導体先端テクノロジーズを委託先として研究開発を実施した。各開発技術に対する具体的な目標は以下の通りであり、①-③の技術開発では、平成 20 年度以降の研究開発計画は平成 19 年度末の中間評価を受けて設定することとした。平成 18~19 年度の研究開発項目は次の通りである。</p> <p>① 新構造極限 CMOSトランジスタ関連技術開発 ② 新探究配線技術開発 ③ 特性ばらつきに対し耐性の高いデバイス・プロセス技術開発 ④ 次世代マスク基盤技術開発</p> <p>平成 20 年度の基本計画の見直しにより、以下の研究開発項目と目標を定め、公募により実施者を決定した。実施組織として、下記技術開発項目①を(独)産業技術総合研究所と(株)東芝が、②③④を(株)半導体先端テクノロジーズが、また⑤を技術研究組合極端紫外線露光システム技術開発機構(EUVA)が実施する。</p> <p>I. 次世代半導体材料・プロセス基盤技術開発</p> <p>hp45nm を超える技術領域の課題を解決する革新技术としての新構造極限 CMOSトランジスタ技術、新探究配線技術、特性ばらつきに対し耐性の高いデバイス・プロセス技術を、産業界における実用化に向けた展開につなげることを目指して開発する。</p> <p>① 新構造極限 CMOSトランジスタ関連技術開発</p> <p>hp32nm を越える技術世代に対応するバリスティックCMOS技術の開発を行う。チャンネル領域で準バリスティックなキャリア輸送が起こるシリコンMOSトランジスタの微細化において、デバイスの性能を最大限に発揮させるための原理とその実現に必要な材料・構造を明らかにし、低消費電力・高信頼性を実現するための技術を確立する。</p> <p>② 新探究配線技術開発</p> <p>銅とLow-k材料を用いた多層配線構造においてhp32nm以細の微細化に伴って抵抗が上昇し、信頼性が低下する等の課題を解決するため、カーボン材料を用いた低い抵抗値と高い許容電流密度を持つ配線構造技術を確立する。また、高速・低消費電力でデータ信</p>



【開発予算】	(単位:百万円)		H13	H14	H15	H16	H17	
	一般会計	(実績)	1,838	4,931	4,317	2,842	2,636	
	特会(石油)	(実績)	1,604	2,092	0	1,472	1,699	
	総予算額	(実績)	3,442	7,023	4,317	4,314	4,335	
	(単位:百万円)		H18	H19	H20	H21	H22	総額
	一般会計	(実績)	2,987	2,147	2,369	962	665	25,694
	特会(石油)	(実績)	3,344	2,888	2,384	3,378	1,960	20,821
	総予算額	(実績)	6,331	5,035	4,753	4,340	2,625	46,515
【開発体制】	経済省担当原課		商務情報政策局 情報通信機器課					
	運営機関		新エネルギー・産業技術総合開発機構					
	プロジェクトリーダー		株式会社 半導体先端テクノロジーズ社長 渡辺久恒					
	委託先		独立行政法人 産業技術総合研究所(AIST) 株式会社 東芝 株式会社 半導体先端テクノロジーズ(Selete) 技術研究組合 極端紫外線露光システム技術開発機構(EUVA)					
	共同実施・再委託先		シャープ(株)、神戸大学、早稲田大学、産業技術総合研究所、日本電信電話(株)、東京大学、広島市立大学、広島大学、東北大学、兵庫県立大学、九州工業大学、イリノイ大					
【情勢変化への対応】	<p>平成 17 年、経済産業省と NEDO 技術開発機構が『hp45nm 技術の研究開発については、原則的に MIRAI プロジェクト第二期で開発を終了し、産業界に技術移転する。MIRAI プロジェクト第三期ではその先の hp32-hp22nm 技術領域の基盤技術を確立する。』という方針をまとめた。これを受け、平成 17 年度までに開発した技術に関しては Selete 及びプロジェクト参加企業他に移転し、或いは、実用化のため、NEDO 継続研究開発をスタートさせ、第二期は平成 18 年 3 月で終了した。NEDO 技術開発機構は MIRAI 第三期(平成 18-22 年度)に対して、基本計画を策定し、新規に公募を実施した。公募の結果、第三期の研究開発は、① 新構造極限 CMOS トランジスタ関連技術開発、に関しては産総研・ASET からなる共同研究体に委託し、② 新探究配線技術開発、③ 特性ばらつきに対し耐性の高いデバイス・プロセス技術開発、及び④次世代マスク基盤技術開発に関しては株式会社半導体先端テクノロジーズに委託することを NEDO 技術開発機構が決定した。</p> <p>平成 19 年度の中間評価および国内外の情勢を鑑み、研究開発項目の見直しを行い「Ⅰ. 次世代半導体材料・プロセス基盤技術開発」において、hp45nm を超える技術領域の課題を解決する革新技術としての①新構造極限 CMOS トランジスタ技術、②新探究配線技術、③特性ばらつきに対し耐性の高いデバイス・プロセス技術を、産業界における実用化に向けた展開につなげることを目指して研究開発項目と具体的な目標を見直した。また、「Ⅱ. 次世代半導体露光プロセス基盤技術開発」において、新たに「⑤EUV 光源高信頼化技術」を研究開発項目に追加した。これらの基本計画の見直しに合わせて公募を行い実施者を決定した。公募の結果、①は産総研、東芝に委託し、②③は Selete に委託し、⑤は EUVA に委託することを決定した。</p>							
Ⅲ. 研究開発成果について	<p>① 新構造極限 CMOS トランジスタ関連技術開発 ・高移動度 SiGe、Ge チャネル CMOS のソース・ドレインの最適な材料として、NiSiGe 及び NiGe を新たに提案した。NiSiGe 及び NiGe ショットキー界面に適切な不純物材料を見出し、</p>							

て	<p>これを制御して、実効キャリア速度の向上に不可欠な低抵抗オーミック形成に成功するとともに、<math>L_g=26\text{nm}</math> でのデバイス動作で、提案ソース・ドレイン材料の有効性を実証した。</p> <ul style="list-style-type: none"> <li>•Ge チャンネルへ効果的な歪み技術を提案し、正孔移動度の向上を実証するとともに、Ge 上の SrGe 界面処理による正孔移動度特性の向上を実現した。Si チャンネルについても、表面・界面ラフネス改善とエピタキシャル high-k による移動度向上、ソース・ドレインとの界面付近の不純物分布を制御して <math>0.1\text{eV}</math> 以下のショットキーバリアを達成するなど、ショバリスティック効率の改善に関わる設計指針の提案と実証を行った。</li> <li>•SiGe 及び Si チャンネルについて、<math>hp32\text{nm}</math> 相当の微細ゲート長トランジスタの試作をした。<math>1.15</math> 倍以上の電流駆動力の向上と <math>20\%</math> 以下の消費電力の削減効果が実証された。</li> <li>•微細デバイスの電気特性評価法を開発し、バリスティック輸送効率など求めるとともに、走査トンネル顕微鏡 (STM) によるポテンシャルプロファイル計測技術、ラマンを用いた局所応力分析を開発し、バリスティック効率の向上メカニズムを解明できる評価・解析法を確立した。また、量子補正モンテカルロ・デバイスシミュレータを用いた、準バリスティック輸送のモデル化技術を確立した。</li> </ul> <p>② 新探究配線技術開発</p> <p>(1) 極限低抵抗・高電流密度配線技術の開発</p> <ul style="list-style-type: none"> <li>•4 段階プラズマ処理という新プロセスを導入し、プラズマ CVD で CNT 密度 <math>2 \times 10^{12}/\text{cm}^2</math> の高密度を達成 (目標値は <math>3 \times 10^{12}/\text{cm}^2</math>)。CNT 層数は約 5 層より、<math>1 \times 10^{13}</math> シェル/<math>\text{cm}^2</math> を達成 (世界トップ)。ビア構造では、ビア底の下地金属膜と表面処理の最適化や新しい二元系微粒子触媒の適用により、熱 CVD の高品質かつ高密度 (<math>1 \times 10^{12}/\text{cm}^2</math>) CNT の成長に成功。</li> <li>•プラズマ CVD 成長速度 (密度 <math>1 \times 10^{12}/\text{cm}^2</math>) で毎分 <math>70\text{nm}</math> を達成 (目標である成長プロセス 5 分以内を達成)。密度 <math>2 \times 10^{12}/\text{cm}^2</math> では毎分 <math>30\text{nm}</math> の高速成長達成。</li> <li>•従来の Si LSI プロセスと整合する CNT ビアのためのシングルタマシプロセスを開発。さらに <math>300\text{mm}</math> ウェハで実績のあるプラズマ CVD を適用し、直径 <math>70\text{nm}</math> の微細 CNT ビアレーの作製に成功。CNT ビアの電気特性は、直径 <math>70\text{nm}</math> ビアで抵抗 <math>51\ \Omega</math>、直径 <math>160\text{nm}</math> ビアで抵抗 <math>10\ \Omega</math> を得た (この値はプロジェクト開始時の <math>1/56</math> であり、直径 <math>50\text{nm}</math>、高さ <math>200\text{nm}</math> のビア換算で約 <math>76\ \Omega</math> となり、目標値 <math>14\ \Omega</math> と同桁を達成)。電流密度耐性では、熱 CVD 成長ビアで EM 破破メカニズム解析や CMP 平坦化、コンタクト技術改善により、<math>4 \times 10^7 \text{A}/\text{cm}^2</math> で <math>1000</math> 時間以上の耐性を確認 (目標値 <math>1 \times 10^7 \text{A}/\text{cm}^2</math> 以上を達成)。</li> <li>•縦方向での CNT 高密度成長を確認したことで、横配線での高密度化が達成できる目処を得た。</li> </ul> <p>(2) 新コンセプトグローバル配線技術の開発</p> <ul style="list-style-type: none"> <li>•リング型 PLZT 変調器により、消費電力設計値 <math>0.35\ \text{pJ}</math>、<math>3.5\text{mW}</math> の変調器の <math>10\ \text{GHz}</math> 動作を確認。</li> <li>•5 波の合分波を行う <math>0.5\text{mm}^2</math> の SiN 光導波路製の合分波器を試作し、光回路内における過剰損失 <math>4\text{dB}</math>、チャンネル間クロストーク <math>-15\text{dB}</math> 以下を確認。</li> <li>•グレーティングと反射膜を組み合わせた垂直光入射結合器を開発。</li> <li>•SiN 合分波器と Si ナノフォトダイオードを組合せた波長多重回路を LSI にフリップチップ接続し、同一光配線を用いて <math>5\text{GHz}</math> と <math>3\text{GHz}</math> の 2 周波数クロック動作を確認</li> <li>•設計上トータルで <math>2\text{pJ}</math> 以下となる変調、受光器を開発。</li> </ul> <p>③ 特性ばらつきに対し耐性の高いデバイス・プロセス技術開発</p> <p>(1) 構造依存の特性ばらつきの物理的理解とモデリング技術の開発</p> <ul style="list-style-type: none"> <li>•新規 TEG、および特性高速計測技術開発により、経時変化ばらつきを含むデバイス特性を安定的に計測可能な評価技術を確立した。その結果、<math>\pm 3\sigma</math> 範囲の経時変化、ならびに <math>\pm 6\sigma</math> の特性ばらつきを計測し、中心特性の変化と共に、特性ばらつきが拡大する事を初めて示した。</li> <li>•HK/MG デバイスの試作・評価を行い、従来デバイスに比べ実効ゲート絶縁膜厚低減による <math>V_{th}</math> ばらつき低減を検証し、HK/MG 構造がデバイス特性ばらつき改善に有効であるというデバイス開発指針を得た。</li> <li>•実デバイスの複数物理パラメータ抽出手法 (たとえば、ゲート絶縁膜厚、ゲート形状、シリサイド構造等) を確立し、3D-STEM でオン電流の異なるデバイスでは、ソース・ドレインのシリサイド膜形状に相違があることを示した。</li> </ul>
---	--

・アトムプローブを用い、電気特性が異なる実デバイスのチャンネル不純物数が  $V_{th}$  と正の相関を初めて実測した。  
 特性ばらつき改善の指針として、シリサイド形成均一化、チャンネル不純物乱れの低減などを示した。

・離散不純物モデル、LER モデル、不純物拡散モンテカルロモデル等を組み込んだ 3 次元デバイス・プロセスシミュレーション技術を開発した。

・NMOS の  $V_{th}$  ばらつきを再現し、原因がチャンネル不純物であるホウ素の増速拡散であることを明らかにした。

・NMOS チャンネルホウ素の増速拡散を抑制する炭素共注入技術を開発し、不純物の離散性以外の原因を約 25%低減した。

・非物理的なフィッティングパラメータを含まないコンパクトトランジスタモデル HiSIM-RP を開発し、TCAD に対して  $V_{th}$  が  $\pm 20\text{mV}$ 、 $I_{on}$  が  $\pm 5\%$  の精度で予測可能なことを実証した。

・LSI の任意のレイアウトパターンに対応可能なコンパクトストレスモデルを開発し、 $I_{on}$  の変動予測を  $\pm 5\%$ 、 $V_{th}$  の変動予測を  $\pm 20\text{mV}$  で行うことが可能であることを実証した。

・試作デバイスの電気特性をフィードバックした 3 次元デバイス・プロセスシミュレーターを用いて、プレーナ型を含む種々のデバイス構造の計算を実施し、チャンネルドーパントを低減した構造で、 $V_{th}$ 、 $I_{on}$  ばらつきが低減可能であることを示した。

・デバイス基本特性を維持し、しきい値、オン電流等のデバイス特性ばらつきを抑制できる構造として、FD-SOI やマルチゲート構造を提案し、ばらつき抑制効果を示した。

(2) 外部擾乱依存の特性ばらつきの物理的理解とモデリング技術の開発

・経時変化を含むデバイス特性ばらつきを、回復効果を最小限に抑えられる 1 ミリ秒以下の測定が可能でかつ、安定的に計測するシステムの開発を完了した。

・電気特性を測定した実デバイス構造を解析可能な、3 次元アトムプローブ技術(50nm  $\phi$  の MOS チャンネルの加工等、サンプル作成手法を含む)の開発を完了し、実施項目 2) でばらつき改善の指針を得た。

・中性子照射実験によって SET パルス幅の発生率分布を測定するテストチップを開発し、幅 100ps 以下の SET パルスが大部分を占めることを世界で初めて実験的に確認した。この結果に基づいてプロセス微細化に対する電荷収集予測モデルを構築し、hp22nm までのシリコンバルクプレーナ CMOS における SET 起因のソフトウェアレートを予測計算を行なった。さらに SET パルスフィルタリングによってエラーレートを 1~10FIT に抑えることが出来ることを示した。

・対地容量の異なる電源ドメインは、放電速度が異なるためにドメイン境界のトランジスタのゲート酸化膜に電位差が発生し、これがチップ全体の CDM 型 ESD 耐圧を決定していることを明らかにした。CDM 型 ESD 耐圧向上のための設計指針として、i)電源ドメイン間の対地容量を揃えること、ii)対地容量が小さい電源ドメインに寄生容量を追加すること、iii)ドメイン間の GND 配線抵抗を小さくすること、を提案し、これらの指針を実際に適用したテストチップを試作し、CDM 型 ESD 耐圧 1000V が達成可能であることを実証した。

・チップレベルの基板ノイズ伝播解析とトランジスタレベルの基板ノイズ感度モデルとを組み合わせた回路シミュレーション手法を開発し、その効果を実証した。

④ 次世代マスク基盤技術開発

(1) 高精度・低欠陥 EUVL マスクおよびブランクス技術の開発

(1)-1 EUV 光を用いたマスクおよびブランクス検査・解析技術の開発

マスクブランクス全面検査装置システムを開発し、Hp16nm 世代対応ブランクス欠陥感度(高さ 1.2nm、幅 40nm)を有することを実証した。位相欠陥検出信号を解析し、EUV 光検査はブランクス内部構造の異常も検出可能なことを示し、欠陥上の多層膜堆積が二つの堆積モードからなることを明らかにした。位相欠陥転写性を解析し、バンプ型およびピット型のプログラム位相欠陥の転写インパクトについて欠陥位置依存性及び検査焦点位置依存性を明らかにした。EUV 顕微鏡で 100nm 未満の解像度を実現した。更に回折像捕集型顕微鏡ではマスク欠陥とブランクス位相欠陥が検出できることを明らかにした。

(1)-2 EUVL マスクおよびブランクスの高品位化技術の開発

小領域 EUV 露光装置 SFET の高度化として、フライアイミラーの反射率改善やチャンバー真空度改善により対策前の 5 倍の照度を実現し、SFET の限界解像度として X-dipole 照明

で 16nm を得、年間稼働時間 140→207 日以上、年間ウエハ処理枚数 1100→2500 を実現した。マスク遮光帯性能を確認し、多層膜加工型は積層型に比べ EUV 光には約 6 倍、OoB 光には約 4 倍の遮光性能が得られる事を確認した。マスク遮光帯付与によるマスク位置精度への影響が無いこと、遮光帯付き薄膜吸収体マスクでは隣接ショットからの被り露光の影響が良く防止されている事を確認した。欠陥転写性評価技術として、マスク寸法の加重平均化によるマスクパターン LWR 定義法を提案し、マスク製造プロセスならびにマスク出来栄への評価法を確立し、複数露光ショット積算によるウエハ転写寸法平均化手法を開発した。

#### (1)-3 EUVL マスクコンタミネーション制御技術の開発

マスクコンタミ膜の構造・物性の解明し、カーボンコンタミに真空中残留ガスに起因する数%の Si が存在することを明らかにした。独自に開発したマコンタミ堆積シミュレータ結果からスクコンタミ成長モデルを解明し、マスクコンタミによるパターン寸法変化や位置シフトの相関関係を求め、管理基準を策定した。マスクコンタミクリーニング技術として、ウェット系、UV オゾン系、プラズマ系、新オゾン系、水素ラジカルについて評価した。洗浄能力や低ダメージといった点でそれぞれ一長一短があり、洗浄能力では新オゾン系、低ダメージではウェット系が優れていた。水素ラジカルについては反応機構を解明した。レジストアウトガス低減については、圧力上昇法と GC-MS 法により評価した。露光装置 SFET における光学系とマスクのコンタミ抑制並びにレジスト材料選択に貢献した。

#### (2)パターン欠陥検査技術および欠陥修正技術の開発

##### (2)-1 EUVL マスクパターン欠陥検査技術の開発

P 偏光照明系を実装した EUVL マスク対応欠陥検査装置 NPI-6000EUV  $\alpha$  機の欠陥検出感度評価を実施し、Hp27nm 世代対応マスク(=マスク上 Hp108nmLS)の吸収体反射率 4%とすることで凸欠陥ならびに凹欠陥の目標感度(=10%CD 変動を与える欠陥サイズ)を各々達成した。また、偏光照明解像度特性向上光学素子の導入、P 偏光照明系導入に伴う焦点検出オフセット対策(焦点検出補正光学系)、P 偏光および S 偏光の同時検査光学系の導入等によって Hp22nm 世代対応マスク(=Hp88nmLS)での凸欠陥および凹欠陥の目標感度を各々達成した。ランダムに発生するマスク自然欠陥を SEM 観察する手法としてマーカ法を確立し、マスク自然欠陥転写性シミュレーション結果を実験的に検証し、シミュレーションの妥当性を確認した。Die-Database 検査技術を開発し、画像出力の非線形補正による検出感度向上により微細パターン検査感度を改善した。

##### (2)-2 EUVL マスクパターン欠陥修正技術の開発

ビーム径拡大を抑制したまま低加速・低ダメージ化を実現する新規鏡筒を開発した。Ga イオンビームならびに電子ビームによる白欠陥埋め込み材料として、マスク洗浄耐性ならびに EUV 光遮光特性からイオンビーム W 堆積膜が最適であることを確認した。Ga イオンビームによる多層膜除去型の白欠陥修正技術を提案し、SFET で転写性評価を経て同技術の有効性を検証した。静電アクチュエータ型ナノピンセットに異物把持検知するデュアルグリップセンシング機能及び基板接触検知するデュアルタッチセンシング機能を加えた。極微細化ならびに低ダメージ化の達成見込みのあるガス系イオンを新イオン源とした新規 FIB マスク修正技術を基礎検討し、水素イオンビームにて照射量を抑えれば従来通りのマスク黒欠陥修正技術と成り得るとのフィジビリティを実証した。

#### (3)ペリクルレスマスクハンドリング技術の開発

##### (3)-1 EUVL マスクの異物フリー搬送・保管技術の開発

SEMI-E152 規格準拠した EUV マスクポッドについて出荷・保管・落下・装置搬送試験(大気中、真空中)を実施し、防塵・発塵評価を行い、パイロットラインでの使用に対して十分な性能であることを確認し、マスク帯電、異物のマスク面転移の影響、真空排気過程での温度変化やアウトガスの影響を評価し、これらを反映させた改良版ポッドを開発した。信頼性ある異物検査結果を得るための検査手法を検討し、所望条件下での検査回数を与える関係式を構築した。マスク裏面と静電チャック間に挟まれる異物の許容サイズについて検討し、静電チャック表面形状がマスクパターン面の平坦度や変形矯正応力に及ぼす影響を求める手法を確立した。SiC セラミック静電チャック、低熱膨張率セラミックチャックおよび石英ガラスチャックをそれぞれ試作しマスク吸着実験からマスク裏面付着異物数の吸着回数依存性を求めた。

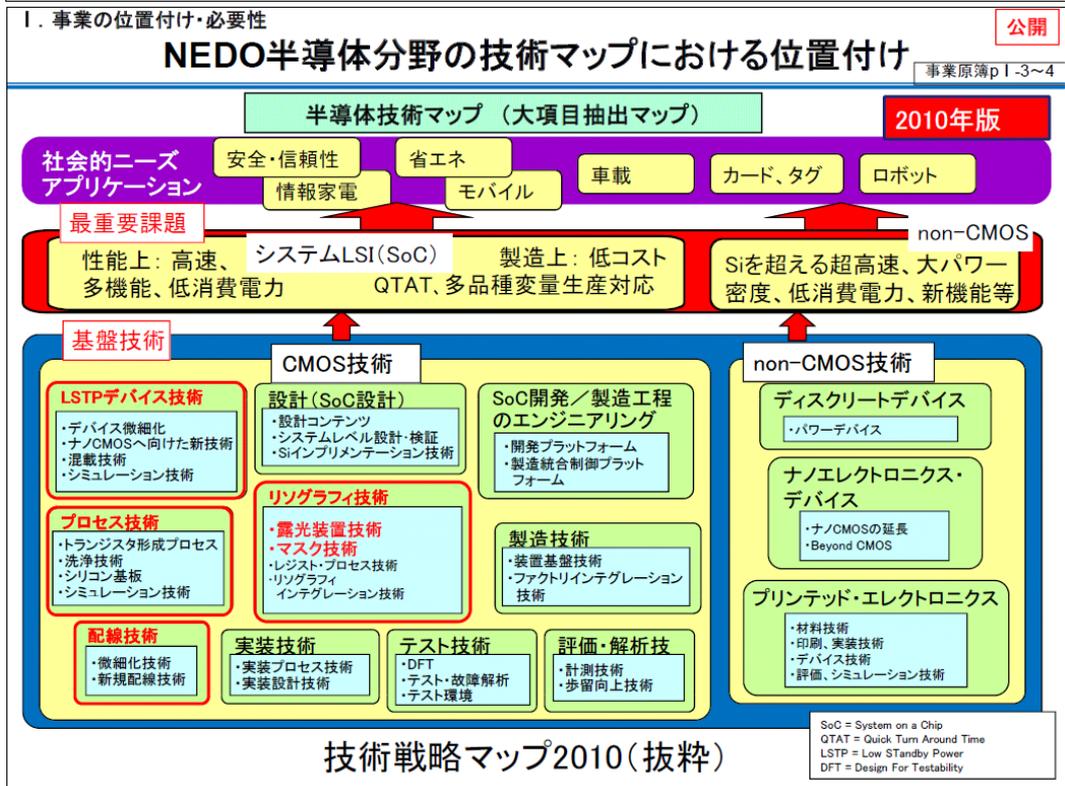
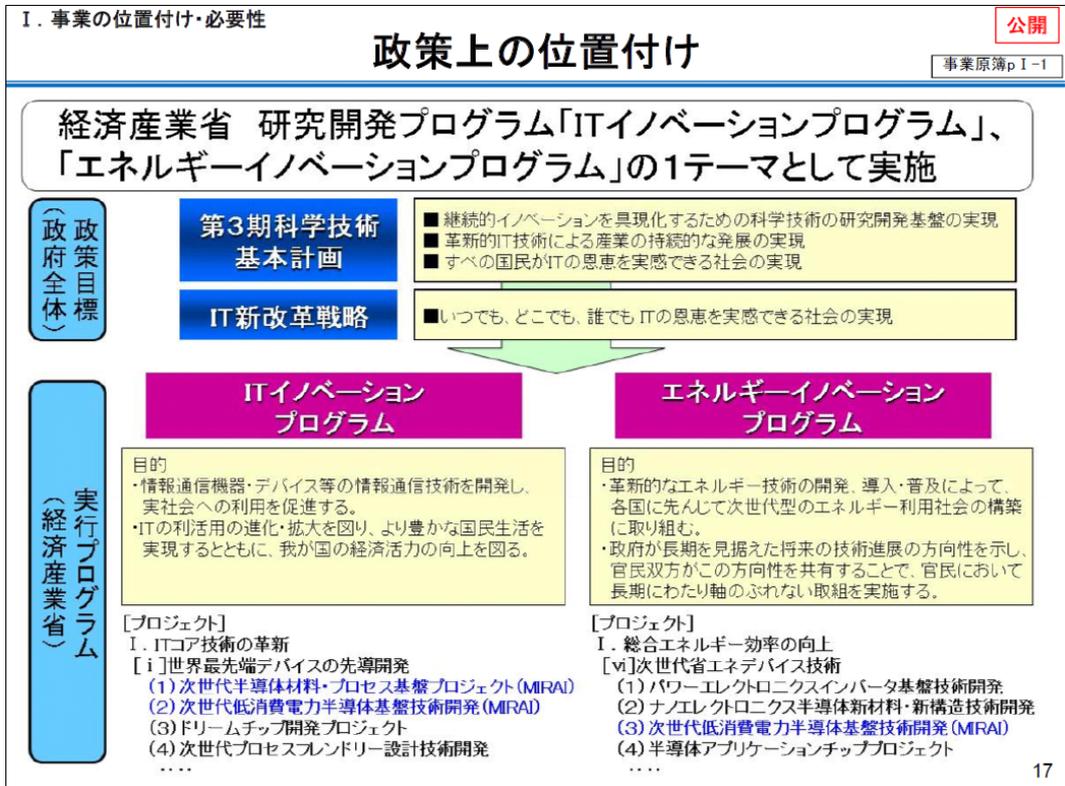
##### (3)-2 ウエハファブ内 EUVL マスク異物検査技術およびクリーニング技術の開発

	<p>ペリクルレスマスクのファブ内運用として検査ならびにクリーニング方式について、露光装置内装置も視野に入れたドライ式物理クリーニングを中心に検討した。ファブ内での検査やクリーニングの運用を実際のチップ生産(歩留り、生産量)見合いでケーススタディし最適化運用が可能なることを明らかにした。露光機チャック吸着によるマスク裏面異物付着に対し、スポンジブラシによる水洗浄のブラシ回転数やマスク回転数、ブラシ加圧力などを最適化することによりチャック材質に拠らず良好なクリーニングが可能なることを検証した。</p> <p>⑤ EUV 光源高信頼化技術開発</p> <p>(1) 光源起因マスク、ミラーの汚染評価技術の開発 LPP:LIF を用いた Sn 計測技術を開発した。IF 点での反射率低下が 10%以下となる Sn 汚染量に相当する Sn 原子密度 <math>2 \times 10^6</math> 個/cm<sup>3</sup> の測定感度を達成した。 DPP:IF 点で反射率と XPS を測定できる汚染評価装置を開発した。反射率測定精度は±0.2%(短時間観測で目標とする 3,000 時間の寿命測定誤差が±6 時間)まで向上した。</p> <p>(2) 集光光学系などの清浄化技術の開発 LPP:Sn イオン除去に磁場が有効であることを実証した。中性 Sn 原子起因の堆積防止については(a)小径 Sn ドロプレット・ターゲットとプレパルス照射の組み合わせによる中性 Sn 原子の発生低減、(b)Sn 堆積膜のガスクリーニング手法で対処した。20 μm φ の Sn ドロプレットで必要なクリーニング速度&gt;0.1nm/min に目処を付けた。コレクタ大面積クリーニング機構を作製した。 DPP: α 光源で実績のある DMT を大幅に改善した。更に中性デブリは、回転電極の Sn 塗布厚の薄膜化(従来の 1/5 の 20μm)で 1/3 に低減(現在は 10 μm まで改善)し、高速イオンデブリはアドバンスレーザートリガー適用で 1/5 に低減した。コレクタへの Sn の堆積は動作ショット数によらず~0.1nm、Ru 反射面は 2nm/G ショットのスパッタで反射率低下は無かった。これより Ru 膜厚 1 μm 以上で 1 年以上のコレクタ寿命を達成する見込みを得た。</p> <p>(3) 高出力対応熱管理技術の開発 LPP: 計測データをベースにコレクタの熱応力変形と IF 位置での EUV 集光像への影響をシミュレーションにより評価した。冷却機構を具備した反射率 50%以上、直径 400mm の大口径直入射コレクタを製作した。 DPP: HVM 対応の DeCo を一体化した温度-構造-光学連携シミュレーションを開発し、発光点(プラズマ)からの放射成分(輻射、非輻射成分)の計測、および HVM レベル大型コレクタの温度上昇の実測により、180W 対応の DeCo の熱管理技術に目処を付けた。</p> <p>(4) IF 変動防止技術の開発 DPP:ファジー推論と学習効果機能を有するアルゴリズムを開発した。IF 変動ライブラリの併用により 0.5 秒の高速自動アライメント技術を確立した。</p>		
IV. 実用化、事業化の見通し	MIRAI 第二期までの成果は、覚書を結び、Selete 及び参加企業に技術移転を実施した。また、実用化を目指す NEDO 継続研究を実施している。第三期においては、先端的技術に開発の重点が移ったため、共同研究等を通じ、参加企業の研究開発組織へ技術移転する。		
V. 評価に関する事項 【評価実施時期】 【評価項目・評価基準】	評価履歴	実施時期	平成 15 年度中間評価実施
		評価項目・評価基準	標準的評価項目・評価基準
		実施時期	平成 17 年度中間評価 (平成 18 年度実施)
		評価項目・評価基準	標準的評価項目・評価基準
		実施時期	平成 19 年度中間評価(①-③)
		評価項目・評価基準	標準的評価項目・評価基準
		実施時期	平成 20 年度中間評価(④)
		評価項目・評価基準	標準的評価項目・評価基準
	評価予定	実施時期	平成 23 年度事後評価(①-⑤)
		評価項目・評価基準	標準的評価項目・評価基準

VI. 基本計画 に関する事項	作成時期	平成 13 年 3 月
	変更履歴	<p>平成 14 年 3 月 (根拠法を「その他の重要事項」へ明記)</p> <p>平成 15 年 2 月 (「経済活性化のための研究開発プロジェクト(フォーカス 21)」として位置付けられた)</p> <p>平成 15 年 12 月 (第 2 期の研究開発計画内容見直しによる改訂)</p> <p>平成 17 年 12 月 (第 3 期の研究開発計画策定による改訂)</p> <p>平成 19 年 3 月 (研究開発計画内容見直しによる改訂)</p> <p>平成 20 年 3 月 (研究開発内容と目的の見直しによる改訂)</p> <p>平成 20 年 6 月 (標準化に関する見直しによる改訂)</p> <p>平成 20 年 7 月 (イノベーションプログラム基本計画制定により「(1) 研究開発の目的」の記載を改訂)</p> <p>平成 22 年 3 月 (基本計画を見直し、「(3) 研究開発内容」、「(別紙) 研究開発計画、研究開発項目①「新構造極限 CMOS トランジスタ関連技術開発」、研究開発項目②「新探究配線技術開発」、研究開発項目③「特性ばらつきに対し耐性の高いデバイス・プロセス技術開発」」の記載を改訂。)</p>

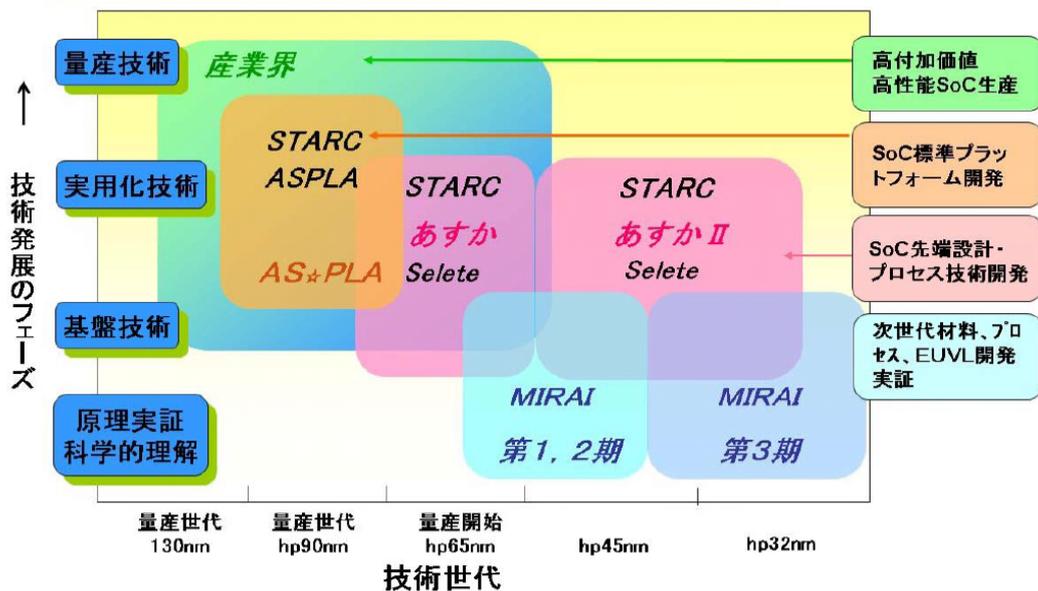
技術分野全体での位置づけ

(分科会資料6-1より抜粋)



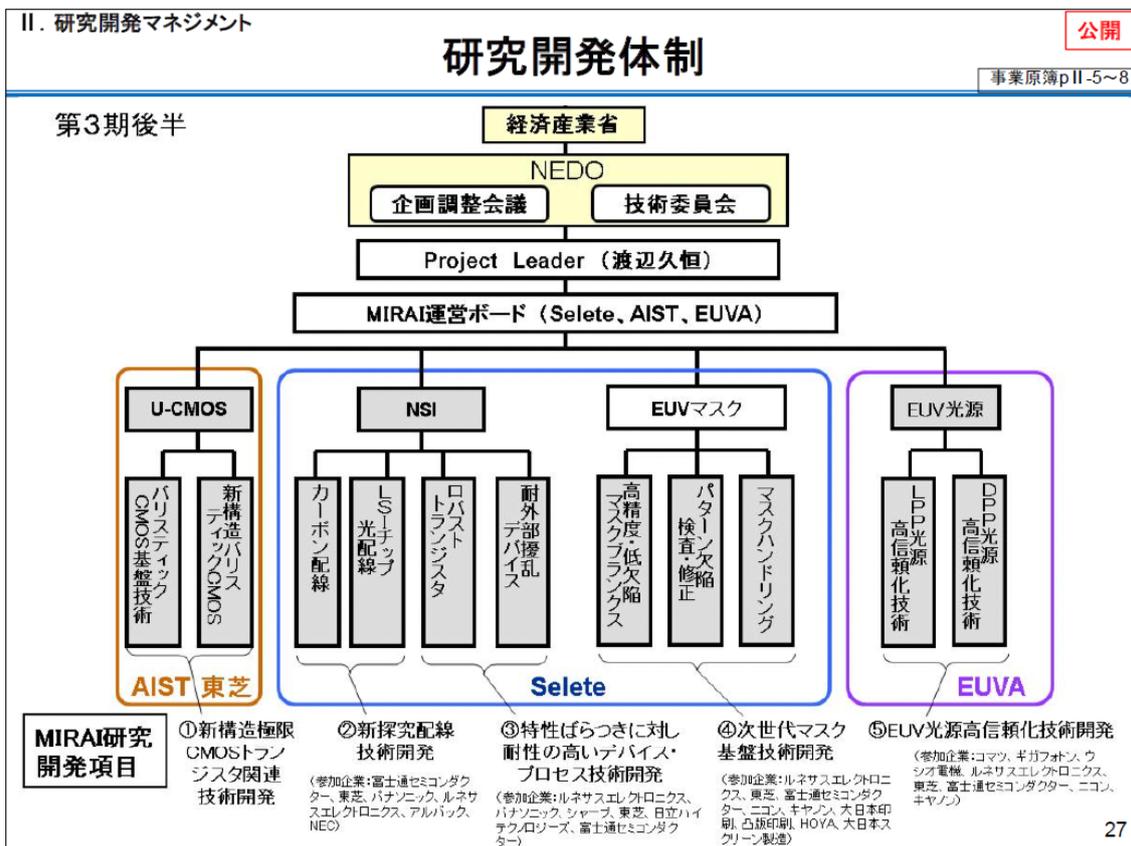
# 事業の位置付け-産業界との仕分け

## MIRAI(1~3期)とSoC技術開発産官プロジェクトのマッピング



「次世代半導体材料・プロセス基盤(MIRAI)プロジェクト (第Ⅲ期)」

全体の研究開発実施体制



# 「次世代半導体材料・プロセス基盤(MIRAI)プロジェクト (第Ⅲ期)」

## (事後評価)

### 評価概要 (案)

#### 1. 総論

##### 1) 総合評価

本プロジェクトは我が国における情報産業、半導体産業の将来戦略に基づいた、適切かつ時宜を得たものであった。微細化の進展にしたがい、開発費用の増大は、民間のみでの取り組みでは賄いきれない膨大な額となっている中、半導体材料・プロセス基盤技術の開発の民間での活動を費用の面からバックアップするとともに、産官学の英知を結集したプロジェクトとして、その意義は大きい。有能なプロジェクトリーダーを得て、要素技術としてはそれぞれの研究開発項目で当初目標を達成し、世界トップレベルの成果が出ている点は高く評価できる。優秀な研究者の育成にも寄与した。

しかしながら、プロジェクトとしては成功したとはいえ、**hp32nm** 以降のデバイス・プロセスの姿を明確にできたとは言えないであろう。「新構造極限CMOS トランジスタ関連技術」や「新探求配線技術」については、テーマ設定の範囲内での目標は達成しているが、産業構造の激変の中で実用化の受け手が曖昧になり、集積化技術や産業化に向けての展開が不透明なまま終了する結果となっている。

##### 2) 今後に対する提言

MIRAI プロジェクトが走った 10 年間は、皮肉にも日本の半導体産業の競争力が弱体化した時期とも重なっている。最近数年間の産業構造の激変の結果、当初計画時や、さらには計画見直し時とも全く異なった産業構造となり、本プロジェクトで開発してきた先端基盤技術の実用化に際する受け皿が日本国内で消失しつつある。産業構造の変化をいち早く計画にフィードバックすることは至難の業であったとは考えるが、NEDO プロジェクト管理の中間評価等での見直しサイクルの短縮などを行い、テーマ内容、運営の機動的な見直しにより、もっと有効で機動的なプロジェクト運営になるように、今後フィードバックされることを期待する。

半導体産業は日本産業の基幹を成しており、これからもそれは変わることはない。特に日本製品の競争力となる付加価値を創生するためのツールとして半

導体技術は常に先端でいなければならない。ナンバーワンであり続けなければ科学技術立国・日本の明るい将来はないと言っても過言ではない。プロジェクトの成果は広く日本製品の競争力維持・向上のために活用するものであり、今後も強力に当該関連プロジェクト事業を継続して推進する必要がある。

また、合従連衡により、日本の集積回路開発・製造会社の数が激減している中、本プロジェクトで開発した技術の出口をどこに求めるのか、今後十分な議論と戦略が必要であろう。

## 2. 各論

### 1) 事業の位置付け・必要性について

半導体は我が国の基幹産業であり、安全保障上も極めて重要な分野である。近年の微細化の進展に際し、開発費用の増大は民間企業だけではまかないきれない額となってきたことから、国家プロジェクトである NEDO 事業としての妥当性は極めて高い。

本プロジェクトに投下された予算は、先端基盤技術としての予算であり、先端デバイス開発・実用化を見通すために必要な全費用の一部に過ぎない。実用化を見通すだけの開発成果を上げるには、より踏み込んだ実用化の推進に必要な予算を投じる必要がある。その意味では、投下された予算そのものが少ない。ナノテク、グリーン（環境）等、あらゆる分野で根幹となるナノエレクトロニクス研究開発の重要性から、継続的な国の支援の重要性を強調したい。

### 2) 研究開発マネジメントについて

研究開発計画、研究マネジメントについては、概ね適切かつ妥当であり、個々のプロジェクトについても、内外の技術動向、市場動向等を踏まえて、概ね具体的で明確な開発目標が設定されている。全体を統括するプロジェクトリーダーのもと、個々のプロジェクトにおいても技術力と事業化能力を有する企業を実施者として適切な研究開発チームが構成されている。

特に、プロジェクトリーダーの強いリーダーシップが随所に見られ、その背景にあるプロジェクトリーダーの研究開発の哲学、半導体産業に関する深い洞察が、担当者にも十分に伝わったと判断できる。

実施体制では、主体となる企業の開発場所を中心として、また企業の生産ラインを利用した開発試作を通して、研究開発を進めたことは、効率的な研究推進のために、有効な方法である。

テーマ設定については、その後の情勢の変化があつたとはいえ、結果として一部で疑問が残る。主に参加機関の興味や保有技術を基にした設定のようであり、日本の半導体産業として向かうべき技術の方向性を明確化し、その上での

テーマ設定になっているのかが必ずしも明確でない。

産業構造の激変の結果、当初計画時、計画見直し時と全く異なった産業構造となり、本プロジェクトで開発してきた先端基盤技術の実用化に際する受け皿が日本国内で消失しつつある。成果の実用化、事業化につなげる戦略については、マネジメントは妥当であったと考えるが、成果を実用化へ生かしきれない事実を真摯に受け止めて、今後のプロジェクトへのフィードバック、反省に生かすことが肝要である。

### 3) 研究開発成果について

成果は各研究開発項目の目標値をほぼクリアしている。各個別の研究開発項目の細目に未達成部分があるが、当初目標以上の成果も出ており、全体として目標を達成したといえる。学会発表、論文ともに十分な質・量を創出したと評価でき、世界的にもトップレベルの研究成果を達成したプロジェクトであったと言える。特に、「特性ばらつきに対し耐性の高いデバイス・プロセス技術開発」、「次世代マスク基盤技術開発」、「EUV 光源高信頼化技術開発」の各研究項目において、成果は汎用性があり、半導体産業の基盤技術として発展できるものである。

しかしながら、得られた成果は個別の基礎技術であり、実用化、産業化との間には大きなギャップがある。成果を実用化する量産技術の橋渡しのシナリオが明確ではない。成果がいかに実用化に結び付くかが今後の課題である。

なお、知的財産権等の取得に関しては、国内における取組は評価できるが、国内出願に比べて海外出願がやや少なく、世界事業戦略、実用化計画に沿って知的財産権獲得への一層の努力が必要である。

### 4) 実用化、事業化の見通しについて

プロジェクト終了後の実用化、事業化の見通しは概ね妥当である。特に、「特性ばらつきに対し耐性の高いデバイス・プロセス技術開発」に関しては、すでに実用化技術として多くの企業で採用され始めており、また「次世代マスク基盤技術開発」、「EUV 光源高信頼化技術開発」の各研究開発課題に関しては実用化のシナリオが明確に示されている。

また、プロジェクトの実施自体が、科学技術立国としての日本の最先端技術分野の研究開発や人材育成等を促進するなどの波及効果を大いに生み出している。

しかしながら、「新構造極限トランジスタ」、「新探求配線」については、実用化の見通し、実用化のシナリオが明確でない。これらは、産業構造の激変のなかで、実用化の受け手が曖昧になり、日本産業へ早期に寄与出来る見通しが立

たなくなっている。

本プロジェクトは基礎的技術の開発に集中し、インテグレーションを通じての実用化検討は別途行われるはずであったが、担当すべき **Selete** の終了に伴い、このスキームが壊れたことは大きな痛手である。技術の継続性、発展性を今後どう担保するか、大きな宿題が残ったのではあるまいか。

### 個別テーマに関する評価

	成果に関する評価	実用化の見通しに関する評価	今後に対する提言
新構造極限 CMOS トランジスタ関連技術開発	<p>ひずみ SiGe による正孔移動度の向上、high-k/Si 界面の酸素終端、Ge チャネル/High-k 構造の SrGex 界面膜形成など、要素技術レベルについて、世界初あるいは世界最高レベルの研究成果が得られ、技術目標を高いレベルで達成している。計測技術も同時に改良し、優れた道具を駆使するノウハウ獲得にも成功した。MOS デバイスの断面評価技術は世界トップの技術開発であり、新たな技術領域を開拓することが期待できる。世界的にもユニークな本研究グループの実験評価技術は、基礎的観点からも非常に高く評価できる。また、学術論文については、適切に執筆されており、一般に向けて広く情報発信をしている。</p>	<p>次世代 CMOS トランジスタの構造として、この構造を選択した必然性が明確でなく、今回研究開発したデバイスが、優位性があり、次世代、次々世代の集積回路デバイスとして実用化される可能性があるのか、知見が活かされるかについて、筋道や課題を明確にする必要がある。</p>	

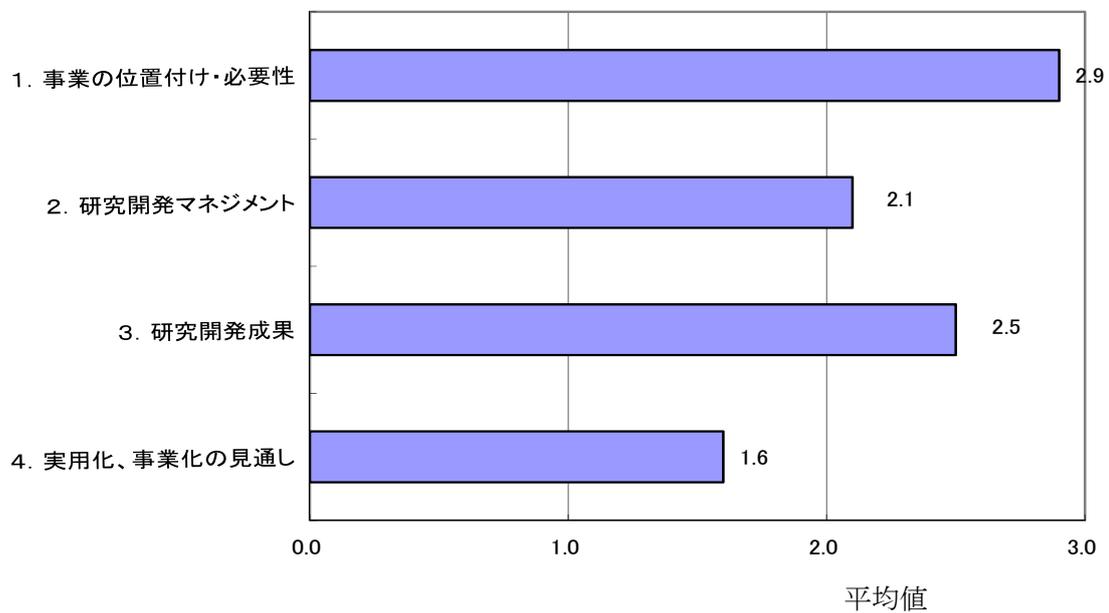
	<p>しかしながら、トランジスタ単独技術として開発するのと、あるデザインルールのインテグレーションの制約の中で開発するのでは、その解決すべき課題において大きく異なる。量産プロセスとの整合性などの問題から、この構造や材料がそのまま適用できる訳ではない。</p>		
<p>新探究配線技術開発</p>	<p>大学レベルで取り上げるような本課題を、実用化を見据えて取り組み、見通しを付けたことは高く評価できる。CNT 配線技術の開発、特に高速成長及びビア部の低抵抗化は、世界トップレベルの成果であり、CNT を用いた配線の劣化機構を明らかにした点でも評価できる。</p>	<p>プロジェクト参加メーカーが CNT 技術の本来の目的とは異なる LSI チップ放熱技術やメモリ LSI 用配線への実用化の検討していることは歓迎すべきである。</p> <p>光配線では、10GHz 以上での動作可能な変調器の開発や垂直光入射の光源・導波路結合器の開発・実証等、多数の個別の要素技術は世界トップレベルであり、システムレベルでの検討まで進んだことは非常に評価できる。開発された技術はユニット間の光配線などにも利用できる。</p>	<p>CNT による配線は、技術目標は達成されたものの、実用化に関しては、ほとんど見通しがつけられないままに終了しているのは、マネジメントを含め問題である。本来ならば小規模にせよ、全体の配線系で、信号伝達の実証まで行うべきテーマである。</p>

		<p>また、カーボンナノチューブ配線、光配線いずれも、LSI配線としての実用化には、まだ課題が多く、現状では実用化の見通しは明確になっていない。</p>	
<p>特性ばらつきに対し耐性の高いデバイス・プロセス技術開発</p>	<p>構造依存の特性ばらつき、および外部擾乱依存の特性ばらつきの物理的意義とモデリング技術の開発は目標も達成し、世界最高水準であり、新たな技術領域を開拓することが期待できる。今後の微細化に対する問題提起とその解決手法を併せて提示できおり、極めて先端的であると共に、デバイス製造に普遍的に適用できる実用に役立つ技術開発である。知的財産権等の取扱についても、適切に出願されているものと推察でき、論文についても、研究内容を踏まえ適切に執筆され、また、参画企業を中心に普及の見通しは十分に立っている。</p> <p>しかしながら、解析手法として</p>	<p>企業への技術移転には問題ないものの、このような成果は独占できるものではない。従って、投資した資金をどのようなビジネスモデルで回収するかが今後の課題となつてこよう。</p>	

	<p>は優れた成果であるが、次の段階としてバラツキを押さえる構造や手段の提案が望まれ、できれば実際の構造で、<math>3\sigma</math>程度のばらつきの評価により、実証されることを要望する。また、ばらつきを抑える究極の構造は、不純物を入れない構造と結論付けているが、不純物をデルタ関数や階段関数的にドーピングすることも検討すべきである。</p>		
<p>次世代マスク基盤技術開発</p>	<p>hp22nm をにらんで、低欠陥マスクブランク技術、欠陥検査技術、マスク欠陥修正技術、ペリクルレスマスクハンドリング技術について、いずれの開発課題も目標値を達成しており、高く評価できる。また、検査技術開発の段階で得られたマスクブランク材料の品質についての知見は、マスクメーカーにとって非常に有意義なものとする。</p> <p>一方、マスク技術全体として、</p>	<p>実用化の道筋もほぼできている。Selete において小領域露光装置を早々と導入し、hp 22nm を実証した意味は大きい。今後は、技術移転を円滑に行ってもらいたい。</p>	<p>マスクはブランクも含めた総合技術であり、我が国に競争力が残存する分野であるので、今後の NEDO を含めたサポートは必須である。</p>

	仕様を含めて国際規格への取り組みが不明である。マスクは、極めて広大な面積に一つの欠陥もあってはならない。完全性に対する要求は極めて厳しい。その意味で、一度は現実の集積回路パターンで検証してみるべきであったと考える。		
EUUV 光源高信頼化技術開発	EUUV 光源は EUUV 露光を実現する為の中核部品であり、その開発は重要である。LPP 光源、DPP 光源とも、ほぼ目標値を達成し、装置化レベルに達し、β 装置を開発したことは評価できる。EUUV 光源が市場から渴望されているなかで、2 方式をあわせて開発した意義は、競争意欲を刺激し、リスクを分散させる意味で効果的に機能した。	本プロジェクト終了後も、LPP と DPP とともに参画企業により実用化を目指した自主開発が行われる予定であり、本プロジェクトの成果が有効に活用できる見通しである点も評価できる。特許登録など知財管理も十分なされている。	重要度の高いテーマであるので、今後、目標達成に向けてどう継続させていくかが課題である。今回の成果を踏まえて、レジスト技術などを含めて、EUUV 技術を総合的に取り組む必要があると考える。海外メーカーとの競合も予想され、一層の開発加速が必要である。

## 評点結果〔プロジェクト全体（第Ⅲ期）〕



評価項目	平均値	素点（注）										
1. 事業の位置付け・必要性について	2.9	A	A	A	A	A	A	B	A	A	A	A
2. 研究開発マネジメントについて	2.1	A	C	B	A	B	B	C	B	B	B	A
3. 研究開発成果について	2.5	B	B	B	A	B	A	B	A	A	A	A
4. 実用化、事業化の見通しについて	1.6	B	B	B	B	C	B	C	C	C	B	B

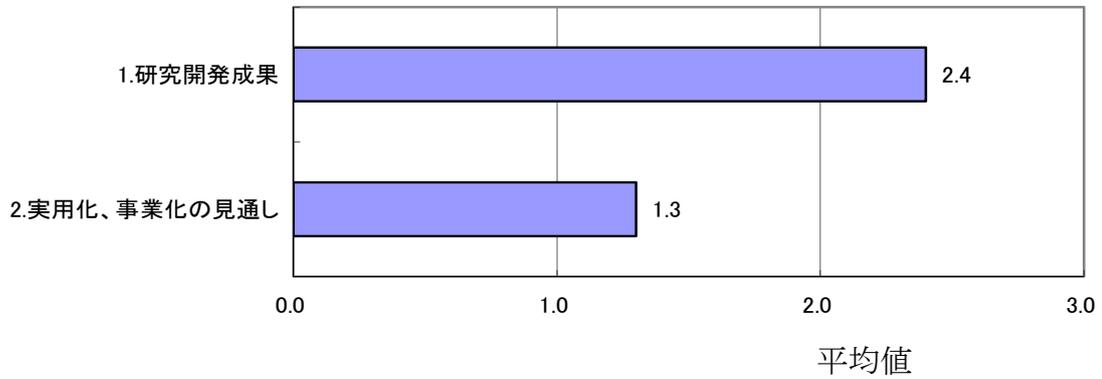
（注）A=3, B=2, C=1, D=0 として事務局が数値に換算し、平均値を算出。

〈判定基準〉

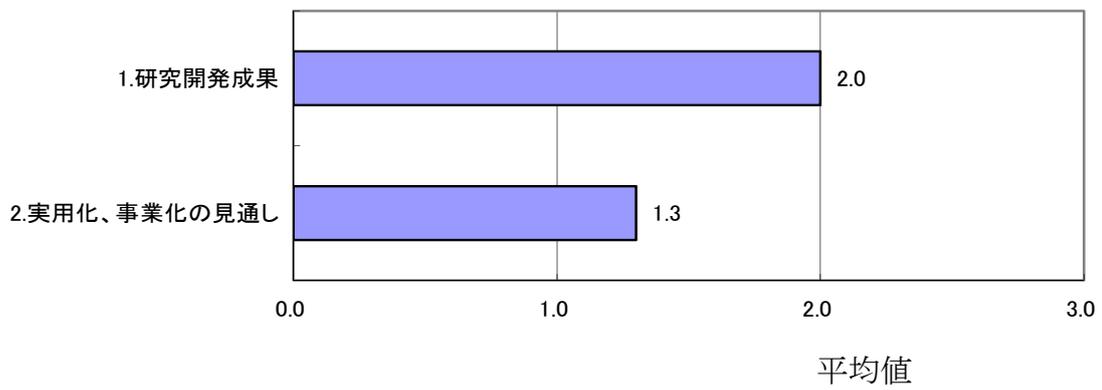
- |                    |                    |
|--------------------|--------------------|
| 1. 事業の位置付け・必要性について | 3. 研究開発成果について      |
| ・非常に重要 →A          | ・非常によい →A          |
| ・重要 →B             | ・よい →B             |
| ・概ね妥当 →C           | ・概ね妥当 →C           |
| ・妥当性がない、又は失われた →D  | ・妥当とはいえない →D       |
| 2. 研究開発マネジメントについて  | 4. 実用化、事業化の見通しについて |
| ・非常によい →A          | ・明確 →A             |
| ・よい →B             | ・妥当 →B             |
| ・概ね適切 →C           | ・概ね妥当であるが、課題あり →C  |
| ・適切とはいえない →D       | ・見通しが不明 →D         |

## 評点結果〔個別テーマ〕

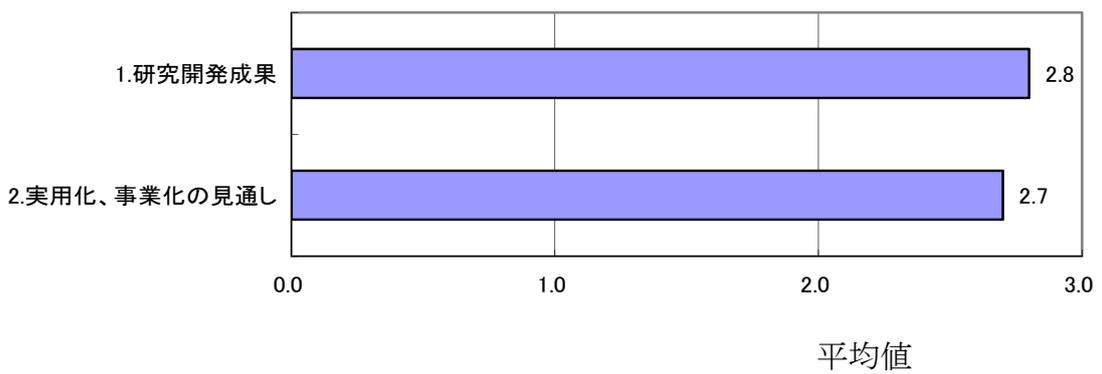
### 新構造極限 CMOS トランジスタ関連技術開発



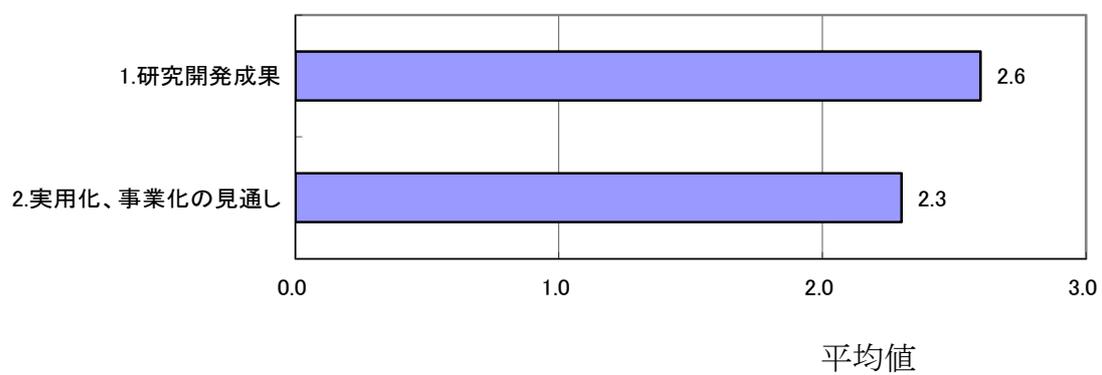
### 新探究配線技術開発



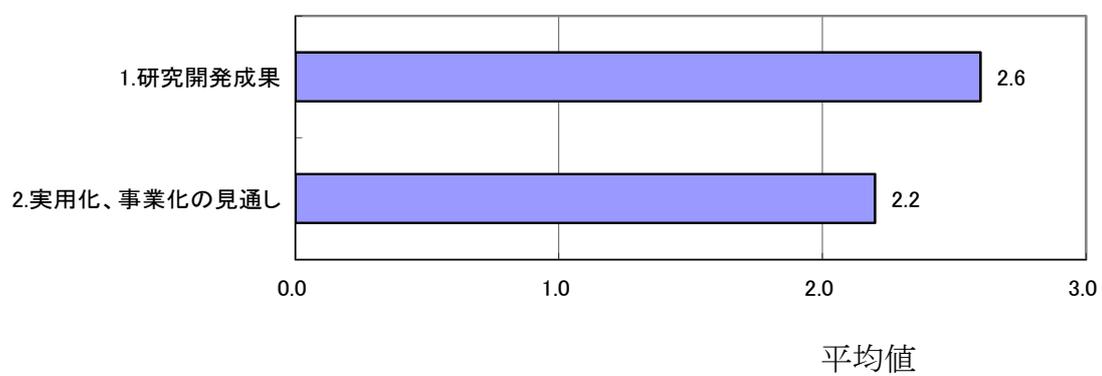
### 特性ばらつきに対し耐性の高いデバイス・プロセス技術開発



### 次世代マスク基盤技術開発



### EUUV 光源高信頼化技術開発



個別テーマ名と評価項目	平均値	素点 (注)											
新構造極限 CMOS トランジスタ関連技術開発													
1. 研究開発成果について	2.4	B	A	A	B	B	A	B	A	A	—	C	
2. 実用化、事業化の見通しについて	1.3	C	C	B	B	D	B	B	C	C	—	C	
新探究配線技術開発													
1. 研究開発成果について	2.0	B	B	B	B	B	B	B	A	B	—	C	
2. 実用化、事業化の見通しについて	1.3	C	C	B	B	C	B	C	B	C	—	D	
特性ばらつきに対し耐性の高いデバイス・プロセス技術開発													
1. 研究開発成果について	2.8	A	A	C	A	A	A	A	A	A	—	A	
2. 実用化、事業化の見通しについて	2.7	A	A	C	A	A	A	B	A	A	—	A	
次世代マスク基盤技術開発													
1. 研究開発成果について	2.6	B	A	A	A	B	A	A	A	B	A	B	
2. 実用化、事業化の見通しについて	2.3	B	A	B	A	B	A	B	B	C	B	A	
EUV 光源高信頼化技術開発													
1. 研究開発成果について	2.6	B	A	A	A	B	A	A	A	B	A	B	
2. 実用化、事業化の見通しについて	2.2	B	A	B	A	C	A	B	B	B	B	B	

(注) A=3, B=2, C=1, D=0 として事務局が数値に換算し、平均値を算出。

〈判定基準〉

1. 研究開発成果について

- ・非常によい
- ・よい
- ・概ね適切
- ・適切とはいえない

2. 実用化、事業化の見通しについて

- |    |                |    |
|----|----------------|----|
| →A | ・明確            | →A |
| →B | ・妥当            | →B |
| →C | ・概ね妥当であるが、課題あり | →C |
| →D | ・見通しが不明        | →D |

