

「低炭素社会を実現する
超低電圧デバイスプロジェクト」

事業原簿

【公開版】

担当部	独立行政法人新エネルギー・産業技術総合開発機構 電子・材料・ナノテクノロジー部
-----	--

I. 事業の位置付け・必要性について	1
1. NEDO の関与の必要性・制度への適合性	1
1.1 NEDO が関与することの意義	1
1.2 実施の効果(費用対効果)	3
2. 事業の背景・目的・位置づけ	4
2.1 事業の背景	4
2.2 事業の目的	4
2.3 事業の位置づけ	5
II. 研究開発マネジメントについて	6
1. 事業の目標	6
2. 事業の計画内容	15
2.1 研究開発の内容	15
2.2 研究開発の実施体制	37
2.3 研究開発の運営管理	37
2.4 研究開発成果の実用化、事業化に向けたマネジメントの妥当性.....	38
3. 情勢変化への対応	39
4. 中間評価結果への対応	40
5. 評価に関する事項	40
III. 研究開発成果について	41
1. 事業全体の成果	41
2. 研究開発項目毎の成果	49
2.1 研究開発項目① 磁性変化デバイス	49
2.2 研究開発項目② 相変化デバイス	61
2.3 研究開発項目③ 原子移動型スイッチ	72
2.4 研究開発項目④ 三次元ナノカーボン配線	84
2.5 研究開発項目⑤ ナノランジスタ構造デバイス.....	93
2.6 研究開発項目⑥ 「BEOL 設計・製造基盤(プラットフォーム)開発」.....	102
IV. 実用化、事業化の見通しについて	111
1. 実用化、事業化の見通し	111

(添付資料)

- ・プロジェクト基本計画
- ・技術戦略マップ(分野別技術ロードマップ)
- ・事前評価関連資料(事前評価書、パブリックコメント募集の結果)
- ・特許論文リスト

概要

最終更新日

平成 24 年 8 月 15 日

プログラム(又は 施策)名	IT イノベーションプログラム						
プロジェクト名	低炭素社会を実現する 超低電圧デバイスプロジェクト	プロジェクト番号				P10023	
担当推進部/担 当者	電子・材料・ナノテクノロジー部 島津高行(平成 23 年 3 月～平成 24 年 3 月) 電子・材料・ナノテクノロジー部 波佐昭則(平成 24 年 4 月～平成 24 年 8 月現在)						
0. 事業の概要	本プロジェクトは、ナノテクノロジーで培われた新規の機能材料や新規のデバイス構造に立脚して、集積回路の低電圧動作と高機能・高集積化を実現し、集積回路の低電力化を通してエレクトロニクス機器の消費電力を大幅に低減する技術を確立することを目的として実施する。						
I. 事業の位置 付け・必要性に ついて	<p>半導体技術は、情報家電、コンピュータ、通信装置、自動車、医療機器など、我が国の経済を支える先端産業の競争力強化に不可欠な基盤技術である。その発展を支えているのは、シリコン集積回路とその基本素子(デバイス)の CMOS トランジスタであり、これまで、CMOS トランジスタの寸法を微細化するプロセス技術と、微細デバイスを機能させる回路技術により、高性能化・低電力化を実現してきた。</p> <p>低炭素社会の実現には、上記に代表されるエレクトロニクス機器の究極的な低電圧動作による飛躍的な低電力化が必須であり、デバイスの低電圧動作と不揮発動作が不可欠な技術要素である。CMOS 基本回路の消費電力は電圧の自乗に比例するので、電圧を 1/3 にすれば、単純には消費電力がほぼ 1/10 になる。また、電源を遮断しても情報が保持される不揮発デバイスを使えば、待機状態での消費電力がゼロになり、これも、消費電力の低減に大きな効果をもたらす。このように、動作状態では電圧の低減で、待機状態では不揮発動作を使うことで、消費電力の低減が達成される。これらの機能を満たす新しい超低電圧・不揮発デバイスの開発が必要である。</p> <p>欧米においては、大型の産学連携ナノエレクトロニクス拠点の整備がここ数年で飛躍的に進み、超低電圧・不揮発デバイスをはじめとした、次世代デバイスに関する実用化を目指した研究が活発に行われ、今後、開発競争は熾烈化するものと考えられる。海外の研究開発活動の活発化により、このような状況を放置すれば、超低電圧・不揮発デバイスに関する我が国の技術開発の競争力を失いかねない。</p> <p>以上のように、本プロジェクトは、わが国の競争力の確保と、エネルギー消費削減・低炭素化の両方に貢献すると期待され、本プロジェクト推進の必要性は高い。</p>						
II. 研究開発マネジメントについて							
事業の目標	新構造・材料を用いて、超低電圧・不揮発デバイスを実現するための基盤技術を確立して 0.4V の超低電圧化を実現し、IT 機器の大幅な小型化・高性能化と低電力化を実現する。						
事業の計画内容	主な実施事項	H22fy	H23fy	H24fy	H25fy	H26fy	
	経産省直執行	←→					
	NEDO 技術開発	←→					
開発予算 (百万円) 契約種類: (委託)	会計・勘定	H22fy	H23fy	H24fy	H25fy	H26fy	総額
	一般会計	(2,045) ^{※1}	2,299	2,277			
	特別会計	-	-	-			
	総予算額	(2,045) ^{※1}	2,299	2,277			
※1: 経済産業省直執行分							

開発体制	経産省担当原課	産業技術環境局研究開発課	
	プロジェクトリーダー	リーダー:住広直孝 超低電圧デバイス技術研究組合・研究本部長 副:木村紳一郎 超低電圧デバイス技術研究組合・研究企画部長	
	委託先	超低電圧デバイス技術研究組合(参加 10 社) 株式会社荏原製作所 東京エレクトロン株式会社 株式会社東芝 日本電気株式会社 株式会社日立国際電気(H23～) 株式会社日立製作所 富士通株式会社 富士通セミコンダクター株式会社 三菱電機株式会社 ルネサスエレクトロニクス株式会社 共同実施先 立命館大学、神戸大学、中央大学、産業技術総合研究所、 筑波大学、東京大学、慶応義塾、芝浦工業大学、 電気通信大学、京都大学、京都工芸繊維大学、大阪大学、 東京理科大学	
情勢変化への対応	<p><u>(1) 東北地方太平洋沖地震発生による実施方針・計画の変更</u> 平成 23 年 3 月 11 日に発生した東北地方太平洋沖地震のために、産業技術総合研究所のスーパークリーンルームが使用不能となったため、平成 22 年度の実施計画遂行に遅れが生じ、事業実施期間を平成 24 年 3 月 31 日まで延期する計画変更を実施（結果として平成 23 年 8 月末に繰り上げ完了）。</p> <p><u>(2)研究開発項目⑤の実実施方針・計画の変更</u> 他研究機関のベンチマーク、国際学会調査によりナノトランジスタ構造デバイスの特徴の一つである基盤バイアス制御の活用に注目が集まっていることが分かった。本研究の優位性を確実にするため、開発の前倒しを目的として、共同実施先の追加(電気通信大学、芝浦工業大学)を実施。</p> <p><u>(3)技術推進委員会評価への対応のため実施方針・計画の変更</u> 平成 23 年 12 月 16 日実施した技術推進委員会での指摘事項に対し各研究開発項目間の連携強化、及び 研究開発項目②、④に於いては専門研究員の増強、実施計画の見直しを実施。</p>		
中間評価結果への対応	平成 24 年 8 月中間評価実施のため現時点記載すべき事項無し。		
評価に関する事項	事前評価	平成 22 年度実施 担当部 NEDO 電子・材料・ナノテクノロジー部	
	中間評価	平成 24 年度 中間評価実施予定	
	事後評価	平成 27 年度 事後評価実施予定	
Ⅲ. 研究開発成果について	<p>研究開発項目① 磁性変化デバイス 「ロジック集積回路内 1 次メモリを対象とした、高集積・高速特性・高書き換え耐性などの機能を有する超低電圧・不揮発デバイスの開発」</p> <p>磁性変化デバイスの基本構造およびプロセスとして、トップピン構造、歪エンジニアリング、界面垂直磁化、SAF 構造などを開発し、中間目標のスペックである、電圧 0.4V 程度 10ns</p>		

のパルスでの読み書きと読み書き電流 $100 \mu A$ 以下を実証した。

CoFe シード層挿入による高品質 MgO 成膜プロセスを開発し、加速試験で 10^{16} 回の書き換えと 10 年間の絶縁耐性を実証した。

多値構造とそれを実現するプロセスとして、MTJ の 2 段積層構造の一括加工方式を提案し、試作により多値動作を確認した。

300mm 径ウエハを用いて、2 層 Cu 配線間への磁性変化デバイスの埋め込みプロセスフロー案を作成し、試作を行い、デバイス動作を確認した。

MTJ の SPICE モデルを提案し、実測値との整合性を確認した。低消費電力動作のために、新しい負性抵抗読み取り方式を用いた、誤書き込みを起こさないセンシング技術を開発し、起版したマスクに搭載した。これらの結果から、中間目標は達成できる見通しである。

研究開発項目②

相変化デバイス

「外部記憶の高速低電力データ転送を実現する、高集積・高速低電力書き込み特性などの機能を有する超低電圧・不揮発デバイスの開発」

300mm 径ウエハの成膜装置を用い、GeTe/Sb₂Te₃ 超格子構造形成に世界で初めて成功した。50nm 直径の W 電極を有する GeTe/Sb₂Te₃ 超格子抵抗 TEG を 300mm ラインで試作し、100 以上の抵抗比で動作することを確認した。低抵抗から高抵抗へ変化する動作が、従来の Ge₂Sb₂Te₅ の 1/25 以下である 70uA の電流、3.5pJ のエネルギーで起きることを実証した。高抵抗から低抵抗へ変化する動作は、さらに低い 60uA で起こることを確認し、相変化の低電力化に超格子膜が有効であることを、300mm の試作環境で実証できた。

ナノメータオーダーサイズの結晶を有する熱拡散防止層を用いることにより、電気抵抗を増加させ、かつ熱伝導率を減少させることに成功し、相変化デバイスの動作電力を 1/10 に削減する見通しを得た。

W 配線/シリコンダイオード/相変化膜/W 配線からなるクロスポイント構造のメモリセルを試作し、ダイオードの正常動作と相変化材料の抵抗変化現象を確認した。超格子膜とシリコンダイオードを組み合わせることで、中間目標は達成できる見通しである。

研究開発項目③

原子移動型スイッチ

「配線切り換えを可能とするスイッチを対象とした、低電流・高速書き換え、高オン・オフ抵抗比、小面積などの機能を有する超低電圧・不揮発スイッチデバイスの開発」

ポリマー固体電解質 (PSE) を使う、二つの原子移動型スイッチ素子を相補的に配置した 3 端子構造を提案・試作し、低電圧化と高信頼性が両立できる見通しを得た。3 端子構造では、もう一方の素子が相補的に動作して印加される電圧を軽減するため、長寿命化 (10 年以上) が図られる。これによって、2V での書き換え動作が実現した (従来の 2 端子構造は 3.5V)。

3 端子原子移動型スイッチを用いた 0.5k ~ 1k ビットスイッチアレイ (スイッチを配列したもの) を、300mm ラインの BEOL プラットフォームを用いて試作し、2V での書き換え、オン/オフ抵抗比 10^5 以上、電流速度積 $10^{-10} A \cdot s$ 以下、書き換え回数 10^3 以上、プログラム電圧ばらつき $\sigma = 0.2V$ 、および初期信頼性を確認した。また、特性評価 TEG として、新しい 1M ビットおよび 16k スwitch アレイを設計し、かつ機能検証 TEG として 32x32 クロスバースwitch、プログラマブルロジックセルを設計し、試作した。これらの結果から、中間目標は達成できる見通しである。

研究開発項目④

三次元ナノカーボン配線

「集積回路チップ内において、機能ブロックの三次元集積を実現するための、微細幅・超低電気抵抗、超高アスペクト比配線・材料技術の開発」

微細幅グラフェン配線を多層剥離グラフェンにより作製し、線幅 100nm でシート抵抗 34 Ω / \square を実証した。配線抵抗の配線幅、グラフェン層数、温度に対する依存性から低抵抗化の指針を得た。

配線応用に必要な低温($\leq 600^{\circ}\text{C}$)での多層グラフェン成長において、触媒段差を起点とする低温固有の成長機構を明らかにし、かつ、耐熱性触媒組成の開発により、触媒の薄膜化と所望の位置への優先成長を実現した。

超高アスペクト比(AR)コンタクト埋め込みに向け、AR12、100nm Φ のホール底からのCNT 選択成長を確認した。AR16 ホール作製を完了し、ホール底を含む内面全面からのCNT 成長を確認。選択成長検討を開始した。

300mmナノカーボン成長装置を整備し、段差構造基板への多層グラフェン成長を確認するとともに、コンタクトホール底に適用可能な導電性下地金属(TiN)を用いて、300mm基板全面でCNTの高密度($6 \times 10^{11}/\text{cm}^2$)成長を得た。

触媒基板上でCNTの固定化とCMP平坦化プロセスを開発し、CNT埋め込みコンタクトの平坦化を実証した。

配線集積化に向け、緩和寸法(最小設計線幅・ホール径 90nm)の配線TEGを設計し、専用マスクを起こして最大 4 層のTEG基板を作製し、300mm基板での配線構造・プロセス開発を開始した。横配線実証構造候補としてダマシ型配線溝へのグラフェン成長、触媒埋め込みとCMP研磨のプロセスを可能にした。これらの結果から、中間目標は達成できる見通しである。

研究開発項目⑤

ナトランジスタ構造デバイス

「CMOS トランジスタの超低電圧動作、及びリーク電流抑制を同時に実現するための、低しきい値ばらつきトランジスタを集積化するための技術開発、並びに、この技術を用いた高集積機能素子における低電圧動作実証」

薄い埋め込み酸化膜上に極薄シリコンを形成した、SOI構造のSOTBトランジスタとその製造プロセスを開発し、低ばらつき($4\sigma V_{th}=40.8\text{mV}$)と、SRAMセルの0.4V動作を確認した。また、低電圧での回路動作安定性に影響するトランジスタ出力電流のばらつきが、試作したSOTBトランジスタで大幅に低減することを世界で初めて実証した。さらに、柔軟な特性制御と低ばらつきを両立できるローカルグランドプレーン構造を提案し、従来構造に比べてばらつきや短チャネル特性が優れていることを実証した。

SOTBとバルクCMOSを組み合わせたハイブリッド構造と、SOTBに最適化された標準セルを含む回路設計プラットフォームを開発し、テスト回路のレイアウトを行った。これらの結果から、中間目標は達成できる見通しである。

研究開発項目⑥

「BEOL設計・製造基盤(プラットフォーム)開発」

65nmBEOLプロセスフローを開発し、新材料、新構造を用いたBEOLデバイスを、企業製造ラインと繋げて試作できる設計・プロセスプラットフォームを開発した。

半導体製造ラインで形成した多層配線を有するCMOS基板上に、産総研SCR(Super Clean Room)でローカル配線およびセミグローバル配線を形成する配線製造基盤技術を開発し、配線特性が所望の特性を実現していることを確認した。

新材料の汚染管理として、1. エッジカットリングによる新材料付着防止、2. 薬液による新材料除去、3. 新材料上HDP膜による汚染拡散防止、4. FOUFによるハンドリング管理手法を開発し、汚染管理の効果を確認した。

半導体製造ラインPDKとSCR-PDKを統合した設計ルール、配線特性パラメータOPCルール等からなる連携ファブPDKを策定した。

本テーマは平成23年で終了した。

	投稿論文	「査読付き」36件、「その他」54件
	特許	「出願済」44件(うちPCT1件、米国出願1件)、「登録」0件、「実施」0件 特記事項:なし
	その他の外部発表(プレス発表等)	第1回成果報告会 2011年12月15日 つくば国際会議場 300名 新聞発表 雑誌、Web掲載 研究開発項目① 日刊工業新聞 2011年6月15日 日刊工業新聞 2012年4月17日 日刊工業新聞 2012年6月13日 朝日新聞デジタル版 2012年6月13日 日経Tech-On 2012年6月13日* 日経エレクトロニクス 2012年7月9日 研究開発項目③ 日刊工業新聞 2011年12月8日 日経産業新聞 2012年6月20日 日経Tech-On 2012年6月13日 (*①と同時掲載) 研究開発項目⑤ 日刊工業新聞 2012年6月20日 日経Tech-On 2012年6月13日 (*①と同時掲載)
IV. 実用化、事業化の見通しについて	<ul style="list-style-type: none"> 集積回路の設計・製造を基幹事業としている参加企業((株)東芝、富士通セミコンダクター(株)、ルネサスエレクトロニクス(株))においては、開発した技術は次世代以降の既存製品や新製品に直接搭載されることで、市場占有率の増加や新市場の開拓に貢献する。 IT製品や応用システムの提供、サービスを事業分野とする企業(日本電気(株)、(株)日立製作所、富士通(株)、三菱電機(株))においては、本プロジェクトで開発した技術は、製品であるIT製品や応用システムにおける新機能付加、或いは性能向上を通して競争力の向上に貢献する。 半導体製造装置企業((株)荏原製作所、東京エレクトロン(株)、(株)日立国際電気)においては、新材料、新プロセスを処理する集積回路製造装置が製品となる。 	
V. 基本計画に関する事項	作成時期	平成23年3月 作成
	変更履歴	—

プロジェクト用語集

用語	説明	分類
1次メモリ	CPU などのプロセッサと直接アクセスすることのできるメモリ。	①
スパッタ装置	イオン等の高エネルギー粒子をターゲット材料に照射し、ターゲット表面から原子を反跳させること(スパッタ)により、薄膜を形成する装置。	①
MTJ (Magnetic Tunnel Junction)	トンネル磁気抵抗効果を発現するトンネル接合であり、強磁性膜 / トンネル絶縁膜 / 強磁性膜から構成される。2 層の強磁性膜の相対的な磁化(スピン)方向により、トンネル絶縁膜におけるスピン偏極電子のトンネル確率(抵抗)が変化する。	①
多値化	メモリにおいて、通常のデータ”0”、”1”の 2 値ではなく、データ”00”、”01”、”10”、”11”のように、2 値以上の値をとること。	①
界面垂直材料	磁性体薄膜において、界面付近で膜面に対して垂直方向に磁化する材料。MgO 膜との界面を有する CoFeB 膜が知られている。	①
トップピン構造	MTJ において、トンネル絶縁膜の上層に、磁化方向が固定された磁性膜であるピン層が配置される構造。これに対し、トンネル絶縁膜の下層にピン層が配置される構造を、ボトムピン構造と呼ぶ。	①
フリー層	磁化方向が固定されていない強磁性膜であり、磁界や電子のスピントルクにより、磁化方向が変化する層。フリー層のヒステリシスにより MTJ に情報が保持される。	①
垂直磁気異方性	膜面に対して垂直方向が安定となる、磁性体薄膜における磁化の異方性。	①
結晶磁気異方性定数	磁性体の結晶方向によって異なる磁気異方性のエネルギーを表す定数。	①
SAF	Synthetic Antiferromagnetic の略。スペーサー膜を介して対向する強磁性膜の磁化が互いに反平行となり、磁化を打消す状態。交換相互作用によるものであり、スペーサー膜は一般的に、Ru 膜が用いられる。	①
帰還型センス	増幅回路の出力の一部を入力に帰還(フィードバック)させ、センシングの感度を上げる手法。	①
センス回路	メモリの微小なメモリデータやアドレス信号を素早く検出して増幅する回路。	①

負性抵抗回路	入力インピーダンスを見た際に、印加した電圧に対して 抵抗値が見掛け上マイナスになるような回路ブロックを指す。	①
TEG	Test Element Group の略。一枚のウエハに形成された各種寸法のトランジスタや回路の一部分などの特性を測定することにより、各種依存性や回路の動作余裕などを解析したり、製造歩留まりの検査に用いる。通常の半導体製品では、半導体チップを切り分けるときの切り代となる部分(スクライブライン)に搭載される場合が多い。	①
配線電流センシング用デバイス	配線における電流をセンシングするためのデバイスであり、ここでは電流により発生した磁界に対し線形の抵抗変化を示す MTJ を指す。	①
相変化材料	非晶質と結晶との間で可逆的な変化が可能な材料。	②
非晶質	原子配列がランダムで高抵抗な状態。	②
結晶	原子配列が規則的で低抵抗な状態。	②
熱拡散防止層	相変化材料に接する周囲の部材への無駄な熱の散逸を抑制し、記録動作に必要な電力を低減するための層。	②
Ge ₂ Sb ₂ Te ₅	従来の相変化デバイスや光ディスクにおいて、記録膜として一般的に用いられている相変化材料の 1 つ。	②
高抵抗化	相変化材料を高抵抗状態に変化させる記録動作。記録膜を一旦熔融し急冷することで変化させる。	②
低抵抗化	相変化材料を低抵抗状態に変化させる記録動作。記録膜を結晶化温度以上の温度で保持することで変化させる。	②
GeSbTe 超格子	GeTe、Sb ₂ Te ₃ から構成される薄膜を、結晶配向性を揃えながら交互に成長させた相変化膜。熔融過程を経ないため、相変化に必要なエネルギーを大幅に削減できる。	②
PVD	Physical Vapor Deposition (物理気相成長法) の略称。	②
CVD	Chemical Vapor Deposition (化学相成長法) の略称。	②
プラグ	異なる層に形成された配線などを縦方向に連結する導電性の電極。相変化デバイスでは、選択スイッチと相変化材料層を接続する部分を指す。	②
ポリ Si pin ダイオード	P 型層、真性層、N 型層の 3 種のポリ Si を積層製膜し、素子分離することによって形成したダイオード。	②
真性層	元素をドーピングしていない Si 層。PIN ダイオードにかかる電界を緩和する効果がある。	②
整流特性	電流を一定方向にしか流さない特性。	②
クロスポイント型セル	メモリのワード線とビット線が最小寸法ピッチ (2F, F は最小加工寸法) で配置されて直交し、セルサイズが最小値の 4F ² となるメモリ構造。	②

ビッグデータ	通常のデータベース管理ツールなどで取り扱う事が困難なほど巨大な大きさのデータの集まり。	②
ディスクストレージシステム	ハードディスク、CD-ROMドライブなど、コンピュータのデータをバックアップするためのディスク型機器。	②
ペタバイト	情報量の単位の一つで、1000兆(10の15乗)バイトまたは約1126兆(2の50乗)バイト。	②
Tier0	ストレージ階層において、性能と信頼性が最も重視される階層。	②
HDD	Hard Disk Drive(ハードディスク)の略称。	②
SSD	Solid State Drive(固体ストレージ)の略称。	②
MRAM	Magnetic Random Access Memoryの略称。	②
ReRAM	Resistive Random Access Memoryの略称。	②
ULSI	Ultra Large Scale Integrated Circuitの略称。	②
TEM	Transmission Electron Microscope(透過型電子顕微鏡)の略称。	②
化学量論組成	化合物を構成している原子数の比(組成)が整数であること。ストイキオメトリと称される。	②
原子移動型スイッチ	電極からのイオンの析出・溶解現象を利用した抵抗変化スイッチ。	③
ディスタープ耐性	Disturb 電圧印加下でのスイッチの抵抗状態の安定性を示す。	③
オフディスタープ耐性	Off disturb 電圧印加下でのスイッチのオフ抵抗状態の安定性を示す。	③
ポリマー固体電解質(PSE)	炭化水素を主成分とした固体電解質。	③
オン・オフ比	スイッチのオン状態とオフ状態における抵抗の比率、もしくは一定電圧下で流れる電流の比率。	③
相補型構造	二つの原子移動型スイッチを対向するように接続した構造。	③
ローカル配線	LSIの多層配線における下層配線を指す。一般に短距離のトランジスタの接続に用いられ、4~5層からなる。	③
セミグローバル配線	ローカル配線上に形成する配線。中長距離向けの配線。一般に配線ピッチがローカル配線の2倍で、シート抵抗は半分程度になる。	③
デコーダ回路	アドレスデコーダ回路。コード化されたアドレスバスの信号から、所望のアドレスを選択する回路。	③
アドレス指定	プログラムにより、物理上のスイッチの位置を指定すること。	③
フルインテグレーション	LSIの製造工程において、シリコン基板からFEOL/BEOLを経てコンタクトパッドを形成するまでの一連の集積化プロセス	③

	ス工程をさす。	
保持特性	Retention バイアス印加無で保管された場合の抵抗状態の安定性。	③
IO セル	入出力用のセル。	③
ESD(保護素子)	Electro-Static Discharge 静電気の放電が電子回路や半導体部品を破壊することを防止する素子。	③
アコースティックエミッション法	材料中での局所的な変化で生ずる弾性波を計測し、採取したデータを解析・評価することにより、材料や構造物の状態を検査・評価する方法。	③
顕微レーザーラマン分光法	物質にレーザー光を照射し、物質との相互作用により、入射光の波長が変化した微弱な散乱光を測定することにより、物質の化学構造や結晶構造の決定、未知物質の同定を行う方法。	③
in-situ 観察	その場観察。実際に使用している状態で観察すること。	③
第一原理計算	なんら実験データや経験パラメータを使わないで理論計算をする方法の総称。電子状態計算のことを指すことが多い。	③
ナノカーボン	グラフェン、ナノチューブなどのナノサイズのカーボン材料	④
三次元集積	メモリ等のデバイスを積層方向にも複数層形成し集積する方式。	④
CNT	Carbon Nanotube ;カーボンナノチューブの略称。カーボンの6角形ネットワークからなるグラフェンシートが筒状に巻いて形作られるナノサイズのチューブ。グラフェンシートが単層の場合の単層CNTと多層の場合の多層CNTがある。	④
AR	Aspect Ratio ;アスペクト比。高さ、直径あるいは幅との比。本プロジェクトでは縦方向のコンタクトプラグにおけるコンタクトホールの高さと直径の比。	④
超高アスペクト比配線	三次元積層構造に不可欠な高さや直径の比(アスペクト比)が極めて大きいコンタクトプラグ配線。	④
多層グラフェン	カーボンの6員環ネットワークからなるグラフェンシートが複数層積み重なった構造。	④
プラズマCVD	原料ガスをプラズマ励起することで反応性を上げ、より低温で合成を可能にしたCVD(化学気相堆積)方法。	④
電子ビームリソグラフィ	レジストを電子ビームにより露光する微細パターン形成に適したリソグラフィ法。	④
剥離グラフェン	結晶グラファイトから剥離したグラフェン。	④
4端子電極法	電流印加用端子と電圧降下測定用端子を別に設け接触抵抗と配線抵抗を分離可能にした抵抗測定法。	④
モンテカルロ解析	電子の輸送現象を散乱やドリフトといった物理現象から解	④

	析する手法で、自然現象の確率過程を乱数を用いて解析する方法。	
ナノカーボン層間遷移・散乱	多層のグラフェンシート間のキャリアの移動(遷移)や層間での散乱。	④
実空間モデル	現実的な配線の三次元構造を配慮したモデル	④
CVD モジュール	CVD を行うチャンバー・ガス供給系・排気系などから構成されるユニット。	④
CMP(Chemical Mechanical Polishing)	機械的な研磨剤と化学エッチング成分を用いて平坦面を得る化学機械研磨方法。	④
SOG 含浸	SOG(Spin-on-Glass: 塗布型ガラス)を CNT 等の隙間にしみこませて硬化することで、CNT 層を固化する方法。	④
CMOS	Complementary Metal-Oxide-Semiconductor; 相補型金属酸化膜半導体のこと。ゲート電極となる金属(M)から酸化膜(O)を介して半導体(S)に電界を与えて動作させる、MOS 型電界効果トランジスタにより構成される。伝導キャリアが電子および正孔である、n チャネルおよび p チャネルの MOS 型電界効果トランジスタを組み合わせることで相補的に動作させる。主に論理回路に用いられ、状態保持時には消費電流が原理的にゼロなため低消費電力であることが特徴である。ただし、現在の CMOS ではリーク電流のために必ずしも状態保持時の電流が少ない特徴は当てはまらない。	⑤
LSI	Large-Scale Integration の略、大規模集積回路。	⑤
理想スケーリング則	トランジスタの寸法を微細化するための設計指導原理。トランジスタ各部の寸法、不純物濃度、電圧など種々のパラメータを比例的に変化させることでトランジスタを正常に動作させながら寸法を縮小することが出来る。電界一定スケーリング則とも、比例縮小則とも呼ぶ。	⑤
動作電力	論理回路においてトランジスタ回路がスイッチング動作するとき、その動作によって消費される電力のこと。AC 電力とも呼ぶ。	⑤
リーク電流	トランジスタを用いた回路においては、電源電圧を印加した状態で、回路動作状態に関わらずトランジスタ各部で漏洩する、すなわち電源からアースに流れて無駄に消費される電流のこと。	⑤
リーク電力	上記リーク電流に電源電圧を掛け合わせたもので、動作状態に関わらず電源電圧を印加した状態で消費される電力のこと。待機電力とも呼ぶ。	⑤
回路の動作率	回路の用途により、常時スイッチング動作するものや、間欠	⑤

	的に動作するものがあり、その動作している時間的比率のことを示す。	
V_{th}	Threshold Voltage (しきい値電圧)を示す記号。電界効果トランジスタなどでは、トランジスタがオフ状態からオン状態に遷移する、すなわちドレイン電流が立ち上がるときにゲート電極に与えられた電圧のことを示す。しきい値、しきい電圧とも呼ぶ。	⑤
しきい値(電圧)ばらつき	しきい値電圧は、個々のトランジスタで値が揃わず、通常ある範囲に分布する。この現象ないしは分布の幅のことを指す。原因は多岐にわたるが、特にトランジスタが微細になるに従ってばらつきが大きくなる傾向がある。	⑤
基板バイアス制御	CMOS 電界効果トランジスタにおいて、トランジスタが形成される部分(基板)にゲート電圧とは独立に電圧を加えると、しきい値電圧も変化する。この現象を利用して基板バイアス電圧を変化させることでしきい値電圧を制御する技術のことを指す。	⑤
ITRS ロードマップ	International Technology Roadmap for Semiconductors (国際半導体テクノロジーロードマップ)のこと。ロードマップは毎年改訂され、改訂時から15年間の半導体技術の開発方向を記述している。	⑤
ランダム不純物揺らぎ(RDF)	Random Dopant Fluctuation の略。 CMOS トランジスタのチャネル部分に特性調整のために不純物が注入される場合、特に微細な寸法のトランジスタになると、その不純物の数や位置のわずかな揺らぎによりトランジスタ特性が大幅に変動する、すなわち、しきい値電圧 V_{th} がばらつく現象が生じる。この揺らぎのことを示し、 RDF とも略される。	⑤
不純物(ドーパント)	半導体の伝導特性を制御するために注入する、ホウ素、リン、ヒ素などのこと。	⑤
SOI 基板	Silicon on Insulator 基板の略。トランジスタが形成される表面のシリコン層/絶縁層/支持基板となるシリコン結晶の3層構造になっている基板のこと。間に絶縁層が挟まれることで、表面のシリコン層から支持基板へのリーク電流が抑えられたり、トランジスタの寄生容量が低減するなどの利点がある。	⑤
BOX(埋め込み絶縁)	SOI 基板における絶縁層のこと。一般には二酸化シリコン層(シリコンの熱酸化膜)が用いられる。	⑤
SOTB	Silicon on Thin Buried Oxide の略。SOI 基板を用いるSOIトランジスタの一種であるが、特にSOI層、BOX層ともに極薄	⑤

	であることが特徴のトランジスタ。本事業で研究開発しているトランジスタ構造である。	
実効仕事関数	仕事関数とは、物質の表面から1個の電子を無限遠まで取り出すのに必要なエネルギーのことである。即ち、物質のフェルミ準位と真空準位との差を示す。電界効果トランジスタのゲート電極においては、その仕事関数によりしきい値電圧が変化するが、最近のトランジスタでは複雑な組成や構造のゲート電極とゲート絶縁膜が用いられるため、それらの組合せによっては、電荷移動などの現象により物質単体で決まっている仕事関数からのずれが生じる。そこでゲート電極とゲート絶縁膜の組合せで決まる仕事関数のことを実効仕事関数と呼ぶ。	⑤
バンドエッジ	半導体禁制帯のなかで、価電子帯の頂点あるいは伝導帯の底に近い部分を示す。	⑤
ミッドギャップ	半導体禁制帯の中間付近を示す。	⑤
オン電流	MOS トランジスタで、ソースが接地されドレインに電源電圧が印加されている場合に、ゲート電極に電源電圧が印加されている、即ちトランジスタがオン状態になったときにドレインを流れる電流のこと。	⑤
オフ電流	MOS トランジスタで、ソースが接地されドレインに電源電圧が印加されている場合に、ゲート電極が接地されている、即ちトランジスタがオフ状態になったときに、トランジスタを流れるリーク電流のこと。	⑤
ゲート絶縁膜	ゲート電極とシリコンに挟まれた絶縁膜。従来、シリコン CMOS においてはシリコン酸化膜をゲート絶縁膜に用いていたため Oxide と呼ばれていたが現代の CMOS では純粋な Oxide ではない。このため、Insulator という語を採用して CMIS という呼び方も一部ではなされる。	⑤
グランドプレーン(GP)構造	SOTB のようなトランジスタ構造においては、BOX 層裏面直下のシリコン支持基板領域に不純物が注入される。これが平板状の電位安定化層として機能してトランジスタ動作を安定化させる作用を持つため、このような名称になっている。	⑤
ローカルグランドプレーン(LGP)構造	上記の GP 構造では、トランジスタの主要部分のシリコン支持基板領域にほぼ均一に平板状の不純物層が形成されているが、その部分をあえて横方向に不均一な分布とすることで、トランジスタの動作特性を変化させることを目的とした不純物分布構造のこと。	⑤
ゲート長	ゲート電極の長さのこと。これが短いと、ソース電極からドレ	⑤

	<p>イン電極までの距離が短くなり、かつゲート電極の容量が小さくなるために、トランジスタのオン電流が増大し、動作速度も速くなる。勿論、トランジスタそのものの面積が小さくなるために、トランジスタ微細化を表現するパラメータの一つともなっている。</p>	
短チャンネル特性	<p>上記、ソース電極からドレイン電極に至る部分にはゲート電極からの電界効果によりチャンネルが形成される。つまり、ゲート電極が短くなると、チャンネルの長さも短くなる。チャンネルが短いと、トランジスタの動作としてはチャンネルの電気伝導がドレイン電極の影響を受けて特性が変動しやすくなる。具体的には、チャンネル(ゲート長)が短くなるにつれて、しきい値電圧が低下するという現象が生じる。このことを短チャンネル効果と呼び、短チャンネル効果の影響が小さいトランジスタ設計が求められる。この短チャンネル効果の影響の小ささや、短チャンネル状態におけるトランジスタ特性のことを短チャンネル特性と呼ぶ。</p>	⑤
DIBL	<p>Drain Induced Barrier Lowering の略。上記のようにドレイン電極の影響を受けやすくなると、ドレイン電圧の変化に対するしきい値電圧の変動も大きくなる。これを表す指標のことで、短チャンネル効果の程度を表すパラメータでもある。</p>	⑤
グローバルばらつき	<p>トランジスタの特性は、トランジスタ各部の寸法、たとえばゲート長や絶縁膜厚などにより変動する。製造プロセス起因で変動することも多く、シリコンウエハの比較的広い範囲である程度規則的な変化を示すことも多い。このような広い範囲にわたるトランジスタ特性のばらつきのことを示す。</p>	⑤
近接ばらつき	<p>トランジスタ各部の寸法が良く揃っていると考えられる近接したトランジスタ対においても、トランジスタの特性が RDF などの要因でばらつく。このばらつきのことを示す。</p>	⑤
正規分布	<p>平均値の周囲に対称に釣り鐘状に分布するような分布のしかたのことでガウス分布とも呼ぶ。確率的事象で決まる分布の多くでこのような分布をとるものが観測される。統計分布としては最も基本的なもの。</p>	⑤
バルクトランジスタ	<p>通常のシリコン結晶を用いた基板上に形成されたトランジスタのこと。SOI 基板を用いた SOI トランジスタと対となる概念とも言える。</p>	⑤
ハイブリッド集積化	<p>SOI (SOTB) トランジスタとバルクトランジスタを同一の基板上に集積すること。</p>	⑤
SRAM	<p>Static Random Access Memory の略。通常は 6 つのトランジ</p>	⑤

	スタの組で形成されるメモリである。トランジスタプロセスのみで作製できること、各種メモリ中で最も動作速度が高速であるという特徴があるが、面積が大きい、電源を切ると記憶が失われる揮発性である、という欠点もある。	
SRAM アレイ TEG	SRAM 動作特性の評価、製造歩留まりの評価などの目的で、多数の SRAM を並べたもので、これらにアクセス出来る回路も備えた TEG のこと。	⑤
静的雑音余裕 SNM	SRAM の動作特性を示すパラメータの一つ。読み出し動作をしたときに記憶が失われずに安定して読み出せるための電圧余裕の大きさを示したもの。	⑤
SPICE パラメータ	トランジスタなど、回路素子の特性を表現するモデルに与えるパラメータのこと。California 大 Berkeley 校が開発した回路シミュレータ SPICE (simulation program with circuit emphasis) で用いるパラメータであることがこの名称の起源である。	⑤
標準セル	通常、論理集積回路は、基本論理動作を行う各種回路ブロックを組み合わせて構成する。この回路ブロックが標準セルであり、これのマスクパターンレイアウト、論理記述、動作特性記述などをセットにしたものを標準セルライブラリと呼ぶ。	⑤
自動配置配線環境	論理集積回路の設計では、論理動作記述から実際の回路を組み上げるために、標準セルを適切に並べて配線する必要がある。この操作を自動的に行うために必要な各種プログラムやデータファイルなどの総称である。	⑤
設計フロー	論理動作記述から回路レイアウト、動作シミュレーション、動作検証など、一連の設計作業を各種のプログラムやデータファイルを順繰りに使用して行う、設計の流れのことである。	⑤
SPICE シミュレーション	回路の動作波形、各部分の電圧電流、動作速度、消費電力、などを回路図とそれに使用する素子の SPICE パラメータを使用して計算すること。	⑤
アクセラレータ	論理回路の一種。例えば、CPU (中央処理装置) と組み合わせて、特に演算を効率的に高速に行うために使用されるもの。	⑤
OPS/mW	電力効率を示す指標の一種。1mW の消費電力において、1 秒間にどれだけの論理動作ができるか (OPS: Operation per second) を示したもの。	⑤
インバータ遅延時間	CMOS 論理回路の中で最も単純なものが、各 1 個の n チャネルと p チャネルトランジスタを直列に接続した CMOS インバータである。この回路で入力波形と出力波形の時間差を	⑤

	示したものであり、論理回路の高速動作性能を表す指標である。	
BEOL	back end of line (BEOL) 一般に LSI の製造工程におけるコンタクトプラグより上層の配線工程をさす。	⑥
BEOL 設計・製造基盤 (プラットフォーム)	個別デバイスの研究開発を推進するために構築した、BEOL に関する共通設計、および製造基盤技術をさす。	⑥
OPC (Optical Proximity Correction: 近接効果補正)	半導体製造時のマスク補正技術の 1 つで、マスク・パターン上の図形やコーナー部などに補正用のパターンを追加する。あらかじめリソグラフィ・シミュレータや 実験データを基に定めた補正ルール (形状や補正量) に従ってレチクルを作成すること。	⑥
レジストパターン	感光性有機物に形成された回路パターン。	⑥
レチクル	電子部品の製造工程で使用されるパターン原版をガラス、石英等に形成した透明な板。	⑥
デザインゲージ	日立ハイテクノロジーズ社製の測長 SEM 用寸法計測用ソフトウェア。	⑥
測長	平面 SEM 画像から、パターン寸法を抽出すること、またはその抽出した寸法を指す。	⑥
配線トレンチ	配線が形成される前の溝。	⑥
ビア	上下の配線を接続するためのホール形状のプラグ。	⑥
BEP2	LEAP で開発した BEOL 専用のレチクルセット。	⑥
PDK(Process Design Kit)	半導体の製造側から設計者に提供される、回路設計に必要な一連のファイル群。	⑥
DRC(Design Rule Check)	定められた規則に従って、レイアウトが作製されているのかを確認すること、もしくはその規則。	⑥
Density DRC	プロセス上の不良を回避するために定められた、レイアウトのデータ密度に関する規則。	⑥
Antenna DRC	トランジスタのアンテナ劣化を回避するために定められたレイアウト上の規則。	⑥
LVS(Layout versus Schematic)	論理・回路設計段階で作られた素子や素子間の接続が、レイアウト設計で正しく実現されているのかを検証すること。	⑥
銅デュアルダマシン配線	配線溝とビアホールに同時に銅を埋め込み、CMP によって余剰の銅を除去する配線形成プロセス。	⑥
ビアファーストプロセス	銅デュアルダマシン配線形成方法の一種。ビアホールを先に形成し、次いで配線溝を形成する。	⑥
液浸 ArF レジスト	ArF エキシマレーザを使った光学系に、純水を満たして行う露光でパターンニングされる感光性樹脂を指す。	⑥
化学増幅材	レジストの感度を増加させる目的で、レジストに添加される	⑥

	材料。	
トレンチファーストプロセス	銅デュアルダマシン配線形成方法の一種。配線溝を先に形成し、次いでビアホールを形成する。	⑥
ビアチェーン	上下の配線間を直列に蛇行するチェーンパターンをさす。	⑥
ラインモニタ	簡易的な TEG、もしくは回路を搭載したテストウエハを試作することで、ラインの安定性を評価する手法。	⑥
レジスタッシング	感光性樹脂からなるパターンを灰化し、除去すること。	⑥
FOUP (Front Opening Unified Pod)	SEMI (Semiconductor Equipment and Materials Institute) 規格に準拠している 300 ミリウエハ用の搬送容器。	⑥
HDP 膜 (High Density Plasma) 膜	高密度プラズマ化学気相堆積法 (HDP-CVD) を使用して堆積した薄膜。一般的に低い温度でも膜質が良好である。	⑥

I. 事業の位置付け・必要性について

1. NEDO の関与の必要性・制度への適合性

1.1 NEDO が関与することの意義

ネットなどに流れる情報量は年々爆発的に増加し、それを取り扱う情報技術もめざましい発展を見せている今日の社会では、情報・知識を、時間や場所の制約を受けず誰もが自由自在かつ安全に活用できる情報通信環境の実現が望まれている。また、2006年3月に閣議決定された「第3期科学技術基本計画、および2009年12月に閣議決定された「新成長戦略(基本方針)」においても、世界をリードする「グリーン・イノベーション」を実現し、我が国の強みを活かし国際競争力強化のために注力すべき分野として、情報通信機器(IT 機器)・関連デバイス等の情報通信技術分野が挙げられている(図 I -1)。これら分野を支える基幹デバイスとなる半導体集積回路には、一層の高機能化、低消費電力化が求められている。

本プロジェクトは、その具体的施策としての「IT イノベーションプログラム」の一環として実施されており、開発目標である 微細化を進めつつ「IT 機器の消費電力を 1/10 とする超低電圧(0.4V)動作の不揮発動作デバイスコア技術の開発」は、将来の情報通信分野における低炭素社会を実現する中核的・革新的技術であり、我が国エレクトロニクス産業の優位性の確保と情報化社会の推進にとって大きな意義を持つものである。

経済産業省 研究開発プログラム「ITイノベーションプログラム」の 1テーマとして実施

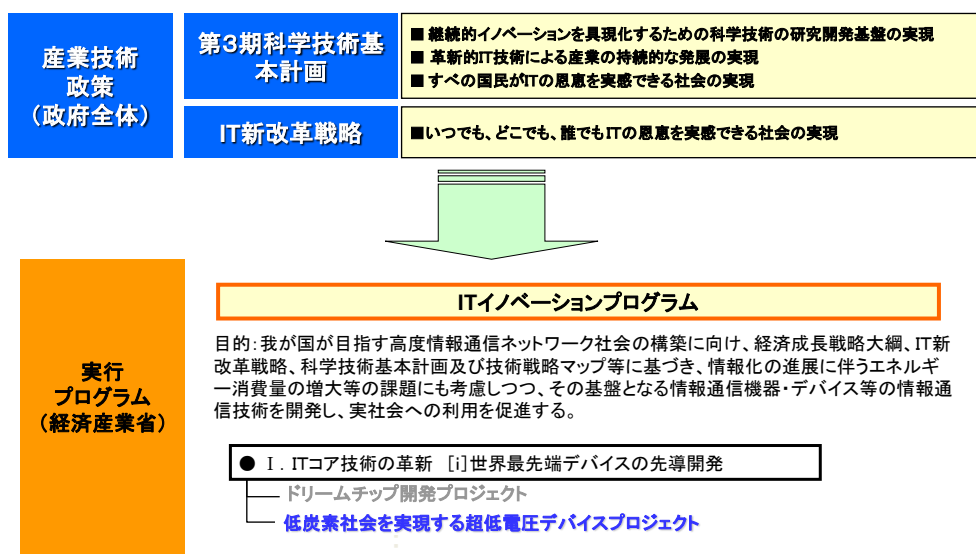


図 I -1 政策上の位置づけ

また、NEDO の中期目標が示すように、我が国の「高度な情報通信社会の実現」、「IT 産業の国際競争力の強化」のため、半導体分野を注力すべき基盤技術分野として捉えており、NEDO の目標にも合致する開発プロジェクトである(図 I -2)。

「高度な情報通信社会の実現」、「IT産業の国際競争力の強化」のため、
情報技術開発分野の半導体における技術開発の一環として実施。

●高度情報通信社会とそれを支える技術分野

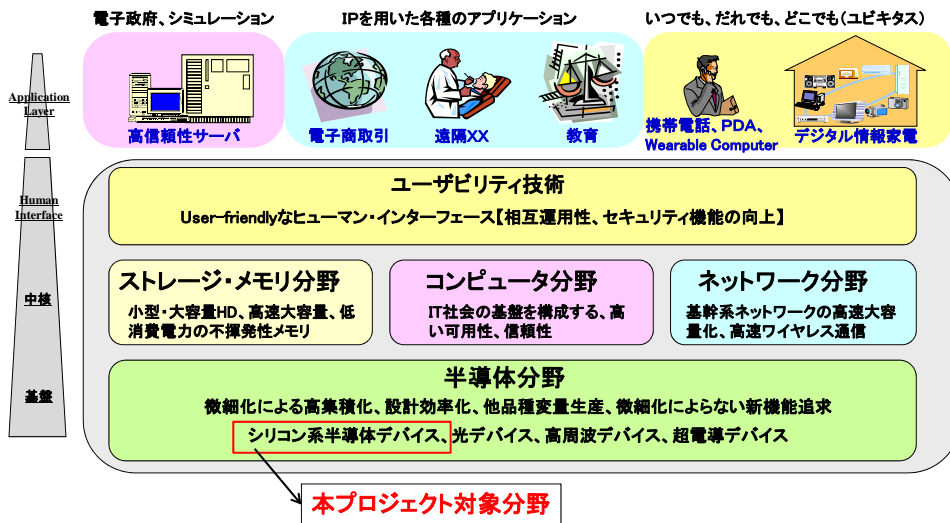


図 I-2 NEDO中期目標における位置づけ

半導体技術がこれまでに機能、消費電力、集積度、コストにおける急速な進歩を達成してきたのは、集積回路を製造するときに使用される最小寸法を年々指数関数的に縮小する微細化技術の向上によるもので、今後も引き続き微細化技術開発を通じて、集積回路の機能あたりコストがさらに低減され IT 技術のさらなる発展と経済における生産性と社会全体における生活の質の大きな改善をもたらすことが期待されている。しかしながら、最近では、微細・高集積化の進展に伴い、開発すべき技術課題の難度と、その克服に要する研究開発資源が増大してきており、民間企業のみでは十分な対応が困難となって来ている。また、微細化のみでは、微細化によるリーク電流の増大、構成デバイスの特性ばらつき増大により IT 機器の消費電力を飛躍的に削減することが難しくなっている。

集積回路の性能向上には、単なる微細化のみならず、新材料、新プロセス、新構造など革新的技術の導入が不可欠で、その必要性は微細化の進展とともにますます大きくなる。すなわち、微細化によって得られてきたメリットをこれまで以上に享受しながら IT を根底から支える半導体技術をさらに発展させていくために、2020 年頃以後の LSI に求められる新材料、新構造、新プロセス技術の開発を実現する技術シーズを発掘育成し、それらを将来の産業技術につなげていくための橋渡しを進める取り組みが必要である。

また、本プロジェクトが対象としている技術課題は、今後の IT 機器の飛躍的な低消費電力化を進める上で重要な鍵を握る技術であり、世界に先駆けて、また、欧米の開発状況から、イコールフットリングの観点からも、これらの課題を克服することは、我が国半導体産業の国際競争力強化に不可欠な要件である。半導体デバイスの高度化は、関連する半導体製造装置、材料等の関連産業においても、技術の高度化を促進するものであり、国際競争力の強化に寄与することとなる。また、半導体 LSI は、情報通信分野はもとより、広範な産業分野(家電、自動車、モバイル、ロボット等)に応用され、高付加価値の新製品開発と、それによる競争力強化に貢献するものと期待される。

以上のように、本プロジェクトは、開発課題の性格上、産学官の英知を結集して開発を行う必要が

あることに加え、我が国半導体とその関連産業の国際競争力強化、および国家的重点目標である高度情報化社会の実現に寄与するものであり、産業政策・情報政策の面からも極めて重要な課題であることから、国家プロジェクトとして NEDO が関与すべきものと考えられる。

1.2 実施の効果(費用対効果)

本プロジェクトは、事業期間 5 年間、事業規模約 100.5 億円の計画で進められている。

(1) 経済効果

本プロジェクトが対象とする集積回路は、半導体メモリ、ロジック、MPU 等の全半導体デバイス(市場規模としては、世界全体で 32 兆円/2020 年の予想 図 I -3)への適応を目指しており、これらを用いた産業機器やコンシューマ機器は、待機電力のゼロ化、動作電力の削減により大幅な省エネルギー化(消費電力 1/10)が期待できる。本研究開発を実施し、他国に先駆けて省エネ機器を実現することで、2020 年において、不揮発デバイスはデジタル家電用混載メモリで 5 割、データセンター用固体ストレージ等で 3 割、低電圧デバイスは IT 機器用汎用マイコン等において 3 割の普及率を目指す。

さらに、その応用展開により、研究開発成果が医療センシングネットワーク、高齢化社会に対応したセキュリティシステム、エネルギーマネジメントシステムなど大きな新市場創出につながると期待され、「社会インフラのグリーン化」にも貢献できる。

これら民生機器、IT 機器に使用されている半導体デバイスを、本プロジェクトの研究開発成果を適用したデバイスに置き換えることにより、経済効果として、2020 年にロジック、マイコンで 8000 億円、メモリで 1 兆 2000 億円が見積もられる。

(2) 省エネルギー効果

本プロジェクトの研究成果であるデバイスの低電圧動作、及び待機電力ゼロを、テレビ等の民生機器やサーバー、ルーター等の IT 機器、データセンター等に使用される MPU、ロジック、メモリに適用することにより、2020 年に 156.5 億 kWh の電力削減を目指す。これは、2020 年に IT 機器が使用すると予想される 1600 億 kWh の約 1 割に相当する。また、炭酸ガス削減量に換算すると、667 万トン/年である。

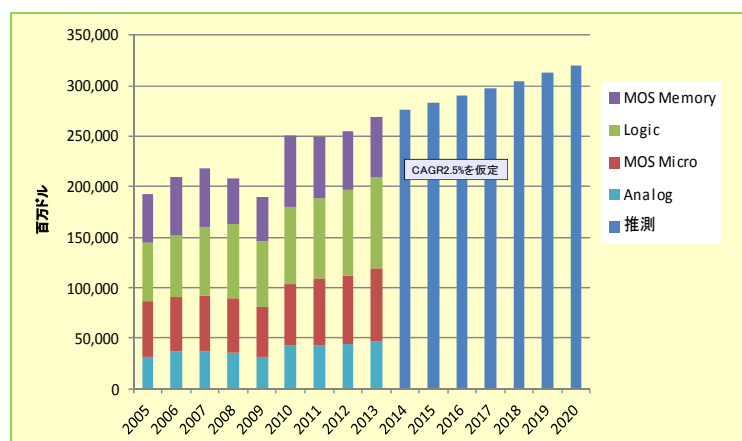


図 I -3 半導体世界市場 (出展:WSTS)

2. 事業の背景・目的・位置づけ

2.1 事業の背景

半導体技術は、情報家電、コンピュータ、通信装置、自動車、医療機器など、我が国の経済を支える先端産業の競争力強化に不可欠な基盤技術である。その発展を支えているのは、シリコン集積回路とその基本素子(デバイス)の CMOS トランジスタであり、これまで、CMOS トランジスタの寸法を微細化するプロセス技術と、微細デバイスを機能させる回路技術により、高性能化・低電力化を実現してきた。しかしながら、単純な微細化のみでは、微細化に伴うリーク電流の削減が難しくなっており、今日予測されているネットに流れる情報量の爆発的な増加、それに伴う IT 機器の待機電力を含む消費電力の急激な増加(図 I-4) に対処が出来なくなっている。

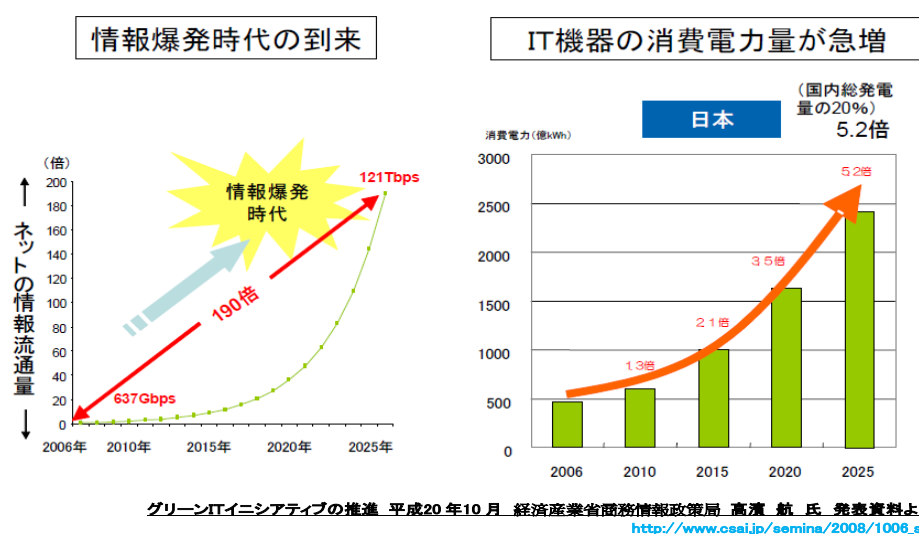


図 I-4 ネット情報量、IT機器消費電力の予測

低炭素社会の実現には、上記 IT 機器の消費電力の増大を押さえることが必要不可欠である。そのためには、IT 機器の究極的な低電圧動作、及び 待機電力ゼロ化による飛躍的な低電力化が必須であり、IT 機器を構成する CPU やメモリ等のデバイスの低電圧動作と不揮発動作が不可欠な技術要素である。

2.2 事業の目的

CMOS 基本回路の消費電力は電圧の自乗に比例するので、電圧を 1/3 にすれば、単純には消費電力がほぼ 1/10 になる。また、電源を遮断しても情報が保持される不揮発デバイスを使えば、待機状態での消費電力がゼロになり、これも、消費電力の低減に大きな効果をもたらす。このように、動作状態では電圧の低減で、待機状態では不揮発動作を使うことで、消費電力の低減が達成される。これらの機能を満たす新しい超低電圧・不揮発デバイスの開発が必要である。

本プロジェクトの目的は、

「新構造・材料を用いて、超低電圧・不揮発デバイスを実現するための基盤技術を確立して 0.4V の超低電圧化を実現し、IT 機器の大幅な小型化・高性能化と 1/10 の低電力化を実現」することにある。

2.3 事業の位置づけ

欧米においては、大型の産学連携ナノエレクトロニクス拠点の整備がここ数年で飛躍的に進み、超低電圧・不揮発デバイスをはじめとした、次世代デバイスに関する実用化を目指した研究が活発に行われ、今後、開発競争は熾烈化するものと考えられる(図 I -5)。海外の研究開発活動の活発化により、このような状況を放置すれば、超低電圧・不揮発デバイスに関する我が国の技術開発の競争力を失いかねない。

以上のように、本プロジェクトは、わが国の競争力の確保と、エネルギー消費削減・低炭素化の両方に貢献すると期待され、本プロジェクト推進の必要性は高い。

組織	IMEC	MINATEC	CEA/LETI	Albany NanoTech	ITRI Electronics & Opto. Res. Lab	Fusionopolis	超低電圧デバイスプロジェクト (Tsukuba -TIA)
	ベルギー	フランス	フランス	米国	台湾	シンガポール	日本
国・地域	ベルギー	フランス	フランス	米国	台湾	シンガポール	日本
ターゲット	ナノエレクトロニクス CMOS 技術 ヘルスケア	マイクロエレクトロニクス、 ナノテクノロジー、 エネルギー	マイクロエレクトロニクス、 情報、ヘルスケア	CMOS 技術 (リソグラフィ中 心)	光電子融合、 MRAM、3D 積層 BEOL Lab	R&D ファンダリ CMOS& MEMS プロセス	超低電圧不揮発デバイス・基 盤技術 BEOL プラットフォーム
主要テーマ	<ul style="list-style-type: none"> CMOS 微細化 (<20nm) 新構造デバイス ナノカーボン、新材 料不揮発デバイ ス(MRAM, 相変 化, RRAM, 原子 移動デバイスメモ リ応用) 	<ul style="list-style-type: none"> マイクロ・ナノテ クノジ (300mm) MEMS (200mm) バイオテクノロジー エネルギー 	<ul style="list-style-type: none"> FD-SOI (量産試 作 w/ ST 応用) 向デバイス ヘルスケア・医療 MEMS 通信 医療・安全 運輸・環境・環 境モニタ 防衛・安全 宇宙 	<ul style="list-style-type: none"> CMOS 微細化 (<20nm) 低電力志向 FD-SOI 開発 中 グラフェン、 CNT 応用 デバ イス(大学) 	<ul style="list-style-type: none"> ウエハ 3次元積 層、実装 相変化を用いた 新材料不揮発メ モリ 	<ul style="list-style-type: none"> ストレージ応用 新材料不揮発デ バイス(相変化、 MRAM) CMOS 基板上に BEOL 工程新デ バイス付加 	<ul style="list-style-type: none"> 新材料不揮発デバイス 磁性変化、相変化、原子移 動等 BEOL プロセスで構築 集積化基盤技術 ナノカーボン (CNT, グラフェン) 配線、ナノ構造トランジスタ (SOTB) BEOL 工程で異種材料を融 合するプラットフォーム
クリーン ルーム面積 (ウエハ径)	4800m ² 300mm 3200m ² 200mm	8000m ² (300, 200 mm)	8000 m ² (200, 300, MEMS 用)	北(3200m ²) 南(3000m ²) (300mm)	200 mm	5200m ² (200mm)	SCR (3000m ²) (300mm) 研究ライン (1500m ²)
参加企業 組織・大学	<ul style="list-style-type: none"> ASML, Infineon, NXP, Bosch, SOITEC, STMicro, Thales, Thomson Silicon Components, エルピーダ、パナ ソニック 	<ul style="list-style-type: none"> Leti, STMicro, Semitool AIST, NIMS, MMC (日本) 	<ul style="list-style-type: none"> MINATEC、IBM, STMicro, Micro Machine Center (日本) 	<ul style="list-style-type: none"> IBM, Global Foundaries, ASML, Micron, Toshiba, 東工 シ、AMAT, ASML、Vistec, Sematech 		<ul style="list-style-type: none"> 日米欧の 32 社 参加(日東電工 等) スタンフォード大、 精華大学など26 校がパートナー 	<ul style="list-style-type: none"> 組合: 荏原、東芝、東京エ レクトロン、NEC、富士通、 富士通セミコン、日立国際 電気、日立、三菱、ルネサス エレクトロニクス 産総研、慶応大学、神戸大、 芝浦工大、東京大学、電気 通信大、立命館大
その他	研究者 1,950 (職員 1200) 予算 3億€(2011年) 3.2億€(2011年)	研究者2,400+産600 学生 1,200 予算 3.5億€ (内公的資金 1億)	研究者 1,500 学生 20 予算 2.5億€ (2011年) 25%政府資金	予算 50億ドル (4500億円/年)	予算 300億円		研究者 55 2010年度(20.5億円) 2011年度(22.9億円) 2012年度(22億円) (総額 100億/5年)

赤字は競合するテーマ

図 I -5 国内外の研究開発動向

II. 研究開発マネジメントについて

1. 事業の目標

本プロジェクトでは、エレクトロニクス機器の飛躍的な低電力化に向けた、材料・プロセス・デバイス技術の研究開発を掲げ、低電圧化が可能と期待されている抵抗変化型不揮発デバイス(①磁性変化デバイス、②相変化デバイス、③原子移動型スイッチデバイス:BEOL デバイス)と、これと組み合わせることで更なる低電力化を可能とする集積化基盤技術である、④三次元ナノカーボン配線、および、超低電圧動作を可能にする⑤ナトランジスタ構造デバイスの研究開発を行う。5 つの技術とその用途、および、適用場所をデバイスの断面構造として示したのが図 II-1 である。なお、⑥BEOL (Back-End Of Line) プラットフォームは、材料、構造の異なる3つの抵抗変化型不揮発デバイスを、配線工程 (BEOL) で配線間に形成するための共通技術である。

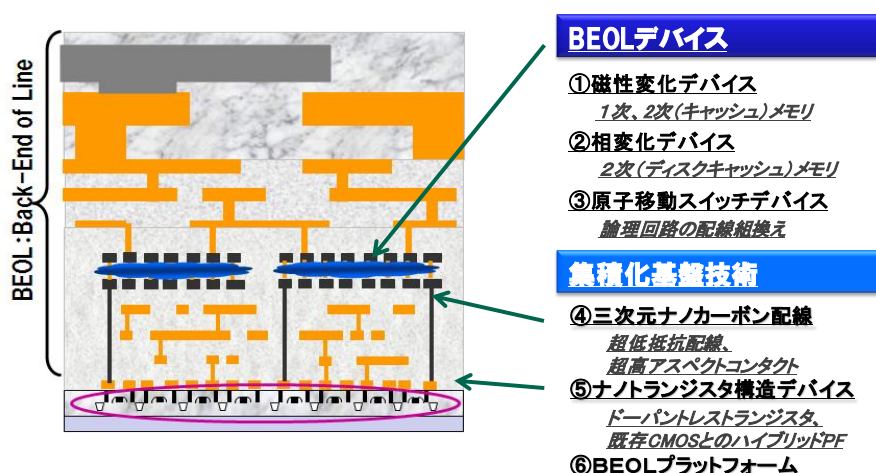


図 II-1 研究開発テーマと集積回路における適用場所のイメージ

これらの低電圧化/低電力化技術は、それぞれの特徴を活かした適用先を目指している。それを、LSIを用いた情報処理の階層構造におけるデバイスの役割として示したのが図 II-2 である。磁性変化デバイスは高速読み出しが可能で、かつ、SRAM や DRAM と同様に無限回書き換えの可能性があるため、CPU などの論理回路と直接情報をやり取りする一次メモリ(一〜三次キャッシュやメインメモリ)に、相変化デバイスは相変化領域を微細化しても相変化を起こすことが可能なことから、高集積が必要なファイルやディスクキャッシュなどの二次メモリとして、そして原子移動型スイッチは微細でかつ低抵抗な電流パスが作れることを利用して、微細で、かつ状態保持に電力を必要としないFPGA(再構成可能回路)用のスイッチに使うことを想定している。ナノカーボン配線はストレージ等の超高集積LSIにおける低電力基盤技術としての応用を想定し、ナトランジスタ構造デバイスは論理回路を超低電力化する新たな基盤技術に位置づけている。

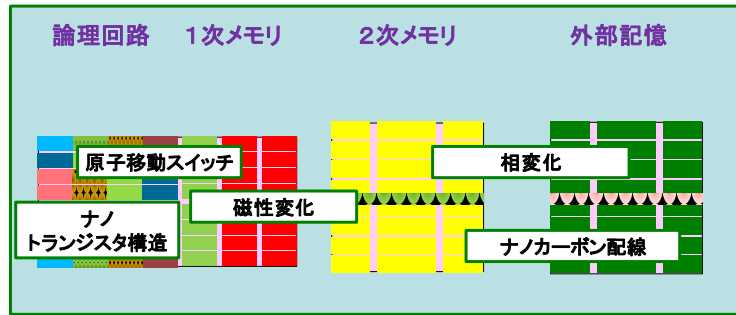


図 II-2 情報処理におけるデバイスの役割

研究開発項目①

磁性変化デバイス

「ロジック集積回路内1次メモリを対象とした、高集積・高速特性・高書き換え耐性などの機能を有する超低電圧・不揮発デバイスの開発」

エレクトロニクス機器に使用されるプロセッサやシステム LSI では、論理演算部とデータを直接やり取りする 1 次メモリとして、SRAM が同一チップ上に混載されている。国際半導体技術ロードマップ (ITRS)によれば、現状、LSI に混載されるメモリ部がチップ面積の半分以上を占めており、今後その比率は更に増大すると予測されている(図 II-3 左)。その理由は、情報処理能力を上げるためには、1 次メモリの容量増大が非常に有効なためである。そこで、チップ面積を増大することなく混載メモリ容量を増大できれば、プロセッサやシステム LSI の高性能化を加速できる。また、混載される SRAM の容量が大きいいため、そこで消費される動作時と待機時の電力はチップ消費電力の半分以上を占めており(図 II-3 右)、それを抑制することができれば、プロセッサやシステム LSI の低消費電力化を通して、低炭素社会実現に貢献できる。

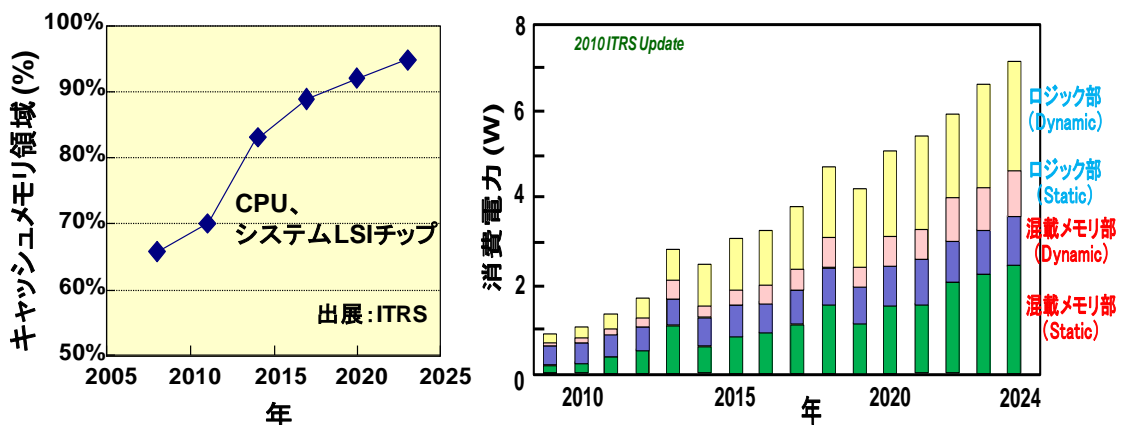


図 II-3 キャッシュメモリ面積と消費電力の増大

1 次メモリの動作時の消費電力を低減するには、メモリの読み書きに必要な電圧を下げ適切な条件で動作させること、また待機時の消費電力を低減するには、電源を切ってもメモリ内の情報を保持できる不揮発性を持たせることが必要である。

そこで、混載 SRAM を置き換えるための要件 (高集積、高速、高書き換え耐性) を満たす 1 次メモリ

の開発を行うことを目的として、次の目標を設定した。

【中間目標】(平成24年度末)

- ・メモリ単体レベルで、読み書き電圧0.4V 以下、読み書き電流100 μ A 以下、読み書き時間10ns (電力量0.4pJ 以下)の実証。1.2V 動作SRAM の1/10 の電力の実証。
- ・新材料を用いた新プロセスの、300mm バックエンドラインへの統合による、デバイス動作実証。
- ・試作・評価によるメモリパラメータ取得と、それを用いた低電圧動作用メモリ周辺回路設計。
- ・高集積化を可能とする多値動作の確認。

【最終目標】(平成26年度末)

- ・加速試験による10年間のリテンションと、書き換え回数 10^{16} 回の達成。
- ・実用に耐える信頼性技術確立への指針の提示。
- ・低電圧動作用の周辺回路を備えたメモリマクロで、読み書き電圧0.4V、読み書き電流100 μ A 以下、読み書き時間10ns、1.2V 動作SRAM の1/10 の電力を実証すると共に、メガバイト級メモリの実現可能性の提示。
- ・メモリマクロでの多値動作を実証することによる、従来SRAM比2倍の高集積化の可能性を提示。

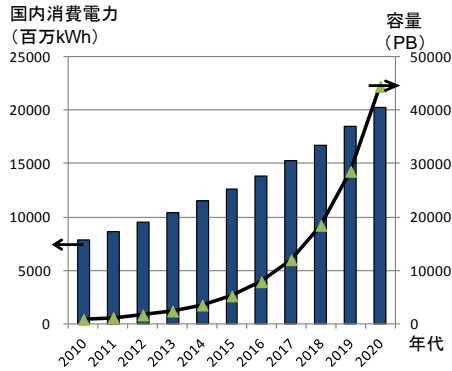
研究開発項目②

相変化デバイス

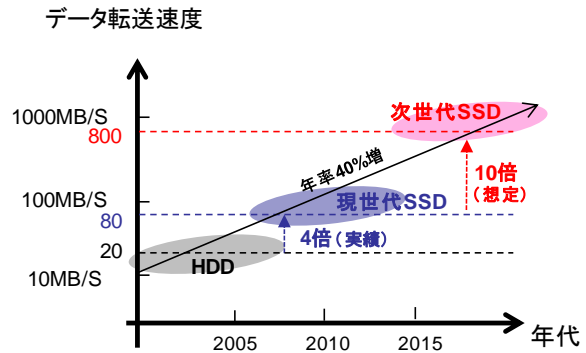
「外部記憶の高速低電力データ転送を実現する、高集積・高速低電力書き込み特性などの機能を有する超低電圧・不揮発デバイスの開発」

インターネットの高速化と情報通信機器の高度化により、外部記憶が消費する電力量の爆発的増大が課題視されている(図 II-4(a))。HDD はディスク回転で動作が律速されるため、高性能化には限界がある。一方、フラッシュメモリを搭載した SSD は、高速データ処理が可能でかつ消費電力が小さいため、記録容量は低いが HDD を代替する外部記録として、年々その需要が増大しているが、ブロック単位でのデータ消去に起因する実効的な書き込み時間の増大が、消費電力増大と、複雑な使いこなしという課題を発生させている。

特に、大量の外部記憶装置を使いこなすデータセンターにおいては、ストレージ階層における上位ストレージ(Tier0)が、本質的に重要になる。Tier0 はデータ量全体の 5%を保存する階層であるが、アクセスが 80%と頻発するため、その性能向上による電力削減効果はきわめて大きい。但し、Tier0 の要求トレンドを満たすためには、現世代 SSD では実現困難な高速化が必要となる。具体的には、現状の 10 倍以上の単位電力あたりのデータ転送速度が、次世代 SSD に求められる(図 II-4(b))。



(a) 国内データセンターのトレンド



(b) ストレージデバイスのトレンド

図 II-4 データセンターとストレージデバイスのトレンド

そこで、外部記憶の圧倒的な消費電力低減を実現するため、データ転送を高速低電力で実現し、外部記憶の消費電力を圧倒的に低減しうる高集積メモリの要件を満たす、相変化デバイスを開発することを目的に、次の目標を設定した。

【中間目標】(平成24年度末)

- ・単体デバイスとして、クロスポイント型メモリセル試作と動作実証。
- ・データ転送速度200MB/s を、従来の1/3 の電力(200mW) で可能とする単体デバイスの書き込み動作、および、さらなる高速低電力化の可能性の根拠を示すこと。

【最終目標】(平成26年度末)

クロスポイント型メモリセルを集積化したメモリアレイ試作と動作実証。

- ・書き換え回数 10^6 回以上の達成
- ・データ転送速度400MB/s の高速動作実証
- ・従来の1/10 の電力(66mW)の低電力動作実証
- ・メモリセル面積4F2 (F; 最小加工寸法)のメモリアレイによる高集積性実証

研究開発項目③

原子移動型スイッチ

「配線切り換えを可能とするスイッチを対象とした、低電流・高速書き換え、高オン・オフ抵抗比、小面積などの機能を有する超低電圧・不揮発スイッチデバイスの開発」

近年、電子機器の製品サイクルが短縮し、短 TAT、少量多品種生産、頻繁な仕様変更等が必要となってきたため、ロジック集積回路の一部または全部の回路を再構成可能にした、プログラマブルロジックへのニーズが高まっている。しかしながら、現在のプログラマブルロジックデバイスでは、回路を再構成するスイッチに、パストランジスタと SRAM を組み合わせた SRAM スイッチが用いられており、その大きな消費電力のためにコンシューマ市場へ浸透していなかった。したがって、プログラマブルロジックデバイスの動作時、および待機時の電力を削減することは、低炭素社会の実現に大きく貢献する。

本研究では、図 II-5 に示す通り、PLD (Programmable Logic Device) と ASIC (Application

Specific Integrated Circuit)の長所を合わせ持つ、低消費電力、小チップ面積、短 TAT、低マスクコストのデバイスの実現をターゲットとする。さらに、実現のための基本コンセプトとして、図 II-6 に示すように、従来の SRAM スイッチに代わる、原子移動型スイッチをベースとした小型不揮発スイッチを開発し、ロジック層上の BEOL(Back End of Line)に搭載する。そのために、ロジック集積回路の低消費電力化・低電圧化に対応可能であり、かつ、スイッチの書き換え時、および保持時の低消費電力化を実現する、配線切り換えを可能な超低電圧・不揮発スイッチデバイスの開発を行う。具体的には、オン・オフ抵抗比が大きく、スイッチ素子の面積が小さく、配線容量、およびスイッチ容量が低容量であり、かつ、書き換えに必要な書換え電流と書換え速度の積(電荷量)が小さいため低電力書き換えが可能である、スイッチデバイスを実現することを目的に、次の目標を設定した。

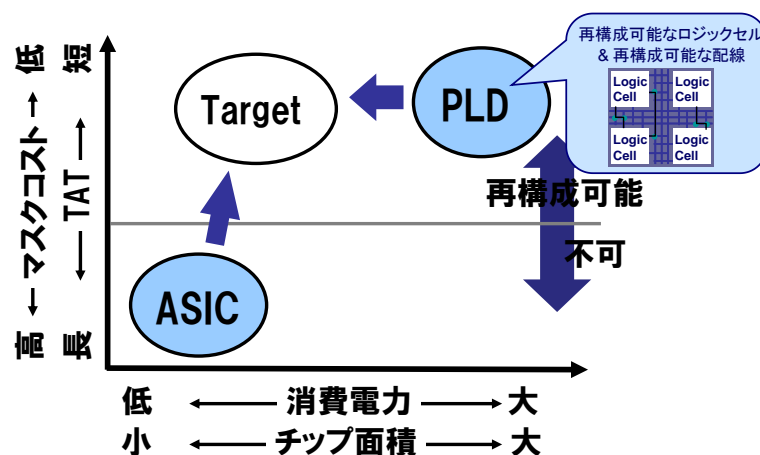


図 II-5 本研究のターゲット

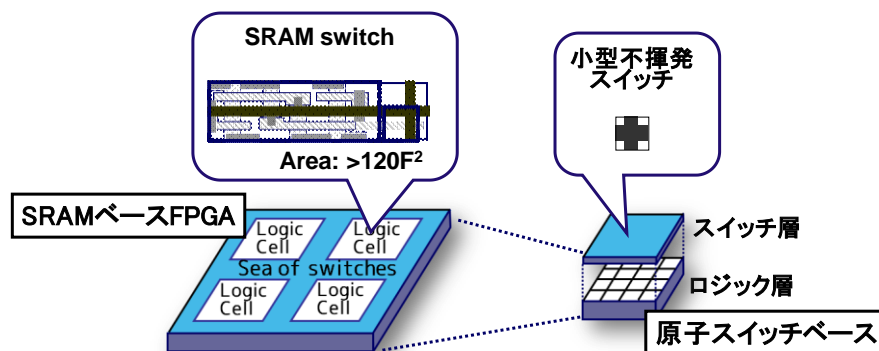


図 II-6 本研究の基本コンセプトであるスイッチ over ロジック

【中間目標】(平成24年度末)

スイッチ素子の材料選定、素子構造の最適化を行い、単体素子での下記の動作検証を行う。

- ・単体素子性能として書換え電流と書換え速度の積が 10^{-10} A秒 以下
- ・オン・オフ抵抗比 10^5 以上
- ・書き換え回数 10^3 以上

【最終目標】(平成26年度末)

以上の成果に基づき、大規模集積化に必要なスイッチ素子特性のばらつきを低減し、300mm径Si

基板を用いてロジック集積回路を試作し下記を達成する。

- ・本スイッチにより配線切り換えを行ったロジック集積回路が0.4V で動作可能であり、その際の消費電力がSRAM スイッチにより配線切り替えを行った従来型1.2V 動作ロジック集積回路の1/10 以下。
- ・スイッチ素子面積が、同一世代のSRAM スイッチを用いたプログラマブルロジックデバイス(PLD) に比べ1/20 以下。

研究開発項目④

三次元ナノカーボン配線

「集積回路チップ内において、機能ブロックの三次元集積を実現するための、微細幅・超低電気抵抗、超高アスペクト比配線・材料技術の開発」

集積回路チップの三次元高集積化には、個々の機能ブロック同士を接続するための多層配線の微細化・長距離対応、さらに縦方向配線の超高アスペクト比化が不可欠である。現在、集積回路チップ内配線には、Cu、W 等の金属材料が主に用いられているが、配線寸法の微細化に伴って、結晶粒界や界面での、電子の非弾性散乱効果による配線抵抗の急激な増大が顕著になりつつある。ITRS で到達が予想される配線幅 10nm 前後の領域では、大幅な抵抗上昇が生じ、従来の金属材料では所要の性能を実現できない。このため、フラッシュメモリ 1B(～10nm)世代、或いは3次元積層メモリ(BiCS 型フラッシュメモリ或いはクロスポイント型メモリ)では設計要求(面抵抗: $\leq 3 \Omega/\square$)を大幅に超えて増大することが予想されている(図 II-7、図 II-8)。

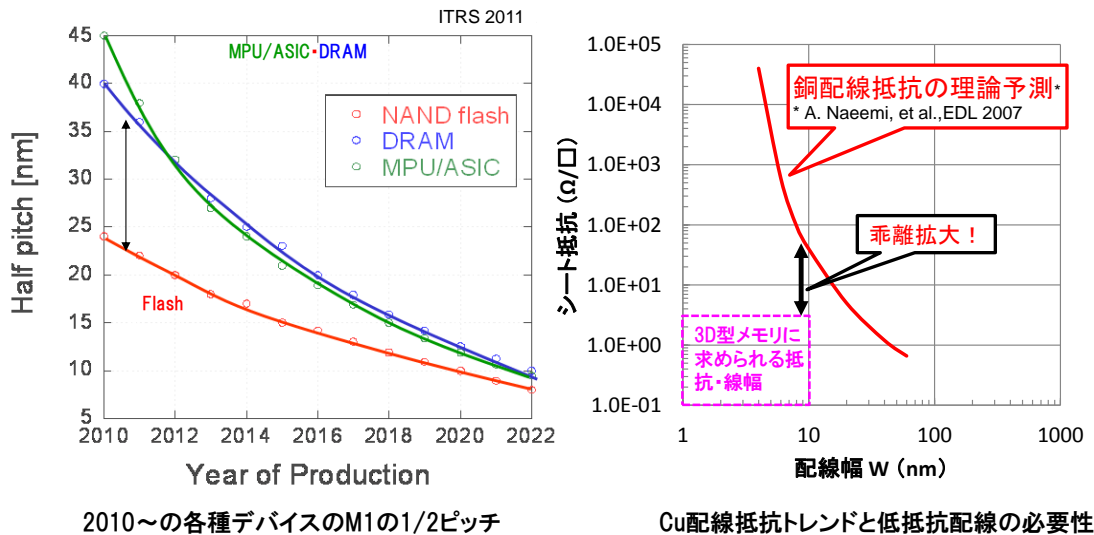


図 II-7 フラッシュの配線微細化トレンド(ITRS2011)、Cu配線の抵抗トレンドと低抵抗化の必要性

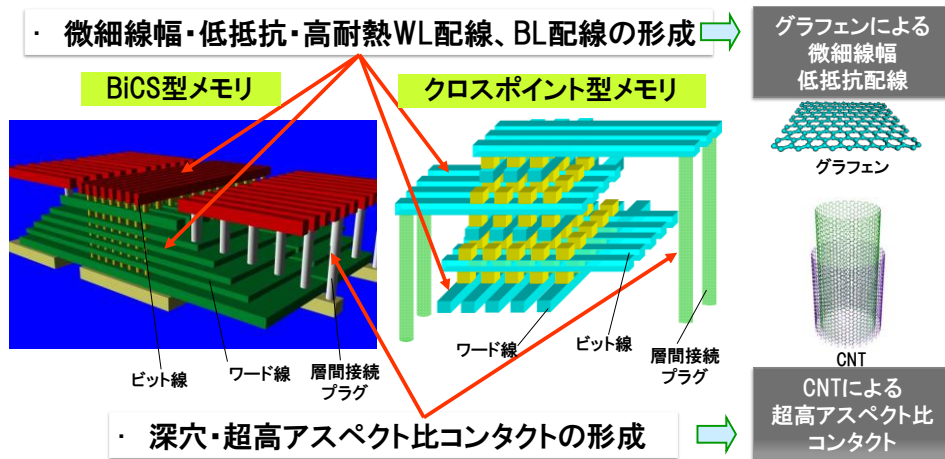


図 II-8 三次元ナノカーボン配線の実用化目標

また、三次元積層集積のためには、微細でかつこれまでにない超高アスペクト比（コンタクトホール
の深さと直径の比）のコンタクト開発が求められており、将来的にはアスペクト比 30 の埋め込みが必
要になると予想されている。グラフェン、カーボンナノチューブ（CNT）などのナノカーボン材料は炭
素原子の強固な結合により、微細寸法でも低散乱で極めて長いキャリアの平均自由行程（グラフェン
で $1\mu\text{m}$ 、CNT で $25\mu\text{m}$ など）が報告され、急激な抵抗増大のない伝導特性が予想されている。さら
に W 並みの高耐熱性や Cu よりも 2 桁高い電流密度耐性など、微細配線材料として優れたポテンシ
ヤルを有している。そこで、ナノカーボン材料を用いて技術課題を解決し、機能ブロックの三次元集
積を実現させる微細線幅（ $\leq 20\text{nm}$ ）・長距離（ $\leq 0.7\text{mm}$ ）に対応した横方向配線技術と、超高アスペク
ト比（30）に対応したコンタクトプラグ技術を 300mm 基板上で実証することを目的に、次の目標を設定
した。

【中間目標】（平成24年度末）

- ・微細線幅（100nm）、低抵抗（シート抵抗 $< 50\Omega/\square$ ）の配線実証
- ・微細直径（90nm）、超高アスペクト比（ ≥ 16 ）のコンタクトホールへのナノカーボン材料埋め込み
実証

【最終目標】（平成26年度末）

- ・微細線幅（ $\leq 20\text{nm}$ ）、長距離（0.7mm）、低抵抗（シート抵抗 $\leq 3\Omega/\square$ ）の配線実証
- ・微細直径（90nm）、超高アスペクト比（30）のコンタクトホールへのナノカーボン材料埋め込みと、
W以下の抵抗（接触抵抗を含む）の実証

研究開発項目⑤

ナトランジスタ構造デバイス

「CMOS トランジスタの超低電圧動作、及びリーク電流抑制を同時に実現するための、低しきい値ば
らつきトランジスタを集積化するための技術開発、並びに、この技術を用いた高集積機能素子にお
ける低電圧動作実証」

CMOS トランジスタを用いた集積回路の超低消費電力化を進めるためには、適切な電源電圧を設
定して応用から要求される動作速度を満たしながら、最も消費エネルギーの小さい状態でトランジス

タを動作させることが必要である。一般に CMOS 集積回路の消費エネルギーが最低になる電源電圧は、図 II-9(a)に示されるように 0.4V 前後になることが知られているが、実際にこのような超低電圧で動作可能な CMOS 集積回路を製造することは困難であった。現状では、低電力 CMOS 回路の動作電圧は 1.2V が標準であり、速度を度外視した回路の動作下限電圧も 0.6V 程度である。

CMOS 集積回路の消費電力を現状の 1/10 以下に低減するためには、CMOS 集積回路の動作下限電圧を 0.4V 以下に低減する技術と、使用状況に応じて動作電力効率を最適に制御する技術の確立が不可欠である。図 II-9(a)からわかるように、動作電力は現状の 1.2V から 0.4V に低減することで 1/9 まで低減できる。リーク電力も含めて使用状況に応じて電力を最適に制御すれば、従来の 1/10 以下の電力が実現できると考える。

一方、図 II-9(b)に示される電源電圧の推移からわかるように、最近の CMOS では動作電圧の低減が極めて困難であることがわかる。そこで、動作電圧低減の主たる阻害要因である、しきい電圧ばらつきを低減でき、かつ、使用状態に応じて動作条件を変化させる基板バイアス電圧制御が可能なデバイスを開発すると共に、それを集積化するために必要な技術開発と低電圧動作実証を行うことを目的に、次の目標を設定した。

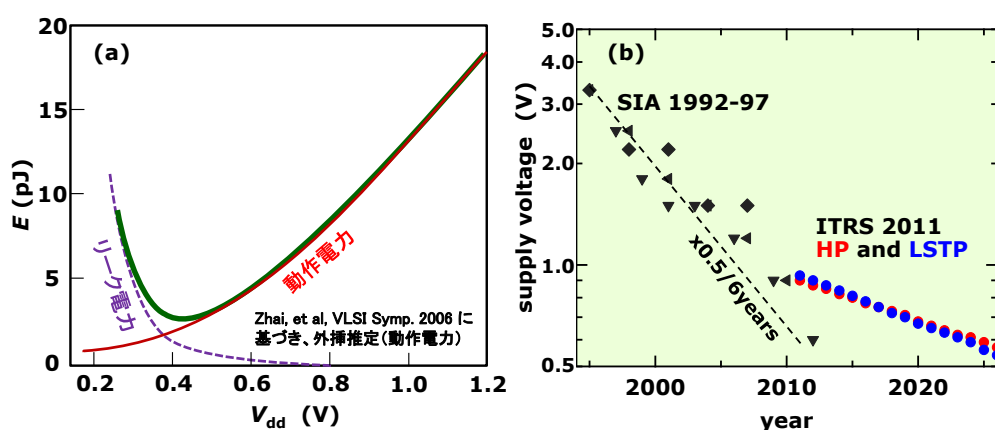


図 II-9 (a) CMOS 回路消費エネルギー E の電源電圧 V_{dd} 依存性、
(b) ロードマップに示された電源電圧の年次推移

【中間目標】(平成24年度末)

- ・100 万個以上のトランジスタで、平均 $\pm 0.1V$ 以下($\pm 5\sigma$)の局所しきい電圧ばらつきを達成
- ・低い電源電圧に動作を最適化し、基板バイアス制御技術を適用したナノトランジスタ構造デバイスを集積した1Mbit 以上のSRAM での、0.4V 動作を実証

【最終目標】(平成26年度末)

- ・ナノトランジスタ構造デバイスと既存のCMOS トランジスタとの融合集積化技術を確認するとともに、その設計環境構築への指針を提示する。
- ・従来デバイスに比較して消費電力を1/10 に低減できる基盤技術を確認するとともに、実用化回路レベルでの達成目処を示す。

研究開発項目⑥

「BEOL 設計・製造基盤(プラットフォーム)開発」(H22 補正)

図 II-10 に示すように、様々な新材料・新構造デバイスを配線層の一部として作ることを効率化するために、素子や回路の設計工程、さらには、プロセスや材料などに係る製造工程を可能な限り共通化し、これを、BEOL 設計・製造基盤(プラットフォーム)とすることを目的に、次の目標を設定した。

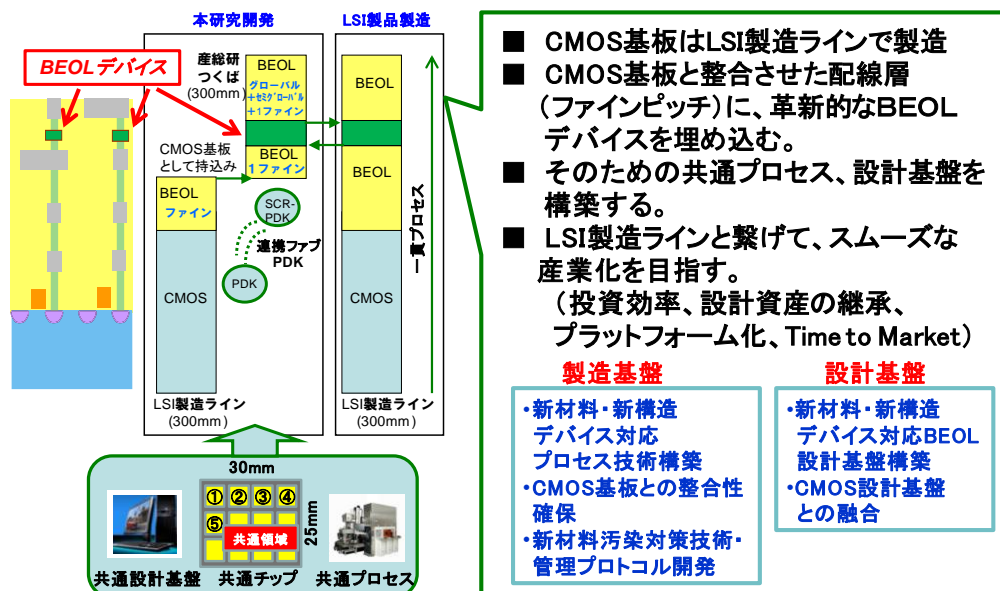


図 II-10 BEOL プラットフォーム開発

【目標】(平成 23 年度末)

個別デバイス(研究開発項目①～③)の研究開発を推進するための共通設計基盤として、BEOL 設計・製造基盤(プラットフォーム)を開発する。その際、以下の条件を目標とする。

新材料や新構造デバイスに共通で使え、かつ、新材料の相互汚染や熱耐性、さらには、プロセス雰囲気の影響などの観点から、それぞれのデバイスの特性を損なうことのない、BEOL プロセスレシピの作成。

相互汚染防止、汚染除去、汚染評価などからなる管理プロトコルの作成。

PDK として、設計ルール、配線特性パラメータ、OPC ルールの策定。

2. 事業の計画内容

2.1 研究開発の内容

(1) 研究開発項目の概要

①: 研究開発項目①

磁性変化デバイス

「ロジック集積回路内 1 次メモリを対象とした、高集積・高速特性・高書き換え耐性などの機能を有する超低電圧・不揮発デバイスの開発」

磁性変化デバイスは、2 層の磁性薄膜とそれらを物理的に分離する絶縁膜からなる MTJ (Magnetic Tunnel Junction; 磁気トンネル構造) と、スイッチであるトランジスタ (MOSFET; Metal Oxide Semiconductor Field Effect Transistor) から構成されている。電子のスピン注入を用いて磁性薄膜の磁化方向を変化させることで MTJ の抵抗を変え、流れる電流の大小で記憶の有無を判断するデバイスである。従来の磁性変化デバイスは 1V 以上の電圧が必要であるが、これを 0.4V 程度で動作する低電圧デバイスにするために、下記の内容で研究開発を行う。

a) 要素プロセス開発

a)-1 多層磁性膜構造、材料、プロセス技術

新材料を含む多層からなる磁性膜の、層構造、材料、膜厚、成膜・加工などのプロセス技術を低電圧動作向けに最適設計し、それらを基本プロセスとして構築したうえで、300mm ラインで試作実証する。具体的には、トンネル絶縁膜 (MgO) の高品質化を目指した成膜技術 (図 II-11) など Magnetic Tunnel Junction (MTJ) の高品質化、垂直磁化膜、ストレス制御技術、磁性膜加工技術、汚染制御技術などを開発する。

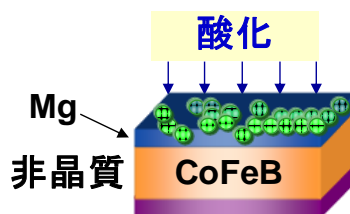


図 II-11 トンネル絶縁膜形成プロセス (Mg 酸化の場合)

b) 磁性変化デバイス開発

b)-1 低電圧動作構造開発

磁性変化デバイスの低電圧動作を実現するためには、メモリ部への効率的な電圧印加が必要となる。従来報告されている構造 (スイッチ用トランジスタにつながる下部電極上に、磁化の向きが固定されたピン層が存在する構造; 図 II-12 左) では、書き込みに必要な印加電圧に非対称性が存在することと、スイッチ用トランジスタの動作上の特性から、低電圧での書き込みが困難である。この課題を解決するために、メモリ部の多層構造として従来報告されている構造を反転したトップピン構造を提案し開発す

る。および、このトップピン構造(図 II-12 右)に適した材料、プロセス、デバイスなどを開発する。

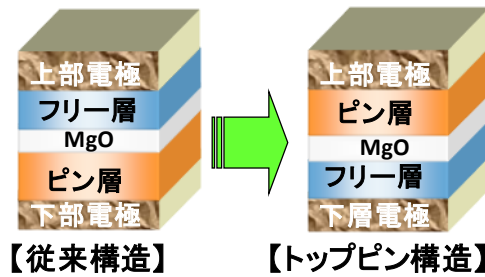


図 II-12 トップピン構造

b)-2 多値化技術開発

磁性変化デバイス素子を用いた多値化の検討を行う。磁気トンネル接合を複数重ねた三次元構造の新しい磁性変化デバイス素子を開発する。この多値情報を読み出すために、高感度のセンス方式の研究も行う(図 II-13)。

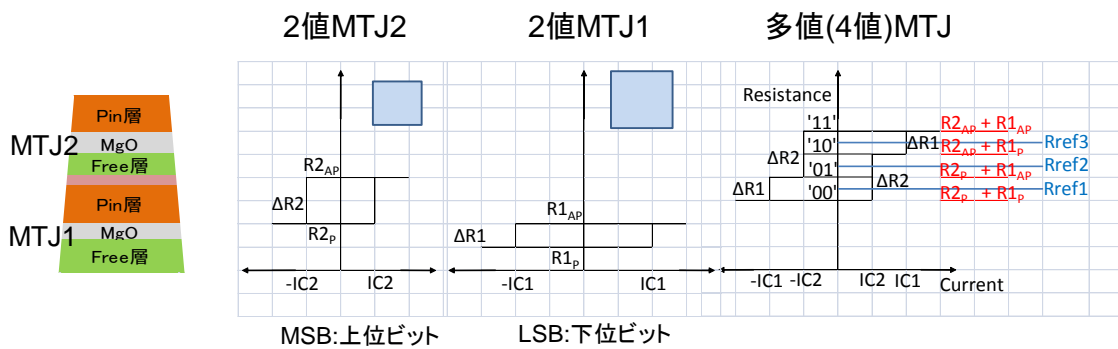


図 II-13 多値メモリの動作を示す概念図

b)-3 配線層集積化電流センサ技術

磁性変化デバイスを電流センサ(図 II-14)へと展開し、配線領域に三次元的に集積化可能なセンサ技術を開発し、電流モニタリングを通して集積回路の低電力化に貢献する。

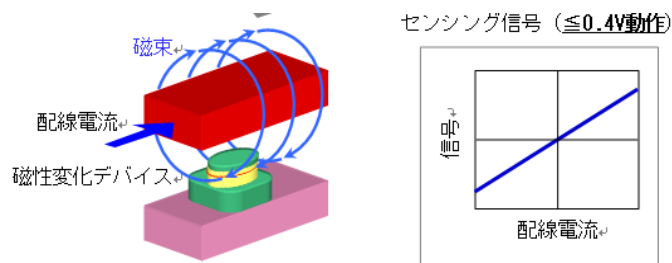


図 II-14 配線電流のリアルタイムセンシング機能の概念図

c) 集積化開発

磁性変化デバイスのスイッチや駆動回路を構成する CMOS デバイスに影響を及ぼすことなく、磁性変化デバイスを多層配線部へ埋め込むためのプロセスを開発する(図 II-15)。特に、磁性材料は、従来のシリコンプロセスでは使用されたことのない新しい材料であり、シリコンプロセスへの汚染が懸念されるため、その対策技術を開発する。また、CMOS プロセスが、磁性変化デバイスに及ぼす影響を最小限にする研究も行う。具体的には、プロセスガスやプロセス温度が、磁性変化デバイスの電気特性や磁気特性などに及ぼす影響など、集積化の際の課題を解決する技術を開発する。

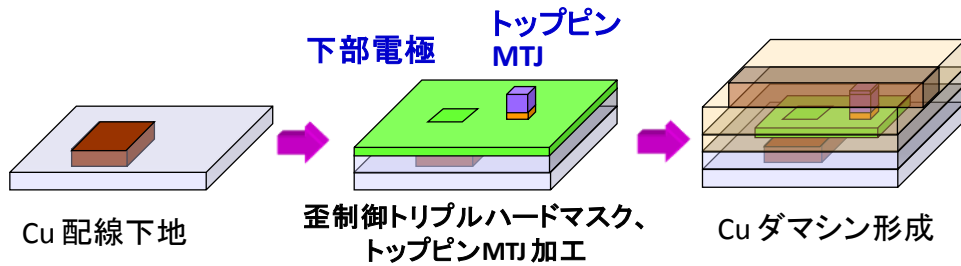


図 II-15 集積化プロセス(MTJ 形成部分)

d) 周辺回路開発(共同実施 神戸大学、立命館大学)

d)-1 低電圧動作回路技術開発

非常に低い電流での読み出しを可能とし、かつ、誤書き込みが無い、磁性変化デバイス専用の新規センス回路を設計する。新規センス回路では、磁性変化デバイス素子の高抵抗値と低抵抗値の中間値の負性抵抗を、並列に接続した回路を用いる(図 II-16)。

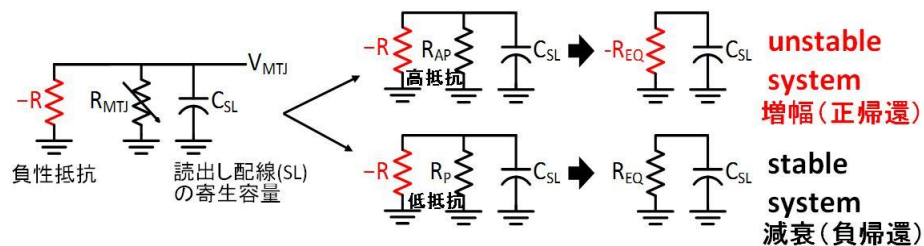


図 II-16 磁性変化デバイス用センス回路方式の例

d)-2 モデリング

磁性変化デバイスの動作を記述する、回路シミュレーションに適したコンパクトな回路モデルを新規に構築する。実測との比較を繰り返して、モデルの精度を上げる。また、多値化に対応可能な、磁性変化デバイスモデリングの方式検討も行う。

②: 研究開発項目②

相変化デバイス

「外部記憶の高速低電力データ転送を実現する、高集積・高速低電力書き込み特性などの機能を有する超低電圧・不揮発デバイスの開発」

外部記憶向けメモリの最有力候補の一つである相変化デバイスを開発する。従来の結晶・非晶質の相転移とは異なるメカニズムを利用した超格子相変化素子を開発し、かつ、書換え電力のさらなる低減に向け、熱を効率的に発生させて、その散逸を防ぐ材料と構造を開発する。さらに、これらの材料、プロセス技術を用いたデバイス技術を開発して、集積化実証する。そのために、下記の内容で研究開発を行う。

a) 相変化材料技術開発

a)-1 成膜技術(超格子相変化膜の成膜技術開発)(共同実施 産業技術総合研究所)

書換え電力の大幅な削減に向けて、大きなエネルギーを必要とする従来の結晶・非晶質間相転移に代わり、Ge 原子の短範囲移動(Ge 原子の移動により、Ge 原子と他の原子(Sb, Te)との化学結合状態(4 配位と 6 配位)が変化する)を利用する、結晶・結晶間相転移を用いる(図 II-17)。具体的には、相変化超格子を、産総研スーパークリーンルーム(SCR)の PVD(Physical Vapor Deposition)装置を用いて成膜する。これを期待通りに発現させるために、膜厚、組成、成膜温度限界などを 300mm ウエハ上で高精度に制御する技術を開発する。

なお、本開発では、LSI プロセスとして 300mm ウエハ上に初めて成膜する。また、原子層レベルの膜厚、および界面制御を高度化するために、超格子膜の CVD(Chemical Vapor Deposition)成膜技術を初めて開発する。

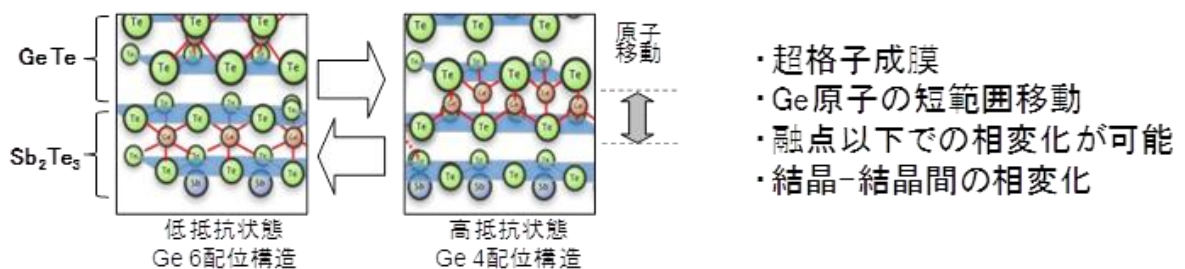


図 II-17 超格子相変化の概念図

a)-2 解析技術(熱拡散防止層のシミュレーションによる検証)

現状の相変化素子では入力電力の 1%だけが相変化に寄与し、残りの 99%は熱として散逸している。熱拡散防止層による熱の閉じ込め効果をシミュレーションによって確認しながら(図 II-18)、材料の選択や不純物添加による効果などを調べ、熱拡散防止層の最適化を行う。

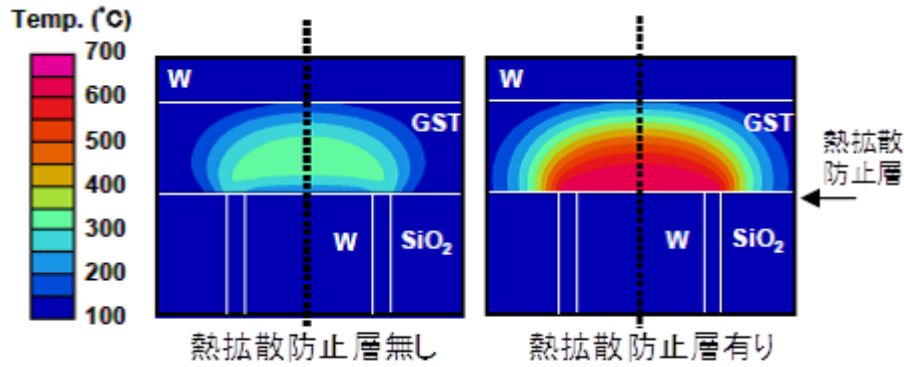


図 II-18 熱拡散防止層のシミュレーションによる検証

b) 集積化実証

b)-1 クロスポイントセル開発/集積化開発

クロスポイント型セル(図 II-19)とは、メモリのワード線とビット線が最小寸法ピッチ (2F, Fは最小加工寸法)で配置されて直交し、セルサイズが最小値の4F²となるメモリ構造であり、高集積セルの第1候補である。

クロスポイント型相変化デバイス集積化に必須である、ポリ Si ダイオード(図 II-19)の要素技術も開発する。成膜技術として、ポリ Si ダイオードの p-i-n 接合構造の最適化であり、i 層となるホドープ Si 層の構造、上下の p/n 層からの不純物拡散などの最適化を行う。加工技術として、自己整合によるクロスポイント型セルのドライエッチングプロセスを構築する。これらを、産総研の 300mm ラインを用いて開発する。

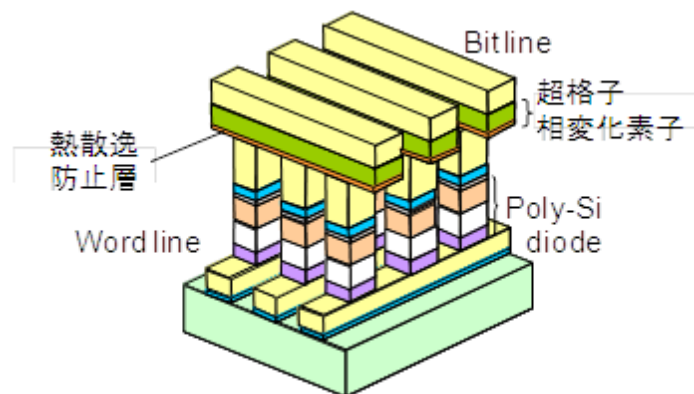


図 II-19 ポリ Si ダイオードを用いたクロスポイント型セル

b)-2 周辺回路開発(共同実施 中央大学)

相変化デバイスの特徴を活かした動作方式や、クロスポイント型セルに特有なアレイ動作、および、低電力相変化メモリアレイ周辺回路の開発を行う。アレイ TEG 試作を通して、高速低電力でのデバイスの書き込み動作、および、さらなる高速低電力化の可能性の根拠を示す。超格子相変化の特徴を活かした動作方式も開発する。

③: 研究開発項目③

原子移動型スイッチ

「配線切り換えを可能とするスイッチを対象とした、低電流・高速書き換え、高オン・オフ抵抗比、小面積などの機能を有する超低電圧・不揮発スイッチデバイスの開発」

プログラマブルロジックデバイスの回路再構成に用いる配線切り換えスイッチを対象に、ロジック集積回路の低消費電力化・低電圧化に対応可能で、スイッチの書き換え時、および保持時の低消費電力化を実現する超小型・不揮発スイッチデバイスの開発を行う。また、開発したスイッチデバイスの集積化と動作実証を行う。そのために、下記の内容で研究開発を行う。

a) 原子移動型スイッチデバイス開発

a)-1 デバイス開発 (3端子原子移動型スイッチ開発)

配線切り換えを可能とするスイッチとして、オン・オフ抵抗比が大きく、スイッチ素子の面積が小さく、配線容量およびスイッチ容量が小さく、さらに、書き換えに必要な電流と書き換え速度の積(電荷量)が小さいため低電力書き換えが可能であるスイッチデバイスを開発する(図 II-20)。具体的には、原子移動型スイッチの課題を解決でき、上記条件を満足する3端子原子移動型配線切換えスイッチを開発する。

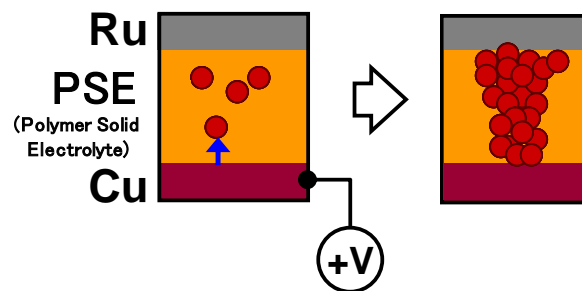


図 II-20 原子移動型スイッチの原理

a)-2 回路技術開発

原子移動型スイッチ素子を用いたプログラマブルロジックデバイスを実証するための TEG を設計・試作する。設計・試作する TEG は、原子移動型スイッチの機能を検証する TEG、特性を評価する TEG の 2 種類である。機能検証 TEG はクロスバースイッチ(図 II-21)、プログラマブルロジックセル等である。特性評価 TEG は、デコーダを用いたスイッチアレイ等である。チップ面積が従来のスイッチに比べて 1/4 以下に、また、消費電力が 1/2 以下になる技術を開発する。

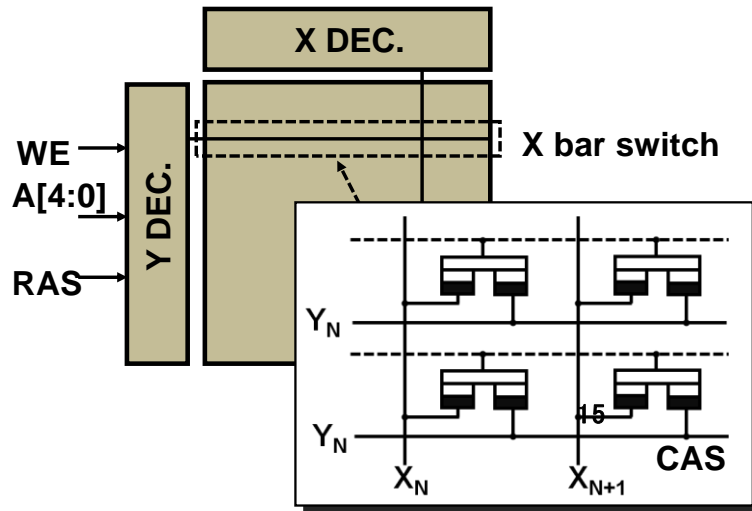


図 II-21 クロスバースイッチの模式図

a)-3 原子移動型スイッチ信頼性研究(イオン伝導材料・プロセス・構造開発)(共同実施 東京大学)

従来の原子移動型スイッチ素子では、書換え電圧と保持特性(信頼性)との間にトレードオフの関係が存在する(図 II-22)。すなわち、高い電圧で書き込み動作を行わないと実用に耐える情報保持特性が得られない。本開発では、独自のポリマー固体電解質(PSE)を使い、かつ、膜構成や電極/固体電解質界面を最適化することでこのトレードオフ関係を緩和し、保持特性(信頼性)を確保しながら書換え電圧の低減を図る。

さらにその保持信頼性モデルを新たに構築するため、電気化学の実験的側面、および第一原理計算を用いた理論的な側面から原子移動型スイッチの信頼性に関する研究を実施する(共同実施 東京大学)。

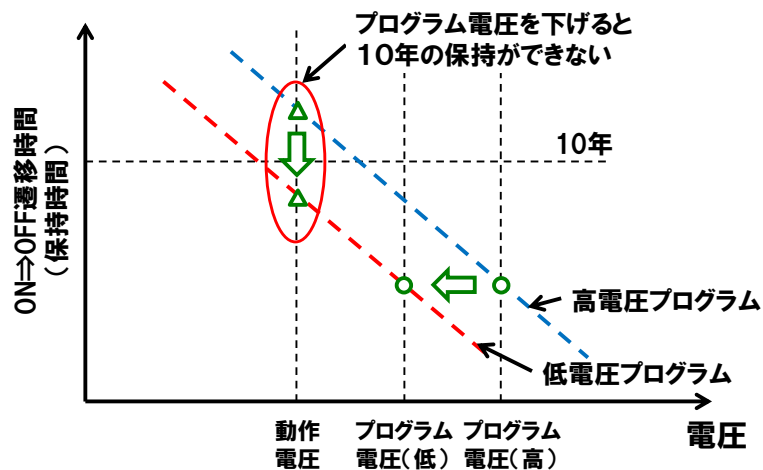


図 II-22 原子移動型スイッチの書換え電圧と保持特性の関係

b) 集積化開発

b)-1 集積化技術

原子移動型スイッチでは、CMOS の銅(Cu)配線を活用し、これを下部電極としてイオン伝導層(ポリマー固体電解質)を堆積する。Cu 下部電極の形状、表面の物理・化学的な状態が Cu の原子移動に及ぼす影響を把握しながら、300mm ウエハを使った製造プロセスに適合した、原子移動型スイッチ製造プロセス技術を開発する(図 II-23)。

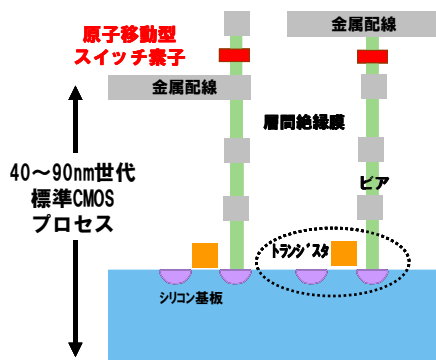


図 II-23 集積化された原子移動型スイッチの断面模式図

b)-2 汚染除去技術

原子移動型スイッチでは、従来の半導体デバイスでは一般的に用いられない新材料を用いる。このような新材料による従来プロセスへの影響が懸念されるため、新材料の汚染評価・除去技術を開発し、集積化要素プロセスとして集積化プロセスに組み込む。

④: 研究開発項目④

三次元ナノカーボン配線

「集積回路チップ内において、機能ブロックの三次元集積を実現するための、微細幅・超低電気抵抗、超高アスペクト比配線・材料技術の開発」

三次元積層化が進む次世代不揮発デバイスの配線要求に対して、従来の金属(Cu、W)配線は、微細化に伴って急激に抵抗が上昇し(細線効果)、また、縦方向コンタクトの超高アスペクト比化には、金属の埋め込み限界で対応できないという課題を有している。これらの課題を解決するブレークスルー技術として、グラフェン・カーボンナノチューブ(CNT)などのナノカーボン材料に注目した。これらの材料では炭素原子の強固な6員環構造に起因する極めて長いキャリアの平均自由行程(グラフェンで $1\mu\text{m}$ 、CNTで $25\mu\text{m}$ など)が報告されている(K. I. Bolotin et al., 2008, p. 096802)(H.J Li et al., 2006, p. 096802)。また、ナノカーボン材料はW並みの高耐熱性やCuよりも2桁高い高電流密度耐性など、微細配線材料として本質的に優れたポテンシャルを有する。そこでこれらの材料の合成および加工技術とともに、既存の半導体微細加工技術の適用が期待できるグラフェンを用いて微細幅横方向配線技術を開発する。また、それ自体が超高アスペクト比で縦方向の配線に適したCNTを用いて、超高アスペクト比コンタクト配線技術を開発する。そのために、以下の内容で研究開発を行う。

a) ナノカーボン配線基礎技術開発

a)-1 ナノカーボン配線材料技術

多層グラフェンの微細幅配線特性を剥離グラフェンを用いて先行検証し、低抵抗化のための指針を示す。配線プロセスと整合性のある温度での多層グラフェン成長を行い、 300nm 化のための触媒・前処理・成長・成長後処理などの条件検討を行い、膜としての低抵抗特性を示す。また、超高アスペクト比(AR)微細コンタクト向けのCNT埋め込み成長の原理実証を行い、目標抵抗に向けたプロセス設計とCNT構造検討を行う(図 II-24)。

a)-2 超低抵抗ナノカーボン配線技術(共同実施 芝浦工業大学)

ナノカーボン配線超低抵抗化のための基礎検討として、ナノカーボン膜の結晶性の向上、ドーピング、低抵抗金属接触について検討を行う。

a)-3 ナノカーボン材料の配線適用における理論的研究(共同実施 慶應義塾)

ナノカーボン材料を三次元集積デバイス用微細配線構造に適用する上での可能性と課題を、理論的な面から検討する。具体的には、微細線幅($\leq 20\text{nm}$)・長距離($\leq 0.7\text{mm}$)対応の配線構造におけるナノカーボン配線の伝導特性について、モンテカルロシミュレーションによる理論予測を行い、ナノカーボン材料の品質や層数、配線の端部構造等と伝導特性の相関関係を示すとともに、その結果を実験によって検証する。

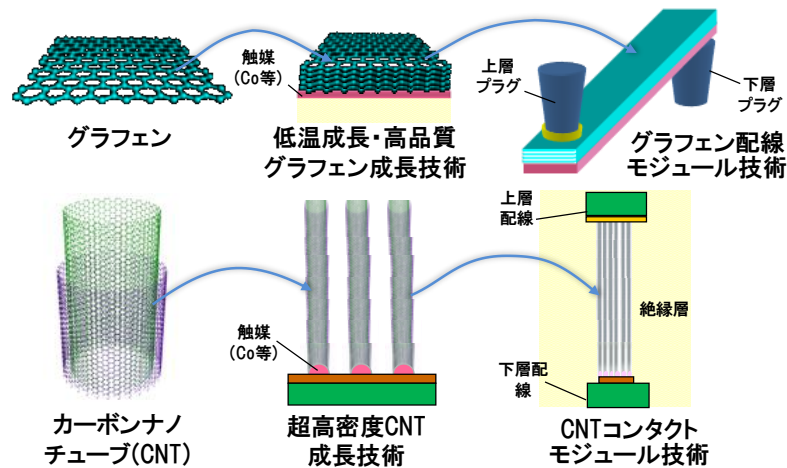


図 II-24 グラフェンおよび CNT 材料の構造・成長・配線の概念図

b) ナノカーボン配線プロセス技術

b)-1 300mmナノカーボン成長プロセス開発

300mm 径ウエハに対応したナノカーボン成長装置およびプロセス開発を行う。産総研スーパークリーンルーム(SCR)に、CNT 及びグラフェン成長に必要な触媒金属成膜チャンバー、同触媒の活性化等を行うプラズマ処理チャンバー、CNT/グラフェンの成長チャンバーを備えた 300mm ナノカーボン成長装置を導入する。同装置により超高アスペクト比ホールを含む配線 TEG 構造への触媒成膜、触媒前処理、CNT およびグラフェンの成長プロセス技術を開発する(図 II-25)。

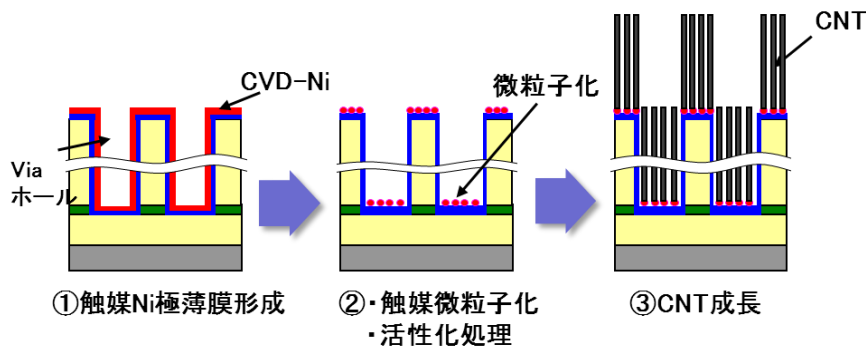


図 II-25 CNT コンタクト TEG への高密度 CNT 成長プロセスの例

b)-2 300mmナノカーボンCMPプロセス開発

コンタクトホール内に成長させた CNT を、プラグ状に加工形成する CMP プロセス技術を開発する。CNTは機械的強度が高く、かつ化学的に安定である特徴を持つため、従来の金属膜や絶縁膜に対する CMP 技術を用いては良好な研磨形状、研磨特性を得ることが困難であることが知られている。そこで、CNT 固有の CMP 技術を開発する(図 II-26)。加えて、横方向配線向けに微細配線溝に形成した触媒あるいはグラフェン/触媒層を平坦化するグラフェン向け CMP 加工技術を開発する。

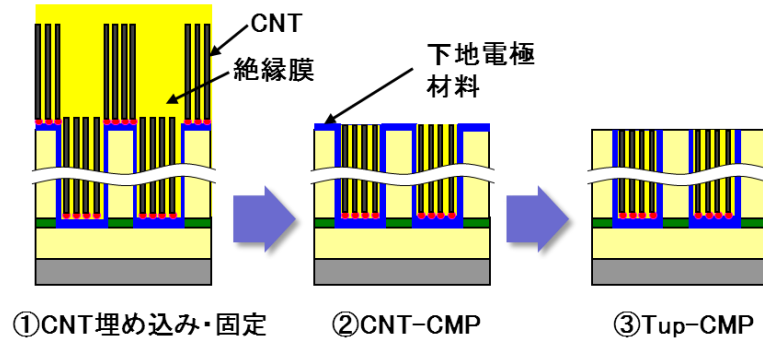


図 II-26 CNT コンタクト用の CNT 固定化と CMP 平坦化プロセス例

c) ナノカーボン配線集積化技術開発

c)-1 ナノカーボン配線集積化

300mm 径基板上での配線特性実証のために、300mm 対応の配線集積化技術を開発する。具体的には、300mm ラインでの微細配線・CNT 電特と信頼性検証を行う。300mm ウェハを用いた CNT コンタクトプラグの抵抗、およびグラフェン配線の抵抗を評価するための専用 TEG マスクを設計・製作し、これを用いて高アスペクト比(≧30)の CNT コンタクトプラグや超微細幅(≦20nm)のグラフェン配線形成技術を開発する(図 II-27)。

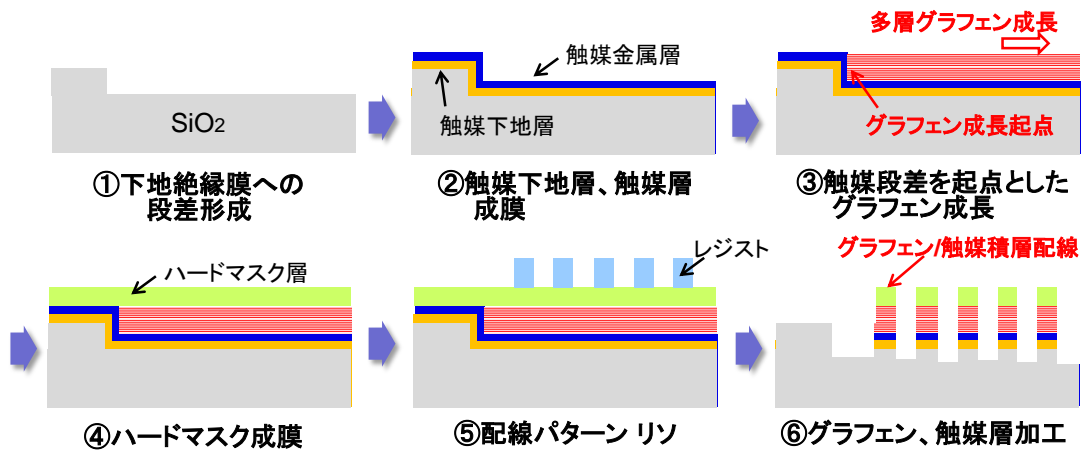


図 II-27 微細幅グラフェン配線の集積化イメージ(RIE 型の例)

⑤: 研究開発項目⑤

ナトランジスタ構造デバイス

「CMOS トランジスタの超低電圧動作、及びリーク電流抑制を同時に実現するための、低しきい値ばらつきトランジスタを集積化するための技術開発、並びに、この技術を用いた高集積機能素子における低電圧動作実証」

0.4Vという超低電圧集積回路を実現するために、トランジスタが本質的に持っているばらつきを低減できる新構造ナトランジスタを開発する。ばらつきが、チャネルドーパント(不純物)の数の局所揺らぎに支配されていることがわかっており、ドーパントを用いずにしきい値電圧調整の行えるドーパントレストランジスタがその候補である。この構造を、いわゆるSOI(Silicon On Insulator)構造で実現し、かつ、バルクCMOSと混在できる構造にする。

これらのプロセス・デバイス開発に加えて、システムレベルでの超低電圧動作の効果を実証するために、基本回路の設計基盤、設計手法の構築を行い、実際に小規模な回路を設計して低電圧動作を実証する。

そのために、下記の内容で研究開発を行う。

a) ナトランジスタ構造デバイスの開発

a)-1 ナトランジスタ構造の最適化

300mm 製品ファブにそのまま適用可能な仕様のプロセスを用いて、ナトランジスタ構造デバイスの開発を行い、実用化に必要なトランジスタ構造や性能の最適化を行う。具体的には、超低電圧で電力効率の高い回路動作が可能となるように、トランジスタ特性のばらつきを抑制し、超低電圧動作に最適なしきい値電圧と、適度な基板バイアス感度を設定できる構造を開発する。このため、短チャネル効果を抑制しながら寄生抵抗と寄生容量を共に低減するためのソース・ドレイン部、ゲート電極やゲート絶縁膜の材質、裏面ゲートとして機能する BOX(埋め込み酸化膜)層裏面の Si 支持基板の不純物濃度やプロファイルの最適化、SOI や BOX 膜厚の最適化を行う(図 II-28)。

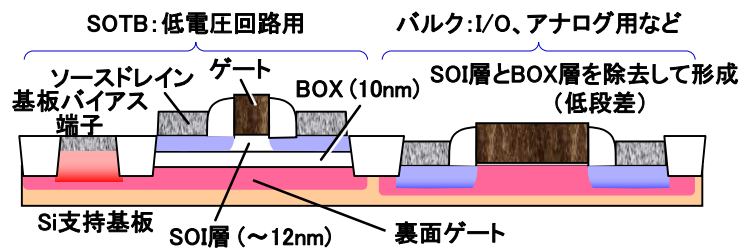


図 II-28 ナトランジスタ構造デバイスの断面模式図

a)-2 ばらつき低減/特性制御・性能最適化指針(共同実施 東京大学)

不純物起因によるばらつきを減らしたデバイスのばらつきを詳細に評価・解析し、大規模な回路にも対応出来るように、特性分布の裾も考慮しながら安定した低ばらつき特性が得られる構造や作製プロセスを開発する。また、0.4V という超低電圧での SRAM に代表される基本回路(図 II-29)の動

作解析、実測データとの比較検討による動作解析精度の向上、さらにこの結果に基づく超低電圧動作に最適なデバイス構造の方向付けを行う。

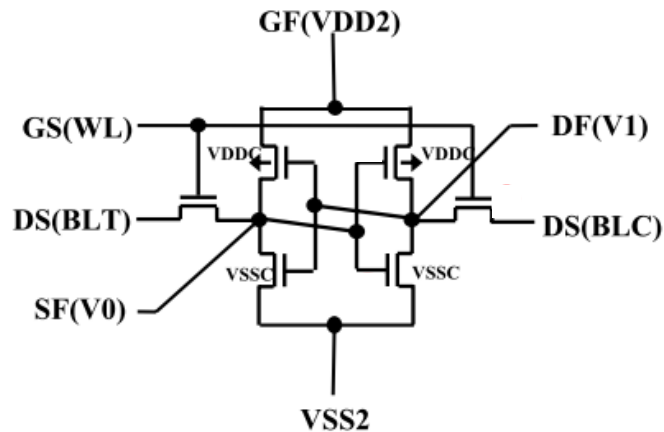


図 II-29 SRAM ノイズマージン TEG のセル回路図

b) 超低電圧ハイブリッド集積化基盤技術開発

b)-1ハイブリッドデバイス開発/SRAMによる検証

ナトランジスタ構造デバイス(SOTB)と従来バルク CMOS が容易に混載(図 II-28)できるハイブリッドデバイス・プロセスを構築する。具体的には、ナトランジスタ部分とバルク CMOS 部分の段差を考慮した最適な素子分離構造やソース・ドレイン部構造、ゲート電極構造、配線層との接続構造などを検討する。さらに、大規模 TEG を用いたインテグレーション、信頼性評価を経て、1Mb レベルの SRAM の 0.4V という超低電圧での動作検証へとつなげる。

c) 超低電圧LSIプラットフォーム開発(共同実施 電気通信大学、芝浦工業大学、慶應義塾、京都工芸繊維大学、京都大学、東京大学、大阪大学、東京理科大学、産業技術総合研究所)

LSI チップ試作のために、設計ルールを始めとする設計プラットフォームを整備する。具体的には、ナトランジスタ構造デバイスの特徴であり、かつ、超低電圧回路動作の必須技術である、基板バイアス電圧印加を行うことが可能なナトランジスタ構造用最適化セルライブラリの改良と、基板バイアス電圧の安定印加技術の開発を行う。さらに、上記のセルライブラリや基本要素回路設計情報を活用しながら、より大規模な設計試行を通じて超低電圧 LSI を構築するための設計手法、設計フロー(図 II-30)、最適な設計パラメータの設定法等の開発を行う。

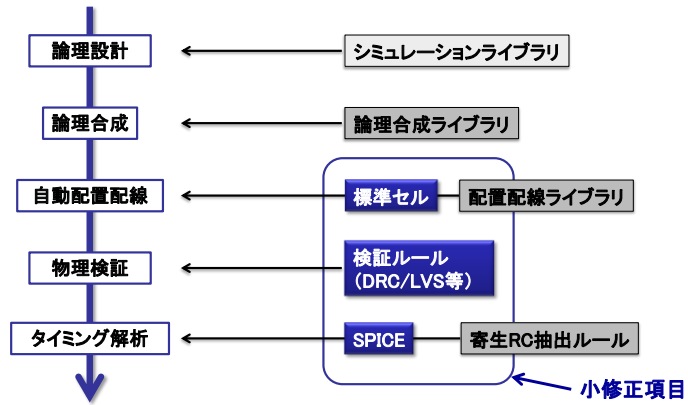


図 II-30 ナノトランジスタ構造デバイスを用いた論理回路の設計フロー

d) 超低電圧システム試作

上記 c) で得られる設計プラットフォームを活用しながら、超低電圧動作による電力削減効果が期待できるハードマクロコア、ないしはネットリストを開発するとともに、その開発過程で得られる知見を c) の設計プラットフォーム開発にフィードバックする。

上記、設計プラットフォームの開発とシステム試作を通じて、最終年度までに従来デバイスに比較して消費電力が実用化回路レベルで 1/10 に低減できる目処を示す。

⑥: 研究開発項目⑥

「BEOL設計・製造基盤(プラットフォーム) 開発」

様々な新材料・新構造デバイスを配線(BEOL)層の一部として作ることを効率化するために、素子や回路の設計工程、さらには、プロセスや材料などに係る製造工程を可能な限り共通化し、これを、BEOL設計・製造基盤(プラットフォーム)として開発する。

a) BEOL設計基盤開発

BEOL 製造基盤を用いて、様々な新材料・新構造デバイスを配線層の一部として作るために必要な、デバイス・配線関連の設計基盤を開発する。具体的には、パターン設計ツール、パターン設計に際しての OPC (Optical Proximity Correction) ツール、検証ツール、パターン検査用電子顕微鏡等のツールと評価機器を導入し、設計基盤となる PDK (Process Design Kit) を開発する(図 II-31)。

b) BEOL製造基盤開発

300mm ウエハ CMOS 基板上に、下地 CMOS との位置関係など、デザインルールの整合性を保ちながら、配線層の一部として、様々な新材料・新構造デバイスを形成するための製造技術を開発する(図 II-31)。

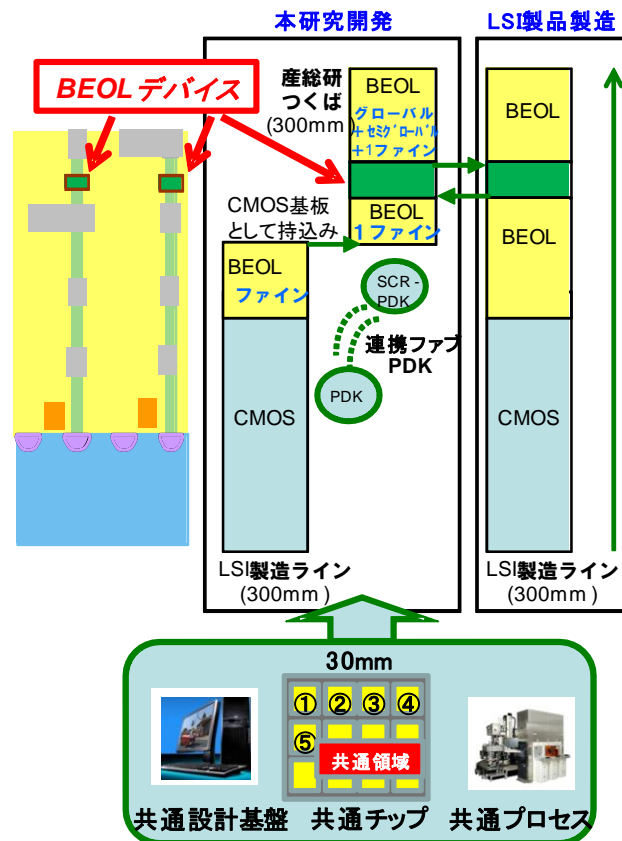


図 II-31 BEOLプラットフォームを用いたデバイス試作の流れ

(2) 研究開発スケジュール

以降に各研究開発項目の研究開発スケジュールを示す。

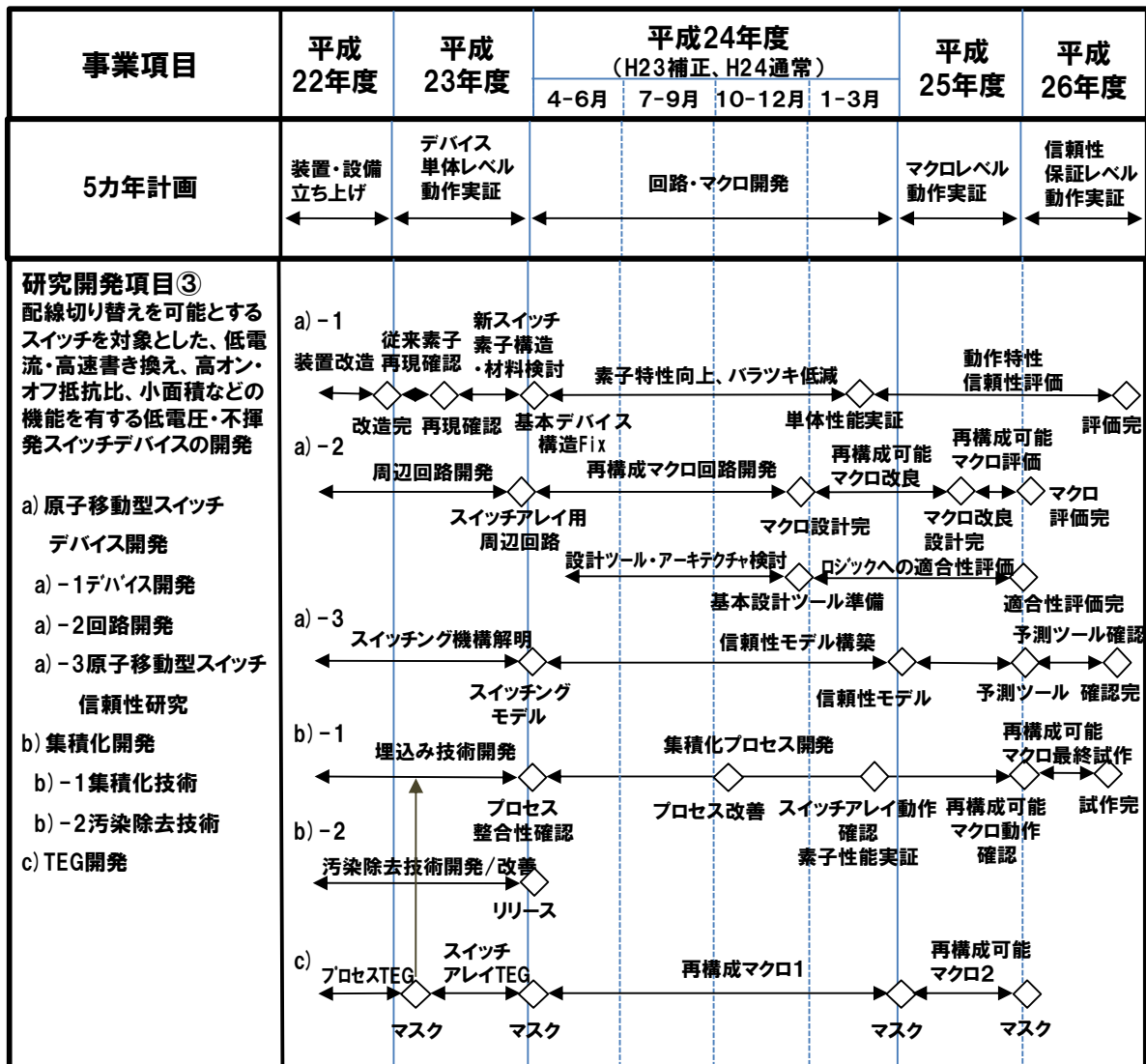
研究開発項目①

事業項目	平成22年度	平成23年度	平成24年度 (H23補正、H24通常)				平成25年度	平成26年度
			4-6月	7-9月	10-12月	1-3月		
5カ年計画	装置・設備 立ち上げ	デバイス 単体レベル 動作実証	回路・マクロ開発				マクロレベル 動作実証	信頼性 保証レベル 動作実証
研究開発項目① ロジック集積回路内 1次メモリを対象とした、 高集積・高速特性・ 高書き換え耐性などの機能 を有する超低電圧・不揮発 デバイスの開発	a) フロー検討	プロセス開発	基本プロセス 確立	微細MTJ 加工に目処	プロセス改善、多値プロセス開発	プロセス 確立	プロセス 改善	
a) 要素プロセス開発								
b) 磁性変化デバイス開発		デバイス開発	基本デバイス 構造Fix	微細MTJ 動作確認	デバイス改善、多値デバイス開発	単体性能実証、 多値動作確認	信頼性実証、 多値構造Fix	
b) 磁性変化デバイス開発								
c) 集積化開発		磁気特性シミュレータ 立ち上げ						
d) 周辺回路開発	装置導入、 装置立ち上げ	ラインへの埋 め込み開発			集積化プロセス開発			
d) -1 回路開発								
d) -2 モデリング	立ち上げ完	汚染対策と耐熱性 実証	暫定集積化 プロセス構築		集積化 プロセス構築	集積化 プロセス改善	集積化 プロセス改善	
e) TEG開発							マクロ レベル 実証	
d) -1	回路検討、設計			回路評価、マクロ開発、アプリ試作				
d) -2	回路案 提示			回路 評価	回路マクロ、電源 改版	マクロ 設計完	マクロ 改良完	
d) -2	パラメータ取得、モデリング		モデル高精度化、アプリ評価ボード設計				マクロ 評価完	
e)		モデル1次案	モデル2次案		モデルFix、 アプリ評価ボード	評価ボード 改版	アプリ 評価完	
	プロセスTEG1	回路TEG1	回路TEG2		マクロTEG1	マクロTEG2		
	マスク	マスク	マスク		マスク	マスク		

研究開発項目②

事業項目	平成22年度	平成23年度	平成24年度 (H23補正、H24通常)				平成25年度	平成26年度
			4-6月	7-9月	10-12月	1-3月		
5カ年計画	装置・設備 立ち上げ	デバイス 単体レベル 動作実証	回路・マクロ開発				マクロレベル 動作実証	信頼性 保証レベル 動作実証
研究開発項目② 外部記憶の高速低電力 データ転送を実現する高 集積・高速低電力書き込 み特性などの機能を有す る 超低電圧・不揮発デ バイスの開発	<p>The diagram illustrates the project's progress through several key milestones and tasks:</p> <ul style="list-style-type: none"> Phase a) -1: Evaluation method exploration (評価手法探索) and simulation technology development (シミュレーション技術開発) in FY22. Material development pointers (材料開発指針) are established in FY23. Phase a) -2: Device assembly (装置立上) and thin film/low power technology (成膜・低電力技術) in FY22. High integration/high reliability material technology (材料高集積高信頼技術) is developed in FY23. Single device materials (単体デバイス材料) and memory array materials (メモリアレイ材料) are developed in FY24. Reliability evaluation (信頼性評価) and device reliability technology (デバイス信頼性技術) are developed in FY25. Material fixes (材料FIX) are implemented in FY26. Phase b) -1: TEG design (TEG設計) in FY22. Mask (マスク) and memory cell operation confirmation (メモリセル動作確認) in FY23. Low power operation confirmation (低電力動作実証) in FY24. Memory array operation confirmation (メモリアレイ動作確認) in FY25. Reliability confirmation (信頼性実証) in FY26. Phase b) -2: Device assembly (装置立上) in FY22. Mask (マスク) and integration process development (1) (集積化プロセス開発(1)) in FY23. Mask (マスク) and integration process development (2) (集積化プロセス開発(2)) in FY24. Phase change device macro development (1) (相変化デバイスマクロ開発(1)) in FY25. Phase change device macro development (2) (相変化デバイスマクロ開発(2)) in FY26. Macro operation confirmation (マクロ動作実証) in FY26. Phase b) -3: Peripheral circuit check (周辺回路検討) in FY22. Macro design (1) (マクロ設計(1)) and circuit diagram (回路図) in FY24. Macro design (2) (マクロ設計(2)) and circuit diagram (回路図) in FY25. Circuit diagram (回路図) in FY26. 							

研究開発項目③



研究開発項目④

事業項目	平成22年度	平成23年度	平成24年度 (H23補正、H24通常)				平成25年度	平成26年度
			4-6月	7-9月	10-12月	1-3月		
5カ年計画	装置・設備 立ち上げ	デバイス 単体レベル 動作実証	回路・マクロ開発				マクロレベル 動作実証	信頼性 保証レベル 動作実証
研究開発項目④ 微細幅・超低電気抵抗、 超高アスペクト比配線・ 材料技術の開発								
a) ナノカーボン配線基礎技術								
a) -1 ナノカーボン配線材料	成長立上げ	電特	配線材料・成長・評価開発	高AR成長指針	横配線成長指針	微細幅加工	微細幅抵抗	
a) -2 超低抵抗ナノカーボン配線	環境整備	手法抽出	低抵抗手法プロセス改善検討		絞り込み		配線適用	
a) -3 ナノカーボン配線理論	計算環境整備	基本モデル	配線シミュレーション開発・実験検証		複数層コンタクト		エッジ影響	
b) ナノカーボン配線プロセス技術								
b) -1 300mmナノカーボン成長プロセス	処理装置稼働	CNT成長	緩和デザインTEGナノカーボン成長プロセス開発	高AR成長	横配線成長		超高AR成長 微細幅成長	
b) -2 300mmナノカーボンCMPプロセス	CMP装置稼働	CNT・BM CMP要素プロセス	緩和デザインTEG CMPプロセス開発	高AR CMP	緩和TEG CMP		超高AR CMP 微細幅 CMP	
c) ナノカーボン配線集積化技術								
c) -1 ナノカーボン配線集積化	設計環境整備	AR~10 緩和TEG成長評価 基板試作	緩和デザインTEG集積化開発		緩和TEG集積評価		目標TEG設計・要素プロセス 目標TEG集積評価	

研究開発項目⑤

事業項目	平成22年度	平成23年度	平成24年度 (H23補正、H24通常)				平成25年度	平成26年度
			4-6月	7-9月	10-12月	1-3月		
5カ年計画	装置・設備 立ち上げ	デバイス 単体レベル 動作実証	回路・マクロ開発				マクロレベル 動作実証	信頼性 保証レベル 動作実証
研究開発項目⑤ 低しきい値ばらつきトランジスタを集積化するための技術開発								
a) ナノトランジスタ構造デバイスの開発	a) -1 構造探索プロセス開発 → プロセスデバイス開発 → 構造確立 → トランジスタ構造改良 → 回路動作に影響するデバイス特性の最適化 → 量産性向上							
a) -1 構造最適化	a) -2 ばらつき評価等 → ばらつき低減 → ばらつき 0.1V/5σ → 回路動作に影響するデバイス特性の最適化							
a) -2 ばらつき低減	a) -3 特性解析等 → 改良構造指針 → 低電圧回路安定動作のためのデバイス特性制御方向付け → 最終特性仕様							
a) -3 特性制御・最適化指針	a) -3 特性解析等 → 改良構造指針 → 低電圧回路安定動作のためのデバイス特性制御方向付け → 最終特性仕様							
b) 超低電圧ハイブリッド集積化基盤技術開発	b) -1 ハイブリッドデバイスプロセス開発 → デバイス信頼性 → 最終特性仕様							
b) -1 ハイブリッドデバイス開発	b) -1 ハイブリッド基本設計完 動作確認 → デバイス信頼性 → 最終特性仕様							
b) -2 SRAMによる検証	b) -2 SRAMプロセス開発 → 動作確認 → SRAM実証 → 0.4V動作/1Mb → 最終特性仕様							
c) 超低電圧LSIプラットフォーム開発	c) 設計プラットフォーム整備 → 設計プラットフォーム改良 → LSI実証 → 最終特性仕様							
d) 超低電圧システム開発	d) プロセスデザインキット初版 → システム実証 → LSIプロト → 最終特性仕様							
e) TEG開発	e) プロセスTEG → 回路TEG → マクロTEG1 → マクロTEG2 → システム実証用TEG → システム実証							

研究開発項目⑥

事業項目	平成22年度	平成23年度				平成24年度	平成25年度	平成26年度
		4-6月	7-9月	10-12月	1-3月			
5カ年計画	装置・設備 立ち上げ	デバイス単体レベル 動作実証				回路・マクロ開発	マクロレベル 動作実証	信頼性 保証レベル 動作実証
研究開発項目⑥ BEOL設計・製造基盤 (プラットフォーム)開発								
a) BEOL設計基盤 開発	a) 設計基盤用ツール・装置導入、立上げ	プロセスデザインキット(PDK)作成				PDK		
b) BEOL製造基盤 開発	b) 装置導入、BEOLプロセス仕様検討	BEOLプロセス開発、検証				BEOLプロセス		

(3) 開発予算

以下に、本プロジェクトにおける開発予算の推移を示す。

(単位: 百万円)

	H22年度	H23年度	H24年度	H25年度	H26年度	合計
①磁性変化デバイス	244	366	604			1,214
②相変化デバイス	592	299	558			1,449
③原子移動スイッチ	289	264	415			968
④三次元ナノカーボン配線	712	487	376			1,575
⑤ナトランジスタ構造デバイス	208	201	324			733
⑥BEOLプラットフォーム	-	682	-			682
総開発予算	(2,045) ^{※1}	2,299	2,277			6,621
(内)共同実施費	25	63	96			184
(内)設備購入・リース	1,068	632	384			2,084

※1: 経済産業省直執行分

2.2 研究開発の実施体制

プロジェクトリーダーを超低電圧デバイス技術研究組合 (LEAP) の研究本部長 住広直孝とし、6 つの研究開発項目を推進している。共同実施先を含めた本プロジェクトの研究開発実施体制は以下の通りである(図 II-32)。

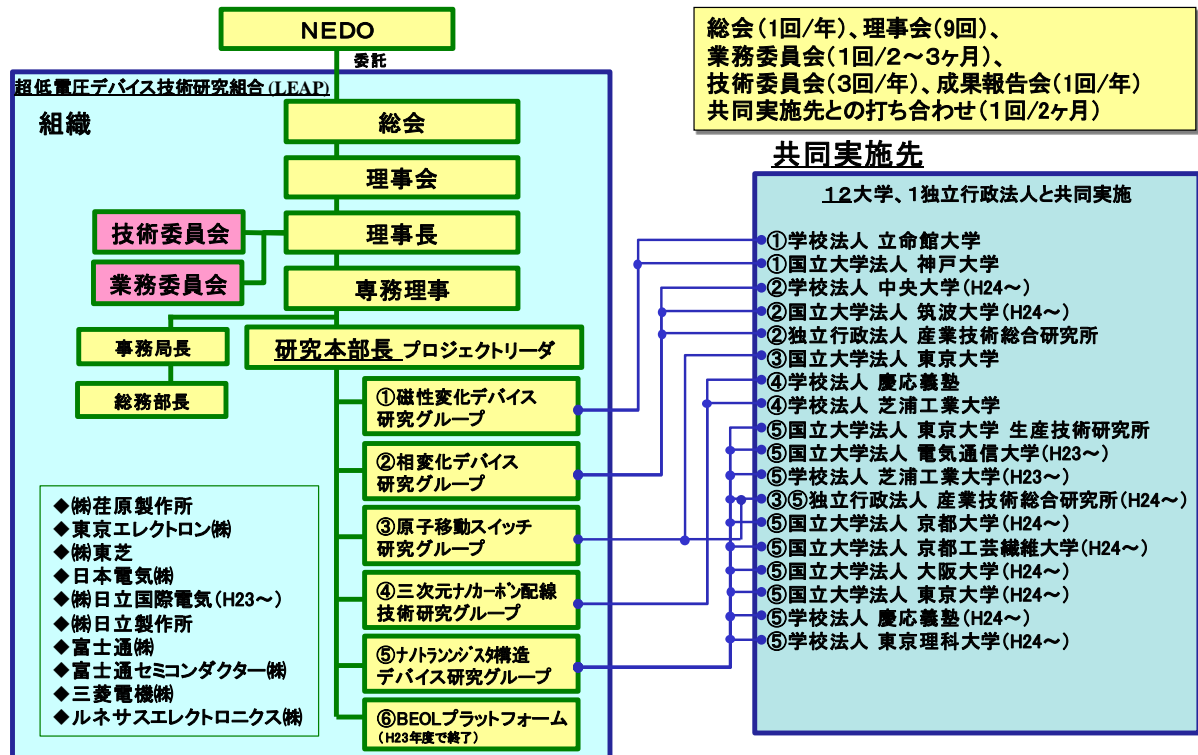


図 II-32 本プロジェクトの研究開発実施体制

2.3 研究開発の運営管理

(1) 委託元 (NEDO)

(1-1) 予算所要額ヒアリングを年 1 回開催

平成 23 年度 5 月 9 日

平成 24 年度 5 月 17 日

(1-2) 技術推進委員会を 1 回開催

平成 23 年度 12 月 26 日

(2) 委託先 (LEAP)

(a) プロジェクト運営に関し下記のプロジェクト会議を開催

(i) 平成 22 年度: プロジェクト会議 26 回開催

(ii) 平成 23 年度: プロジェクト会議 21 回開催

(iii) 平成 24 年度: プロジェクト会議 6 回開催

(b) 組合員から選出された技術委員とプロジェクト間でプロジェクト運営に関して技術委員会を開催

- (c) 成果報告会 第1回開催（平成23年12月15日、つくば国際会議場）
 第2回予定（平成24年12月19日、つくば国際会議場）

2.4 研究開発成果の実用化、事業化に向けたマネジメントの妥当性

研究開発成果の実用化、事業化に向けた議論を行う場として、組合参加企業の技術部門の専門家からなる技術委員会を開催し、参加企業の意見を研究開発に反映させた。開発技術の実用化に関して事業部門を含む参加企業の専門家（デバイス、システム設計）との議論を拡大技術委員会で実施した。

委託業務実施期間中の進捗管理状況

技術委員会

日程	出席者、報告対象者、 組合側対応者	議事内容・報告・連絡事項
平成22年9月13日 第1回技術委員会	経済産業省 研究開発課 矢野氏 日本電気(株)グリーンイノベーション研究所 田原氏他組合員8社技術委員	「低炭素社会を実現する超低電圧デバイスプロジェクト」の進捗状況、技術開発状況、今後のスケジュールについて報告、審議
平成23年1月12日 第2回技術委員会	経済産業省 研究開発課 角谷氏、日本電気(株)グリーンイノベーション研究所 田原氏他組合員8社技術委員	研究開発進捗状況、今後のスケジュールについて報告、審議
平成23年6月10日 第3回技術委員会	経済産業省 研究開発課 大塚氏 日本電気(株)グリーンイノベーション研究所 田原氏他組合員9社技術委員	東日本大震災からの復旧状況、研究開発進捗状況、今後のスケジュールについて報告、審議
平成23年10月12日 第4回技術委員会	経済産業省 情報通信機器課 小竹氏、 日本電気 田原氏他9社技術委員	全体状況 バックエンドプラットフォーム整備状況 研究開発進捗状況 成果実用化に関する技術委員意見について報告、審議
平成24年2月8日 第5回技術委員会	NEDO 島津氏 日本電気 田原氏他9社技術委員	全体状況 研究開発進捗状況 平成24年度予算関係、平成24年度実施体制案について 報告、審議
平成24年6月27日 第6回技術委員会 (拡大技術委員会)	経済産業省 閑念氏、榎本氏、阿部氏 NEDO 富江氏、波佐氏、宮田氏 技術委員他30名	第1回拡大技術委員会 全体概要と5テーマで14枚のポストを準備し、特に、開発技術の適用先に関して参加企業の専門家（デバイス、システム設計）と議論

3. 情勢変化への対応

(1) 東北地方太平洋沖地震

平成 23 年 3 月 11 日に発生した東北地方太平洋沖地震のために、研究開発に使用している産業技術研究所のスーパークリーンルームが使用不能となり、物流機能も麻痺したため、実験設備の調達・立上げ、研究資材の調達面において、遅延が発生した。また、一部の実験が実施できず、平成 22 年度の実施計画遂行に遅れが生じた。以上の理由により、契約書第 4 条 1 項の規定に基づき、事業実施期間を平成 24 年 3 月 31 日まで延期する計画変更を経済産業省に申請し承認された。

平成 23 年 8 月 31 日、平成 22 年度実施計画を完遂し、繰上げ終了した。

(2) ナトランジスタ構造デバイス設計プラットフォーム開発

研究開発項目⑤(ナトランジスタ構造デバイス)に関して、平成 23 年 1 月から国際学会などでデバイスの発表を始めたところ、ナトランジスタ構造デバイスの特徴の一つである基板バイアス制御の活用に関して、国内外でこれを低電力化の基本技術として注目している研究者が多いことが判った。そこで、技術的優位性を確かなものとするために、基板バイアス印加技術を活用する設計プラットフォーム開発の加速を目的として、共同実施先の追加を行った。新たに共同実施先となったのは、国立大学法人電気通信大学(石橋孝一郎教授)と、学校法人芝浦工業大学(宇佐美公良教授)である。

(3) 技術推進委員会への対応

平成 23 年 12 月 16 日に技術推進委員会を開催し、外部委員から各テーマの評価と進め方に関するアドバイスを頂いた。以下に主な取り組みを示す。

主要項目	主な取り組み
②相変化デバイス	構造として超格子相変化と結晶相-アモルファス相間転移の両睨みでの開発推進 → 独創技術である超格子相変化の適用に注力 ・産総研 300mm ラインに超格子の成膜・加工プロセスを新たに構築、開発を促進 ・試作加速のため、専用の製造装置を、既存装置を改造して準備 (9 月末完成予定) ・超格子技術を実際のデバイス構造に組み込むための集積化技術開発の加速 ・成膜プロセスの改善、プロセスウインドの確保をするため技術開発を促進
④三次元 ナノカーボン配線	目標の検証手段(TEG 構造)が適切ではなかったため(最終目標で構築)、課題が発散傾向 → 課題を絞り込むため、原理検証を目的とした段階的な検証手段に変更 ・超高 AR ホール埋込み実証加速のため、TEG 構造の見直しを実施し、試作評価を開始 ・微細幅グラフェン配線の評価・分析の強化促進のため、外部専門家(NIMS)の協力を得、低抵抗化重要施策としてドーピングによる電荷密度増等のデータ抽出を開始 (H24 年度より)

4. 中間評価結果への対応

本プロジェクトは平成 24 年度に中間評価の実施を予定しており、現時点において未実施のため記載すべき事項はない。

5. 評価に関する事項

NEDO 技術開発機構は、技術的及び政策的観点から、研究開発の意義、目標達成度、成果の技術的意義ならびに将来の産業への波及効果等について、外部有識者による研究開発の中間評価を平成 24 年度、事後評価を平成 27 年度に実施する。また、中間評価の結果を踏まえて必要に応じプロジェクトの加速・縮小・中止等見直しを迅速に行う。なお、評価の時期については、当該研究開発に係わる技術動向、政策動向や当該研究開発の進捗状況等に応じて、前倒しする等、適宜見直すものとする。

III. 研究開発成果について

1. 事業全体の成果

本プロジェクトは 2010 年 8 月に開始され、「つくばイノベーションアリーナ-TIA」のナノエレクトロニクス研究の一環として、エレクトロニクス機器の飛躍的な低電力化に向けた、材料・プロセス・デバイス技術の研究開発を掲げ、低電圧化が可能と期待されている抵抗変化型不揮発デバイスと、これと組み合わせることで更なる低電力化を可能とする集積化基盤技術である、低抵抗微細ナノカーボン配線技術、および、超低電圧動作を可能にするナノトランジスタ構造デバイスの研究開発を実施してきた。

抵抗変化型不揮発デバイスは、電荷保持を動作メカニズムとする従来のデバイスとは異なり、状態変化(抵抗変化)をメカニズムとする新しいデバイスである。本プロジェクトでは、①磁性変化デバイス、②相変化デバイス、③原子移動型スイッチの 3 つのデバイスを検討している。低抵抗微細配線を実現するナノカーボン配線技術では、カーボンナノチューブ(CNT)を用いた高アスペクトビア(配線間を縦方向に接続する導体)やグラフェンを用いた超微細幅配線(横方向配線)などを検討しており、従来の銅配線では対応できない寸法や構造(例えば、3次元高集積メモリ)への適用を目指している。ナノトランジスタ構造デバイス(SOTB と称する)は、シリコン基板の上に、ともに 10nm 程度の極薄の絶縁膜とシリコン層が積層されたトランジスタ構造である。極薄シリコン層には不純物が極めてわずかしが含まれないため、トランジスタ特性のばらつきを大幅に減らすことが可能となり、0.4V 程度までの低電圧化が可能なデバイス候補である。

磁性変化デバイスは、図 III-1(左)に示したように、磁化固定層(ピン層)を MTJ (Magnetic Tunnel Junction) の最上層に配置するトップピン構造を採用し、さらに、MTJ への歪印加、Mg 膜を酸化する高品質トンネル酸化膜形成、界面垂直磁化膜の適用などを実施し、低電圧書き込み動作と実動作上では無限回と言える 1 京回の書き換えを実証した。

相変化デバイスでは GeSbTe (GST) を基本とした材料を用いるが、相変化自体を低いエネルギーで起こすために、革新的な技術として産業技術総合研究所が開発した超格子 GST 膜を 300mm ウェハ上で初めて実現し(図 III-1 中)、従来の $\text{Ge}_2\text{Sb}_2\text{Te}_5$ の 1/25 である、70uA の電流で低抵抗状態から高抵抗状態への抵抗変化ができることを実証した。また、効率よく熱を発生させ、その熱を効率よく閉じ込めるために、GST 膜と熱拡散防止層の積層構造を用いた(図 III-1 中)。

原子移動型スイッチデバイスは、独自の固体電解質膜(PSE; Polymer Solid Electrolyte)とその中に発生する Cu イオンの架橋を使う(図 III-1 右)。低電圧動作と信頼性の向上を両立させるために、新たに 3 端子構造を提案し、デバイス動作を実証した。また、1k ビットセルアレイ(スイッチを配列したものを)、300mm ラインの BEOL プラットフォームを用いて試作し小規模アレイ動作を実証した。




磁性変化	相変化	原子移動
		
<ul style="list-style-type: none"> • トップピン構造 • 界面垂直磁化膜 • プロセス歪 • 高品質トンネル酸化膜 	<ul style="list-style-type: none"> • 熱拡散防止層の抵抗制御 • 超格子相変化膜 	<ul style="list-style-type: none"> • 固体電解質膜(PSE) • Cu配線酸化防止膜

図 III-1 抵抗変化型デバイスの材料と構造の模式図

これらの抵抗変化型デバイスは、図 III-1 に示したように基本的に構造が単純なため、トランジスタ (MOSFET) を接続する配線形成プロセス (BEOL; Back End Of Line, Process) の工程に作る事ができる。このため、抵抗変化型デバイスを BEOL デバイスと呼んでいる。この特徴を活かし、種類の異なる 3 つの抵抗変化材料を Cu 配線に埋め込むために、共通で使えるプロセス基盤と設計基盤を構築した。共通化の課題は、材料に起因する汚染の抑制とプロセス温度の低温化である。BEOL プロセス温度を 350°C まで下げ、様々な材料からなる抵抗変化型デバイスを MOSFET が形成された基板 (CMOS 基板) 上に作れるようにした (図 III-2)。

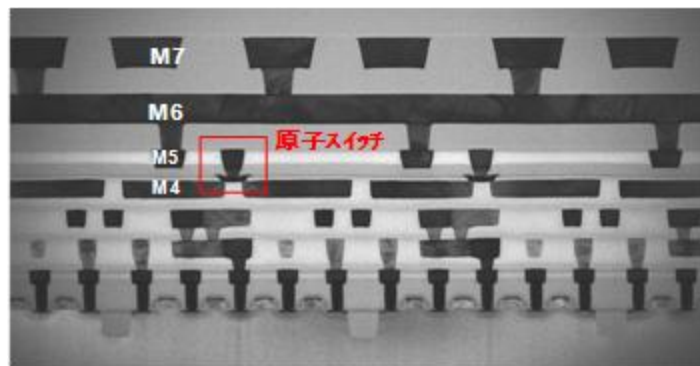


図 III-2 原子移動型スイッチを埋め込んだ CMOS 基板の断面電子顕微鏡写真

本プロジェクトでは、抵抗変化型デバイスを小規模ではあるが集積化した状態で動作検証することを目標のひとつに挙げている。このためには、図 III-2 に示したように、デバイスを動作させるための回路が刻まれたウエハを手に入れなければならない。しかも、実用化や量産化も想定しているので、可能な限り、現状の量産プロセスに近い状況でのウエハ試作が望まれる。

しかしながら、研究開発用に、先端技術を用いた Si 集積デバイスのウエハの製造ラインを作り、かつ、維持することは、製造装置の価格が巨額化した現在、不可能と言ってよい。また、国内の半導体メーカーでも、ファブライト、ファブレスが近年の LSI 製造の傾向であり、研究開発用にラインを保有するのは、たいへん難しい状況になっている。

このような状況を鑑み、かつ、産業技術総合研究所がスーパークリーンルーム (SCR) に、45nm 相

当までの微細プロセスが可能な BEOL 用の装置を揃えたことから、図 III-3 に示した仕組みを作った。まず、4 層の Cu 配線を備えた CMOS 基板を量産ラインから入手し、この上に、Cu 配線を 1 から 3 層形成する工程で、様々な抵抗変化型材料を埋め込み、集積化したデバイスを完成させる。ウエハの流れは一方通行であり、つくば SCR から量産ラインにウエハが戻ることはなく、新材料に起因する汚染を量産ラインに持ち込む心配はない。

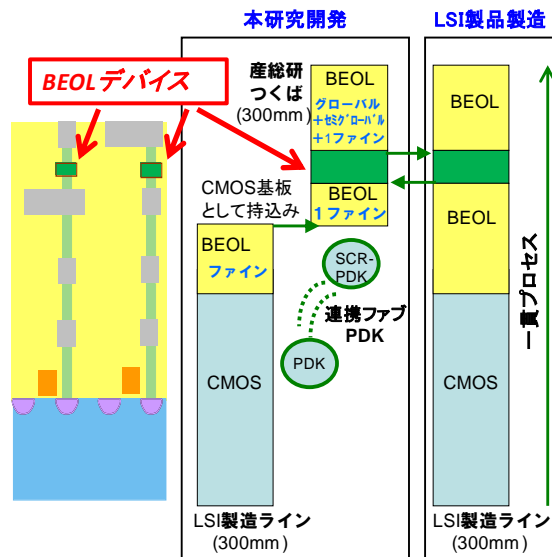


図 III-3 外部量産ラインを利用したウエハ試作におけるウエハの流れ

低抵抗微細ナノカーボン配線技術では、以下のような成果を得た。300mm 成長装置に触媒 Ni-CVD モジュールとナノカーボン熱 CVD モジュールを導入し、コンタクトホール底に適用可能な導電性下地金属 (TiN) を使い、300mm 基板全面で、高密度カーボンナノチューブ (CNT) 成長を実証した (密度 $1 \sim 2 \times 10^{11}/\text{cm}^2$)。また、アスペクト比 (AR) 10、100nm Φ のコンタクトホール TEG において、ホールの底から CNT が成長することを確認した。コンタクトホール埋め込み用に、CNT の固定化プロセスを構築し、300mm 基板で CNT の割れ・欠けのない CMP 研磨を実証した。

横方向配線用多層グラフェンに関しては、剥離多層グラフェンを用いて微細幅配線を試作し、線幅・層厚・温度依存性評価によりシート抵抗 $34 \Omega/\square$ を実証した。また、横方向配線用多層グラフェンの低温での成長を、プラズマ CVD により 600°C で実証するとともに、触媒段差を起点とする低温固有の成長機構を明らかにした。

ナトランジスタ構造デバイスの開発に関しては、SOTB トランジスタの特性を 0.4V 動作用に最適化することで、低ばらつき ($4\sigma V_{th}=40.8\text{mV}$) と、SRAM セルの 0.4V 動作を確認した。また、低電圧での回路動作安定性に影響するトランジスタ出力電流のばらつきが、試作した SOTB トランジスタで大幅に低減することを世界で初めて実証した。さらに、柔軟な特性制御と低ばらつきを両立できるローカルランドプレーン構造を提案し、従来構造に比べてばらつきや短チャネル特性が優れていることを実証した。また、SOTB とバルク CMOS を組み合わせたハイブリッド構造と、SOTB に最適化された標準セルを含む回路設計プラットフォームを開発し、テスト回路のレイアウトを行った。

以上の結果から、すべてのテーマにおいて、中間目標を達成できる見通しである。

各テーマで得られた成果の詳細は、2.研究開発項目毎の成果に記載した。

表Ⅲ-1 事業全体の成果の表

	目 標	中間評価時の研究開発成果	達成度
研究開発 項目①	「磁性変化デバイス」(出典:基本計画 P10023 p.5) システム LSI に混載されている SRAM 機 能を代替できる、低電圧動作の不揮発メ モリを開発する。		
① -(1) 【中間】	メモリ単体レベルで、下記を達成 ・読み書き電圧 0.4V 以下、 ・読み書き電流 100 μ A 以下、 ・読み書き時間 10ns (電力量 0.4pJ 以下) の実証 ・1.2V 動作 SRAM の 1/10 の電力の実 証	・メモリ単体レベルで、読み書き電圧 0.4V 以下を達成 ・読み書き電流は”0”書き込みで 50 μ A、 ”1”書き込みで 100 μ A を達成 (10ns パル ス幅での書き込み、電力量 0.4pJ 以下を 実証) ・上記の結果から SRAM の 1/10 の電力の 見通しを得た。	達成
② -(2) 【中間】	新材料を用いた新プロセスの 300mm バ ックエンドラインへの統合による、デバイス 動作実証	磁性膜などの新材料の裏面洗浄法や汚染 防止用保護膜などを開発し、300mm バッ クエンドラインへ、MTJ を埋め込むプロセス 開発を行い、デバイス動作を実証	達成
① -(3) 【中間】	試作・評価によるメモリパラメータ取得と、 それをを用いた低電圧動作メモリ周辺回 路設計	・MTJ の SPICE モデルを提案し、実測値と の整合性を確認 ・低電圧動作向けセンス回路を設計し、起 版したマスクに搭載	達成
① -(4) 【中間】	高集積化を可能とする多値動作の確認	多値構造とそれを実現するプロセスとし て、MTJ の 2 段積層構造の一括加工方式 を提案し、試作により多値動作を確認	達成
	目 標	達成見込み	最終目標達成に向けた重点取組事項
① -(1) 【最終】	加速試験による 10 年間のリテンションと、 書き換え回数 10^{16} 回の達成	達成見込み (最終年度)	・単体レベルでは 10 年間のリテンションお よび 10^{16} 回の書き換え耐性は実証済み。 ・露光技術や加工技術を改善して、素子 の特性ばらつきを抑制し、メモリアレイで の評価、実証に進む。
① -(2) 【最終】	実用に耐える信頼性技術確立への指針 の提示	達成見込み (最終年度)	・トンネル絶縁膜の絶縁破壊モデルは構 築済み。 ・単体レベルの加速試験で、10 年間の絶 縁体制を実証済み。 ・絶縁膜成膜技術改善を通して膜質のば らつきを抑制し、大規模の信頼性 TEG で信頼性を実証していく。

① -(3) 【最終】	低電圧動作の周辺回路を備えたメモリマクロで、読み書き電圧 0.4V、読み書き電流 100 μ A 以下、読み書き時間 10ns、1.2V 動作 SRAM の 1/10 の電力を実証すると共に、メガバイト級メモリの実現可能性の提示	達成見込み (最終年度)	<ul style="list-style-type: none"> 周辺回路を備えたマクロの試作、評価を進め、動作マージンの拡大に向けた回路や素子の改良を進める。 ウエハ面内での特性ばらつき要因を明確にし、ばらつきを抑制して、マクロ動作で目標値を達成していく。
① -(4) 【最終】	メモリマクロでの多値動作を実証することによる、従来 SRAM 比 2 倍の高集積化の可能性を提示	達成見込み (最終年度)	<ul style="list-style-type: none"> 多値動作のマージン増大に向けて、材料の最適化を進める。 マージン増大後、マクロ評価で多値動作を実証していく。

	目 標	中間評価時の研究開発成果	達成度
研究開発項目②	「相変化デバイス」(出典:基本計画 P10023 p.7) 外部記憶の高速低電力データ転送を実現する、高集積・高速低電力書き込み特性などの機能を有する不揮発デバイスを開発する。		
② -(1) 【中間】	・単体デバイスとして、クロスポイント型メモリセル試作と動作実証	<ul style="list-style-type: none"> 成膜・加工プロセスを構築 Ge₂Sb₂Te₅ の従来材料セルが正常動作 	達成見込み (H25年2月)
② -(2) 【中間】	・データ転送速度 200MB/s を、従来の 1/3 の電力 (200mW) で可能とする単体デバイスの書き込み動作	・超格子素子で書換エネルギー 3.5pJ 達成 (データ転送速度 200MB/s を、従来の 1/3 の電力 (200mW) で実現に相当)	達成
② -(3)	さらなる高速低電力化の可能性の根拠の提示	<ul style="list-style-type: none"> 超格子と熱拡散層防止層の組み合わせ構造を提示 熱拡散層防止層の高速低電力化効果を実証 	達成

	目 標	達成見込み	最終目標達成に向けた重点取組事項
② -(1) 【最終】	クロスポイント型メモリセルを集積化したメモリアレイ試作と動作実証	達成見込み (最終年度)	アレイ試作と超格子動作を生かした回路動作
② -(2) 【最終】	書き換え回数 10 ⁶ 回以上の達成	達成見込み (最終年度)	単体デバイスで実証した書き換え回数 10 ⁶ 回以上のメモリアレイでの実証
② -(3) 【最終】	データ転送速度 400MB/s の高速動作実証	達成見込み (最終年度)	<ul style="list-style-type: none"> 単体デバイスで実証した書き換えエネルギー 3.5pJ のメモリアレイでの実証 安定的な低電力化に向けた、超格子の化学量論的組成構造
② -(4) 【最終】	従来の 1/10 の電力 (66mW) の低電力動作実証 (書き換えエネルギー 5pJ に相当)		【(GeTe) ₂ (Sb ₂ Te ₃) ₄ 】、及び超格子/熱拡散防止層の積層構造の開発
② -(5) 【最終】	メモリセル面積 4F ² のメモリアレイによる高集積性実証	達成見込み (最終年度)	4F ² セルの加工プロセス開発

	目 標	中間評価時の研究開発成果	達成度
研究開発項目③	「原子移動型スイッチ」(出典:基本計画 P10023 p.9) プログラマブルロジックの低消費電力化を実現できる、不揮発配線切り換えスイッチを開発する。		
③ -(1) 【中間】	スイッチ素子の材料選定、素子構造の最適化を行い単体素子の動作を検証	下部電極:Cu、固体電解質:PSE (polymer solid-electrolyte)、上部電極Ruを基本構成とする3端子原子移動型スイッチを開発し、2V のプログラム電圧と 10 年以上のオフ信頼性を達成	達成
③ -(2) 【中間】	単体素子性能として書換え電流と書換え速度の積が $10^{-10}\text{A}\cdot\text{s}$ 以下、オン・オフ抵抗比 10^5 以上、書き換え回数 10^3 以上の実証	<ul style="list-style-type: none"> 電流速度積: $10^{-10}\text{A}\cdot\text{s}$ 以下 (0.5k-bit 中 4 ビットフェイル) オン・オフ抵抗比: 10^5 以上 (単体素子) 書換え回数: 10^3 回以上 	達成

	目 標	達成見込み	最終目標達成に向けた重点取組事項
③ -(1) 【最終】	大規模集積化に必要なスイッチ素子特性のばらつきを低減	達成見込み (最終年度)	<ul style="list-style-type: none"> 大規模スイッチアレイ TEG を用いた、原子移動型スイッチ集積化プロセス改良 スイッチ素子のプログラム方法改善
③ -(2) 【最終】	300mm ウエハにロジック集積回路を試作し下記を達成する【最終】。 a) 本スイッチにより配線切り換えを行ったロジック集積回路が 0.4V で動作可能であり、その際の消費電力が SRAM スイッチにより配線切り替えを行った従来型 1.2V 動作ロジック集積回路の 1/10 以下。 b) スイッチ素子面積が同一世代の SRAM スイッチを用いたプログラマブルロジックデバイス(PLD)に比べ 1/20 以下。	達成見込み (最終年度)	<ul style="list-style-type: none"> 大規模機能検証 TEG の設計と評価環境整備(ツール改良) 大規模スイッチ特性評価TEGを用いた高温保持、繰り返し書き換え後の保持試験などの信頼性データ取得と信頼性改善 平成 25 年度初頭に 6x6 プログラマブルロジックセルを用いて消費電力実測を行い、電力 1/10 の見通しを得る。

	目 標	中間評価時の研究開発成果	達成度
研究開発項目④	「三次元ナノカーボン配線」(出典:基本計画 P10023 p.11) 三次元集積を実現するための、微細幅・超低電気抵抗、超高アスペクト比配線・材料技術を開発する。		
④ -(1) 【中間】	微細線幅 (100nm)、低抵抗(シート抵抗 $< 50\Omega/\square$)の配線実証	多層グラフェンで微細線幅(最小線幅 100nm)配線を試作し、低抵抗(シート抵抗 $34\Omega/\square$)を実証	達成
④ -(2) 【中間】	微細直径 (90nm)、超高アスペクト比 (≥ 16)のコンタクトホールへのナノカーボン材料埋め込み実証	微細直径 (100nm)コンタクトホールで、CNT 成長を実証(アスペクト比 ~ 12)。アスペクト比 ≥ 16 のコンタクトホール埋め込み実証実験中	達成見込み (H24年9月)

	目 標	達成見込み	最終目標達成に向けた重点取組事項
④ -(1) 【最終】	微細線幅(≦20nm)、長距離(0.7mm)、低抵抗(シート抵抗≦3Ω/□)の配線実証	達成見込み (最終年度)	<ul style="list-style-type: none"> ・グラフェン多層化、ドーピングによるキャリア密度増、多層低抵抗コンタクト、大粒径成長の開発に取り組む。 ・配線集積化構造選定と微細化プロセス開発、目標寸法 TEG 開発を進める。
④ -(2) 【最終】	微細直径(90nm)、超高アスペクト比(30)のコンタクトホールへのナノカーボン材料埋め込みと、W 以下の抵抗(接触抵抗を含む)の実証	達成見込み (最終年度)	<ul style="list-style-type: none"> ・超高 AR ホール底触媒の最適化と、CNT 結晶性向上、側壁抑制膜の集積化開発に取り組む。 ・目標 AR 配線 TEG と低抵抗接触プロセスの開発を進める。

	目 標	中間評価時の研究開発成果	達成度
研究開発 項目⑤	「ナノトランジスタ構造デバイス」 ナノトランジスタ構造デバイスと既存の CMOS トランジスタを融合集積化するための技術開発、並びに、この技術を用いた高集積機能素子における低電圧動作実証を行う。(出典:基本計画 P10023 p.12)		
⑤ -(1) 【中間】	100 万個以上のトランジスタで、平均±0.1V 以下(±5σ)の局所しきい電圧ばらつきでの達成	10,000 個トランジスタのばらつき 4σ=40.8mV が実証されており、その分布がほぼ正規分布と判断されることから、100 万個のトランジスタで 5σ=100mV の目標値は達成可能	達成見込み (H24年10月)
⑤ -(2) 【中間】	低い電源電圧に動作を最適化し、基板バイアス制御技術を適用したナノトランジスタ構造デバイスを集積した 1Mbit 以上の SRAM での、0.4V 動作の実証	<ul style="list-style-type: none"> ・2Mb アレイの 0.4V 動作を評価中(一部に直線状の不良ビットが残るが、原因が判明し、改善策推進中) ・1Mbit 以上の SRAM で 0.4V 動作実証は達成可能 	達成見込み (H24年12月)

	目 標	達成見込み	最終目標達成に向けた重点取組事項
⑤ -(1) 【最終】	ナノトランジスタ構造デバイスと既存の CMOS トランジスタとの融合集積化技術を確認するとともに、その設計環境構築への指針を提示	達成見込み (最終年度)	<ul style="list-style-type: none"> ・ナノトランジスタ構造デバイス用の標準セル、自動配置配線環境、設計フローなどの設計環境を開発 ・既存の CMOS トランジスタとの同時設計環境を開発 ・回路設計試行による上記設計環境のブラッシュアップ
⑤ -(2) 【最終】	従来デバイスに比較して消費電力を 1/10 に低減できる基盤技術を確認するとともに、実用化回路レベルでの達成目処を提示	達成見込み (最終年度)	<ul style="list-style-type: none"> ・低ばらつき特性の設計環境への取り込み ・試行回路を用いて、シミュレーションにより電力低減の見通しを提示

	目 標	中間評価時の研究開発成果	達成度
研究開発 項目⑥	「BEOL 設計・製造基盤(プラットフォーム)開発」(平成 23 年度で終了したテーマ) 個別デバイス(研究開発項目①～③)の研究開発を推進するための共通設計基盤として、BEOL 設計・製造基盤(プラットフォーム)を開発する。		
⑥ -(1)	新材料や新構造デバイスに共通で使え、かつ、新材料の相互汚染や熱耐性、さらには、プロセス雰囲気の影響などの観点から、それぞれのデバイスの特性を損なうことのない、BEOL プロセスレシピの作成	<ul style="list-style-type: none"> ・SCR300mm ラインにおいて、半導体製造ラインで形成した多層配線を有する CMOS 基板上に、ローカル配線およびセミグローバル配線を形成する配線製造基盤技術を開発 ・配線が所望の特性を実現していることを確認 	達成
⑥ -(2)	相互汚染防止、汚染除去、汚染評価などからなる管理プロトコルの作成	新材料の汚染管理として、1. エッジカットリングによる新材料付着防止、2. 薬液による新材料除去、3. 新材料上 HDP 膜による汚染拡散防止、4. FOUP によるハンドリング管理手法、を開発し効果確認	達成
⑥ -(3)	PDK として、設計ルール、配線特性パラメータ、OPC ルールの策定。	半導体製造ライン PDK と SCR (Super Clean Room) -PDK を統合した、設計ルール、配線特性パラメータ、OPC ルール等からなる連携ファブ PDK を策定	達成

2. 研究開発項目毎の成果

2.1 研究開発項目① 磁性変化デバイス

「ロジック集積回路内 1 次メモリを対象とした、高集積・高速特性・高書き換え耐性などの機能を有する超低電圧・不揮発デバイスの開発」

(1) 背景と目的

エレクトロニクス機器に使用されるプロセッサやシステム LSI では、論理演算部とデータを直接やり取りする 1 次メモリとして、SRAM が同一チップ上に混載されている。国際半導体技術ロードマップ(ITRS)によれば、現状、モバイルプロセッサ等の LSI においても混載されるメモリ部がチップ面積の半分以上を占めており、今後その比率は更に増大すると予測されている。その理由は、情報処理能力を上げるためには、1 次メモリの容量増大が非常に有効なためである。そこで、チップ面積を増大することなく混載メモリ容量を増大できれば、プロセッサやシステム LSI の高性能化を加速できる。

また、高性能化だけでなく、混載される SRAM の容量が大きいいため、そこで消費される動作時と待機時の電力はチップ消費電力の半分を占めており、それを抑制することができれば、プロセッサやシステム LSI の低消費電力化を通して、低炭素社会実現に貢献できる。

1 次メモリの動作時の消費電力を低減するには、メモリのリーク電流の低減と、読み書きに必要な電圧の低減が必要である。また待機時の消費電力を低減するには、電源を切ってもメモリ内の情報を保持できる不揮発性を持たせることが必要である。更なる低電力化に向けては、高集積が可能なメモリセルの多値化と、配線に流れる消費電流のセンシング技術が有望である。これらを踏まえ、低電力化要件(低電圧読み書き、不揮発)と、混載 SRAM を置き換えるための要件(高集積、高速、高書き換え耐性)を満たすメモリとして、また更にその先に続く技術として、スピン注入型 MRAM(Spin Transfer Torque MRAM、STT-MRAM) (図 2.1-1)の開発を行った。

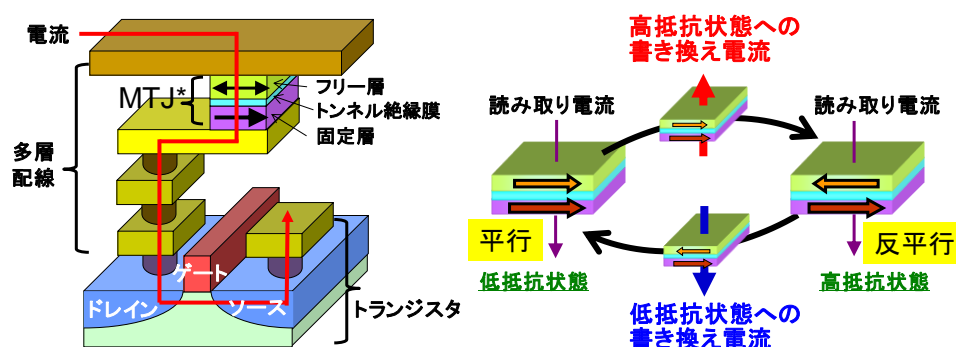


図 2.1-1 スピン注入型 MRAM

(2) 目標

【中間目標】(平成24年度末)

- ・メモリ単体レベルで、読み書き電圧 0.4V 以下、読み書き電流 $100 \mu\text{A}$ 以下、読み書き時間 10ns(電力量 0.4pJ 以下)の実証。1.2V 動作 SRAM の 1/10 の電力の実証。
- ・新材料を用いた新プロセスの、300mm バックエンドラインへの統合による、デバイス

動作実証。

- ・試作・評価によるパラメータ取得と、それを用いた低電圧動作用メモリ周辺回路設計。
- ・高集積化を可能とする多値動作の確認。

【最終目標】(平成26年度末)

- ・加速試験による 10 年間のリテンションと、書き換え回数 10^{16} 回の達成。
- ・実用に耐える信頼性技術確立への指針の提示。
- ・低電圧動作用の周辺回路を備えたメモリマクロで、読み書き電圧 0.4V、読み書き電流 $100\mu\text{A}$ 以下、読み書き時間 10ns、1.2V 動作 SRAM の 1/10 の電力を実証すると共に、メガバイト級メモリの実現可能性の提示。
- ・メモリマクロでの多値動作を実証することによる、従来 SRAM 比 2 倍の高集積化の可能性を提示。

(3) 研究開発成果

(3)-1 要素プロセス開発

a) CoFe シード層挿入による Magnetic Tunnel Junction (MTJ) の高品質化

混載 SRAM を置き換える 1 次メモリの要件の一つが、無限回書き換えである。しかし、STT-MRAM では、一般に無限回と言われている 10^{15} - 10^{16} 回の書き換えの報告はこれまでにない。また、データの書き込み時にトンネル絶縁膜に 10^6 A/cm^2 程度の電流を流すため、1nm 程度の非常に薄い膜厚でも十分な絶縁破壊耐性を示すことが必要である。

ここでは無限回書き換えや十分な絶縁破壊耐性の確保など、STT-MRAM の高信頼化に向けて、トンネル絶縁膜を含む MTJ の成膜プロセス開発を行った結果を述べる。

MTJ の基本構造として、大きな MR 比 (高抵抗状態と低抵抗状態の抵抗比) が報告[1]されている MgO/CoFeB の系を用いた。スパッタで成膜した Mg の酸化による MgO 成膜プロセスは、300mm 径ウエハでの膜厚均一性とスループットの点で優れており、量産プロセスとして期待されている。しかし、その結晶性と MgO の上下界面の平坦性に問題があった[2]。

我々は MgO トンネル絶縁膜の形成方法として、MgO の下に CoFe シード層を挿入した(図 2.1-2) [3]。非晶質の CoFeB 層上に堆積した CoFe 層は、堆積直後でも結晶性を有している特徴がある。このため、その上に形成した Mg の酸化時に、MgO は CoFe 層を下地として結晶化が促進される。更に、その後の磁場中アニールで、MgO 層上の非晶質 CoFeB 層は MgO を、また、下の非晶質 CoFeB 層は CoFe シード層を下地として結晶化が促進される。従来法と、今回提案した CoFe シード層を挿入した場合の MTJ の断面電子顕微鏡像を図 2.1-3 に示す[3-4]。MgO とその上下の磁性層の結晶性が向上していることがわかる。また、MgO の上下界面が非常に明瞭になっていることから、界面が平坦で急峻になっていることもわかる。

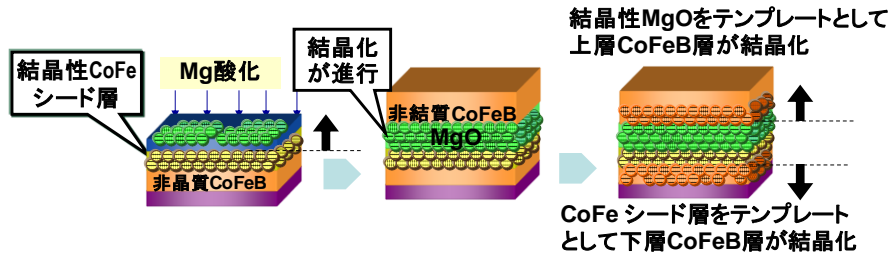


図 2.1-2 CoFe シード層挿入 MgO トンネル絶縁膜の形成方法

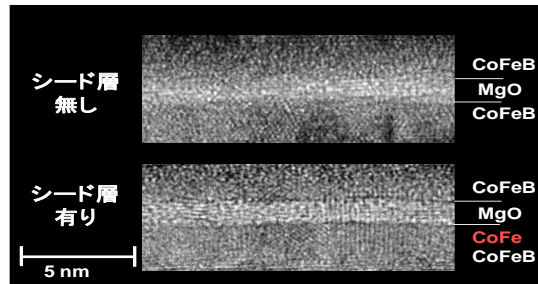


図 2.1-3 CoFe シード層の挿入有り、無しの場合の MTJ 断面電子顕微鏡像

b) 歪エンジニアリングの導入

MTJ へのデータ書き換えの低電流化、すなわち、低消費電力化のために、MTJ の面積を小さくしながら、一方で、それに伴うデータ保持特性 (Δ) の低下を、逆磁歪効果を用いた歪みエンジニアリング手法により抑制あるいは向上させる手法を開発した[5]。

Δ 、書き換え電流、逆磁歪効果は次式の関係がある。

$$\Delta \propto \text{書き換え電流} \times (\text{逆磁歪係数} \times \text{フリー層に印加したストレス})$$

逆磁歪効果の項(逆磁歪係数 \times フリー層に印加したストレス)を増大することで、書き換え電流を増やさず、データ保持特性を向上できる。逆に言えば、データ保持特性を変えずに、磁歪効果で書き換え電流の低減が可能になる。

MTJ 素子を取り巻く種々な膜の成膜条件を変えてプロセス歪設計を行い、MTJ にかかるストレスを制御し、書き換え電流を 50% 低減することに初めて成功した。図 2.1-4 にプロセス歪を導入して試作した MTJ の断面写真と、書き換え電流とデータ保持特性の測定結果を示す。この歪による MTJ の高性能化は、MOS トランジスタで既に広く実用化されている歪によるピエゾ抵抗効果を利用した高性能化と、利用する物理は異なるが、プロセス工程数の増大無しでのデバイスの高性能化という点で類似している。

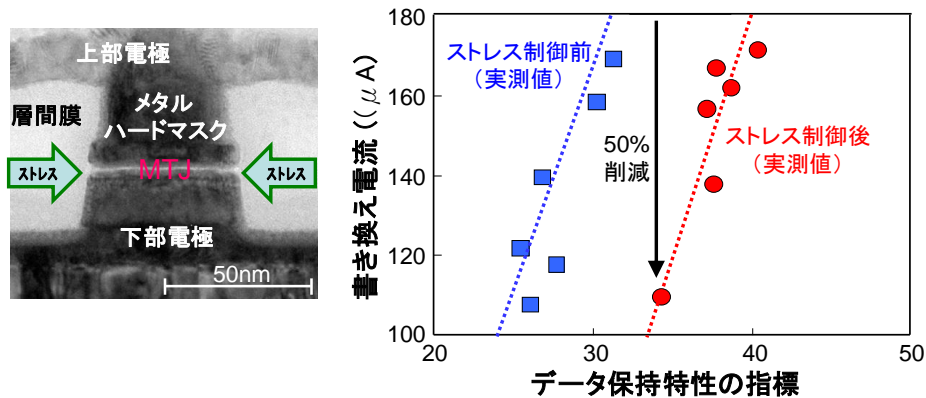


図 2.1-4 MTJ の断面写真と、書き換え電流と保持特性の測定結果

c) 界面垂直磁化膜開発

MTJの基本構造として、東北大学から報告されたCoFeB界面垂直材料 [6] をMgOの上下に配置した。更に、データ保持特性が高く、漏れ磁場の影響も小さくできることを期待して、高磁気異方性エネルギー、 K_u ($\equiv \Delta k_B T / V$, k_B :ボルツマン定数、 T :温度、 V :体積)を持つSAF (Synthetic Antiferromagnetic) 構造を開発した。

また、プロセス的工夫による更なる K_u の増大を狙って、スパッタ成膜中のガス種の検討を行った。重い粒子でスパッタすると元素の拡散が抑えられ、平坦な界面が期待できる。そこで、成膜ガス種をAr、Kr、Xeと変えて固定層(ピン層)を成膜し、その結晶粒径を平面TEMで評価した。従来のArに比べてKrとXeで作製した固定層の粒径は小さく、Xeで作製した場合は粒径分散が最も良いことがわかった。振動型磁力計(VSM)を用いて、固定層の磁気特性を評価した結果、Xeを用いて成膜した場合、最も大きな $K_u(4.4 \times 10^6 \text{ (erg/cm}^3))$ が得られた。

(3)-2 磁性変化デバイス開発

a) トップピン型MTJ素子の高性能化

MTJと読み書き用トランジスタが直列接続された1T-1MTJ型のSTT-MRAM(図2.1-1)において、ピン層がMgOトンネルバリアの上部に設けられたトップピン型(図2.1-5)は、MTJの持つ反転電流の非対称性と、トランジスタの電流駆動能力の非対称性とのマッチングがよく低電圧動作に有利である。そこで、セル面積増大に繋がる配線引き回しによるトップピン接続ではなく、我々はMTJの層構造を上下反転して初めてトップピン構造を実現した[7]。このトップピン型のMTJに、前述した要素プロセスを入れ込み、スイッチング電流を増加させることなく良好なデータ保持特性を持ったMTJを開発した。

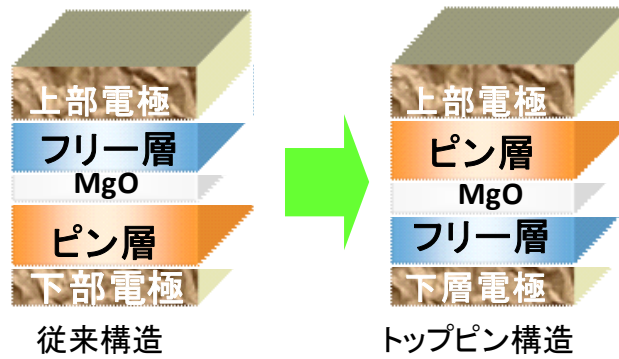


図 2.1-5 従来構造とトップピン構造

書き換え電流は $50\text{-}100\ \mu\text{A}$ (平均書き込み電流 $75\ \mu\text{A}$) で、MTJ に特有の非対称性が見られるが、単体素子目標である書き込み電流 $100\ \mu\text{A}$ 以下を実現した。

図 2.1-6 にパルス電圧による MTJ の書き換え特性を示す。約 0.4V の低電圧での書き換えが実現できている。また、上部電極に正の電圧を印加した場合に、MTJ の抵抗が低抵抗から高抵抗にスイッチし、負の電圧を印加した場合がその逆になっているため、MTJ がトップピン構造であることがわかる。これらの数値から、平均の書き換えエネルギー ($P=I \cdot V \cdot t$) で 0.3pJ を実証した。

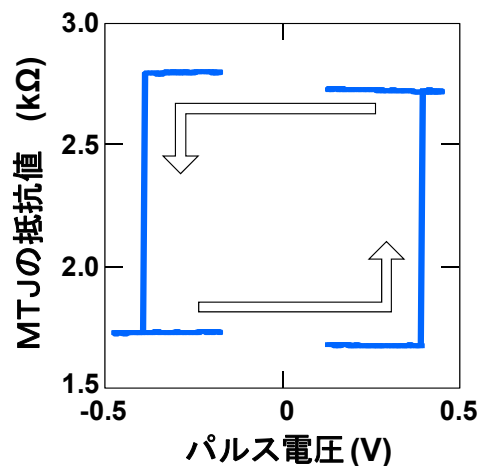


図 2.1-6 パルス電圧による MTJ の書き換え特性

データ保持特性の指標である Δ に関しては、下記の書き換え確率の分散の理論式[8]に、書き込み電流の実測分布をフィッティングすることにより算出した。

$$p\left(\frac{I}{I_0}\right) = \frac{K_u V}{k_B T} \frac{\left[1 + \frac{H(t)}{H_K}\right]^2}{I_{c0}} \frac{t_p}{t_{p \rightarrow ap}}$$

$$\text{データ保持特性の指標} : \Delta = K_u V / k_B T$$

p : スイッチング確率、 $H(t)$: 外部磁場、 K_u : 磁気異方性エネルギー、 H_K : 異方性磁界、 t_p : パルス電流幅、 V : 体積、 k_B : ボルツマン定数

上記の手法と書き込み電流の実測分布から Δ は 59 となり、垂直磁化トップピン構造の MTJ では最も大きな値を実現できた。この値は、10 年間のデータ保持に必要な Δ (>50) を大幅に上回っている。書き込み電流と Δ はトレードオフの関係にあり、10 年間のデータ保持に必要な Δ (>50) の場合、書き込み電流は約半分まで低減できている。

b) 絶縁破壊特性

MOS トランジスタのゲート絶縁膜の信頼性評価法と同様に、MTJ に種々な電圧を印加して、MgO トンネル絶縁膜が絶縁破壊に至るまでの時間を評価する絶縁破壊試験で、開発したトンネル絶縁膜の信頼性を評価した。その結果を図 2.1-7 に示す[9]。これにより、MgO トンネル絶縁膜の絶縁性を 10 年間保証可能な最大印加電圧は、0.53V であることがわかった。我々が開発した MTJ の読み書きに必要な電圧は、図 2.1-6 より 0.5V 以下の低電圧であるため、これらの結果から、10 年動作に問題ないことを初めて実証できた。

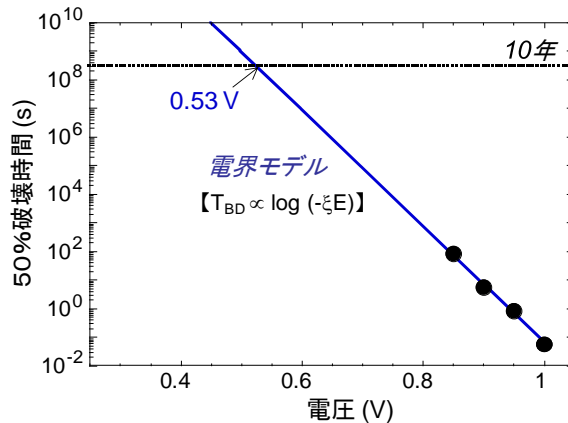


図 2.1-7 絶縁破壊試験結果

c) 書き換え耐性

MTJ に書き換え用パルス電圧を印加して、書き換え耐性を評価した。MTJ の書き換え回数と MTJ に印加する電圧の関係を図 2.1-8 に示す。これから、無限回書き換えと言える 10¹⁶ 回を実現できる印加電圧は 0.65V 以下であることが分かった。絶縁破壊耐性の場合と同様、MTJ の読み書きに必要な電圧は 0.5V 以下であるため、これらの結果から、一次メモリとしての必要条件である無限回書き換えを初めて実証できた[10]。

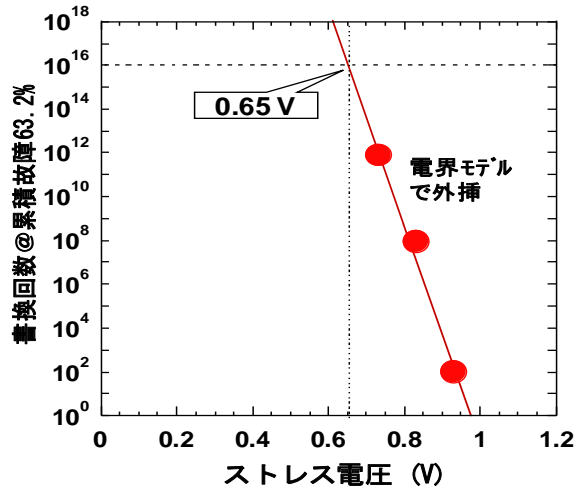


図 2.1-8 書き換え耐性

d) 多値デバイス開発

大容量化のために、メモリ素子の多値化を検討した。MTJ は磁化の平行状態と反平行状態において、その抵抗値が異なることを利用しており、平行と反平行以外の状態を作り出すのは困難である。そこで、MTJ を 2 個積層することにより、4 つの抵抗状態を実現する多値化を検討した。

積層した MTJ で多値動作させるためには 2 つの MTJ の磁化反転を独立に行う必要があり、そのためには書き込み電流差をつけることがキーポイントとなる。書き込み電流差は、

- i) 各 MTJ の反転電流密度を同じくし面積にて差をつける
- ii) 各 MTJ の反転電流密度に差をつける
- iii) i) と ii) の組み合わせ

などがあるが、今回は MR 比等の磁化特性への影響を出来る限り抑えるために i) を採用した。面積差は MTJ 一括加工のテーパ角にて実現させた。図 2.1-9 に試作した積層 MTJ の TEM 像を示す。上層の MTJ の寸法が 73nm であるのに対し、下層の MTJ は 89nm で、面積比で 1.4 倍になっている。

図 2.1-10 に作製した積層 MTJ の磁気特性を示す。外部磁場の掃引で 4 つの抵抗値 (800、1100、1200、1600 Ω) が示され、多値動作を確認した。

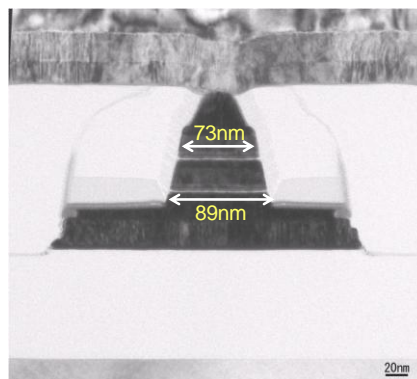


図 2.1-9 試作した積層 MTJ の TEM 像

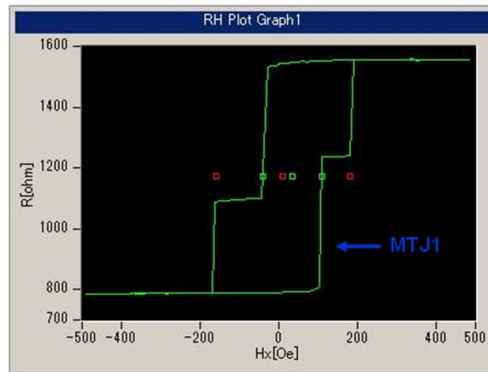


図 2.1-10 作製した積層の磁気特性

e) 電流センシング用の磁性変化デバイス開発

STT-MRAM 以外に、低電力化に繋がる応用技術として、電流センシング用の MTJ がある。MTJ のフリー層における磁気異方性を制御し、ヒステリシスを抑制することで、MTJ による高感度な磁場強度のセンシングが可能である。配線を通る電流によって発生する磁場強度は電流に比例するため、この磁場をセンシングすることで電流のセンシングが可能となる。この応用により、例えば環境温度等の周辺環境や負荷状況に応じた配線電流のセンシングが可能となり、その結果をフィードバックすることも可能となる。この技術により LSI の更なる低消費電力化が期待される。

電流センシングに適用する MTJ では、磁場に依存して抵抗が連続的(線形的)に変化し、ヒステリシスを示さない特性が必要である。MTJ におけるヒステリシスの抑制については、外部から MTJ へバイアス磁場を印加することが有効である。しかしながら本開発では、BEOL への集積化の容易性を考慮し、MTJ 単体でのヒステリシスの抑制を目指した。センスする磁場の方向と MTJ の磁場に対する感度を考慮し、面内磁化型の MTJ 構造としている。MTJ 付近で電流により発生する磁場の強度は、M4 配線の電流センシングを想定した磁界解析から、 $100 \mu\text{A}$ に対して約 1 Oe であると見積られた。この場合、 $\leq 10 \mu\text{A}$ の精度(最大電流は約 1 mA)の電流センシングの実現が見込まれる。

本開発では、新たに MgO 膜との界面において垂直磁気異方性を有する CoFeB 膜 [6]を MTJ のフリー層へと適用し、磁気異方性の制御によるヒステリシスの抑制を試みた。この結果、新規のフリー層を適用した MTJ において、ヒステリシスの大幅な減少(中心抵抗で 0.1 Oe 以下)を確認した。これにより、 $\leq 10 \mu\text{A}$ の精度での電流センシング(M4 を想定)に適用可能と判断されるヒステリシスの抑制を実現した。

(3)-3 集積化開発

a) Cu 多層配線間への埋め込み開発

新規導入した磁性膜スパッタ装置や汚染防止用の保護膜 CVD 装置などを使用して、シリコン基板に作成されている CMOS デバイスに影響を及ぼすことなく、磁性変化デバイスを 300mm BEOL 設計・製造基盤(プラットフォーム)に埋め込むプロセスフローを作成した。微細な MTJ の上部と Cu 配線をボーダレスコンタクトさせるため、MTJ を埋め込んだ層間絶縁膜のエッチバック技術と、その上に形成する Cu のダマシンプロセスを開発した。図 2.1-11 にプロセスフローと Cu

配線間に埋め込んだ MTJ の断面写真とメモリ動作結果を示す。その他に、これらの集積化開発を通して、MTJ 加工用のトリプルハードマスク技術、磁性体と Ta との高選択比 (>10) の加工を可能にする CO/NH₃ ガスでの反応性イオンエッチング技術などを開発した。

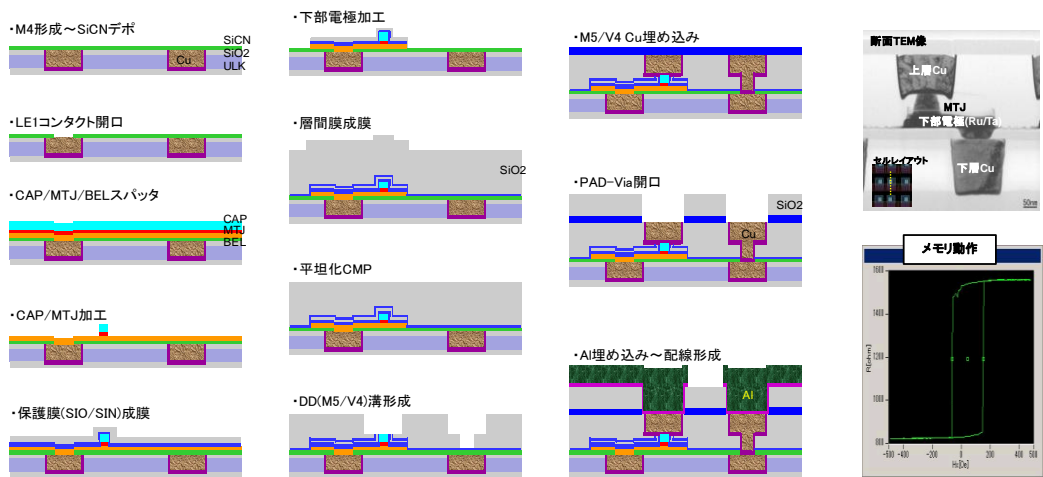


図 2.1-11 プロセスフローと Cu 配線間に埋め込んだ MTJ の断面写真

(3)-4 周辺回路開発 (共同実施 立命館大学、神戸大学)

a) MTJ の SPICE モデル作成

STT-MRAM マクロを設計する上で必要となる、回路シミュレーション用の MTJ モデルとして、大規模回路設計に対応可能なマクロモデルを開発した(図 2.1-12)。本モデルは大規模回路設計でデファクトスタンダードである回路シミュレータ (SPICE) 上で、シミュレータの収束性を劣化させないよう、既存のアナログ/デジタル回路をベースにモデル化した。具体的には、メモリセルの非線形抵抗をデプレッション型の nMOS Tr. で構成したダイオード接続回路で、また、セルの抵抗値のヒステリシス特性をセルの動作状況に応じてスイッチ Tr. で切り替える抵抗切り替え回路で実現した。スイッチの切り替え制御には、コンパレータとラッチ回路で構成することにより回路シミュレータの収束性が劣化しないようにした。

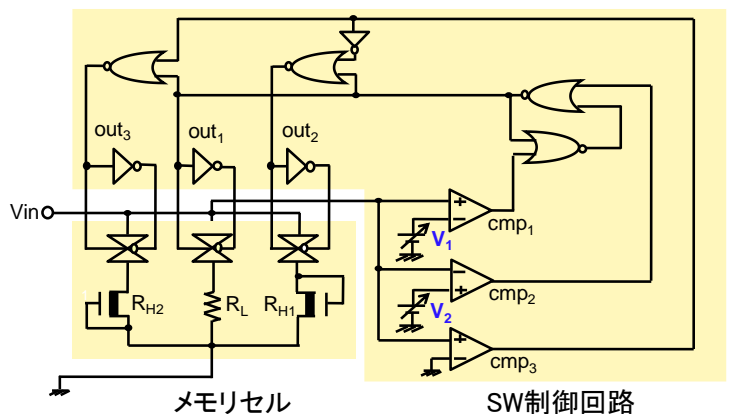


図 2.1-12 回路シミュレーション用の MTJ モデル

本モデルの有用性を SPICE シミュレーションで検証した結果を図 2.1-13 に示す。書き換えパルス信号のパルス幅依存性は STT-MRAM に特有の依存性であるが、開発したモデルはそれを良く再現できていることがわかる。

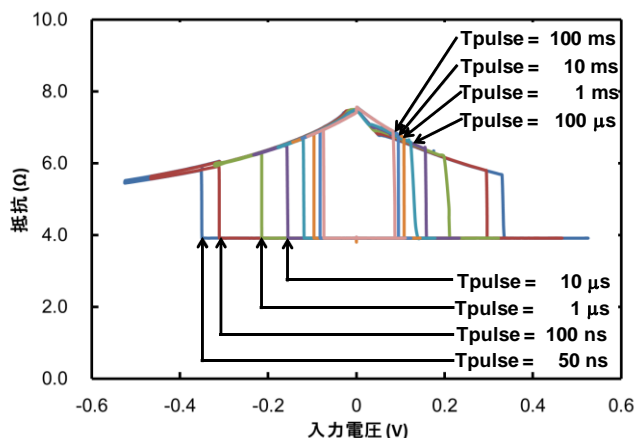


図 2.1-13 SPICE シミュレーション

b) センス回路開発

低電圧での動作を実現するために提案した読み出し回路を、図 2.1-14 示す。この回路は、次の特徴を備えている。

- ・磁性変化型メモリセルの読み出しノードを介して並列に接続される負性抵抗回路
- ・負性抵抗回路を構成する一対の pMOS トランジスタの基板バイアス電圧を制御
- ・負性抵抗回路と並列に接続され、電源電圧を共通とする昇圧負荷回路
- ・読み出しノードに接続される電圧センスアンプ

図 2.1-14 に提案した読み出し回路の負荷線と、従来 pMOS 回路の負荷線のシミュレーション比較を示す。提案読み出し回路の負荷線の場合、メモリセルが低抵抗状態にある場合の読み出し安定電位と、高抵抗状態にある場合の読み出し安定電位との電位差は約 0.3 V (=0.38-0.08) と大きくすることができた(図 2.1-14 の $\Delta V_{prop.}$ を参照)。これから、従来 pMOS 回路の負荷線の場合の電位差と比べて、約 1.7 倍大きくできることがわかる。

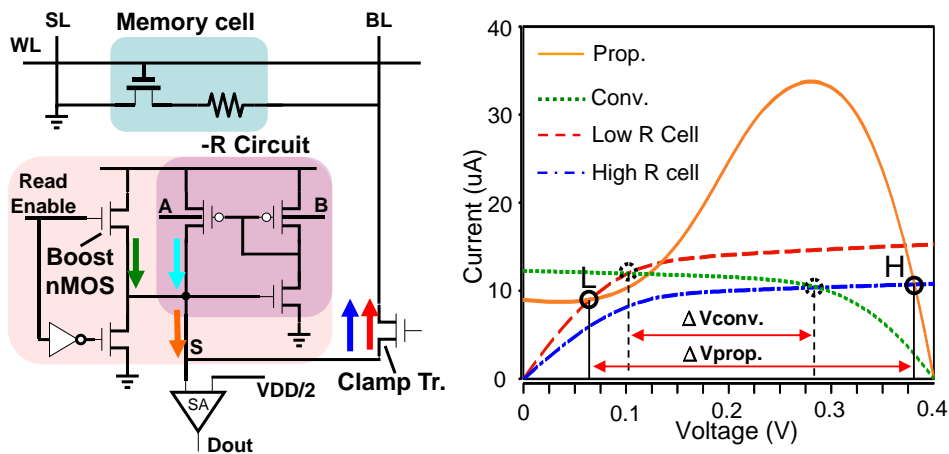


図 2.1-14 提案した読み出し回路とシミュレーション結果

(4) 達成度

- MTJ の微細エッチングプロセスを開発し、目標 MTJ 寸法での書き換え電流と書き換え電圧の目標値達成。単体レベルで、10ns のパルスでの読み書き電圧 0.4V、読み書き電流 50-100 μ A 以下(平均の書き換え電力量 0.3pJ)を実証した。
- 加速試験により、10 年間の絶縁破壊耐性、10 年間のデータ保持(リテンション)、書き換え回数 10^{16} 回を達成した。
- 300mm BEOL プラットフォームへ MTJ を埋め込み、デバイス動作を実証した。
- メモリパラメータ取得と、それをを用いた低電圧動作センス回路を設計した。
- 試作したセンス回路を評価し、十分なセンス電圧である 0.3V を得た。
- 高集積化を可能とする多値動作を確認した。

(5) まとめ

磁性変化デバイス(STT-MRAM)の基本構造、プロセスとして、トップピン構造、歪エンジニアリング、界面垂直磁化、SAF 構造などを開発し、単体レベルでの目標スペックを達成した。

CoFe シード層挿入による高品質 MgO 成膜プロセスを開発し、加速試験で 10^{16} 回の書き換えと 10 年間の絶縁耐性を実証した。

多値構造とそれを実現するプロセスとして、MTJ の 2 段積層構造の一括加工方式を提案し、試作により多値動作を確認した。

電流センシング用の MTJ を開発し、 $\leq 10 \mu$ A のセンシング精度に相当するヒステリシスの抑制を実現した。

300mm 径ウエハでの 2 層 Cu 配線間への、磁性変化デバイスの BEOL プラットフォームへの埋め込みプロセスフロー案を作成し、試作、評価を行い、デバイス動作を実証した。

MTJ の SPICE モデルを提案し、実測値との整合性を確認した。低電圧動作向けセンス方式・回路を設計し、起版したマスクに搭載し、試作した結果、シミュレーション通りの十分なセンス電圧(0.3V)を実現した。

参考文献

- [1] D. Djayaprawira, K. Tsunekawa, M. Nagai, H. Maehara, S. Yamagata, N. Watanabe, S. Yuasa, Y. Suzuki, and K. Ando: Appl. Phys. Lett. 86 (2005) 092502.
- [2] Young-suk Choi, Hiroshi Tsunematsu, Shinji Yamagata, Hiroki Okuyama, Yoshinori Nagamine, and Koji Tsunekawa, Jpn. J. Appl. Phys., 48, 120214 (2009)
- [3] C. Yoshida, T. Ochiai, and T. Sugii, 56th Annual Conference on Magnetism & Magnetic Materials 2011, AF-13
- [4] Chikako Yoshida, Takao Ochiai, and Toshihiro Sugii, J. Appl. Phys. 111, 07C716 (2012)
- [5] Y. Iba, K. Tsunoda, Y. M. Lee, H. Noshiro, A. Takahashi, Y. Yamazaki, M. Nakabayashi, A. Hatada, M. Aoki, and T. Sugii, 2011 Symp. on VLSI Technol. pp.212-213
- [6] S. Ikeda, K. Miura, H. Yamamoto, K. Mizunuma, H. D. Gan, M. Endo, S. Kanai, J. Hayakawa, F. Matsukura, and H. Ohno, Nature Mater. 9, 721 (2010)
- [7] Y. M. Lee, C. Yoshida, K. Tsunoda, S. Umehara, M. Aoki, and T. Sugii, 2010 Symp. on VLSI Technol. pp.49-50

- [8] M. Pakala et. al., J. Appl. Phys. 98, 056107 (2005)
- [9] Chikako Yoshida and Toshihiro Sugii, 2012 Int'l Reliability Phys. Symp., pp.2A.3.1-5
- [10] C. Yoshida, T. Ochiai, Y. Iba, Y. Yamazaki, K. Tsunoda, A. Takahashi, and T. Sugii, 2012 Symp. on VLSI Technol. pp.59-60

2.2 研究開発項目② 相変化デバイス

「外部記憶の高速低電力データ転送を実現する、高集積・高速低電力書き込み特性などの機能を有する超低電圧・不揮発デバイスの開発」

(1) 背景と目的

インターネットサービスを提供する施設である大規模データセンターの消費電力は、100MW時に迫る勢いで増大している。背景には、これまで経験したことがない爆発的な“ビッグデータ”の発生がある。国内ディスクストレージシステム容量は、2020年には40,000ペタバイトと2011年の45倍に増大すると予想されており、次世代データセンターにはさらなる高速・低電力処理能力が求められている。(図 2.2-1)

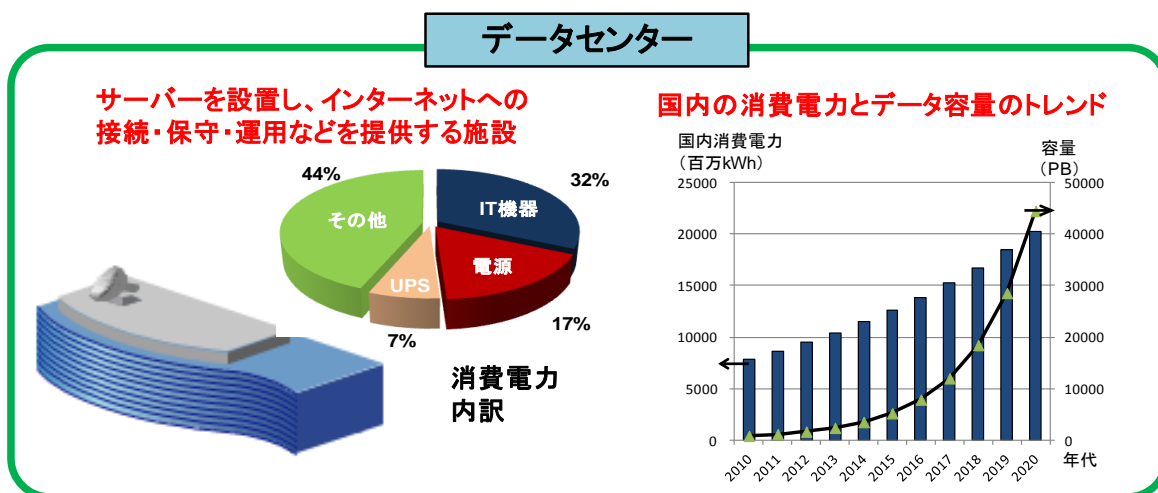


図 2.2-1 データセンターの消費電力とデータ容量のトレンド

データセンターの低電力化には、ストレージ階層における上位ストレージ(Tier0)が本質的に重要である。Tier0はデータ量全体の5%を保存する階層であるが、アクセスが80%と頻発するため、その電力削減効果はきわめて大きい。(図 2.2-2)

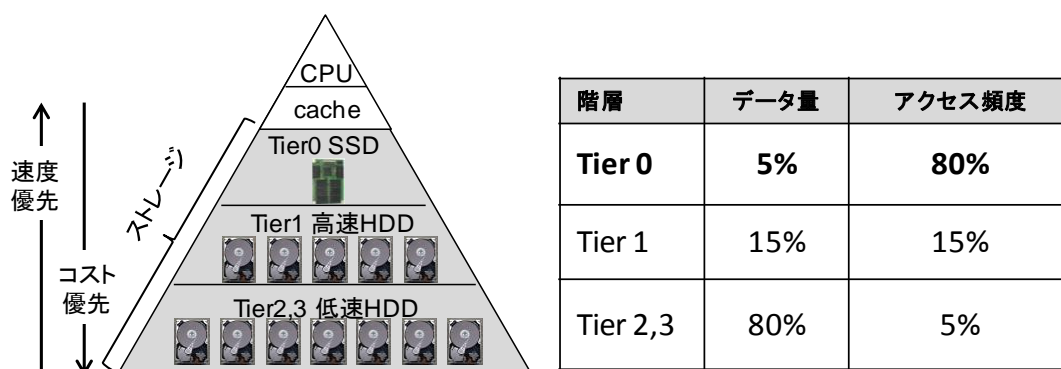
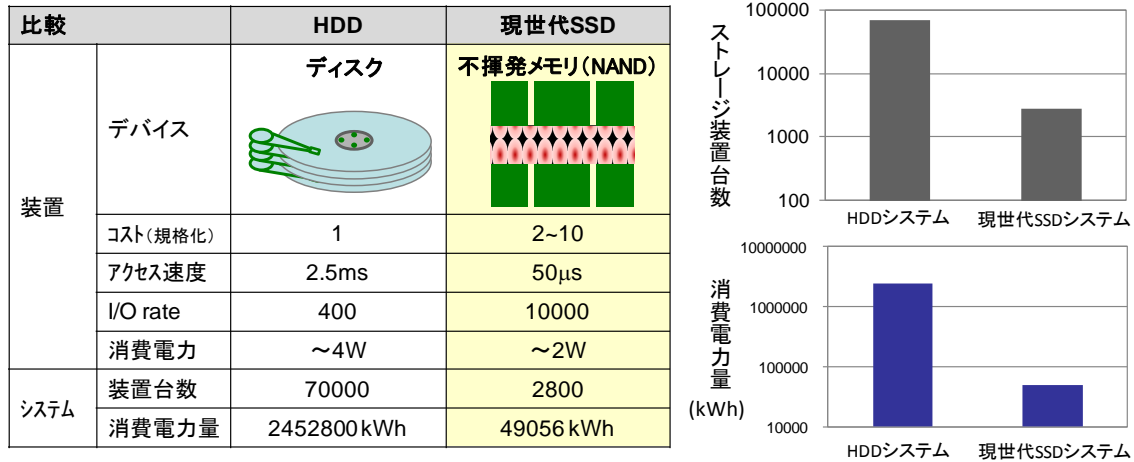


図 2.2-2 ストレージ階層

システムの観点では、CPU/キャッシュと従来のストレージの速度ギャップを解消し、ストレージの並列動作台数を減らすことで、桁違いの低電力化が可能となる [1]。最近では、HDD (Hard Disk Drive) はメカニカル動作するため低速であるが、半導体を用いた固体ストレージSSD(Solid State Drive)で代替して高速化することで、このシナリオが実現した。図 2.2-3 に、検索エンジンを想定した、HDDシステムとSSDシステムの比較を示す。HDDよりも高速なSSDを用いることで、ストレージ装置台数が1/25に低減し、システムの消費電力量が1/50に削減される算出結果が得られる。



4kBデータを、28M I/O rateで処理する検索エンジンのシステムシステムを想定
 装置台数=(要求性能 28M I/O rate) ÷ (装置のI/O rate), 消費電力量=(装置台数) x (装置の消費電力) x 24hours として算出

図 2.2-3 HDD システムと SSD システムの比較

しかしながら、フラッシュメモリを搭載した現世代の SSD にも、ブロック単位でのデータ消去に起因する実効的な書き込み時間の増大や、複雑な使いこなしが避けられない、等の課題がある。これらの課題が、性能向上のボトルネックとなり、性能優先の Tier0 の要求トレンドを継続的に満たすことが困難になりつつある。爆発的な“ビッグデータ”の発生に対応すべく、Tier0 の要求トレンドを満たすためには、現世代 SSD では実現困難な、さらなる高速化が必要となる。具体的には、現状の 10 倍以上の単位電力あたりのデータ転送速度が、次世代 SSD に求められる。(図 2.2-4)

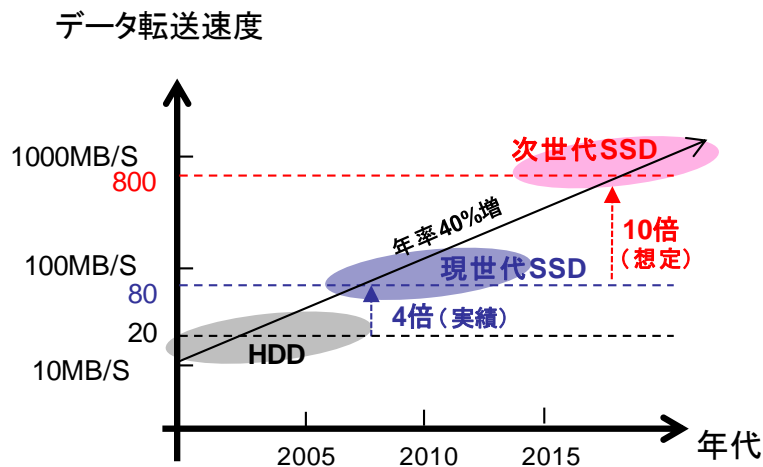


図 2.2-4 ストレージデバイスのトレンド

Tier0においてストレージデバイスの代替が起こる条件としては、SSDがHDDを代替した実績が参考になる。SSDはアクセス時間やデータ転送速度を10倍以上に向上することで、性能優先のTier0においてHDDを代替した。次世代SSDも、フラッシュメモリを搭載した現世代のSSDの性能の10倍以上を実現することが必要である [2] [3]。また、ストレージのデータ転送速度の要求が年率40%で増大すると想定した場合、次世代SSDの実用化が求められる時期は、2017~18年頃になると予想される。

相変化デバイスは次世代ストレージデバイスの最有力候補である(図 2.2-5) [4]。相変化デバイスは原子状態の違いを利用する抵抗変化型の不揮発メモリであり、電荷蓄積型のフラッシュメモリよりも高速・低電力である。また、他の抵抗変化型メモリであるMRAMやReRAMに対して、一方向の電流で動作できるメリットがあり、それを活かして、物理的最少寸法のクロスポイント型セルによる低コスト化が原理的に可能である。現状、相変化デバイスは、モバイル機器向けに実用化された段階にある。しかし、次世代Tier0ストレージとして用いるためには、モバイル機器仕様の1/10以下の、さらなる低動作電力が求められる。本研究は、新しい相変化材料である超格子等を優位化技術として、相変化デバイスを発展させ、従来のフラッシュメモリにはできない、低電力・高速な相変化デバイスストレージの実現を目指す(図 2.2-6)。

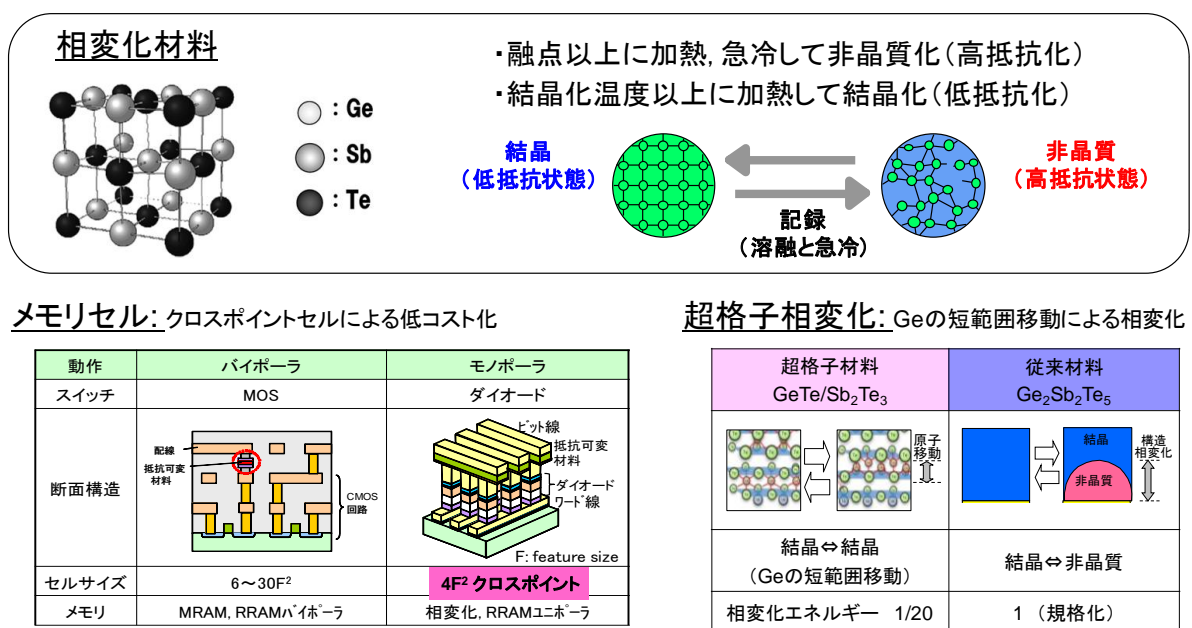


図 2.2-5 相変化デバイスの概要

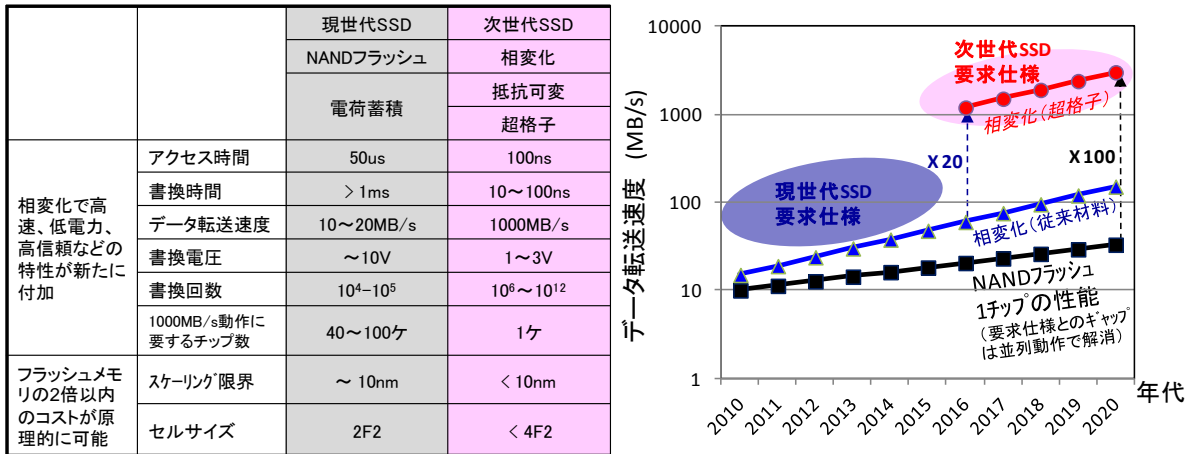


図 2.2-6 超格子相変化デバイスの次世代 SSD への適用

(2) 目標

【中間目標】(平成24年度末)

- ・単体デバイスとして、クロスポイント型メモリセル試作と動作実証。
- ・データ転送速度200MB/s を、従来の1/3 の電力(200mW)で可能とする単体デバイスの書き込み動作、およびさらなる高速低電力化の可能性の根拠を示すこと。

【最終目標】(平成26年度末)

クロスポイント型メモリセルを集積化したメモリアレイ試作と動作実証

- ・書き換え回数10⁶回以上の達成
- ・データ転送速度400MB/s の高速動作実証
- ・従来の1/10 の電力(66mW)の低電力動作実証
- ・メモリセル面積4F²(F;最小加工寸法)のメモリアレイによる高集積性実証

上記のデータ転送速度や電力は、SSD モジュールを想定した目標である。上記を達成する単体デバイスの書き換えエネルギーを以下のように算出し、開発目標とした(図 2.2-7)。

【中間目標】 30pJ

【最終目標】 5pJ

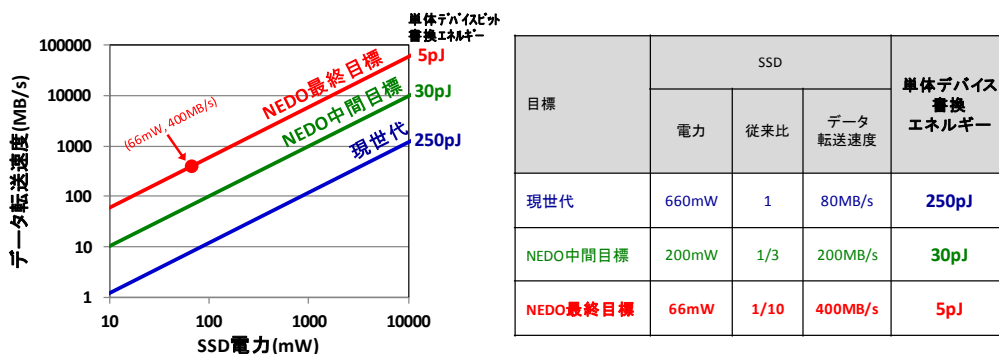


図 2.2-7 単体デバイスの書き換えエネルギー目標値の算出

参考1: 単体デバイスの書換エネルギー目標値の算出方法

1ビット当たりの単体デバイスの書換エネルギー E は、以下に式で算出される。

$$E = I \times V \times t \quad (\text{式 1})$$

ここで、 I : 電流, V : 電圧, t : 書換時間である。 E は、SSD電力 W とデータ転送速度 D より、

$$E = W \div D \times R \quad (\text{式 2})$$

のように算出される。ここで、 R : メモリ消費電力配分、である。メモリ消費電力配分とは、SSD電力に占めるメモリセルが消費する電力である。本研究では、 $R=1/4$ とした。単体デバイスの書き換えエネルギーの【中間目標】は、(式 2)に $W=200\text{mW}$, $D=200\text{MB/s}$ を代入することで、 $E \approx 30\text{pJ}$ と算出した。【最終目標】は(式 2)に $W=66\text{mW}$, $D=400\text{MB/s}$ を代入することで、 $E \approx 5\text{pJ}$ と算出した。

参考2: メモリ消費電力配分

メモリ消費電力配分 R とは、SSD電力 W に占めるメモリセルが消費する電力 M である。

$$R = M \div W \quad (\text{式 3})$$

ここで、SSD電力 W は、メモリチップ電力 MC とコントローラー電力 C の和である。

$$W = MC + C \quad (\text{式 4})$$

本研究では、メモリチップ電力 MC とコントローラー電力 C は等しいと仮定する。

$$MC = C \quad (\text{式 5})$$

メモリチップ電力 MC は、メモリセル電力 M と周辺回路電力 Pe の和である。

$$C = M + Pe \quad (\text{式 6})$$

本研究では、メモリセル電力 M と周辺回路電力 Pe は等しいと仮定する。

$$M = Pe$$

(式 3)に(式 4), (式 5), (式 6)を代入することで、 $R = 1/4$ となる。

(3) 研究開発成果

(3)-1 相変化材料技術開発

a) 超格子技術 (共同実施 独立行政法人 産業総合技術研究所)

相変化に要するエネルギーを低減するブレイクスルー技術である、超格子材料技術を開発し、低電力化を達成した成果を報告する。

相変化デバイスの超格子技術とは、本研究の共同実施先である産総研の富永上席研究員の提唱する、新しい相変化現象を用いたものである [5]。超格子は GeTe と Sb_2Te_3 の積層構造として形成する。この超格子の中でのゲルマニウムの短範囲移動を用いて、情報を記憶する。理論上、従来材料の結晶-非晶質間の相変化に比べて、超格子では $1/20$ 以下のエネルギーでの結晶-結晶間の相変化が可能である。しかし、これまでの超格子現象は、基礎実験で確認されたにすぎない。本研究では、 300mm ウェハプロセスを用いて超格子素子を試作、ULSI 実証してそのフィージビリティを検証した(世界初)。

$\text{GeTe}/\text{Sb}_2\text{Te}_3$ 超格子はマルチカソード PVD(Physical Vapor Deposition)装置を用いて作製した(図 2.2-8)。 GeTe と Sb_2Te_3 の薄膜を平坦に積層成膜するためには、基板に六方晶系である Sb_2Te_3 の垂直 C 軸を成長させ、この軸に揃えて、立方晶系の GeTe の $[111]$ 軸を積層する。そのためには、成膜温度を GeTe の結晶化温度以上の 230°C 近傍に設定する。ただし、 Sb_2Te_3 の結晶化温度が GeTe よりも 20°C 程度低いいため、 GeTe 成膜時に Sb_2Te_3 が劣化しないことが求められる。本研究では、スパッ

タ元素が基板に到達する時のエネルギーを小さくすること、さらには電気特性に影響を与えない範囲で、 Sb_2Te_3 を厚膜化し、 GeTe を薄膜化する手法を見出して、超格子を成膜した。

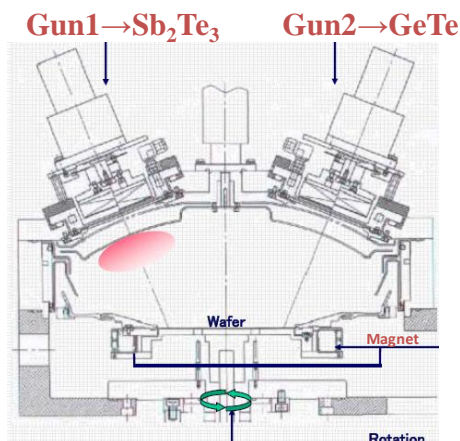


図 2.2-8 超格子 PVD 成膜装置

新材料である超格子には、物性データベースが存在しない。そこで、超格子の結晶性を評価するために、新しい評価手法を確立した。具体的には、第一原理計算で超格子の結晶構造(図 2.2-9(a))と X 線回折スペクトルを算出し、超格子に特徴的なピークが存在することを確認して、超格子の結晶性を評価するために活用した。従来材料の $\text{Ge}_2\text{Sb}_2\text{Te}_5$ や、成膜条件の適正化前の積層構造では、超格子ピークが発生しなかった。しかし、スパッタ元素の到達エネルギーを低減し、膜厚を適正化した超格子は、高強度の超格子ピークを示し、超格子が良好に成膜できたことを確認した(図 2.2-9 (b))。

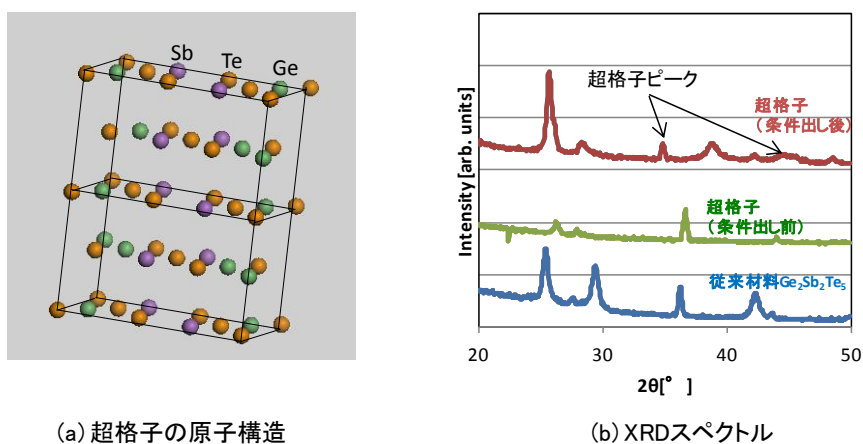


図 2.2-9 超格子の原子構造と XRD スペクトル

超格子のシート抵抗のばらつきは、 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 合金のばらつきと同様に小さく抑えられた。また、結晶成膜した超格子のシート抵抗は、 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 合金のシート抵抗より小さいことを確認した。

超格子膜が整合的に積層されていることは、断面 TEM 観察により確認した(図 2.2-10)。さらに、超格子膜を直径 50 nm のタングステン下部電極プラグ上に成膜し、タングステン上部電極を成膜・加工して、超格子素子を作製した。

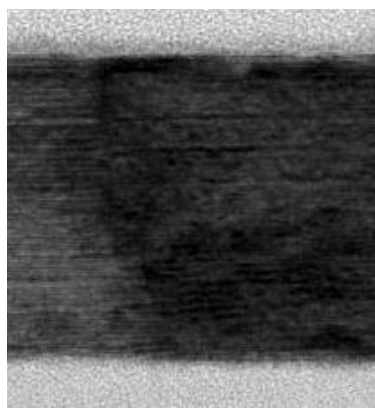


図 2.2-10 超格子メモリセル断面写真

作製した超格子素子の特性は、電気測定によって起こる抵抗変化を観測することで確認した。本サンプルの電気測定において、およそ $1\text{ M}\Omega$ の高抵抗状態(リセット状態)と $2\text{ k}\Omega$ の低抵抗状態(セット状態)の間で相変化する、抵抗比 2 桁以上での書き換え動作を確認した。超格子では、従来材料に比べて、抵抗変化が急峻に起こった。この結果は、超格子動作に特長的な、急峻な相変化が起こったことを示唆している。超格子素子の動作電圧は、従来材料より低電圧で動作することがわかった。また、従来相変化材料のセット電流の $1/30$ 以下となることを確認した。さらに、超格子の高抵抗化に要した書き換え(リセット)電流は、従来材料の $1/2$ となることを確認した。書き換え回数は、100 万回以上を確認した。

リセット電流のさらなる低減は、低抵抗状態であるセット状態の抵抗値を増大させることで可能となる。セット抵抗値の制御は、超格子において、ゲルマニウムの短範囲移動が起こる領域(膜厚)を制御することで可能である。本研究では、セット抵抗が $150\text{ k}\Omega$ の場合、書き換え電流 $70\text{ }\mu\text{A}$ のリセット動作を実証することに成功した。ちなみに、本サンプルの抵抗比はおよそ 1 桁である。1 桁の抵抗比は読み出し動作上、十分に大きな値であり、実用上、問題ない(参考:MRAMの抵抗比は2倍程度)。本実験では、単体デバイスの書き換えエネルギーは 3.5 pJ であった(世界最高水準)。この値は、NEDO 中間目標の 30 pJ を達成している。また、NEDO 最終目標 5 pJ も単体デバイスで達成しており、アレイ動作による 5 pJ 動作の目標達成の見込みを得た。

b) 熱拡散防止層技術

次に、熱拡散防止層の材料開発を行い、相変化デバイスの低電力動作を実現した成果を報告する。相変化デバイスはジュール発熱で動作するメモリである。よって、書き換え電力は、熱を効率的に発生させ、かつ、その散逸を防ぐ材料を用いることで低減できる。具体的には、電極金属と相変化材料の間に熱拡散防止層を挟むことが効果的である。熱拡散防止層には、相変化材料より抵抗率が大きく、熱伝導率が小さい特性が望まれる。しかし、既存の材料には、所望の抵抗率と熱伝導率を有するものが無い。

そこで、本研究では、究極の熱効率を目指して、新しい熱拡散防止層を、二種類の材料を混合して作製した。材料選択の指針は、相変化材料との密着性に優れること、さらには、熱拡散防止層の結晶サイズがナノメートルオーダーと微小で、結晶粒界による高抵抗化と低熱伝導化が期待できるこ

と、とした。材料探索に用いた組成傾斜 TEG を図 2.2-11 に示す。組成傾斜とは二つの材料を正確に混ぜ合わせるコンビナトリアル手法のことで、2 種類のスパッタターゲットを用いて、材料の組成を制御した。

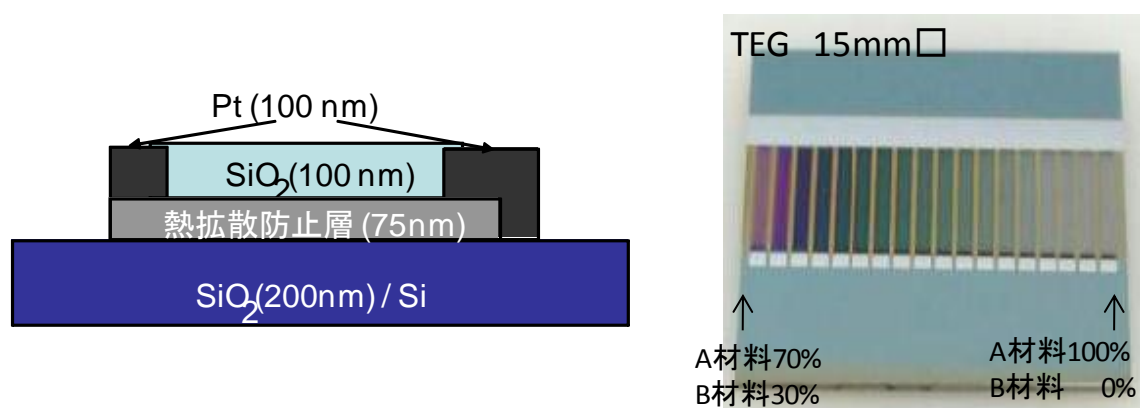


図 2.2-11 材料探索のための組成傾斜 TEG

この熱拡散防止層による熱の閉じ込め効果を、デバイスシミュレーションを用いて計算した。熱拡散防止層を有するセルでは、書き換え動作時に、効果的にセル到達温度が上昇した。特に、熱拡散防止層内での発熱により、熱が上手く閉じ込められることを確認した。

熱拡散層付きセルの動作特性は、電気測定によって起こる抵抗変化を観測することで確認した。熱拡散防止層の検証のために用いた相変化材料は、従来材料の $\text{Ge}_2\text{Sb}_2\text{Te}_5$ である。熱拡散防止層を有する本サンプルの電気測定において、抵抗比 4 桁以上での書き換え動作を確認した。リセット電流は、熱拡散防止層の無い従来相変化材料 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ の 1/3 となることを確認した。

本サンプルでは、抵抗変化が、熱拡散防止層無しのケースに比べて、急峻に起こることを確認した。この実験結果は、シミュレーションで確認した熱拡散防止層による熱閉じ込めが、実際に起こっていることを示唆している。この単体デバイスの書き換えエネルギーは 3.6 pJ であった。この値は、NEDO 中間目標の 30 pJ 以下を達成し、さらには、NEDO 最終目標 5 pJ を単体デバイスで達成しており、アレイ動作による 5 pJ 動作の目標達成の見込みを得た。

(3)-2 集積化実証

a) クロスポイント型セル

相変化デバイスには、一方向の電流での高抵抗化と低抵抗化の両方の動作、すなわちモノポーラ動作する特長がある。モノポーラ動作するデバイスは、2 端子素子であるダイオードを選択スイッチとして用いることができ、さらには、メモリセルをクロスポイント型にすることで、物理的に最少のセルサイズが原理的に可能となる [6]。本研究では、デバイスの高集積化に適した選択スイッチとして、ポリ Si pin ダイオードを開発した。ポリ Si 成膜装置を 300mm つくばスーパークリーンルームに立ち上げ、本装置を用いて金属/p 型層ポリ Si/i 型真性層ポリ Si/n 型層ポリ Si/金属の積層膜を形成し、ポリ Si 界面に酸化膜層が形成されないことを確認した(図 2.2-12)。真性層中のドーパント、金属原子の濃度は $5 \times 10^{18} \text{ cm}^{-3}$ 以下であり、活性化アニールに伴う相互拡散の影響は抑制できることを確認した。

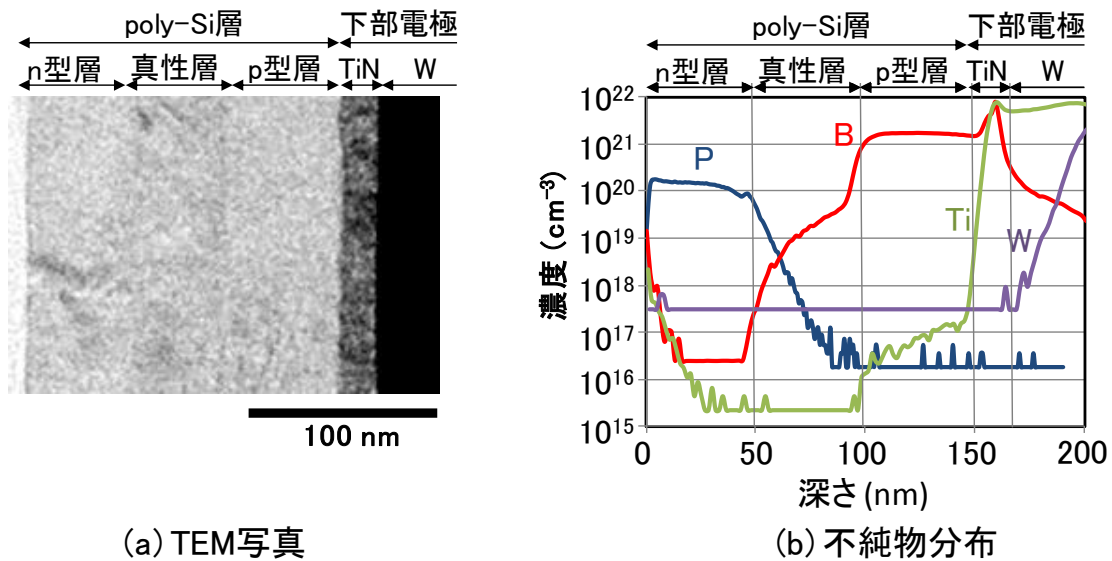


図 2.2-12 多層ポリシリコンの断面観察

次いで、クロスポイントセル(図 2.1-13(a))の加工プロセスを構築した。金属/p 型層ポリ Si/i 型真性層ポリ Si/n 型層ポリ Si/金属の積層膜をパターニングするためのカギとなる技術は、ポリ Si と金属との界面の加工である。本研究では、金属にサイドエッチが入らない条件を見出し、断面写真(図 2.1-13(b))に示すような、垂直な加工形状を得ることに成功した。さらに $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 相変化材料を搭載した 1Diode-1Resistor 単体デバイスを作製し、抵抗変化現象を確認した(図 2.2-13(c))。NEDO 中間目標である「単体デバイスとしてのクロスポイント型メモリセル試作と動作実証」は、本セルに超格子材料を搭載して、H24 年度中に達成見込みである。

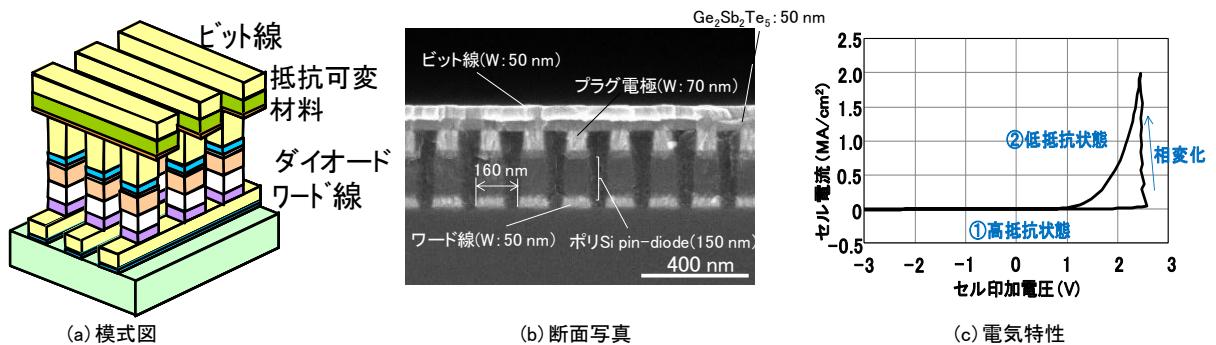


図 2.2-13 クロスポイント型セルの開発

b) 周辺回路開発(共同実施 学校法人 中央大学)

超格子の動作の特徴を活かした動作方式の成果を報告する。超格子の特徴は、高速・低電力性、及びユニポーラ動作である。超格子は、従来の相変化材料と比べて、10倍以上に高速・低電力で動作するポテンシャルを有している。そのため、従来の動作方式では、エネルギーの入力が過剰となり非効率である。また、MRAM 等における正と負のパルスを用いるバイポーラ動作方式とは異なり、正のパルスのみを用いるユニポーラ動作方式にて検討する必要がある。

本研究では、超格子の動作方式として、入力パルスの形状・高さ・幅の高精度な制御を検討した。形状手法としては、動作パルスの二段階化方式を検討した。本方式の目的は、素早く超格子を変化

させること、及び、その後、相変化に適した温度を保持することを両立させ、過剰な書き換えエネルギーの入力を抑制することである。検討した二段階パルスの概要を図 2.2-14 に示す。このパルスを用いることで、超格子の低抵抗化に要する時間であるセット時間を、従来材料より 2 倍以上高速化できることを確認した。

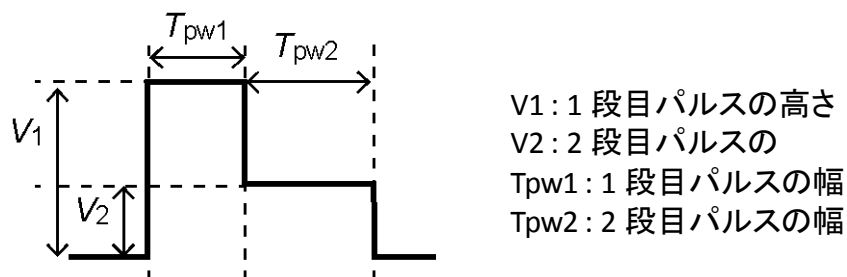


図 2.2-14 二段階パルス

次いで、任意の高さ・幅のパルス動作を検討すべく、電流を 10uA 単位で制限するための書き込み回路と、10nsec オーダー以下の精度で生成可能なタイミング生成回路を考案した。これらの回路方式のフィージビリティは、まず、1Transistor-1Resistor (1T-1R) セルを用いて確認する。超格子を抵抗素子とするアレイは、本年度に起版するマスクを用いて、BEOL デバイスとして試作評価する。

(4) 達成度

NEDO 中間目標は達成、または達成見込みである。

データ転送速度 200MB/s を、従来の 1/3 の電力(200mW)で可能とする単体デバイスの書き込み動作、およびさらなる高速低電力化の可能性の根拠を示すことは達成した。

- ・単体デバイスの書き込み動作のエネルギーの目標を【中間】30pJ、【最終】5pJ以下と算出
- ・超格子素子を産総研300mmラインで試作評価し、単体デバイス書き換えエネルギー3.5pJを取得
- ・熱拡散防止層を材料開発し、単体デバイス書き換えエネルギー3.6pJを取得
- ・さらなる高速低電力化の可能性の根拠として、超格子の化学量論組成構造化、及び超格子と熱拡散防止層の組み合わせ構造を提案

単体デバイスとして、クロスポイント型メモリセル試作と動作実証は達成見込みである(H25年2月)。

- ・金属/p型層ポリ Si/i 型真性層ポリ Si/n 型層ポリ Si/金属の積層膜の成膜・加工プロセス構築
- ・Ge₂Sb₂Te₅ 相変化材料を搭載した 1Resistor-1Diode 単体デバイスを作製し、抵抗変化を確認
- ・GeTe/Sb₂Te₃ 超格子のクロスポイント型セル試作と動作実証は H24 年度中に達成の見通し

最終目標達成に向けた重点取組事項

単体デバイスで実証した書き換えエネルギーの低減、及び書換回数を、メモリアレイ試作を通して動作実証する。アレイ動作実証では、ビット歩留まりを考慮した、安定的な低電力化が求められる。そのためには、超格子の抵抗値ばらつきの制御が必要となる。安定的な、さらなる低電力化手法としては、超格子と熱拡散防止層の積層構造を、今後のメモリアレイ試作評価において重点的に取り組

む。さらに、超格子の高速・低電力性を活かした回路方式のフィージビリティチェックを通じて確認し、デバイス・回路連携による性能向上を狙う。

(5) まとめ

300mm ウエハの成膜装置での GeTe/Sb₂Te₃ 超格子構造形成に世界で初めて成功した。50nm 直径の W 電極を有する GeTe/Sb₂Te₃ 超格子抵抗 TEG を 300mm ラインで試作し、100 以上の抵抗比で動作することを確認した。単体デバイスのリセット電流が、従来の Ge₂Sb₂Te₅ の 1/25 以下に低減し、リセットエネルギーが NEDO 中間目標を達成する 3.5pJ となることを実証した。セット動作は、さらに低い電流で起こることを確認し、相変化の低電力化に超格子膜が有効であることを、300mm の試作環境で実証できた。さらに、熱散逸を防止するために用いる熱拡散防止層素子を試作した。熱拡散防止層の結晶を nm のサイズとすることで、電気抵抗と熱抵抗を増加させて、素子内に効率的に熱を閉じ込めることに成功し、単体デバイスのリセットエネルギーが、熱拡散防止層無し素子の 1/10 以下の 3.6pJ となり、NEDO 中間目標を達成することを実証した。さらに、W 配線/シリコンダイオード/相変化膜/W 配線からなるクロスポイント構造のメモリセルを試作し、ダイオードの正常動作と相変化材料の抵抗変化現象を確認した。超格子膜とシリコンダイオードを組み合わせることで、中間目標は達成できる見通しである。

参考文献

- [1] R.F.Freitas and W.W. Wicke, IBM J. RES.&DEV. Vol52, pp.439. 2008.
- [2] 竹内 健, 日経 BP 社 半導体ストレージ 2012, p81.
- [3] M.Fukuda, Higuchi, and Ken TakeuchiK. Jpn. J. Appl. Phys. 50(2011) 04DE09-2.
- [4] 高浦 則克, 日経 BP 社 半導体ストレージ 2012, p174.
- [5] R.E.Simpson, A.V.Kolobov, T.Fukaya, M.Krbal, T.Yagi and J.Tominaga, P.Fons., Nature Nanotechnology Vol.6 , pp.501, 2011.
- [6] Y. Sasago, M.Kinoshita, T. Morikawa, K. Kurotsuchi, S. Hanzawa, Proceedings of Symposium on VLSI Technology (2009) p.24.

2.3 研究開発項目③ 原子移動型スイッチ

「配線切り換えを可能とするスイッチを対象とした、低電流・高速書き換え、高オン・オフ抵抗比、小面積などの機能を有する超低電圧・不揮発スイッチデバイスの開発」

(1) 背景と目的

高度情報化社会の発展には、IT ネットワーク機器・車載電子機器・情報家電機器・モバイル機器など、様々な用途で用いられるロジック集積回路の性能向上が不可欠である。近年、電子機器の製品サイクルが短縮し、短 TAT、少量多品種生産、頻繁な仕様変更等が必要となってきたため、ロジック集積回路の一部または全部の回路を再構成可能にした、プログラマブルロジックへのニーズが高まっている。プログラマブルロジックは、電子機器に組み込まれた後もその回路構成を変えられるため、ユーザーのニーズに沿った機能変更・追加、バグ修正、さらに不具合や劣化した回路の切り離し等をユーザーの手元で行えるようになる。このような柔軟なプログラマブルロジック集積回路を電子機器に組み込むことにより、ユーザーの意図した機能・動作が実現できるようになり、自然な形で人のニーズを満たし、行動を支援する“ヒューマンセントリック”な電子機器が提供できる。しかしながら、従来のプログラマブルロジックは、その大きな消費電力のためにコンシューマ市場へ浸透していなかった。したがって、プログラマブルロジックデバイスの動作時、および待機時の電力を削減することは、低炭素社会の実現に大きく貢献する。

現在のプログラマブルロジックデバイスでは、回路を再構成するスイッチに、パストランジスタと SRAM を組み合わせた SRAM スイッチが用いられている。しかしながら、上述のとおり、動作時および待機時の電力が大きく、低消費電力化が強く求められている。そこで、本研究では、配線切り換えを可能とするスイッチを対象に、ロジック集積回路の低消費電力化・低電圧化に対応可能で、スイッチの書き換え時、および保持時の低消費電力化を実現する、超低電圧・不揮発スイッチデバイスの開発を行う。具体的には、オン・オフ抵抗比が大きく低電圧に対応可能であり、スイッチ素子の面積が小さく、配線容量およびスイッチ容量が小さく、さらに、書き換えに必要な電流と書き換え速度の積(電荷量)が小さいために低電力書き換えが可能であるスイッチデバイスを開発する。

(2) 目標

上記の目的を達成するために、次の目標を設定した。

【中間目標】(平成24年度末)

スイッチ素子の材料選定、素子構造の最適化を行い、単体素子での下記の動作検証を行う。

- ・単体素子性能として書換え電流と書換え速度の積が 10^{-10} A・s 以下
- ・オン・オフ抵抗比 10^5 以上
- ・書き換え回数 10^3 以上

【最終目標】(平成26年度末)

以上の成果に基づき、大規模集積化に必要なスイッチ素子特性のばらつきを低減し、300mm 径 Si 基板を用いてロジック集積回路を試作し下記を達成する。

- ・本スイッチにより配線切り換えを行ったロジック集積回路が 0.4V で動作可能であり、その際の消

費電力がSRAM スイッチにより配線切り替えを行った従来型 1.2V 動作ロジック集積回路の 1/10 以下。

・スイッチ素子面積が、同一世代の SRAM スイッチを用いたプログラマブルロジックデバイス (PLD) に比べ 1/20 以下。

(3) 研究開発成果

(3)-1 原子移動型スイッチデバイス開発

a) デバイス開発 (3 端子原子移動型スイッチ開発)

超低電圧・不揮発スイッチデバイスとして、Cu イオンのイオン伝導・電気化学反応を利用した抵抗変化スイッチである原子移動型スイッチ (図 2.3-1) は有力な候補である [1-4]。しかしながら、原子移動型スイッチ素子のプログラミング電圧の低減に伴って発生する、オフディスターブ信頼性劣化 (論理回路の動作電圧がスイッチに印加された場合に、経時変化に伴ってオフ状態のスイッチがオン状態に反転してしまう不良) が問題となり、低電圧化が困難であった。本開発では、図 2.3-2 に示す二つのスイッチ素子を相補的に配置した 3 端子構造 [5] を提案し、低電圧化と高信頼性の両立ができることの見通しを得た。

提案した 3 端子構造を産総研 SCR で 300mm 径ウエハを用いて試作し、その基本 I-V 特性を検証した結果を図 2.3-3 に示す。試作および評価を行った 3 端子原子移動型スイッチの基本構成は、下部電極:Cu、固体電解質:PSE (polymer solid-electrolyte)、上部電極 Ru である。図中下の TEM 写真には測定時の電流方向を示す。まず、素子を ON 状態へ遷移させるためには、双方の原子移動型スイッチを OFF 状態から ON 状態にプログラミングするため銅電極側に正電圧を印加する。(図 2.3-3 (a))。このときの閾値電圧は約 2V であり、2V を超えたところで ON 状態へ遷移することがわかる。続いてスイッチを OFF 状態へ遷移させるためには、双方のスイッチを OFF 状態へプログラミングする。Ru 電極側に正電圧を印加することで高抵抗に遷移することがわかる (図 2.3-3 (b))。このようにしてプログラムされた、ON 状態と OFF 状態の双方の 0.1V 印加時の電流値を計測したところ、約 5 桁のオン・オフ比が得られることが確認された (図 2.3-3 (c))。

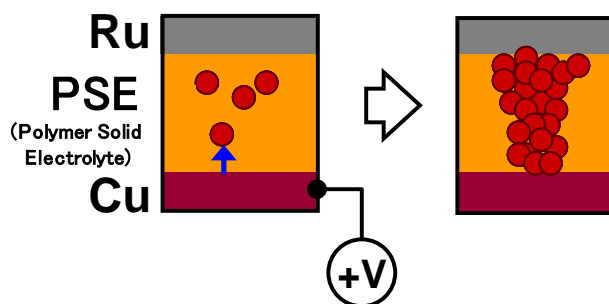


図 2.3-1 原子移動型スイッチ

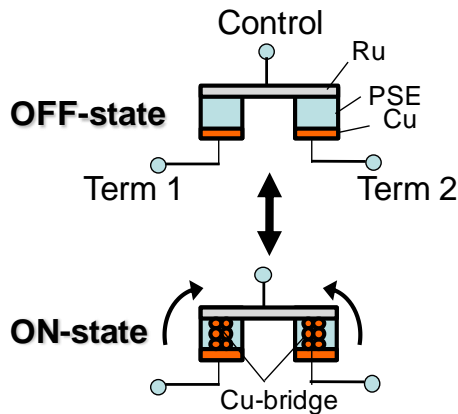


図 2.3-2 提案した相補型 3 端子原子移動型スイッチ

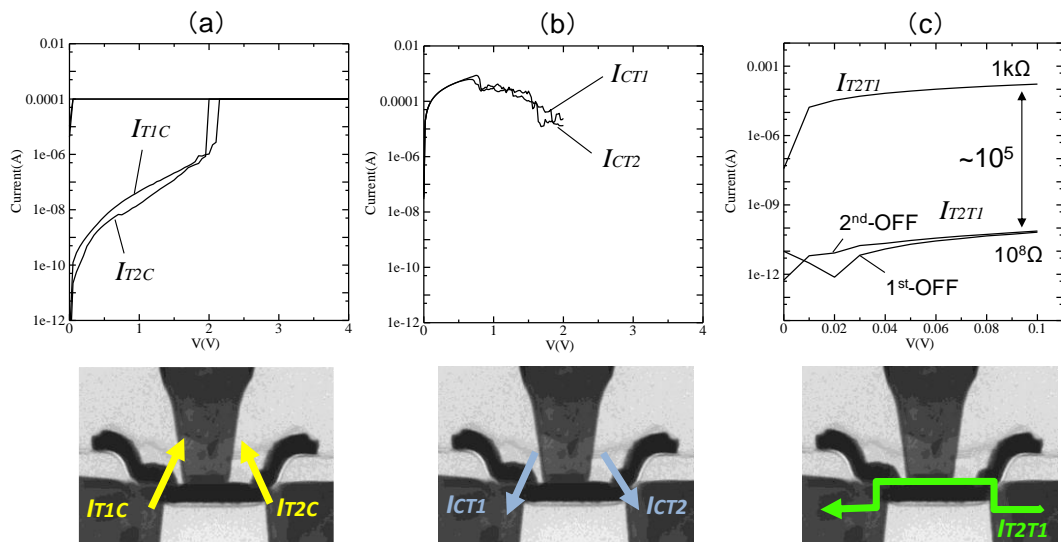


図 2.3-3 相補型 3 端子原子移動型スイッチプログラミング特性

続いて、相補型 3 端子デバイスについて、バイアス印加下でのオフ信頼性の評価を行った。相補型構造は 2 端子構造と異なり、一方の素子が相補的に動作して印加される電圧を軽減するため、ロジック電圧(再構成回路の動作電圧でプログラム電圧より低い)が印加されている場合でもオフ状態の長寿命化が期待される。図 2.3-4 に 125°C で測定した ON 状態への遷移時間の電圧依存性を示す。リファレンスとして、3.5V でプログラミング可能な従来型の 2 端子素子のデータも示した。2 端子素子の場合には、3.5V 動作の場合には、ロジック動作電圧 (V_{DD}) では 10 年以上の寿命が予測されているが、さらに低電圧化した場合には 10 年の寿命確保が難しくなることが示唆される。それに対して、相補型素子の場合には、2V 動作であるにも関わらず、2 端子素子に比べると約 7 桁長寿命化されることがわかる [5]。これは、2 つの原子移動型スイッチによって、①印加電圧が分割される、②必ず一方の素子が相補的に動作して印加電圧を軽減する、ことが原因として考えられる。以上から、相補型構造を用いることで、原子移動型スイッチの低電圧化時にも十分なオフ信頼性が得られることが確認された。

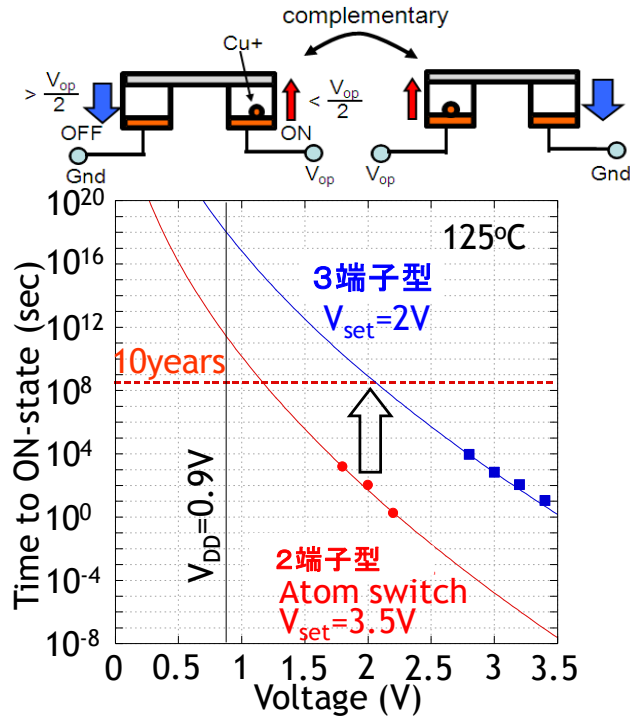


図 2.3-4 オフ状態の信頼性の比較

b) 回路技術開発

超低電圧・不揮発スイッチデバイス開発に用いる回路および TEG(Test Element Group)設計を行った。作成した TEG は、原子移動型スイッチの機能を検証する TEG、特性を評価する TEG の 2 種類に大別される。機能検証 TEG は 32x32 クロスバースイッチ、プログラマブルロジックセル等である。特性評価 TEG は、図 2.3-5 に示すデコーダを用いたスイッチアレイ(容量は 16k-bit から 1M-bit)をはじめとして、シフトレジスタを用いたスイッチアレイ(容量は 1k-bit)、原子移動型スイッチの静電容量評価 TEG、スイッチング時の寄生容量評価 TEG、信頼性評価 TEG 等である。16k-bit スwitchアレイはパラメトリックテストにより、1M-bit スwitchアレイはメモリテストによりスイッチング時の諸特性を評価する。

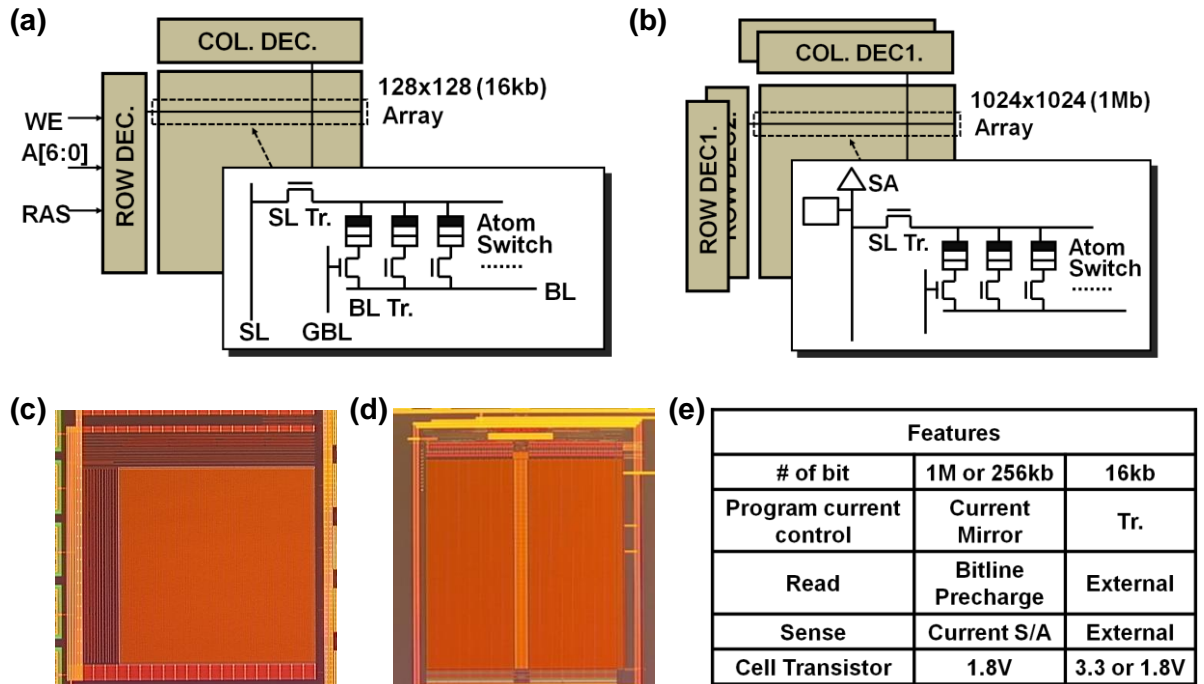


図 2.3-5 スイッチアレイ TEG。(a)16k-bit スイッチアレイの模式図、(b)1M-bit スイッチアレイの模式図、(c)16k-bit スイッチアレイの光学顕微鏡写真、(d)1M-bit スイッチアレイの光学顕微鏡写真、(e)回路の概要。

c) 原子移動型スイッチ信頼性研究(固体電解質材料とオフ信頼性)

原子移動型スイッチのオンからオフ状態へ至るまでの各抵抗の温度依存性を観測し、各抵抗の起源について考察を行い、図 2.3-6 の結果を得た [6]。まず、オン状態では、金属的伝導を示す抵抗の正の温度係数が観測され、銅の架橋が形成されているものと推察される。オフ状態では、絶縁体で見られるプールフレネル伝導が確認され、PSE 中の銅が完全に回収でき、電圧印加前の絶縁体の状態に戻っていると考えられる。TaO 等の金属酸化物(MOx)を固体電解質として用いた場合には、オフ時の抵抗の温度依存性は弱く、トンネルリングやホッピングが支配的であると対照的である。オフ状態の伝導モードは初期状態と等しいことは、1 サイクル目のセット電圧(=フォーミング電圧)が 2 サイクル以降のセット電圧に等しい実験事実を説明できる。TaO を固体電解質に用いた原子移動型スイッチでは、金属酸化物を抵抗変化層に使う ReRAM 同様、フォーミング電圧はセット電圧の倍程度となっている。これは、図 2.3-6 にあるように完全に Cu を回収できないか、フォーミング時に膜の劣化があるものと考えられる。PSE を用いた原子移動型スイッチにおいてオフ状態は初期状態のものと同しく高信頼であるといえる。

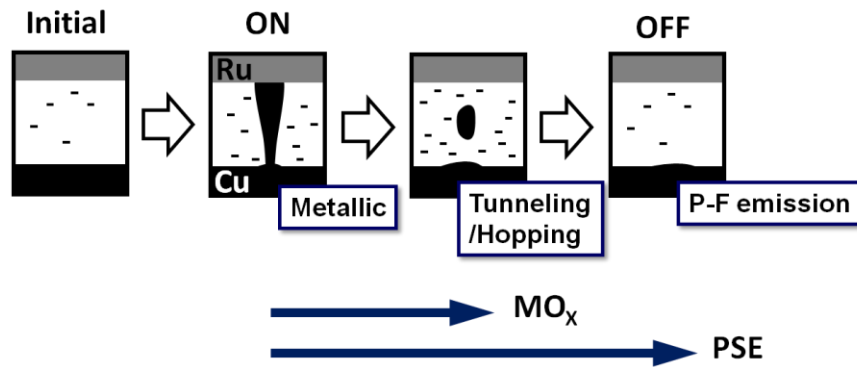


図 2.3-6 原子移動型スイッチのオンからオフ状態へ至るまでの架橋の生成・消滅過程。

PSE または金属酸化物(MO_x)を固体電解質に用いた場合、それぞれ Cu の回収に違いが生じると考えられる。

d) 原子移動型スイッチ信頼性研究のための架橋形成機構の解明(共同実施 東京大学)

・架橋形成機構解明のための実験的検討

－ 実験手法

原子移動型スイッチにおける架橋形成機構は、Cu 電極からの Cu の酸化溶解、固体電解質中の Cu イオンの電気化学的輸送、不活性電極上での Cu イオンの還元反応によって構成される電気化学反応と見なすことができる。ここで、Cu の酸化溶解・析出には、Cu⁺を電荷補償するプロトン(H⁺)などの陽イオンが必要となるため、固体電解質の電界による分極(すなわち酸化・還元)が重要であると考えられる。固体電解質中での電界による分極を実証するために、電圧を印加しながら軟 X 線の電子分光が行える手法を開発し、電圧印加で電気化学分極が生じると考えられる Gd ドープ CeO₂ を用いて本手法の妥当性を検証した。

－ 熱力学的・電気化学的モデルの構築

原子移動型スイッチでは、Cu 電極と固体電解質の間にバッファー層(ここでは TiO₂)が挿入されている。バッファー層は固体電解質成膜時の Cu 表面の酸化を防止し、また、Cu の熱拡散を防ぐ働きがある。このバッファー層の材料や膜厚によって、セット電圧やオフ状態の保持特性が大きく変化することが実験的に分かった。そのため、架橋形成初期における、Cu とバッファー層界面でのイオン化がオフ信頼性に大きな影響を与えていると考えられる。今後、Cu イオン化反応の熱力学的エネルギー(化学ポテンシャル)に関して、Cu の活量と Cu 電極/バッファー層界面における平衡反応で記述し、保持時間の表式化を行う。

・シミュレーションによる検討

－ 計算環境の整備・評価

架橋形成機構解明のために整備した計算環境は、(i)様々な組成・材料に対応でき、かつ固体電解質部分についてはアモルファス構造を扱えること、(ii)架橋形成時のバイアス電圧印加が扱えることを必要条件とした。特に、電圧印加を高精度に再現できるツールの改良・開発を行った。

－ Cu/TaO_x/Cu での界面付近のポテンシャル

Cu/アモルファス TaO_x(Ta₁₂O₃₄)/Cu 接合系について、印加電圧前後でのポテンシャル差を非平衡グリーン関数法により計算した。Cu およびアモルファス TaO_x 層を別々に構造最適化して接合した場合と、接合後に非平衡グリーン関数法によって構造緩和を行った場合についてそれぞれ計算を行った。その結果、構造緩和前においては、Cu との界面近傍の TaO_x 内のポテンシャル差は構造緩和後よりも小さく、Cu 原子の駆動力が小さいことが分かった。構造緩和により界面状態が変化することから、界面近傍の Cu 原子の動きやすさは界面状態(電子状態や結合状態)に依存することを示唆している。

- Cu 電極の結晶配向性が与える影響

Cu 電極としてメッキにより形成された Cu 配線を利用している。Cu 配線は様々な配向を持った微結晶から構成されており、配向によって Cu の酸化速度の相違が懸念される。原子移動型スイッチのスイッチング特性に与える影響について、配向性の違いによって計算と実験の両面から明らかにする必要があった。第一原理計算により、表面エネルギーおよび仕事関数が配向に依存性があることが分かった。仕事関数は、中性の銅から電子を真空中に引き抜くのに必要なエネルギーに相当することから、銅がイオン化するエネルギーと相関があると考えられる。計算結果は、均一な配向性が望ましいということが分かった。

(3)-2 集積化開発

a) 集積化技術

図 2.3-7 に 3 端子原子移動型スイッチの集積化プロセスフローを示す。製造ラインにて形成した CMOS 基板上に SiCN/SiO₂ のハードマスクを形成し、M4 配線間にホールを形成した。続いてバッファー層 (TiO₂)、PSE(ポリマー固体電解質)、Ru(不活性電極)、Ta(Ru 保護電極)を堆積し、加工用ハードマスク SiCN/SiO₂を成長した。ドライエッチングによってスタックを加工し、全面を SiN 膜で封止した。続いて埋め込み性に優れる HDP-SiO₂ 膜をビア層間絶縁膜として成長し、層間膜 CMP によってビア層間膜の平坦化を行った。上層配線層間絶縁膜として ULK(k=2.7)/SiO₂を成長し、ビアファースト法によってデュアルダマシン溝加工を行った。開口部にバリアメタル (Ta/TaN) と銅を埋め込んで Cu-CMP を実施して上層配線を形成した。さらに上層の配線には BEOL プラットフォームで開発したセミグローバル配線を用いた。

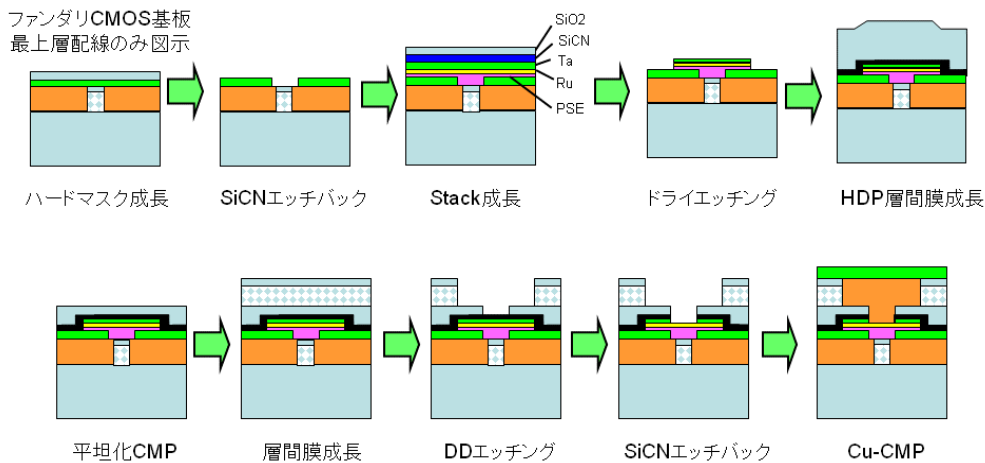


図 2.3-7 原子移動型スイッチの集積化プロセスフローの断面模式図

図 2.3-8 に CMOS 基板上に作製した 3 端子原子移動型スイッチの断面 TEM 写真を示す。M4 配線上に原子移動型スイッチが搭載されていることがわかる。素子の上は平坦化されており、上層配線の短絡なく形成できていることがわかる。右図の TEM 写真は原子移動型スイッチ部の拡大写真である。二つの原子移動型スイッチの上部電極が一体化され、コンパクトに 3 端子素子が形成できていることがわかる。

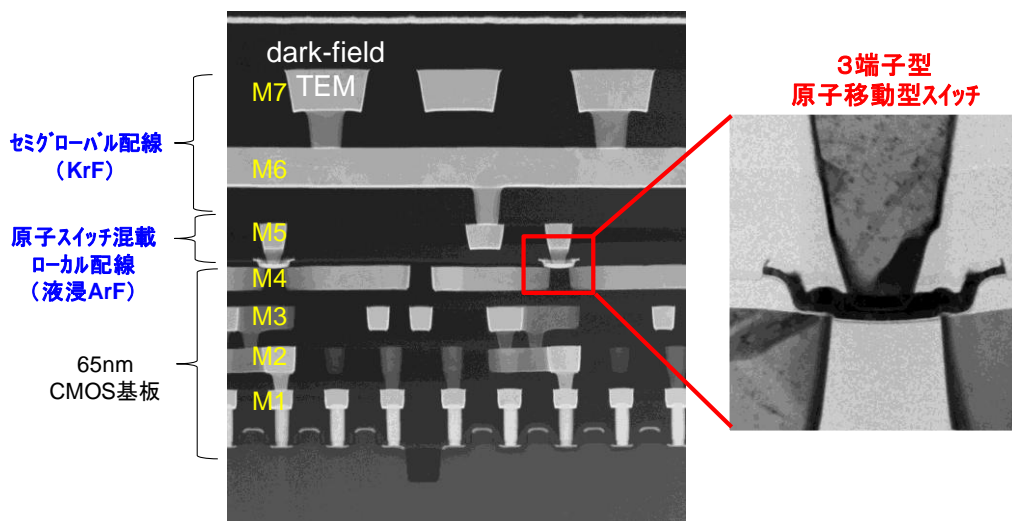


図 2.3-8 CMOS 基板上に作製した 3 端子型原子移動型スイッチの断面 TEM 写真

b) 汚染除去技術

原子移動型スイッチの製造工程において、一般的なロジック LSI の製造プロセスと異なる工程として、Ru、Ta のドライエッチング工程が挙げられる。そこで、Ru/Ta のドライエッチング工程後に枚葉式のドライクリーニング処理を導入し、次ウエハの裏面汚染レベルを評価した。図 2.3-9 にウエハ作業後の次ウエハへの金属汚染の転写を TREX により評価した結果を示す。評価した全ての金属元素において、下地 CMOS に悪影響を与えるレベルではないことがわかる。さらに、ドライクリーニング運用 6 カ月後においても、裏面金属レベルの増加がないことから、安定したクリーニング処理が行われていることがわかる。

元素	ドライエッチャー (運用開始直後)	ドライエッチャー (運用6カ月後)
K	0.0E+00	1.1E+09
Ca	5.4E+09	9.9E+09
Ti	1.7E+10	8.9E+09
Cr	1.2E+10	1.0E+10
Fe	1.6E+09	1.6E+09
Ni	1.5E+09	5.7E+08
Cu	8.9E+08	2.6E+08
Zn	8.8E+07	4.3E+09
Ru	0.0E+00	0.0E+00
Ta	3.7E+08	1.1E+10
Zr	8.3E+09	6.7E+09
		単位: atom/cm ²
		汚染規格: 5E+10 以下

図 2.3-9 TREX により測定した次作業ウエハ裏面の金属汚染評価結果

c) 3 端子原子移動型スイッチアレイ動作特性

図 2.3-10 にデコーダ付き 1k-bit スwitchアレイによって評価した相補型 3 端子素子の、(a)閾値電圧の分布と、(b)オン・オフ時の電流値の分布を示す [7]。閾値電圧は中央値 1.8V にて $\sigma = 0.2V$ が得られた。小規模な回路動作を検証するためには、十分に低いばらつきであると判断できる。一方、オン・オフ比に関しては中央値で約 4.5 桁が得られており、こちらも小規模回路の実証には十分な比が得られていると判断できる。図 2.3-11 に初期的に評価を行った、3 端子原子移動型スイッチの書換え回数評価結果を示す。まだ、書換え回数の増加に伴い抵抗(電流)ばらつきが大きくなる傾向がみられるが、 10^3 回以上の書き換え耐性が得られた。

図 2.3-12 は原子移動型スイッチのプログラム電流やスイッチング速度などのスイッチング特性を明らかにするために計測した 0.5k-bit スwitchアレイのスイッチ抵抗分布である。4 ビットの素子がフェイルしているものの、ほとんどの素子は 200nsec、500uA (電流速度積: $10^{-10} A \cdot sec$) のプログラムパルスでプログラム可能であり、小規模回路の実証には問題ないレベルである。

今後はより大規模再構成回路動作を想定した大規模アレイにおいて、ばらつき評価を進める予定である。

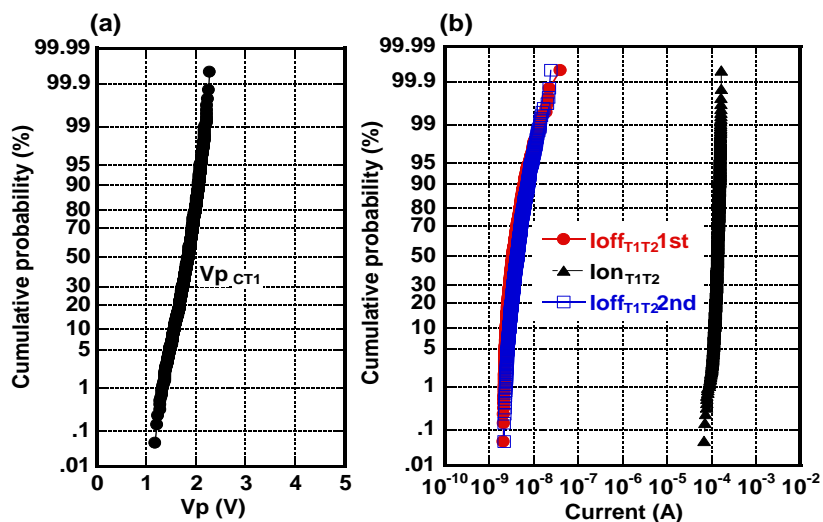


図 2.3-10 1k-bit スwitchアレイでのばらつき評価結果

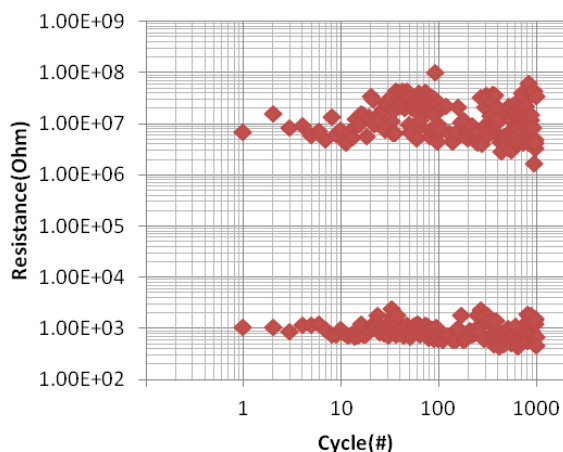


図 2.3-11 3 端子原子移動型スイッチの書換え回数評価結果

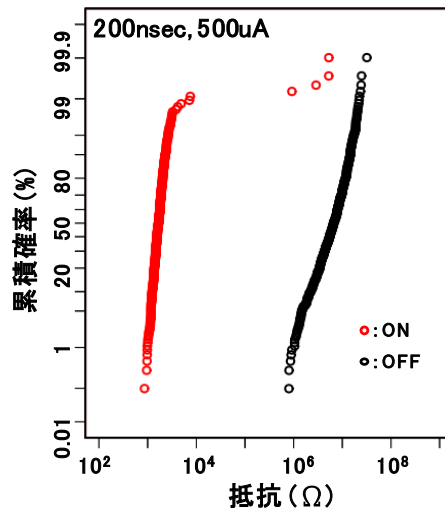


図 2.3-12 0.5k-bit 原子移動型スイッチアレイの抵抗分布

d) 小規模 TEG によるプログラマブル機能検証

開発した集積化プロセス技術を用いて 3 端子原子移動型スイッチを集積化し、クロスバースイッチの機能検証を行った。

図 2.3-13 は CMOS 基板上に集積化した 32x32 のクロスバースイッチ (図 2.3-13(a)) とクロスバースイッチを介した信号の伝達を示す。図 2.3-13 (b) のように対角線にクロスバースイッチをプログラムし、図 2.3-13 (c) に示す通りクロスバースイッチの入力 X5 の信号がクロスバースイッチを介して Y5 に正常に伝達されていることを確認した。

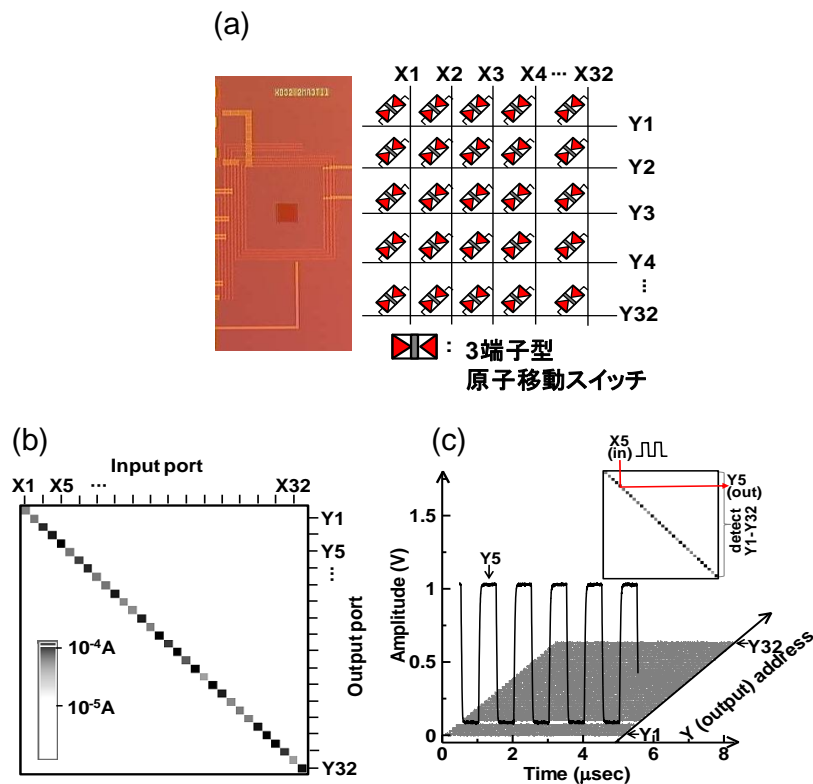


図 2.3-13 クロスバースイッチの機能検証。(a)32x32 クロスバースイッチ

(b)クロスバースイッチのプログラム (c)クロスバースイッチを介した信号の伝達

(4) 達成度

中間目標はすべて達成見込みである。各目標に対する達成度は下記の通りである。

・スイッチ素子の材料選定、素子構造の最適化

下部電極:Cu、固体電解質:PSE(polymer solid-electrolyte)、上部電極 Ru を基本構成とする 3 端子原子移動型スイッチを開発し、2V のプログラム電圧と 10 年以上のオフ信頼性を達成した。

・単体素子性能として書換え電流と書換え速度の積が 10^{-10} A・s 以下

0.5k-bit スイッチアレイのスイッチ抵抗分布の計測により、4 ビットの素子がフェイルしているものの、ほとんどの素子は 200nsec、500uA (電流速度積: 10^{-10} A・sec) のプログラムパルスでプログラム可能であることを確認し、単体素子動作としての目標を達成した。フェイル素子に関しては、さらに改善を行い、集積化したスイッチアレイとして電流速度積: 10^{-10} A・sec 以下の見通しを得る計画である。

・オン・オフ抵抗比 10^5 以上

単体の 3 端子原子移動型スイッチの ON 状態と OFF 状態の双方の抵抗値を 0.1V 印加時の電流値から求めたところ、約 5 桁のオン・オフ比が得られることが確認された。

さらに、集積化した 1k-bit の 3 端子原子移動型スイッチアレイのオン・オフ比に関しては中央値で約 4.5 桁が得られた。

・書き換え回数 10^3 以上

3 端子原子移動型スイッチの書換え回数評価結果より、 10^3 回以上の書換え耐性が得られた。ただし、書換え回数の増加とともにスイッチ抵抗ばらつきが増大する傾向があり、改善を行う計画である。

(5) まとめ

超低電圧・不揮発スイッチデバイスとして原子移動型スイッチデバイスの開発を行い、中間目標を達成見込みである。

低電圧プログラムと高いスイッチ素子信頼性を両立できる素子として、3 端子原子移動型スイッチを開発し、2V のプログラム電圧と 10 年以上の信頼性を達成した。また、3 端子原子移動型スイッチに用いている固体電解質である PSE は、TaO 等と異なり、銅の架橋を完全に回収できるためオフ状態は初期と同様に高信頼であることが分かった。

3 端子原子移動型スイッチの特性評価 TEG、機能評価 TEG の設計、および集積化プロセスの構築を行い、3 端子原子移動型スイッチアレイの動作特性評価および小規模 TEG (クロスバースイッチ) によるプログラマブル機能検証を行った。その結果、書換え電流・速度積、オン・オフ抵抗比、書き換え回数ともに目標値を達成見込みである。

参考文献

- [1] N. Banno et al., Symposium on VLSI Technology, pp. 115-116, (2010).
- [2] M. Tada et al., IEEE Transactions on Electron Devices, vol. 57, no.8, pp.1987-1995, (2010).
- [3] M. Tada et al., IEEE International Electron Devices Meeting, pp.403-406, (2010).
- [4] M. Miyamura et al., IEEE ISSCC, pp.228-229, (2011).
- [5] M. Tada et al., IEEE International Electron Devices Meeting, pp.689-692, (2011).
- [6] K. Okamoto et al., IEEE International Electron Devices Meeting, pp.279-282, (2011).
- [7] N. Banno et al., Symposium on VLSI Technology, pp. 39-40, (2012).

2.4 研究開発項目④ 三次元ナノカーボン配線

「集積回路チップ内において、機能ブロックの三次元集積を実現するための、微細幅・超低電気抵抗、超高アスペクト比配線・材料技術の開発」

(1) 背景と目的

集積回路チップの三次元高集積化には、個々の機能ブロック同士を接続するための多層配線の微細化・長距離対応、さらに縦方向の配線の超高アスペクト比化が不可欠である。現在、集積回路チップ内配線には、Cu、W 等の金属材料が主に用いられているが、配線寸法の微細化に伴って、結晶粒界や界面での、電子の非弾性散乱効果による配線抵抗の増大が顕著になりつつある [1]。既に配線幅 100nm を下回る領域で、この増大が現実のものとなりつつあるが、2016 年以降に予想される配線幅 10nm 前後の領域では [2]、散乱の影響が著しく増大し、大幅な抵抗上昇が生じ、従来の金属材料では所要の性能を実現できない。加えて、三次元集積のためには、隣接のブロック間だけでなくチップ内の長距離(~0.7mm)の接続が求められている。また、急速に進みつつある不揮発素子等の機能ブロックの三次元積層集積のためには、微細でかつこれまでにない超高アスペクト比(コンタクトホール深さと直径の比)のコンタクト開発が求められている。現在までに、10 を超えるアスペクト比への W など金属の埋め込み技術が開発されているが、将来的にはアスペクト比 30 の埋め込みが必要になると予想されている。

(2) 目標

以上のような必要性に基づいて、ナノカーボン材料を用いて、機能ブロックの三次元集積を実現させる微細線幅($\leq 20\text{nm}$)・長距離($\leq 0.7\text{mm}$)に対応した横方向配線技術と、超高アスペクト比(30)に対応したコンタクトプラグ技術を 300mm 基板上で実証することを目標に開発を行う。具体的には、300mm 径 Si 基板全面でのナノカーボン材料成長・加工・配線集積化に関する技術開発とともに、ナノカーボン材料の配線適用に関する理論検討、先行的材料合成・評価等の配線基礎技術開発を行い、300mm 径 Si 基板上での配線技術の有効性を実証する。以下に中間及び最終年度の目標を示す。

【中間目標】(平成24年度末)

- ・微細線幅(100nm)、低抵抗(シート抵抗 $< 50 \Omega/\square$)の配線実証
- ・微細直径(90nm)、超高アスペクト比(≥ 16)のコンタクトホールへのナノカーボン材料埋め込み実証

【最終目標】(平成26年度末)

- ・微細線幅($\leq 20\text{nm}$)、長距離(0.7mm)、低抵抗(シート抵抗 $\leq 3 \Omega/\square$)の配線実証
- ・微細直径(90nm)、超高アスペクト比(30)のコンタクトホールへのナノカーボン材料埋め込みと、W 以下の抵抗(接触抵抗を含む)の実証

(3) 研究開発成果

(3)-1 ナノカーボン配線基礎技術

a) ナノカーボン配線材料技術

多層グラフェンの配線特性検証のため、剥離多層グラフェンを用いて微細幅配線を試作し、

線幅・層厚・温度依存性評価により配線の伝導特性を検証した(図 2.4-1)。これまでに線幅 100nm (25nm 厚) でシート抵抗 34 Ω/□ を実証した。シート抵抗は線幅 260nm~100nm の範囲ではほぼ一定値を示し、この線幅領域ではサイズ効果やエッジの乱れによる抵抗増大はないことが確かめられた。また、層厚を 10nm から 25nm に増やすことによりシート抵抗は約 1/3 に低減し、多層化が低抵抗化に効果的であることが示された。しかしより厚い領域では低減は飽和しており、深い層へのコンタクト改善が抵抗低減につながることを示唆された。多層化によるメリットを最大限に活かすため、多層への低抵抗接触技術開発を進めていく。また抵抗の温度依存性評価結果から多層グラフェン配線の伝導が準金属的であり、キャリア密度の変化が抵抗変化において支配的であることがわかった。これはドーピングによりキャリアを増加させることが多層グラフェンの低抵抗化のために重要であることを示している。具体的には現状に対してキャリア密度を一桁上げれば、抵抗を一桁低減でき、最終目標の 3 Ω/□ は達成可能との見通しが得られた(図 2.4-2)。

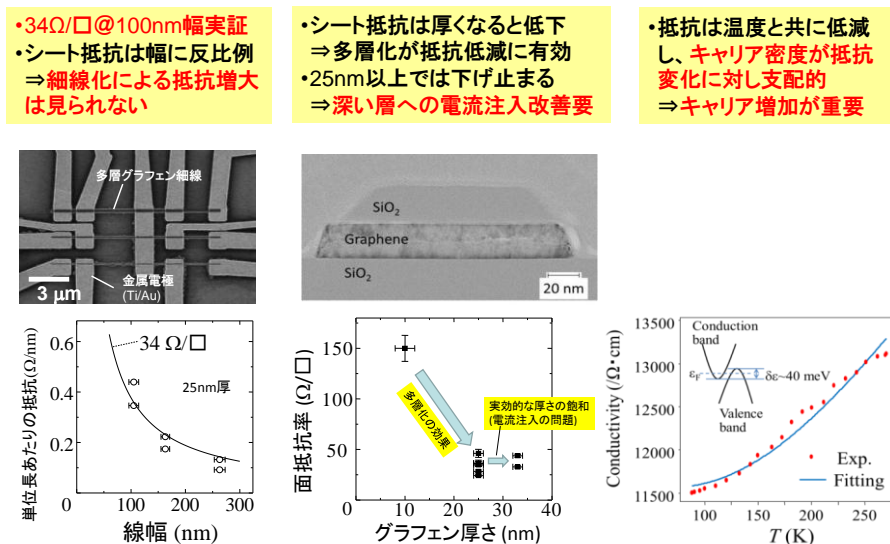


図 2.4-1 微細幅多層グラフェン細線の電導特性

- 剥離多層グラフェンの細線化により100nm幅で34Ω/□を実証
- ドーピングによるキャリア密度増大(一桁)、多層コンタクトによる注入改善によりあと一桁の低抵抗化は可能

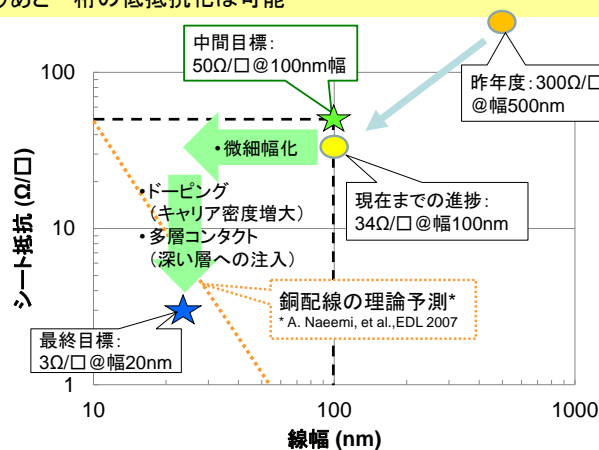
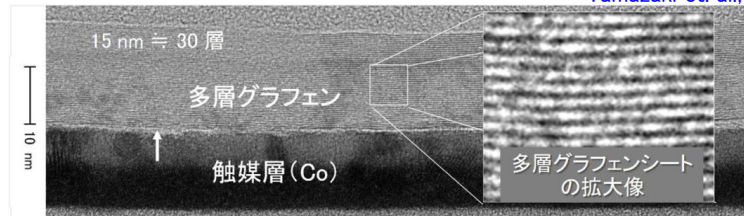


図 2.4-2 微細幅横配線の線幅とシート抵抗

配線適用に求められる薄膜触媒層上の低温($\leq 600^\circ\text{C}$)での多層グラフェン成長をプラズマ CVD により実現した。これは数十 nm 以下の極薄膜上の成長としてこれまでで最も低温での報告である。さらに、この多層グラフェンの低温成長は触媒層の段差を起点として成長することを見出し、成長膜・触媒の詳細構造解析から新しい低温成長モデルを提示した(図 2.4-3) [3]。

600°C以下の低温で結晶性のよい多層グラフェン成長を実現

Yamazaki et al., Graphene 2011



触媒段差を起点とした低温固有のグラフェン成長モデルを提示

Yamazaki et al., APEX 025101(2012)

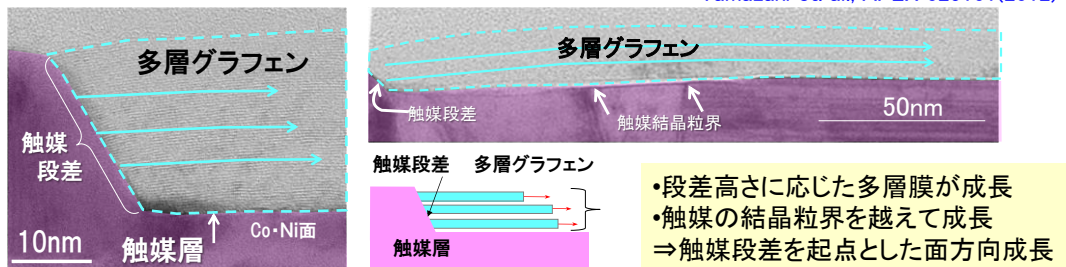


図 2.4-3 プラズマ CVD による低温成長多層グラフェンと触媒段差成長モデル

上記結果をもとに触媒金属の活性を保ちながら、CVD 時に表面の凝集や凹凸化を生じない耐熱性の触媒を開発した(図 2.4-4) [4]。この新耐熱触媒により、これまで凝集のために不可能であった極薄触媒層からもグラフェン成長が可能になった。また、触媒膜中の凹凸生成が抑えられることで、後述するように、リソグラフィにより作製した段差構造からの優先的なグラフェン成長が可能になった。これらにより、配線化に求められる微細パターン上への成長制御の見通しを得た。

無作為な成長起点となる触媒の凝集を高融点元素(Ir他)添加により抑制

Kitamura et al., SSDM 2012 accepted

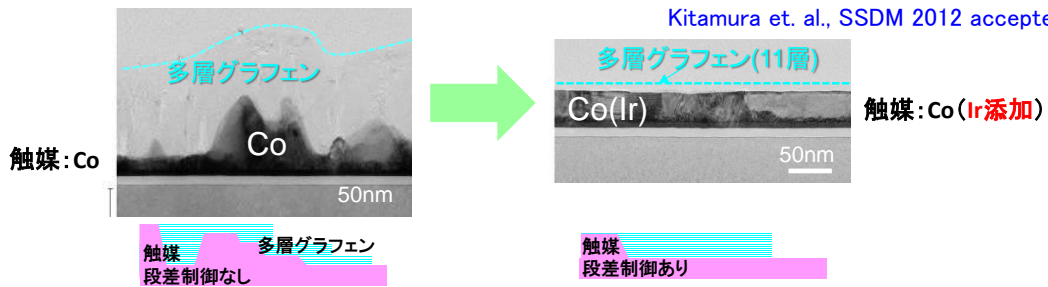


図 2.4-4 耐熱触媒開発による凝集抑制と平坦なグラフェン成長

超高アスペクト比(AR)コンタクト埋め込みに向けて、微細ホールへの CNT 成長実証を行った(図 2.4-5)。微細ホール埋め込みのためには、CNT をホール底から成長させるとともに、側壁での成長を抑制する“選択成長”が必要である。このために AR=3-4 での全面成長(図 2.4-5 左)と、平面上での触媒不活性化膜による成長抑制の原理検証を行った。触媒不活性化膜として非晶質 Si を触媒形成前に積層することで、Ni がシリサイド化され、CNT 成長を抑制できることを示した。最終的にはこの触媒不活性化膜を微細ホール側壁に選択形成する必要があるが、中間目標の超高 AR ホール底成長の原理検証を加速させるため、不活性化膜の側壁形成と並行して、ホール絶縁層の下にあらかじめ触媒下地層(TiN)を敷設した新たな TEG を導入した(図 2.4-5 中央)。CNT は触媒微粒子と TiN の積層表面に選択的に成長することから、本構造をベースに触媒 Ni の高 AR 底への CVD 成膜と、触媒層のプラズマ処理による微粒化を進めた。これにより、これまでに AR=12(深さ 1200nm、直径 100nm)のホール底から選択成長を実証した。CNT はホールの上辺まで成長し、AR12 のナノカーボン埋め込みを実証した。中間目標の AR=16(深さ 1600nm)のホール TEG も開孔加工済みであり(図 2.4-5 右)、触媒形成・CNT 成長を進めている。これまでに、触媒膜に関しては、AR=16 でも孔底への形成は可能なことが確認できた。CNT 成長に必要な触媒層の微粒化・活性化は、孔の深さ増加に伴って条件が異なり、ガス圧低減(平均自由行程増加)、プラズマパワーアップ(孔底まで生き残るプラズマ量の増大)、バイアス印加(孔底への活性種引き込み)が重要な因子であることを示した。

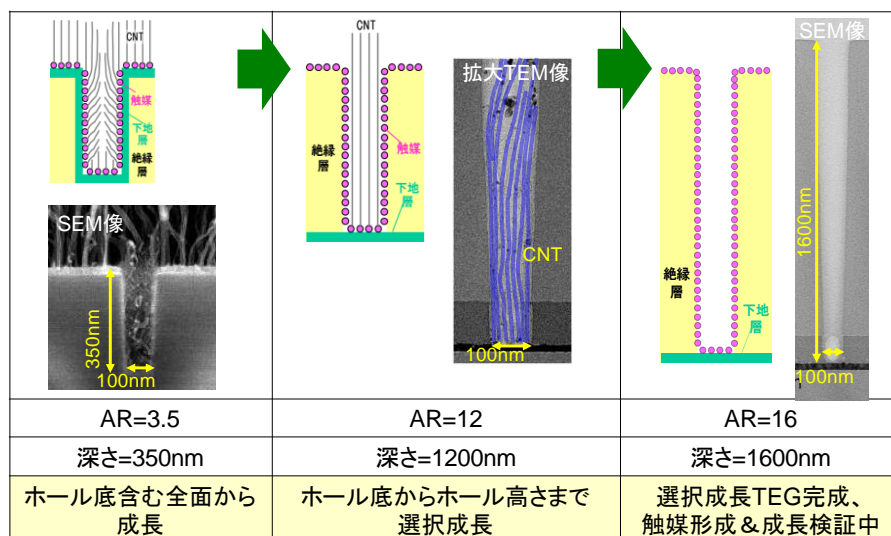


図 2.4-5 超高アスペクト比ビアホールへの CNT 埋め込み成長

b) 超低抵抗ナノカーボン配線技術(共同実施 芝浦工業大学)

超低抵抗化のために、ナノカーボンの結晶性の向上、ドーピング、低抵抗金属接触に関して、現在までに以下の検討を行った。

① 低抵抗ナノカーボンのためのドーピングの検討

CVD 原料のエタノールにアンモニアを添加する方法と、無電解めっきによる NiB 触媒からの拡散による方法で、ナノカーボン膜への窒素(N)、ホウ素(B)のドーピングを検討した。その結果、アンモニア添加により N が膜中に取り込まれ、ドーピングを示唆する構造変化(ラマンスペクトルのシフト)が観察された(図 2.4-6)。

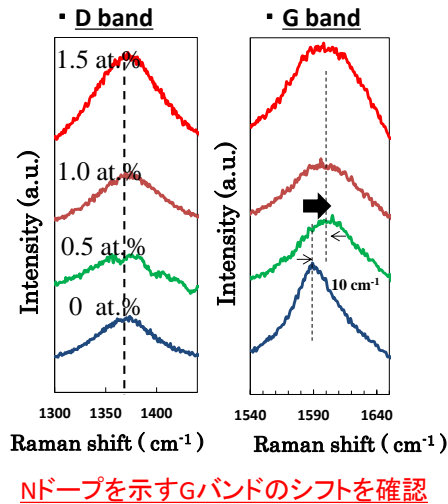


図 2.4-6 Nドーピングナノカーボン(NC)のラマンスペクトル

② ナノカーボンへの低抵抗接触金属の検討

ナノカーボン-CVDを用いたナノカーボン/Co積層配線に対して、Ni, Ti, Au, Cuなどの金属接触を形成し、ケルビン法によって接触抵抗を比較評価した。その結果、Niで最も低い接触抵抗と良好な密着性が得られた。(図 2.4-7)

上記の低抵抗化手法は、既存の配線技術と材料的な整合性が高く、配線適用評価は比較的容易と期待される。今後、Nドーピング、耐熱性 Co-W 触媒、Ni コンタクトに関して、超低抵抗化への効果の検証を進めながら、課題に対するプロセス改善を行っていく。

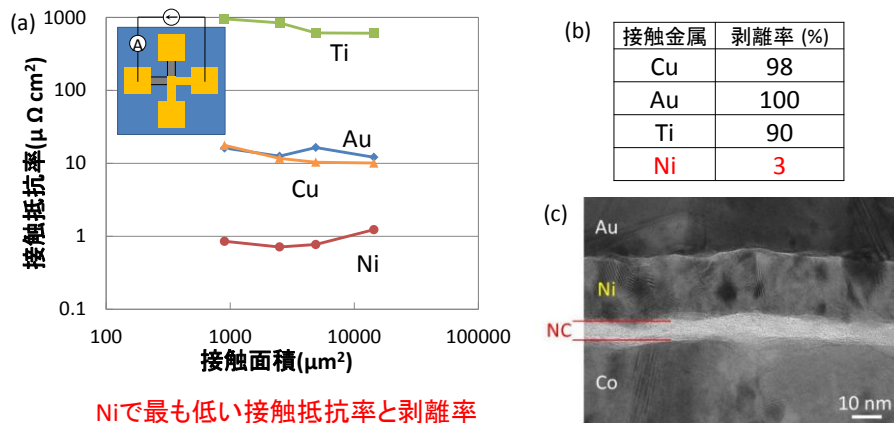


図 2.4-7 ナノカーボン(NC)/Co積層配線への金属接触 (a)接触抵抗率, (b)密着性, (c)断面 TEM 像

c) ナノカーボン材料の配線適用における理論的研究(共同実施 慶應義塾)

ナノカーボン配線の伝導特性を理論的に明らかにするため、従来微細 FET など非正常輸送現象の解析に強いモンテカルロ粒子シミュレーション法を採用することにした。この方法は、緩和時間近似など用いずに散乱やドリフ現象を解析することができ、かつ新規な散乱源についても新たなモデル導入が可能であるなど拡張性に優れていることから、新規材料・新規構造内で

の輸送解析には最適な手法と言える。具体的には、グラフェン配線の場合、二次元電子ガスの微細リボンの多層構造であることから、エッジラフネス散乱や層間トンネリングなどを扱う必要がある。現在までに、従来 FET に適用していたプログラムを配線用に空間次元の三次元拡張を行うとともに、エッジ散乱と層間トンネリングモデルの作成を行った(図 2.4-8)。

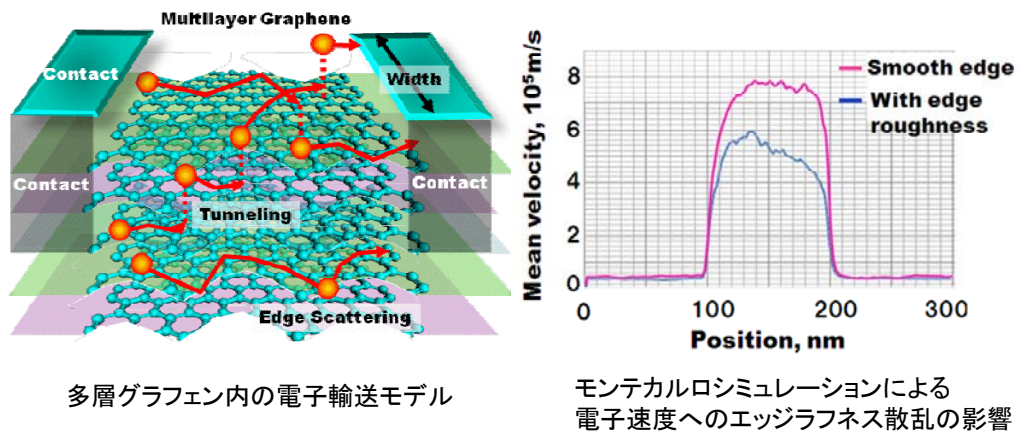


図 2.4-8 (a)多層グラフェン内の電子輸送モデル、(b)モンテカルロシミュレーションによる電子速度へのエッジラフネス散乱の影響

エッジラフネス散乱モデルとしては、鏡面反射、弾性拡散反射、非弾性拡散反射散乱モデルを作成し、さらに実際にガウシアン関数の重ね合わせとして揺らいだエッジを生成し、そこでの反射を計算する空間モデル(エッジラフネス発生モデル)を新規提案・作成した。現在までに、エッジラフネスの電子の平均速度に与える影響を解析し、パラメータによる任意性は残るものの、エッジ散乱が電子の平均速度に強い影響を与えることを確認した。現在このエッジラフネス発生モデルを用いて、最近実験的に報告されたグラフェンの電子移動度の線幅依存性(幅 60 nm 以下でエッジラフネスの影響が顕著となる)を再現できるよう、実験とマッチしたラフネスパラメータの決定を行っている。

層間トンネルモデルについては、トンネル確率の計算式をどのようなものにするかは検討中であるが、多層グラフェン内のポテンシャル分布を 2 次元的に解くことによって、電子の運動エネルギーとポテンシャルエネルギーから、エネルギー保存則を満たしてトンネルできるかどうかを判別する初のシミュレーションモデルを作成した。また、シミュレーションモデルの定量性確認のため、実験によって TEM 観察で層数を確定した多層グラフェンの電気抵抗測定を行った。さらにこの電気抵抗がグラフェンのシート抵抗とグラファイトの層間抵抗による簡便なハシゴ回路モデルによって説明できることを明らかにした [5]。これは電極がグラフェンの最表面だけにコンタクトしていることを示唆しており、今後、何層までコンタクトする必要があるかなど、シミュレーションと実験の両面から明らかにしていく。

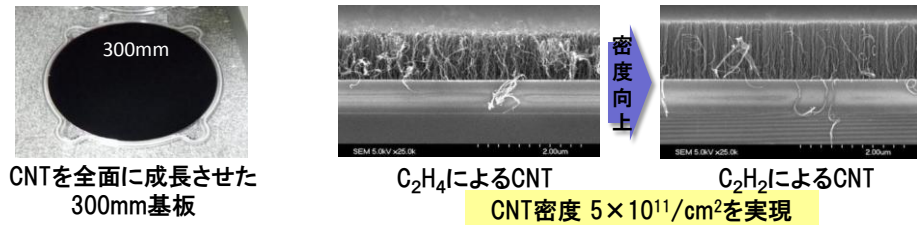
(3)-2 ナノカーボン配線プロセス技術

a) 300mm 径 Si 基板上ナノカーボン成長プロセス開発

スーパークリーンルーム(SCR)に 300mm 径基板用のナノカーボン成長装置を導入し、触媒 Ni 成膜、触媒前処理、CNT およびグラフェン成長プロセス開発を行った [6] [7]。これまでに、

触媒膜のプラズマ前処理、及び導電性の TiN 下地上で CVD を用いて 300mm 全面に高密度 ($5 \times 10^{11}/\text{cm}^2$) の多層 CNT を成長した。また触媒 Ni-CVD を用いて AR12 までの微細ホール中に Ni 触媒を成膜した(図 2.4-9)。現在、側壁の触媒活性を抑制する不活性化膜を形成した微細ホール TEG の作製を進めており、300mm 径でのビア底からの選択 CNT 成長実証を予定している。

■ 300mm全面での高密度CNT成長



■ 300mm基板上超高ARビアホールへのNi触媒成膜

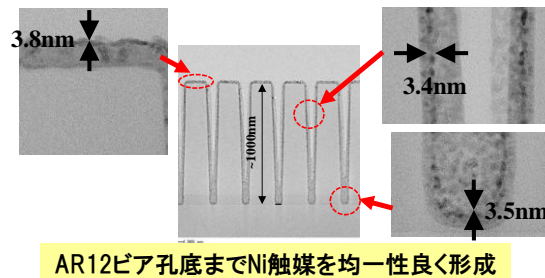


図 2.4-9 300mm 基板上の CNT 成長、高 AR ビアホールへの触媒形成

b) 300mm 径 Si 基板上ナノカーボン CMP(Cheical Mechanical Polishing)プロセス開発

SCR に 300mm 径基板用ナノカーボン CMP 装置を導入し、CNT コンタクト向けおよびグラフフェン配線向けの CMP 基本プロセス開発を行った。CNT コンタクト向けでは、SOG(Spin-on-Glass)含浸・硬化によりCNTを固定するプロセスを合わせて整備し、CNT-SOG 混合膜の CMP と CNT 下層のタッチアップ(平坦化)CMP の基本条件を確立した [8] [9]。これらにより、CNT 埋め込み微細ビアの平坦化を実証した(図 2.4-10)。併せて、グラフフェン配線向けにダマシ型溝構造に触媒を埋め込んだグラフフェン成長用ダマシ触媒層の平坦化を実証した(次項で記述)。

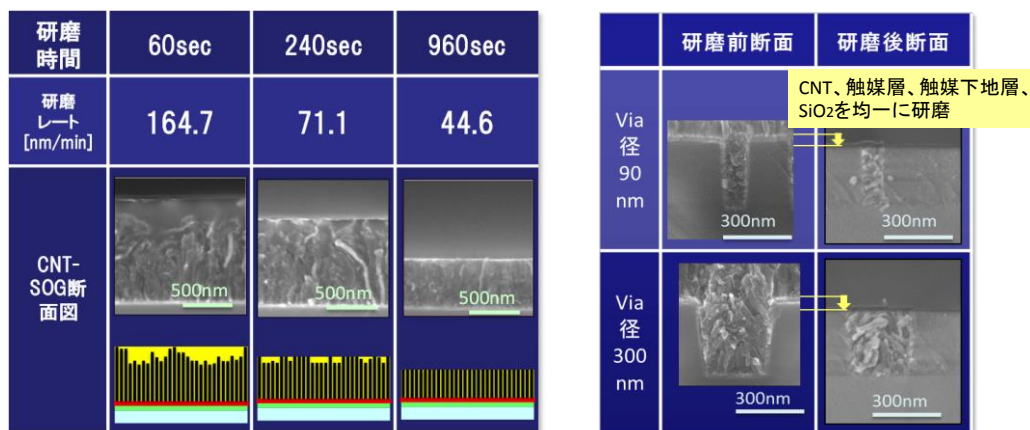


図 2.4-10 300mm 基板上の CNT の平坦化及び CNT 埋め込みビアホールの平坦化

(3)-3 ナノカーボン配線集積化技術

a) ナノカーボン配線集積化技術

CNT コンタクトプラグ、およびグラフェン配線集積化と特性評価のため最終目標よりも寸法を緩和した緩和 TEG マスク(最少寸法 90nm)を設計し、作製した(図 2.4-11)。本 TEG マスクは層構成を変えることでグラフェン横配線用構造と CNT コンタクトプラグ用構造を作り分けることができる。これまでに 300mm ウエハを用い、東芝の開発ラインで前述の AR 最大 16 のホール TEG 基板を作製し、つづき SCR でナノカーボン成長プロセス・CMP プロセスの検討を行った。また、グラフェン横配線用に 3 つの候補プロセス(ダマシン型、触媒先行パターンニング型、RIE 型)を抽出し、TEG 基板を作製するとともに、グラフェン成長、CMP などのプロセス検討を行った。

その結果、グラフェンは段差部近傍に選択的に成長しており、TEM 観察から段差部から平坦なグラフェンが触媒面に沿って成長していることが確かめられた。これは、RIE 型に必要な成長を原理的に示すもので、微細化に対しての見通しを得ることが出来た。グラフェン配線集積化については、以上のような課題の解決のため、引き続きグラフェン品質・粒径の向上を図りつつ、候補の集積化可能性を比較し、構造プロセスを決定していく。

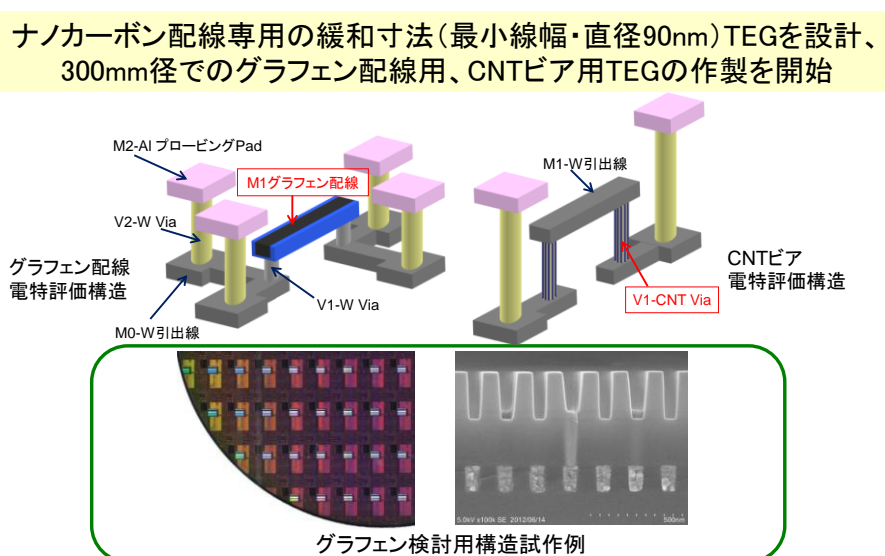


図 2.4-11 ナノカーボン配線緩和 TEG(YC90)の構造とグラフェン配線用試作基板の上面および断面像

(4) 達成度

剥離多層グラフェンを用いた、微細線幅(最小線幅 100nm)の多層グラフェン配線の実験結果から、低抵抗(シート抵抗 34Ω/□)を実証した。

微細直径(100nm)、アスペクト比(12)のコンタクトホール底からの CNT 選択成長埋め込みを実証した。アスペクト比 16 はホール TEG 作製まで完了し、近日中に達成の見込みである。

最終目標抵抗値(20nm 幅で 3Ω/□)に向けて、多層化、ドーピング、多層コンタクトによる低抵抗化の可能性を示し、特にドーピングによる電荷密度 1 桁向上を有効な方針として抽出した。

(5) まとめ

微細幅グラフェン配線を多層剥離グラフェンにより作製し、線幅 100nm でシート抵抗 34 Ω/□を
実証した。配線幅、グラフェン層数、温度に対する配線抵抗依存性から低抵抗化の指針を検討し
た。配線応用に必要な低温(≦600°C)での多層グラフェン成長を実現し、触媒段差を起点とする
低温固有の成長機構を明らかにした。耐熱性触媒組成の開発により、触媒の薄膜化と所望の位
置への優先成長を実現した。超高アスペクト比 (AR) コンタクト埋め込みに向け、AR12、100nm Φ
のホール底からの CNT 選択成長(長さ≧ホール高さ)を確認した。AR16 ホールも開孔を完了し、
成長検討を開始した。予定を前倒して 9 月には達成の見通しである。300mm ナノカーボン成長
装置を整備し、段差構造基板への多層グラフェン成長を確認するとともに、コンタクトホール底に
適用可能な導電性下地 (TiN) を用いて、300mm 径ウエハ全面で CNT の高密度($5 \times 10^{11}/\text{cm}^2$) 成
長を実現した。触媒基板上で CNT の固定化と CMP 平坦化プロセスを開発し、CNT 埋め込みコン
タクトの平坦化を実証した。配線集積化に向け、緩和寸法(最小設計線幅・ホール径 90nm)の配
線 TEG を設計し、専用マスクセットを作製した。最大 4 層の超高 AR コンタクト埋め込みおよび 横
配線実証用 TEG 基板を作製し、300mm 基板での配線構造・プロセス開発を開始した。横配線実
証構造候補を 3 パターン抽出し、「ダマシン型」へのグラフェン成長、「触媒先行パターニング(触
媒ダマシン他)型」の触媒パターニング、「RIE 型」を想定した高耐熱触媒段差からの選択グラフェ
ン成長を確認し、いずれも配線化のための後続プロセスが可能であることを示した。引き続き、配
線構造候補の試作評価を進め、今年度末までに構造・プロセスを選定する。これらの結果をもとに、
次年度以降最終目標寸法の TEG を設計し、マスク作製、TEG 基板作製、プロセス開発を進める。
以上により目標は達成できる見通しである。

- [1] W. SteinhöglSchindler, G. Steinlesberger, M. Traving, and M. EngelhardtG. JAP, 97, 023706. 2005.
- [2] ITRS2011. <http://www.itrs.net/Links/2011ITRS/2011Chapters/2011Interconnect.pdf>. 2012.
- [3] Y. YamazakiWada, M. Kitamura, M. Katagiri, N. Sakuma, T. Saito, A. Isobayashi, M. Suzuki, A. Sakata, A. Kajita, and T. SakaiM. Applied Physics Express, 5, 025101. 2012.
- [4] "M. KitamuraYamazaki, M. Wada, T. Saito, M. Katagiri, M. Suzuki, A. Isobayashi, N. Sakuma, A. Sakata, A. Kajita, and T. SakaiY. SSDM2012, Accepted. 2012.
- [5] K. ItoKatagiri, T. Sakai and Y. AwanoM. To be submitted to 2012 International Microprocesses and Nanotechnology Conference (MNC 2012). 2012.
- [6] 西出 大亮, 松本 貴士, 伊東 伴, 山崎 雄一, 北村 政幸, 渡邊 勝仁, 佐久間 尚志, 梶田 明広, 酒井 忠司. 第 59 回応用物理学関係連合講演会予稿集, 17-155. 2012.
- [7] D. NishideMatsumoto, B. Ito, Y. Yamazaki, M. Wada, M. Kitamura, T. Saito, M. Watanabe, N. Sakuma, A. Kajita, and T. SakaiT. ICDCM2012, Accepted. 2012.
- [8] 伊東 伴, 西出 大亮, 松本 貴士, 片桐 雅之, 斎藤 達朗, 和田 真, 渡邊 勝仁, 佐久間 尚志, 梶田明広酒井忠司. 第 59 回応用物理学関係連合講演会予稿集, 17-156. 2012.
- [9] B. ItoNishide, T. Matsumoto, M. Katagiri, T. Saito, M. Wada, N. Sakuma, A. Kajita, and T. SakaiD. ICPT2012, Accepted. 2012.

2.5 研究開発項目⑤ ナノトランジスタ構造デバイス

「CMOS トランジスタの超低電圧動作、及びリーク電流抑制を同時に実現するための、低しきい値ばらつきトランジスタを集積化するための技術開発、並びに、この技術を用いた高集積機能素子における低電圧動作実証」

(1) 背景と目的

情報通信エレクトロニクス機器の低消費電力化、および、情報通信技術を積極的に利用したエネルギー消費の見える化によるエネルギー節減は、IT 化が進化した社会において極めて重要な技術である。情報通信エレクトロニクス機器の低消費電力化は、機器及びシステムの様々な階層において取り組むべき課題であるが、情報処理の根幹である CMOS-LSI の低消費電力化は、機器の発熱や電源容量の低減、さらには電源不要あるいは長寿命電池を備えたセンサ機器等を広範囲に配置させることにも効果をもたらすため特に重要である。本研究開発では、CMOS-LSI を根本的に低消費電力化させるためのデバイス技術階層での対策として、新しい超低電圧 CMOS プラットフォームの開発を推進する。

CMOS トランジスタは、継続的な微細化によって回路性能、機能、電力効率、経済的価値などを向上させてきた。電力効率の観点では、理想スケーリング則[1]に従った動作電圧 V_{dd} の低減が必要で、これまではそれが可能であった。CMOS 回路の消費電力は、動作電力とリーク電力の和で示され、動作周波数 f に依存する。特に動作あたりの電力 E が重要で、(1)式のように示される。

$$E = n (CV_{dd}^2 + I_{leak}V_{dd}/af), \quad (1)$$

ここに、 n , C , I_{leak} , a はそれぞれ、トランジスタ数、負荷容量、リーク電流、回路の動作率である。

一般的に、図 2.5-1 に示すように E は V_{dd} に依存する。 V_{dd} が低下するにつれて、トランジスタの駆動電流が減るので動作周波数 f も低下する。これは同じ量の論理演算動作をさせるのに余計に時間がかかることを意味し、その間もリーク電流は流れ続ける。従って、単位動作あたりのリーク電流、すなわち、(1)式のリーク電流は相対的に増大してしまう。理想的には、回路を構成する全てのトランジスタが最も E の小さい状態 (E_{min}) で動作するべきである。しかし多くの回路において、そのようにすることは現実的に難しい。何故なら、 E_{min} となる状態での回路の動作速度は一般的な応用分野で必要な速度に比べて遅すぎるからである。回路設計者は、対象とする CMOS 技術および想定する V_{dd} 範囲において電力効率を最適化するために、異なる特性(しきい値電圧 V_{th})を持つ複数種のトランジスタを使い分けるが、その選択肢は 2~3 種と限られたものに過ぎない。電力効率向上のための回路技術は多岐にわたるが、その中でも基板バイアスの適応制御技術[2]への期待が大きい。この技術では、 V_{dd} の制御のみならず、基板バイアスを変化させて V_{th} を制御することにより、より柔軟に消費電力効率を制御可能と考えられるからである。特に超低電圧では、この技術によって電力効率を高めながら動作速度の要求も満足することが期待できる。

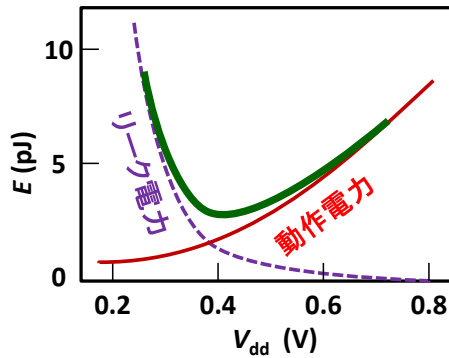


図 2.5-1 動作あたりエネルギー E と動作電圧 V_{dd} の関係 [3]

しかし、現代の微細 CMOS では、動作電圧低減自体が困難、という課題を抱えている。ITRS ロードマップ[4]が示すように、 V_{dd} 低減のペースが1Vくらいから緩くなる。この主たる原因は、微細化と共に増大するばらつきである。ばらつきの原因はいろいろあるが、その中でもランダム不純物揺らぎ(random-dopant fluctuation: RDF)が最も深刻な問題で、チャンネル部分に不純物(ドーパント)を注入することが必須である従来のバルク CMOS を使う限り、その解決は困難である[4]。例えば、65nm 技術で作製されたバルク CMOS トランジスタ 100 万個の近接 V_{th} ばらつきの幅は 0.4V を超えてしまう [5]。このため、RDF によるばらつきの少ないドーパントレストランジスタという新しいトランジスタ構造への移行が必要である。

本研究開発ではドーパントレストランジスタの一種である薄膜 BOX-SOI (SOTB) [6]と呼ぶ構造のデバイス(図 2.5-2)を開発し、そのデバイスを用いた回路設計プラットフォームを構築し、LSI へ適用して低電力化効果を実証する。また、SOTB と従来 CMOS を集積した超低電圧ハイブリッド集積化基盤技術を開発する。以上により、基板バイアス制御による回路のオフ時の低電力化を実現し、それらの技術を LSI へ適用して、超低電圧動作で CMOS の電力効率を大幅に向上させることを目的とする。

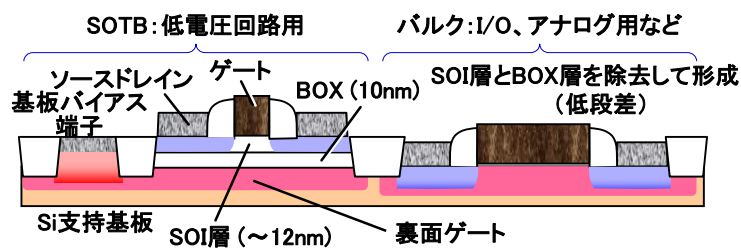


図 2.5-2 ナトランジスタ構造デバイスの断面模式図

(2) 目標

ドーパントレストランジスタ(SOTB)、及びその集積化技術を開発することにより、目標としている、100 万個以上のトランジスタで局所しきい値電圧ばらつきが平均 $\pm 0.1V$ 以下、1Mbit以上のSRAMで0.4V動作実証を満たすナトランジスタ構造デバイス技術を実現する。

(2)-1 【中間目標】平成 24 年度末までに以下を達成する。

- ・100 万個以上のトランジスタで、平均±0.1V 以下(±5σ)の局所しきい電圧ばらつきを達成
- ・低い電源電圧に動作を最適化し、基板バイアス制御技術を適用したナノトランジスタ構造デバイスを集積した1Mbit 以上のSRAM での、0.4V 動作を実証

(2)-2 【最終目標】平成 26 年度末までに以下を達成する。

- ・ナノトランジスタ構造デバイスと既存のCMOS トランジスタとの融合集積化技術を確認するとともに、その設計環境構築への指針を提示する。
- ・従来デバイスに比較して消費電力を1/10 に低減できる基盤技術を確認するとともに、実用化回路レベルでの達成目処を示す。

(3) 研究開発成果

(3)-1 低しきい電圧ばらつきで、基板バイアス制御が可能なナノトランジスタ構造デバイスの開発

a) ナノトランジスタ構造の最適化

デバイスシミュレーションにより、超低電圧($V_{dd}=0.4V$)において最適な動作となるトランジスタ構造を設計した[7]。その結果、BOX(埋め込み絶縁)層下部の不純物濃度制御に加えて、ゲート電極の実効仕事関数をいわゆるバンドエッジとミッドギャップの中間付近に設定することと、適度な電圧範囲での基板バイアス制御を組み合わせることにより、超低電圧動作として十分大きいオン電流(I_{on})を確保しつつオフ電流(I_{off})を下げる事が可能なことを見いだした。図 2.5-3 (a)に示すゲート絶縁膜の材質を従来の SiON 絶縁膜に対して、SiON に Hf や Al を添加した絶縁膜を用いることで、同図(b)に示すように実効仕事関数 EWF を上記 0.4V 動作最適値に制御するプロセスを確立した[8]。その結果、図 2.5-4 の電流電圧特性に示すように Hf+Al 添加絶縁膜にすることで超低電圧動作に最適化した特性(3種のしきい電圧 V_{th})制御が可能であることを実証した[8]。

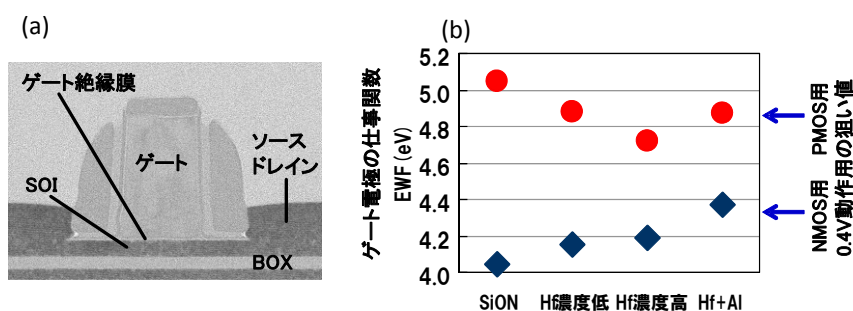


図 2.5-3 Hf/Al 添加ゲート絶縁膜による 0.4V 動作特性最適化; (a) SOTB トランジスタ主要部断面, (b) Hf/Al 添加によるゲート電極実効仕事関数(EWF)の変化

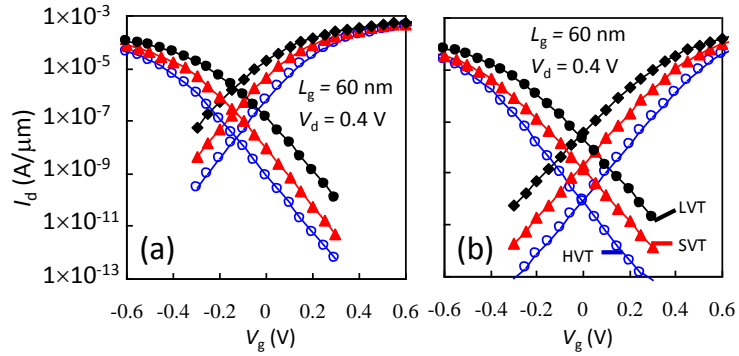


図 2.5-4 $V_{dd}=0.4V$ における I_d - V_g 特性; (a) Hf 添加絶縁膜を用いた素子の特性, (b) Hf+Al 添加絶縁膜による最適化後の特性

- b) ナノランジスタ特性の評価とシミュレーションによる特性制御と性能最適化に向けた指針の提示
 柔軟な V_{th} 制御と低 V_{th} ばらつきを両立するため、図 2.5-5 に示すローカルグランドプレーン (LGP) 構造(b)を提案し、(c)(d)に示すように、ゲート長 L_g が変動しても V_{th} が変化しにくいことをシミュレーションにより見いだした[9]。試作の結果、図 2.5-6 に示すように L_g に対する V_{th} の変化が小さいことを確認した。さらに、短チャネル特性を示す代表的なパラメータである DIBL も小さく、LGP 構造の SOTB が優れていることを確認した[8]。

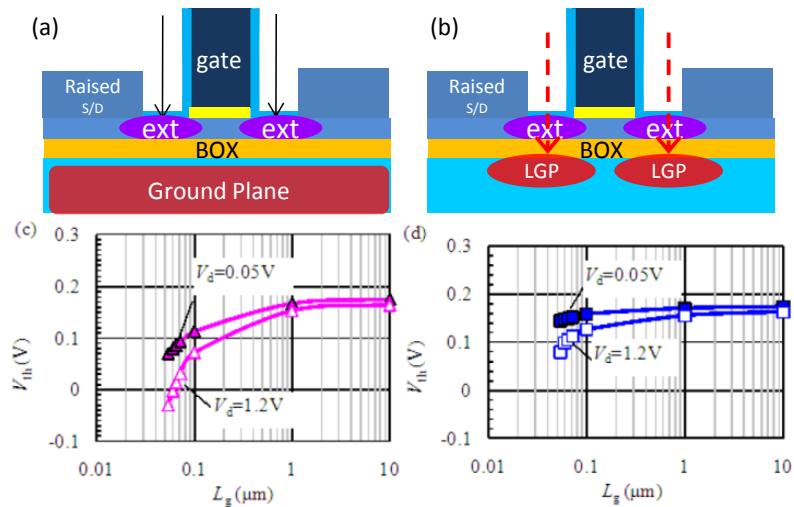


図 2.5-5 GP, LGP 構造の模式図 (a, b) およびシミュレーションによる V_{th} ロールオフ特性(ゲート長 L_g 依存性)の比較 (c, d)

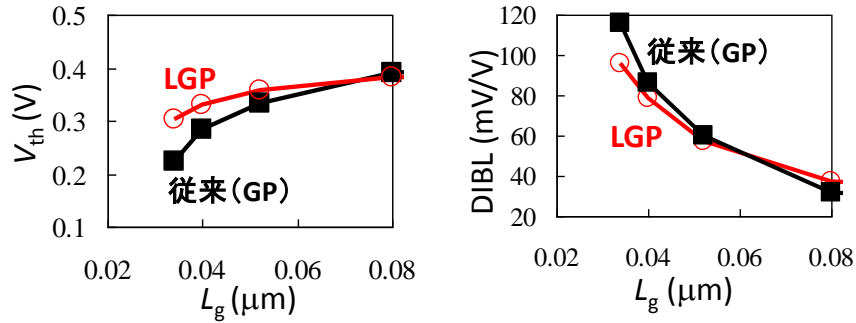


図 2.5-6 LGP 構造の効果、実測による V_{th} および DIBL の L_g 依存性

c) しきい電圧ばらつきの低減 (共同実施 東京大学)

前項で述べた LGP 構造により、図 2.5-7 (a)に示すようにウエハ面内の V_{th} 分布(グローバルばらつき)が改善する効果も示された[8]。一方、近接 V_{th} ばらつきに対しては、デバイスシミュレーションにより、 V_{th} 制御のための BOX 層下部の不純物濃度制御を行っても十分に低い V_{th} ばらつきになることがわかった。図 2.5-7 (b)に示す試作素子の測定結果より、10,000 個トランジスタの V_{th} ばらつきが $4\sigma=40.8\text{mV}$ と、H23 年度末目標値($4\sigma=60\text{mV}$)を達成することが示された。

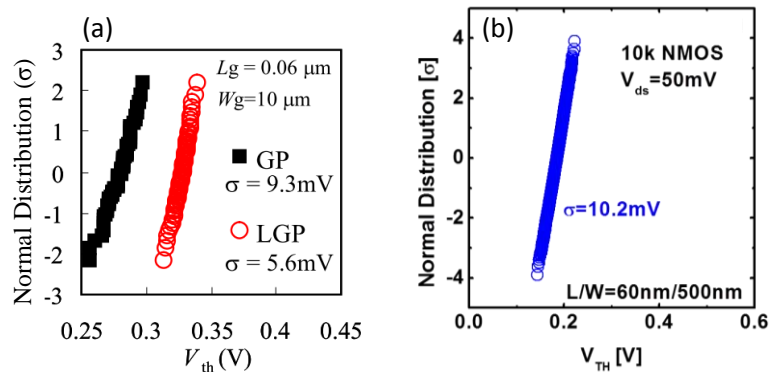


図 2.5-7 (a) LGP 構造によるウエハ内(グローバル) V_{th} ばらつきの改善、
(b) 10,000 個トランジスタの近接 V_{th} ばらつき (共同実施 東京大学)

さらに特筆すべき点として、SOTB では V_{th} ばらつきだけでなく、回路の動作速度に直接影響するオン電流ばらつきも小さいことを世界で初めて見いだした[10]。図 2.5-8 に示すように、オン電流ばらつきがバルクの $\sigma=6.6\%$ に対して SOTB ではその半分以下の $\sigma=2.8\%$ に低減することを示した。

本 PJ での目標は、100 万個のトランジスタで V_{th} ばらつきが $5\sigma=0.1\text{V}$ である。この目標で想定するトランジスタ寸法は $L/W=65\text{nm}/140\text{nm}$ であるが、既に図 2.5-8 でそれより小さな $L/W=56\text{nm}/110\text{nm}$ のトランジスタで $\sigma=18.8\text{mV}$ が示されていること(寸法が小さいほどばらつきは大きい、 $1/\sqrt{LW}$ に比例)、かつ図 2.5-7 (b)に示されたように 10,000 個トランジスタの V_{th} 分布がほぼ正規分布(グラフが直線)に従うと判断されることから、100 万個のばらつき目標は十分に達成可能と考える。

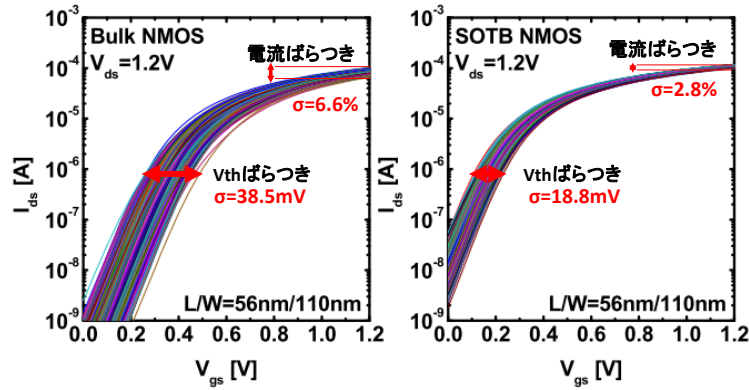


図 2.5-8 V_{th} およびオン電流ばらつきのバルク/SOTB 比較(共同実施 東京大学)

(3)-2 超低電圧ハイブリッド集積化基盤技術の開発

a) ハイブリッドデバイスの開発

ナトランジスタ構造デバイスと既存バルク CMOS トランジスタを同時に形成するプロセスを開発した。図 2.5-9 に示すように、既存バルク CMOS はナトランジスタ構造デバイス形成に必要な SOI 基板の SOI 層と BOX 層を除去して現れるバルク Si 支持基板表面に形成されるため、20nm 程度の段差が生じる。この程度の段差であれば問題なくその上にゲート電極を形成して素子動作が可能であることを確認した。実際に、図 2.5-7 (b)や図 2.5-8 に示した V_{th} ばらつき特性はナトランジスタ構造デバイスと既存バルク CMOS が同時に形成された TEG を動作させて取得したものである。

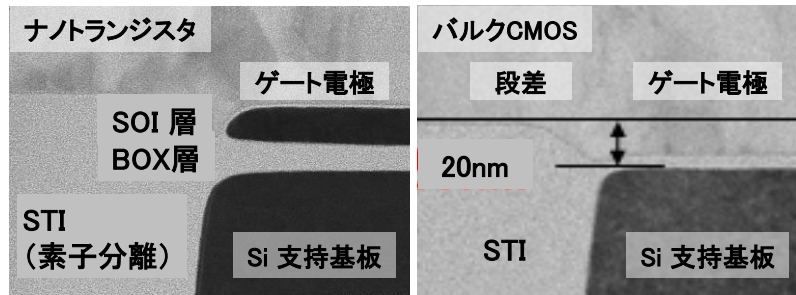


図 2.5-9 ハイブリッドデバイス構造の断面 TEM 像

b) SRAM チップによる開発技術の検証

SRAM は、LSI の中で最も小さな寸法のトランジスタを使うことと、動作原理から、最もばらつきの影響を受けやすい回路である。これまで得られた SOTB のばらつき特性を考慮して、超低電圧での SRAM 動作安定性をシミュレーションにより検討した。図 2.5-10 (a) に示すように、読み動作と書き動作のマーヅンを示す 2 本の曲線間に NMOS および PMOS トランジスタの V_{th} が設定されていれば SRAM が安定に動作する。図中のダイヤモンドは目安である。このように SOTB の小さなばらつきであれば SRAM の超低電圧動作が可能であることが示された。実際に図 2.5-10 (b) に示す SRAM アレイ TEG を試作し特性を評価した。図 2.5-11 に示すように、動作電圧 $V_{dd}=0.4V$ においても静的雑音余裕 SNM (図中、目の部分) が確保出来ることを明らかにした。さらに、2Mbit アレイの 0.4V 動作も評価中である。未だ不良ビットが残っているが、この

原因が周辺回路を構成するトランジスタのプロセス上の問題であることが既に見いだされており、改善策が打たれている。このため、本PJでの目標である、1Mbit以上のSRAMで0.4V動作実証は達成可能な見通しである。

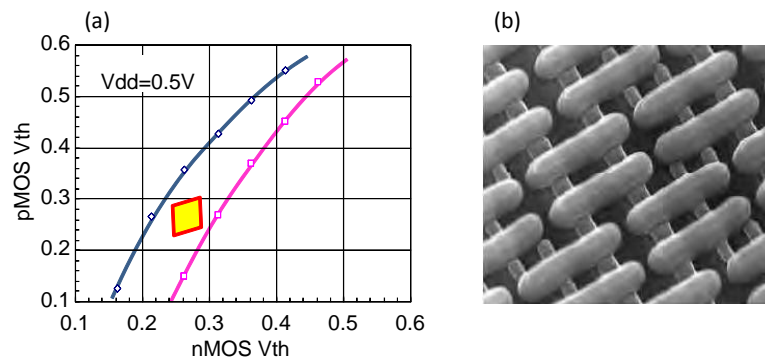


図 2.5-10 (a) SRAM 安定性シミュレーション結果 (Yamaoka チャート)
(b) SOTB-SRAM アレイの鳥瞰図 (SEM 像)

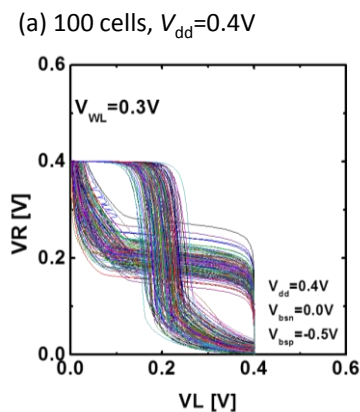


図 2.5-11 SRAM 動作曲線

(3)-3 超低電圧 LSI プラットフォーム開発 (共同実施 電気通信大学、芝浦工業大学、慶應義塾、京都工芸繊維大学、京都大学、東京大学、大阪大学、東京理科大学、産業技術総合研究所)

ナトランジスタ構造デバイスを用いた LSI を設計するためのプラットフォームを整備した。図 2.5-12 に示すように回路設計に必要な SPICE パラメータ初版を整備し、ナトランジスタ構造デバイス用の標準セル、自動配置配線環境、設計フローを開発した。この SPICE パラメータを用いたシミュレーションにより SOTB が超低電圧において動作速度向上の可能性も見いだした。さらにこの設計プラットフォームを用いて、実際に各種回路の自動配置配線を試行した。

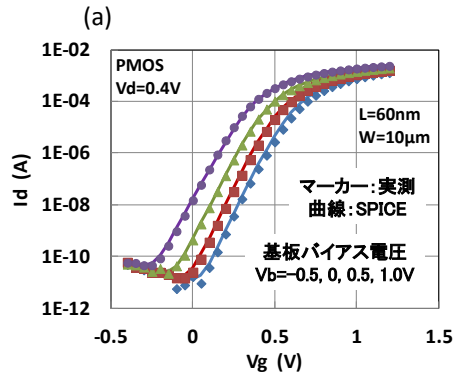


図 2.5-12 SPICE パラメータ抽出 (IV 特性合わせ込み)

(4) 達成度

本PJ目標であるしきい値電圧ばらつきの低減とSRAMの0.4V動作実証は、達成できる見通しが得られている。H24年度末中間目標である、ハイブリッドプラットフォームについても、回路設計を含めた有用性を示せる見通しが得られている。さらにH26年度末目標であるプロトタイプや試作チップに向けても、設計環境初版のリリースが完了し、現在、試作によるフィードバックや環境ファイルに記載された特性の見直しなど、順次改良を行っており、最終目標達成に向けての準備を進めている。

(5) まとめ

薄い埋め込み酸化膜上に極薄シリコンを形成した、SOI構造のSOTBトランジスタとその製造プロセスを開発し、低ばらつき($4\sigma V_{th}=40.8mV$)と、SRAMセルの0.4V動作を確認した。また、低電圧での回路動作安定性に影響するトランジスタ出力電流のばらつきが、試作したSOTBトランジスタで大幅に低減することを世界で初めて実証した。さらに、柔軟な特性制御と低ばらつきを両立できるローカルグランドプレーン構造を提案し、従来構造に比べてばらつきや短チャネル特性が優れていることを実証した。

SOTBとバルクCMOSを組み合わせたハイブリッド構造と、SOTBに最適化された標準セルを含む回路設計プラットフォームを開発し、テスト回路のレイアウトを行った。これらの結果から、中間目標は達成できる見通しである。

参考文献

- [1] R. H. Dennard, F. H. Gaensslen, H. N. Yu, V. L. Rideout, E. Bassous, and A. R. LeBlanc, "Design of ion-implanted MOSFETs with very small physical dimensions," IEEE J. Solid-State Circuits, vol. 9 (5), pp. 256, 1974.
- [2] M. Miyazaki, G. Ono, and K. Ishibashi, "A 1.2-GIPS/W Microprocessor Using Speed-Adaptive Threshold-Voltage CMOS With Forward Bias," IEEE J. Solid-State Circuits, vol. 37 (2), pp. 210, 2002.
- [3] B. Zhai, L. Nazhandali, J. Olson, A. Reeves, M. Minuth, R. Helfand, S. Pant, D. Blaauw, and T. Austin, "A 2.60pJ/Inst Subthreshold Sensor Processor for Optimal Energy Efficiency," IEEE VLSI 2006 Circuits, pp. 154, 2006.
- [4] <http://www.itrs.net/>
- [5] T. Tsunomura, A. Nishida, F. Yano, A. T. Putra, K. Takeuchi, S. Inaba, S. Kamohara, K. Terada, T. Hiramoto, and T. Mogami, "Analyses of $5\sigma V_{th}$ Fluctuation in 65nm-MOSFETs Using Takeuchi Plot," IEEE VLSI 2008 Technology, pp. 156, 2008.
- [6] R. Tsuchiya, M. Horiuchi, S. Kimura, M. Yamaoka, T. Kawahara, S. Maegawa, T. Ipposhi, Y. Ohji, and H.

- Matsuoka, "Silicon on thin BOX: A new paradigm of the CMOSFET for low-power and high-performance application featuring wide-range back-bias control," IEDM Tech. Dig., pp. 631, 2004.
- [7] H. Makiyama, K. Horita, T. Iwamatsu, H. Oda, N. Sugii, Y. Inoue, and Y. Yamamoto, "Design Consideration of 0.4V-Operation SOTB MOSFET for Super Low Power Application," 2011 International Meeting for Future of Electron Devices, Kansai, pp. 42, 2011.
 - [8] Y. Yamamoto, H. Makiyama, T. Tsunomura, T. Iwamatsu, H. Oda, N. Sugii, Y. Yamaguchi, T. Mizutani, and T. Hiramoto, "Poly/High-k/SiON Gate Stack and Novel Profile Engineering Dedicated for Ultralow-Voltage Silicon-on-Thin-BOX (SOTB) CMOS Operation," IEEE VLSI 2012 Technology, pp. 109, 2012.
 - [9] H. Makiyama, Y. Yamamoto, T. Tsunomura, T. Iwamatsu, K. Sonoda, H. Oda, N. Sugii, and Y. Yamaguchi, "Novel Local Ground-Plane Silicon on Thin BOX (SOTB) for Improving Short-Channel-Effect Immunity," 2012 EUROSOI.
 - [10] T. Mizutani, Y. Yamamoto, H. Makiyama, T. Tsunomura, T. Iwamatsu, H. Oda, N. Sugii, and T. Hiramoto, "Reduced Drain Current Variability in Fully Depleted Silicon-on-Thin-BOX (SOTB) MOSFETs," 2012 IEEE Silicon Nanoelectronics Workshop, #7-3, 2012.

2.6 研究開発項目⑥「BEOL 設計・製造基盤(プラットフォーム)開発」

(1) 背景と目的

バックエンド工程において、様々な新材料・新構造デバイスを配線層の一部として作ることを効率化するために、素子や回路の設計工程、さらには、プロセスや材料などに係る製造工程を可能な限り共通化し、これを、BEOL 設計・製造基盤(プラットフォーム)として開発する。これによって、設備投資をミニマム化することができるだけでなく、研究開発の効率化や、試作回数増加による技術の高度化が可能となり、製品化への流れを加速することができる。これらのメリットに加えて、BEOL 設計・製造基盤(プラットフォーム)を橋渡しとして、外部連携を活性化しオープンイノベーションを加速することも可能となる。

(2) 目標

上記の目的を達成するために、次の目標を設定した。

【目標】(平成 23 年度末)

個別デバイスの研究開発を推進するための共通設計基盤として、BEOL 設計・製造基盤(プラットフォーム)を開発する。その際、以下の条件を目標とする。

- ・新材料や新構造デバイスに共通で使え、かつ、新材料の相互汚染や熱耐性、さらには、プロセス雰囲気の影響などの観点から、それぞれのデバイスの特性を損なうことのない、BEOL プロセスレシピの作成。
- ・相互汚染防止、汚染除去、汚染評価などからなる管理プロトコルの作成。
- ・PDK (Process Design Kit)として、設計ルール、配線特性パラメータ、OPC ルールの策定。

(3) 研究開発成果

(3)-1 BEOL 製造基盤開発

産総研SCRが保有している300mm径ウエハ用製造装置を用いて、新材料や新構造のBEOLデバイス動作を実証するための、65nm世代向けBEOL製造基盤技術を開発した。図 2.6-1に開発したBEOL製造基盤の断面TEM写真を示す。CMOS下地からM4配線までは外部製造ラインにて製造し、M5ローカル配線は液浸ArF露光を用い、M6、M7のセミグローバル配線はKrF露光を用いて形成した。CMOS下地ウエハ上には企業の製造ライン工程と産総研SCR工程とのアライメントの整合をとるためのマークが形成されている。このようなBEOL製造基盤技術を用いることで、ローカル配線層内にBEOLデバイスを搭載しつつ、既存CMOSの設計ライブラリの使用が可能になる。

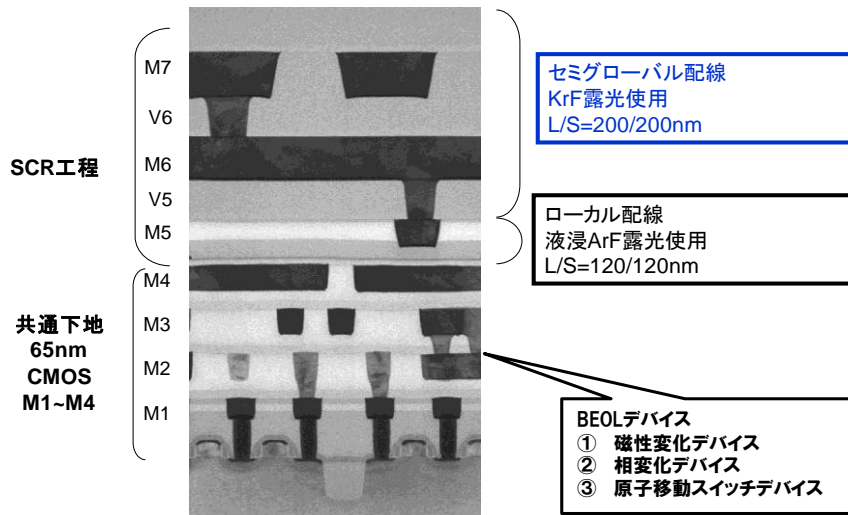


図 2.6-1 開発した BEOL 製造基盤を用いた素子の断面 TEM 写真

・ローカル配線構築

図 2.6-2 にローカル配線形成のプロセスフローの断面模式図を示す。ビア層間絶縁膜には SiO_2 、配線層間絶縁膜には ULK ($k=2.7$) を用いた。BEOL 素子を搭載した際の後工程での熱負荷を低減するため、配線工程のプロセス温度は全て 350°C 以下となるよう設計した。加工プロセスは、溝層間絶縁膜である低誘電率膜の加工に有利なビアファーストデュアルダマシンを採用した。多層レジストを用いてビア露光を行いドライエッチングによりビアホールを開口した。続いてホール部を含む全面に SOC を塗布し、その上に SOG、および HDP- SiO_2 を成長した後、溝露光を行った。このとき、溝レジストの現像不良 (ビアホール内部から化学増幅型レジストの増幅効果を失活させる不良: 一般にビアポイズニングと呼ばれる) が発生した。図 2.6-3 に孤立ビアホール上に露光した溝パターンの露光結果を示す。隣接ビア間の距離が大きくなるほど不良発生が顕著であることからポイズニング不良であることがわかる。この不良を防止するために高密度な SiO_2 膜 (HDP- SiO_2) を多層構造として導入し、ビアポイズニングによる現像不良を抑制した。

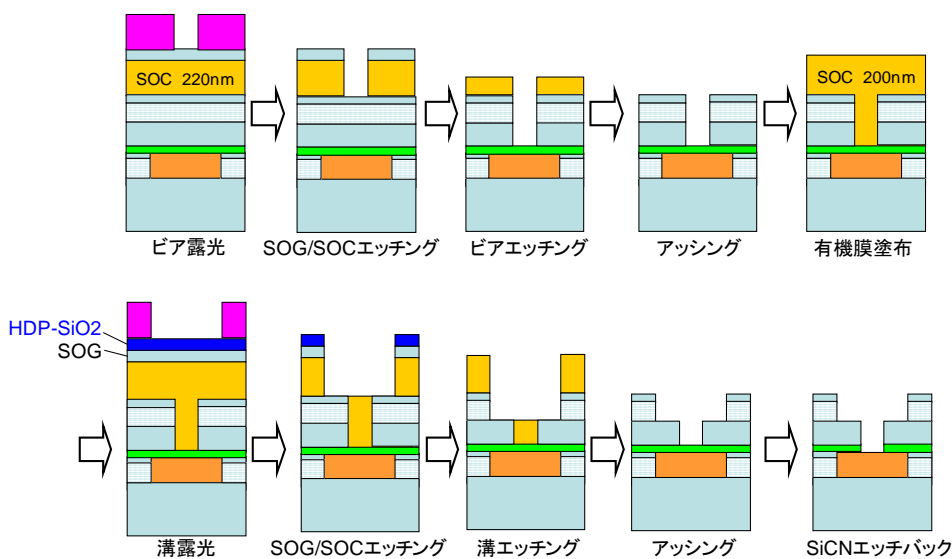


図 2.6-2 ローカル配線形成のプロセスフローの断面模式図

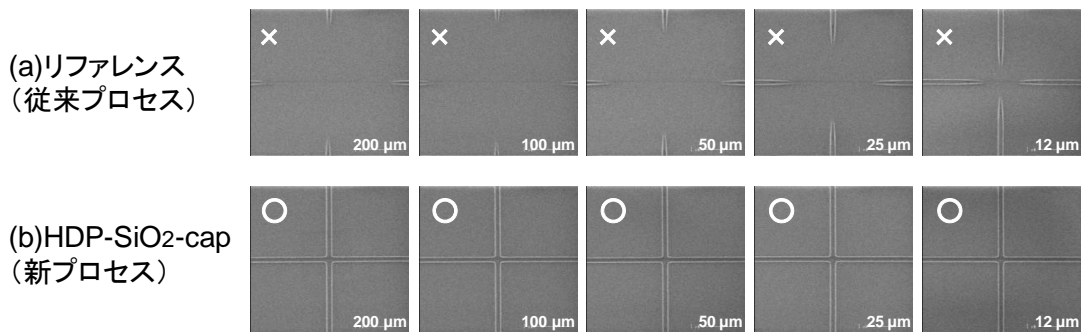


図 2.6-3 孤立ビアホール上に形成した溝パターンの測長 SEM 写真

上記製法で形成した 2 層配線に関して、配線の電気特性を測定した結果を図 2.6-4 に示す。典型的な結果として(a)ビア歩留り、(b)配線歩留りを示す。大規模ビアチェーン(5M 個直列チェーン)において、平均ビア抵抗 4~5Ω、面内歩留まりは 95%以上が確認された。その他、不良発生が懸念される接続配線幅の異なる TEG においても 100%の歩留りが得られた。配線抵抗は、ウエハ面内で 100%の歩留りを得た。シート抵抗値は配線幅 120nm において 0.2Ω/□であり、65nm 世代の銅配線として妥当な値が得られている。以上の結果から、ローカル配線に関しては、BEOL デバイスの実用性を検証する上で十分な特性・歩留りであると判断できる。

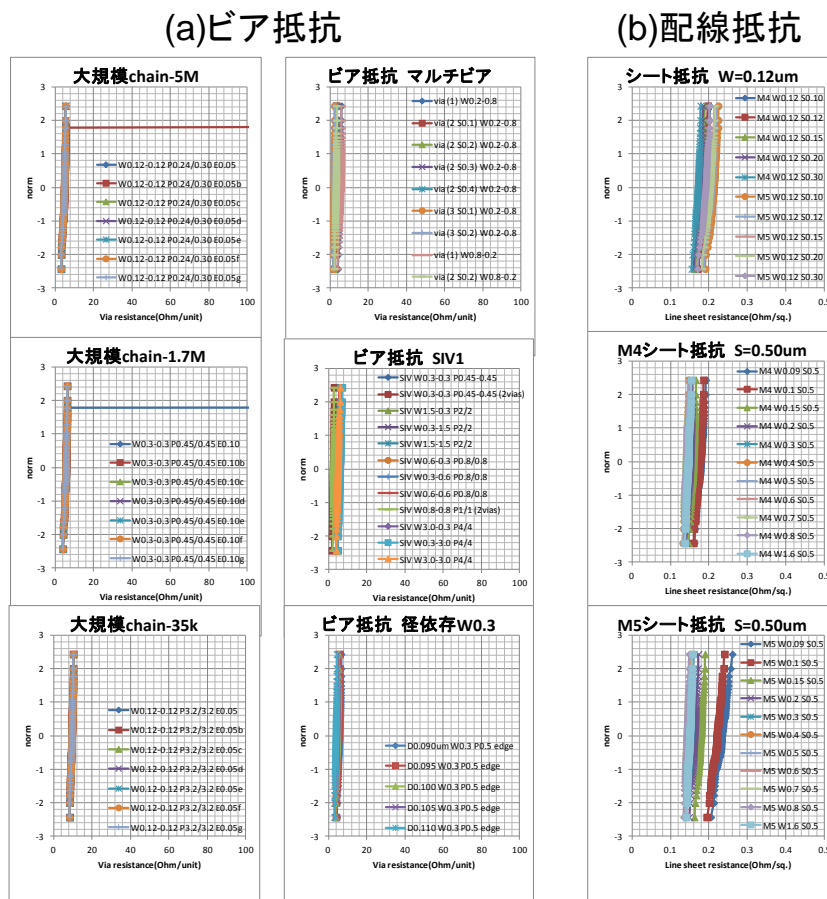


図 2.6-4 ローカル配線の配線特性

・セミグローバル配線構築

図 2.6-5 にセミグローバル配線形成のプロセスフローの断面模式図を示す。加工プロセスは、レジスト構造を簡略化することで短 TAT を実現するため、トレンチファーストデュアルダマシンを採用した。層間絶縁膜には SiO₂ を用いた。KrF 露光による溝パターンの形成を行い、ドライエッチングによりトレンチを開口した。続いてトレンチ部を含む全面に KrF レジストを塗布し、ビア露光を行った。ビアパターンのデータ率によってビアホールの露光寸法に差が生じたため、寸法補正を行うためバイアス OPC (ルールベース OPC) を採用した。加工したデュアルダマシング溝に銅を埋め込み、Cu-CMP によって上層配線を形成した。

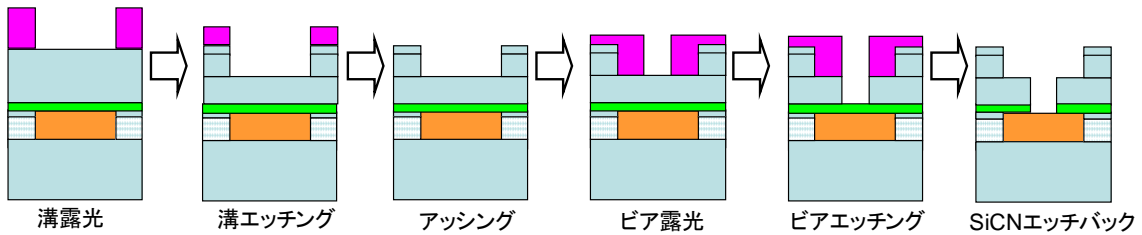


図 2.6-5 セミグローバル配線形成のためのプロセスフローの断面模式図

上記製法で形成したセミグローバル配線に関して、配線の電気特性を測定した結果を図 2.6-6 に示す。典型的な結果として、M6、M7 配線のシート抵抗とビア歩留りを示した。ビアチェーンにおいて、ビア抵抗 1 Ω 以下、面内歩留まりは 95% 以上が確認され、セミグローバル配線として十分な特性・歩留りが得られている。配線抵抗は、ウエハ面内で 95% 以上の歩留りが得られ、シート抵抗値は配線幅 200nm において 0.1 Ω/□ であり、ローカル配線と比べて約半分のシート抵抗値が得られている。65nm 世代のセミグローバル線として妥当な値が得られており、BEOL デバイスの実用性を検証するのに、十分な配線特性・歩留りであると判断できる。

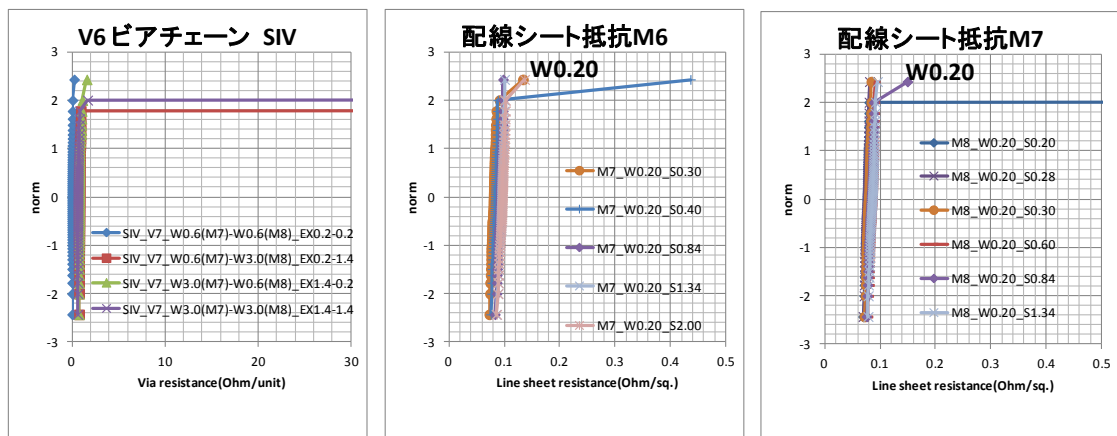


図 2.6-6 セミグローバル配線の配線特性

・新材料汚染管理技術

BEOL デバイスでは、様々な新材料を用いる。そこで、これらの新材料がデバイス特性に影響することがないように、相互汚染防止、汚染除去、汚染評価などからなる管理プロトコルの作成を行った。新材料の汚染管理手法として、以下の 4 つの手法を用いた。

管理手法 1. エッジカットリング

ウェハエッジおよびベベル・裏面の新材料の付着を防止する。

管理手法2. 薬液による洗浄

ウェハエッジおよびベベル・裏面の新材料を薬液により除去する。

管理手法3. 新材料上の HDP 膜

新材料上に高密度膜を成膜し、新材料の後工程への影響を防止する。

管理手法4. FOUP によるハンドリング管理

ハンドリング管理により汚染拡散を防止する。

黒(メタル工程)、赤(Cu 工程)、黄(新材料工程)

図 2.6-7 に BEOL デバイスで用いられている新材料元素と用いた管理手法をまとめた。新材料の汚染管理技術としてこれらの管理手法を用いることにより、新材料がデバイス特性に影響を及ぼすことに起因してデバイス特性を低下させることがなくなり、BEOL デバイスを集積化可能となる。

新材料元素	管理手法 1	管理手法 2	管理手法 3	管理手法 4
Fe	○	○	○	○
Mn	○	○	○	○
Pd	○	○	○	○
Ge ₂ Sb ₂ Te ₅	○	○	○	—
GeTe	○	○	○	—
Sb ₂ Te ₃	○	○	○	—
Ru	○	—	○	○
Ni	—	○	—	○ (専用FOUP)
C	○ (触媒層除去により未成長)	—	○ (SOGにより後工程への影響を防止)	○ (専用FOUP)

図 2.6-7 本プロジェクトの BEOL デバイスで用いられている新材料元素と管理手法

(3)-2 BEOL 設計基盤開発

本プロジェクトでは、CMOS下地基板、BEOLプロセスを複数のグループで共用することで、開発工数の削減・効率化を行っている(図 2.6-8)。M4層から下の階層は半導体製造ラインで製造され、本プロジェクトでは、産総研SCRを用いてM4層より上層のBEOLの形成を行う。不揮発デバイスはM4とM5の間に形成される。このように、半導体製造ラインで製造された多層配線/CMOS基板上に本プロジェクトで配線および不揮発デバイス工程の形成を行うためには半導体製造ラインPDKとつづばSCR-PDKを統合した、設計ルール、配線特性パラメータ、OPCルール等からなる連携ファブPDKが必要となる。

平成22年度に設計ツール(CAD:Computer Aided Design, DRC:Design Rule Check, LVS:Layout Versus Schematic)を導入するとともに、設計に必要なルールファイル(DRCルール、

LVSルール、粗密ルール等)を整備した(図 2.6-9)。本ルールファイルに沿って配線プロセス開発用レチクルセットBEP1、および回路TEG用レチクルセットLPT1の設計・検証を行った。平成23年度のセミグローバル配線(M6,M7)の開発にあたっては、当該配線層のルールファイルを追加するとともに、ルールベースのOPC(Optical Proximity Correction: 光学近接効果補正)処理ルールを作成した。セミグローバル配線層の最小加工幅は0.24 μm と、ローカル配線層の倍とした。レジストの厚膜化が必要であったため、KrF露光機により微細パターンの形成を行うために、ルールベースOPCをビアに導入した。LPT1にセミグローバル配線層を追加(LPT1SG)してプロセスの開発を行い、1P7Mの構成(図 2.6-8)が完成した。

さらに、プロセス歩留まりの向上を目指して、ローカル配線層にモデルベースOPCを適用した。OPCモデルは、CD-SEMにより取得したレジスト形状のCD値、および露光機の照明条件に基づいて作成した。OPC処理を行った結果、100nmまでの配線幅・ビア径の露光後の寸法は設計寸法と比較して5%以下の誤差に収めることができた(図 2.6-10)。同時にOPC変換のためのツールを導入し、OPC処理が行えるよう整備した。BEP2およびLPT2は、OPC処理が適用された1P7Mの構成のレチクルセットである。平成24年当初には、モニターロット等で蓄積されたプロセス歩留まりを元に、より詳細なDRCルールに改定を行った。LPT3においてさらなる配線プロセスの歩留まりの向上ができるものと期待している。

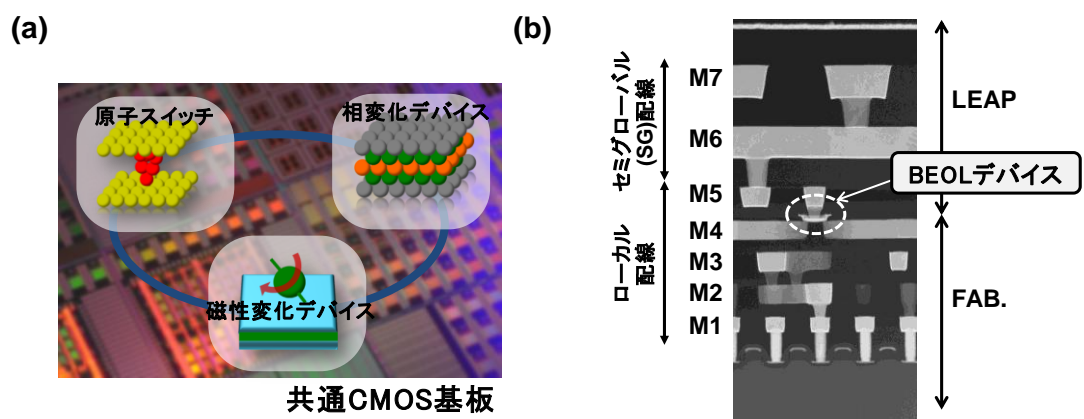


図 2.6-8 (a) CMOS 下地基板、(b)LPT1SG(文中)のレチクルセットで作成された 1P7M 構造

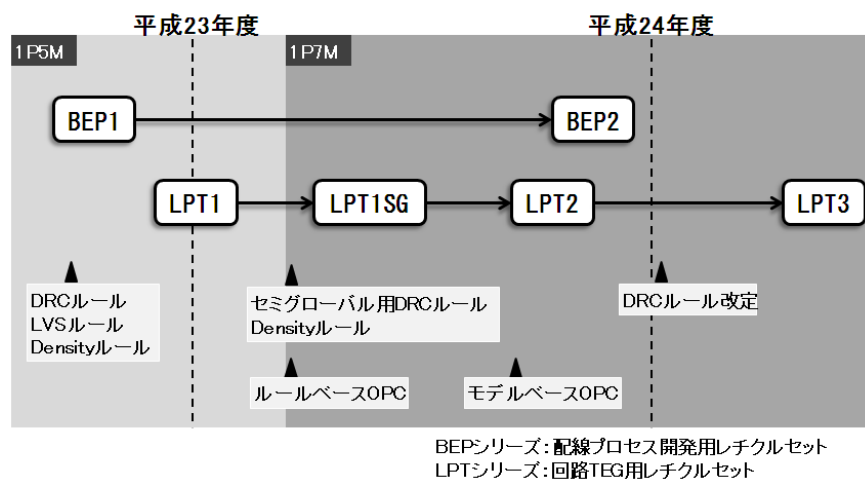


図 2.6-9 設計基盤開発の変遷 (BEP, LPT 等はレチクルシリーズを示す)

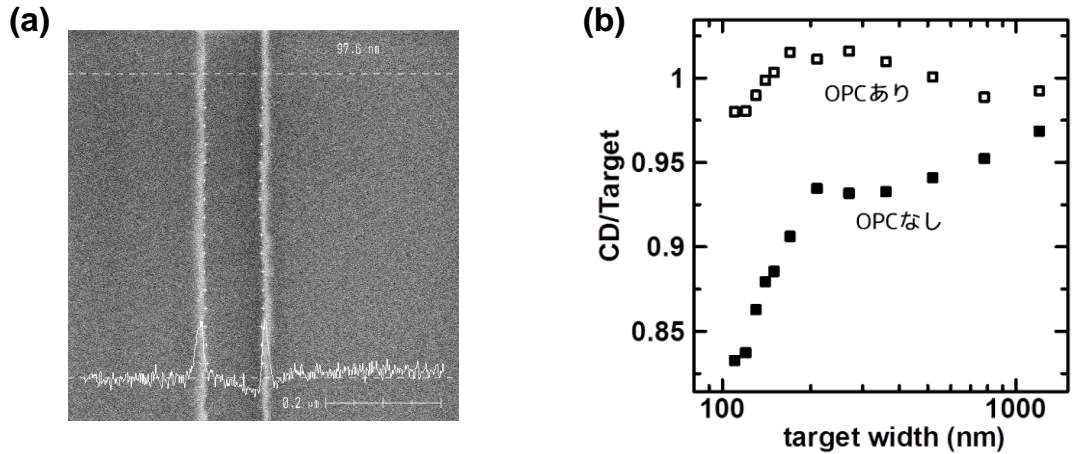


図 2.6-10 OPC の効果。(a)孤立配線のレジストパターン、(b)孤立配線の幅の設計寸法に対する CD 値。

(4) 達成度

個別デバイスの研究開発を推進するための共通設計基盤として、BEOL 設計・製造基盤(プラットフォーム)を開発し、目標をすべて達成した。

SCR300mm ラインで、半導体製造ラインで形成した多層配線/CMOS 基板上にローカル配線およびセミグローバル配線を形成する配線製造基盤技術を開発し、配線特性が所望の特性を実現していることを確認した。

新材料の汚染管理として、1.エッジカットリングによる新材料付着防止、2.薬液による新材料除去、3.新材料上 HDP 膜による汚染拡散防止、4.FOUP によるハンドリング管理手法を開発し、効果を確認した。

半導体製造ライン PDK と SCR (Super Clean Room)-PDK を統合した、設計ルール、配線特性パラメータ、OPC ルール等からなる連携ファブ PDK を策定した。

(5) まとめ

バックエンド工程において、様々な新材料・新構造デバイスを配線層の一部として作ることを効率化し、研究開発を推進するための共通設計基盤として、BEOL 設計・製造基盤(プラットフォーム)を開発した。

産総研 SCR が保有している 300mm 径ウエハ用製造装置を用いて、BEOL デバイス動作を実証するための、65nm 世代向け BEOL 製造基盤技術を開発した。ビア層間絶縁膜には SiO₂、配線層間絶縁膜には ULK (k=2.7) を用い、BEOL 素子を搭載した際の後工程での熱負荷を低減するため、配線工程のプロセス温度は全て 350°C 以下となるよう設計した。加工プロセスは、溝層間絶縁膜の低誘電率膜の加工に有利なビアファーストデュアルダマシンを採用したローカル配線形成技術を構築した。セミグローバル配線に関しては、加工プロセスは、レジスト構造を簡略化することで短 TAT を実現するため、トレンチファーストデュアルダマシンを採用した。

相互汚染防止、汚染除去、汚染評価などからなる新材料の汚染管理技術として 4 つの管理手法を開発し、効果を確認した。

BEOL 設計基盤としての連携ファブ PDK の構築を目的とし、CAD, DRC, LVS ツールを導入し、

設計に必要なルールファイル(DRC ルール、LVS ルール、粗密ルール等)を整備した。さらに、OPC ルールの策定を行い、100nm までの配線幅・ビア径の露光後の寸法は設計寸法と比較して5%以下の誤差に収めることが可能となった。

特許、論文、外部発表等の件数(内訳)

区分 年度	特許出願			論文		その他外部発表 (プレス発表等)
	国内	外国	PCT*出願	査読付き	その他	
H22FY	2件	0件	0件	1件	9件	0件
H23FY	31件	0件	0件	21件	31件	2件
H24FY	9件	1件	1件	14件	14件	7件

(※Patent Cooperation Treaty :特許協力条約)

IV. 実用化、事業化の見通しについて

1. 実用化、事業化の見通し

実用化、事業化

「低炭素社会を実現する超低電圧デバイスプロジェクト」において開発対象とした技術は、超低電圧で動作する不揮発デバイス技術(研究開発項目①②③)、新材料を用いた超低抵抗微細配線技術(研究開発項目④)、新構造を用いたトランジスタ技術(研究開発項目⑤)である。これらは半導体集積回路において、集積化されることにより、命令・データ・信号のプロセッシング、アナログデータのデジタルデータへの変換、一時記憶、ストレージ等の機能を総合的に実現する。開発した技術の実用化、事業化に向けた展開を、参加企業の事業分野ごとに分かりやすく記述したのが図 IV-1 である。

集積回路の設計・製造を基幹事業としている参加企業((株)東芝、富士通セミコンダクター(株)、ルネサスエレクトロニクス(株))においては、集積回路自体が製品であり、開発した技術は次世代以降の既存製品や新製品に直接搭載されることで、市場占有率の増加や新市場の開拓に貢献する。(株)東芝は10nm世代以降の大容量 NAND フラッシュメモリ、或いは3次元積層メモリの極微細($\leq 10\text{nm}$)低抵抗配線及び超高アスペクト比(>20)コンタクトプラグへの採用を目指している。富士通セミコンダクター(株)は磁性変化メモリを組み込んだプロセッサの富士通(株)への供給や、ASICおよびASSPに搭載して、各種IT機器やデジタルAV機器などを生産している顧客に提供することが目標である。ルネサスエレクトロニクス(株)は低電力優位性を高めたマイコン製品の市場占有率の増加と、超低電力マイコンという新しいマイコン応用分野への適用が、実用化、事業化の目標である。近年、最先端集積回路については、自社工場での製造比率を下げ、製造委託を増やすファブライト化が進んでいる。半導体を最終製品とする上記企業においても、本プロジェクトで開発した技術を最先端の集積回路に組み込むには、自社工場での生産だけでなく委託することも考えられる。

一方、日本電気(株)、(株)日立製作所、富士通(株)等、IT製品や応用システムの提供、サービスを事業分野とする企業においては、本プロジェクトで開発した技術は、製品であるIT製品や応用システムにおける新機能付加や性能向上を通して競争力の向上に貢献する。例えば、日本電気(株)は開発した原子移動型スイッチを組み込んだ集積回路を用いて、ルーターやスイッチなどの各種通信機器の新機能付加、性能向上を図り、積極的に事業を推進しているクラウドコンピューティングの普及に役立てる。(株)日立製作所はW/Wで世界5位、国内で1位のシェアをもつ外付型ディスクアレイ事業の基幹部品である固体ストレージに適用することで、「ビッグデータ」を高速・低消費電で処理・活用するストレージシステムを構築する。富士通(株)は磁性変化メモリを不揮発キャッシュメモリとする集積回路をサーバーやスーパーコンピュータに組み込むことで差別化したシステムを提供する。

これらのIT製品や応用システムメーカーは、自社に集積回路の製造部門を持っていないため、半導体企業から調達するか、或いは製造を委託することになる。

三菱電機(株)は、自動車機器事業において、電子回路と一体となった車載用磁気センサを開発している。また、パワーモジュールや大電力デバイス事業においては、その高性能化を進めている。これらは、必ずしも微細集積化技術を必要としないデバイスであるため、デバイスからシステムまで自社で一貫した

実用化、事業化が可能である。

さらに当プロジェクトには、製造装置メーカーとして、(株)荏原製作所、東京エレクトロン(株)、(株)日立国際電気、の3社が参加している。(株)荏原製作所はカーボンナノチューブを埋め込んだ微細コンタクトの平坦化(CMP)装置、東京エレクトロン(株)はカーボンナノチューブやグラフェン膜の成長装置、そして、(株)日立国際電気は新しい相変化膜の成長装置を実用化・事業化することを目標として参加している。半導体製造装置は、新材料を使用する集積回路製造メーカーに提供することが実用化、事業化の目標である。

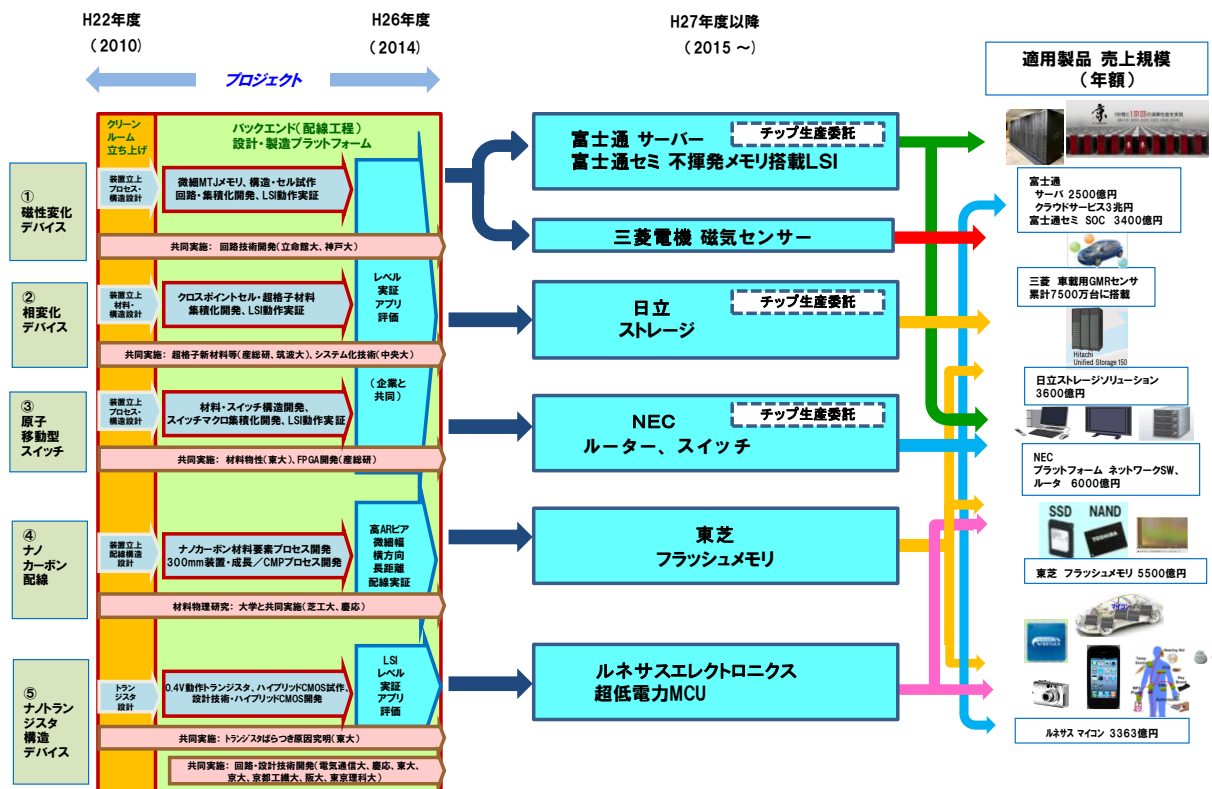


図 IV-1 参加企業における本プロジェクト成果の実用化、事業化戦略

(添付資料)

プロジェクト基本計画

P 1 0 0 2 3

別添1 事業項目「低炭素社会を実現する超低電圧デバイスプロジェクト」の目的、目標、内容、および、実施期間

1. 研究開発の目的、目標及び内容

(1) 研究開発の目的

半導体技術は、情報家電、コンピュータ、通信装置、自動車、医療機器など、我が国の経済を支える先端産業の競争力強化に不可欠な基盤技術である。その発展を支えているのは、シリコン集積回路とその基本素子（デバイス）の CMOS トランジスタであり、これまで、CMOS トランジスタの寸法を微細化するプロセス技術と、微細デバイスを機能させる回路技術により、高性能化・低電力化を実現してきた。

低炭素社会の実現には、上記に代表されるエレクトロニクス機器の究極的な低電圧動作による飛躍的な低電力化が必須であり、デバイスの低電圧動作と不揮発動作が不可欠な技術要素である。CMOS 基本回路の消費電力は電圧の自乗に比例するので、電圧を 1/3 にすれば、単純には消費電力がほぼ 1/10 になる。また、電源を遮断しても情報が保持される不揮発デバイスを使えば、待機状態での消費電力がゼロになり、これも、消費電力の低減に大きな効果をもたらす。このように、動作状態では電圧の低減で、待機状態では不揮発動作を使うことで、消費電力の低減が達成される。これらの機能を満たす新しい超低電圧・不揮発デバイスの開発が必要である。

欧米においては、大型の産学連携ナノエレクトロニクス拠点の整備がここ数年で飛躍的に進み、超低電圧・不揮発デバイスをはじめとした、次世代デバイスに関する実用化を目指した研究が活発に行われ、今後、開発競争は熾烈化するものと考えられる。海外の研究開発活動の活発化により、このような状況を放置すれば、超低電圧・不揮発デバイスに関する我が国の技術開発の競争力を失いかねない。

本プロジェクトは、ナノテクノロジーで培われた新規の機能材料や新規のデバイス構造に立脚して、集積回路の低電圧動作と高機能・高集積化を実現し、集積回路の低電力化を通してエレクトロニクス機器の消費電力を大幅に低減する技術を確立することを目的として、「IT イノベーションプログラム」の一環として、実施する。

(2) 研究開発の目標

①本研究開発の目標

研究開発の目的に即した革新的基礎技術、及び応用技術を確立することを目標とする。具体的には、別紙の研究開発計画に基づいた、プロジェクト 3 年経過時点における中間目標及び、プロジェクト終了時における最終目標を達成することとする。

②全体としてのアウトカム目標

本研究開発が対象とする集積回路を用いた産業機器やコンシューマ機器は、大幅な省

エネルギー効果が期待できる。2020年における省エネルギー効果の合計は、電力量に換算すると、156.5億 kWh/年、炭酸ガス削減量に換算すると、667万トン/年と見積もられる。

また本研究開発を実施し、他国に先駆けて省エネ機器を実現することで、2020年において、不揮発デバイスがデジタル家電用混載メモリの5割、データセンター用固体ストレージ等の3割、低電圧デバイスがIT機器用汎用マイコン等3割の普及率を目指す。

(3) 研究開発の内容

様々なエレクトロニクス機器を制御する集積回路は、計算処理を担うロジック集積回路と記憶処理を担うメモリ集積回路から構成されている。また、メモリ集積回路は、ロジック集積回路との情報応答性能や情報記憶容量に応じて、ロジック集積回路に混載される1次メモリ（高速、小容量）、さらには、大容量記憶を担う外部記憶（低速、大容量）などに細分される。これらの集積回路の低電力化を達成するために、以下の研究開発を実施する。

本研究開発は、実用化まで長期間を要するハイリスクな「基盤的技術」に対して、産学官の複数事業者が互いのノウハウ等を持ちより協調して実施する事業であり、委託事業として実施する。

[委託事業]

研究開発項目①「ロジック集積回路内1次メモリを対象とした、高集積・高速特性・高書き換え耐性などの機能を有する超低電圧・不揮発デバイスの開発」

研究開発項目②「外部記憶の高速低電力データ転送を実現する、高集積・高速低電力書き込み特性などの機能を有する超低電圧・不揮発デバイスの開発」

研究開発項目③「配線切り換えを可能とするスイッチを対象とした、低電流・高速書き換え、高オン・オフ抵抗比、小面積などの機能を有する超低電圧・不揮発スイッチデバイスの開発」

研究開発項目④「集積回路チップ内において、機能ブロックの三次元集積を実現するための、微細幅・超低電気抵抗、超高アスペクト比配線・材料技術の開発」

研究開発項目⑤「CMOSトランジスタの超低電圧動作、及びリーク電流抑制を同時に実現するための、低しきい値ばらつきトランジスタを集積化するための技術開発、並びに、この技術を用いた高集積機能素子における低電圧動作実証」

研究開発項目⑥「BEOL設計・製造基盤（プラットフォーム）^(*)開発」

*1 BEOL設計・製造基盤（プラットフォーム）

様々な新材料を使うデバイスや新構造デバイスを配線層（BEOL; Back end of Line）

の一部として作製する際に、材料・構造を問わず、すべてに共通で使える設計ルール、材料、プロセス工程などを総称してプラットフォームという。ここでは BEOL 設計基盤と BEOL 製造基盤を合わせて、BEOL 設計・製造基盤（プラットフォーム）と呼ぶ。

2. 研究開発の実施方式

(1) 研究開発の実施体制

本研究開発は、経済産業省が、企業、大学等の研究機関（委託先から再委託された研究開発実施者を含む）から公募によって研究開発実施者を選定し、共同研究契約等を締結する研究体を構築して開始したものである。

独立行政法人新エネルギー・産業技術総合開発機構（以下「NEDO」という。）が本研究開発の運営・管理を承継するに当たっては、その時点までの進捗状況を踏まえた研究開発内容・計画及び実施体制の妥当性について、外部有識者による審議を含めた評価を行った上で最適な研究開発体制を構築し、実施する。

(2) 研究開発の運営管理

研究開発全体の管理・執行に責任を有する NEDO は、経済産業省及び研究開発実施者と密接な関係を維持しつつ、プログラムの目的及び目標、並びに本研究開発の目的及び目標に照らして適切な運営管理を実施する。具体的には、必要に応じて設置される技術検討委員会等における外部有識者の意見を運営管理に反映させる他、四半期に一回程度プロジェクトリーダー等を通じてプロジェクトの進捗について報告を受けること等を行う。

3. 研究開発の実施期間

本研究開発の期間は、平成 22 年度から平成 26 年度までの 5 年間とする。ただし、この期間内において、研究開発項目毎に研究開発期間を設定する。研究開発項目①～⑤については、平成 22 年度から平成 26 年度までの 5 年間とする。また、研究開発項目⑥については、平成 23 年 3 月から平成 24 年 2 月とする。

4. 評価に関する項目

NEDO は、技術的及び政策的観点から、研究開発の意義、目標達成度、成果の技術的意義及び将来産業への波及効果等について、外部有識者による研究開発の中間評価を平成 24 年度、事後評価を平成 27 年度に実施する。中間評価結果を踏まえ、事業の加速・縮小など必要な体制の再構築を含め、後年度の研究開発に反映することとする。なお、評価の時期については、当該研究開発に係る技術動向、政策動向や当該研究開発の進捗状況等に応じて、前倒しする等、適宜見直すものとする。

5. その他の重要事項

(1) 研究開発成果の取扱い

① 共通基盤技術の形成に資する成果の普及

得られた研究開発成果のうち、共通基盤技術に係るものについては、プロジェクト内で速やかに共有した後、NEDOおよび実施者が協力して普及に努めるものとする。

② 知的基盤整備事業又は標準化等との連携

得られた研究開発の成果については、知的基盤整備事業又は標準化等との連携を図るため、データベースへのデータの提供、標準案の提案等を積極的に行う。

③ 知的所有権の帰属

委託研究開発の成果に関わる知的所有権については、「独立行政法人新エネルギー・産業技術総合開発機構 新エネルギー・産業技術業務方法書」第25条の規定等に基づき、原則として、すべて委託先及び共同研究先に帰属させることとする。

(2) 基本計画の変更

NEDOは、研究開発内容の妥当性を確保するために、社会・経済的状況、国内外の研究開発動向、政策動向、プログラム基本計画の変更、第三者の視点からの評価結果、研究開発費の確保状況、当該研究開発の進捗状況等を総合的に勘案し、達成目標、実施期間、研究開発体制等、基本計画の見直しを弾力的に行うものとする。

(3) 根拠法

本プロジェクトは、独立行政法人新エネルギー・産業技術総合開発機構法第15条第1項第2号に基づき実施する。

6. 基本計画の改訂履歴

平成23年3月、制定。

(別紙) 研究開発計画

研究開発項目①「ロジック集積回路内 1 次メモリを対象とした、高集積・高速特性・高書き換え耐性などの機能を有する超低電圧・不揮発デバイスの開発」

1. 研究開発の必要性

銀行やライフラインなどの社会インフラ管理を担う大型コンピュータや、爆発的に増大するインターネットの情報を処理する大型サーバ、さらには、オフィス内の IT 機器、デジタル AV、携帯機器に代表される各種エレクトロニクス機器の情報処理量と機器台数の増大に伴い、機器が消費する電力の増大が焦眉の問題となっている。

これらのシステムにおいて情報処理機能を担う CPU や MPU に代表されるシステム LSI は、情報処理量増大に対処するため、高集積化と高速化が年々進み、その結果、1 チップの消費電力は 100W に達する品種も現れている。

低炭素社会の実現に向けては、エレクトロニクス機器に使用されるシステム LSI の消費電力を抑制する必要がある。システム LSI は、論理演算部とデータやプログラムを一時的に格納する 1 次メモリの SRAM が同一チップ上に混載されている。国際半導体ロードマップ(ITRS)によれば、LSI に混載されるメモリ部がチップ面積の約半分を占めるようになり、今後もその比率は更に増大すると予測されている。その理由は、情報処理能力を上げるためには、論理演算部とデータのやり取りを直接行う 1 次メモリの容量増大が非常に有効なためである。このように、混載される SRAM の容量が大きいため、そこで消費される動作時と待機時の電力を抑制することができれば、システム LSI の低消費電力化を通して、低炭素社会実現に貢献できる。

メモリの動作時の消費電力を低減するには、メモリの読み書きに必要な電圧を下げて適切な条件で動作させること、また待機時の消費電力を低減するには、電源を切ってもメモリ内の情報を保持できる不揮発性を持たせることが必要である。

2. 研究開発の具体的内容

上述の低電力化要件（低電圧読み書き、不揮発）と、混載 SRAM を置き換えるための要件（高集積、高速、高書き換え耐性）を満たすメモリの開発を行う。

- ・シミュレーション、試作および評価による最適メモリ材料、作製プロセス、およびメモリ構造の開発。
- ・書き換え耐性の加速試験方法の確立。
- ・信頼性評価方法の確立。
- ・システム LSI の多層配線内に、メモリを埋め込むインテグレーション技術の開発。
- ・メモリの読み書きを制御する周辺回路の開発と設計環境の構築。
- ・特定のアプリケーションを想定した回路による、超低電圧動作の実証。
- ・従来の 2 倍の高集積化を可能とする多値メモリセルの開発。

3. 達成目標

システム LSI に混載されている SRAM 機能を代替できる、低電圧動作の不揮発メモリを開発する。その際、以下の条件を目標とする。

【中間目標】（平成 24 年度末）

- ・メモリ単体レベルで、読み書き電圧 0.4V 以下、読み書き電流 100 μ A 以下、読み書き時間 10ns（電力量 0.4pJ 以下）の実証。1.2V 動作 SRAM の 1/10 の電力の実証。
- ・新材料を用いた新プロセスの、300mm バックエンドラインへの統合による、デバイス動作実証。
- ・試作・評価によるメモリパラメータ取得と、それを用いた低電圧動作用メモリ周辺回路設計。
- ・高集積化を可能とする多値動作の確認。

【最終目標】（平成 26 年度末）

- ・加速試験による 10 年間のリテンションと、書き換え回数 10^{16} 回の達成。
- ・実用に耐える信頼性技術確立への指針の提示。
- ・低電圧動作用の周辺回路を備えたメモリマクロで、読み書き電圧 0.4V、読み書き電流 100 μ A 以下、読み書き時間 10ns、1.2V 動作 SRAM の 1/10 の電力を実証すると共に、メガバイト級メモリの実現可能性の提示。
- ・メモリマクロでの多値動作を実証することによる、従来 SRAM 比 2 倍の高集積化の可能性を提示。

研究開発項目②「外部記憶の高速低電力データ転送を実現する、高集積・高速低電力書き込み特性などの機能を有する超低電圧・不揮発デバイスの開発」

1. 研究開発の必要性

インターネットの高速化と情報通信機器の高度化により、外部記憶が消費する電力量の爆発的増大が課題視されている。外部記憶には、膨大な量の情報を記憶し、瞬時に読み書きできる性能が求められているが 外部記憶として最も普及している HDD はディスク回転で動作が律速されるため、複数の HDD を組み合わせてデータの読み書きを高速化している。しかしながら企業、産業用途では、数百台の HDD 動作が必要なため冷却装置が欠かせず、さらに大規模な検索エンジンのデータセンターでは、発電所一基分に相当する電力が必要となっている。

一方、フラッシュメモリを搭載した SSD は、高速データ処理が可能でかつ消費電力が小さいため、記録容量は低いが HDD を代替する外部記録として、年々その需要が増大している。しかし、フラッシュメモリは、データ消去に際して消す必要のないデータも消去することから（ブロック単位でのデータ消去）、データを一時的に蓄えるキャッシュへのデータ退避と再書き込みが必要で、これらの処理が実効的な書き込み時間を増大させている。そのため現状の SSD でも、複数のフラッシュとキャッシュが組み合わされて動作しており、今後、チップ数の増大による消費電力増大と、複雑な使いこなしが避けられない課題になるのは必至である。

そこで、データ転送を高速低電力で実現し、外部記録の消費電力を圧倒的に低減しうる高集積メモリの開発を行う。

2. 研究開発の具体的内容

外部記憶の圧倒的な消費電力低減を実現するため、高集積、高速、低電力の要件を満たすメモリの開発を行う。

- ・物理的に最小セル面積が可能なクロスポイント型メモリセル技術。
- ・クロスポイント型セルによるユニポーラ動作が可能なメモリ材料技術。
- ・書き込み動作時のエネルギー散逸を防止して低電力化を可能とするメモリ構造技術。
- ・上記の材料及び構造を 300mm ウエハに搭載可能とするプロセス技術。
- ・メモリ材料を外部記憶向けに最適化するためのシミュレーション及び評価技術。
- ・クロスポイント型セル動作に特有なアレイ回路技術。
- ・上記メモリを用いた低電力高速データ転送技術。

3. 達成目標

外部記憶の高速低電力データ転送を実現する、高集積・高速低電力書き込み特性などの機能を有する不揮発デバイスを開発する。その際、以下の条件を目標とする。

【中間目標】（平成 24 年度末）

- ・単体デバイスとして、クロスポイント型メモリセル試作と動作実証。
- ・データ転送速度 200MB/s を、従来の 1/3 の電力（200mW）で可能とする単体デバイスの書き込み動作、およびさらなる高速低電力化の可能性の根拠の提示。

【最終目標】（平成 26 年度末）

- ・クロスポイント型メモリセルを集積化したメモリアレー試作と動作実証。
- ・書き換え回数 10^6 回以上の達成。
- ・データ転送速度 400MB/s の高速動作実証。
- ・従来の 1/10 の電力（66mW）の低電力動作実証。
- ・メモリセル面積 $4F^2(*2)$ のメモリアレーによる高集積性実証。

(*2) F ; 最小加工寸法

研究開発項目③「配線切り換えを可能とするスイッチを対象とした、低電流・高速書き換え、高オン・オフ抵抗比、小面積などの機能を有する超低電圧・不揮発スイッチデバイスの開発」

1. 研究開発の必要性

高度情報化社会の発展には、IT ネットワーク機器・車載電子機器・情報家電機器・モバイル機器など、様々な用途で用いられるロジック集積回路の性能向上が不可欠である。近年、電子機器の製品サイクルが短縮し、短 TAT、少量多品種生産、頻繁な仕様変更等が必要となってきたため、ロジック集積回路の一部または全部の回路を再構成可能にした、プログラマブルロジックへのニーズが高まっている。

プログラマブルロジックは、電子機器に組み込まれた後もその回路構成を変えられるため、ユーザーのニーズに沿った機能変更・追加、バグ修正、さらに不具合や劣化した回路の切り離し等をユーザーの手元で行えるようになる。柔軟なプログラマブルロジック集積回路を電子機器に組み込むことにより、ユーザーの意図した機能・動作が実現できるようになり、自然な形で人のニーズを満たし、行動を支援する“ヒューマンセントリック”な電子機器が提供できる。しかしながら、従来のプログラマブルロジックは、その高い消費電力のためにコンシューマ市場へ浸透していなかった。したがって、プログラマブルロジックデバイスの動作時および待機時の電力を削減することにより、低炭素社会を実現することが強く望まれる。

現在のプログラマブルロジックデバイスでは回路を再構成するスイッチに、パストランジスタと SRAM を組み合わせた SRAM スイッチが用いられている。しかしながら、上述のとおり、動作時および待機時の電力が大きく、低消費電力化が強く求められている。そこで、本研究では、低消費電力・低炭素社会を実現するため、プログラマブルロジックの大幅な低消費電力化が実現可能である技術の開発を行う。

2. 研究開発の具体的内容

配線切り換えを可能とするスイッチを対象とした、ロジック集積回路の低消費電力化・低電圧化に対応可能であり、かつ、スイッチの書き換え時、および保持時の低消費電力化を実現する超低電圧・不揮発スイッチデバイスの開発を行う。具体的には、オン・オフ抵抗比が大きく低電圧に対応可能であり、スイッチ素子の面積が小さく配線容量、およびスイッチ容量が低容量であり、書き換えに必要な書換え電流と書換え速度の積（電荷量）が小さく低電力書き換えが可能であるスイッチデバイスを実現する。

- ・スイッチ素子材料、構造および集積化プロセスの開発。
- ・本スイッチ素子に最適な回路技術の開発および既存のロジック集積回路との融合。
- ・素子の信頼性向上を目的とした機構解明および信頼性保証への基礎技術確立。

3. 達成目標

プログラマブルロジックの低消費電力化を実現できる、不揮発配線切り換えスイッチを開発する。その際、以下の条件を目標とする。

【中間目標】（平成 24 年度末）

- ・スイッチ素子の材料選定、素子構造の最適化を行い単体素子の動作を検証。
- ・単体素子性能として書換え電流と書換え速度の積が 10^{-10}As 以下、オン・オフ抵抗比 10^5 以上、書き換え回数 10^3 以上の実証。

【最終目標】（平成 26 年度末）

以上の成果に基づき、

- ・大規模集積化に必要なスイッチ素子特性のばらつきを低減。
 - ・300mm ウエハにロジック集積回路を試作し下記を達成する。
- a) 本スイッチにより配線切り換えを行ったロジック集積回路が 0.4V で動作可能であり、その際の消費電力が SRAM スイッチにより配線切り替えを行った従来型 1.2V 動作ロジック集積回路の 1/10 以下。
- b) スイッチ素子面積が同一世代の SRAM スイッチを用いたプログラマブルロジックデバイス (PLD) に比べ 1/20 以下。

研究開発項目④「集積回路チップ内において、機能ブロックの三次元集積を実現するための、微細幅・超低電気抵抗、超高アスペクト比配線・材料技術の開発」

1. 研究開発の必要性

集積回路の高集積化には、個々の素子同士を接続するための多層配線が不可欠である。これらの配線には現在、Cu、W等の金属材料が用いられているが、配線寸法の微細化、配線膜厚の薄膜化に伴って、結晶粒界や界面での電子の非弾性散乱効果による配線抵抗の増大が顕著になりつつある。既に配線幅 100nm を下回る領域で、この増大が現実のものとなりつつあるが、平成 28 年頃に予想される配線幅 10nm 前後の領域では、大幅な抵抗上昇が生じ、従来の金属材料では所要の性能を実現できない。

また、急速に進みつつある不揮発素子等の機能ブロックの三次元集積のためには、微細でかつこれまでにない超高アスペクト比（コンタクトホールの深さと直径の比）のコンタクト開発が求められている。現在までに、10 を超えるアスペクト比への W など金属の埋め込み技術が開発されているが、将来的にはアスペクト比 30 の埋め込みが必要になると予想されている。

2. 研究開発の具体的内容

以上のような必要性に基づいて、ナノカーボン材料を用いて、微細線幅・長距離に対応した横配線技術と微細径・超高アスペクト比に対応したコンタクトホール埋め込み技術の開発を行う。具体的には、300mm 対応の材料成長・加工・配線集積化に関する技術開発とともに、ナノカーボン材料の配線適用に関する理論検討、先行的材料合成・評価等の配線基礎技術開発を行い、大口径での配線技術の有効性を実証する。

3. 達成目標

三次元集積を実現するための、微細幅・超低電気抵抗、超高アスペクト比配線・材料技術を開発する。その際、以下の条件を目標とする。

【中間目標】（平成 24 年度末）

- ・微細線幅（100nm）、低抵抗（シート抵抗 $<50\Omega/\square$ ）の配線実証。
- ・微細直径（90nm）、超高アスペクト比（ ≥ 16 ）のコンタクトホールへのナノカーボン材料埋め込み実証。

【最終目標】（平成 26 年度末）

- ・微細線幅（ $\leq 20\text{nm}$ ）、長距離（0.7mm）、低抵抗（シート抵抗 $\leq 3\Omega/\square$ ）の配線実証。
- ・微細直径（90nm）、超アスペクト比（30）のコンタクトホールへのナノカーボン材料埋め込みと、W 以下の抵抗（接触抵抗を含む）の実証。

研究開発項目⑤「CMOS トランジスタの超低電圧動作、及びリーク電流抑制を同時に実現するための、低しきい値ばらつきトランジスタを集積化するための技術開発、並びに、この技術を用いた高集積機能素子における低電圧動作実証」

1. 研究開発の必要性

ほとんどのエレクトロニクス機器にはシリコン集積回路が搭載されている。これまでのシリコン集積回路においては、主として CMOS トランジスタを微細化、高集積化することによって高機能化、高性能化、低消費電力化を実現してきた。これらの実現への必須要件は、微細化と動作電圧の低減を同時に推し進めることであった。CMOS トランジスタを用いた低消費電力用途の集積回路の動作電圧は、現在のところ 1.2V 程度まで低減されてきたが、素子特性のばらつきを考慮すると動作電圧の下限は 0.6V 前後とされており、このままでは動作電圧の低減が飽和するのは避けられない。また、動作電圧が低減すると、CMOS トランジスタの動作が不安定になるため、動作状態に応じてトランジスタの特性を制御するなどの技術を適用しないと、動作性能の低下やリーク電力の増大などの問題が生じる。このため、シリコン集積回路の消費電力を現状の 1/10 以下に低減するためには、主要素子である CMOS トランジスタの動作電圧を 0.4V 以下に低減できる技術や、使用状況に応じて動作条件を最適に制御する技術の確立が不可欠である。

2. 研究開発の具体的内容

動作電圧低減の主たる阻害要因である、しきい電圧ばらつきを低減でき、かつ、使用状態に応じて動作条件を変化させる基板バイアス電圧制御が可能な構造を有するナノトランジスタ構造デバイスを開発すると共に、それを集積化するために必要な技術開発を行う。

- ・ 0.4V 以下の低い電源電圧において個々のトランジスタの動作を最適化するための、シミュレーション、試作および評価。
- ・ ナノトランジスタ構造デバイスを用いた、基板バイアス電圧制御技術の開発および低電圧動作回路の設計指針の提示。
- ・ ナノトランジスタ構造デバイスと既存の CMOS トランジスタを集積した、融合集積化技術の開発。融合集積デバイス特有の信頼性阻害要因の解析と、大規模集積化試作による、実用に耐える信頼性確立への指針の提示。
- ・ 融合集積化 LSI のための設計情報の取得と設計環境構築への指針の提示。
- ・ 特定のアプリケーションを想定した回路における、消費電力低減効果の検証。

3. 達成目標

ナノトランジスタ構造デバイスと既存の CMOS トランジスタを融合集積化するための技術開発、並びに、この技術を用いた高集積機能素子における低電圧動作実証を行う。

その際、以下の条件を目標とする。

【中間目標】（平成 24 年度末）

- ・ 100 万個以上のトランジスタで、平均 $\pm 0.1V$ 以下（ $\pm 5\sigma$ ）の局所しきい電圧ばらつきの達成。
- ・ 低い電源電圧に動作を最適化し、基板バイアス制御技術を適用したナノトランジスタ構造デバイスを集積した 1Mbit 以上の SRAM での、0.4V 動作の実証。

【最終目標】（平成 26 年度末）

以上の成果を基に、

- ・ ナノトランジスタ構造デバイスと既存の CMOS トランジスタとの融合集積化技術を確立するとともに、その設計環境構築への指針を提示。
- ・ 従来デバイスに比較して消費電力を 1/10 に低減できる基盤技術を確立するとともに、実用化回路レベルでの達成目処を提示。

研究開発項目⑥「BEOL 設計・製造基盤（プラットフォーム）開発」

1. 研究開発の必然性

低炭素社会の実現には、エレクトロニクス機器の低電圧動作が必要である。これまでのシリコン集積回路においては、主として CMOS デバイスを微細化、高集積化することによって高機能化、高性能化、低消費電力化を実現してきた。しかし、ロジック集積回路の動作電圧には、CMOS デバイスの特性ばらつきなどに起因する低電圧化限界があり、さらなる低電圧動作は難しい状況になっている。

この課題を解決するために、IT イノベーションプログラム「低炭素社会を実現する超低電圧デバイスプロジェクト」の一環として、抵抗変化型の機能材料をシリコン集積回路の配線層の一部として作り、シリコン集積回路に情報の不揮発性を付加することで、革新的な超低電圧動作と高機能化を実現するためのプロジェクトが始まっている。

本プロジェクトの一環として、平成 22 年度補正予算による研究開発において、材料や構造の異なる超低電圧・不揮発デバイスを、300mm ウエハ CMOS 基板上に配線層（BEOL）の一部として作製するための BEOL 設計・製造基盤（プラットフォーム）開発を加速させ、上記デバイスの実用化実証の早期実現に資することを目的とする。

2. 研究開発の具体的内容

①BEOL 設計基盤開発

BEOL 製造基盤を用いて、様々な新材料・新構造デバイスを配線層の一部として作るために必要な、デバイス・配線などの設計基盤を開発する。具体的には、パターン設計ツール、パターン設計に際しての OPC（Optical Proximity Correction）ツール、検証ツール、パターン検査用電子顕微鏡等のツールと評価機器を導入し、PDK（Process Design Kit）を開発する。

②BEOL 製造基盤開発

300mm ウエハ CMOS 基板上に、下地 CMOS との位置関係など、デザインルールの整合性を保ちながら、配線層の一部として、様々な新材料・新構造デバイスを形成するための製造技術を開発する。特に、シリコン LSI では通常使用しない新材料の導入に際して、相互汚染や熱耐性、さらには、プロセス雰囲気などがデバイスに及ぼす影響という観点から、それぞれのデバイスの特性を損なうことのない BEOL 製造基盤を開発する。具体的には、新材料上での層間絶縁膜形成技術、新材料の一部が露出するエッチング技術、汚染防止技術、汚染除去技術、汚染評価技術などからなる、BEOL プロセスレシピと汚染防止のための管理プロトコルを開発する。また、そのために必要な、層間絶縁膜形成装置、層間絶縁膜のドライエッチング装置、化学的機械研磨装置などの装置を導入する。

3. 達成目標

【最終目標】（平成 23 年度末）

個別デバイス（研究開発項目①～③）の研究開発を推進するための共通設計基盤として、BEOL 設計・製造基盤（プラットフォーム）を開発する。その際、以下の条件を目標とする。

- ① 新材料や新構造デバイスに共通で使え、かつ、新材料の相互汚染や熱耐性、さらには、プロセス雰囲気の影響などの観点から、それぞれのデバイスの特性を損なうことのない、BEOL プロセスレシピの作成。
- ② 相互汚染防止、汚染除去、汚染評価などからなる管理プロトコルの作成。
- ③ PDK として、設計ルール、配線特性パラメータ、OPC ルールの策定。

半導体分野

我が国は、インターネットやその他の高度情報通信ネットワークを通じて自由かつ安全に多様な情報又は知識を世界的規模で入手し、共有し又は発信することにより、あらゆる分野における創造的かつ活力ある発展が可能となる高度情報通信ネットワーク社会の形成を目指し、電子政府始め様々な取り組みを推進している。しかし、その一方で、大幅に増大しているネットワーク・トラフィックと電力消費量の爆発的増大、情報システムのトラブルの原因となるソフトウェアの安全性・信頼性の低下、増加の一途をたどるアタック、ウイルス等の重要な課題が顕在化している。

こうしたことから、情報家電等 IT の利活用と社会システムとしての安全性・信頼性の確保とともに、その基盤となる IT 産業の技術力、国際競争力の強化を目標として、情報通信関連技術を半導体、ストレージ・不揮発性メモリ、コンピュータ、ネットワーク、ユーザビリティ（ディスプレイ等）及びソフトウェアの 6 分野に分け、今後 10 年程度を見据えた技術戦略マップを作成した。

半導体は、情報家電、自動車、産業機械、医療機械等、様々な製品の付加価値を高める非常に重要な産業のコア部品であるが、半導体産業を発展させ競争力をつけていくためには、世界各国での激しい市場競争に打ち勝つための莫大な研究開発費と技術戦略が必要となっている。本技術戦略マップでは、国際半導体ロードマップ（ITRS）の中から、特に我が国に必要な重要技術を抽出し、技術開発成果の産業への導入シナリオ、ロードマップをとりまとめている。

また、半導体分野の技術は、ナノ・部材技術やシリコン以外の材料を活用して深化する度合いが増えてきており、これを考慮して策定している。

半導体分野の技術戦略マップ

I. 導入シナリオ

(1) 半導体分野の目標と将来実現する社会像

半導体技術は、情報家電、自動車等の製品に組み込まれて初めてその機能を発揮するものであり、技術力のみで国際市場のシェアを確保できる分野ではないが、その技術は、「技術戦略マップに示された技術により実現できる将来社会イメージ」の中でも、ユーザビリティ技術、ネットワーク技術等と合わせて、将来のユビキタス時代を作り上げるコア技術であり、半導体技術を高度化していくことが、全ての基礎となる。具体的には、従来からの方法である微細化による半導体の高性能化、省エネ化を強力に進めるとともに、微細化以外の方法で高機能な新しい半導体を実現させていくことが必要である。

(2) 研究開発の取組

研究開発の推進については、開発目標を戦略的に設定するとともに、効率的な研究開発体制の構築と部材産業、製造装置産業等との垂直連携の強化等が重要である。

特に、半導体分野においては、国際ロードマップを意識し、その中で設計、プロセス、検査、実装等の各製造工程に係る研究開発と連携をとりつつ一体的に取り組むとともに、次世代及び次々世代の技術の開発を国と民間との適切な役割分担の下に行うことが必要である。

我が国では、「次世代半導体材料・プロセス基盤技術の開発（MIRAI）プロジェクト」（2001～2010年度）で半導体の要素技術を開発し、その成果をロードマップに従って順次、民間コンソーシアムである株式会社半導体テクノロジーズ（Selete）や民間企業に直接移転し、大きな成果を上げている。プロジェクトの成果の移転については、その技術が使われるタイミングを計って移転することが非常に重要である。

その他、製造時のプロセスのばらつきを考慮した設計手法の開発を行う「次世代プロセスフレンドリー設計技術開発」（2006～2010年度）、立体構造による多様な用途に応じた新機能デバイスを実現する「ドリームチップ開発プロジェクト」（2008～2012年度）、高速かつ不揮発性能を有するメモリを開発する「高速不揮発メモリ機能技術開発」（2010～2012年度）、新規のナノ機能材料や、新規のナノデバイス構造を適用し超低電圧（0.4V以下）で動作するデバイスを開発する「低炭素社会を実現する超低電圧デバイスプロジェクト」（2010～2014年度）等を実施している。

(3) 関連施策の取組

研究開発成果を産業化させるにあたって、制度等様々な障壁等を低くする施策や国際連携や標準化等によって、成果を導入しやすくすることが必要である。

具体的には、以下の通り。

〔起業・事業支援〕

- ・社団法人半導体ベンチャー協会と協力して、半導体ベンチャーの育成支援等を行う。

[規則・制度改革]

- ・高度情報通信ネットワーク社会形成基本法（IT 基本法）による高度情報通信ネットワーク社会の形成に関する施策の推進

[基準・標準化]

- ・半導体集積回路の国際標準化は、IEC（IEC:International Electrotechnical Commission 国際電気標準会議）では、TC47 及びその下の SC で審議されている。このうち、日本は SC47A、47E で国際議長を、SC47D で国際議長及び幹事、SC47F で国際幹事を務めている。また、ナノエレクトロニクス分野では、ナノテクノロジーとして TC113 を 2006 年に新設し、用語の定義や計測法などについて標準化が始まった。
- ・一方、ISO/IEC 以外の標準化活動として、MIRAI プロジェクトの成果を活用した HiSIM モデルが、大学、産業界の積極的な活動の結果、2007 年 12 月に SCC で国際標準となった。このように、研究開発の成果を使える環境を作り出すために、国際標準化を推進するとともに、これを複数の技術世代にわたる継続的な取組とすることが必要である。

[国際連携・協力]

- ・知的財産権保護、環境対策、非特惠原産地規則、関税対策等の課題を解決するためには、半導体産業がグローバル化しているために国内のみの活動では不十分である。そのため、日本、欧州、米国、韓国、台湾、中国の 6 極でこれら半導体に関する課題について解決策を検討するため、半導体政府当局会合（GAMS）を行っている。

[他省庁との連携]

- ・次々世代の半導体技術であるナノエレクトロニクス分野では、ナノエレ政策推進会議を経済産業省・文部科学省で設置し、互いに有機的連携の下に、ナノエレクトロニクス関連のプロジェクトが 2007 年度から推進されている。

[産学官連携]

- ・産学官で構成する「つくば半導体協議会」等の産学官連携の場を活用し、情報交換から具体的な連携までを行っている。
- ・国内で最もナノテクノロジーの研究設備・人材が集積するつくばにおいて、世界的なナノテクノロジー研究拠点の構築が 2008 年度から進められている。2009 年 6 月には、筑波大学、物質・材料研究機構、産業技術総合研究所、及び日本経済団体連合会の 4 者による共同宣言「つくばナノテクノロジー拠点形成の推進について」が発表されている。

[プロジェクト等間の連携]

- ・半導体製造は、従来のように設計・前工程・後工程と工程毎に技術を開発しても、微細化が進むに連れ、特性バラツキや信号遅延などの問題が深刻化し、工程間の連携が不可欠となってきている。そのため、例えば、設計分野の「次世代プロセスフ

レンドリー設計技術開発 (DFM)」プロジェクトと MIRAI 中の「D2I (マスク設計・描画・検査総合最適化技術開発)」プロジェクト間で、データ交換や相互での評価などを実施している。今後とも、プロジェクト間の連携の必要性は高まると予測され、柔軟な連携が求められる。

(4) 海外での取組

IBM (米アルバニー)、IMEC (ベルギー) 等のコンソーシアムに、世界から半導体メーカーの研究者が参画し、最先端の半導体研究を行っている。

(5) 民間での取組

半導体メーカー 9 社で組織される株式会社 半導体テクノロジーズ (Selete) や株式会社 半導体理工学研究センター (STARC) の他、半導体の材料の評価を行うコンソーシアムとして次世代半導体材料研究組合 (CASMAT) が活動している。

(6) 改訂のポイント

- 関連施策の取組等について最新の情報に更新したほか、目標年度を 2010 年度から 2020 年度までに更新した。

II. 技術マップ

(1) 技術マップ

国際半導体技術ロードマップ (ITRS) 2009 を踏まえ、我が国の研究開発を戦略的に推進するため、我が国が得意とする低消費電力化技術を中心に技術項目を大、中、小項目に分類。大項目では LSTP デバイス技術、プロセス技術やリソグラフィ、設計 (SoC 設計) など大きく 12 項目に分け、これらを、体系化するとともに、細分類化を行っている。

(2) 重要技術の考え方

半導体の技術を、その事業形態 (IDM、ファウンドリメーカー、ファブレスメーカー、装置・材料メーカー、ソフトベンダー) から見て重要技術に分類し、更に、半導体の安全・信頼性から見た重要技術、省エネの観点から見た重要技術に分類整理を行った。

(3) 改訂のポイント

- 大項目にプブリンテッド・エレクトロニクスを新たに新設するとともに、LSTP デバイス技術、設計 (SoC 設計)、テスト技術、評価・解析技術の中項目以下の内容を、技術動向を踏まえ一部改訂した。

III. 技術ロードマップ

(1) 技術ロードマップ

技術マップに示した重要技術ごとに、研究開発により達成されるべきスペックを時間軸上に表した。

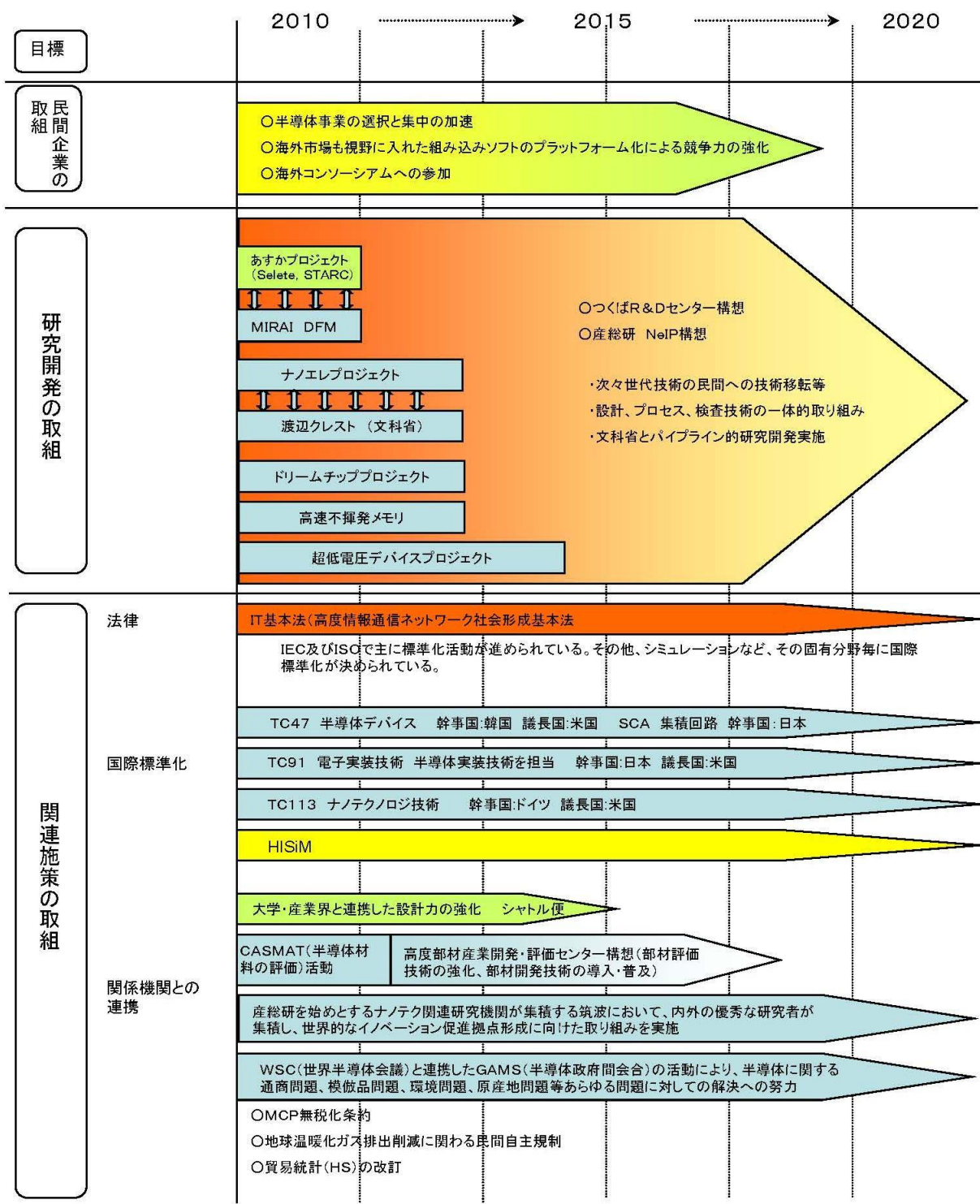
(2) 改訂のポイント

- ロードマップの対象期間の変更
開始年は2010年、終了年は2019年の10年間とした。
- ITRS2009や半導体技術開発の動向を踏まえ、半導体の微細化のトレンドを見直した。
- 特に「ディスクリートデバイス」では要求スペックの詳細情報を充実したほか、「プリントエレクトロニクス」について、新たにロードマップを記載した。

IV. その他の改訂のポイント

- **ベンチマーキングの改訂【半導体分野の国際競争ポジション】**
 - 半導体製品別シェアの品目を拡大し、最新情報に更新した。

半導体分野の導入シナリオ



略語説明

- A:** AEC = Advanced Equipment Control
ALD = Atomic Layer Deposition
APC = Advanced Process Control
ArF = Argon Fluoride
- B:** BISR = Built-In Self Repair
BIRA = Built-In Redundancy Allocation
- C:** CMP = Chemical Mechanical Polishing
CMOS = Complementary Metal-oxide Semiconductor
CVD = Chemical Vapor Deposition
- D:** DD = Dual Damascene
DFM = Design For Manufacturing(Manufacturability)
DFR = Design For Reliability
DFT = Design For Testability
DRAM = Dynamic Random Access Memory
DRC = Design Rule Check
DSA = Directed Self Assembly
- E:** EEQA = Enhanced Equipment Quality Assurance
EEQM = Enhanced Equipment Quality Management
EM = Electro Migration
EUV = Extreme UltraViolet
- F:** FDC = Fault Detection and Classification
FDSOI = Full Depletion Silicon On Insulator
FET = Field Effect Transistor
- G:** GOI = Germanium Oxide Insulator
- H:** HW = HardWare
- I:** IP = Intellectual Property
- K:** KGD = Known Good Die
- L:** LER = Line Edge Roughness
LSTP = Low Standby Power
- M:** MBE = Molecular Beam Epitaxy
MDP = Mask Data Preparation
ML2 = MaskLess Lithography
MOS = Metal-Oxide Semiconductor
MRC = Mask Rule Check
- N:** NGL = Next Generation Lithography
NVRAM = NonVolatile Random Access Memory
- O:** OEE = Overall Equipment Efficiency
OPC = Optical Proximity effect Correction
OS = Operating System
- P:** PCB = Printed-Circuit Board
PVD = Physical Vapor Deposition
- Q:** QTAT = Quick Turn Around Time
- R:** RET = Resolution Enhancement Technology
RF = Radio Frequency
RTL = Register Transfer Level
- S:** SAM = Self-Assembled Monolayer
S/D = Source / Drain
SGOI = Silicon Germanium Oxide Insulator
SiP = System in Package
SM = Stress Migration
SoC = System on a Chip
SOD = Spin On Dielectric
SOI = Silicon On Insulator
SRAM = Static Random Access Memory
STIL = Standard Test Interface Language
SW = SoftWare
- T:** TDDB = Time Dependent Dielectric Breakdown
TEG = Test Element Group
TFT = Thin-Film Transistor
TL = Transaction Level
- U:** UTB = Ultra Thin Body

●事前評価書

		作成日	平成 22 年 12 月 10 日
1. 事業名称 (コード番号)	低炭素社会を実現する超低電力デバイスプロジェクト		
2. 推進部署名	電子・材料・ナノテクノロジー部		
3. 事業概要	<p>(1) 本プロジェクトは、ナノテクノロジーで培われた新規の機能材料や新規のデバイス構造に立脚して、集積回路の低電圧動作と高機能・高集積化を実現し、集積回路の低電力化を通してエレクトロニクス機器の消費電力を大幅に低減する技術を確立することを目的として実施する。</p> <p>(2) 事業規模：総事業費（国費分） 17.14 億円（委託）</p> <p>(3) 事業期間：平成 22 年度～23 年度（2 年間）</p>		
4. 評価の検討状況			
<p>(1) 事業の位置付け・必要性</p> <p>半導体技術は、情報家電、コンピュータ、通信装置、自動車、医療機器など、我が国の経済を支える先端産業の競争力強化に不可欠な基盤技術である。その発展を支えているのは、シリコン集積回路とその基本素子（デバイス）の CMOS トランジスタであり、これまで、CMOS トランジスタの寸法を微細化するプロセス技術と、微細デバイスを機能させる回路技術により、高性能化・低電力化を実現してきた。</p> <p>低炭素社会の実現には、上記に代表されるエレクトロニクス機器の究極的な低電圧動作による飛躍的な低電力化が必須であり、デバイスの低電圧動作と不揮発動作が不可欠な技術要素である。CMOS 基本回路の消費電力は電圧の自乗に比例するので、電圧を 1/3 にすれば、単純には消費電力がほぼ 1/10 になる。また、電源を遮断しても情報が保持される不揮発デバイスを使えば、待機状態での消費電力がゼロになり、これも、消費電力の低減に大きな効果をもたらす。このように、動作状態では電圧の低減で、待機状態では不揮発動作を使うことで、消費電力の低減が達成される。これらの機能を満たす新しい超低電圧・不揮発デバイスの開発が必要である。</p> <p>欧米においては、大型の産学連携ナノエレクトロニクス拠点の整備がここ数年で飛躍的に進み、超低電圧・不揮発デバイスをはじめとした、次世代デバイスに関する実用化を目指した研究が活発に行われ、今後、開発競争は熾烈化するものと考えられる。海外の研究開発活動の活発化により、このような状況を放置すれば、超低電圧・不揮発デバイスに関する我が国の技術開発の競争力を失いかねない。</p> <p>以上のように、本プロジェクトは、わが国の競争力の確保と、エネルギー消費削減・低炭素化の両方に貢献すると期待され、本プロジェクト推進の必要性は高い。</p>			

(2) 研究開発目標の妥当性

各研究開発項目において、現行デバイスに比べ、大幅な電力低減を目標としており、妥当な目標設定と考えられる

主な研究開発目標としては、

研究開発項目①「ロジック集積回路内1次メモリを対象とした、高集積・高速特性・高書き換え耐性などの機能を有する超低電圧・不揮発デバイスの開発」

- ・1.2V動作SRAMの1/10の電力の実証。

研究開発項目②「外部記憶の高速低電力データ転送を実現する、高集積・高速低電力書き込み特性などの機能を有する超低電圧・不揮発デバイスの開発」

- ・データ転送速度200MB/sを、従来の1/3の電力(200mW)で可能とする単体デバイスの書き込み動作、およびさらなる高速低電力化の可能性の根拠の提示。

研究開発項目③「配線切り換えを可能とするスイッチを対象とした、低電流・高速書き換え、高オン・オフ抵抗比、小面積などの機能を有する超低電圧・不揮発スイッチデバイスの開発」

- ・消費電力がSRAMスイッチにより配線切り替えを行った従来型1.2V動作ロジック集積回路の1/10以下となる超低電圧・不揮発スイッチデバイスの実現。

研究開発項目④「集積回路チップ内において、機能ブロックの三次元集積を実現するための、微細幅・超低電気抵抗、超高アスペクト比配線・材料技術の開発」

- ・微細線幅(100nm)、低抵抗(シート抵抗<50Ω/□)の配線実証。
- ・微細直径(90nm)、超高アスペクト比(≧16)のコンタクトホールへのナノカーボン材料埋め込み実証。

研究開発項目⑤「CMOSトランジスタの超低電圧動作、及びリーク電流抑制を同時に実現するための、低しきい値ばらつきトランジスタを集積化するための技術開発、並びに、この技術を用いた高集積機能素子における低電圧動作実証」

- ・1Mbit以上のSRAMでの、0.4V動作の実証。

研究開発項目⑥「BEOL設計・製造基盤(プラットフォーム)開発」

- ・個別デバイス(研究開発項目①～③)の研究開発を推進するための共通設計基盤として、BEOL設計・製造基盤(プラットフォーム)を開発する。

以上は、2010年12月29日、基本計画検討委員会での有識者との議論を踏まえたものであり、妥当と判断する。

これら目標設定については今後も委員会ならびに有識者ヒアリングなどで聴取した意見を適切に反映させる。

<p>(3) 研究開発マネジメント</p> <p>高い技術を有する民間企業、大学等の研究機関が有機的に研究活動を推進できる研究組合を中心とした最適な実施体制を構築する。また、競争力確保のため知財権の確保も推進する。外部有識者の意見を求め、その結果を踏まえて事業全体の予算配分や計画について見直しを行い、適切な運営管理に努める。さらに別途定められた技術評価に係る指針、および技術評価実施要領に基づき、技術的、および産業技術政策的観点から、研究開発の意義、目標達成度、成果の技術的意義、将来の産業への波及効果等について、外部有識者による評価を実施する。</p>
<p>(4) 研究開発成果</p> <p>本研究開発の成果により、集積回路の低電圧動作と高機能・高集積化が実現され、また、集積回路の低電力化を通してエレクトロニクス機器の消費電力を大幅に低減するデバイス技術の提供が可能となる。</p> <p>さらに、これら低電力デバイスの開発においては、材料開発・デバイス構造開発・プロセス開発・製造装置開発など広い範囲の連携が必要と想定される。それぞれが幅広く、かつ有機的に関係するため、デバイス開発に直接かかわる事業体だけでなく、材料メーカー、製造装置メーカーをはじめとする種々の関連産業においても、技術の底上げと雇用の促進が期待される。同時に、低電力デバイス開発、統合プロセス開発の専門性を備えた人材の育成が期待できる。</p>
<p>(5) 実用化・事業化の見通し</p> <p>本プロジェクトは平成26年度で終了するが、その後、各デバイス開発を企業において本格化し、プロトタイプによる検証、引き続き量産化開発を実施する。これらより、成果の実用化可能性、波及効果および事業化までのシナリオが見込まれると考える。</p>
<p>(6) その他特記事項</p> <p>特になし</p>
<p>5. 総合評価</p> <p>本プロジェクトは、大幅な低電力化を目指し、低電圧デバイス、および、不揮発デバイスを、IT 機器システム全般をほぼ網羅するかたちで同時に開発するという挑戦的な研究開発であり、かつ、異なる企業体間、ないし産学官の連携がもっとも奏功すると期待できる。異なる事業体の連携推進というNEDO機能が貢献できる内容であるので、NEDOが実施する事業として適切であると判断する。</p>

●論文リスト

【研究発表・講演】

番号	発表者	所属	タイトル	発表誌名、ページ番号	査読	発表年	月日
1	杉井 信之	LEAP	Ultralow-Power SOI Device Technology	EUROSOI 2011 Conference, Training Course	無	2011	1/17
2	住広 直孝	LEAP	低炭素社会を実現する超低電圧デバイスプロジェクト	JEITA グリーン IT 推進協議会 (GIPC) 技術検討委員会	無	2011	1/25
3	高浦 則克	LEAP	IEDM 報告会(1)全体動向	IEEE_DES_Japan_Chapter 総会 および IEDM 報告会	無	2011	1/27
4	吉田 親子	LEAP	自然酸化 MgO バリアの絶縁破壊特性への CoF e シード層の効果	2011 年春季 第 58 回 応用物理 学関係講演会	無	2011	3/24
5	山崎 雄一	LEAP	ナノカーボン配線応用に向けたグランフェン低 温・高品質成長(1)	2011 年春季 第 58 回 応用物理 学関係講演会	無	2011	3/24
6	山崎 雄一	LEAP	ナノカーボン配線応用に向けたグランフェン低 温・高品質成長(2)	2011 年春季 第 58 回 応用物理 学関係講演会	無	2011	3/24
7	杉井 寿博	LEAP	BEOL デバイスを核として超低電力プラットフォ ーム開発	2011 年春季 第 58 回 応用物理 学関係講演会	無	2011	3/25
8	李 永珉	LEAP	垂直磁化膜を有する内面方式強磁性トンネル接 合	2011 年春季 第 58 回 応用物理 学関係講演会	無	2011	3/25
9	住広 直孝	LEAP	LEAP の役割とオープンイノベーション	2011 年春季 第 58 回 応用物理 学関係講演会	無	2011	3/25
10	山崎 雄一	LEAP	High quality multi-layer graphene grown by low-temperature plasma CVD for future nano-carbon LSI interconnects	Graphene2011	有	2011	4/11
11	高浦 則克	LEAP	相変化デバイスの動向と TIA での研究活動	集積回路研究会 (ICD)	無	2011	4/18
12	杉井 信之	LEAP	0.4-V Technology and its applications	5th FDSOI Workshop	無	2011	4/28
13	長永 隆志	LEAP	Low-power Electronics Association & Project (LEAP) and its role in the development of low-power devices	INC7	無	2011	5/18
14	槇山 秀樹	LEAP	Design Consideration of 0.4V-Operation SOT B MOSFET for Super Low Power Applicat	2011 International Meeting for Future of Electron Devices, Kansai (IMFEDK)	有	2011	5/19
15	高浦 則克	LEAP	Non-Volatile Memories for Storage Device and New Applications	2011 Silicon Nanoelectronics Workshop	有	2011	6/13
16	射場 義久	LEAP	Strain-Engineering for High-Performance STT-MRAM	2011 Symposium on VLSI Technology	有	2011	6/13

番号	発表者	所属	タイトル	発表誌名、ページ番号	査読	発表年	月日
17	木村 紳一郎	LEAP	超低電圧デバイス技術研究組合における低電圧デバイス開発	第75回半導体・集積回路技術シンポジウム	無	2011	7/7
18	杉井 信之	LEAP	LEAPにおける超低電圧デバイス開発と、低ばらつきSOTB(Silicon on Thin Buried Oxide)技術	半導体界面制御技術 第154委員会 第77回研究会	無	2011	7/8
19	射場 義久	LEAP	STT-MRAM 性能向上化のための歪みエンジニアリング手法の提案	応用物理学会シリコンテクノロジー分科会 第139回研究集会 VLSI シンポジウム特集	無	2011	7/21
20	上野 和良	LEAP	熱CVD法によるナノカーボン成長の触媒金属依存症	2011年秋季 第72回応用物理学会学術講演会	無	2011	8/29
21	上野 和良	LEAP	ナノカーボン/Co 配線の制作と電気特性	2011年秋季 第72回応用物理学会学術講演会	無	2011	8/29
22	上野 和良	LEAP	ナノカーボン薄膜への不純物添加の検討	2011年秋季 第72回応用物理学会学術講演会	無	2011	8/29
23	鈴木 真理子	LEAP	四探針法によるMWCNT単体の抵抗測定	2011年秋季 第72回応用物理学会学術講演会	無	2011	8/29
24	落合 隆夫	LEAP	垂直磁化膜を有する面内磁化方式強磁性トンネル接合	2011年秋季 第72回応用物理学会学術講演会	無	2011	8/29
25	斎藤 達朗	LEAP	A study of resistance of CNT and its contact to metals using simplified blanket structure	Advanced Metallization Conference 2011: 21st Asian Session	有	2011	9/12
26	片桐 雅之	LEAP	Fabrication and Characterization of Planarized Carbon Nanotube Via Interconnects	Advanced Metallization Conference 2011: 21st Asian Session	有	2011	9/12
27	上野 和良	LEAP	Fabrication and Electrical Properties of Nanocarbon/Metal Hybrid Interconnects	Advanced Metallization Conference 2011 21st Asian Session	有	2011	9/12
28	酒井 忠司	LEAP	Fabrication and Electrical Properties of Nanocarbon/Metal Hybrid Interconnects	Advanced Metallization Conference 2011 Asian Session	有	2011	9/13
29	岩松 俊明	LEAP	Structural Design of 0.4V-Operation SOTB MOSFET for Super-Low-Power Application	2011 IEEE Subthreshold Microelectronics Conference	有	2011	9/26
30	杉井 信之	LEAP	Road to $V_{min}=0.4V$ LSIs with Least-Variability FDSOI and Back-Bias Control	2011 IEEE International SOI Conference	無	2011	10/3
31	片桐 雅之	LEAP	Fabrication and Characterization of Planarized Carbon Nanotube Via Interconnects	Advanced Metallization Conference 2011	有	2011	10/4
32	斎藤 達朗	LEAP	A study of resistance of CNT and its contact to metals using simplified blanket structure	Advanced Metallization Conference 2011	有	2011	10/4
33	酒井 忠司	LEAP	Nanocarbon Interconnect Activities in LEAP	Cambridge University, CAPE,	無	2011	10/18

番号	発表者	所属	タイトル	発表誌名、ページ番号	査読	発表年	月日
34	住広 直孝	LEAP	Toward the Achievement of Ultra-Low Power Systems by Taking Advantages of BEOL Device	Int. Microprocesses & Nanotechnology Conf. (MNC)2011	無	2011	10/24
35	住広 直孝	LEAP	超低消費電力 LSI デバイス	シリコン超集積化システム 第 165 委員会 第 63 回研究会	無	2011	10/27
36	落合 隆夫	LEAP	Effect of buffer layer on magneto-resistance and current induced magnetization switching in magnetic tunnel junction with a Top-pinned spin-valve structure	56th Annual Conference on Magnetism & Magnetic Materials2011	有	2011	10/30
37	吉田 親子	LEAP	Effects of CoFe Seed layer on Structural and Magneto-transport Properties of MTJs with Natural Oxidized MgO Barrier	56th Annual Conference on Magnetism & Magnetic Materials2011	有	2011	10/31
38	木村 紳一郎	LEAP	Recent Progress in BEOL Devices and Issues for Their Fabrication	33rd International Symposium on Dry Process Symposium	無	2011	11/10
39	増原 利明	LEAP	Challenge of Low Voltage Low Power IC towards Sustainable Future	IEEE Asian Solid-State Circuits Conference (A-SSCC) 2011	有	2011	11/14
40	住広 直孝	LEAP	超低電圧デバイス技術研究組合における低電力デバイス開発	CREST「次世代デバイス」領域研究成果 第 1 回公開シンポジウム	無	2011	11/25
41	和田 真	LEAP	A Crystallographic Relationship between Multi-layered Graphene and Catalytic Metal in Low Temperature Growth	2011 MRS Fall Meeting & Exhibit	有	2011	11/28
42	多田 宗弘	LEAP	Highly Reliable, Complementary Atom Switch (CAS) with Low Programming Voltage Embedded in Cu BEOL for Nonvolatile Programmable Logic	International Electron Devices Meeting(IEDM)2011	有	2011	12/7
43	岡本 浩一郎	LEAP	Conducting Mechanism of Atom Switch with Polymer Solid-electrolyte	International Electron Devices Meeting(IEDM)2011	有	2011	12/6
44	田井 光春	LEAP	次世代不揮発メモリデバイス向け相変化メモリ(P CM)	セミコン・ジャパン 2011	無	2011	12/8
45	杉井 寿博	LEAP	STT-MRAM development with 300-mm facilities at LEAP	第 2 回スピントロニクス集積システム CSIS 国際シンポジウム	無	2012	1/16
46	杉井 寿博	LEAP	LSI の微細化と多機能化の動向	金沢工業大学 工学部電気系電気電子工学科	無	2012	1/20
47	槇山 秀樹	LEAP	Novel Local Ground-Plane Silicon on Thin BOX (SOTB) for Improving Short-Channel-Effect Immunity	EUROSOI 2012	有	2012	1/24
48	高浦 則克	LEAP	不揮発性メモリの現状と今後の展望	反応工学部会 CVD 反応分科会 主催第 14 回シンポジウム	無	2012	1/30
49	高浦 則克	LEAP	IEDM 報告会 (1)全体動向	IEEE EDS Japan Chapter	無	2012	2/1
50	栗野 裕二	LEAP	Remote Plasma CVD technologies for Carbon based LSI interconnects	ISPlasma 2012	有	2012	3/4

番号	発表者	所属	タイトル	発表誌名、ページ番号	査読	発表年	月日
51	酒井 忠司	LEAP	Remote Plasma CVD technologies for Carbon based LSI interconnects	ISPlasma 2012	無	2012	3/4
52	木村 紳一郎	LEAP	BEOLプロセスを用いた超低電圧デバイスの開発	電子情報通信学会シリコン材料・デバイス研究会	無	2012	3/5
53	西出 大亮	LEAP	300mmウエハ対応カーボンナノチューブの合成プロセス開発(1)	2012年春季 第59回 応用物理学関係連合講演会	無	2012	3/15
54	伊東 伴	LEAP	300mmウエハ対応ナノカーボンCMPプロセス開発 I	2012年春季 第59回 応用物理学関係連合講演会	無	2012	3/15
55	岡本 浩一郎	LEAP	原子移動型スイッチデバイスの伝導機構解析	2012年春季 第59回 応用物理学関係連合講演会	無	2012	3/16
56	能代 英之	LEAP	Top-pin 構造を用いた多値 MRAM	2012年春季 第59回 応用物理学関係連合講演会	無	2012	3/15
57	角田 浩司	LEAP	キャップ層が MgO/CoFeB 界面の垂直磁気異方性に与える影響	2012年春季 第59回 応用物理学関係連合講演会	無	2012	3/15
58	高浦 則克	LEAP	クロスポイント型相変化デバイスの成膜・加工技術	2012年春季 第59回 応用物理学関係連合講演会	無	2012	3/15
59	田井 光春	LEAP	相変化メモリデバイスの低電力化の為の材料・素子構造検討	2012年春季 第59回 応用物理学関係連合講演会	無	2012	3/15
60	酒井 忠司	LEAP	配線応用に向けたグラフェン・カーボンナノチューブの低温合成	2012年春季 第59回 応用物理学関係連合講演会	無	2012	3/15
61	山崎 雄一	LEAP	触媒金属ファセットを起点とする低温グラフェン成長	2012年春季 第59回 応用物理学関係連合講演会	無	2012	3/15
62	松本 貴士	LEAP	Investigation of the transition metal catalyst nanostructure for the synthesis of highly vertical aligned multi-walled carbon nanotubes	2012 MRS Spring Meetings & Exhibits	有	2012	4/9
63	吉田 親子	LEAP	Reliability Study of Magnetic Tunnel Junction with Naturally Oxidized MgO Barrier	2012 IEEE International Reliability Physics Symposium	有	2012	4/15
64	吉田 親子	LEAP	Total Ionizing Dose Effects on Magnetic Tunnel Junctions	INTERMAG 2012	有	2012	5/7
65	岡本 浩一郎	LEAP	Conducting Mechanism Analysis of Atom Switch Devices using Polymer Solid-electrolyte	The 8th International Nanotechnology Conference (INC8)	無	2012	5/8
66	杉井 寿博	LEAP	STT-MRAM Development for Embedded Memories in Low-power System LSIs	The 8th International Nanotechnology Conference (INC8)	無	2012	5/8
67	片桐 雅之	LEAP	Integration technology for carbon nanotube via interconnects	The 8th International Nanotechnology Conference (INC8)	無	2012	5/8

番号	発表者	所属	タイトル	発表誌名、ページ番号	査読	発表年	月日
68	木村 紳一郎	LEAP	Recent Progress in Low-power Electronics Association & Project (LEAP) Aiming for Low Power Electronics	The 8th International Nanotechnology Conference (INC8)	無	2012	5/9
69	多田 宗弘	LEAP	Complementary Atom Switch (CAS) with Low Programming Voltage Embedded in Cu BEOL for Nonvolatile Programmable Logic	The 8th International Nanotechnology Conference (INC8)	無	2012	5/10
70	阪本 利司	LEAP	超低電力プログラマブルロジックを実現する原子スイッチ	学振 151 委員会	無	2012	5/29
71	水谷 朋子	LEAP	Reduced Drain Current Variability in Fully Depleted Silicon-on-Thin-BOX(SOTB) MOSFETs	IEEE Silicon Nanoelectronics Workshop	有	2012	6/10
72	高浦 則克	LEAP	超低消費電力 LSI デバイス	SFJ2012	無	2012	6/12
73	山本 芳樹	LEAP	Poly/High-k/SiON Gate and Novel Profile Engineering for Low Power Silicon on Thin BOX(SOTB)CMOS Operation	VLSI 2012	有	2012	6/12
74	吉田 親子	LEAP	Demonstration of Non-volatile Working Memory	VLSI 2012	有	2012	6/12
75	伴野 直樹	LEAP	Nonvolatile Crossbar Switch Block with Atom Switch integrated on a 65 nm CMOS platform	2012 SYMPOSIUM ON VLSI TECHNOLOGY	有	2012	6/12
76	木村 紳一郎	LEAP	LEAP: Overview and Recent Progress	ICCI(International Consortia Cooperation Initiative) Meeting	無	2012	6/13
77	松本 貴士	LEAP	XAFS and TEM-EELS studies on the electronic state and crystallographic structure of graphene on nickel catalyst	Thirteenth International Conference on the Science and Application of Nanotubes (NT12)	有	2012	6/24
78	杉井 信之	LEAP	Silicon on Thin Buried Oxide (SOTB) Technology for Ultralow-Power (ULP) Applications	2012 Asia-Pacific Workshop on Fundamentals and Applications of Advanced Semiconductor Devices	無	2012	6/29
79	多田 宗弘	LEAP	Complementary Atom Switch (CAS) with Low Programming Voltage Embedded in CuBEOL for Nonvolatile Programmable Logic	Nanodevice Commons	無	2012	7/1
80	岡本 浩一郎	LEAP	The INC8 Japan Day Best Poster Award(1)	Nanodevice Commons	無	2012	7/1
81	住広 直孝	LEAP	超低電圧デバイス技術研究組合における低電力デバイス開発	第76回半導体・集積回路技術シンポジウム	無	2012	7/5
82	杉井 信之	LEAP	Silicon on Thin Buried Oxide (SOTB) Technology for Ultralow-Power (ULP) Applications	CMOS Emerging Technologies conference	無	2012	7/18
83	吉田 親子	LEAP	Reliability Study of Magnetic Tunnel Junction with Naturally Oxidized MgO Barrier	IRPS 報告会	無	2012	7/20

【論文】

番号	発表者	所属	タイトル	発表誌名 ページ番号	査読	発表年
1	吉田親子	LEAP	Micromagnetic study of Current Pulse Induced Magnetization Switching in Magnetic Tunnel junction with Antiferromagnetically and Ferromagnetically Coupled Synthetic free layers	Applied Physics Letters	有	2011
2	山崎雄一	LEAP	Low-temperature grapheme growth originating at crystalline facet of catalytic metal	Applied Physics Express	有	2012
3	斎藤達朗	LEAP	A study on electrical resistance of CNT and its contact to metals using a simplified test structure	Japanese Journal of Applied Physics	有	2012
4	片桐雅之	LEAP	Fabrication and Characterization of Planarized Carbon Nanotube Via Interconnects	Japanese Journal of Applied Physics	有	2012
5	吉田親子	LEAP	Correlation Between Microstructure and Electromagnetic Properties in Magnetic Tunnel Junctions with Naturally Oxidized MgO Barrier	Journal of Applied Physics	有	2012
6	阪本利司	LEAP	Electronic Conduction Mechanism in Atom Switchi using Polymer Solid-Electrolyte	IEEE Transactions on Electron Devices	有	2012
7	多田宗弘	LEAP	Improved Off-state Reliability of Nonvolatile Resistive Switch With low Programming Voltage	IEEE Transactions on Electron Devices	有	2012

【書籍】

番号	発表者	所属	タイトル	出版社	発表年
1	杉井信之	LEAP	Low-Power Electron Devices(in “Green Computing with Emerging Memory” edited by T. Kawahara and H. Mizuno)	Springer	2012
2	高浦則克	LEAP	半導体ストレージ 次世代記憶装置の最新動向 - 速く、軽く、堅牢に	日経 BP 社	2012