

② 先端半導体製造技術の開発

(d) 国際連携による次世代半導体製造技術開発

(d1) 高集積最先端ロジック半導体の製造技術開発

[日米連携に基づく2nm世代半導体の集積化技術と短TAT製造技術の研究開発](#)

(d2) 光電融合に係る実装技術および確定遅延コンピューティング基盤技術開発

(d2-1) 光チップレット実装技術

[光チップレット実装技術の研究開発](#)

(d2-2) 光電融合インターフェイスメモリモジュール技術

[光電融合インターフェイスメモリコントローラの研究開発](#)

(d2-3) 確定遅延コンピューティング基盤技術

[高効率な確定遅延コンピューティング基盤技術の研究開発](#)

(d3) Beyond 2nm世代向け半導体技術開発

[Beyond 2nm及び短TAT半導体製造に向けた技術開発](#)

(d4) 2nm世代半導体のチップレット・パッケージング設計・製造技術開発

[2nm世代半導体のチップレットパッケージ設計・製造技術開発](#)

(d5) 先端パッケージング等を含む後工程高度化プラットフォームの構築

[半導体後工程自動化・標準化の開発・実証に関する研究開発](#)

(e) 次世代メモリ技術開発

(e1) 次世代広帯域・低消費電力HBMの製造技術開発

[次々世代大容量・広帯域メモリHBM4Eの研究開発](#)

(e2) 革新メモリの製造技術開発

[CXL 3Dメモリ向けメモリアレイ技術の研究開発](#)

② 先端半導体製造技術の開発

(f) 次世代半導体設計技術開発

(f1) 2nm世代半導体チップ設計技術開発

[2nm世代半導体技術によるエッジAIアクセラレータの開発](#)

(f2) 自動車用高性能コンピュータ向け最先端SoC技術開発

[先端SoCチップレットの研究開発](#)

(f3) 通信用AI半導体設計技術開発

[チップレットを活用した次世代通信のためのエネルギー効率の高いAI半導体開発](#)

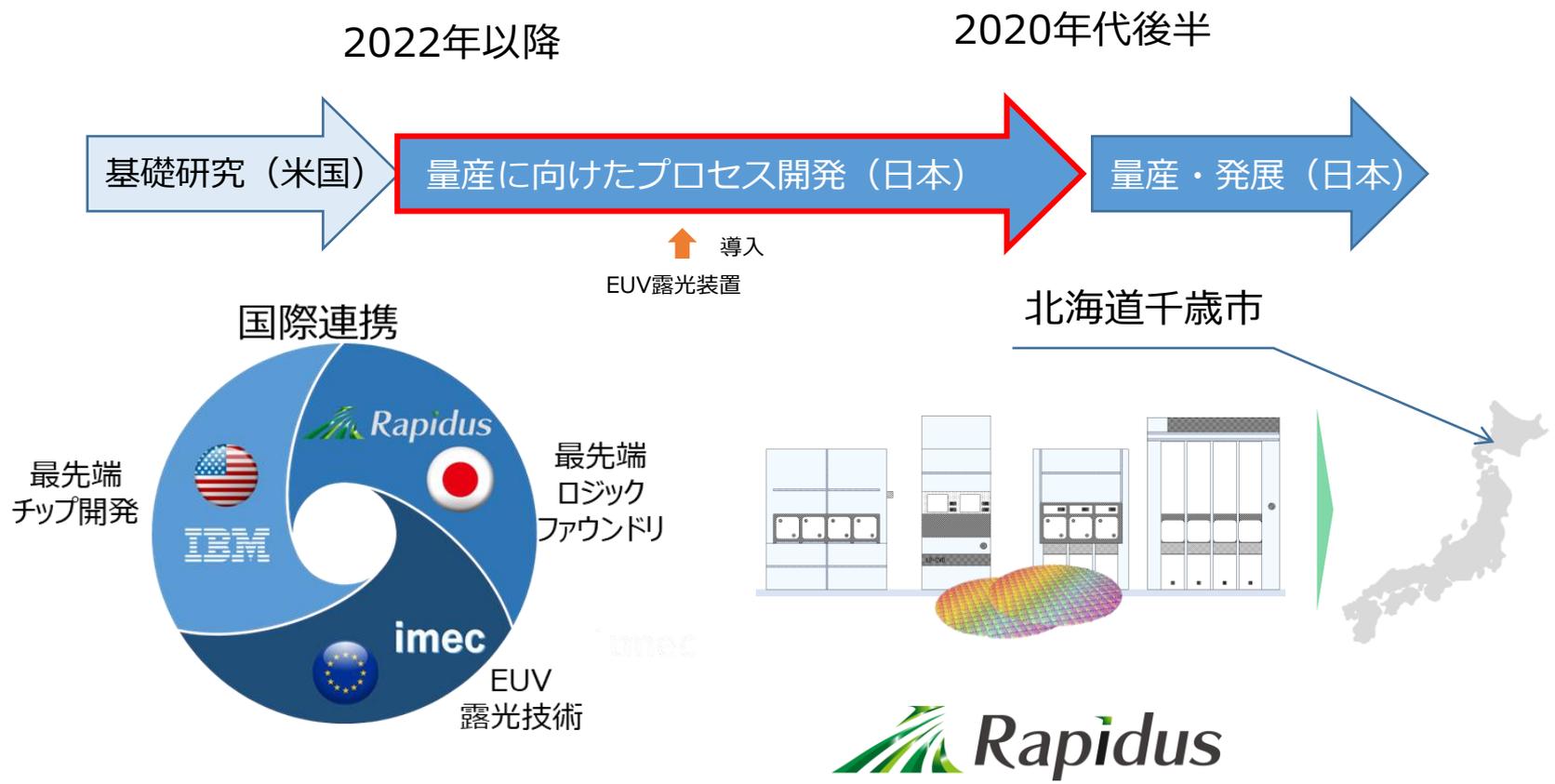
(g) 先端半導体周辺デバイス設計・製造技術

(g1) 車載半導体間データ伝送技術

[統合車載制御システム向け光接続技術の開発](#)

日米連携に基づく2nm世代半導体の集積化技術と短TAT製造技術の研究開発

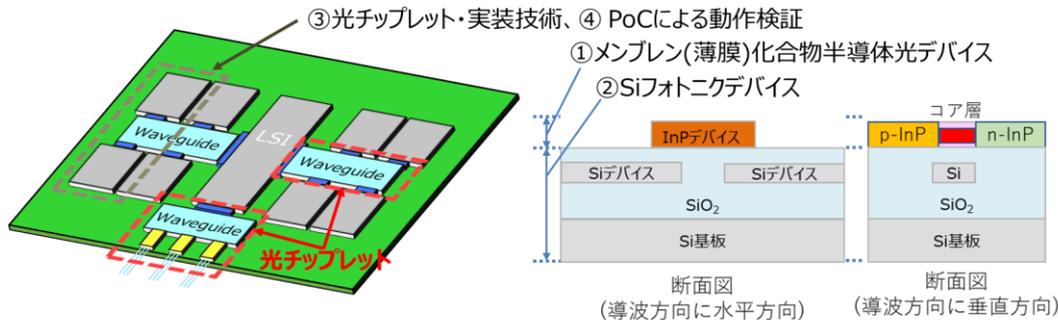
実施者	Rapidus株式会社
概要	<ul style="list-style-type: none"> • 米国IBM社他と連携して2nm世代のロジック半導体の技術開発を行い、国内短TATパイロットラインの構築と、テストチップによる実証を行っていく。 • ベルギーimecとも連携し、EUV露光技術を用いた2nm世代パターニング技術の開発を行う。 • 研究期間終了後は、その成果をもとに先端ロジックファウンドリとして事業化を目指す。



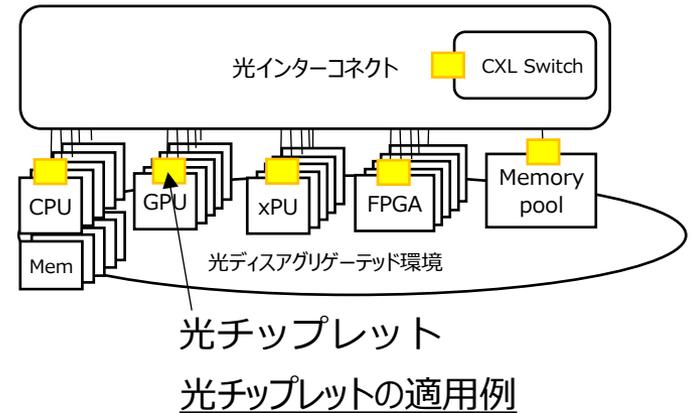
光チップレット実装技術の研究開発

実施者	日本電信電話株式会社、古河電気工業株式会社、NTTインベティブデバイス株式会社、NTTデバイスクロステクノロジー株式会社、新光電気工業株式会社
概要	<ul style="list-style-type: none"> ポスト5Gで必要となる次世代情報通信システムを支えるため、ゲームチェンジにつながる先端半導体将来技術の研究開発として、光電融合技術を用いたパッケージ内光配線技術の開発に取り組む。 これを実現するために光集積回路(PIC)と電子集積回路(EIC)を高密度パッケージング技術を用いハイブリッド実装した光電融合デバイス（光チップレット）の開発を行う。当該技術をロジックIC等を含むパッケージ内光配線に適用することで光ディスクアグリゲータッドコンピューティング等を実現し、システム全体のリソース削減により、低消費電力化を実現する。

LSI間を下記の性能で接続する光チップレットを開発する
 ・帯域密度 $\geq 1 \text{ Tbps/mm}$ 、・エネルギー効率 $\leq 2 \text{ pJ/bit}$



提案する光チップレットの概要



光チップレットの適用例

パッケージ内光接続を実現するための開発項目

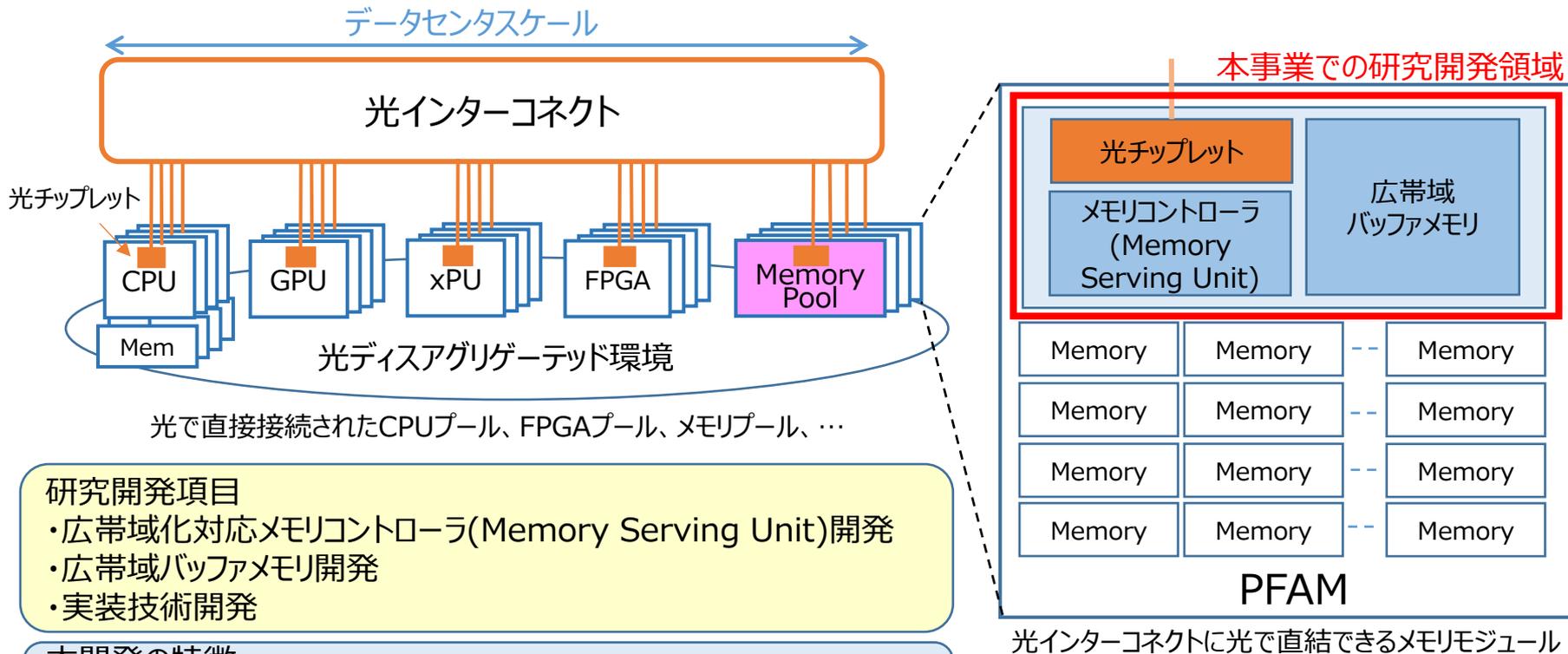
- ① メンブレン化合物半導体光デバイスの開発(担当:日本電信電話(株)、古河電気工業(株)、再委託:東京大学、慶應義塾大学)
- ② Siフォトリソ技術の開発(担当: NTTインベティブデバイス(株)、日本電信電話(株)、再委託:千歳科学技術大学、Aloe Semiconductor Inc.)
- ③ 光チップレット・実装技術の開発(担当:NTTデバイスクロステクノロジー(株)、新光電気工業(株))
- ④ PoCによる動作検証(担当:日本電信電話(株))

本提案の特徴

メンブレン化合物半導体光デバイスのSiフォトリソへの集積、光デバイスに最適化した電子回路を設計、デバイス内蔵パッケージ技術による光チップレット化、LSI近傍に電気実装とともに光実装などの製造技術から開発をすることで帯域密度：1 Tbps/mm、エネルギー効率：2 pJ/bitの性能優位性を確保します。

光電融合インタフェースメモリコントローラの研究開発

実施者	キオクシア株式会社、日本電信電話株式会社
概要	<ul style="list-style-type: none"> ポスト5G世代の光ディスクアグリゲータッドコンピューティングを実現するために、データセンタスケールの光インターコネクに光で直結できる広帯域メモリモジュールに向けて、「メモリコントローラ」と「広帯域バッファメモリ」を開発し、大容量のメモリ、光電融合デバイス(光チップレット)と共に「フォトニックファブリックアタッチトメモリモジュール(PRAM)」として実装する。 PFAMにより、複数の演算リソースから広帯域の光により確定遅延でアクセスできるメモリプールを実現する。本開発の一部を国立大学法人東北大学に再委託する。



研究開発項目

- ・広帯域化対応メモリコントローラ(Memory Serving Unit)開発
- ・広帯域バッファメモリ開発
- ・実装技術開発

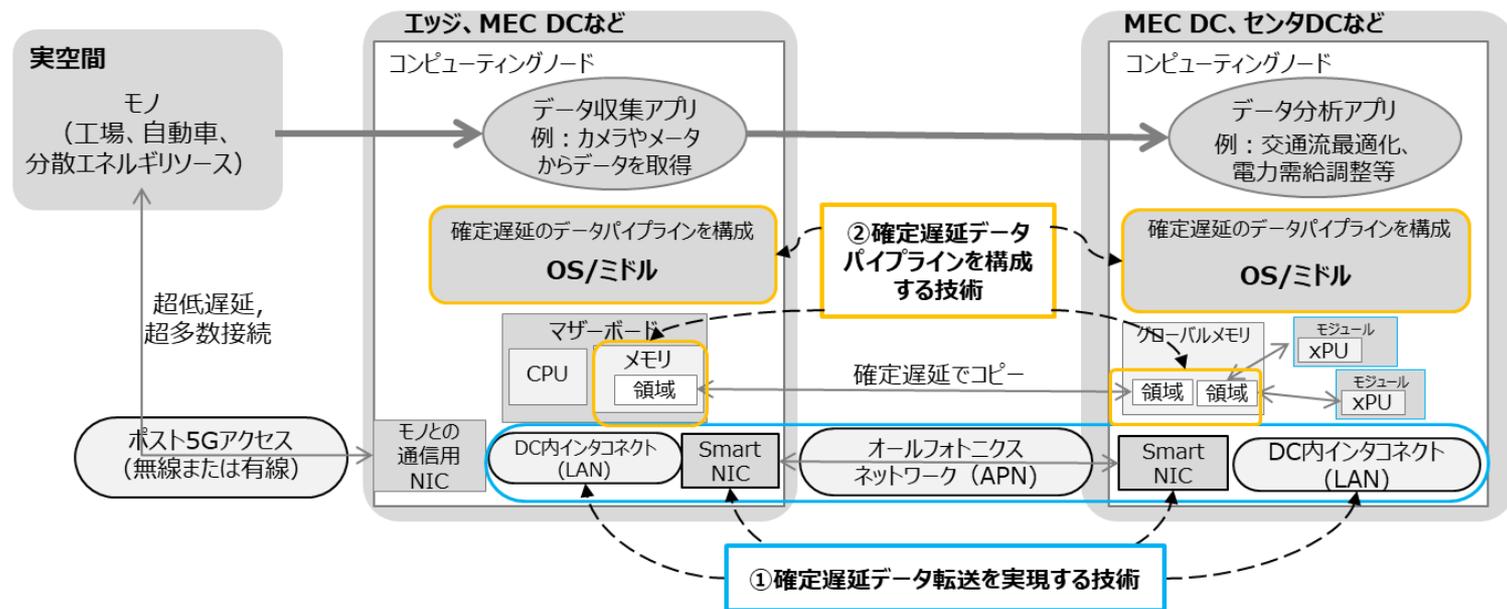
本開発の特徴

- ・512Gbps以上の光通信帯域
- ・従来比30%の低消費電力化

高効率な確定遅延コンピューティング基盤技術の研究開発

実施者 日本電信電話株式会社、日本電気株式会社、富士通株式会社

概要 本事業では、ポスト5G通信インフラ（光電融合技術および光ネットワーク技術を含む）の高速性・低遅延性を活用した、データ転送から分析までの一連の処理を確定遅延で、かつ優れた電力効率で実行するコンピューティング基盤の実現を目的とし、プロセッサ間のデータ転送・データ処理の不確定性を低減した、高効率な確定遅延コンピューティング基盤技術の研究開発を行う。



① 確定遅延データ転送を実現する技術

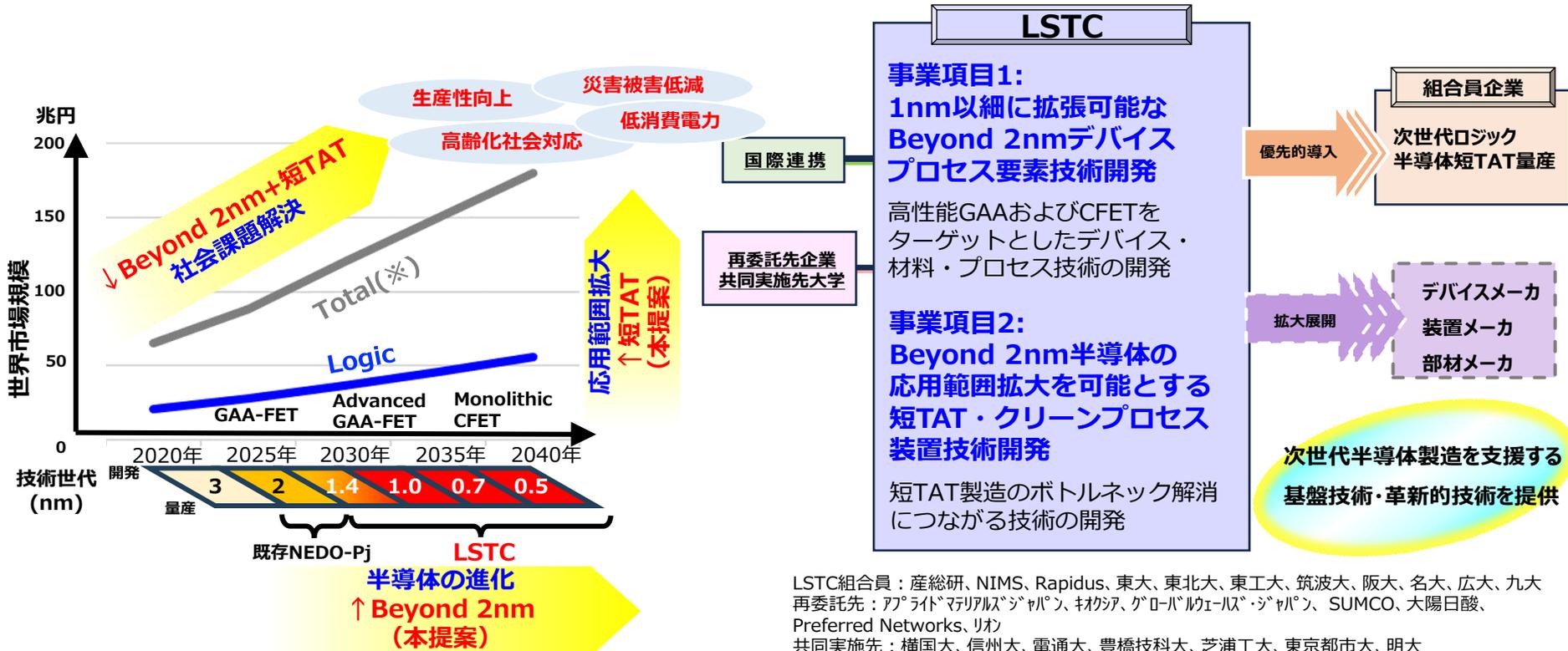
- デバイス間のPCIe-DMA（直接メモリアクセス）をデータセンタ（DC）規模で利用可能とするDCスケールPCIe-DMA技術
- DC内で利用されている遠隔DMA(RDMA)を、DC間で適用を可能とするDC間RDMA技術

② 確定遅延データパイプラインを構成する技術

- データストリームを多重化し、プロセッサの利用効率を高めるデータパイプライン最適化技術
- 共有メモリ領域を活用したメモリハンドオーバーによる、低遅延なデータ受け渡しを行うデータパイプライン設計制御技術

Beyond 2nm及び短TAT半導体製造に向けた技術開発

実施者	技術研究組合最先端半導体技術センター（LSTC）
概要	2nm世代よりもさらに高性能な半導体(Beyond 2nm)実現に向けた革新的技術として、Beyond 2nm向けデバイス・材料・プロセス要素技術および短TAT・クリーンプロセス装置技術を開発する。当該技術の開発により、半導体の高性能化のみならず、長期化する半導体製造期間の短縮および早期な製品の市場投入を可能とし、我が国の半導体製造の競争力強化および半導体市場シェア挽回に大きく寄与する。半導体の更なる進化によるAI性能の飛躍的な向上と、短TAT化で、より多くの社会的ニーズへの対応を可能にし、社会課題解決とDX化推進に貢献する。



(※) ロジック、メモリ、アナログ、製造装置などを含む

LSTC組合員：産総研、NIMS、Rapidus、東大、東北大、東工大、筑波大、阪大、名大、広大、九大
 再委託先：アフライトマテリアルズジャパン、材料コア、グローバルウェルズジャパン、SUMCO、太陽日電、Preferred Networks、リオン
 共同実施先：横国大、信州大、電通大、豊橋技科大、芝浦工大、東京都市大、明大
 国際連携：CEA-Leti、imec

2nm世代半導体のチップレットパッケージ設計・製造技術開発

実施者	Rapidus株式会社 (共同実施先：Rapidus US, LLC、国立研究開発法人産業総合研究所、国立大学法人東京大学)
概要	本事業ではポスト5G情報通信システムを支える高性能半導体に必要なチップレットパッケージに関し、 <u>2nm世代の半導体を用いたパッケージの大型化及び低消費電力化を実現する実装量産技術、設計に必要なデザインキット、チップレットのテスト技術の確立</u> を目的に、チップレットパッケージの設計・製造技術を開発する。

2nm世代半導体の最先端チップレットパッケージ（2.xD, 3D）の設計・製造技術を確立するため、パイロットラインを国内に構築し、量産・実用化を見据えて以下の開発項目を実施する。

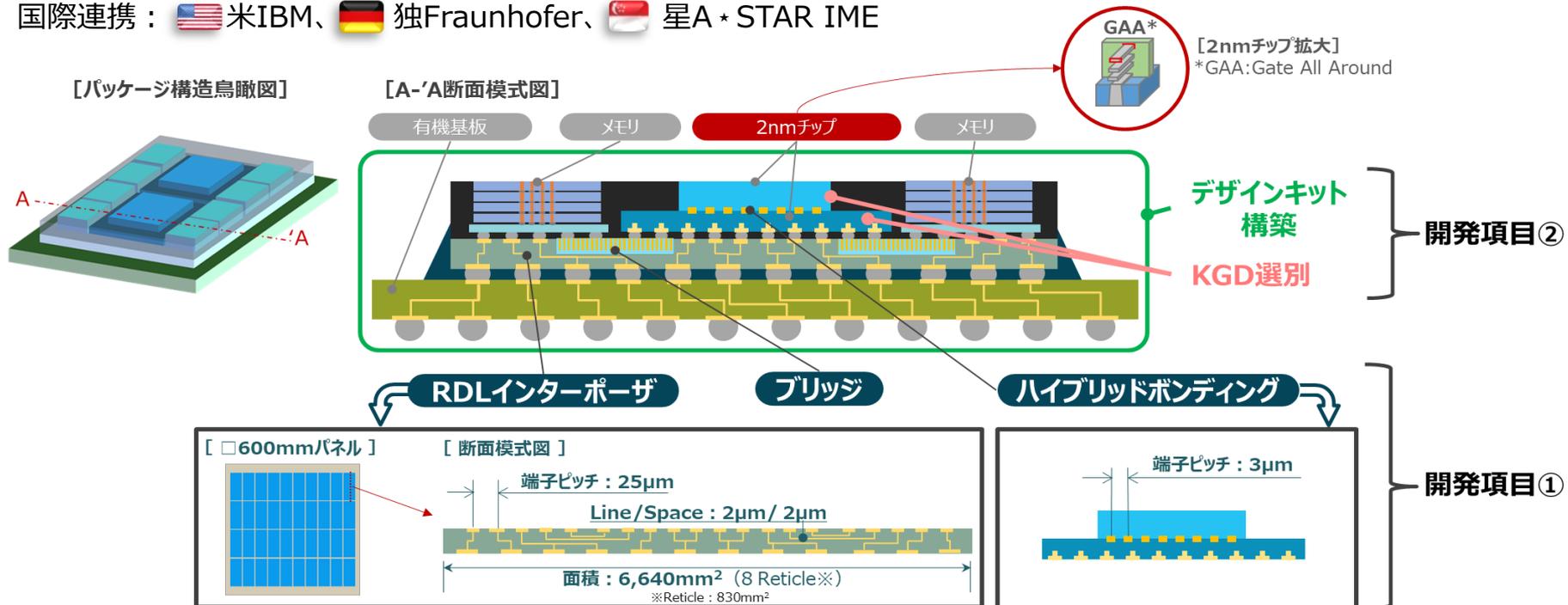
開発項目① 2nm世代半導体を含む3次元（2.xD, 3D）パッケージ製造技術開発

特徴： 600mm角パネルでの有機絶縁膜RDLインターポーザの開発、3Dパッケージ技術、量産化技術の検証

開発項目② アプリケーション毎に最適な高効率/高性能チップレットパッケージの設計およびテスト技術開発

特徴： 顧客向けデザインキット（Assembly Design Kit）の構築、KGD選別テスト（ウェハレベル/ダイレベル）の開発

国際連携： 米IBM、 独Fraunhofer、 星A★STAR IME



半導体後工程自動化・標準化の開発・実証に関する研究開発

実施者 半導体後工程自動化・標準化技術研究組合 (SATAS)

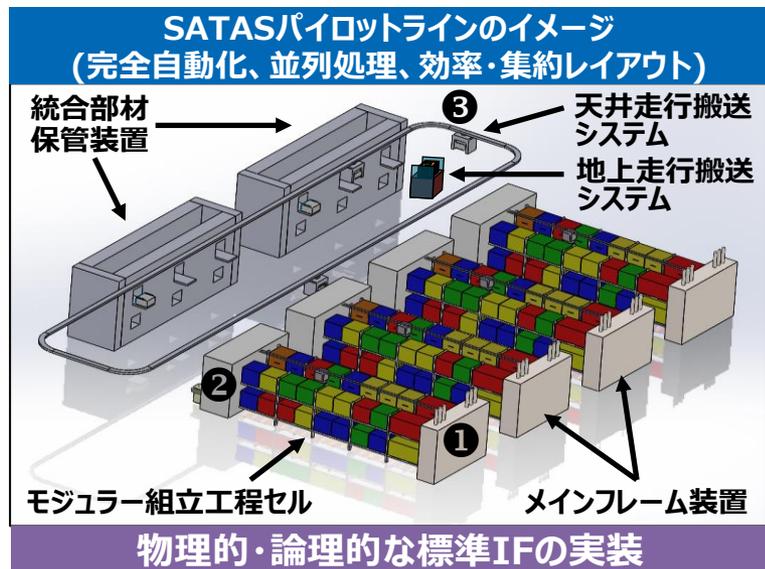
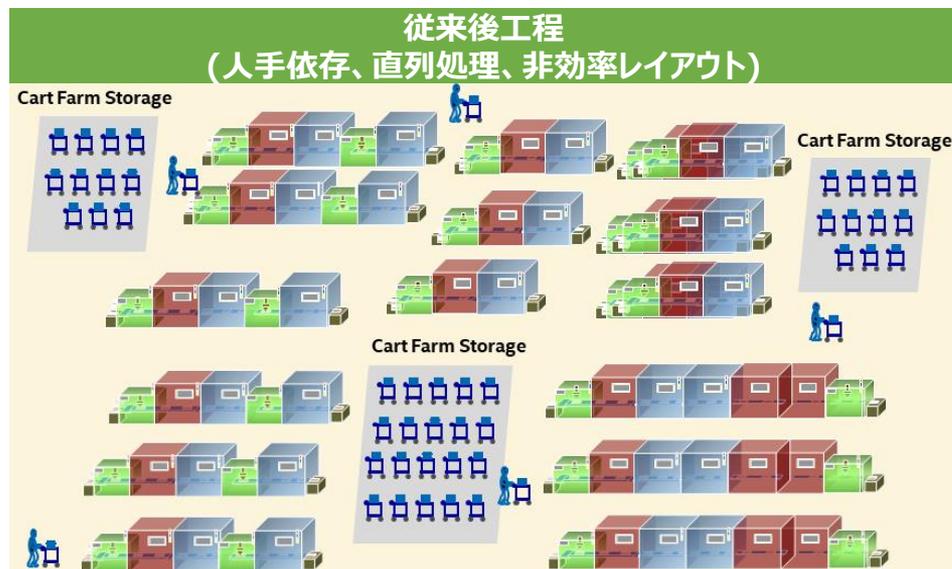
概要 半導体企業は、地政学リスクを踏まえ強靱なサプライチェーンを柔軟に構築する事、またAI時代に向けより高度なパッケージング技術に対応する事が求められている。これらをより持続可能な方法で実現するため、本研究開発では、半導体製造工程の中でも人手への依存度が高く、経済安全保障に大きな影響を及ぼす後工程のうち、特に組立・検査に着目し、完全自動化に必要な装置・システム間の標準インターフェース(IF)開発に取り組み、プロトタイプや商用モデルへの実装検証、パイロットライン構築による実証を行う。なお、本研究開発は、関連する日本企業と当該分野の取り組みで先行するIntel Corporationとの日米連携体制により推進する。

【組合員(*50音順)】

アオイ電子(株)、Intel Corporation、インテル(株)、オムロン(株)、化研テック(株)、国立研究開発法人産業技術総合研究所、シャープ(株)、信越ポリマー(株)、シンフォニアテクノロジー(株)、有限会社セミ・ジャパン、(株)ダイフク、TDK(株)、伯東(株)、平田機工(株)、(株)FUJII、(株)三菱総合研究所、ミナミ(株)、ミライアル(株)、村田機械(株)、ヤマハ発動機(株)、(株)レゾナック・ホールディングス、ローツエ(株)

【研究開発項目】

- ①半導体後工程自動化に係る標準IF検討とプロトタイプ開発
- ②標準IFを実装した商用(市場投入)モデルシステム開発・検証
- ③標準IFを実装したパイロットライン開発・実証



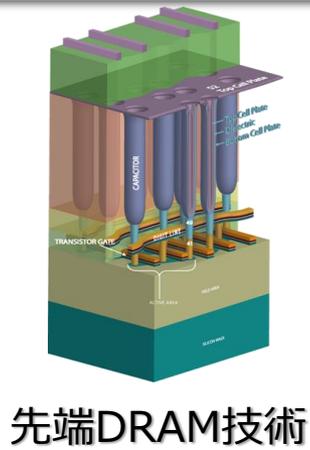
次々世代大容量・広帯域メモリHBM4Eの研究開発

実施者	マイクロメモリ ジャパン株式会社
概要	<p>ポスト5G社会に向けたデータセントリックな高度コンピューティングシステム構築において、<u>高速・低消費電力・大容量化に対応する広帯域メモリ（HBM）が不可欠となっている</u>。特に、生成AIの利活用が進むポスト5G社会では、<u>重要基盤技術の一つとして注目されている</u>。本事業では、HBM開発の基盤となる先端DRAMの開発を遂行しながら、<u>並行して先端CMOSデバイスの開発、及びTSV微細化技術の開発を実行する</u>。これらにより、次々世代のHBM4Eの研究開発を推進し、<u>世界最高性能のHBM製造技術の開発を行う</u>。</p>

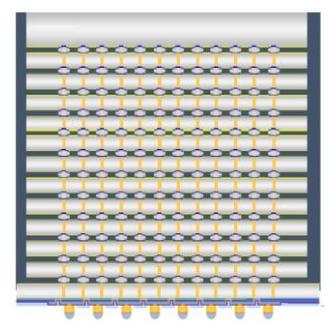
HBM4E

当社HBM3E比

- 容量 : 32Gb (per DRAM die)
- 帯域幅 : x 2倍 2.4TB/s
- パワー : 30%削減
- 積層数 : 12H以上



先端DRAM技術



先端TSV技術
TSV x2倍 | 12H

HBMの高性能化の必要性

-  **生成AI**
-  **ディープラーニング**
-  **ハイパフォーマンスコンピューティング**



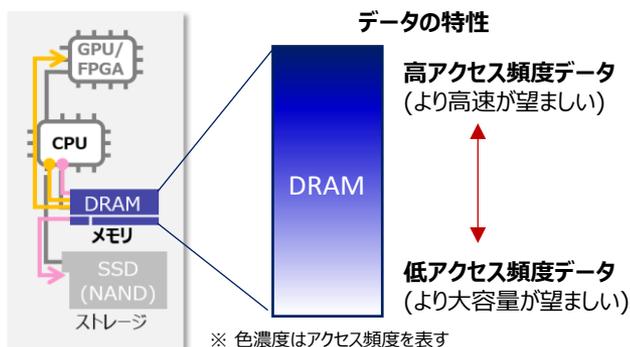
- 世界最高性能のHBMを開発し、デジタル化社会の成長に貢献
- ビッグデータ・AIを活用したサイバー空間技術、次世代モビリティの社会実装に向けた取り組みにも貢献

CXL 3Dメモリ向けメモリアレイ技術の研究開発

実施者 キオクシア株式会社

概要 ポスト5G時代では生成されるデータが極めて大量となるため、データセンターでは処理データ量が増加し、電力消費量が増大してしまう。一方、データセンターで処理データの格納に主に使われているのはデータアクセス頻度に依らず高速なDRAMであり、ビット密度が低く、リフレッシュサイクルが短いため消費電力が大きいという課題がある。本プロジェクトでは、これらの課題を解決する可能性のある「CXL 3Dメモリ」の実現に向けて必要なメモリアレイ技術の開発を行う。「CXL 3Dメモリ」は、CXLメモリ向けの、DRAMの課題を解決する低消費電力化、高ビット密度化が実現できるメモリであり、活用されることでデータセンターのメモリ利用効率の改善と消費電力の抑制を進めることが可能な革新的なメモリである。

現在のデータセンターと課題



サーバー

図1

課題解決に向けた技術開発



図2

CXL 3Dメモリの狙う領域



図3

データセンターのメモリはアクセス頻度に差があるが、低アクセス頻度のデータに対しても高速なDRAMを使っており、ビット密度が低いため効率が悪く消費電力が大きくなる。データ量が激増する将来はさらに大きな問題となる。

DRAMよりも低消費電力・高ビット密度で、NANDよりも読み出し速度の速いメモリを開発することで、データセンターでのアクセス頻度に応じたメモリを供給可能となり、メモリ利用効率の改善と消費電力の抑制が実現できる。

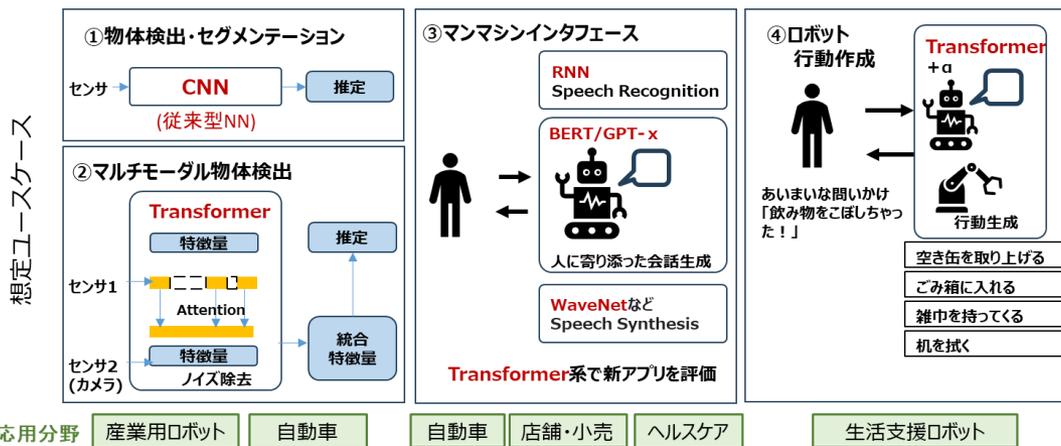
従来のメモリではビット密度と読み出し時間に普遍的なトレンドが示されるが、このトレンドを超えて、かつ低消費電力性を兼ね備える革新的なメモリである。

2nm世代半導体技術によるエッジAIアクセラレータの開発

実施者	技術研究組合最先端半導体技術センター（LSTC）
概要	2nm以細を狙う次世代半導体設計技術として、生成AIを含むエッジ推論処理用途に専用化したエッジAIアクセラレータの開発を国際連携により進める。具体的には、(1) 業界標準に対応したAIアクセラレータ向け統合アーキテクチャの開発、(2) 2nm技術によるアクセラレータチップの開発、(3) 2nm技術を用いエッジAIに最適化されたCPUチップの開発、(4) 業界標準のAIフレームワークを利用可能なソフトウェア開発基盤の構築を行う。

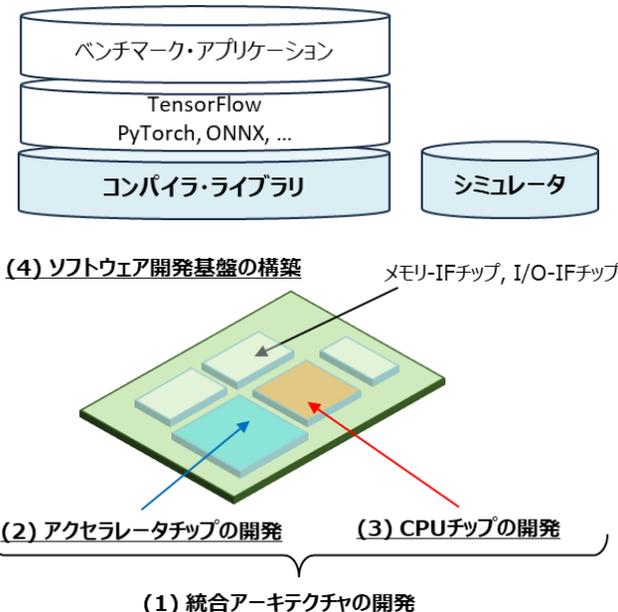
【想定するユースケース】

生成AIを含むエッジ推論用途に専用化したエッジAIアクセラレータによる、産業用ロボット、自動車、店舗・小売り、ヘルスケア、生活支援ロボットでのインターフェース高性能化、制御等を想定するユースケースとする。



【実施内容】

アクセラレータチップとCPUチップからなるアクセラレータの統合アーキテクチャの開発、並びに2nm技術によるアクセラレータチップ・CPUチップの開発、コンパイラ・ライブラリとシミュレータからなるソフトウェア開発基盤の構築を行う。



【本プロジェクトの強み】

- これからの需要が見込まれる生成AIを含むエッジ推論処理用途に専用化することにより、ニーズに即した回路技術を開発する。
- テクノロジー・回路設計の協調により、2nmデバイス技術の有効性を最大限に活用する。
- RISC-VエコシステムによるCPUチップ技術を活用するとともに、業界標準であるオープンソースソフトウェア環境をシームレスに利用できるソフトウェアスタックを提供する。

LSTC組員：産業技術総合研究所、Rapidus、東京大学
国際連携：Tenstorrent Inc.

先端SoCチップレットの研究開発

実施者 自動車用先端SoC技術研究組合 (ASRA)

概要 自動車のさらなる智能化・電動化を支える車載ハイパフォーマンス・コンピュータ実現のためには、データセンタなど民生半導体で実績ある『チップレット技術』を車載応用する研究開発が必須である。車載固有の安全・信頼性確保のため、機能安全対応や熱・ノイズ・振動、リアルタイム処理などの課題解決を行う必要がある。自動車メーカーからECU・EDA・SoCベンダまで縦連携の共同研究体制により、車載課題を解決するチップレットの要素技術を確立する。これらの技術をベースとするSoCを2030年以降の自動車に量産適用することを目指す。

■ 開発内容

車載SoCにおける嬉しさ(左表)を、技術(右表)の研究開発により実現する。

ECU: Electronics Control Unit
 EDA: Electronic Design Automation
 TTM: Time To Market
 PCB: Printed Circuit Board

■ チップレットをベースとする車載SoCの嬉しさ

嬉しさ	概要
①多数のバリエーションへの対応や高性能化 (開発コスト・TTMの低減)	<p>同一チップレットの複数配置や、最先端AIチップの接続により、バリエーション対応や高性能化が可能</p> <p>【バリエーション対応の例】</p> <p>ローエンド ミッドレンジ ハイエンド</p> <p>パッケージ パッケージ パッケージ</p> <p>チップレット SoC チップレット SoC チップレット SoC</p> <p>【高性能化の例】</p> <p>ベースSoC 高性能SoC</p> <p>ベース演算SoC (チップレット) ベース演算SoC (チップレット) 最先端AI アクセラレータ (チップレット)</p>
②チップコストの低減	<p>SoCダイを小さく分割することで、歩留まりを向上させ、コスト低減が可能</p> <p>SoC 分割 チップレット チップレット</p> <p>チップレット チップレット</p>

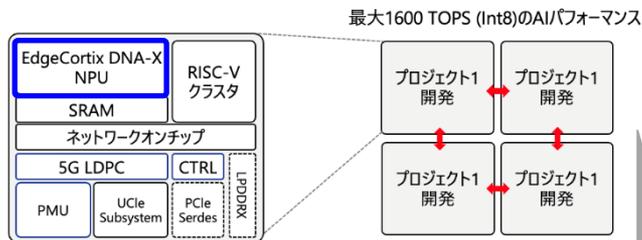
■ チップレットをベースとする車載SoCに必要な技術開発

技術	概要												
①複数のダイ(チップレット)の境目を隠蔽するHW/SW技術	<p>ソフトウェア</p> <p>アプリケーションからダイの境界を隠蔽する HWレベルコヒーレンシ、OS/Driver層、ミドルウェア/開発ツール</p>												
②機能安全・リアルタイムを実現するHW/SW技術	<table border="1"> <thead> <tr> <th></th> <th>従来技術(PCIe)</th> <th>チップレット技術(UCIe)</th> </tr> </thead> <tbody> <tr> <td>接続箇所</td> <td>PCB上</td> <td>パッケージ内</td> </tr> <tr> <td>レイテンシー</td> <td>150ns程度</td> <td>20ns程度</td> </tr> <tr> <td>キャッシュコヒーレント対応</td> <td>不可</td> <td>可</td> </tr> </tbody> </table> <p>モリシックと変わらないリアルタイム性能を実現する高速・高信頼データ転送技術</p>		従来技術(PCIe)	チップレット技術(UCIe)	接続箇所	PCB上	パッケージ内	レイテンシー	150ns程度	20ns程度	キャッシュコヒーレント対応	不可	可
	従来技術(PCIe)	チップレット技術(UCIe)											
接続箇所	PCB上	パッケージ内											
レイテンシー	150ns程度	20ns程度											
キャッシュコヒーレント対応	不可	可											
③車載信頼性技術	<p>チップレット チップレット</p> <p>インターポザー</p> <p>基板</p> <p>【車載要件例 (民生と比較)】</p> <ul style="list-style-type: none"> ・温度/湿度バイアス: ×2 ・温度サイクル: ×6 ・高温寿命: ×4 ・動作温度: +25℃ <p>厳しい車載信頼性要件を満足するパッケージング技術</p>												

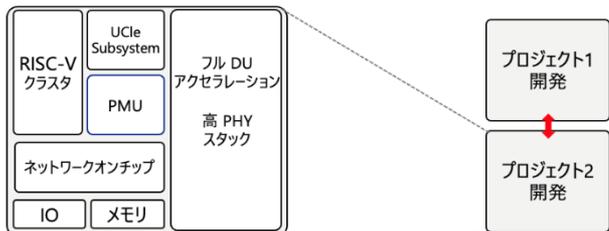
チップレットを活用した次世代通信のためのエネルギー効率の高いAI半導体開発

実施者	EDGE CORTIX株式会社
概要	<p>5Gおよび5G Advancedネットワークは、超高速通信、低遅延、大量のデバイス接続を提供することで、産業や社会全体にわたるデジタルトランスフォーメーションを推進している。しかし、エッジコンピューティングとクラウド環境の展開および運用においては、依然として課題が残っている。これらの課題に対処するために、AI-RAN (AI統合無線アクセスネットワーク) が有望なソリューションとして注目されつつあるが、現在のAI-RANシステムは依然として高消費電力と高コストの課題に直面している。本プロジェクトは、AI処理とRANアクセラレーションを統合するSAKURA-Xと呼ぶチップレットベースのアーキテクチャを採用することで、これらの課題に取り組む。既存のソリューションと比較して、消費電力を大幅に削減し、計算効率を5倍以上向上させることを目指している。EdgeCortixの実績のあるAIプロセッサ技術とRANアクセラレータIPを基に、パフォーマンスの最適化とエネルギー使用量の最小化を、高度な電力管理と協調設計戦略により実現する。最終的なシステムは、次世代5Gの仮想O-RAN環境に展開され、生成AIアプリケーションと低消費電力の分散型ユニット (DU) アクセラレーションの両方を同一ハードウェア上でサポートし、最高水準の電力効率とインフラコストの削減を実現する。</p>

【プロジェクト1：SAKURA-X AIおよび部分DUアクセラレーター開発】

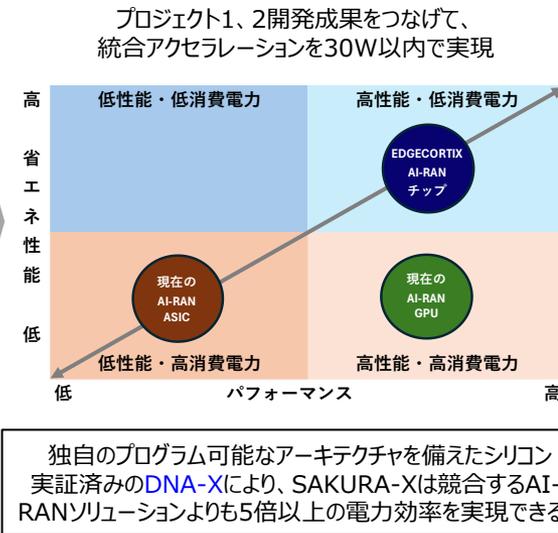


凡例 \longleftrightarrow Die-to-Die接続

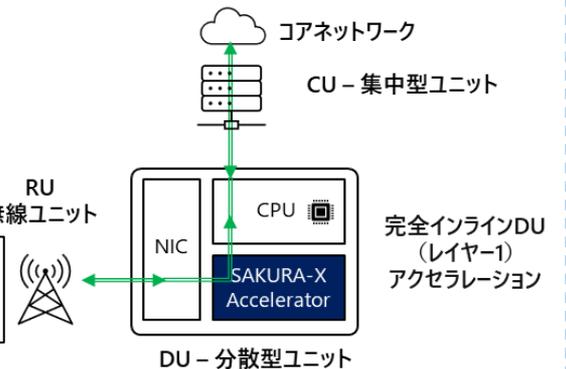


【プロジェクト2：SAKURA-X 完全DU (High PHY) アクセラレーターの開発】

【プロジェクト3：O-RANシステム内のSAKURA-X AI-DU統合アクセラレータの実証】



最終的なSAKURA-X AI処理およびDUチップレットは、1つのパッケージに複数のダイとして統合され、エネルギー効率の高いAI-RANアプリケーションを実現します。



統合車載制御システム向け光接続技術の開発

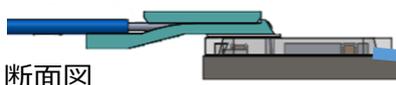
実施者	アイオーコア株式会社
概要	<p>統合車載制御システムの信号配線を現行の電気配線から光ファイバに転換することで、配線の広帯域化、低遅延化、低電力化が可能となります。これにより統合車載制御システムに先端半導体の搭載が可能となりサーバ並みの計算能力を保有することができ、今後進展する自動車のEV化、自動運転化を大きく推進することができます。統合車載制御システム向け光配線を実現する技術として極めて厳しい動作環境に適合する車載用光トランシーバを開発します。</p>

衝撃耐性、高信頼性を徹底させた世界初の車載用光トランシーバ（光電融合デバイス及び光接続技術搭載）を開発

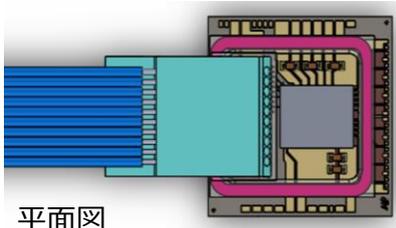
車載用光トランシーバの開発

事業項目

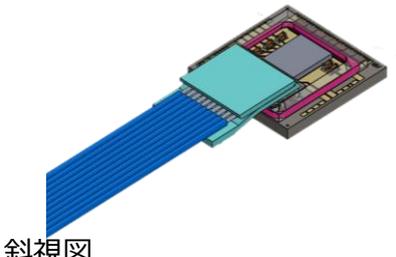
1. 低消費電力、高速化
2. 車載対応の高信頼性
 - ① 温度環境耐性
 - ② 湿度・耐水環境耐性
 - ③ 耐振動性
 - ④ 電磁ノイズ耐性
3. 長期信頼性



断面図



平面図



斜視図



自動車のEV化、自動運転化を推進