

「半導体機能性材料の高度評価基盤開発」

事後評価報告書

平成24年11月

独立行政法人新エネルギー・産業技術総合開発機構

研究評価委員会

平成24年11月

独立行政法人新エネルギー・産業技術総合開発機構  
理事長 古川 一夫 殿

独立行政法人新エネルギー・産業技術総合開発機構  
研究評価委員会 委員長 西村 吉雄

NEDO技術委員・技術委員会等規程第33条の規定に基づき、別添のとおり  
評価結果について報告します。

## 目 次

はじめに	1
分科会委員名簿	2
審議経過	3
評価概要	4
研究評価委員会におけるコメント	8
研究評価委員会委員名簿	9
第1章 評価	
1. プロジェクト全体に関する評価結果	1-1
1. 1 総論	
1. 2 各論	
2. 評点結果	1-20
第2章 評価対象プロジェクト	
1. 事業原簿	2-1
2. 分科会における説明資料	2-2
参考資料1 評価の実施方法	参考資料 1-1
参考資料2 評価に係る被評価者意見	参考資料 2-1
参考資料3 分科会議事録	参考資料 3-1
参考資料4 評価結果を受けた今後の取り組み方針について	参考資料 4-1

## はじめに

独立行政法人新エネルギー・産業技術総合開発機構においては、被評価プロジェクトごとに当該技術の外部専門家、有識者等によって構成される研究評価分科会を研究評価委員会によって設置し、同分科会にて被評価対象プロジェクトの研究評価を行い、評価報告書案を策定の上、研究評価委員会において確定している。

本書は、「半導体機能性材料の高度評価基盤開発」の事後評価報告書であり、第31回研究評価委員会において設置された「半導体機能性材料の高度評価基盤開発」(事後評価)研究評価分科会において評価報告書案を策定し、第33回研究評価委員会(平成24年11月13日)に諮り、確定されたものである。

平成24年11月  
独立行政法人新エネルギー・産業技術総合開発機構  
研究評価委員会



「半導体機能性材料の高度評価基盤開発」

事後評価分科会委員名簿

(平成24年6月現在)

	氏名	所属、役職
分科 会長	ざいま しげあき 財満 鎮明	名古屋大学大学院 工学研究科 結晶材料工学専攻 教授
分科 会長 代理	たにぐち けんじ 谷口 研二	独立行政法人国立高等専門学校機構 奈良工業高等専門学校 校長 大阪大学名誉教授
委員	いしうち ひでみ 石内 秀美	株式会社 東芝 セミコンダクター&ストレージ社 統括技師長
	うえの かずよし 上野 和良	芝浦工業大学 工学部 電子工学科 教授
	くわた たかあき 桑田 孝明	ルネサスエレクトロニクス株式会社 生産本部 副本部長
	つじむら まなぶ 辻村 学	株式会社 荏原製作所 取締役 常務執行役員 精密・電子事業カンパニープレジデント
	ひらもと としろう 平本 俊郎	東京大学 生産技術研究所 情報・エレクトロニクス系部門 教授

敬称略、五十音順

## 審議経過

### ● 第1回 分科会（平成24年6月25日）

#### 公開セッション

1. 開会、分科会の設置、資料の確認
2. 分科会の公開について
3. 評価の実施方法について
4. 評価報告書の構成について
5. プロジェクトの概要説明
6. プロジェクトの詳細説明
- 6.1. 研究開発成果について

#### 非公開セッション

6. プロジェクトの詳細説明
- 6.2. 実用化、事業化の見通し（波及効果）について
7. 全体を通しての質疑

#### 公開セッション

8. まとめ・講評
9. 今後の予定、その他
10. 閉会

### ● 第33回研究評価委員会（平成24年11月13日）

## 評価概要

### 1. 総論

本プロジェクトは評価対象プロセス領域を広げながら一貫して材料評価技術基盤を構築してきた。競合する材料メーカーが企業の枠を超えて集結し、300mm ウェーハにおいてデバイスまで含めた評価を行うという画期的な試みであり、このような枠組みを作り上げた意義は大きい。新材料の評価基盤（装置だけでなく、TEG 及び評価基準）が整備されたことにより、材料メーカーの研究開発力が向上すると共に、新材料がビジネスに繋がる機会が増えている。国際的に競争力の高い日本の材料メーカーの技術力をより強固なものとするだけでなく、デバイスメーカーにとっても競争力強化に繋がっている。また、人材育成や「競合」企業の参加に対するマネジメント手法など、有形、無形の部分で非常に有益な成果が得られた事業として、高く評価できる。

CASMAT 解散後の材料評価基盤の活用、維持という課題に関しては、デバイス技術の進展に対応して共通評価基盤の改善や認知度向上に向けた仕組みづくりが重要であり、プロジェクト終了後も業界としての普及に向けた取組みが継続されることを期待する。

### 2) 今後に対する提言

新材料の導入や三次元デバイス、三次元集積化など、半導体デバイス技術には急激な変化が起こり始めており、このような時期に CASMAT が終了することは大変残念なことと言わざるを得ない。但し、社会・経済情勢も急激に変化しており、今までと同じスキームでは対応できない可能性が高いのも事実である。

CASMAT による材料評価の基盤構築により、日本の材料メーカーが競争力を持つ仕組みができたが、CASMAT 終了後も、競争力を維持・増強できる仕組みが必要である。300mm への対応は奏功したが、450mm への対応に関しても、どのような対応がさらなる競争力向上に必要なのか、今から考える必要がある。現状で我が国の材料メーカーは世界的に確かに強いが、今後も国内に閉じている次第に世界から取り残される結果となる可能性が高い。新たな枠組みでは、世界に門戸を開きつつ、我が国の材料メーカーの強みを最大限に発揮して我が国がリーダーシップを発揮できるような戦略が強く求められる。

### 2. 各論

#### 1) 事業の位置付け・必要性について

半導体デバイスメーカーの国際競争力が低下し、技術開発スキームが変貌していく中で、わが国の強みの一つである半導体材料メーカーの競争力を今後も引き続き維持・向上させることはわが国の国際競争力強化にとって極めて重要である。そのための材料評価技術基盤の構築を目指した本事業は、強いニーズがありながら民間企業だけでは到底実施出来なかったものであり、NEDO が関与して初めて可能になった事業として高く評価できる。

半導体材料メーカーにとっては、共通の材料評価指標が整備されることは、材料の完成度のベンチマーク、デバイスメーカーへの提案力向上など、競争力向上に大きな効果が期待できる。CASMATⅢで、デバイスの評価の観点を取り入れた評価 TEG 及び評価基準の構築を目標としたことは、材料開発力の強化に貢献できた。このことから、日本の国際競争力を強化する意味で、事業の目的は妥当であった。

## 2) 研究開発マネジメントについて

半導体材料メーカーの競争力を底上げする目的に対して、研究開発の目標が適切に設定され、計画も妥当であった。特に、「競合」企業の参画を可能にした運営方針と運営体制は高く評価されて良い。集積回路のプロセスインテグレーションを経験したデバイスメーカー出身の技術者が中立的な立場で組合員企業（材料メーカー）の研究指導にあたる体制を構築し、競合関係にある半導体材料メーカー間の利害を適切にマネジメントしながら、協調領域の評価基盤の確立、活用を円滑に運営した。また、材料の評価結果の公開・非公開の明確化により各メーカーの個別技術の保護が図られた。その結果、共通の評価環境が構築できた事により、同業他社とのベンチマークも可能となり、自社の強みと弱みを知り取捨選択の結果、得意分野に注力できる機会を提供できた。

また、今後の半導体産業での利用拡大が見込まれる、低誘電率絶縁膜、CMP 用スラリー、バッファコート材料など、適切なテーマ設定をした。その開発のために TEG を用いた電氣的評価を行う点も、技術の本質をついていて、良いアプローチであった。

## 3) 研究開発成果について

半導体プロセス全体を俯瞰して材料評価基盤を短期間で完成させ、評価 TEG の作製及び評価基準を作成したことは有意義であり、成果は汎用性があり目標をクリアしている。また、予算規模を考慮すると費用対効果は十分にあった。当初の目標（テーマ）を断念したものもあるが、選択する能力を身に付け、効率的な研究開発を行えたことも成果の一つと評価する。評価 TEG の中に PN 接合及びトランジスタが存在することにより、配線系だけの TEG では得られない

重要な評価（より実用に近い評価）が可能となった。従来では、材料メーカーが FEOL\*1 を考慮した評価・検討を行うことはできなかった。今回それが可能な評価基盤が整備できた。また、評価 TEG の設計検証の時期は適切であった。その後の材料メーカーの大量活用に貢献できた。RO\*2 を用いた実効配線間容量測定、電池効果による Cu 研磨時の腐食、バッファコートに於ける剥離耐性係数など、デバイスメーカーの視点を考慮した評価方法を確立できた。これらは、材料メーカーがデバイスメーカーに新材料を提案する上で、重要な知見である。

一方で、CMP\*3-TEG は素晴らしい成果だと高評価できるものであり、この TEG を承継した会社に期待する。評価方法などの知的財産権は、海外でも権利を取得すべきであった。

\*1 : FEOL (Front End Of Line の略。Si 基板上にトランジスタ等の素子を作る一連の工程。)

\*2 : RO (Ring Oscillator。インバーターを奇数段リング状に接続した発振回路で、構成素子の特性や負荷の特性に応じて発振周波数が増減する。)

\*3 : CMP (Chemical Mechanical Polishing (化学的機械的研磨)。シリカ粒子を含んだ研磨液(スラリー)をウェーハ表面に流しながら、スピンドルに貼り付けたウェーハを回転テーブル表面の研磨パッドに圧着させて研磨する方法。)

#### 4) 実用化、事業化の見通しについて

参加した材料メーカーが評価 TEG 及び評価基準を利用し、多くの新材料の評価を実施している。評価 TEG 試作の直後から材料の評価実績件数が急に増大していることより、評価 TEG 及び評価基準が材料メーカーにとって意味あるものであったことが認識できる。TEG を使った評価により、製品開発の完成度が高まっており、材料メーカーにとって実用化に向けての課題は明確化されたと考える。また、評価基盤が整備される事により、材料メーカーが、デバイスメーカーに対して提案力を持つことができ、ビジネスに繋げる機会が増大した。結果として、材料メーカーの競争力強化となっている。

参加企業が評価基盤技術の有効性を認識し、解散後も自社に持ち帰り、評価基盤の事業への活用を考えていること、TEG の供給を受けられる体制が整えられていることは評価できる。

一方で、次世代、次々世代を鑑みての対応(450mm 対応を含む、将来にわたっての競争力の維持・向上)も踏まえて業界全体としての具体的な取り組みに繋がって行くことを期待する。また、本プロジェクトで確立した材料評価基盤が

半導体材料の分野において世界的に認められるようなものとなれば、顧客が新材料を選択する際に我が国の材料メーカーにとって有利となる。現状、TEGに世界スタンダードはないが、デファクトスタンダードとなりうるようなTEGの普及に期待する。

## 研究評価委員会におけるコメント

第33回研究評価委員会（平成24年11月13日開催）に諮り、本評価報告書は確定された。研究評価委員会からのコメントは特になし。

## 研究評価委員会

委員名簿（敬称略、五十音順）

職 位	氏 名	所属、役職
委員長	西村 吉雄	技術ジャーナリスト
委員長 代理	吉原 一紘	オミクロンナノテクノロジージャパン株式会社 最高顧問
委員	安宅 龍明	元一般社団法人ナノテクノロジービジネス推進協議会 企画運営推進会議 副議長
	伊東 弘一	学校法人早稲田大学 理工学術院 総合研究所 客員教授（専任）
	稲葉 陽二	学校法人日本大学 法学部 教授
	尾形 仁士	三菱電機株式会社 社友
	小林 直人	学校法人早稲田大学 研究戦略センター 教授
	佐久間一郎	国立大学法人東京大学 大学院工学系研究科 附属医 療福祉工学開発評価研究センター センター長／教授
	佐藤 了平	国立大学法人大阪大学 大学院工学研究科 マテリア ル生産科学専攻（システムデザイン領域担当） 教授
	菅野 純夫	国立大学法人東京大学 大学院新領域創成科学研究科 メディカルゲノム専攻 教授
	宮島 篤	国立大学法人東京大学 分子細胞生物学研究所 教授
	吉川 典彦	国立大学法人名古屋大学 大学院工学研究科 マイク ロ・ナノシステム工学専攻 教授



## 第1章 評価

この章では、分科会の総意である評価結果を枠内に掲載している。なお、枠の下の「○」「●」「・」が付された箇条書きは、評価委員のコメントを原文のまま、参考として掲載したものである。

## 1. プロジェクト全体に関する評価結果

### 1. 1 総論

#### 1) 総合評価

本プロジェクトは評価対象プロセス領域を広げながら一貫して材料評価技術基盤を構築してきた。競合する材料メーカーが企業の枠を超えて集結し、300mm ウェーハにおいてデバイスまで含めた評価を行うという画期的な試みであり、このような枠組みを作り上げた意義は大きい。新材料の評価基盤（装置だけでなく、TEG 及び評価基準）が整備されたことにより、材料メーカーの研究開発力が向上すると共に、新材料がビジネスに繋がる機会が増えている。国際的に競争力の高い日本の材料メーカーの技術力をより強固なものとするだけでなく、デバイスメーカーにとっても競争力強化に繋がっている。また、人材育成や「競合」企業の参加に対するマネジメント手法など、有形、無形の部分で非常に有益な成果が得られた事業として、高く評価できる。

CASMAT 解散後の材料評価基盤の活用、維持という課題に関しては、デバイス技術の進展に対応して共通評価基盤の改善や認知度向上に向けた仕組みづくりが重要であり、プロジェクト終了後も業界としての普及に向けた取組みが継続されることを期待する。

#### <肯定的意見>

- デバイスメーカーとしては、材料選定の失敗は新プロセスの開発納期に非常に大きな影響があり、これは絶対に避けねばならない。材料メーカーが CASMAT に於いて材料の基本特性を評価して、その上でデバイスメーカーと導入を協議できるということは非常に意味がある。新材料の評価基盤（装置だけでなく、TEG 及び評価基準）が整備されたことにより、材料メーカーの研究開発力が向上すると共に、新材料がビジネスに繋がる機会が増えている。これは CASMATⅢの成果である。国際的に競争力の高い日本の材料メーカーの技術力をより強固なものとするだけでなく、デバイスメーカーにとっても競争力強化に繋がっている。
- I 期では CMP を中心とし多層配線工程、II 期ではパッケージまでの一貫評価、III 期ではトランジスタまでを含めた信頼性評価と、領域を広げながら一貫して材料評価技術基盤を構築してきた。材料メーカーの技術力、競争力向上を目指した本事業の目標や目的は明確であり、9 年間続けられてきた意義は大きい。具体的な成果としての TEG の作製や評価基準書の作成とそれを用いた各種材料の評価、また、人材育成や「競合」企業の参加に対するマネジメント手法など、有形、無形の部分で非常に有益な成果が得られた事業として、高く評価している。本事業の成果の活用によって、材料メーカーの技術力の向上と共に、それぞれの企業におけ

る事業への貢献が図られるのみならず、将来においても競争力を確保するための次の「協業」のスキームへと繋がっていくことを大いに期待している。

- 競合する材料メーカーが企業の枠を超えて集結し、300mm ウェーハにおいてデバイスまで含めた評価を行うという画期的な試みであった。学術的成果より、このような枠組みを作り上げたこと自体の意義が大きく、300mm ウェーハにおける評価は各材料メーカーにとってビジネス的にも人材育成の面でも大いに役立った。
- 世界一を自負する半導体材料メーカーが、今後も優れた材料を開発し、わが国の発展に大きく貢献することを期待している。本プロジェクトでは総事業費 2.8 億円(NEDO: 1.4 億円)の下で、多数の材料メーカーが参加し、共通の目的に向けて集積回路用材料の評価方法の標準化をなし遂げたことは高く評価できる。

新しく開発された材料が集積回路製造ラインで使用されるまでには様々な壁が立ちほだかっている。これは、集積回路製造メーカーが、新材料の導入によって IC の「歩留まり」や「信頼性」の低下、IC の特性が劣化を危惧することに起因している。これらの心配を払拭して新しい材料の利用を進めるには、材料メーカー自らが各種テストを実施し、材料面での問題がないことを証明しなければならない。しかるに、集積回路に関する専門家のいない材料メーカーでは、如何なるテスト項目を実施すべきであるかすら良く分かっていない。この閉塞的な状況を打開するため、本プロジェクトでは、デバイス技術者(集積回路製造プロセス技術を熟知しているエンジニア)が材料メーカー間のまとめ役の役割となり、個別材料メーカーの弱みを補完している。プロジェクトの期間中、各材料メーカーの技術者が集積回路製造上の問題をデバイス技術者との交流を通して、材料に関する共通の認識を得たことは今後の材料開発の場面で役立つと確信している。

- 本事業の狙いは明確で「世界の 70%シェアを持つ強い材料分野を圧倒的に持続的に強くすること」である。CASMAT I では当時世界的に普及が始まった CMP に注目し多層 TEG を作り、CASMAT II ではパッケージまでの一貫評価、そして CASMAT III ではトランジスタも含めて徐々にその開発範囲を拡大してきた。

CASMAT IV があるとすれば、3D 集積化を意図した TEG なども考えられたものと推定できる。研究マネジメントも①教育②スクリーニング③協業と基礎から幅広く考えられており実に興味深い。成果は見ての通り十分なものになっている。今後の実用化へのヒントや基礎データはできたはずだ。既に 90%近いシェアで圧倒的な強さを誇っているテーマは更なる飛躍を、30%程度しかなかった CMP 消耗品分野では世界のユーザーが驚くような TEG

と評価方法ができた。後は組合員のビジネス化に期待したい。

- 本プロジェクトは、参加企業における製品開発への活用、半導体業界における半導体材料開発の効率向上、材料メーカーの人材育成面等で多いに役立ったと評価され、日本の半導体材料メーカーの競争力維持・強化という目的を達成しており、大変有意義なプロジェクトと考えられる。
- 本事業に関しては、特に問題はない。むしろ、複数の競合企業の参加を前提として、かつ材料メーカー全体の技術力・競争力の強化のために組まれた事業であり、NEDO が主導して初めて可能になった事業と理解している。
- CASMAT に参加した材料メーカー間で、TEG をはじめとする、電氣的評価解析インフラの共有が実現し、このことが、研究開発の進展に大きな効果があった。

#### <問題点・改善すべき点>

- 一方、CASMAT 解散後の材料評価基盤の活用、維持という課題に関して、各社が装置や評価基準書を持ち帰り、技術を継承していくことや、TEG のライセンス生産などの対策が打たれているが、評価基盤の継続的改善の見通しが必ずしも明確ではなく、デバイス技術の進展に対応した共通評価基盤の改善や標準化に向けた仕組みづくりが重要と思われる。例えば、評価基盤に関する研究会などの活動が考えられる。
- NEDO 主導の国家プロジェクトであることを考慮すれば、集積回路製造技術分野の叡智を結集して取り組むべきであると考え。集積回路製造技術を熟知した民間企業の技術者が大学に教員となって転出している現状を踏まえると、彼らの智慧を活用する手もある。総経費に余裕があれば、教員から評価技術に関する新提案を公募し、その中から利用できそうな評価技術を取捨選択して研究を進めて、新しい評価技術を開発することも検討する選択肢もあった。
- 9年続き、CASMATIVを見てみたいという気持ちもあるが、それはビジネスの中で証明してもらえば良いと自己を納得させた。各位、ビジネスで活躍・飛躍していただくことを期待する。
- 特定の分野で、材料メーカー間の協業など、国際的に強い分野を更に強くするプロジェクト等、も必要であったのではないか。

#### <その他の意見>

- ・ 文部科学省と経済産業省の縦割り行政の壁を無くして民間企業出身の大学教員が産業界を支援する機会が増えることを期待している。
- ・ 第Ⅲ期の学術的成果のみをみると、特に大きな成果はない。しかし、学術的

成果が少ないことは本プロジェクトに限っていえば問題ではない。

## 2) 今後に対する提言

新材料の導入や三次元デバイス、三次元集積化など、半導体デバイス技術には急激な変化が起こり始めており、このような時期に CASMAT が終了することは大変残念なことと言わざるを得ない。但し、社会・経済情勢も急激に変化しており、今までと同じスキームでは対応できない可能性が高いのも事実であろう。

CASMAT による材料評価の基盤構築により、日本の材料メーカーが競争力を持つ仕組みができたが、CASMAT 終了後も、競争力を維持・増強できる仕組みが必要である。300mm への対応は奏功したが、450mm への対応に関しても、どのような対応がさらなる競争力向上に必要なのか、今から考える必要がある。現状で我が国の材料メーカーは世界的に確かに強いが、今後も国内に閉じていては次第に世界から取り残される結果となる可能性が高い。新たな枠組みでは、世界に門戸を開きつつ、我が国の材料メーカーの強みを最大限に発揮して我が国がリーダーシップを発揮できるような戦略が強く求められる。

### <今後に対する提言>

- 新材料の導入や三次元デバイス、三次元集積化など、半導体デバイス技術には急激な変化が起こり始めており、このような時期に CASMAT が終了することは大変残念なことと言わざるを得ない。但し、社会・経済情勢も急激に変化しており、今までと同じスキームでは対応できない可能性が高いのも事実であろう。CASMAT 設立当時には、国内に大きなマーケットがあり、我が国の材料メーカーも強い競争力を持っていたが、今やマーケットが変化するのみならず、海外材料メーカーの追い上げも厳しくなりつつある。このような状況に対応して、半導体関連産業の技術力強化のための新しい方策や情勢の急激な変化に対応できる柔軟なマネジメント体制の構築が不可欠と考える。また、CASMAT 終了以降は、材料メーカー自身も協働してこの有形、無形の成果を発展させることが、自らの事業の発展ためには不可欠と考えている。今後も事業の継承や新しいコンソーシアムなどによって良い形での協業へと発展することを期待している。
- CASMAT による材料評価の基盤構築により、日本の材料メーカーが競争力を持つ仕組みができたが、CASMAT Ⅲ 終了後も、競争力を維持・増強できる仕組みが必要。(人材育成も含めた仕組みが必要)  
300mm への対応は奏功したが、450mm への対応に関しても、どのような対応がさらなる競争力向上に必要なのか、今から考える必要がある。
- 本プロジェクトの終結にともない、各材料メーカーは 300mm ウェーハにおける材料評価の手法を失うことになる。我が国の材料メーカーの国際競争力を維持するために、材料メーカーが実デバイスにおいて評価を行うことがで

きる新たな枠組みを作り上げるべきである。一方、半導体産業においてはグローバルな競争は必至であり、現状で我が国の材料メーカーは世界的に確かに強いが、今後も国内に閉じていては次第に世界から取り残される結果となる可能性が高い。新たな枠組みでは、世界に門戸を開きつつ、我が国の材料メーカーの強みを最大限に発揮して我が国がリーダーシップを発揮できるような戦略が強く求められる。

- デバイスメーカーや装置メーカーの入らない材料メーカーの世界でも珍しいコンソーシアムが9年も続いたのは驚くべきことだ。それは上記に述べたように長期ビジョンがしっかりできていたことと、やはり世界トップ技術を誇る材料集団だったからできたのだと思う。加えて、その材料メーカーを束ねる NEDO のご指導がなければ CASMAT は無かったものと思う。今後、組合員がその成果でこのコンソーシアムが正しかったことを証明して欲しい。

具体的には、9年間コメントし続けたことだが、CMP の特殊 TEG はユーザーが本当に欲しがっているデータを TEG レベルで具現化できたものだ。これをできればデファクトスタンダードになるようなビジネス化、その標準化を進めてもらいたい。CMP に携わるエンジニアの1人として（1メーカーとして）今後の協力は惜しみません。組合員、承継会社の方は是非相談に来て下さい。

- 本プロジェクトで開発された材料評価技術については、知財権を主張しても大きな利益は期待できない。むしろ、材料メーカー・半導体メーカーが共同で出資・運営する試作製造ラインを常設し、材料メーカーが格安で標準マスクを使用できる仕組みを立ち上げることが望ましい。試作ラインには TEG 試作と材料評価ができる人材を配置し、材料メーカーに加えて集積回路製造メーカーや大学の教員・大学院生などが参加できることを期待する。
- 今後も半導体材料メーカーの競争力を維持していくためには、さらに評価基盤を継続的に維持強化していく仕組みづくり（研究会等）が望ましいと思われる。特に、CASMAT I、II の評価基盤は定着しつつあるが、CASMAT III で開発した TEG、評価法の浸透、共通化には、もう少し時間を要する印象があり、普及に向けた継続的な活動が望まれる。
- CASMAT 解散後も、TEG の試作サービス、TEG の改訂などのサポートが計画されているとのことである。サポートの継続をぜひ実現してほしい。

#### <その他の意見>

- ・ 本プロジェクトに、直接、関係するものではないが、外部資金で購入した高額評価装置が各地に分散して、効果的に使用されているとは言い難い。国

家財政の厳しい折、高額評価装置の有効活用の可能性を検討してもらいたい。例えば、装置をインターネット遠隔操作システムに直結して、全国各地から高額計測装置が使える体制ができることを期待する。試料は宅配便で送付し、オペレータが試料を装置にセットするだけで、遠隔地からユーザーが装置を操作して所望の計測をすることができれば高額計測装置の有効利用が図れる。

- 本プロジェクトは半導体材料メーカーに係わるものであったが、半導体産業あるいは他産業においても、ある技術分野の枠を超えた協業が我が国の国際競争力を大いに高めることに役立つケースが同様にあるのではないかとNEDOにはこのような新事業を期待する。
- CASMATⅢで研究された、キュア温度の低いバッファコートは、3次元デバイスへの対応だけでなく、新機能デバイス（MRAM、FeRAM など）への適用が大いに期待される。
- 今後の半導体産業の振興のため、CASMAT の経験を踏まえ、参加各社が建設的な提言をされることに期待しております。また、独立行政法人、大学等との連携についても提言をお願いしたい。



## 2. 各論

### 1) 事業の位置付け・必要性について

半導体デバイスメーカーの国際競争力が低下し、技術開発スキームが変貌していく中で、わが国の強みの一つである半導体材料メーカーの競争力を今後も引き続き維持・向上させることはわが国の国際競争力強化にとって極めて重要である。そのための材料評価技術基盤の構築を目指した本事業は、強いニーズがありながら民間企業だけでは到底実施出来なかったものであり、NEDO が関与して初めて可能になった事業として高く評価できる。

半導体材料メーカーにとっては、共通の材料評価指標が整備されることは、材料の完成度のベンチマーク、デバイスメーカーへの提案力向上など、競争力向上に大きな効果が期待できる。CASMATⅢで、デバイスの評価の観点を取り入れた評価 TEG 及び評価基準の構築を目標としたことは、材料開発力の強化に貢献できた。このことから、日本の国際競争力を強化する意味で、事業の目的は妥当であった。

#### <肯定的意見>

- 本プロジェクトでは、材料の中核的な技術の海外流出を回避するため、平成 15 年にコンソーシアム(CASMAT)を組織化し、戦略的に材料の研究・開発に取り組んだことを高く評価したい。わが国の材料メーカーの実力は世界トップレベルであると言われているものの、各材料メーカーはユーザー(集積回路製造メーカー)からの依頼を受けて泥縄式に対応しているのが現状である。このような状況が続いていると、半導体材料開発の本質的な部分は依頼側(企業)にノウハウとして蓄積されるだけで、材料メーカーの国際的な優位性は低下していく。このような事態を回避するためにも、本プロジェクトを実施した意義がある。  
本プロジェクトで新開発された評価技術を使用して優れた材料を創り出すことができれば、投入した資金(税金)の還元は十分に期待できる。
- 本事業は、半導体材料メーカーにおいて、強いニーズがありながら個別では実施できなかったことを、NEDO が関与することで成し得た重要な事業と評価できる。半導体材料メーカーの開発において、新規顧客の獲得や売り上げの向上等の直接的な効果が得られている他、半導体材料メーカーにおいて、顧客デバイスメーカーのニーズを把握した人材の育成や、評価基盤の重要性の認識などの波及効果が大きいと考えられ、日本の国際競争力を強化する意味で、事業の目的は妥当である。
- 半導体デバイスメーカーの国際競争力が低下し、技術開発スキームが変貌していく中で、わが国の強みの一つである半導体材料メーカーの競争力を今後も引き続きの維持・向上させることはわが国の国際競争力強化にとって極めて

て重要である。そのための材料評価技術基盤の構築を目指した本事業は、民間企業だけでは到底実施出来なかったものであり、NEDO が関与して初めて可能になった事業として高く評価できる。

- 300mm 設備を用いた材料開発の基盤を構築することは、材料メーカーの国際的競争力を更に強化する上で、非常に重要であった。材料開発の基盤を更に有効に活用し、材料開発期間の短縮を図る為には、共通の評価指標となる評価 TEG 及び評価基準を構築することが必要である。  
共通の材料評価指標が整備されることは、材料の完成度のベンチマーク、デバイスメーカーへの提案力向上など、競争力向上に大きな効果が期待できる。
- NEDO のリーダーシップにより、もともと強かった我が国の材料メーカーをさらに強くするための枠組みを作り上げたことは高く評価されるべきである。このような枠組みは民間のみでは不可能であったであろう。目的どおりの成果が達成されたといえる。
- 狙いは CASMAT I（2003 年）から明確であり、「世界の 70%シェアを持つ材料分野を圧倒的なものに仕上げる」ということだったと思います。ところが材料メーカーだけでは競争はしても協業は難しく、NEDO しか成し得ないものだったと評価しています。
- 本事業は、日本の半導体産業向けの最先端材料開発の促進に大きな貢献があった。NEDO の事業目的にかなっていると考える。

#### <問題点・改善すべき点>

- I 期、II 期、III 期とそれぞれの目的を明確にしながら、事業内容を発展させてきており、特に大きな問題は感じられない。評価手法や開発した TEG の国際標準化が実現できれば非常に大きな成果になるところではあるが、それは本事業の中でというよりは、わが国の半導体業界全体の努力が不可欠で、また短期間では為し得ない部分でもあり、むしろ参画した半導体材料メーカーの中でその重要性和今後の方向が共有されたことは本事業の成果の一部と捉えるべきであろう。
- CASMAT I、II、III と目的が明確であり、本来 IV も視野に入っていたはずで、特に大きな問題は無い。改善できるとすれば、もっと標準 TEG が世界スタンダードになるべく、海外に働きかけることができれば、とは思いました。
- 開発した評価技術の標準化、知財の国際的な権利化、普及という面で、まだ時間を要すると思われる。

<その他の意見>

- 300mm 設備を用いた材料開発の基盤が 2003 年から構築され、2012 年まで活用できた効果は非常に大きい。特に世界で 300mm 主流となる環境下で、適切なタイミングであった。CASMATⅢでは、デバイス的な評価の観点を取り入れた評価 TEG 及び評価基準の構築を目標としたことは、材料開発力の強化に貢献できた。

## 2) 研究開発マネジメントについて

半導体材料メーカーの競争力を底上げする目的に対して、研究開発の目標が適切に設定され、計画も妥当であった。特に、「競合」企業の参画を可能にした運営方針と運営体制は高く評価されて良い。集積回路のプロセスインテグレーションを経験したデバイスメーカー出身の技術者が中立的な立場で組合員企業（材料メーカー）の研究指導にあたる体制を構築し、競合関係にある半導体材料メーカー間の利害を適切にマネジメントしながら、協調領域の評価基盤の確立、活用を円滑に運営した。また、材料の評価結果の公開・非公開の明確化により各メーカーの個別技術の保護が図られた。その結果、共通の評価環境が構築できた事により、同業他社とのベンチマークも可能となり、自社の強みと弱みを知り取捨選択の結果、得意分野に注力できる機会を提供できた。

また、今後の半導体産業での利用拡大が見込まれる、低誘電率絶縁膜、CMP用スラリ、バッファコート材料など、適切なテーマ設定をした。その開発のために TEG を用いた電氣的評価を行う点も、技術の本質について、良いアプローチであった。

### <肯定的意見>

- 今後の半導体産業での利用拡大が見込まれる、低誘電率絶縁膜、CMP用スラリ、バッファコート材料など、適切なテーマ設定をしている。その開発のために TEG を用いた電氣的評価を行う点も、技術の本質について、良いアプローチである。
- 材料の高度評価基盤構築の為、FEOL デバイスを用いた評価 TEG、評価基準を構築し、活用することを目的とした事は、適切な目標設定である。特にデバイスに知見を持った方をリーダーとして配置し、デバイスメーカーの視点（顧客視点）でも、評価環境を構築できた。  
評価結果の公開・非公開の明確化による各メーカーの個別技術の保護が図られた。  
共通の評価環境が構築できた事により、同業他社とのベンチマークも可能となり、自社の強みと弱みを知り取捨選択の結果、得意分野に注力できる機会を提供できた。
- I 期、II 期の目的と成果を踏まえた III 期の研究開発目標や研究開発計画は、半導体材料メーカーの競争力を底上げするものとして妥当であったと判断できる。特に、「競合」企業の参画を可能にした運営方針と運営体制は高く評価されて良い。評価 TEG の作製と評価基準書の作成という研究開発項目も事業規模に対して妥当と考える。本事業として重要な点は、半導体材料メーカーでの人材教育・人材育成、材料のスクリーニング手法の確立、評価の標準化としての TEG の作製であり、いずれの観点に対しても高い研究マネ

ジメント力が発揮されていたと考える。

- 集積回路のプロセスインテグレーションを経験したデバイス技術者が中立的な立場で組合員企業(材料メーカー)をとりまとめ、(1)ユーザーの視点からの材料開発を行い、(2)材料メーカーにも集積回路製造プロセスを理解する人材が育った、ことは高く評価できる。全体的な管理運営の方法が妥当であったと判断する。
- デバイスメーカー出身の中立的な立場の主任研究員を中心に据えたことは、マネジメント上、高く評価できる。実際、その主任研究員の適切なマネジメントにより、各材料メーカーが自由に各メーカーの目的にそって事業を推進することができた。
- CASMAT はもともと長期的視野に立っている。研究目的に①材料メーカーの教育もあり、この教育無くして開発の広がりもない。この教育は研究マネージャの貢献度が高く、素晴らしい結果と他から評価されている。②材料のスクリーニング、これはデバイスメーカーが望んでいることで、そのスクリーニング方法を間違えるとデバイスプロセスにまで影響してしまうものだ。そのスクリーニング力と貢献度は大きい。③そして本当の協業だ。これに関しては成果参照。
- プロジェクトリーダーを置かず、主任研究員・研究部長としてデバイスメーカー出身の方を迎え、中立的な立場で、研究指導にあたる体制を構築し、競合関係にある半導体材料メーカー間の利害を適切にマネジメントしながら、協調領域の評価基盤の確立、活用を円滑に運用したマネジメントが評価できる。

#### <問題点・改善すべき点>

- この二、三年で社会・経済情勢は急速に変化しており、Ⅲ期の終了時点から顧みれば、そのような変化には必ずしも対応できていなかったと見ることが出来る。例えば、材料メーカー以外からの参画があれば、さらにより大きな成果が期待できたかもしれない。但し、個人的には、Ⅰ期、Ⅱ期の計画当時の状況からは本事業の研究開発体制でやむを得なかったのではないかと考えている。今後は、技術開発方向も含めて、今まで以上に急激な変化が起こることが予想されるため、より弾力的な運営が図れるような NEDO としてのマネジメント体制の構築が求められる。
- プロジェクトの第三期の技術開発目標は漠然としている。明確な数値目標が示されていないため、達成できたかどうかの判断を○×で行うことになったが、可能なら、計画の段階で明確な数値目標があればよかった。本プロジェクトで開発された技術項目の多くは既発表のものであった。ただ、複数の項目を多角的(総合的)に評価できるプロセス評価マスクが設計できた

ことは材料メーカーにとって大きな意義がある。

- 9年間じっくり育てたこの方法を私個人は高評価しているが、反対意見も無い訳では無い。結論は成果で見れば良いと思うが。
- 特定の分野で、材料メーカー間の協業など、国際的に強い分野を更に強くするプロジェクト等、も必要であったのではないか。
- 敢えて言えば、評価基盤の普及への取り組みが、もう少しあっても良かったかもしれない。

<その他の意見>

- ・ 今回の評価 TEG は、加工寸法の観点では、現在の最先端のプロセス世代にマッチしたものではない。しかし、費用対効果及び、本 TEG の基本目的（材料開発）を鑑みると、今回の評価 TEG は妥当。
- ・ 半導体材料におけるわが国の優位性を確保するには更に多くの経費の投入が欲しかった。

### 3) 研究開発成果について

半導体プロセス全体を俯瞰して材料評価基盤を短期間で完成させ、評価 TEG の作製及び評価基準を作成したことは有意義であり、成果は汎用性があり目標をクリアしている。また、予算規模を考慮すると費用対効果は十分にあった。当初の目標（テーマ）を断念したものもあるが、選択する能力を身に着け、効率的な研究開発を行えたことも成果の一つと評価する。評価 TEG の中に PN 接合及びトランジスタが存在することにより、配線系だけの TEG では得られない重要な評価（より実用に近い評価）が可能となった。従来では、材料メーカーが FEOL\*1 を考慮した評価・検討を行うことはできなかった。今回それが可能な評価基盤が整備できた。また、評価 TEG の設計検証の時期は適切であった。その後の材料メーカーの大量活用に貢献できた。RO\*2 を用いた実効配線間容量測定、電池効果による Cu 研磨時の腐食、バッファークोटに於ける剥離耐性係数など、デバイスメーカーの視点を考慮した評価方法を確立できた。これらは、材料メーカーがデバイスメーカーに新材料を提案する上で、重要な知見である。

一方で、CMP\*3-TEG は素晴らしい成果だと高評価できるものであり、この TEG を承継した会社に期待する。評価方法などの知的財産権は、海外でも権利を取得すべきであった。

\*1 : FEOL (Front End Of Line の略。Si 基板上にトランジスタ等の素子を作る一連の工程。)

\*2 : RO (Ring Oscillator。インバーターを奇数段リング状に接続した発振回路で、構成素子の特性や負荷の特性に応じて発振周波数が変化する。)

\*3 : CMP (Chemical Mechanical Polishing (化学的機械的研磨)。シリカ粒子を含んだ研磨液（スラリー）をウェーハ表面に流しながら、スピンドルに貼り付けたウェーハを回転テーブル表面の研磨パッドに圧着させて研磨する方法。)

#### <肯定的意見>

- 評価 TEG 及び評価基準が完成し、材料メーカーに活用され、成果を生み出している。総合的な研究開発目標は達成されている。評価 TEG の中に PN 接合及びトランジスタが存在することにより、配線系だけの TEG では得られない重要な評価（より実用に近い評価）が可能となった。従来では、材料メーカーが FEOL を考慮した評価・検討を行うことはできなかった。今回それが可能な評価基盤が整備できた。また、評価 TEG の設計検証の時期は適切であった。その後の材料メーカーの大量活用に貢献できた。RO を用いた実効配線間容量測定、電池効果による Cu 研磨時の腐食、バッ

ファークコートに於ける、剥離耐性係数など、デバイスメーカーの視点を考慮した評価方法を確立できた。これらは、材料メーカーがデバイスメーカーに新材料を提案する上で、重要な知見である。

- 報告書どおり、成果はスケジュールどおりに出ている。当初の目標（テーマ）を途中で断念したものもあるが、それが開発だ。選択する能力を身に着けたことも成果の一つと評価する。特に **CMP** の特別評価 **TEG** は本来世界標準にもなり得る素晴らしい発明（成果）だと高評価する。
- 半導体プロセス全体を俯瞰して材料の開発を行うため、標準 **TEG** を作製したことは極めて有意義であり、各メーカーの材料開発および顧客へのアピールに大いに役立った。研究当初の周到な研究開発計画が功を奏したといえる。
- 当初の目標は達成されており、予算規模を考慮すると、本プロジェクトの費用対効果については十分にあったと判断する。今後、本プロジェクトで開発した材料評価用マスクを活用することで半導体材料の開発が一層進むと思われる。
- 成果は汎用性があり、材料メーカーが評価結果をあらかじめ取得して、デバイスメーカーの求める材料を開発できるため、半導体業界全体の開発効率アップにつながる成果である。フロントエンドプロセス、組み立て工程など、外部試作も活用して、トータルな材料評価基盤を短期間で完成させたのが大変評価できる。
- 研究開発はスケジュール通りに進行しており、成果は目標をクリアしていると判断している。また、**TEG** や評価基準書の活用状況も順調であり、本事業が参加企業や当該分野にとって有用であったと考えられる。特に、途中で研究開発の方向を変えた事例も見られたが、このことは本事業の重要な成果であり、効率的な研究開発を行うために評価技術基盤の確立とその共有がいかに大切かを示している。Ⅲ期においても、数は多くはないが、必要な特許出願や対外発表はなされていると判断する。
- 今回の研究開発成果を参加各社が持ち帰ることにより、半導体産業用材料の国際競争力強化につながることを期待される。

#### <問題点・改善すべき点>

- 本来世界標準となるべき **CMP-TEG** がそれほどの広がりを見せなかった。これは開発成果というよりも、ビジネス上の課題と考える。この **TEG** を承継した会社に期待する。
- 評価方法などの知的財産権の登録は、国内だけに限らず、海外でも権利を取得すべきであった。
- **TEG** の標準化までには至らなかったのは残念であるが、Ⅱ-1でも述べたよ



うに、標準化のためには材料メーカー単独ではなく、半導体業界全体の協力が不可欠であり、また普及するためのそれなりの時間が必要と考える。今後の展開に期待したい

- 開発した評価技術の共通化、標準化、普及に向けては、TEG や評価法の継続的な改善、ノウハウの蓄積が必要と思われ、さらなるブラッシュアップが望ましいと思われる。
- 第3期の研究成果そのものは、プロセス的にみてもデバイスのみても一部を除いて世界最高水準とは言い難い。

#### <その他の意見>

- ・ 大手半導体製造メーカーにはすでに評価用 TEG やその評価技術に関するノウハウは十分に蓄積されていたはず。もっと早い時期(15年前)にこれらの技術を大手半導体製造メーカーの間で共有化したり、材料メーカーに伝えていけば、わが国の半導体産業の状況も違っていたと思われる。過去10~20年、台湾、シンガポール、韓国、中国では国家戦略として集積回路産業の育成が行われてきたが、わが国ではこの技術分野への国の研究開発が極めて消極的であった。このことも日本の集積回路製造メーカーが劣勢に立たされている原因であろう。
- ・ 今回のテーマは、最先端の材料開発にかかわるものであり、開発に着手したすべてのものが製品化されることをフォローすべきではなく、今回のテーマうちのいくつかが高国際競争力の高い製品となることに期待すべきである。
- ・ 研究成果そのものが世界水準にないことは、特に大きな問題ではなく、事業目的に照らして、本プロジェクトでは目標が達成され、成果は適切に公表されたといえる。
- ・ 研究開発の成果は、学会発表、成果報告会、外部報告会などで、情報展開、技術アピールすることができた。

#### 4) 実用化、事業化の見通しについて

参加した材料メーカーが評価 TEG 及び評価基準を利用し、多くの新材料の評価を実施している。評価 TEG 試作の直後から材料の評価実績件数が急に増大していることより、評価 TEG 及び評価基準が材料メーカーにとって意味あるものであったことが認識できる。TEG を使った評価により、製品開発の完成度が高まっており、材料メーカーにとって実用化に向けての課題は明確化されたと考える。また、評価基盤が整備される事により、材料メーカーが、デバイスメーカーに対して提案力を持つことができ、ビジネスに繋げる機会が増大した。結果として、材料メーカーの競争力強化となっている。

参加企業が評価基盤技術の有効性を認識し、解散後も自社に持ち帰り、評価基盤の事業への活用を考えていること、TEG の供給を受けられる体制が整えられていることは評価できる。

一方で、次世代、次々世代を鑑みての対応（450mm 対応を含む、将来にわたっての競争力の維持・向上）も踏まえて業界全体としての具体的な取り組みに繋がって行くことを期待する。また、本プロジェクトで確立した材料評価基盤が半導体材料の分野において世界的に認められるようなものとなれば、顧客が新材料を選択する際に我が国の材料メーカーにとって有利となる。現状、TEG に世界スタンダードはないが、デファクトスタンダードとなりうるような TEG の普及に期待する。

##### <肯定的意見>

- 参加した材料メーカーが評価 TEG 及び評価基準を利用し、多くの新材料の評価を実施している。評価 TEG 試作の直後から材料の評価実績件数が急に増大していることより、評価 TEG 及び評価基準が材料メーカーにとって意味あるものであったことが認識できる。また、上記評価基盤が整備される事により、材料メーカーが、デバイスメーカーに対して提案力を持つことができ、ビジネスに繋げる機会が増大した。結果として、材料メーカーの競争力強化となっている。

各材料メーカーは CASMATⅢ 終了後には、独自に必要な設備を手配し評価環境を構築する方向。ビジネスとして将来の成長性、投資回収できる見込みが出てきていると考えられる。

但し、次世代、次々世代を鑑みての対応（450mm 対応を含む、将来にわたっての競争力の維持・向上）を、今から考えておくべき。

- 本プロジェクトを通じて、参加企業が評価基盤技術の有効性を認識し、解散後も自社に持ち帰り、評価基盤の事業への活用を考えていることが評価できる。また、TEG のライセンスにより解散後も TEG の供給を受けられる体制が整えられている点も評価できる。本プロジェクトを通じて、材料メーカー

のデバイス評価に対する知見やノウハウがデバイスメーカー技術者から伝わり、人材育成面で大きな波及効果が期待できる点が評価できる。

- TEG を使った評価により、製品開発の完成度が高まっており、実用化に向けての課題は明確化されたと考える。
- 本プロジェクトで開発された半導体材料評価技術は大きな障害もなく実用に供することは可能と判断する。ただ、開発した評価技術の多くは既知のものであり、知財からの収益を求めるものは少ない。むしろ、材料メーカーと集積回路製造メーカーの技術者が協力し合いながら評価技術を立ち上げてきたことで、半導体製造メーカーの技術者と議論できる材料技術者が育ったことがもう一つの大きな成果である。これは材料メーカーの今後のグローバル展開に大いに役に立つ。
- 本事業で得た直接の成果そのものよりも、この成果を応用した組合員の事業化の方に期待する。例えば、CMP-TEG もその TEG そのもののビジネスも良いが、この TEG を使った結果は世界中の CMP ユーザーが欲しがっているデータだ。この評価方法や TEG をデファクト化できれば、事業は大きく飛躍できる可能性がある。
- TEG そのものがビジネスになるとは思えないが、300mm ウェーハにおいて TEG で評価したこと自体が各材料メーカーの製品の実用化を促進したことは間違いない。その意味で、本プロジェクトの成果はすでに実用化しているといってよい。材料メーカーの人材育成にも大きく寄与している。
- 本事業の成果そのものが事業化に直接繋がるものではないが、人材育成的な部分や評価技術基盤の活用によって、参加企業の事業に貢献するものと考えられる。むしろ、波及効果としての人材育成や TEG の今後の継承や整備によって、当該分野の研究開発や事業の発展が大いに期待できる。

#### <問題点・改善すべき点>

- 今後の TEG の継承や整備、人材育成に関しては、材料メーカー自身の努力が不可欠であり、業界全体としての具体的な取り組みに繋がって行くことを期待する。
- もともと 90%近いシェアを持つ分野では、その分野を伸ばすというよりは、更に新しいヒントを得るべく開発をされたと信じている。30%シェアしかない CMP 用消耗材では 60%に上げるための工夫やビジネスモデルのヒントを得られたはずだ。今後の事業拡大に期待する。
- 解散後の継続的な人材育成や、技術力の維持・強化などの面での見通しが必ずしも明確になっていないため、中長期的な材料メーカーの競争力維持・強化の仕組みづくりに取り組むことが望ましいと思われる。

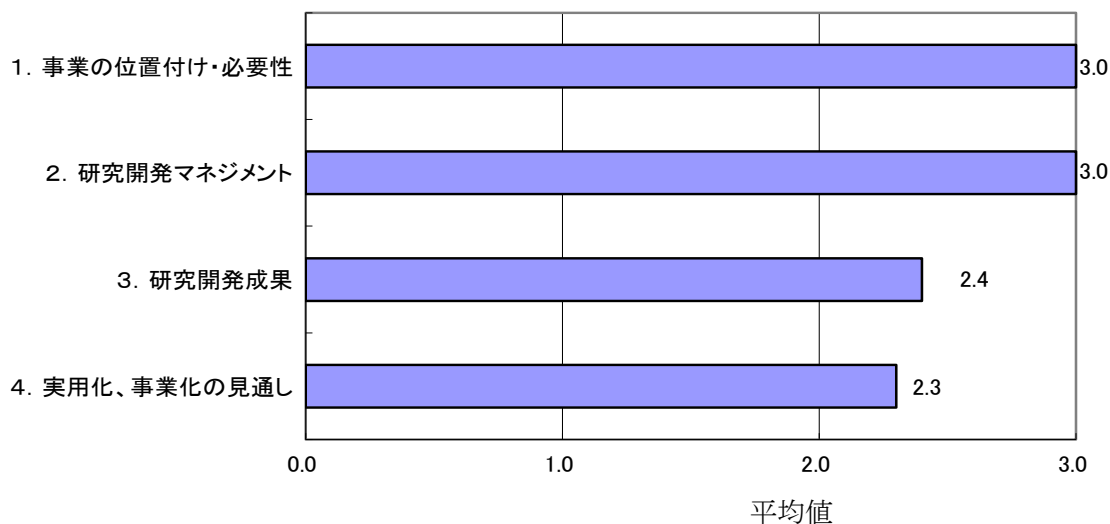
- TEG の売り上げ見通しの資料があるが、本プロジェクトの事業化の意義は、TEG の売り上げではないであろう。

<その他の意見>

- ・ 本プロジェクトで確立した材料評価基盤が半導体材料の分野において世界スタンダードとなれば、顧客が新材料を選択する際に我が国の材料メーカーにとって有利となる。現状、TEG に世界スタンダードはないと思われるが、世界スタンダードを狙う取り組みも今後は必要であろう。

### 3. 評点結果

#### 3. 1 プロジェクト全体



評価項目	平均値	素点 (注)							
		A	A	A	A	A	A	A	A
1. 事業の位置付け・必要性について	3.0	A	A	A	A	A	A	A	A
2. 研究開発マネジメントについて	3.0	A	A	A	A	A	A	A	A
3. 研究開発成果について	2.4	B	B	A	A	B	A	B	B
4. 実用化、事業化の見通しについて	2.3	A	B	B	A	B	B	B	B

(注) A=3, B=2, C=1, D=0 として事務局が数値に換算し、平均値を算出。

#### 〈判定基準〉

1. 事業の位置付け・必要性について	3. 研究開発成果について
・非常に重要 →A	・非常によい →A
・重要 →B	・よい →B
・概ね妥当 →C	・概ね妥当 →C
・妥当性がない、又は失われた →D	・妥当とはいえない →D
2. 研究開発マネジメントについて	4. 実用化、事業化の見通しについて
・非常によい →A	・明確 →A
・よい →B	・妥当 →B
・概ね適切 →C	・概ね妥当であるが、課題あり →C
・適切とはいえない →D	・見通しが不明 →D

## 第2章 評価対象プロジェクト

1. 事業原簿

次ページより、当該事業の事業原簿を示す。

**「半導体機能性材料の高度評価基盤開発」**

**事業原簿**

**【公開】**

担当部	独立行政法人新エネルギー・産業技術総合開発機構 電子・材料・ナノテクノロジー部
-----	--



# 目次

## 概要

### プロジェクト用語集

#### I. 事業の位置付け・必要性について

- 1. NEDO 関与の必要性・制度への適合性 . . . . . I - 1
  - 1. 1 NEDO が関与することの意義
  - 1. 2 実施の効果（費用対効果）
- 2. 事業の背景・目的・位置付け . . . . . I - 5
  - 2. 1 事業の背景
  - 2. 2 事業の目的及び意義
  - 2. 3 事業の位置付け

#### II. 研究開発マネジメントについて

- 1. 事業の目標 . . . . . II - 1
- 2. 事業の計画内容 . . . . . II - 4
  - 2. 1 研究開発の内容及び全体スケジュールと予算
  - 2. 2 研究開発の実施体制
  - 2. 3 研究の運営管理
  - 2. 4 研究開発成果の実用化・事業化に向けたマネジメントの妥当性
- 3. 情勢変化への対応 . . . . . II - 1 2

#### III. 研究開発成果について

- 1. 事業全体の成果 . . . . . III - 1
- 2. 研究開発項目毎の成果
  - 2. 1 接合素子を含む材料評価用配線 T E G の開発 . . . . . III - 2. 1 - 1
  - 2. 2 材料による金属汚染、応力影響の評価方法の開発 . . . . . III - 2. 2 - 1
  - 2. 3 半導体プロセス全体を考慮した材料評価基盤の開発 . . . . . III - 2. 3 - 1
  - 2. 4 評価基準書 . . . . . III - 2. 4 - 1

#### IV. 実用化・事業化の見通しについて . . . . . IV - 1

#### V. 成果資料

- 1. 外部発表リスト . . . . . V - 1
- 2. 特許リスト . . . . . V - 3

- (添付資料1) ナノテク・部材イノベーションプログラム基本計画
- (添付資料2) エネルギーイノベーションプログラム
- (添付資料3) ITイノベーションプログラム
- (添付資料4) プロジェクト基本計画
- (添付資料5) 技術戦略マップ
- (添付資料6) 事前評価書
- (添付資料7) パブリックコメント

概要

最終更新日

平成 24 年 6 月 15 日

プログラム（又は施策）名	ナノテク・部材イノベーションプログラム エネルギーイノベーションプログラム ITイノベーションプログラム				
プロジェクト名	「半導体機能性材料の高度評価基盤開発」プロジェクト	プロジェクト番号	P09006		
担当推進部/担当者	電子・材料・ナノテクノロジー一部 電子・材料・ナノテクノロジー一部 電子・材料・ナノテクノロジー一部	沖 博美 廣石 治郎 岡部 豊	(平成 23 年 4 月～平成 24 年 6 月現在) (平成 22 年 4 月～平成 23 年 3 月) (平成 21 年 4 月～平成 22 年 3 月)		
0. 事業の概要	本技術開発により、回路の消費電力低減に必要な配線形成用各種材料等の開発のネックとなっている微細環境下のナノレベルでの材料間の相互影響まで評価可能な統合部材開発支援ツールを開発し、情報通信機器の高機能化、低消費電力等の要求を満たす半導体集積回路用材料の開発基盤技術を構築し、我が国の材料メーカーの競争力を維持・強化することを目的とする。				
I. 事業の位置付け・必要性について	<p>我が国の材料産業は、国際的に高い技術力と競争力を有し、我が国の経済社会の発展を支えているが、川下産業との取引のオープン化に伴いユーザーとの連携の希薄化が進行する一方で、汎用的な材料技術はアジア諸国の技術向上によるキャッチアップが進行している。そのため我が国において産学官を含む連携の強化（川上川下の垂直連携、材料創成と加工の水平連携など）を図ることで、次世代の部材分野での我が国のイノベーションを促進することが喫緊の課題となっている。</p> <p>そこで本プロジェクトは、「部材分野の技術戦略マップを活用し、将来の部材の基盤技術の方向性を見定めるとともに、材料関係者だけでなく多様な連携（川上川下の垂直連携、材料創成と加工の水平連携等）による基盤技術開発を支援することで、部材分野の技術革新を促進すること」を目的としたナノテク・部材イノベーションプログラム、我が国エネルギー供給の効率化に資するエネルギーイノベーションプログラム及びITの利活用深化・拡大を図り、より豊かな国民生活を実現するとともに、我が国の経済活力の向上を図ることを目的とするITイノベーションプログラムの一環として実施する。</p> <p>また、本プロジェクトで取り扱う対象部材は半導体集積回路に用いる製造材料のかなりの範囲を占めるため、一研究機関又は一企業での開発ではハードルが高く、リスクも大きい。このため、NEDOは、独自の材料開発技術を持った複数の産学の科学的知見を結集し、半導体集積回路のフロントエンドから配線工程、パッケージ組立工程までの一貫したプロセス検証を行うことによって信頼性のある統合部材を提供できる評価基盤を確立し、これを産業技術へ繋げていくとともに、社会の共通基盤として情報の整備、提供を行うとの事業方針に基づき、プロジェクトを実施するものである。</p>				
II. 研究開発マネジメントについて					
事業の目標	半導体デバイス性能に直結する接合素子（p-n 接合、SiO <sub>2</sub> -Si 接合）の性能・信頼性まで含め、半導体製造プロセス全体を俯瞰して半導体材料が開発できる材料評価基盤を構築する。 ①接合素子を含む材料評価用配線 TEG の開発 ②材料による金属汚染、応力影響の評価方法の開発 ③半導体プロセス全体を考慮した材料評価基盤の開発				
事業の計画内容	主な実施事項	H 2 1 fy	H 2 2 fy	H 2 3 fy	
	①接合素子を含む材料評価用配線 TEG の開発			→	
	②材料による金属汚染、応力影響の評価方法の開発			→	
	③半導体プロセス全体を考慮した材料評価基盤の開発			→	
	成果とりまとめ			→	
開発予算 (単位：百万円) 契約種類： 助成（負担率 1/2）	会計・勘定	H 2 1 fy	H 2 2 fy	H 2 3 fy	総額
	一般会計	0	0	0	0
	特別会計（需給）	60	40	40	140
	加速予算 (成果普及費を含む)	0	0	0	0
	総予算額	60	40	40	140

開発体制	経産省担当原課	製造産業局化学課
	委託先	次世代半導体材料技術研究組合 (平成21、22年度は材料メーカー7社、 平成23年度は材料メーカー6社で構成)
情勢変化への対応	半導体デバイスの需要は上昇傾向にあり、開発期間短縮への要望は依然として強く、部材への要求も厳しいものとなっているため、材料評価基盤構築の必要性は高い。開発した材料評価基盤を情勢が変わっても継続して活用できる体制作りを実施した。	
評価に関する事項	事前評価	平成20年度実施 電子・材料・ナノテクノロジー部
	事後評価	平成24年度 事後評価実施
Ⅲ. 研究開発成果について	<p><b>【事業全体】</b>            新材料開発のネックとなっているのは、材料を半導体製造工程に導入したときの問題点や課題を的確に且つ迅速に把握する評価技術が不十分であるという新材料開発のネックを解消するために、本事業では、これまでの配線素子に加え、接合素子を用いて、フロントエンドからバックエンド及びパッケージに至る半導体工程全体を一貫して材料影響を把握できる評価技術を開発した。新機能性材料の開発に貢献する評価基盤技術の開発とともに、その新機能性材料を用い、半導体製造に適用できる統合的なソリューション技術を開発した。</p> <p><b>【個別テーマ毎】</b>  <b>研究開発項目① 接合素子を含む材料評価用配線 TEG の開発</b>            従来 TEG マスクよりも材料とプロセス条件が接合素子の初期特性や信頼性に与える影響をより高精度な定量的抽出ができるように、種々の接合素子のパターン形状、寸法、構造などを変更して新規 TEG マスクを設計し、そのマスクを用いて接合素子を含む TEG ウェーハの外注試作を行った。新規 TEG においては、評価結果からの見直しを一部行い、より高精度な評価ができるように修正版の外注試作・評価も行った。            その新規 TEG の形状観察や電気特性の測定を行って、接合素子の機能を検証し、さらに配線工程を付加した場合に材料評価専用 TEG としての機能が発揮できるか検討した。</p> <p><b>研究開発項目② 材料による金属汚染、応力影響の評価方法の開発</b>            300mm シリコンウェーハ上に接合素子を作製し、2層配線形成及びバッファコート材料を用いて膜形成を行い、Cuなどの重金属汚染による接続素子の影響を評価した。            また、配線腐食を高感度に測定できるように、P型基板とN型基板を用いた腐食評価用 TEG による腐食評価などを行った。            それらの結果に基づいて、製造工程に用いる半導体材料あるいは製造プロセスによる接合素子への影響（金属汚染、応力、電荷蓄積など）が把握できる電気特性の測定方法や解析方法の開発を行った。</p> <p><b>研究開発項目③ 半導体プロセス全体を考慮した材料評価基盤の開発</b>            FEOL と BEOL を連続して試作できる TEG ( FEOL/BEOL 統合 TEG ) を開発し、その TEG を用いて BEOL の材料評価技術を開発する。対象とするパッケージをワイヤーボンド型とし、QFP 組立を実施、素子特性測定、解析を行い、接合素子と Cu/low-k 配線を有するウェーハのパッケージ組立工程の基準プロセスを想定し、そのプロセスによる熱、応力、水分などが接合素子や配線素子に及ぼす影響を検討した。</p>	
	外部発表	「査読付き」12件、「その他」7件
	特許	「出願済」13件、「登録」0件 特記事項：全て評価方法に関する特許。開発材料の特許、組合員企業に帰属する仕組みとなっている。
	その他の外部発表 (プレス発表等)	「外部向け研究報告会」1件
Ⅳ. 実用化、事業化の見通しについて	本プロジェクトの研究開発成果の材料評価基盤の実用化は、①TEG：ライセンス許諾により継続入手可能に②材料評価基準書：既に活用中であり、引き続き活用③評価方法に関する特許：組合員による活用と、普及のためのライセンス許諾という形で実施される。材料メーカーによる半導体材料の事業化は、材料評価基盤の活用により促進される。	
Ⅴ. 基本計画に関する事項	作成時期	平成21年3月 作成
	変更履歴	なし

## 用語集

語句	説明
ALD (Atomic Layer Deposition)法	Atomic Layer Deposition(原子層成長):2種類の原料ガスを交互に成膜室に流し、薄膜を1原子(または分子)層ずつ成長させる方法。
APプログラム	Affiliation Program : 共通領域を通して改良された材料を用いて、CASMAT・組合員が、デバイスメーカーあるいは半導体装置メーカーと共同で行う実用化研究の総称。
BARC	Bottom Anti Reflective Coating : レジストを透過したUV光が下膜で反射して再びレジストに入射するのを防ぐため下膜とレジストの間に用いる反射防止膜。
BD (Black Diamond)	Applied Materials社のCVD装置で製膜されるSiOCを主成分とする低誘電率層間絶縁膜の商品名。
BEOL (バックエンドプロセス)	Back End of Line : Front end of Line でトランジスタなどの素子を作りこんだ後、それらの素子を相互に接続するための配線あるいは電源などの配線構造を作る工程。
CMOS	Complementary Metal Oxide Silicon の略。相補型MOSトランジスタ。NMOSとPMOSを縦接続したインバータを基本回路とする集積回路の代表的な構成方法。
CMP材料(スラリ、パッド)	Chemical Mechanical Polishing(化学的機械的研磨) : シリカ粒子を含んだ研磨液(スラリ)をウェーハ表面に流しながら、スピンドルに貼り付けたウェーハを回転テーブル表面の研磨パッドに圧着させて研磨する方法。
CTE	Coefficient of Thermal Expansion : 熱膨張係数。
Cuのイオンマイグレーション	プリント基板配線や再配線中に電圧をかけると、銅配線の一部がイオン化して配線外に染み出してくる現象。長時間電圧がかかるとイオンの染み出しによって配線中の電流がリークしたり、断線したりして、配線の信頼性を低下させる。

Cu 配線	LSI 用として、従来の Al を用いた配線に替り導入された。電気抵抗が低く、許容電流密度が高いため、高性能の配線が実現できる。
Cu 配線用 CMP 材料	Cu 研磨専用に使われる CMP 材料(スラリ、パッド)。
CVD	Chemical Vapor Deposition(化学気相成長)：製膜すべき膜の種類に応じ必要な原料をガス状態(気相)で供給し、これに各種エネルギーを与えて化学反応を起こさせ、下地表面での触媒反応を利用しながら薄膜を堆積させる方法。
DAF(ダイアタッチ)テープ	Die Attach Film：小片化されたチップとチップの接合、あるいはチップのパッケージ化のためにチップを接着する接着剤つきテープ。
EBR (Edge Bead Removal)	基板端面などに付着した薬液の除去。
EB 硬化装置	Electron Beam Curing Machine：電子線を照射して、そのエネルギーで膜を硬化させて強度を増大させる装置。
EDX	Energy Dispersive X-Ray Spectroscopy(エネルギー分散型 X 線分光)：観察対象に電子ビームを当てた際にサンプル表面から放出される特性 X 線を検出して、元素の定性/定量分析する方法。
EM (エレクトロマイグレーション)	金属配線を構成する原子が電子との衝突によって移動する現象。
FEOL	Front End Of Line の略。Si 基板上にトランジスタ等の素子を作る一連の工程。
Gate Implant.	MOS トランジスタのゲート・ポリ Si 膜にドーピングするためのイオン打ち込み工程。
gm	→ see “チャネル・コンダクタンス”
Half-Etch 構造	トレンチ加工時に下層のエッチストップ層に到達する前に加工を停止した構造。
HSQ	Hydrogen silsesquioxane：Si-O 結合と Si-H 結合を中心骨格とするポリシロキサン系材料の総称。
ITRS ロードマップ	International Technology Roadmap for Semiconductors：LSI の年次的な技術予測を世界に

	向けて発信している。中心となるのは微細化動向で、メモリーのハーフピッチやロジックのゲート長などである。
k 値	比誘電率(物質の真空に対する誘電率の比)を表わす値。
LDD	Lightly Doped Drain の略： MOS トランジスタのゲート電極の側壁に形成した絶縁膜を利用してゲート下のドレイン拡散層の不純物濃度勾配を緩和し、ドレイン接合の耐圧向上と信頼性の向上(ホットキャリアの発生抑制)を図る方法。
LOCOS	Local Oxidation of Silicon の略。素子分離絶縁膜の一種。
Low-k 材料	IC で最もポピュラーな CVD SiO 膜(k = 4.1)に比べ、より低い比誘電率を有する膜の総称。特に多層配線の層間絶縁膜に用いられる。
L 型	素子の動作領域が LOCOS 膜で規定された TEG の型式。
MEMS 技術	Micro Electro Mechanical Systems : マイクロマシン技術。
MIRAI プロジェクト	Millennium Research for Advanced Information Technology : 次世代の半導体に不可欠な新材料の研究開発と、これを実用化するためのプロセス技術の開発を行い、LSI の消費電力や処理速度を格段に向上させる NEDO 委託プロジェクト。
MIS トランジスタ	Metal Insulator Semiconductor Transistor の略。金属-絶縁膜-半導体構造の電気特性を利用した増幅素子。ソース、ドレイン、ゲート、基板の 4 端子がある。
MOS トランジスタ	Metal Oxide Semiconductor Transistor の略。金属-酸化膜-半導体構造の電気特性を利用した増幅素子。ソース、ドレイン、ゲート、基板の 4 端子がある。MIS トランジスタの一種。
MOS キャパシタ	MOS 構造を利用した容量素子。
MSQ	Methylsilsequioxane : Si-O 結合と Si-CH <sub>3</sub> 結合を中心骨格とするポリシロキサン系材料の総称。

nm ノード	→see “テクノロジーノード”→”ITRS ロードマップ”
N 型	素子の動作領域がN型拡散層で規定されたTEGの型式。
OCD	Optical Critical Dimension(光学 CD 測定) : ウェーハ表面からの散乱光(回折光)を解析して、繰り返しパターンの断面形状(トレンチ幅や深さ、トレンチ側壁傾斜角等)を得る手法。
OPC (Optical Proximity Correction)	近接効果補正。
Pad Oxide	分離酸化膜(LOCOS 膜)形成プロセスで使用するSiN 膜の下に応力緩和の目的で挿入する薄い酸化膜。
PDA	Personal Digital Assistant : 情報を管理するための個人用の情報端末。
p-n 接合電池	pn 接合に光を当てると、電子と正孔の対が発生して起電力が起きる。この作用を p-n 接合電池作用と言う。太陽電池も同じ原理。
PVD	Physical Vapor Deposition(物理気相成長) : 物理的な手段によって材料物質を堆積させる製膜法。高エネルギーでターゲット材から原子を叩き出し(スパッタ)、ウェーハに付着、堆積させる。
QFP	Quad Flat Package:IC パッケージの一種で、ケースの4 側面から出ているリードピンが外側にL 字型に曲げられているもの。
SAXS (Small Angle X-ray Scattering)	高輝度小角 X 線散乱装置のこと。物質に X 線を照射して、散乱された X 線を検出、解析することによってナノ材料の構造を評価する装置。
Selete	Semiconductor Leading Edge Technologies : 半導体メーカー10 社の共同出資により設立され、300mm ウェーハ対応の生産技術開発コンソーシアム。
SEMATECH	Semiconductor MAnufacturing TECHnology:アメリカ半導体産業を強化する目的で、政府資源を投入して1987年に設立されたコンソーシアム。1996年に民間に移行。その後子会社としてインターナショナル SEMATECH を設立して米国以外にもサ



	ービスをおこなっている。
SIV	Stress Induced Void : ストレスにより発生するボイド (“ストレスマイグレーション”参照)
SM	→ see “ストレスマイグレーション”
SOB	Spin on Barrier : 塗布型バリア膜。
SOC	Spin on Cap : 塗布型 CMP キャップ膜。
SOD	Spin on Dielectric : 塗布型層間絶縁膜。
SOG	Spin on Glass : 塗布型酸化膜 SiO <sub>2</sub> 。
SUB PAD	集積回路上で、基板に接続されたパッド電極。
TDDB 試験	Time Dependent Dielectric Breakdown : 絶縁膜の経時破壊試験。
TEG(マスク、ウェーハ)	Test Element Group : IC 等の基本的な構造、物性、電気的特性、回路動作、信頼性、歩留まりなどを評価するため、専用のマスクを用いて作製した試験構造や試験素子。TEG ウェーハは TEG パターンを搭載したウェーハ。
TEOS 系酸化膜	Tetra-Ethyl-Ortho-Silicate、 Tetra-Ethyl-Ortho-Silane(テトラエトキシシラン、珪酸エチル) : CVD 系酸化膜の一種。自己流動性があり、特別な処理(加熱溶融等)なしで平坦化が得られる。
Tg	Glass Transition Temperature : ガラス転移点。
Trench	多層配線における配線部の溝構造。溝掘り加工の後、金属を埋め込むことから Trench(溝)とよばれる。
UV 硬化装置	Ultra Violet Ray Curing Machine : 紫外線を照射して、そのエネルギーで膜を硬化させて強度を増大させる装置。

Via	ICの多層配線構造で、配線間を上下縦方向に電氣的に接続するため、配線間の層間絶縁膜に穿たれた開口部、スルーホールとも呼ばれる。
Vt, Vth	→ see “しきい電圧”
Vth Implant.	MOS トランジスタのしきい電圧(Vth)を調整するイオン打ち込み工程。
WLP	Wafer Level Package の略。ウェーハ状態のままパッケージ処理を行い、その後に IC チップに切り出す方法。
W プラグ	コンタクトやビアの孔に形成した W のこと。W の選択成長や W の CMP プロセスを用いて形成する。
XRR (X-ray Reflectivity)	X-Ray Reflectivity(X 線反射率測定): X 線に対する物質の屈折率は 1 よりもわずかに小さいため、平坦な表面すれすれに X 線を入射すると全反射を起こす。全反射の反射率と入射角度の相関から、薄膜の構造(各層の密度、膜厚、凹凸)を非破壊で評価できる。
アッシング	Ashing(灰化: 和製英語)。エッチング後不要となったレジストをオゾンやプラズマにより灰化により除去すること。
あすかプロジェクト	SOC(1 個のチップの上にシステム機能を実現したもの)の共同研究開発を目的として JEITA 主導で設立されたプロジェクト。デバイス、プロセス技術は Selete が、設計技術は STARC が担当する。
アセンブリー工程(用材料)	組立て工程のこと。IC を特別なパッケージに収納することで、パッケージングとも呼ばれる。
アンダーフィル(UF)	WLP プロセスでバンプ接続後に封入のために注入する樹脂材料。
アンテナ TEG	電荷蓄積効果を測定するためのテスト素子。電荷収集用の電極(アンテナ)と特性の変化を測定する素子(MOS キャパシタあるいは MOS トランジスタ)を接続したもの。
アンテナ PAD	アンテナ TEG で、電荷収集のために設けられたパッド電極。

アンテナ比	アンテナ TEG で、電荷収集用電極の面積と被測定素子のゲート電極面積の比。
イオン打込み	半導体基板に不純物原子を導入するプロセスの一つ。イオン注入とも言う。
イオンシニング	透過型電子顕微鏡のサンプル等の薄膜形成法の一つ。サンプルにイオンビーム照射し掘削する。
イントリンシック・ゲッターリング	基板結晶に歪やダメージを与えて汚染や欠陥を吸収し、製造する集積回路の特性を良くする(歩留りを向上させる)方法。
ウェーハアSEMBリー工程	→ see ”アSEMBリー工程”
ウェーハ塗布膜	ウェーハ上にスピコートを用いて塗布された膜のこと。
エレクトロマイグレーション	Cu 配線中を流れる電流密度が高くなると、電子流により Cu 原子が運動量を得て下流側に移動する現象。配線中にボイドや突起を生じる原因となり、配線の信頼性を低下させる。
エッジカット	ウェーハに塗布した膜は面内均一性がウェーハ外周部で極端に不安定になる。このため、この範囲の測定は考慮範囲外とする。この範囲をいう。一般にエッジカットの幅は 3mm とすることが多い。
エッチストップ膜	層間絶縁本体膜の下層膜。本体膜とはエッチングレートの違いを用いてエッチング深さ、形状を制御する。
エッチバック	ウェーハ全面にわたって、表面から一定の厚さをエッチングすること。
エッチング	残したい部分をレジストにより保護し、不要な部分を薬液またはプラズマによって除去すること。
エロージョン	金属の CMP 研磨の結果、ビアや配線パターンがない部分に比べて、ビアや配線が密に並んだ部分の絶縁膜が薄くなってしまう現象。
オーバーポリッシュ	CMP 工程において研磨が過度に進行すること。もしくは終点検出モニターで終点検出した後、さらに確実に上層膜の除去および平坦化を行うために、意図的に研磨時間を延ばすこと。

技術情報 A	CASMAT で取得した生データを含むすべての技術情報。原則として CASMAT 外への持ち出しは不可。
技術情報 B	技術情報 A を元にして整理した技術レポート。共通情報として組合員全員に公開される。
寄生 MOS トランジスタ	素子分離用の酸化膜上にゲート電極を設けた MOS トランジスタ。フィールド MOS トランジスタとも言う。通常の IC では配線とトランジスタの組み合わせで寄生的に発生することが多い。
キャップ膜	CMP キャップ膜とも言う。Cu 配線とバリア膜の間に製膜される絶縁膜で、通常は SiO を用いる。Cu キャップ膜は「バリア絶縁膜」として区別する。
キュア	ウェーハ上に形成された膜に熱や紫外線などのエネルギーを与えて膜構造を強固なものにすること。
共通プログラム	組合員から提出された評価対象材料を評価し、結果は原則として組合員全員に公表される CASMAT 独特のプログラム。
空孔	材料膜の内部にある空隙のこと。Pore とも言う。この空孔により層間絶縁膜の比誘電率が下がる反面、膜の強度等プロセス耐性が弱くなるという問題点がある。
クリーンルーム	IC を製造するための清浄化された空間で、フィルターを通した清浄な空気を天井から床面に向けてダウンフローで流し続ける。清浄度に関するグレードはクラス表示でおこなわれる。
ゲート	→ see “MOS トランジスタ”
ケルビン抵抗測定法	4 端子接続(ケルビン接続)による抵抗測定法。測定プローブの接触抵抗等の測定系の寄生抵抗の影響を排除するため、電流印加端子と電圧測定端子とを分離する。
高速化・低消費電力化	LSI の基本素子であるトランジスタの微細化により処理速度を増加させ、同時に消費電力を小さくすること。

コーター塗布膜	塗布機を用いてスピコートされた膜のこと。
個別プログラム	組合員と CASMAT の契約に基づいて個別組合員が CASMAT インフラを用いて材料評価するプログラム。結果は個別組合員限りで、公表されない。
再配線工程(用絶縁材料)	パッケージ化するために、配線が形成されたウェーハ上に Al(アルミ)パッドを設け、絶縁膜を介してインターポーザーと接続するために金属配線を形成する工程。
材料間インタラクション	配線工程で、材料同士がお互いに影響を与える作用。
シリサイド	Self-align silicide の略。ゲートとソース、ドレイン電極部に自己整合的にシリサイドを形成する方法。
しきい電圧( $V_t$ , $V_{th}$ )	トランジスタ等の素子が動作する電圧。ON 電圧とも言う。いくつかの定義法があるが、ここではドレイン電流がゲート幅 $1\mu\text{m}$ 当り $1\text{nA}$ になる時のゲート電圧と定義している。
次世代(65nm)テクノロジーノード	→ see ”テクノロジーノード”
次世代の微細半導体集積回路	現在量産されている微細半導体集積回路の次に量産を期待されている微細半導体集積回路。
シリサイド	シリコンと金属の化合物。IC では、Co, Ni, W, Pt, Pd, Ti 等の金属が用いられる。
シングルダマシン(SD)	メッキ法を用いて形成した銅配線と CMP を使って平坦化した構造がダマスカス地方が発祥の地と言われる象眼細工と似ているのでこう呼ばれる。配線と Via を別々に埋め込むプロセスがシングルダマシン法と呼ばれる、
スクライブライン	ウェーハをダイシング(チップに切り分けること)するときのチップ境界の線。
ストレス印加	電界、熱、応力等の負荷を加えること。
ストレスマイグレーション	熱的または機械的な応力(ストレス)により配線中の金属原子が移動し、抵抗増加または断線を生ずること。

ストレインド・シリコン (歪シリコン)	シリコン基板に歪を加えてキャリアの移動度を変化させる技術。
スラリ	→ see “CMP 材料”
正孔(ホール)	P 型半導体の電気伝導を担う電荷。実体は電子の抜け殻。
全層塗布型配線	低誘電率化に有利な塗布型材料を層間絶縁膜、CMP キャップ、バリア絶縁膜に併せて使用することにより、CVD 材料を中心とした従来型配線に比べて実効誘電率を大幅に低下させることを目的とした Cu/Low-k 配線。
全反射蛍光 X 線分析	→ see “XRR”
ソース	→ see “MOS トランジスタ”
層間絶縁膜	→ see “低誘電層間絶縁膜”
素子分離絶縁膜	集積回路の素子間を電氣的に分離するために形成された絶縁膜。
素子分離幅	集積回路の素子間を電氣的に分離するために形成された絶縁膜や絶縁溝(トレンチ)の幅。
ダイシングテープ	ウェーハから多数の IC チップをカッターで切り取る(ダイシング)時にウェーハを保持するテープ。
ダイボンド	IC チップ表面の Al パターン(ボンディングパッド)とパッケージのリードを金細線で接続する工程のこと。
チャンネル・コンダクタンス	MOS トランジスタの性能を表すパラメータの一つ。 ゲート電圧変化に対するドレイン電流変化の割合。 $g_m = \Delta I_d / \Delta V_g$
ツインリード線	Twin Lead : 2 芯平行線。
低圧 CMP 装置	従来(11.5 - 2.0psi)より低圧(<1.0psi)で研磨できるように回転数などの運転条件を調整した CMP 装置。
低誘電(率)層間絶縁膜	→ see "Low-k 材料”

ディッシング	CMPにおいて、金属と絶縁膜のように研磨速度差がある2種の薄膜が表出するダマシ配線で、金属配線の中央が薄くなってしまふ現象。
テクノロジーノード	→ ここでは”ITRS ロードマップ”を指す。
デザインルール	微細加工(リソグラフィとエッチング)で使用できる最小寸法を規定した設計基準。
テープテスト	物質表面に透明テープを貼り、その上から碁盤目に切り傷を入れた後、テープを引き剥がして、表面に残ったテープの目の数で密着性を判定する方法。
デージーチェーン	二層配線間のViaの導通を調べるために上下配線とViaを一筆書き状に連続して接続したテスト素子。
ディスプレイ	表示素子/装置のこと。液晶(LCD)、発光素子(EL)、ブラウン管(CRT)等がある。
デュアルダマシ(DD)	銅配線とビアホールを同時に埋め込んだダマシ構造。(”シングルダマシ” 参照)
電界集中	ある領域の電界(電圧勾配)がその周りよりも大きくなっていること。電極の端部形状が角ばっていると、電界集中が発生しやすい。
統合部材開発支援ツール	統合部材(材料と配線製造条件をセットにした最適プロセスフロー)を開発するために必要な材料とプロセスの相互影響や適性を判定するツール(手段もしくはは道具)。具体的にはTEGのこと。
銅配線	→see ”Cu配線”
ドライエッチング	気相中でプラズマによってエッチングを行なうこと。
トリプルハードマスク法	3枚のハードマスク(SiO <sub>2</sub> 、SiN、SiCN等、ドライエッチングの際にレジストよりも高い選択性を持つマスク)を積層して微細加工を行なう方法。
ドレイン	→ see “MOS トランジスタ”
ドレッサー	CMP用パッドの磨耗を回復させる装置。

トレンチ	→see "trench"
濃淡電池	電解液にパターン密度の異なる 2 個の金属配線を浸けるとその配線間に起電力が発生する。この作用を濃淡電池作用と言う。
能動領域	半導体基板上で集積回路の素子を形成する領域。
配線(形成)工程	→ see "BEOL"
配線間容量	配線同士の間にかかる容量。この容量が大きいほど配線を伝達する電気信号が遅くなる。
ハイブリッド構造	配線層と Via 層に異なる種類の絶縁膜を適用する構造。組成の違う膜を適用すればエッチングストップ層が省略できる。配線層に低誘電率で低強度、Via 層に高強度な膜を適用して、全体として信頼性を高めることが出来る。
剥離耐性係数	密着力と弾性率の逆数の積。BC 膜の WLP プロセスでの剥離の起こしやすさと相間がある。
バックエンドプロセス	→ see "BEOL"
バックグラインド(BG)テープ	ウェーハ上の IC チップを 1 個 1 個に容易に切り分けられるように(ダイシング)、組立て後のチップ厚さを抑えて基板抵抗を下げるように、ウェーハ裏面を研削(バックグラインド)する工程で、ウェーハを保持、保護するためにウェーハ表面に貼り付けるテープ材料。
パッケージ工程	→"アセンブリー工程"
パターンニング	回路のパターン形成を行なうこと。
パッド	→ see "CMP 材料"
パッド部	テストプローブのコンタクト、またはワイヤボンディングのための数十～数百ミクロン角の電極板。
バッファークコート(BC)材料	IC チップをパッケージに収納して封止する際に、IC チップに掛る衝撃や応力を緩和するために用いられる緩衝材料。感光性と非感光性の樹脂材料が



	ある。
バリア膜	バリア絶縁膜と区別するため、バリアメタル膜またはバリアメタル層と呼ぶのが望ましい。金属配線と絶縁膜の界面に設けられた障壁膜。配線金属原子の絶縁膜中への拡散抑制、絶縁膜中の Si 原子等の金属配線への拡散抑制、金属配線と絶縁膜との密着性確保、絶縁膜中の酸素や水分等による金属配線の腐食防止等のために設けられる。最先端 IC では、Ta/TaN の積層膜がよく使われている。
バリアメタル	バリア膜に用いる金属。Ta/TaN の積層膜がよく使われている。
バンプシェア試験	WLP プロセスで使用するバンプの密着性を評価する方法。
半導体 LSI	Large Scale Integration : 半導体の集積回路(IC = Integrated Circuit)の集積度の分類において、1 チップ上の素子数が 1,000 個以上 10,000 個以下のものをいう。
半導体ウェーハ	半導体材料を薄い円盤状に加工したもので、本文に用いられているものは、300mm 径のシリコンウェーハである。
ビア	→ see "Via"
ビアチェーン	ビアとトレンチの連続構造。ビアチェーンの抵抗値、分布、歩留まりは多層配線の出来映えを測る指標の一つ。
ビアファースト	現在最も良く利用されているビア加工プロセス名。配線とビアを同時に形成するため、形状が安定しており、断線を予防しやすい。
ビアフィル材	ビアファーストによる配線形成に際し、ビア加工後にトレンチのパターニングのためにビアを埋め戻して平坦化するために塗布する材料。
微細・高集積化	半導体チップに形成された配線の幅や配線間の距離が微細化されることによって、情報のやりとりの密度が高くなること。

評価基準書	各種材料をいろいろな条件で評価した結果に基づき、材料の問題点や性能を定量的に比較できるように標準化した評価方法を集大成したもの。
ヒロック	粒界成長または”ストレスマイグレーション”や”エレクトロマイグレーション”により生じた配線金属の突起。
腐食 TEG	腐食を評価するテスト素子。ここでは、Cu 配線の腐食を評価するテスト素子を指す。
不純物準位	半導体に導入された不純物が半導体中に形成するエネルギーのレベル。
ブランケットウェーハ	積層膜のみで、パターニングされていないウェーハ。
プラテン(数)	CMP において研磨パッドを貼り付ける土台となる盤。
フリップチップ (FC)	IC チップの上に金属のバンプや半田ボールを付け、これらを介して他の部品や基板に接合する技術。
フリンジ電界	対向電極間以外の領域の電界。
フリンジ容量成分	対向電極間以外の電界による容量。平行平板近似をするとこの成分が無視されるが、配線間容量の数+%に当たるため、無視することはできない。
プリカーサー	膜の原料となる前駆体のこと。
フローティング	素子の電極が Si 基板と電氣的に接続されていない状態を指す。
分極特性	誘電体が電界の影響を受けて正と負の電荷を持つ部分に分かれる現象。
ボイド	空所あるいは間隙のこと、IC 配線では、エレクトロマイグレーションやストレスマイグレーションにより、配線材料が一部失われた箇所。断線不良や信頼性上問題となる。
マージン拡大	プロセス上の精度に対する許容範囲の拡大。マージンが拡大すると、プロセスが容易になる。
マスク	ウェーハ上に露光して微細構造を形成するために、光を通す部分と光を通さない部分にパターン

	化された覆い盤。
マスクバイアス(設計)	マスクと実際のパターンとの間の寸法変位を見込んで、あらかじめマスクに組み込む寸法変動量。
モバイル化	携帯電話、ポータブル PC 等、電子機器の小型化により移動運用が可能になること。
ユビキタス化	いつでも何処でも誰でも、コンピューターや通信機器にアクセスできるようにすること。(空港や駅などのホットスポットでコンピューターを無線にて利用できる。)
リングオシレータ	インバータを奇数段リング状に接続した発振回路で、構成素子の特性や負荷の特性に応じて発振周波数が変化する。
レジスト	露光、現像して回路パターンを転写するために用いるフォトレジスト(感光性樹脂)のこと。
レジスト剥離剤	エッチングによってウェーハに回路パターンが転写された後、レジストを除去するために用いる薬液のこと。
レジストポイズニング	主に下地膜中から来るアルカリ性物質(アミン系等)によりレジストの現像不良が起こり、適正なパターンニングができなくなること。
ワイヤーボンド	チップとパッケージのパッドを金線等で接続すること。
ワイヤシェア	ボンディングワイヤの剥離。
ワイヤプル強度	ボンディングされたワイヤ(金線等)の下に適当なフックを入れ、下から上へ垂直にワイヤを引き上げて破断した時の強度。

## I. 事業の位置付け・必要性について

### 1. NEDO 関与の必要性・制度への適合性

#### 1. 1 NEDO が関与することの意義

我が国の材料産業は、国際的に高い技術力と競争力を有し、我が国の経済社会の発展を支えているが、川下産業との取引のオープン化に伴いユーザとの連携の希薄化が進行する一方で、汎用的な材料はアジア諸国の技術向上によるキャッチアップが進行している。そのため我が国において産学官を含む連携の強化（川上川下の垂直連携、材料創成と加工の水平連携など）を図ることで、次世代の部材分野での我が国のイノベーションを促進することが喫緊の課題となっている。

本プロジェクトは、情報通信機器の高機能化や低消費電力化等の要求を満たす半導体集積回路を実現するため、新たな機能性材料開発に貢献する評価基盤技術を構築することである。

図 1. 1-1 に示すように、材料評価基盤の構築という難易度の高い研究開発目標を設定したこと、実際に活用できる材料評価基盤とするためには本来競合である複数の材料メーカーの参画が必要であること、実施後短期間で収益を望める事業とは言えないことから、民間企業単独での実施が困難であり、NEDO のリーダーシップによる事業推進が妥当である。

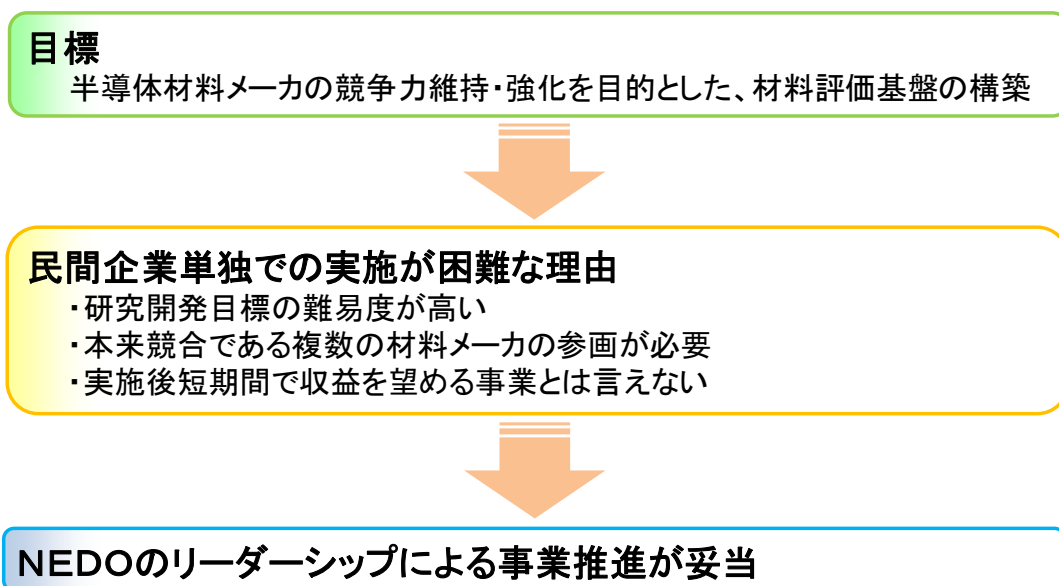


図 1. 1-1 NEDO が関与することの意義

NEDO は、独自の材料開発技術を持った複数の産学の科学的知見を結集し、半導体集積回路のフロントエンドから配線工程、パッケージ組立工程までの一貫したプロセス検証を行うことによって信頼性のある統合部材を提供できる評価基盤を確立し、これを産業技術へ繋げていくとともに、社会の共通基盤として情報の整備、提供を行うとの事業方針に基づき、本プロジェクトを実施するものである。

## 1. 2 実施の効果（費用対効果）

### 1. 2. 1 費用

平成 21 年度から平成 23 年度の 3 年間で、総事業費は 280 百万円である。助成比率は 1 / 2 であり、NEDO 助成費としては 3 年間で 140 百万円である。図 1. 2 - 1 に年度毎の内訳を示す。

平成21～23年度の3年間で			
総事業費:		280百万円	
内NEDO助成費:		140百万円（助成比率1/2）	

	平成21年度	平成22年度	平成23年度
総事業費 (内NEDO助成費)	120百万円 (60百万円)	80百万円 (40百万円)	80百万円 (40百万円)

#### 参考データ

	CASMAT I	CASMAT II	CASMAT III
自主事業費	-	30億円	30億円
NEDO事業 総事業費 (内NEDO助成費)	110億円 (50億円)	15億円 (7.5億円)	2.8億円 (1.4億円)

図 1. 2 - 1 事業費

### 1. 2. 2 効果

従来、材料メーカは自社内で線膨張係数、収縮率、弾性率、粘度、感光性、誘電率などといった材料個別の特性評価を実施し、金属汚染、応力、電荷蓄積、断線、材料ダメージなどといったプロセス適用性の評価はデバイスメーカに材料を供試して評価を実施してもらってきた。しかしながら、デバイスメーカ評価では、評価可能なサンプル数が限られる、評価期間が長い、また評価結果が OK / NG であり材料へのフィードバックをかけにくいといった状況があり、結果として総開発期間は長くなっていた。本プロジェクト成果である材料評価基盤を活用し、材料メーカが自らプロセス適用性を評価することにより、開発材料設計に反映可能な評価結果のタイムリーな取得、材料の問題点や課題を明確化、デバイスメーカ工程を考慮したプロセスフロー構築が可能となった。迅速な開発材料へのフィードバックによる開発の効率化とともに、デバイスメーカ供試時には、材料と同時に統合的ソリューション提案も可能となった。

つまり、本プロジェクトの成果である、評価ツールとして顧客デバイス類似構造をもつ材料評価専用 TEG、材料 / 評価レベルに応じた材料評価基準書からなる材料評価基盤の活用により、材料の総開発期間短縮が可能となり、組合員企業である材料メーカの競争力維持・強化に繋がった。(図 1. 2 - 2)



さらに具体的な効果としては下記のことが挙げられる。

#### 1) 自社製品の實力把握

原則として全ての材料評価研究の成果を組合員企業全体で共有する形態での実施により、組合員企業の個別材料についての優勝劣敗が明らかとなり、自社製品の正確な實力把握が可能となった。

#### 2) 材料評価の高度化

材料メーカー自身が半導体プロセスをベースとする評価結果を取得することができるので、技術のすり合わせが頻繁に行われる国内半導体デバイスメーカー、半導体製造装置メーカー等に対して、その評価データや評価に基づくソリューションと同時に材料を提供することが可能になった。

#### 3) 開発戦略の明確化・再構築

1)の自社製品の實力把握ができることから、研究開発の方向を明確に判断することができ、各組合員企業での事業の選択と集中に繋げることができた。このことは、研究開発投資の再配分等といった側面でも、組合員企業各社における研究開発投資効率の向上が期待できる。例としては、材料メーカー間で同じような研究開発に無益な投資をすることを防ぐことも可能になった。

#### 4) 顧客信頼度の向上

材料評価基盤を活用した評価結果を顧客に提示することで、対等のディスカッションが可能となったこと、またクレーム・トラブルに対し素早い対応ができるようになったことから、顧客との信頼関係が向上した。

#### 5) 研究者の知識向上、技術習得

本プロジェクトで研究者は組合に出向し、研究員として従事し、FEOL素子を搭載したウェーハを用いて評価を行ってきた。デバイスに関しての構造の観察や電気特性の測定を実際に行うことで、デバイスについての知識を高めることができた。このようなことは、材料メーカーではほとんど経験できないことであり、顧客であるデバイスメーカーの技術者との議論の中での情報収集に大いに役立った。

## 2. 事業の背景・目的・位置付け

### 2. 1 事業の背景

#### 2. 1. 1 市場動向



半導体材料市場は、半導体市場の売上動向に沿って、今後も成長の見込み

半導体材料産業は、半導体産業の高い要求に対応するのみならず、より高機能材料を迅速に提供することが期待されている

図 2. 1 - 1 市場動向

半導体産業は材料・部品、製造装置など半導体関連産業を含めた大きな産業であるとともに、情報通信機器（エレクトロニクス）製品の性能、機能等を決定付ける重要部品であり、半導体デバイスに対する高機能化、低消費電力化の要求はますます強くなってきている。半導体市場は成長を続けており、今後も緩やかな成長を続けると予想されている。半導体材料市場も、半導体市場と連動し、同じく成長が見込まれている。(図 2. 1 - 1)

これまで半導体デバイスは、微細・高集積化することにより、着実に高機能・高性能化を実現してきたが、次世代の半導体デバイスにおけるこの課題に対する解として、配線形成工程における材料革新を含めた技術ブレイクスルーに極めて大きな期待が持たれていることは、経済産業省／NEDO 策定の技術戦略マップ、ITRS ロードマップ等に示されているとおり、世界的なコンセンサスである。すなわち半導体材料産業は、半導体デバイス産業の国際競争力の鍵を握る分野と言っても過言ではない。

#### 2. 1. 2 半導体分野の市場の相関

図 2. 1 - 2 は、半導体産業の市場規模の相関関係を示したものである。半導体材料産業は 2011 年で 3.8 兆円と決して大きくはないが、半導体産業を支えているのは前述の通りである。更に半導体産業はその川下の各種の産業を支えており、AV 機器、通信機器、コンピュータ及び情報端末の 3 分野の半導体を用いた機器産業においては規模の大きな産業となっている（経済産業省、ものづくり白書 2011 より）。



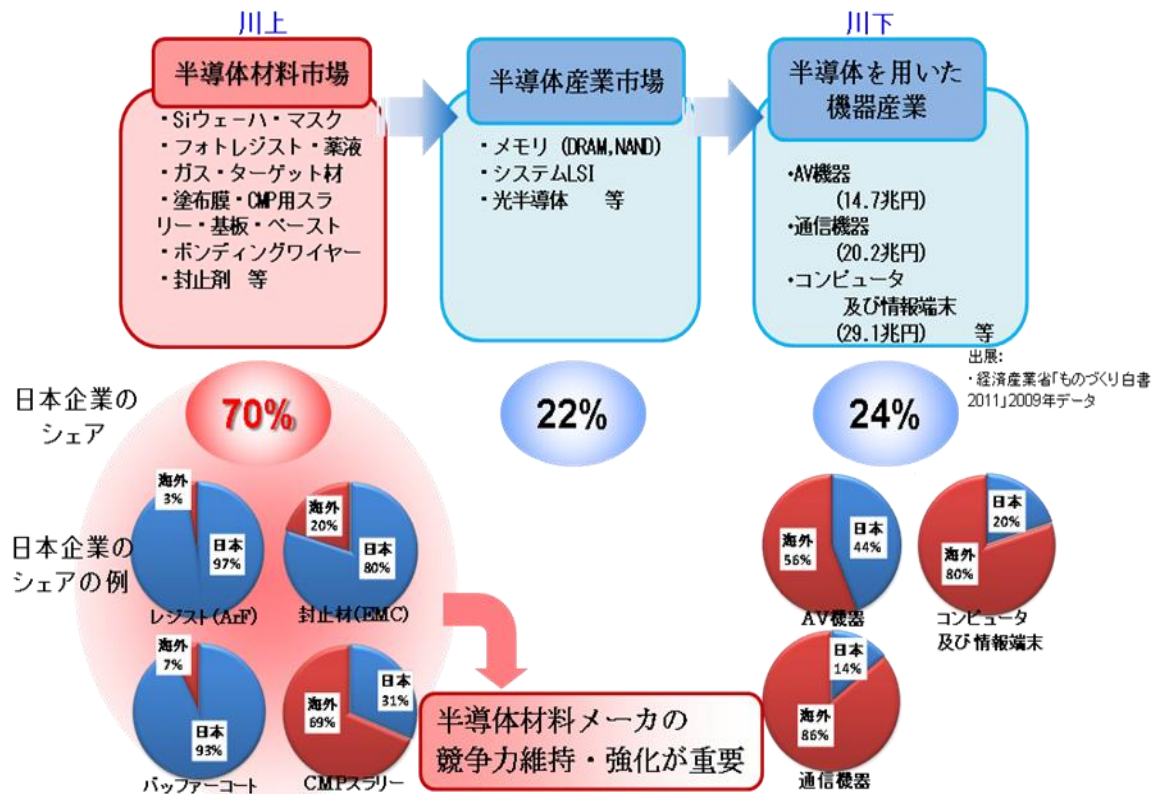


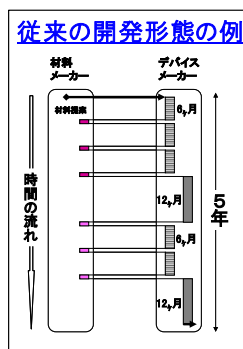
図 2. 1 - 2 半導体分野の市場の相関

我が国の半導体材料産業は、化学分野において蓄積された研究開発能力をベースとしながら半導体デバイス産業の重要なユーザの高い要求に対応し、素材を幅広く提供してきたことにより個別材料の性能向上、技術革新を進めてきた結果、全体としては世界市場の 70%シェアを有するまでに成長してきた。図 2. 1 - 2 には、各産業での日本企業の世界シェアも示した。半導体材料産業は高い優位性を示している。

## 2. 2 事業の目的及び意義

### 2. 2. 1 評価基盤の必要性

我が国の半導体材料産業は高い世界シェアを維持してはいるが、台湾、韓国、中国といったアジア諸国も成長著しく、国際競争は熾烈をきわめている。次世代半導体デバイスの鍵を握る配線形成工程における材料開発において、半導体材料は多岐にわたっており、技術革新のスピード、材料間の化学的・物理的相互作用の多様性等の側面から見ると、これまで材料メーカーが行ってきたように個別に材料性能向上をトライアンドエラーにより実行し、デバイスメーカーに提供していくという従来手法は十分とはいえない。またデバイスメーカーでの評価は、デバイスの性能結果によりOK/NGの評価がなされるもので、材料メーカーが材料開発へのフィードバックをかけるには情報が少なすぎるという問題点があった。その結果、材料の総開発期間が長くなる傾向にあった。(図 2. 2 - 1)

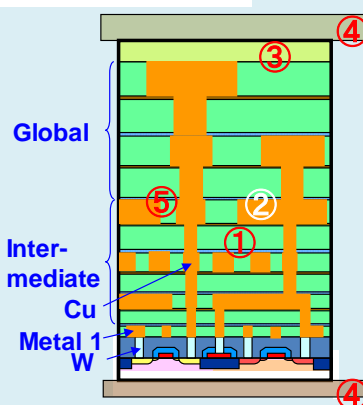


- ▶ 半導体材料は多岐にわたる
  - ▶ これまで材料メーカーが個別に開発を実施し、デバイスメーカーに提供
  - ▶ デバイスメーカー評価はOK/NGの評価結果であり、材料へのフィードバックをかけにくい
- ⇒ 総開発期間が長い

半導体材料メーカーの競争力維持・強化のためには？

**高機能材料の  
開発期間短縮が重要**

LSIの断面模式図



本事業での評価材料

- ① 低誘電率絶縁膜関連材料  
Low-k材料(有機, 無機)、洗浄液など
- ② 銅配線、CMP関連材料  
CMPスラリー、CMPパッドなど
- ③ ハッファコート・再配線関連材料  
ハッファコート膜、現像液など
- ④ アセンブリ用ウェハ加工関連材料  
バックグラインド、ダイシングテープなど
- ⑤ バックエンドプロセス関連材料  
反射防止膜、ギャップフィルなど

図 2. 2-1 半導体材料と従来の開発形態

半導体材料メーカーの競争力維持・強化には、ユーザであるデバイスメーカーが望むタイミング、スピードで、必要特性を兼ね備えた高機能材料を提供することが必要であり、つまりは高機能材料の開発期間短縮が非常に重要であることに他ならない。

その解決のためには、半導体配線形成工程の製造条件を再現できる設備や高精度測定機器を使用して材料評価技術の研究開発を行い、材料評価基盤を構築することが重要である。

材料評価基盤を活用し、従来デバイスメーカーで行ったきたプロセス適合性の評価を材料メーカーが自ら行うことにより、開発材料設計に反映可能な評価結果を取得すること、材料の問題点や課題を明確に認識すること、またユーザ工程を考慮したプロセスフローを構築することが可能になり、つまりは材料開発の効率化と、デバイスメーカーへの供試時に行う材料と同時に統合的ソリューション提案が可能となる。図 2. 2-2 には開発期間短縮の例を示した。

材料評価基盤を活用し、材料メーカーが自ら評価することにより  
 ✓開発材料設計に反映可能な評価結果の取得  
 ✓材料の問題点や課題の明確化  
 ✓ユーザ工程を考慮したプロセスフロー構築 が可能に。



＜開発期間短縮の例＞

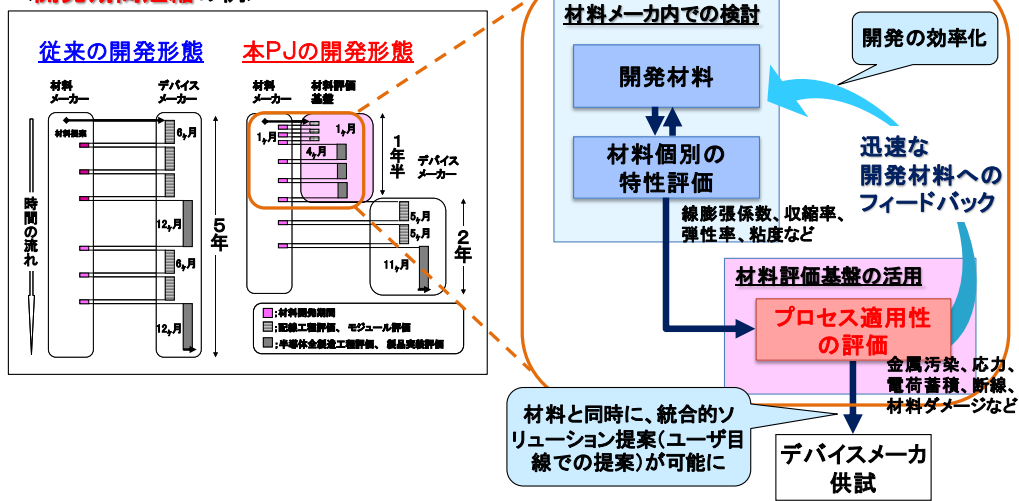


図 2. 2 - 2 材料評価基盤の必要性

2. 2. 2 事業の目的・意義

本プロジェクトでは、高機能材料の開発期間短縮による半導体材料メーカーの競争力維持・強化を目的として、半導体デバイス性能を支配する接合素子（p-n 接合、SiO<sub>2</sub>-Si 接合などを指す）の信頼性に対して、材料や製造工程の影響を的確にかつ迅速に把握できる高度材料評価基盤を確立することを目標とした。（図 2. 2 - 3）

本事業の目標

半導体デバイス性能に直結する接合素子(p-n接合、SiO<sub>2</sub>-Si接合)の性能・信頼性まで含め、半導体製造プロセス全体を俯瞰して半導体材料が開発できる材料評価基盤を構築する

事業期間： 平成21年度～平成23年度  
 助成額： 1.4億円(1/2助成)  
 助成先： 次世代半導体材料技術研究組合(CASMAT)

目的

高機能材料の開発期間短縮による半導体材料メーカーの競争力維持・強化

図 2. 2 - 3 本プロジェクトの目標

NEDO は、本プロジェクトにおいて独自の材料開発技術をもった複数の企業の知見を結集し、半導体集積回路のフロントエンドから配線工程、パッケージ組立工程までの一貫したプロセス検証を行うことによって信頼性のある結合部材を提供できる評価基盤を確立し、これを産業技術へつなげていくとともに、社会の共通基盤として情報の整備、提供を行うもので、非常に重要な事業である。

### 2. 3 事業の位置付け

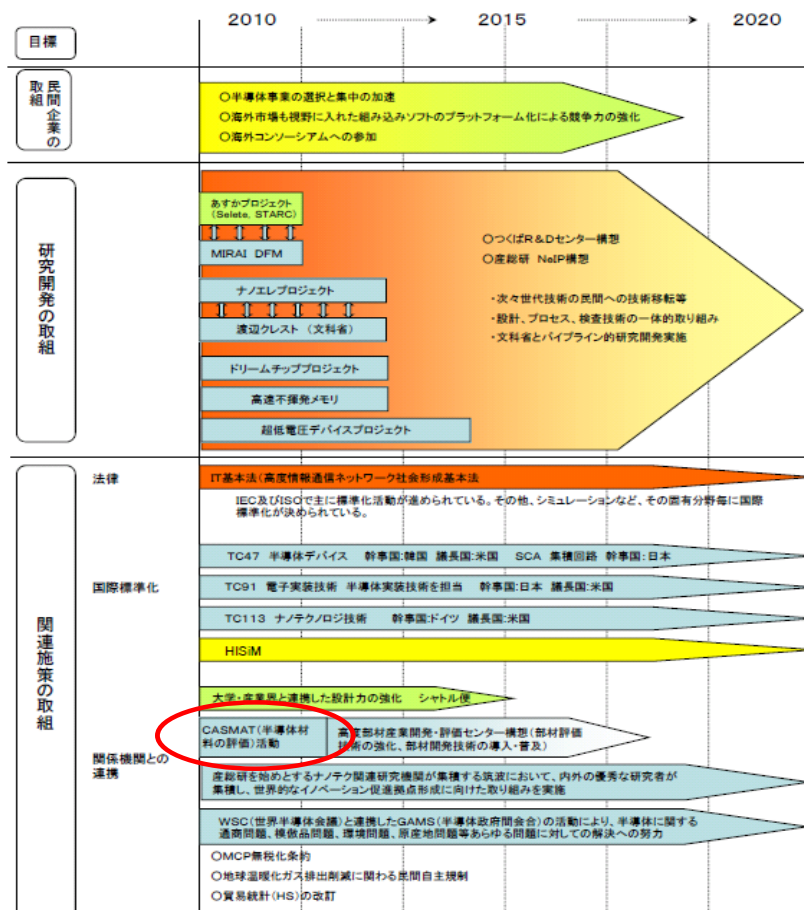


図2. 3-1 技術戦略マップ 2010 における半導体分野のシナリ

図2. 3-1は技術戦略マップ 2010 における半導体分野のシナリオである。フロントエンドと呼ばれる素子形成部分は、あすかプロジェクト、次世代半導体材料・プロセス基盤技術の開発 (MIRAI) プロジェクト、次世代プロセスフレンドリー設計技術開発、ドリームチップ開発プロジェクト、高速不揮発メモリ機能技術開発、低炭素社会を実現する超低電圧デバイスプロジェクトをはじめとする各種の研究開発プロジェクトにより半導体分野を援助する。そのバックアップとして次世代半導体材料技術研究組合 (CASMAT) の半導体材料の評価の取り組みが位置付けられており、半導体集積回路のフロントエンドから配線工程、パッケージ組立工程までの一貫したプロセス検証を行うことによって信頼性のある部材を提供できる評価基盤を確立することは、我が国の半導体産業にとっても重要なことである。

この技術戦略マップに基づいて、いくつかの「イノベーションプログラム」が策定

されており（図 2. 3 - 2）、「IT」、「ナノテク・部材」、「ロボット・新機械」、「エネルギー」、「環境安心」、「健康安心」、「航空機・宇宙産業」の 7 項目に分けられる。本プロジェクトは、情報通信機器の高機能化や低消費電力化等の要求を満たす半導体集積回路を実現するため、新たな機能性材料開発に貢献する評価基盤技術を開発し、さらに開発した機能性材料を半導体及び半導体集積回路に適用できる統合的なソリューション技術を開発することを目的としており、「IT」、「ナノテク・部材」、「エネルギー」の 3 プログラムに該当する。

### イノベーションプログラムでの位置付け

1. 「イノベーションプログラム」の中で体系的推進（*Inside Management & Accountability*）
- 経済産業省の全ての研究開発プロジェクトは、政策目標毎に7つの「イノベーションプログラム」の下で体系的に推進。
  - 各プログラムの中で、政策目標に向けたプロジェクトの位置付けと目標の明確化、市場化に必要な関連施策（規制改革、標準化等）との一体化を図り、イノベーション実現に向け各プロジェクトを効果的に推進。
2. 「技術戦略マップ」に基づく戦略的企画立案（*Outside Communication & Networking*）
- 先端産業技術動向を把握し、国が取り組むべき技術課題とイノベーションの道筋を明確化するため、産学官で協働するロードマッピング手法を導入（『技術戦略マップ 2005/2006/2007/2008』）。
  - 研究開発プロジェクトの選定に当たっては、イノベーションプログラムにおける政策目標を基に技術戦略マップに位置付けられた重要技術課題を抽出し戦略的に企画立案。

本PJは3つのイノベーションプログラムに該当

<p style="text-align: center;"><b>IT IPG</b></p> <p>①ITコア技術の革新 94億円 ②省エネ革新 42億円 ③情報爆発への対応 44億円 ④情報システムの安全性等 63億円</p> <p style="text-align: center;">21年度予算 244億円</p>	<p style="text-align: center;"><b>ナノテク・部材 IPG</b></p> <p>①ナノテク加速化領域 36億円 ②情報通信領域 28億円 ③ライフサイエンス・健康・医療領域 16億円 ④エネルギー・資源・環境領域 78億円 ⑤材料・部材領域 27億円 ⑥共通領域 4億円</p> <p style="text-align: center;">21年度予算案 188億円</p>	<p style="text-align: center;"><b>ロボット・新機械 IPG</b></p> <p>①ロボット関連技術開発 38億円 ②MEMS関連技術開発 12億円</p> <p style="text-align: center;">21年度予算 50億円</p>	<p style="text-align: center;"><b>健康安心 IPG</b></p> <p>①創薬・診断技術開発 102億円 ②診断・治療機器・再生医療等の技術開発 28億円</p> <p style="text-align: center;">21年度予算 130億円</p>
<p style="text-align: center;"><b>エネルギー IPG</b></p> <p>①総合エネルギー効率の向上 707億円 ②運輸部門の燃料多様化 278億円 ③新エネルギー等の開発・導入促進 369億円 ④原子力等利用の推進とその大前提となる安全の確保 268億円 ⑤化石燃料の安定供給確保と有効かつクリーンな利用 479億円</p> <p style="text-align: center;">21年度予算 1,281億円※2</p>	<p style="text-align: center;"><b>環境安心 IPG</b></p> <p>①地球温暖化防止新技術 60億円 ②3R 33億円 ③環境調和産業バイオ 57億円 ④化学物質総合評価 11億円 ⑤共通領域 4億円</p> <p style="text-align: center;">21年度予算案 165億円</p>	<p style="text-align: center;"><b>航空機・宇宙産業 IPG</b></p> <p>①航空機産業の基盤技術力の維持・向上 233億円 ②宇宙産業の国際競争力強化 87億円</p> <p style="text-align: center;">21年度予算案 320億円</p>	

図 2. 3 - 2 イノベーションプログラムでの位置付け

IT イノベーションプログラムでは、高度情報通信社会の実現のために、社会基盤を支える IT 技術を活かし、イノベーションを創出するとともに、IT 産業再編を睨み、選択と集中を図りつつ、持続的に競争力を強化することを目的としている。このために必要な IT コア技術の革新に、本プロジェクトは属している。最終製品に占める半導体の価格割合はこの 10 年で 3 割以上増加しており、今後の製品付加価値を高めるコアデバイスの開発を行う IT コア技術の革新は重要である。（図 2. 3 - 3）



# ITイノベーションプログラム



図 2. 3-3 ITイノベーションプログラムでの位置付け

ナノテク・部材イノベーションプログラムでは、ナノテクノロジーや革新的部材開発技術を駆使して既存技術の微細化の壁を突破し、電子デバイス・光デバイスで世界をリードするとともに、高度化された製造技術の開発を行う情報通信領域に属している。我が国の部材産業の強みを更に強化することで、他国の追随を許さない競争優位を確保するとともに、部材産業の付加価値の増大を図る。(図 2. 3-4)

# ナノテク・部材イノベーションプログラム



図 2. 3-4 ナノテク・部材イノベーションプログラムでの位置付け

エネルギーイノベーションプログラムでは、エネルギー資源の約 8 割を海外に依存する我が国にとって、これを効率的に利用すること、即ち「省エネ」を図ることはエネルギー政策上の重要課題であり、次世代省エネデバイス技術を開発することで、エネルギー消費効率を 2030 年までに 30%以上改善することを目指す。(図 2. 3-5)

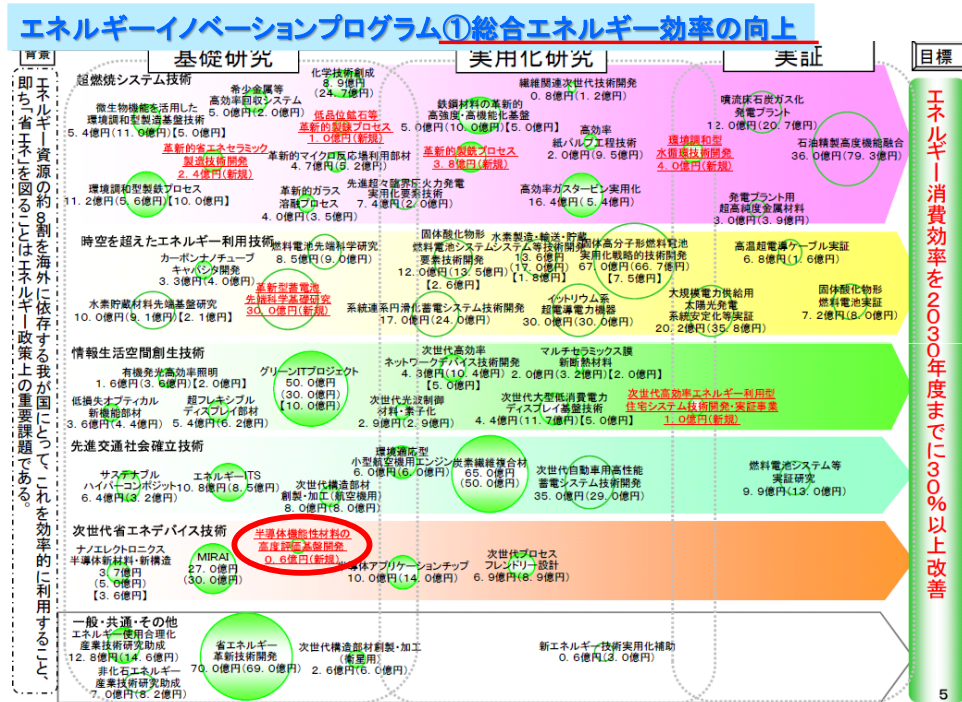


図 2. 3-5 エネルギーイノベーションプログラムでの位置付け

本プロジェクトは、「IT」、「ナノテク・部材」、「エネルギー」の3プログラムに位置付けられており、様々な観点からみても重要なプロジェクトであるといえる。

## II. 研究開発マネジメントについて

### 1. 事業の目標

#### 1. 1 関連する過去プロジェクト

NEDO は、平成 15 年 3 月に設立された、世界に先駆け開発材料評価専用ラインを有する、半導体材料メーカー結集体である次世代半導体材料技術研究組合（以下、CASMAT という。 Consortium for Advanced Semiconductor Materials and Related Technologies の略称）を助成先として、過去に 2 つのプロジェクトを実施した。

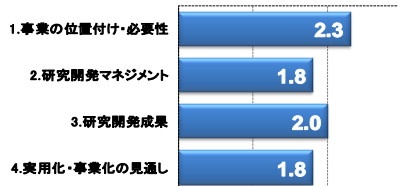
平成 15～17 年度には『次世代半導体ナノ材料高度評価プロジェクト』を実施した。このプロジェクトでは、300 mm ウェーハ・65 nm ノード対応のプロセス装置を導入して配線工程（BEOL）一貫試作ライン及び評価・分析装置等を整備し、ウェーハレベルでの材料評価を可能とし、BEOL における材料評価方法の研究、材料評価用 TEG（Test Element Group）の開発、統合ソリューションの研究を実施した。また、平成 18～20 年度には『次世代高度部材開発評価基盤の開発』を実施した。このプロジェクトでは、組立工程（パッケージ）に必要なプロセス装置、信頼性試験装置等を整備し、BEOL からパッケージまでの一貫評価を可能とし、45 nm ノードにも適用できる材料評価用 TEG の開発、低圧 CMP、低温キュアなどの新プロセスの研究、パッケージにおける材料評価方法等の研究を実施してきた。

この 2 つのプロジェクトの事後評価結果を図 1-1 に示す。評価は事業の位置付け・必要性、研究開発マネジメント、研究開発成果、実用化・事業化の見通しの 4 項目について、3, 2, 1, 0 点の 4 段階評価とし、評価委員の評点の平均値を算出して行う。各項目の評点が 1 点以上、かつ、研究開発成果の評点と実用化・事業化の見通しの評点の合計点が 3 点以上を合格、4 点以上を優良とするものである。

### 次世代半導体材料技術研究組合（CASMAT）で 2 つの助成事業を実施

#### 次世代半導体ナノ材料高度評価PJ （CASMAT I）

2.0+1.8=3.8で「合格」

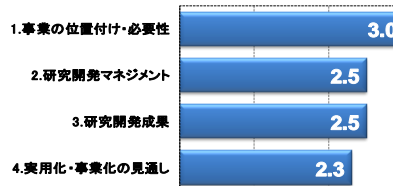


3、2、1、0点の4段階評価で、平均値を算出。研究開発成果+実用化・事業化の見通し：3点以上「合格」、4点以上「優良」評価

評価の抜粋
いち早い研究開発と材料評価の共通基盤構築は産業的にきわめて有効。事業規模の期待値に対して投資額が過大との印象。今後の大きな波及効果に期待。
今後に対する提言の抜粋
構築した評価環境を有効利用し、半導体デバイスの新しい技術進展に対応した評価環境・評価技術の拡張的展開を望む。

#### 次世代高度部材開発評価基盤 （CASMAT II）

2.5+2.3=4.8で「優良」



評価の抜粋
個別のデバイスメーカーが実施してきた部材評価が、材料メーカーでの材料開発段階で可能となったことは半導体産業全体の開発効率化に大きく寄与。CASMATは実質的にコンサルタント機能を果たしている。
今後に対する提言の抜粋
微細化のみの事業前提としない。装置メーカーの参画も必要。CASMATを継続的に維持活用できるような「常設機関化」を考えるべき。

図 1-1 過去のプロジェクトとその事後評価結果



『次世代半導体ナノ材料高度評価プロジェクト』の評価は「合格」であった。いち早い研究開発と材料評価の共通基盤構築は産業的にきわめて有効であったとしながらも、事業規模の期待値に対して投資額が過大との印象があり、今後の大きな波及効果に期待するとの評価を得た。また、構築した評価環境を有効利用し、半導体デバイスの新しい技術進展に対応した評価環境・評価技術の拡張的展開を望むとの今後の提言を得た。

『次世代高度部材開発評価基盤の開発』の評価は「優良」であった。個別のデバイスメーカーが実施してきた部材評価が、材料メーカーでの材料開発段階で可能となったことは半導体産業全体の開発効率化に大きく寄与し、組合としての CASMAT は実質的にコンサルタント機能を果たしているとされた。また、微細化のみの事業前提としないこと、CASMAT を継続的に維持活用できるような「常設機関化」を考えるべきとの今後の提言を得た。

NEDO はこれらの評価結果を踏まえ、図 1-2 に示すように、本プロジェクトでは過去のプロジェクト成果を活用し、更なる評価領域の拡大による、材料評価基盤としての拡張を目指すこととした。

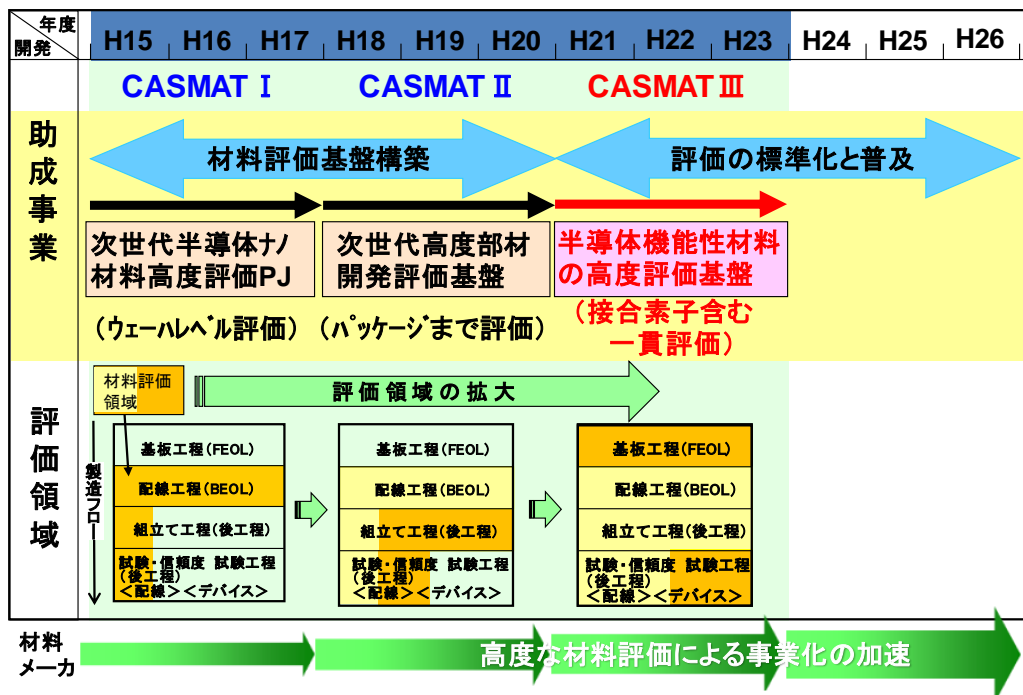


図 1-2 本プロジェクトと過去プロジェクトの関係

## 1. 2 事業の目標

本プロジェクトでは、平成 21~23 年度の 3 年間で、半導体デバイス性能に直結する接合素子 (p-n 接合、SiO<sub>2</sub>-Si 接合) の性能・信頼性まで含め、半導体製造プロセス全体を俯瞰して半導体材料が開発できる材料評価基盤を構築する。

材料評価基盤としては、具体的にはツールとしての TEG と材料評価基準書とした。

図1-3には、各研究開発項目との関係を示した。

### 本事業の目標

半導体デバイス性能に直結する接合素子(p-n接合、SiO<sub>2</sub>-Si接合)の性能・信頼性まで含め、半導体製造プロセス全体を俯瞰して半導体材料が開発できる材料評価基盤を構築する

### 材料評価基盤と研究開発項目との関連

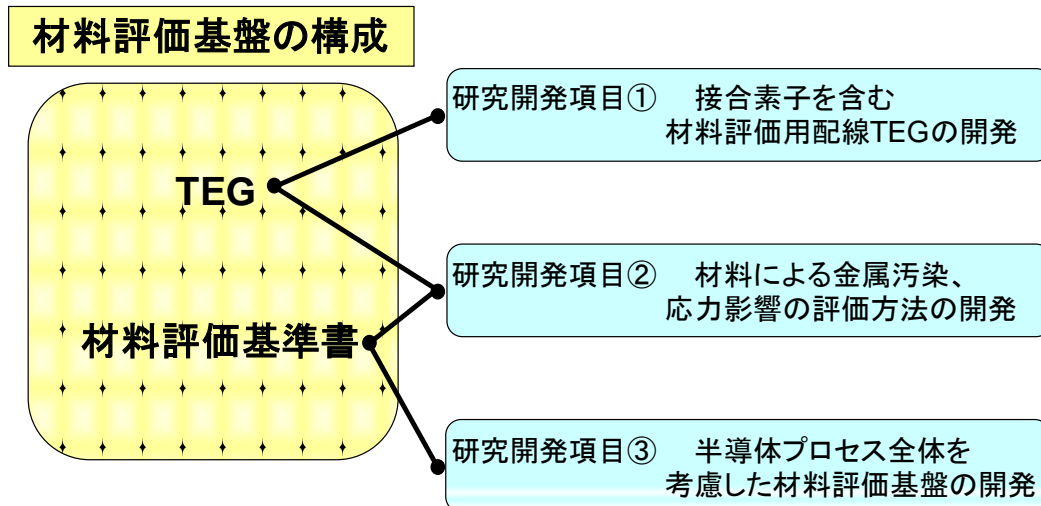


図1-3 目標と材料評価基盤の構成

各研究開発項目は以下の通りである。

#### 研究開発項目① 接合素子を含む材料評価用配線 TEG の開発

材料とプロセス条件が接合素子の信頼性に与える影響を定量的に抽出できるように、接合素子を有する TEG マスクを設計する。接合素子を備えたウェーハ上に基準材料を用いて配線 TEG を形成して形状や電気特性を検証する。検証結果を解析して TEG マスクを改良し、接合素子の信頼性への影響を評価できる材料評価専用 TEG を開発する。

#### 研究開発項目② 材料による金属汚染、応力影響の評価方法の開発

研究開発項目①で得られた TEG マスクを用いて、300 mm シリコンウェーハ上に接合素子を作成し、さらに配線形成を行い、製造工程に用いる半導体材料あるいは製造プロセスによる接合素子への影響（金属汚染、応力、電荷蓄積など）が把握できる電気特性の測定方法や解析方法、また、接合素子の信頼性の試験方法や測定結果の解析方法を開発する。

#### 研究開発項目③ 半導体プロセス全体を考慮した材料評価基盤の開発

対象とするパッケージをワイヤーボンド型とフリップチップ型とし、接合素子と Cu/low-k 配線を有するウェーハのパッケージ組立工程の基準プロセスと評価方法を確立する。さらに、熱、応力、水分などが電気特性や材料に与える影響を把握し、信頼性評価技術を確立する。得られた知見を迅速に各工程にフィードバックし、フロントエンドからバックエンド、パッケージまでの半導体プロセスにおいて次世代半導体以降にも対応する材料を一貫して評価できる評価基盤を確立する。

## 2. 事業の計画内容

### 2. 1 事業の計画内容及び全体スケジュールと予算

#### 2. 1. 1 研究開発の内容

3つの研究開発項目に対する必要性和具体的な内容を示す。

#### 研究開発項目① 接合素子を含む材料評価用配線 TEG の開発

[最終目標]

材料とプロセス条件が接合素子の信頼性に与える影響を定量的に抽出できるように、接合素子を有する TEG マスクを設計する。接合素子を備えたウェーハ上に基準材料を用いて配線 TEG を形成して形状や電気特性を検証する。検証結果を解析して TEG マスクを改良し、接合素子の信頼性への影響を評価できる材料評価専用 TEG を開発する。

[必要性]

半導体集積回路の消費電力低減には配線の低抵抗化、低寄生容量化が重要である。しかし、急速に微細化・高集積化が進展する半導体デバイスの開発においては、従来手法では限界に達しつつあり、ナノレベルで制御された高度な機能を有する材料の導入が望まれている。ところが、新材料を半導体製造工程に導入する際の材料起因の課題や問題点、半導体の信頼性などに及ぼす影響を的確迅速に予測できる評価技術が確立されていないことが、高機能性材料開発のネックになっている。これを解決するためには、材料開発支援ツールとして材料評価用の回路パターン (TEG) を開発し、それを用いて各プロセス条件に対応した材料適性の評価を進める事が不可欠である。

『次世代高度部材開発評価基盤の開発』では、45 nm ノード世代に対応して、配線素子を用いて配線工程から組立工程に至る要素技術および材料開発支援ツールの開発を行ってきた。その結果、配線からパッケージまでの一貫した材料評価基盤を構築し、材料開発効率の抜本的改善ならびに統合ソリューションの開発に貢献してきた。

しかし、新たな材料を短期間で半導体製造に実用化するためには、半導体製品の信頼性への影響が直接把握できる材料評価基盤が必要である。即ち半導体デバイス性能を支配する接合素子の信頼性に対して、材料や製造工程の影響を的確にかつ迅速に把握できる高度材料評価基盤を確立し、半導体材料の問題点や課題を明確にして材料開発をより一層高効率化しなければならない。さらに、製造工程全体を一貫して評価することにより、開発された新機能性材料とプロセス条件を最適化した統合ソリューションを提案し、半導体製造技術の開発効率をも向上していく必要がある。半導体デバイス性能に直結する接合素子の信頼性への影響を直接評価するためには、フロントエンドからパッケージまで評価できる TEG が必要である。

[研究開発の具体的内容]

半導体材料および製造プロセスが半導体集積回路の性能や信頼性に及ぼす影響を効果的に評価するため、接合素子を含んだ TEG を用いる。材料やプロセスに関する技術的知見をベースに、この TEG で評価すべき評価項目を詳細に決定する。評価項目に基づいて、接合素子の構造と、さらにその上に形成される配線構造およびパッケージ化のための再配線構造などを開発し、その構造を作成するための TEG マスクを開発する。このマスクを用いて、300 mm シリコンウェーハ上に接合素子を有する TEG を試作し、TEG の平面構造や断面構造の観察、電気特性の測定を行い、TEG マスクの検証

を行う。この検証に基づき、材料やプロセスの影響をさらに効果的に評価できるように TEG マスクを改良し、接合素子を含んだ材料評価用 TEG を開発する。

## 研究開発項目② 材料による金属汚染、応力影響の評価方法の開発

### [達成目標]

研究開発項目①で得られた TEG マスクを用いて、300 mm シリコンウェーハ上に接合素子を作成し、さらに配線形成を行い、製造工程に用いる半導体材料あるいは製造プロセスによる接合素子への影響（金属汚染、応力、電荷蓄積など）が把握できる電気特性の測定方法や解析方法、また、接合素子の信頼性の試験方法や測定結果の解析方法を開発する。

### [必要性]

配線工程に使用する材料による金属汚染・応力の影響は、リーク電流の増大・耐圧低下・界面準位増加及び界面電荷増加など接合素子の性能や信頼性に悪影響を及ぼす。この影響を効果的に評価するためには、配線に用いられた材料やプロセスが接合素子の特性にどのような相互影響を与えるかを把握できる評価方法を開発する必要がある。即ち、接合素子を含む TEG を用いて、接合素子上の配線でのゲート絶縁膜の耐圧やリーク電流特性を詳細に評価することによって、材料やプロセスによる重金属汚染、あるいは応力によるリーク電流の増大や接合耐圧の低下を把握する事が必要である。

### [研究開発の具体的内容]

研究開発項目①の TEG マスクを用いて、300 mm シリコンウェーハ上に接合素子を作成し、さらに配線形成を行って、TEG の初期的な電気特性、信頼性を測定、解析する。

電気特性の測定、解析例としては、p-n 接合の逆方向電流を測定し、リーク電流値の変動およびその温度変化、接合耐圧の変動の解析などがある。これにより金属汚染や応力の影響を評価する。この評価を行えるように接合の不純物濃度を最適化する。また、SiO<sub>2</sub>-Si 接合を用いた場合は、容量-電圧特性の測定、リーク電流などの電気特性の測定を行い、その解析により材料やプロセスの影響を評価する。さらには、高温放置、温度サイクル、高温高湿放置など各種の試験を行って接合の電気特性の変動を解析し、材料やプロセスの影響を評価する。ここでは、製造工程に用いる半導体材料あるいは製造プロセスによる金属汚染、応力、電荷蓄積などの接合素子への影響を把握できる電気特性の測定方法や解析方法、また、接合素子の信頼性の試験方法や測定結果の解析方法を開発する。

## 研究開発項目③ 半導体プロセス全体を考慮した材料評価基盤の開発

### [達成目標]

対象とするパッケージをワイヤーボンド型とフリップチップ型とし、接合素子と Cu/low-k 配線を有するウェーハのパッケージ組立工程の基準プロセスと評価方法を確立する。さらに、熱、応力、水分などが電気特性や材料に与える影響を把握し、信頼性評価技術を確立する。得られた知見を迅速に各工程にフィードバックし、フロントエンドからバックエンド、パッケージまでの半導体プロセスにおいて次世代半導体以

降にも対応する材料を一貫して評価できる評価基盤を確立する。

[必要性]

新たな材料を短時間で半導体製造に実用化するためには、半導体製品の信頼性への影響を直接把握でき、さらに、製造工程全体を一貫して評価できる材料評価基盤が必要である。この評価基盤を活用することにより、新機能性材料の高効率開発とともに、半導体製造技術の開発効率をも向上させる事ができる。

[研究開発の具体的内容]

対象とするパッケージをワイヤーボンド型とフリップチップ型とし、300 mmウェーハを前提とした再配線工程、バックグラインド、ダイシング、ピックアップ、ボンディング、封止等の各工程において、接合素子とCu/low-k配線を有するウェーハ、チップにかかる外力等に着目し、電気特性変動、材料破壊、腐食等の評価を中心とする材料プロセス、材料-材料間の影響評価を実施し、評価方法の妥当性を検証しつつ、基準プロセスと評価方法を確立する。

さらに信頼性評価技術については、前述の対象パッケージを用いて、熱、応力、水分等が接合素子の電気特性や材料に与える影響に着目して吸湿リフロー、耐湿性試験、温度サイクル試験を行い、チップの接合素子の電気特性変動、配線層を含む各界面の剥離状況、配線層を含む材料の破壊、腐食等の評価を中心とする基準プロセスと評価方法の確立を行う。最終的には、組立プロセス、パッケージ信頼性評価の各段階で得た知見を迅速に接合素子工程や配線工程、組立工程の評価段階にフィードバックし、フロントエンドからバックエンド、パッケージまでの半導体プロセスにおいて次世代半導体以降にも対応する材料を一貫して評価できる評価基盤を確立する。

## 2. 1. 2 全体スケジュール

全体のスケジュールについて、[図 2-1](#) に示す。

研究課題 \ 年度	平成21年度(2009)	平成22年度(2010)	平成23年度(2011)
①接合素子を含む材料 評価用TEGの開発	TEGマスク設計	マスク検証と修正	TEGの検証
②汚染や応力の高感度 評価方法の開発	接合素子の 評価技術調査	接合素子を用いて汚染や応力の高感度な 材料の評価基盤を確立	
③半導体プロセス全体を 考慮した材料評価 基盤の開発	接合素子へのBEOL 材料影響の調査	半導体プロセス全体を考慮して材料影響を 把握できる評価基盤の確立	

組合は助成事業のほか、自主事業として材料評価基盤の高度化を実施しており得られた知見は助成事業にも反映されている。

図 2-1 全体スケジュール

### 2. 1. 3 予算

研究開発費を図2-2に示す。本プロジェクトは平成21～23年度の3年間で総事業費が280百万円、助成比率が1/2の助成事業であるため、うちNEDO助成費は140百万円である。年度毎の予算は図2-2の通り。

平成21～23年度の3年間で			
総事業費:	280百万円		
内NEDO助成費:	140百万円 (助成比率1/2)		

	平成21年度	平成22年度	平成23年度
総事業費 (内NEDO助成費)	120百万円 (60百万円)	80百万円 (40百万円)	80百万円 (40百万円)

#### 参考データ

	CASMAT I	CASMAT II	CASMAT III
自主事業費	-	30億円	30億円
NEDO事業 総事業費 (内NEDO助成費)	110億円 (50億円)	15億円 (7.5億円)	2.8億円 (1.4億円)

図2-2 予算

### 2. 2 研究開発の実施体制

本助成事業は、NEDO が公募によって選定した次世代半導体材料技術研究組合(CASMAT)により、平成21年度から平成23年度の3年間にわたり実施されたものであり、CASMATは、下記の国内有力材料メーカー7社を組合員とする研究組合である。

組合員企業：JSR株式会社  
住友ベークライト株式会社  
東レ株式会社  
日産化学工業株式会社  
日立化成工業株式会社  
三菱化学株式会社  
昭和電工株式会社（平成22年3月末まで）

NEDO は本助成事業にプロジェクトリーダーを設けず、主任研究員として川本佳史氏をおいた。川本氏はデバイスメーカー出身の半導体プロセスに精通した技術者であり、また組合員企業出身でないことから、中立な立場での研究指導が可能となった。(図2-3)



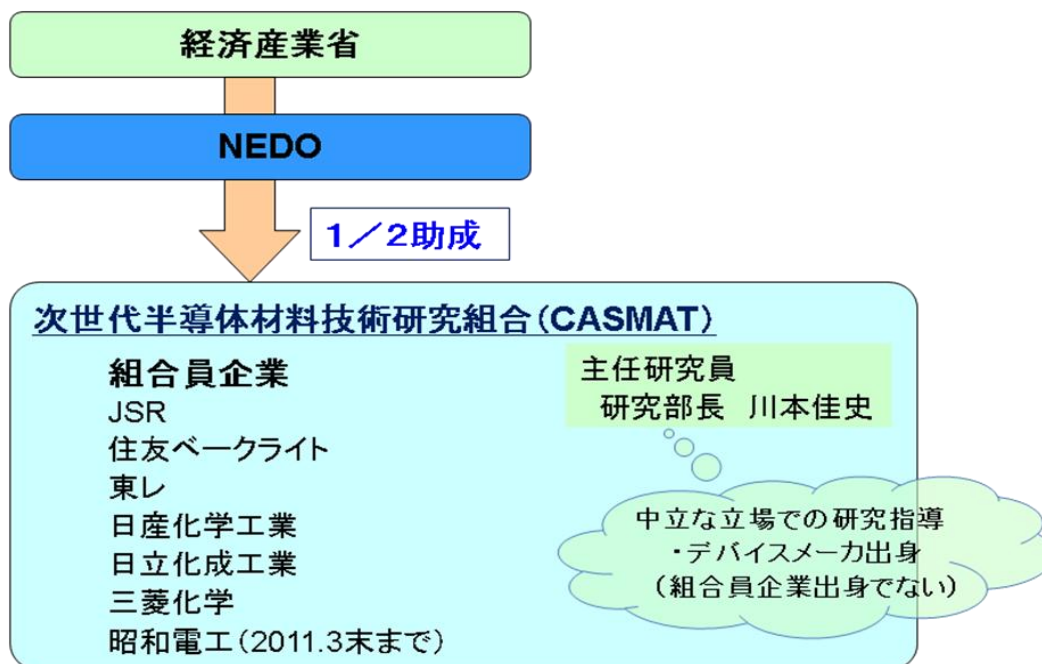


図 2 - 3 実施体制

## 2. 3 研究開発の運営管理

### 2. 3. 1 CASMATの運営スキーム

本プロジェクトでは各組合員企業に共通する次世代半導体多層配線工程のインフラを整備し、材料評価方法及び統合的部材開発支援ツール (TEG) を開発し、各組合員企業の材料開発に活用した。その評価結果やデータは全組合員に原則として公開され、組合員自身がそれぞれの実力を早く正確に知る事により、各組合員企業における開発戦略を明確にすることができた。これは結果として、材料に対する研究開発の効率化及び選択と集中に繋げることを目指した。

しかしながら、本プロジェクトを実施した CASMAT には、競合関係にある国内の有力半導体材料メーカー 7 社が参加し、組合員各社の所有する材料に関する産業財産権及び事業戦略は組合員各社に帰属することを原則としているため、本プロジェクトの運営を共通プログラムと特定プログラムの 2 つに分けることで、組合員各社の利害を調整した。

共通プログラムは、評価基盤確立のために特定の組合員から材料が提供されるが、最終的に一部の情報が全組合員に公開されるものである。したがって、共通プログラムの実施に当たっては、材料を提供する組合員の機密を遵守することが極めて重要である。材料の提出、評価について組合員側と十分な打合せを行って実験計画を策定し、初期評価については組合員から一時的に派遣される研究者 (協定研究員と呼んでいる) と共同で実施することによって、実験の効率向上と問題点の早期把握に努めた。実験データをほぼそのままドキュメント化したものは、秘密情報として組合内で管理し、実験データを評価、解析した結果としてドキュメント化したものは、公開情報として全組合員に発信した。評価対象材料名はコード番号で管理し、商品名や提供組合員名は公表していない。従って組合員は、評価結果のうち、自社材料の他社材料に対する

位置付けを知ることが出来るが、他社材料についての商品名や提供組合員名を知ることが出来ない。組合員自身が評価内容を検討することで、材料の開発指針を立案すると同時に、将来の選択と集中を促すのが目的である。

一方、特定プログラムは、材料の早期実用化を促進するための共同研究プログラムであり、特定の組合員とその顧客であるデバイスメーカあるいは半導体製造装置メーカが一体になった実用化チームを形成し、提案材料の評価と組合員の改良材料の評価結果をもとに、組合との共同研究開発契約を締結して組合の製造装置、評価機器を利用して開発材料の実用化研究を行った。

この実用化研究の結果は、特定の組合員を含む実用化チームのみが所有し、他の組合員に対しては全く公表されない。

以上述べたように、本助成事業の運営を共通プログラムと特定プログラムの2本立てで運営することにより、各組合員企業の秘密情報を確保しながら、共通の評価基盤を開発することが可能な運営方法を構築した。

### 2. 3. 2 研究の運営管理

CASMATでは理事会、運営委員会、技術委員会を設置し、事業の運営管理をCASMAT外からも監視する体制をとっている。

理事会は、組合員取締役で構成され、4半期ごとに開催して、事業の進捗状況の妥当性、重要な設備投資、運営の妥当性等の最終的な判断している。

運営委員会は、組合員の事業管理者で構成され、毎月開催し、日常的に運営状況の妥当性を判断する。プロジェクト期間中に35回開催された。

技術委員会は組合員の研究管理者で構成され、毎月開催し、研究進捗状況の妥当性を判断している。プロジェクト期間中に36回開催された。

成果報告会は、本プロジェクトで実施した材料の評価方法やTEGの開発における研究成果、組合員からの提案材料の評価結果等について、春と秋の年2回、組合員の研究者を対象として開催されるもので、成果の普及に努めるものである。プロジェクト期間中に6回開催された。

幹部会は組合員企業の幹部が、重要組合運営事項について討議する場であり、プロジェクト期間中に6回開催された。

企業化検討会は、企業化について討議する場であり、平成25年3月末の組合解散予定が明確になった後は、事業継承、解散後の企業化のあり方についての討議を行ってきた。

上記の会合にはNEDOの事業推進部からも適宜出席し、研究開発の運営管理を行った。

また、この他に、発明審議会があり、特許などの産業財産権について討議される場である。川本氏を議長とし、半導体デバイスメーカでの特許部門経験を持つ弁理士を特許アドバイザーとして招聘し、届出のあった発明等が職務発明か否か、ノウハウか否かの認定を行う。特許については、内容を十分に吟味した上で出願がなされてきた。プロジェクト成果について討議されたのは13回である。

また学会など外部発表については、報告内容を精査し、組合内稟議を経て認可を与えた。図2-4にまとめを示す。



## NEDOは各種委員会に参加し、運営状況・研究進捗状況の確認を実施

- **運営委員会 35回**  
プロジェクト全体の運営方針を議論。運営委員(各組合員企業)が出席。
- **技術委員会 36回**  
研究内容についての討議。技術委員(各組合員企業)が出席。
- **発明審議会 13回**  
発明等が職務発明か否か、ノウハウか否かの認定を行う場。  
職務発明の場合のランク付け。  
研究部長を議長とし、研究従事者の本組合における上長、担当事務局員  
および産業財産分野における専門家等を委員として構成
- **成果報告会 6回**  
半期に1回行われる研究成果を報告。各組合員企業が出席。
- **幹部会 6回**  
組合員企業の幹部が、重要組合運営事項を討議。
- **企業化検討会 7回**  
CASMATの企業化について検討。企業化検討委員が出席。

### 図 2 - 4 研究の運営管理

## 2. 4 研究開発成果の実用化・事業化に向けたマネジメントの妥当性

下記の観点から、マネジメントは妥当であったと考える。

### 1) 研究開発マネジメント

材料メーカーが共通して活用できる材料評価基盤を構築するには一材料メーカーの力では非常に困難なことであり、競合する材料メーカーが参画する体制を構築する必要があった。また材料開発に関わるプロジェクトにデバイスメーカー技術者が参加する体制を構築する必要があった。これにより、材料評価基盤の構築という成果の実用化を促進した。

### 2) 運営マネジメント

プロジェクトリーダーを設けず、材料メーカー出身でない中立な立場の主任研究員をおいた。また評価材料のコード化、評価結果の公開・非公開の取扱いを明確化することにより、競合である材料メーカー個別の技術の保護を行い、事業化に結び付きやすいようにした。

具体的には、下記の通り。

材料を提供する組合員の機密を遵守することは極めて重要であり、材料の提出、評価については組合員側と十分な打合せを行って実験計画を策定し、実験の効率向上と問題点の早期把握に努めることとした。実験データをほぼそのままドキュメント化したものは、秘密情報として組合内で管理し、実験データを評価、解析した結果としてドキュメント化したものは、公開情報として全組合員に発信した。評価対象材料名はコード番号で管理し、商品名や提供組合員名は公表しないこととした。組合員は、評価結果のうち、自社材料の他社材料に対する位置付けを知ることが出来るが、他社材料についての商品名や提供組合員名を知ることが出来ない。組合員自身が評価内容を検討することで、材料の開発指針を立案すると同時に、将来の選択と集中を促すこと

が可能となった。

### 3) 知的財産マネジメント

材料評価に関わる知的財産はCASMAT、開発材料に関する知的財産は材料メーカーに帰属するとし、知的財産の保護と事業化を推進した。

### 4) 実用化の推進

材料メーカーの事業化を支える材料評価基盤の実用化を促進した。これはIV. 実用化・事業化の見通しに詳細を記載する。

### 5) 過去事業の成果・設備資産の有効活用

次世代半導体ナノ材料高度評価プロジェクト／次世代高度部材開発評価基盤の成果・装置を引き続き活用、また、次世代半導体材料・プロセス基盤（MIRAI）プロジェクトのCVD装置を利活用することで、実用化を推進した。

## **研究開発マネジメント**

競合する材料メーカーが参画する、及び、材料開発に関わる事業ヘドバイスメーカー技術者が参加する体制構築

## **運営マネジメント**

中立な立場の主任研究員の配置、評価材料のコード化、評価結果の公開・非公開の取扱明確化による、材料メーカー個別技術の保護（協調領域と競争領域の峻別）

## **知的財産マネジメント**

帰属の明確化（評価方法：CASMAT、材料：材料メーカー）による、材料メーカーの知的財産の保護と事業化の促進

## **実用化の推進**

材料メーカーの事業化を支える材料評価基盤の実用化推進

## **過去事業の成果・設備資産の有効活用**

\*次世代半導体ナノ材料高度評価プロジェクト／次世代高度部材開発評価基盤の成果・装置の活用

\*次世代半導体材料・プロセス基盤(MIRAI)プロジェクトのCVD装置の活用

図 2 - 5 NEDO のマネジメントの妥当性

### 3. 情勢変化への対応

現クリーンルームの契約期間が平成24年度末までであったため新規研究拠点の検討を、また組合としての拡大と1社あたりの賦課金の減額を目的に、新規の組合員企業、特に半導体装置メーカーの参加の検討を実施してきた。

しかしながら、平成21年のリーマンショック、平成23年の東日本大震災により、情勢が大きく変化した。新規研究拠点の検討については、移転費用も含めて経済性が成り立つ適切な新規研究拠点を見出すことができなかった。新規の組合員企業の参加については、候補となっていた装置メーカーが経営上の判断から参画を断念せざるを得なくなった。以上のことを踏まえ、次世代半導体材料技術研究組合は平成24年度末で解散する予定である。

#### 情勢変化

- 現在の拠点での継続が不可能
- 移転費用も含めて経済性が成り立つ適切な新規研究拠点が見つからず
- 装置メーカーが組合員候補となっていたが、情勢変化により参画を断念

⇒ 研究拠点としての組合は平成24年度末で解散

#### 材料メーカーが継続して活用できる材料評価基盤体制の構築

- TEG：ライセンス事業の推進による継続入手方法の確立
- 材料評価基準書：（既に活用中、引き続き活用）
- 知的財産権：評価手法に関する特許の活用、普及のためのライセンス事業
- 事業承継：ライセンス事業の承継の推進

図3-1 情勢変化への対応

NEDOでは、上記のような情勢変化への対応として、本プロジェクトの成果である材料評価基盤を組合解散後も材料メーカーが継続して活用できる体制の構築を行った。

接合素子を有する顧客デバイス類似構造 TEG については、平成24年度内に TEG を製造委託できるライセンス先を選定し、契約を完了させる。平成24年10月以降は、組合での作成は不可能になるので、ライセンス先での TEG 作成が可能になるようにし、材料メーカーが引き続き入手できるようにする。平成25年度以降は、ライセンス許諾に関する契約などを事業承継会社が引き継ぐ。

材料評価基準書については、既に配布済みであり、材料メーカーが各自で活用する状況になっており、今後も引き続き活用する。また普及の観点から、ライセンス事業も推進する。平成24年度内に特許を事業承継会社に移管し、平成25年度以降は、権利化判定、ホームページでの開示、実施許諾を事業承継会社で行う。

### Ⅲ. 研究開発成果について

#### 1. 事業全体の成果

##### 1. 1. 各研究開発項目の目標達成状況

###### 1. 1. 1. 背景

次世代半導体材料技術研究組合（CASMAT）は平成 15 年設立以来、評価材料すなわち組合員企業の開発、製品化材料は、BEOL 以降の材料としてきた。具体的には、**図 1. 1. 1-1**に示すような 5 分野の材料である。半導体製造プロセスの流れの中でこれらの材料が適用される工程を**図 1. 1. 1-2**に示す。評価材料は、配線工程と組立て工程に用いる材料である。また、ここで半導体工場での工程は、各工程を図の中で左に示すように、基板工程（FEOL）、配線工程（BEOL）、組立て工程（後工程）、試験・信頼性試験工程（後工程）の 4 つに分類できる。さらに、試験・信頼性試験工程（後工程）は配線とデバイスに分けられる。評価材料においては、半導体工場でのどのような工程を経て材料が評価されるかが重要であり、部分的な工程で材料を十分に評価できる場合と、多くの工程を経ないと十分な評価ができない場合がある。

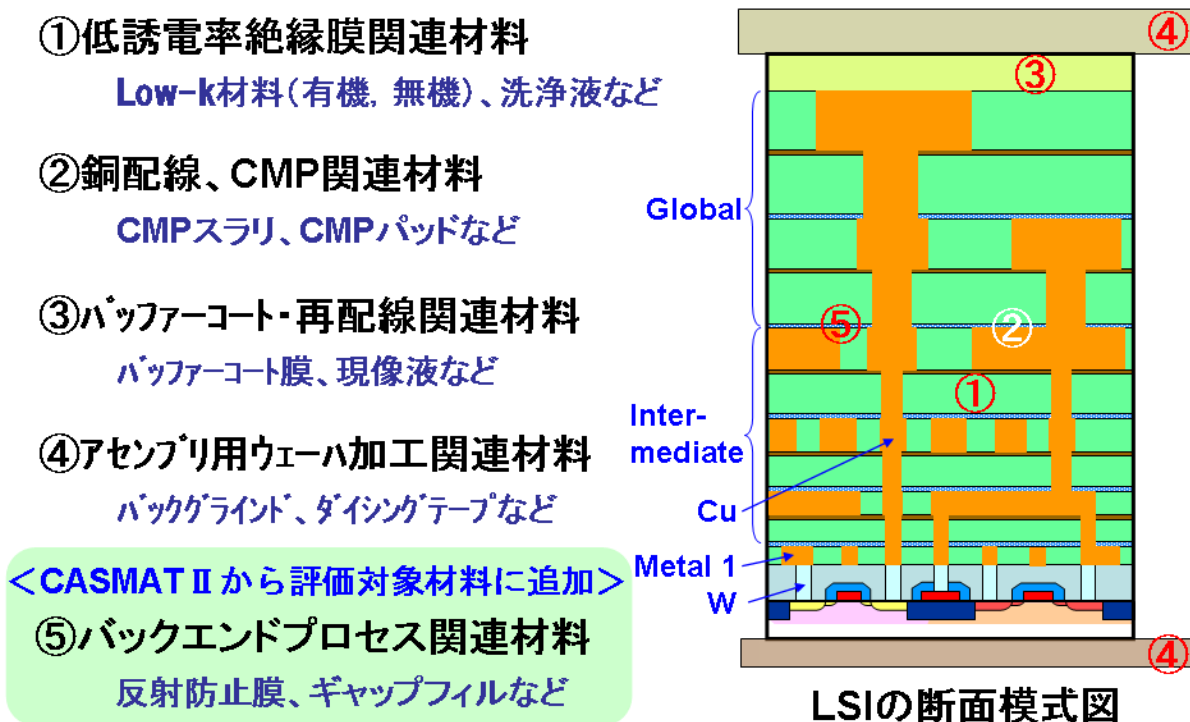


図 1. 1. 1-1 CASMAT における評価材料

## デバイス製造フローでの評価材料の適用工程

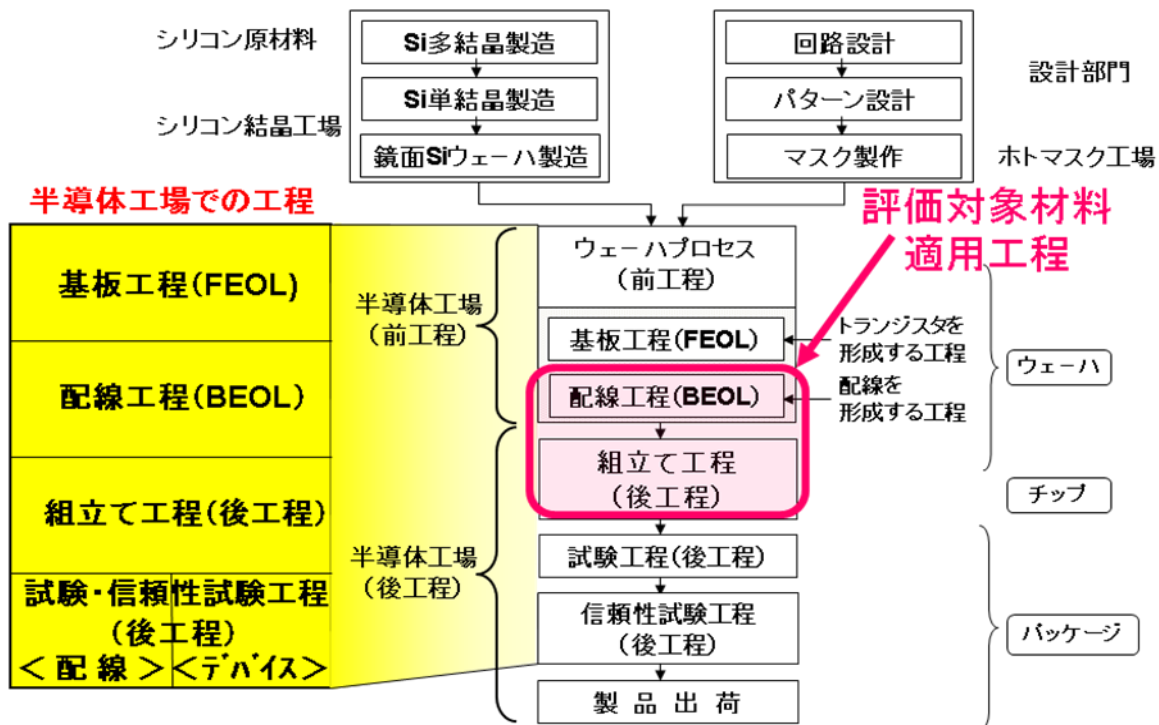


図 1. 1. 1-2 デバイス製造フローでの評価材料適用工程

### 1. 1. 2. 目標の妥当性

半導体工場での工程の分類で、CASMATのこれまでの評価領域を示すと、[図 1. 1. 2-1](#) のようになる。平成 20 年度に完了した CASMAT II のプロジェクト「次世代高度部材開発評価基盤」の開発までは、評価材料を用いる配線工程以降を評価領域とし、また、試験・信頼性試験工程では配線のみであり、デバイスを評価領域にはしていなかった。これでは、まだ材料影響をすべて明らかにすることができないと考えて、平成 21 年度から開始した今回のプロジェクトでは、基板工程およびデバイスの試験・信頼性試験工程まで評価領域を拡大することとした。これにより、半導体トータルプロセスでの配線とデバイスの性能、信頼度を検証する材料評価基盤を構築することができる。

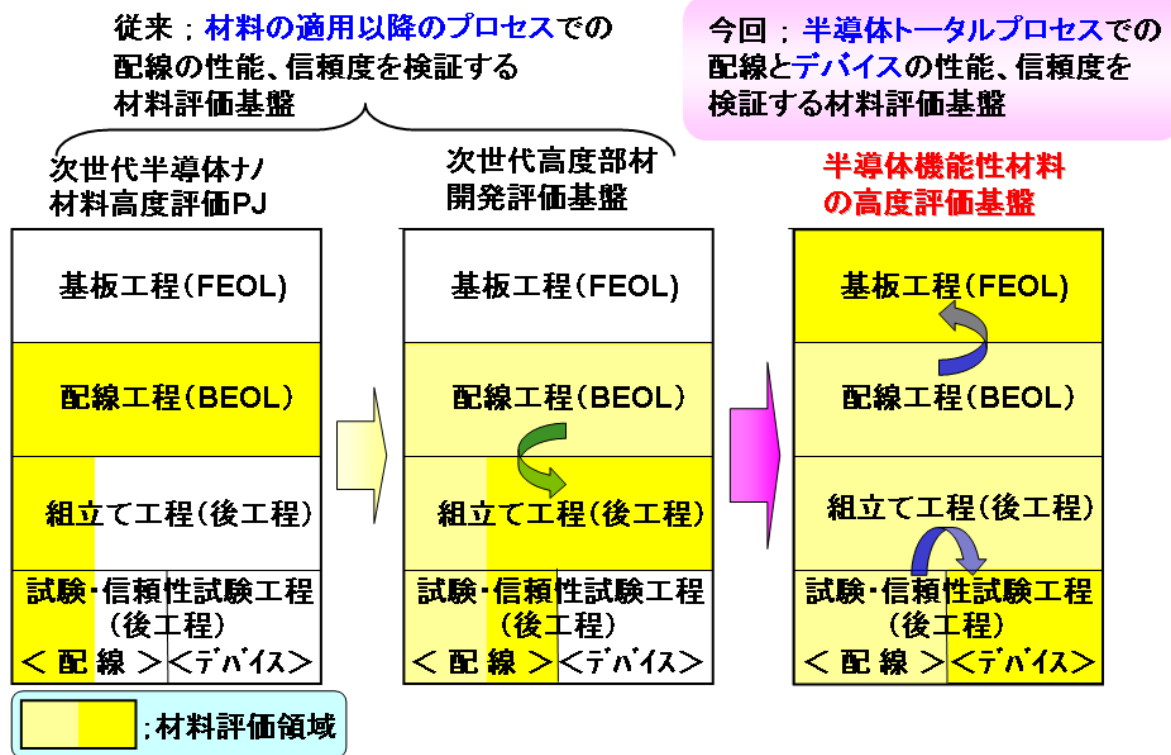


図 1. 1. 2-1 評価領域拡大の経緯

プロジェクトでは、半導体デバイス性能に直結する接合素子（p-n 接合、SiO<sub>2</sub>-Si 接合など）の性能・信頼性まで含め、半導体製造プロセス全体を考慮して半導体材料を開発するための材料評価基盤を構築することを基本的な目標として、平成 21 年度から 23 年度までの 3 年間実施した。ここで材料評価基盤は、さまざまな要素から構成されるが、開発する成果から見ると材料評価用の TEG と材料評価基準書で構成される。この材料評価基盤と研究開発項目の関連を図 1. 1. 2-2 に示す。材料評価用の TEG に関しては、おもに研究開発項目①接合素子を含む材料評価用配線 TEG の開発と②材料による金属汚染、応力影響の評価方法の開発が関与し、材料評価基準書に関しては、おもに研究開発項目②と③半導体プロセス全体を考慮した材料評価基盤の開発が関与する。研究開発成果の概要について以下に研究開発項目毎に、研究目標と研究開発成果、目標達成状況を述べる。



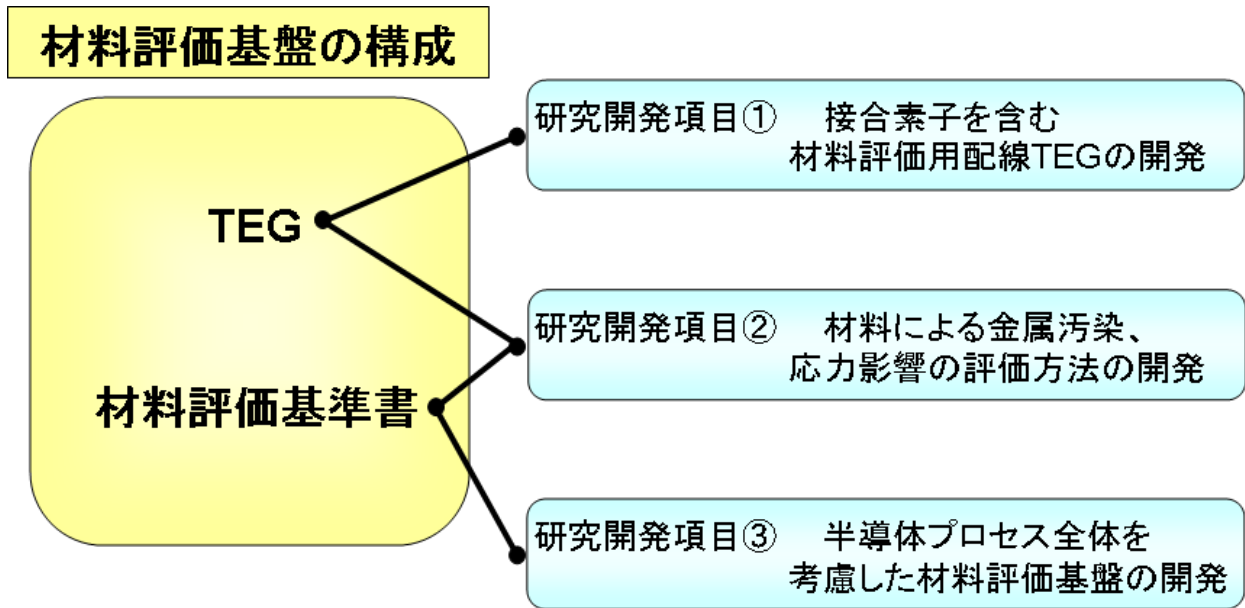


図 1. 1. 2-2 材料評価基盤とそれぞれの研究開発項目の関連

### 1. 1. 3. 目標達成状況

目標達成状況について、研究開発項目毎に以下に示す。

#### 研究開発項目① 接合素子を含む材料評価用配線 TEG の開発

研究目標は、材料とプロセス条件が接合素子の信頼性に与える影響を定量的に抽出できるように、接合素子を有する TEG マスクを設計する。接合素子を備えたウェーハ上に基準材料を用いて配線 TEG を形成して形状や電気特性を検証する。検証結果を解析して TEG マスクを改良し、接合素子の信頼性への影響を評価できる材料評価専 TEG を開発することである。

研究開発成果は、

- a. 試作を安価に、かつ容易にするため、KrF、i線露光に対応できる最小寸法 0.2  $\mu\text{m}$ 、チップサイズ 21.5×26.9  $\text{mm}^2$ 、マスク枚数 12 枚として、種々の構造や面積を有する p-n 接合素子、ゲート容量素子、トランジスタ、抵抗素子、アンテナ TEG、腐食 TEG、リングオシレータ (RO) などを設計した。
- b. FEOL のプロセスフロー、種々の材料の膜厚やイオン打込み条件などの各工程の処理条件を策定して、ウェーハ試作を外注し、接合素子を含む FEOL の試作を完了させた。
- c. FEOL プロセスを完了したウェーハを用いて、CASMAT で BEOL プロセスを実施し、接合素子の電気特性を測定することができる FEOL/BEOL 統合 TEG を完成させた。

- d. p-n 接合や容量素子など単純な接合素子に加え、その FEOL プロセスで同時に形成されるトランジスタ、抵抗負荷型インバータで構成した RO などの電気特性を測定し、期待値通りの特性を確認し、TEG を検証した。
- e. 配線間容量を伝播負荷とする RO の発振周波数測定から、相対的にはあるが、多層配線の層間絶縁膜の比誘電率を評価できることを確認した。
- f. マスク修正および外注先変更にともなうプロセス条件を再策定し、ほぼ同様の電気特性が得られることを確認した。

以上の研究開発成果が得られ、目標は達成できたと考える。

この研究開発項目では、材料評価基盤を構成する材料評価用の TEG を完成させた。その結果を図 1. 1. 3-1 に示す。TEG マスクの設計を CASMAT にて行い、FEOL 工程を外注にて試作し、BEOL 工程を CASMAT にて試作した FEOL/BEOL 統合 TEG の 300 mm ウェーハの外観と 1 ショットの実体顕微鏡画像を示している。また、1 ショットの中には TEG に搭載された種々の素子を示している。

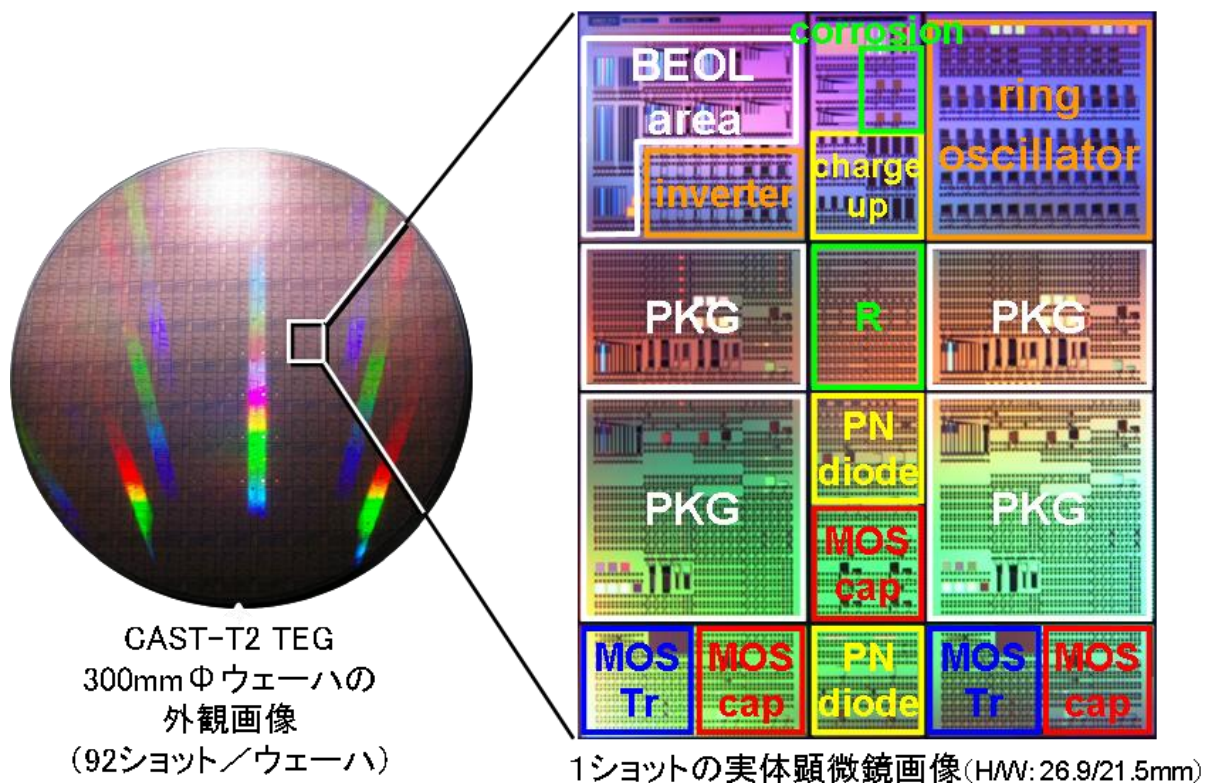


図 1. 1. 3-1 材料評価用に開発した FEOL/BEOL 統合 TEG の 300 mm ウェーハの外観と 1 ショットの实体顕微鏡画像



## 研究開発項目② 材料による金属汚染、応力影響の評価方法の開発

研究目標は、研究開発項目①で得られた TEG マスクを用いて、300 mm シリコンウェーハ上に接合素子を作成し、さらに配線形成を行い、製造工程に用いる半導体材料あるいは製造プロセスによる接合素子への影響（金属汚染、応力、電荷蓄積など）が把握できる電気特性の測定方法や解析方法、また接合素子の信頼性の試験方法や測定結果の解析方法を開発することである。

研究開発成果は、

- a. Cu などの重金属汚染は、p-n 接合素子の逆方向電流を測定することにより、評価できることがわかった。
- b. Na、K などのアルカリ金属汚染は、寄生 MOS トランジスタのゲートにバイアス印加して、しきい電圧を測定し、その変動量から評価できることがわかった。
- c. 応力の影響は、n+層、n-層、poly-Si のそれぞれの抵抗素子の電流方向に、基板を反らせて応力印加することにより抵抗が増減することから、それらの抵抗素子の抵抗変化により評価できることがわかった。
- d. 容量素子のゲート電極側に大面積のアンテナ電極を接続したアンテナ TEG のゲート耐圧測定により、プロセスや材料に起因する電荷蓄積の効果を評価することができた。
- e. CMP プロセスで発生する Cu の腐食については、配線抵抗の変化を評価することにより、p-n 接合電池、Cu イオンの濃淡電池それぞれによる腐食現象を把握することができた。

以上の研究開発成果が得られ、目標は達成できたと考える。

## 研究開発項目③ 半導体プロセス全体を考慮した材料評価基盤の開発

研究目標は、対象とするパッケージをワイヤーボンド型とフリップチップ型とし、接合素子と Cu/Low-k 配線を有するウェーハのパッケージ組立工程の基準プロセスと評価方法を確立する。さらに、熱、応力、水分などが電気特性や材料に与える影響を把握し、信頼性評価技術を確立する。得られた知見を迅速に各工程にフィードバックし、フロントエンドからバックエンド、パッケージまでの半導体プロセスにおいて次世代半導体以降にも対応する材料を一貫して評価できる評価基盤を確立することである。

研究開発成果は、

- a. Low-k 材料が半導体プロセスにおいて受けるダメージについて、楕形の配線間容量を伝播負荷とするリングオシレータの発振周波数を測定することにより、実効的な比誘電率を高精度に評価する方法を開発した。
- b. Low-k 材料の電氣的性質の1つである分極特性について、寄生 MOS トランジスタのゲートに周期的にバイアスを印加した時のしきい電圧変動幅を測定することにより評価する方法を開発した。
- c. ワイヤーボンド型として、208 ピン QFP を外注にて組立て、Low-k 材料、BC 材料の影響を接合素子の電気測定により調査したが、それらの違いは顕著に現れなかった。
- d. QFP ではリングオシレータの発振周波数が 6%程度低下した。モールド材の収縮による圧縮応力により、負荷 poly-Si 抵抗の増加などの影響と推察される。
- e. フリップチップ型として、種々の BC 材料で再配線し、WLP を外注にて組立て、接合素子の測定、温度サイクル試験などを行ったが、材料影響は出現せず、むしろ剥離やデージーチェーン断線に BC 材料の違いによる影響が顕著に現れ、新たな評価指標として剥離耐性係数を創出した。

以上の研究開発成果が得られ、目標は達成できたと考える。

研究開発項目の②と③では、もう一つの材料評価基盤を構成する評価基準書を完成させた。その件数を表 1. 1. 3-1 に示す。材料評価基準書は、試料の作成方法、測定装置と測定方法、実際の提案材料での評価結果などを文書化してまとめたものである。分野としては、評価材料としての Low-k 材料、CMP 関連材料、バッファコート材料、評価試料としてパッケージ組立てまで実施する一貫評価、試料作成や測定方法を支援するものとしてプロセスフロー、TEG マスク説明書、電気測定方法の 7 分野とした。また、評価レベルとして簡単な構造から複雑な構造になるに従って 5 つのレベルに分類した。材料評価基準書トータルは 190 件であり、これらは組合員に公開している。今後、材料開発における評価技術として役立てていただくことを期待している。評価基準書に関して、その一覧表の例と、記載内容について、図 1. 1. 3-2 に示す。なお、評価基準書のいくつかの具体例は、Ⅲ. 2. 4 に掲載する。

表 1. 1. 3-1 評価基準書の件数

分野 (材料、技術)	レベル1 単層膜	レベル2 複数工程	レベル3 1層配線	レベル4 多層配線	レベル5 信頼性	トータル 190
Low-k材料	7	5	6	1	3	22
CMP関連材料	13	0	14	0	1	28
バッファコート膜	2	3	12	0	3	20
PKG一貫評価	0	0	0	6	7	13
プロセスフロー	0	0	3	30	7	40
マスク説明書	0	0	1	29	5	35
電気測定法	0	0	0	25	7	32

評価基準書一覧

分野	評価レベル	大分類	中分類	小分類	管理番号	
①	1	単層膜評価	電気的測定	Low-k薄膜の比較電気評価	31001	
				Low-k薄膜のリーク電流評価	31002	
				SiO <sub>2</sub> による薄膜の熱伝導率評価	31003	
				有機Low-k薄膜の2次元CMP耐性評価	31004	
		強層膜評価	信頼性評価	Low-k材料の信頼性評価	31005	
		環境試験		吸湿条件下でのLow-k材料の信頼性評価	31006	
		単層膜評価		ゲージ評価	Low-k TEOS Geol膜エポキシ樹脂評価	31007
	2	複数工程評価	電気的測定	ブラケット膜におけるプロセスゲージ評価	31101	
				電気的/光学的測定	ブラケット膜におけるプラズマゲージの回復性評価(1)	31102
				電気的/光学的測定	ブラケット膜におけるプラズマゲージの回復性評価(2)	31103
				電気的/化学的測定	ブラケット膜における有機Low-kプラズマゲージ回復評価	31104
				トロン状態評価	有機Low-kプラズマゲージの回復特性評価の適合性評価	31105
	3	単層配線評価	電気的測定	配線TEGにおけるDirect CMP後の容量評価(BG2Def)	31201	
				配線TEGにおけるDirect CMP後の容量評価(容量差)	31202	
				配線TEGにおける高周波容量評価	31203	
				配線TEGにおける有機Low-k材料比較評価	31204	
				配線TEGにおける有機Low-k材料の2次元CMP耐性評価	31205	
				配線TEGにおけるプラズマゲージ回復性評価	31206	
	4	多層配線評価	電気的測定	配線TEGにおけるDirect CMP後の容量評価(ラゲル)	31301	
				多層配線TEGにおける信頼性評価(SM)	31401	
5	信頼性評価	電気的測定	配線TEGにおける有機Low-k材料Cu耐腐食性評価	31402		
			有機膜層の70℃外配線TEGにおける信頼性評価(SM)	31403		
単層膜評価	外観評価	外観評価	薄膜の表面SEM観察とサンプル作成法	32001		
			ガラス/欠陥評価	ポリマールCMP工程におけるスカラー研磨機稼働の観察	32002	
			欠陥評価	SR-7300による高信頼性欠陥評価方法	32003	
			ダメージ評価	MDS系Low-k膜のDirectCMPにおけるSumoダメージ評価	32004	

評価基準書の記載事項

1. 評価対象材料名
2. 評価の目的
3. 評価項目
4. 試料作成の手順
5. 測定方法
6. 測定結果例
7. まとめ・考察
8. 残された課題
9. 関連技術情報

図 1. 1. 3-2 評価基準書の一覧表の例と、記載内容

## 1. 2. 研究開発成果の意義

本研究開発の成果は、半導体プロセス全体を考慮した 300 mm ウェーハを用いた材料評価基盤を構築したことである。その成果の中で、世界的に見て特筆すべきものとして、次の 3 点が挙げられる。第 1 に、NMOS だけを用いて poly-Si 抵抗を負荷としたインバータを接続してリングオシレータ (RO) を設計し、配線間容量を伝播負荷に挿入した RO を用いて、多層配線の層間絶縁膜の実効的な比誘電率を高感度に評価する評価方法を開発したことである。このように材料評価にフォーカスした回路はこれまでに報告された例は見当たらず、世界初のものと思われる。このような回路の構成により、Low-k 材料のような多層配線の層間絶縁膜を回路動作に近い周波数で、かつ高感度に測定することが可能になった。

第 2 に、腐食の発生を配線抵抗の測定により定量的に把握する評価方法を開発したことである。これまでは、Cu 配線パターンの表面の観察により腐食のありなしを定量的に評価していた程度である。抵抗測定により腐食の程度或いはその進行を定量的にしたことも、これまでは報告されておらず、世界初と思われる。また、CMP においてパターンの疎密による濃淡電池効果の影響を見出したことも初めての成果であると考えられる。

第 3 に、バッファコート膜の剥離に対して、剥離耐性係数を創出することにより、剥離耐性のあるバッファコート材料の開発指針を明確にしたことも大きな成果と考えている。バッファコート膜の密着性と弾性率の剥離に対する影響が、定量的に比較できる指標とすることができるようになった。

以上、特筆すべき成果を挙げたが、この他にも本研究開発を通じて、Cu 汚染の方法や、応力の印加方法、電気的な測定方法など種々のノウ・ハウを蓄積することができた。それらは、今後様々な材料評価、或いは評価技術の開発に役立てていくことができると期待している。

研究開発の成果として CASMAT の構築した材料評価基盤の、産業界に対する意義を **図 1. 2-1** に示す。材料メーカーに対しては、材料開発やビジネスに対しての貢献が期待できる。また、半導体業界に対しても開発効率の向上や材料の実用化の加速を図ることに貢献できる。

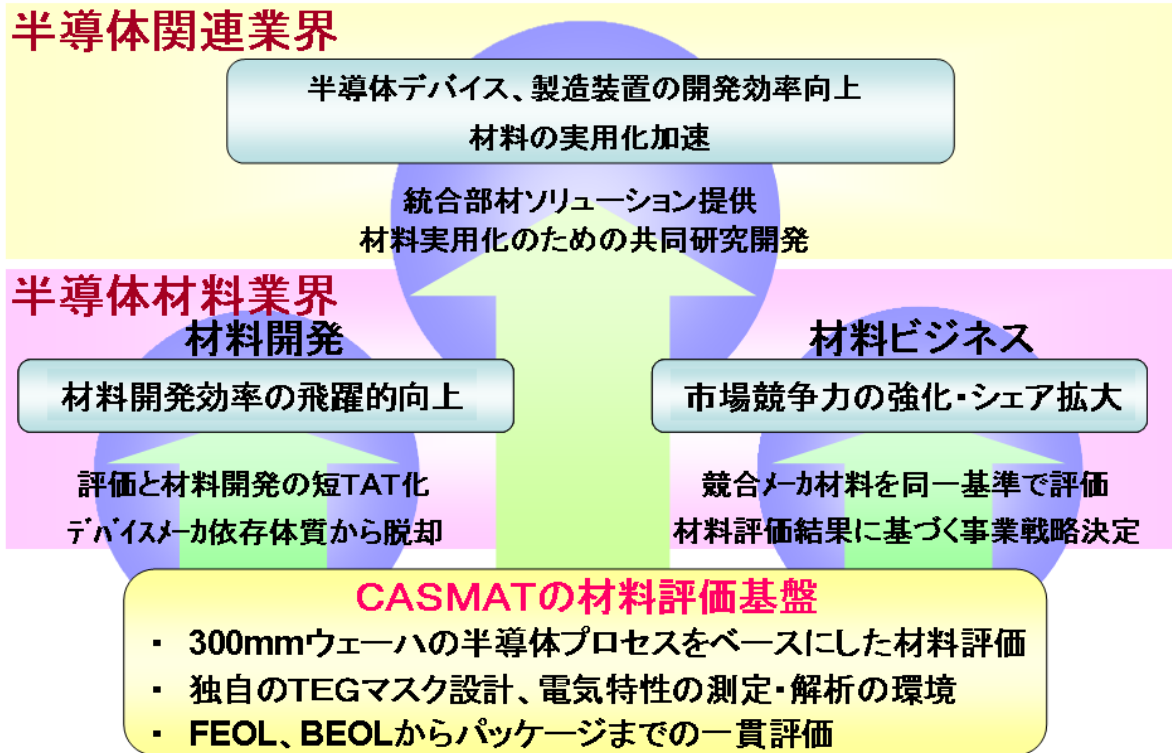


図 1. 2 - 1 本研究開発成果の意義

### 1. 3. 知的財産権等の取得、成果の普及

知的財産権等の取得、成果の普及に関して、研究開発の過程で得られた知見を基に、3年間で13件の特許を出願した。また、研究成果は論文としてまとめて、学会への投稿や口頭発表を3年間で19件行なってきた。年度ごとの件数をまとめて、表1. 3 - 1に示す。

なお、特許および外部への発表内容に関するリストは添付資料に掲載する。

表 1. 3-1 年度毎の特許、論文・外部発表件数

項目 年度	特許出願			論文・外部発表	
	国内	外国	PCT出願	査読付	その他
平成21年度	3	0	0	3	2
平成22年度	6	0	0	2	2
平成23年度	4	0	0	7	3
合計	13	0	0	12	7

つぎに、成果の普及に当たっては、まず組合員企業に対しては技術報告（B）を発行して評価結果をフィードバックしてきた。この報告内容は材料提供組合員の製品開発だけでなく、その事業にも利用することができる。なお、提案材料評価プログラムとして実施された評価結果や評価方法などについては、CASMATの共通領域であるので技術情報（B）としてドキュメント化されたものは全組合員に開示される。技術報告（B）の件数の推移を図1.3-1に示す。CASMATⅡに対して年間10件多い目標である70件/年をクリアした。また、組合員企業に対しては、ほぼ半年毎に3年間で6回の成果報告会を開催し、研究開発成果に関する情報をタイムリーに伝達してきた。（ただし、平成23年3月16日開催予定の第15回成果報告会は、東日本大震災のため開催できなかったため報告資料のみ組合員配布とした）

外部に対しての成果の普及に関して、研究開発期間のほぼ中間点の平成22年7月には組合員以外の材料メーカ（11社）、装置メーカ（7社）、デバイスメーカ（9社）、コンソーシアムなど（13団体）に対して研究発表会（出席者；67名）を開催した。CASMATの研究開発に対する理解と今後の成果に対する期待、さらには研究開発に当たってのご指導などを頂いた。

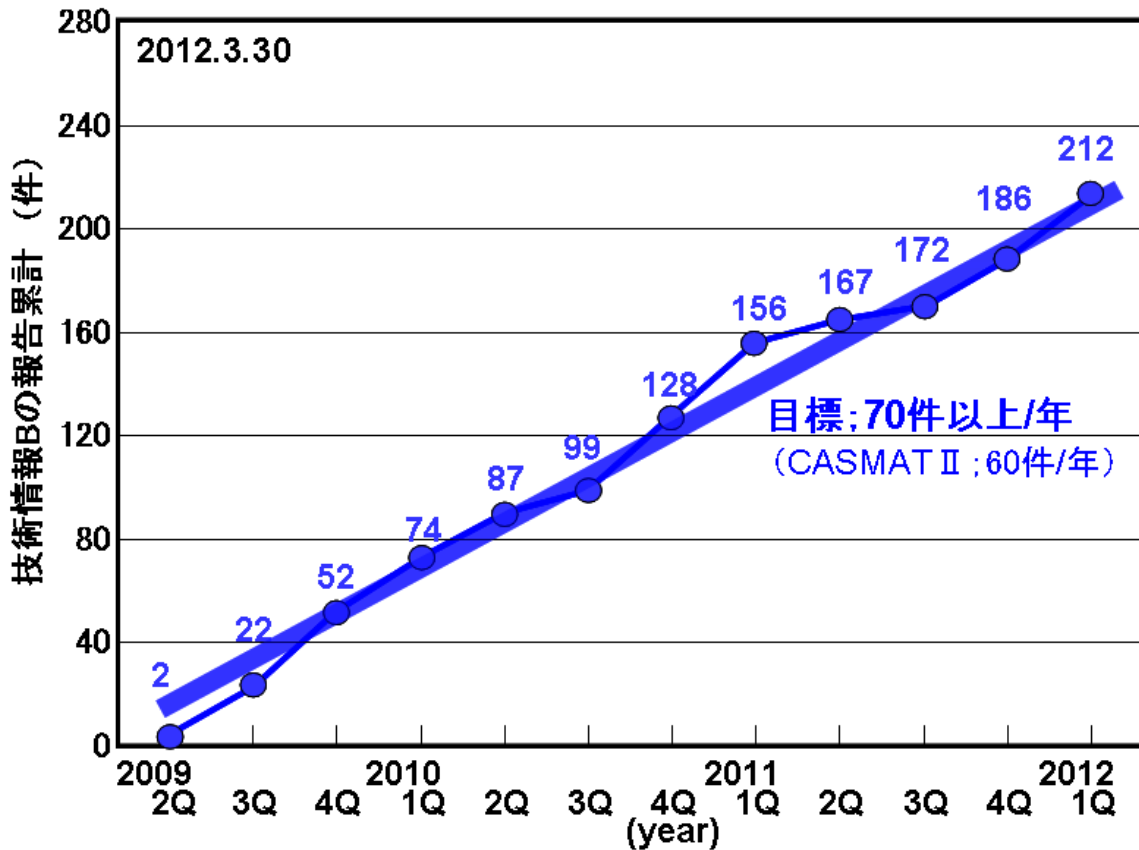


図 1. 3 - 1 技術報告 (B) の報告件数の推移

#### 1. 4. まとめ

最後に、成果のまとめを以下に述べる。

- ・「半導体トータルプロセスでの配線とデバイスの性能、信頼度を検証する材料評価基盤を開発する」という本事業の目標を達成した。
- ・ 材料評価基盤の具体的成果は、CAST-T 2、T 3のTEGの完成と190件の材料評価基準書である。
- ・ 世界的にみて特筆すべき成果は、リングオシレータを利用した層間絶縁膜の比誘電率の高感度評価方法、電池効果を利用した腐食の定量的評価方法、バッファコート膜の剥離の指標となる剥離耐性係数の創出である。
- ・ 研究成果の意義は、材料業界に対しては材料開発の効率向上、ビジネス展開への貢献であり、半導体関連業界に対してはそれぞれ開発効率向上と材料の実用化加速である。
- ・ 知的財産権等の取得、成果の普及に関しては、13件の特許出願、212件の技術情報Bの報告、6回の成果報告会、1回の外部報告会、19件の外部発表を行なった。

## 2 研究開発項目ごとの成果

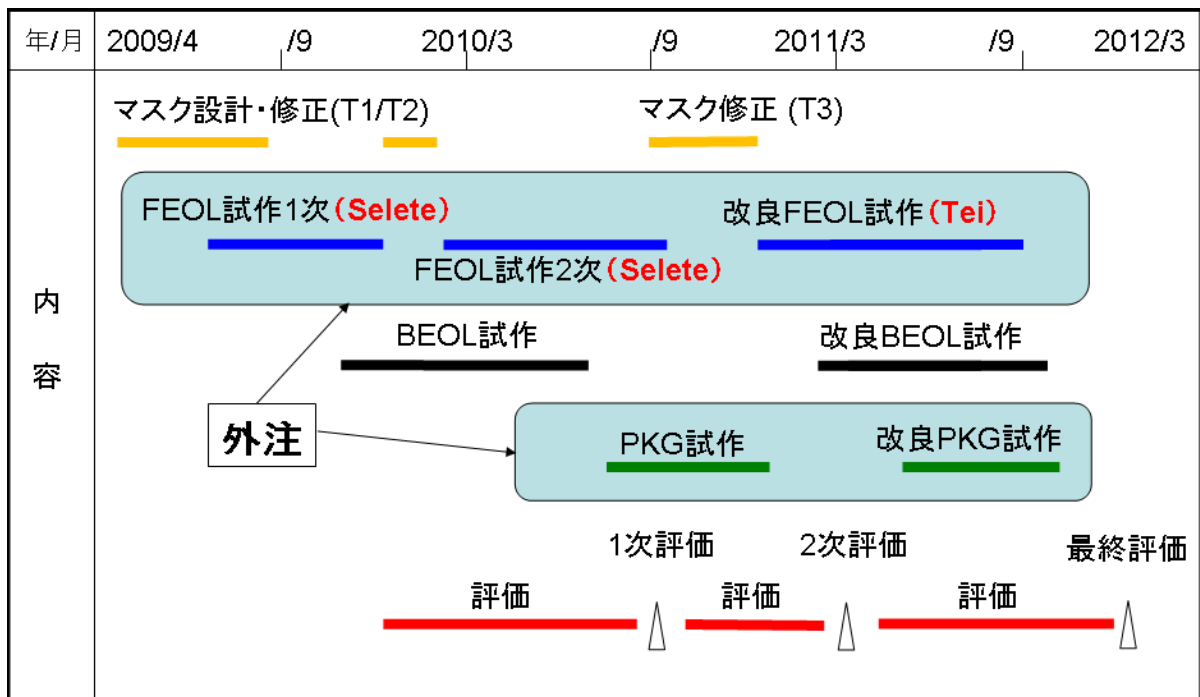
### 2. 1. 接合素子を含む材料評価用配線 TEG の開発

研究開発項目①は、材料とプロセス条件が接合素子の電気特性や信頼性に与える影響を定量的に抽出できるように、接合素子を有する TEG マスクを設計する。接合素子を備えたウェーハ上に基準材料を用いて配線 TEG を形成して、形状や電気特性を検証することを目標にして実施した。検証結果を解析して TEG マスクの改良や接合素子の信頼性への影響を評価できる材料評価専用 TEG を開発し、その TEG の電気的特性の測定方法や解析方法を整備した。

以下には、まず、今回のマスク開発、試作の経緯を述べ、そのあと、TEG マスクの概要、TEG 試作プロセス、各種 TEG 試作結果、リングオシレータを用いた配線特性を述べ、最後にマスク修正について述べる。

#### 2. 1. 1. マスク開発、試作の経緯

今回の TEG 開発では、マスク設計と BEOL 試作、測定と解析については CASMAT で実施し、FEOL の試作、パッケージ組立てについては外注により実施した。マスク開発、試作の経緯を図 2. 1. 1-1 に示す。



Selete: (株) 半導体先端テクノロジーズ

Tei: ティーイーアイソリューションズ(株)

図 2. 1. 1-1 マスク開発、試作の経緯



最初のマスク CAST-T1 は、FEOL のリソグラフィや加工の実験を行なう予備検討のマスクとして設計し、FEOL/BEOL 統合 TEG としてはじめて CAST-T2 マスクを設計した。最終的にはそれを部分的に修正して CAST-T3 マスクを完成させた。また、FEOL の試作においては、CAST-T2 は Selete で試作していただいたが、Selete の試作業務が終了したため CAST-T3 の試作は Tei で試作していただかなければならなかった。試作ラインの違いにより、プロセス条件を変更する必要があったが、ほぼ同等の FEOL ウェーハを得ることができた。

## 2. 1. 2. FEOL/BEOL 統合 TEG マスクの概要

今回、設計した TEG マスクの構成を図 2. 1. 2-1 に示す。設計に当たって、まず技術レベルとしては、微細性を狙わずに外注で容易に試作できるレベルを考慮した。そのため、KrF 露光装置でバイナリマスクを用いて FEOL プロセスの試作できるレベルとして 0.2  $\mu\text{m}$  ノードのレベルに設定した。BEOL プロセスでは、ArF 露光装置が用いられるので、最小寸法はビア層のみ 0.18  $\mu\text{m}$  とした。また、広く用いられている p チャネルと n チャネルの MOS トランジスタが同一ウェーハ上に形成されるいわゆる CMOS ではなく、単一チャネルとした。そのため、マスク枚数は 12 枚と少なくすることができた。FEOL では p-n 接合、ゲート容量、N チャネルトランジスタなどが形成できる 7 枚、BEOL では Cu 2 層配線と Al パッドが形成できる 5 枚である。

- ・マスク名： CAST-T2/T3      マスク枚数： 12枚 / 1品種
- ・マスク仕様： バイナリマスク、ショットサイズ 26.9 mm X 21.5 mm
- ・組立チップ： 8.6mm×8.6mm、5.4mm×8.6mm、12.9mm×12.9mm  
(12.9mm□チップ以外は2チップ/1ショット)

### ・マスク一覧表

No.	層名	層番	パターン	倍率	最小 ( $\mu\text{m}$ )	最大 ( $\mu\text{m}$ )	目的	メモ
1	L	11	A	×4	0.5	100	素子分離	A: 島パターン
2	FG	12	A	//	0.2	100	ゲート	
3	N1	13	B	//	0.5	-	N型拡散層(LDD)	B: 孔パターン
4	N2	14	B	//	0.5	-	N型拡散層(S/D)	
5	P	15	B	//	0.5	-	SUB引上げ	
6	SP	16	A	//	0.5	-	シリサイド保護	CNT上はSP禁止
7	CNT	17	B	//	0.4	1	コンタクト	0.4, 1.0 $\mu\text{m}$ 限定
8	M1	51	B	//	0.2	100	1層配線	
9	V1	52	B	//	0.18	0.25	接続孔	0.18, 0.25 $\mu\text{m}$ 限定
10	M2	53	B	//	0.2	100	2層配線	
11	PO1	54	B	//	0.5	-	パッド孔	
12	PAD1	55	A	//	10	-	パッド配線	

図 2. 1. 2-1 TEG マスクの構成

マスクはバイナリーマスクとし、1ショット寸法はタテ 26.9mm、ヨコ 21.5mm とした。パッケージ組立てまで考慮して、この中にワイヤボンダ型パッケージの組立てチップ 8.6mm×8.6mm、フリップチップ型パッケージの組立てチップ 5.4mm×8.6mm および 12.9mm×12.9mm が取得できる構成とした。このマスクを用いて試作した 300mm ウェーハおよび1ショットの写真を図 2. 1. 2-2 に示す。ウェーハあたりのショット数は 92 である。また、1ショットの写真の中には、フロアレイアウトと呼ぶ種々の TEG の配置を同時に示している。

TEG マスクに搭載した主要な TEG の一覧表を表 2. 1. 2-1 と表 2. 1. 2-2 に示す。この中で主な TEG として、接合素子の代表的なものである p-n 接合、MOS 容量素子、さらに同じ FEOL プロセスで形成される NMOS トランジスタ、抵抗素子、寄生 MOS、アンテナ TEG、腐食 TEG、回路 TEG としてリングオシレータについて、それぞれの代表的なレイアウトおよび断面構造を次に示す。

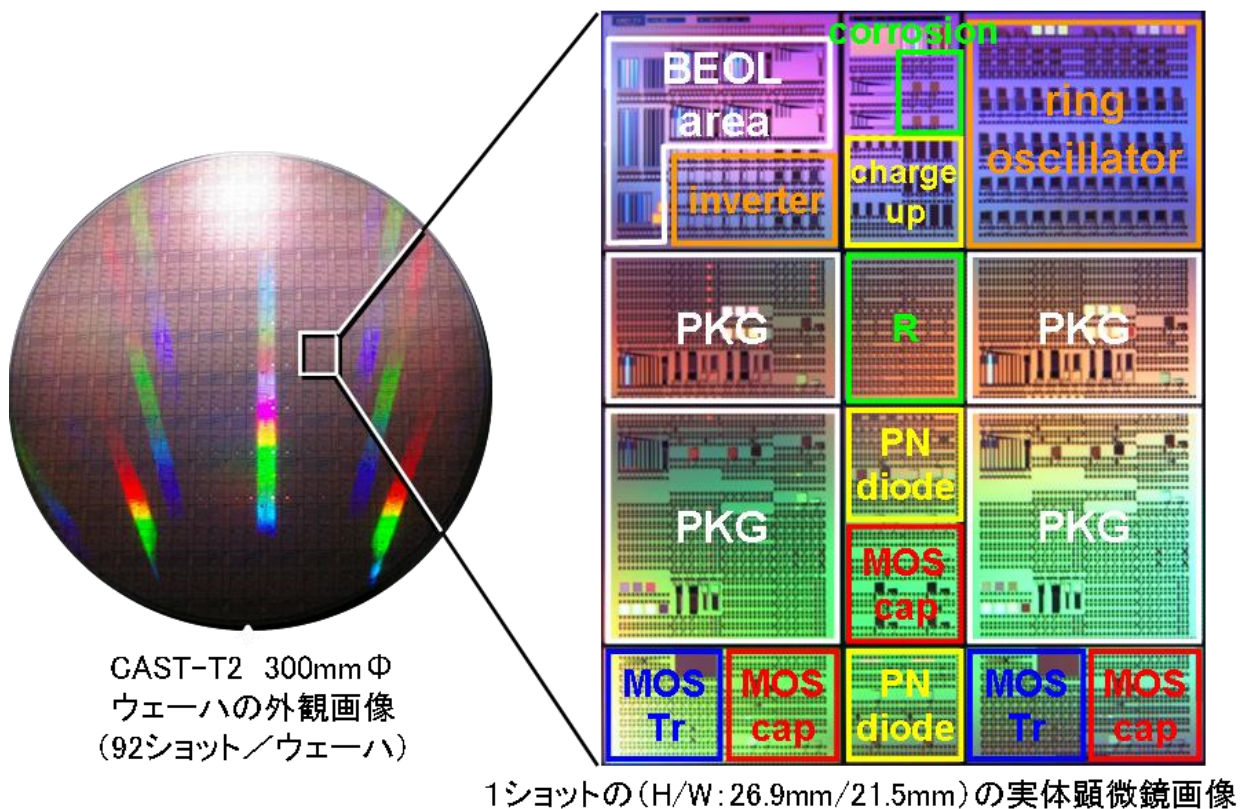


図 2. 1. 2-2 TEG ウェーハおよび1ショットの写真

表 2. 1. 2-1 TEG マスクに搭載した主要な TEG の一覧表 (1)

項目/素子	種 類	寸 法	個数
PN接合	L型	12~300 $\mu$ m	23
	NI型	2~300 $\mu$ m	34
	並列	L, 2 $\times$ 2, 10000個	1
MOS容量	L型	1~300 $\mu$ m	27
	FG型	1~300 $\mu$ m	64
	クランプ付	1~10 $\mu$ m	30
NMOSTランジスタ	単体	02~30 $\mu$ m	22
	単体(クランプ付)	02~1 $\mu$ m	9
	並列	10個、100個	8
		10000個 (0.3 $\times$ 10)	1
マトリックス	3 $\times$ 3	1	
抵抗	拡散 (N1、中抵抗)	幅1, 2, 5 $\mu$ m	10
	拡散 (N2、低抵抗)	幅1, 5 $\mu$ m	6
	ポリSi (N型FG)	幅0.3, 1, 2, 5 $\mu$ m	11
	NMOS (FG-Sショート)	L = 02, 05, 1 $\mu$ m	6
寄生NMOS	FG, M1, M2	L = 0.6, 1.6 $\mu$ m	12
SBD	NI型 GR有無	10, 100 $\mu$ m $\square$	4

表 2. 1. 2-2 TEG マスクに搭載した主要な TEG の一覧表 (2)

項目/素子	種 類	寸 法	個数
配線系	つづら (M1, M2)	02, 025, 03, 035 $\mu$ m	12
	くし (M1, M2)	02, 025, 03, 035 $\mu$ m	24
	層間くし (M1/M2)	02, 025, 03, 035 $\mu$ m	18
	連続Via	025 $\mu$ m, 10000個	1
	Via抵抗	025 $\mu$ m, Kelvin	1
	シート抵抗	M1, M2	2
拡散系	シート抵抗	BN, NI, N2, FG, 他	8
	コンタクト抵抗	FG, S/D, NI, P	8
	連続CONT (NR, SD, PR)	0.4 $\mu$ m, 10000個	3
	分離特性	L-L, 0.4~25 $\mu$ m	8
アンテナTEG	容量	1~10 $\mu$ m	14
	NMOS	02~10 $\mu$ m	10
腐食TEG	N型	02, 1 $\times$ 126 $\mu$ m, 他	50
	P型	02, 1 $\times$ 126 $\mu$ m, 他	50
回路TEG (NMOS)	インバータ	1段 3段 11段	44
	リングオシレータ	5段 11段 21段	39
ペア特性	NMOS	02, 05 $\mu$ m	6
	ポリSi抵抗	1, 5 $\mu$ m	6

### a. p-n 接合

材料やプロセスに起因する主に重金属汚染を評価するため p-n 接合素子を設計した。そのレイアウトと断面構造を 図 2. 1. 2-3 に示す。構造として大別すると、L 型と N1 型がある。L 型は接合の周辺部が素子分離の LOCOS に接している構造であり、N1 型は接合の周辺部が LOCOS から離れている構造である。それぞれの構造で、接合の面積、周辺長の異なる p-n 接合素子を設計した。

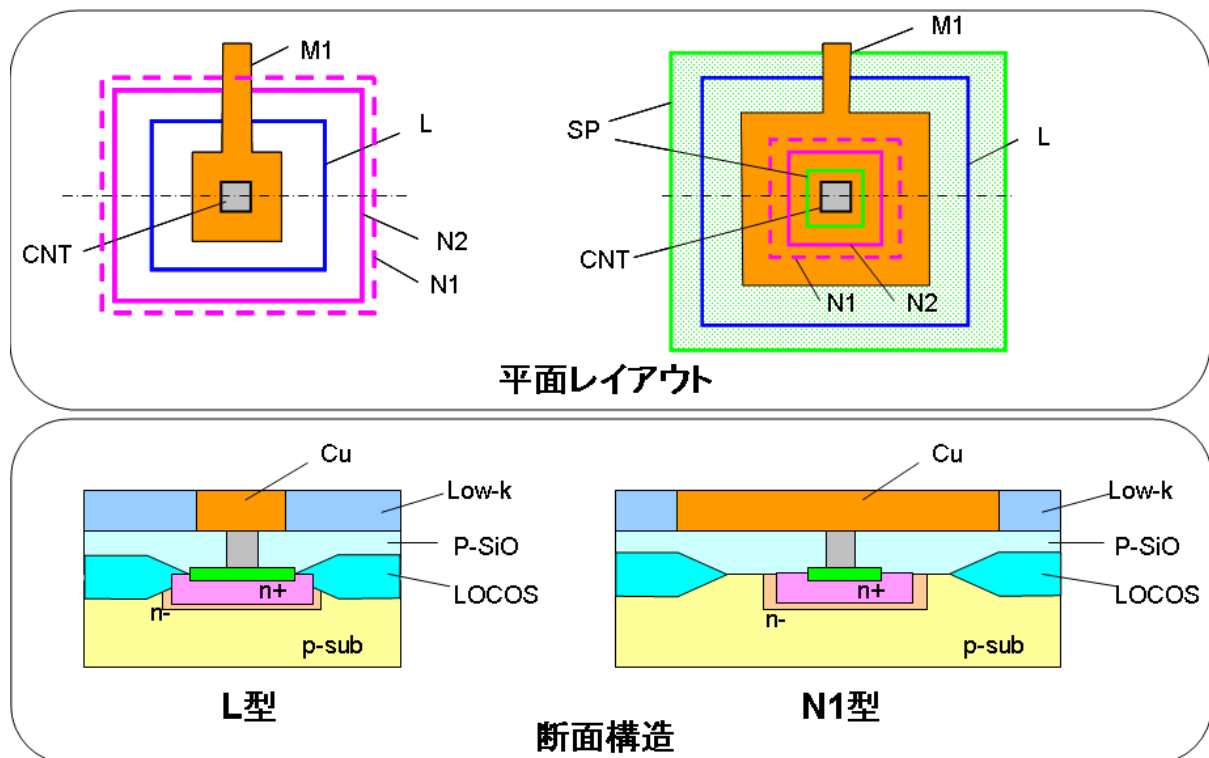


図 2. 1. 2-3 p-n 接合素子のレイアウトと断面構造

## b. MOS 容量素子

材料やプロセスに起因するアルカリ金属や重金属の汚染、電荷蓄積を評価するため MOS 容量素子を設計した。そのレイアウトと断面構造を 図 2. 1. 2-4 に示す。構造として大別すると、L 型と FG 型がある。L 型はゲート電極が素子分離の LOCOS 上まで伸びて重なっている構造であり、FG 型はゲート電極が LOCOS から離れている構造である。それぞれの構造で、ゲート電極下のゲート絶縁膜の面積、周辺長の異なる MOS 容量素子を設計した。

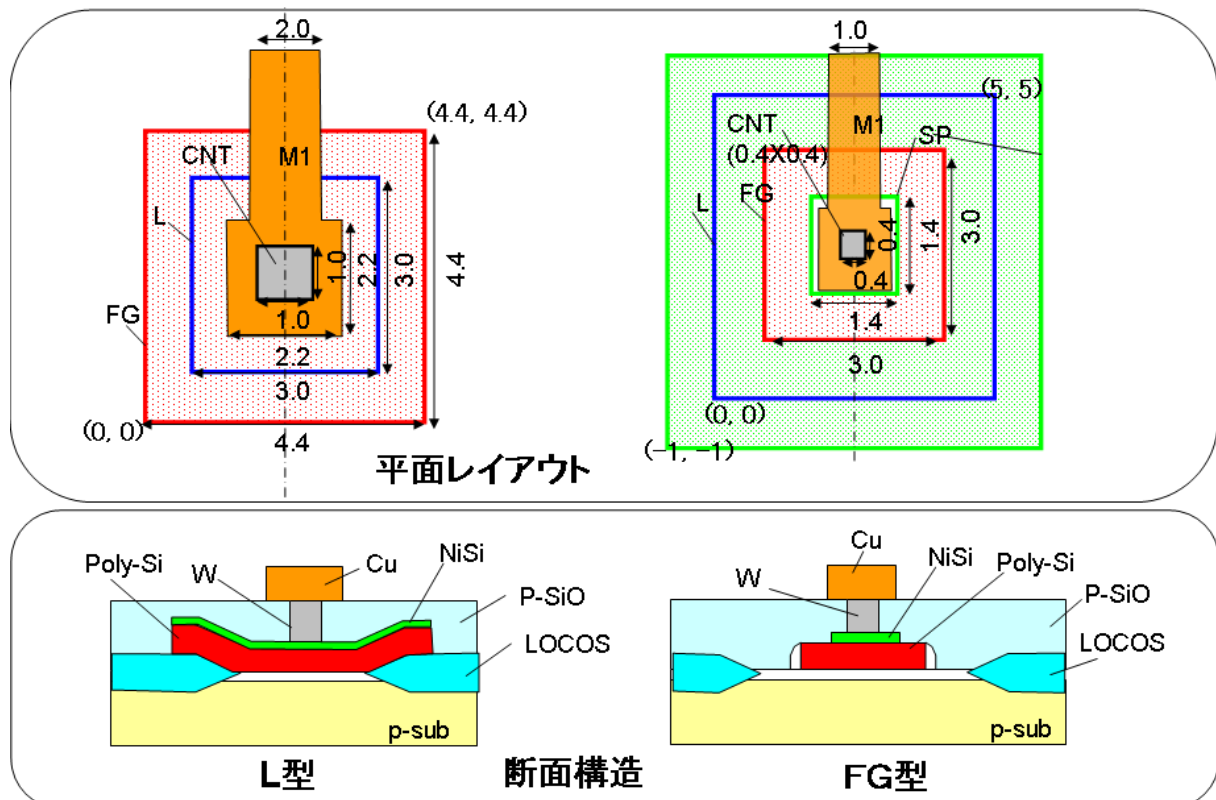


図 2. 1. 2-4 MOS 容量素子のレイアウトと断面構造

### c. NMOS トランジスタ

p-n 接合素子や MOS 容量素子というような接合素子を作れば、NMOS トランジスタが同時に作成できる。しきい電圧の変化などのトランジスタの電気特性の変動により材料やプロセスの影響が高感度で評価できることを期待して NMOS トランジスタを設計した。そのレイアウトと断面構造を図 2. 1. 2-5 に示す。サブミクロン領域のゲート寸法での安定動作を確保するため LDD ( Lightly Doped Drain ) 構造を採用した。また、ゲート電極の poly-Si 上、ソース、ドレインの n+拡散層上は同時にメタルシリサイドが形成されるサリサイド構造を用いてそれらの抵抗を下げた。また、Cu 配線と接続するためのコンタクトには W プラグを採用した。トランジスタの性能を決めるゲート寸法は  $0.2\ \mu\text{m}$  以上、ゲート幅は  $1\ \mu\text{m}$  以上として、種々の寸法や幅のトランジスタを設計した。

標準的には、外注による FEOL 試作は、W プラグ形成の後 SiC 膜を全面に堆積する工程までである。その後、Cu 配線のための Low-k 膜などの絶縁膜形成から BEOL プロセスになり、CASMAT にて試作した。

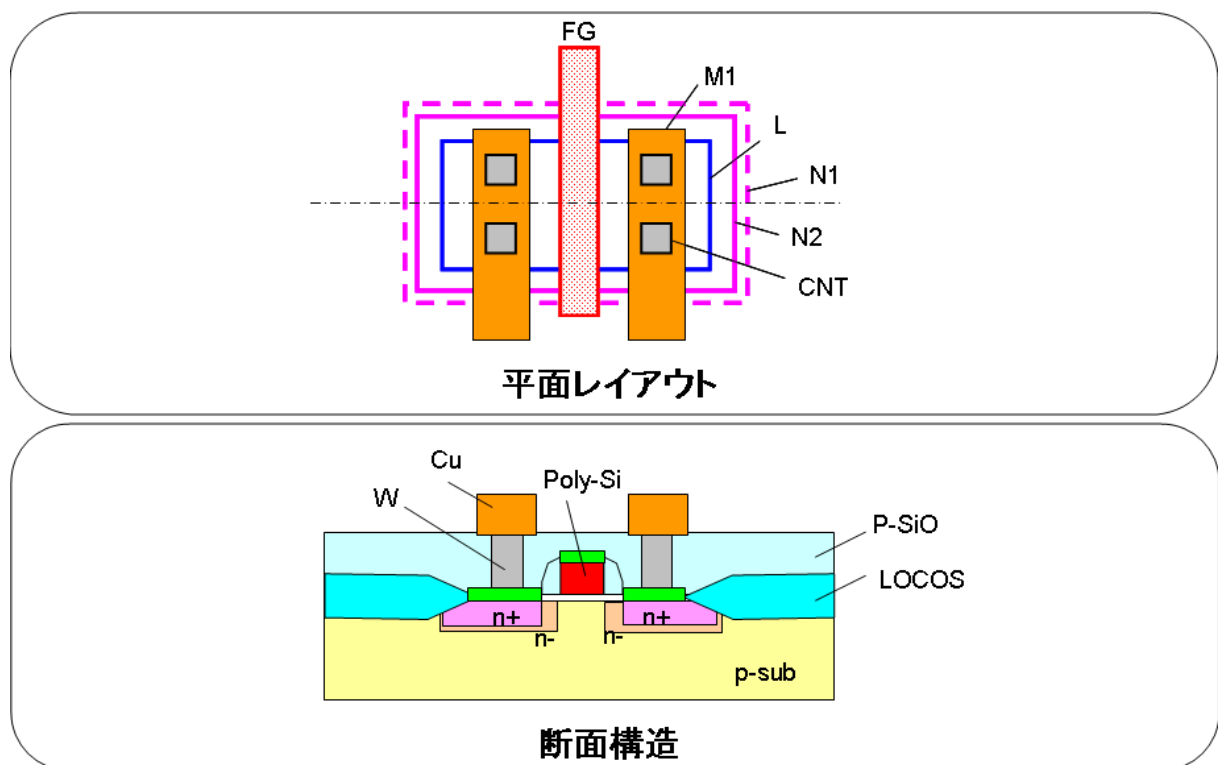


図 2. 1. 2-5 NMOS トランジスタのレイアウトと断面構造

#### d. 抵抗素子

FEOLプロセスで形成される抵抗素子は、もともとはイオン打込みによる不純物のドーピングや熱処理が再現性良く、仕様どおり行なわれたかどうかを判定するために用いられる。そのような抵抗素子としては、N1マスクを用いてSiにイオン打込みして形成する比較的抵抗の高いn層の抵抗素子、N2マスクを用いてSiにイオン打込みして形成する比較的抵抗の低いn+層の抵抗素子、poly-Siの抵抗素子などがある。これらの抵抗素子のレイアウトと断面構造を図2.1.2-6から-8に示す。これらは拡散層やpoly-Siの抵抗そのものを測定するため、測定部分のメタルシリサイドが形成されないようにSi基板やpoly-Si表面を絶縁膜で保護することになっている。理由は、メタルシリサイドの抵抗は極めて小さいので、それが形成されるとほとんどメタルシリサイドの抵抗になってしまうことを避けるためである。測定素子の寸法は、幅1、2、5  $\mu\text{m}$  とし、長さをそれぞれ5、10、20  $\mu\text{m}$  として設計した。

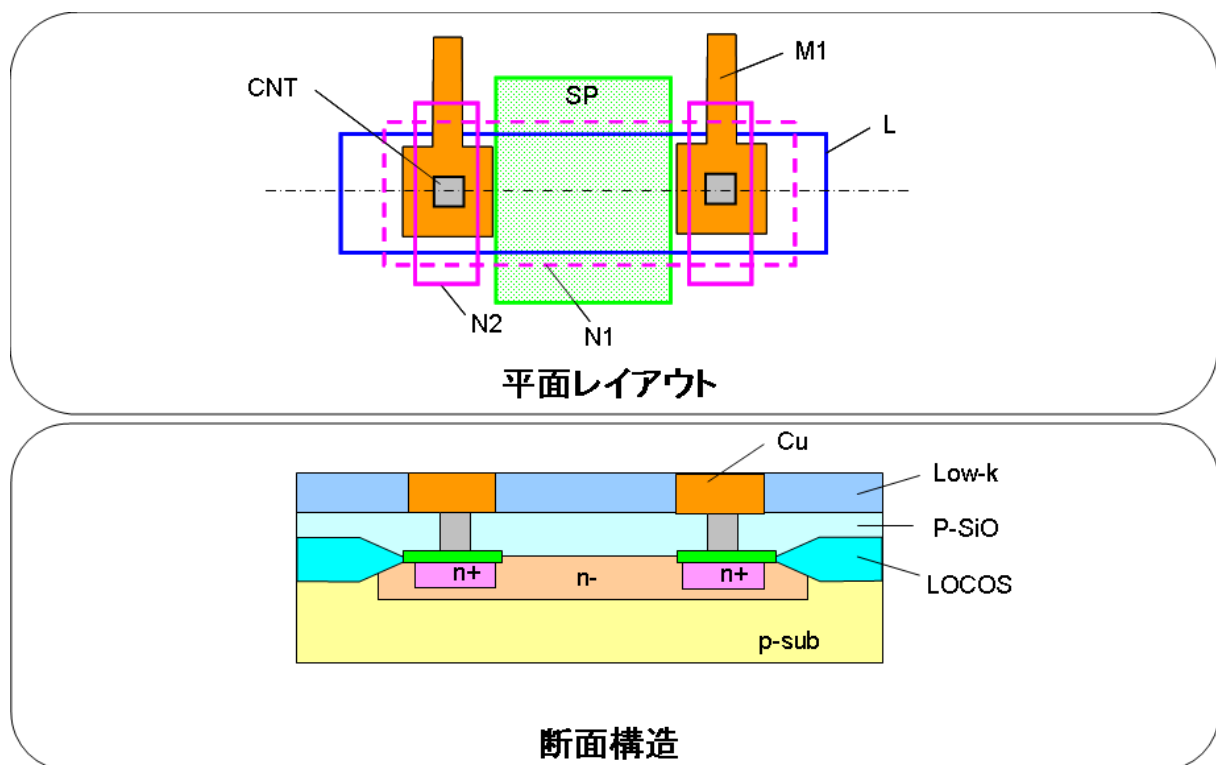


図 2.1.2-6 n層の抵抗素子のレイアウトと断面構造



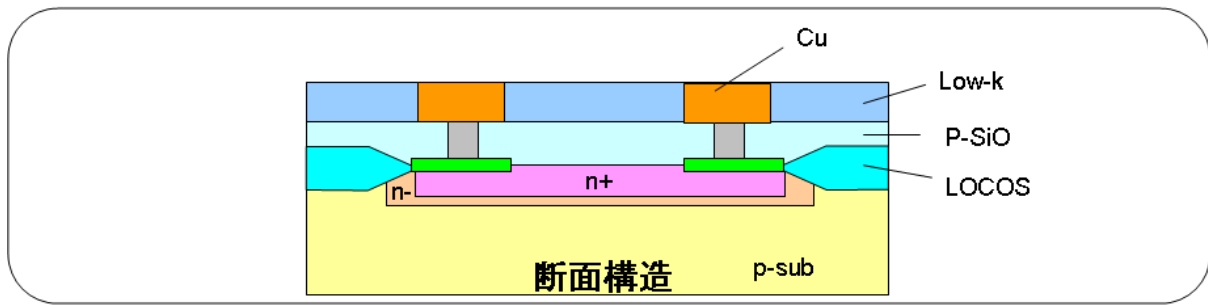
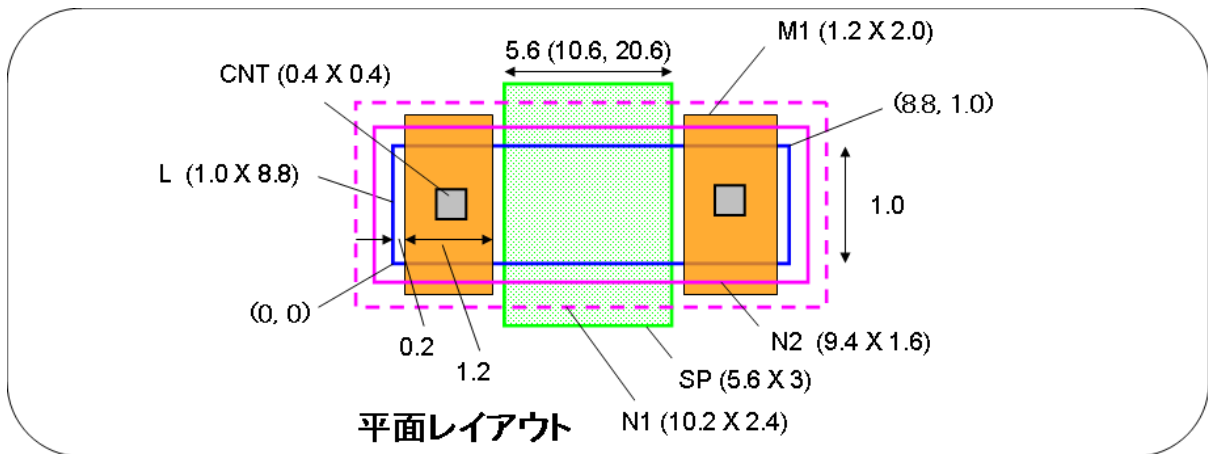


図 2. 1. 2-7 n+層の抵抗素子のレイアウトと断面構造

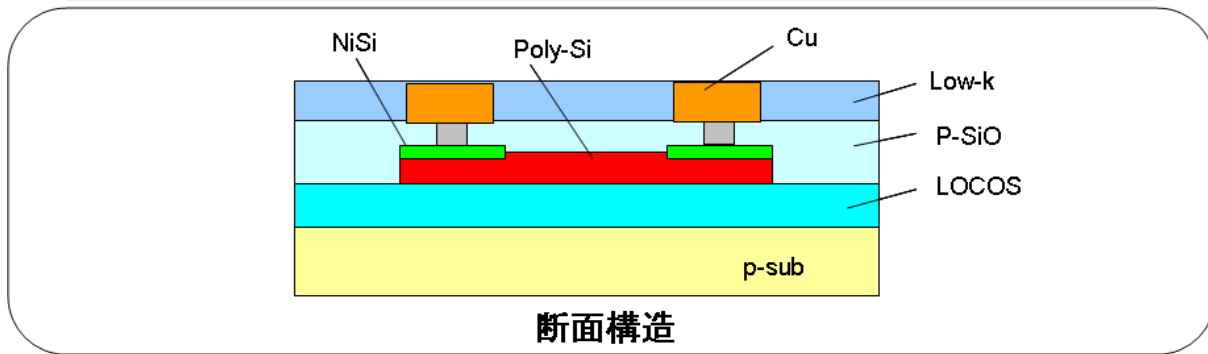
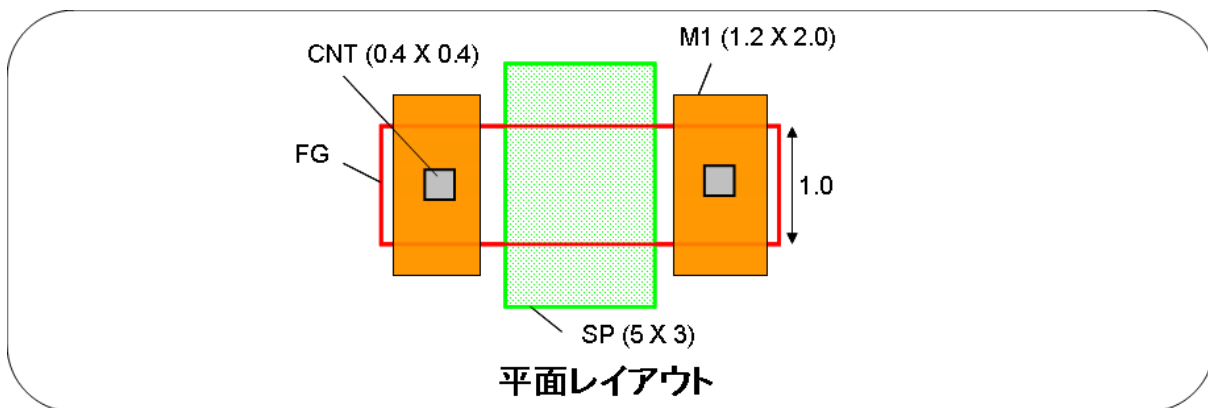


図 2. 1. 2-8 poly-Si層の抵抗素子のレイアウトと断面構造



### e. 寄生 MOS

寄生 MOS はもともとトランジスタなどの素子分離が正常に行なわれているかどうか判定するものである。今回のマスク構成では、ゲート電極の層によって 3 種類できる。ゲート電極を FG、M1、M2 としたものである。特に M2 寄生 MOS ではゲート絶縁膜に相当する膜中に配線層間絶縁膜が含まれることから、その材料の影響を電気特性から直接評価できる可能性がある。それぞれの寄生 MOS のレイアウトと断面構造を **図 2. 1. 2-9** から **-11** に示す。トランジスタのゲート長に対応するのは、寄生 MOS の素子分離幅である。この寸法として、それぞれの寄生 MOS で 0.6、1.6  $\mu\text{m}$  の 2 種類とした。寄生 MOS のゲート電極となる FG、M1、M2 の寸法は、T2 マスクでは素子分離幅より小さい寸法で設計したが、T3 マスクでは、それより大きい寸法の M1、M2 の寄生 MOS を追加した。また、チャンネル幅に対応する能動領域の寸法についてもそれぞれの寄生 MOS で 3、10  $\mu\text{m}$  の 2 種類で設計した。

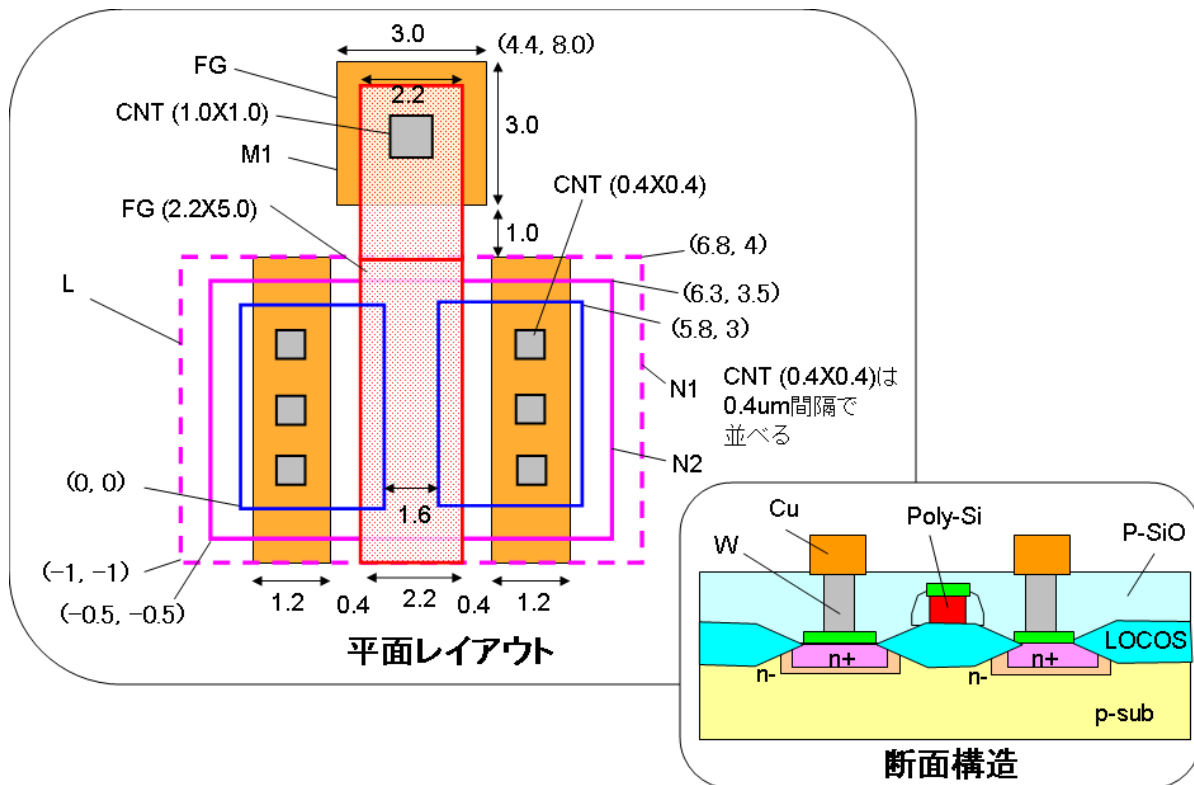


図 2. 1. 2-9 FG 寄生 MOS のレイアウトと断面構造

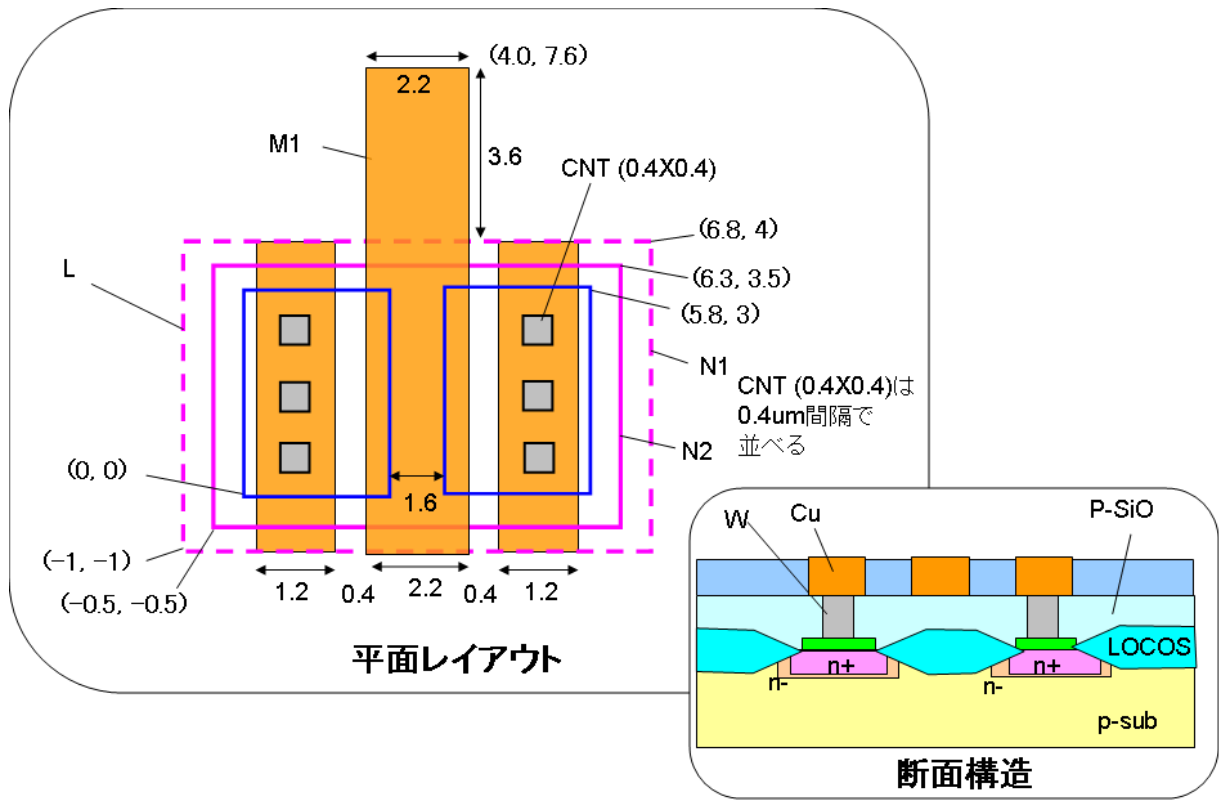


図 2. 1. 2-10 M1 寄生 MOS のレイアウトと断面構造

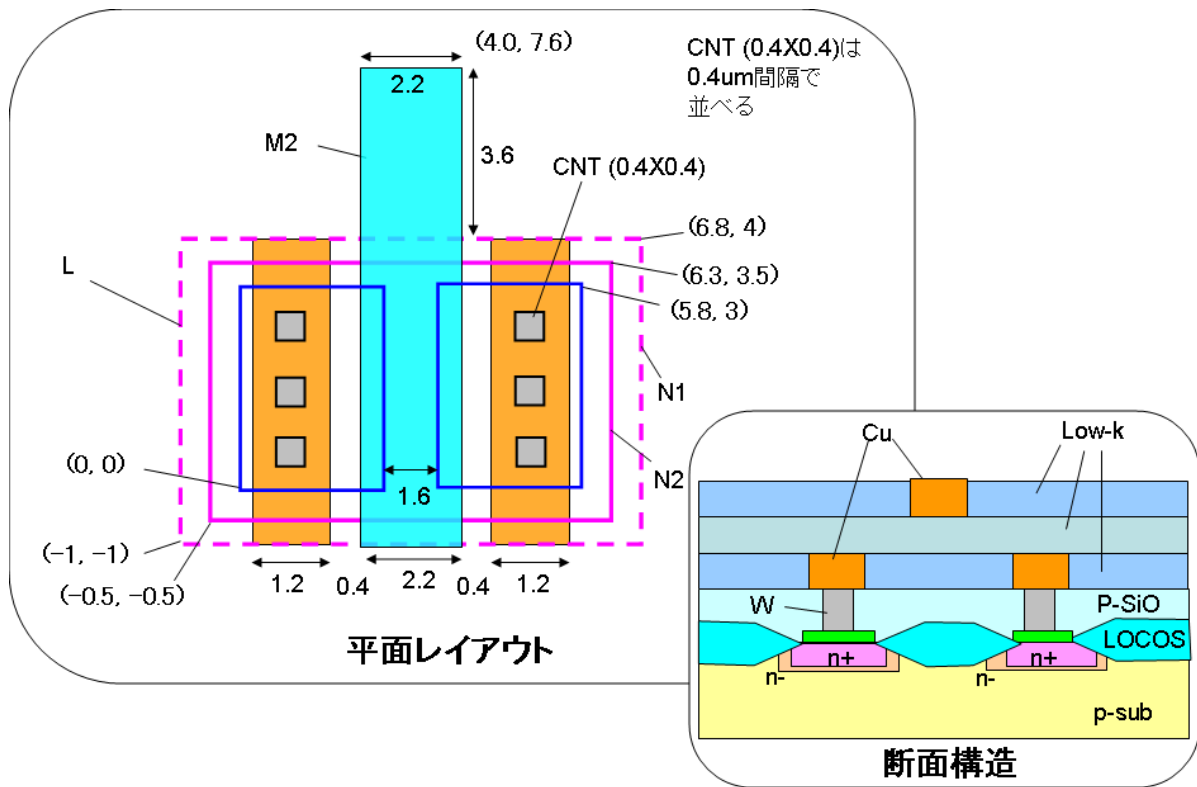


図 2. 1. 2-11 M2 寄生 MOS のレイアウトと断面構造

## f. アンテナ TEG

アンテナ TEG は、材料やプロセスに起因するウェーハ表面での電荷蓄積を評価するために用いる。その断面構造とレイアウトを図 2. 1. 2-12 に示す。構造としては、微細な L 型容量素子のゲート電極側に、アンテナ PAD と呼ぶ大面積の M1 配線、M2 配線を接続したものである。このような構造で、大面積の配線の面積とゲート絶縁膜の面積の比をアンテナ比と呼ぶ。一般にはこの比が大きいほど配線に流入する電荷が多くなるのでゲート絶縁膜の絶縁破壊が起こりやすくなる。T2 マスクでは最大 220 k 倍としたが、T3 マスクでは最大で 1200 k 倍まで大きくした。

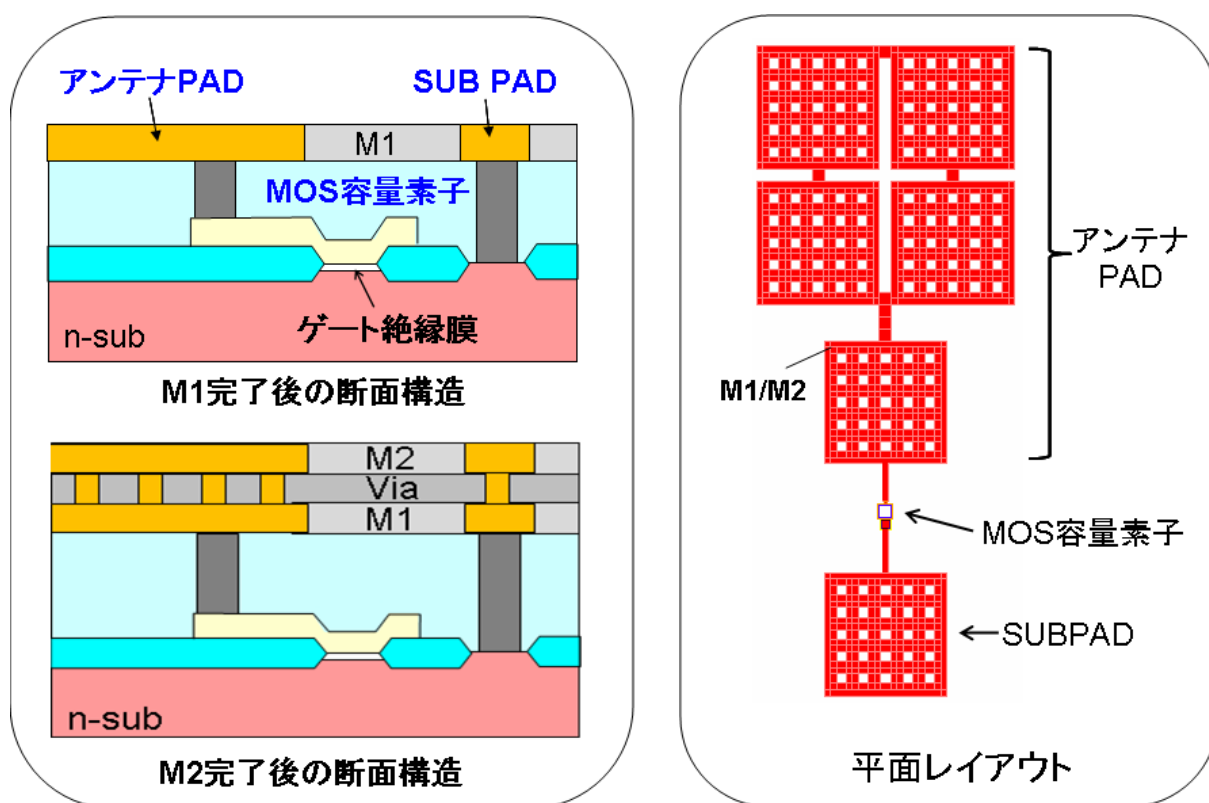


図 2. 1. 2-12 アンテナ TEG の断面構造とレイアウト

### g. 腐食 TEG

電池作用により、Cu CMP やその後の洗浄で Cu の腐食が発生することは良く経験されている。それらは主に、配線が形成された後、Cu 表面の観察により発見されており、腐食の発生があったか無かったかというような極めて定性的な評価であった。腐食の原因となる電池作用として、p-n 接合電池（一種の太陽電池）を利用して、腐食をより定量的に評価することを目的に腐食 TEG を設計した。そのレイアウトを **図 2. 1. 2 - 1 3** に示す。幅  $0.2\ \mu\text{m}$  もしくは  $1\ \mu\text{m}$  で長さが  $100\ \mu\text{m}$  の Cu 配線の抵抗を測定するものであるが、特徴は、この配線を p-n 接合の n+層もしくは p 型基板に接続しておくことである。なお、T2 マスクではこの 2 種類であるが、T3 マスクでは n+層にも p 型基板にも接続されないフローティングな抵抗も測定できるようにパターンを追加した。

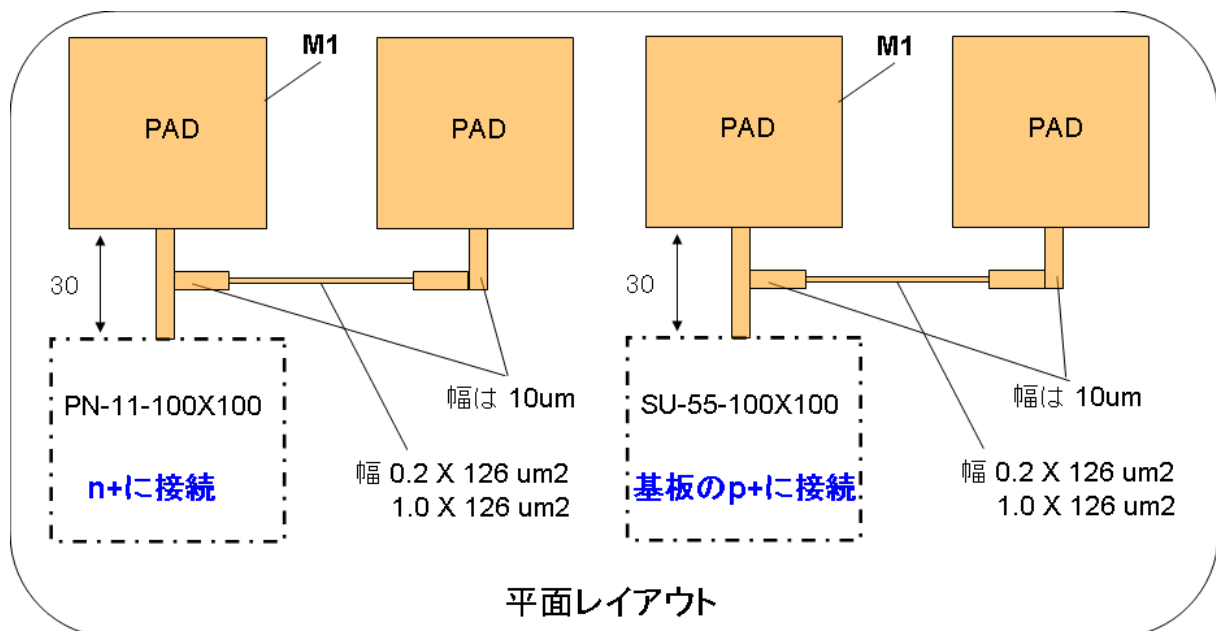


図 2. 1. 2 - 1 3 腐食 TEG のレイアウト

### h. リングオシレータ

リングオシレータは、最も簡単にはインバータを奇数個接続することにより構成することができる。インバータには、CMOS の場合には pMOS トランジスタと NMOS トランジスタを直列に接続することにより容易に構成できるが、今回は単一チャネルしか形成されないので、pMOS トランジスタの変わりに poly-Si 抵抗を用いた。リングオシレータのレイアウトを 図 2. 1. 2-14 に示す。しかし、このような回路を組み上げても、発振がうまくいくかどうかわからないので、poly-Si 抵抗と NMOS トランジスタは何種類か組み合わせた。

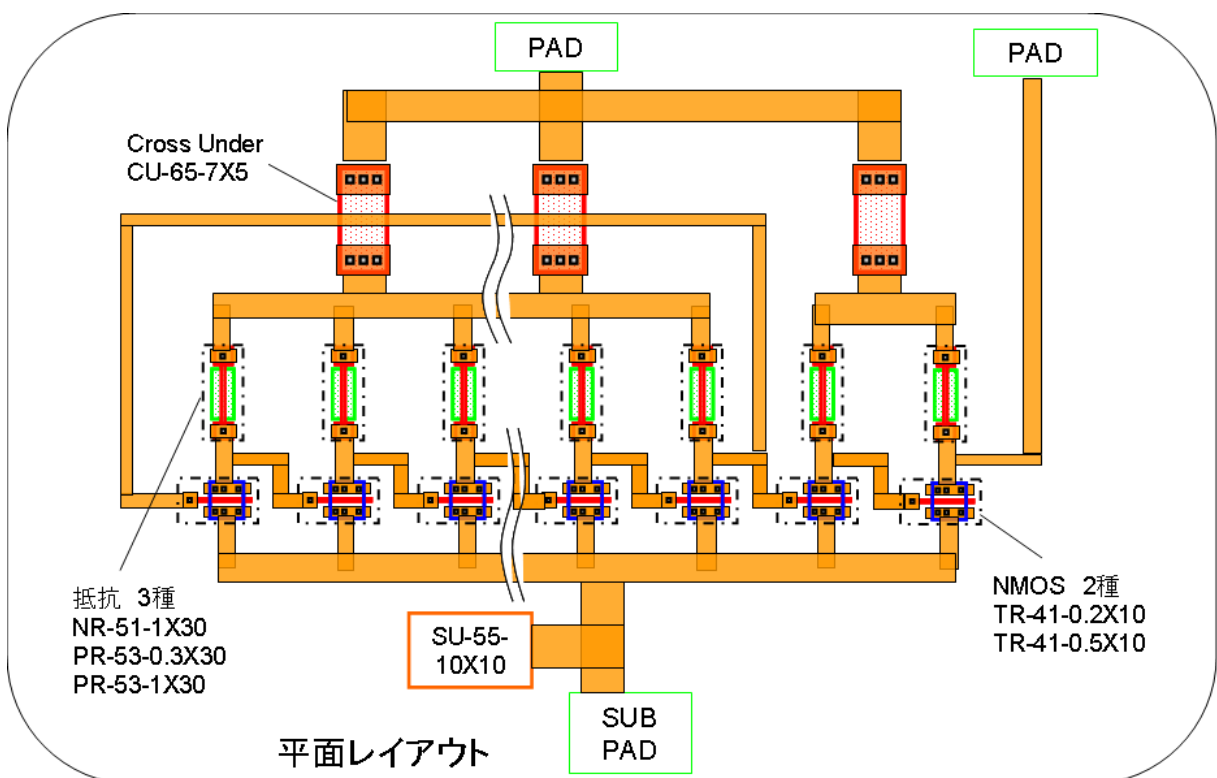


図 2. 1. 2-14 poly-Si 抵抗を用いたリングオシレータのレイアウト

リングオシレータで測定できるのは発振周波数である。それに影響するものとしては、上記の poly-Si 抵抗と NMOS トランジスタの電気特性のほかに、配線の負荷となる容量と抵抗がある。そこで発振を伝播するインバータ間の Cu 配線に容量と抵抗を負荷として挿入したリングオシレータの発振周波数を測定することにより、材料やプロセスに起因した配線特性が測定できると考えた。負荷の一つとして、楕形の Cu 配線で形成される容量の場合のレイアウトの一例を図 2. 1. 2-15 に示す。このリングオシレータの周波数測定により、配線の層間絶縁膜に用いられる Low-k 材料の誘電率などが評価できると期待される。

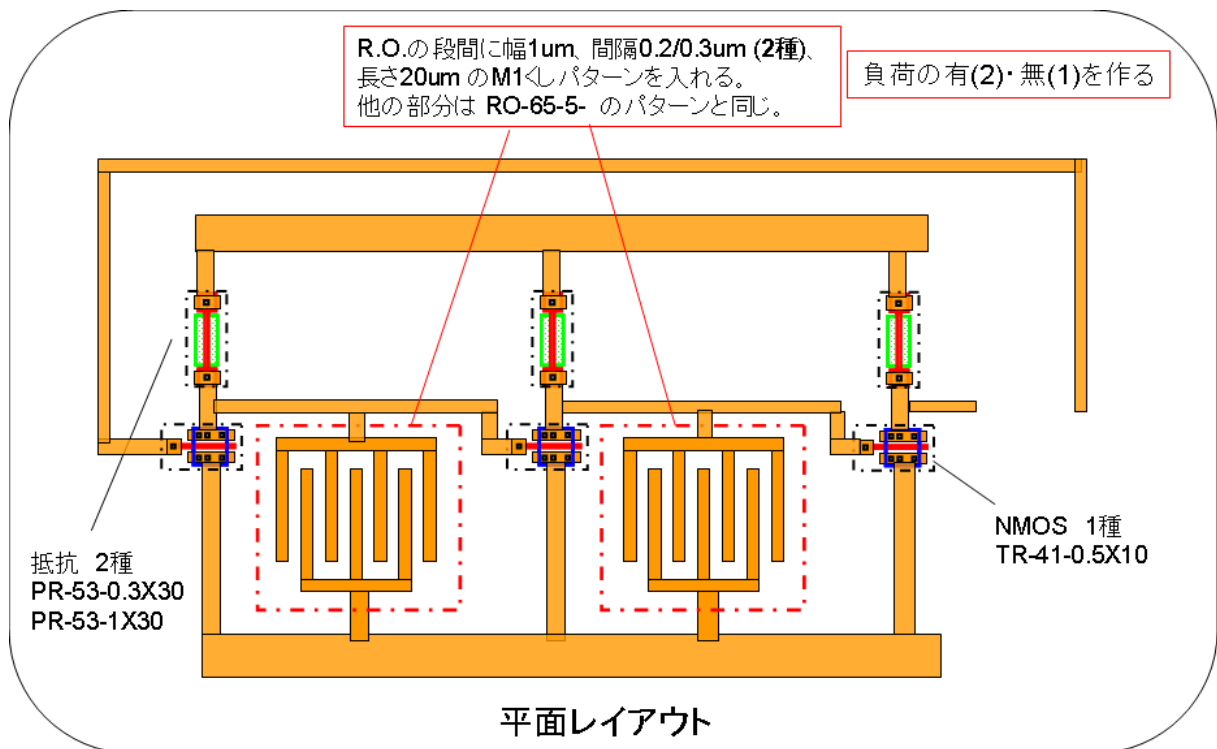


図 2. 1. 2-15 Cu 配線で形成される容量を負荷としたレイアウト

### 2. 1. 3. TEG 試作プロセス

単一の N チャネルトランジスタなどの TEG を試作するプロセスフローを **図 2. 1. 3-1** に示す。FEOL プロセスに対応する工程 No.1 から No.48 までは外注にて試作した。工程 No.49 以降が BEOL プロセスに対応し、CASMAT にて試作した。**III. 2. 1.**

**1. マスク開発、試作の経緯**で述べたように、T2 マスクでの FEOL 試作は Selete にて行なったが、T3 マスクは Tei に外注した。このプロセスフローは、T2 マスクを用いたときの Selete でのものである。

プロセスの特徴は、まず、素子分離として製造が容易な 350 nm の選択酸化法 (LOCOS) を用いている。ゲート絶縁膜は、10 nm として、比較的容易に測定できる膜厚に設定した。ゲート電極は poly-Si とし、n+層と同時に Ni シリサイド化するサリサイド法を用いた。イオン打込み工程におけるイオン種と打込みエネルギーに関しては、従来からのデバイスの経験から妥当なものを選択した。しかし、No.11 のイオン打込み量は、MOS トランジスタのしきい電圧を決めるものであることから、シミュレーションと予備実験から決定した。この制御は、リングオシレータのような回路 TEG を動作させるために必要であった。

なお、T3 マスクでの製造では、外注先が変わることから、後で述べるようにその外注先で試作できるようにプロセス条件を見直した。

BEOL 以降のプロセスは CASMAT で試作した。**図 2. 1. 3-1**では、M1 配線の絶縁膜に p-SiO を用いた Cu 1 層配線までの場合を示しているが、CASMAT では Low-k 膜の材料影響を評価するため、p-SiOC や MSQ、有機 Low-k を用いて Cu 2 層配線、Al パッド形成まで行なった。さらには、外注によりパッケージ組立てまで行なって FEOL 素子の測定を行い、材料影響を評価した。

NMOS-TEG プロセス・フロー

使用基板 P型 ~10Ωcm		
No.	工程名	条件
1	酸化	10nm
2	Si3N4 デポ	150nm
3	L ホト	(LOCOS)
4	Si3N4ドライ	150nm
5	L 酸化	350nm
6	Si3N4 除去	(10nm)
7	SiO2 エッチ	10nm (20nm)
8	プレ酸化	10nm
9	B インプラ 1	B+ 120KeV, 5E12
10	B インプラ 2	B+ 220KeV, 2E13
11	B インプラ 3	B+ 10KeV, 1.6E12
12	アニール	850°C, 30sec
13	SiO2 エッチ	10nm (20nm)
14	ゲート酸化	10nm
15	ポリ Si デポ	150nm, Non-dope
16	P インプラ	P+ 10KeV 4E15
17	FG ホト	(ゲート)
18	ポリ Si ドライ	150nm (13nm)
19	酸化	1000°C 5sec, 2nm
20	N1 ホト	(LDD)
21	LDD インプラ	P+ 40KeV, 1E13
22	レジスト除去	
23	TEOS/SiN デポ	TEOS 50nm, SiN 80nm
24	SiN ドライ	80nm, TEOS ウェット
25	N2 アニール	800°C 10min
26	TEOS デポ	10nm
27	N2 ホト	(SD)
28	SD インプラ	As+ 40KeV, 5E15
29	レジスト除去	
30	P ホト	(Sub)
31	Sub インプラ	BF2+ 40KeV, 2E15
32	レジスト除去	
33	N2 アニール	900°C 10min
34	SiN デポ	50nm
35	SP ホト	(シリサイド保護)
36	SP エッチ	SiN 50nm, TEOS 10nm
37	レジスト除去	
38	Ni デポ	
39	アニール 除去	
40	SiN デポ	40nm
41	HDP-USG デポ	750nm
42	CMP	~0.5um
43	CNT ホト	(コンタクト孔)
44	CNT ドライ	FG/SD (Ni-Si)上
45	TiN/Ti スパッタ	
46	W-CVD	500nm
47	W-CMP	
48	SiC デポ	25nm
49	p-SiO デポ	200nm
50	M1 ホト	(メタル 1層)
51	M1 ドライ	
52	Cuシード	Ta/TaN + Cu シード
53	Cu メッキ	
54	Cu-CMP	
55	H2 アニール	400°C 30min

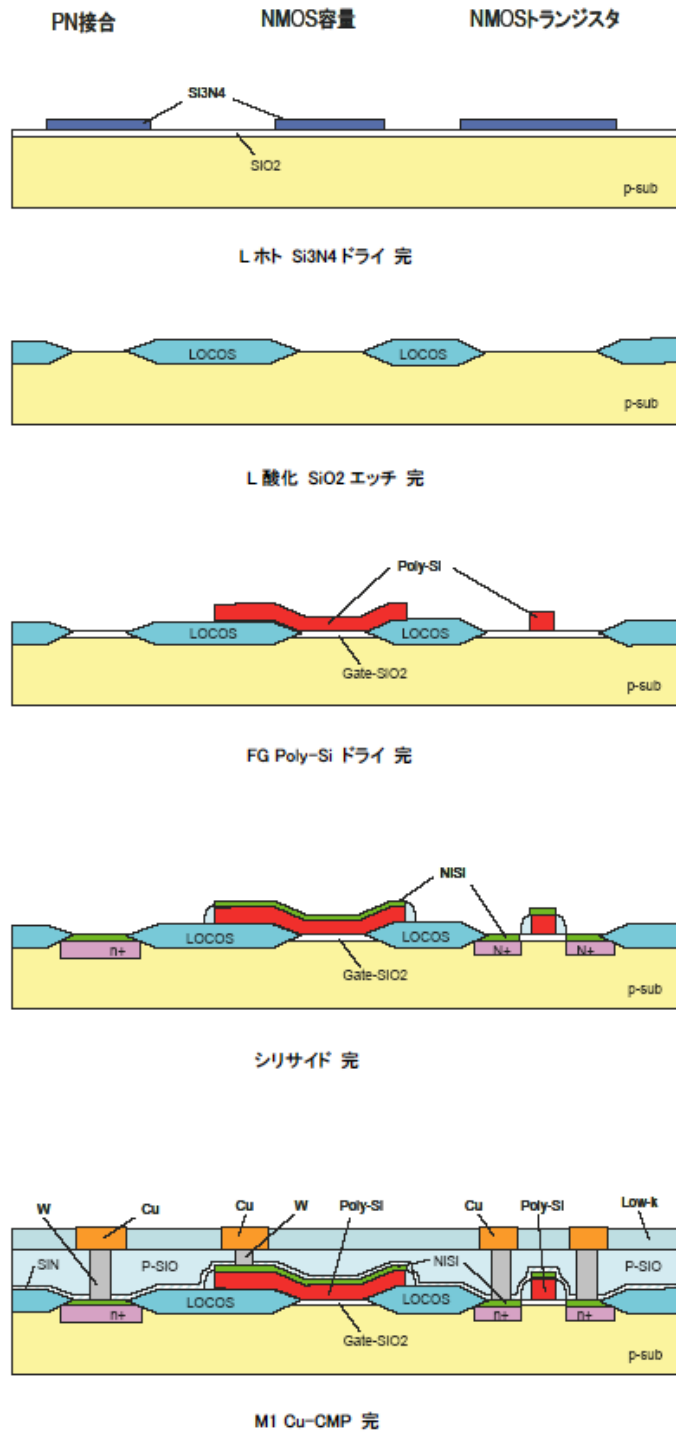


図 2. 1. 3 - 1 NチャネルトランジスタのTEG試作のプロセスフロー



## 2. 1. 4. 各種 TEG 評価結果

T2 マスクを用いた試作により、FEOL 素子の電気特性を測定し、目的通りの特性が得られるか、マスクおよびプロセスの検証を行なった。また、測定結果を解析して、測定における問題点などを洗い出した。以下、主な TEG として、接合素子の代表的なものである p-n 接合、MOS 容量素子、さらに同じ FEOL プロセスで形成される NMOS トランジスタ、抵抗素子、寄生 MOS、アンテナ TEG の測定結果を述べる。

### a. p-n 接合

種々の面積、周辺長をもつ L 型の p-n 接合の室温（約 23℃）での逆方向リーク電流と電圧の関係測定した結果を図 2. 1. 4-1 に示す。2 枚のウェーハで、各ウェーハ 46 チップの測定結果である。リーク電流、降伏電圧ともにバラツキは小さいことがわかる。降伏電圧は 10.6 V であるので、その直前の電圧として 10V の時のリーク電流と p-n 接合の面積あるいは周辺長との関係を図 2. 1. 4-2 に示す。この関係から、電圧 10V の時のリーク電流は、面積よりも周辺長に依存していることがわかる。p-n 接合の周辺部では、素子分離のため Si 基板より濃度を高くしている p 領域に n+層が接しているため、そこでの電界が高くなって、そこを流れる電流が支配的となるためと考えられる。

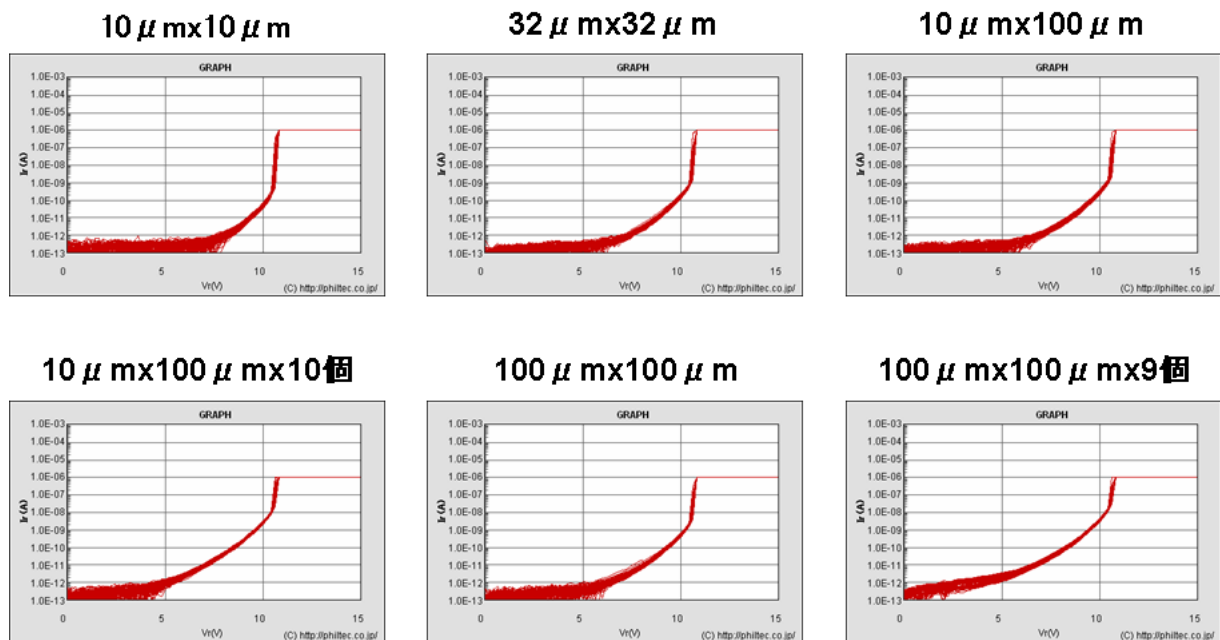


図 2. 1. 4-1 L 型の p-n 接合の室温（約 23℃）での逆方向リーク電流と電圧の関係

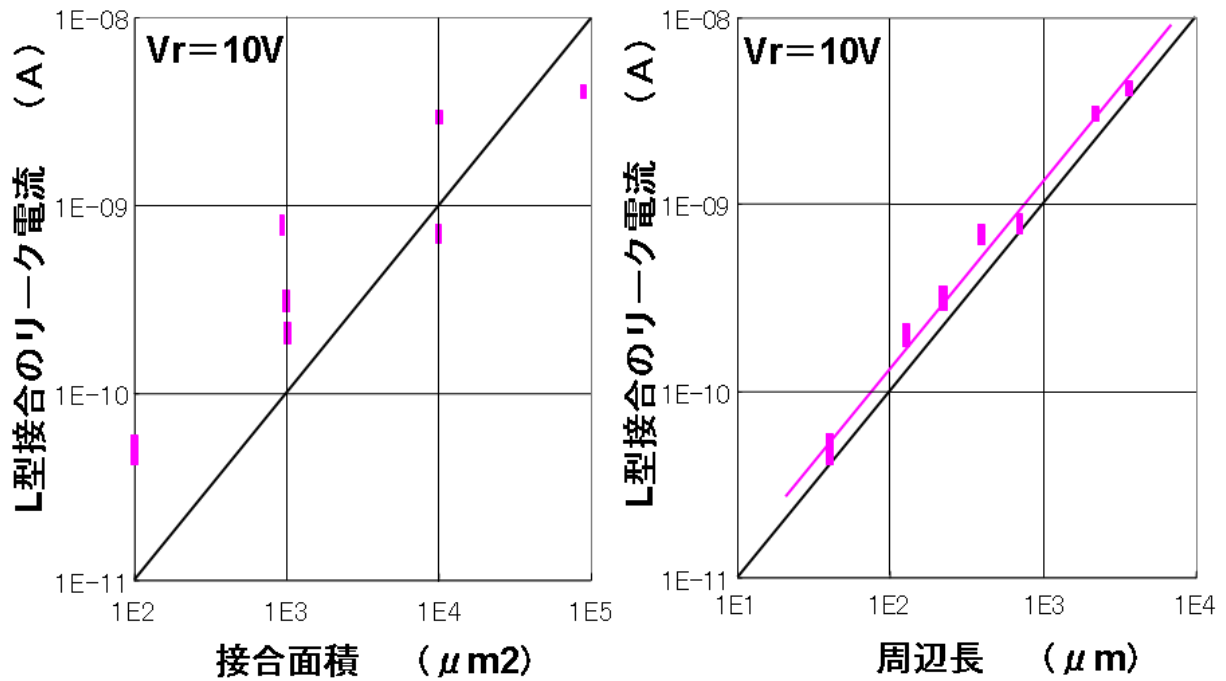


図 2. 1. 4-2 電圧 10V の時のリーク電流と p-n 接合の面積  
あるいは周辺長との関係

つぎに、種々の面積、周辺長をもつ N 型の p-n 接合の室温（約 23℃）での逆方向リーク電流と電圧の関係を同じように測定した結果を図 2. 1. 4-3 に示す。同じように、ウェーハ、チップによるバラツキは小さい。L 型と比較すると、降伏電圧に至るまでのリーク電流が小さく、また降伏電圧も 12V と 1.4 V 高くなっている。

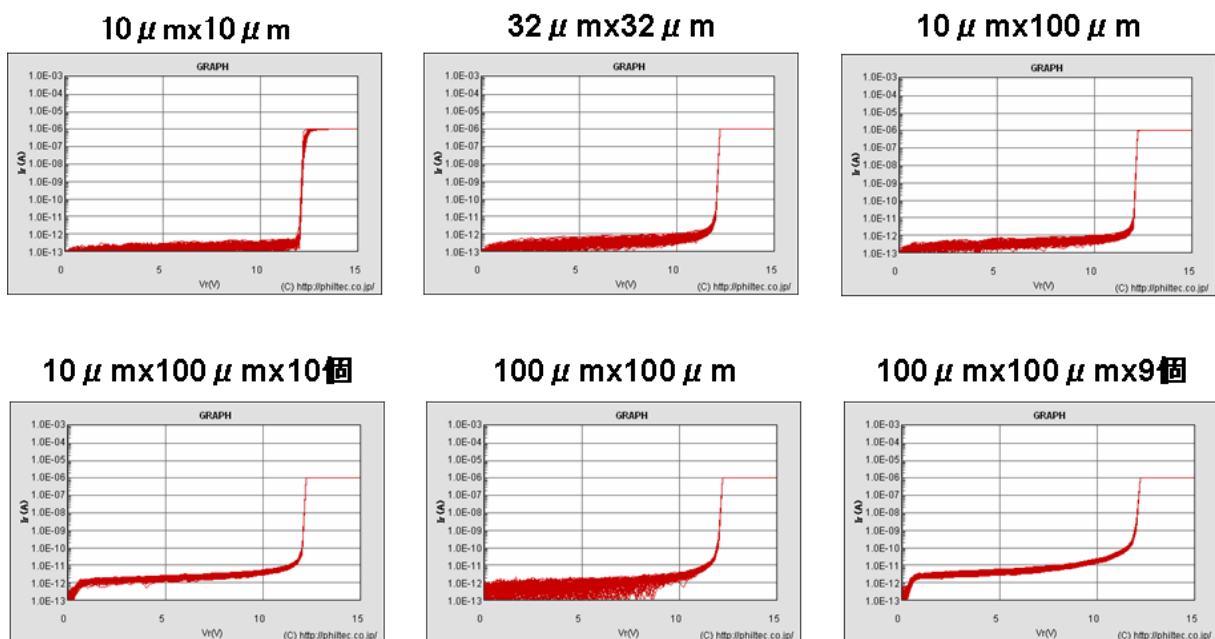
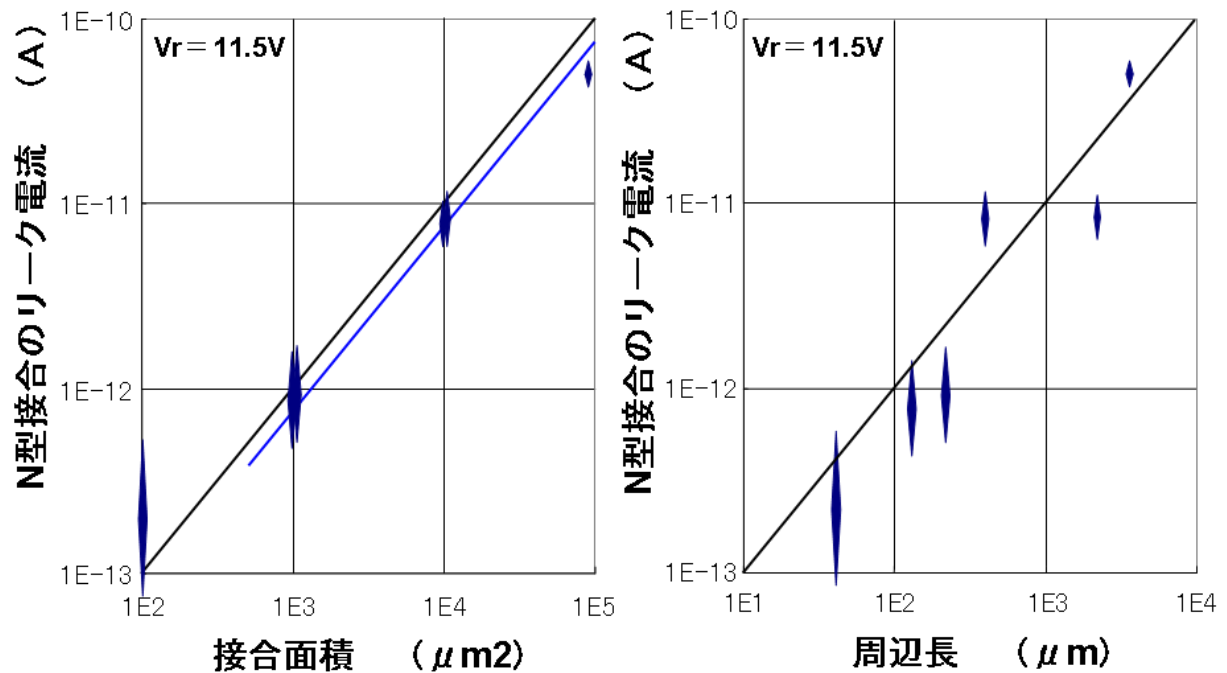


図 2. 1. 4-3 N 型の p-n 接合の逆方向リーク電流と電圧の関係

降伏電圧直前の 11.5V の時のリーク電流と p-n 接合の面積あるいは周辺長との関係を **図 2. 1. 4-4** に示す。N1 型では、L 型と異なり、リーク電流は周辺長よりも面積に依存していることがわかる。p-n 接合が素子分離領域から離れているので、高濃度の p 領域と接しているところが無く、高電界であっても接合面全面から電流が流れていることを示している。



**図 2. 1. 4-4 電圧 11.5V の時のリーク電流と p-n 接合の面積  
あるいは周辺長との関係**

さらに、L 型と N1 型について、測定の実現性を調査した。降伏電流の制限値を 1 mA としたときの逆方向リーク電流と電圧の繰り返し測定の結果を **図 2. 1. 4-5** に示す。N1 型では特性が変化しないのに対して、L 型では繰り返し測定を行うと、降伏電圧はほとんど変化しないものの、同一電圧でのリーク電流が増加していく。要因としては p-n 接合周辺部でのリーク電流の集中により、電子が LOCOS 周辺の酸化膜中に捕獲され、p-n 接合周辺部での電界強度が大きくなっていくためと考えられる。降伏電流の制限値を 3 桁小さく 1  $\mu$ A としたときの繰り返し測定の結果を **図 2. 1. 4-6** に示す。このようにリーク電流を小さく制限することにより L 型でも特性の変動を抑制できることがわかった。

以上のことから、Si 基板全体に広がった金属汚染などによる p-n 接合の逆方向電流の増加を評価するためには、再現性や微小電流の検出感度の点から N1 型が適していることがわかった。また、L 型を用いる場合には、降伏電流を小さく制御することや、電流が接合周辺部に集中することに注意しなければならないことがわかった。

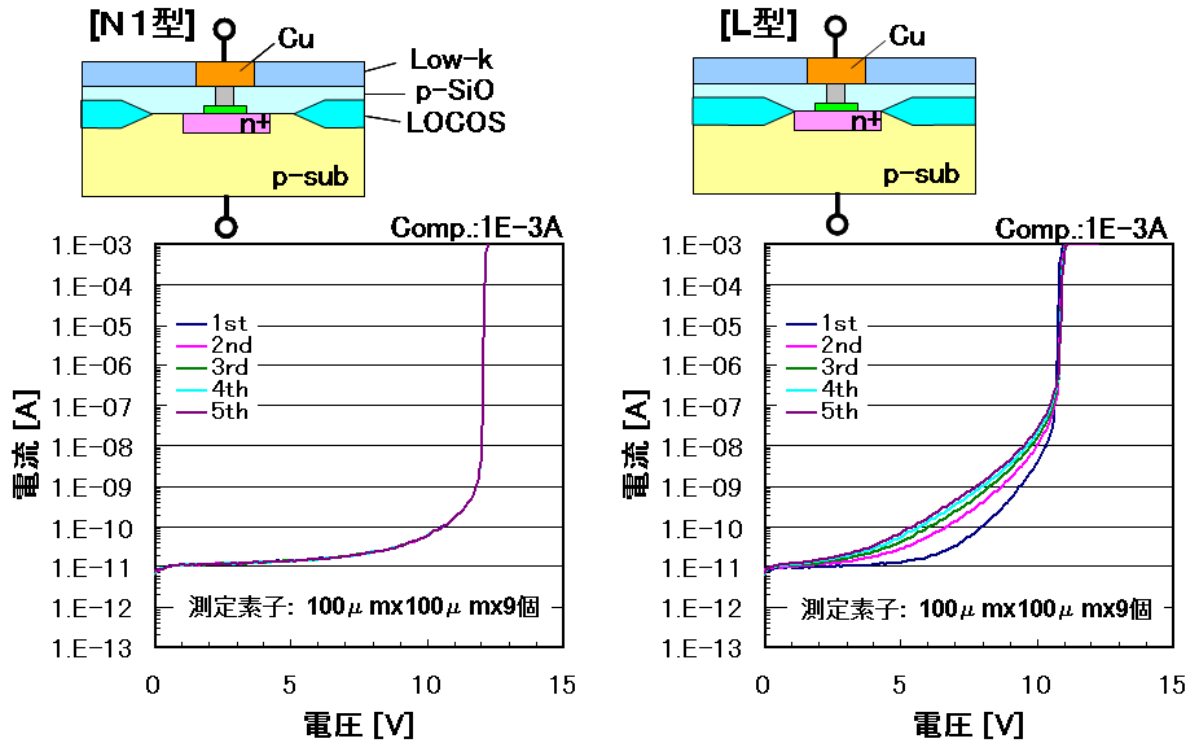


図 2. 1. 4-5 降伏電流の制限値を 1 mA としたときの  
逆方向リーク電流と電圧の繰り返し測定の結果

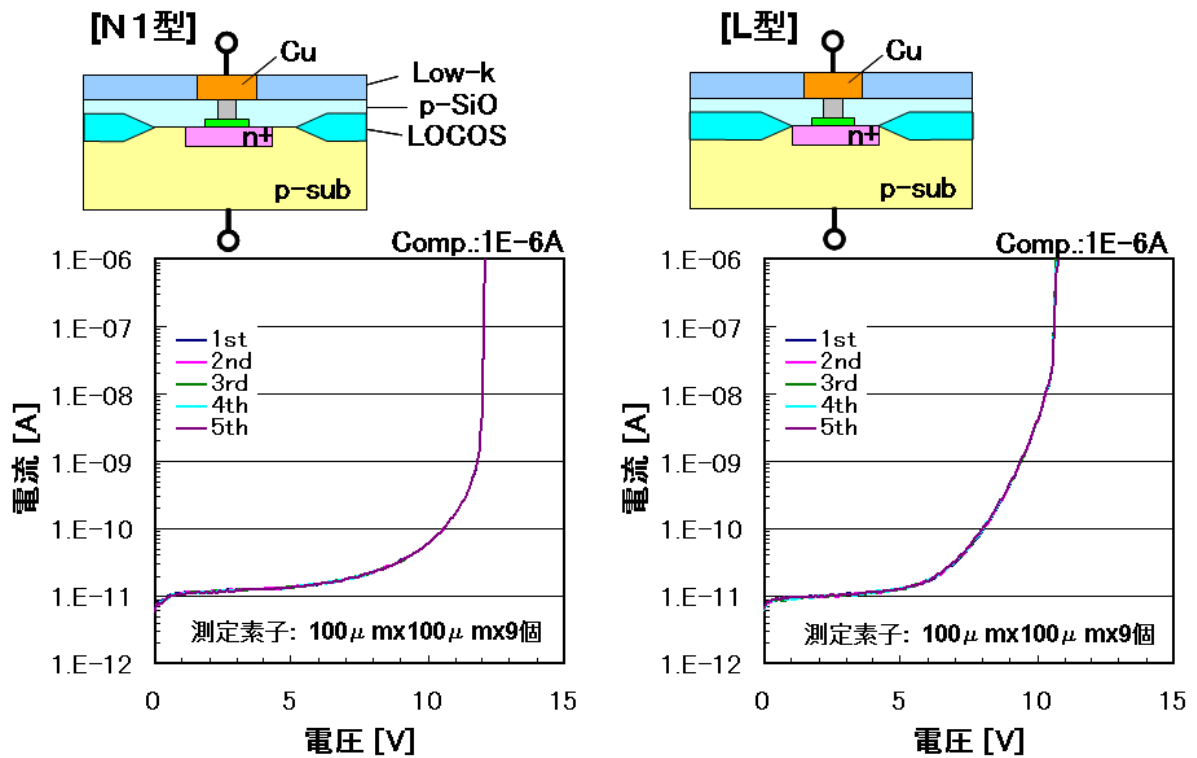
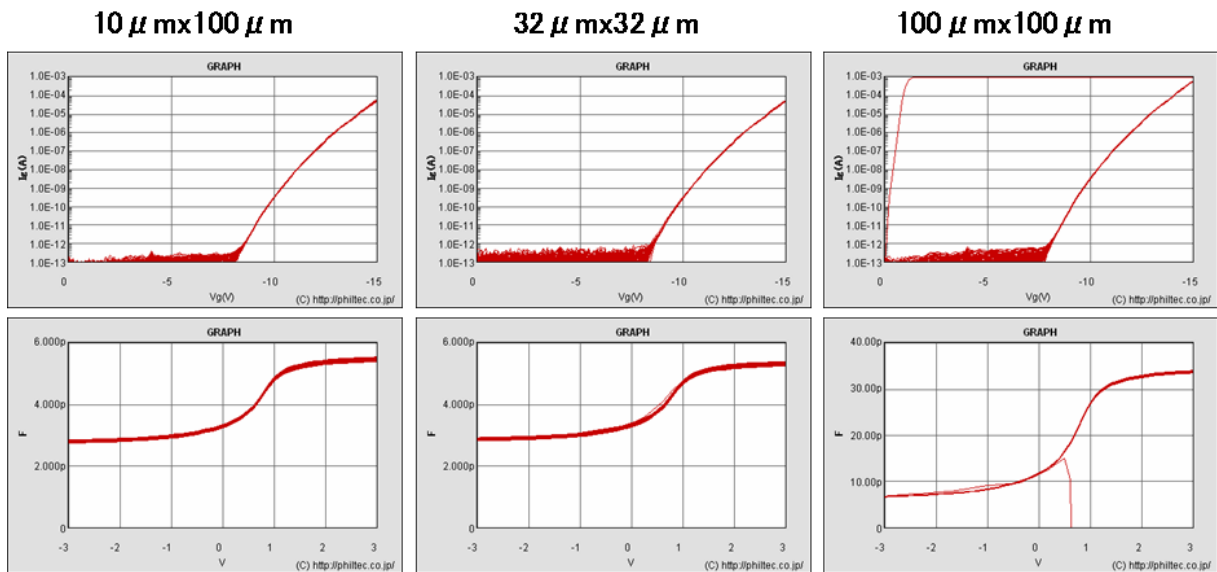


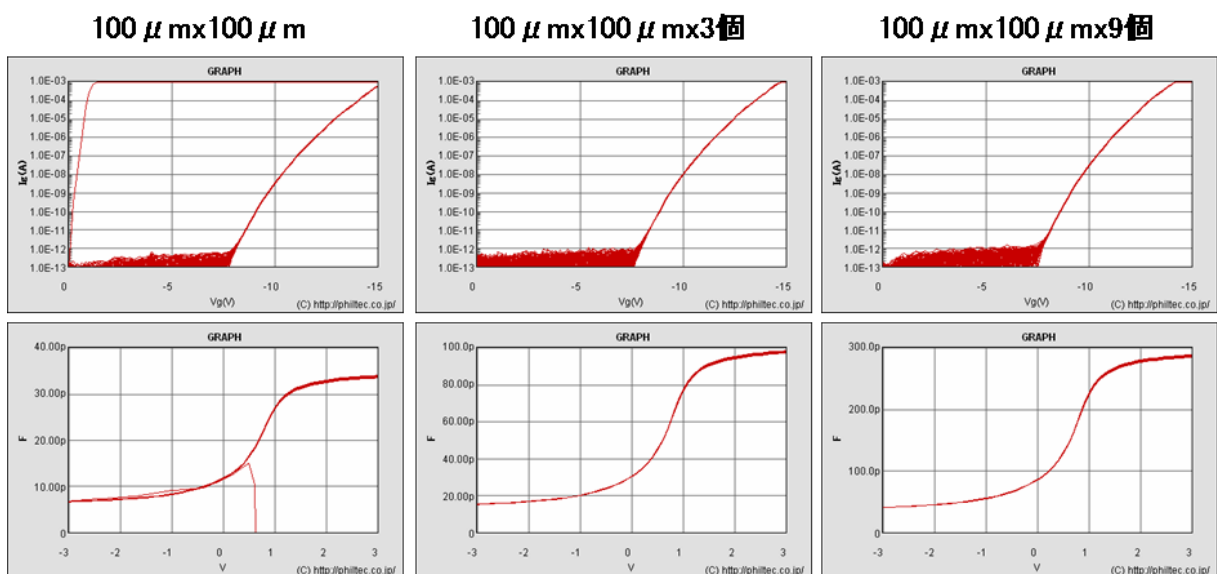
図 2. 1. 4-6 降伏電流の制限値を 1  $\mu$ A としたときの  
逆方向リーク電流と電圧の繰り返し測定の結果

## b. MOS 容量素子

種々の面積の L 型の MOS 容量素子の絶縁膜リーク特性と容量—電圧 (C-V) 特性を **図 2. 1. 4-7**、**-8** に示す。なお、MOS 容量素子の測定結果の図で x 軸は、ゲート電極側を 0 V として基板側の電圧を表示している。2 枚のウェーハで、各ウェーハ 46 チップの測定結果である。1 素子で絶縁破壊が見られたが、絶縁膜リーク特性と容量—電圧特性ともにバラツキはほとんど見られず、良く一致している。

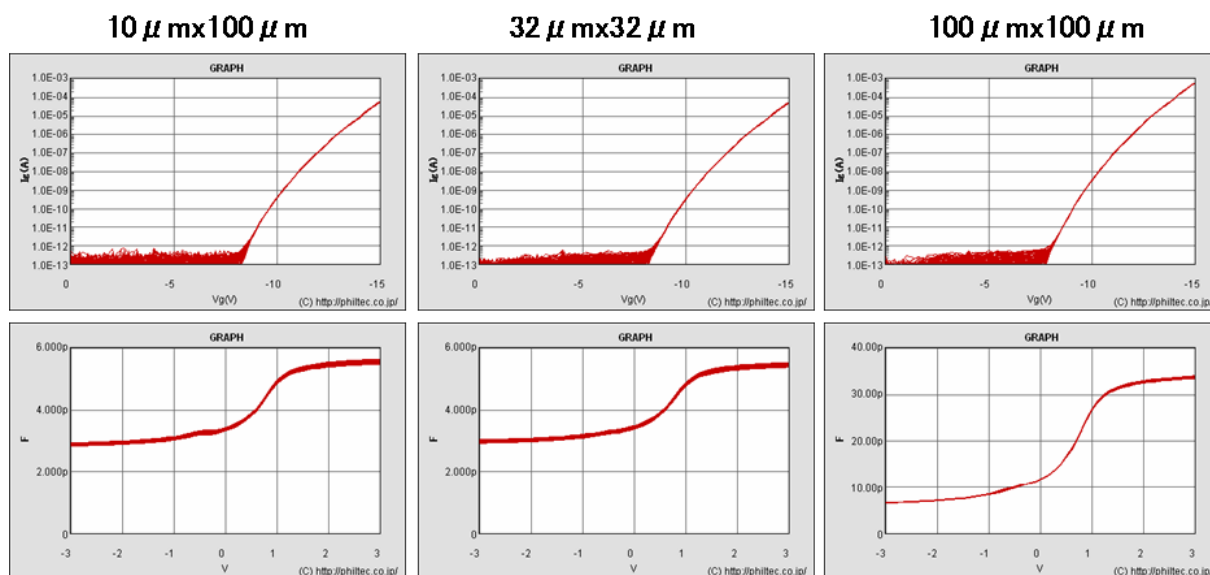


**図 2. 1. 4-7** L 型の MOS 容量素子の絶縁膜リーク特性と容量—電圧 (C-V) 特性 (1)

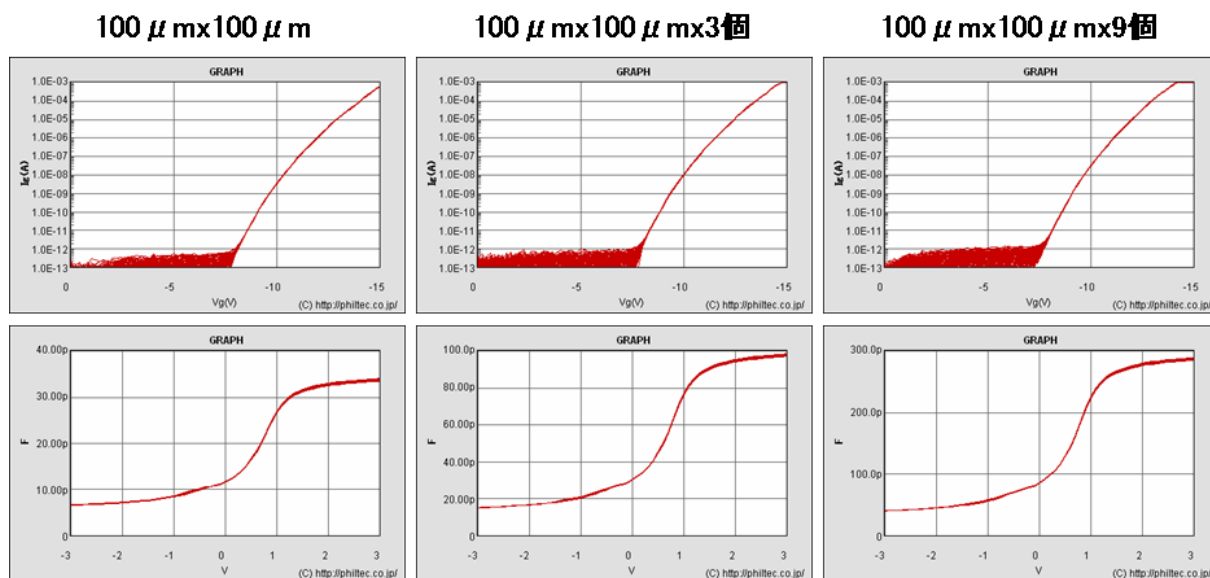


**図 2. 1. 4-8** L 型の MOS 容量素子の絶縁膜リーク特性と容量—電圧 (C-V) 特性 (2)

また、種々の面積の FG 型の MOS 容量素子の絶縁膜リーク特性と容量—電圧特性を **図 2. 1. 4-9、-10** に示す。この場合も L 型と同様に測定したが、特性のバラツキもほとんど見られず、良く一致している。

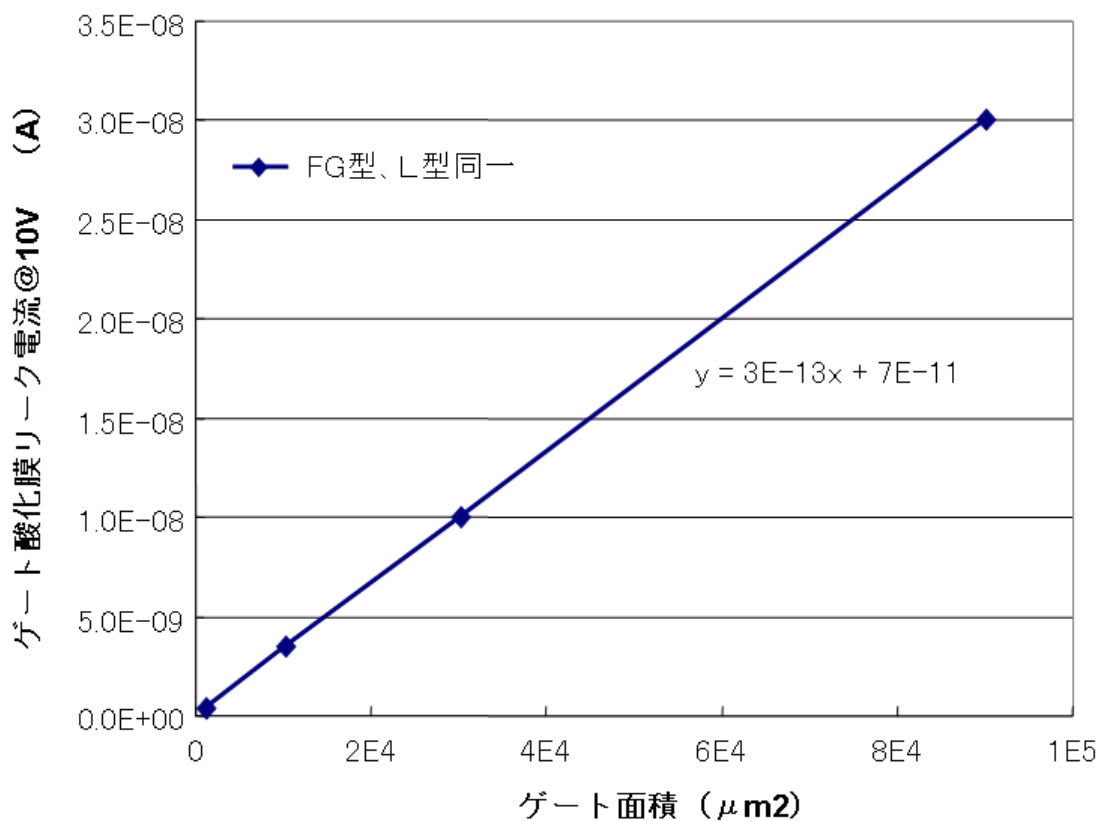


**図 2. 1. 4-9** FG 型の MOS 容量素子の絶縁膜リーク特性と容量—電圧 (C-V) 特性 (1)



**図 2. 1. 4-10** FG 型の MOS 容量素子の絶縁膜リーク特性と容量—電圧 (C-V) 特性 (2)

絶縁膜リーク電流について、電圧 10 V の時のリーク電流とゲート面積の関係を **図 2. 1. 4-11** に示す。L 型、N 型ともに同一の直線になり、ほぼゲート面積に比例する。すなわち、リーク電流はゲート絶縁膜全面に一様に流れていることを示している。



**図 2. 1. 4-11** 電圧 10 V の時のリーク電流とゲート面積の関係

次にゲート電圧 3 V の時の容量とゲート面積の関係を 図 2. 1. 4 - 1 2 に示す。この場合もほぼ同一の直線となる。Y 軸との切片である約 2 pF は、TEG パターンのゲート絶縁膜以外の配線部やパッドの寄生容量とプローバなど測定装置に起因する寄生容量と考えられる。

以上、MOS 容量素子は期待値どおりの特性を示すことがわかった。アルカリ金属汚染などがゲート絶縁膜に侵入した場合には、C-V 特性が電圧軸の負の方向にシフトする。また、絶縁膜のリーク電流を増大させる場合もある。さらに、外力などにより Si-SiO<sub>2</sub> の界面順位が増加したときには、C-V 特性の曲線で電圧 0~1 V 付近での電圧に対する容量の変化率が減少した曲線や肩のような形状を示すようになる。また、外力によりリーク電流が増大する場合も考えられる。このように MOS 容量素子を用いて、材料やプロセスの影響を評価することも可能になる。

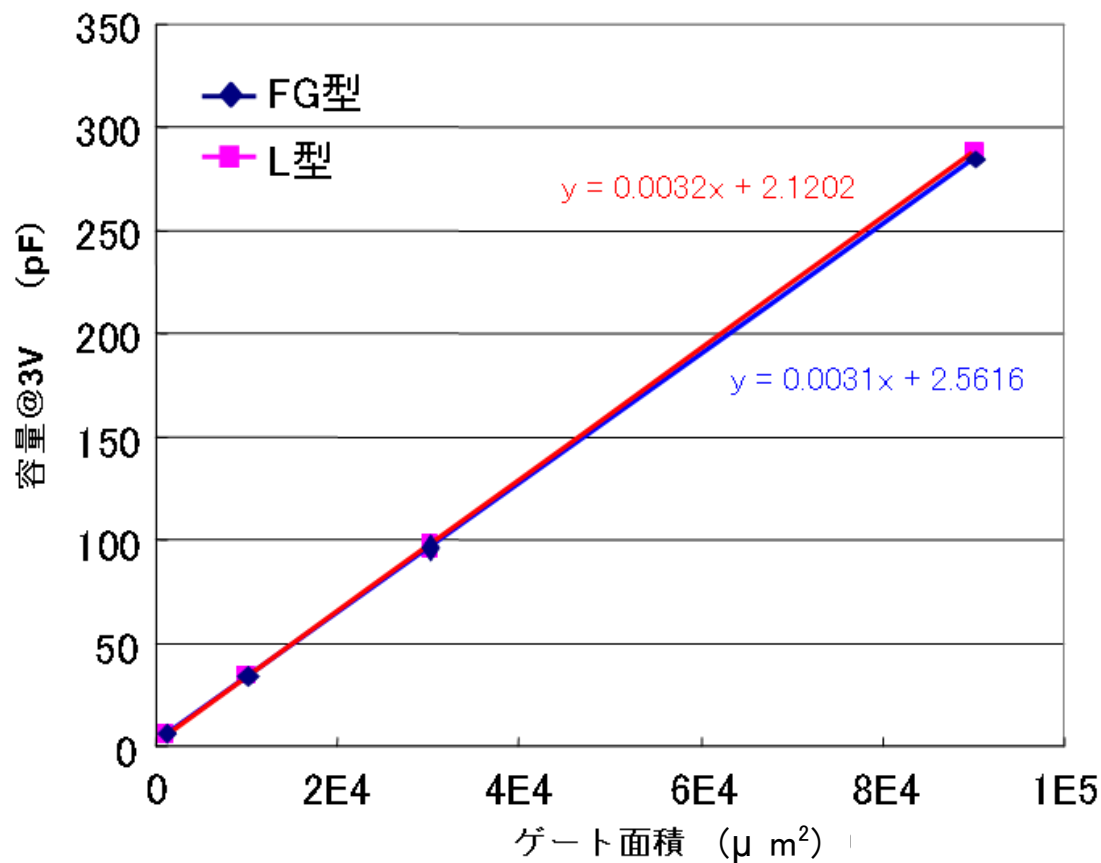


図 2. 1. 4 - 1 2 ゲート電圧 3 V の時の容量とゲート面積の関係



### c. NMOS トランジスタ

NMOS トランジスタの構造と代表的な電気特性の 1 例を図 2. 1. 4 - 1 3 に示す。左のグラフは、ドレイン電圧を 3 V としたときのドレイン電流 ( $I_d$ ) とゲート電圧 ( $V_g$ ) の関係を示すものである。この曲線から、 $I_d = 1 \text{ nA}/\mu\text{m}$  (チャンネル幅  $1 \mu\text{m}$  あたり  $1 \text{ nA}$  のドレイン電流) のときの  $V_g$  をしきい電圧 ( $V_{th}$ ) と定義される場合が多く、本報告でもそれに従った。今回の例では、しきい電圧は  $0.25 \text{ V}$  である。右のグラフは、通常トランジスタの静特性と呼ばれており、ゲート電圧をパラメータとしてドレイン電圧とドレイン電流の関係を示したものである。今回試作した結果では、これらの電気特性が期待値どおり正常な特性を示している。トランジスタの種々の特性変動から、材料やプロセスの影響を評価することが可能になる。

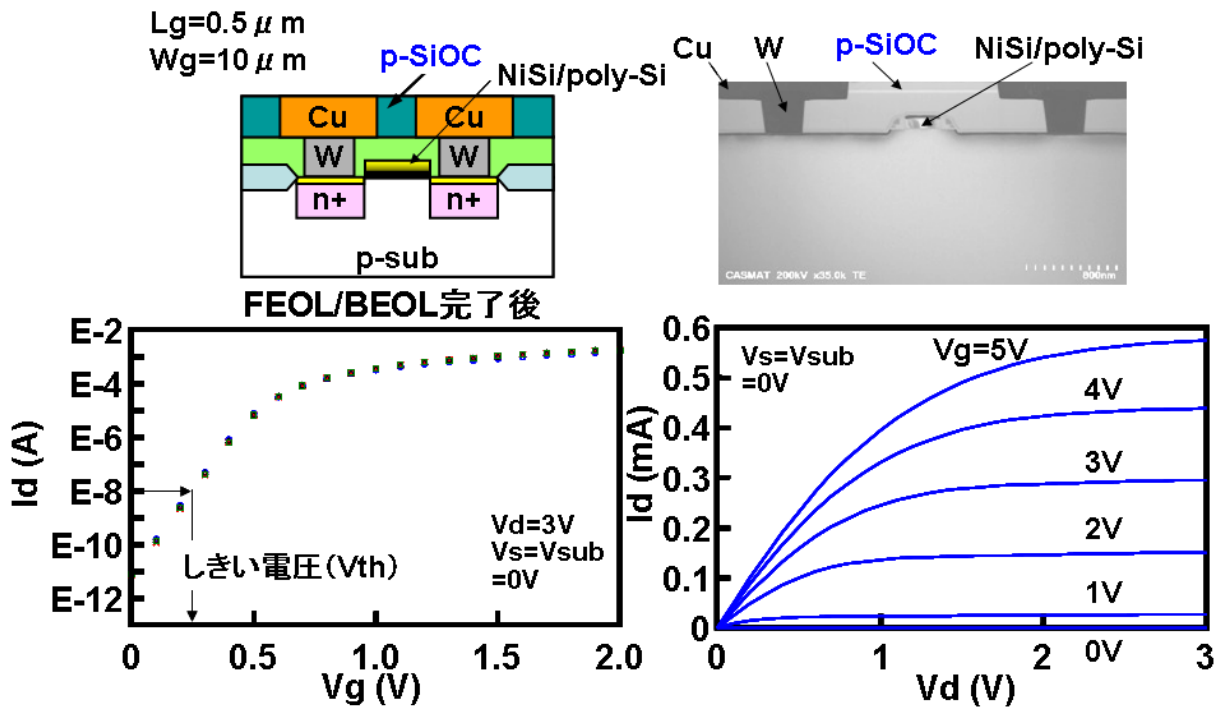
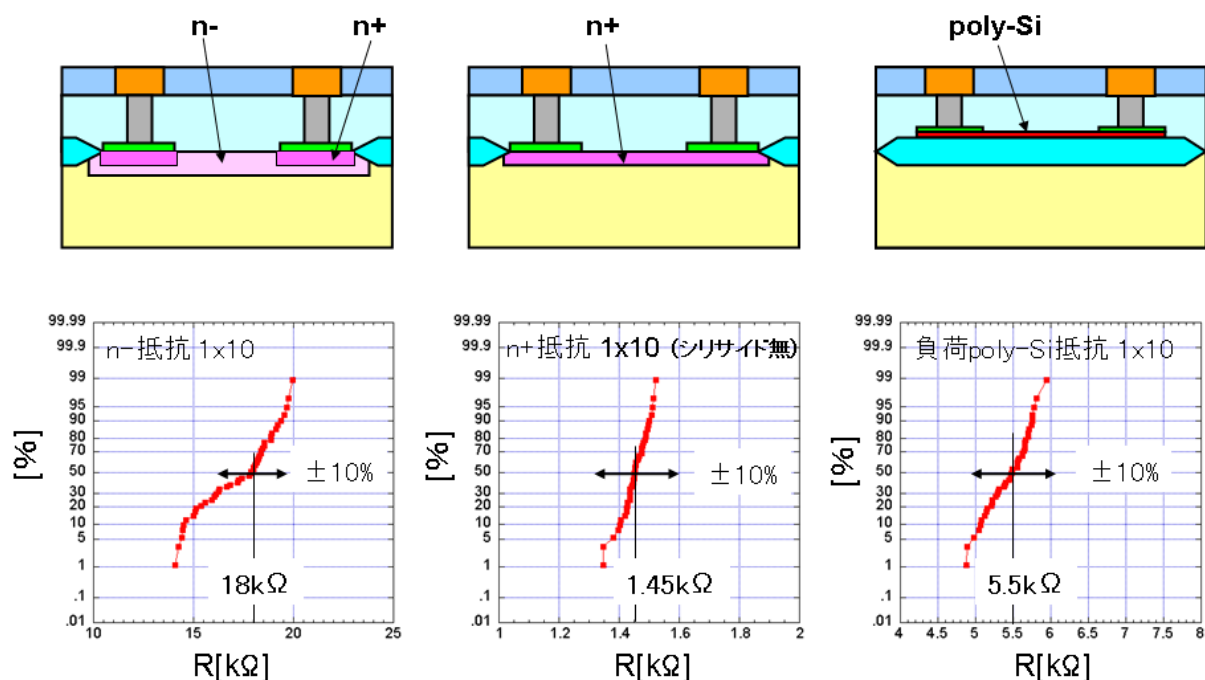


図 2. 1. 4 - 1 3 NMOS トランジスタの構造と代表的な電気特性

#### d. 抵抗素子

FEOL プロセスにより種々の抵抗素子が形成される。これらは通常は FEOL プロセスのイオン打込みや熱処理が正常に行なわれたか判定するために用いられるが、今回は材料やプロセスの影響評価に用いることができないか調査した。

n-層、n+層、poly-Si の 3 種類の抵抗について、ウェーハ内 46 チップの測定結果を **図 2. 1. 4-14** に示す。いずれもバラツキがあるが、特に n-層、poly-Si の抵抗バラツキが 10%以上と大きく、チップ毎にトレースしていくなど、評価するには注意が必要である。



**図 2. 1. 4-14** n-層、n+層、poly-Si の 3 種類の抵抗の  
ウェーハ内 46 チップの測定結果

#### e. 寄生 MOS

今回の FEOL プロセスから Cu 2 層配線までの試作で形成される寄生 MOS は 3 種類ある。寄生 MOS は通常は FEOL の素子の電氣的な分離が十分かどうか判定するのに用いられるが、今回は材料やプロセスの影響評価に用いることができないか調査した。

それぞれの寄生 MOS の構造と代表的な電気特性の一例を **図 2. 1. 4-15**、**-16**、**-17** に示す。ここでグラフは、トランジスタと同様に  $I_d-V_g$  特性であり、このような測定からしきい電圧を求めることができる。しきい電圧は、FG 寄生 MOS では約 20 V、M1 寄生 MOS では約 40 V、M2 寄生 MOS では約 80 V となっており、ゲート絶縁膜に相当する絶縁膜がそれぞれおよそ 250 nm、500 nm、800 nm と厚くなっていくことに対応している。

しかし、しきい電圧測定では高電圧をゲート電極に印加するので、同一寄生 MOS を繰り返し測定してみた。その結果、例えば M2 寄生 MOS では 200 V 近い電圧がゲート電極に印加されると、測定のために  $I_d-V_g$  曲線が左側にシフトしていき、しきい電圧が低下していくことがわかった。したがって寄生 MOS の評価では、素子の初期特性のみを一定の測定条件で測定して比較するなどの注意が必要である。

また、今回試作した T2 マスクでは、それぞれの断面 TEM 写真からわかるように、チップの表面側から見てゲート電極がソース、ドレインの n+層から離れており、いわゆるオフセットの構造になっている。T3 マスクの修正に当たっては、M1、M2 寄生 MOS においてゲート電極がソース、ドレインとオーバーラップさせてオフセットのない構造の TEG を追加した。

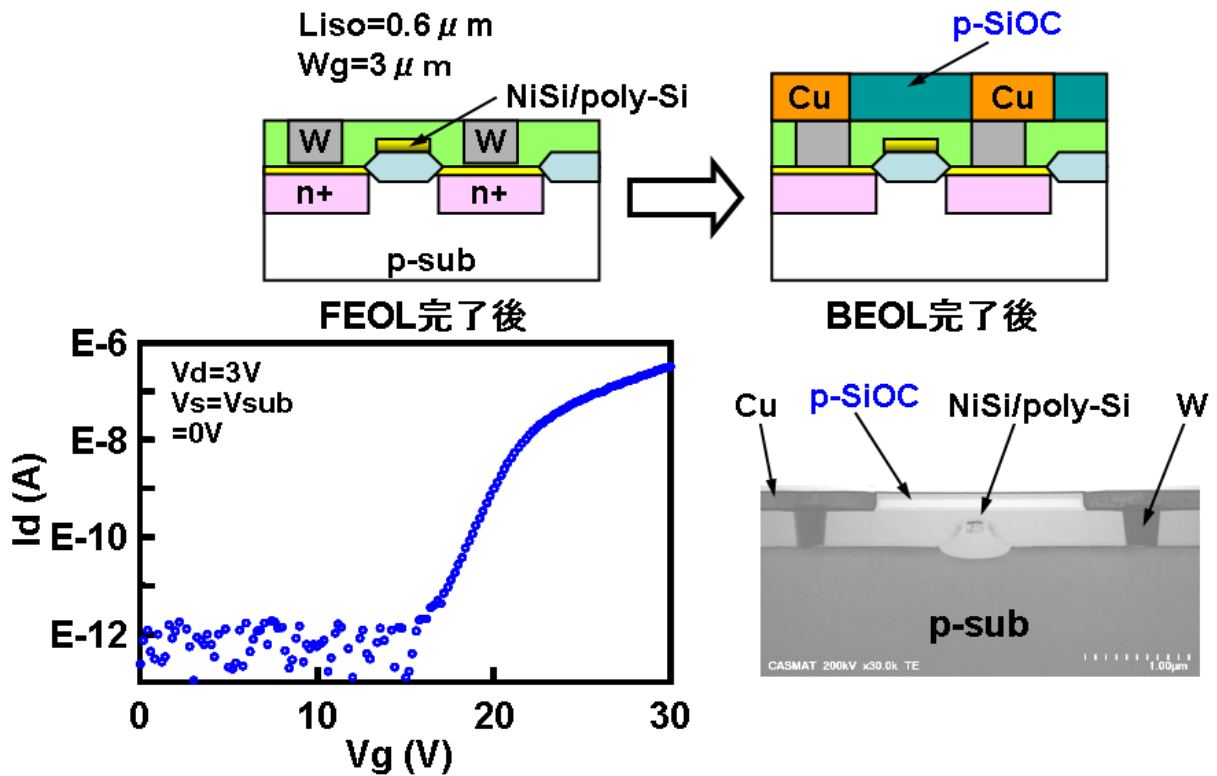


図 2. 1. 4 - 1 5 FG 寄生 MOS の構造と代表的な電気特性の一例

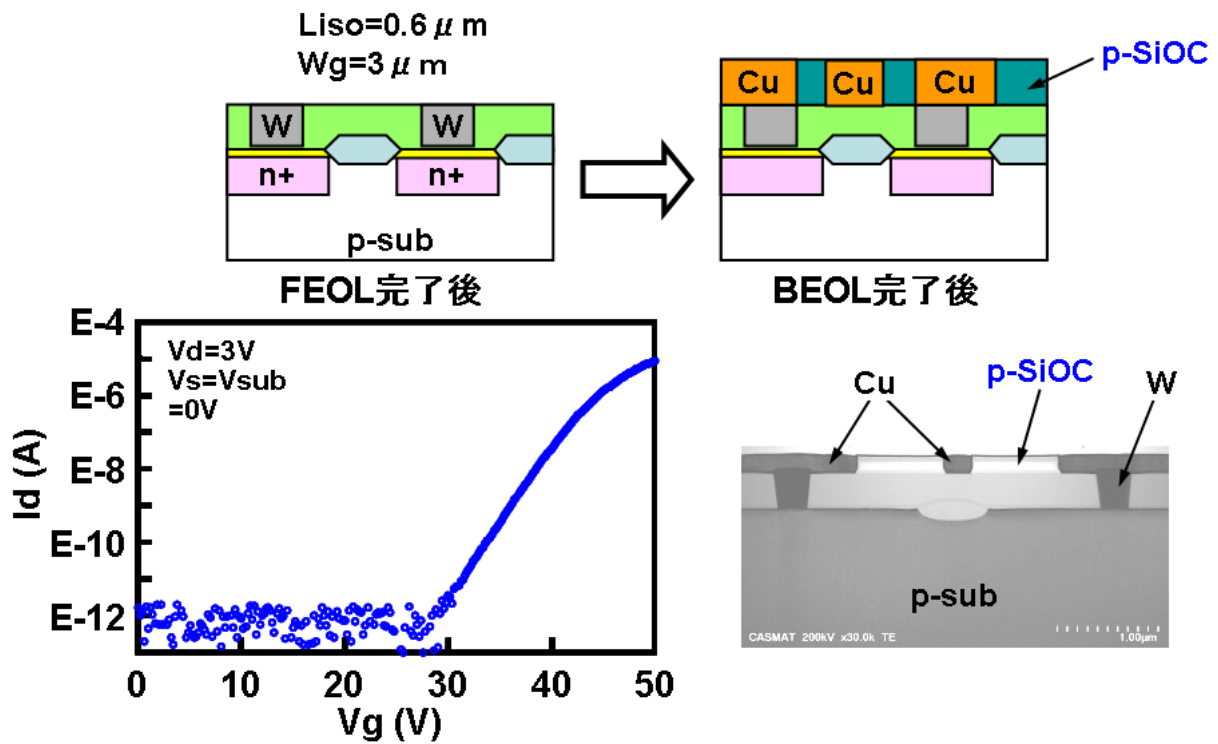


図 2. 1. 4-16 M1 寄生 MOS の構造と代表的な電気特性の一例

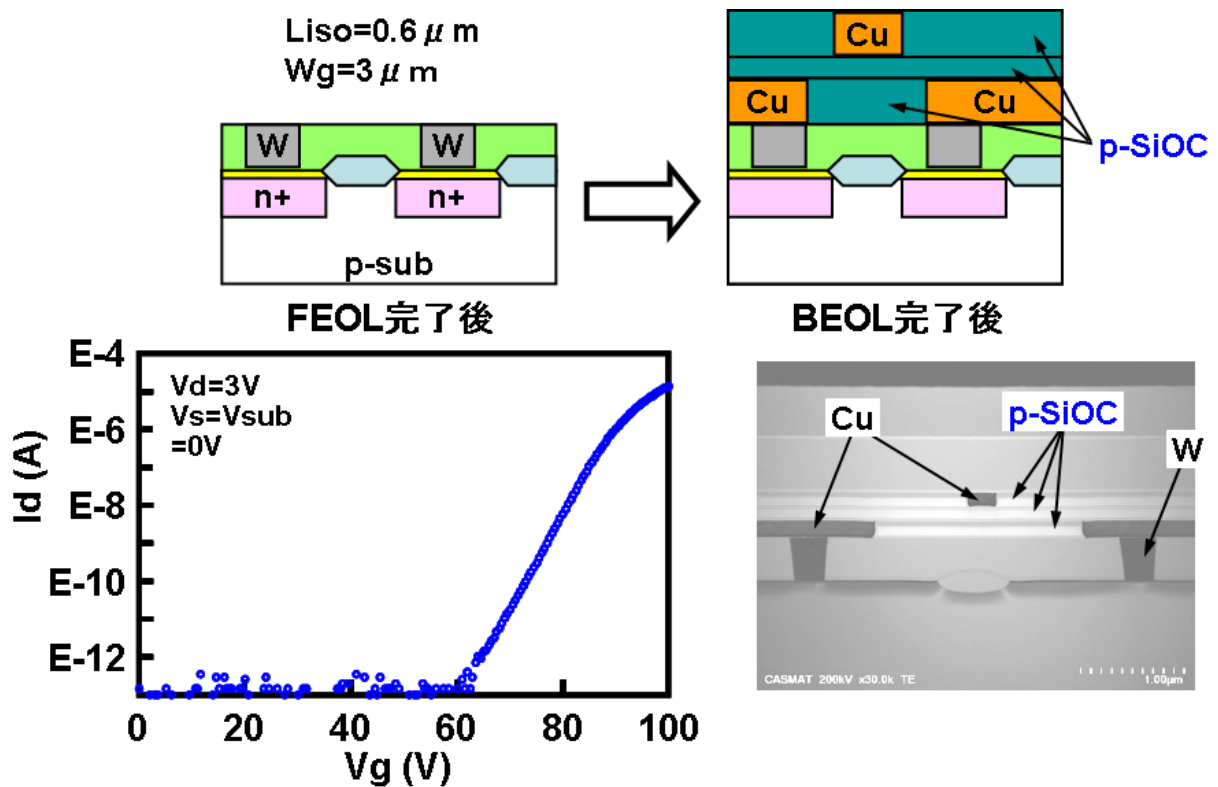
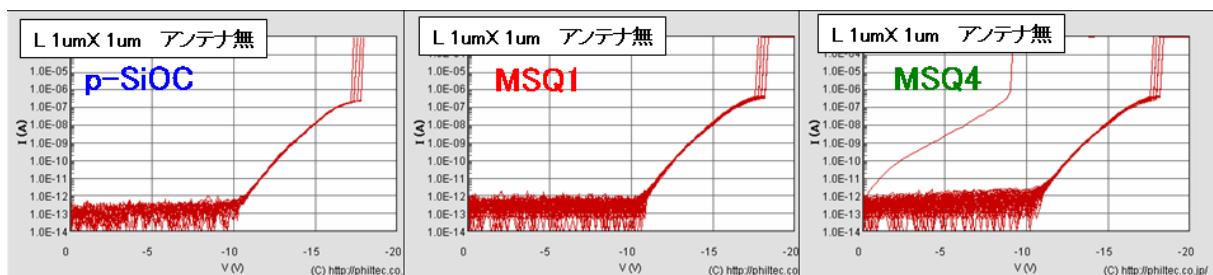


図 2. 1. 4-17 M2 寄生 MOS の構造と代表的な電気特性の一例

## f. アンテナ TEG

T2 マスクを用いて FEOL プロセス試作を経た後、3 種類の Low-k 材料を用いて Cu 2 層配線を形成した後、Al パッドまで形成してアンテナ TEG における  $1\ \mu\text{m} \times 1\ \mu\text{m}$  の微小な面積の MOS 容量素子のゲートリーク電流を測定した。アンテナ TEG の測定結果を図 2. 1. 4-18 に示す。各 Low-k 材料についてウェーハ内 46 チップの測定結果である。MSQ4 でアンテナ無の場合、1 個の耐压不良が見られたが、他の Low-k では不良チップは無かった。なお、アンテナ無の場合でも  $100\ \mu\text{m} \times 100\ \mu\text{m}$  の測定パッドがあることからアンテナ比の定義に従えば、アンテナ比 1 万倍に相当する。アンテナ比 22 万倍でもすべて Low-k 材料で耐压不良は見られなかった。この結果から、どの Low-k 材料およびそれに対応するプロセスでもウェーハ表面での電荷蓄積の影響が無いか、もしくはまだアンテナ比が小さいため感度不足であったか、が考えられる。後者の可能性を排除するため、T3 へのマスク修正ではアンテナ比を 120 万倍まで大きくしたアンテナ TEG を設計した。



アンテナを接続しないゲート絶縁膜のリーク電流

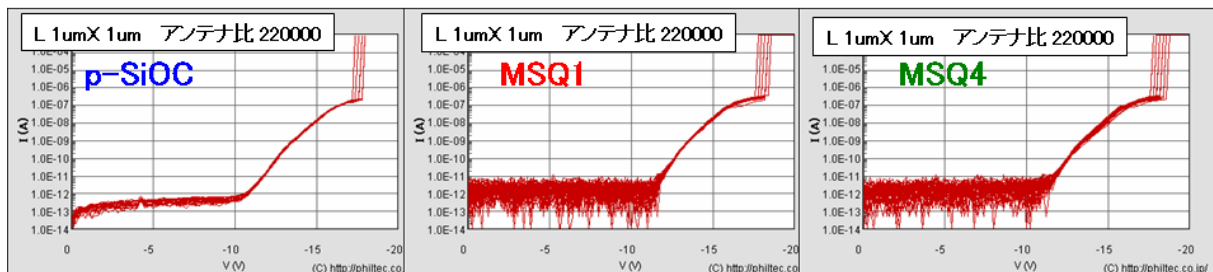


図 2. 1. 4-18 アンテナ TEG の測定結果

以上、T2 マスクを用いて FEOL から BEOL まで連続して試作し、TEG の電気特性を測定するための測定環境を立ち上げて FEOL 素子の電気特性を評価した。その結果、それぞれの素子でほぼ目的通りの特性が得られ、TEG マスクおよびプロセスの検証ができたと考える。また、測定における注意点も見つけ出すことができた。基本的には、この TEG を用いて BEOL 以降の材料評価が可能であることが確認できた。ただ、再現性や測定感度を向上させる必要があることも明らかになり、そのための修正を次の T3 マスクに反映した。

## 2. 1. 5. リングオシレータを用いた配線特性評価

FEOLプロセスにより、単一チャンネルだけではあるが、NMOSトランジスタの作成が可能である。そこでそれを利用して回路的な方法で、BEOL以降の材料影響を高感度に評価できないか調査した。その結果、リングオシレータの発振周波数とその回路を構成する配線の抵抗や寄生容量に依存することを利用すれば、多層配線で寄生容量低減に用いられるLow-k材料の評価ができるのではないかと考えた。すでに述べたが、リングオシレータは、最も簡単にはインバータを奇数個接続することにより構成することができる。今回は単一のNチャンネルしか形成されないので、インバータの負荷素子として通常用いられるpMOSトランジスタの代わりにpoly-Si抵抗を用いることとした。

### a. 配線層間絶縁膜の評価

リングオシレータを用いてできる評価項目、評価方法、測定項目をまとめて、リングオシレータ回路の概略図とともに図2.1.5-1に示す。インバータの入出力配線に、同一配線層の楕円パターンで形成される容量を負荷容量として挿入することにより、リングオシレータの遅延時間が長くなることから負荷容量の大きさを求め、さらに層間絶縁膜の比誘電率を求めることができる。

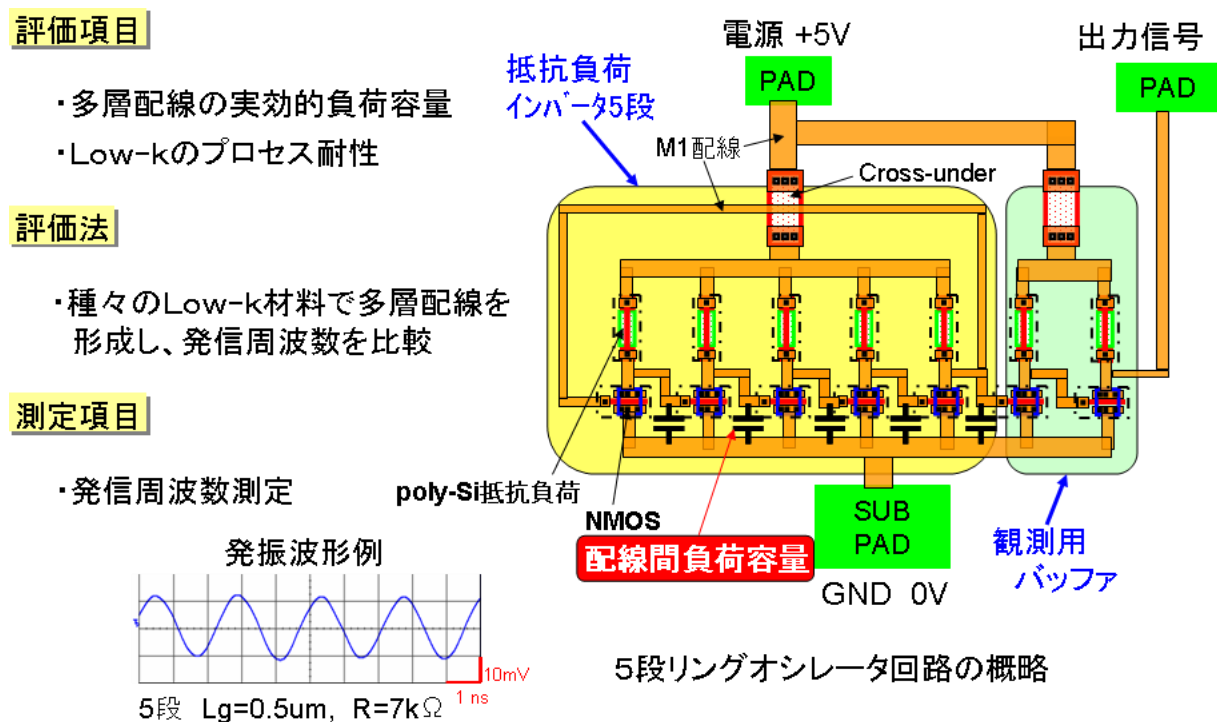


図 2. 1. 5 - 1 リングオシレータによる評価項目、評価方法、測定項目およびリングオシレータ回路の概略

多層配線の層間絶縁膜として 5 種類の Low-k 材料を用いたとき、リングオシレータの周波数の逆数から求められる遅延時間 (tpd) と負荷容量に用いた楕型パターンの 3 種類の対向長さとの関係を 図 2. 1. 5-2 に示す。このグラフの傾きは、それぞれの材料での実効的な容量に対応する。材料を評価するためには、実効容量から比誘電率を求める必要がある。このためには、楕型配線の加工形状、すなわち配線幅や配線深さの補正が必要になる。負荷容量を形成した楕型配線と同じピッチ、同じ配線幅のつづらパターンの抵抗値を測定することにより補正できる。特定の材料を基準として、その抵抗値との比を各材料の補正係数とする。補正係数と先に求めた実効容量との積から RC 時定数、さらに実効的な比誘電率が相対的に求まる。5 種類の Low-k 材料について、相対的な実効比誘電率を求めた結果を 図 2. 1. 5-3 に示す。ここでは p-SiOC を基準とした。この結果から、p-SiOC に対して MSQ1 では RC 時定数を 14% 低減できていることがわかる。また、単層膜での比誘電率との比較から、MSQ4 と有機 Low-k/p-SiOC では、多層配線プロセスによるダメージが大きいこと、すなわちダメージ耐性が低いことがわかる。

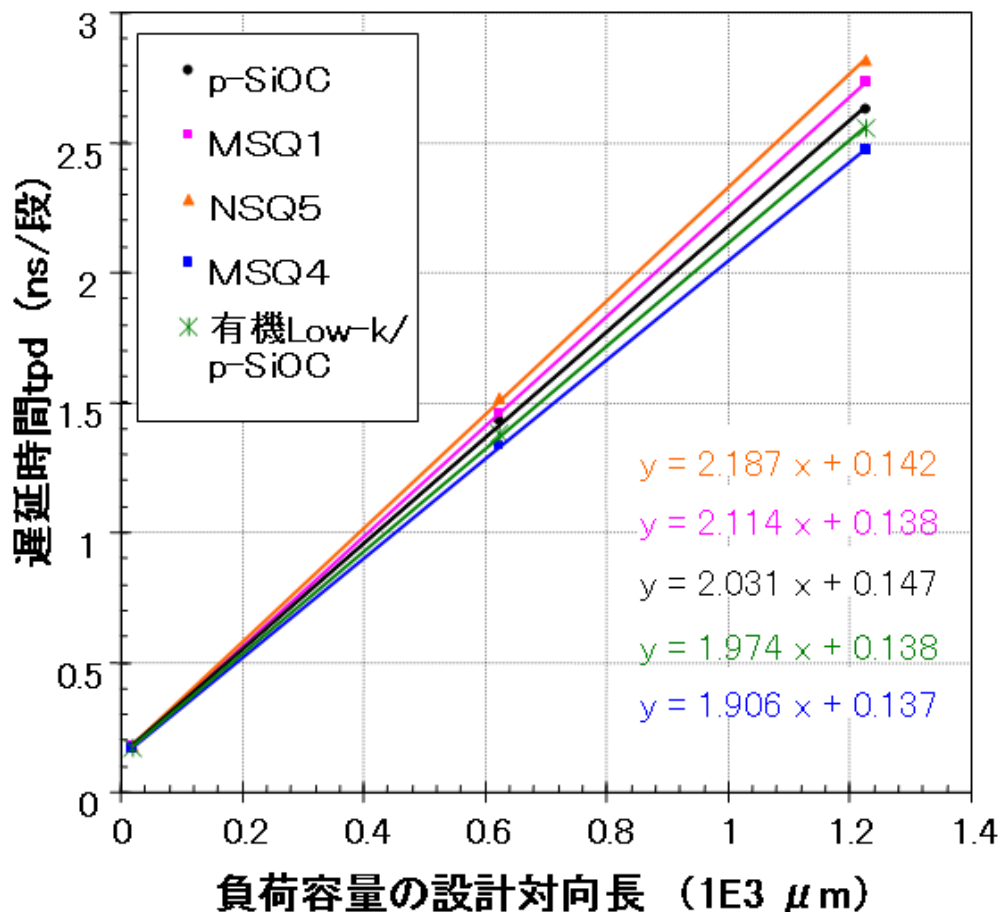


図 2. 1. 5-2 リングオシレータ遅延時間 (tpd) の負荷容量依存性



層間膜	RM	実効容量 (グラフの傾き) (相対値)	補正係数 A	実効比誘電率 (RC時定数)	RC時定数がp-SiOC に対して14%低減	
	(kΩ)		補正係数	(相対値)	実効 比誘電率	単層膜の 比誘電率
p-SiOC	105	1	1	1	3	3
MSQ1	87	1.04	0.83	0.86	2.6	2.4
MSQ4	106	0.94	1.01	0.95	2.8	2.4
MSQ5	95.2	1.08	0.91	0.98	2.9	3
有機Low-k/p-SiOC	111.5	0.97	1.06	1.03	3.1	2.7

RM ; 負荷容量と同じL/Sパターンの配線抵抗(R. O. 測定と同一チップ)

実効容量 ; 前のグラフ、tpd vs 相対容量の直線の傾き

補正係数 A = 配線の断面形状を同一にしたときの容量に補正する係数

$$= 1 / (\text{配線断面積の比}) = (\text{配線抵抗の比}) = R_{M1} / R_{M0}$$

実効比誘電率 = 実効容量・A

図 2. 1. 5 - 3 5種類のLow-k材料の相対的な実効比誘電率

以上のように、配線間容量を負荷とするリングオシレータの評価により、BEOLで用いるLow-k材料の評価ができることがわかった。特長としては、回路性能の一つであるスピードに対するLow-k材料の影響が直接評価できることである。また、従来の要素技術レベルでのLow-k材料の評価では、容量の測定周波数が1MHz程度以下であったが、今回100MHz以上の高周波での評価ができるようになった。今回のTEGは、200nmの技術レベルであるので、この程度であるが、さらに微細な加工レベルを適用することにより測定周波数GHzレベルの評価も可能になることが予想される。

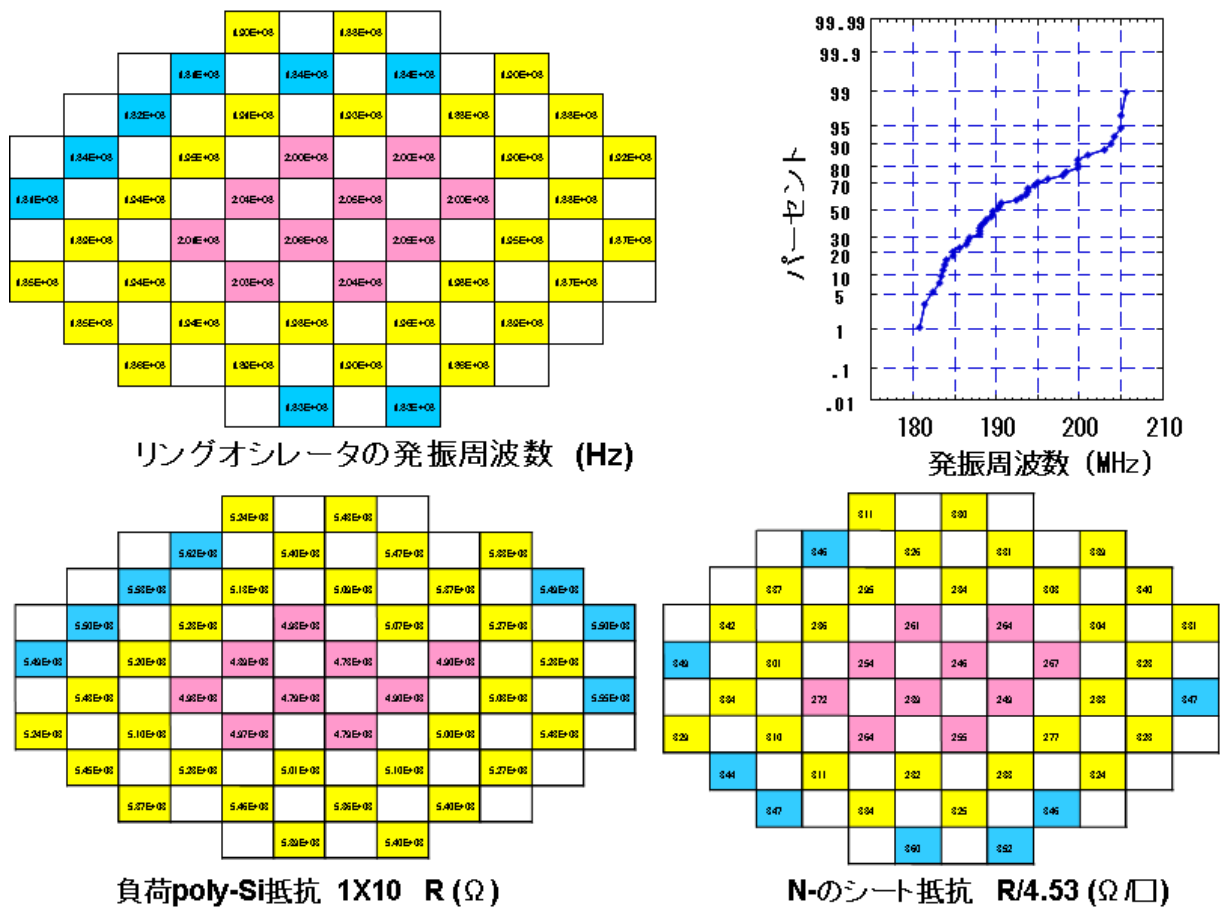
また、今回評価している負荷容量は、20~50fF程度であり、配線間容量として直接測定する場合の10~20pFに対して3桁程度小さな値である。リングオシレータでは、このような小さな値の変化を検知している。このことを利用して、さらに感度の高い評価技術が開発されることが望まれる。

### b. 発振周波数の分布

今回の評価では、リングオシレータで測定するのは発振周波数だけである。周波数は、FEOLプロセスの種々の影響を受けることが予想される。そこで、周波数のウェーハ内分布を評価した。分布は3%から10%程度のものまで試作ロットやウェーハの違いにより変化していた。比較的分布の大きいもので、FEOL素子との関連を調べた。発振



周波数分布と同じようなウェーハ内分布を示す poly-Si および n-抵抗の測定結果を **図 2. 1. 5-4** に示す。このほかの FEOL 素子として NMOS トランジスタのしきい電圧、トランスコンダクタンス、n+抵抗、Cu 配線抵抗も測定したが、分布に相関は見られなかった。



**図 2. 1. 5-4** リングオシレータの周波数、poly-Si および n-抵抗のウェーハ内分布

各チップの周波数の逆数と poly-Si および n-抵抗の関係を図 2. 1. 5-5 に示す。良い相関が見られた。負荷として用いている poly-Si の抵抗が大きくなると周波数の逆数すなわち遅延時間が長くなる。これは負荷抵抗が大きくなるとスピードが低下することであり、矛盾のない結果と考えられる。一方、n-抵抗が大きくなると NMOS トランジスタのトランスコンダクタンスが低下するはずであるが、この相関はなかった。n-抵抗の分布は単に熱処理の不均一さを反映しているものと考えられる。また、熱処理が不均一なため poly-Si の抵抗の不均一さが表れたのも極自然であると考えられる。

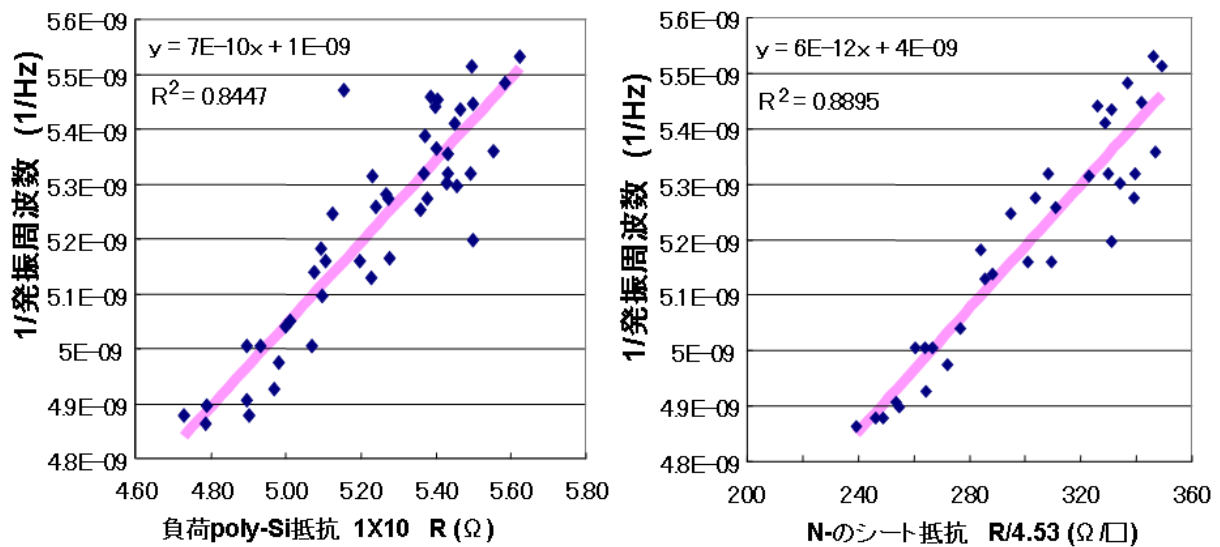


図 2. 1. 5-5 周波数の逆数と poly-Si および n-抵抗の関係

周波数がウェーハ内で分布している場合は、ウェーハ内でほぼ同じ位置のチップで比較すること、同じチップをトレースして変化量を求めることが望ましい。また、poly-Si 抵抗の増加により、周波数の低下すなわち遅延時間が上昇するということが明らかになった。

## 2. 1. 6. マスク修正

T2マスクを用いた試作により、当初目的としたFEOL素子の電気特性をほぼ取得することができた。しかし、測定感度や精度を向上させるため、TEGの一部を修正してT3マスクを設計した。T3マスクでの修正内容を表2.1.6-1に示す。リングオシレータでは、測定周波数および測定におけるS/N比を向上させるため、負荷のpoly-Si抵抗を7kΩから3.5kΩに半減させた。また、CMPスラリの評価においてCMPの平坦性を測定できるようにするため、配線間容量に代えて配線のつづら抵抗を負荷にしたリングオシレータを設計した。また、評価メニューを拡大するため、ゲート付p-n接合を新たに設計した。寄生MOSではゲート電極のオフセットを解消するため、ゲート電極と素子領域をオーバーラップさせたM1、M2寄生MOSを追加した。アンテナTEGでは、チャージアップに対する感度を向上させるため、アンテナ比の高いTEGを追加した。最後にパッケージで測定できるTEGとして寄生MOSとリングオシレータを追加した。

表 2. 1. 6 - 1 T3マスクでの修正内容

#	TEGの種類	目的	修正内容	効果
1	リングオシレータ (RO)	感度向上 CMP評価	負荷抵抗変更 つづら抵抗負荷	S/N向上 CMP平坦性評価
2	PN接合	Low-k膜評価	ゲート付PN接合	膜中電荷の評価
3	寄生MOS	精度向上	ゲート構造変更	ゲート電極オーバーラップ構造で精度向上
4	アンテナTEG	感度向上	アンテナ比向上 22万倍→125万倍	ダメージ評価が可能
5	パッケージ	感度向上	寄生MOS, ROを追加	測定可能



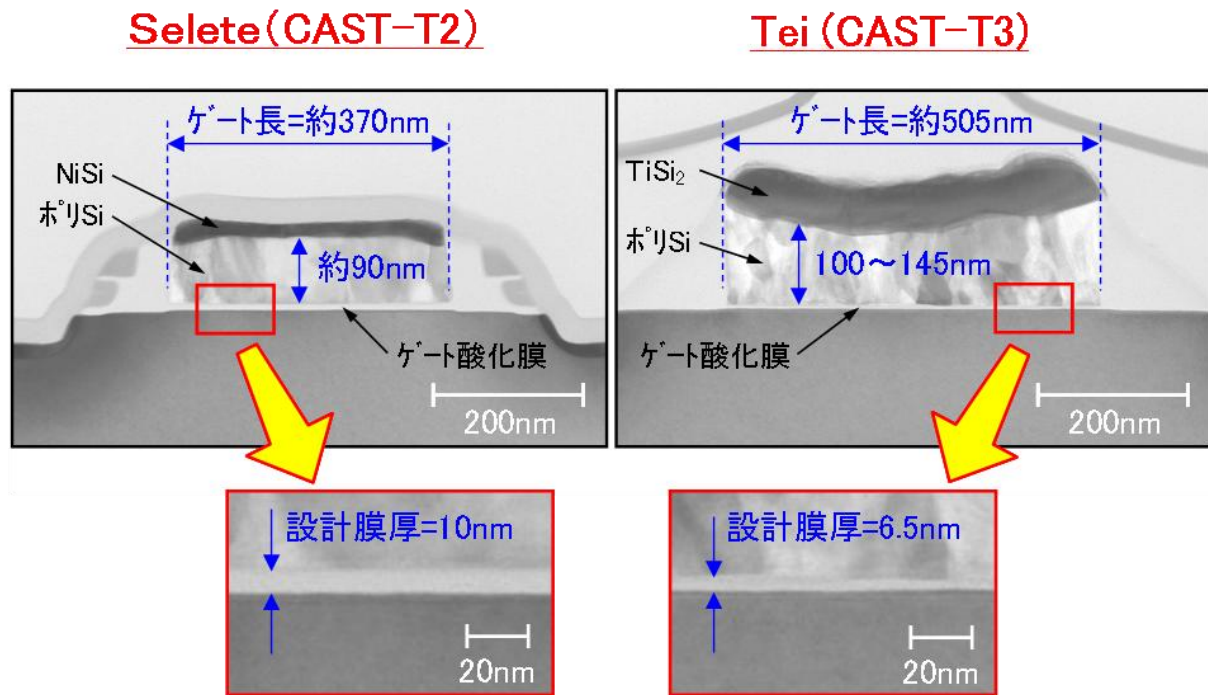


図 2. 1. 6-1 トランジスタ部の比較

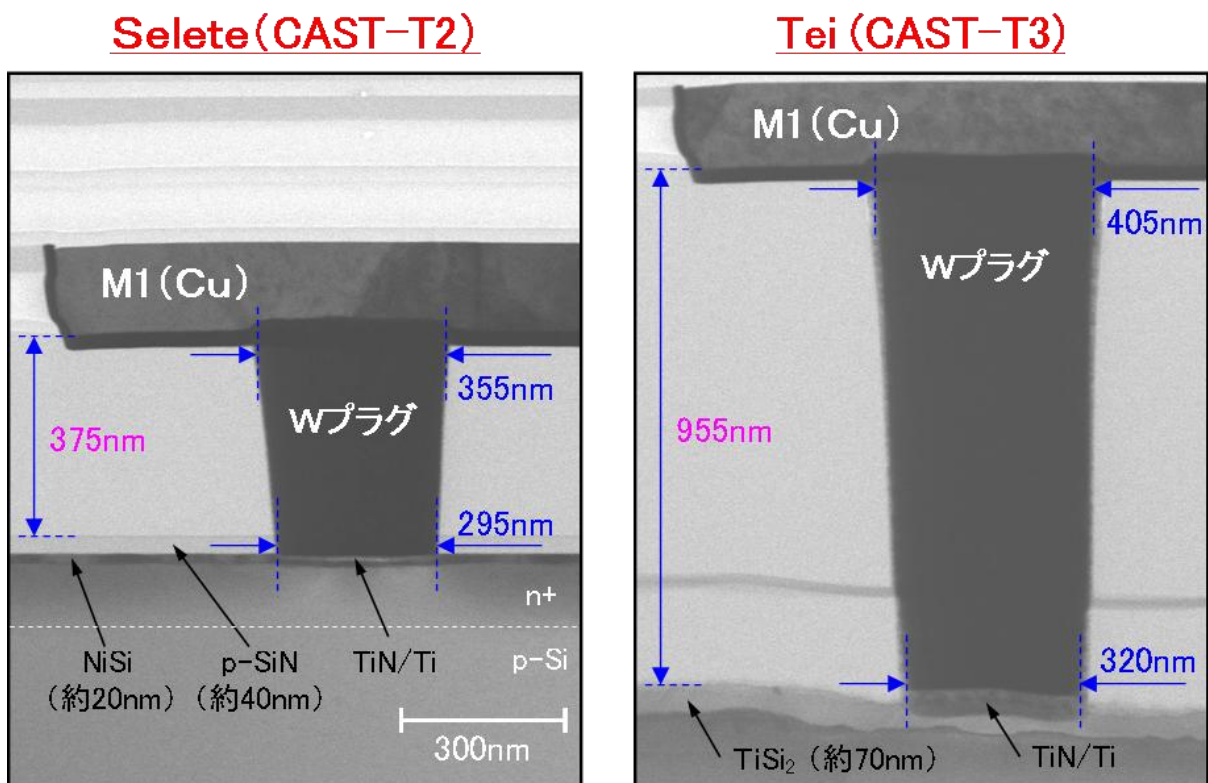


図 2. 1. 6-2 コンタクト部の比較

つぎに、MOS トランジスタや各種抵抗について、測定結果の比較を表 2. 1. 6-3 に示す。ここではあまり大きな違いはなく、リングオシレータの動作はどちらの試作でも可能であると考えられる。

表 2. 1. 6-3 MOS トランジスタや各種抵抗について比較

	T1 / T2	T3
Vt (0.5X10) (mV)	110.5±5.9	227.8±7.4
Vt (1.0X10) (mV)	301±10.1	264±9.9
N1 抵抗 (kΩ/□)	3.81±0.10	1.11±0.06
N2 抵抗 (Ω/□)	103±6.8	105±3.2
Poly-Si 抵抗 (Ω/□)	376±22	372±8.6
M1 つづら (kΩ)	102.9±3.3	80.2±4.0
M2 つづら (kΩ)	145.3±13.1	156.8±15.7

つづら: L/S=0.2/0.2 μm, 100mm

Selete

Tei

以上、マスク修正とそれぞれの外注試作について述べてきた。以下の評価基盤の開発においては、目的に支障をきたさない範囲において、T2、T3 マスクのいずれの FEOL 試作ウェーハをも共存する形で用いた。

## 2. 2. 材料による金属汚染、応力影響の評価方法の開発

本研究開発項目②は、研究開発項目①で得られた TEG マスクを用いて、300mm シリコンウェーハ上に接合素子を作成し、さらに配線形成を行い、製造工程に用いる半導体材料あるいは製造プロセスによる電気特性や接合素子への影響（金属汚染、応力、電荷蓄積など）が把握できる電気特性の測定方法や解析方法、また、接合素子の信頼性の試験方法や測定結果の解析方法を開発することを目標として実施した。具体的には、金属汚染、応力影響、電荷蓄積、配線腐食を評価対象として、評価する TEG を特定し、その測定方法や解析方法を開発することを目的とした。

なお、当初の目的では、FEOL で導入されるイントリンシックゲッタリング処理による汚染耐性やバックグラインド耐性などの評価も行なう予定であった。しかし、外注による FEOL 試作では、その処理を組み込んだウェーハ試作が不可能であったこと、また、バックグラインドも外注で実施しており、組合員からもその保護テープ材料を評価する要求が無かったため、イントリンシックゲッタリング処理に関する評価については実施しなかった。

以下、評価対象として取り上げた金属汚染、応力影響、電荷蓄積、配線腐食の 4 項目の評価方法について記載する。

### 2. 2. 1. 金属汚染の評価方法

金属汚染については、Fe や Cu などの重金属による汚染と、Na や K のアルカリ金属の汚染では、その影響が大きく異なるのでそれぞれについて以下に記載する。

#### a. 重金属汚染

重金属汚染の汚染源として、Cu が半導体集積回路の配線として用いられていることから、まず Cu を取り上げた。Cu が Si 中に拡散されると深い不純物準位を形成することがよく知られており、その結果、p-n 接合の逆方向電流の増大や降伏電圧の低下が発生することが予想される。

FEOL で試作した p-n 接合は、**Ⅲ. 2. 1. 2. FEOL/BEOL 統合 TEG マスクの概要**で述べたように、n+層の周辺部が素子分離絶縁膜（この場合 LOCOS 膜）に接している L 型と接していない N1 型の 2 種類があり、それぞれ n+層の面積の異なる水準が用意されている。また、**Ⅲ. 2. 1. 4. 各種 TEG 評価結果**でも述べたが、最も大きい面積で、N1 型と L 型の p-n 接合の逆方向電流を 5 回繰り返し測定した結果を **図 2. 2. 1-1** に示す。図から、この接合の降伏電流が 1E-3A まで流れるように制限した場合、N1 型では逆方向電流が変化しないのに対して、L 型では逆方向電流が測定回数と共に増加することがわかる。これは、L 型では p-n 接合の周辺部で電界強度が高く、そこで発生する大量の電子が強電界で加速されて LOCOS 膜に捕獲されることにより電界がさらに増大するためと推測される。ただ、L 型で評価する場合は、**図 2. 2. 1-2** に示すように接合に流れる降伏電流を 1E-6 A 程度に抑えることにより、繰り返し測定による逆方向電流の増加を抑えることができる。しかし、汚染に起因する逆方向電流の増大を正確に測定するため、以下では特に断らない限り、N1 型の p-n 接合を用いた。

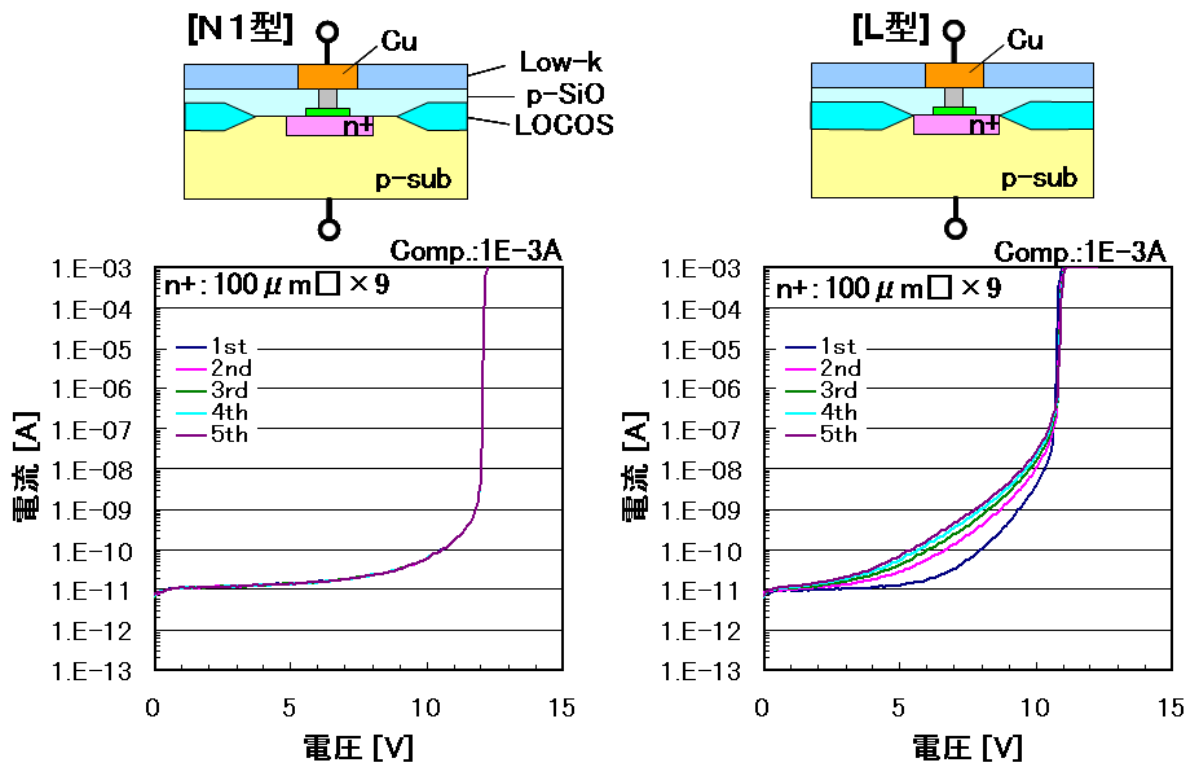


図 2. 2. 1-1 p-n 接合の構造と逆方向電流-電圧特性  
電流の制限値：1E-3A

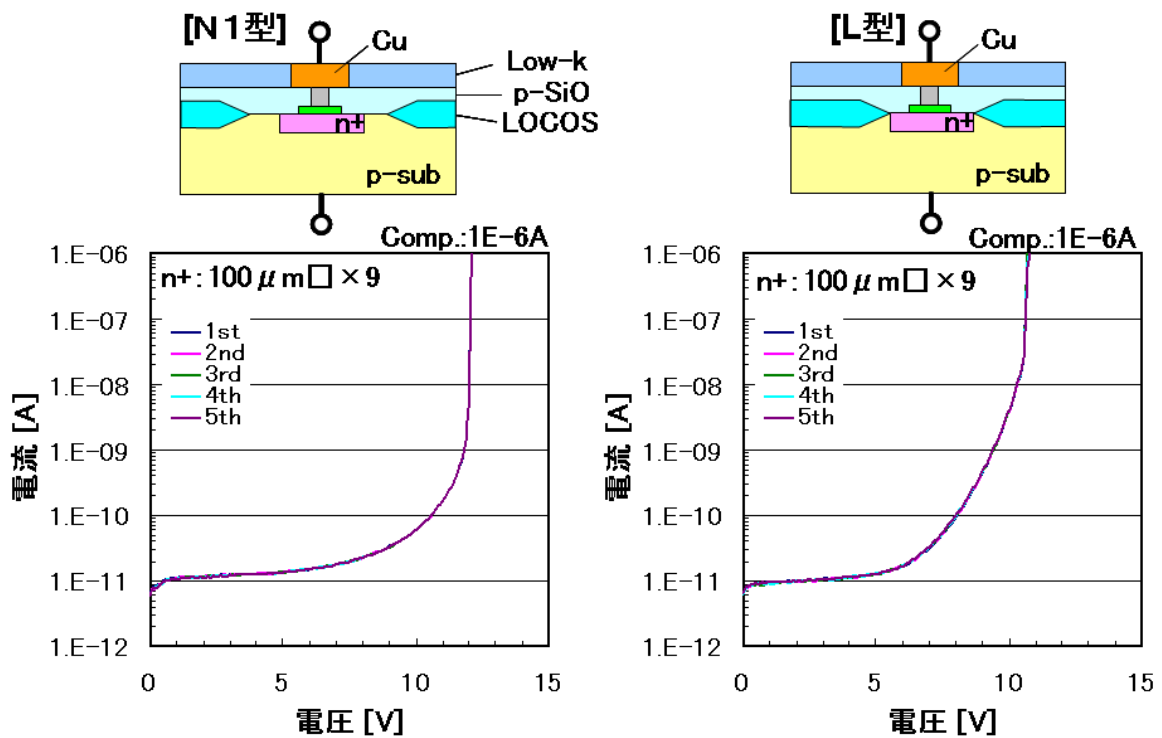


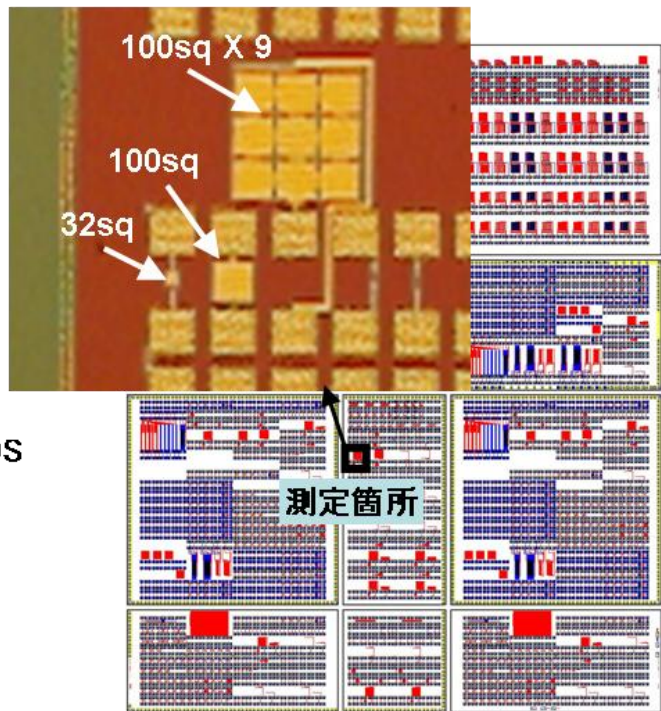
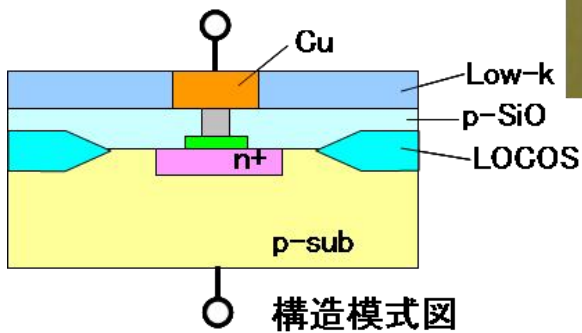
図 2. 2. 1-2 p-n 接合の構造と逆方向電流-電圧特性  
電流の制限値：1E-6A



重金属汚染により、p-n 接合がどのような影響を受けるかを測定するための試料の詳細を図 2. 2. 1-3 に示す。測定試料は、FEOL 素子の上に Cu/Low-k 2 層配線を形成し、バックグラインドにより Si 厚さを 100 $\mu\text{m}$  まで薄膜化し、ダイシングにより切り分けた 21.5 mm  $\times$  26.9 mm のチップである。

**試料**

- FEOL: CAST-T2
- Low-k: p-SiOC
- Cu/2層配線 (PV完)
- 裏面研削 (Si基板厚: 100  $\mu\text{m}$ )
- ダイシング (チップ毎に分割)



**測定素子の寸法**

n+ : 32X32  $\mu\text{m}^2$ , 100X100  $\mu\text{m}^2$ , 100X100  $\mu\text{m}^2$  X9

**測定チップ**

図 2. 2. 1-3 測定試料の準備

次に実験の方法であるが、詳細を図 2. 2. 1-4 に示す。チップに汚染処理を施した後、アニールをして室温にて p-n 接合の逆方向電流を測定した。汚染処理は、チップの裏面から Cu を種々の方法で強制汚染させた。また、Cu の他に Au、Ti、Al の汚染も試みた。

## (1) 実験方法

汚染処理 → アニール → p-n接合の逆方向電流—電圧測定

## (2) 汚染処理

- ・ Cu(NO<sub>3</sub>)<sub>2</sub>/HF [1:100]=1:1, 0.3ml 滴下, ホットプレート乾燥(200°C)
- ・ CuSO<sub>4</sub>[18%]:0.5ml 滴下, ホットプレート乾燥(200°C)
- ・ 裏面 Ar スパッタ:10sec, Cu スパッタ:60nm
- ・ 裏面 HF(1:100) 処理(綿棒使用, 自然乾燥), Cu(再配線用 Cu メッキ膜付基板)
- ・ 裏面 HF(1:100) 処理(綿棒使用, 自然乾燥), Au(ワイヤボンディング用 Au 線)
- ・ 裏面 Ar スパッタ:10sec, Ti スパッタ:70nm
- ・ 裏面 Ar スパッタ:10sec, Al スパッタ:100nm

## (3) 使用装置

- ・ アニール
  - a. 測定用エージング炉(光洋サーモ社製:CLH-21CD)  
(N<sub>2</sub>置換0.5hr, 昇温2hr, 温度400°C:1, 24, 30, 60hr)
  - b. バリアCVD装置(ASM社製:Dragon2300),(H<sub>2</sub>アニール, 400°C, 10min)
- ・ 電気特性測定:プローバ D(マニュアルプローバ)

図 2. 2. 1-4 実験方法、汚染処理方法、使用装置

種々の方法で Cu 汚染させたときの、逆方向電流と印加電圧の室温での測定結果を図 2. 2. 1-5 に示す。強制汚染がない場合、N<sub>2</sub> アニールをしても初期からの電流増加は見られない。CuSO<sub>4</sub> を用いたときは電流増加が他の方法より少し少ないが、他の方法ではほぼ同じ電流増加になる。このことは、CuSO<sub>4</sub> では p-n 接合面での Cu 汚染が少なく、他の方法では汚染させる Cu の量にかかわらず、400 °C でほぼ一定量の Cu が p-n 接合面まで拡散していると考えられる。ここで降伏電圧 (12V) 直前の 11.5V での電流で汚染の程度を見積もることになると、汚染前が 1E-10A であるのに対して、汚染後は 3E-9A に 1 桁以上増加する。

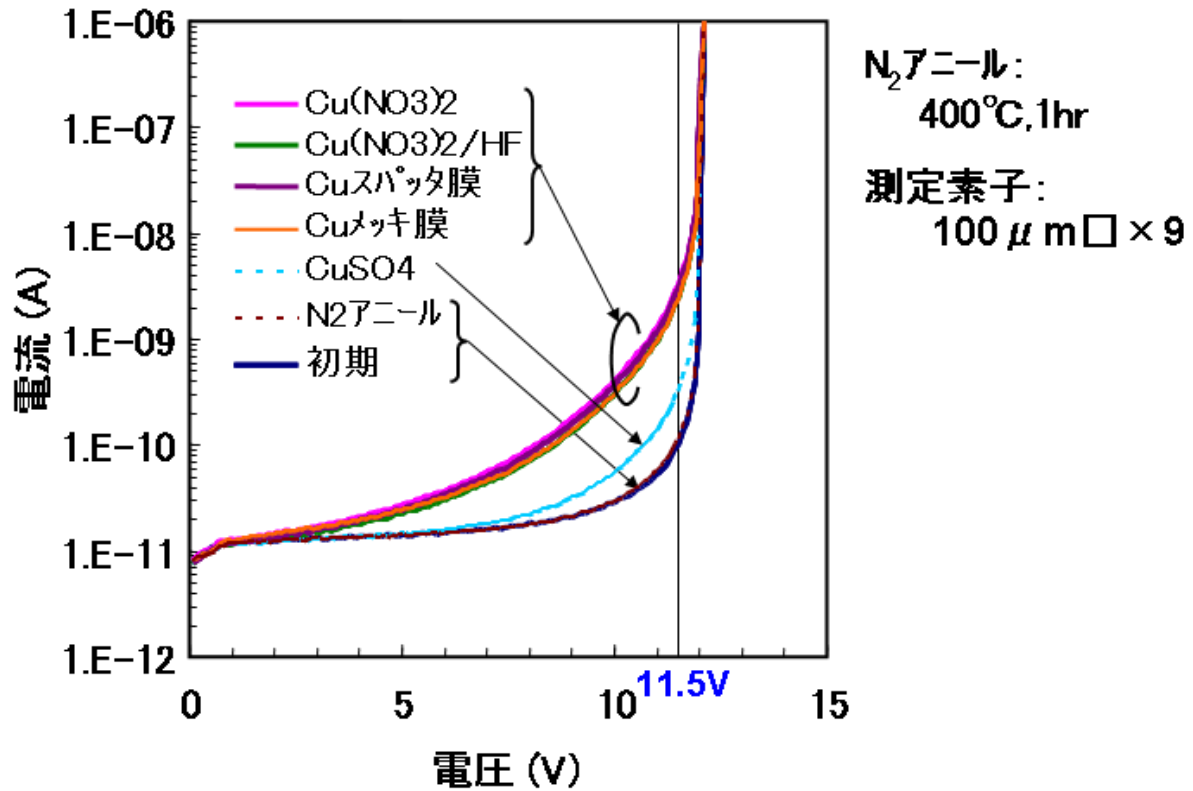


図 2. 2. 1-5 種々の Cu 汚染後の逆方向電流－電圧特性

次に、 $\text{Cu}(\text{NO}_3)_2$  を用いて短時間、および還元性の  $\text{H}_2$  雰囲気での拡散を行なってみた結果を図 2. 2. 1-6 に示す。10 分に短時間化しても、 $\text{H}_2$  雰囲気でも逆方向電流はほとんど変わらず、p-n 接合面での Cu 汚染は同じであると考えられる。次に、逆に長時間のアニールをしたとき、およびアニール温度を変えたときの、印加電圧 11.5V での電流値を図 2. 2. 1-7 に示す。アニール時間を長時間化してもほとんど電流値の変化は見られない。一方アニール温度を変えると、高温ほど電流値が増える結果になった。このことは、各温度での Si への Cu の固溶度が Cu の汚染量を律速していると考えたと説明がつく。また、面積の異なる p-n 接合で、汚染後の逆方向電流を調べると、図 2. 2. 1-8 のように、ほぼ面積に比例しており、接合面に一様に Cu が拡散していると考えられる。

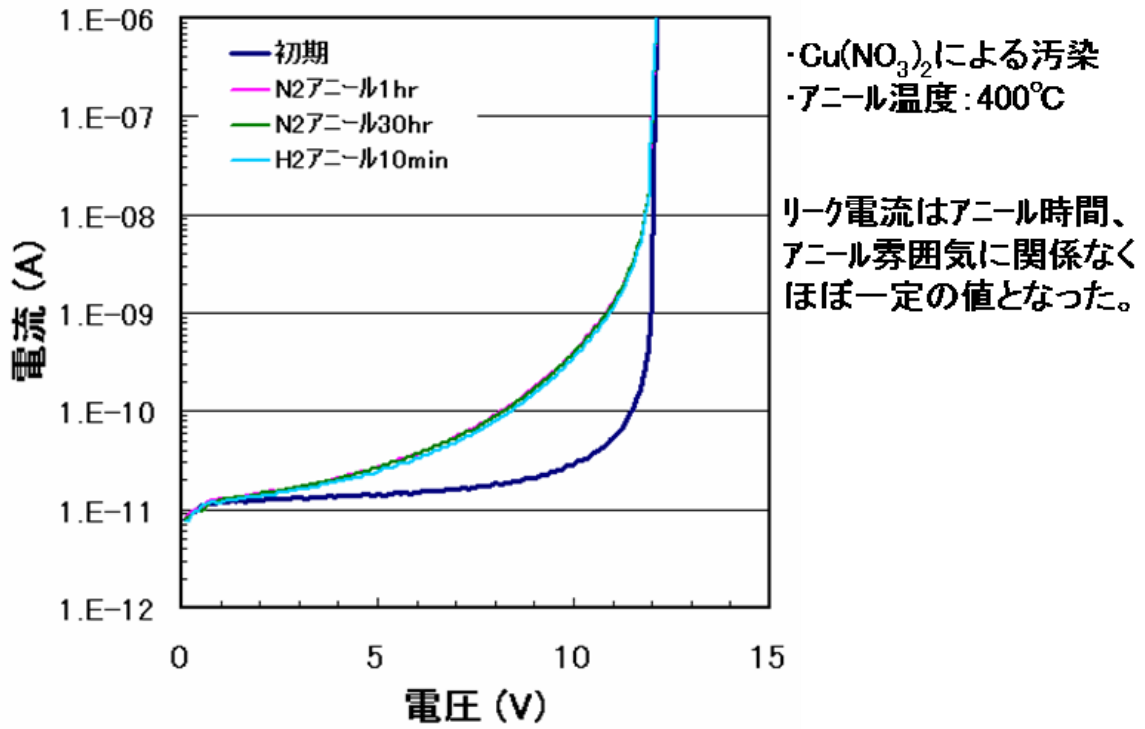


図 2. 2. 1-6 Cu 汚染の熱処理時間と雰囲気への依存性

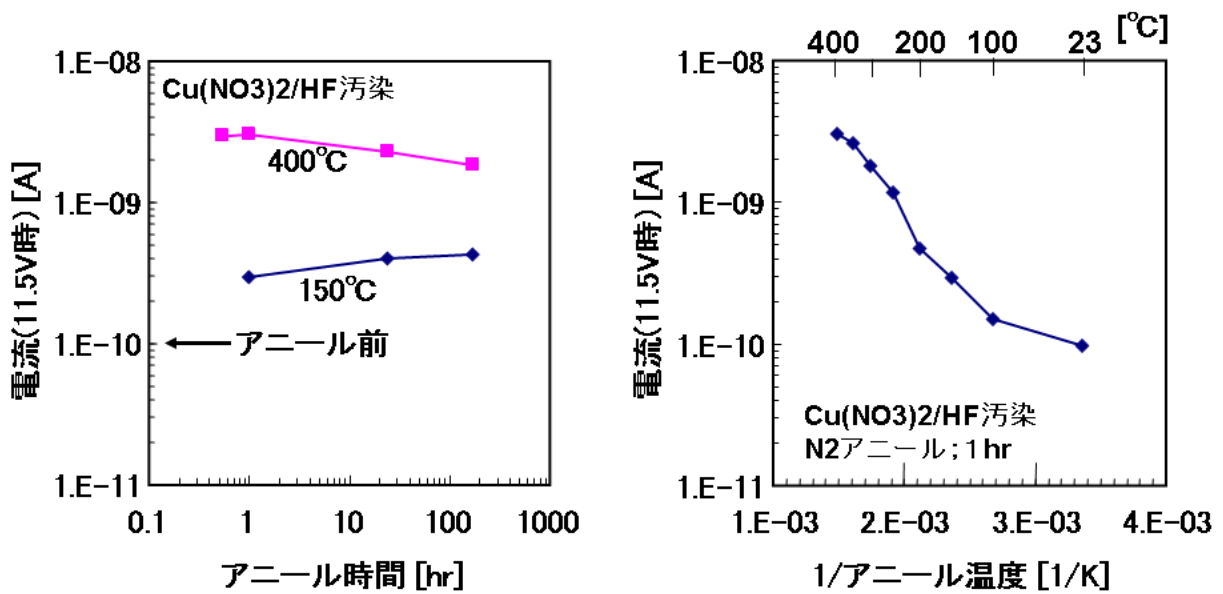


図 2. 2. 1-7 Cu 汚染の N<sub>2</sub> アニール時間と温度への依存性

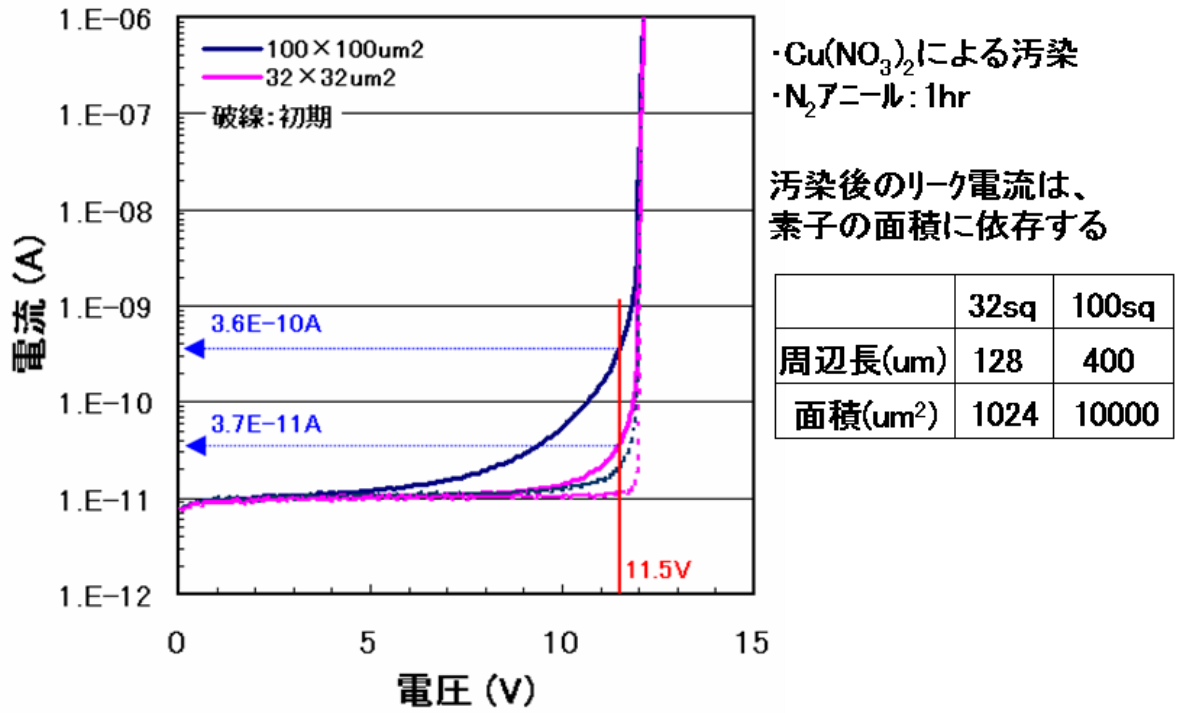


図 2. 2. 1-8 Cu 汚染による逆方向電流の p-n 接合パターン依存性

次に、Auで汚染させたときの逆方向電流-印加電圧の測定結果を図2.2.1-9にCu汚染と比較して示す。Cuに比べ、電流増加量は少し少なめであった。さらに、Ti、Alでの汚染の影響を調べた。結果を図2.2.1-10に示す。400℃、200時間の長時間のアニールをしても、p-n接合への汚染の影響は見られなかった。

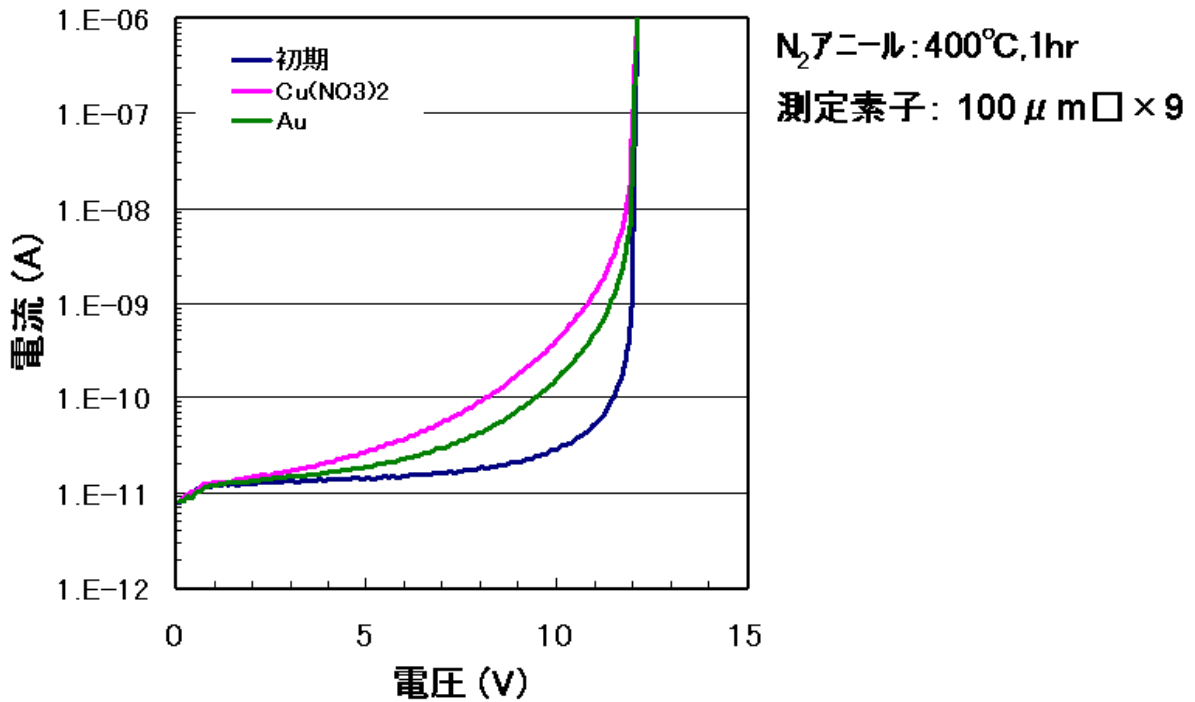
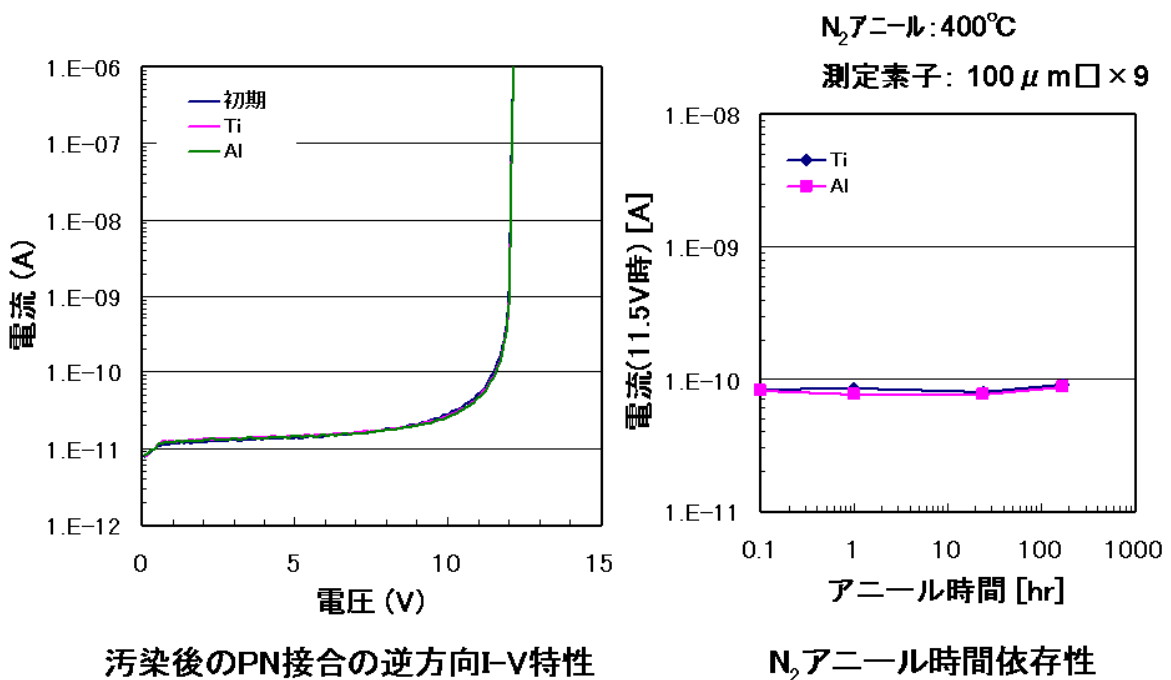


図 2.2.1-9 Auによる汚染の影響評価結果



汚染後のPN接合の逆方向I-V特性

N<sub>2</sub>アニール時間依存性

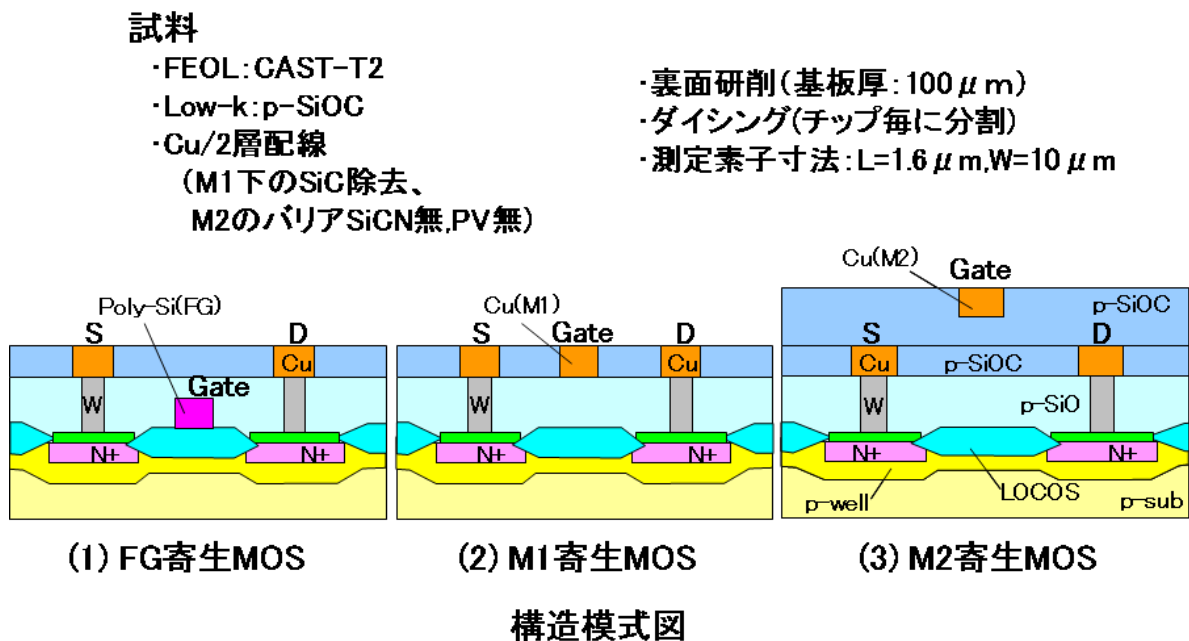
図 2.2.1-10 Ti、Alによる汚染の影響評価結果

以上の結果から、BEOL プロセス以降の材料からの重金属汚染として、最も着目すべき汚染は Cu であり、汚染の影響は p-n 接合の逆方向電流-印加電圧特性により評価できることを明らかにした。ただ、その影響としては、逆方向電流値で 2 桁以下の増大を示すのみであり、降伏電圧の低下までは引き起こさない。また、MOS 容量素子やトランジスタの電気特性も測定したが、それらへの影響は見られなかった。このように影響が少ないのは、BEOL プロセス以降での熱工程は高々 400°C 程度であり、FEOL での工程のように高温の処理を含まないことによると考えられる。

なお、Cu の強制汚染を種々試みたが、最も簡便にかつ再現性良く行えるのは、Cu(NO<sub>3</sub>)<sub>2</sub> と HF 水溶液の混合液塗布によるものであったことを付け加えておきたい。

### b. アルカリ金属汚染

Na や K のアルカリ金属は、Si 中の拡散係数が Cu に比べ 3~4 桁小さい。一方 Si 酸化膜中は、電界が印加されると室温でも容易に移動することが知られている。そこで素子を形成した表面側から希釈した薬液を滴下することにより、強制的に汚染することを試みた。測定試料および測定に用いた寄生 MOS の構造模式図を **図 2. 2. 1-1** に示す。なお、ここで Cu 2 層配線を形成する工程ではアルカリ金属の拡散バリアとなると考えられる p-SiN 膜を使用しないで、p-SiO、p-SiOC のみを用いた。また、M1 と M2 の寄生 MOS の断面の STEM 像を **図 2. 2. 1-2** に示す。



**図 2. 2. 1-1 1** 測定試料と測定 TEG の断面模式図

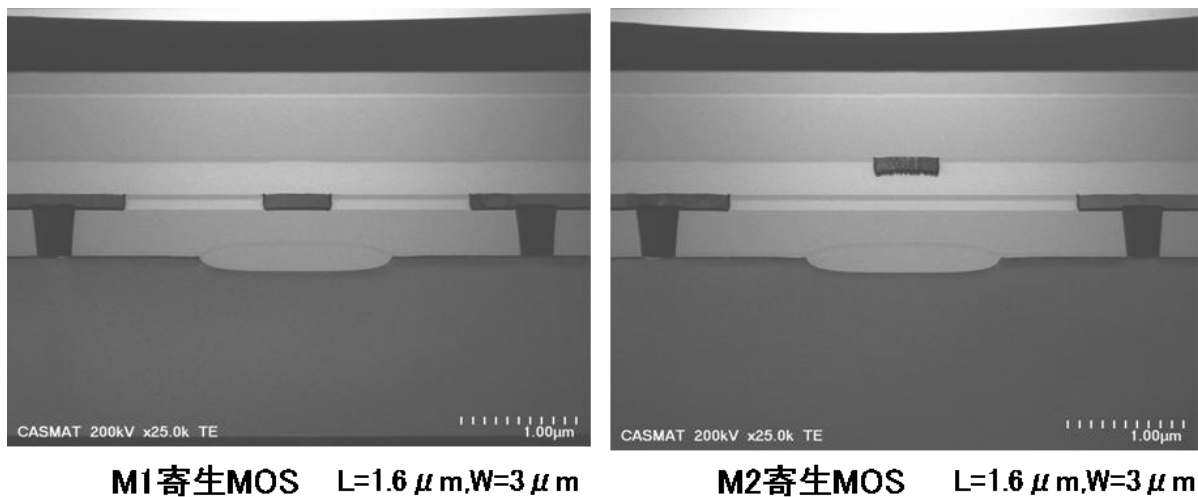


図 2. 2. 1-12 寄生 MOS 断面の STEM 像

次に、実験方法、汚染処理、測定に使用した装置について、まとめて図 2. 2. 1-13 に示す。また、Si 基板上に種々の濃度の溶液を 0.3 ml 滴下して汚染量を全反射蛍光 X 線分析により測定した結果を図 2. 2. 1-14 に示す。NaOH、KOH を 10 万倍、100 万倍、1000 万倍に希釈した溶液を滴下したときに、いずれも汚染量は それぞれ  $1E14$  個/cm<sup>2</sup>、 $1E13$  個/cm<sup>2</sup>、 $1E12$  個/cm<sup>2</sup> となる。



(1) 実験方法

- a. 汚染処理
- b. アニール処理
- c. 寄生MOS(FG,M1,M2(W=10um,L=1.6um))のVg-Id特性の測定  
Drain=0.1V,Source=0V,Sub.=0V  
Gate:FG=0~62.5V,M1=0~75V,M2=0~125V
- d. ゲートに+バイアスをおある時間印加した後Vg-Id特性の測定
- e. ゲートに-バイアスをおある時間印加した後Vg-Id特性の測定

(2) 汚染処理

- ・ NaOH[25%]/H2O, 0.05ml滴下,  
10万倍,100万倍,1000万倍希釈,ホットプレート乾燥(100°C)
- ・ KOH[48%]/H2O, 0.05ml滴下,  
10万倍,100万倍,1000万倍希釈,ホットプレート乾燥(100°C)

(3) 使用装置

- ・ 電気特性測定:プローバD(マニュアルプローバ)
- ・ アニール:測定用エージング炉  
(N<sub>2</sub>置換0.5hr,昇温2hr,温度400°C:1hr)
- ・ 汚染測定:全反射蛍光X線装置

図 2. 2. 1-13 実験方法、汚染処理および使用装置

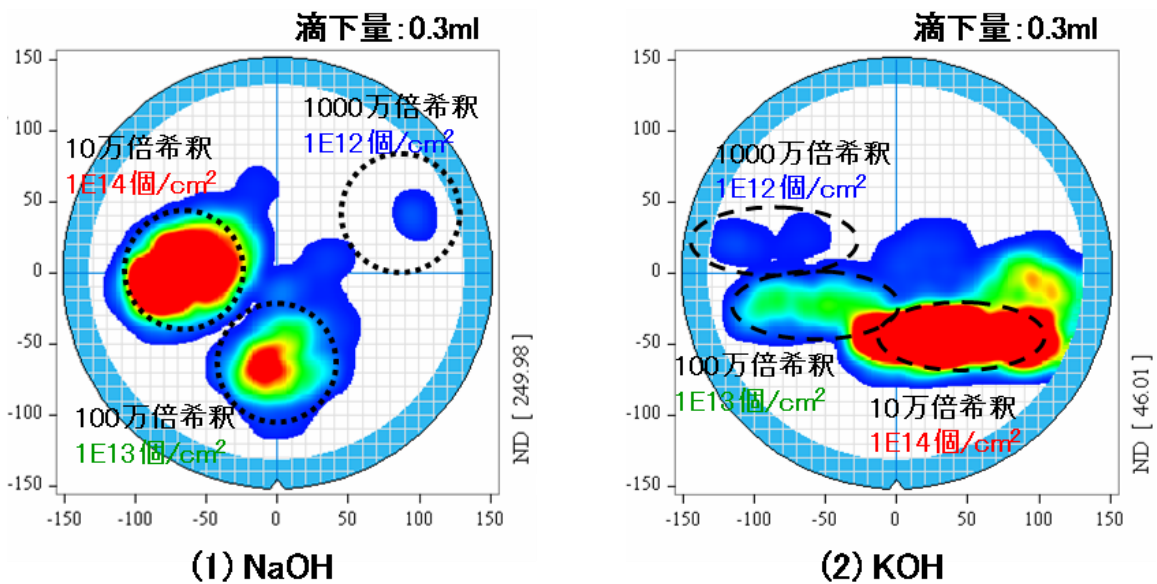


図 2. 2. 1-14 希釈液滴下による汚染量測定結果

次に、汚染の影響を評価するために作成した試料の詳細を図 2. 2. 1-15 に示す。1 チップ上に同一の寄生 MOS が 4 箇所にある。それぞれに同一希釈の溶液を 0.05 ml ずつ滴下した後、400℃で 1 時間アニールした。そのチップでまず、FG、M1、M2 のそれぞれの寄生 MOS のドレイン電流-ゲート電圧特性を測定し、ドレイン電流が  $1E-8A$  のときのゲート電圧をしきい電圧として求めた。その後、ゲート絶縁膜への電界強度が  $2.5 MV/cm$  となる + 電圧をしきい電圧の変動がほぼ  $1V$  以下になるまで印加してしきい電圧を求めた。その後、逆にゲート電極に - 電圧をしきい電圧変動がほぼ  $1V$  以下になるまで印加してしきい電圧を求めた。このようにして Na 汚染量の異なるチップについて、それぞれの寄生 MOS のドレイン電流-ゲート電圧特性を測定した例を図 2. 2. 1-16 から -21 に示す。

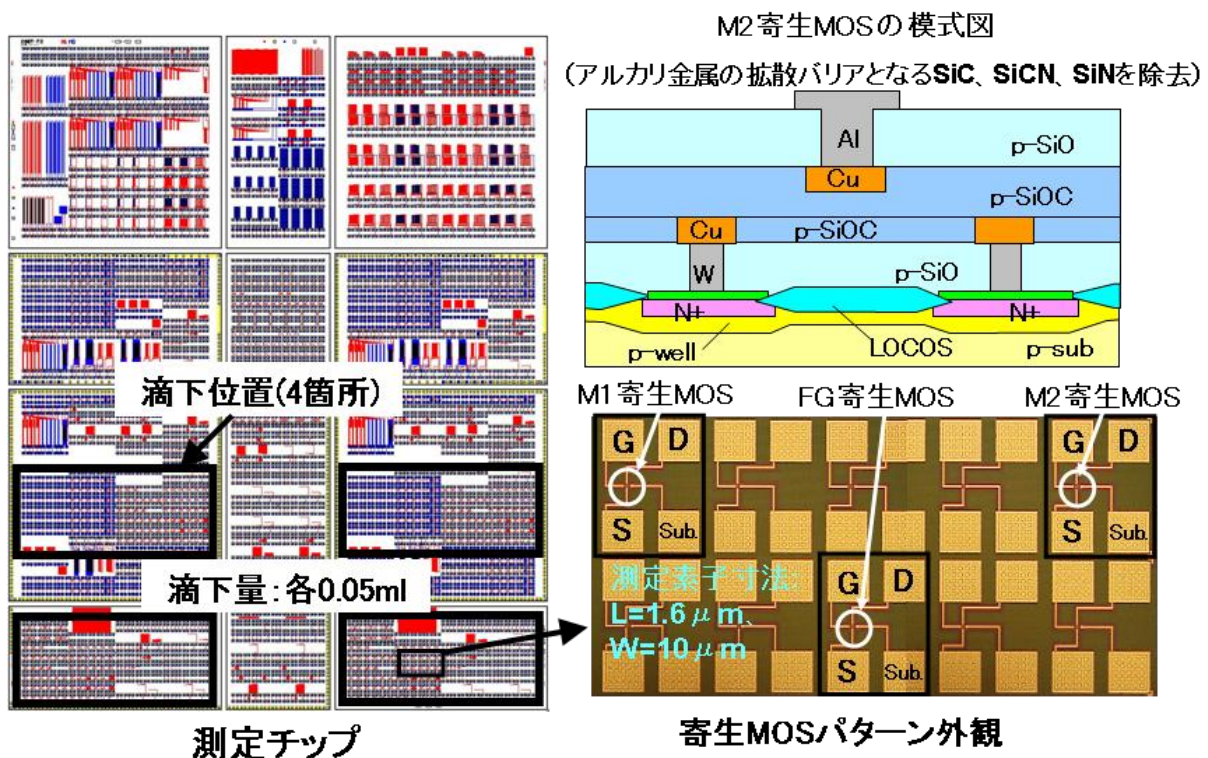
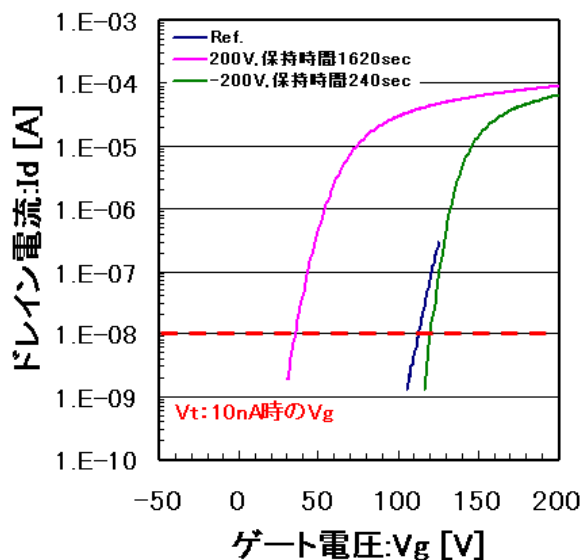
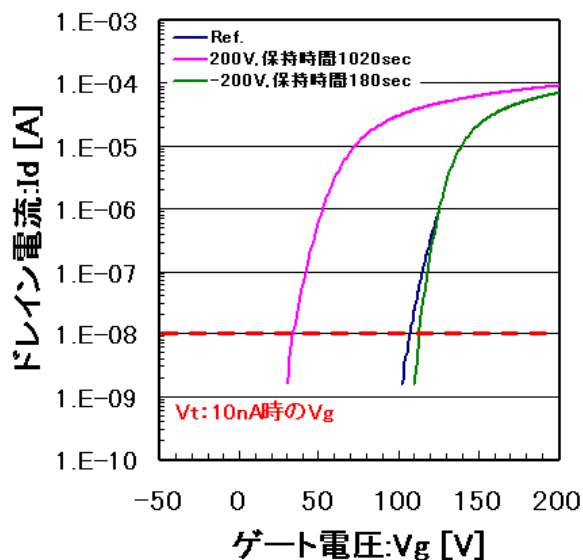


図 2. 2. 1-15 Na および K 汚染試料の作成と寄生 MOS の外観パターン

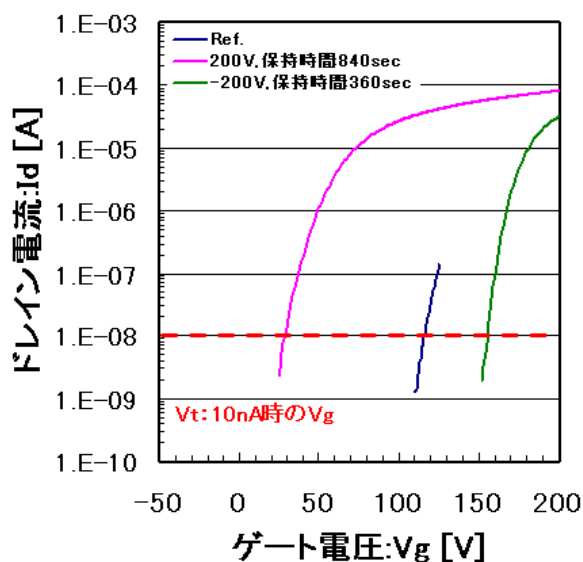


汚染無しのM2寄生MOSのVg-Id特性

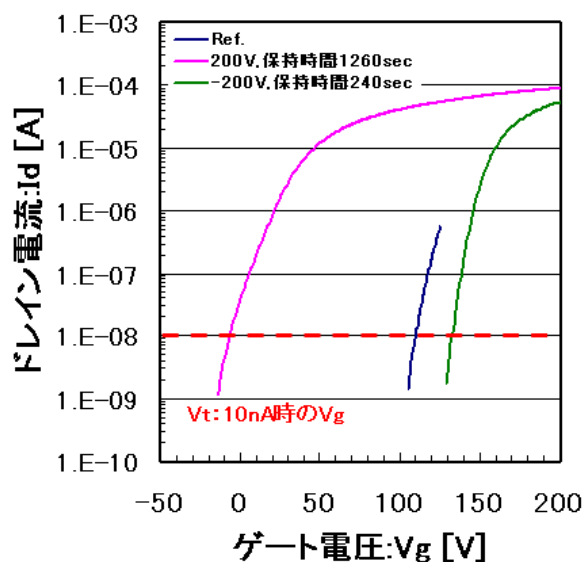


1000万倍希釈で汚染した時のM2寄生MOSのVg-Id特性

図 2. 2. 1-16 ドレイン電流-ゲート電圧特性で見られる Na 汚染の M2 寄生 MOS への影響(1)

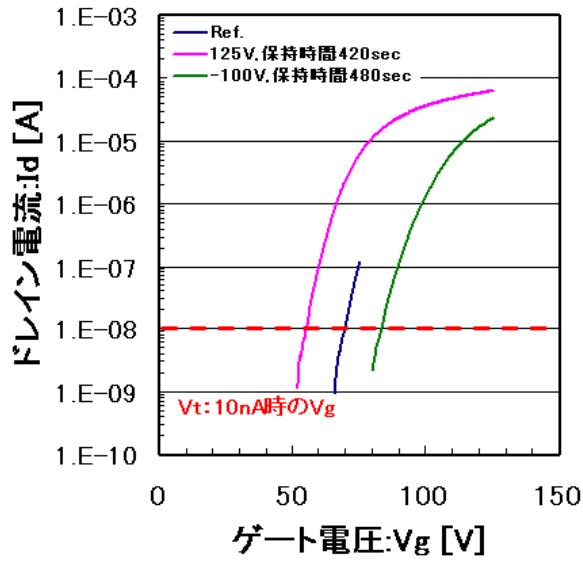


100万倍希釈で汚染した時のM2寄生MOSのVg-Id特性

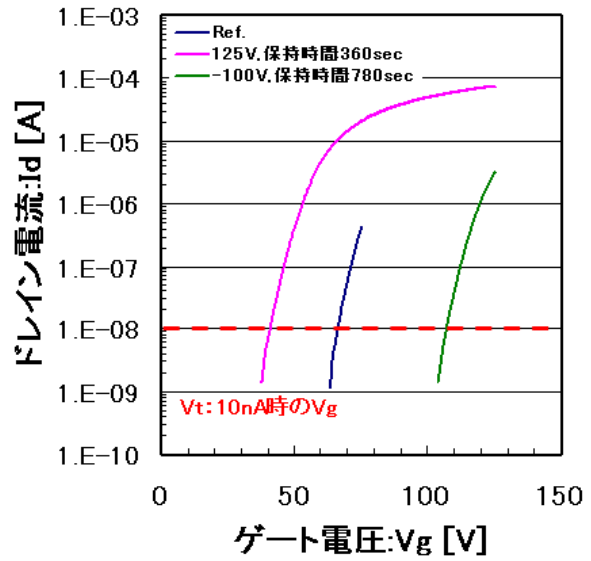


10万倍希釈で汚染した時のM2寄生MOSのVg-Id特性

図 2. 2. 1-17 ドレイン電流-ゲート電圧特性で見られる Na 汚染の M2 寄生 MOS への影響(2)

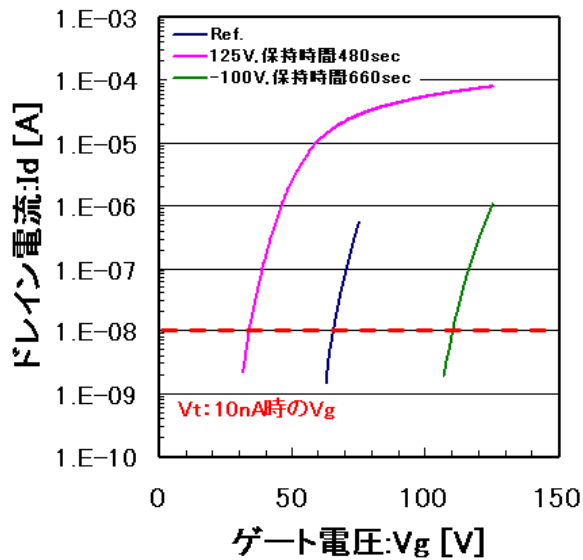


汚染無しのM1寄生MOSのV<sub>g</sub>-I<sub>d</sub>特性

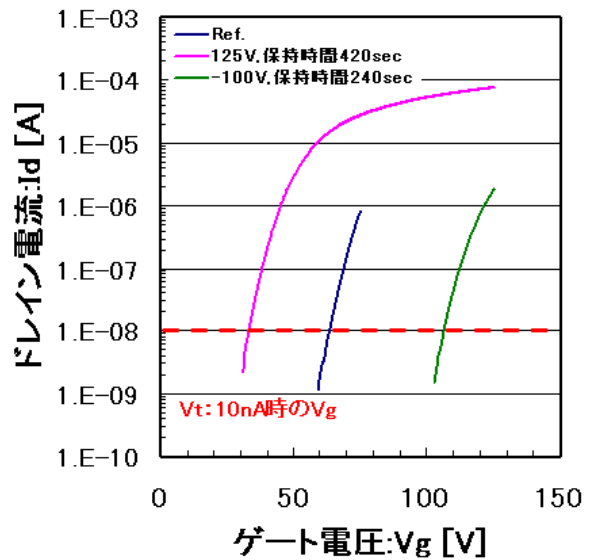


1000万倍希釈で汚染した時のM1寄生MOSのV<sub>g</sub>-I<sub>d</sub>特性

図 2. 2. 1-18 ドレイン電流-ゲート電圧特性で見られる Na 汚染の M1 寄生 MOS への影響(1)

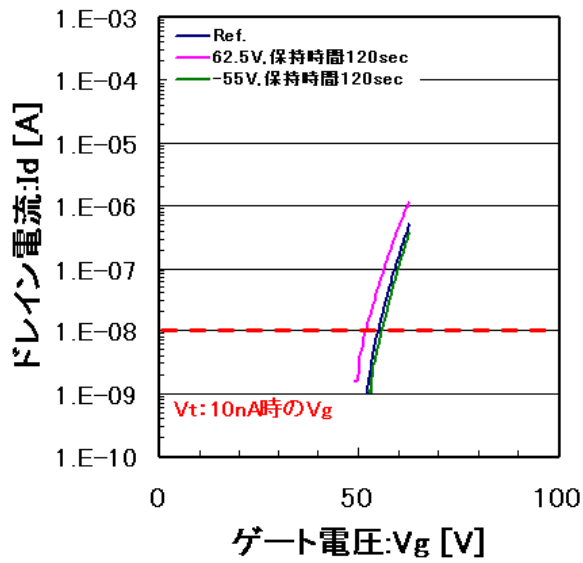


100万倍希釈で汚染した時のM1寄生MOSのV<sub>g</sub>-I<sub>d</sub>特性

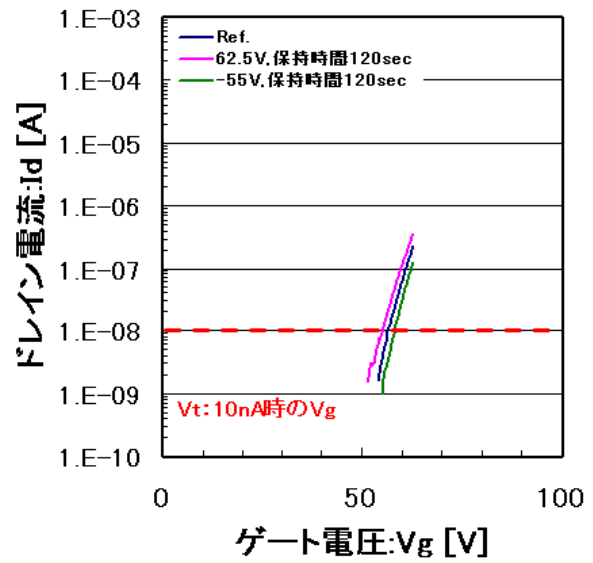


10万倍希釈で汚染した時のM1寄生MOSのV<sub>g</sub>-I<sub>d</sub>特性

図 2. 2. 1-19 ドレイン電流-ゲート電圧特性で見られる Na 汚染の M1 寄生 MOS への影響(2)

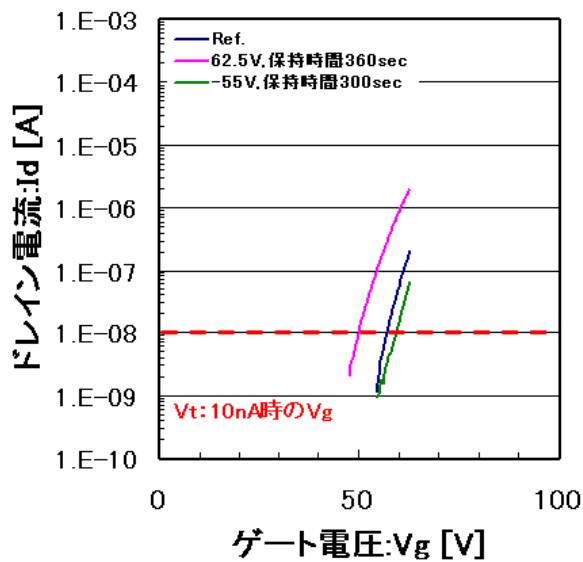


汚染無しのMI寄生MOSの $V_g$ - $I_d$ 特性

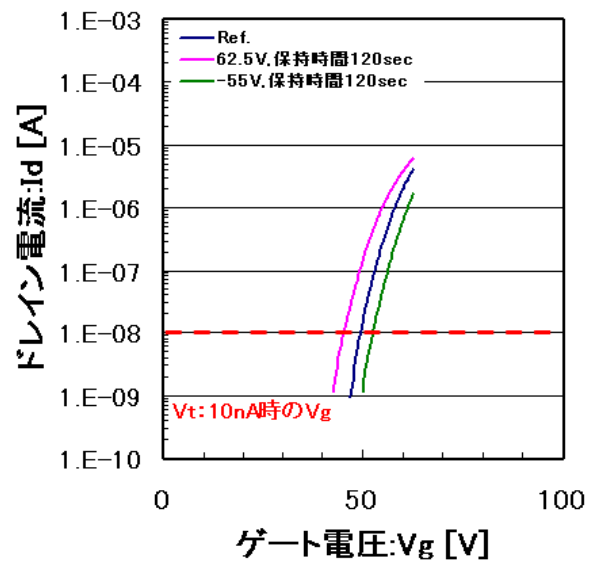


1000万倍希釈で汚染した時のFG寄生MOSの $V_g$ - $I_d$ 特性

図 2. 2. 1-20 ドレイン電流-ゲート電圧特性で見られる Na 汚染の FG 寄生 MOS への影響(1)



100万倍希釈で汚染した時のFG寄生MOSの $V_g$ - $I_d$ 特性



10万倍希釈で汚染した時のFG寄生MOSの $V_g$ - $I_d$ 特性

図 2. 2. 1-21 ドレイン電流-ゲート電圧特性で見られる Na 汚染の FG 寄生 MOS への影響(2)

以上のようにして測定したドレイン電流－ゲート電圧特性から求められるしきい電圧について、初期の値と+電圧を印加したときの値の差を  $V_t$  変化量とした。この  $V_t$  変化量の汚染量依存性を図 2. 2. 1-22 に示す。M2、M1、FG の各寄生 MOS について、チップ内 4 点で測定した  $V_t$  変化量の中央値と最大値、最小値を汚染量に対して図示した。なお、各希釈溶液を用いたときの汚染量としては、図 2. 2. 1-14 の結果を用いて示した。

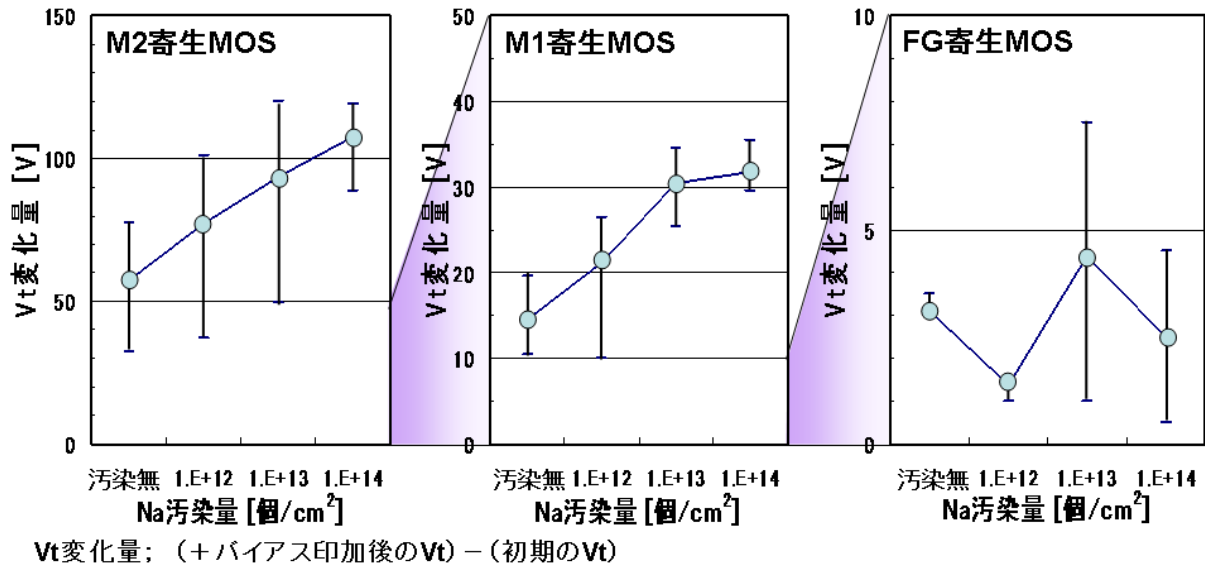


図 2. 2. 1-22 各寄生 MOS のしきい電圧  $V_t$  変化量の Na 汚染量依存性

ここで汚染無はリファレンスとして、強制汚染をしていないチップでの電圧変化量である。リファレンスにおいても  $V_t$  変化量がある値を持つのは、寄生 MOS のゲート絶縁膜となっている  $\text{SiO}_2$  や p-SiO、p-SiOC などの強電界による分極、あるいは強制汚染前に混入したアルカリ金属などの汚染と考えられる。しかし、今回試作している FEOL、BEOL の製造ラインでは、例えば M2 や M1 寄生 MOS の  $V_t$  変化量から算定できる  $10\text{E}12$  個/cm<sup>2</sup> のオーダーでの汚染があるとは考えにくいので、主には分極に起因する  $V_t$  変化量と考えられる。従って、強制汚染による寄生 MOS への汚染量は、各汚染に対する  $V_t$  変化量とリファレンスの  $V_t$  変化量の差に対応して計算される Na 汚染濃度となる。

M2 寄生 MOS、M1 寄生 MOS では、各汚染量での  $V_t$  変化量のばらつきは大きいものの、中央値で見ると汚染量が増大するに従ってリファレンスに対して  $V_t$  変化量も大きくなっており、Na 汚染の影響があることがわかる。一方、FG 寄生 MOS では、 $V_t$  変化量そのものの値も小さく、リファレンスとの差もほとんど見られないことから、Na 汚染の影響はほとんど無いと判断される。



この結果から、例えば最も高濃度の  $1E14$  個/ $cm^2$  の Na 汚染がある場合、M2 寄生 MOS では、しきい電圧  $V_t$  の変化量の中央値から、ゲート絶縁膜の厚さ 800nm、平均的な比誘電率を 4 として、電氣的に活性な汚染量（+電荷として作用する量） $Q$  は、

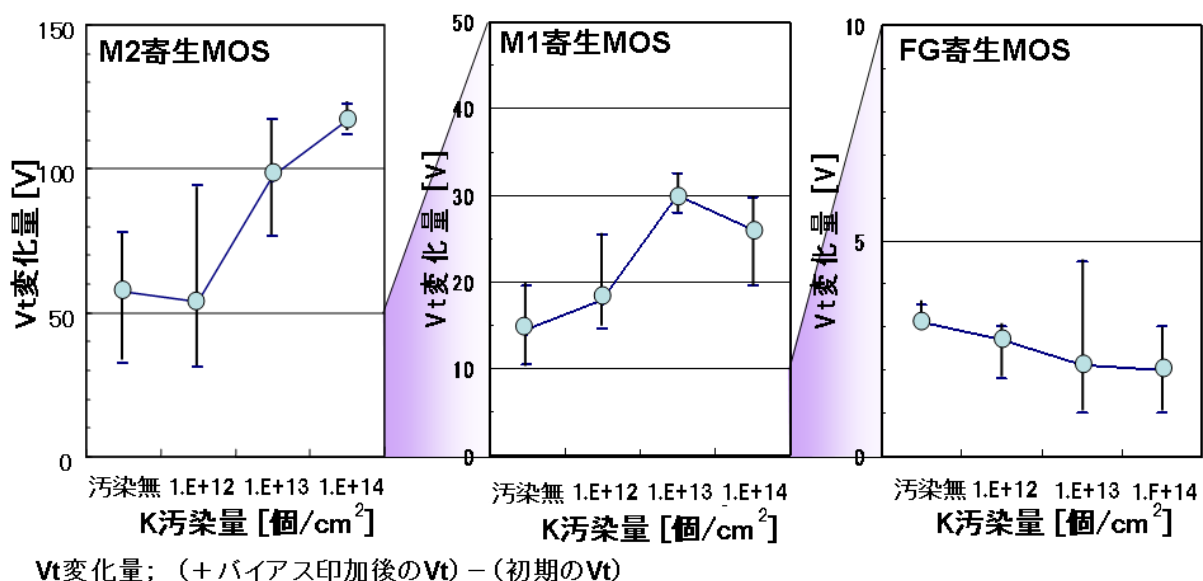
$$Q = 2.8E10 \times (V_t \text{ 変化量@Na 汚染} - V_t \text{ 変化量@リファレンス})$$

で計算され、 $V_t$  変化量@Na汚染 = 110 V、 $V_t$  変化量@Na汚染 = 60 V を代入すると、 $Q = 1.4E12$  個/ $cm^2$ となる。また、M1 寄生 MOS では、ゲート絶縁膜の厚さ 500nm、平均的な比誘電率を 4 として、

$$Q = 4.4E10 \times (V_t \text{ 変化量@Na 汚染} - V_t \text{ 変化量@リファレンス})$$

で計算される。 $V_t$  変化量@Na汚染 = 42V、 $V_t$  変化量@Na汚染 = 15 Vを代入すると、 $Q = 1.2E12$  個/ $cm^2$ となり、M2 寄生 MOS とほぼ同じ量である。

次に KOH で同様に強制汚染させた時、各寄生 MOS での電圧変化量と汚染量の関係を **図 2. 2. 1-23** に示す。ここでも M2 寄生 MOS、M1 寄生 MOS では、各汚染量での電圧変化量のばらつきは大きいものの、中央値で見ると汚染量が増大するに従ってリファレンスに対して電圧変化量も大きくなっており、K 汚染の影響があることがわかる。また、各汚染濃度で電圧変化量に多少の差はあるものの、Na の場合と K の場合での違いはほとんど無いことがわかった。一方、FG 寄生 MOS では、電圧変化量そのものの値も小さく、中央値ではリファレンスより若干下がっていることから、K 汚染の影響はほとんど無いと判断される。



**図 2. 2. 1-23 各寄生 MOS のしきい電圧  $V_t$  変化量の K 汚染量依存性**

なお、アルカリ金属汚染の場合に最も汚染量の大きい場合であっても、p-n 接合の逆方向電流－電圧特性、能動トランジスタと同じ絶縁膜の MOS 容量素子の容量－電圧特性、その絶縁膜耐圧、能動トランジスタのしきい電圧などにリファレンスとの差は見られなかった。

以上述べてきたことから、アルカリ金属汚染は、配線構造に p-SiN などの拡散バリアとなる絶縁膜を含まない構造で、M1 や M2 寄生 MOS のしきい電圧を測定することにより評価できることが明らかになった。特にゲートとなる電極に一定の+電圧を印加した前後でのしきい電圧の差を測定することにより、汚染により電氣的に活性となっている汚染量を見積もることが出来た。

BEOL 以降の評価材料でアルカリ金属が導入される可能性が考えられるのは、Low-k 材料、CMP におけるスラリ、パッド、洗浄液、バッファークコート材料などがある。これらの材料およびそれを用いたプロセスによる汚染の評価には、これまで述べてきた方法を適用することが出来る。

なお、今回の強制汚染は Cu/Low-k 2 層配線後に、 $1E12$  個/ $\text{cm}^2$  の汚染を最小値として評価しており、この場合には汚染影響が明らかに観測されている。内挿すると  $1E11$  個/ $\text{cm}^2$  になれば汚染の影響はほとんど見られなくなると考えられる。したがって、例えば配線形成後にその上に塗布されるバッファークコート材料では、アルカリ金属の汚染を  $1E11$  個/ $\text{cm}^2$  以下にする必要があると示唆できる。



## 2. 2. 2 応力影響の評価方法

2000年以降には、Si表面に引張応力が印加されたnチャネルMOSトランジスタは、そうでないものに比べて電流駆動能力が向上することが知られるようになり、現在では半導体集積回路にも適用されるようになってきた。いわゆるストレインド・シリコンと呼ばれる技術である。この場合Siに印加される応力は、GPaオーダーである。しかし、BEOL以降の材料では、このような大きな応力を及ぼす材料は極めて少なく、また、トランジスタの電流駆動能力としてチャネルコンダクタンス $gm$ を測定する必要があるが、 $gm$ には種々の構造パラメータなども影響する。そこで、10から100MPaオーダーの印加応力でも変化が検知でき、また、FEOLプロセスで形成でき、簡便に測定できる抵抗素子での評価を行った。

実験方法として、評価サンプル、抵抗素子寸法、チップの反らせ方、反り量の測定方法、使用装置をまとめて図2.2.2-1に示す。このような反りによりチップ上に形成された抵抗素子に1軸性の応力を印加することができる。反りの方向としては、抵抗素子に電流の流れる方向に応力が印加されるようにした。測定チップと測定パターンを外観を図2.2.2-2に示す。チップの上下に電流が流れるので、上下がビニールシートに挟まれるようにした。レーザー顕微鏡により測定したそり量からチップ上に形成された抵抗素子にかかる応力の求め方については図2.2.2-3に示す。

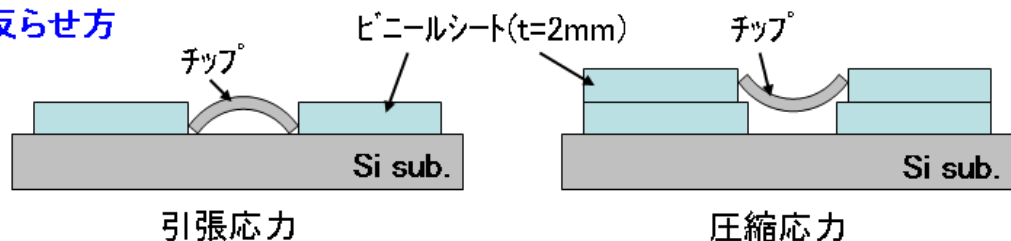
### 評価サンプル

- ・FEOL: CAST-T2
- ・Low-k: p-SiOC
- ・Cu/2層配線(PV完)
- ・裏面研削(基板厚: 100 $\mu$ m)
- ・ダイシング(チップ毎に分割)

### 抵抗素子寸法

- ・N-抵抗:  $W=1\mu\text{m}, L=5, 10, 20, 30\mu\text{m}$
- ・N+抵抗:  $W=1\mu\text{m}, L=5, 10, 20$
- ・Poly-Si抵抗:  $W=1\mu\text{m}, L=5, 10, 20\mu\text{m}$

### チップの反らせ方



### チップ反り量の測定

- ・レーザー顕微鏡で端部と中央の焦点距離の高さを測定し、反り量を求める

### 使用装置

- ・電気特性測定: プロローバD(マニュアルプロローバ)
- ・レーザー顕微鏡

図 2. 2. 2-1 実験方法

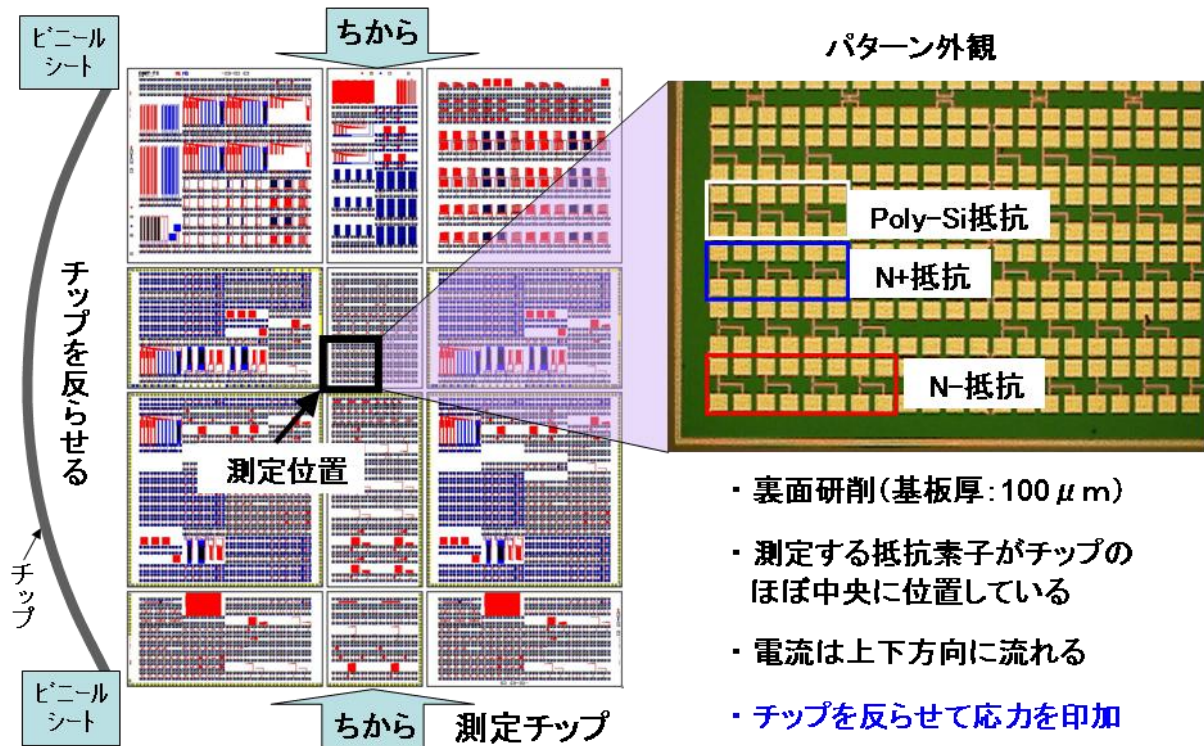
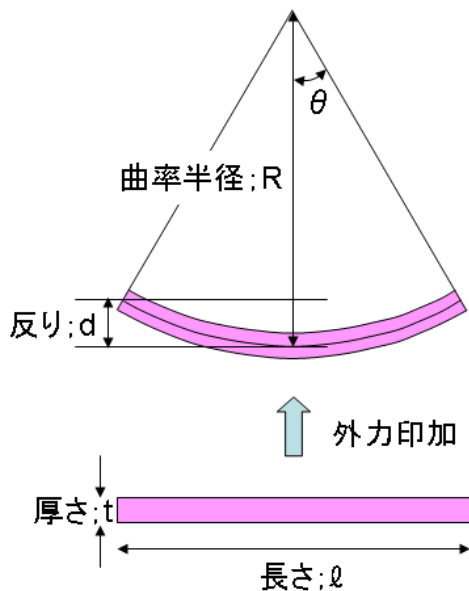


図 2. 2. 2-2 測定チップと抵抗素子のパターン外観



表面での伸び(縮み)量 $\Delta\ell$ は、

$$\Delta\ell = 2(R + t/2) \cdot \theta - 2R \cdot \theta = t\theta$$

表面での引張(圧縮)応力 $\sigma$ は、ヤング率Eとして

$$\ell = 2R\theta \text{ ---- (1) だから}$$

$$\sigma = \Delta\ell / \ell \cdot E = t\theta / 2R\theta \cdot E = t/2R \cdot E$$

また、

$$d = R - R \cos \theta \text{ であり、} \theta \ll 1 \text{ とすると}$$

$$\cos \theta \cong 1 - \theta^2/2 \text{ と近似して、}$$

$$d = R \theta^2/2 \text{ ---- (2)}$$

(1)、(2)から曲率半径 R は

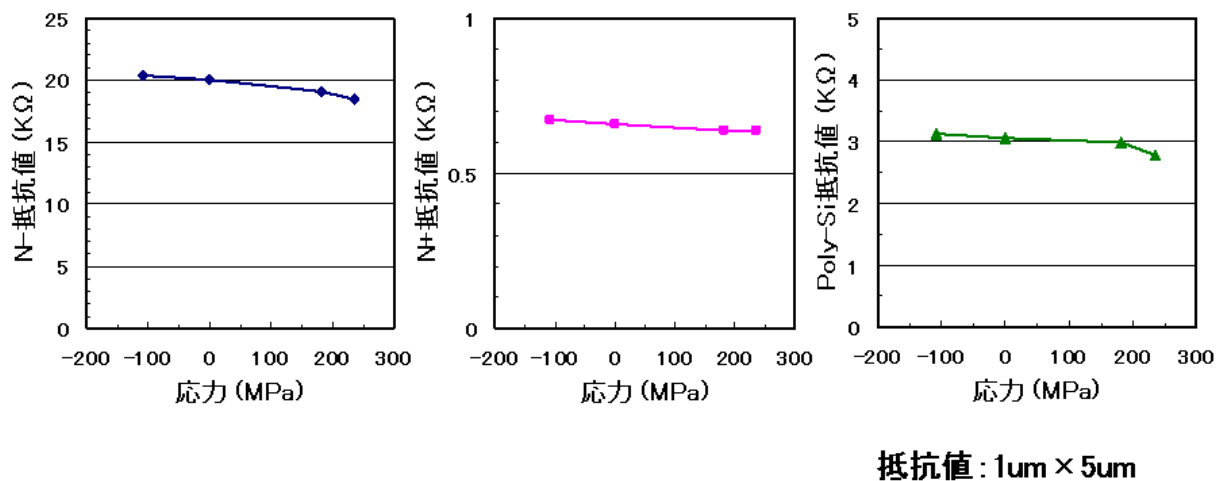
$$R = \ell^2 / 8d$$

応力 $\sigma$ は、

$$\sigma = 4dt / \ell^2 \cdot E$$

図 2. 2. 2-3 反り測定結果からの応力の算出

測定結果の例として N-層、N+層、poly-Si のそれぞれの抵抗値を **図 2. 2. 2-4** に示す。これは、幅  $1\mu\text{m}$ 、長さ  $5\mu\text{m}$  のパターンであるので、応力を印加していないときの層抵抗（シート抵抗）は、N-層が約  $4\text{ k}\Omega$ 、N+層が約  $130\ \Omega$ 、poly-Si 層が約  $600\ \Omega$  である。この結果から、いずれの場合も引張応力が印加されると抵抗は下がり、圧縮応力が印加されると抵抗が上がるのがわかる。これは、いずれの抵抗素子もキャリアが電子であることから、n チャネルトランジスタと同じような応力への依存性を示すと考えられる。長さの異なる各抵抗素子での抵抗の変化率の平均値を **図 2. 2. 2-5** に示す。長さが異なっても各材料での変化率に大きな差が無く、また、応力に対してこの範囲では変化率が直線的に増減する。3 種類の材料の抵抗素子で、N-層の抵抗素子の抵抗値が大きいため測定による誤差が小さいと考えられ、また、変化率が大きいことから、評価素子として適していると考えられる。しかし、それでも  $200\text{ MPa}$  で 5% 程度と小さい値である。



**図 2. 2. 2-4** N-層、N+層、poly-Si それぞれの抵抗値の応力依存性

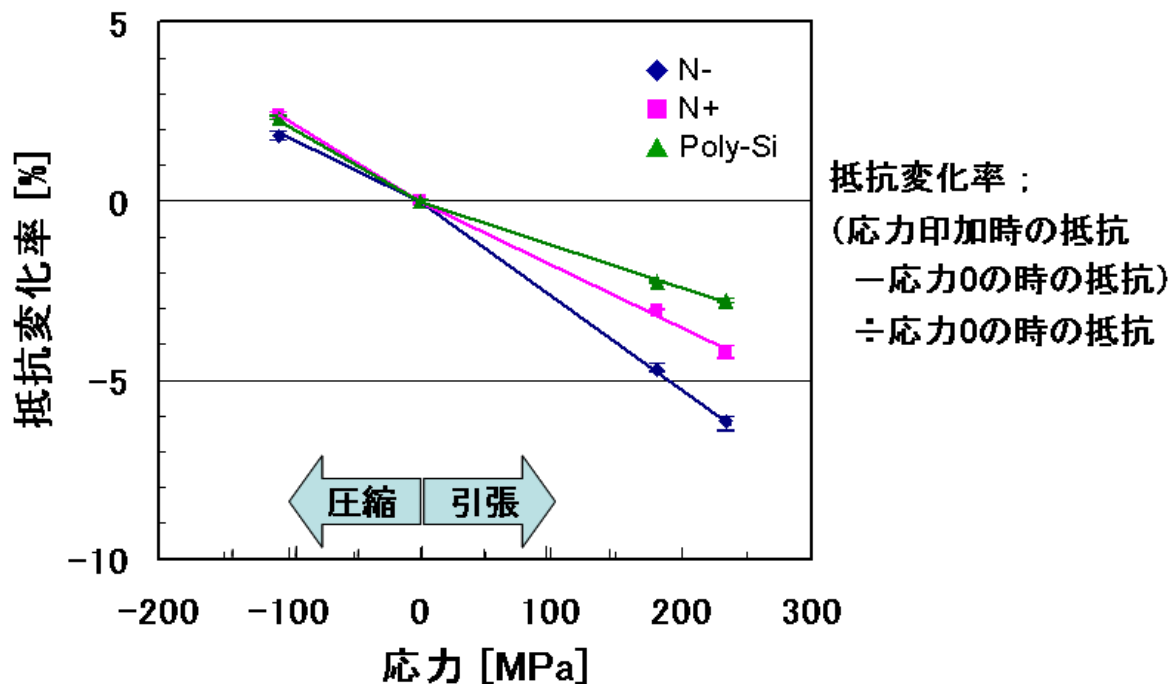


図 2. 2. 2-5 N-層、N+層、poly-Si それぞれの抵抗変化率の  
 応力依存性

以上述べてきたように、応力の影響は、抵抗素子、特に N-層の抵抗素子により評価できることが明らかになった。ただ、電氣的に測定される抵抗値で見るとその影響は極めて小さいので、精度の高い測定が必要になる。

しかし一方、例えば一般的なバッファークोट材料では内部応力は 50 MPa 程度であるが、このような応力が抵抗素子に直接印加されたとしても抵抗値の変化率は 1%程度にすぎない。すなわち、バッファークोट材料の応力による FEOL 素子への影響は極めて軽微と考えられる。

にもかかわらず、最近ではバッファークोट材料の低応力化が要求されている。その理由は、FEOL 素子への影響を心配してのことよりも、むしろ組立工程でのウェーハの反りに起因する剥がれなどの不良を低減し、また組立てを容易にするためであると考えられる。

### 2. 2. 3. 電荷蓄積（チャージアップ）の評価方法

半導体プロセスの BEOL では、種々の材料の成膜や加工においてプラズマが多く用いられる。この場合、半導体ウェーハ表面にはイオンもしくは電子が蓄積し、チャージアップが発生して半導体素子を破壊することが懸念される。また、大気中や、溶液中でウェーハが高速回転し、静電気によるチャージアップも懸念される。このようなチャージアップの評価には、比較的小面積の MOS 容量素子のゲート側に電荷を捕集するアンテナになる大面積の配線を接続したチャージアップ TEG が用いられる。

今回評価に用いた TEG は T3 マスクであり、トランジスタと同じ 6.5nm の SiO<sub>2</sub> を絶縁膜とし、面積が 2×2 μm<sup>2</sup> の MOS 容量素子で、アンテナは BEOL で形成される配線層の M1 と M2 である。実験方法としてチップ内のチャージアップ TEG の位置と、MOS 容量素子のゲート破壊耐圧の測定方法を素子の断面模式図とともに図 2. 2. 3-1 に示す。

測定は M1、M2 の配線をそれぞれ CMP で形成した後にウェーハ内で 46 チップ測定した。ゲート側には基板表面に蓄積層が出来るように、即ち N 型基板では+、P 型基板では-の電圧を印加して測定した。

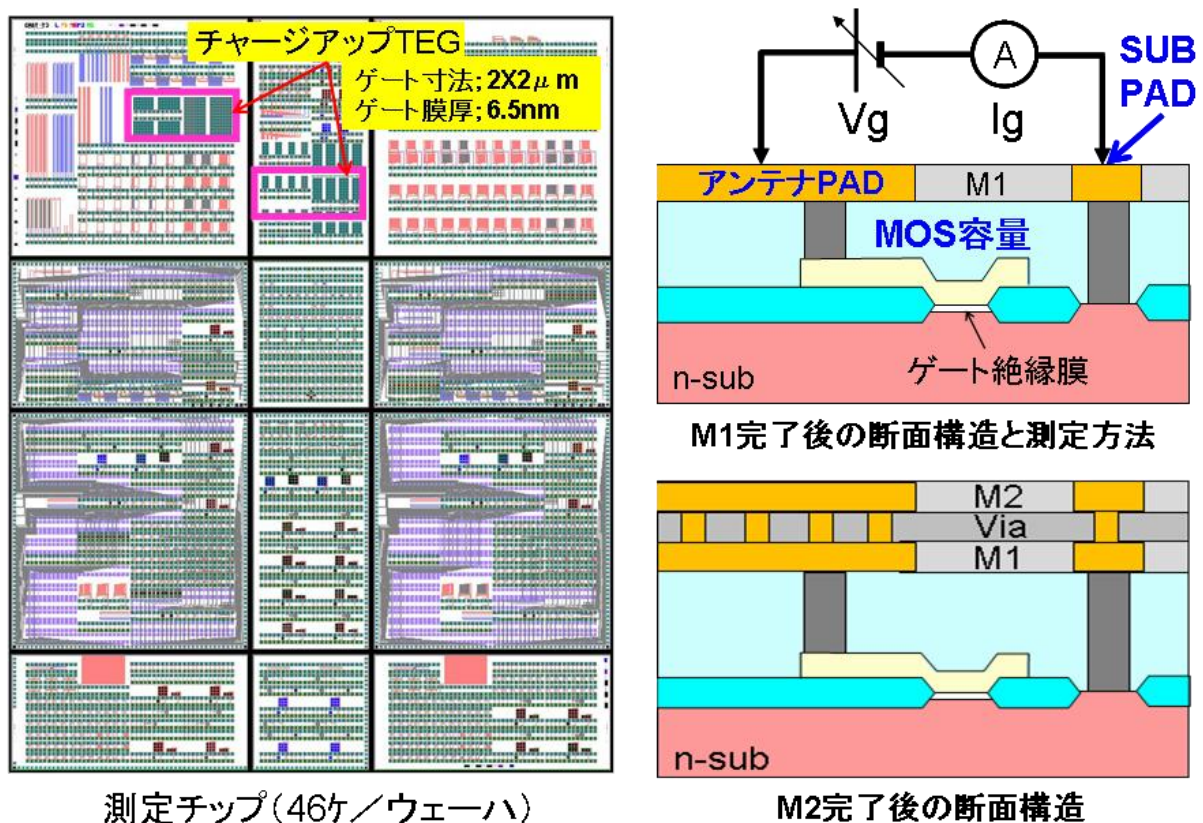


図 2. 2. 3-1 チャージアップ評価のための実験方法



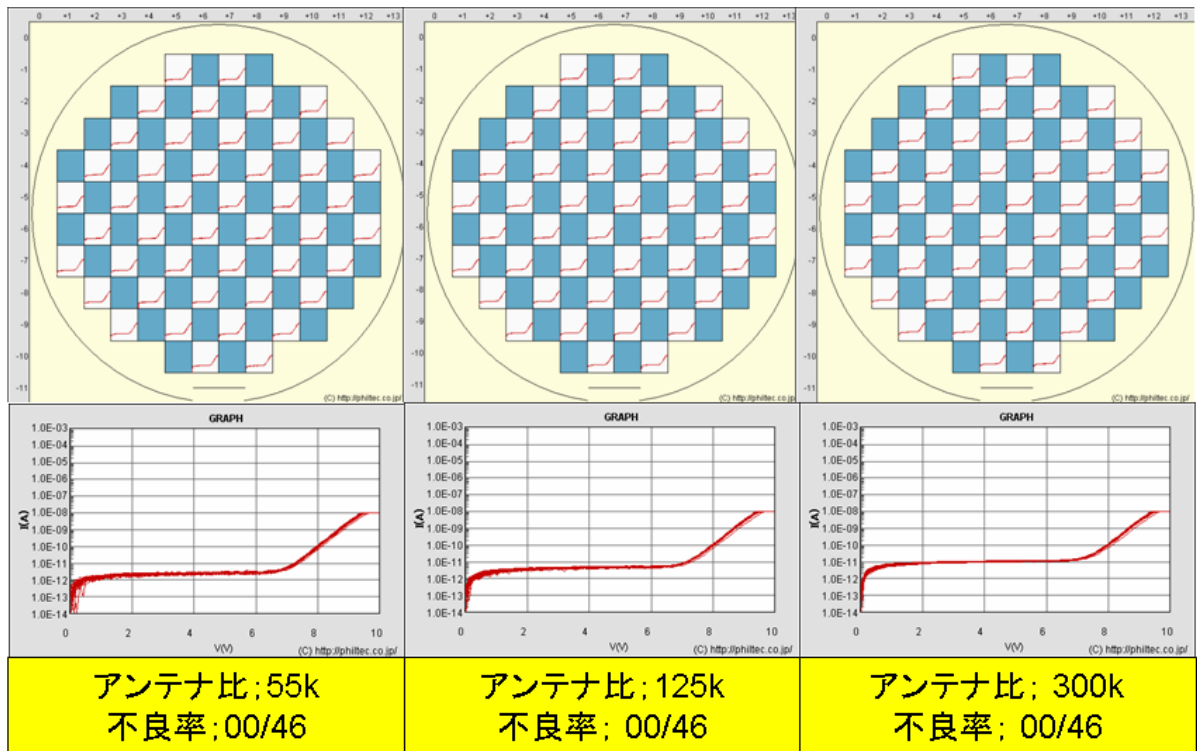
BEOL に用いるプロセス材料やそのプロセスの影響を評価するため、配線間絶縁膜としてプラズマで成膜する p-SiOC と、塗布により成膜するポーラス絶縁膜 (p-MSQ) の場合について評価した。基板を N 型、P 型、M1 配線完了後、M2 配線完了後をパラメータとして、種々のアンテナ比での MOS 容量素子の耐圧不良率をまとめて図 2. 2. 3-2 に示す。基板を N 型とした場合、大きなアンテナ比をもつ 3 種類のアンテナ MOS の耐圧測定結果について、ウェーハ内分布と電流-電圧特性を図 2. 2. 3-3 から-6 に示す。また、基板を P 型とした場合を図 2. 2. 3-7 から-10 に示す。

N型基板、Low-k: p-SiOC						N型基板、Low-k: p-MSQ					
アンテナ比 測定	3k	23k	55k	125k	300k	アンテナ比 測定	3k	23k	55k	125k	300k
M1 完後	0	0	0	0	0	M1 完後	0	0	0	0	0
M2 完後	0	2	11	50	83	M2 完後	0	0	2	28	52
耐圧不良率(%)						耐圧不良率(%)					

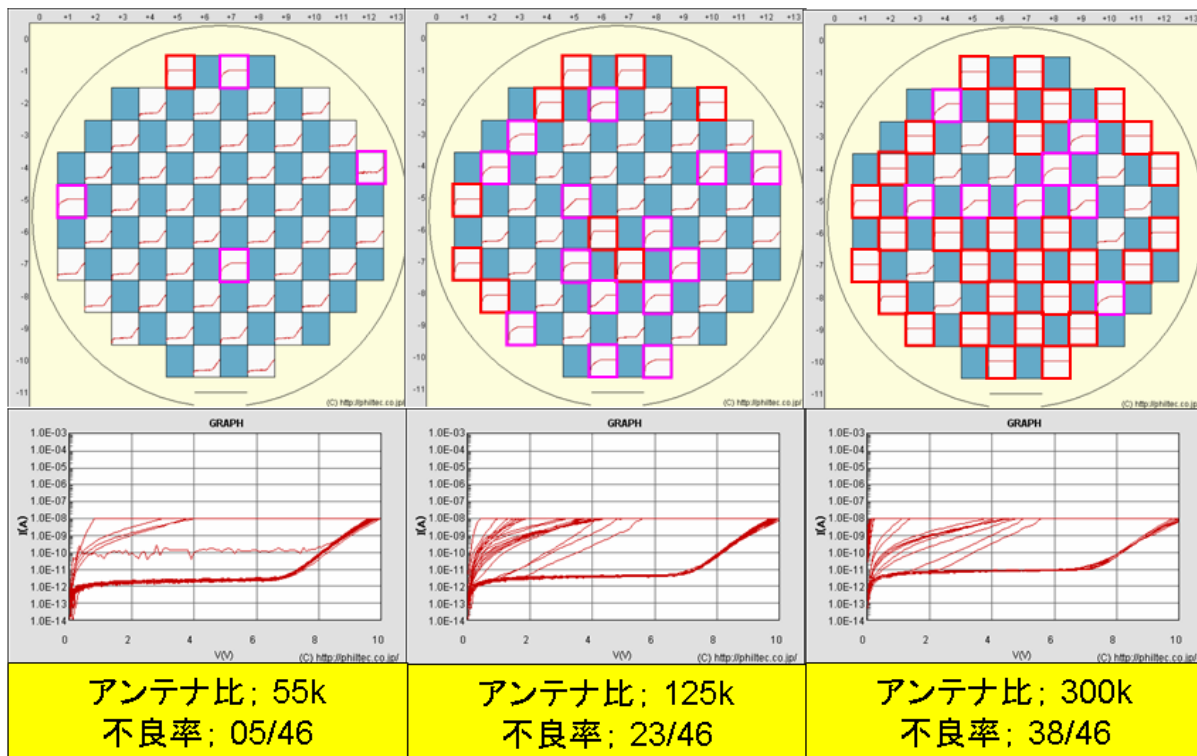
P型基板、Low-k: p-SiOC						P型基板、Low-k: p-MSQ					
アンテナ比 測定	3k	23k	55k	125k	300k	アンテナ比 測定	3k	23k	55k	125k	300k
M1 完後	0	0	0	0	0	M1 完後	0	0	0	0	0
M2 完後	0	0	0	2	2	M2 完後	0	0	0	0	0
耐圧不良率(%)						耐圧不良率(%)					

図 2. 2. 3-2 アンテナ TEG の耐圧不良率のまとめ



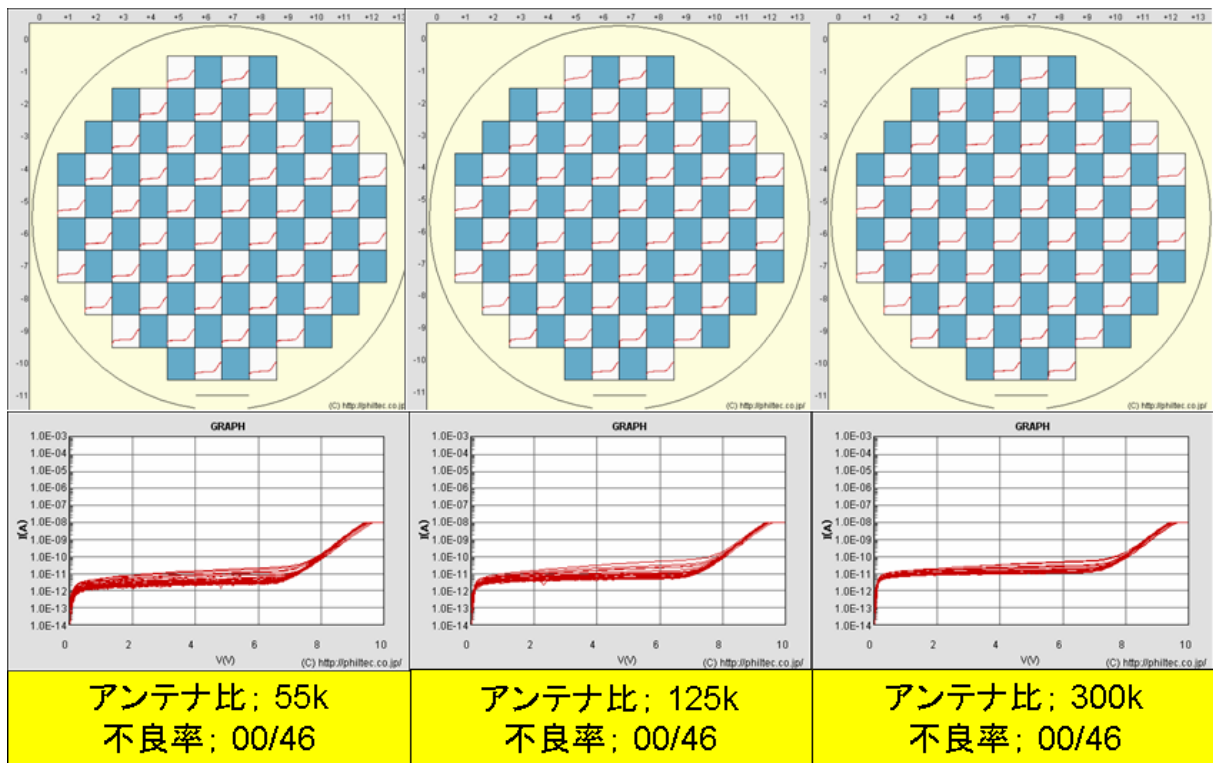
N型基板、Low-k: p-SiOC、M1完了後 ゲート寸法  $2 \times 2 \mu\text{m}$ 、ゲート膜厚 6.5nm

図 2. 2. 3 - 3 ウェーハ内分布と電流-電圧特性 (1)



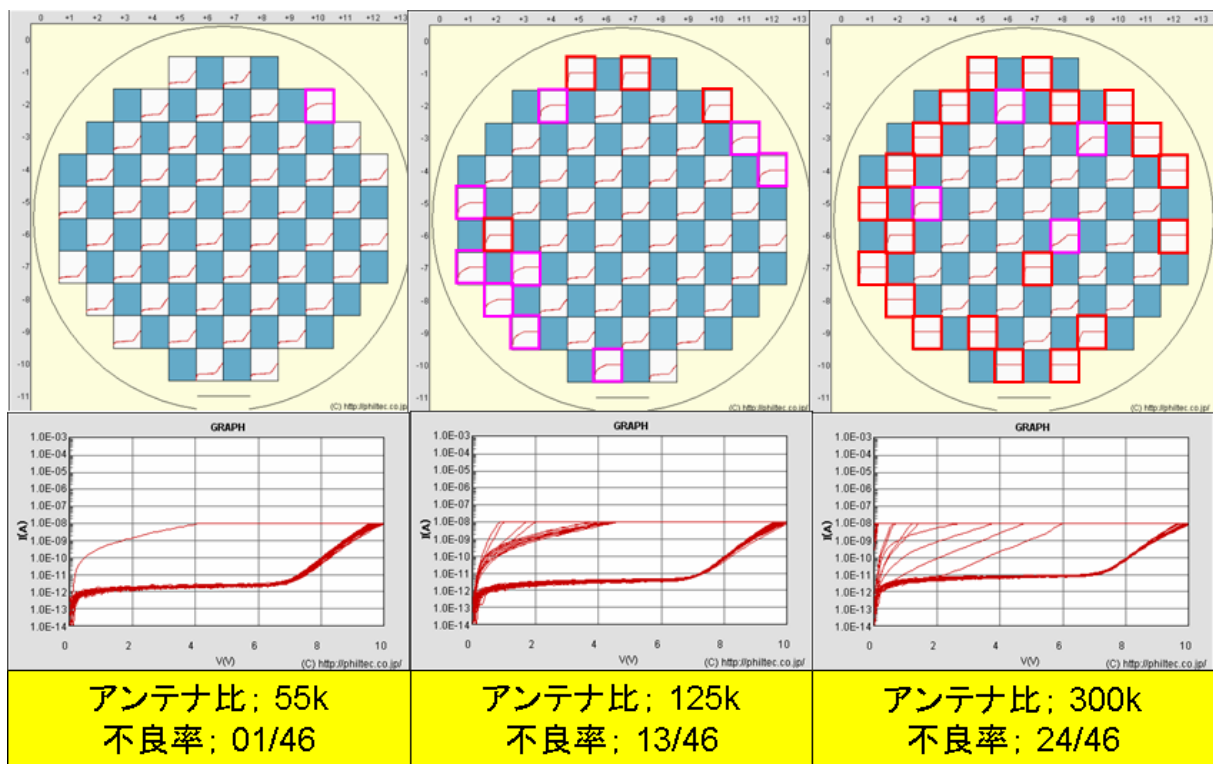
N型基板、Low-k: p-SiOC、M2完了後 ゲート寸法  $2 \times 2 \mu\text{m}$ 、ゲート膜厚 6.5nm

図 2. 2. 3 - 4 ウェーハ内分布と電流-電圧特性 (2)



N型基板、Low-k: p-MSQ、M1完了後 ゲート寸法  $2 \times 2 \mu\text{m}$ 、ゲート膜厚 6.5nm

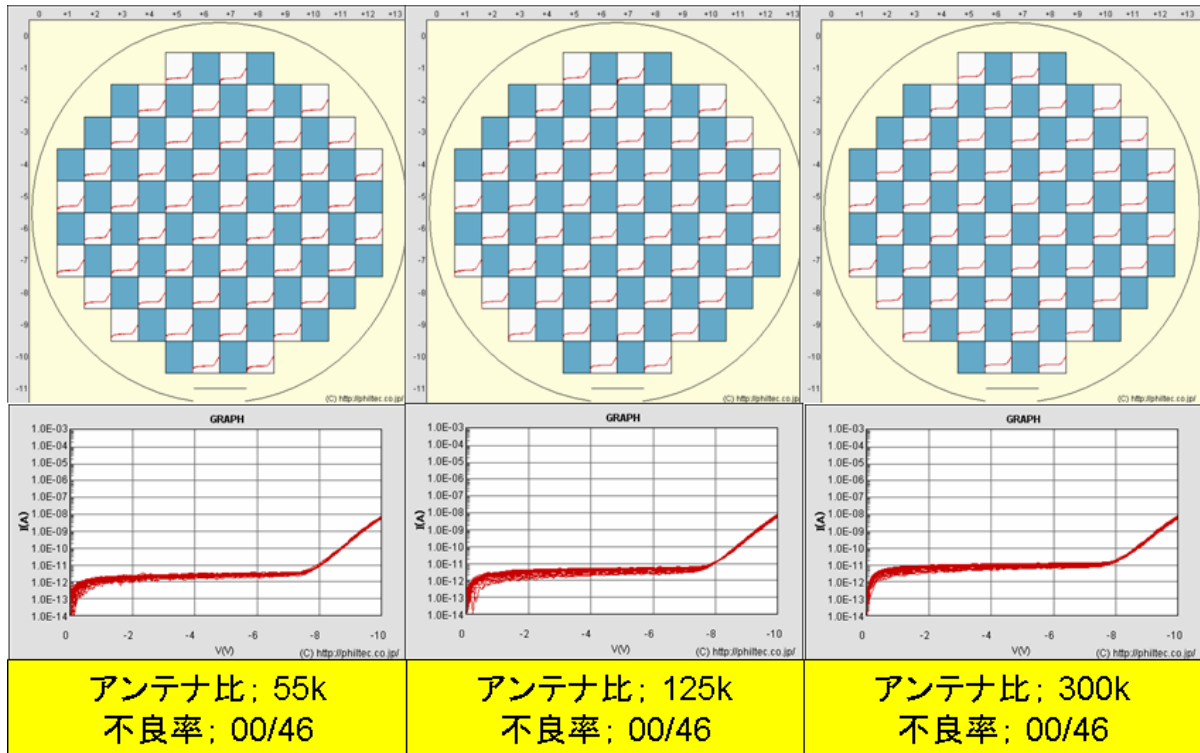
図 2. 2. 3 - 5 ウェーハ内分布と電流-電圧特性 (3)



N型基板、Low-k: p-MSQ、M2完了後 ゲート寸法  $2 \times 2 \mu\text{m}$ 、ゲート膜厚 6.5nm

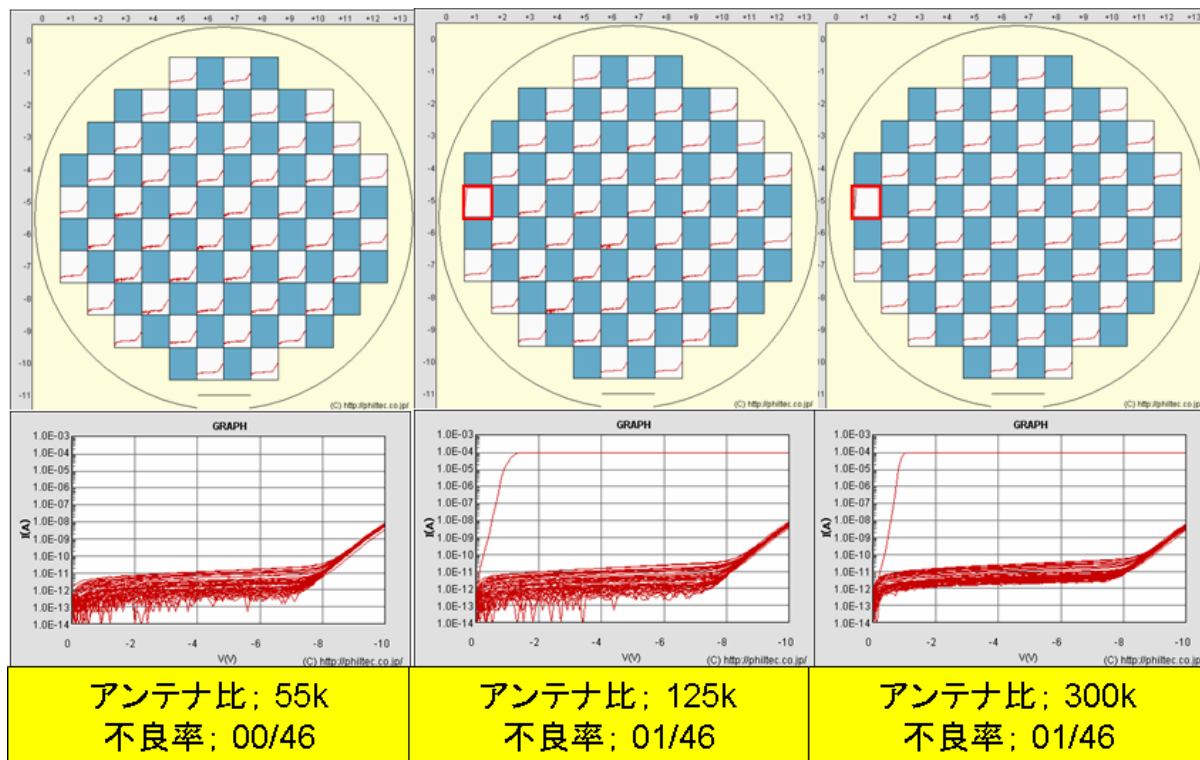
図 2. 2. 3 - 6 ウェーハ内分布と電流-電圧特性 (4)





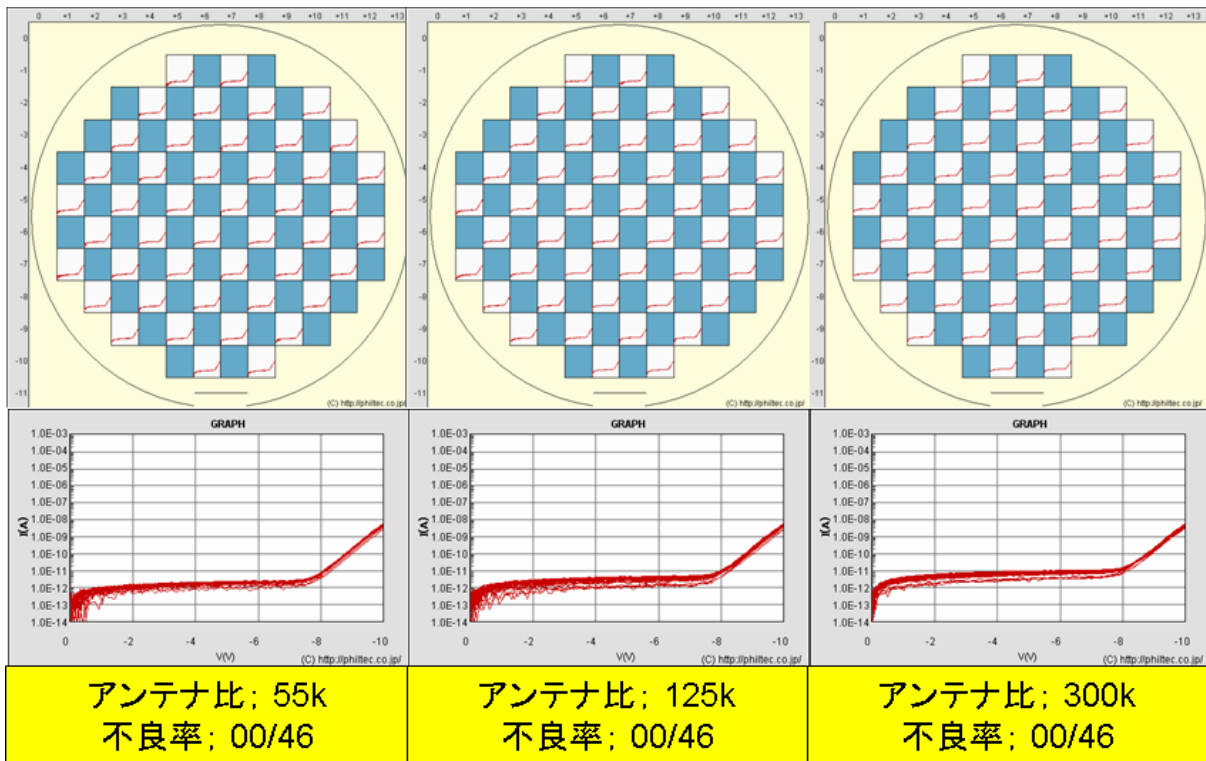
P基板、Low-k: p-SiOC、M1完了後 ゲート寸法  $2 \times 2 \mu\text{m}$ , ゲート膜厚 6.5nm

図 2. 2. 3 - 7 ウェーハ内分布と電流-電圧特性 (5)



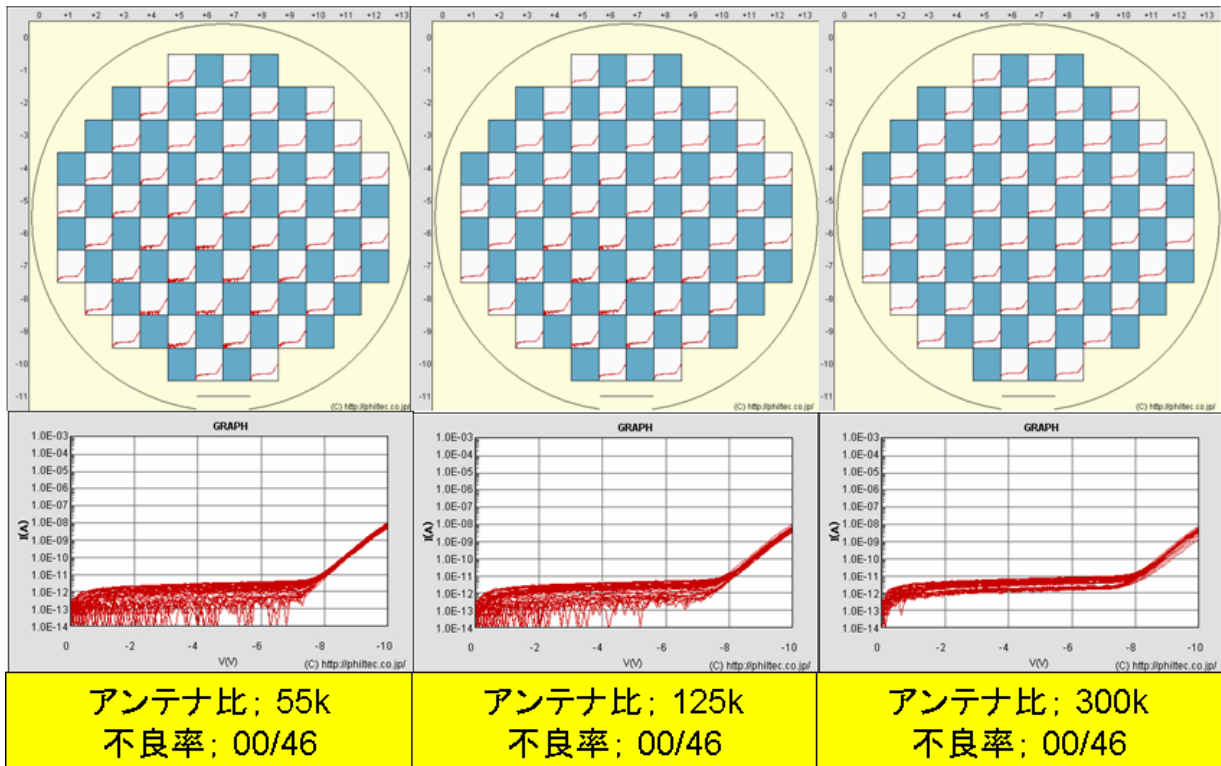
P基板、Low-k: p-SiOC、M2完了後 ゲート寸法  $2 \times 2 \mu\text{m}$ , ゲート膜厚 6.5nm

図 2. 2. 3 - 8 ウェーハ内分布と電流-電圧特性 (6)



P基板、Low-k: p-MSQ、M1完了後      ゲート寸法  $2 \times 2 \mu\text{m}$ , ゲート膜厚 6.5nm

図 2. 2. 3 - 9      ウェーハ内分布と電流-電圧特性 (7)



P基板、Low-k: p-MSQ、M2完了後      ゲート寸法  $2 \times 2 \mu\text{m}$ , ゲート膜厚 6.5nm

図 2. 2. 3 - 10      ウェーハ内分布と電流-電圧特性 (8)

M1 完了後には、配線層間絶縁膜が p-SiOC、p-MSQ のいずれの材料であっても、また基板が N 型、P 型のいずれであって、種々のアンテナ比で耐压不良を起こす MOS 容量素子は無かった。これは、アンテナが形成される Cu およびバリアの CMP、さらにその後の洗浄においても、ウェーハ表面でのチャージアップの発生が無いことを示している。

しかし、M2 終了後には耐压不良が発生している。P 型基板よりも N 型基板の方で、かつアンテナ比が大きくなるに従って耐压不良率が高くなる。P 型基板よりも N 型基板の方で発生するのは、ウェーハ表面のアンテナに蓄積する電荷が+電荷であることを示唆している。+電圧が印加されたとき、N 型基板では表面に蓄積層が形成されるのに対して P 型基板では反転層が形成され、MOS 容量素子の絶縁膜に印加される電界が P 型よりも N 型で大きくなるためである。また、アンテナ比が大きくなるに従って耐压不良率が高くなるのは、アンテナ面積が大きくなるにしたがってアンテナに捕集される電荷量が多くなるためと考えられる。

M2 完了後に耐压不良が発生していることから、チャージアップを起こす工程は、ビア層や M2 層の層間絶縁膜を形成する工程、ビアや M2 のエッチングやアッシングする工程、バリアメタルや Cu のスパッタリング工程が考えられる。さらに詳細に見ると、Low-k 材料が p-SiOC よりも p-MSQ の方で不良の発生率が低くなっていることがわかる。この違いは、M1 CMP 工程完了後の層間絶縁膜の形成工程の差に起因していると考えられる。M1 CMP 後、いずれの層間絶縁膜の場合も Cu 拡散バリアとして薄い 30nm の p-SiCN 膜がプラズマ CVD で表面に堆積される。その後 p-SiOC の場合にはプラズマ CVD でさらに 100nm の p-SiOC が堆積されるのに対して、p-MSQ の場合には塗布法で 100nm のポーラス Low-k 膜が形成される。したがって、プラズマ処理する時間の長い p-SiOC の場合には耐压不良率が高くなり、塗布法を併用してプラズマ処理の時間を短くした p-MSQ の場合には耐压不良率が低くなると考えられる。

また、耐压不良のウェーハ内分布をみると、ウェーハ周辺部でチャージアップが最も発生し易く、続いて中心部で発生するという特徴がある。このような特徴は、プラズマを用いた CVD やドライエッチングで現れることがある。

以上述べてきたように、配線層で形成される大きな面積を持つアンテナをゲートに接続した小さな面積の MOS 容量素子の耐压測定により、チャージアップの起こし易い材料とそれを用いるプロセスの影響を評価できることが明らかになった。また、N 型基板と P 型基板では耐压不良発生に大きな差があり、今回のように+電荷が表面に蓄積する場合には、N 型基板を用いた方が高感度に影響評価にできることがわかった。逆に-電荷が表面に蓄積する場合には P 型基板を用いた方が高感度に評価できると考えられる。

## 2. 2. 4. 配線腐食の評価方法

Cu 配線における CMP 工程では、Cu スラリ、バリアスラリ、パッド、ドレッサー、洗浄液、洗浄用ブラシなどが消耗部材として用いられる。ここで特にスラリや洗浄液においては、Cu 配線の腐食を起こさないことが、それらの材料選定において、1つの重要な指標になる。従来、腐食については、ほとんどが光学顕微鏡や SEM を用いて Cu 表面を観察して評価される程度であり、極めて定性的な評価に終わっていた。

腐食は、主に電池効果により電気化学的に発生するものであると考えられるので、電池作用として、FEOL プロセスで形成できる(a) p-n 接合電池、Cu 配線の密度差で発生すると考えられる(b) 濃淡電池について、配線腐食を定量的に評価する方法を開発することとした。定量的に評価するために、配線抵抗の差を用いて評価したが、このようなことは従来ほとんど行なわれておらず、CMP の腐食を定量的に評価方法としては画期的な手法であると思われる。

### a. p-n 接合電池

FEOL では、Si 基板表面に n 層と p 層が形成される。そこで n 層に接続された Cu 配線と p 層に接続された Cu 配線を比較する。Si 基板表面に形成された p-n 接合に光照射されると、p 層の電位は n 層の電位より高くなり、p 層に接続された Cu 配線には+電荷が注入され、Cu+イオンとして液中に Cu が放出され易くなり、いわゆる腐食が起こりやすくなる。一方、n 層に接続された Cu 配線ではそのような腐食の発生は無く、もし液中に Cu+イオンが大量にあれば、-電荷を持つ電子がそれを中和することによりメッキされることもあり得る。また、Si 基板に接続されない Cu 配線は、電荷の注入や放出は無いので、n 層に接続された配線とほぼ同じように腐食は発生しない。この様子を模式的に図 2. 2. 4-1 に示す。

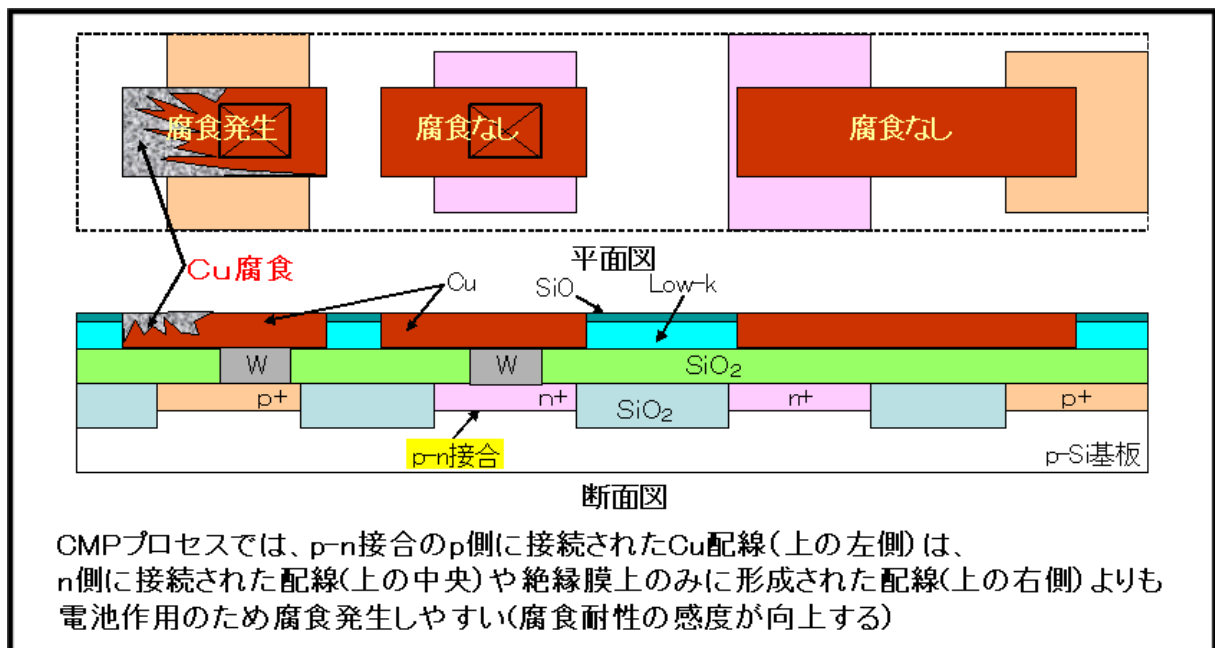
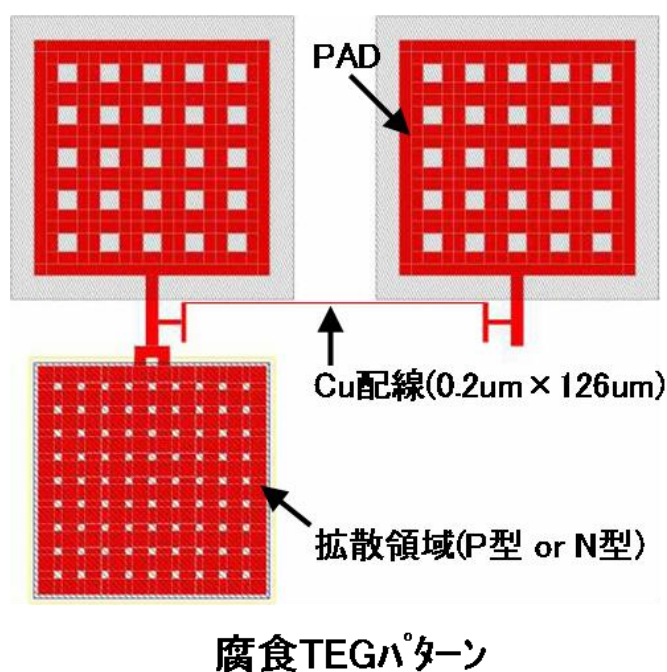


図 2. 2. 4-1 FEOL 素子に接続された Cu 配線の腐食の様子

腐食を評価する TEG パターンと実験方法について図 2. 2. 4-2 に示す。M1 CMP 後にウェーハ内 92 チップの抵抗を測定した。腐食評価のウェーハとして、Cu およびバリアを研磨した後、光を遮断した CMP 装置内で水洗したウェーハをリファレンスとして用意した。このウェーハにさらに CMP 装置の洗浄部に光照射した場合と遮断した場合で時間を変えて水洗した場合、92 の各チップでの p 層に接続された Cu 配線と n 層に接続された Cu 配線の抵抗値の差を求め、その正規分布図を図 2. 2. 4-3 に示す。ここで水洗時間はロールブラシ 2 回のトータルの洗浄時間（時間の比率は一定）であり、リンスは行なわない。光遮断した場合には、水洗時間と共に分布が広がるが、中央値はほぼ 0 となり、p-n 接合電池作用による腐食の発生が無いことを示している。しかし、光が照射された場合には、水洗時間と共にその差は正の側に大きくなっていく。すなわち、p-n 接合電池作用により、p 層に接続された Cu 配線が腐食により薄くなって、抵抗が上昇したことがわかる。次に、光照射がある場合に、p 層、n 層に接続された抵抗値のウェーハ内分布とその中央値の水洗時間依存性を図 2. 2. 4-4 に示す。p 層に比べて少ないが、n 層に接続された抵抗も時間と共に大きくなっており、ブラシによる水洗で Cu 配線が削れて行くためと推測される。



### 2-1. 試料

- FEOL: CAST-T2(P型基板)  
CAST-T3(N型基板)
- Low-k: p-MSQ
- Cu/1層配線(M1 CMP完)

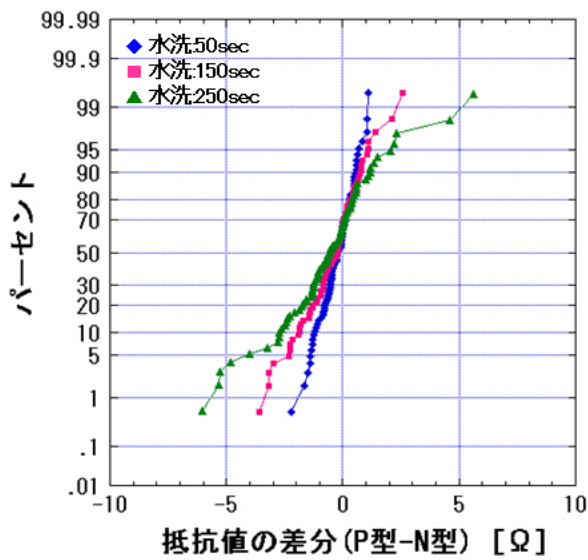
### 2-2. 評価内容

- 光(蛍光灯)照射水洗の影響
- 洗浄剤の防食効果有無

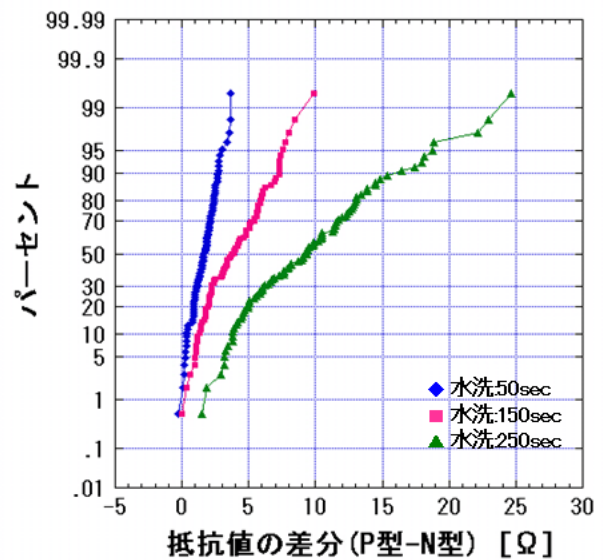
### 2-3. CMP研磨条件

- 装置: ChaMP(東京精密)
- 研磨ヘッド: IC1400xy-k
- 研磨圧力: 1.5psi
- 洗浄時間: ロールブラシ: 40sec  
ロールブラシ: 60sec  
リンス: 60sec

図 2. 2. 4-2 腐食 TEG パターンと実験方法



(1) 光照射無し



(2) 光照射有り

図 2. 2. 4-3 p層とn層に接続された抵抗差の分布について水洗時の光照射有無の違い

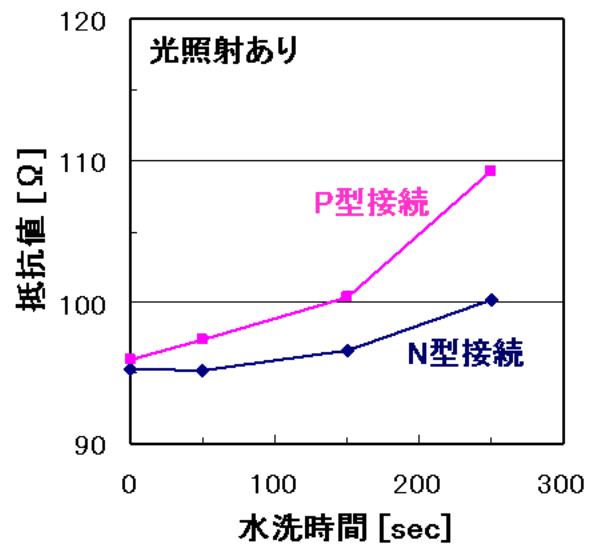
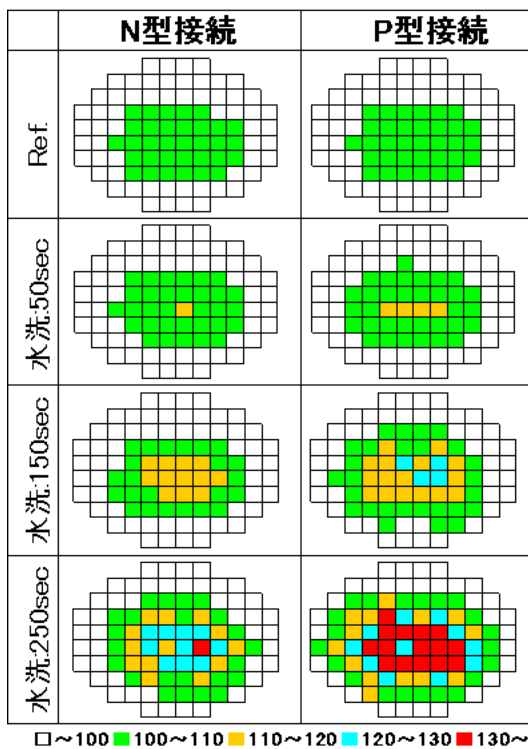


図 2. 2. 4-4 抵抗のウェーハ内分布とその中央値の水洗時間依存性



先ほどの一連の実験は、p型基板を用いたものであるが、次にP型基板とN型基板を用いたときの評価結果を図2.2.4-5、図2.2.4-6に示す。

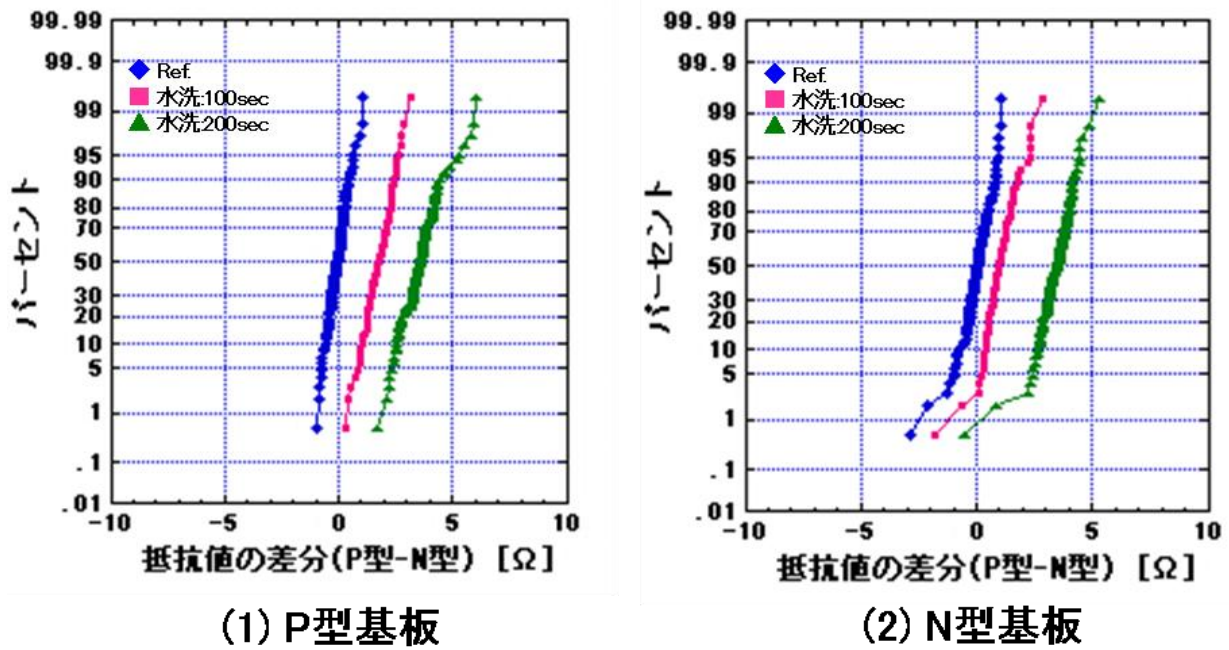


図 2.2.4-5 N型基板、P型基板それぞれでの抵抗差の水洗時間依存性

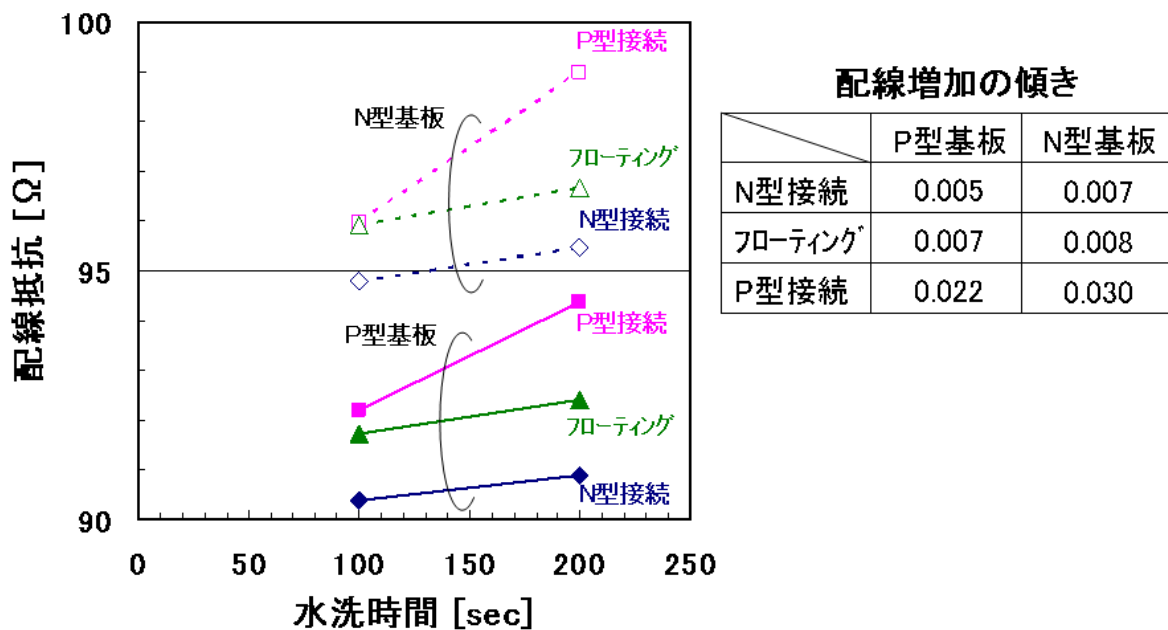


図 2.2.4-6 配線抵抗のウェーハ内中央値の水洗時間依存性

基板が異なっても、p層に接続された配線が腐食されて抵抗が高くなり、p層とn層に接続された配線抵抗の差は洗浄時間に伴って同じように+側にシフトしていく。図2.2.4-6には、Si基板に接続されていないフローティングの抵抗についてもそのウェーハ内分布の中央値の時間変化も示した。ほぼn層に接続された配線抵抗と同じように変化する。ただし、ブラシによる水洗でCu配線が削れて行くことに変わりがないが、同じ基板で比較してn層接続の抵抗がフローティングのものより抵抗増加率が若干低いことは、n層接続されている配線表面にCuがメッキされる効果が現れている可能性が考えられる。

今回の手法は洗浄時の腐食の評価に用いることができると考えられるので、洗浄液の防食剤の有無による差が確認できるかどうか検討した。水洗の場合と比較して図2.2.4-7に測定結果を示す。水洗に比べ洗浄剤を用いた方が腐食の発生は抑制されている。さらに、防食剤を添加することによりさらに腐食が抑制されていることがわかる。このように、本手法により腐食評価が詳細にかつ定量的にできることがわかった。

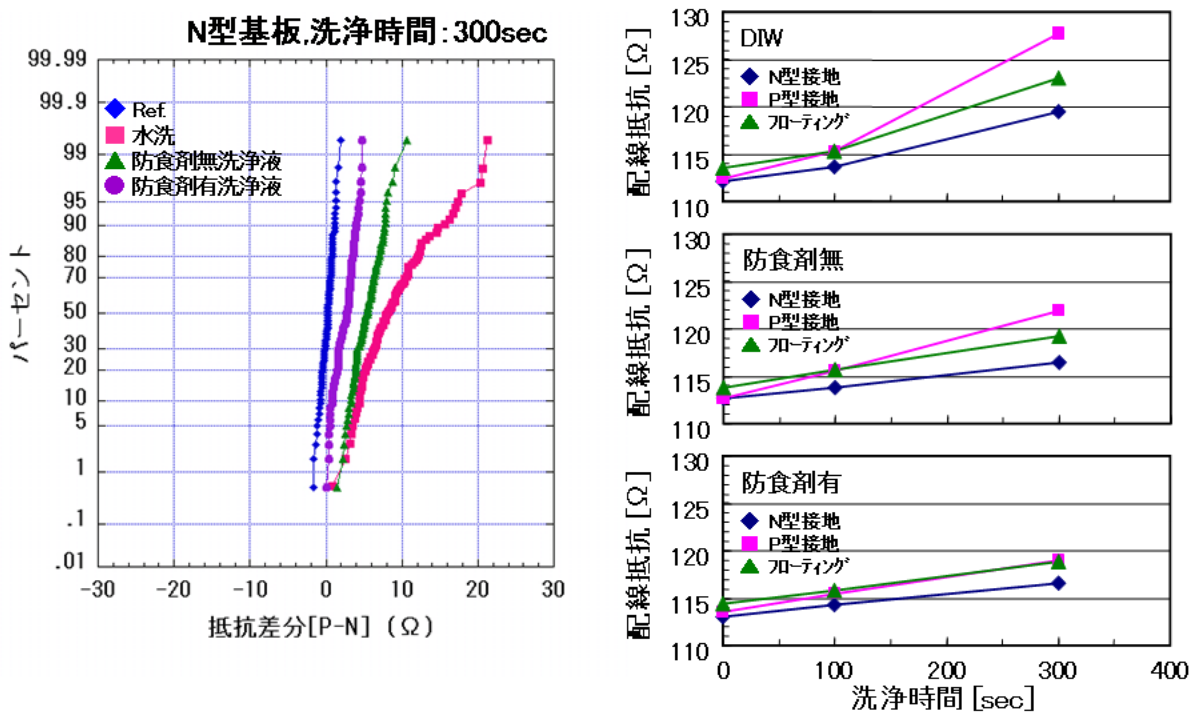


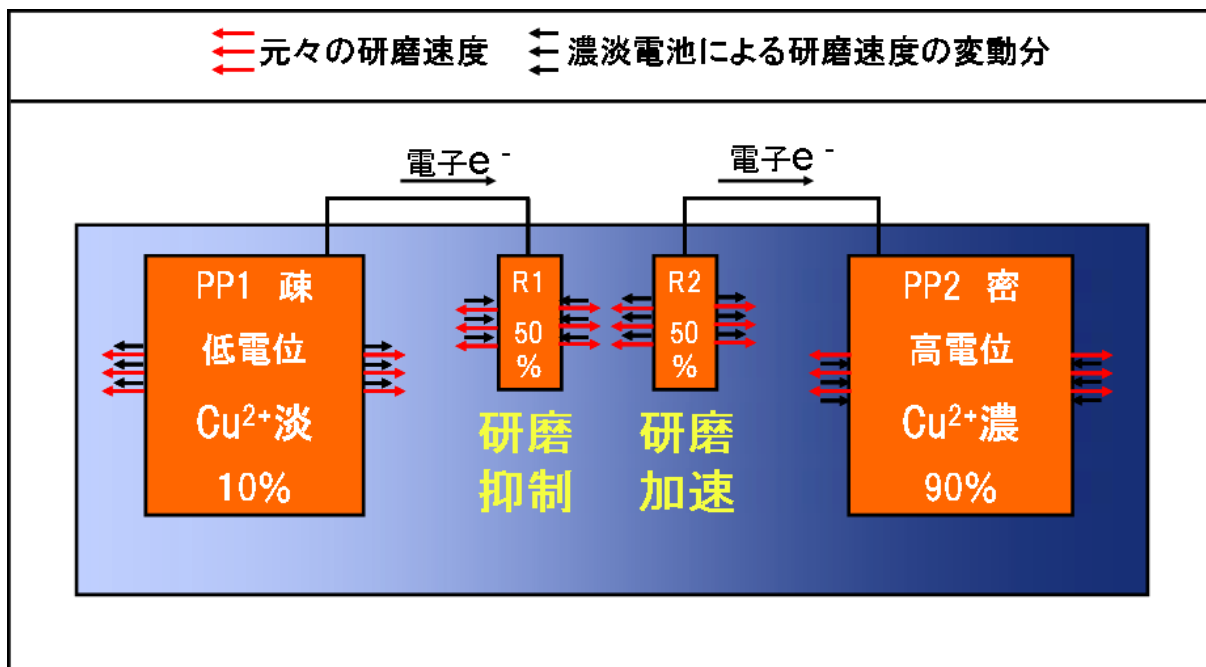
図 2.2.4-7 洗浄液の防食性評価



## b. 濃淡電池

CMPにおいて腐食の要因となるのは、先に述べたようなp-n接合電池作用のほかに、配線パターンの大きさや疎密による、いわゆる濃淡電池作用によるものが考えられる。この作用を検証するために、配線を形成するマスクパターンを設計した。このマスクはCu配線1層分だけであり、下地層のマスクは不要である。

CMPの研磨において、濃淡電池作用による研磨速度への影響を模式的に図2.2.4-8に示す。疎なパターンと密なパターンに接続されたセンサーとなる配線部分で、研磨速度が異なってくる。疎なパターンに接続されたセンサー配線部は、低電位の疎パターンから電子が供給されることにより研磨が抑制され、密パターンに接続されたセンサー配線部は逆に電子が引き抜かれることにより研磨が加速されると推測される。



濃淡電池の作用でセンサーの膜厚は $R1 > R2$ となる

図 2.2.4-8 濃淡電池作用の原理

具体的な TEG パターンを図 2. 2. 4-9 に示す。センサーとなる配線 R1、R2 を疎なパターン、密なパターンにそれぞれ接続している。このような配線パターンを形成したウェーハの Cu を CMP したときのセンサー配線の抵抗測定結果を図 2. 2. 4-10 に示す。

TEG	Potential Plate1 密度(%), L/S(um)	Potential Plate2 密度(%), L/S(um)	密度比 (PP2/PP1)	Sensor
A	50 (0.18/0.18)	50 (0.18/0.18)	1	L/S=0.18/0.18(50%)
D	20 (0.18/0.72)	50 (0.18/0.18)	2.5	↑
F	20 (0.18/0.72)	80 (0.72/0.18)	4	↑
G	10 (0.18/1.62)	90 (1.62/0.18)	9	↑

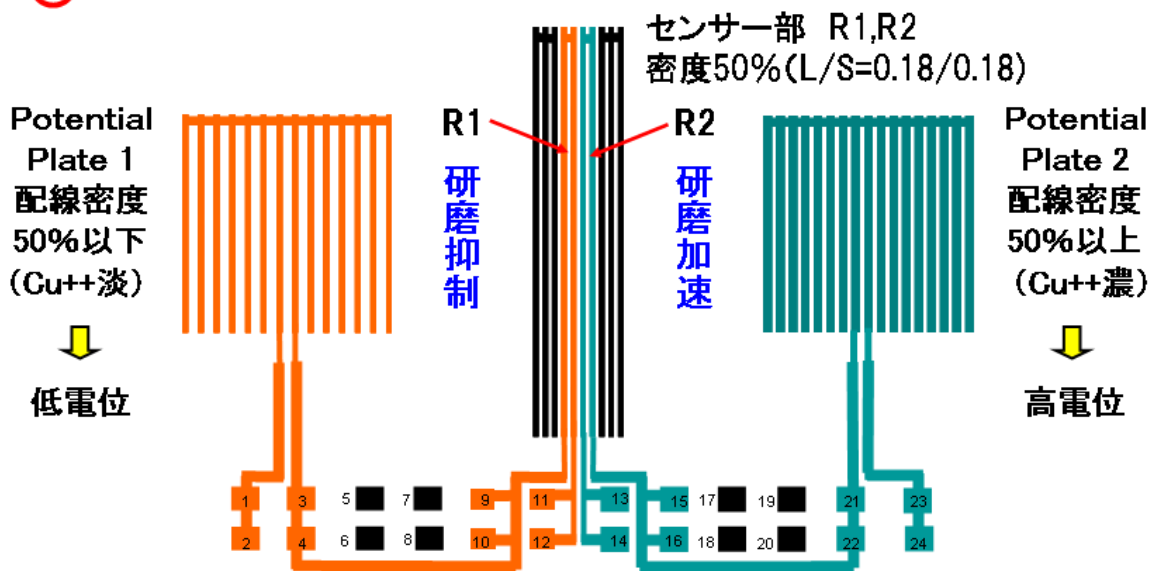
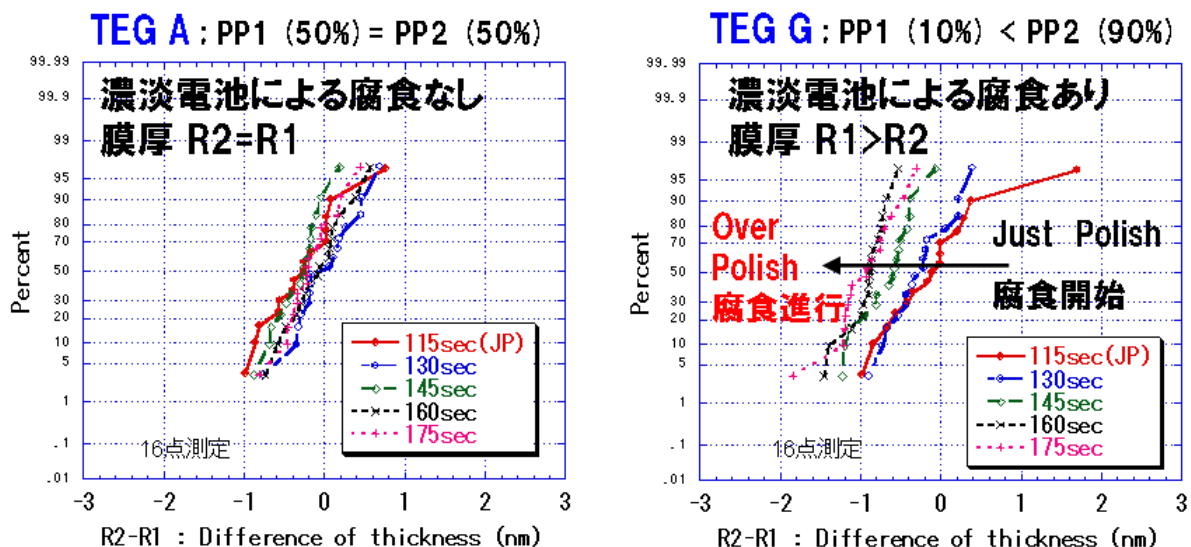


図 2. 2. 4-9 TEG パターン



### サンプル仕様

1)CMP装置:ChaMP

2)スラリー:標準材

#W	Cu-CMP @1ps(sec)	Barrier-CMP @1ps(sec)
1	115 (just)	None
2	130	↑
3	145	↑
4	160	↑
5	175	↑

図 2. 2. 4 - 10 濃淡電池作用の評価結果

TEG A のパターンのようにすべての配線の密度が 50%と同じときは、濃淡電池の作用は無くなり、センサー配線 R1 と R2 の差はほぼ 0 である。しかし、TEG G のように、配線密度の異なるパターンに接続されたセンサーの抵抗値には、推測どおり研磨速度に差が生じて、抵抗測定から算定された Cu 膜厚に差が出てくる。疎パターンに接続されたセンサー部 R1 では研磨速度が抑制され Cu 膜厚は大きくなり、密パターンに接続されたセンサー部 R2 では研磨速度が加速され Cu 膜厚は小さくなり、R2-R1 の値はオーバー研磨の増加に伴って一側にシフトしていく結果となっている。このように、ここで準備したマスクを用いて、CMP 後の抵抗測定を行うことにより、濃淡電池の作用による 1 種の腐食を定量的に評価することができる。

以上、腐食に関して、p-n 接合電池、濃淡電池の作用による Cu 配線への影響を定量的に評価する手法を述べてきた。このような定量化は、従来行なわれておらず、このプロジェクトで初めて確立することが出来た。この評価法を用いることにより、CMP で用いるスラリー、洗浄液などの材料の防食性能を定量的に評価することが可能となり、それらの材料開発に貢献することができる。

## 2. 3. 半導体プロセス全体を考慮した材料評価基盤の開発

本研究項目③は、対象とするパッケージをワイヤーボンド型とフリップチップ型とし、接合素子と Cu/Low-k 配線を有するウェーハのパッケージ組立工程の基準プロセスと評価方法を確立し、さらに、熱、応力、水分などが電気特性や材料に与える影響を把握し、信頼性評価技術を確立することを目標に実施した。また、得られた知見を迅速に各工程にフィードバックし、フロントエンドからバックエンド、パッケージまでの半導体プロセスにおいて次世代半導体以降にも対応する材料を一貫して評価できる評価基盤を確立することを目標とした。

以下には、まず FEOL プロセスで作成した素子の応用として、リングオシレータをもちいた Low-k 膜のダメージ評価方法と、寄生 MOS を用いた配線層間絶縁膜の評価方法について述べた後に、ワイヤーボンド型パッケージの 1 つである QFP パッケージを用いた評価と、フリップチップ型のパッケージとして WLP を用いた評価について述べる。

### 2. 3. 1. リングオシレータを用いた Low-k 膜ダメージの評価方法

#### a. Low-k 膜の直接 CMP におけるダメージの評価

Cu/Low-k 配線では、実際の配線プロセスを経た後に Low-k 膜がどの程度低い比誘電率を保持しているかが、半導体集積回路の性能を決めるのに重要な項目となる。評価材料として用いた MSQ1 と 2 の物性値と絶縁膜リーク特性を p-SiOC と比較して **図 2. 3. 1-1** に示す。MSQ1 と 2 では、比誘電率がほぼ同じであるが、その主骨格が異なっており、MSQ2 の方は弾性率が大きくなっている。

Low-k (t=100nm)	p-SiOC	MSQ1	MSQ2
材料	CVD系	Porous MSQ	Porous MSQ
骨格構造	-	主骨格A	主骨格B
Shrinkage(%)	-	10	10
比誘電率	3.0	2.4	2.4
弾性率(GPa)	10.2	7.0	8.6
硬度(GPa)	1.18	0.69	0.93

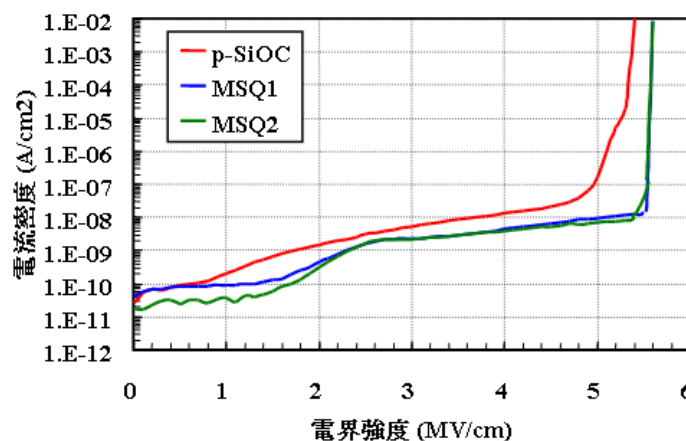


図 2. 3. 1-1 絶縁膜の物性値と絶縁膜リーク特性

配線プロセスでの種々の処理を連続して行ったとき、それぞれのダメージによる単層膜での比誘電率の変化を図 2. 3. 1-2 に示す。処理を重ねるにしたがって、比誘電率は大きくなり、CMP 処理後に比誘電率は若干低下する。ただ MSQ1 と 2 ではほとんど違いが見られない。

リングオシレータを利用して実効誘電率を評価するウェーハの作成方法を図 2. 3. 1-3 に示す。

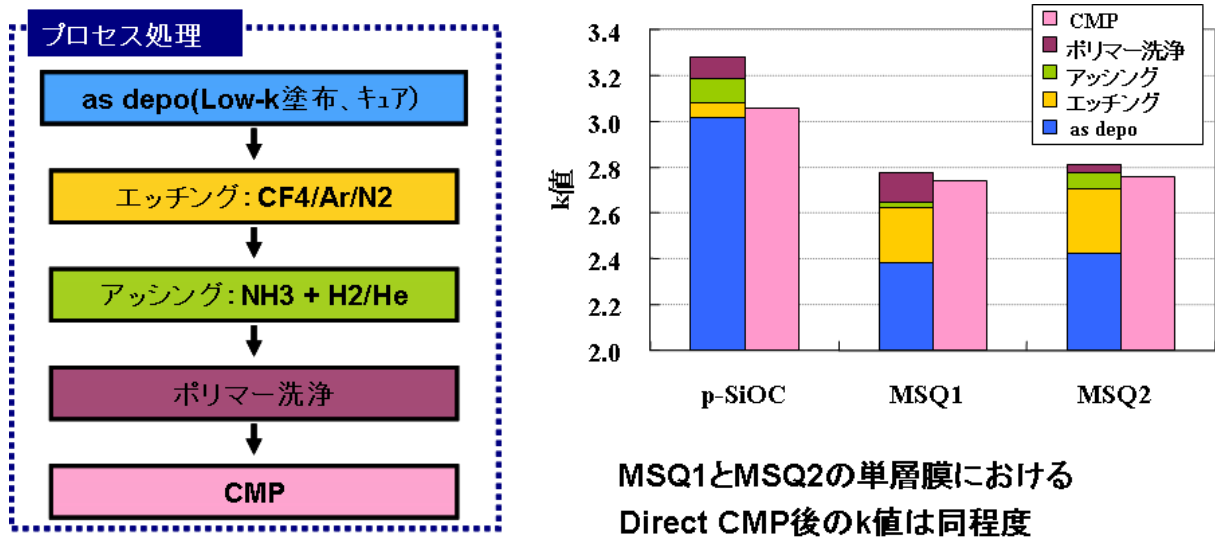


図 2. 3. 1-2 複合処理による比誘電率 (k 値) の変化

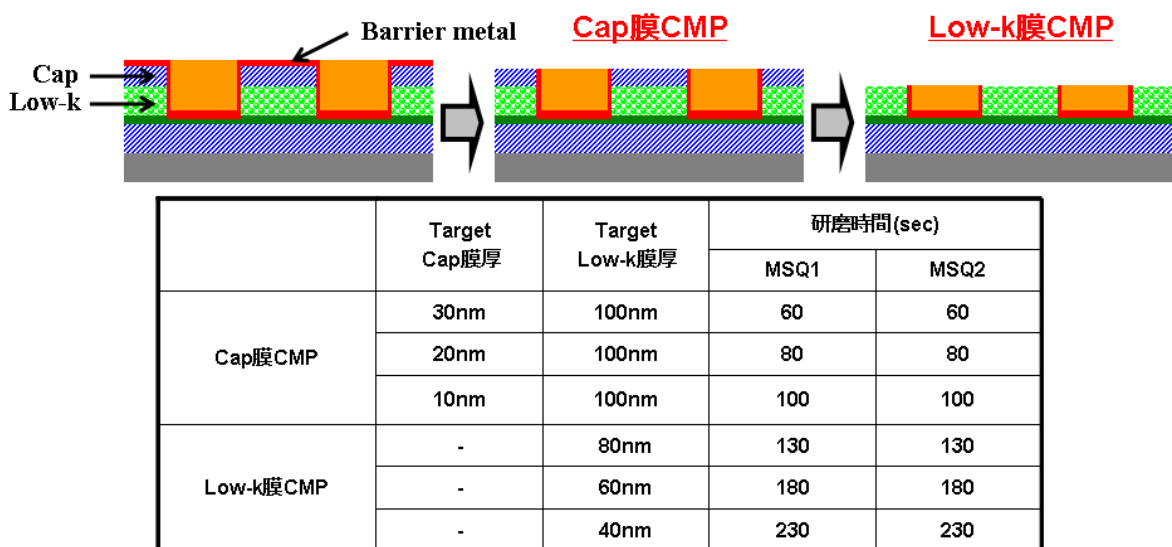


図 2. 3. 1-3 評価ウェーハの作成方法

FEOL プロセスで素子が形成されたウェーハ上に Low-k 膜、Cap 膜 (p-SiO) を形成した後、バリアメタル、Cu を堆積し、Cu を CMP して配線を形成する。その後、バリア CMP 工程で時間を制御して Cap 膜を残したウェーハ、Cap 膜を除去して Low-k 膜の途中まで除去したウェーハを、図に示したような水準で作成する。それぞれのウェーハについて、リングオシレータの発振周波数の測定を行い、同時に同一チップに形成されたリングオシレータの楕型負荷容量と同じ配線幅、配線間隔の折り返し抵抗パターンの抵抗値を測定する。この抵抗値は、リングオシレータの負荷容量の配線幅と配線高さを補正すると同時に、バリア CMP によって研磨された Cap 膜と Low-k 膜の残存量の尺度になる。実効容量の相対値と配線抵抗の関係を MSQ1 と 2 についてそれぞれ図 2. 3. 1-4 に示す。抵抗値で 100 kΩ 以下では、Cap 膜が残存しており、それ以上になると Low-k 膜が直接 CMP されて、Low-k 膜のみとなる。Cap 膜が残存している場合、MSQ1 と 2 の実効容量での差はほとんどみられないが、Low-k 膜のみになると MSQ1 に対して MSQ2 では、約 8% の実効容量の減少が見られた。

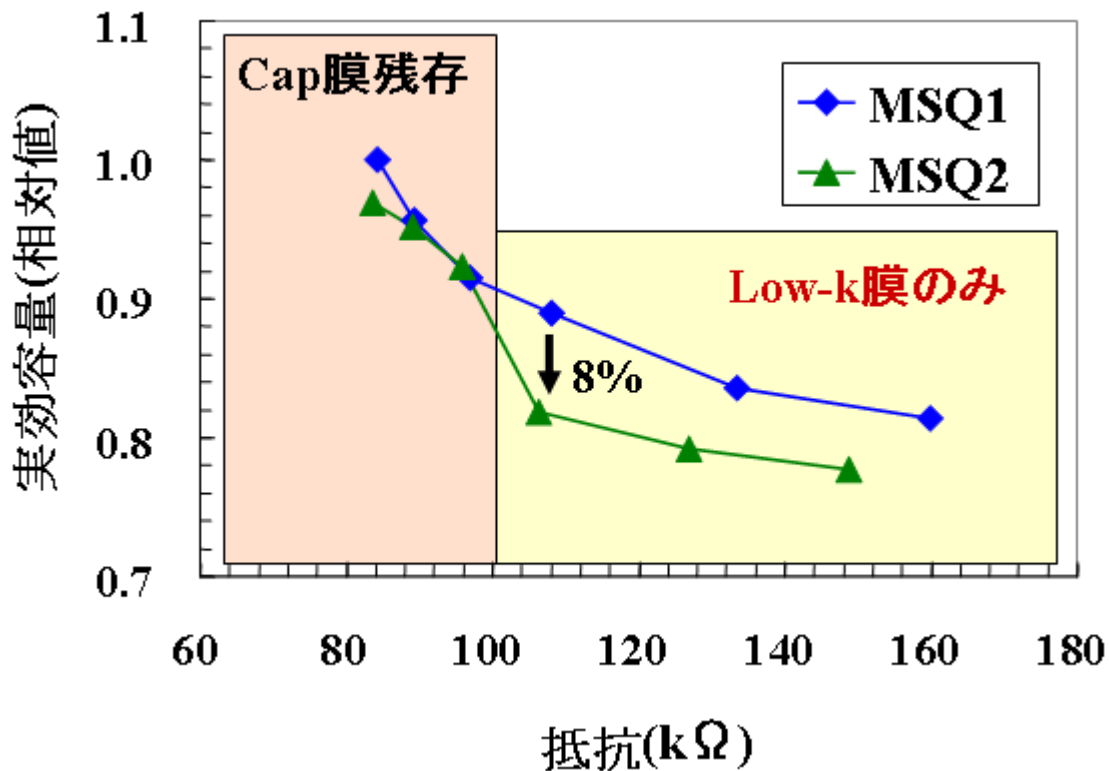


図 2. 3. 1-4 実効容量の相対値と配線抵抗の関係

さらに、ウェーハ内分布について図 2. 3. 1-5 に示す。ここでは、従来用いてきた楕型パターンの容量と抵抗の関係についても示した。従来の容量と抵抗の関係からは、MSQ1 と 2 の差はほとんど見られないが、リングオシレータによる実効容量と抵抗の関係では、分布が大きいものの MSQ1 と 2 の差が明らかである。従来の容量と抵抗の関係で差が明らかでないのは、楕型パターンの容量が小さく、測定による寄生容量とほぼ同じ程度になっているためと推測される。

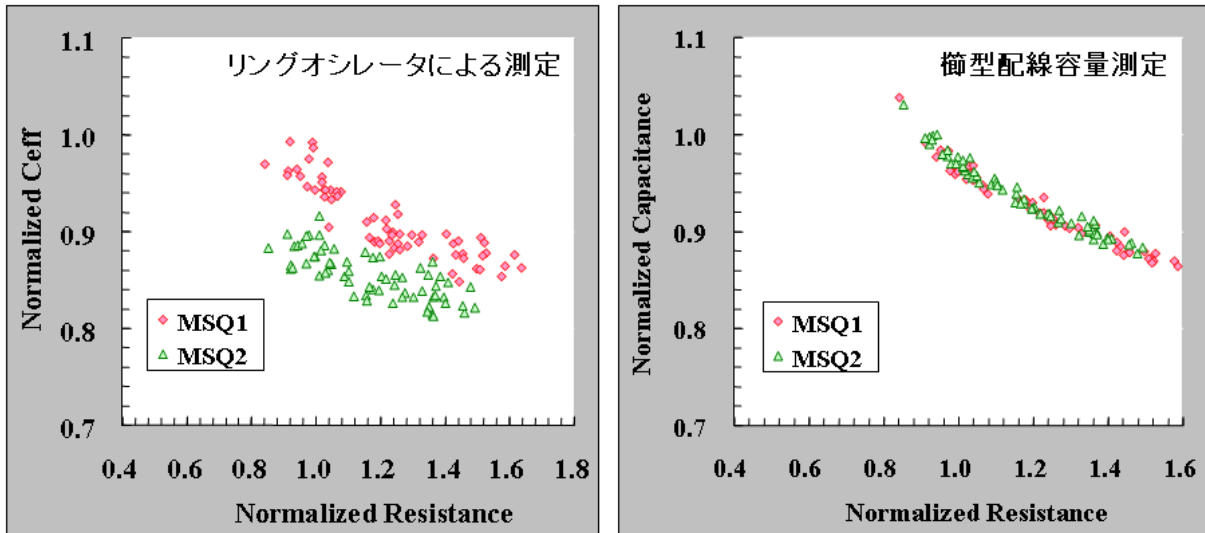


図 2. 3. 1-5 容量と配線抵抗の相対値の関係のウェーハ内分布

さらに、比誘電率の低い Low-k 材料として MSQ3 を加えて、評価を行った。単層膜での物性値と絶縁膜リーク特性を図 2. 3. 1-6 に示す。MSQ3 は、主骨格が MSQ2 と同じであるが、ポアサイズが大きく、膜密度が低くなっており、比誘電率がさらに低い材料である。ポアの分散に関しては、ほぼ MSQ2 と同程度と見られる。結果として絶縁破壊電圧は、MSQ1 や 2 に比べてやや低くなっている。

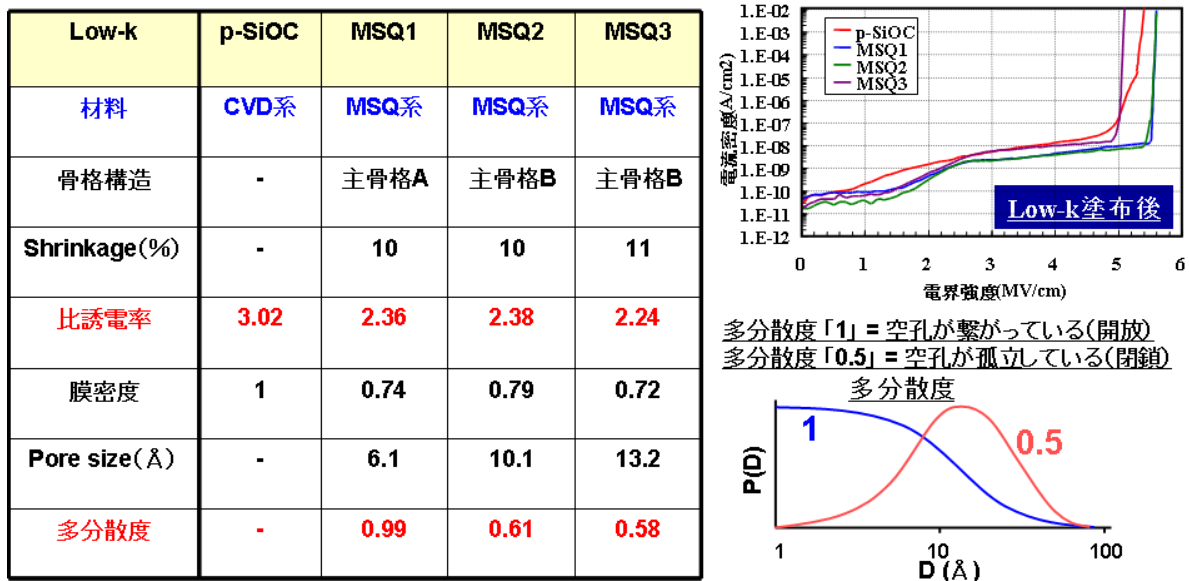


図 2. 3. 1-6 絶縁膜の物性値と絶縁膜リーク特性

配線プロセスでの種々の処理を連続して行ったとき、それぞれのダメージによる単層膜での比誘電率の変化を図 2. 3. 1-7 に示す。MSQ3 は MSQ1,2 に比べ、初期の比誘電率が低いので、ダメージを受けた後も低いのが、初期の差ほどは大きくはない。また、リーク電流の増加も大きい。

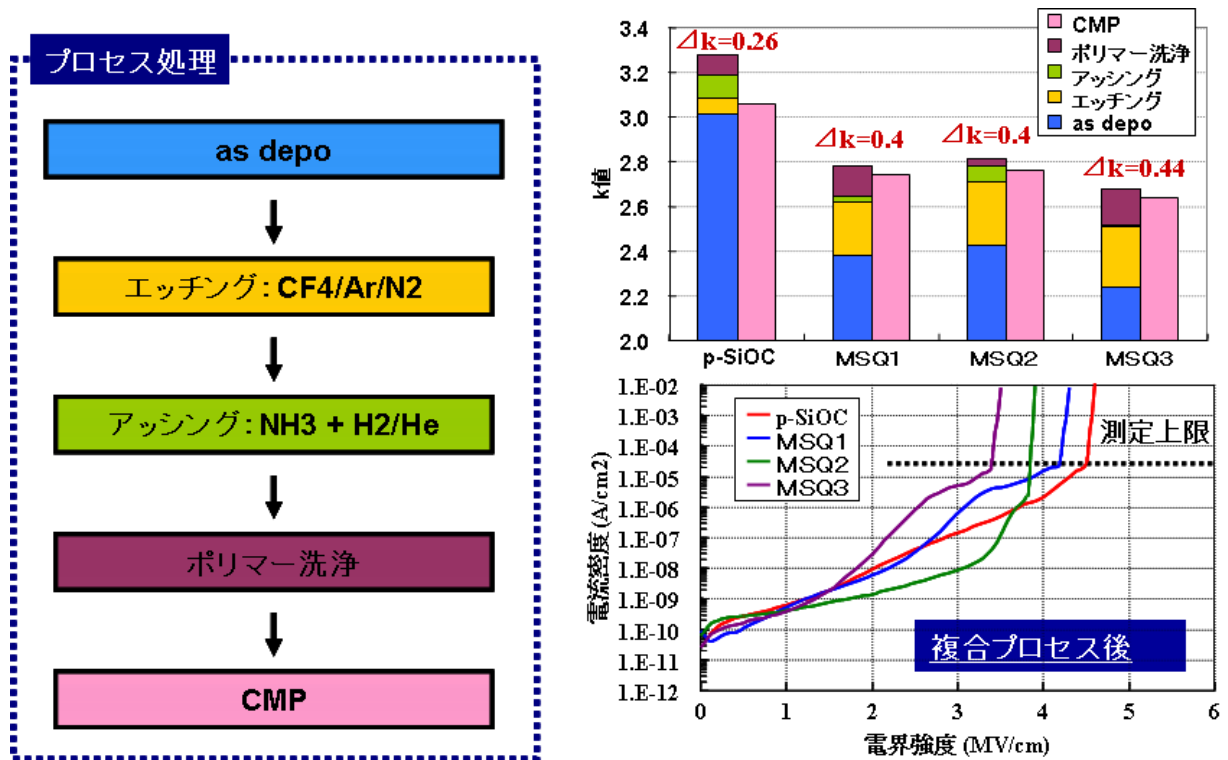


図 2. 3. 1-7 複合処理による比誘電率 (k 値) の変化および複合プロセス後の絶縁膜のリーク電流

MSQ3 を用いて図 2. 3. 1-3 に示したのと同じように 6 水準のウェーハを作成し、リングオシレータの周波数測定と抵抗測定を行った。結果を他の MSQ 材料と共に図 2. 3. 1-8 に示す。特徴的なことは、MSQ3 では、Cap 膜が残存している場合に実効容量が他の MSQ に比べて低くなっていることである。また、Low-k 材料のみになっても研磨量が大きくなると、実効容量は MSQ2 より若干低くなっている。このことは、Cap 膜のプラズマ CVD によるダメージが MSQ3 では少ないことを示唆していると思われる。



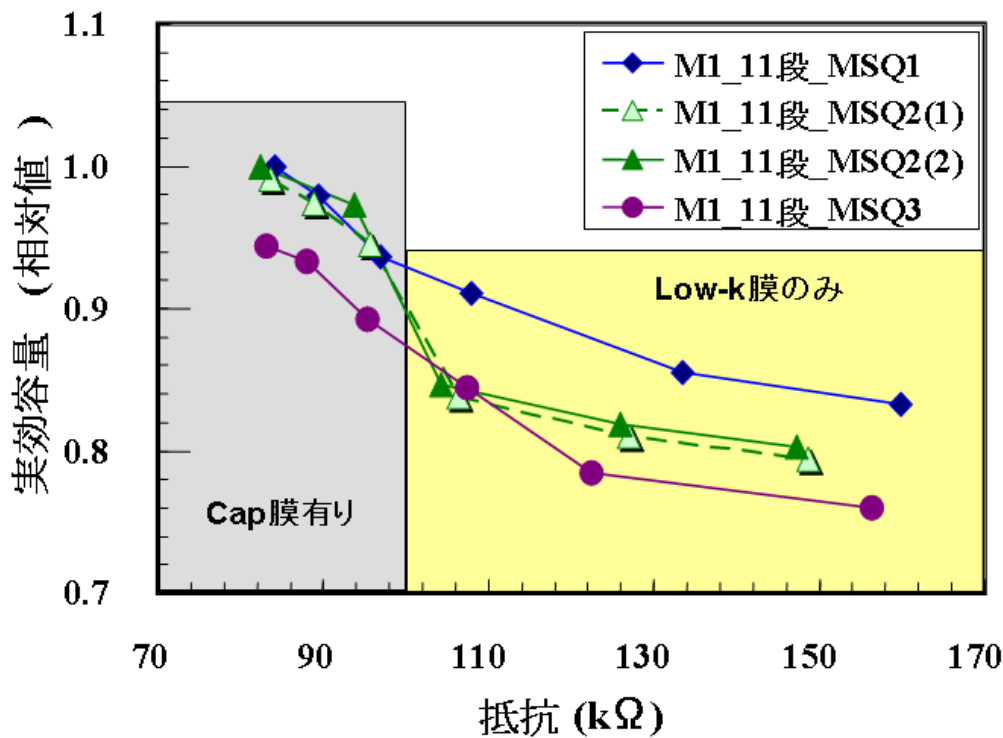
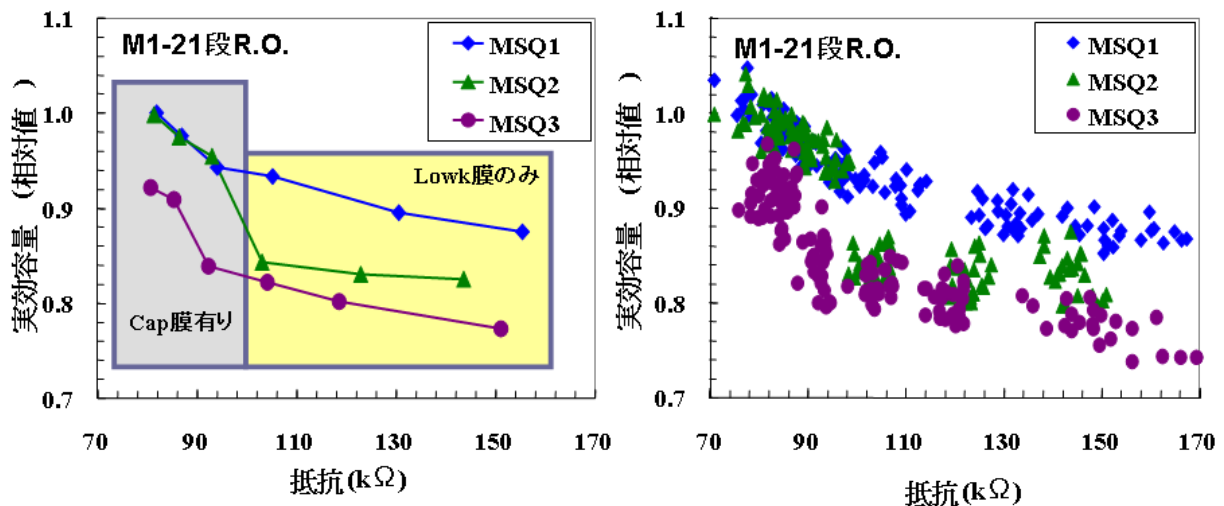


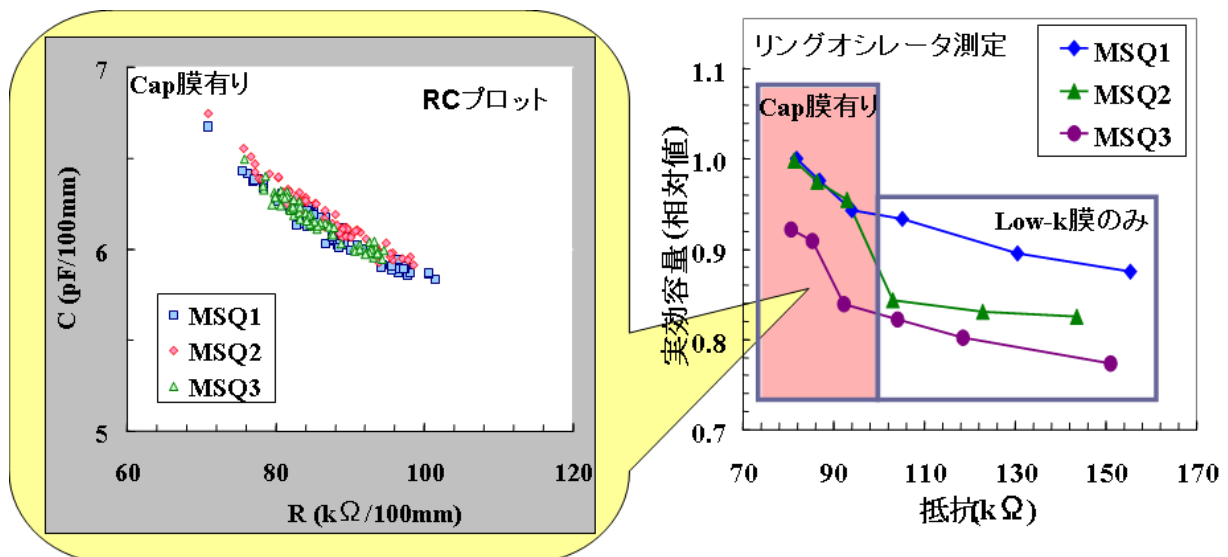
図 2. 3. 1-8 リングオシレータによる実効容量と配線抵抗の関係

これまでは、図 2. 3. 1-3 に示した方法で CMP を行なって 1 層の Cu 配線 (M1) が終わった段階で、11 段のリングオシレータや抵抗測定を行ってきた。次に、それぞれのウェーハに 2 層目の Cu 配線 (M2)、Al 配線、パッシベーション、N2 アニールを行い FEOL プロセスの後通常の Cu2 層配線したウェーハで、21 段のリングオシレータを用いて M1 配線の特性を評価した。結果を図 2. 3. 1-9 に示す。ここではウェーハ内各チップで測定した値の中心値と分布を示す。中心値で見ると、先ほどの図 2. 3. 1-8 とほぼ同じ結果が得られた。分布を見ると Cap 膜が残存している場合には、MSQ3 と MSQ2 とは明らかに実効容量が異なっているが、Low-k 膜のみになると分布がかなり重なってくる。次にこれらのウェーハで、Cap 膜が残存している場合の楕型パターンで測定した容量と折り返しパターンで測定した抵抗値の関係を図 2. 3. 1-10 に示す。この図では、MSQ 材料の間に明確な差はほとんど得られない。原因は、先ほどと同じように、楕型パターンの容量が小さく、測定による寄生容量とほぼ同じ程度になっているためと推測される。



- Low-k膜の直接CMPが行われた場合、MSQ1に対比して
  - ✓ MSQ2：最大10.3%実効容量低減
  - ✓ MSQ3：最大12.5%実効容量低減
- 直接CMPでLow-k膜のみのとき、MSQ2とMSQ3の面内分布を見ると、分布の重なりが多く、初期単層膜のk値の差ほど明確な差はなくなっている
- Cap膜が残存している場合、MSQ3と他材料とのk値の差が明確である

図 2. 3. 1-9 リングオシレータによる実効容量と配線抵抗の関係  
ウェーハ中央値（左）とウェーハ内各チップの分布（右）



- リングオシレータの周波数測定に基く実効容量の結果と異なり、配線の抵抗と容量に基くRCプロットではLow-k材料間に差は認められない
- RCプロットよりもリングオシレータによる容量評価の方が材料評価に適している

図 2. 3. 1-10 Cap膜有りのときのRCプロット

以上、リングオシレータを用いた Low-k 材料の比誘電率評価について述べてきた。この方法の適用により、Low-k 材料の比誘電率の差やプロセスによる影響を正確に評価できることがわかった。BEOL だけで作成した試料では楕型パターンで直接容量を測定するが、その際には測定に伴う寄生容量の影響を受ける。しかし、リングオシレータでは、周波数に楕型パターンの容量のみが反映されるためと考えられる。ただ、現段階では比誘電率や実効容量が相対値としてしか求められない。基準サンプルを作成することや、さらに解析を進めることにより絶対値評価を可能にすることが期待される。

### b. NH3 プラズマ照射によるダメージとその回復処理の評価

リングオシレータによる Low-k 膜の比誘電率評価を、NH3 プラズマ照射によるダメージとその回復処理の効果を検証するために適用した例を以下に述べる。Cu 1 層 (M1) 配線において、プラズマ照射とその回復処理のプロセスフロー、CMP 後の断面構造、リングオシレータでの評価内容について、**図 2. 3. 1-11** に示す。

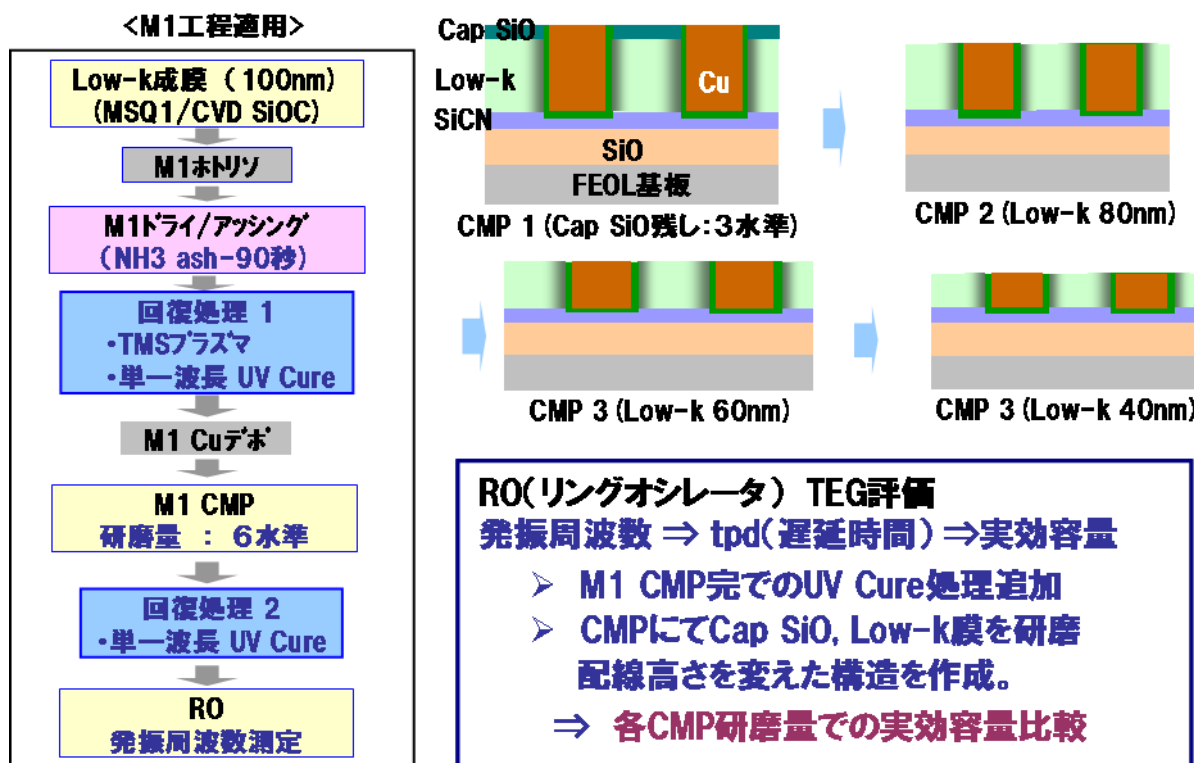


図 2. 3. 1-11 ダメージ回復処理効果検証のためのウェーハ作成

Low-k 材料としては、MSQ1 と p-SiOC を用いた。Low-k にダメージを与える工程は、M1 ドライエッチ、アッシャである。特にアッシャでは NH3 プラズマを用いており、このとき Low-k がダメージを受ける。回復処理として種々検討してきた中で、最も効果的であった TMS（トリメチルシラン）プラズマ処理と 222 nm の単一波長の UV（紫外線）照射処理を適用した。また、この UV 処理は、Cu、バリア金属の M1 CMP の後にも追加した。

CMP 研磨量の異なるウェーハについてリングオシレータの測定を行い、実効容量を求めた結果を MSQ1 と p-SiOC のそれぞれについてダメージ回復処理の有無の比較を図 2. 3. 1-12 に示す。回復処理を行なうことにより、MSQ1 で約 10%、p-SiOC で約 5%の実効容量の低減が見られた。単層膜の評価では、NH3 プラズマにより MSQ1 で 20%、p-SiOC で 10%の比誘電率(k 値)の増加がある。回復処理によりそれぞれ 20%、10%減少し、ほぼ元通りの比誘電率に戻る。実際の配線構造では、配線間容量に対しての Low-k 材料の寄与は約 1/2 であることから、上記のように実効容量で約半分の減少率が見られたことは、Low-k 膜としてはほぼ元通りの比誘電率に戻っていることを示している。

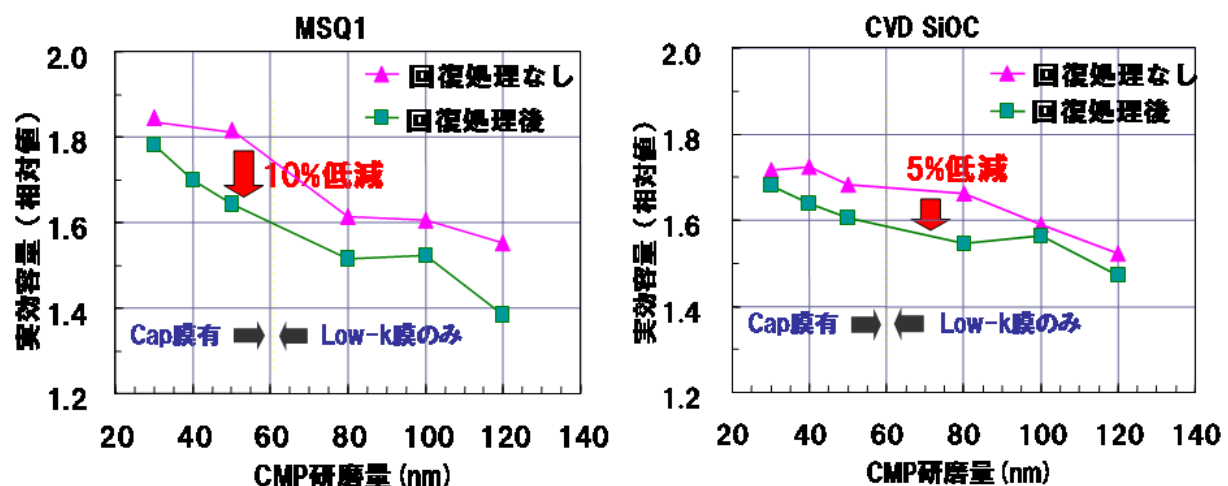


図 2. 3. 1-12 リングオシレータの測定による実効容量の抽出結果

以上、2つの例で述べてきたように、配線間容量を負荷としたリングオシレータを用いることにより、実効容量として相対値ではあるが、材料間の差やプロセスの影響を高感度に比較することができた。この手法により、実際の半導体集積回路に用いられたときの種々の Low-k 膜の比誘電率の相対的な差、あるいはプロセスによる変化を高感度に把握することが可能である。さらに、リングオシレータの発振周波数そのものが 200 MHz 程度と高いことにより、半導体集積回路における Low-k 膜の効果を明確に把握することができる。これにより Low-k 材料に 1つの指針を与えることができ、その開発に貢献することができる。

### 2. 3. 2. 寄生 MOS を用いた配線間絶縁膜の評価方法

BEOL に用いる材料評価のために、FEOL プロセスで形成されたどのような素子を利用できるかについて調査した。何種類かの配線間絶縁膜を用いて、FEOL で形成した素子上に Cu<sub>2</sub> 層配線を形成し、FEOL で形成した素子の電気特性を測定した。ゲート絶縁膜容量素子、p-n 接合素子、トランジスタ、各種の抵抗素子、リングオシレータなどには配線層間絶縁膜の直接的な影響として明確な差を示す特性は見られなかった。

そこで、BEOL での配線層間絶縁膜が 2 層目の配線 (M2) をゲート電極とする寄生 MOS のゲート絶縁膜の一部を構成することに着目し、M2 寄生 MOS の電気特性を測定することにより、配線層間絶縁膜の影響が見られるのではないかと考えた。しかし、M2 寄生 MOS のしきい電圧を測定すると、測定毎にしきい電圧が低下していく現象が見られた。また、+ にバイアス電圧を印加するとしきい電圧は低下するが、- にバイアス電圧を印加するとしきい電圧は上昇することもわかった。さらに、印加電圧を + と - で絶対値を同じにして印加時間も同じにすると、しきい電圧の変動幅が測定を繰り返してもほぼ一定になることがわかった。このような現象は、現在用いている半導体プロセスでは絶縁膜がアルカリ金属などの絶縁膜中で電荷を持つような元素による汚染がほとんどないことを考慮すると、絶縁膜の分極によるものと理解できる。すなわち、寄生 MOS のバイアス印加による繰り返し測定から得られるしきい電圧の変動幅から、そのゲート絶縁膜を構成する材料の分極特性を評価することが可能となる。分極特性は測定方法が確立されていなかったため、今まであまり着目されてこなかった。しかし、分極特性は材料の構造に起因すると考えられることから、このような材料評価が材料開発の 1 つの指針になると考えられる。また、半導体デバイスの電気特性に直接影響するものであるため、今後、特に高電圧が印加されるようなデバイス開発においては着目される物性値となる可能性がある。

以下に分極特性の評価方法と、その結果について述べる。寄生 MOS の構造を模式的に図 2. 3. 2-1 に示す。

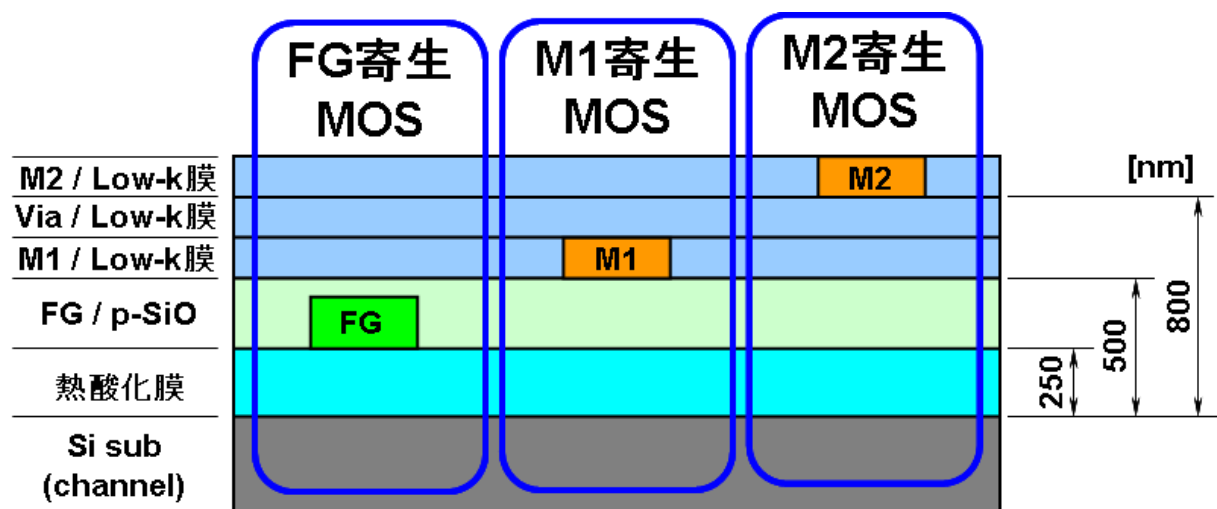
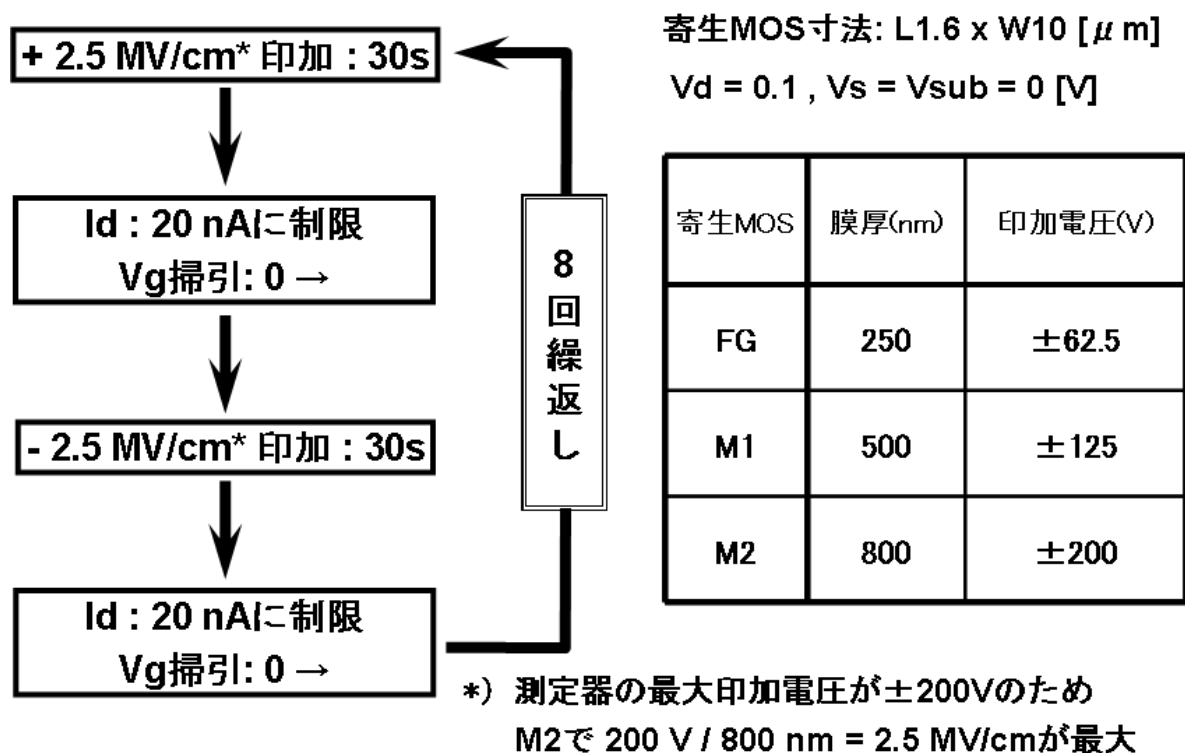


図 2. 3. 2-1 寄生 MOS の構造模式図

FEOL と BEOL を連続して試作したウェーハで形成される寄生 MOS は 3 種類ある。それらの寄生 MOS のゲート絶縁膜の構造としては、FG では素子分離用の熱酸化膜のみ、M1 では p-SiO が追加され、M2 ではさらに Low-k が追加される。また、膜厚は、それぞれ 250nm、500nm、800nm となる。評価したい材料は、主に Low-k であるが、その分極特性を抽出するためには、M2 寄生 MOS だけでなく、FG、M1 寄生 MOS の特性も測定しなければならない。測定方法を、**図 2. 3. 2-2** に示す。しきい電圧測定を行う前のバイアス電圧は、それぞれのゲート絶縁膜で 2.5 MV/cm となるように設定した。



**図 2. 3. 2-2** 寄生 MOS のしきい電圧変動の測定方法

M2 寄生 MOS のしきい電圧測定のためのゲート電圧とドレイン電流の関係の測定例を **図 2. 3. 2-3** に示す。このようにして測定した 3 種類の寄生 MOS のしきい電圧の変動の例を **図 2. 3. 2-4** に示す。

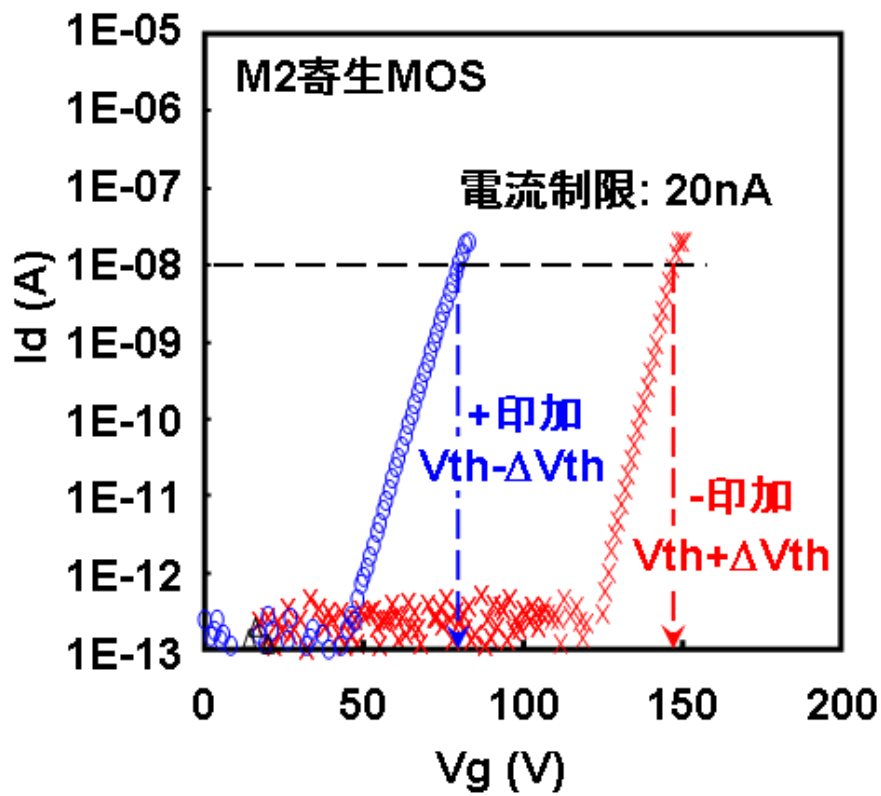


図 2. 3. 2-3 M2 寄生 MOS でのしきい電圧の測定例

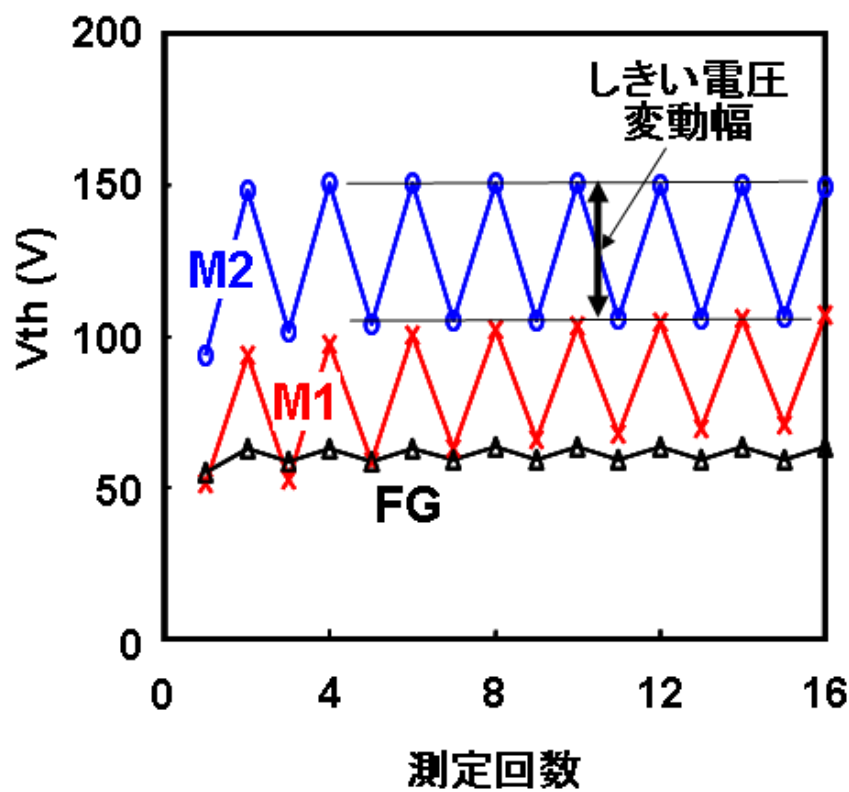


図 2. 3. 2-4 3 種類の寄生 MOS のしきい電圧の変動の例



種々の Low-k 材料を配線層間絶縁膜に用いて Cu/Low-k 2 層配線を形成した場合について、このような測定から得られる各寄生 MOS のしきい電圧変動幅を表 2. 3. 2-1 に示す。

表 2. 3. 2-1 寄生 MOS のしきい電圧変動幅

配線層間 絶縁膜 寄生MOS	p-SiOC	有機Low-k/ p-SiOC	MSQ4	MSQ1
FG	4.5	7.1	5.3	4.2
M1	29.6	32.8	33.6	34.0
M2	58.1	51.0	44.5	44.0

しきい電圧変動幅;単位(V)

この段階で、寄生 MOS のゲート絶縁膜の構成が異なる M2 に着目してみる。比誘電率が p-SiOC より低い MSQ でゲート絶縁膜の 1 部が構成されている場合、M2 のしきい電圧変動幅も小さくなっていることがわかる。このことは、MSQ の分極電荷が p-SiOC のそれより少ないことを意味している。

次に、しきい電圧変動幅から、各材料の分極電荷密度を計算する。絶縁膜としては、単純化して、熱酸化膜、p-SiO、Low-k などの層間絶縁膜の 3 種類とする。ここで層間絶縁膜は、p-SiOC の場合は、M1 層とビア層の 2 層分の p-SiOC およびその間の薄い p-SiCN 膜、p-SiOC と p-SiO の間の薄い p-SiC 膜が含まれる。有機 Low-k/p-SiOC の場合は、M1 層のみを有機 Low-k に替えたもの、MSQ の場合は M1、ビアの 2 層分を MSQ に替えたものである。しきい電圧の変化が+と-のバイアス電圧で可逆的に起こることから、+と-のバイアス電圧で同一量の分極電荷が発生していると考えられ、その電荷によるしきい電圧変化量は、表 2. 3. 2-1 に示すしきい電圧変動幅の半分に対応する。FG M1 M2 の寄生 MOS でのしきい電圧変動幅をそれぞれ  $V_{fg}$ 、 $V_{fm}$ 、 $V_{sm}$  として、熱酸化膜、p-SiO、配線間絶縁膜の電界強度 2.5 MV/cm での分極電荷密度をそれぞれ  $Q_s$ 、 $Q_p$ 、 $Q_k$ 、また、絶縁膜容量をそれぞれ  $C_s$ 、 $C_p$ 、 $C_k$  とすると、図 2. 3. 2-5 に示す関係が成り立つ。この関係から、熱酸化膜、p-SiO、配線間絶縁膜の比誘電率をそれぞれ 4、4、3 とし、真空の誘電率  $8.85 \times 10^{-12}$  F/m、電気素量  $1.6 \times 10^{-19}$  クーロンを用いてそれぞれの分極電荷密度を求めた結果を表 2. 3. 2-2 に示す。



FG寄生MOSの場合 Si-熱酸化膜界面での電荷 $Q_s$ によるしきい電圧変化量 $V_{fg}/2$ は、  

$$V_{fg}/2 = Q_s / C_s = Q_s \cdot 1/C_s$$

M1寄生MOSの場合 Si-熱酸化膜界面での電荷 $Q_s$ および熱酸化膜- p-SiO界面での電荷( $Q_p - Q_s$ )によるしきい電圧変化量 $V_{fm}/2$ は、

$$\begin{aligned} V_{fm}/2 &= (Q_p - Q_s) \cdot 1/C_p + Q_s \cdot (1/C_p + 1/C_s) \\ &= Q_p / C_p + Q_s / C_s \\ &= Q_p / C_p + V_{fg}/2 \end{aligned}$$

M2寄生MOSの場合 Si-熱酸化膜界面での電荷 $Q_s$ および熱酸化膜- p-SiO界面での電荷( $Q_p - Q_s$ )、p-SiO-配線間絶縁膜界面での電荷( $Q_k - Q_p$ )によるしきい電圧変化量 $V_{sm}/2$ は、

$$\begin{aligned} V_{sm}/2 &= (Q_k - Q_p) \cdot 1/C_k + (Q_p - Q_s) \cdot (1/C_k + 1/C_p) \\ &\quad + Q_s \cdot (1/C_k + 1/C_p + 1/C_s) \\ &= Q_k / C_k + Q_p / C_p + Q_s / C_s \\ &= Q_k / C_k + V_{fm}/2 \end{aligned}$$

図 2. 3. 2-5 各寄生MOSのしきい電圧変動幅とゲート絶縁膜の分極電荷密度の関係

表 2. 3. 2-2 寄生MOSのゲート絶縁膜に用いられているおのこの絶縁膜の電界強度 2.5MV/cmでの分極電荷密度

配線層間 絶縁膜 絶縁膜種	p-SiOC	有機Low-k/ p-SiOC	MSQ4	MSQ1
熱酸化膜	1.9	3.1	2.4	1.9
p-SiO	11.1	11.4	12.5	13.2
配線層間 絶縁膜	7.9	5.0	3.0	2.8

分極電荷密度;単位(E11個/cm<sup>2</sup>)

分極電荷密度は、熱酸化膜で最も小さく、ついで配線間絶縁膜であり、p-SiO が最も大きな値となった。また、p-SiOC に比べ、MSQ では分極電荷密度は半分以下に小さいことがわかる。このように、材料により分極電荷密度が異なることから、材料開発における 1 つの物性値としての評価指標にすることが可能である。

以上述べてきたように、寄生 MOS のゲート電極に+と-のバイアス電圧を印加することによるしきい電圧の変動幅を測定することにより、ゲート絶縁膜になっている材料の分極特性を評価することができた。今回はまだ、室温 (23°C) でかつ 2.5 MV/cm の一定の電界での測定結果であるが、この電界強度を変えて測定すること、或いは温度を変えて測定することにより、分極特性についてさらに詳細な評価ができると考えられる。なお、この評価にはしきい電圧変動を測定する必要があるので、BEOL で用いる材料ではあるが、FEOL と BEOL の統合 TEG を用いる必要がある。

これまでの LSI では、今回測定しているような高電界が寄生 MOS のゲート電極に印加されることはなく、デバイスメーカーでも今回のような測定は行われてこなかったと思われる。ただ、パワーMOS など高電圧が印加されるデバイスでは、今回測定したような高電界が印加される可能性があり、そこに用いる絶縁膜材料では分極特性が材料選定の重要な指標なる可能性がある。したがって分極特性も材料開発の重要な指標の 1 つになる可能性があり、その場合にはここで述べてきたような評価方法を用いることが新たな材料開発に貢献できると思われる。

### 2. 3. 3. ワイヤーボンド型パッケージ (QFP) での評価

FEOL/BEOL 統合 TEG をパッケージまで組立てを行い、BEOL に用いる材料の評価のため、FEOL プロセスで形成されたどのような素子を利用できるか、どのような測定を行えばよいかについて調査した。ここでは、パッケージとしてワイヤーボンド型の QFP での評価について述べる。

FEOL/BEOL 統合 TEG ウェーハの外観写真と 1 ショットの外観写真およびその中のパッケージ組立てチップを **図 2. 3. 3-1** に示す。QFP には、 $8.6 \times 8.6 \text{ mm}^2$  のチップを用いた。このチップを組み立てた場合に、測定できる TEG の種類とチップ内でのその TEG の領域を **図 2. 3. 3-2** に示す。2 つの領域で同じ TEG が配置されており、同じ素子が 2 個測定できる。このような TEG が形成されたウェーハ上に CASMAT でバッファコート膜を形成し、ボンディングパッドを開口した。その後、外注にてバックグラインド、ダイシング、ダイボンディング、ワイヤーボンディング、レジンモールドの工程を行い、QFP を組み立てた。QFP の仕様および試料となるチップの仕様について **図 2. 3. 3-3** に示す。チップの種類は、その厚さは  $410$  と  $25 \mu\text{m}$  の 2 種類、また Cu 2 層配線の層間絶縁膜としては p-SiOC と MSQ の 2 種類、バッファコート膜は BC1 の 1 種類として、全部で 4 種類を組み立てた。

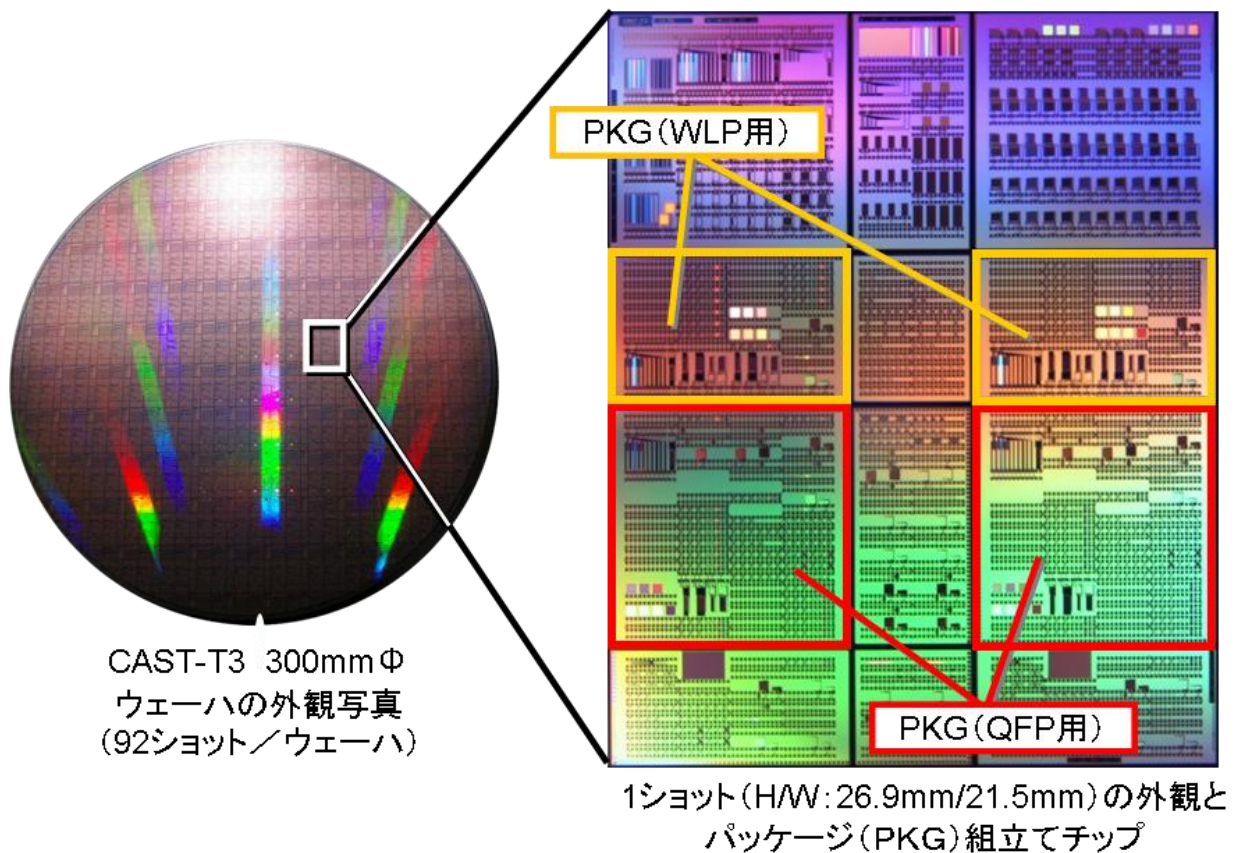


図 2. 3. 3-1 FEOL/BEOL 統合 TEG ウェーハの外観写真と  
パッケージ組立てチップ

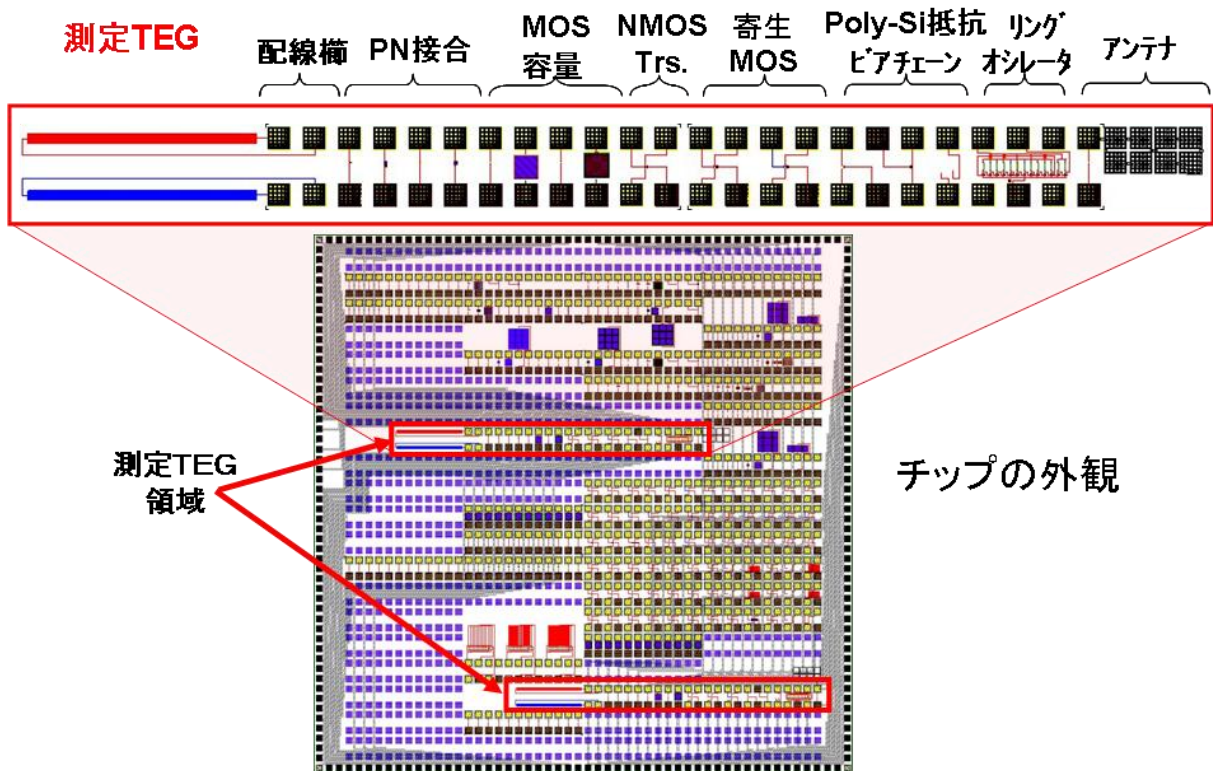
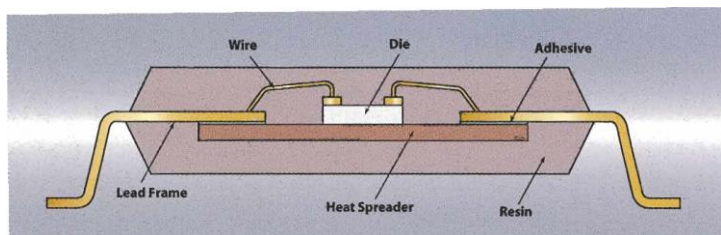
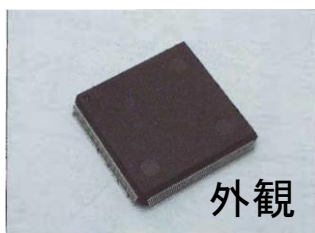


図 2. 3. 3-2 TEGの種類とチップ内でのそのTEGの領域

パッケージ仕様: FIM社製 QFP 208pin

本体寸法: 28mm□ リードピッチ: 0.5mm 厚さ: 1.4mm



試料の仕様

チップ寸法 : 8.6mm□ チップ厚さ : 25、410μm

配線層間Low-k膜 : p-SiOC、MSQ1

バッファコート膜 : BC1

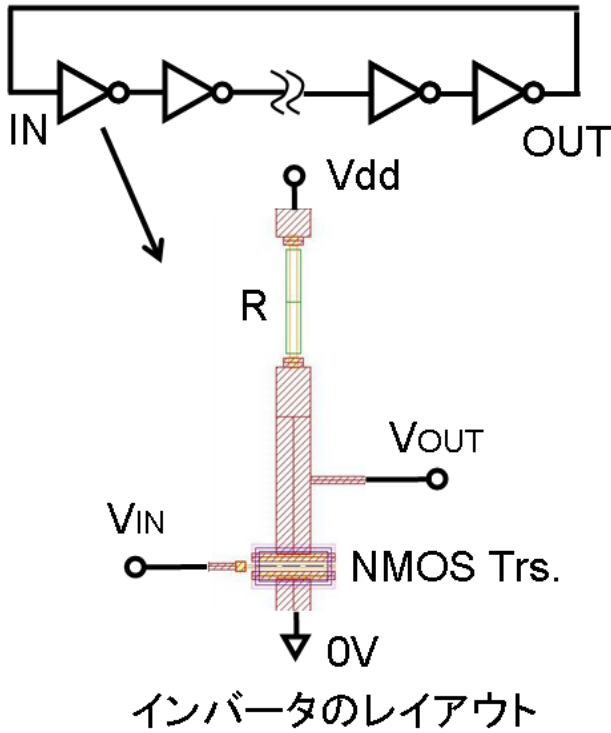
図 2. 3. 3-3 QFPの仕様および試料となるチップの仕様



それぞれの種類のチップを組み立ててパッケージ 20 個ずつ **図 2. 3. 3-2** に示す TEG を測定したが、チップの種類による差はほとんど無かった。パッケージに組み立てる前の Al 配線形成に続く保護膜形成後（図では Al 完と記載）に測定した TEG の特性とパッケージ後（図では PKG 完と記載）の特性を比較した。**図 2. 3. 3-2** に示した素子の中で、Cu 配線、p-n 接合、MOS 容量素子、NMOS トランジスタ、寄生 MOS、アンテナ TEG においては、Al 完後と PKG 完後の素子特性に測定するとき用いる測定パッドの違いによる差以上の変化は見られなかった。Al 完後の測定ではそれぞれの素子の近くに測定パッドがあるが、PKG 完後の測定ではチップ中央付近の素子からチップ周辺の測定パッドまで Al で配線している。この配線抵抗は約 20~30  $\Omega$  程度であり、このことに注意して測定結果を判断することが必要である。すなわち、電流の流れるパッドでは、この抵抗と電流の積の電圧分だけ外部電圧から降下した電圧が実際の素子に印加されることになる。このような、Al 配線の抵抗を考慮して、Al 完後と PKG 完後の素子特性に有意差が認められたのは、リングオシレータの発振周波数と poly-Si の抵抗であった。

パッケージに組立しているリングオシレータの概要を **図 2. 3. 3-4** に示す。11 段のインバータから構成されており、インバータは NMOS トランジスタと poly-Si の負荷抵抗で構成されている。層間絶縁膜が p-SiOC と MSQ1 の TEG で Al 完後と PKG 完後のリングオシレータの発振周波数の測定結果を **図 2. 3. 3-5** に示す。いずれの層間絶縁膜の場合も、PKG 完後に発振周波数の分布の中心値で 17 MHz 低下している。この発振周波数の低下率は約 6% に相当する。リングオシレータの発振周波数低下の原因として、パッケージのために引き回した Al 配線による抵抗による電源電圧低下が考えられる。Al 配線抵抗 30  $\Omega$ 、電源電流 3 mA として、約 0.1 V 低下すると、これは電源電圧 5V の 2% となり、周波数には約 1% 位低下すると考えられる。今回の低下率は、それ以上であり、さらに別の原因があると推察される。

また、poly-Si の抵抗値の測定結果を **図 2. 3. 3-6** に示す。ウェーハ内での poly-Si の抵抗値の分布は 200  $\Omega$  強であり、約 5% と大きい。しかし、分布の中心地で比較すると、PKG 完後に抵抗値は 180  $\Omega$  上昇しており、Al 配線の抵抗分 50  $\Omega$  を差し引いても 130  $\Omega$  上昇している。この抵抗の増加率は約 3% となる。このような負荷抵抗の増加により発振周波数が低下したものと考えられる。また、このような抵抗増加の要因としては、パッケージにおけるレジンモールドの収縮によりチップに圧縮応力がかかっているためであると推測できる。また、その応力は、**Ⅲ. 2. 2. 2** の結果から 100 MPa 前後であろうと思われる。



RO内インバータの概要

インバータ数n: 11

NMOS Trs. 寸法: 0.5umX10um

負荷抵抗R: Poly-Si 1umX30um

測定条件

駆動電圧Vdd: 5V

評価項目

発振周波数; f

$$f = 1/[2n(\alpha R + \beta)] \quad \alpha, \beta: \text{定数}$$

図 2. 3. 3-4 パッケージに組立られているリングオシレータの概要

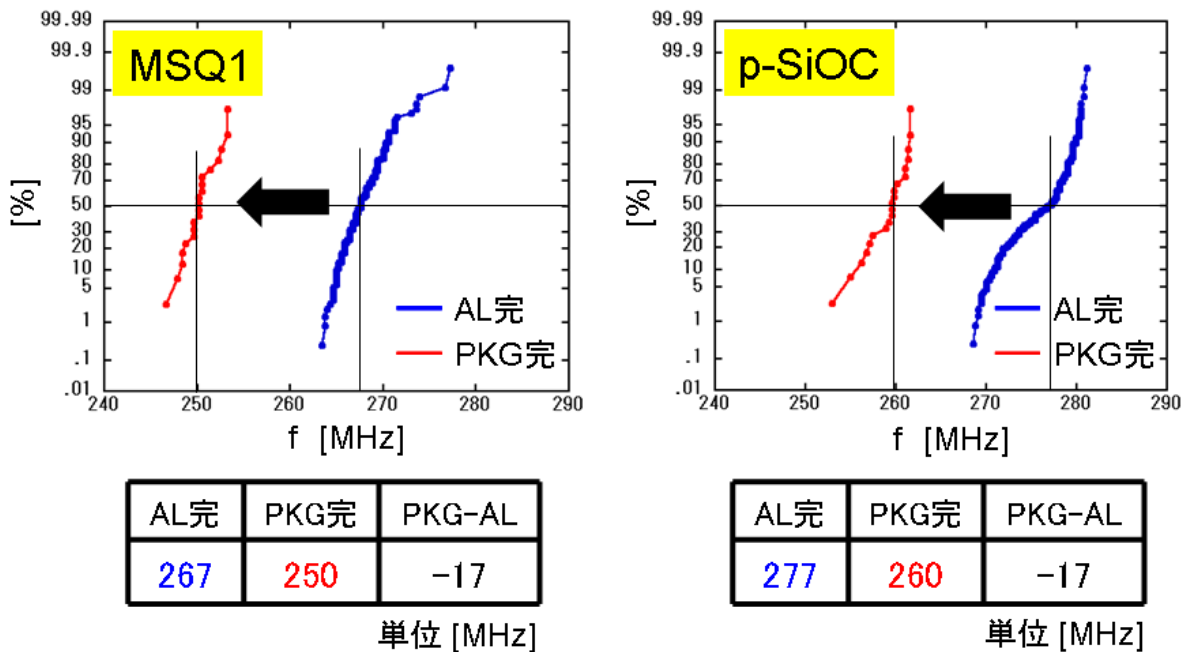


図 2. 3. 3-5 AI 完後と PKG 完後のリングオシレータの発振周波数

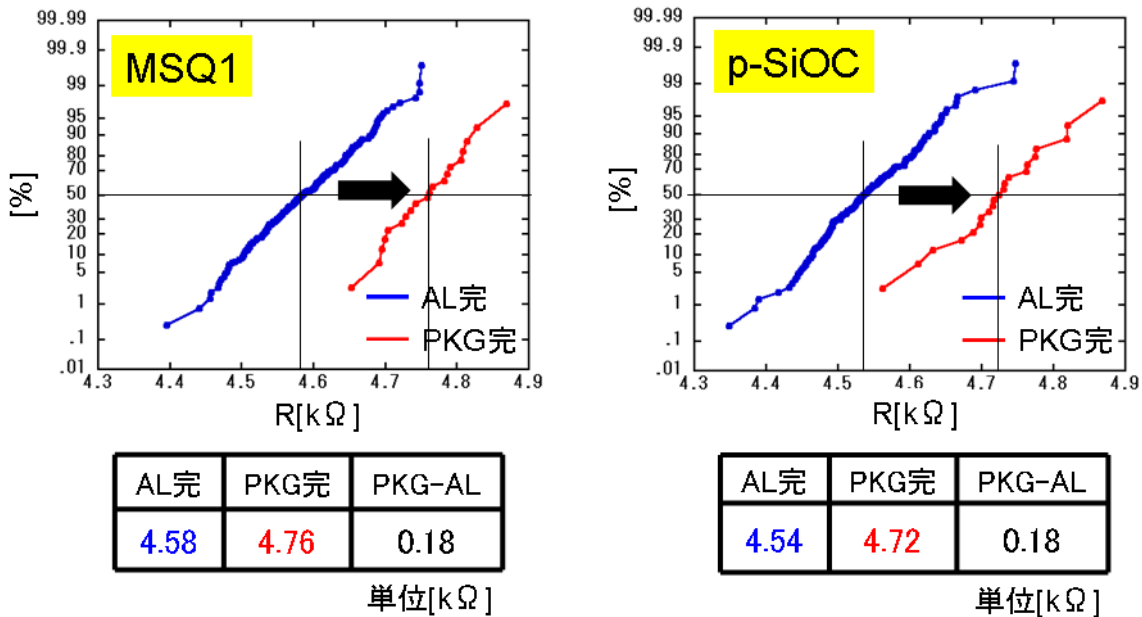


図 2. 3. 3-6 AI 完後と PKG 完後の poly-Si の抵抗値

以上、ワイヤーボンド型として QFP の組立てまで行い、BEOL 以降の材料影響を評価する方法を調査した。今回実験した範囲では結果として、配線層間絶縁膜や、組立てチップの厚さを変えてもほとんどの FEOL で形成された素子への影響はほとんど現れないことがわかった。唯一、リングオシレータの発振周波数の低下と poly-Si の抵抗の増加が見られたが、数%程度と極めて小さい変化であった。また、その要因は外注での試作におけるレジンモールドの収縮応力によると推測され、CASMAT で評価対象としている材料の範疇ではなかった。しかし今回の評価を通じて、FEOL から BEOL のウェーハ試作、それを外注してワイヤーボンド型パッケージの組立てを行い、ウェーハ状態、パッケージ状態いずれの試料でも電気特性を測定できる測定環境を整えることができた。

今回、FEOL からワイヤーボンド型パッケージの組立てまで一貫して試作し、材料影響の評価をおこなった。材料影響として、測定による大きな変化は測定できなかったが、評価のための道筋を確立することができた。今後もこの道筋にしたがって材料評価することが可能であり、新たな材料を適用した場合には、その影響が大きく出現することも期待できる。

## 2. 3. 4. フリップチップ型パッケージ (WLP) での評価

FEOL/BEOL 統合 TEG をパッケージまで組立てを行い、BEOL に用いる材料の評価のため、FEOL プロセスで形成されたどのような素子を利用できるか、どのような測定を行えばよいかについて調査した。ここでは、パッケージとしてフリップチップ型の WLP での評価について述べる。WLP での評価では、評価対象材料として Low-k とバッファコート (BC) の 2 つが考えられるが、主には各種の BC の評価を行った。以下、まず再配線工程の評価および高温高湿放置信頼性評価について述べ、各種 BC を用いた WLP での組立て影響評価、温度サイクル信頼性評価、剥離に対する BC の影響評価を順に述べる。

### a. 再配線工程の評価および高温高湿放置信頼性評価

FEOL/BEOL 統合 TEG において再配線を行い、WLP を組立てるチップ、再配線構造、再配線やパッケージ後に測定できる素子について図 2. 3. 4-1 に示す。測定できる素子は、p-n 接合素子、ゲート絶縁膜容量素子、NMOS トランジスタ、抵抗素子などである。

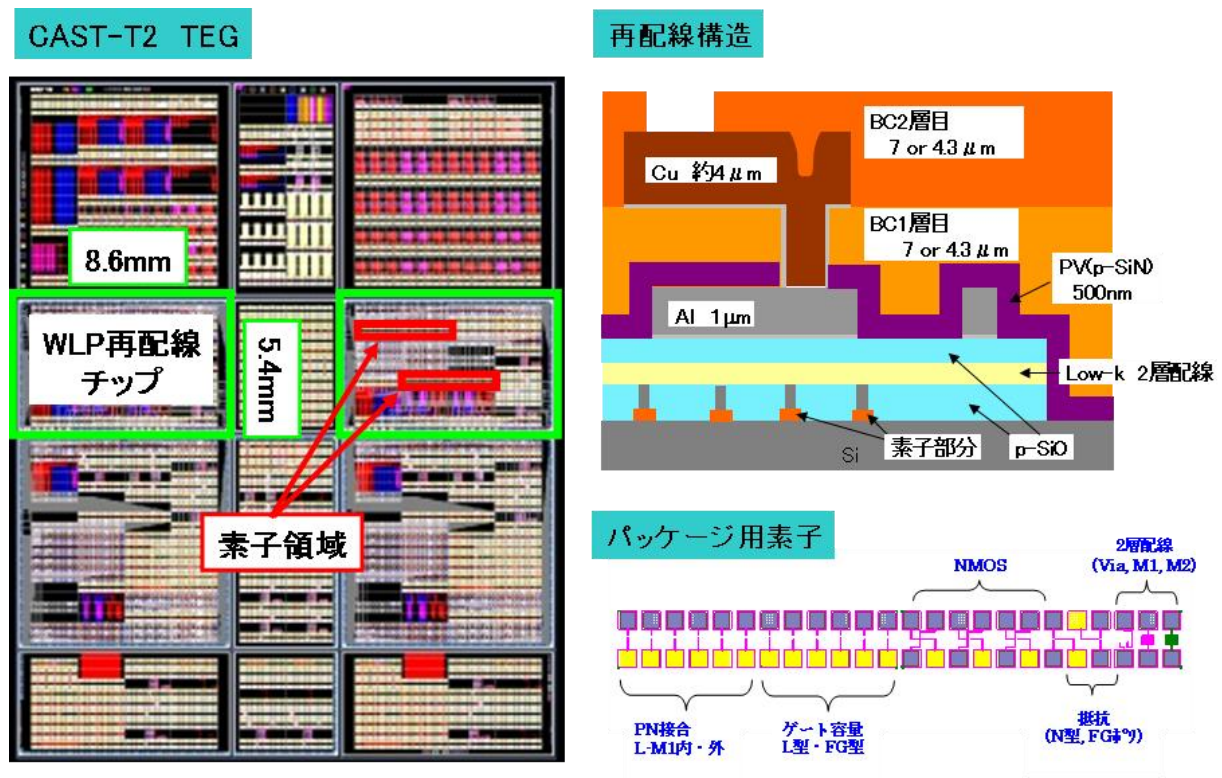


図 2. 3. 4-1 WLP を組立てるチップ、再配線構造、再配線やパッケージ後に測定できる素子



バッファークートの影響評価では、特に応力に起因する影響が考えられるので、抵抗素子と NMOS トランジスタに着目した。再配線工程とそれらの電気特性の測定を行ったステップを図 2. 3. 4-2 に示す。バッファークート膜厚を 2 層で 14 と 8.6 μm の 2 仕様としてチップに及ぼす応力の差をつけた。

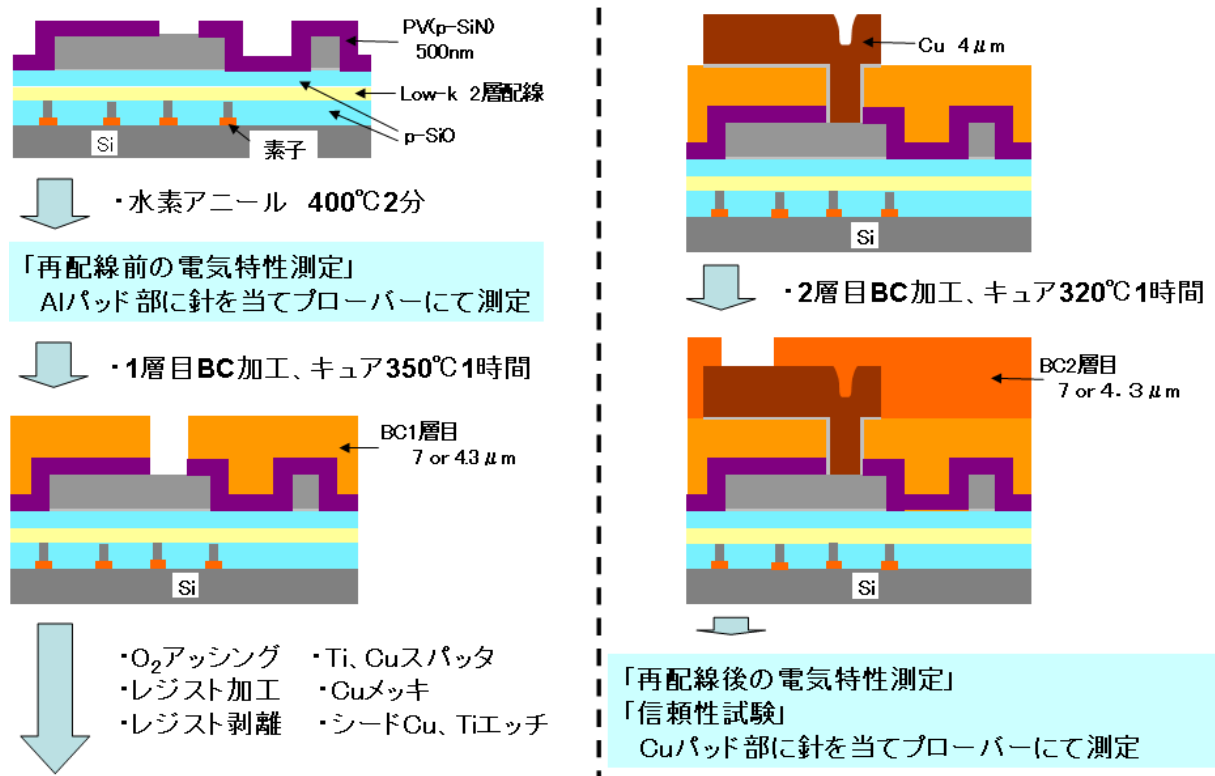


図 2. 3. 4-2 再配線工程と電気特性の測定のステップ

抵抗素子については、poly-Si の抵抗を測定した。バッファークート膜厚を 2 仕様で再配線を行ったとき、再配線前後での poly-Si 抵抗の測定結果を図 2. 3. 4-3 に示す。バッファークート膜厚にはほとんど依存せず、60 Ω の抵抗増加がみられ、これは約 1% の増加に相当する。しかしながら、再配線工程ではバッファークート膜をキュアするため、350°C と 320°C のそれぞれ 1 時間の熱工程が入っている。バッファークートを用いないで、350°C と 200°C で 2 時間の熱処理を行なったとき、熱処理前後での抵抗測定を行った結果を図 2. 3. 4-4 に示す。350°C で約 30 Ω の抵抗増加がみられる。すなわち再配線工程の熱処理だけで約 0.7% の増加がある。また、Si ウェーハ上にバッファークート膜を形成した時の反り測定から、バッファークート膜から poly-Si 膜に及ぼす応力（圧縮応力）を計算した結果を表 2. 3. 4-1 に示す。3 MPa 以下であり、III. 2. 2. 2 の結果からは、0.1% 以下の抵抗増加が予測される。以上のことから再配線前後での抵抗増加は、バッファークート膜の応力よりも、むしろ熱処理やパッド表面状態の変化などが影響しているものと考えられる。

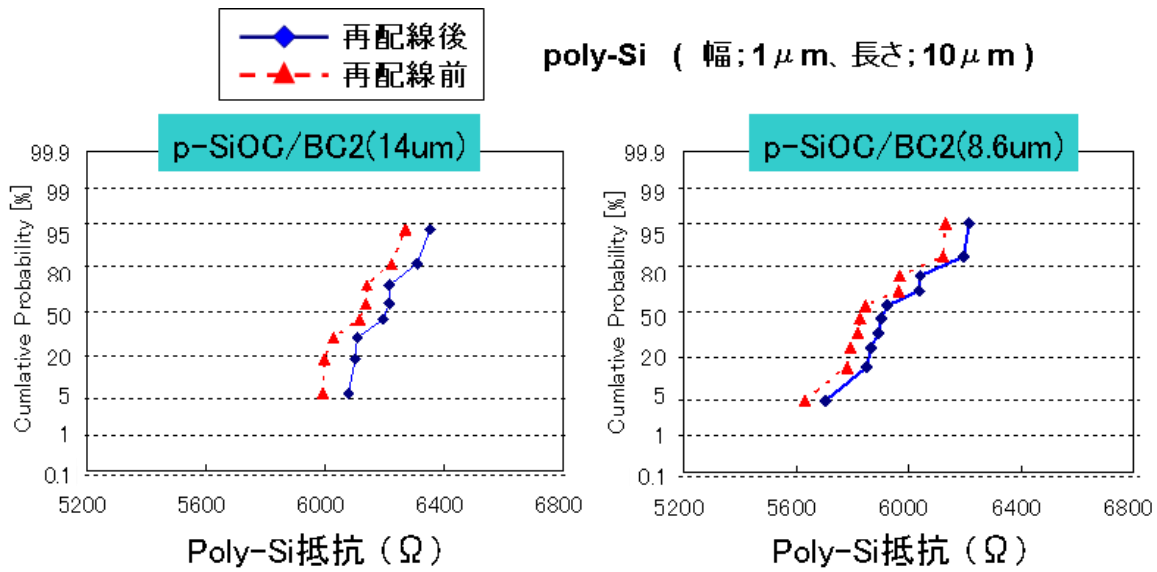


図 2. 3. 4 - 3 再配線前後での poly-Si 抵抗の測定結果

<b>加熱条件 (BG塗布無し)</b> ①150°C1h+350°C1h × 2回 ②200°C1h× 2回 (共にN2雰囲気下)	ポリシリコン抵抗値 [Ω]		
	加熱前 平均値	加熱後 平均値	前後での差
①350°C	4465	4496	31
②200°C	4486	4488	2

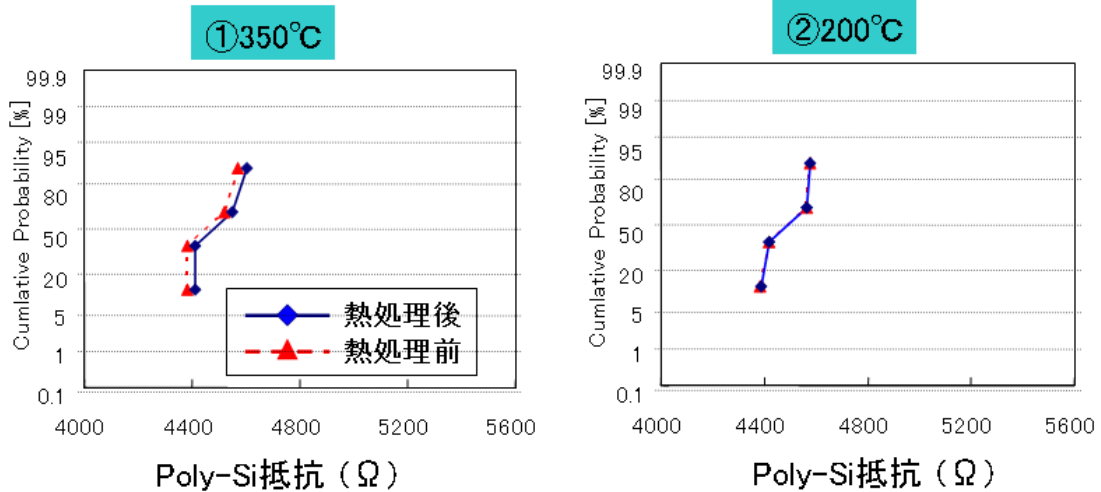


図 2. 3. 4 - 4 熱処理前後での poly-Si 抵抗の測定結果

表 2. 3. 4-1 バッファコート膜による poly-Si 膜への圧縮応力

BC2層	BC材料膜厚 (2層)[ $\mu\text{m}$ ]	WLP2層配線形成 前後での反り変化量 [ $\mu\text{m}$ ]	ポリシリコン抵抗の 応力変化量
		8.6	286
	14	402	1.7~2.7MPa

ポリシリコンのヤング率 = 120-190GPa

次に、再配線によるトランジスタへの影響を評価した。Cu 2 層配線で 3 種類の層間絶縁膜を用いたときの再配線前後でのトランジスタのしきい電圧 ( $V_{th}$ ) とサブスレッシュヨルドスイング (S 値) の測定結果を図 2. 3. 4-5 に示す。再配線工程を経ることにより、 $V_{th}$ 、S 値ともに低下し、層間絶縁膜が p-SiOC のとき変動幅が最も大きい結果になった。

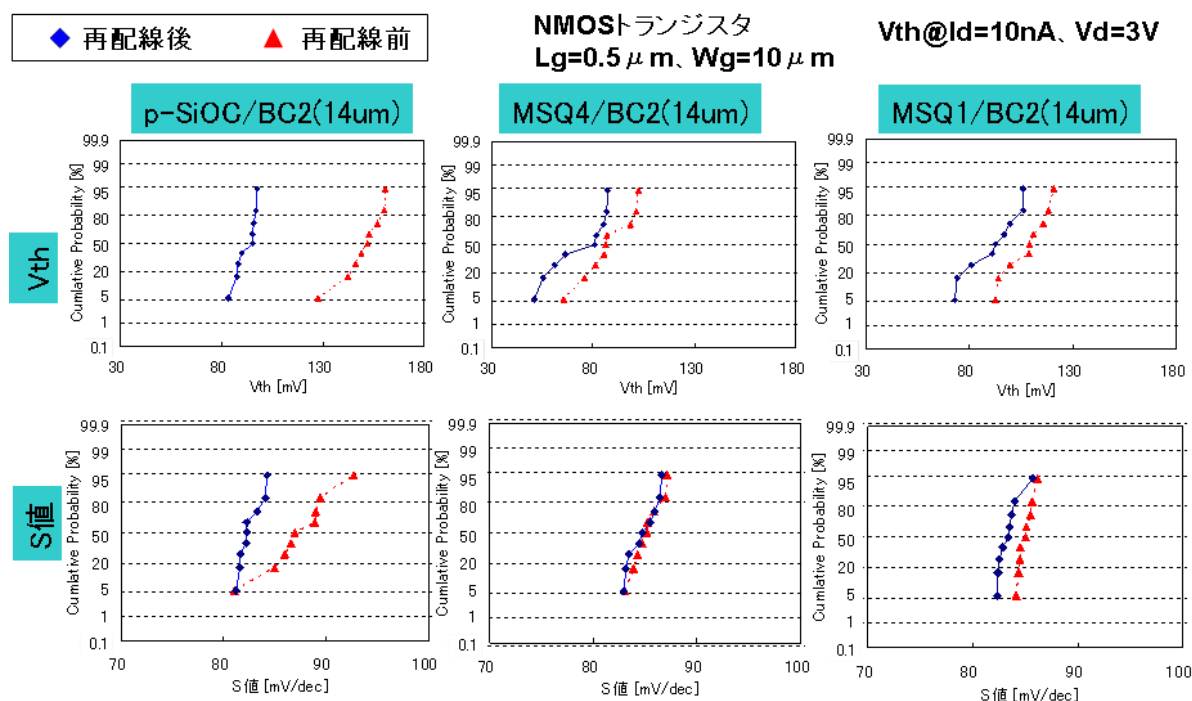


図 2. 3. 4-5 再配線前後でのトランジスタのしきい電圧 ( $V_{th}$ ) とサブスレッシュヨルドスイング (S 値) の測定結果

しかし、この場合も再配線工程での熱処理の効果が考えられるので、MSQ1 を層間絶縁膜としたウェーハで再配線を行わずに熱処理だけを行い、その前後での  $V_{th}$  と  $S$  値を測定した。その結果を図 2. 3. 4-6 に示す。200°C の熱処理では変化は無いが、350°C では  $V_{th}$ 、 $S$  値ともに低下することがわかった。したがって、トランジスタ特性の変化は、バッファコート膜そのものの材料の影響というより、むしろ再配線工程での熱処理の影響が大きいと考えられる。

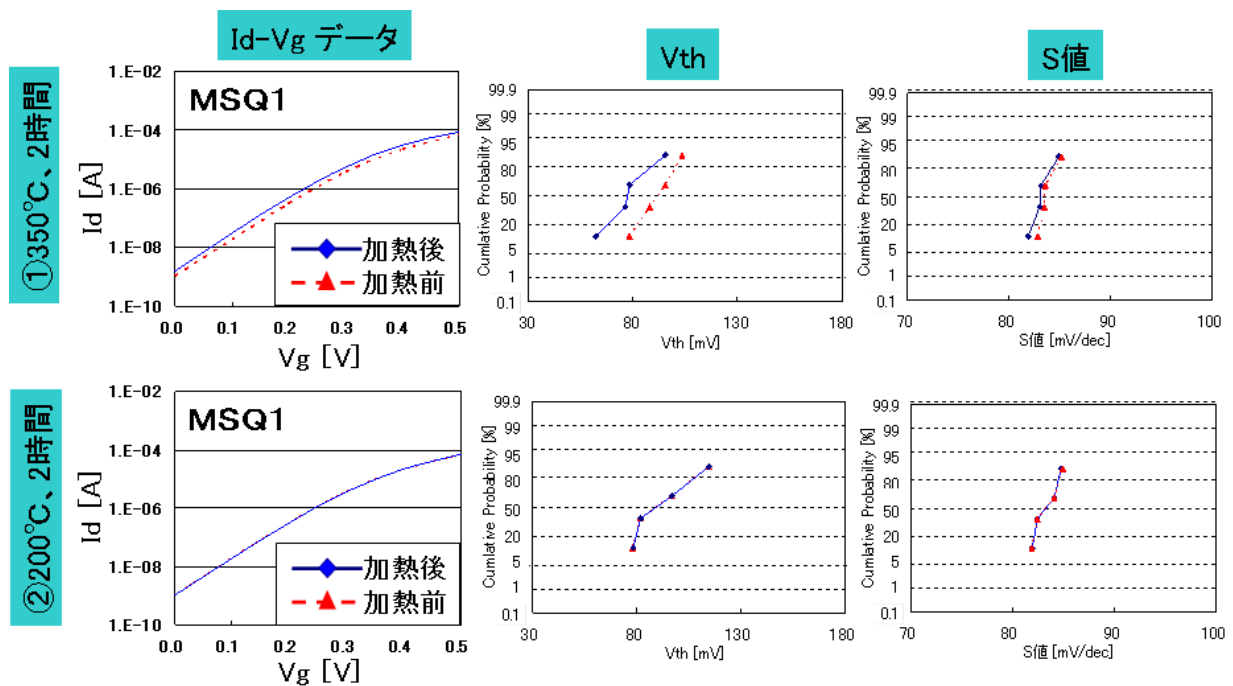


図 2. 3. 4-6 熱処理前後での  $I_d$ - $V_g$  特性および  $V_{th}$  と  $S$  値

次に再配線後のウェーハを高温高湿放置したときのトランジスタの  $V_{th}$ 、 $S$  値の変化を測定した結果を図 2. 3. 4-7 に示す。高温高湿放置によるトランジスタ特性の変化が無いことがわかった。

またこれまでに測定したトランジスタについて、そのしきい電圧の変化をまとめて表 2. 3. 4-2 に示す。再配線前から再配線後にしきい電圧が大きく変化しているが、これは、再配線前の 400°C、2 分の熱処理ではトランジスタを安定化するのに不十分であったためであり、再配線の熱工程の影響の現れたものと考えられる。その後は高温高湿放置してもトランジスタの特性はほとんど変化しない。

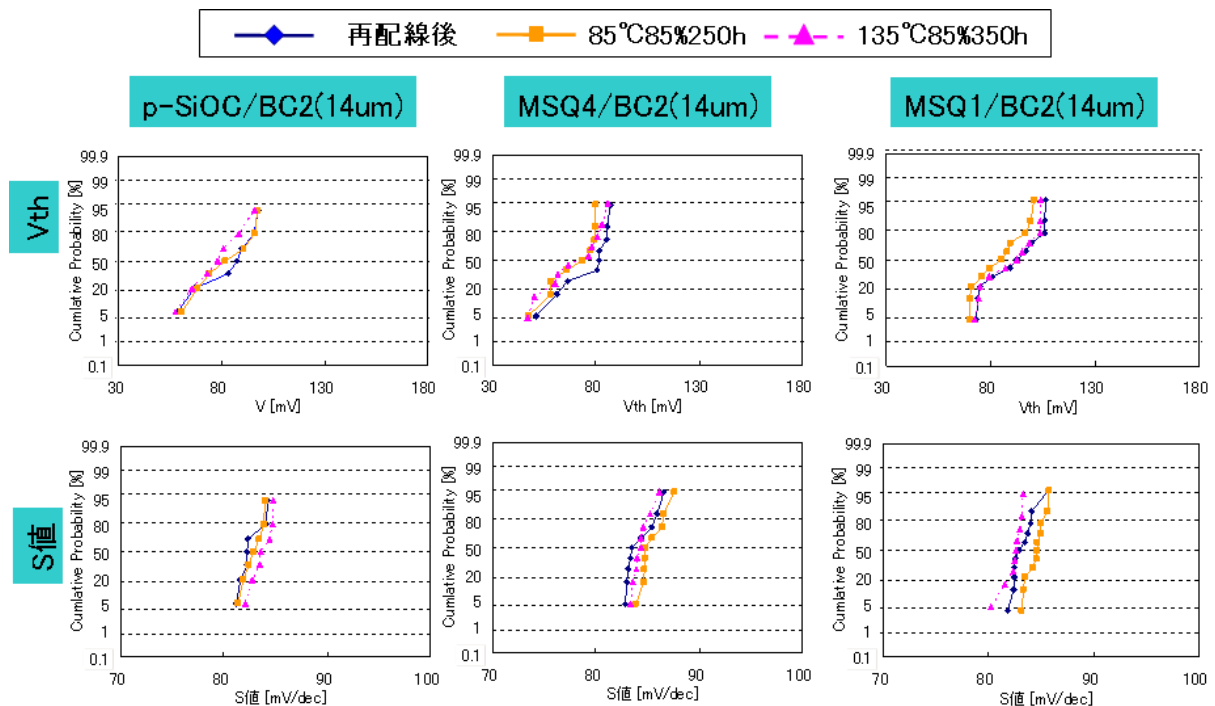


図 2.3.4-7 再配線後のウェーハを高温高湿放置したときのトランジスタの Vth、S 値の変化

表 2.3.4-2 NMOS トランジスタのしきい電圧の変化のまとめ

	Vth [mV] 正規確率分布の50%のときの値				
	再配線前	再配線プロセス (BCキュア2回; 320~350°C、 2時間)	再配線後	85°C85% 250h	135°C85% 350h
p-SiOC	152		91	82	78
MSQ4	86		81	74	72
MSQ1	109		91	80	92

以上、再配線工程によるバッファコートの影響を調査した結果、再配線工程に投入する前に 400°C2 分の H2 アニールでは熱処理が不足しており、さらに熱処理を追加しておくことにより poly-Si 抵抗素子や NMOS トランジスタの電気特性が変化しなかったと推測できる。また、再配線後のウェーハを高温高湿放置しても変化しないことがわかった。

## b. 各種 BC を用いた WLP の組立て影響評価

WLP 組立て評価をするために、BC の種類をこれまで用いてきた BC2 の他に新規の BC として BC3 から 6 まで 4 種類加えた。新規 BC の物性値について図 2. 3. 4-8 に示す。新規材料の特長はキュア温度が 200℃と低温であること、弾性率や応力の小さい材料が含まれていることである。

	材料	キュア ℃	弾性率 GPa	CTE ppm/K	応力 MPa
従来	BC2	320	3.6	36	37
新規材料	BC3	200	3.5	45	32
	BC4	200	2.7	48	23
	BC5	200	2.0	50	13
	BC6	200	2.0	50	13

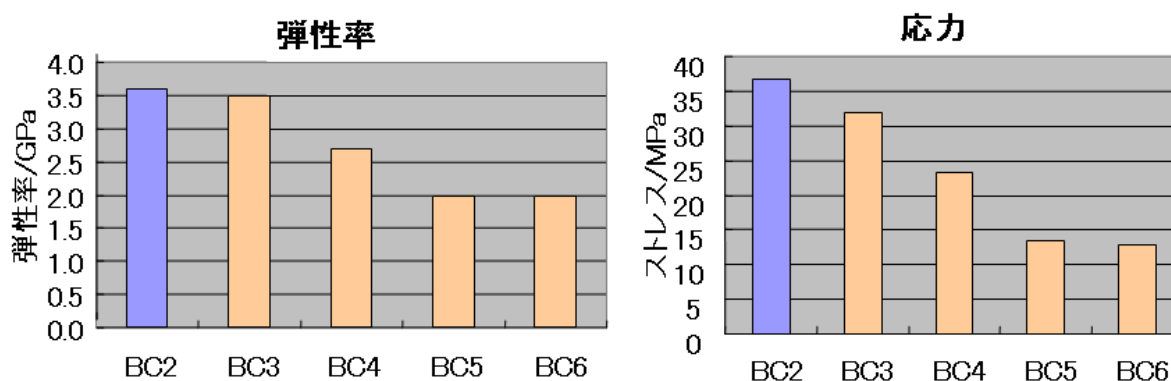
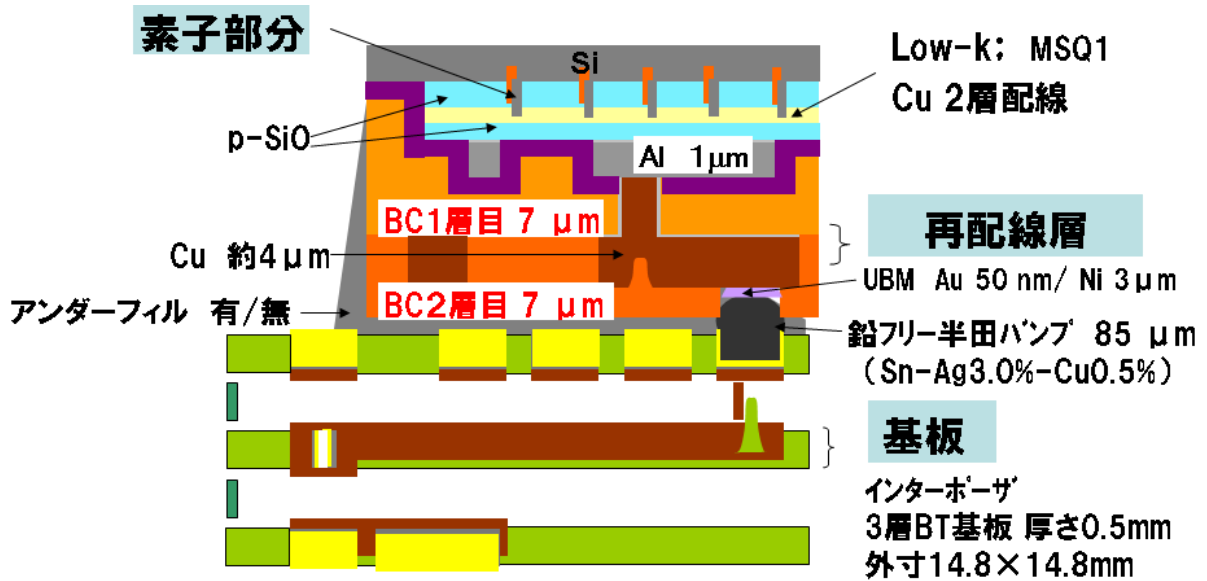


図 2. 3. 4-8 新規 BC の物性値

次に WLP 構造について図 2. 3. 4-9 に示す。1 層あたりの膜厚 7  $\mu\text{m}$  の BC を用いて再配線を形成した後、以降は外注にてパッケージまで試作した。WLP の組立工程を図 2. 3. 4-10 に示す。なお、ここではウェーハおよびチップでの反り測定についても示している。まず UBM として 3  $\mu\text{m}$  の Ni、次いで 50nm の Au を形成した後、85  $\mu\text{m}$  の鉛フリーハンダボールを搭載した。このウェーハをバックグラインドにより 150  $\mu\text{m}$  まで薄膜化し、ダイシングによりチップに分割した。フリップチップボンダーで、このチップを基板として用いた 0.5mm 厚さのインターポーザにハンダ接続して WLP が仕上がる。さらに、基板とチップの間にアンダーフィル材を注入するが、この注入をする試料としない試料を作成した。



【チップサイズ】 8.6 $\times$ 5.4 mm

【組立てチップ】 FEOL TEG  $\rightarrow$  Low-k Cu 2層配線  $\rightarrow$  再配線

【チップ膜厚】 150 $\mu$ m

図 2. 3. 4 - 9 WLP 構造

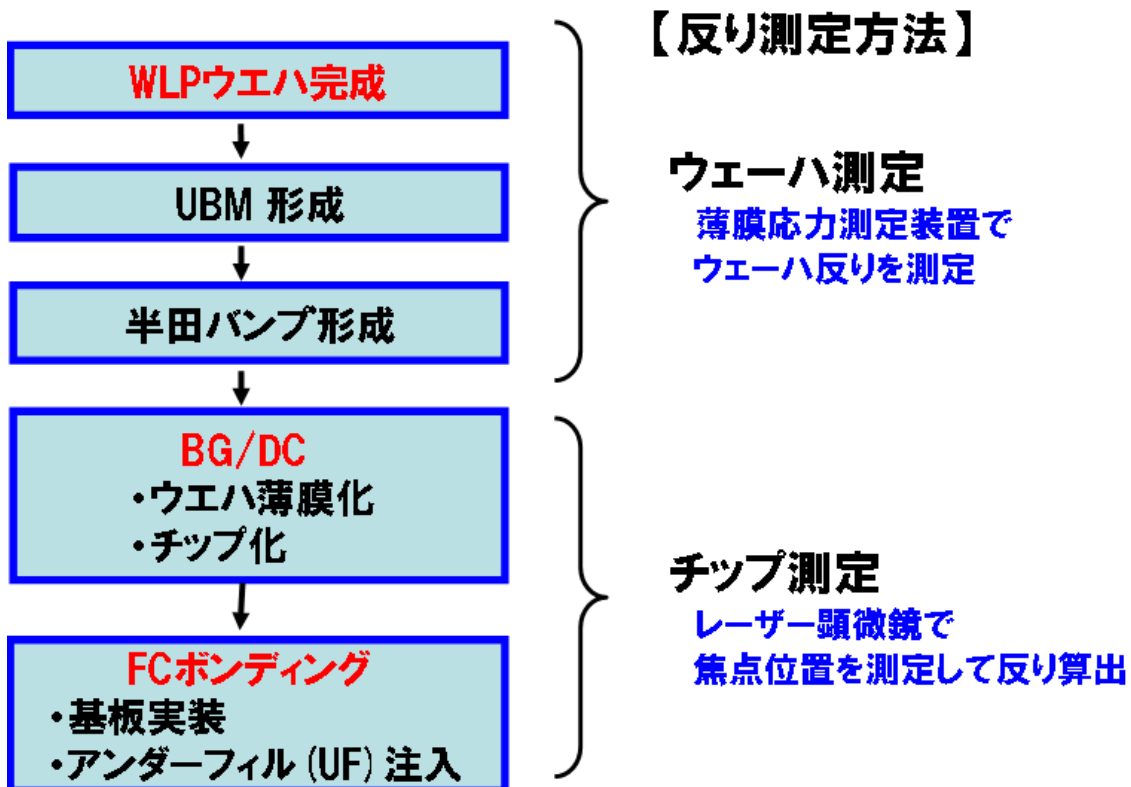


図 2. 3. 4 - 10 WLP の組立工程と反り測定方法

WLP 組立ての影響を評価するため、まず BC2 の場合について poly-Si 抵抗の測定を行った。結果を図 2. 3. 4-11 に示す。左のグラフは、再配線前の抵抗値に対して WLP でのアンダーフィルの有無についての抵抗値を示している。ほとんど変化が無いことがわかる。また右のグラフは、さらに予備検討として、アンダーフィル有りのものを 200 回まで温度サイクル試験をした後の抵抗値を示している。この場合にも抵抗値で明確な変化は見られなかった。新規の BC についても右のグラフと同様に再配線前の抵抗値に対してアンダーフィルのある WLP 組立て後および温度サイクルの予備検討後の poly-Si の抵抗値を図 2. 3. 4-12 に示す。ここでもどの BC についても明確な変化は見られなかった。

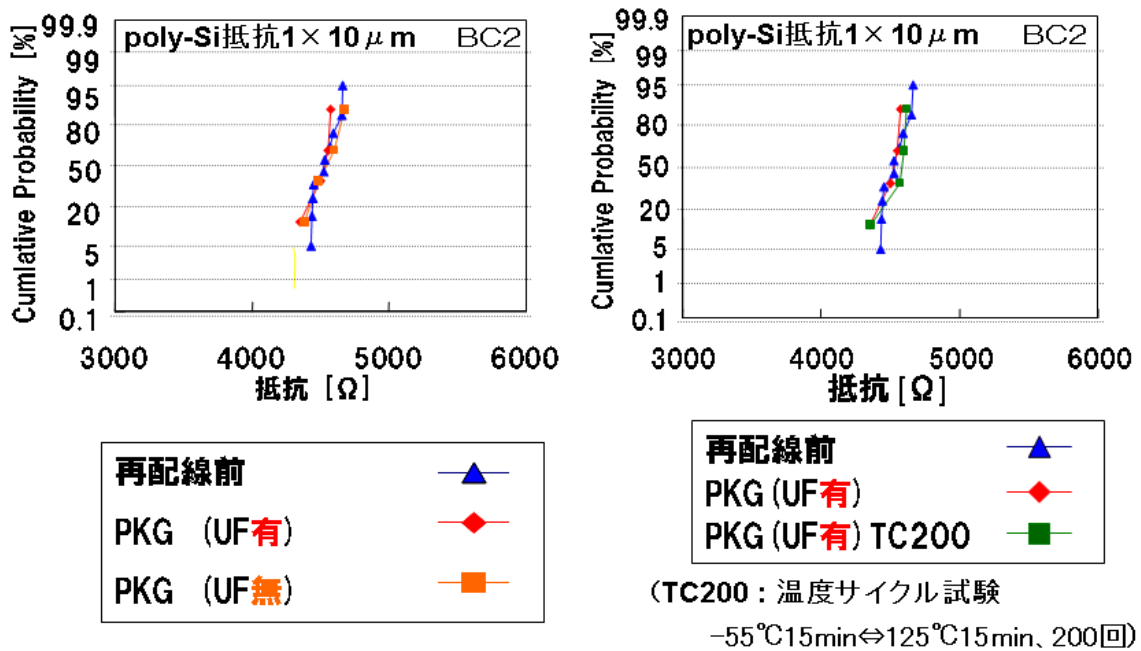


図 2. 3. 4-11 再配線前と WLP 組立て後および温度サイクル後の poly-Si 抵抗の測定結果



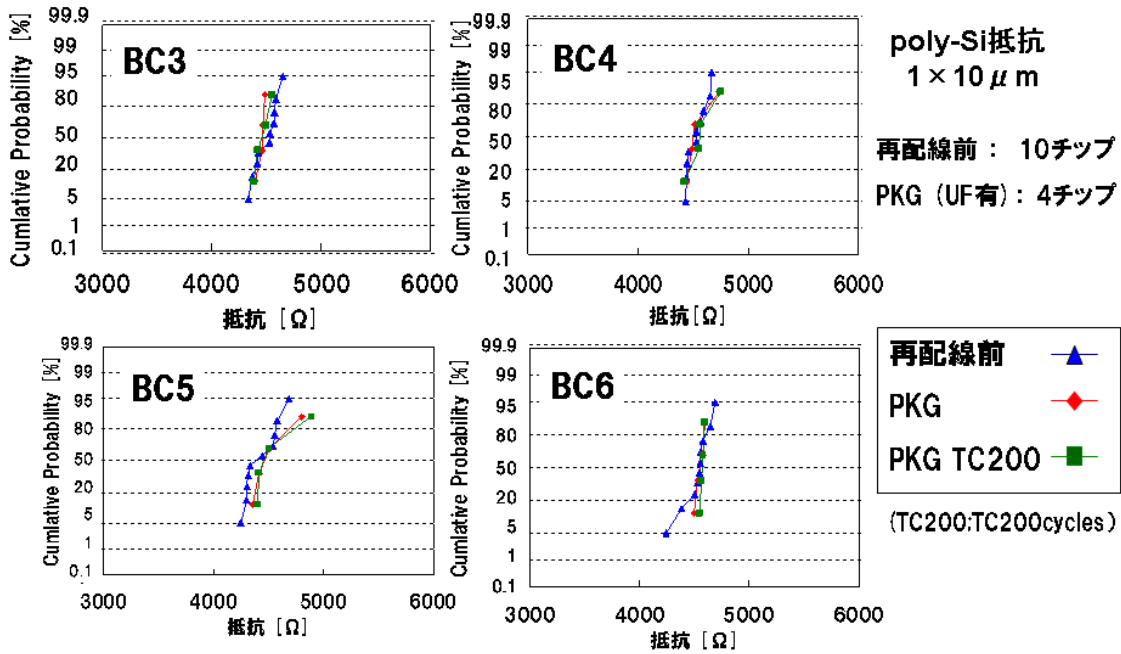


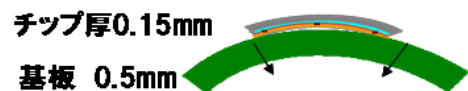
図 2. 3. 4 - 1 2 WLP 組立て前後の poly-Si 抵抗の測定結果

poly-Si の抵抗値変化は、チップの反りにより poly-Si に応力が印加されることにより起こる。種々の BC を用いたときのチップの反りをレーザー顕微鏡により焦点位置を測定することにより算出した。結果を図 2. 3. 4 - 1 3 に示す。

BC材料	応力/MPa	CTE/ ppm/K	弾性率/GPa	BG/DC後 チップの 反り量/μm	FCボンディング後の チップの反り量/μm 実測値	
					UF有	UF無
BC2	37	36	3.6	20	39	31
BC3	32	45	3.5	16	40	31
BC4	23	48	2.7	11	38	33
BC5	13	50	2.0	11	38	32
BC6	13	50	2.0	9	38	33

BCの応力差を反映

基板の反りが反映



WLPによりpoly-Siにかかる圧縮応力

Poly-Siの抵抗変化はほとんどなし

UF有	UF無
23~37 MPa	17~27 MPa

図 2. 3. 4 - 1 3 レーザー顕微鏡による反り測定結果

ダイシング後には、BC 膜の応力を反映して、そり量は 9  $\mu\text{m}$  から 20  $\mu\text{m}$  のチップがある。しかし、WLP 後には、BC 膜の応力にはほとんど依存せず、そり量は、アンダーフィル無で約 30  $\mu\text{m}$ 、アンダーフィル有で約 40  $\mu\text{m}$  となり、基板の反りによって決定されてしまう。また、このとき poly-Si に印加される圧縮応力は、最大でも 37 MPa であり、この応力での poly-Si の抵抗値変化は、Ⅲ. 2. 2. 2 での結果から 1%以下の増加しかない。

以上のように WLP のパッケージ前後での FEOL 素子の変化を評価したが、明確な変化は起こらないことがわかった。

### c. 各種 BC を用いた WLP での温度サイクル信頼性評価

ウェーハ状態で 200 回までの温度サイクルで poly-Si の抵抗値変化は起こらないことは、すでに評価した。次に、WLP に組み立ててさらに温度サイクルの回数を 500 回まで増やして poly-Si 抵抗、NMOS トランジスタのしきい電圧についての信頼度を調査した。種々の BC で再配線したチップを組立て、アンダーフィル有の WLP をそれぞれ 4 個について、温度サイクル前、温度サイクル 100 回後、500 回後の poly-Si 抵抗と NMOS トランジスタのしきい電圧を測定した。結果を図 2. 3. 4-14、図 2. 3. 4-15 にそれぞれ示す。温度サイクルを増やしても、顕著な変化は発生しなかった。また、BC の種類の違いも見られなかった。

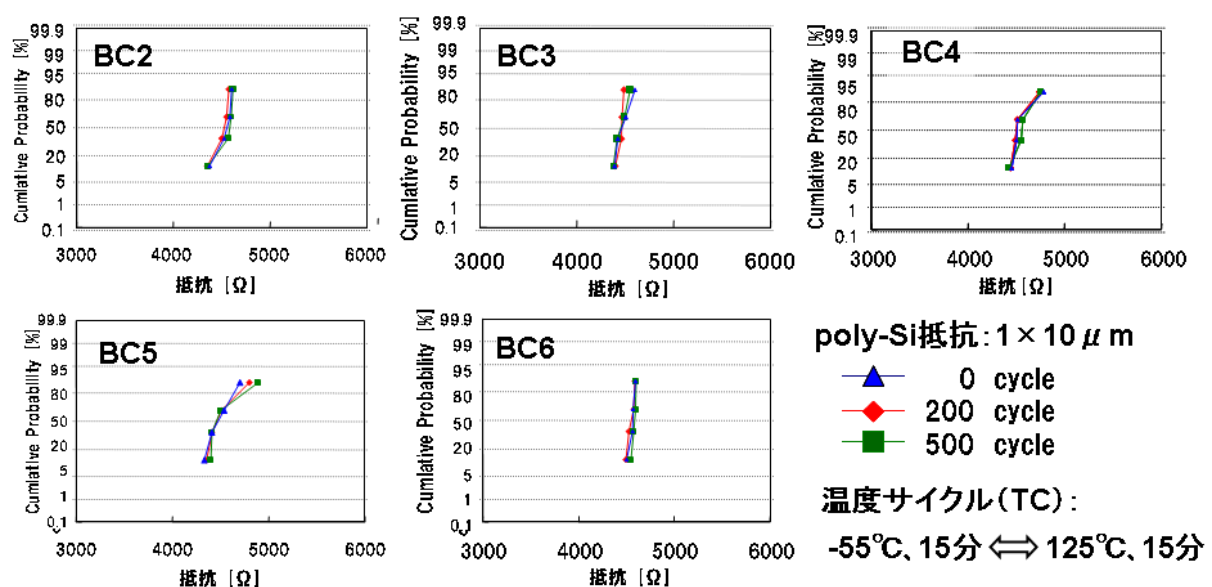


図 2. 3. 4-14 温度サイクル前、温度サイクル 100 回後、500 回後の poly-Si 抵抗測定結果

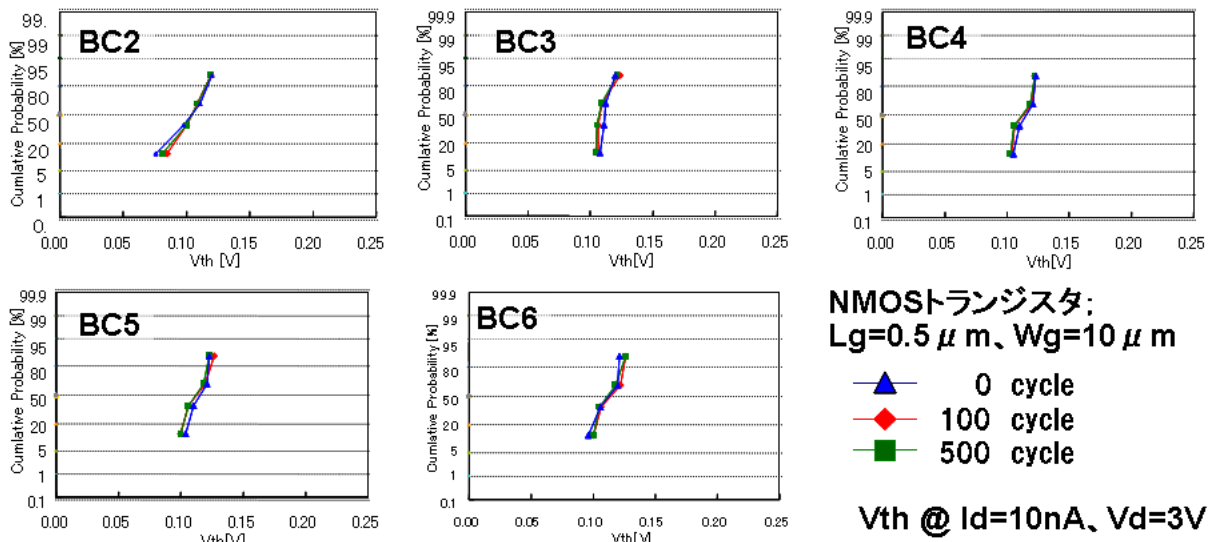


図 2. 3. 4 - 1 5 温度サイクル前、温度サイクル 100 回後、500 回後の NMOS トランジスタのしきい電圧

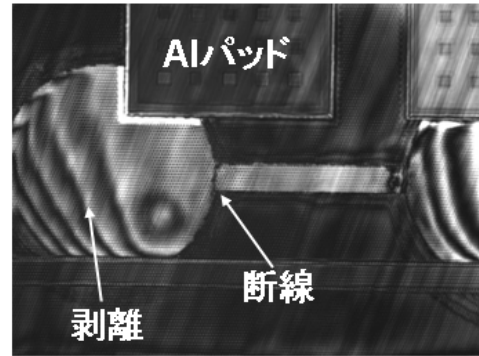
以上、これまでバッファコート材料の評価を行うため、再配線工程、WLP 組立工程まで行い、さらには高温高湿放置、温度サイクルなどの信頼度試験まで行なって、FEOL 素子への影響評価を実施した。しかし、いずれの工程や信頼度試験でもバッファコート材料の種類に依存したような、FEOL 素子の顕著な変化は見られなかった。

一方、再配線とインターポーザの配線をハンダバンプで接続したデージーチェーンの導通試験を行なうと、アンダーフィルが有る場合にはいずれのバッファコート材料であっても温度サイクル 200 回まではデージーチェーンの断線が見られなかったが、アンダーフィルがない場合には、デージーチェーンの断線が発生する温度サイクル数にバッファコート材料への依存性が見られた。この結果を各バッファコート材料の物性ととも、[図 2. 3. 4 - 1 6](#) に示す。また、断線したチップの赤外(IR)顕微鏡による観察例も同時に示した。これらの結果から、再配線パッドの剥離と断線が起きていることがわかる。また、断線は、バッファコート材料の弾性率が大きいほど起こりやすいのではないかと推測できる。

以上のことから、WLP を用いたバッファコート材料の評価においては、FEOL 素子を搭載したチップで評価するよりも、もっと簡単な構造のチップで再配線を行なって、再配線における剥離の観察やデージーチェーンの導通試験を行なうことが有効であると考えられる。以下、このようにして各種バッファコート材料を用いた WLP での評価結果について述べる。

IR顕微鏡写真観察例

UF有	0 cycle	100 cycles	200 cycles
BC2	0/4	0/4	0/4
BC3	0/4	0/4	0/4
BC4	0/4	0/4	0/4
BC5	0/4	0/4	0/4
BC6	0/4	0/4	0/4



UF無	弾性率/GPa	CTE/ppm	0 cycle	50 cycles	100 cycles	150 cycles
BC2	3.6	36	0/4	3/4	4/4	-
BC3	3.5	45	0/4	2/4	4/4	-
BC4	2.7	48	0/4	0/4	1/4	3/4
BC5	2.0	50	0/4	0/4	0/4	2/4
BC6	2.0	50	0/4	0/4	1/4	2/4

【TC条件】55°C15min⇔125°C15min

(断線チップ数)/(試験チップ数)

図 2. 3. 4 - 1 6 各種 BC を用いた WLP の温度サイクル試験結果とデージーチェーン断線チップの IR 顕微鏡観察例

d. 各種 BC を用いた WLP での剥離に対する BC の影響評価

フリップチップ型のパッケージである WLP 組立てまで行い、バッファークोट (BC) 膜の評価を行うため、4 種類の BC を用いた。バッファークोटの物性を表 2. 3. 4 - 3 に示す。

表 2. 3. 4 - 3 バッファークोटの物性

BC材料	BC2	BC7	BC3	BC5
キュア温度(C)	320	250	200	200
CTE (ppm/K)	36	45-55	45	50
弾性率 (GPa)	3.6	2.2	3.5	2.0
応力(MPa)	37	25	32	13

新たに BC7 を評価材料の中に取り入れた。特徴は弾性率が低いことである。評価に用いた WLP の構造について図 2. 3. 4-17 に示す。

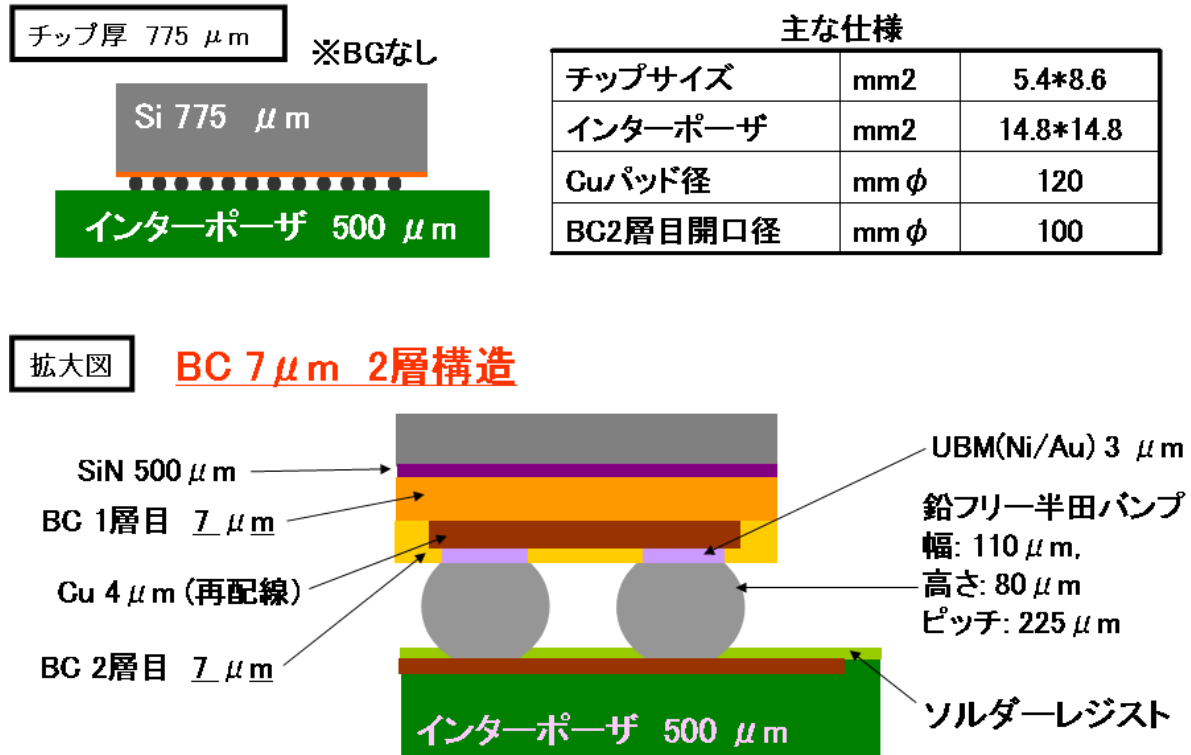


図 2. 3. 4-17 評価に用いた WLP の構造

今回の評価では、剥離を容易に観察できるように、バックグラインドを行わずに 775 $\mu\text{m}$  と厚いチップを用いた。また、再配線は、Si 基板に形成した 500nm の SiN 上に 7 $\mu\text{m}$  のバッファコート膜 2 層を用いて形成した。再配線パターンは、チップ全面でダメージチェーンを測定するため、後で示すアレイ状のパターンを全面に敷き詰めたものである。

WLP 組立て後に、初期評価として Si を透過して観察できる赤外 (IR) 顕微鏡で再配線のアレイパターンを観察した。観察結果を図 2. 3. 4-18 に示す。比較のため、150 $\mu\text{m}$  と薄いチップで組み立てたものも観察した。150 $\mu\text{m}$  の場合チップ全面でバックグラインドでの研磨でのムラが観察されるが、再配線のアレイパターンで特に異常は観察されなかった。一方 775 $\mu\text{m}$  のチップでは、特にチップ周辺部で再配線の変形と推察される異常が観察された。チップ中心部ではそのような異常は観察されなかった。

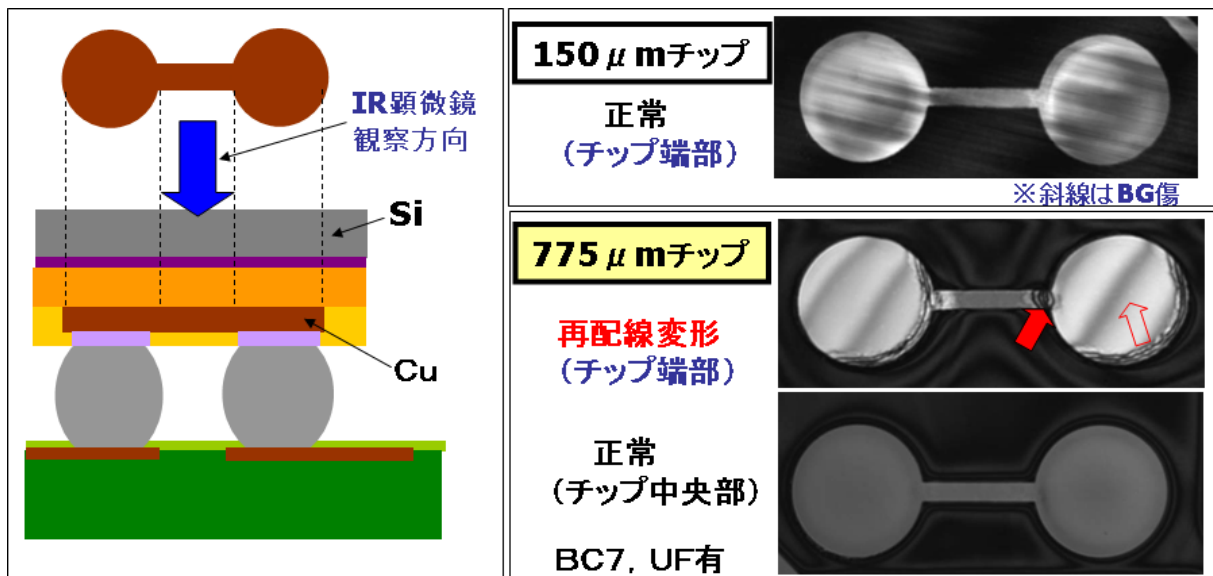


図 2. 3. 4-18 赤外 (IR) 顕微鏡で再配線のアレイパターン観察結果

それぞれのバッファークोटで再配線を形成し、WLP 組立て後 IR 顕微鏡観察した結果をまとめて図 2. 3. 4-19 に示す。

	BC7	BC2	BC3	BC5
<b>【UF有】</b> 再配線変形 写真 変形箇所 (赤印) 数				なし
	 <b>230</b>	 <b>161</b>	 <b>16</b>	<b>0</b>
<b>【UF無】</b> 再配線変形 写真 変形箇所 (赤印) 数				なし
	 <b>251</b>	 <b>155</b>	 <b>5</b>	<b>0</b>

図 2. 3. 4-19 WLP 組立て後 IR 顕微鏡観察した結果

再配線のアレイパターンでの異常の数がバッファコート膜に依存する結果が得られた。また、アンダーフィルの有無にほとんどよらないことから、このような異常は、フリップチップボンディングの段階で既に発生していると考えられる。すなわち、このボンディングにおいてハンダの冷却過程でパッドに引っ張りの力がかかり、剥離が発生したものと推測できる。

次に、アンダーフィル有の試料で温度サイクル 500 回まで試験した結果を図 2.3.4-20 に示す。どのバッファコート膜であっても WLP 組立て後の初期に観察された再配線の異常個所の増減は全く無く、また、デージーチェーンの断線も観察されなかった。アンダーフィルを注入すれば、剥離は増大しないことを示している。

	BC7	BC2	BC3	BC5
初期 再配線観察				
TC500cycle 再配線観察				
初期 TC500cycle 変形箇所、数	 <b>230</b>	 <b>161</b>	 <b>16</b>	 <b>0</b>

図 2.3.4-20 アンダーフィル有の試料で温度サイクル 500 回まで試験した結果

次にアンダーフィルがない場合の温度サイクル試験の結果を図 2.3.4-21 に示す。3 回の温度サイクルでも再配線パターンに異常個所の観察されたバッファコート膜ではチップ周辺から異常個所が増加した。また、デージーチェーンでも周辺部分から断線が発生した。異常個所の数やデージーチェーンの断線数には明らかにバッファコート材料の影響が見られた。温度サイクル後の試料で、再配線部分の断面観察の結果を図 2.3.4-22 に示す。パッド部分に剥離、配線部分での断線が観察された。この結果から、パッド部分で再配線の Cu と第 1 層目の BC の界面で剥離が起こり、さらに配線部分の Cu が断線に至ったと考えられる。すなわち Cu/Ti と BC の密着性が剥離を支配しているように思える。



	BC7	BC2	BC3	BC5
初期 再配線観察				
TC3cycle 再配線観察				
初期 変形箇所、数	251	155	5	0
TC3cycle 変形箇所、数	504	355	173	0
TC3cycle デージーチェーン 断線箇所と断線数	9/13	6/13	3/13	0/13

図 2. 3. 4-21 アンダーフィル無の場合の温度サイクル試験の結果

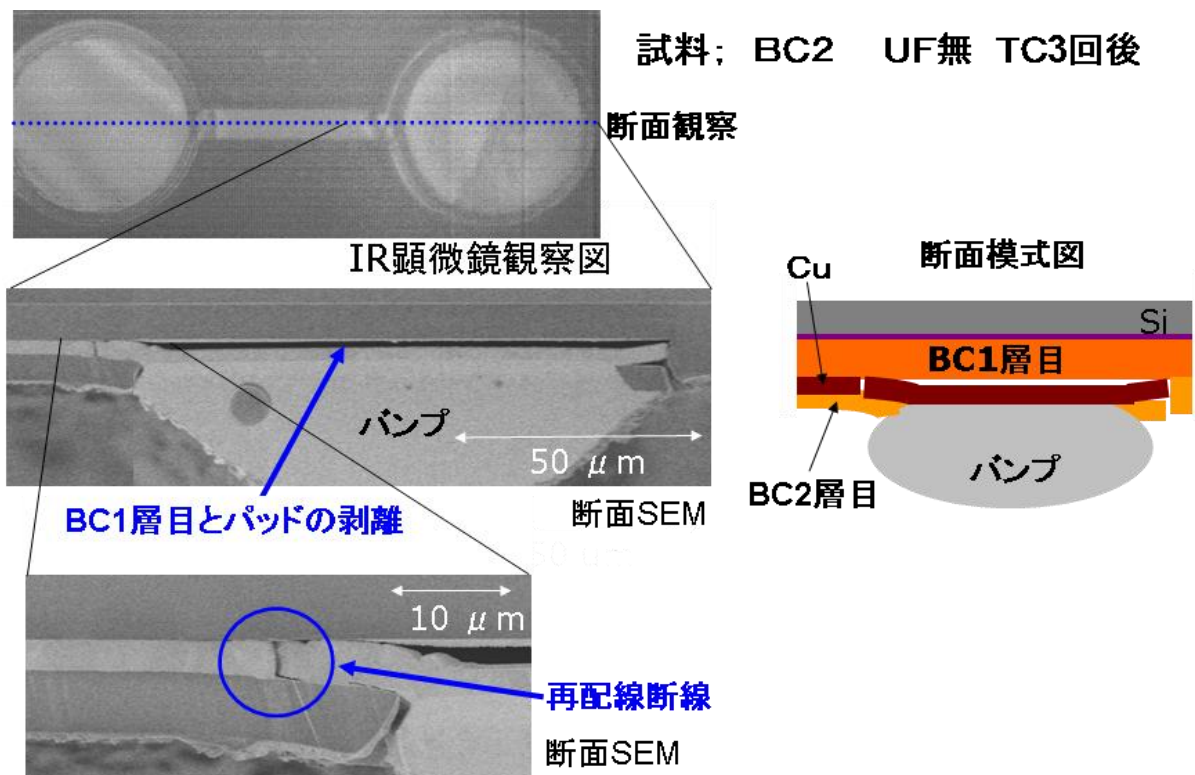
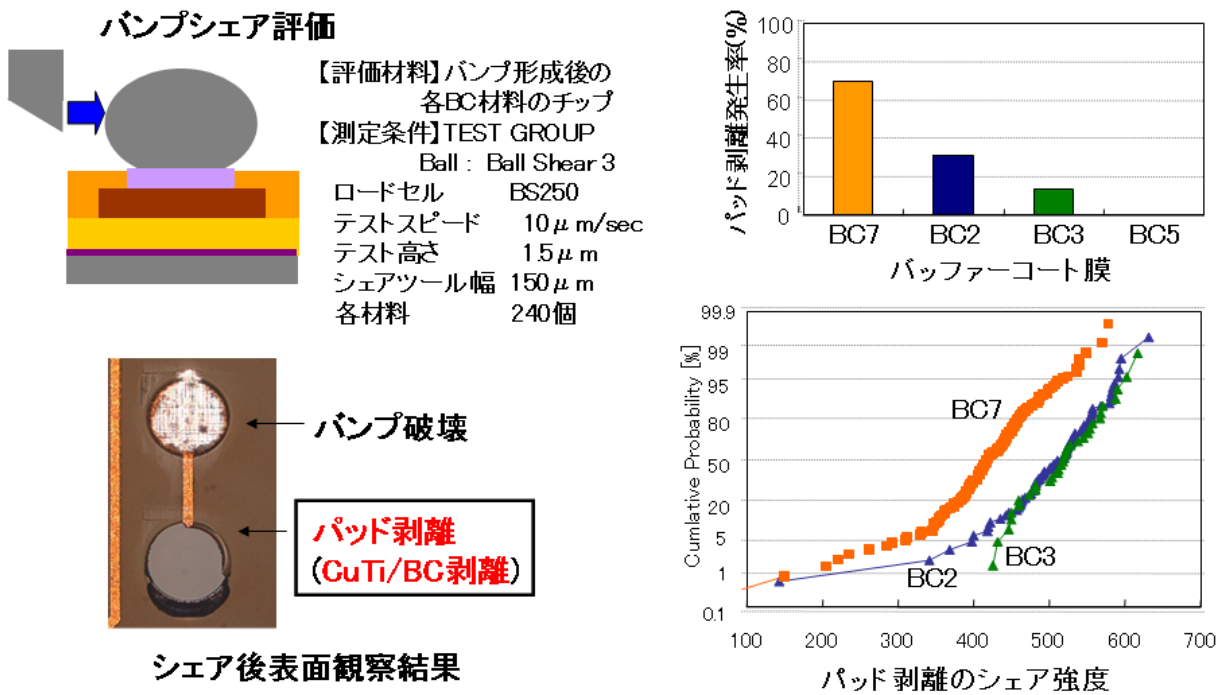


図 2. 3. 4-22 温度サイクル後の再配線部分の断面観察結果



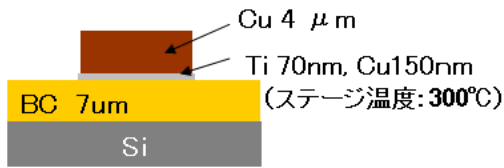
それぞれの BC でハンダバンプ形成後の試料でバンプシヤ試験をした結果を **図 2. 3. 4-23** に示す。WLP での再配線異常個所の数とパッド剥離の発生率とは良い相関が取れ、また、シヤ強度も剥離数が多いほど小さくなる傾向が見られる。したがって、Cu/Ti と BC の密着性によって剥離が説明できると考えられる。



**図 2. 3. 4-23 ハンダバンプ形成後の試料でのバンプシヤ試験結果**

従来は比較的小面積パターンで瞬間的にはがれるシヤ強度から密着力を算出していた。今回新たにパッド面積に相当する大面積での測定を試みた。シヤ試験に用いた試料構造と、従来と今回の違いの比較を **図 2. 3. 4-24** に示す。また、従来と今回のシヤ試験での時間とシヤ強度曲線の違いを **図 2. 3. 4-25** に示す。このような測定を行って得られる、パターン面積とシヤ強度の関係を求めた結果を **図 2. 3. 4-26** に示す。このような図から、従来は比較的小面積で、パターン面積とシヤ強度が比例する領域で単位面積あたりのシヤ強度を密着力と定義して用いていた。しかし、この結果では、最も剥離を起こしにくかった BC5 の密着力が剥離を起こした BC2 や BC3 より小さいという矛盾がある。ところが、ほぼパッド面積に近いような大面積では、BC5 のシヤ強度が最大になり、剥離しにくい結果と矛盾しなくなる。すなわち弾性率の低い BC5 では大面積になると BC が変形して応力を緩和するというモデルで説明できると考えられる。

**試料構造**



**シエア試験条件**

- ・ロードセル BS250
- ・テストスピード 10 μm/sec
- ・テスト高さ 1.0μm
- ・シエアツール幅 150μm (SHR-062-0150)



図 2. 3. 4-24 試料構造と、シエア試験の従来と今回の違いの比較

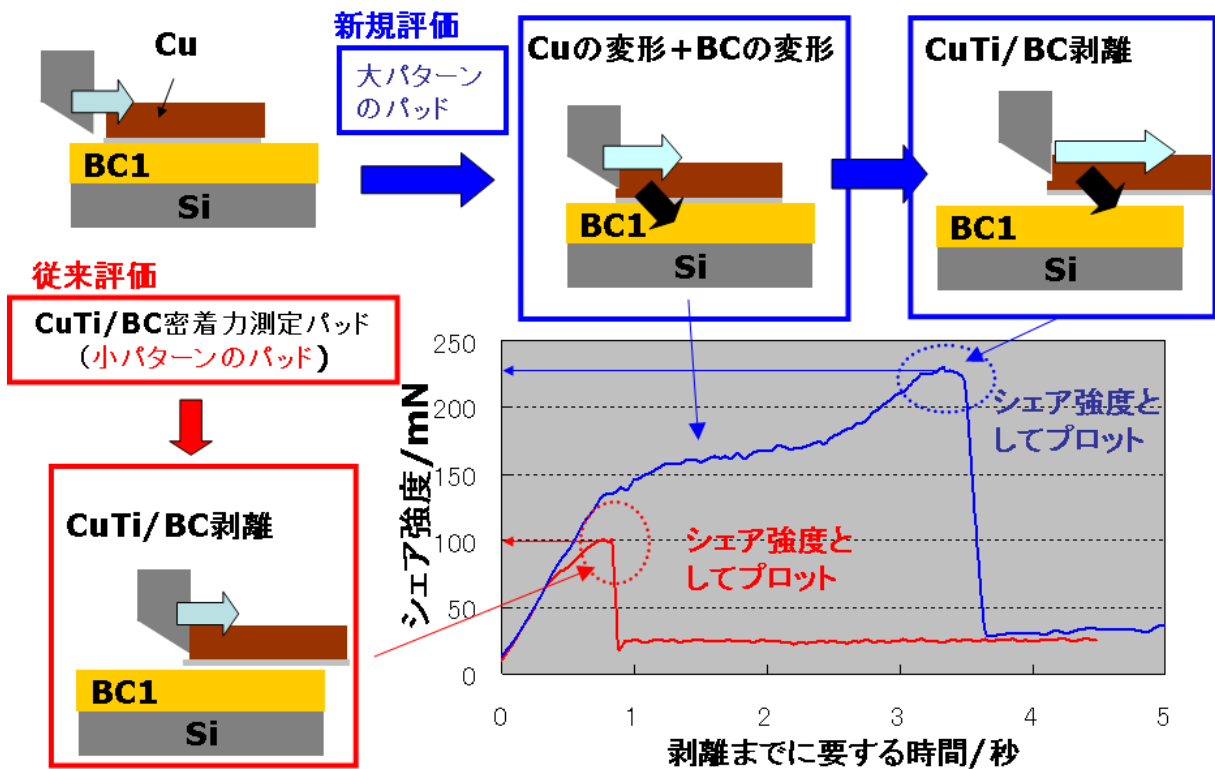


図 2. 3. 4-25 従来と今回の測定の違い

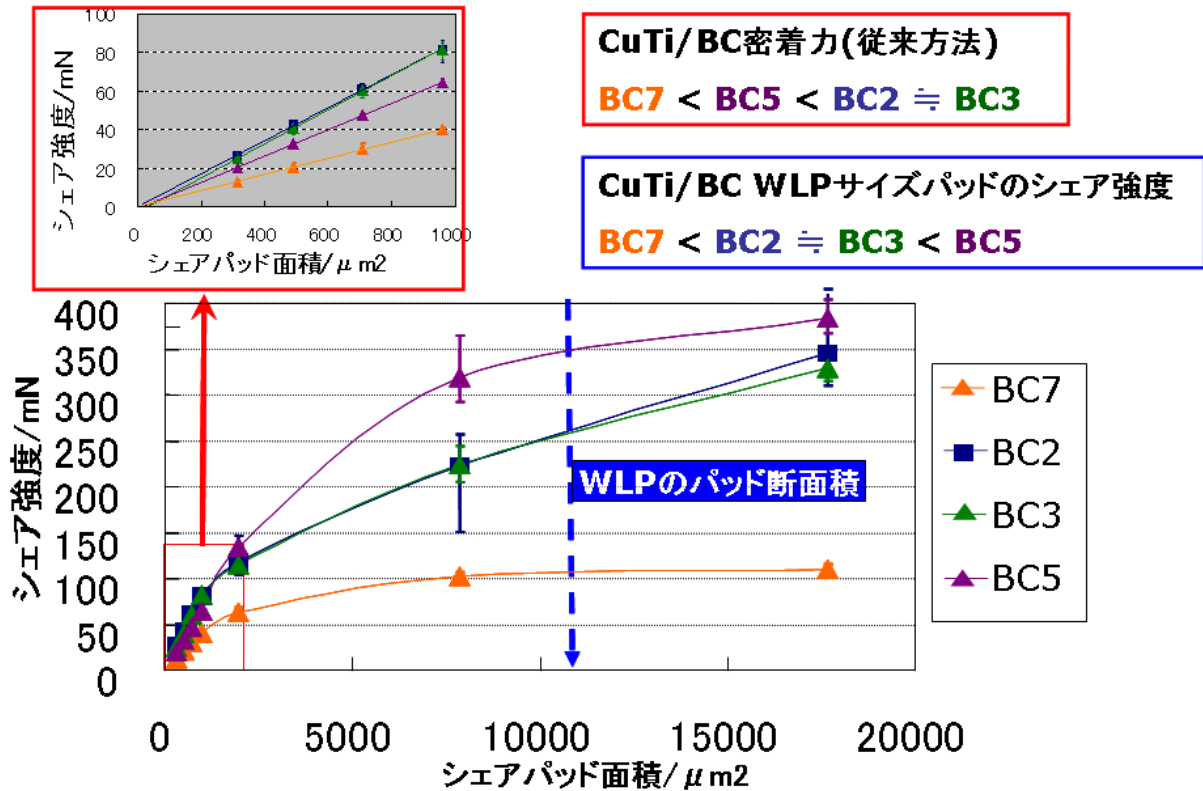


図 2. 3. 4-26 パターン面積とシア強度の関係

これまでのシア試験の結果を各バッファコート膜の物性とともにもとめて表 2. 3. 4-4 に示す。ここで、実際のパッドのように大きな面積で起こる剥離のし難さを表す尺度として、剥離耐性係数を定義する。バッファコート膜の変形により応力が緩和されるといふモデルを変形のしやすさとして弾性率の逆数に比例する考え、剥離耐性係数は、小面積での密着力と弾性率の逆数の積を 1000 倍したものとする。この数値は、パッドサイズのパターンのシア強度との相関がよくとれて、実際の WLP での剥離の起こしやすさとも良い相関が取れることがわかる。

表 2. 3. 4-4 各 BC についてのシエア試験の結果

BC材料	BC7	BC2	BC3	BC5
キュア温度(C)	250	320	200	200
弾性率 (GPa)	2.2	3.6	3.5	2.0
小面積パターン測定による CuTi/BC密着力(MPa)	45(0.53)	85(1)	88(1.04)	68(0.8)
CuTi/BC WLPのパッドサイズ でのシエア強度(mN)	約100(0.4)	約250(1)	約250(1)	約350(1.4)
パンプシエアによるパッドの 剥離強度(mN)中心値	416(0.83)	503(1)	517(1.03)	パッド剥離 発生せず
$\frac{\text{CuTi/BC密着力(MPa)}}{\text{弾性率 (GPa)}} \times 1E3$	20(0.83)	24(1)	25(1.04)	34(1.42)

( )内は、BC2の値を1とした時の相対値

剥離耐性係数

BC膜変形による応力の緩和効果  $\propto$  弾性率の逆数

再配線では、2層のバッファコート膜を用いるが、通常は同一の材料が用いられ、これまでの評価でも同一材料としてきた。しかし、今回評価材料ではキュア温度が同一のものがあることから、1層目と2層目で異なる材料を用いたとき、どちらの材料がWLPの温度サイクルでの剥離を支配しているか調査できる。BC3とBC5を用いて、再配線を形成し、WLP組立て後、温度サイクル試験を行なった結果を図2.3.4-27に示す。ここでは、剥離によりダメージチェーンの断線を起こしたチップ数をカウントした。BC3、BC5の剥離耐性係数はそれぞれ25、34である。この結果から、剥離の起こりやすさは、1層目のバッファコート材料に支配されていることがわかる。すなわち1層目に、剥離耐性係数の大きい材料を用いることにより、剥離が起こりにくくなり、剥離耐性係数の小さな材料を用いると剥離が起こりやすい。

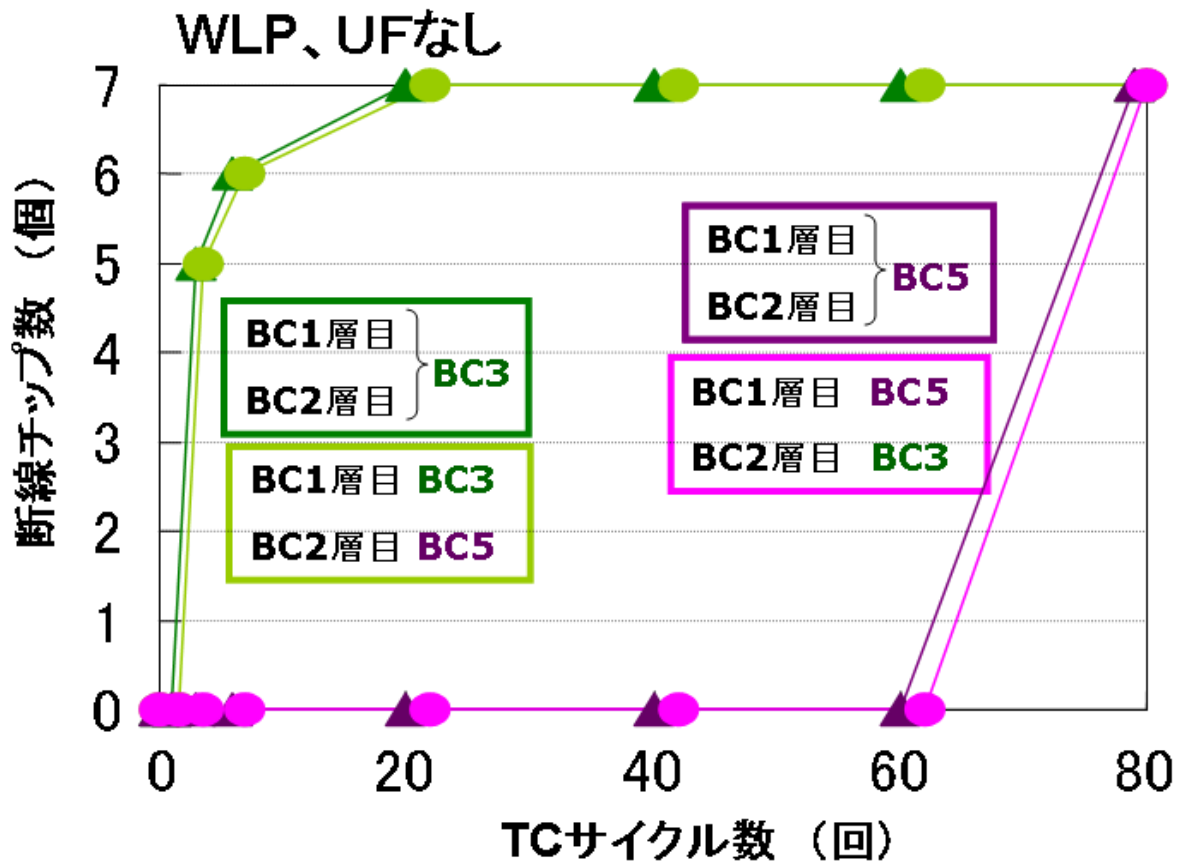


図 2.3.4-27 BC3 と BC5 を用いて、再配線を形成し、WLP 組立て後、温度サイクル試験を行なった結果

以上、フリップチップ型の WLP を用いて、特にバッファコート膜の材料評価を検討してきた。WLP では、どのようなバッファコート膜を用いても FEOL 素子に印加される応力は、比較的小さく、かつバッファコート膜よりもむしろインターポーザによって決定される。そのため、FEOL 素子にはバッファコート膜の応力の影響はほとんど現れなかった。

一方で、バッファコート膜の影響はむしろ WLP での再配線の剥離に顕著に見られることがわかった。ここでは、これまで小面積で測定してきた密着力だけでは剥離に対するバッファコート膜の影響を説明することができず、密着力と弾性率の逆数の積として新たに導入した剥離耐性係数が実際の WLP での剥離の起こしやすさと良い相関が取れることがわかった。この剥離耐性係数が今後材料開発の重要な指針の 1 つになることが期待できる。

## 2. 4. 材料評価基準書の例

材料評価基準書の分野としては、Low-k 材料、CMP 関連材料、バッファコート膜、パッケージ貫評価、プロセスフロー、マスク説明書、電気測定方法の 7 分野としてまとめた。それぞれの分野の評価基準書の一覧を次に示し、その中のからいくつかの評価基準書の例を以下に示す。なお、評価基準書一覧の中の台帳番号に黄色の表示のあるものが、例として示した評価基準書である。

評価基準書一覧

分野	評価レベル	大分類	中分類	小分類	整理番号	
①	1	単層膜評価	電氣的測定	<a href="#">Low-k薄膜の比誘電率評価</a>	31001	
				<a href="#">Low-k薄膜のリーク電流評価</a>	31002	
				<a href="#">XRRによる薄膜の膜厚高精度評価</a>	31003	
				<a href="#">有機Low-k単膜のダイレクトCMP耐性評価</a>	31004	
		積層膜評価	密着性評価	<a href="#">Low-k材料の密着性評価</a>	31005	
		環境試験		<a href="#">吸湿条件下でのLow-k材料の密着性評価</a>	31006	
		単層膜評価	ダメージ評価	<a href="#">Low-k TEOS Cap膜デポにおけるダメージ評価</a>	31007	
	2	複数工程評価	電氣的測定	<a href="#">ブランケット膜におけるプロセスダメージ評価</a>	31101	
				<a href="#">ブランケット膜におけるプラズマダメージ回復性評価(1)</a>	31102	
				<a href="#">ブランケット膜におけるプラズマダメージ回復性評価(2)</a>	31103	
				<a href="#">ブランケット膜における有機Low-kプラズマダメージ回復評価</a>	31104	
				<a href="#">有機Low-kプラズマダメージ回復処理条件の適合性評価</a>	31105	
	3	単層配線評価	電氣的測定	<a href="#">配線TEGIにおけるDirect CMP後の容量評価(RCプロット)</a>	31201	
				<a href="#">配線TEGIにおけるDirect CMP後の容量評価(容量差分)</a>	31202	
				<a href="#">配線TEGIにおける高精度容量評価</a>	31203	
				<a href="#">配線TEGIにおける有機Low-k材料比較評価</a>	31204	
				<a href="#">配線TEGIにおける有機Low-k材のダイレクトCMP耐性評価</a>	31205	
				<a href="#">配線TEGIにおけるプラズマダメージ回復性評価</a>	31206	
	4	多層配線評価	電氣的測定	<a href="#">配線TEGIにおけるDirect CMP後の容量評価(リングオシレータ)</a>	31301	
	5	信頼性評価	電氣的測定	<a href="#">多層配線TEGIにおける信頼性評価(SM)</a>	31401	
				<a href="#">配線TEGIにおける有機Low-k材料Cu拡散耐性評価</a>	31402	
				<a href="#">有機無機ハイブリット配線TEGIにおける信頼性評価(SM)</a>	31403	
	②	1	単層膜評価	外観評価	<a href="#">単膜の研磨面SEM観察とサンプル作製法</a>	32001
				ダメージ/欠陥評価	<a href="#">バリアメタルCMP工程におけるスクラッチ発生挙動の解析</a>	32002
				欠陥評価	<a href="#">SR-7300による高信頼性欠陥評価方法</a>	32003
ダメージ評価				<a href="#">MSQ系Low-k膜のDirectCMPにおけるSlurryダメージ評価</a>	32004	
単一工程評価			CMPパッド評価	<a href="#">CMPパッド磨耗速度評価</a>	32005	
				<a href="#">Reflexion用ドレッサー揺動条件確立</a>	32006	
				<a href="#">F☆REX300用ドレッサー揺動条件確立</a>	32007	
単層膜評価			CMPパッド評価	<a href="#">パッド溝構造の研磨特性への影響評価</a>	32008	
				<a href="#">CMPパッドの摩擦・潤滑状態解析方法</a>	32009	
			欠陥評価	<a href="#">CMP後洗浄剤評価における欠陥評価レベル向上方法</a>	32010	
			ダメージ評価	<a href="#">CMP後洗浄剤のporous low-kに与えるダメージ評価</a>	32011	
			欠陥評価	<a href="#">二段洗浄における欠陥挙動評価方法</a> <a href="#">強制汚染・洗浄による欠陥評価方法</a>	32012 32013	
3		単層配線評価	ダメージ/欠陥評価	<a href="#">SR7300を用いた画像処理欠陥光学像による欠陥評価</a>	32201	
				<a href="#">SR7300を用いたCu研磨後の欠陥評価</a>	32202	
				<a href="#">バリア研磨後のCu表面スクラッチ数と表面硬度評価</a>	32203	
			外観評価	<a href="#">バリアCMP後のウェーハ全面スクラッチ評価方法</a>	32204	
				<a href="#">酸化膜CMP用段差解消性評価TEG作製検討</a>	32205	
				<a href="#">Dektakの高精度平坦性評価方法</a>	32206	
				<a href="#">M1配線平坦性のM2配線ショート不良への影響評価</a>	32207	
			ダメージ評価	<a href="#">MSQ系Low-k膜のDirectCMPにおける絶縁破壊耐圧評価</a>	32208	
			ダメージ回復評価	<a href="#">MSQ系Low-k膜のDirectCMPにおける絶縁破壊耐圧の回復性評価</a>	32209	
			銅配線腐食評価	<a href="#">濃淡電池TEGを用いた銅配線の腐食評価</a>	32210	
			外観評価	<a href="#">単層配線の研磨面SEM観察法とサンプル作製法</a>	32211	
			レジスト評価	<a href="#">p-SiOを用いたCMP-4プロセスへの単層レジスト適用評価</a>	32212	
				<a href="#">p-SiOCを用いたCMP-4プロセスへの単層レジスト適用評価</a>	32213	
<a href="#">p-SiO/p-SiOCを用いたCMP-4プロセスへの単層レジスト適用評価</a>	32214					
<a href="#">MSQ系Low-k膜のDirectCMPにおける信頼性評価(Tddb)</a>	32401					
5	信頼性評価	ダメージ評価				

③	1	単膜評価	熱物性	<a href="#">薄膜の熱応力特性</a>	33101
			電気物性	<a href="#">吸湿前後のI-V特性(Hgプローブ)</a>	33102
	2	積層膜評価	密着性評価	<a href="#">樹脂の異なるBC材を用いたCuTi BC密着性評価</a>	33201
			成膜評価	<a href="#">非感光性BC膜でのBC/SiN密着性評価</a>	33202
	3	プロセス 影響評価	密着性評価	<a href="#">BC膜上へのSiN成膜評価</a>	33203
				<a href="#">バフアーコート(BC)表面処理によるCuTiBC密着性評価</a>	33301
				<a href="#">加温条件でのCuTiBC密着性評価</a>	33302
				<a href="#">CuTiBC密着性評価 表面へのO2アッシング圧力条件検討</a>	33303
				<a href="#">BC材料へのO2アッシング処理による表面形状評価</a>	33304
				<a href="#">BGテープ/BC粘着力評価 O2アッシング圧力条件検討</a>	33305
				<a href="#">D11011再配線プロセスBC開口部加工形状評価</a>	33306
				<a href="#">D11015再配線プロセスBC開口部加工形状評価</a>	33307
			<a href="#">D11028再配線プロセスBC開口部加工形状評価</a>	33308	
			<a href="#">D11052再配線プロセスBC開口部加工形状評価</a>	33309	
	電気物性	<a href="#">再配線狭間隔幅パターンによるBC材料のIV耐圧評価</a>	33310		
		<a href="#">BC再配線プロセス再現性評価</a>	33311		
	汚染評価	<a href="#">再配線工程におけるBC上の金属汚染評価</a>	33312		
	5	信頼性評価	電界加速試験	<a href="#">BC/p-SiNイオンマイグレーション評価</a>	33501
				<a href="#">BC2層イオンマイグレーション評価</a>	33502
				<a href="#">非感光性BC膜でのイオンマイグレーション評価</a>	33503
⑤	4	プロセス 耐性評価	フラックス洗浄耐性	<a href="#">大型FC-BGA(C4)のBC不良評価</a>	35411
			UBMめっき評価	<a href="#">大型FC-BGA(C4)ウェーハの不良評価</a>	35412
			ボール搭載性評価	<a href="#">WLPチップのバンプブル試験による 再配線部の破壊箇所評価</a>	35413
				<a href="#">大型FC-BGA(C4)チップのバンプシェア試験強度評価</a>	35414
			<a href="#">大型FC-BGA(C4)ウェーハの不良評価</a>	35415	
	Cuポスト	<a href="#">大型FC-BGA(Cuポストバンプ)チップのバンプシェア試験強度評価</a>	35416		
	5	パッケージ評価	WLP	<a href="#">BCによる実装性評価(SAT, IR顕微鏡)</a>	35511
				<a href="#">実装、信頼性評価 大型FC-BGA(C4) 不良解析(イオンミリング法)</a>	35512
			大型FC-BGA(C4)	<a href="#">BCによる実装性評価(SAT)</a>	35513
				<a href="#">不良解析(IR顕微鏡)</a>	35514
				<a href="#">実装、信頼性評価 大型FC-BGA(Cuポストバンプ) 不良解析(イオンミリング法)</a>	35515
			大型FC-BGA (Cuポストバンプ)	<a href="#">不良解析(IR顕微鏡)</a>	35516
				<a href="#">不良解析(デジチェーン)</a>	35517



⑥	3	CMP用PF	マルチ層配線	<a href="#">SiO/単層レジスト</a>	36101	
				<a href="#">SiOC/単層レジスト</a>	36102	
				<a href="#">SiOC+SiO/単層レジスト</a>	36103	
	4	4R用PF	マルチ層配線	<a href="#">p-SiOC</a>	36201	
				<a href="#">E11066HB</a>	36202	
				<a href="#">E11097</a>	36203	
				<a href="#">E11105</a>	36204	
				<a href="#">E11120</a>	36205	
		T2用FEOL付きPF	T2 FEOL	FEOL+マルチ層配線	<a href="#">T2 FEOL プロセスフロー</a>	36300
					<a href="#">p-SiOC</a>	36301
			FEOL+マルチ層配線	<a href="#">E11066HB</a>	36302	
				<a href="#">E11097</a>	36303	
				<a href="#">E11105</a>	36304	
		T3用FEOL付きPF	T3 FEOL	FEOL+マルチ層配線	<a href="#">T3 FEOL プロセスフロー</a>	36400
					<a href="#">p-SiOC</a>	36401
			FEOL+マルチ層配線	<a href="#">E11066HB</a>	36402	
				<a href="#">E11097</a>	36403	
				<a href="#">E11105</a>	36404	
		BC用PF	マルチ層配線	BC イオンマイグレーション用 マルチ層配線	<a href="#">D11011</a>	36501
					<a href="#">D11015</a>	36502
					<a href="#">D11028</a>	36503
					<a href="#">D11052</a>	36504
			BC イオンマイグレーション用 マルチ層配線	<a href="#">D11011/p-SiN</a>	36551	
	<a href="#">D11015/p-SiN</a>			36552		
	<a href="#">D11028/p-SiN</a>			36553		
	<a href="#">D11011/2層</a>			36571		
	<a href="#">D11015/2層</a>			36572		
	<a href="#">D11028/2層</a>			36573		
	5	組立プロセス	組立プロセス	<a href="#">再配線狭間隔幅パターンによるIV耐圧評価プロセスフロー</a>	36701	
				<a href="#">再配線プロセス D11052</a>	36702	
				<a href="#">大型FC-BGA(C4)組立プロセス</a>	36703	
				<a href="#">大型FC-BGA(Cuポストパンチ)組立プロセス</a>	36704	
				<a href="#">WLP組立てプロセス</a>	36705	
				<a href="#">CAST-T2還元チップ組立プロセス</a>	36706	
				<a href="#">ハーフカットウェーハプロセス</a>	36707	

⑦	3	CMP	CMP-C2	<a href="#">CMP-C2マスク説明書</a>	37101
	4	4R	多層配線	<a href="#">4R 概要</a>	37201
				<a href="#">4R 揃パターン</a>	37202
				<a href="#">4R つづらパターン</a>	37203
				<a href="#">4R ビアチェーン</a>	37204
				<a href="#">4R TDDB</a>	37205
				<a href="#">4R EM</a>	37206
				<a href="#">4R SM</a>	37207
				<a href="#">4R Open check</a>	37208
				<a href="#">4R Short check</a>	37209
		T2	FEOL付多層配線	<a href="#">T2 マスク説明書</a>	37301
				<a href="#">T2 TEG概要</a>	37302
				<a href="#">T2 PAD配置図</a>	37303
				<a href="#">T2 PN接合</a>	37304
				<a href="#">T2 ゲート容量</a>	37305
				<a href="#">T2 抵抗</a>	37306
				<a href="#">T2 SEM</a>	37307
				<a href="#">T2 NMOS</a>	37308
				<a href="#">T2 寄生MOS</a>	37309
				<a href="#">T2 リングオシレータ</a>	37310
				<a href="#">T2 アンテナ</a>	37311
				<a href="#">T2 腐食</a>	37312
		T3	FEOL付多層配線	<a href="#">T3 マスク説明書</a>	37401
	5	CAST-PKG1	大型FC-BGA	<a href="#">大型FC-BGA 鉛フリー マスク説明書</a>	37501
				<a href="#">大型FC-BGA Cuポストバンプ マスク説明書</a>	37502
				<a href="#">大型FC-BGA インターポーザーマスク説明書</a>	37503
		WLP	BC評価用	<a href="#">WLPインターポーザー マスク説明書</a>	37551
	IM-01	BC評価用	<a href="#">イオンマイグレーション評価TEG マスク説明書</a>	37601	

⑨	4	4R	4層配線	4R 抵抗	39101
				4R 容量	39102
				4R 耐圧	39103
				4R VC抵抗	39104
		T2接合素子	受動素子	T2 配線抵抗の評価	39201
				T2 poly-Si/拡散抵抗の評価	39202
			能動素子	T2 PN接合の評価	39221
				T2 MOSTランジスタの評価	39222
			特殊素子	T2 MOS容量の評価	39223
				T2 寄生MOSTランジスタの評価	39241
		回路	T2 アンテナTEGの評価	39242	
		パッケージ	T2 リングオシレータの評価	39261	
		T3接合素子	基本素子	T2 QFP組立評価	39281
				T3 PN接合の評価	39301
				T3 MOS容量の評価	39302
				T3 配線抵抗の評価	39303
				T3 poly-Si/拡散抵抗の評価	39304
	特殊素子		T3 MOSTランジスタの評価	39305	
			T3 ゲート付PN接合の評価	39321	
			T3 寄生MOSTランジスタの評価	39322	
			T3 アンテナTEGの評価	39323	
			T3 ストレスTEGの評価	39324	
	プログラム	T3 ゲート付PN接合測定プログラム	39326		
	回路	T3 リングオシレータの評価	39361		
	パッケージ	T3 QFP組立評価	39381		
	5	後工程評価	BC評価用	インターポーザダイジチェーン抵抗評価	39501
				インターポーザ PN接合 ポリSi抵抗評価	39502
				WLP再配線での接合素子評価	39503
				BCキュアプロセスによる接合素子影響評価	39504
				再配線付きWLP PKGでのNMOS Tr測定法	39505
				WLP PKGでのCu強制汚染評価法	39506
ハーファットウェー八でのCu強制汚染評価法				39507	

分野： ①Low-k、②CMP、③BC、④BG、DC、⑤一貫評価、⑥プロセスフロー、⑦マスク説明書、⑧その他評価対象材料、⑨電気測定法

評価レベル： 1:単層膜、単一工程評価、2:複数工程評価、3:単層配線評価、4:多層配線評価、5:信頼性評価、環境試験、パッケージ評価、一貫評価

## 材料評価基準

1. 評価対象材料名：Low-k 材料

2. 評価の目的：Low-k(薄膜)比誘電率の評価

Low-k 材料の誘電率評価において、特に 100nm を切るような薄い膜厚の Low-k 材料は、測定系に存在する寄生容量の影響を受け、本来の誘電率よりも低い誘電率が測定されることがある。そのため、寄生容量の影響を取り除く為に、複数の膜厚で測定したデータを用い、そこから膜本来の誘電率を評価する。

3. 評価項目：

Low-k 材料(薄膜)の比誘電率

4. 試料作製の手順

4-1. 評価試料作製における使用装置

SOD コーター：ACT-12SOD (東京エレクトロン)

SOD 焼成炉：ALPHA-303C (東京エレクトロン)

UV アニール装置：Rapidcure 320FC(Axcelis)

4-2. 使用 Low-k 材料

以下の 3 種類の Low-k 材料 (膜厚 100nm)

E11066 (有機、 $k=2.7$ ) 熱キュアプロセス

E11097 (ポーラスMSQ、 $k=2.3$ ) UVキュアプロセス

E11105 (ポーラスMSQ、 $k=2.4$ ) UVキュアプロセス

および、上記 3 種の材料の、膜厚調整したもの (膜厚 20~70nm) を用いた。

4-3. 評価試料作製手順

- ①  $\phi 300\text{mm}$  低抵抗 Bare Si ウェーハを、無機洗浄装置、レシピ 400 (表面酸化物除去、DHF40 秒処理) にて洗浄し、自然酸化膜を除去する。
- ② SOD コーターを用いて、ウェーハ上に Low-k 材料を、各材料の基準仕様に準じて塗布及びプリベークする。なお、Edge Bead Removal(EBR)幅は 3mm を基準とする。
- ③ SOD コーターに搭載されているホットプレートや、UV アニール装置、SOD 焼成炉などのアニール装置を用い、各材料の標準仕様を基に、硬化シュリンク率が同一になるようにプロセス時間を調整し、誘電率測定サンプルを作製する。

それぞれの Low-k 膜種につき、膜厚変更用の 3 グレードを準備し、さらにコーター回転数で膜厚を調整して、5 種類の膜厚のサンプルを作製した。

表 1. 作製した Low-k 膜サンプル一覧

Low-k種類 (主組成)	Low-k品番 (膜厚変更用 グレード品番)	コーター回転数	UVキュア時間	キュア後膜厚 (XRR) [nm]	シュリンク率 [%]
E11066	E11066	STD	–	100.14	5
	E11177	STD	–	69.40	6
		STD × 200%	–	50.46	4
	E11196	STD	–	34.70	6
		STD × 220%	–	24.21	6
E11097	E11097	STD	STD	99.59	4
	E11175	STD	STD	71.53	5
		STD × 190%	STD	50.02	4
	E11194	STD	STD × 50%	35.41	4
		STD × 210%	STD × 50%	23.12	6
E11105	E11105	STD	STD	102.55	10
	E11176	STD	STD	73.65	7
		STD × 160%	STD	56.98	8
	E11195	STD	STD	30.95	10
		STD × 160%	STD	20.92	10

## 5. 測定方法

### 5-1. 測定装置

膜厚計 : XRR 装置

容量測定 : 水銀プローブ CV/IV 測定装置

### 5-2. 測定および解析条件

#### ① 膜厚測定

XRR 装置により下記条件で、膜中心近傍を測定し、測定結果は基板 (Si) と Low-k 膜の二層からなる単純モデルで解析し、Low-k 膜厚を求めた。求めた Low-k 膜厚を、容量測定時の酸化膜厚 (Tox) として用いた。

測定機設定 : スリット 0.1mm (incident/detector)

測定スクリプト : XRR only Chi correction.bcl  
 測定モード : 2nd CCC  
 測定温度 : 室温 (25degC)  
 測定範囲条件 : start=0、 end=3000、 Step=10、 count=2  
 解析条件 : Low-k 膜単層 + Si 基板 の二層構造  
 MATERIAL は品種により変更 (MSQ=Low-k1.1 / 有機=C5H3)  
 解析範囲 : 500 ~ 2000 sec

	THICKNESS (Å)	fix	low	high	MATERIAL	DENSITY (%)	fix	low	high	ROUGHNESS (Å)	fix	low	high	LAMELLAE
1	354.07	<input type="checkbox"/>	50	500	Low-k1.1	96.50	<input type="checkbox"/>	90	150	9.19	<input type="checkbox"/>	0.001	50	1
SUB.	∞	<input checked="" type="checkbox"/>	∞	∞	Si	100.00	<input checked="" type="checkbox"/>	100	100	3.76	<input type="checkbox"/>	0.001	10	1

図 1. 代表的な解析例 (E11097 膜厚 35.41nm)

膜厚解析においては、密度 (DENSITY) の上限/下限値として、90%-150%を用いた。この範囲を超える場合、膜質データ (MATERIAL) または測定精度に問題があると考えられる。

波形と計算値との GOF が 0.1 未満となるようであれば、測定の精度は十分であり、0.03 未満であれば、非常に良い精度であると言える。

## ② CV 測定

水銀プローブ CV/IV 測定装置を用いて、Low-k 膜の容量を測定した。測定点は中心から 10%刻みで、半径上 90%までの 9 点を測定し、中央付近の 2 点 (10%,20%) をデータとして採用した。以下の図 2 には各膜厚の半径上 90%までの 9 点測定データを示す。

測定モード : parallel  
 高周波条件 : 100kHz ±15mV  
 測定電圧範囲 : 電界強度換算で -2MV/cm ~ +2MV/cm (膜厚により電圧は変動)  
 測定点数 : 標準 40 点 電圧範囲により若干の調整を行った

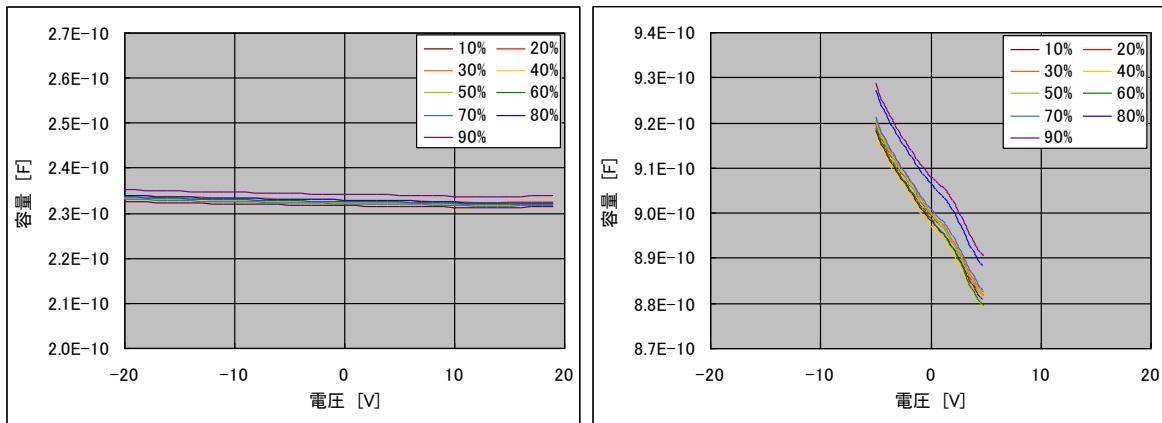


図 2. 代表的な CV 測定例 (E11066 左図：膜厚 100.14nm 右図：膜厚 24.21nm)  
膜厚の厚いもの(図 2. 左図)ほど、電圧による容量変化が少なく、膜厚の薄いもの(図 2. 右図)ほど、電圧による容量変化が顕著になる。一方、測定点間ばらつきは、ほぼ同程度の範囲に収まる。

面内ばらつきの傾向としては、中心側が低容量、外周側が高容量に一義的に増加する傾向が見られ、これは膜厚が外周に行くほど薄くなりやすい SOD 塗布膜の傾向によるものと思われる。

また、特に薄い膜厚のサンプルで顕著であるが、測定電圧の上限、下限近傍において、容量値が一定にならず、変化の途中であることが多い。これは、印加電圧の範囲が狭い為、Si 基板に発生する空乏層容量が、十分に蓄積状態ないしは空乏状態に達しておらず、寄生容量が変動している為と思われる。

従来手法では、印加電圧を電界強度換算で $\pm 4\text{MV/cm}$ 程度までとしていたが、薄膜は耐圧が低下するため、従来の  $4\text{MV/cm}$  という電圧は膜の劣化が進行し、ブレークダウンや測定結果のばらつきの原因となる。そのため、本評価基準においては、従来のように容量の最大値である  $C_{\text{max}}$ 、すなわち、完全に蓄積状態となったときの容量を測定するのではなく、印加電圧が  $0\text{V}$  であるときの容量を用い、寄生容量を計算的に除外することで、膜の真容量の測定を可能としている。詳細は後述する。

### ③ 容量のデータ整理・・・寄生容量の除外と真容量の計算

測定したデータは、従来手法では、容量の最大値である  $C_{\text{max}}$  の値から、比誘電率を計算していた。本評価基準においては、 $0\text{V}$  での容量値を用いて、さらにこの容量の膜厚依存をプロットし、そこから空乏層容量を含む寄生容量を算定して、真の容量を求め、膜の比誘電率を得る。

本手法において、系の寄生容量の構成について、以下のように仮定をする。すなわち、「測定の  $0\text{V}$  印加における寄生容量は、Low-k の膜厚によらず、Low-k の品種ごとに一定」である。

この仮定は、寄生容量の構成に関するモデルとフラットバンド電圧および空乏層容量に対する扱いによる。Si ウェーハ上の Low-k 膜と言う構造を等価回路で表す場合、測定される容量は、Low-k 容量と絶縁抵抗の並列回路に対し、直列に Si 基板の空乏化による容量と、Si-背面電極間の寄生容量が連なったモデルで表される。Si-背面電極間の寄生容量は、膜厚や品種による差の一切無い容量であり、その量が分れば測定結果より除外することは容易になる。これに対し、Si 基板の空乏化による容量（空乏層容量）は、空乏化の度合いが品種、電圧などにより変化するため、この値を一定にして測定することが好ましい。

そのため、「フラットバンド電圧は、Low-k 品種により一定」という仮定をする。これは、フラットバンド電圧が、製膜プロセスによる Si 基板や膜のチャージアップ量で決められると言う考えに基づいたものである。フラットバンド電圧が品種間で一定であれば、特定の電圧で測定した場合の空乏層容量は、Si 基板品種が同じであれば等しくなるため、前述の Si-背面電極間の寄生容量と同様、除外することが容易になる。

特定の電圧における空乏層容量が同じであるとなれば、最もノイズの少ない電圧を用いるのがベストである。薄膜では、高リーク電流になりやすい傾向があり、印加電圧が高いと、高リーク電流や膜の劣化により、容量の測定自体が正確に行われてない可能性がある。そこで、最もリーク電流の少ない 0V を基準として用いることとした。以上が本測定法の理論的背景となる。

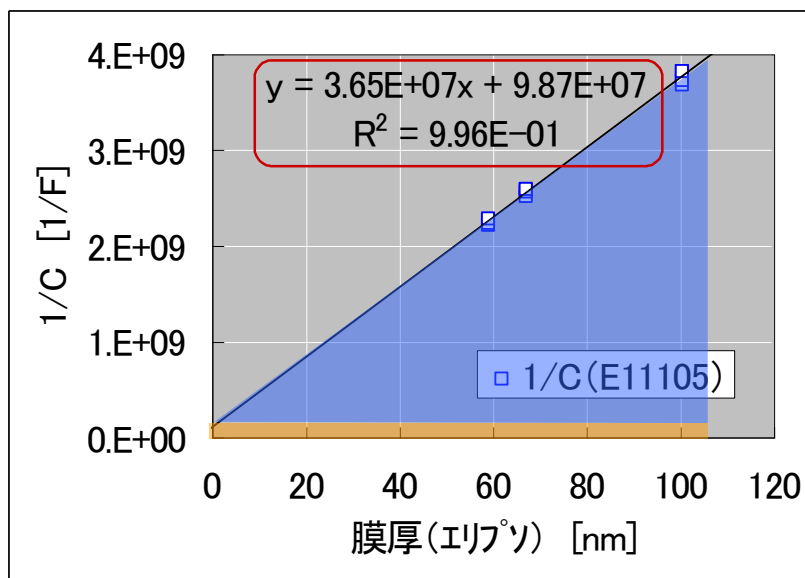


図 3. (1 / 0V 容量) vs 膜厚プロット (E11105)



計算方法につき簡便に説明する。図3は、膜厚を X 軸、各膜厚の 0V における容量測定値の逆数を Y 軸としてプロットしたものである。このプロットにおける青三角で示された領域は、膜厚に依存し容量が変化する部分、すなわち膜の真容量に相当する。一方で、このプロットの Y 切片より水平に伸びる線より下の領域、橙色の四角で示される部分は、膜厚に関係なく存在する寄生容量となる。

このプロットの切片は、寄生容量の値を示し、このプロットの傾きから、以下の式に従い、膜の比誘電率  $k$  を求めることが出来る。すなわち、傾きを  $\beta$  とすると、

$$k = 1/\beta A \epsilon_0 \quad \text{ただし、} A : \text{電極面積、} \epsilon_0 : \text{真空の誘電率}$$

## 6. 測定結果

### 6-1. 膜厚測定

表2に、膜厚測定の結果を示す。

表2. XRRによる膜厚測定結果

Low-k種類 (主組成)	Low-k品番 (膜厚変更用 グレード品番)	コータ回転数	UVキュア時間	キュア後 XRR			
				膜厚 [nm]	ラフネス [nm]	密度 [%]	GOF [-]
E11066	E11066	STD	-	100.14	0.51	110.67	0.018
	E11177	STD	-	69.40	0.62	111.70	0.024
		STD×200%	-	50.46	0.54	111.11	0.023
	E11196	STD	-	34.70	0.25	111.52	0.014
		STD×220%	-	24.21	0.10	111.67	0.018
E11097	E11097	STD	STD	99.59	1.01	94.85	0.023
	E11175	STD	STD	71.53	0.75	95.10	0.018
		STD×190%	STD	50.02	0.90	95.95	0.014
	E11194	STD	STD×50%	35.41	0.92	96.51	0.010
		STD×210%	STD×50%	23.12	0.60	94.81	0.014
E11105	E11105	STD	STD	102.55	0.44	92.60	0.037
	E11176	STD	STD	73.65	0.36	93.86	0.019
		STD×160%	STD	56.98	0.36	93.80	0.016
	E11195	STD	STD	30.95	0.00	92.34	0.025
		STD×160%	STD	20.92	0.00	96.10	0.013

密度[%]とは、膜質データ (MATERIAL) に記載された密度に対し、測定された膜の密度がどの程度であることを示している。同じ品種の膜厚変更品は、すべて同じ程度の密度を有しており、膜の組成に大きな差が無いことが言える。計算と測定の整合度である GOF は、最も高いもので 0.03 を超えるものの、おおむね 0.03 未満で収まっており、膜質やモデルの選定が適切であることを示している。

X 線が照射される測定スポットの中での膜厚ばらつきを示すラフネスは、膜厚が薄いほどその比率が高くなる傾向であり、最も大きいもので膜厚の 3% 近くになるが、これは測定精度として許容できる範囲である。

なお、このような薄い膜をエリプソメーターで測定した場合、GOF が大きく悪化したり、屈折率の値が変動したりすることが確認されており、薄膜の膜厚測定精度では、XRR のほうが優れていると判断し、今回は全ての膜厚に関するデータを XRR にて測定している。

## 6-2. 容量測定

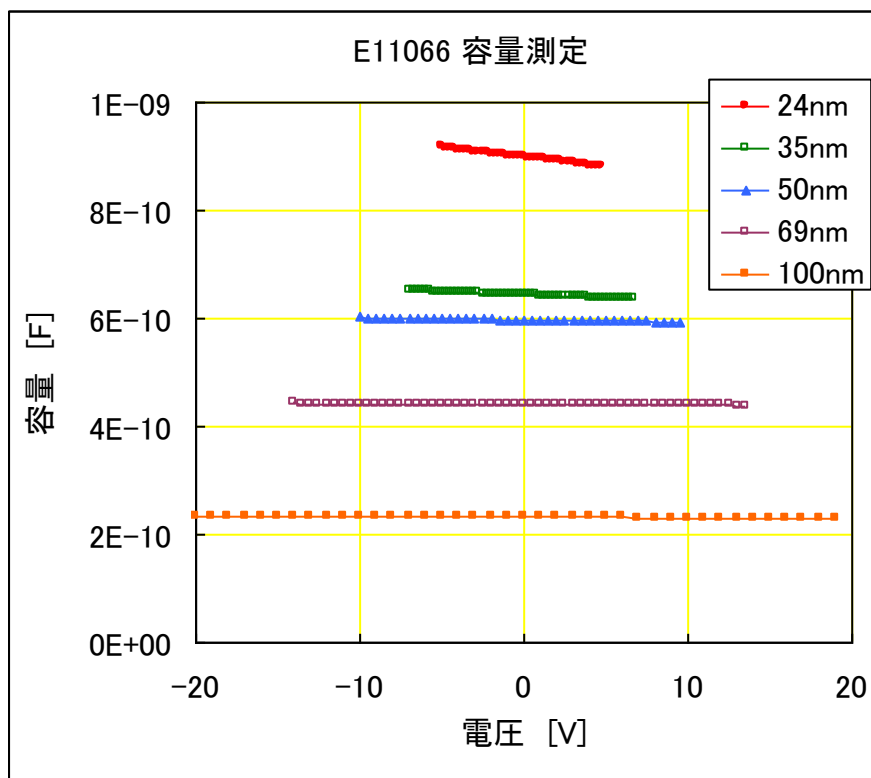


図 4. E11066 膜厚変更品の C-V 測定カーブ

C-V 測定は、前述の通り、電圧のスweep範囲を電界強度にて規定している為、膜厚違いの測定データを同じ C-V プロットに乗せると図 4 のようになる。薄い膜ほど測定範囲は狭く、一方で薄い膜ほど容量の変動(最大-最小の差)は大きい。従来の 100nm 膜厚などでは、電圧による変動がほとんど見られない。

容量の変動は、先に説明した空乏層容量の影響により発生する。膜の容量が大きくなる薄膜では、空乏層容量の変動による測定値の変化が大きくなる。これは、直列容量が、容量の逆数の和で示されることを考えれば理解できる。従来の膜厚では低抵抗ウェーハを用いた場合、容量変動が極めて小さくなるために、どのような条件で測定しても高精度に膜の容量を測定することができていた。

容量測定結果より、膜厚[nm] (Tox)、0Vでの容量[F] (C(0V))、測定範囲での最大容量[F](Cmax)、Cmaxから計算された比誘電率(k(meas))、および電極面積S[cm<sup>2</sup>]を表3にまとめた。Cmaxから求められる比誘電率は、膜厚が薄いほど低くなる傾向があり、100nmと24nmでは0.1以上の比誘電率の差があるような結果となる。

表3. E11066の容量測定結果

Tox	100.14		69.40		50.46		34.70		24.21	
Cmax	2.33E-10	2.34E-10	4.43E-10	4.44E-10	6.02E-10	6.03E-10	6.52E-10	6.54E-10	9.18E-10	9.20E-10
C(0V)	2.32E-10	2.32E-10	4.40E-10	4.42E-10	5.98E-10	5.98E-10	6.43E-10	6.44E-10	8.98E-10	9.00E-10
S	0.0098	0.0098	0.0130	0.0130	0.0130	0.0130	0.0098	0.0098	0.0098	0.0098
k(meas)	2.685	2.695	2.677	2.685	2.649	2.650	2.609	2.615	2.562	2.566

E11097の測定結果を表4に示す。E11066同様に、膜厚が薄いものではkが低下する傾向がある。

表4. E11097の容量測定結果

Tox	99.59		71.53		50.02		35.41		23.12	
Cmax	2.68E-10	2.68E-10	3.76E-10	3.76E-10	5.30E-10	5.31E-10	7.38E-10	7.43E-10	1.10E-09	1.11E-09
C(0V)	2.67E-10	2.66E-10	3.73E-10	3.73E-10	5.25E-10	5.26E-10	7.29E-10	7.33E-10	1.08E-09	1.09E-09
S	0.0129	0.0129	0.0130	0.0130	0.0130	0.0130	0.0129	0.0129	0.0129	0.0129
k(meas)	2.344	2.343	2.344	2.344	2.309	2.315	2.296	2.311	2.232	2.250

E11105の測定結果を表5に示す。上記2種のLow-k材に比べて、膜厚による比誘電率の差が小さく見られる。

表5. E11105の容量測定結果

Tox	102.55		73.65		56.98		30.95		20.92	
Cmax	2.63E-10	2.69E-10	3.69E-10	3.75E-10	4.67E-10	4.73E-10	8.60E-10	8.86E-10	1.26E-09	1.30E-09
C(0V)	2.61E-10	2.67E-10	3.67E-10	3.72E-10	4.64E-10	4.69E-10	8.48E-10	8.74E-10	1.23E-09	1.27E-09
S	0.0130	0.0130	0.0130	0.0130	0.0130	0.0130	0.0130	0.0130	0.0130	0.0130
k(meas)	2.352	2.400	2.369	2.407	2.320	2.347	2.320	2.390	2.303	2.376

これらのデータを元に、寄生容量を除外する計算を行った。

### 6-3. データの処理

取得した C(0V)のデータと膜厚のプロットを作製し、傾きと切片から寄生容量と比誘電率を計算した。なお、今回のデータ整理において、縦軸に  $1/(C/S)$  を用いているが、これは実験途中において、水銀プローブの電極交換が有り、電極面積が大きく変化した為の処置である。通常は、計算が煩雑になるので、縦軸には  $1/C$  を用いればよい。

次ページ図 5 に、E11066、E11097、および E11105 のプロットを示す。

最小自乗法にて作製した一次線形の分散は、極めて良好でほとんど 1.00 になった。使用している点数は 10 点なので、寄生容量の切り離しに関して、十分にモデルと現実が整合していることを示している。また、膜厚による比誘電率の変化があれば、プロットから乖離してくるはずであるが、今回の 3 品種ではそのような傾向が見られない。この点については後ほど寄生容量を除外し、それぞれの膜厚での比誘電率を求め、検証を行う。

表から求められる傾き、及び切片は、品種ごとに差があることが分る。CASMAT で標準特性として、比誘電率は

$$E11066=2.65、E11097=2.33、E11105=2.42$$

であるとされている。3つのプロットより計算されたそれぞれの品種の比誘電率は、

$$E11066=2.74、E11097=2.37、E11105=2.38$$

となり、従来の特性値 $\pm 0.1$ の範囲に収まっている。従来の特性値は、100nm、ないし 150nm の 1 点で測定されたものであり、その厚みでの寄生容量を加味していない為ズレが生じたとも考えられる。

また、今回の 3 品種で寄生容量は電極面積  $0.0098\text{cm}^2$  あたり、

$$E11066=10946\text{pF}、E11097=12454\text{pF}、E11105=22502\text{pF}$$

となり、他 2 種に比べ E11105 が倍程度大きい。これは、フラットバンド電圧が大きいことを示しており、膜中ないし Si 基板上のチャージアップが起こりやすい品種・プロセスであると言える。

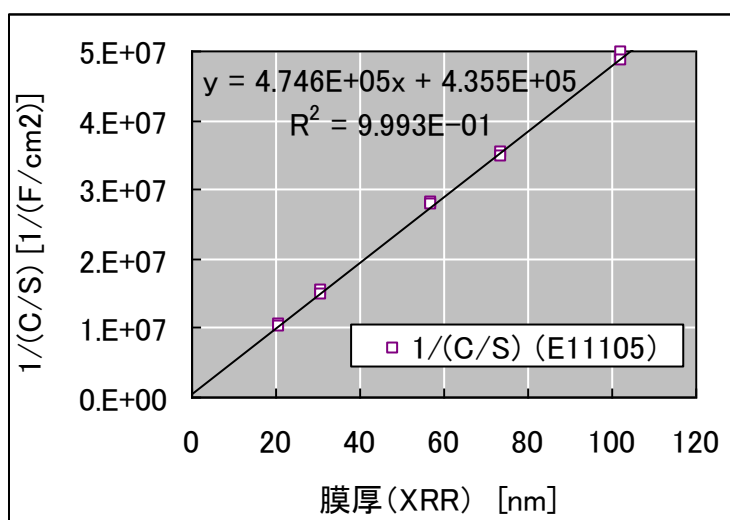
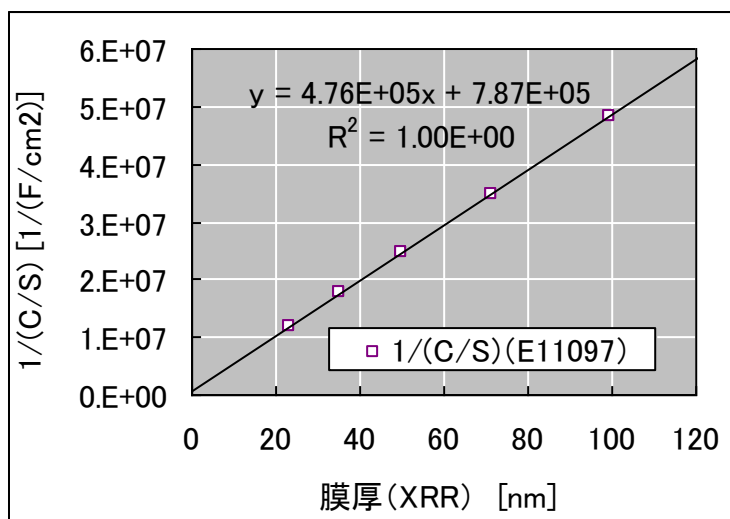
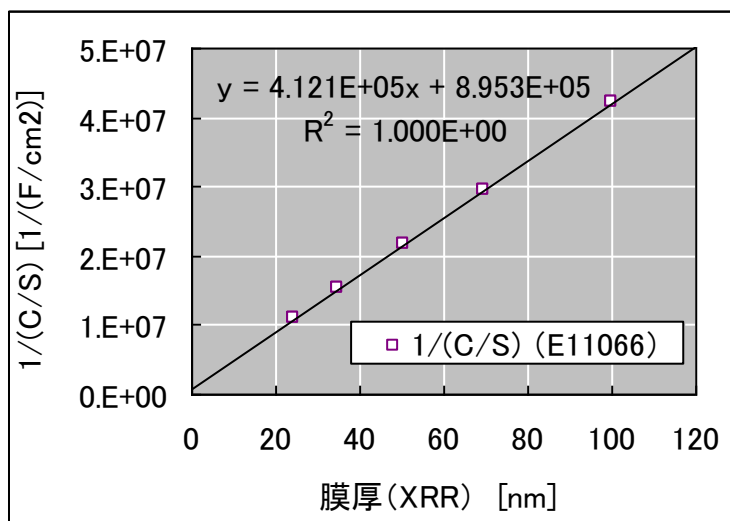


図 5.  $1/C(0V)$  vs 膜厚プロット (上 E11066 中 E11097 下 E11105)

上記で計算された比誘電率は、膜厚によらず一定である場合の平均的なものである。もし薄膜で比誘電率が変化するのであれば、薄い膜ほど比誘電率が計算値から乖離するものと思われる。そこで、プロットから求めた寄生容量を用い、個々の膜厚での比誘電率 ( $k(\text{calc})$ ) を求めた。これを  $k(\text{meas})$  と比較し、その結果を以下の図 6 に示す。

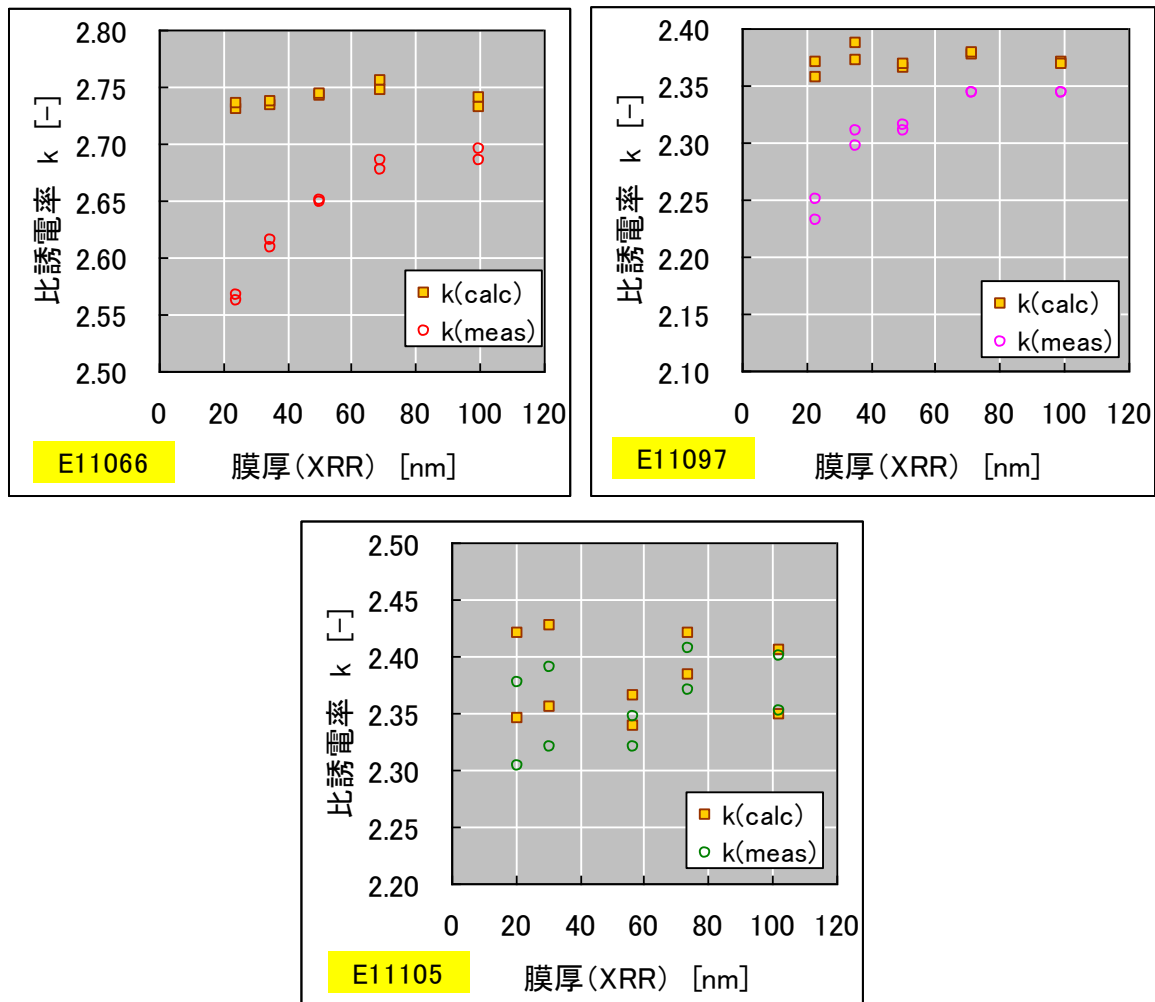


図 6.  $k(\text{calc})$  と  $k(\text{meas})$  の比較 (左上 E11066、右上 E11097、下 E11105)

プロットを行うと E11066 と E11097 は、 $k(\text{calc})$  に膜厚依存は無く、非常に狭い範囲で収束しているが、 $k(\text{meas})$  は薄い膜ほど乖離していることがよくわかる。E11105 は、 $k(\text{calc})$  と  $k(\text{meas})$  の差が小さい。これは寄生容量の値が大きい、すなわち、プロットの切片である ( $1/\text{寄生容量}$ ) の値が小さいことに起因する。

以上の測定より、薄膜の比誘電率は、従来法で測定すると膜本来の値より小さく見積もられることが分った。一方で、本報告の手法によれば、複数の膜厚での測定が必要ではあるが、膜本来の比誘電率を求めることが可能であることが分った。

## 7. 考察

Low-k 膜を薄膜化していくと、ある厚みで、分子配向、スタッキング、表面層の影響などが大きくなることや、プロセスの完結度が変わること、厚膜とは異なる特性を発揮するのではないかと予想されてきた。

今回の測定結果は、3種のLow-k膜について、少なくとも20nm前後までは、その比誘電率が変化しないことが示された。Low-k膜厚20nmの世代は、ITRSのロードマップでも2020年前後の世代と予想されており、適用されるまでにはまだ時間があるが、今回の測定法を用いることで、将来のLow-k材開発に必要な薄膜での情報（比誘電率など）を得ることができるので有効な評価方法であると考えられる。

## 8. 残された課題

本手法では、高リークに耐えない薄膜を測定する手法として、0Vでの容量を測定し、これをデータとして用いている。ここで、0Vでの空乏層容量がウェーハ品種同一であれば同じであるという仮定を用いているが、基材が半導体でなく金属である場合、空乏層の影響が無くなり、さらに解析が容易になる可能性がある。

このような寄生容量の構成の異なる系にて、薄膜の容量測定を検証することで本測定の結果を確認し、より確かなものとする必要がある。また、今後様々な材料にて、膜厚依存性の検証を行い、Low-k材料と利用される寸法についての知見を蓄積することが必要である。

## 9. 関連技術情報

技術情報 B-H21-4004 薄膜品のリーク電流測定・誘電率測定に関する検討

技術情報 B-H21-4005 薄膜品のリーク電流測定・誘電率測定に関する検討

技術情報 B-H21-4007 第12回研究成果報告会 微細化に対応したLow-k評価基盤の確立

技術情報 B-H21-4014 第13回研究成果報告会 微細化に対応したLow-k評価基盤の確立②

技術情報 B-H22-4002 第84回技術委員会報告資料 Low-k薄膜の評価法

## 10. その他

特になし

## 11. データベース

特になし

## 材料評価基準

### 1. 評価対象材料名：Low-k 材料

### 2. 評価の目的：XRR による薄膜の膜厚高精度評価

Low-k 材料の誘電率評価において、特に 100nm を切るような薄い膜厚の Low-k 材料は、従来利用されているエリプソメトリを用いて膜厚を測定すると、計算モデルの不一致から誤差が大きくなることがある。本評価基準では、100nm 以下の膜厚を高精度に測定するため、X 線膜厚・構造評価装置（XRR）を用いる手法、およびエリプソメトリでの測定結果との差異について述べる。

### 3. 評価項目：

Low-k 材料の膜厚（ウェーハ内の任意の位置における）

### 4. 試料作製の手順

#### 4-1. 評価試料作製における使用装置

SOD コーター： ACT-12SOD（東京エレクトロン株式会社）

UV アニール装置： RapidCure 320FC（Axcelis）

SOD ファーネス： ALPHA-303（東京エレクトロン株式会社）

X 線膜厚・構造評価装置： Metrix-L（英国 Bede 社）以下 XRR と省略

分光エリプソメーター： RE-3100（大日本スクリーン株式会社）

以下エリプソと省略

#### 4-2. 使用 Low-k 材料

以下の 2 種類の Low-k 材料（膜厚 20～100nm）

E11066（有機、 $k=2.7$ ） 熱キュアプロセス

E11105（MSQ、 $k=2.4$ ） UV キュアプロセス

#### 4-3. 評価試料作製手順

- ①  $\phi 300\text{mm}$  低抵抗 Bare Si ウェーハを、無機洗浄装置、レシピ 400（表面酸化物除去、DHF40 秒処理）にて洗浄し、自然酸化膜を除去する。
- ② SOD コーターを用いて、ウェーハ上に Low-k 材料を、各材料の基準仕様に準じて塗布及びプリベークする。なお、Edge Bead Removal(EBR)幅は 3mm を基準とする。
- ③ SOD コーターに搭載されているホットプレートや、UV アニール装置、SOD 焼成炉などのアニール装置を用い、各材料の標準仕様を基に、硬化シュリンク率が同一になるようにプロセス時間を調整し、膜厚測定サンプルを作製した。それぞれの Low-k 膜種につき、膜厚違いの 5 サンプルを準備した。



表 1. 作製した Low-k 膜サンプル一覧

Low-k種類 (主組成)	Low-k品番 (膜厚違い グレード品番)	コータ回転数	UVキュア時間	キュア後膜厚 XRR [nm]
E11105	E11105	STD	STD	102.55
	E11176	STD	STD	73.65
		STD×160%	STD	56.98
	E11195	STD	STD	30.95
		STD×160%	STD	20.92
E11066	E11066	STD	-	100.14
	E11177	STD	-	69.40
		STD×200%	-	50.46
	E11196	STD	-	34.70
		STD×220%	-	24.21

## 5. 測定方法

### 5-1. 測定装置

膜厚計：XRR 装置、エリプソ

### 5-2. 測定および解析条件

膜厚測定

XRR 装置により下記条件で、膜中心近傍の 1 点を測定した。

測定機設定： スリット 0.1mm (incident/detector)

測定スクリプト： XRR only Chi correction.bcl

測定モード： 2nd CCC

測定温度： 室温 (25degC)

測定範囲条件： start=0、 end=3000、 Step=10、 count=2

解析条件： Low-k 膜単層+Si 基板 の二層構造

測定結果は基板 (Si) と Low-k 膜の二層からなる単純モデルで解析し、Low-k 膜厚を求めた。求めた Low-k 膜厚を、容量測定時の酸化膜厚 (Tox) として用いた。

MATERIAL は品種により変更 (E11066 は C5H3、E11097、E11105 は Low-k1.1)

解析範囲： 500~2000 sec

Model														
	THICKNESS (Å)	fix	low	high	MATERIAL	DENSITY (%)	fix	low	high	ROUGHNESS (Å)	fix	low	high	LAMELLAE
1	354.07	<input type="checkbox"/>	50	500	Low-k1.1 ▼	96.50	<input type="checkbox"/>	90	150	9.19	<input type="checkbox"/>	0.001	50	1
SUB.	∞	<input checked="" type="checkbox"/>	∞	∞	Si ▼	100.00	<input checked="" type="checkbox"/>	100	100	3.76	<input type="checkbox"/>	0.001	10	1

図 1. 代表的な解析例 (E11097 35.41nm)

膜厚解析においては、密度 (DENSITY) の上限/下限値として、90%-150%を用いた。この範囲を超える場合、膜質データ (MATERIAL) または測定精度に問題があると考えられる。波形と計算値との GOF が 0.1 未満となるようであれば、測定の精度は十分であり、0.03 未満であれば、非常に良い精度であるといえる。

精度良く数値を得る為には、ある程度近い数字を初期値として入力する必要がある。例えば、膜厚がおよそ 100nm であるのが判っていれば、膜厚の初期値を 1000 Å、上下限を±10%程度に絞って計算を行い、場合によっては特定のパラメーターについて Fix を使用して、他のパラメーターの推定値を得ることも有効となる。Fix は特に DENSITY に対し使用すると効果が高い。

なお、XRR は測定スクリプトを編集することで、任意の、ないしは多数の点を測定することが可能である。詳細な操作法については本報告の Appendix に記載した。

## 6. 測定結果

### 6-1. 膜厚測定

表2. キュア後膜厚の測定結果

Low-k種類 (主組成)	XRR測定				エリプソ測定		
	膜厚 [nm]	ラフネス [nm]	密度 [%]	GOF [-]	膜厚 [nm]	n [-]	GOF [-]
E11105	102.55	0.44	92.60	0.037	102.87	1.310	992-994
	73.65	0.36	93.86	0.019	73.72	1.318	994-995
	56.98	0.36	93.80	0.016	57.35	1.322	994-995
	30.95	0.00	92.34	0.025	27.86	1.380	996
	20.92	0.00	96.10	0.013	23.48	1.389	993-994
E11066	100.14	0.51	110.67	0.018	100.47	1.607	996-997
	69.40	0.62	111.70	0.024	69.81	1.601	991-995
	50.46	0.54	111.11	0.023	49.75	1.621	994-995
	34.70	0.25	111.52	0.014	33.80	1.646	994-995
	24.21	0.10	111.67	0.018	23.78	1.670	995

表2に、膜厚測定の結果を示す。密度[%]とは、膜質データ (MATERIAL) に記載された密度に対し、測定された膜の密度がどの程度であることを示している。同じ品種の膜厚違い品は、すべて同じ程度の密度を有しており、膜の組成に大きな差が無いことがいえる。計算と測定の整合度である GOF は、最も高いもので 0.03 を超えるもの、おおむね 0.03 未満で収まっており、膜質やモデルの選定が適切であることを示している。

X線が照射される、測定スポットの中での膜厚ばらつきを示すラフネスは、膜厚が薄いほどその比率が高くなる傾向であり、最も大きいもので膜厚の3%近くになるが、これは測定精度として許容できる範囲である。

エリプソメーターは材料を光学的な手法で測定しており、測定時には膜の物性値である屈折率 n と、吸光係数 k が合わせて測定される。解析にはこの物性値が用いられる。表2の結果では、薄膜ほどエリプソで測定された n の値が高くなっているが、膜は同じ組成のものを用いている為、n は一定値のはずである。エリプソ測定の GOF は、999 が最も高く、995 以上であれば十分な精度が得られているといえるが、薄い膜のサンプルでは、GOF がやや低いものが見られる。

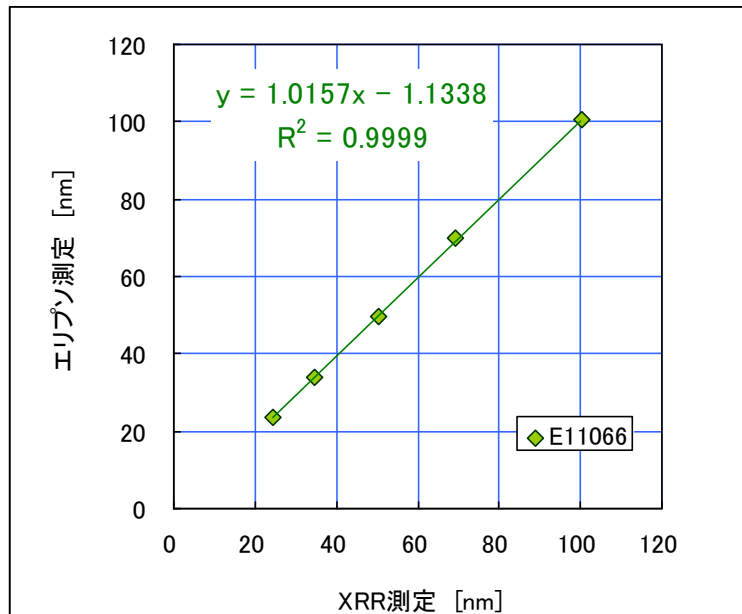
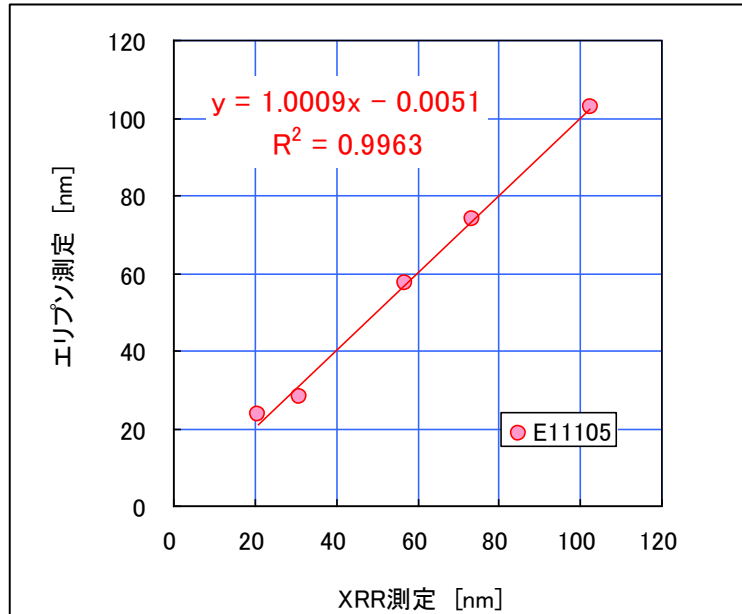


図 2. 膜厚測定値の比較 (XRR/エリプソメータ)

XRR とエリプソの測定結果を比較すると、図 2 の様になる。XRR とエリプソの測定値の比は、E11105 で 1.0009 と、ほぼ 1 に近く、切片は 0.0051 となっている。すなわち、測定結果の間には、平均的には 0.005nm のオフセット (差) があるだけといえる。しかし、20nm の点ではこの関係が大きく崩れており、3nm ほどの膜厚差が見られる。この差は 20nm という厚みに対しては非常に大きい差であり、解析上無視できないものとなっている。

一方で、E11066 の場合は、膜厚に関係なくすべて同一の線形に乗っている。その比は 1.0157 であることから、両測定の間には 1.5% のスパン誤差がある。また、切片も -1.1338 と大きく、薄膜ではこの -1nm は大きく解析結果に影響する。

#### 6-2. 測定差の検証

このように膜厚に差がある場合、どちらの測定結果がより真の膜厚に近いかを検証しなければならない。そこで、評価基準書 31001 に記載の手法により測定した、Low-k 膜の比誘電率のデータを解析する際に、XRR およびエリプソを用い測定した膜厚を用いてそれぞれ計算を行った結果を以下に示す。

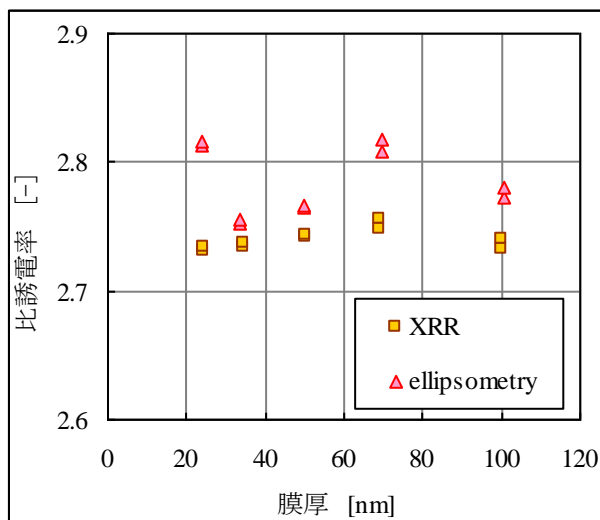


図 3. 膜厚と比誘電率の関係 (E11066)

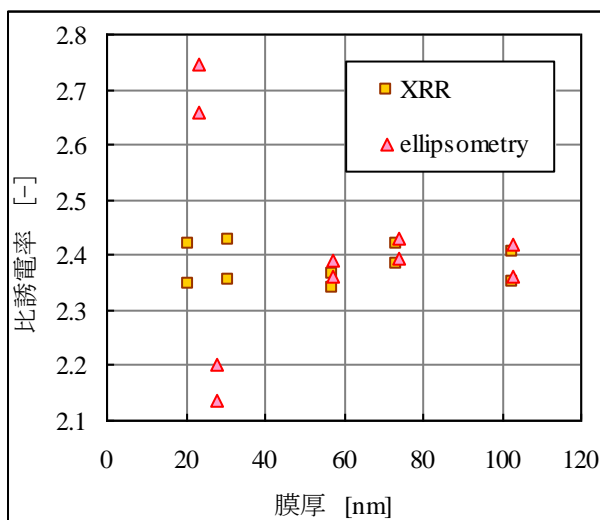


図 4. 膜厚と比誘電率の関係 (E11105)

黄色四角で示されるのが、寄生容量を計算的に除外した比誘電率である。この比誘電率は、膜質が同一であるならば、膜厚に関係なく一定となるはずである。2つの膜種のどちらも、XRR で測定した膜厚を用いた場合は、比誘電率が一定値となっているが、エリプソで測定した膜厚を用いた場合は、特に薄膜において、上下に大きなふれ幅を有する結果となった。

## 7. まとめ

薄膜の膜厚測定に XRR、およびエリプソメーターを用いた場合、特に薄い膜厚において、膜厚の測定値に大きな差が生じることが判明した。

この両方で測定した膜厚のうち、真の膜厚に近いものがどちらかを検証するため、膜厚により変動しないであろう膜の比誘電率の解析結果を比較したところ、エリプソメーターを用いた場合は、膜厚による比誘電率の変動が大きく、XRR を用いた場合は、膜厚によらず一定の比誘電率を得ることができた。

以上の結果より、薄膜の特性を評価するにあたり、膜厚測定には XRR を用いたほうが、精度の高い評価が可能であることが判った。

## 8. 残された課題

エリプソメーターにて測定した膜厚が整合しない問題は、薄膜での光学モデルの不整合が原因とも考えられる。膜質データを改善し、XRR との測定差が小さくなるようにすることが必要である。

## 9. 関連技術情報

技術情報 B-H21-4004 薄膜品のリーク電流測定・誘電率測定に関する検討

技術情報 B-H21-4005 薄膜品のリーク電流測定・誘電率測定に関する検討

技術情報 B-H21-4007 第 12 回研究成果報告会 微細化に対応した Low-k 評価基盤の確立

技術情報 B-H21-4014 第 13 回研究成果報告会 微細化に対応した Low-k 評価基盤の確立②

技術情報 B-H22-4002 第 84 回技術委員会報告資料 Low-k 薄膜の評価法

## 10. その他

特になし

## 11. データベース

特になし

## Appendix. XRR 測定における測定点の指定について

XRR 測定において、作業標準に従い測定を行う場合は、「XRR\_only\_chi\_correction.bcl」のスク립トを用いて測定を行う。このスク립トは、ウェーハ中心の1点のみを測定するように設定されている。このスク립トを複製し・編集することで、任意の位置の1点、ないしは多数の点の測定が可能である。本項ではこの操作法について述べる。

なお、測定点数の改良を行ったスク립トとして、以下が実装済である。

XRR occ map1(5pt)

ウェーハの中心 (0,0) より、30mm ピッチで、半径軸上 5 点の測定。  
(0,0)、(30,0)、(60,0)、(90,0)、および(120,0)

自分で作製する場合は、まず上記スク립トのコピーを作製し、改名した上で、スク립トの Main 中、以下の赤字部分を編集する。

Sub Main

Dim SourceArray(0 To 3) As String, Pause As Boolean, msg As String

Dim R As VbMsgBoxResult, XRROptics As SealedTubeOption

Dim XPos() As Double, YPos() As Double, NumberOfPoints As Integer, i As Integer

SourceArray(0) = "2nd CCC only"

SourceArray(1) = "Both CCCs high resolution"

SourceArray(2) = "Both CCCs high intensity"

SourceArray(3) = "MaxFlux Only"

ReadInIni

NumberOfPoints = 5

ReDim XPos(1 To NumberOfPoints) As Double

ReDim YPos(1 To NumberOfPoints) As Double

XPos(1) = 0

YPos(1) = 0

XPos(2) = 30

YPos(2) = 0

XPos(3) = 60

YPos(3) = 0

XPos(4) = 90

$YPos(4) = 0$

$XPos(5) = 120$

$YPos(5) = 0$

NumberOfPoints は測定点の数である。デフォルトでは1になっている。

XPos(n)、YPos(n)には、測定点ごとの測定座標を入力する（mm 単位）。測定点数が5個の場合、n=1 から n=5 の5組を入力する。デフォルトでは X(1)および Y(1)の1組だけが指定されている。

X、Y 軸の詳細については、XRR のマニュアルに記載があるが、ウェーハのノッチ合わせ機能が無い為、X または Y のみを変更して、中心から半径軸上を測定することが現実的である。



## 材料評価基準

1. 評価対象材料名：Low-k 材料

2. 評価の目的：配線 TEG における Direct CMP 後の容量評価（容量差分）

Direct CMP 後の Cu/Low-k 配線において、Low-k 材料の配線間容量を実測容量の差分による k 値抽出によって、比較評価する。

3. 評価項目：配線間容量

4. 試料作製手順

4. 1 使用装置

- SOD コータ（ACT12 SOD：東京エレクトロン社製）
- CVD 装置（Producer SE 3 Twin：AMAT 社製）
- エッチング装置（Telius 3055SS：東京エレクトロン社製）
- アッシング装置（ICE CDE-300：芝浦メカトロニクス社製）
- ポリマー除去装置（SR-3000：大日本スクリーン社製）
- PVD 装置（Endura-CL 300：AMAT 社製）
- メッキ装置（Electra Cu Slim ECP：AMAT 社製）
- CMP 装置（F☆REX300：荏原製作所社製）

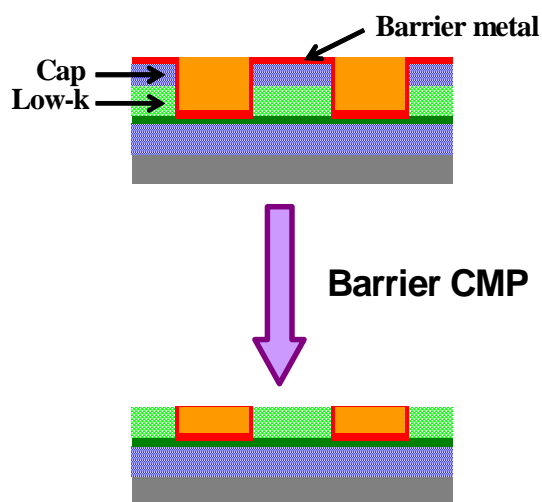
4. 2 作製方法

- ① 下記膜物性の Low-k 材料（膜厚 100nm）を SiO<sub>2</sub>、SiCN の積層膜上に塗布する。このウェーハ基板を各 Low-k 材料について、各 3 枚用意する。

\*Pore sizeはSAXSIにて測定

	E11105	E11222	E11234
材料	MSQ系	MSQ系	MSQ系
骨格構造	主骨格A	主骨格B	主骨格B
比誘電率	2.36	2.38	2.24
Porosity	0.26	0.21	0.28
Polydispersity	0.99	0.61	0.58
Pore size(Å)	6.1	10.1	13.2

- ② Low-k 膜上に Cap 膜として p-SiO 膜 30nm をデポする。
- ③ CAST-4R マスクの基準仕様書に基づいて、露光、現像、エッチング、アッシング、ポリマー洗浄、バリアメタルデポ、メッキを行う。
- ④ Cu スラリー K03825 を用いて、Cu 研磨処理を行う。
- ⑤ バリアメタルスラリー K03003 を用いて、Cap 膜 30nm を除去し、各種 Low-k 膜の Direct CMP を行う。Direct CMP は Cu/Low-k=100nm/100nm 配線における Low-k 膜厚が約 80nm、60nm、40nm になるように研磨時間を調整する。  
(下図構造の膜厚違いを 3 構造作製する)



- ⑥ CAST-4R マスクの基準仕様書に基づいて、SiCN、Al、SiN をデポし、400°C の N<sub>2</sub> アニールを 30min 行う。

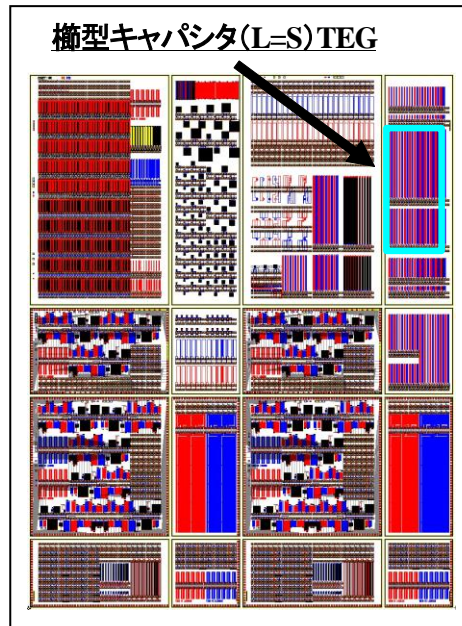
## 5. 測定方法

### 5. 1 評価装置

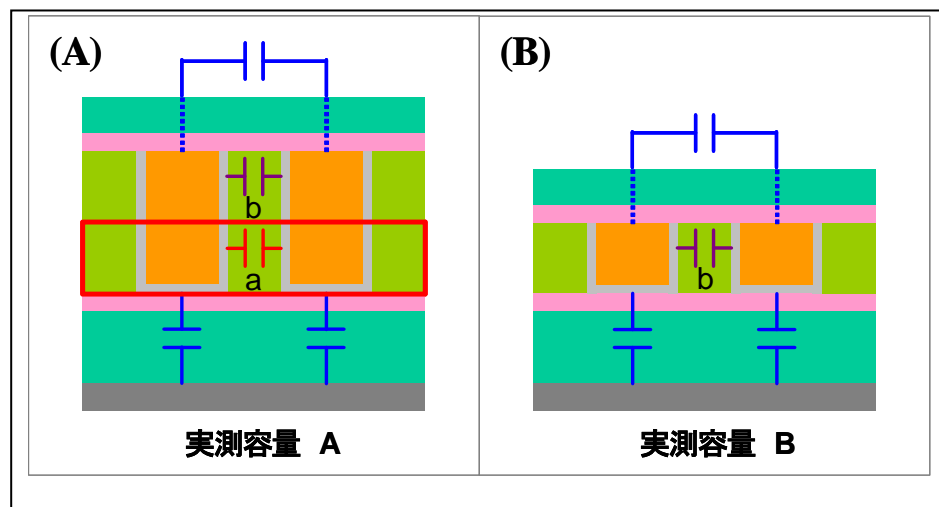
- ・ オートプロローバー装置 (UF-3000 : 東京精密社製)

### 5. 2 評価方法

- ① CAST-4R の楕型キャパシタ (L=S) TEG (Comb : CAST-4R マスク説明書参照) を用いて、総対向長 200mm の L/S=90nm/90nm、100nm/100nm、110nm/110nm、120nm/120nm、130nm/130nm、150nm/150nm、180nm/180nm、250nm/250nm における配線間容量を面内 64 チップ全て測定する。



- ② 下図の Low-k 膜厚が異なる構造において、(実測容量 A) - (実測容量 B) から寄生容量成分、及び Low-k 容量成分 b を除去した Low-k 容量成分 a (赤枠部分) のみの容量差分値を求める。この操作を 64 チップ全てで行う。

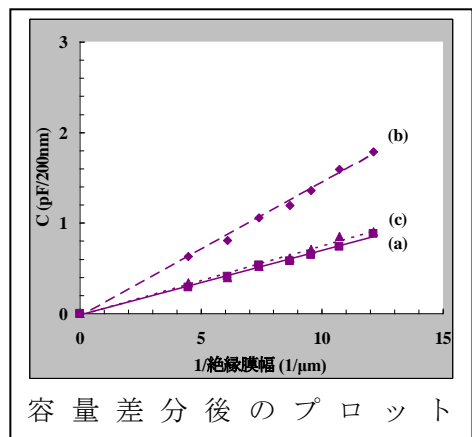
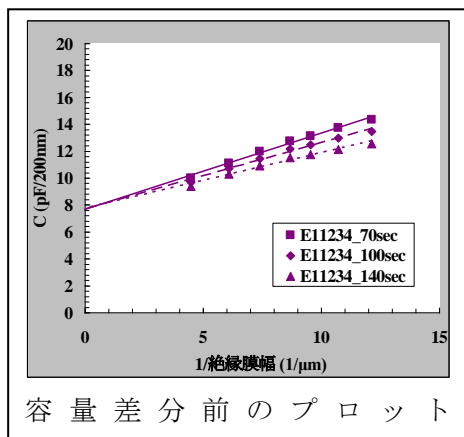
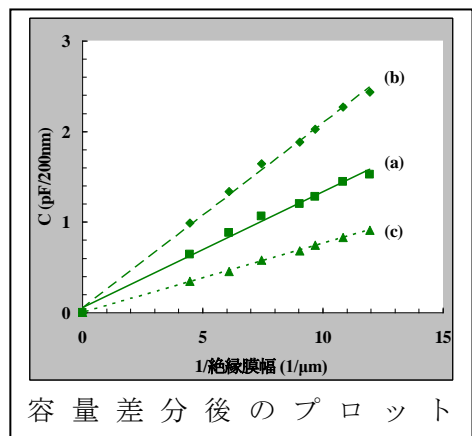
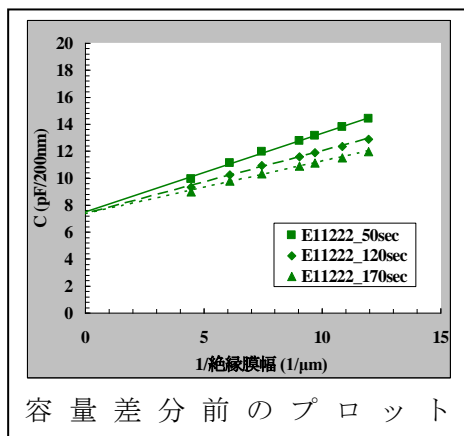
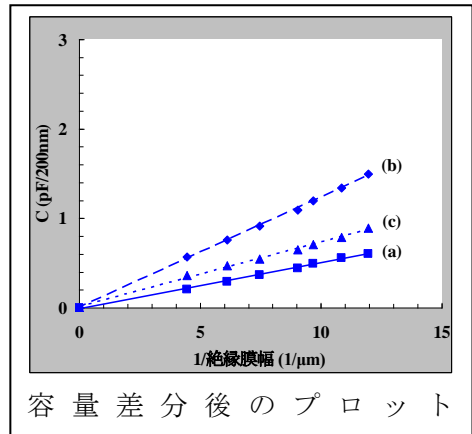
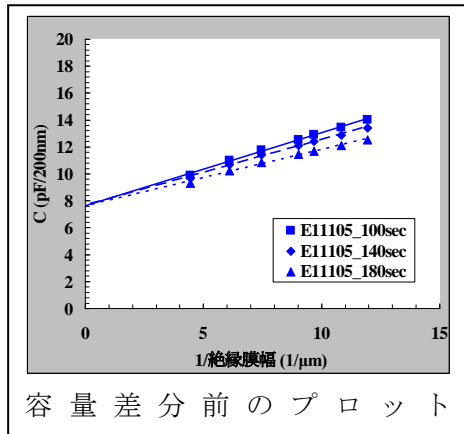


- ③ ②の操作を各配線幅で行い、配線幅ごとに 64 チップの中央値を算出し、実測絶縁膜幅の逆数に対する容量差分値をプロットする。
- ④ Low-k 膜の比誘電率は、配線間容量 (C) を実測絶縁膜幅 (W) の逆数でプロットした場合の傾きが  $\epsilon_0 \epsilon_r (DL)$  となることから、この傾きから配線間容量の比誘電率を算出できる。ここで、各構造の実測絶縁膜高さは TEM によって計測し、その差分によって、絶縁膜高さ (D) を算出する。

$$C = \frac{\epsilon_0 \epsilon_r (DL)}{W}$$

C : 配線間容量,  $\epsilon_0$  : 真空誘電率,  $\epsilon_r$  : 比誘電率  
 D : 絶縁膜高さ, L : 総対向長, W : 絶縁膜幅

## 6. 測定結果



各 Low-k 材料の 3 つの構造の容量を差分した結果、それぞれ (a)、(b)、(c) のプロットが得られ、その傾きから比誘電率  $\epsilon_0$  を算出した平均値の結果を以下に示す。

	E11105	E11222	E11234
k値	3.9	3.2	3.5

## 7. 考察

各種 Low-k 材料の Direct CMP 後の Cu/Low-k 配線の配線間容量の差分による k 値抽出を行ったが、材料間に差が認められたが、本来の単膜 k 値から大きく乖離した値が算出された。これは配線加工プロセスや Direct CMP プロセスによって、Low-k 材料がダメージを受けたためと推察すると妥当な結果と考える。材料間差もダメージの大きさを示唆していると考え。しかしながら、RC プロットによる容量評価の結果では、材料間差が認められなかったことから、比誘電率の絶対値は別として、両評価間で、材料間の結果が異なっていたため、疑問が残る結果となった。この原因としては、RC プロットでは、寄生容量の影響を排除しておらず、その影響が大きい為、差が認められなかったが、容量差分による k 値抽出では、寄生容量の影響を排除したため、より高精度に材料間差を抽出できたのではないかと考える。

## 8. 今後の計画

- ・ k=2.2 以下の材料の検討。
- ・ 容量差分による k 値抽出以外の配線 TEG における Low-k 材料の容量評価の検討。

## 9. 関連報告

- 1) 技情 B-H23-6004 「Porous Low-k 膜 CMP による 1 層配線の比誘電率評価」
- 2) 技情 B-H23-6012 「Direct CMP における Cu/Low-k 配線の電気特性評価」
- 3) 材料評価基準書 31101 「ブランケット膜におけるプロセスダメージ評価」
- 4) 材料評価基準書 31203 「配線 TEG における Direct CMP 後の容量評価 (容量差分)」
- 5) 材料評価基準書 31301 「配線 TEG における Direct CMP 後の容量評価 (リングオシレータ)」

## 10. その他

特になし

## 材料評価基準

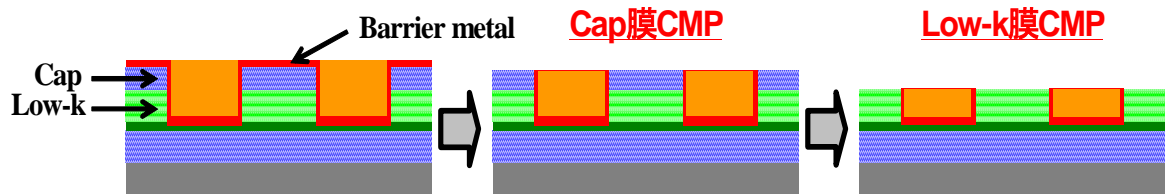
1. 評価対象材料名：Low-k 材料
2. 評価の目的：配線 TEG における Direct CMP 後の容量評価（リングオシレータ）  
Direct CMP 後の Cu/Low-k 配線において、Low-k 材料の配線間容量を実測容量の差分による k 値抽出によって、比較評価する。
3. 評価項目：配線抵抗、実効容量
4. 試料作製手順
  4. 1 使用装置
    - ・ SOD コータ（ACT12 SOD：東京エレクトロン社製）
    - ・ CVD 装置（Producer SE 3 Twin：AMAT 社製）
    - ・ エッチング装置（Telius 3055SS：東京エレクトロン社製）
    - ・ アッシング装置（ICE CDE-300：芝浦メカトロニクス社製）
    - ・ ポリマー除去装置（SR-3000：大日本スクリーン社製）
    - ・ PVD 装置（Endura-CL 300：AMAT 社製）
    - ・ メッキ装置（Electra Cu Slim ECP：AMAT 社製）
    - ・ CMP 装置（F☆REX300：荏原製作所社製）
  4. 2 作製方法
    - ① 下記膜物性の Low-k 材料（膜厚 100nm）を接合素子付きウェーハ基板上に塗布する。このウェーハ基板を各 Low-k 材料について、各 6 枚用意する。

\*Pore sizeはSAXSIにて測定

	E11105	E11222	E11234
材料	MSQ系	MSQ系	MSQ系
骨格構造	主骨格A	主骨格B	主骨格B
比誘電率	2.36	2.38	2.24
Porosity	0.26	0.21	0.28
Polydispersity	0.99	0.61	0.58
Pore size(Å)	6.1	10.1	13.2

- ② Low-k 膜上に Cap 膜として p-SiO 膜 60nm をデポする。
- ③ CAST-T2 マスクの基準仕様書に基いて、露光、現像、エッチング、アッシング、ポリマー洗浄、バリアメタルデポ、メッキを行う。
- ④ Cu スラリー K03825 を用いて、Cu 研磨処理を行う。

- ⑤ バリアメタルスラリー-K03003 を用いて、Cap 膜の残膜が 30nm、20nm、10nm になるように Cap 膜 CMP の研磨時間を調整する。また、Cap 膜 60nm を全て除去し、Low-k 膜の残膜が 80nm、60nm、40nm になるように Low-k 膜 CMP (Direct CMP) の研磨時間を調整する。(下図の Cap 膜有り構造の膜厚違いを 3 構造、Cap 膜無し構造の膜厚違いを 3 構造作製する)



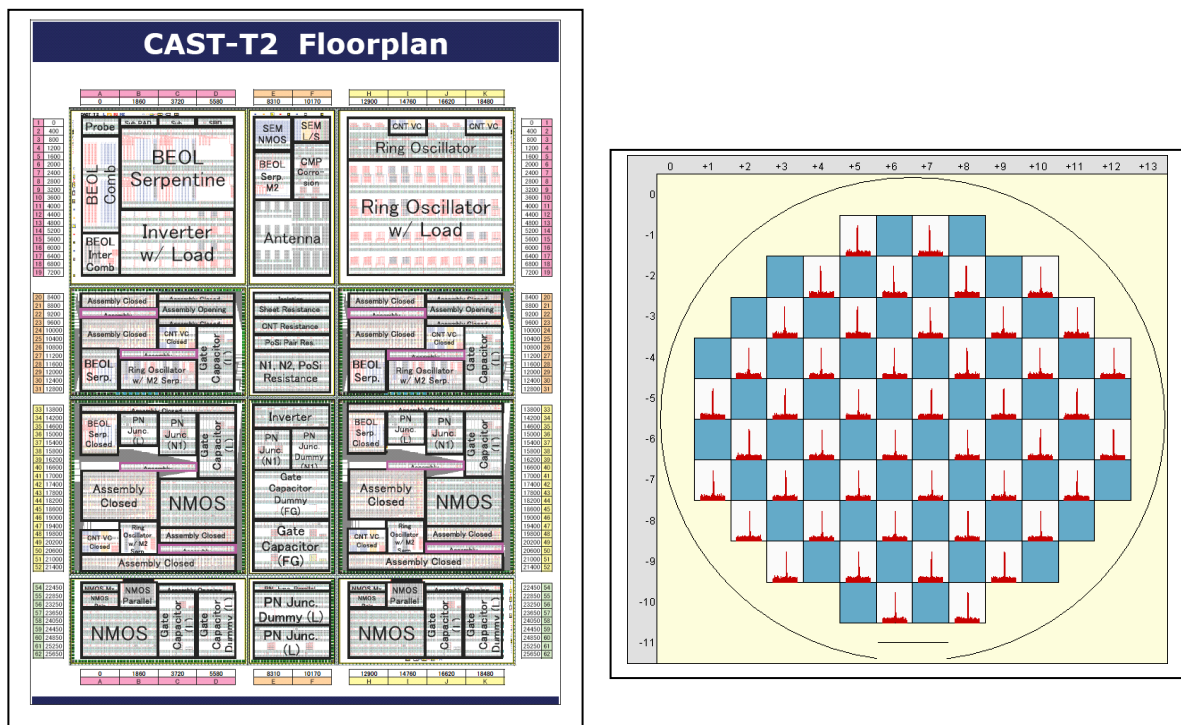
## 5. 測定方法

### 5. 1 評価装置

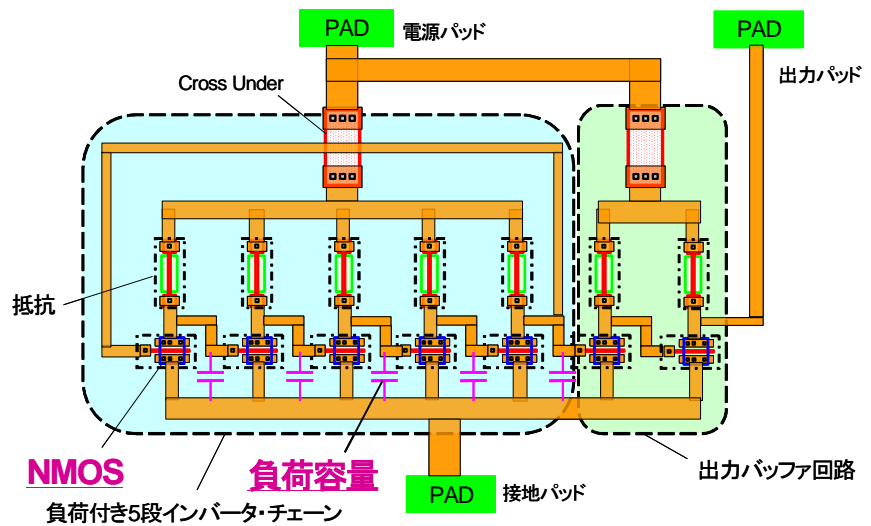
- ・ オートプロローバー装置 (UF-3000 : 東京精密社製)

### 5. 2 評価方法

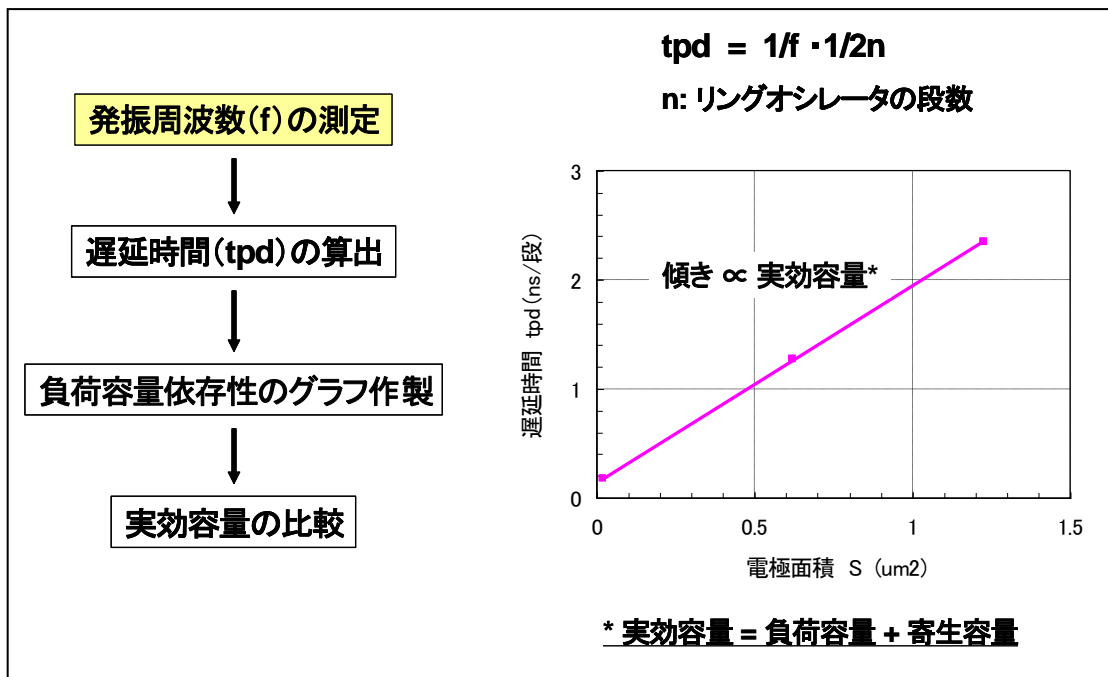
- ① CAST-T2 の Ring Oscillator TEG (CAST-T2 マスク説明書参照) を用いて、NMOS トランジスタの発振周波数を面内 46 チップ測定する (下図)。



- ② リングオシレータ TEG は下図の構造になっており、負荷容量の大きさ (面積) を 3 水準振り、各負荷容量のときの発振周波数を測定する。



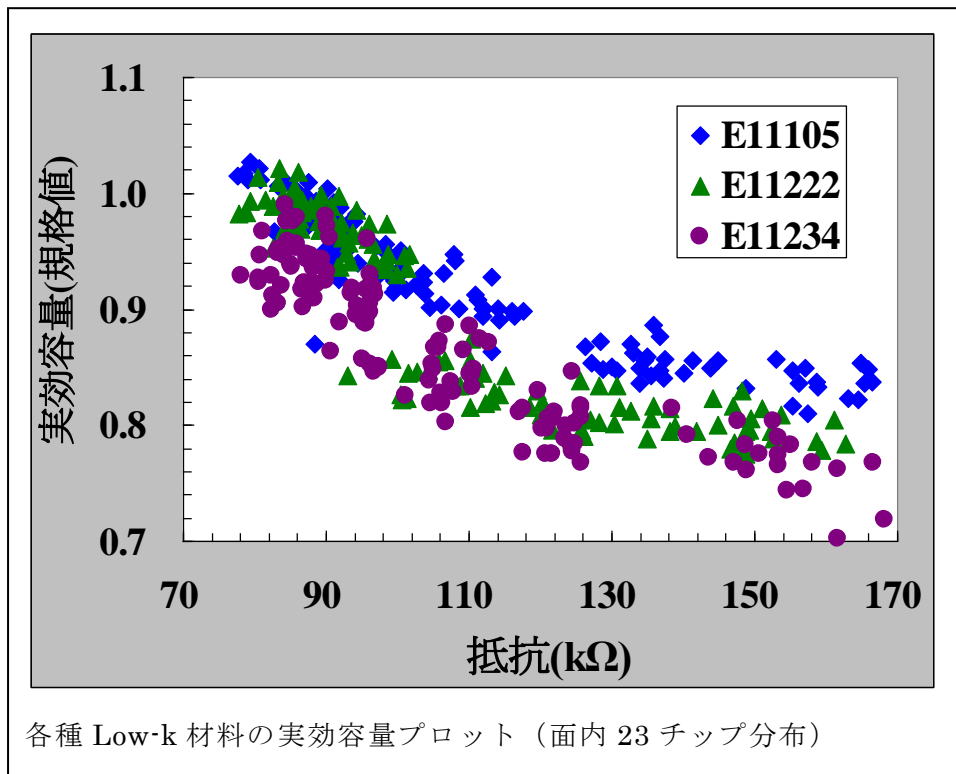
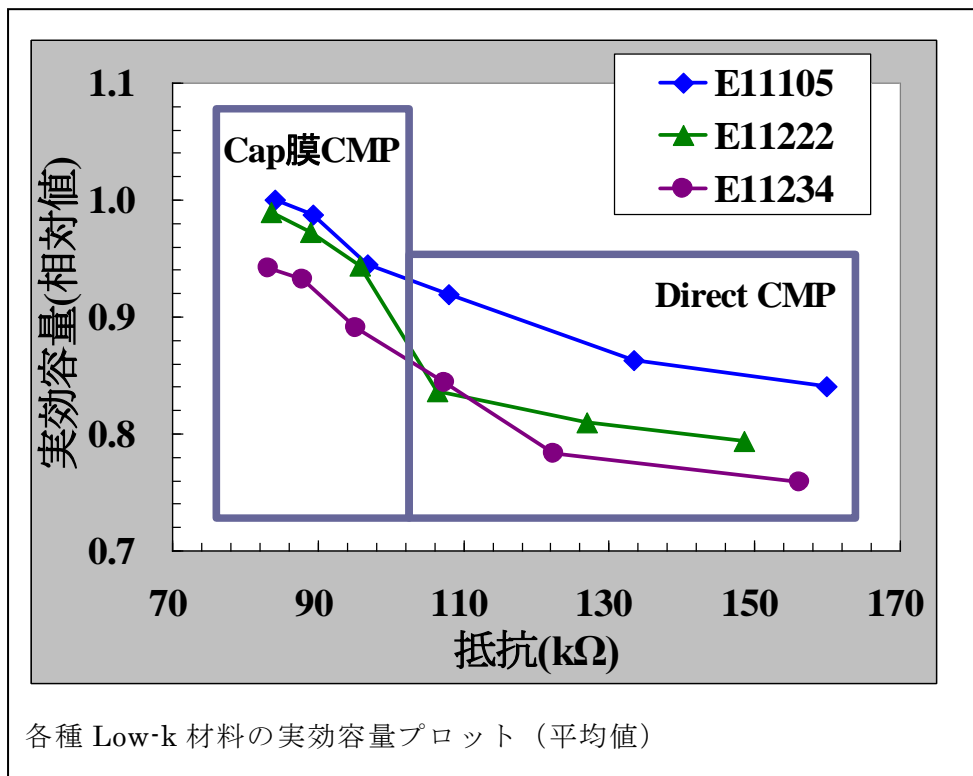
- ③ 23 チップの測定した 3 水準の負荷容量の発振周波数  $f$  の平均値を用いて、以下のフローに従って、遅延時間  $t_{pd}$  を算出する。3 水準の電極面積  $S$  に対して遅延時間  $t_{pd}$  をプロットする。このとき、3 水準の電極面積は 3 水準の負荷容量に対応している。



- ④ ③のプロット図より求めた傾きが Low-k 膜の実効容量と比例関係にあるため、研磨時間を変えて作製した Low-k 膜厚が異なる 6 水準の構造について、前記①～③までの同様の操作によって、発振周波数の測定を行い、傾きを算出する。
- ⑤ Low-k 膜厚が異なる 6 水準の構造について、46 チップの配線抵抗を測定し、平均値を求める。
- ⑥ 各種 Low-k 材料について、①～⑤の操作を行い、配線抵抗の平均値に対して、傾きの相対値をプロットする。



6. 測定結果



## 7. 考察

各種 Low-k 材料の Direct CMP 後の Cu/Low-k 配線の配線間容量をリングオシレータによる実効容量を求めることで比較した。結果、材料間に顕著な差が認められた。Cap 膜 CMP については、E11105 と E11222 では差は認められなかったが、E11234 は約 8%容量が低い結果となった。これは、Cap 膜 CMP では、Low-k 膜が直接ダメージを受けないためと考える。

一方、Direct CMP については、E11105 対比で、E11222 は約 10%容量が低い結果となった。また、E11234 は E11222 と同程度の水準となった。これは、Direct CMP では、E11105 が単膜 k 値が同程度の E11222 に比べて、ダメージを受けやすく、実効容量が増大したことを示唆しており、また、E11234 も単膜 k 値は E11222 よりも低いが、Direct CMP ではダメージを受けやすく、実効容量では差がないことを示していると考ええる。今回の評価結果は、RC プロットによる容量評価結果とは異なるが、容量差分による k 値抽出評価結果と一致しているため、3 手法のうち 2 つで傾向が一致していることから、Direct CMP における Low-k 膜の配線容量を高精度に評価できたと考える。

## 8. 今後の計画

- ・ k=2.2 以下の材料の検討。
- ・ リングオシレータによる実効容量以外の配線 TEG における Low-k 材料の容量評価の検討。

## 9. 関連報告

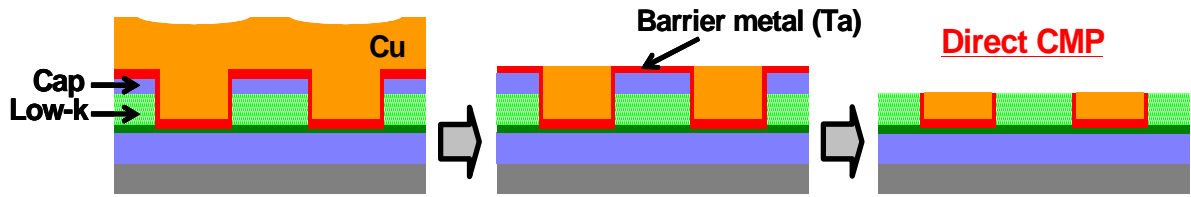
- 1) 技情 B-H23-6012 「Direct CMP における Cu/Low-k 配線の電気特性評価」
- 2) 材料評価基準書 31101 「ブランケット膜におけるプロセスダメージ評価」
- 3) 材料評価基準書 31203 「配線 TEG における Direct CMP 後の容量評価（容量差分）」
- 4) 材料評価基準書 31301 「配線 TEG における Direct CMP 後の容量評価（リングオシレータ）」

## 10. その他

特になし

## 材料評価基準

1. 評価対象材料名：Slurry 材料
2. 評価の目的：MSQ 系 Low-k 膜の Direct CMP における絶縁破壊耐圧の回復性評価  
MSQ 系 Low-k 膜を適用した Cu/Low-k 配線の Direct CMP によって、著しく劣化した絶縁破壊耐圧の回復手法を確立する。
3. 評価項目：配線間耐圧
4. 試料作製手順
  4. 1 使用装置
    - ・ SOD コータ (ACT12 SOD：東京エレクトロン社製)
    - ・ CVD 装置 (Producer SE 3 Twin：AMAT 社製)
    - ・ エッチング装置 (Telius 3055SS：東京エレクトロン社製)
    - ・ アッシング装置 (ICE CDE-300：芝浦メカトロニクス社製)
    - ・ ポリマー除去装置 (SR-3000：大日本スクリーン社製)
    - ・ PVD 装置 (Endura-CL 300：AMAT 社製)
    - ・ メッキ装置 (Electra Cu Slim ECP：AMAT 社製)
    - ・ CMP 装置 (F☆REX300：荏原製作所社製)
    - ・ SOD ファーネス (Alpha-303：東京エレクトロン社製)
    - ・ WET 洗浄装置 (MP-3000：大日本スクリーン社製)
  4. 2 作製方法
    - ① MSQ 系 Low-k 膜 E11105 (膜厚 100nm) を SiO、SiCN の積層膜上に塗布したウェーハ基板を 2 枚用意する。
    - ② Low-k 膜上に Cap 膜として p-SiO 膜 30nm をデポする。
    - ③ CAST-4R マスクの基準仕様書に基いて、露光、現像、エッチング、アッシング、ポリマー洗浄、バリアメタルデポ、メッキを行う。
    - ④ Cu スラリー K03825、または K23200 を用いて、Cu 研磨処理を行う。
    - ⑤ バリアメタルスラリー K23149、K23448 を用いて、Cap 膜 30nm を除去し、各種 Low-k 膜の Direct CMP を行う。Direct CMP は Cu/Low-k=90nm/90nm 配線における Low-k 膜厚が約 70nm になるように研磨時間を調整する。(下図)



- ⑥ (1) Direct CMP 後に、一方のウェーハ基板については、SOD ファーネスを用いて、N<sub>2</sub> アニール処理を 30min 行う。  
 (2) Direct CMP 後に、もう一方のウェーハ基板については、WET 洗浄装置を用いて、DHF エッチング処理を 1min 行う。
- ⑦ CAST-4R マスクの基準仕様書に基づいて、SiCN、Al、SiN をデポし、400℃ の N<sub>2</sub> アニールを 30min 行う。

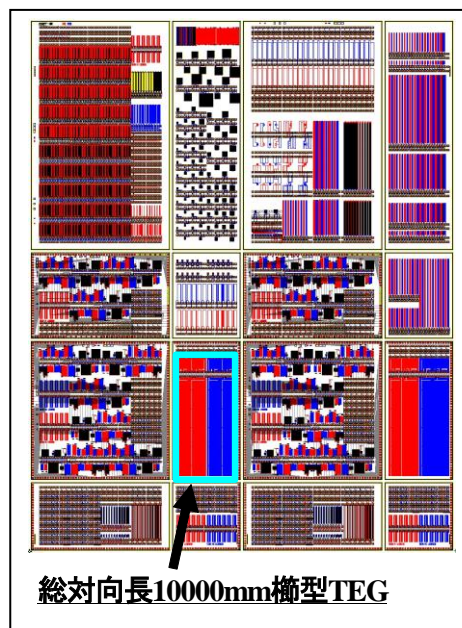
## 5. 測定方法

### 5. 1 評価装置

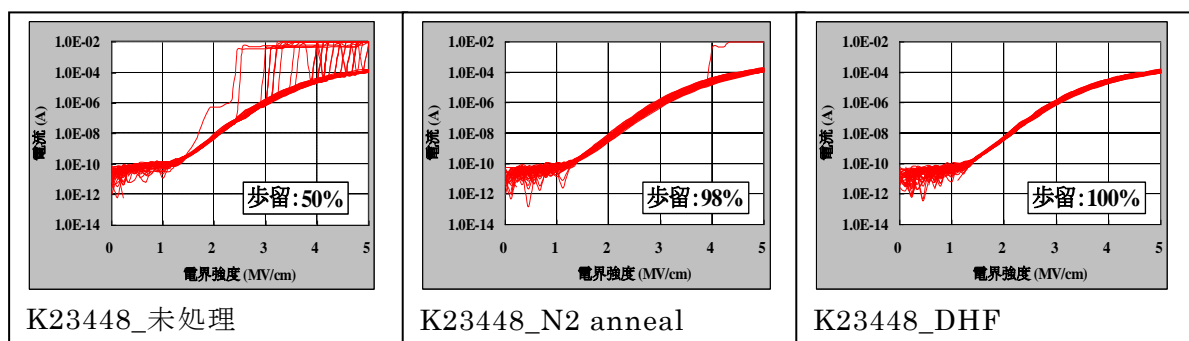
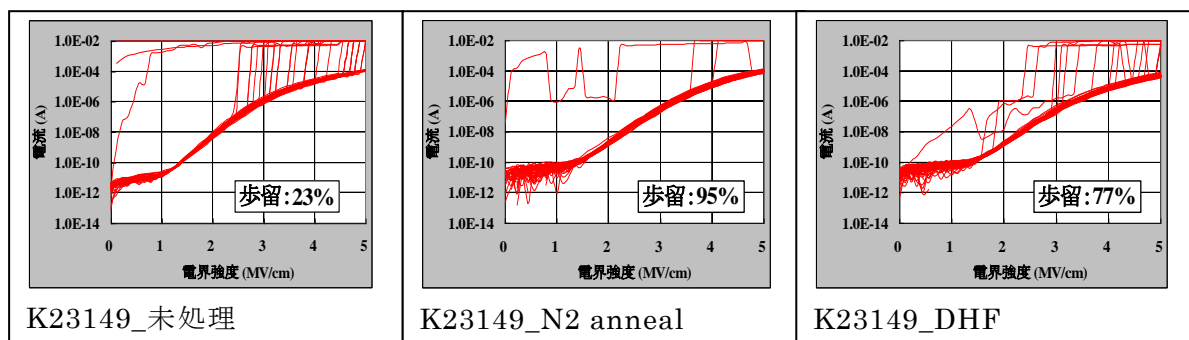
- ・ オートプロローパー装置 (UF-3000 : 東京精密社製)

### 5. 2 評価方法

CAST-4R の 180nm ピッチ櫛型 TEG (Comb 10m : CAST-4R マスク説明書参照) を用いて、総対向長 10000mm の L/S=90nm/90nm における配線間耐圧を面内 64 チップ全て測定する。



## 6. 測定結果



## 7. 考察

総対向長 10000mm の楕型 TEG を用いて、絶縁破壊耐圧を評価することで、Slurry 材料起因の耐圧劣化の材料間差を見極めることができたが、今回 Direct CMP 後に①N2 アニール処理、②DHF 洗浄処理を実施することで、絶縁破壊耐圧劣化の回復を図ることができた。N2 アニールについては、Direct CMP 後の Low-k 表面残留物が分解・脱離したためと考える。一方、DHF 洗浄については、Direct CMP 後の Low-k 表面残留物が DHF エッチングにより Low-k 膜とともに、エッチング除去されたためと考える。Direct CMP において、良好な絶縁破壊耐圧が確保するには、CMP 後の Low-k 表面の清浄化が欠かせないと考える。

## 8. 今後の計画

特になし

## 9. 関連報告

1) 技情 B-H22-6036 「Low-k 膜の直接 CMP による電気特性評価 (K23149、その他)」

- 2) 材料評価基準書 32004「MSQ系 Low-k 膜の Direct CMP における Slurry ダメージ評価」
- 3) 材料評価基準書 32208「MSQ系 Low-k 膜の Direct CMP における絶縁破壊耐圧評価」
- 4) 材料評価基準書 32401「MSQ系 Low-k 膜の Direct CMP における信頼性評価 (TDDB)」

10. その他  
特になし

## 材料評価基準

### 1. 評価対象材料名

CMP スラリー、パッド、絶縁膜、CMP 後洗浄液

### 2. 評価の目的 : 単層配線の研磨面 SEM 観察法とサンプル作製法

Cu-CMP で発生する Cu 配線腐食の程度と外観を評価すること

### 3. 評価項目

Cu 配線の腐食

- (1) Cu 濃淡電池 TEG の電特測定による腐食評価
- (2) Cu 腐食外観評価パターンの外観 SEM 観察による腐食評価

### 4. 試料作製手順

(1) φ300mm Si ウェーハ準備。

バリア CMP 時間依存性やスラリーなどの評価材料の種類などに応じて実験計画を立て必要な枚数のウェーハを準備する。

(2) 評価ウェーハのM1 Cu めっき完までのプロセスを行う。以下に一例を示す。

1. P-SiO デポ 1000nm
2. P-SiCN デポ 30nm (ダマシンエッチのエッチストップパー膜)
3. P-SiOC デポ 150nm (ダマシン配線の IMD=Inter Metal die electric 膜)
4. M1 リソ レチクルは CASMAT271 を使用。  
ここで CASMAT271 は CMP-C2 マスクのレチクル番号である。  
また、CMP-C2 マスクの詳細についてはマスク説明書を参照して頂きたい。
5. M1 ドライ
6. M1 洗浄
7. M1 デポ Ta10nm/Cu60nm スパッタ
8. M1 Cu めっき

(3) 評価したい CMP 関連材料 (Cu スラリー、バリアスラリー、洗浄液、パッド) を用いて、評価したい条件でプロセスを行う。

1. Cu-バリア CMP
2. CMP 後洗浄、乾燥

## 5. 測定方法

### (1) Cu 濃淡電池 TEG の電特測定による腐食評価

オートプロバーで以下のレシピを用いて濃淡電池 TEG の電気特性を測定する。

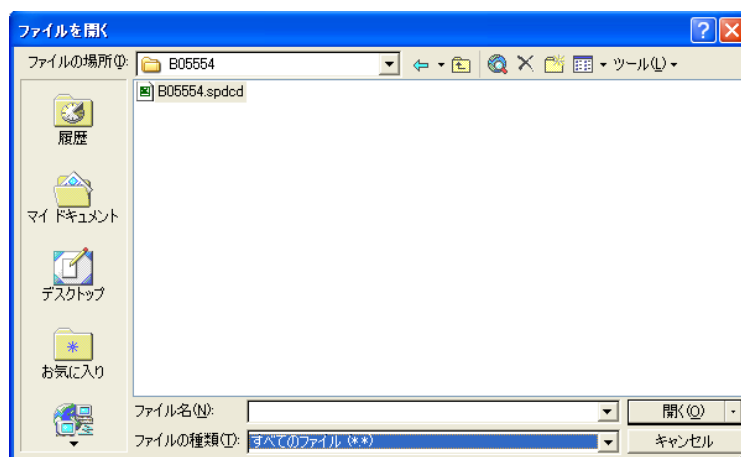
#### ・ Test Table

C: ¥Spark ¥Cond ¥Character ¥user ¥okutani ¥CMP-C2 condition ¥CMP-C2\_  
R20110927 .spcch

#### ・ Probing File (測定チップ数 36 チップ/ウェーハの場合)

C:¥Spark¥Cond¥Prober¥user¥okutani¥CMP-C2Prove¥center36chip\_CASMAT  
183-01.spcps

オートプロバーの測定結果のファイル (拡張子 s p d c d) を EXCEL で開く。  
その際に以下の図のようにファイルの種類をプルダウンメニューで選択して「すべてのファイル (\*.\*)」とする。開きたいファイルを指定して、「画面の開く (O)」ボタンを押す。

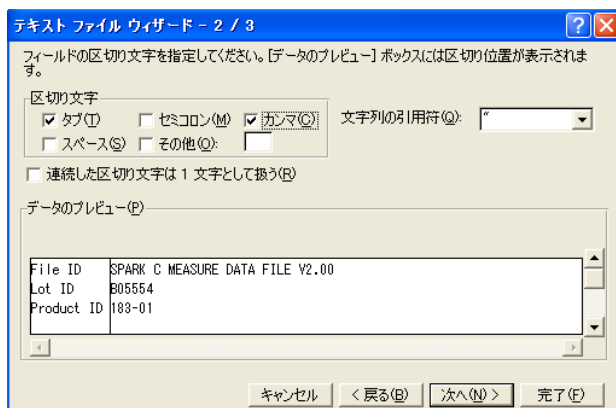


次にデスクトップ ファイルウィザード-1/3 が画面に現れるので、「カンマやタブなどの区切り。。。」を選択し「次へ (N) >」ボタンを押す。

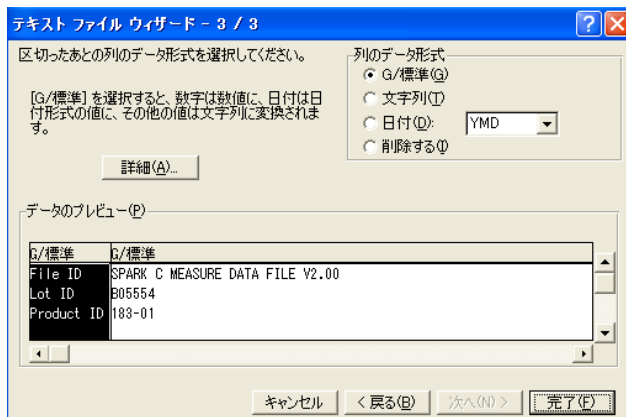




次に以下の画面が表示されるので「タブ (T)」と「カンマ (C)」にチェックマークを入れて「次へ (N) >」ボタンを押す。



次に以下の画面が表示される。「完了 (F)」ボタンを押す。



以上の操作で以下のような EXCEL ファイルが表示される。また、以下の例は測定枚数 5 枚の場合である。

	A	B	C	D	E	F	G
1	File ID	SPARK C	MEASURE DATA FILE	V2.00			
2	Lot ID	B05554					
3	Product ID	183-01					
4	Operator	okutani					
5	File Comm	Lot110813	Cu-Only	C-Cell			
6	Meas Start	#####					
7	Meas End	#####					
8	Test Table	C:\SPark\VC		1			
9	Probing File	C:\SPark\VC		1			
10	X Data Size	254					
11	===== Wafer Setting =====						
12	Wafer Type	1					
13	Measured l	5					
14	Set Wafer	5					
15	Wafer-1	1	1		17.175s	Lot-110813	
16	Wafer-2	2	1		16.160s		
17	Wafer-3	3	1		15.145s		
18	Wafer-4	4	1		14.130s		
19	Wafer-5	5	1		13.115s		
20	Prober Pro-CASMAT183-01						
21	Wafer Size	11.811					
22	Chip Size	21000	21000				
23	Chip Max	16	16				
24	Coord Orig	1	1				
25	OriFla Dir	180					

次に上記 EXCEL ファイルの measurement deta の内、ウェーハ 1 枚分を選択してコピーし、次に示すデータ整理用の EXCEL ファイル「濃淡電池の原紙.xls」に貼り付けることでデータ整理を行う。ここでは濃淡電池 TEG のセンサー部の配線 R1,R2 の配線抵抗の生データをシート抵抗に換算し、さらにそのシート抵抗をセンサー配線 R1,R2 の膜厚に換算している。ここでデータ整理用の EXCEL ファイル「濃淡電池の原紙.xls」ではセンサー部の配線厚さを求める手順として、プローバーで実測したセンサー部の配線抵抗をシート数（配線長÷配線幅で求めた正方形の個数）で割って配線のシート抵抗  $\rho$  [ $\Omega$ ] に換算し、さらにそのシート抵抗から配線の膜厚に換算する。配線の膜厚は  $t = \rho / r$  で、ここで  $r$  は配線材料の電気抵抗率 [ $\Omega m$ ] である。以上の計算で用いた数値は R1 と R2 のセンサー部の配線長 2321 $\mu m$ 、配線幅 0.18 $\mu m$  からシート数 = 2321/0.18 = 12894 個、また Cu 配線の電気抵抗率は 0.000000024 ( $\Omega m$ ) として配線厚さを算出している。

次に以上の手順で求めたセンサー部の膜厚 R1 と R2 の膜厚差をカレイダグラフを用いて累積分布プロットすると濃淡電池の効果を可視化できるので評価材料の防食性能を評価することができる。このグラフは縦軸は累積正規確率分布、横軸はリニアスケールの膜厚差 R1-R2 を示す。

## (2) 濃淡電池の原理による腐食外観観察

CMP-C2 マスクではチップの右辺に配置された濃淡電池 TEG の原理による外観評価用のパターンを SEM 観察することで、Cu 腐食の外観 SEM 評価を行う。

## 6. 測定結果

### (1) Cu 濃淡電池 TEG の電特測定による腐食評価

図 1 に測定結果の一例を示す。図 1 は CASMAT 標準 Cu スラリーを用いて、バリアメタルが無い Cu のみの配線の研磨を行った結果である。また、表 1 にこの実験で用いた 5 枚のウェーハの研磨条件を示す。この実験では 5 枚のウェーハを用いて Cu-CMP の研磨時間を 115sec(just) から 130sec, 145sec, 160sec, 175sec の 5 水準のオーバー

ポリッシュ量で研磨し、オートプローバで各ウェーハを16点測定した結果を上記の手順で整理したものである。図1の左側のグラフはポテンシャルプレートPP1, PP2の配線密度がR1, R2ともに50%で等しい場合を示しており、その膜厚差 $R_2 - R_1$ はオーバーポリッシュ時間に依存せずに $R_2 - R_1 = 0$ 付近に在り、ポテンシャルプレートR1とR2の電位が等しいことを意味している。一方、図1の右側のグラフは左右のポテンシャルプレートの配線密度がPP1=10%、PP2=90%と異なる場合を示しており、オーバーポリッシュが進むほどセンサー部の膜厚差は $R_2 - R_1 < 0$ の方向に移動している。これは濃淡電池の作用によりセンサー部の膜厚差が $R_2 - R_1 < 0$ の方向に腐食が進行していることを意味している。もしCuスラリーが完璧な防食性能を有していると仮定すると研磨中のポテンシャルプレートの表面電位は疎密差にかかわらず常に $R_2 - R_1 = 0$ となり、スラリーの防食性能が不足すれば不足するほど $R_2 - R_1 < 0$ となる。この二つのグラフから新しく開発したCMP-C2マスクの濃淡電池TEGが狙い通りの機能を発揮していることがわかる。

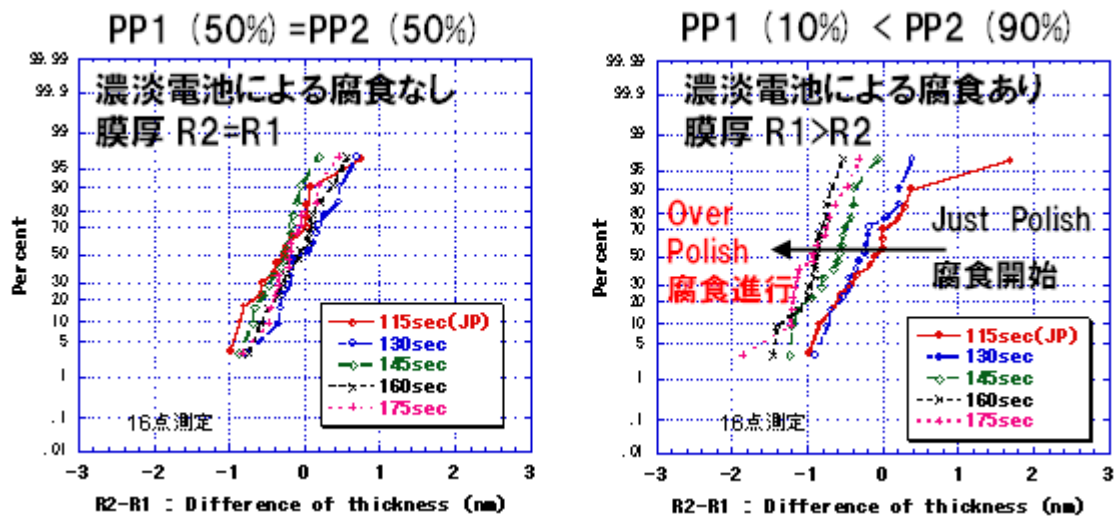


図1 濃淡電池TEGの実験結果 (ポテンシャルプレートの密度差)

表1 図1の実験の研磨条件

サンプル仕様  
 1)CMP装置:ChaMP  
 2)スラリー(標準材)  
 Cu:K03825

#W	Cu-CMP @1psi(sec)	Barrier-CMP @1psi(sec)
1	115(just)	None
2	130	↑
3	145	↑
4	160	↑
5	175	↑

(2) 濃淡電池の原理による腐食外観観察

図2にはCMP-C2TEGチップの右辺に配置されている濃淡電池腐食外観評価パターンのSEM写真を示す。ここではサンプル#W3を観察した。当初の狙いどおり濃淡電池の効果により、Cuイオン濃度が低く腐食しやすい微細配線の先端が腐食していることをSEM観察することができた。

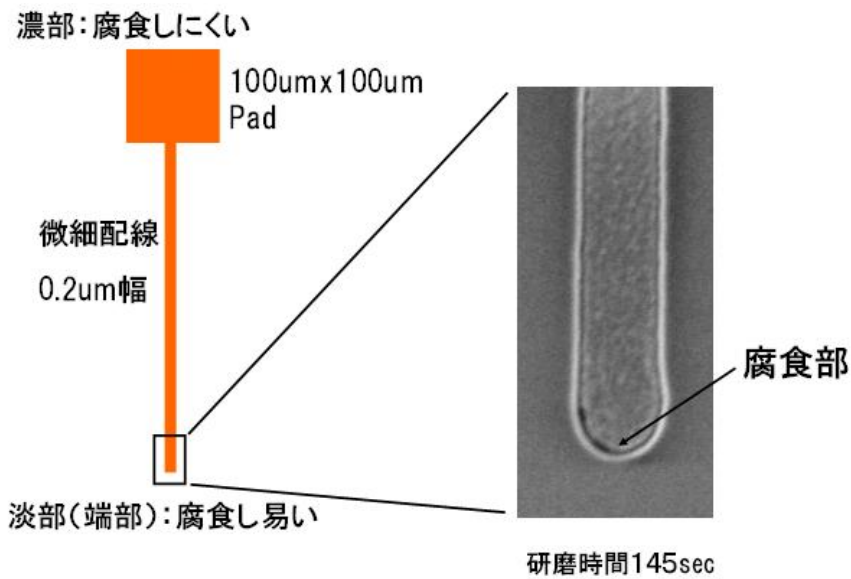


図2 Cu配線腐食部のSEM観察 (CMP-C2 外観腐食評価パターン)

### 7. 考察

本評価法はメタル1層配線のみで単純な構造で濃淡電池をエネルギー源としてCu研磨スラリーなどの防食性能を評価可能である。濃淡電池 TEG の長所は腐食評価のためのPN接合(光電池)が不要なので、低コストかつ短時間でCu配線腐食評価が可能な点にある。その濃淡電池の作用を図3で説明する。図3の左右のポテンシャルプレート(PP)の配線密度はPP1<50%(R1、R2)<PP2なので、濃淡電池の原理によりR1は研磨が抑制され、R2は研磨が加速され、その結果、研磨後のセンサーの膜厚はR1>R2となる。この濃淡電池の効果によるR1>R2の度合いは、スラリーの防食性能が不足すると差が大きくなる、一方、スラリーの防食性能が高くCu配線密度に依存せずにCu研磨表面の電位を一定に保てればR1とR2は等しい値に接近し、さらに防食性能が完璧な場合にはR1=R2になる。

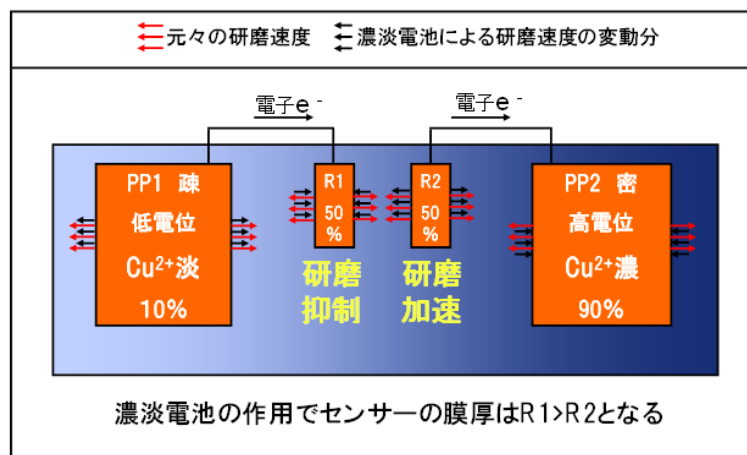


図3 濃淡電池 TEG における濃淡電池の作用

8. 課題

特になし

9. 関連報告

1) CASMAT-III 技術情報B-H 22-6048 「第15回研究成果報告会  
Cu-CMPにおける配線腐食の定量的評価技術の開発」

2) CASMAT-III 技術情報B-H 22-6021 「第14回研究成果報告会 C  
u-CMP濃淡電池効果評価TEGの開発」

10. その他

特になし

以上

## 材料評価基準

### 1. 評価対象材料名

バッファークोट (BC) 材料

### 2. 評価の目的

シェア試験による密着性の評価方法は、パターンを側面からシェアし、下地界面との間に働く最大せん断応力（剥離強度）を測定する手法である。

剥離強度はパターンの接着面積に比例して大きくなる。その比例定数は材料固有のものであり、その値から密着力を見積もることができる。

またフリップチップでは基板とチップの熱応力により膜界面等での剥離が発生することが知られており、シェア試験により測定する力がこれに類似していることもメリットである。そこで再配線フリップチップ型におけるBC界面（本報告ではCuTi/BC）密着力の向上、もしくは低下原因の解明を目的とし、BCの表面処理（O<sub>2</sub>アッシング、Arプラズマ）を変えて密着性評価を行った。

### 3. 評価項目

バッファークोट(BC)表面処理によるCuTi/BC密着性評価

### 4. 試料作製手順

#### 4.1 使用装置

コーター	CLEAN TRACK ACT12PI（東京エレクトロン（株）製）
デベロッパ	同上
ファーン	VF-1000B（光洋サーモシステム（株）製）
アッシング装置	芝浦メカトロニクス製 ICE300
PVD	ENDURA CL（Applied Materials社製）
Cuめっき装置	MA-CU01（日立協和エンジニアリング（株）製）
Cuエッチャ	AWE-1203S（ジャパンクリエイト（株）製）
Tiエッチャ	MP-3000（大日本スクリーン製造（株）製）

#### 4.2 作製方法

CuTi/BC密着性評価のプロセスフロー26754からの変更点のみを記載する。

(1)O<sub>2</sub>アッシング条件有りの場合：O<sub>2</sub>:250sccm、Temp.:25°C、Time:条件表に記入

RF(Top/Bottom):0/3 0 0 W、3 0 Pa

(2)シードCu/Ti成膜前のArスパッタ有り、無しを検討

(3)Cuメッキ 9.5分 約4um（シード銅と合わせてCuパターン高さ約4.2um）

## 5. 評価方法

### 5.1 使用装置

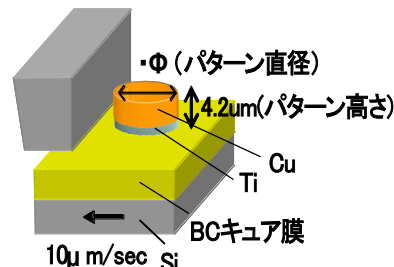
シェア試験	万能型ボンドテスター4000 (デイジ社製)
	ウェーハ吸着式ステージ装着
SEM観察	走査電子顕微鏡S-4800 ( (株) 日立ハイテクノロジーズ製)

### 5.2 シェア試験方法

試験方法は材料評価基準書3009を参照のこと。

#### 測定条件

ロードセル	BS250 (上限250gのもの)
テストスピード	10 $\mu\text{m}/\text{sec}$
テスト高さ	1.5 $\mu\text{m}$ (下地からツール先端までの高さの設定値)
ツール幅	150 $\mu\text{m}$ (SHR-062-0150)



## 6. 評価結果と考察

### 6.1 CuTi/BC密着力測定 (D11011)

D11011を用いてBC表面Arプラズマ処理、O<sub>2</sub>アッシングのCuTi/BC密着力影響評価を行った。CuTiパターン面積を変化させたパターンにおいて試験を行い面積と最大荷重のグラフを作製し、このグラフの傾きを密着力とした。1つのパターン面積に対してN=10で測定したところ再現性のよい最大荷重が測定出来、またパターン面積が300~1000 $\mu\text{m}^2$ にて原点付近を通る良好な直線性を示した(図1)。図1より絶縁膜形成後にO<sub>2</sub>アッシング処理を行いTi、Cuの成膜を行った場合に密着力は変化せず、Ti、Cu成膜前にArプラズマ処理を行った場合にはArプラズマ処理を行うことにより無しの約65MPaに比べて、125MPaまで密着力が向上した。

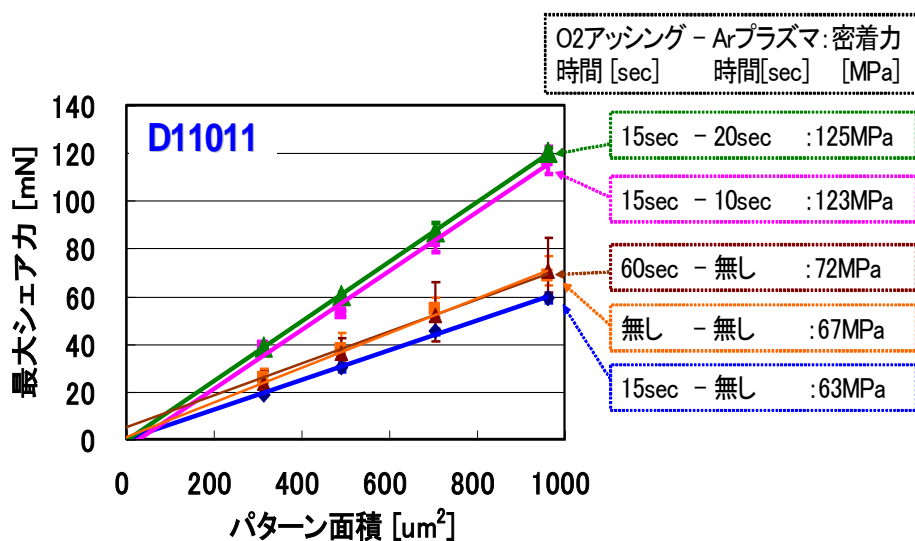


図1. BC表面処理によるCuTi/BC密着性評価 (D11011)

## 6.2 CuTi/BC密着力測定 (D11015、28)

次にD11015、28を用いてBC表面Arプラズマ処理の有り、無しにてCuTi/BC密着力評価を行った。D11015、D11028共にArプラズマすることにより密着力が約65MPaから約120MPaに密着力が向上することが確認された。

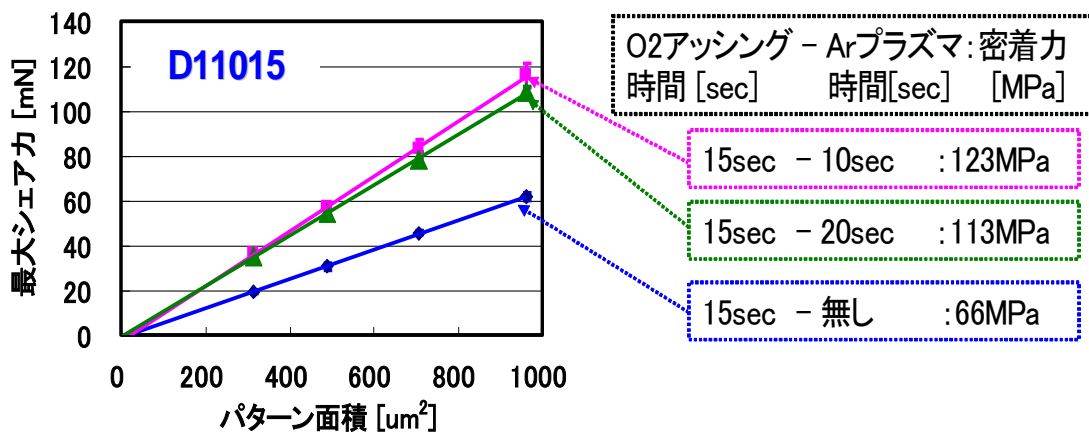


図2.BC表面処理によるCuTi/BC密着性評価 (D11015)

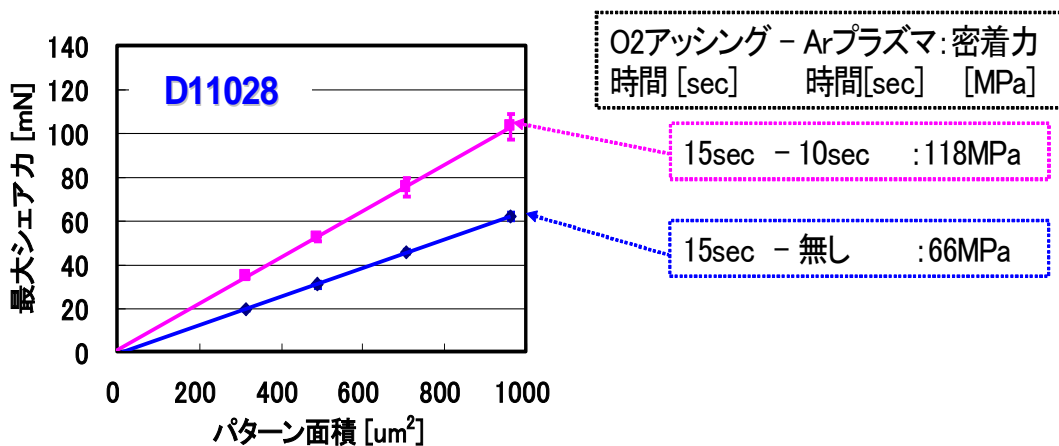


図3.BC表面処理によるCuTi/BC密着性評価 (D11028)

## 6.3 シェア試験後の剥離、破壊箇所SEM観察

シェア試験後の剥離破壊箇所をSEM観察にて行ったところ、材料によらずArプラズマ処理無しではCuTi/BC界面で剥離が起こっていた。またD11011についてはO<sub>2</sub>アッシング処理15秒、60秒にてArプラズマ無しでは同様にCuTi/BC界面で剥離していた。これに対してArプラズマ処理を行うと下層のBC破壊が起こった後に、CuTi/BC界面全面にて剥離が起こっていた。



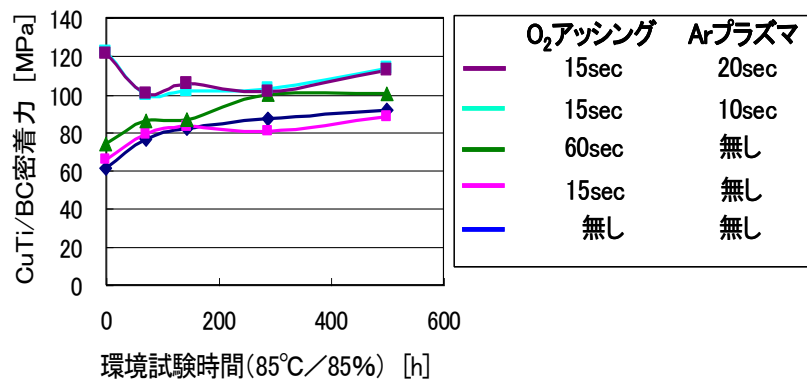
O <sub>2</sub> アッシング	無し	15sec	60sec	15sec	15sec
Arプラズマ	無し	無し	無し	10sec	20sec
D11011					
D11015					
D11028					
破壊・剥離箇所	CuTi/BC界面剥離			下層BC破壊 ⇒ CuTi/BC界面剥離	

図4.シエア試験後の剥離、破壊箇所SEM観察

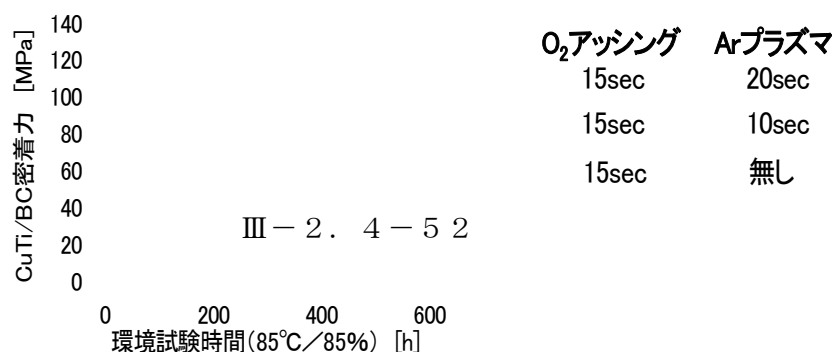
#### 6.4 環境試験によるCuTi/BC密着性評価影響

BC表面処理無しの場合、密着力は65→90~100MPa程度まで上昇し、Arプラズマ処理を加えると110→100MPa程度まで低下するが剥離界面、剥離箇所は変わらない。D11011,15、28ともに同様の傾向であった。各表面処理条件において、85°C85%500時間後にも密着力は大幅に低下することなく良好であることが確認された。

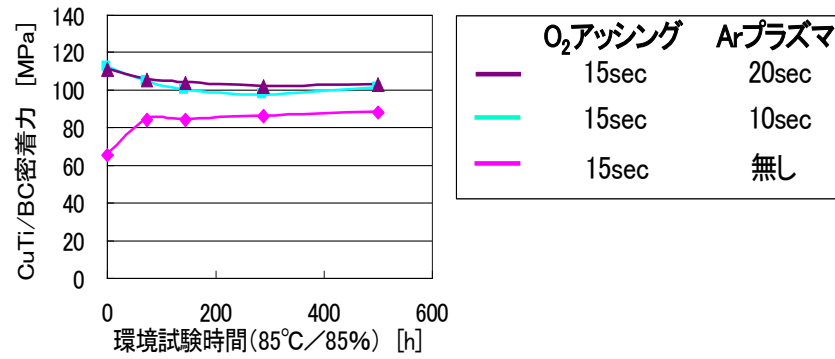
BC材料:D11011



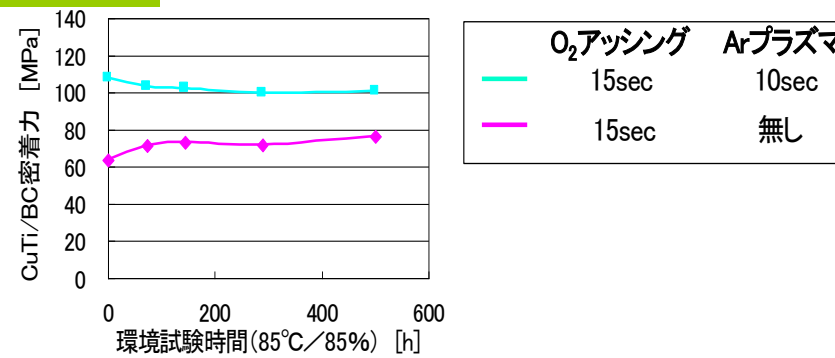
BC材料:D11015



BC材料:D11015



BC材料:D11028



7.残された課題

特になし。

8. 関連報告

技術情報B-H22-8006「第14回研究成果報告会 ハフナーコート表面処理によるCuTiBC\_BCBC密着性評価」  
 技術情報B-H22-8014「CuTi/BC密着性評価 (環境試験による影響)」

9. その他

特になし。

10. データベース

特になし。

## 材料評価基準

### 1. 評価対象材料名

バッファークोट (BC) 材料

### 2. 評価の目的

BC材料の単膜での耐圧は4~5MV/cm以上ある。

一方で狭間隔化を行った櫛パターンによる配線間耐圧を測定したところ1.6~1.8MV/cm程度であり、単膜での5MV/cmにとなり比べてかなり低い値であることが確認された。

配線間の耐圧低下原因として1層目のBC材料表面のチタンや銅の金属が多く残存しているのではないかと考察し、今回BC上の金属汚染評価を行った。

### 3. 評価項目

再配線工程におけるBC材料上の金属汚染評価

### 4. 試料作製手順

#### 4.1 使用装置

コーター	CLEAN TRACK ACT12PI (東京エレクトロン (株) 製)
デベロッパ	同上
ファーン	VF-1000B (光洋サーモシステム (株) 製)
アッシング装置	芝浦メカトロニクス製 ICE300
PVD	ENDURA CL (Applied Materials社製)
Cuめっき装置	MA-CU01 (日立協和エンジニアリング (株) 製)
Cuエッチャ	AWE-1203S (ジャパソクリエイト (株) 製)
Tiエッチャ	MP-3000 (大日本スクリーン製造 (株) 製)

#### 4.2 金属汚染測定用サンプル作製方法

今回は単膜にてBC(D11015)上に、チタン、シード銅をPVDにスパッタを行い、これを銅エッチング、チタンエッチングを行い金属汚染測定用サンプルを作製した。(図1)さらに金属汚染を取り除くことを目的とし測定したウェーハをアッシング、洗浄して再度測定を行った。

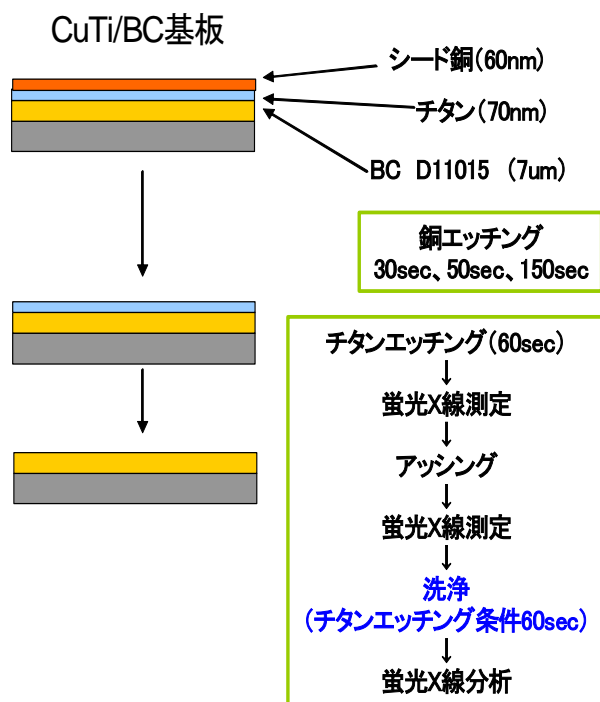


図1.金属汚染測定用サンプル作製

#### 4.3 イオンマイグレーション用サンプル作製

プロセスフローに従いイオンマイグレーション用TEGを作製した。

### 5. 評価方法

#### 5.1 使用装置

金属汚染測定	全反射蛍光X線測定 (TXRF 300:(株)リガク)
イオンマイグレーション評価	イオンマイグレーション評価システム (AMI-025PL:エスベック(株)製)
	HASTチャンバー (EHS-221MD : エスベック(株)製)

#### 5.2 全反射蛍光X線測定

試料基板	Si-Wafer
試料投入モード	ノッチサーチ
マッピング	5p-300 (5点測定しての平均値)
分析条件 グループ	mat-mt□
	B2-100at:W-Lb、入射0.090deg、アッテネータ
	測定100sec 測定方向39deg IN

## 6. 評価結果と考察

### 6.1 チタンエッチング後の蛍光X線測定による金属汚染評価

Cuエッチング残渣が金属汚染に影響を与えるか評価するため、Cuエッチング時間を30秒、50秒、150秒(標準)で行った後、チタンエッチング60秒(標準)で行い、蛍光X線測定したところCuのエッチング時間によらずチタンが $10E+14\text{Atom/cm}^2$ 、銅が $10E+13\text{Atom/cm}^2$ と高い値で検出された。(図2)これは従来の標準条件にてエッチング行っても配線間に高い値で金属汚染が残っていることを示唆している。

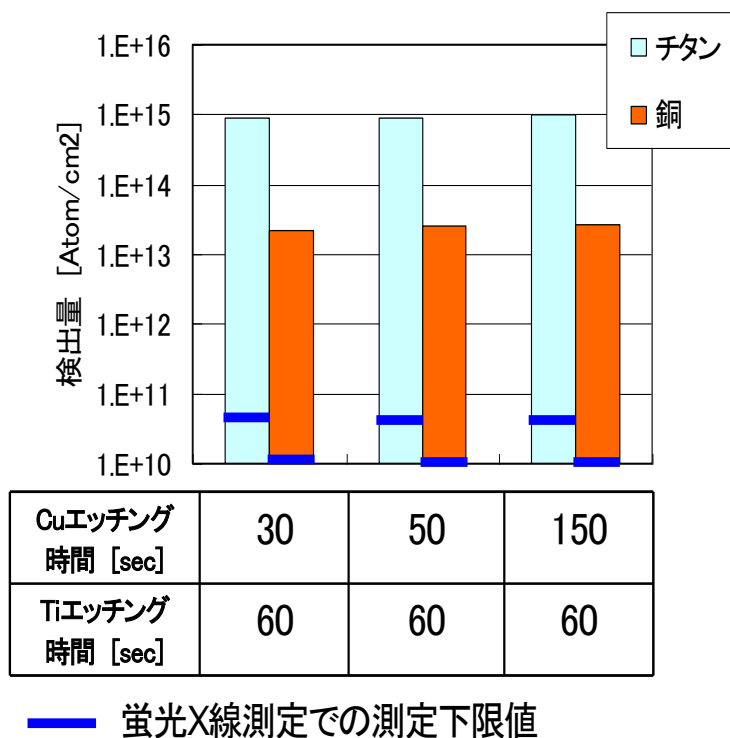
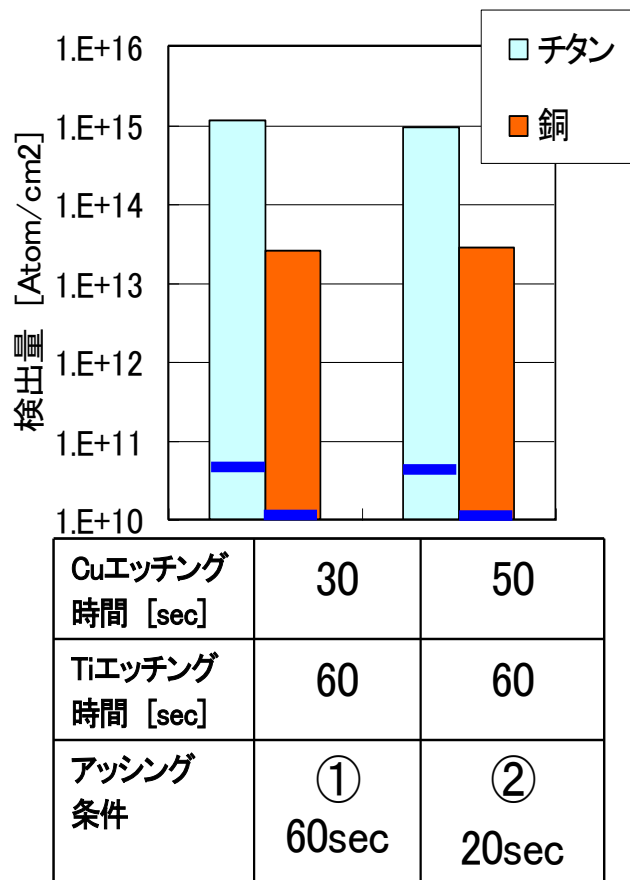


図2. チタンエッチング後の蛍光X線測定による金属汚染評価

### 6.2 アッシング後の蛍光X線測定による金属汚染評価

さらに $O_2$ アッシング処理を条件2種類(Top電圧/Bottom電圧=0W/300W、4000W/150W)にて行い蛍光X線測定による金属汚染評価を行った。(図3)しかしながらチタン、銅の値ともに $O_2$ アッシング前とはほぼ変化は見られなかった。

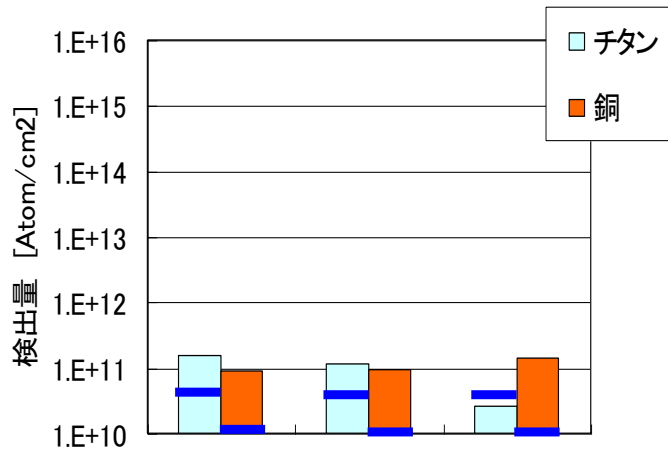


- ・アッシング条件①（新条件）  
RF:0W/300W、30Pa。O<sub>2</sub>:250sccm、25°C、60sec
- ・アッシング条件②（従来のアッシング条件）  
RF:4000W/150W、3.5Pa。O<sub>2</sub>:200sccm、25°C、20sec

図3. アッシング後の蛍光X線測定による金属汚染評価

### 6.3 アッシング後の蛍光X線測定による金属汚染評価

O<sub>2</sub>アッシングを行ったのちにさらに洗浄(チタンエッチング条件:0.5wt%HF 60秒)を行い蛍光X線測定による金属汚染評価を行った。(図4)その結果チタン、銅共に測定検出限界付近の10E+10~10E+11Atom/cm<sup>2</sup>まで低下した。このことによりBC上に銅での再配線形成後(チタンエッチング後)にO<sub>2</sub>アッシング、再度のチタンエッチング(洗浄)を行うことにより金属汚染を低下させることが可能であった。



Cuエッチング時間 [sec]	30	50	50
Tiエッチング時間 [sec]	60	60	60
アッシング条件	① 60sec	② 20sec	② 20sec
洗浄 (Tiエッチング条件)	60sec	60sec	60sec

図4. 洗浄後の蛍光X線測定による金属汚染評価

#### 6.4 金属汚染とイオンマイグレーション評価

プロセスフロー26751 に従いイオンマイグレーション用TEGを作製し、イオンマイグレーション評価を行った。従来の標準プロセスにおいて寿命は～8.6時間であったが、金属汚染を低減したアッシング後洗浄有りの条件においては150時間以上に長寿命化した。

	Slot1	Slot5	Slot6
プロセス	標準プロセス	アッシング後 洗浄有り	標準プロセス
[hr]	8.6	(150hr以上)	0.1

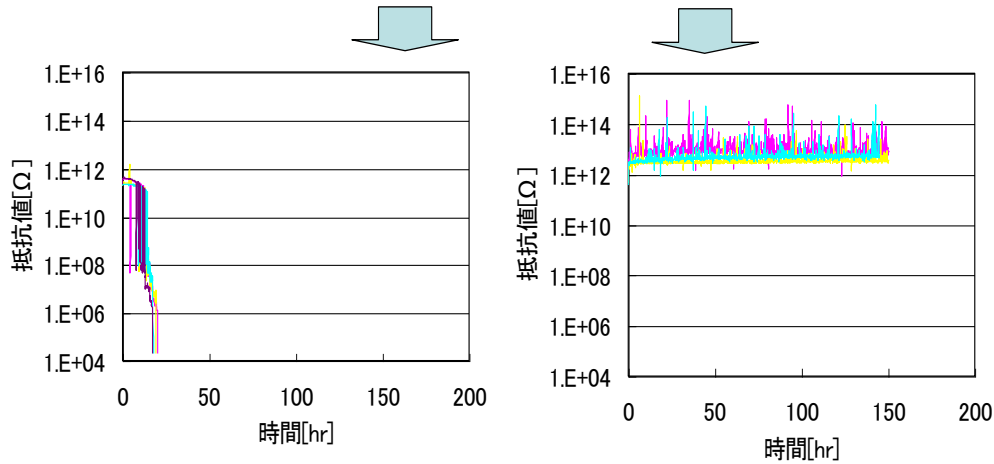


図5.イオンマイグレーション評価

BC材料:D11015、評価条件:135°C/85%、配線間隔10um、印加電圧50V

#### 6.5 考察

従来の標準条件ではBC上にCuやTiなどの金属汚染物が残っており、イオンマイグレーション評価に影響を与え、寿命が短く評価されていたと考えられる。つまり材料だけでなくプロセス要因も寿命に影響を与えてしまっている。今後イオンマイグレーション評価を行う場合はエッチング後にアッシング、洗浄を行い、プロセス要因を出来るだけ省いて評価することが好ましいと考えられる。

#### 7.残された課題

なし

#### 8. 関連報告

技術情報B-H21-8020 「BC/BC界面の金属汚染とイオンマイグレーション評価」

#### 9. その他

特になし。

#### 10.データベース

特になし。



材料評価基準

1. 評価対象材料名                      バッファークコート(BC)材料
  
2. 評価の目的                          チップ実装、TCサイクル試験時にFC-BGAパッケージは、チップと基板の熱膨張係数差に起因してハンダバンプ近傍に応力が集中することが知られている。この際、ハンダバンプにはせん断応力および垂直応力が加わっている。今回はBC種およびBC厚を変えた場合、チップにせん断応力が加わった時の剥離、破壊箇所を調べるため、バンプシエア試験を行なった。
  
3. 評価項目                              大型FC-BGA(C4)チップのバンプシエア試験強度評価
  
4. 試料作製手順
  - 4.1 使用装置
 

コーター	CLEAN TRACK ACT12(東京エレクトロン)
デベロッパー	同上
露光	FPA5500iZ+(キヤノン)
ファーンレス	VF-1000B(光洋サーモシステム)
アッシング	ICE300(芝浦メカトロニクス)
UBMめっき	JX日鉱日石金属(株)にて加工
バンプ形成	ミナミ(株)にて加工
  
  - 4.2 作製方法
 

プロセスフロー-36514に従って、BC層を形成し、UBM、ボール搭載、リフローを行なって、下記図1のようなバンプつきチップを作製した。

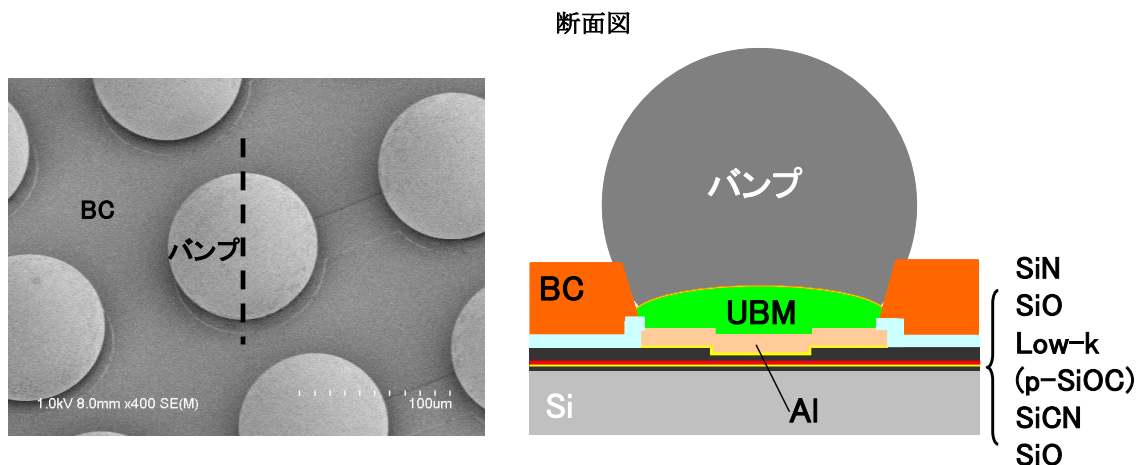


図1.本実験で用いたバンプシエア試験用サンプルの構造図

## 5. 評価方法

### 5.1 使用装置

シエア試験	万能型ボンドテスター4000(ダイジ社)
シエア後の観察	走査電子顕微鏡S-4800(日立ハイテクノロジーズ)

### 5.2 シエア試験方法

試験方法は材料評価基準書3009を参照のこと。

測定条件

ロードセル	BS250 (上限250gのもの)
テストスピード	10 $\mu$ m/sec
テスト高さ	1.5 $\mu$ m (下地からツール先端までの高さの設定値)
ツール幅	150 $\mu$ m (SHR-062-0150)

### 5.3 評価したBCの膜厚、物性値

材料コード	キュア温度	弾性率	CTE	応力	評価した膜厚		
	°C	GPa	ppm	MPa	$\mu$ m		
D11028	320	2.3	45-55	32	2.5	6.5	11.5
D11093	200	1.9	45-55	24		6.5	10.5

## 6. 評価結果

### 6.1 シエア試験結果

各BCを成膜したチップの最大シエア強度結果を図2に、シエア後の観察結果を図3に示す。図3よりシエア後破壊面はD11028, D11093ともにバンプの内部破壊であり、下地(Low-k膜)の剥離は観測されなかった。BC膜厚を変えた場合も同様の結果であった。

バンプ内部破壊を発生させる最大シエア強度は30-40mNの幅があるが、同じ膜厚で比較した場合、D11028(6.5 $\mu$ m厚)がD11093(6.5 $\mu$ m厚)より大きかった。また同じBCで比較した場合、D11028では11.5 $\mu$ m厚が最も大きく、2.5 $\mu$ m厚が最も小さかった。D11093も10.5 $\mu$ m厚が6.5 $\mu$ m厚よりも最大シエア強度が大きかった。

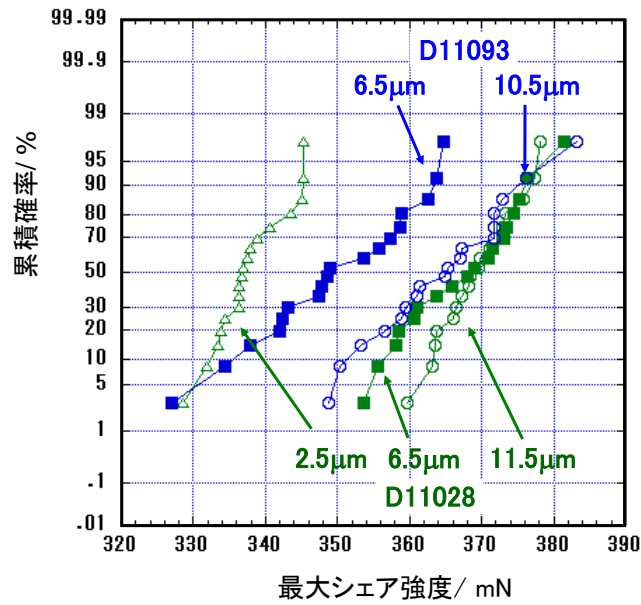


図2. BC厚、BC種違いFC-BGAチップの最大シア強度

\* 各水準18チップ(1チップあたり10μバンプの平均値)の測定結果

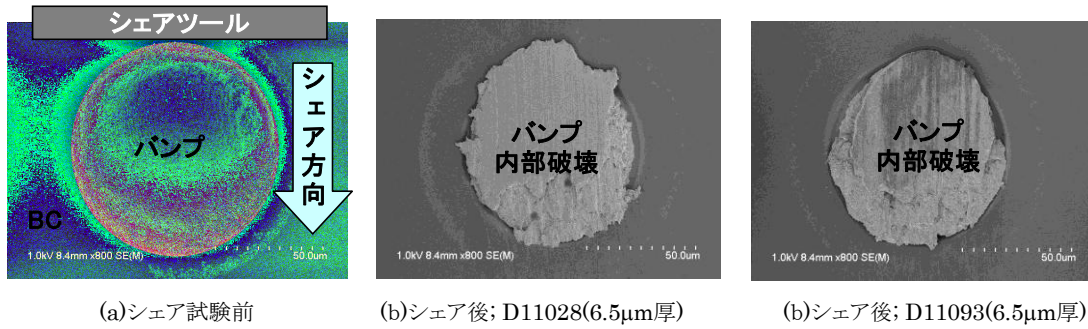


図3. シェア後の観察結果

## 6.2 バンプシエア試験結果の考察

BC厚、BC種を変えて作製したバンプつきチップは、シエア荷重に対するバンプ内部破壊強度差が見られた。膜厚が厚いとその強度が高いことから、シエア荷重に対してBCの反発はバンプを覆う面積の大きい厚膜ほど大きいためと考える。BCの反発が大きい点からD11093よりもD11028が高強度となるのは弾性率がD11093(1.9GPa)よりD11028(2.3GPa)が大きいためと考えられる。チップ実装、TCサイクル試験のFC-BGAがバンプ内部破壊に起因する断線不良を起こす場合、BCを厚膜にし、さらに高弾性材料を選ぶことが断線軽減に有効であると判断できる。

## 7. 残された課題

BC厚、BC種を変えて作製したFC-BGAのチップ実装、TCサイクル試験時の不良箇所、モードを検証し、本試験との相関を比較すること。

## 8. 関連報告

技術情報B-H22-8016 「第15回研究成果報告会 新規後工程パッケージTEGを用いたBC材料評価」

9. その他 特になし。

10. データベース 特になし。

整理番号 36401

## FEOL T3基準仕様書/p-SiOC

No	区分	工程	装置	レシピ
0	ロット編成	T3 SiC <sup>テ</sup> ホ <sup>ホ</sup> 完 <sup>カ</sup> エ <sup>ハ</sup> 使用のこと		
1	M1-SiOC <sup>テ</sup> ホ <sup>ホ</sup>	p-SiOC <sup>テ</sup> ホ <sup>ホ</sup>	PRODUCER	BD100nmRF500W
2	M1-CAP <sup>テ</sup> ホ <sup>ホ</sup>	二周波p-SiO <sup>テ</sup> ホ <sup>ホ</sup>	PRODUCER	DSiO60T300L140
3	M1リソ	BARC/レジスト塗布	ACT12(ArF)	IL-PA200BA65
		露光	FPA-6000AS4	CAST-T3/M1
		PEB現像/ホストベーク	ACT12(ArF)	IL-PA200BA65
		寸法確認	S9360#1	CAST-T3/001-M1-1pt3sht
		合わせ検査	LA-300	CAST-T3/M1
4	M1トライ	BARC/SiO /SiOC/SiC <sup>テ</sup> ホ <sup>ホ</sup>	Telius-SCCM	CAST_T1_M1
		アッシング	ICE/CDE300	Lowk45_300s
		寸法検査	S9380#2	CAST-T3/001ASH-M1-1pt3sht
5	M1洗浄	ホリマ-除去	SR-3000	411
6	M1 <sup>テ</sup> ホ <sup>ホ</sup>	TaN/Ta/Cuスラッタ	Endura	10NM,10NM,60NM
		Cuメッキ	Slim Cell	B0.60UM-I-A
7	M1-CMP	Cu-CMP/ハリアCMP	ChaMP	C-CMP4-M1-STD
		剥離検査	金顕	
8	Via-SiCN <sup>テ</sup> ホ <sup>ホ</sup>	p-SiCN <sup>テ</sup> ホ <sup>ホ</sup>	PRODUCER	BLOK 30nm nonNH3
9	Via-SiOC <sup>テ</sup> ホ <sup>ホ</sup>	p-SiOC <sup>テ</sup> ホ <sup>ホ</sup>	PRODUCER	BD100nmRF500W
10	M2-SiCN <sup>テ</sup> ホ <sup>ホ</sup>	p-SiCN <sup>テ</sup> ホ <sup>ホ</sup>	PRODUCER	BLOK 30nm nonNH3
11	M2-SiOC <sup>テ</sup> ホ <sup>ホ</sup>	p-SiOC <sup>テ</sup> ホ <sup>ホ</sup>	PRODUCER	BD100nmRF500W
12	M2-CAP <sup>テ</sup> ホ <sup>ホ</sup>	二周波p-SiO <sup>テ</sup> ホ <sup>ホ</sup>	PRODUCER	DSiO60T300L140
13	Viaリソ	BARC/レジスト塗布	ACT12(ArF)	IL-PG300BA65
		露光	FPA-6000AS4	CAST-T3/V1
		PEB現像/ホストベーク	ACT12(ArF)	IL-PG300BA65
		寸法確認	S9360#1	CAST-T3/002-V1-1pt3sht
		合わせ検査	LA-300	CAST-T3/V1
特記事項				

14	DD-Viaトライ	BARC/SiO/SiOC/SiCNエッチ	Telius-SCCM	BD100_DD60
		アッシング	ICE/CDE300	Lowk45_300s
		寸法検査	S9380#2	CAST-T3/002ASH-V1-1pt3sht
15	DD-Via洗浄	ポリマー除去	SR-3000	411
16	DD-M2リソ	BARC/レジスト塗布	ACT12(ArF)	IL-PA200BA65
		露光	FPA-6000AS4	CAST-T3/M2
		PEB現像/レジストベーク	ACT12(ArF)	IL-PA200BA65
		寸法確認	S9360#1	CAST-T3/003-M2-1pt3sht
		合わせ検査	LA-300	CAST-T3/M2
17	DD-M2トライ	BARC/SiO/SiOCエッチ	Telius-SCCM	M2_SiOC_100
		アッシング	ICE/CDE300	Lowk90_300s
		寸法検査	S9380#2	CAST-T3/003ASH-M2-1pt3sht
18	DD-M2洗浄	ポリマー除去	SR-3000	411
19	M2テーパー	TaN/Ta/Cuスリット	Endura	10NM,10NM,60NM
		Cuメッキ	Slim Cell	B0.60UM-I-A
20	M2-CMP	Cu-CMP/ハリアCMP	ChaMP	C-CMP4-M1-STD
		剥離検査	金頭	
21	PROテーパー	p-SiCNテーパー	PRODUCER	BLOK 30nm nonNH3
		p-SiOテーパー		SiO 500nm
22	PROホト	レジスト塗布	ACT12(ArF用)	P-PFI38-1um
		露光	FPA5500iZ	CAST-T3/PRO
		PEB現像/レジストベーク	ACT12(ArF用)	EX-Local-SH
		合わせ検査	金頭	
特記事項				

23	PROトライ	SiOエッチ	Telius-SCCM	SiO_500_PRO_2
		アッシング	ICE/CDE300	3M01
		SiCNエッチ	Telius-SCCM	SiCN50_PROST
24	PRO洗浄	ポリマー除去	SR-3000	411
25	M3-ALテポ	Ti-Alスパッタ	Endura	CH-F:30S TI, AL
26	M3-AL朴	レジスト塗布	ACT12(ArF用)	P-PFI38-1um
		露光	FPA5500iZ	CAST-T3/PAD
		PEB現像/ポストバーク	ACT12(ArF用)	EX-Local-SH150
		合わせ検査	金顕	
27	M3-ALエッチ	ALウエットエッチ	ALウエットエッチ	モト5, No.3
		Tiウエットエッチ	MP-3000	123
		アッシング	ICE/CDE300	AL IR REM
28	M3-AL洗浄	ポリマー除去	SR-3000	411
29	PVテポ	p-SiCNテポ	PRODUCER	BLOK 30nm nonNH3
		p-SiNテポ		SiN 500nm
30	PV朴	レジスト塗布	ACT12(ArF用)	P-PFI38-1um
		露光	FPA5500iZ	CAST-T3/PV
		PEB現像/ポストバーク	ACT12(ArF用)	EX-Local-SH
		合わせ検査	金顕	
31	PVトライ	SiN/SiCNエッチ	Telius-SCCM	SiN-500-PV
		アッシング	ICE/CDE300	3M01
32	PV洗浄	ポリマー除去	SR-3000	411
33	N27ニール	N27ニール	ALPHA-303-C	SB-04
34	電気測定	プローバ-測定	プローバ-C	
完成		払い出し		
特記事項				

## 再配線プロセス基準仕様書

No	区分	工程	装置	概要
0	ロット編成			
1	BC塗布	塗布・プリベーク	ACT12(PI用)	各BC材料推奨条件
2	BC露光	露光	FPA5500iZ	CAST-PKG1/CASMAT252
3	BC現像	現像	ACT12(PI用)	各BC材料推奨条件
4	BCキュア	キュア	VF-1000B	各BC材料推奨条件
5	アッシング	アッシング	ICE300	C-30PA-15Sを5sに変更
6	ハリア/シートテポ	Ti-Cuスハッタ	Endura CL	TI-CU
7	レジスト塗布	塗布・プリベーク	ACT12(PI用)	C-P-W1000PM2
8	レジスト朴	露光	FPA5500iZ	CAST-T3/T3-CMR1-01
		現像	ACT12(PI用)	D-P-W1000-NON
9	レジストアッシング	アッシング	ICE300	O2_15s.RCP
10	Cuめっき	めっき	ECP_Cuメッキ	CAS-246/C246-4.2μ m
11	レジスト剥離	ウェット剥離	ACT12(PI用)	P-LA900-RE-NEW
12	アッシング	アッシング	ICE300	PC1_REM_0W60s.RCP
13	Cuアニール	アニール	VF-1000B	F0203_01
14	Cuエッチ	ウェットエッチ	AWE-1203S	モード2/レジ1、150sに変更
15	Tiエッチ	ウェットエッチ	MP-3000	403
16	アッシング	アッシング	ICE300	O2_15s.RCP
17	乾燥	乾燥	VF-1000B	F0203_01
18	BC2層目塗布	塗布・プリベーク	ACT12(PI用)	各BC材料推奨条件
19	BC朴	露光	FPA5500iZ	CAST-T2/CASMAT247
		現像	ACT12(PI用)	各BC材料推奨条件
20	BCキュア	キュア	VF-1000B	各BC材料推奨条件
21	払出			



## 材料評価基準書「CMP-C2 マスク説明書」

### 1. CMP-C2 マスクの目的

本マスク(CMP-C2)の目的は Cu-CMP の半導体関連材料(CMP スラリー、CMP 後洗浄液、CMP パッドなど)の Cu 配線の腐食性能と多層配線の平坦性評価である。本マスクでは1枚のマスクに「腐食評価TEG」と「平坦性評価TEG」の二種類の TEG を搭載している。

### 2. マスク構成と各マスクの仕様

- ・マスクセット名称: CMP-C2(本マスク)と CMP-4(既存)
- ・マスクセットの使用方法

腐食評価の場合は CMP-C2 を単層配線で使用する。

平坦性評価の場合は配線 1 層目に CMP-4 マスク(既存マスク)、配線 2 層目に CMP-C2 マスク(本マスク)の2層配線構造で使用する。

表1. マスクまとめ

適用層名	(gds レイヤー番号, データタイプ)	マスク仕様		
		レチクル材	ウェーハ上寸法公差	ウェーハ上位置精度
CMP-4 (M1) (既存マスク)	(1, 0)	ハーフトーン	4nm 以下	4nm 以下
CMP-C2 (本マスク)	(2, 0)	バイナリー	-----	-----

### 3. 本マスクによる試料の基本的断面構造

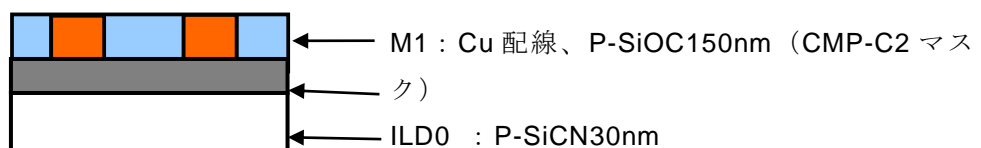


図1. Cu/Low-k 1層配線断面図(濃淡電池腐食評価の場合)

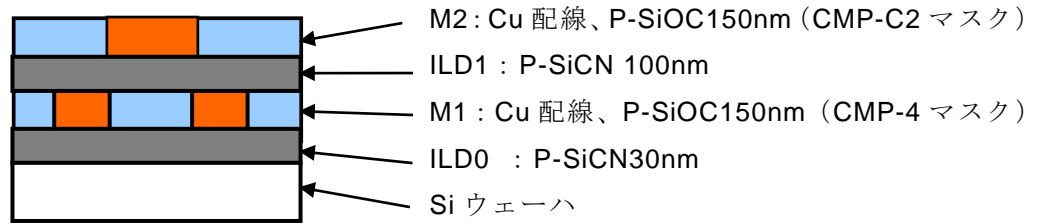


図 2. Cu/Low-k 2層配線断面図(CMP 平坦性評価の場合)

4. マスク合わせ方式(合わせターゲット座標など)

露光機はArFスキャナー(FPA-6000AS4 CANON)を使用する。表 2 に露光機用合わせマークを示す。露光機用合わせマークには図 3 に示すプリアライメント用と図4に示すファインアライメント用があり、共に CANON 推奨マークを使用した。CMP-C2 では CMP-4 の M1 層とまったく同じプリアライメントマークとファインアライメントマークの 2 種類を配置し、その位置座標を表 3、表 4 に示す。

表2. 露光機用合わせマーク

適用層名	露光装置	マスク仕様	
		プリアライメント	ファインアライメント
CMP-4 (M1)	ArF	○	○
CMP-C2	ArF	○	○

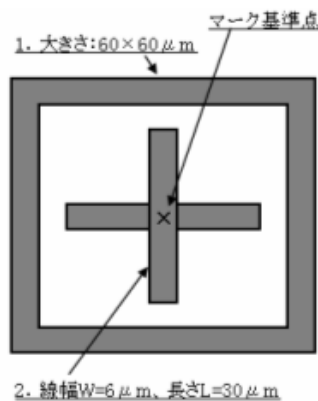


図3. プリアライメントマーク

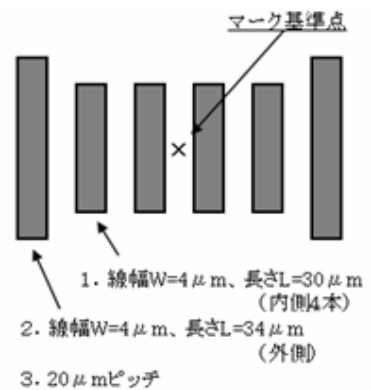


図4. ファインアライメントマーク

適用層名	X 方向	
	X (mm)	Y (mm)
CMP-4 (M1)	0	-10.45
CMP-C2	0	-10.45

表3 プリアライメントマークの座標(原点はレチクル中心)

プリアライメントマークとは理想位置からどれくらいずれているかを検出し、ウェーハの回転や位置調整によってそのズレを補正するものである。

表 4. 露光用ファインアライメントマーク座標(原点はレチクル中心)

適用層名	X 方向		Y方向	
	X (mm)	Y (mm)	X (mm)	Y (mm)
CMP-4 (M1)	7.34	-10.45	-10.45	7.34
CMP-C2	7.34	-10.45	-10.45	7.34

## 5. レイアウトルールとダミーパターン

本マスクは TEG 評価専用マスクであるため、一般的な製品のようなレイアウトルールはない。しかし、レイアウトルール無しでパターン設計を行った場合、過度なディッシング、エロージョンや解像不良、レジスト倒れなどにより、周辺パターンに大きな影響を与える恐れがある。そこで本マスクでは以下の最低限のレイアウトルールを設定した。

### (1) 線幅に関するレイアウトルール

- ・最小線幅: 180nm (本マスクはバイナリーマスクのため最小線幅を 180nm とした)
- ・最大線幅: 100um

## (2) CMP ダミーパターン

本パターンはコンピュータプログラムにより自動生成した。パターンの疎密差に起因する過度なディッシング、エロージョンの発生を防ぐため、本来の TEG パターンの余白部には、図5に示す  $0.8\mu\text{m} \times 0.8\mu\text{m}$  の正方形のダミーパターンを  $1.8\mu\text{m}$  ピッチで敷き詰めた。また、TEG パターンとダミーパターンの境界部では TEG パターンよりも  $1\mu\text{m}$  大きな領域を仮想し、その仮想領域と干渉するダミーを削除する仕様とした。本ダミーのパターン密度は  $(0.8\mu\text{m} / 1.8\mu\text{m})^2 = 20\%$  である。また、ダミーを故意に抜いた TEG については、後述するパッドブロック座標一覧表にダミーの有無を明記している。

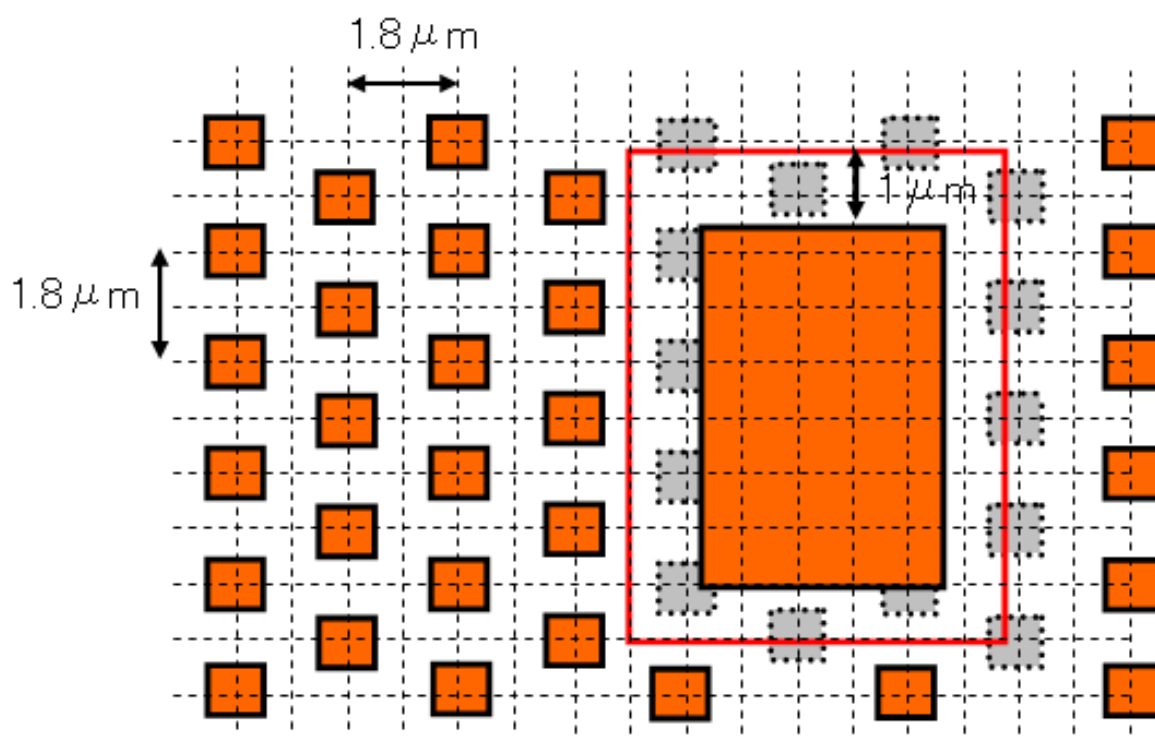


図 5 CMP ダミーパターンと配線パターン

## 6. CMP-C2 マスクのフロアプラン

図6に CMP-C2 マスクのフロアプランを示す。図6CAD データファイルを画面キャプチャーし、濃淡電池 TEG は青枠で囲み、平坦性評価 TEG は緑枠で囲んだ。

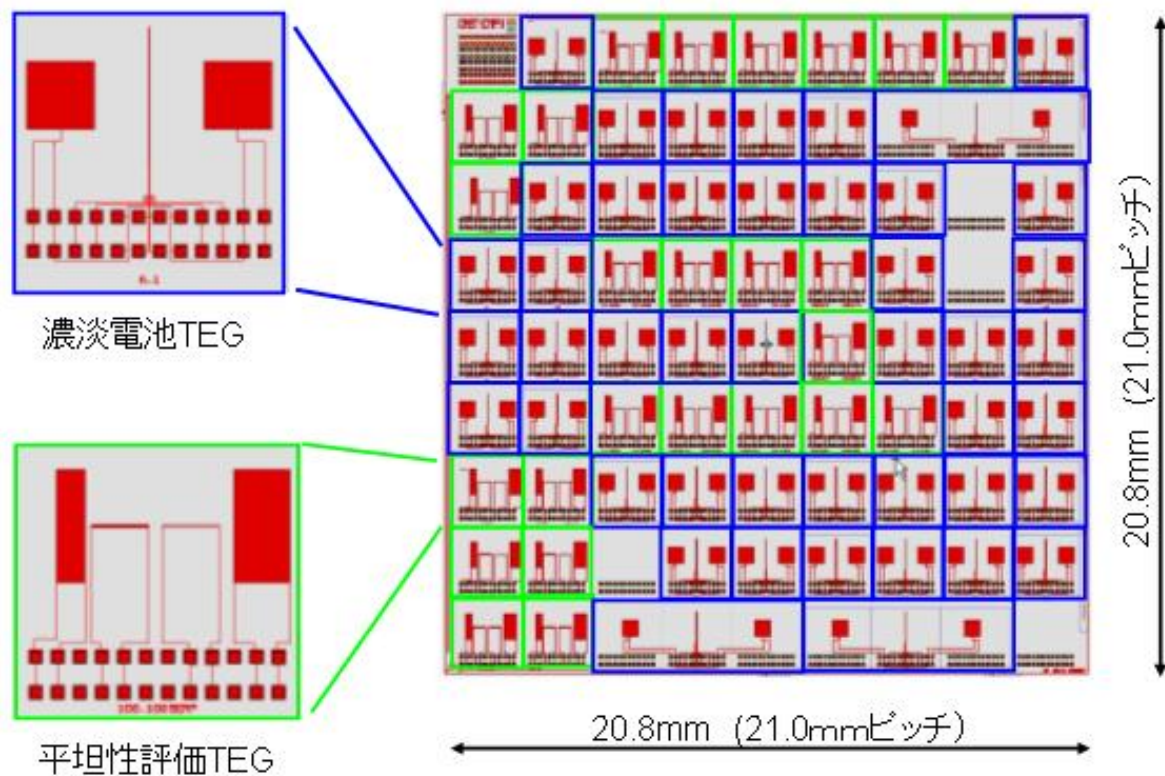


図6 CMP-C2 マスクのフロアプラン

## 7. 濃淡電池 TEG

図7は CMP-C2 マスクの濃淡電池 TEG 部分のレイアウトを示したもので、CAD データ画像をキャプチャーし各濃淡電池 TEG パターンを黒線枠で囲み、略称を表す文字を重ねた。赤いパターンは CMP-C2 マスクで形成する M1 パターンを表している。A から N までは各 3 個ずつパターンがあり、それぞれのパターンの 1 と 2 はダミーパターンあり、3 はダミーパターンなしとしている。また、O1,O2,P1 はポテンシャルプレートを離れた 3 倍パターンである。

また、チップの右辺には正方形の大きなパッドに線幅 0.2um の配線を接続した腐食外観観察パターンを設けた。

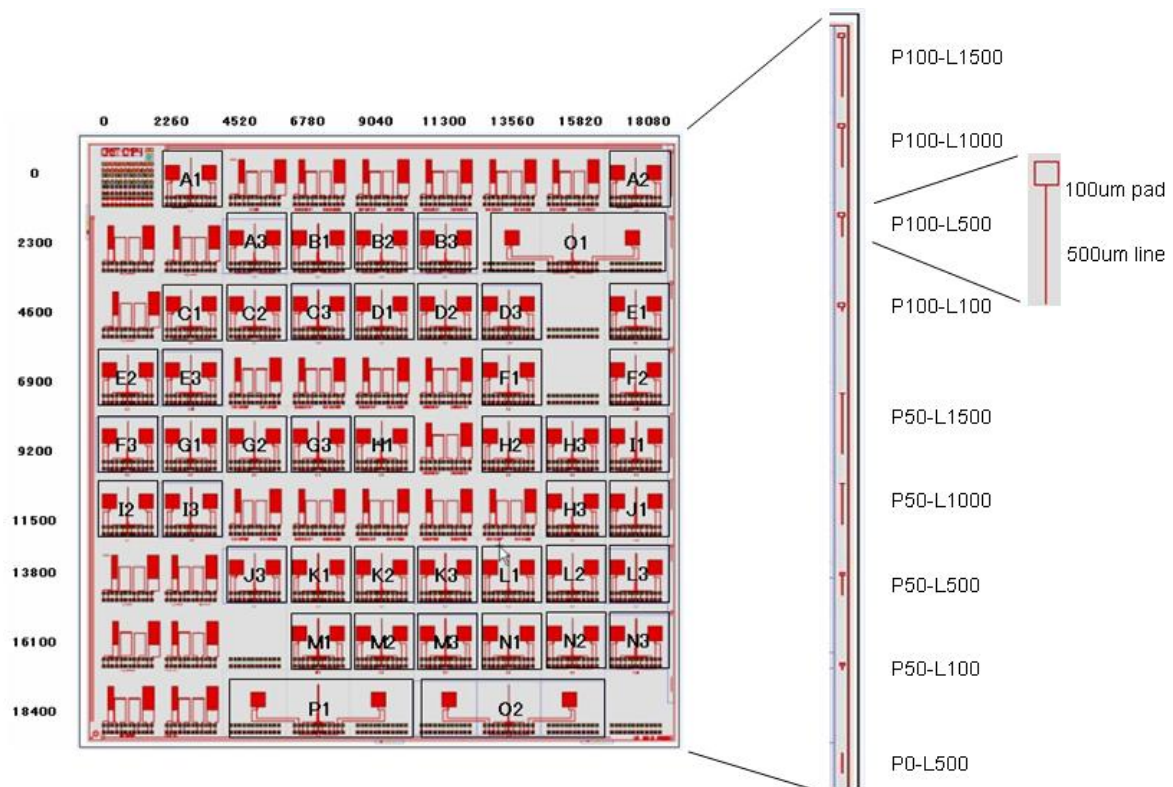


図7. CMP-C2 マスク上の濃淡電池 TEG

図8に濃淡電池 TEG パターンの模式図を示す。濃淡電池 TEG は一区画 2260um x 2300um で左側にポテンシャルプレート 1 を配置し、右側にポテンシャルプレート 2 を配置した。そのポテンシャルプレートはそれぞれ中央の一对の配線R1, R2(腐食評価センサー)にジャンパー線で接続されている。また、R1, R2は配線幅の寸法バラツキを防ぐため、R1, Rの左右に 8 本ずつダミー配線を設けた。

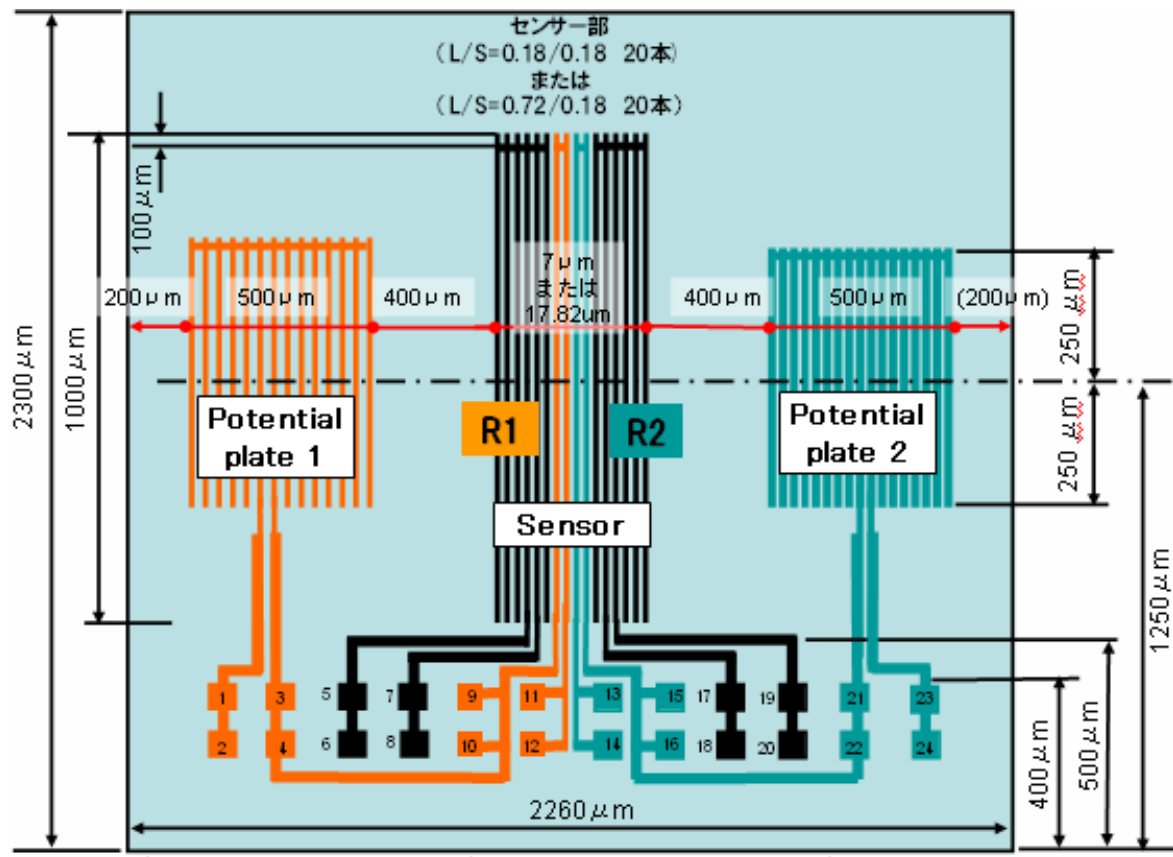


図 8. 濃淡電池 TEG の模式図

表5には濃淡電池 TEG の一覧表を示したもので、TEG の仕様(センサーのポテンシャルプレート線の線幅、線間隔、ダミー有無)とパッドブロックの位置座標を載せている。

表 5. 濃淡電池 TEG のパッドブロック位置座標一覧表

No.	素子名	Dummy	X-cord (um)	Y-Cord (um)	Potential Plate1	Potential Plate2	Sensor	Pad番号				測定部位	配線長 (mm)
1	A1	あり	2260	0	0.18/0.18	0.18/0.18	0.18/0.18	9	10	11	12	R1	2.519
2	A2	あり	18080	0				13	14	15	16	R2	2.519
3	A3	なし	4520	2300				1	2	3	4	PP1	1.444
4								21	22	23	24	PP2	1.444
5								5	6	7	8	R1の左	2.553
6								17	18	19	20	R2の右	2.553
7	B1	あり	6780	2300	3/3	0.18/0.18	0.18/0.18	9	10	11	12	R1	2.519
8	B2	あり	9040	2300				13	14	15	16	R2	2.519
9	B3	なし	11300	2300				1	2	3	4	PP1	1.444
10								21	22	23	24	PP2	1.444
11								5	6	7	8	R1の左	2.553
12								17	18	19	20	R2の右	2.553
13	C1	あり	2260	4600	5/5	0.18/0.18	0.18/0.18	9	10	11	12	R1	2.519
14	C2	あり	4520	4600				13	14	15	16	R2	2.519
15	C3	なし	6780	4600				1	2	3	4	PP1	1.444
16								21	22	23	24	PP2	1.444
17								5	6	7	8	R1の左	2.553
18								17	18	19	20	R2の右	2.553
19	D1	あり	9040	4600	0.18/0.72	0.18/0.18	0.18/0.18	9	10	11	12	R1	2.519
20	D2	あり	11300	4600	20%			13	14	15	16	R2	2.519
21	D3	なし	13560	4600				1	2	3	4	PP1	1.444
22								21	22	23	24	PP2	1.444
23								5	6	7	8	R1の左	2.553
24								17	18	19	20	R2の右	2.553
25	E1	あり	18080	4600	0.18/1.62	0.18/0.18	0.18/0.18	9	10	11	12	R1	2.519
26	E2	あり	0	6900	10%			13	14	15	16	R2	2.519
27	E3	なし	2260	6900				1	2	3	4	PP1	1.444
28								21	22	23	24	PP2	1.444
29								5	6	7	8	R1の左	2.553
30								17	18	19	20	R2の右	2.553
31	F1	あり	13560	6900	0.18/0.72	0.72/0.18	0.18/0.18	9	10	11	12	R1	2.519
32	F2	あり	18080	6900	20%	80%		13	14	15	16	R2	2.519
33	F3	なし	0	9200				1	2	3	4	PP1	1.444
34								21	22	23	24	PP2	1.444
35								5	6	7	8	R1の左	2.553
36								17	18	19	20	R2の右	2.553
37	G1	あり	2260	9200	0.18/1.62	1.62/0.18	0.18/0.18	9	10	11	12	R1	2.519
38	G2	あり	4520	9200	10%	90%		13	14	15	16	R2	2.519
39	G3	なし	6780	9200				1	2	3	4	PP1	1.444
40								21	22	23	24	PP2	1.444
41								5	6	7	8	R1の左	2.553
42								17	18	19	20	R2の右	2.553
43	H1	あり	9040	9200	0.18/0.18	0.18/0.18	0.72/0.18	9	10	11	12	R1	2.519
44	H2	あり	13560	9200				13	14	15	16	R2	2.519
45	H3	なし	15820	9200				1	2	3	4	PP1	1.444
46								21	22	23	24	PP2	1.444
47								5	6	7	8	R1の左	2.553
48								17	18	19	20	R2の右	2.553



表5の続き

No.	素子名	Dummy	X-cord (um)	Y-Cord (um)	Potential Plate1	Potential Plate2	Sensor	Pad番号				測定部位	配線長 (mm)
								9	10	11	12		
49	I1	あり	18080	9200	3/3	0.18/0.18	0.72/0.18	9	10	11	12	R1	2.519
50	I2	あり	0	11500				13	14	15	16	R2	2.519
51	I3	なし	2260	11500				1	2	3	4	PP1	1.444
52								21	22	23	24	PP2	1.444
53								5	6	7	8	R1の左	2.553
54								17	18	19	20	R2の右	2.553
55	J1	あり	15820	11500	5/5	0.18/0.18	0.72/0.18	9	10	11	12	R1	2.519
56	J2	あり	18080	11500				13	14	15	16	R2	2.519
57	J3	なし	4520	13800				1	2	3	4	PP1	1.444
58								21	22	23	24	PP2	1.444
59								5	6	7	8	R1の左	2.553
60								17	18	19	20	R2の右	2.553
61	K1	あり	6780	13800	0.18/0.72	0.18/0.18	0.72/0.18	9	10	11	12	R1	2.519
62	K2	あり	9040	13800	20%			13	14	15	16	R2	2.519
63	K3	なし	11300	13800				1	2	3	4	PP1	1.444
64								21	22	23	24	PP2	1.444
65								5	6	7	8	R1の左	2.553
66								17	18	19	20	R2の右	2.553
67	L1	あり	13560	13800	0.18/1.62	0.18/0.18	0.72/0.18	9	10	11	12	R1	2.519
68	L2	あり	15820	13800	10%			13	14	15	16	R2	2.519
69	L3	なし	18080	13800				1	2	3	4	PP1	1.444
70								21	22	23	24	PP2	1.444
71								5	6	7	8	R1の左	2.553
72								17	18	19	20	R2の右	2.553
73	M1	あり	6780	16100	0.18/0.72	0.72/0.18	0.72/0.18	9	10	11	12	R1	2.519
74	M2	あり	9040	16100	20%	80%		13	14	15	16	R2	2.519
75	M3	なし	11300	16100				1	2	3	4	PP1	1.444
76								21	22	23	24	PP2	1.444
77								5	6	7	8	R1の左	2.553
78								17	18	19	20	R2の右	2.553
79	N1	あり	13560	16100	0.18/1.62	1.62/0.18	0.72/0.18	9	10	11	12	R1	2.519
80	N2	あり	15820	16100	10%	90%		13	14	15	16	R2	2.519
81	N3	なし	18080	16100				1	2	3	4	PP1	1.444
82								21	22	23	24	PP2	1.444
83								5	6	7	8	R1の左	2.553
84								17	18	19	20	R2の右	2.553
85	O1 3倍パターン	あり	15820	2300	0.18/0.72	0.72/0.18	0.18/0.18	9	10	11	12	R1	2.519
86	O2 3倍パターン	なし	13560	18400	20%	80%		13	14	15	16	R2	2.519
87								1	2	3	4	PP1	1.444
88								21	22	23	24	PP2	1.444
89								5	6	7	8	R1の左	2.553
90								17	18	19	20	R2の右	2.553
91	P1 3倍パターン	あり	9040	18400	0.18/0.72	0.72/0.18	0.72/0.18	9	10	11	12	R1	2.519
92					20%	80%		13	14	15	16	R2	2.519
93								1	2	3	4	PP1	1.444
94								21	22	23	24	PP2	1.444
95								5	6	7	8	R1の左	2.553
96								17	18	19	20	R2の右	2.553

## 8. 平坦性評価 TEG

図9は平坦性評価 TEG のフロアプランを示すもので、CAD データ画像をキャプチャーし、各 TEG パターンの略称(M1 層の CMP-4 の配線線幅/スペース幅( $\mu\text{m}$ )とダミー有りは D、ダミー無しは ND)を表す文字を半透明化して重ねた。図 9 の緑のパターンは M1 層の CMP-4 パターン(黒枠の部分)で、赤は M2 層の CMP-C2 パターンを表す。

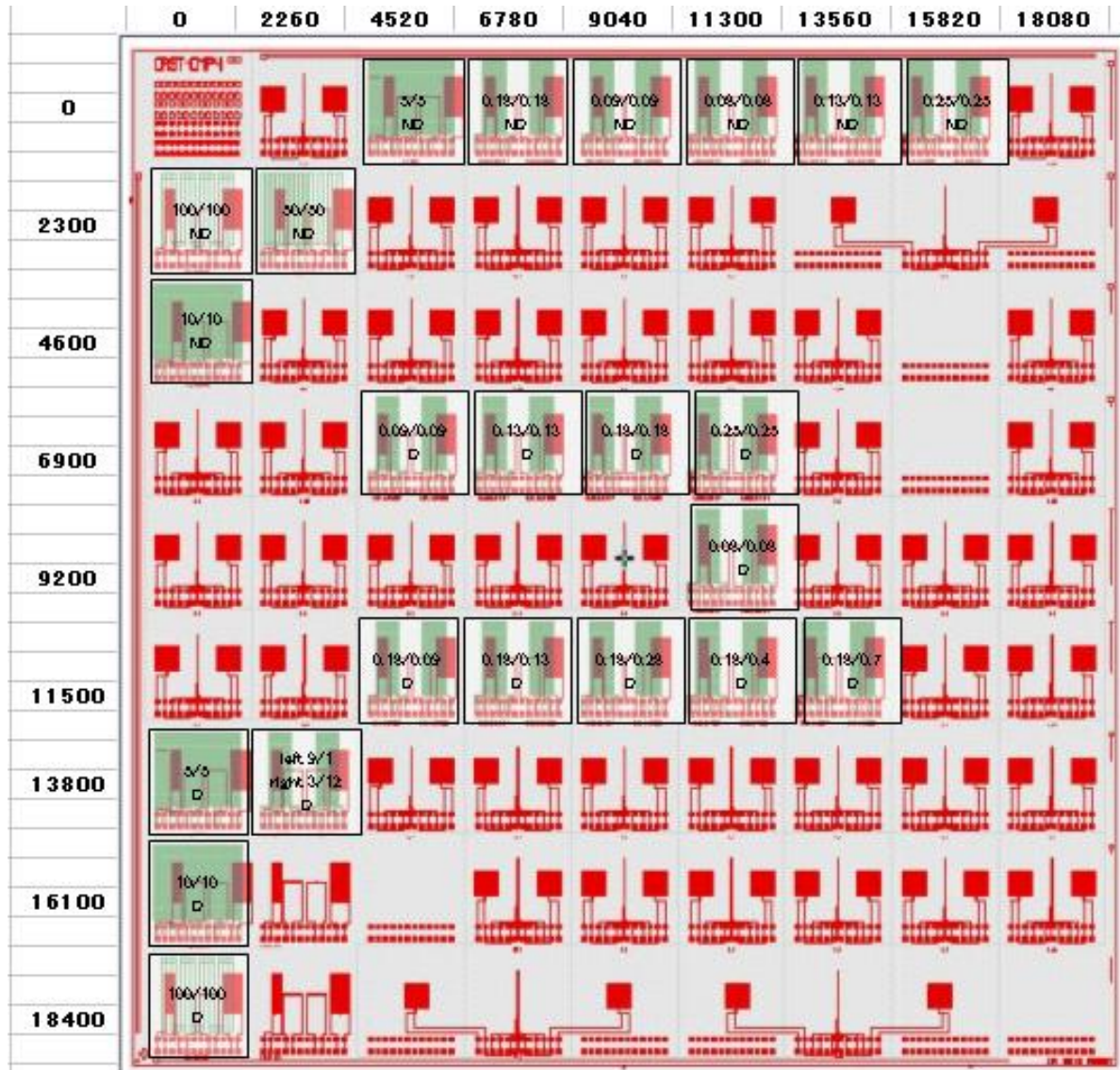


図9. M1層 CMP-4 / M2層 CMP-C2 2層配線パターン



表6 CMP-C2 配線平坦性評価 TEG のパッドブロック座標一覧表

No.	下地M1 L/S(nm)	M1 Dummy	測定部位	Pad番号				櫛の 本数	X-cord ( $\mu\text{m}$ )	Y-Cord ( $\mu\text{m}$ )
				21	22	23	24			
1	80/80	無し	EOE R888hon	21	22	23	24	888本	11300	0
2			EOE R10hon	15	16	17	18	10本		
3			EOE L20hon	7	8	9	10	20本		
4			on L/S L888hon	1	2	3	4	888本		
5	90/90	無し	EOE R888hon	21	22	23	24	888本	9040	0
6			EOE R10hon	15	16	17	18	10本		
7			EOE L20hon	7	8	9	10	20本		
8			on L/S L888hon	1	2	3	4	888本		
9	130/130	無し	EOE R888hon	21	22	23	24	888本	13560	0
10			EOE R10hon	15	16	17	18	10本		
11			EOE L20hon	7	8	9	10	20本		
12			on L/S L888hon	1	2	3	4	888本		
13	180/180	無し	EOE R888hon	21	22	23	24	888本	6780	0
14			EOE R10hon	15	16	17	18	10本		
15			EOE L20hon	7	8	9	10	20本		
16			on L/S L888hon	1	2	3	4	888本		
17	250/250	無し	EOE R888hon	21	22	23	24	888本	15820	0
18			EOE R10hon	15	16	17	18	10本		
19			EOE L20hon	7	8	9	10	20本		
20			on L/S L888hon	1	2	3	4	888本		
21	100 $\mu\text{m}$ /100 $\mu\text{m}$	無し	EOE R888hon	21	22	23	24	888本	0	2300
22			on L/S R10hon	15	16	17	18	10本		
23			on L/S L20hon	7	8	9	10	20本		
24			on L/S L888hon	1	2	3	4	888本		
25	80/80	在り	EOE R888hon	21	22	23	24	888本	11300	9200
26			EOE R10hon	15	16	17	18	10本		
27			EOE L20hon	7	8	9	10	20本		
28			on L/S L888hon	1	2	3	4	888本		
29	90/90	在り	EOE R888hon	21	22	23	24	888本	4520	6900
30			EOE R10hon	15	16	17	18	10本		
31			EOE L20hon	7	8	9	10	20本		
32			on L/S L888hon	1	2	3	4	888本		
33	130/130	在り	EOE R888hon	21	22	23	24	888本	6780	6900
34			EOE R10hon	15	16	17	18	10本		
35			EOE L20hon	7	8	9	10	20本		
36			on L/S L888hon	1	2	3	4	888本		
37	180/180	在り	EOE R888hon	21	22	23	24	888本	9040	6900
38			EOE R10hon	15	16	17	18	10本		
39			EOE L20hon	7	8	9	10	20本		
40			on L/S L888hon	1	2	3	4	888本		

表6の続き

No.	下地M1 L/S(nm)	M1 Dummy	測定部位	Pad番号				櫛の 本数	X-cord (um)	Y-Cord (um)
				21	22	23	24			
41	250/250	在り	EOE R888hon	21	22	23	24	888本	11300	6900
42			EOE R10hon	15	16	17	18	10本		
43			EOE L20hon	7	8	9	10	20本		
44			on L/S L888hon	1	2	3	4	888本		
45	5um/5um	在り	EOE R888hon	21	22	23	24	888本	0	13800
46			on L/S R10hon	15	16	17	18	10本		
47			on L/S L20hon	7	8	9	10	20本		
48			on L/S L888hon	1	2	3	4	888本		
49	10um/10um	在り	EOE R888hon	21	22	23	24	888本	0	16100
50			on L/S R10hon	15	16	17	18	10本		
51			on L/S L20hon	7	8	9	10	20本		
52			on L/S L888hon	1	2	3	4	888本		
53	100um/100um	在り	EOE R888hon	21	22	23	24	888本	0	18400
54			on L/S R10hon	15	16	17	18	10本		
55			on L/S L20hon	7	8	9	10	20本		
56			on L/S L888hon	1	2	3	4	888本		
57	180/90	在り	EOE R888hon	21	22	23	24	888本	4520	11500
58			EOE R10hon	15	16	17	18	10本		
59			EOE L20hon	7	8	9	10	20本		
60			on L/S L888hon	1	2	3	4	888本		
61	180/130	在り	EOE R888hon	21	22	23	24	888本	6780	11500
62			EOE R10hon	15	16	17	18	10本		
63			EOE L20hon	7	8	9	10	20本		
64			on L/S L888hon	1	2	3	4	888本		
65	180/280	在り	EOE R888hon	21	22	23	24	888本	9040	11500
66			EOE R10hon	15	16	17	18	10本		
67			EOE L20hon	7	8	9	10	20本		
68			on L/S L888hon	1	2	3	4	888本		
69	180/400	在り	EOE R888hon	21	22	23	24	888本	11300	11500
70			EOE R10hon	15	16	17	18	10本		
71			EOE L20hon	7	8	9	10	20本		
72			on L/S L888hon	1	2	3	4	888本		
73	180/700	在り	EOE R888hon	21	22	23	24	888本	13560	11500
74			EOE R10hon	15	16	17	18	10本		
75			EOE L20hon	7	8	9	10	20本		
76			on L/S L888hon	1	2	3	4	888本		
77	3/12	在り	EOE R888hon	21	22	23	24	888本	2260	13800
78			EOE R10hon	15	16	17	18	10本		
79	9/1	在り	EOE L20hon	7	8	9	10	20本		
80			on L/S L888hon	1	2	3	4	888本		

## 9. パッドブロック

CMP-C2 TEG のパッドブロックは CASMAT 標準の24ピンを採用した。その仕様を図11に示す。

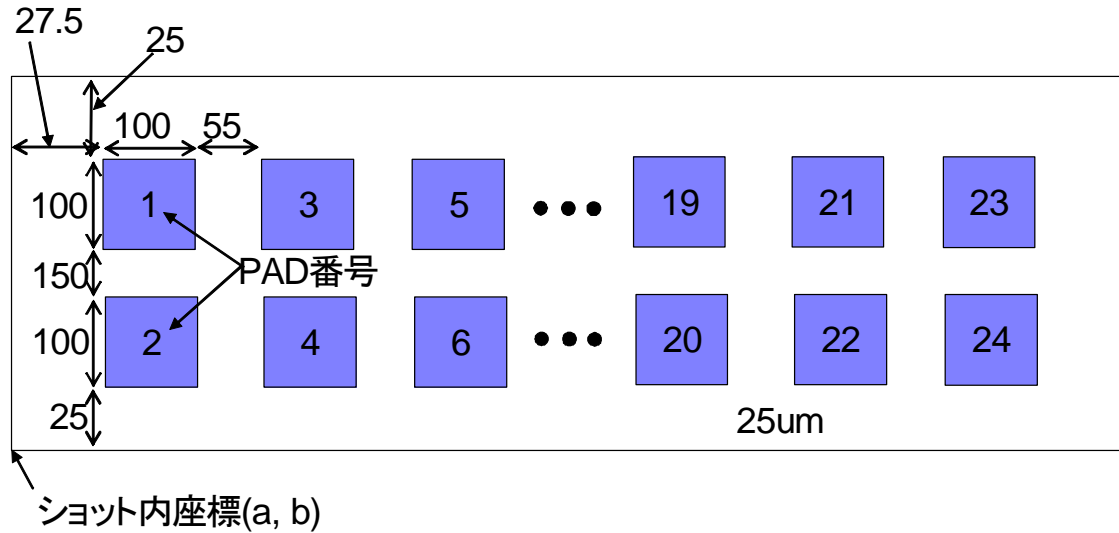


図11. パッドブロックの仕様

## 10. 関連報告

- (1) 評価基準書 (CASMAT-II 27501) 「CMP4 マスク説明書」
- (2) 評価基準書 (CASMAT-III 32203) 「濃淡電池 TEG を用いた銅配線の腐食評価」

## 材料評価基準 「T3 マスク説明書」

### 1. TEG の目的

接合素子を用いて BEOL 用材料、プロセスの影響評価（誘電率、耐圧、汚染、ダメージ、電荷蓄積等）を可能とする TEG(T2)を改良して、より高精度で高感度な TEG を提供すること。

### 2. TEG の構成と仕様

#### マスクの概要

マスク名： CAST-T3

枚数：12 枚 BEOL7 枚のみペリクル有

KrF 露光機用（i 線兼用） バイナリ

チップ寸法： 21.5 mm X 26.9 mm

レチクル寸法： 6 インチ

表 1. マスクの構成と仕様

No.	層名	層番	パターン	倍率	最小	最大	目的	備考
1	L	11	A	×4	0.5	100	素子分離	
2	FG	12	A	"	0.2	100	ゲート	
3	N1	13	B	"	0.5	-	N型拡散層 (LDD)	
4	N2	14	B	"	0.5	-	N型拡散層 (S/D)	
5	P	15	B	"	0.5	-	SUB 引上げ	
6	SP	16	A	"	0.5	-	シリサイド保護	CNT 上は SP 禁止
7	CNT	17	B	"	0.4	1	コンタクト	0.4, 1.0um 限定
8	M1	51	B	"	0.2	100	1層配線	
9	V1	52	B	"	0.18	0.25	接続孔 1	0.18~ 0.25um 限定
10	M2	53	B	"	0.2	100	2層配線	
11	PO1	56	B	"	0.5	-	パッド孔	
12	PAD1	57	A	"	10	-	パッド配線	

パターン： A は白(島パターン)、B は黒(孔パターン)

最大、最小： 単位 [ $\mu\text{m}$ ]

マスク合せパターン

CANON 用 プリアライメントマーク、ファインアライメントマーク  
(X 方向、Y 方向)

マスク合せツリー

L - FG - CNT - M1 - M2 - PO1 - PAD1  
 - N1                      - V1  
 - N2  
 - P  
 - SP

マスク合せ余裕

2層間  $\pm 0.2\mu\text{m}$   
 但し、M1、V1、M2 は  
 2層間  $\pm 0.09\mu\text{m}$



マスク製作の履歴

表 2. T3マスクの枝番管理表

No.	層名	層番	枝番 1	枝番 2
1	L	11	CAS-T3-ACT	—
2	FG	12	CAS-T3-GATE	—
3	N1	13	CAS-T3-N1	—
4	N2	14	CAS-T3-N2	—
5	P	15	CAS-T3-P	—
6	SP	16	CAS-T3-SP	—
7	CNT	17	CAS-T3-CNT	—
8	M1	51	T3-M1-01	T3-M1-02
9	V1	52	T3-V1-01	T3-V1-02
10	M2	53	T3-M2-01	T3-M2-02
11	V2	54	—	—
12	M3	55	—	—
13	PO1	56	T3-PO1-01	—
14	PAD1	57	T3-PAD1-01	—
15	TSV	31	—	—
16	STE	71	—	—
17	PO2	58	T3-PO2-01	—
18	BC1P	59	—	—
19	CMR1	60	T3-CMR-01	—
20	ASR1	61	—	—
21	BC2P	62	—	—
22	BUMP	65	—	—
23	M1B	41	—	—
24	BC1N	72	—	—
25	BC2N	73	—	—
TEG 名称			T3	T3R

2010.12 作製

2012.1 作製

### 3. パターン配置

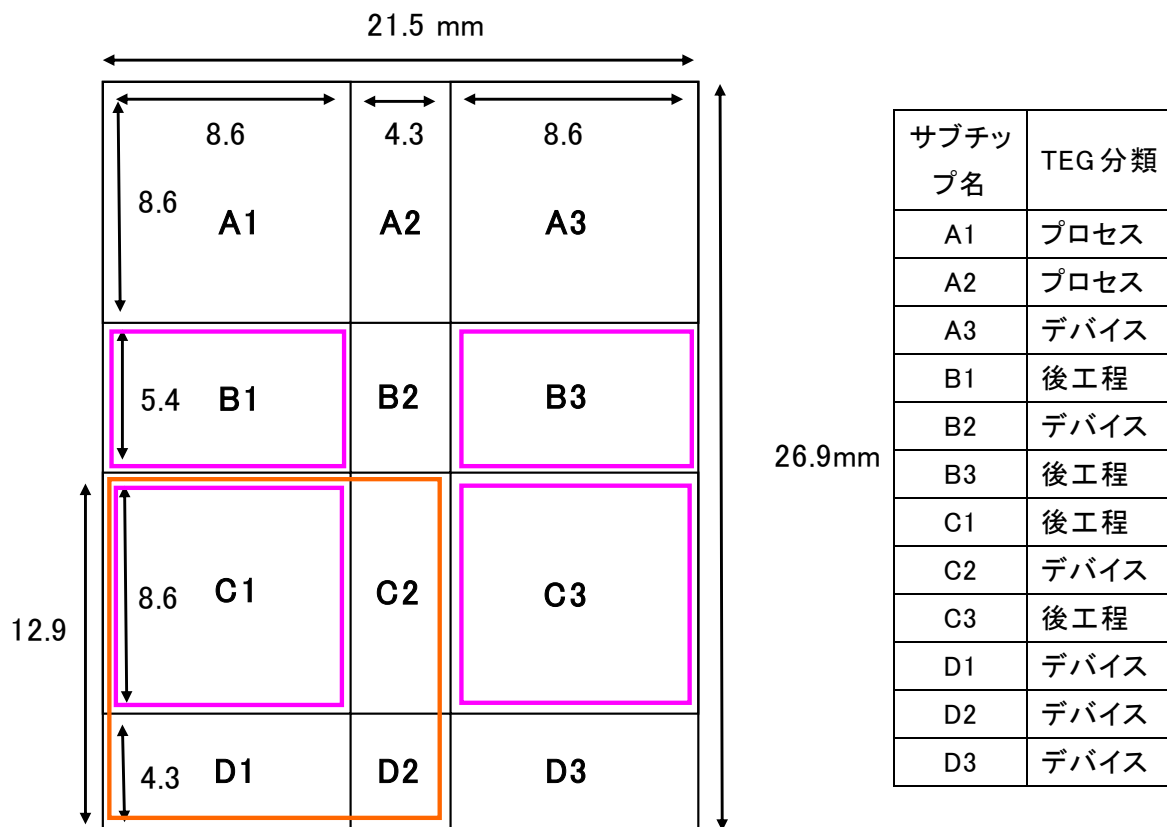


図 1. サブチップ構成図



## パッド配置

フロアプランの上下左右に表示した数字は、ショット内のパッドブロックの座標で、単位は  $\mu\text{m}$  である。以下でパッドブロックの説明をする。

CASMAT で一般に使用しているプローブカードはピンの左右ピッチが  $155\mu\text{m}$ 、上下ピッチが  $250\mu\text{m}$  である。ピンの配列は 12 行 2 列の合計 24 ピンとなっている。このプローブカードにあわせて図 3 に示すようなパッドの集合（パッドブロックと呼ぶ）をショット内に規則的に配置している。そして図 2 内の (a, b) 座標がショット内のパッドブロック座標になる。パッドブロック座標の原点はショットの左上隅とした（このパッドブロックをコンタクトパッドブロックと呼ぶ）。なお、A1、PV 層のパッドパターンの寸法はそれぞれパッドサイズ  $120\mu\text{m}$ 、 $100\mu\text{m}$  である。よってプローブのコンタクトは PV 膜が開口している  $100\mu\text{m}$  正方形内に対して行う必要がある。

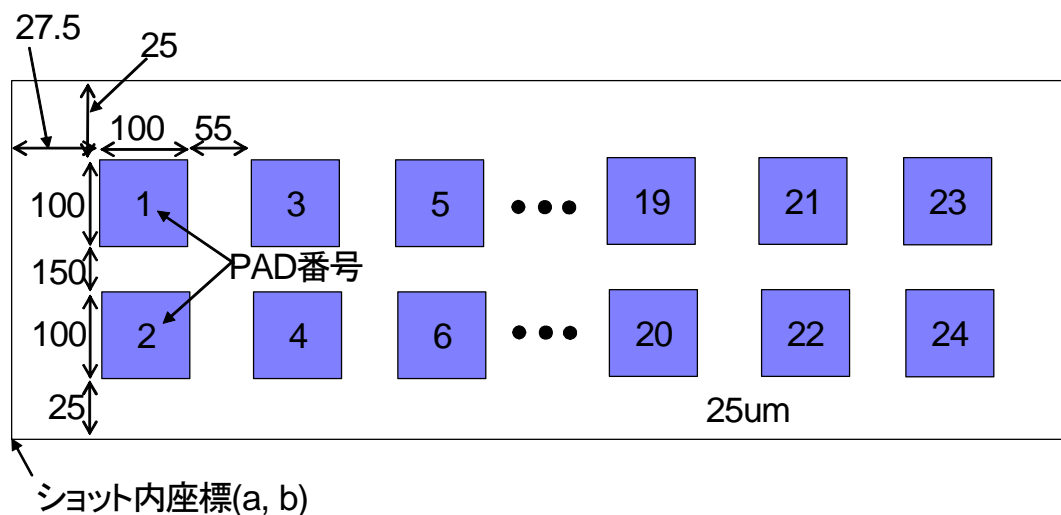


図 3. パッドブロックの外観

#### 4. FEOL 試作プロセスフロー

T2 までは通常の CMOS プロセスを基準にして、P 型 Si 基板を用いて NMOS 素子を TEG として製作した。T3 では腐食評価等を目的として、N 型 Si 基板を用いて PMOS 素子を TEG とするウェーハを追加で製作した。FEOL プロセス試作は TEI ソリューションズ(株)に委託した。

表 3. NMOS-TEG 試作プロセスフロー

CASMAT P基板用フロー		工程名	仕様	分流
No.	工程分類			
1	LOCOS	酸化	19nm	
2		SiN <sup>+</sup> 膜	150nm	
3		露光		
4		ドライエッチ		
5		LOCOS酸化	480nm	
6		SIN除去		
7		HF洗浄		
8	WELL	酸化	19nm	
9		WELLインプラ	HE B+ 200keV 2.00E13	
10		WELLドライ	31nm 1000°C	
11		犠牲酸化	42nm 900°C	
12		Vthインプラ	MC BF2 90keV 8.05E11	
13		HF洗浄		
14	GATE	GATE酸化1	46nm	
15		Vthインプラ	MC BF2 90keV 9.95E11	
16		HF洗浄		
17		GATE酸化2	6.5nm	
18		Poly-Si <sup>+</sup> 膜	200nm	
19		リンプラ	HC P+ 15keV 4.00E15	
20		Polyアニール	850°C 30分	
21		GATE露光		
22		ドライエッチ		
23		アニール	850°C 10分	
24		N1露光		
25		LDDインプラ	HC As+ 50keV 5.50E13	
26		EXTインプラ	MC P 30keV 2.20E13	
27		レジスト除去		
28		TEOS	270nm	
29		エッチバック		
30		TEOS		
31		N2露光		
32		S/Dインプラ	HC As+ 50keV 3.00E15	
33		S/Dインプラ	HC P+ 30keV 1.00E14	
34		レジスト除去		
35		P露光		
36	Subインプラ	HC BF2+ 45keV 2.00E15		
37	レジスト除去			
38	TEOS	80nm		
39	N2アニール	900°C 10分		
40	SP露光			
41	ドライエッチ			
42	レジスト除去			
43	スパッタ(Ti/Si)			
44	RTA1, RTA2			
45	CONT	CVD	200nm	
46		SiN <sup>+</sup> 膜	21nm	
47		CVD1	1400nm	
48		CMP		
49		CONT露光		
50	ドライエッチ			
51	AL	スパッタ(TiN/Ti)		
52		RTA		
53		W-CVD	600nm	
54		エッチバック		
55		W-CMP		
56		P-SiC	20nm	

表 4. PMOS-TEG 試作プロセスフロー

CASMAT N基板用フロー					
No.	工程分類	工程名	仕様	分流	
1	LOCOS	酸化	19nm		
2		SiN <sub>x</sub> 膜	150nm		
3		露光			
4		ドライエッチ			
5		LOCOS酸化	480nm		
6		SIN除去			
7		HF洗浄			
8	WELL	酸化	19nm		
9		WELLインプラ	HE P+ 200keV 2.00E13		
10		WELLドライブ	31nm 1000°C		
11		犠牲酸化	42nm 900°C		
12		Vthインプラ	MC As+ 80keV 8.05E11	分流	
13		HF洗浄			
14	GATE	GATE酸化1	46nm		
15		Vthインプラ2	MC As+ 80keV 9.95E11		
16		HF洗浄			
17		GATE酸化2	6.5nm		
18		Poly-Si <sub>x</sub> 膜	200nm		
19		リンインプラ	HC P+ 15keV 4.00E15	分流	
20		Polyアニール	850°C 30分		
21		GATE露光			
22		ドライエッチ			
23		アニール	850°C 10分		
24		NI露光			
25		LDDインプラ	HC BF2 50keV 5.50E13		
26		EXTインプラ	MC B+ 30keV 2.20E13		
27		レジスト除去			
28		TEOS	270nm		
29		エッチバック			
30		TEOS			
31		N2露光			
32		S/Dインプラ1	HC BF2 50keV 3.00E15		
33		S/Dインプラ2	HC B+ 30keV 1.00E14		
34		レジスト除去			
35		P露光			
36		Subインプラ	HC As+ 45keV 2.00E15		
37		レジスト除去			
38		TEOS	80nm		
39		N2アニール	900°C 10分		
40		SP露光			
41		ドライエッチ			
42		レジスト除去			
43		スパッタ(Ti/Si)			
44		RTA1, RTA2			
45		CONT	CVD	200nm	
46			SiN <sub>x</sub> 膜	21nm	
47	CVD1		1400nm		
48	CMP				
49	CONT露光				
50	ドライエッチ				
51	AL	スパッタ(TiN/Ti)			
52		RTA			
53		W-CVD	600nm		
54		エッチバック			
55		W-CMP			
56		P-SiC	20nm		

## 5. 設計パターンの概要

T2 の TEG を基に、新規 TEG の追加と従来 TEG の修正、変更を行った。  
T2→T3 への変更点は以下の通り。

1. 寄生 MOS トランジスタの種類を増やす。  
L=2.6, 3.6um、ゲートオーバーラップ型を追加。
2. リングオシレータ TEG の一部入替え。  
抵抗変更。つづら抵抗負荷 RO の追加。
3. ゲート電極付き PN 接合ダイオード TEG の追加。
4. M1 配線ストレス評価 TEG の追加。
5. 実装 TEG の一部入替え。

表 2. 主要 TEG 一覧表 (1)

項目	種類	寸法	個数
PN 接合	L 型	1.2~300um	23
	N1 型	2~300um	34
	並列	L, 2X2, 10000 個	1
ゲート付 PN 接合	FG, M1, M2	2X2, 2X10, 10X10um	9
MOS 容量	L 型	1~300um	27
	FG 型	1~300um	64
	クランプ付	1~10um	30
NMOS トランジスタ	単体	0.2~30um	22
	単体 (クランプ付)	0.2~1um	9
	並列	10 個、100 個	8
		10000 個 (0.3X10)	1
マトリックス	3×3	1	
抵抗	拡散 (N1、中抵抗)	幅 1, 2, 5um	10
	拡散 (N2、低抵抗)	幅 1, 5um	6
	ポリ Si (N 型 FG)	幅 0.3, 1, 2, 5um	11
	NMOS (FG-S ショート)	L = 0.2, 0.5, 1um	6
寄生 NMOS	FG, M1, M2	L = 0.6, 1.6um	12
		L = 2.6, 3.6um	10
SBD	N1 型 GR 有無	10, 100um□	4

表 3. 主要 TEG 一覧表 (2)

項目	種類	寸法	個数
配線系	つづら (M1, M2)	0.2, 0.25, 0.3, 0.35um	12
	くし (M1, M2)	0.2, 0.25, 0.3, 0.35um	24
	層間くし (M1/M2)	0.2, 0.25, 0.3, 0.35um	18
	連続 Via	0.25um, 10000 個	1
	Via 抵抗	0.25um, Kelvin	1
	シート抵抗	M1, M2	2
拡散系	シート抵抗	BN, N1, N2, FG, etc.	8
	コンタクト抵抗	FG, S/D, N1, P	8
	連続 CONT (NR, SD, PR)	0.4um, 10000 個	3
	分離特性	L-L, 0.4~2.5um	8
アンテナ TEG	容量	1~10um	14
	NMOS	0.2~10um	10
腐食 TEG	N 型	2~300um	50
	P 型	2~300um	50
回路 TEG (NMOS)	インバータ	1 段、3 段、11 段	44
	リングオシレータ	5 段、11 段、21 段	39
ペア特性	NMOS	0.2, 0.5um	6
	ポリ Si 抵抗	1, 5um	6

更に、T3→T3R への変更点は以下の通り。

1. リングオシレータの入替え。CMP 平坦性評価 TEG の追加。
2. 腐食 TEG の入替え。測定パターン寸法の変更。

## 6. 評価方法

各 TEG の構造と評価方法については、個別 TEG の評価基準書を参照のこと。

## 7. 考察

FEOL/BEOL 統合 TEG の設計に際して、従来の設計資産を生かすために、サブチップ構成を既存パッケージの 8.6mm□、12.9mm□、5.4mm×8.6mm を含む構成とした (図 1)。

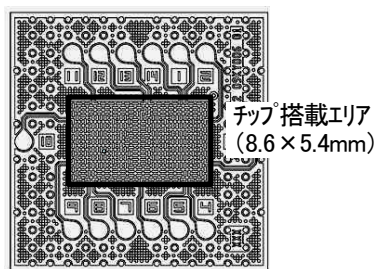


## 材料評価基準

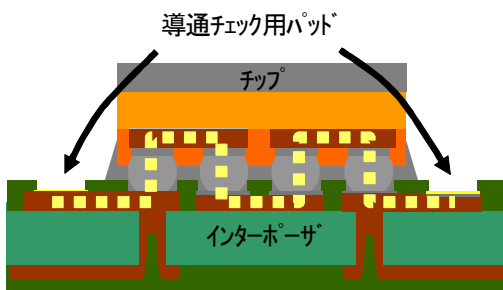
1. 評価対象材料名  
バッファコート (BC) 材料
2. 評価の目的  
WLPインターポージャー マスク説明書
3. 評価項目  
デージーチェーン配線抵抗
4. 試料作製手順  
使用装置、プロセスはWLP組立プロセスに準じる。
5. 評価方法  
5.1 使用装置  
デジタルマルチメーター
6. インターポージャー設計内容

### 6.1 デージーチェーン概要

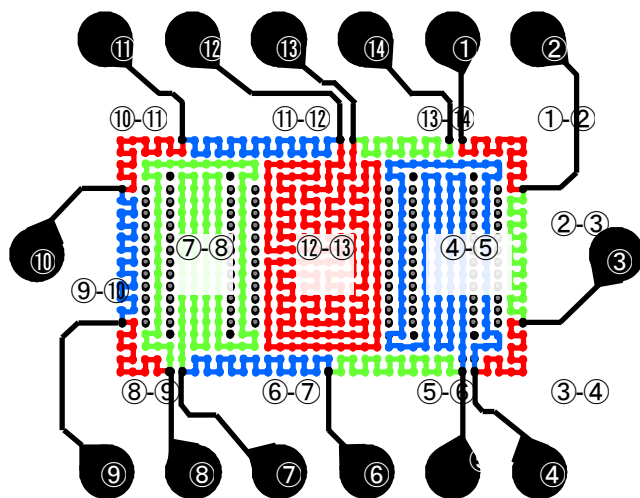
4層BTレジン基板  
(14.8×14.8mm×0.5mm)



インターポージャー1層目レイアウト



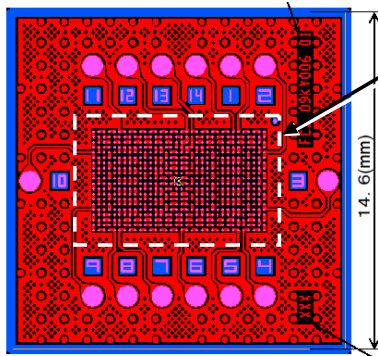
チップ (Cu配線)-インターポージャー (1層目配線)間のデージーチェーンでの抵抗測定を実施



デージーチェーンレイアウト

## 6.2 インターポーザ設計図面

第1層(チップ搭載面)

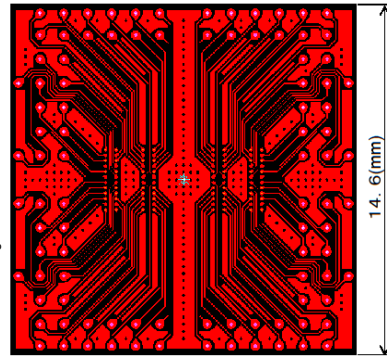


チップ搭載エリア  
(8.6x5.4mm)

コンタクトパッドに繋がる配線は旧デザインと共通。デイズチェーン部分を増設した。反り抑制のため、パターン以外の箇所にもCuを残した。(第1~3層赤色部分)

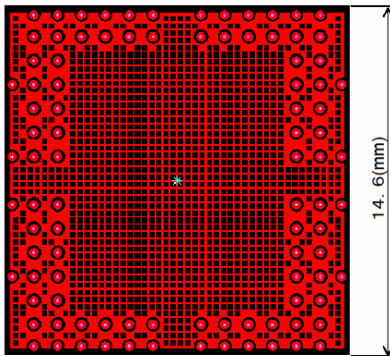
赤 : SR 15um / Cu 15um  
ピンク : Au 0.05um / Ni 5um / Cu 15um

第2層(0.225⇒1.0mmピッチ)



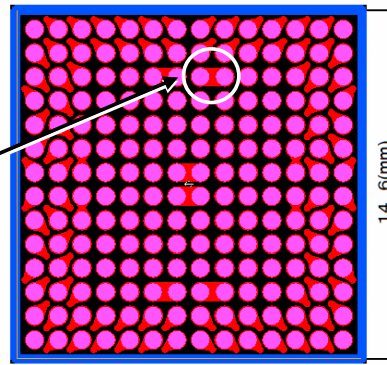
赤 : Cuパターン  
黒 : 基材

第3層(スルーホール)



赤 : Cu 15um  
黒 : 基材のみ

第4層(コンタクトパッド面)



ソケットとの導通チェックのため、2個×6箇所のダミーパッドをショートさせた。

赤 : SR 15um / Cu 15um  
ピンク : Au 0.05um / Ni 5um / Cu 15um

### 6.3 インターポーザ仕様および断面図

#### 仕様

(ピース)	但し凹凸有り	(シート)	
単面寸法	14.6±0.2 × 14.6±0.2	面付寸法	×
基板種類	片面	両面	多層 ( 4層 1-2-1ビルドアップ)
設計概要	L/S 0.04/0.04	ビルドアップvia 60μ	コアPTH Drill 120μ
レジスト	有り ( 緑・黒・青・ )	C面	S面 無し
外形加工	スリット ( 0本)	Vカット ( 0本)	詳細別途
材 料	ABF+679FGR	FR5相当材	
板 厚	0.5±0.1mm		
銅 箔 厚	外層	パターン銅メッキ15μm	内層 銅箔+銅メッキ 20μm
表面処理	金フラッシュ ( Au 0.05μm Ni 5μm )		

#### 断面図

14.6 x 14.6 mm  
 Drill Size : φ120um  
 Via Size : φ60um

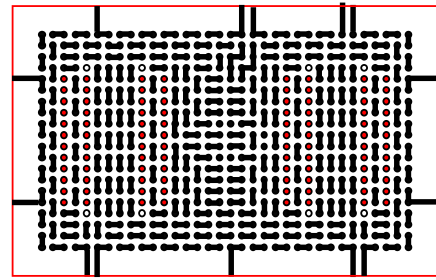
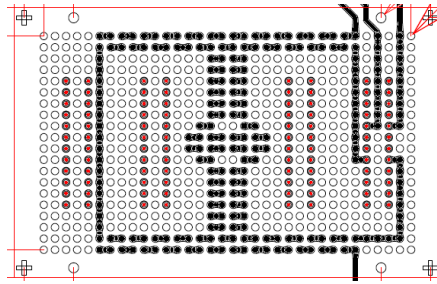
層			厚み	材料
			(mm)	
1 (FC2)	ソルダーレジスト		0.015	PSR4000-AUS703
	パターン		0.015	セミアディティブ
	絶縁層(ビルドアップ材)		0.030	ABF-GX13
2 (FC1)	R	R	0.021	サフトラ
	F	F	0.340	ベースコア材 E679FG
	P	P	0.021	サフトラ
3 (BC1)	絶縁層(ビルドアップ材)		0.030	ABF-GX13
	パターン		0.015	セミアディティブ
	ソルダーレジスト		0.015	PSR4000-AUS703
		ベースコア厚	0.340	
		基板厚(SR含まず)	0.472	
		基板厚(SR含む)	0.502	

#### 6.4 デイジーチェーン詳細

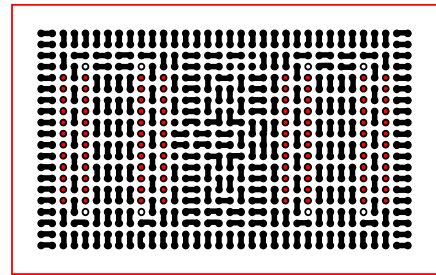
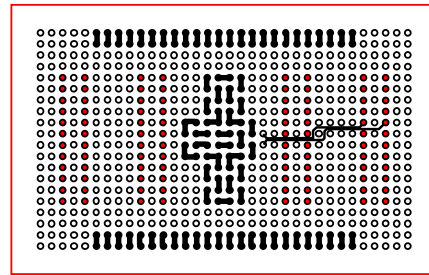
旧

新

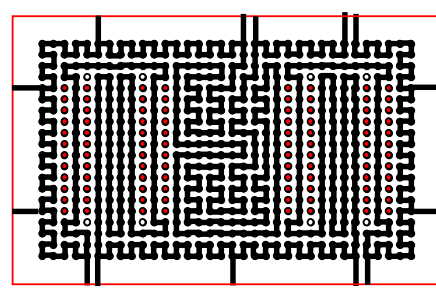
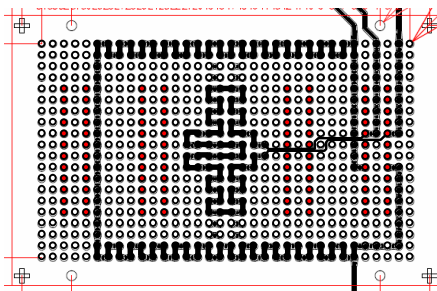
インターポーザ第1層  
(Si側から見た図)  
※赤枠はチップエリア  
※外周のハットは省略



Cu再配線層  
(Si側から見た図)  
※赤枠はチップエリア  
※デイジーチェーンに  
関係しない配線は省略



インターポーザ第1層  
+  
Cu再配線層  
(Si側から見た  
図)



#### 7. 考察

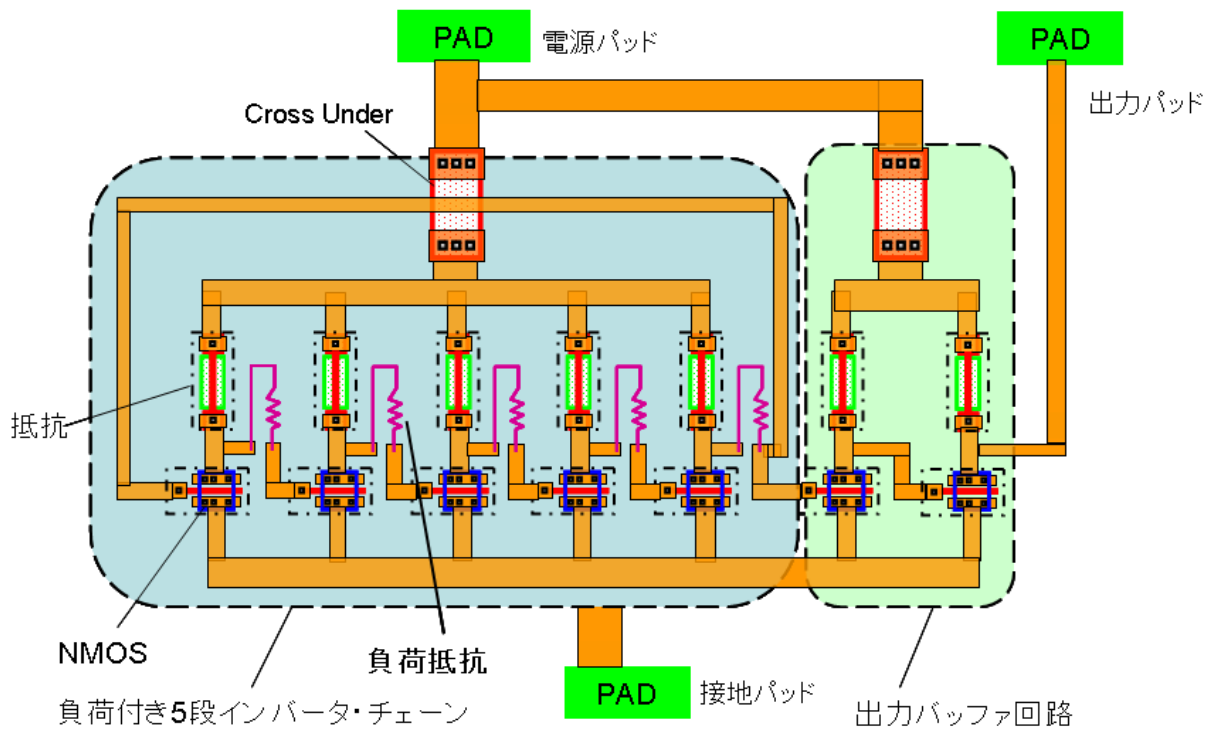
評価の高精度化を目指し、デイジーチェーンの設計を見直した。  
再配線およびインターポーザの設計変更を実施し、設計通り評価できることを確認した。  
評価のタイミングの問題で、旧デザインのチップを評価する必要もあったため、  
両方のデザインのチップを評価できるように、インターポーザの設計で配慮した。

# T3 リングオシレータの評価

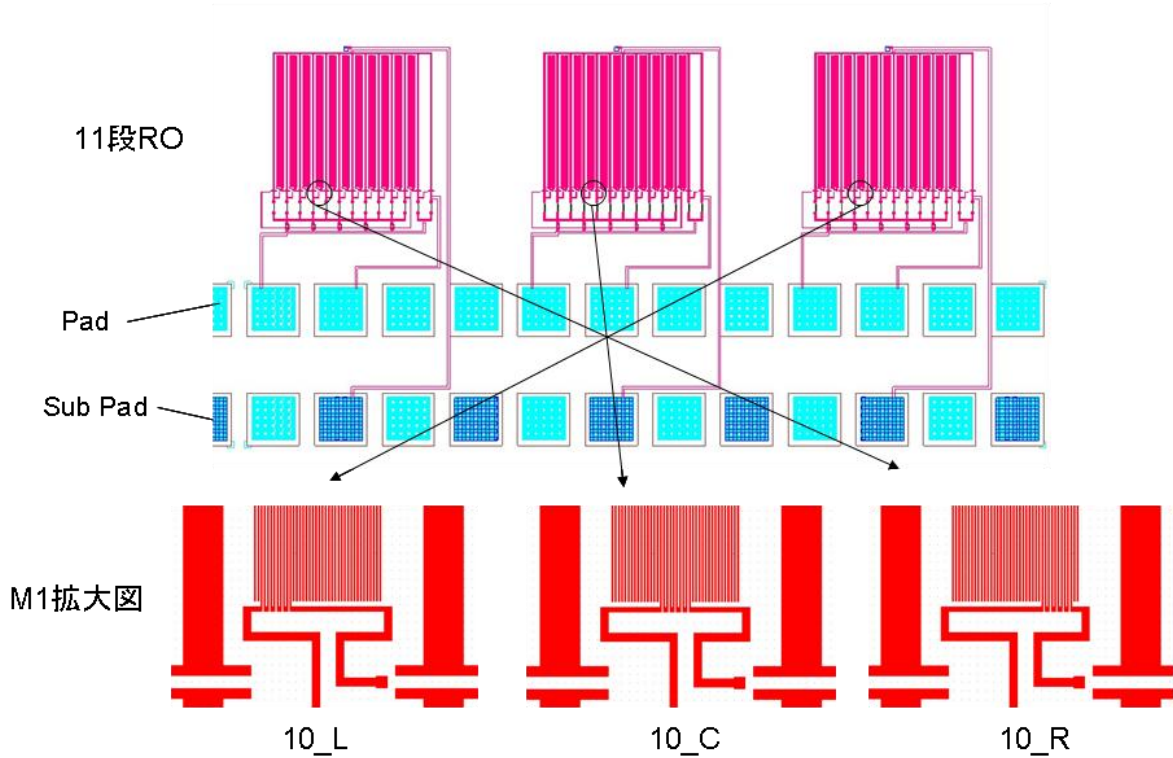
## T3 リングオシレータTEG (RO-TEG) の目的

ROの発振周波数を測定して配線の断面形状を評価すること。  
特に、CMPの平坦性を、非破壊で高精度に簡単に評価する手段を提供すること。

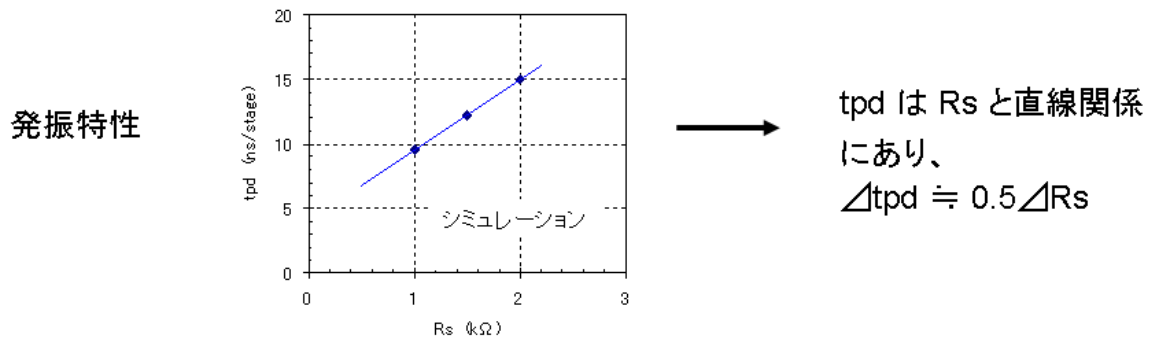
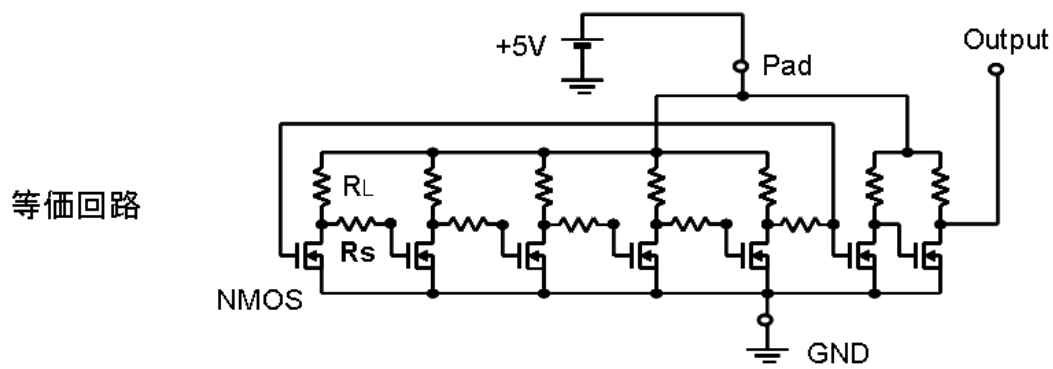
### 1. つづら配線抵抗負荷RO-TEGの構成



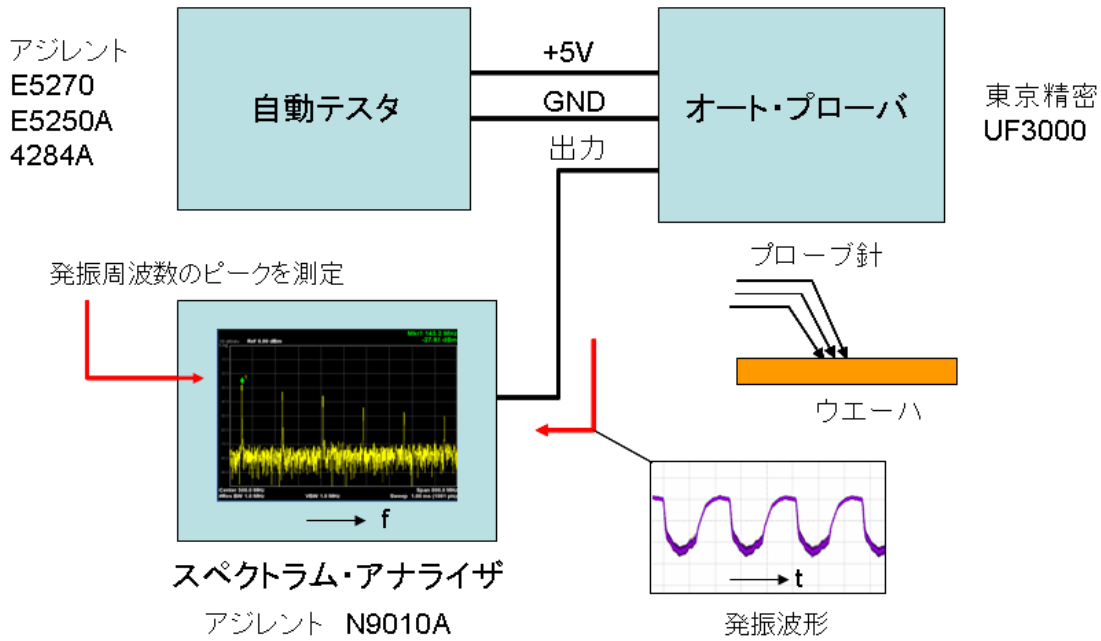
## 2. M1つづら配線抵抗負荷RO-TEGパターン



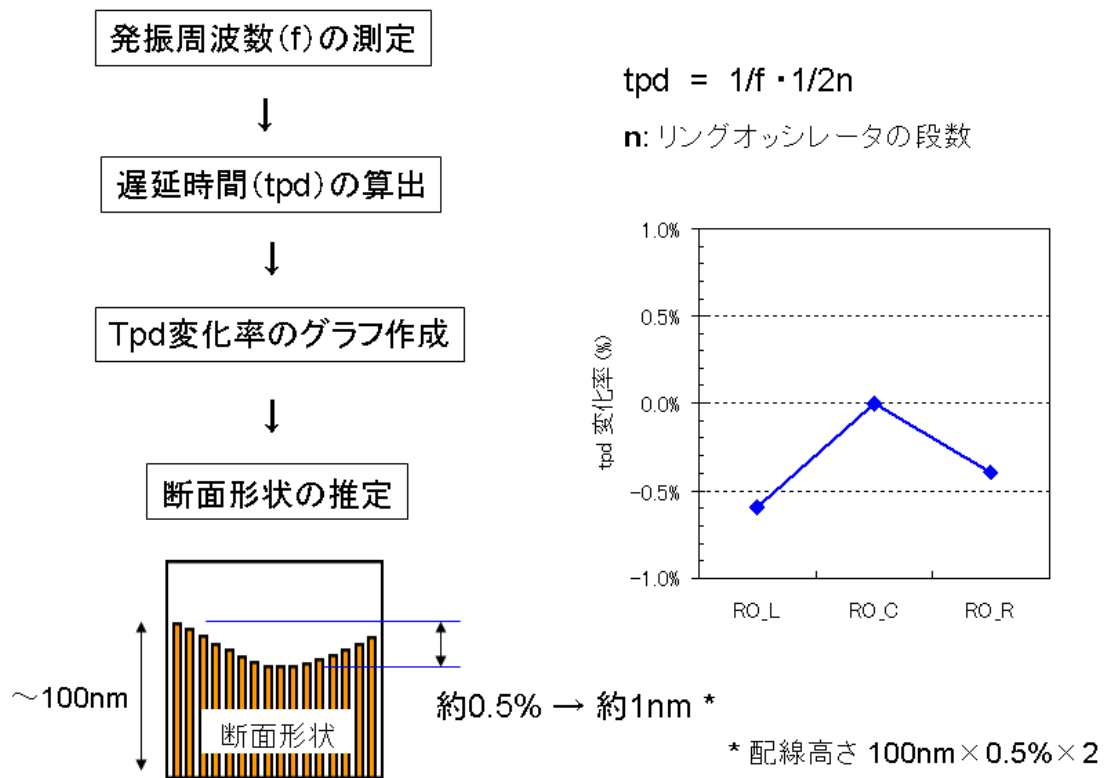
### 3-1. 測定原理



### 3-2. 測定方法



### 3-3. 評価手順



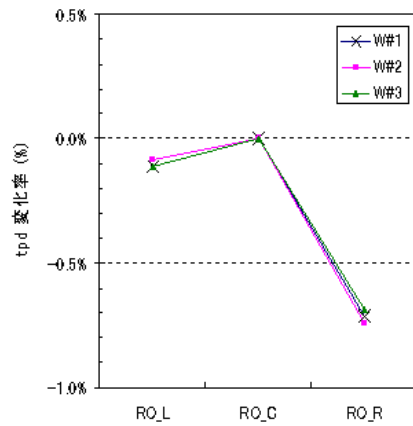
## 4-1. RO特性 (1)

マスク: T3R

ロット: 111230

M1つづら負荷  
11段RO

S10L/C/R

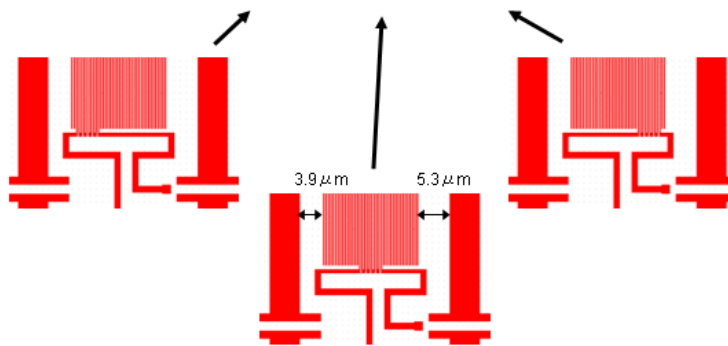
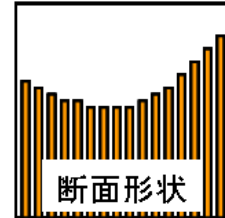


抵抗: 大

削れ量: 大

抵抗: 小

削れ量: 小



つづらの両側に広い  
スペースがあると、  
Cuは凹型に削られる

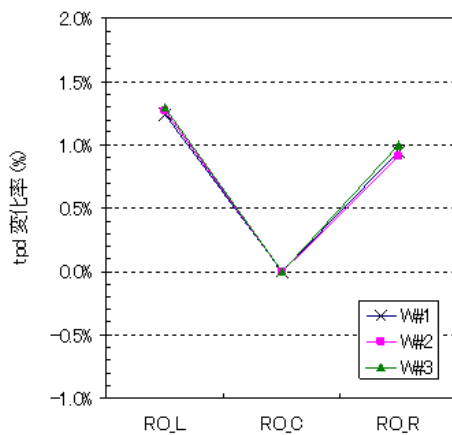
## 4-2. RO特性 (2)

マスク: T3R

ロット: 111230

M1つづら負荷  
11段RO

S16L/C/R

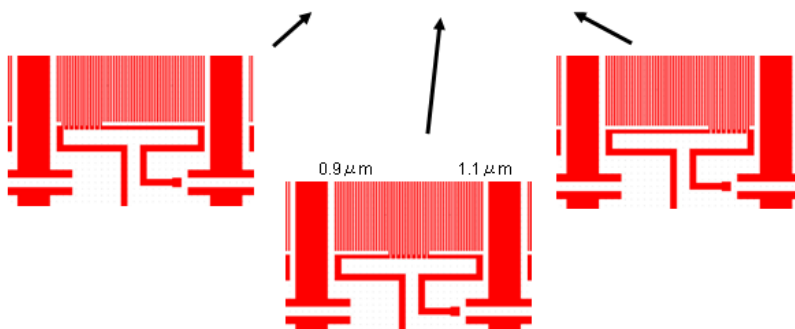
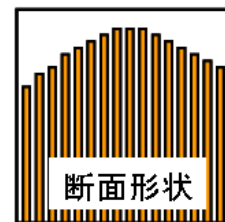


抵抗: 大

削れ量: 大

抵抗: 小

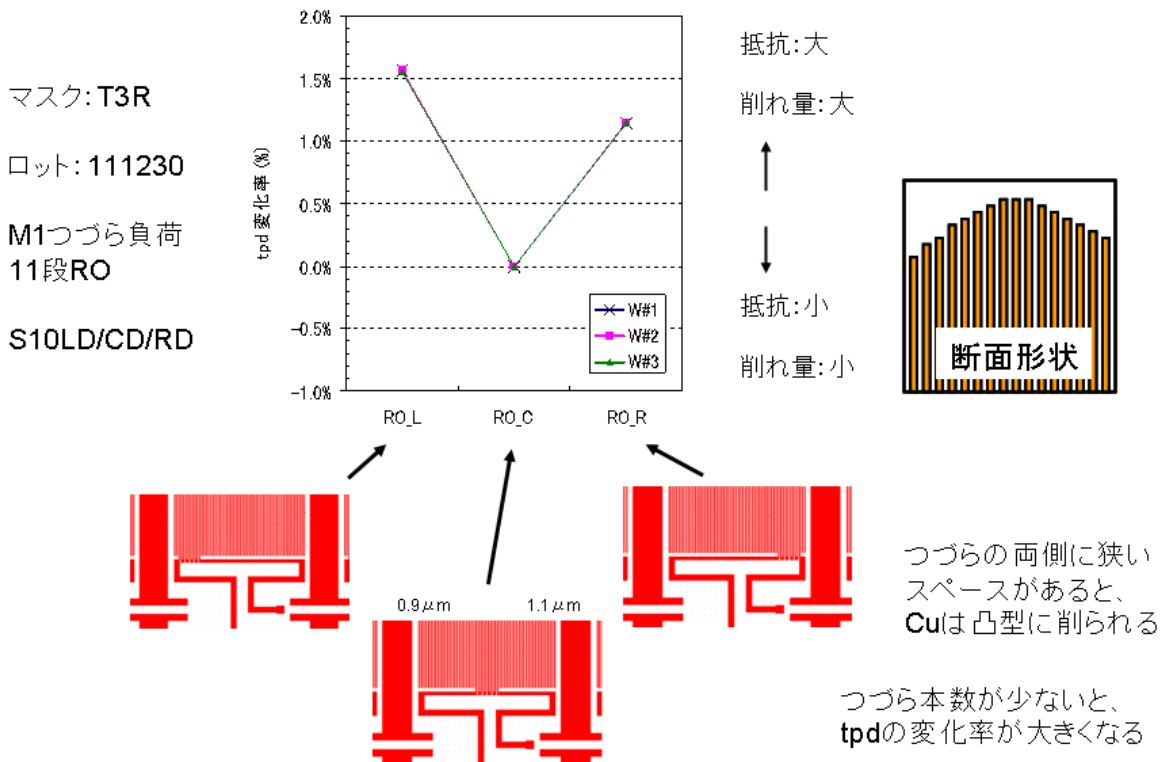
削れ量: 小



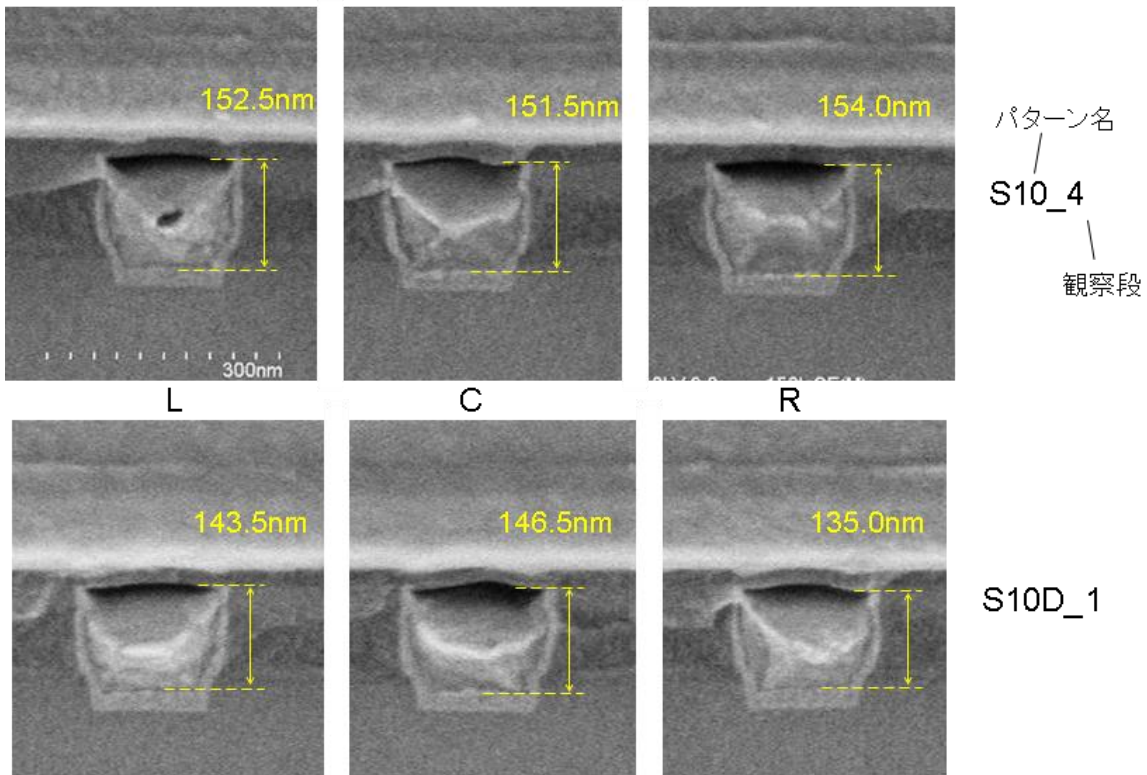
つづらの両側に狭い  
スペースがあると、  
Cuは凸型に削られる



### 4-3. RO特性 (3)

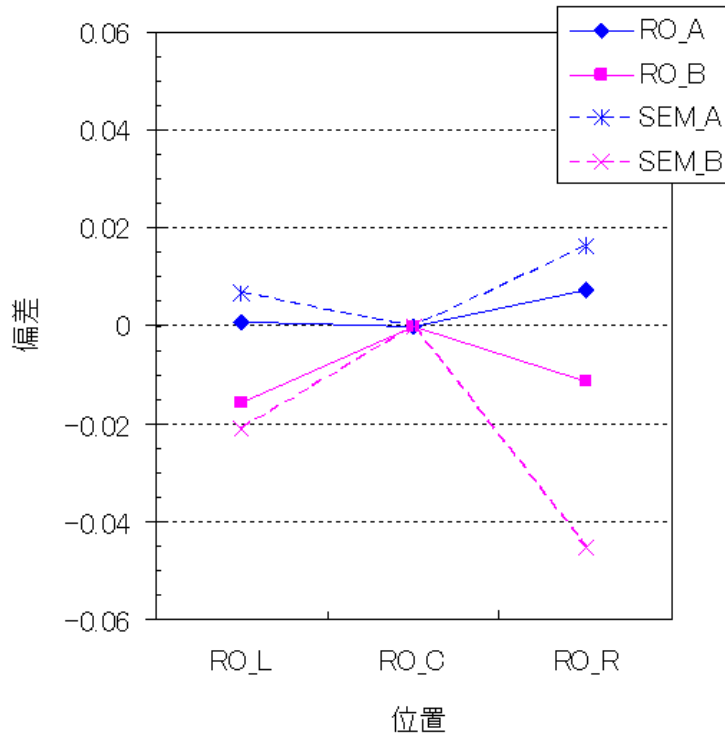


### 5-1. SEMIによる断面形状観察結果



## 5-2. 測定結果の比較

RO発振周波数  $f$  の偏差(実線)とSEM高さ寸法の偏差(破線)の比較



偏差の傾向は一致している。  
RO  $f$  の抵抗値に対する感度が約50%であることとも対応している。

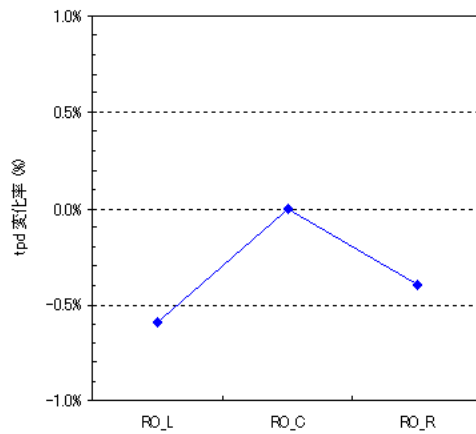
## 6-1. RO特性 (M2) - (1)

マスク: T3R

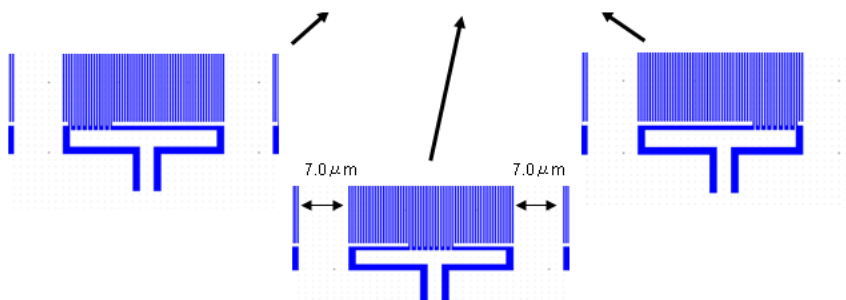
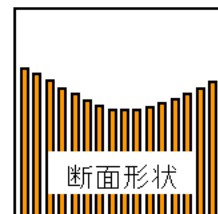
ロット: 111230  
W#1

M2つづら負荷  
11段RO

S16L/C/R

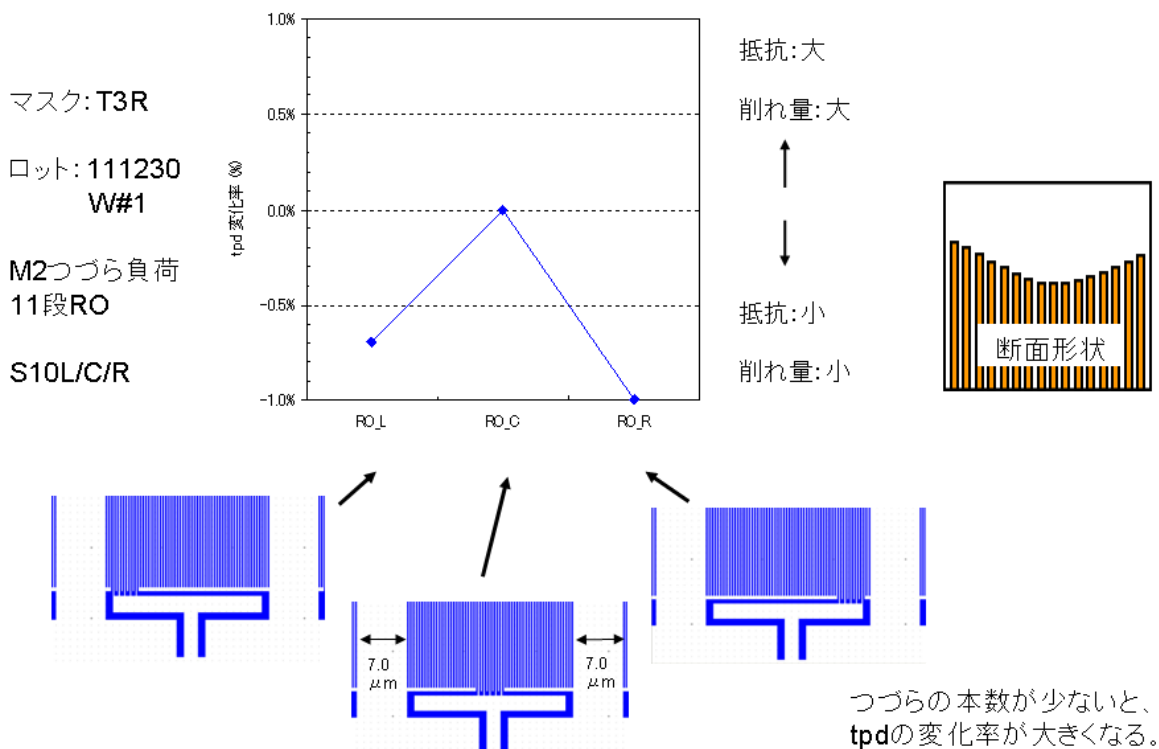


抵抗: 大  
削れ量: 大  
↑  
抵抗: 小  
削れ量: 小



つづらの両側に広いスペースがあると、Cuは凹型に削られる

## 6-2. RO特性 (M2) - (2)



## 7. RO-TEGの特徴

	RO-TEG	CASMAT配線TEG
1	高周波特性が評価可能 100MHz~500MHz	容量測定周波数で制限 100kHz~1MHz
2	測定精度が良い 小さなパターンで評価できる (高感度)	測定精度がコンタクト抵抗 で制限 大きなパターンが必要 (低感度)
3	FEOLの試作が必要	FEOLの試作が不要

## 8. 考察

### 考察

つづら配線抵抗負荷RO-TEGは、SEM等の形状観察手段では評価が難しいCMP後のCu表面の微小な削れ形状を精度良く評価できる。

本報告で用いたTEGは、櫛配線容量負荷RO-TEGのFEOL素子の上に配線マスクの修正で作成したため、幅25umの狭い領域の平坦性しか評価できないが、新たにFEOLマスクから設計する場合には、広い領域の平坦性の評価(ディッシング形状の評価)が可能である。

## 材料評価基準

### 1. 評価対象材料名

バッファークोट (BC) 材料、接合素子

### 2. 評価の目的

導電性のある金属によってSi基板の汚染が起こった場合、Siのバンドギャップに準位を作ったり、Siが金属元素近傍に凝集して欠陥を作ることなどから素子のジャンクションリークや絶縁酸化膜劣化を誘発することが考えられる。

しかし、WLPパッケージにおいてSiチップから金属強制汚染を行ったところ、熱拡散処理でインターポーザ、またはバンプ間で電流のリークが生じるため、素子への金属汚染の影響を評価することができなかった。このため、バンプ形成以前のチップやウェーハを用いて、素子の金属汚染の影響を評価することを目指した。

本評価では、ハーフカットDCを行ったウェーハにおいて、Siウェーハ側面から銅を熱拡散させることで検出される金属汚染の影響を報告する。

### 3. 評価項目

ハーフカットウェーハでのCu強制汚染評価法

### 4. 試料作製手順

#### 4.1 評価TEG

CAST-T2 (Al完)において、外注によりスクライブラインにハーフカットDCを行った。(図1)

FEOL-TEG : CAST-T2 (Al完), Low-k (E11105)2層配線

ハーフカットDC条件

ブレード幅:60um、切り込み量:10um

ハーフカットDCピッチ	縦 : 8.6mm/5.4mm/8.6mm/4.3mm
	横 : 8.6mm/4.3mm/8.6mm

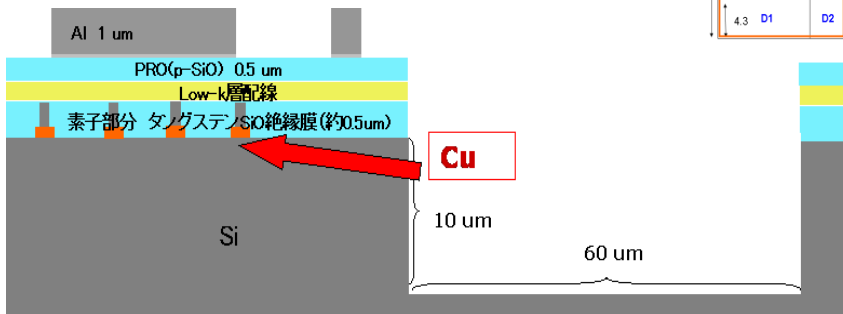
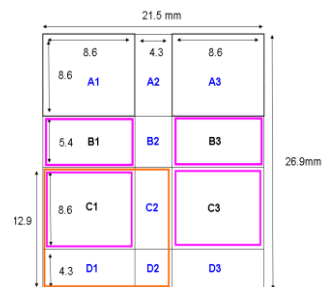


図1. ハーフカットDCウェーハモデル

#### 4.2 作製方法

プロセスフロー(別紙)にしたがってウェーハを作製した。(図2)

BC材料はD11011, Cu混入D11011(硝酸銅混入D11011)を用いた。

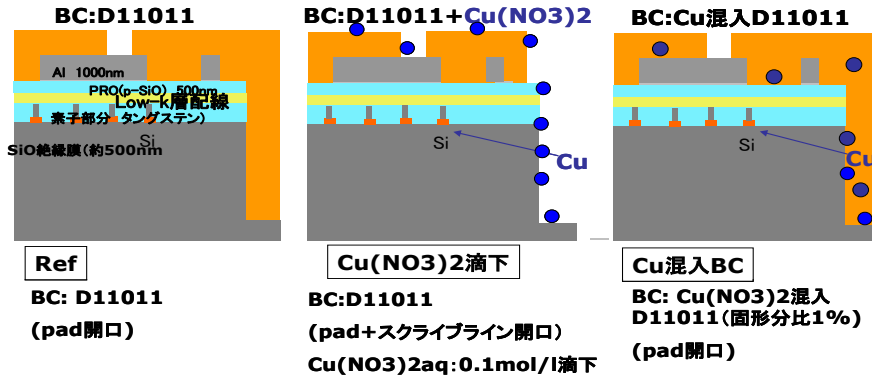


図2. 汚染処理後のウェーハモデル

#### 4.3 BC形成以降の使用装置

コーター	CLEAN TRACK ACT12PI (東京エレクトロン (株) 製)
デベロッパー	同上
i線ステッパ	PFA-5500iZ (キャノン販売(株))
ファーンレス	VF-1000B (光洋サーモシステム (株) 製)
測定エージング炉	SIV測定用クリーンオープン

### 5. 評価方法

#### 5.1 使用装置

電気特性評価	プローバC (常温測定用プローバUF3000)
測定レシピ:	ハーフカットDC評価mod (測定エリア:WLP-PKG) T2R_STD_M1M2kisei_03 (測定エリア:NMOS[寄生MOSのみ]) T2R_STD (測定エリア:PN接合, NMOS, くし型配線, Probe,ゲート容量)

#### 5.2 電気特性測定箇所

電気特性を測定したエリアについて図3に示す。

各測定箇所の詳細は、項目6に結果と共に記す。

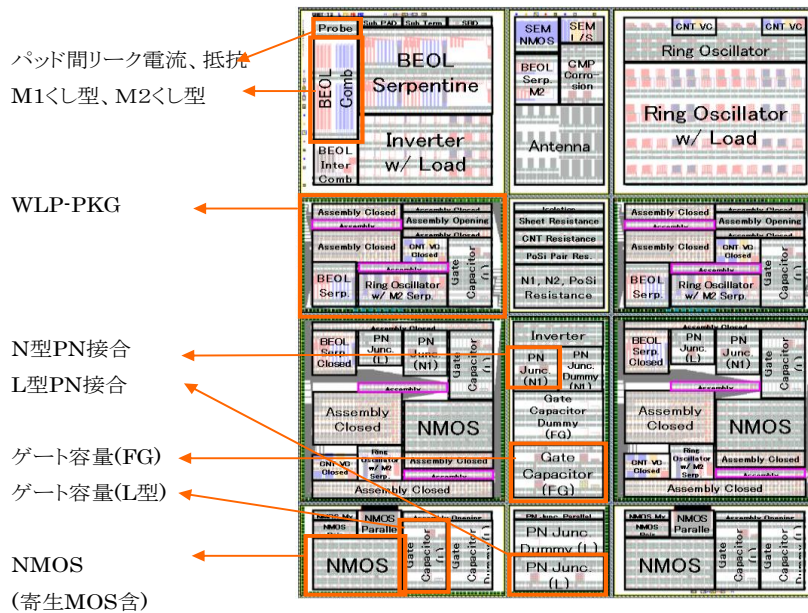


図3. 評価エリア

## 6. 評価結果

### 6.1 PN接合L型逆方向IV特性 (WLP-PKGエリア)

WLP-PKGエリアのL型PN接合 (図4)のIV特性について、面内、チップ内の変化を熱拡散前後で比較した。

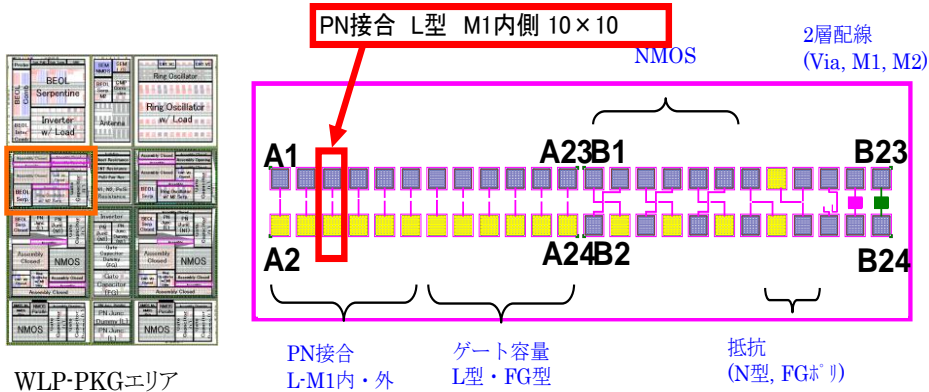
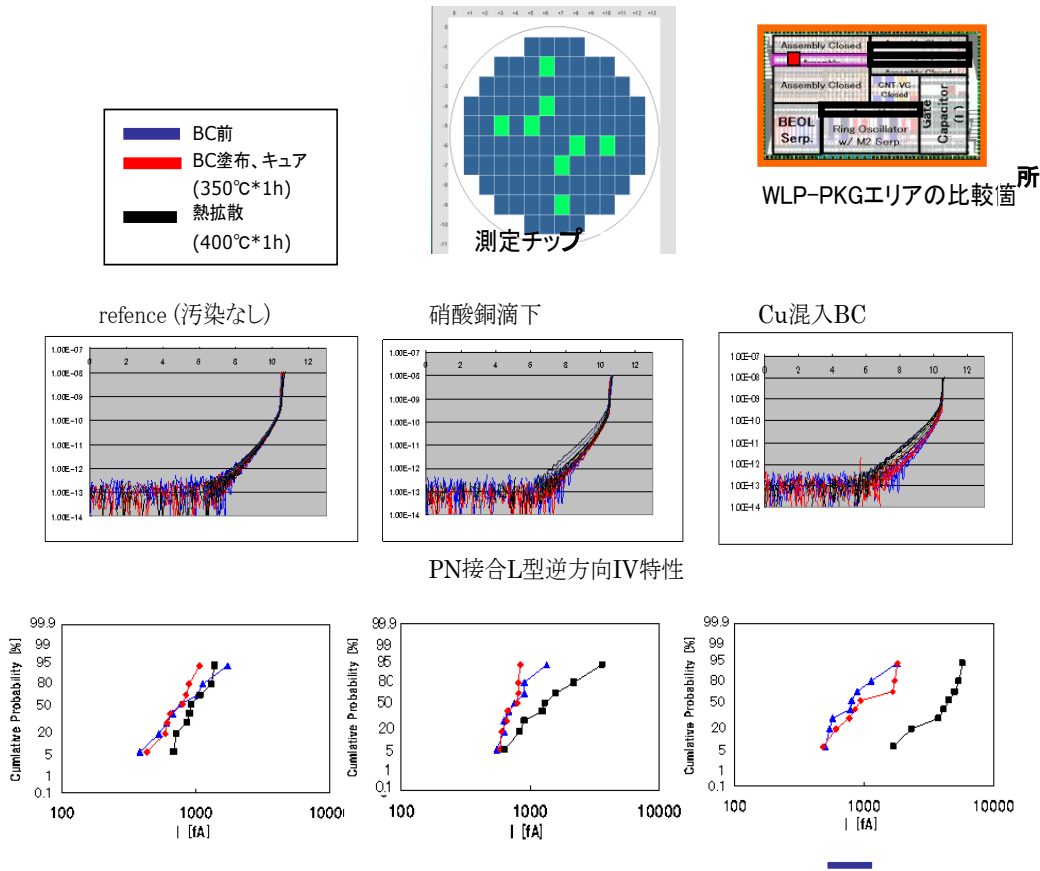


図4. WLP-PKGエリアの測定箇所

#### 6.1.1 面内汚染比較

銅汚染処理(硝酸銅滴下、銅混入BC使用)を行ったウェーハのみ、熱拡散により逆方向リーク電流が増加した (図5)。以下、面内全体においてリーク電流の増加が確認されたCu混入BCについて記載する。



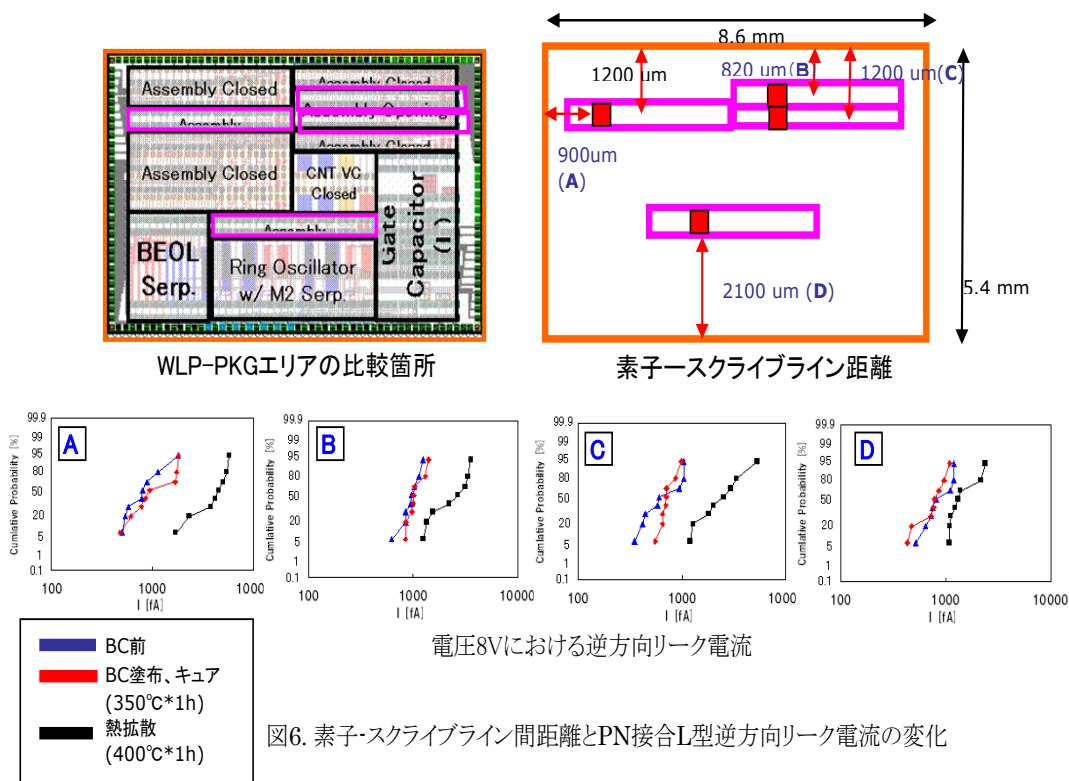
電圧8Vにおける逆方向リーク電流の変化

図5. 測定箇所とPN接合L型逆方向IV特性

### 6.1.2 チップ内汚染比較

熱拡散による逆方向リーク電流の増加が、スクライプラインからの銅拡散が原因であることを確認するため、スクライプライン-素子間の距離とIV特性の変化について比較した(図6)。

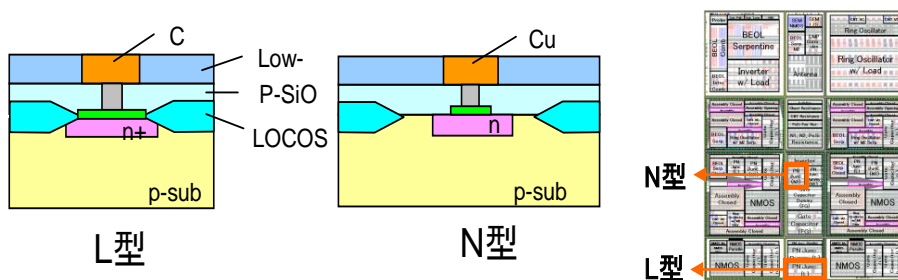
リーク電流の増加はスクライプラインからの距離が遠いほど小さい(図6 D)ことから、逆方向リーク電流の増加はSi側面からの銅の拡散度が原因であることがわかる。



### 6.2 PN接合逆方向IV特性 (PN接合エリア)

PN接合について、他のサイズのL型、N型の逆方向IV特性を測定した。(図7, 8, 9)

L型、N型ともに、素子のサイズが大きくなるほど、リーク電流は短時間で、大きく増加した。





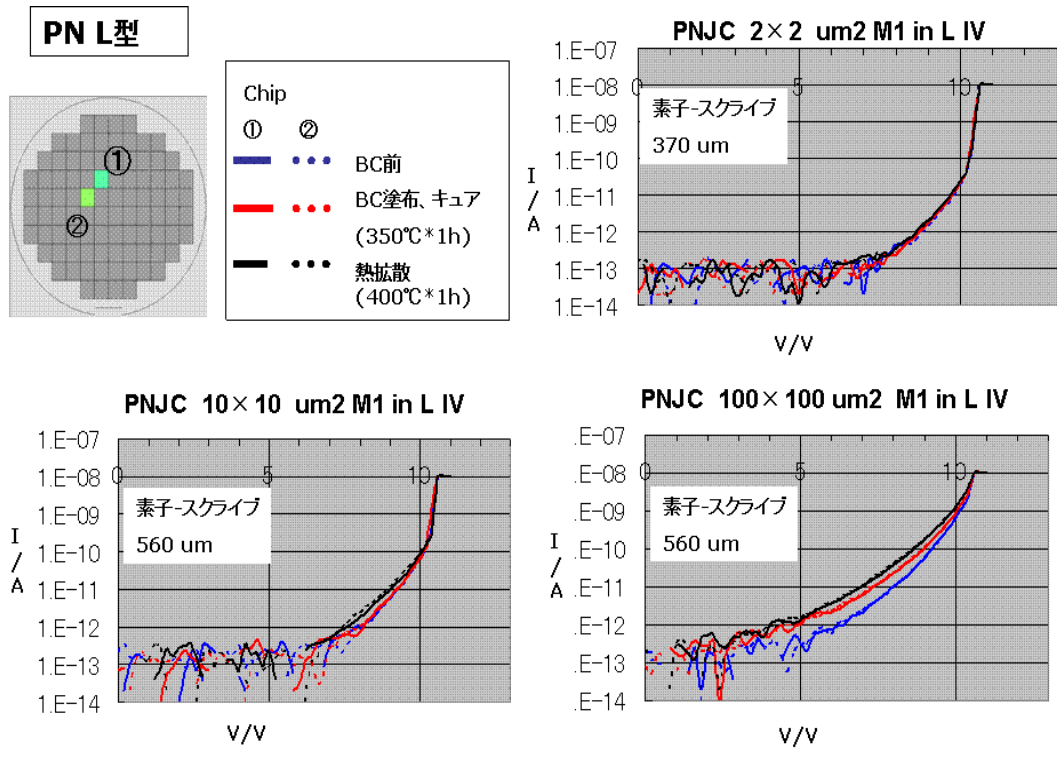


図8. L型PN接合逆方向IV特性 (2\*2um<sup>2</sup>, 10\*10um<sup>2</sup>, 100\*100um<sup>2</sup>)

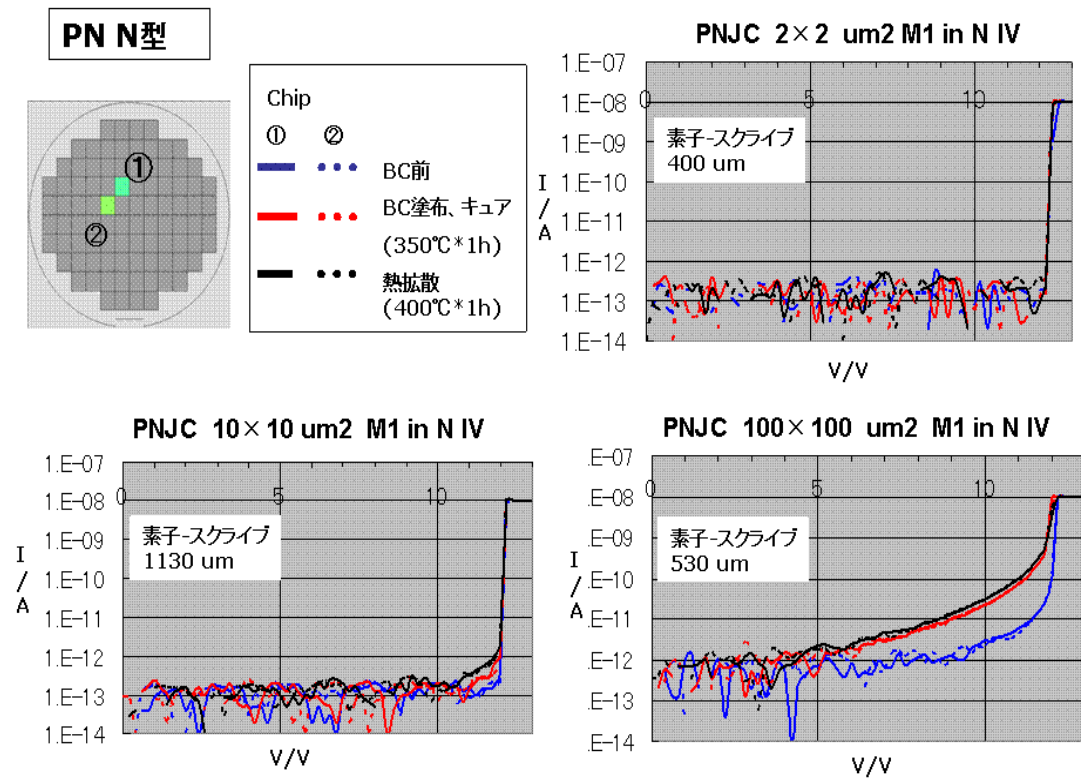


図9. N型PN接合逆方向IV特性 (サイズ2\*2um<sup>2</sup>, 10\*10um<sup>2</sup>, 100\*100um<sup>2</sup>)

### 6.3 NMOSTランジスタ (Vth)

NMOSTランジスタ (図10)について、熱拡散前後のしきい電圧Vth (ドレイン電圧3V,電流10nA)を評価した。熱処理により多少の値の変動は見られるが、汚染を行っていないウェーハでも同様に変化がみられることから、NMOSTランジスタにおいて、銅汚染の影響はみられないことがわかる。(図11)

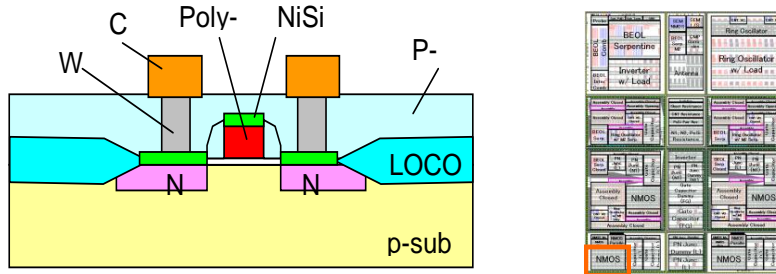


図10. NMOSTランジスタモデルと測定エリア

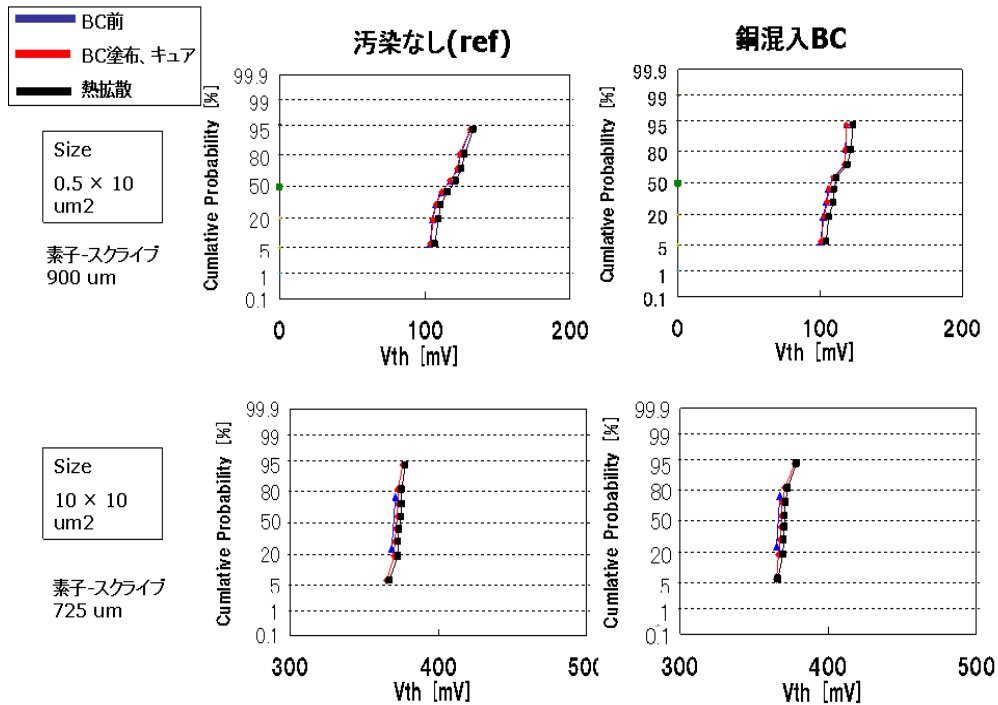


図11. NMOSTランジスタ(サイズ0.5\*10um, 10\*10um<sup>2</sup>)のVth変化

#### 6.4 銅汚染評価まとめ

他素子、配線の評価結果を表1に示す。

CAST-T2ウェーハにおいて側面からの熱拡散(350°C\*1h+400°C\*1h)によりCuの汚染影響がみられた素子はL型PN接合,N型PN接合であり、トランジスタ(NMOS,寄生MOS)やPoSi抵抗、配線には影響が見られない。

表1. 銅汚染評価素子まとめ

Floorplan	測定部	サイズ	スクライプからの最短距離	汚染影響
Assembly (WLP)	NMOS	0.5*10	820	なし
	PN(L型)	2*2	620	検出限界
		2*10	780	あり
		10*10	820, 900, 1200, 2100	あり
Po Si抵抗	10*1	820	なし	
PN接合 (L)	PN(L型)	2*2	370	検出限界
		10*10	560	あり
		100*100	560	あり
PN接合 (N)	PN (N型)	2*2	400	検出限界
		10*10	1130	あり
		100*100	520	あり
NMOS	NMOS	0.5*10	900	なし
		0.6*10	900	なし
		1*10	1400	なし
		10*10	725	なし
	寄生MOS (M1)	0.6*3	2150	なし
		1.6*10	2150	なし
寄生MOS (M2)	0.6*3	2150	なし	
	1.6*10	2150	なし	
ゲート容量 IV(~5V)	ゲート容量 (FG,L)	2*2	550	なし
		10*10	550	なし
		100*100	550	なし
Probe	Pad (抵抗、リーク)	-	640	なし
BEOL Comb	M1 くし型IV 100mm	L/S 0.2	650	なし
	M2 くし型IV 100mm	L/S 0.2	1600	なし
WLP	M1M2viachain 10000	0.25*0.25	820	なし

#### 7.残された課題

特になし。

#### 8. 関連報告

特になし。

#### 9. その他

特になし。

#### 10.データベース

特になし。

#### IV. 実用化・事業化の見通しについて

##### 1. CASMAT における実用化・事業化の見通し

###### 1. 1 成果の実用化可能性

本プロジェクトは主に、『部材分野の技術戦略マップを活用し、将来の部材の基盤技術の方向性を見定めるとともに、材料関係者だけでなく多様な連携（川上川下の垂直連携、材料創成と加工の水平連携等）による基盤技術開発を支援することで、部材分野の技術革新を促進すること』を目的とした「ナノテク・部材イノベーションプログラム」の中で独立行政法人新エネルギー・産業技術総合開発機構（NEDO）の助成事業として実施してきた。また、このプロジェクトに先行して次世代半導体材料技術研究組合（CASMAT）では、平成 15 年度～平成 17 年度まで『次世代半導体ナノ材料高度評価プロジェクト』、平成 18 年度～平成 20 年度まで『次世代高度部材開発評価基盤の開発』を NEDO 助成事業として実施した。

半導体材料評価基盤の構築の経緯と CASMAT および組合員企業の役割を参るストーリーとして図 1. 1 - 1 に示す。CASMAT 発足時から協調領域と競争領域を峻別して、研究開発を実施してきた。半導体プロセスをベースとする材料の評価・解析方法の開発については、協調領域として CASMAT が担当する。材料開発およびその製品の事業化については、競争領域となるので、組合員企業が担当することとしてきた。

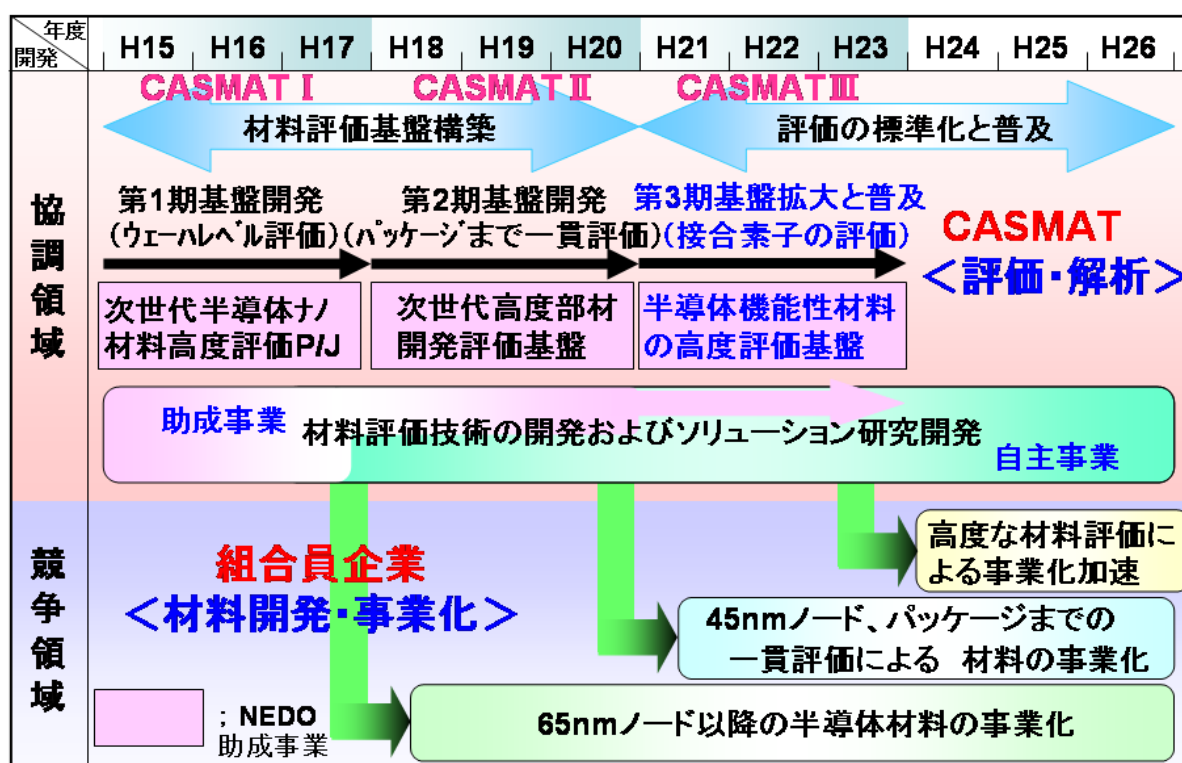


図 1. 1 - 1 半導体材料評価基盤の構築の経緯と CASMAT および組合員企業の役割

CASMAT I の『次世代半導体ナノ材料高度評価プロジェクト』では、これまで半導体デバイスにおけるバックエンドプロセスでの多層配線形成工程に用いられる材料とプロセス条件をセットにした部材（材料・プロセス）の統合的ソリューションを提案するため、その基盤となる要素技術として評価技術および開発支援ツール（TEG：Test Element Group）の開発を実施した。CASMAT I の運営スキームを図 1.1-2 に示す。CASMAT I では、ほとんどが共通領域としての提案材料評価プログラムであり、その成果を利用した一部分が個別領域としてのアフィリエーションプログラムであった。ここでは、それぞれのプログラムの実施に当たっての種々の取り決めを確立させた。すなわち、提案材料はコード化して提案した組合員以外には材料が特定できないこと、材料評価結果は、技術情報 B として全組合員に開示されること、特許に関しては組合員、CASMAT いずれかの単独出願を原則とすることなどである。CASMAT II の『次世代高度部材開発評価基盤の開発』では、半導体材料分野での各種新規材料・プロセスを最適統合させた部材の統合的ソリューションの提案につながる高度部材開発評価基盤の確立のため、配線工程からパッケージ工程までの一貫した材料評価方法を開発した。CASMAT II およびそれに続く CASMAT III の運営スキームを図 1.1-3 に示す。CASMAT II 以降は、共通領域の提案材料評価プログラムをベースにして、それまでに構築してきた材料評価基盤の活用を促進するため、施設を有効に活用するプログラム使用や TEG 利用プログラムなどの個別領域のプログラムを新たに加えて運営してきた。

さらに、新たな材料を短時間で半導体製造に実用化するためには、半導体製品の信頼性への影響が直接把握できる材料評価基盤が必要であることから、平成 21 年度から平成 23 年度までの CASMAT III では本プロジェクトの『半導体機能性材料の高度評価基盤開発』を実施した。半導体デバイス性能を支配する接合素子（p-n 接合、SiO<sub>2</sub>-Si 接合などを指す）の信頼性に対して、材料や製造工程の影響を的確に且つ迅速に把握できる高度材料評価基盤を確立し、半導体材料の問題点や課題を明確にすることで、材料開発をより一層高効率化することができる。さらに、製造工程全体を一貫して評価することにより、新機能性材料の高効率開発とともに材料の最適な統合ソリューションを提案することができ、半導体製造技術の開発効率をも向上させることが可能になる。

以上のように、CASMAT III での本プロジェクトは、3 年間の単独のものではなく、これまでの 6 年間の先行プロジェクトをベースにして実施してきたものである。

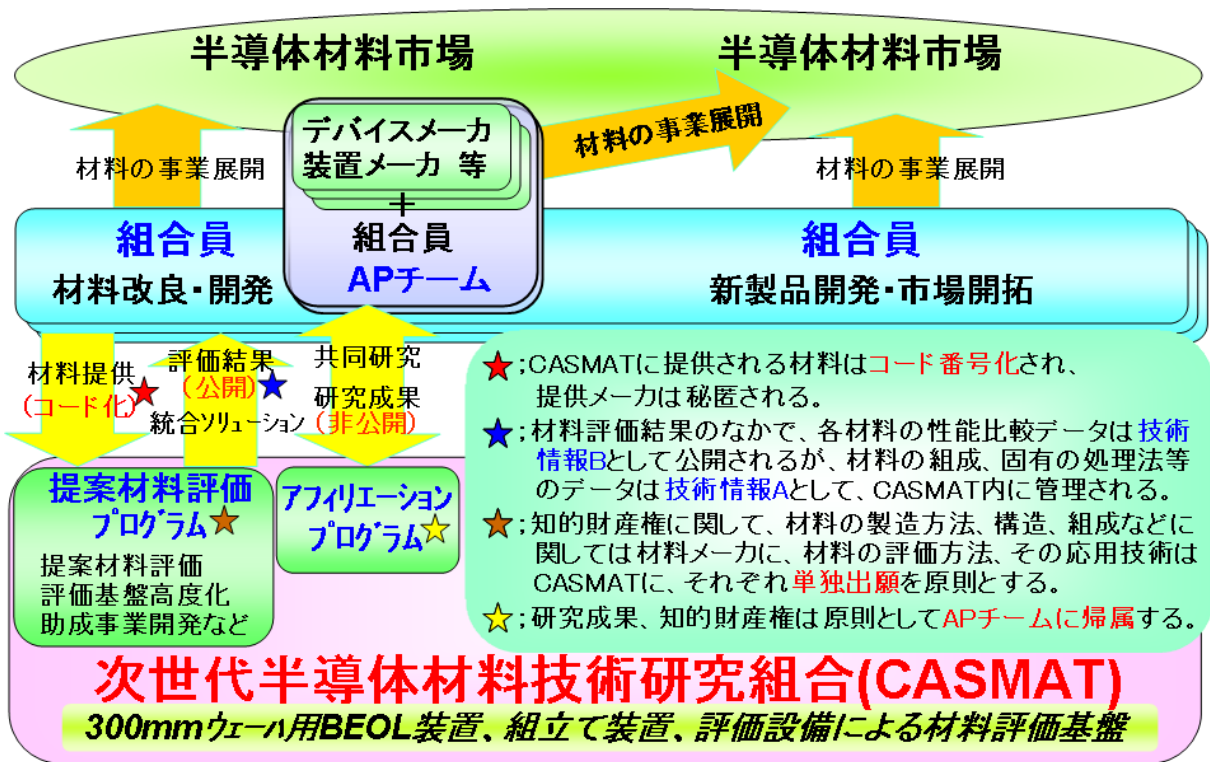


図 1. 1-2 CASMAT I の運営スキーム

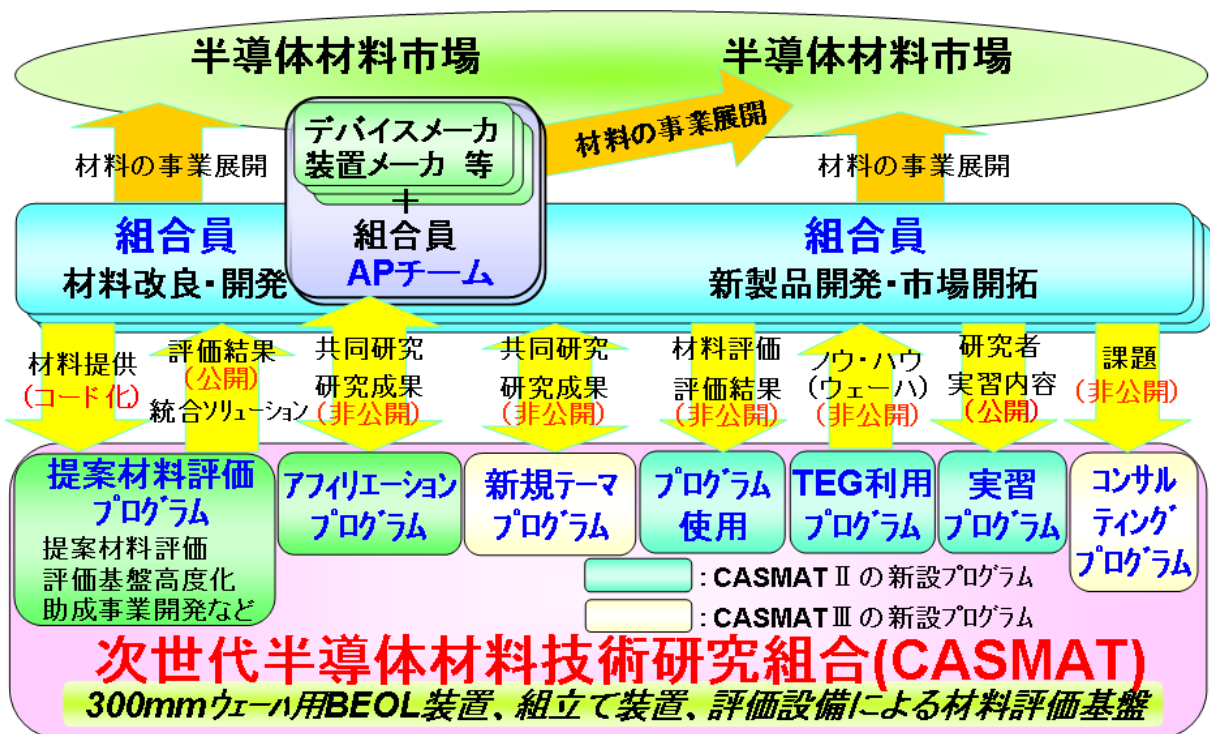


図 1. 1-3 CASMAT II、CASMAT III の運営スキーム



ここで、本事業の実用化・事業化については、**図 1. 1-4**のように定義する。すなわち、第 1 には、材料評価基盤の実用化であり、本事業の成果である材料評価基盤の有効活用とその継続を図ることである。具体的には、材料評価基準書が有効活用されること、TEG を材料メーカーが継続的に入手可能とすること、知的財産権（特許権など）が活用されることである。材料評価基準書については各組合員企業に配布済みであり、活用されている。第 2 には、組合員企業での事業化であり、材料評価基盤を活用した半導体材料の事業化が図られることである。具体的には、組合員企業の既存製品の競争力強化や市場シェアの向上すること、新規製品の開拓や新規市場への参入が達成されることなどが挙げられる。なお、組合員企業での事業化については、別途詳細な報告が組合員企業から行なわれる。

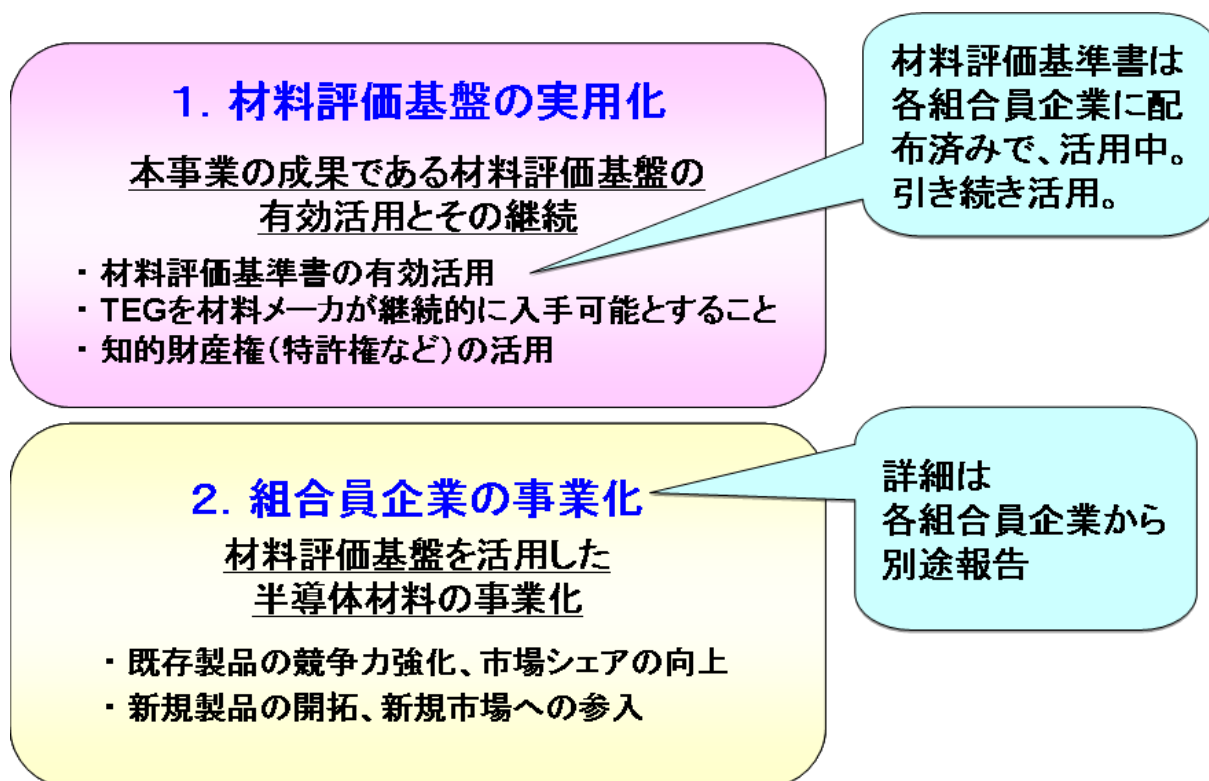


図 1. 1-4 本事業の実用化・事業化の定義

### 1. 1. 1 成果の有効性

成果の有効性については、まず提案材料評価プログラムとして、組合員が CASMAT の開発した材料評価基盤を共通に利用できることが挙げられる。すなわち、組合員は自社で開発した材料を CASMAT に持ち込み、評価基盤を利用して材料評価を行うことができる。平成 21 年度から平成 23 年度（CASMATⅢ）の 3 年間に CASMAT に持ち込

まれた材料の累計を図 1. 1. 1-1 に示す。ここで提案された材料には、自主事業として CASMAT I, II の成果を利用して評価する材料が含まれており、それが約 90% あり、助成事業に関連する材料は約 10% である。CASMAT の成果は、300 mm ウェーハを用いて半導体製造プロセスをベースにして BEOL 以降の半導体材料を評価できる材料評価基盤を構築したことである。平成 18 年度から平成 20 年度の CASMAT II の期間に対して CASMAT III の期間では、CMP スラリと Low-k は材料が絞り込まれてきたため減少しているものの、その他の材料は着実に増加している。すなわち材料評価基盤の活用により、着実に評価実績が積みあがっており、今後も成果の活用が充分見込める。

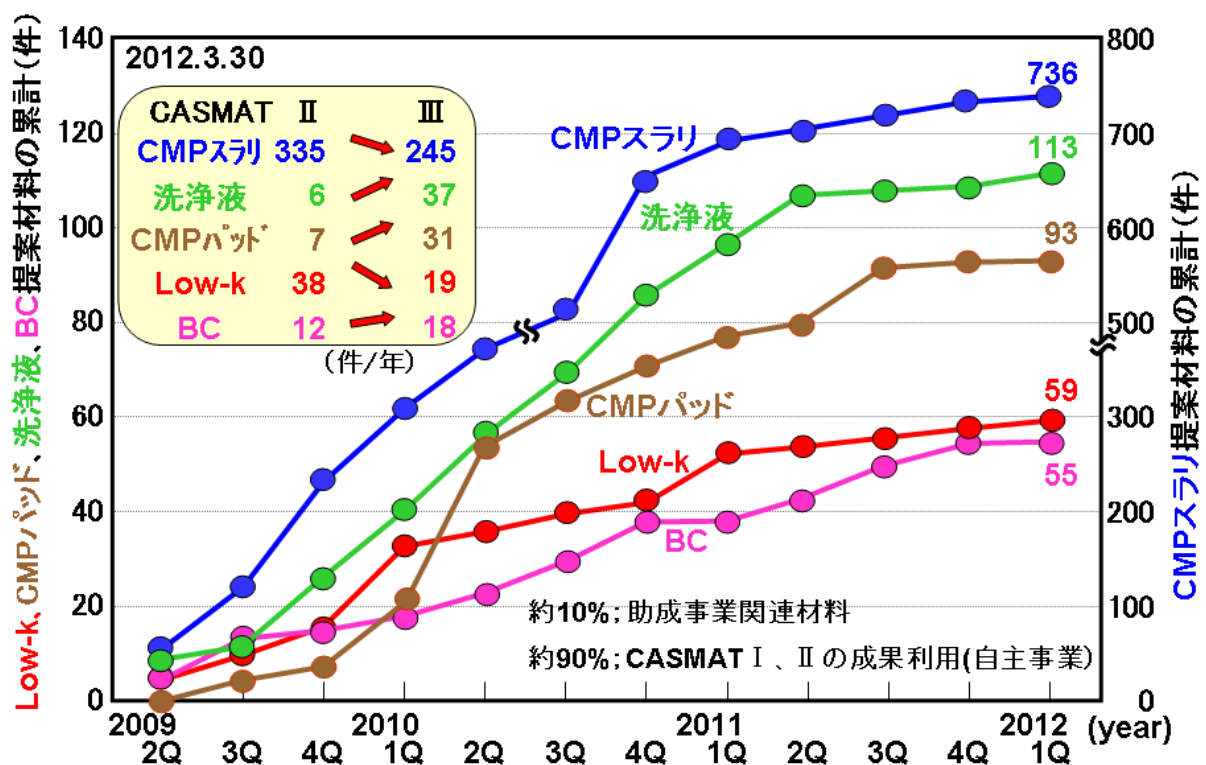


図 1. 1. 1-1 CASMAT に持ち込まれた材料の累計



次に、研究開発の過程で得られた知的財産権の1つであるノウハウの活用として、TEG 利用プログラムと装置を有効活用するプログラム使用がある。自主事業として CASMATⅢの期間における、これらの実施件数の累計を図 1. 1. 1-2 に示す。CASMATⅡの期間に比べ、TEG 利用プログラムは3倍以上、プログラム使用は2倍弱にそれぞれ大きな伸びを示している。特に TEG 利用プログラムについては、組合員以外の利用では 11 倍と極めて大きな伸びを示した。このように TEG の利用実績は着実に上がっており、成果の活用が今後も見込まれる。

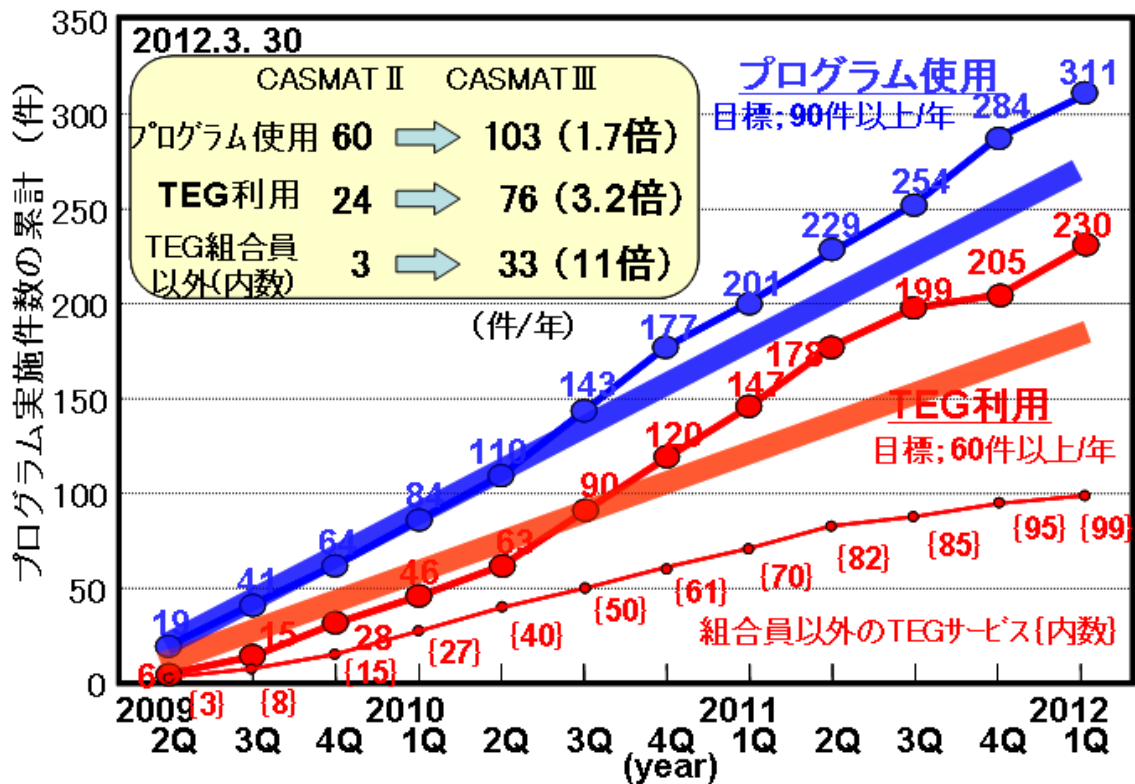


図 1. 1. 1-2 TEG 利用プログラムとプログラム使用の実施件数の累計

知的財産権の特許に関して、材料評価方法や半導体の製造方法などについて CASMATⅠの最初からこれまで 9 件の特許を取得してきた。本プロジェクトの期間では、まだ取得した特許はないが、13 件の特許を出願している。この 13 件の出願については毎年権利化の判定会議を行ない、審査請求の要否を決めていく。また今後、特許の成立している 9 件および公開された出願特許についてはホームページに公開していくことを計画しており、特許の実施許諾の拡大に繋げていく。

### 1. 1. 2 組合員企業での有効性

CASMATⅢに参画した組合員企業7社に対してのアンケート結果を図1.1.2-1に示す。CASMATの材料評価によるビジネス展開への効果としては、44の既存顧客への対応、また、51の新規顧客の開拓にそれぞれ貢献していることがわかった。これらの件数は、CASMATⅡまでの成果も利用したCASMATⅢの期間での実績である。今回の助成事業の効果としては、まだ極めて少数と思われるが、今後本事業の成果も利用される件数が伸びていくものと思われる。

#### 既存顧客への貢献



(数字:顧客数×材料種の総計)

#### 新規顧客の開拓



(数字:顧客数×材料種の総計)

A~G; JSR(株)、昭和電工(株)、住友ベークライト(株)、東レ(株)、日産化学工業(株)、日立化成工業(株)、三菱化学(株)

具体例 : ・ データ共有等の連携強化  
・ 問題の解決  
・ 新製品評価実施  
・ 新製品採用など

具体例 : ・ ソリューションの提供  
・ サンプル評価実施  
・ 新製品採用見通し  
・ 新製品採用など

図 1. 1. 2 - 1 ビジネス展開に対する CASMAT での材料評価の効果

### 1. 1. 3 市場、技術動向

世界の半導体市場は 2009 年にリーマンショックにより対前年比 9.0%減少したが、2010 年には回復して 26.5%増となり、その後は 2011 年に 9.0%増となっており、この後も 9%前後の増加が予想されている。半導体市場の動向に連動する形で半導体材料市場も推移することが予測され、2011 年に 7%増となっており、今後もほぼこのような割合での増加が見込まれている。

一方、半導体技術についてみれば、微細化だけでなく、3次元化やアナログ、高耐圧など多様な製造技術が用いられようとしている。それにともなって多様な材料とそれらの擦り合わせが重要な要素になると考えられる。すなわち、製造プロセスをベース

した材料評価の重要性がますます高まると考えられる。本プロジェクトで構築してきたような評価基盤を一貫して構築することはなかなか難しいかもしれないが、部分的にはあっても、各材料メーカーがデバイスメーカー或いは種々の研究機関と連携して継続できることが望まれる。

#### 1. 1. 4 課題と対応策

実用化・事業化において、CASMATとして大きな課題は、本事業で構築した材料評価基盤の有効活用とその継続である。現状の見込みでは、平成25年3月に組合を解散（予定）する。平成24年9月までは、これまで述べてきた実用化対象のプログラムをCASMATにて実行できる。それ以降は解散に向けての準備期間に入り、装置を稼働させることができなくなるため、CASMATでの実施はできなくなる。平成25年度以降は、事業承継会社に承継いただくことになる。

組合解散後は、共通領域という意味はなくなるので、その実用化対象である提案材料評価プログラムは廃止せざるをえない。しかし、CASMAT自体の事業化としてきた個別領域の実用化対象については、形は変わるものの、できるだけ継続できる対応策を検討してきた。その中で、まず重要に成るのがCASMAT事業を承継していただく事業承継会社を設定することである。すでに組合としての候補会社は決定済みである。

プログラム使用については、組合員各社で個別に実施できるものは実施していただくように、組合員に優先して装置を引き取っていただくこととした。平成24年度内には装置の移設を完了いただく予定である。

TEG利用プログラムについては、平成24年度内にTEGを製造委託できるライセンス先を選定し、契約を完了させる。すでにライセンス先3社を選定し、契約交渉段階にある。平成24年10月以降は、CASMATでの作成は不可能になるので、ライセンス先でのTEG作成が可能になるようにする。平成25年度以降は、ライセンス許諾に関する契約などを事業承継会社に引き継いでいただく予定である。

特許の実施許諾にあたっては、平成24年度内に特許を事業承継会社に移管する。平成25年度以降は、権利化判定、ホームページでの開示、実施許諾を事業承継会社で行なっていただく予定である。

以上、平成25年3月にCASMATの解散（予定）により、CASMATでの実用化・事業化の継続ができなくなるが、解散までに事業承継会社と連携を取り、可能な限り材料評価基盤の活用と継続を図っていく。

## 1. 2 事業化までのシナリオ

### 1. 2. 1 実用化・事業化計画

実用化・事業化計画について、**図 1. 2. 1 - 1**に示す。平成 24 年 9 月までは、CASMAT で実用化してきたプログラムを事業として実施する。しかし、平成 25 年 3 月に組合を解散するので、4 月以降は事業承継会社が主体的に事業を継承することとなる。事業内容としては、知的財産権の活用として TEG ライセンスの許諾と特許の実施許諾になる。これらをスムーズに実行するため、平成 24 年度内に TEG ライセンス先の選定と契約を行ない、また、事業承継会社への特許の移管、特許のホームページでの開示を行なう。

項目 \ 年度	平成24年度	平成25年度	平成26年度	平成27年度	平成28年度
事業の主体	← CASMAT →	← 事業承継会社 →	← 事業承継会社 →	← 事業承継会社 →	← 事業承継会社 →
材料評価基準書の活用	CASMAT での活用 装置搬出	(CASMAT解散)	組合員企業個別に活用	組合員企業個別に活用	組合員企業個別に活用
TEG活用	← ライセンス先選定 契約 →	← TEGライセンス許諾 →	← TEGライセンス許諾 →	← TEGライセンス許諾 →	← TEGライセンス許諾 →
	CASMAT 提供 30枚/月	← ライセンス先から TEG提供 →	← ライセンス先から TEG提供 →	← ライセンス先から TEG提供 →	← ライセンス先から TEG提供 →
		40枚/月	50枚/月	60枚/月	60枚/月
特許権利化・広報	◇ 権利化判定	◇ 権利化判定	◇ 権利化判定	◇ 権利化判定	◇ 権利化判定
	← ホームページ公開 →	← ホームページ公開 →	← ホームページ公開 →	← ホームページ公開 →	← ホームページ公開 →
	◇ 移管				

図 1. 2. 1 - 1 実用化・事業化計画

### 1. 2. 2 売上・損益の見通し

実用化・事業化計画に基づいて、TEG 利用プログラムについて以下の想定をして売上を予測した結果を図 1. 2. 2-1 に示す。TEG 利用プログラムの平成 24 年度は CASMAT が提供し、平均単価を 10 万円とした。平成 25 年度以降は、ライセンス許諾になり、TEG の平均単価を 20 万円、ライセンス料をその 5% とした。

(単位:k¥)

項目		年度	平成24年度	平成25年度	平成26年度	平成27年度	平成28年度
事業の主体			←CASMAT→	←	→事業承継会社→	→	
TEG利用 プログラム	枚数(枚)		180	480	600	720	720
	単価		100	200×0.05	200×0.05	200×0.05	200×0.05
	売上		18,000	4,800	6,000	7,200	7,200

・平成25年度以降;TEGの平均単価200k¥、ライセンス料5%とする

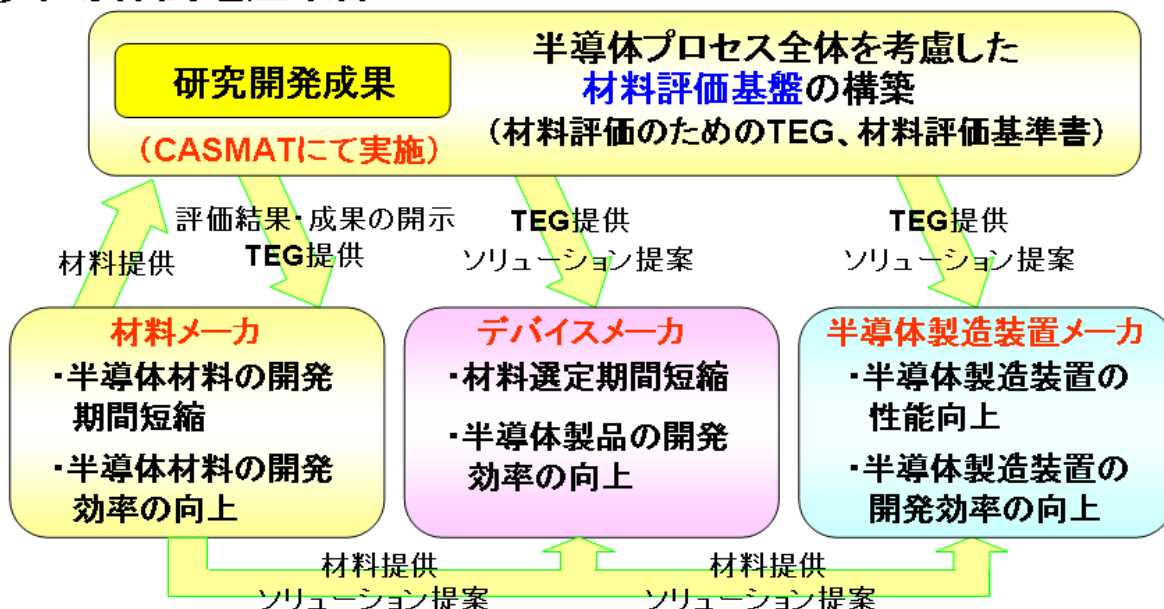
図 1. 2. 2-1 売上の試算結果

### 1. 3 波及効果

波及効果として、技術面での効果をまとめて図1. 3-1に示す。まず半導体関連産業界として材料メーカ、デバイスメーカ、半導体製造装置メーカへの波及効果が考えられる。半導体材料メーカでは、CASMATが開発した評価基盤やTEGサービスを利用することにより、製品の開発期間短縮、開発効率の向上を図ることができる。また、材料メーカ自身が半導体プロセスをベースとする評価データを取得することができるので、技術のすり合わせが頻繁に行われる国内半導体デバイスメーカ、半導体製造装置メーカ等に対して、その評価データや評価に基づくソリューションと同時に材料を提供することが可能になる。結果としてデバイスや半導体製造装置の製品の開発効率や性能が向上し、ひいてはわが国半導体関連産業全体の市場競争力をより一層強化することができる。

さらに関連するエレクトロニクス業界においては、開発された半導体材料の評価技術が、半導体と関連するLCD、ELなどのディスプレイ技術、LED、ELなどの照明技術さらにはMEMS技術などにおいても材料評価技術として応用することが可能であり、それらの製品の開発効率の向上、開発期間の短縮などという波及効果が期待される。加えて川下に当たる家電、通信、自動車などの業界での技術開発の更なる活性化と、それによる市場拡大、雇用促進にも寄与することが期待できる。

#### ①半導体関連産業界



#### ②その他の関連産業界

- ・材料評価技術の応用 → ディスプレイ(LCD、EL)、MEMS等の業界
- ・製品性能向上、市場拡大、雇用促進 → 家電、通信、自動車等の業界

図 1. 3-1 技術面での波及効果

経済面では、次のようなことが考えられる。本プロジェクトでは、研究成果を参加組合員企業全体で共有し、また共通プログラムでの材料評価結果は原則として全組合員に開示される。その結果、組合員は自社の技術開発レベル（位置づけ）がわかり、今後の研究開発の方向を明確に判断することができ、各組合員企業での事業の選択と集中に繋げることができる。このことは、研究開発投資の再配分等といった側面でも、組合員企業各社における研究開発投資効率の向上が期待できる。例としては、材料メーカー間で同じような研究開発に無益な投資をすることを防ぐことも可能になる。

また、材料を評価することは、材料メーカーにとってはどちらかと言えば競争と言うよりも協調できる領域である。材料評価の基盤を共同で立ち上げることにより、個々の材料メーカーでの高額な設備投資を抑制することができる。また、サンプル作成やその材料費などの研究開発経費についても抑制する効果があると考えられる。

研究開発面では、協調領域と競争領域を峻別して運営する CASMAT のような事業化スキームが、特に材料メーカーに受け入れられてきたことである。新製品や新技術を創出すると言うよりも、むしろ研究開発においてはインフラ的な材料評価のような協調領域での研究開発をコンソーシアムが担当し、新製品開発のような競争領域はコンソーシアムメンバ各社が担当するという運営のスキームである。このようなスキームで実施されるコンソーシアムとして、平成 22 年 4 月にリチウム電池の材料評価のため、おもに電池材料メーカーをメンバとする「技術研究組合リチウムイオン電池材料評価研究センター」(LIBTEC) が発足し、また、平成 23 年 3 月には有機 EL をはじめとする化学材料を評価するため、おもに化学材料メーカーをメンバとして「次世代化学材料評価技術研究組合」(CEREBA) が発足した。それぞれの技術研究組合の今後の活躍が期待される。

人材育成面では、CASMAT 発足以来、各材料メーカー 12 社から約 50 名に上る材料開発の研究者が CASMAT に出向し、研究員として 2~3 年間従事してきたことで、これまでは全く話をする機会もなかった同業他社の研究者との人脈ができたことが挙げられる。このことは、研究者が自社に戻ってからも、様々な場面で有効な情報交換を可能にするものと期待できる。また、本プロジェクトでは、FEOL 素子を搭載したウェーハを用いて評価することにより、デバイスに関しての構造の観察や電気特性の測定を実際に行い、まだ入り口に過ぎないが、デバイスについての知識を高めることができたと思う。このようなことは、材料メーカーではほとんど経験できないことであり、今後、顧客であるデバイスメーカーの技術者との議論の中で情報交換の理解に大いに役立つものと期待される。

#### 1. 4 まとめ

本事業期間内の評価材料数、プログラム使用および TEG 利用件数の実績、さらには組合員アンケートによるビジネス展開の実績から、成果である材料評価基盤は材料メーカーの事業化推進に貢献できる見通しである。本事業の成果である材料評価基盤を成す評価基準書は、組合員企業に配布済みである。現在も活用されており、今後も引き続き活用される見通しである。また、もう 1 つの要素である TEG は、ライセンス許諾により継続的に入手可能となる。

平成 25 年 3 月の CASMAT の解散に対しては、TEG ライセンス事業と特許の実施許諾事業を、事業承継会社に引き継ぐことで、材料評価基盤が継続して活用できる仕組みを構築した。これにより、組合解散後も、成果である材料評価基盤が有効に活用され、材料メーカーの競争力維持・強化が継続して可能となる。



## V. 成果資料

### V. 1 外部発表リスト

No.	発表者	所属	タイトル	発表誌名	査読	発表日	研究課題
1	滝本 嘉夫 前田 展秀	CASMAT	Novel Dielectric-Constant Evaluation Method for Low-k Multi-level Metallization Structures in ULSI	IEEE Transactions on Semiconductor Manufacturing, 2009, Vol.22, No 2.	有	2009年6月	研究開発項目③
2	奥谷 謙 大槻 裕人 田中 孝明 川本 佳史	CASMAT	Evaluation of Cu-CMP slurry performance using CMP-TEG wafer	ADMETA2009	有	2009/10/20	研究開発項目②
3	奥谷 謙 安西 創 松本 貴志 川本 佳史	CASMAT	Evaluation of CMP Materials Using CASMAT CMP-TEG wafer	ICPT2009	有	2009/11/21	研究開発項目②
4	川本 佳史	CASMAT	半導体用材料評価基盤の研究開発状況	超LSI製造・試験装置ガイドブック2010年度版(「電子材料」12月号別冊)	無	2009年12月	研究開発項目③
5	山本 景壽	CASMAT	CASMATで実施している研究(材料評価)事例の紹介	平成21年度第4回電子SI連絡協議会/企画委員会	無	2010/1/26	研究開発項目③
6	奥谷 謙	CASMAT	Evaluation of Cu-CMP corrosion caused by different density pattern connection	ADMETA2010	有	2010/10/21	研究開発項目②
7	奥谷 謙	CASMAT	Cu line corrosion caused by electro potential difference due to different density pattern connection	ICPT2010	有	2010/11/15	研究開発項目②
8	飯森 弘和 船津 圭亮 川本 佳史	CASMAT	シエアテスターによる絶縁樹脂材料の密着力評価	第25回エレクトロニクス実装学会講演大会	無	2011/3/8	研究開発項目③
	宮崎 大地 南橋 克哉 富川 真佐夫	東レ(株)					
9	奥谷 謙	CASMAT	Cu-CMPプロセスにおける濃淡電池効果によるCu配線の腐食	精密工学会 2011年度 春季大会	無	2011/3/14	研究開発項目②

No.	発表者	所属	タイトル	発表誌名	査読	発表日	研究課題
10	平井 美帆子	CASMAT	Plasma Damage Recovery of Organic Low-k material	Journal of Photopolymer Science and Technology.	無	2011年4月	研究開発項目③
	多田 昌弘	住友ベークライト(株)					
	古賀 和博 秋山 仁人	CASMAT					
11	玉置洋一	CASMAT	New test structure for evaluating low-k dielectric interconnect layers by using ring-oscillators and metal comb/serpentine patterns.	IEEE ICMTS2011	有	2011/4/6	研究開発項目①
12	奥谷謙	CASMAT	Cu-CMPプロセスにおける濃淡電池効果によるCu配線の腐食	第109回 精密工学会「プラナリゼーションCMPとその応用技術専門委員会」	無	2011/4/22	研究開発項目②
13	平井美帆子	CASMAT	Integration of an organic ultra low-k material (k=2.2) and applying a plasma damage recovery process	ADMETA2011	有	2011/9/14	研究開発項目③
14	秋山仁人	CASMAT	Evaluation of SOD materials for narrow pitch process of 60nm 1/2 pitch.	ADMETA2011	有	2011/9/14	研究開発項目③
15	奥谷謙	CASMAT	Cu corrosion caused by concentration cell effect in Cu-CMP process	ADMETA2011	有	2011/9/14	研究開発項目②
16	伊藤篤史	CASMAT	先端洗浄技術における汚染除去のメカニズム ～CMP後洗浄技術を中心に～	日本学術振興会「結晶加工と評価技術」第145委員会第127回研究会	無	2011/8/19	研究開発項目②
17	平井美帆子	CASMAT	Integration of an organic ultra low-k material (k=2.2). and applying a plasma damage recovery process	AMC2011	有	2011/10/4	研究開発項目③
18	奥谷謙	CASMAT	Evaluation of yield impact depending on under layer un-planarity of Cu-CMP	ICPT2011	有	2011/11/9	研究開発項目③
19	玉置洋一	CASMAT	New Evaluation Method of Low-k Dielectric Films by using a Gated PN-junction Diode and a Field MOS Transistor.	IEEE ICMTS2012	有	2012/3/21	研究開発項目①

## V. 2 特許リスト

出願番号	出願名称	出願日	研究課題
特願2010-026716	半導体装置、及びその製造方法	10.02.09	研究開発項目③
特願2010-066449	デバイス、及びデバイスの層間剥離判定方法	10.03.23	研究開発項目③
特願2010-080768	半導体集積回路用テスト回路	10.03.31	研究開発項目①
特願2011-039875	表面特性観察方法、表面特性観察方法に供される試料の製造方法、及び表面特性観察方法に供される試料	11.02.25	研究開発項目②
特願2011-129834	TEG構造、及び層間剥離箇所探索方法	11.06.10	研究開発項目③
特願2011-166383	半導体装置、及びその製造方法	11.07.29	研究開発項目②
特願2011-264241	絶縁膜評価方法およびテスト素子	11.12.02	研究開発項目①
特願2011-273969	絶縁膜評価方法およびテスト素子	11.12.15	研究開発項目①
特願2011-277097	絶縁膜評価方法およびテスト素子	11.12.19	研究開発項目①
特願2012-073883	半導体装置、及びその製造方法	12.3.28	研究開発項目③
特願2012-073884	半導体素子の製造方法	12.3.28	研究開発項目③
特願2012-080920	テスト素子、絶縁膜評価方法および半導体素子検査方法	12.3.30	研究開発項目②
特願2012-091306	半導体装置の配線形成方法	12.4.12	研究開発項目③

## VI. 参考文献

### III. 2. 1

- 1) R. S. Muller, and T. I. Kamins, Device Electronics for Integrated Circuits, 3rd Edition, John Wiley & Sons, 2003.
- 2) Y. Takimoto, and N. Maeda, 'Novel Dielectric- Constant Evaluation Method for Low-k Multilevel Metallization Structures in ULSI.' IEEE Trans. on Semiconductor Manufacturing, Vol.22, No.2, pp.317-320, 2009.
- 3) T. Matsuda, H. Iwata, T. Ohzone, K. Yamashita, N. Koike, and K. Tatsuuma, 'A Combined Test Structure with Ring Oscillator and Inverter Chain for Evaluating Optimum High-Speed / Low-Power Operation.' Proceedings of ICMTS, pp.79-84, 2003.
- 4) 菅野卓雄監修、飯塚哲哉編、「CMOS 超 LSI の設計」、培風館、1989.

### III. 2. 2

- 1) S. M. Sze, Semiconductor Devices, Physics and Technology, 2nd Edition, John Wiley & Sons,, 2002.
- 2) S. T. Kong, P. S. Ronald and C. Lee, 'Investigation on the Field Leakage Current in 0.35um CMOS Technology at High Temperature,' Proc. ICMTS, pp.102-106, 2010.
- 3) 中前正彦、王冬、浅野種正、宮尾正信、「高速 LSI 用ひずみ Si ウェハー技術」、応用物理、74 巻、9 号、pp.1217-1223, 2005.

### III. 2. 3

- 1) P. R. Gray, P. J. Hurst, S. H. Lewis, R. G. Mayer, "Analysis and Design of Analog Integrated Circuits." 4th Edition, John Wiley & Sons., 2001.
- 2) 林喜宏、「低誘電率絶縁膜材料の進化と最先端 ULSI 多層配線技術」、応用物理、74 巻、9 号、pp.1178-1184, 2005.
- 3) M. Bhushan, M. B. Ketchen, S. Polonsky, and A. Gattiker, 'Ring Oscillator Based Technique for Measuring Variability Statistics.' Proceedings of ICMTS, pp.87-92, 2006

### IV. 1

- 1) 木浦成俊、「2010 半導体データブック」(株) 電子ジャーナル、2010.4.26 発行
- 2) プレスリリース、「2011 年世界半導体材料出荷額は 478 億 6 千万ドル」SEMI Japan、2012.4.6

## ナノテク・部材イノベーションプログラム基本計画

### 1. 目的

このプログラムは、情報通信、ライフサイエンス、環境、エネルギーなど、あらゆる分野に対して高度化あるいは不連続な革新（ジャンプアップ）をもたらすナノテクノロジー及び革新的部材技術を確立するとともに、その実用化や市場化を促進することで、我が国産業の国際競争力の維持・強化や解決困難な社会的課題の克服等を可能とすることを目的とする。

### 2. 政策的位置付け

第3期科学技術基本計画（2006年3月閣議決定）

- ・「ナノテクノロジー・材料分野」は、特に重点的に研究開発を推進すべき分野（重点推進4分野）の一つに指定、優先的に資源配分することとされている。
- ・我が国の材料技術は、基礎研究から応用研究、素材、部材の実用化に至るまでの全ての段階において世界のトップレベルを堅持しており、我が国製造業の国際競争力の源泉となっている。

「イノベーション25」（2007年6月閣議決定）

- ・「ナノテクノロジー・材料分野」は、中長期的に取り組むべき課題として、「1.生涯健康な社会形成」、「2.安全・安心な社会形成」、「4.世界的課題解決に貢献する社会形成」、及び「5.世界に開かれた社会形成」の分野に位置付けられている。
- ・所要の措置を講じていくことが必要である事項として以下の点が指摘されている。
  - ・学際領域・融合領域における教育等人材育成、拠点形成
  - ・社会受容を促すための積極的な取り組み
  - ・知的財産確保のための戦略的な取り組み

「経済成長戦略大綱」（2006年7月財政・経済一体改革会議）

- ・「我が国の国際競争力の強化」の取り組みとして、高度な部品・材料産業やモノ作り中小企業の強化が掲げられている。
- ・「技術戦略マップ」の活用等により、ユーザー企業との垂直連携による研究開発を推進することを通して、我が国経済発展の基盤である高品質、高性能な部品・材料産業の強化を図ることが今後の取組として記載されている。

「新産業創造戦略2005」（2005年6月経済産業省）

- ・部材分野は、新産業群の創出を支える共通基盤技術として位置づけられている。
- ・「高度部材・基盤産業」の集積を形成していることが、「ものづくり」に不可欠な基盤技術のネットワーク化を通じた現場レベルでの迅速かつ高度な摺り合わせを可能としており、我が国「ものづくり」の強みの源泉となっていると記載されている。

### 3. 達成目標

- ・世界に先駆けて、ナノテクノロジーを活用した不連続な技術革新を実現する。

- ・我が国部材産業の強みを更に強化することで、他国の追随を許さない競争優位を確保するとともに部材産業の付加価値の増大を図る。
- ・ナノテクノロジーや高機能部材の革新を先導することで、これら部材を活用した情報通信、ライフサイエンス、環境、エネルギーなどの幅広い産業の付加価値の増大を図る。
- ・希少金属などの資源制約の打破、圧倒的な省エネルギー社会の実現など、解決困難な社会的課題の克服を目指す。

#### 4．研究開発内容

##### [プロジェクト]

##### ．ナノテクノロジーの加速化領域

ナノテクノロジーを活用した不連続な技術革新を加速・促進する。

##### (1) 異分野異業種融合ナノテクチャレンジ(運営費交付金)

###### 概要

革新的なナノテクノロジーの研究開発を促進し、キーデバイスの早期実現を目指すため、大学や研究機関などの川上と企業などの川下の連携、異業種異分野の連携による提案公募によって、ナノテク実用化に向けたチャレンジを支援する。

###### 技術目標及び達成時期

マテリアル・プロセス研究、加工・計測技術研究、昨今の環境意識向上に対応した研究、社会課題を解決するための基盤技術研究に加え、異分野等の融合研究を推進することにより、2011年度までにナノテクノロジーの産業化のための基盤的技術を確立し、実用化を図る。

###### 研究開発期間

2005年度～2011年度

##### ．情報通信領域

ナノテクノロジーや革新的部材開発技術を駆使して既存技術の微細化の壁を突破し、電子デバイス・光デバイスで世界をリードするとともに、高度化された製造技術の開発を行う。

##### (1) ナノエレクトロニクス半導体新材料・新構造技術開発 - うち新材料・新構造ナノ電子デバイス(運営費交付金)

###### 概要

従来の半導体は、性能の向上(高速化、低消費電力化、高集積化)を確保するために微細化が進められてきたが、絶縁性、誘電率等の物理的限界、微細化に伴う製造コストの増大など、集積度向上によるメリットが十分達成されなくなっている。

本研究開発では、シリコンで培った微細化技術やデバイス原理を活用しながら、シリコン材料の物理的限界を突破するための“新材料”および“新(デバイス)構造”の開発を行い、次世代の電子デバイス技術を確立する。

###### 技術目標及び達成時期

2011年度までに、産業界が10年後を見据えた将来の電子デバイスを開発する際に、産業技術として活用できるかどうかの実現可能性を見極め、また技術シーズを確立する。

研究開発期間

2007年度～2011年度

(2) スピントロニクス不揮発性機能技術プロジェクト(運営費交付金)

概要

将来のエレクトロニクスにおいて中核的な基盤技術となり得るスピントロニクス技術(電子の電荷ではなく、電子の自転=「スピン」を利用する全く新しいエレクトロニクス技術)を確立するため、強磁性体ナノ構造体におけるスピンの制御・利用基盤技術を開発し、我が国が世界に誇るシーズ技術を核として、産学官の共同研究体制を構築し、将来の中核的エレクトロニクス技術における我が国の優位性の確保を図る。

技術目標及び達成時期

2010年度までに、超高集積で高速な不揮発性メモリとして期待されるスピンメモリのための基盤技術を確立する。また、新ストレージ・メモリデバイス、不揮発性スピン光機能素子、スピン能動素子等の新しい動作原理によるスピン新機能素子の実現のための基盤技術を確立する。

研究開発期間

2006年度～2010年度

(3) ナノエレクトロニクス半導体新材料・新構造技術開発 - うち窒化物系化合物半導体基板・エピタキシャル成長技術の開発(運営費交付金)(再掲)

概要

窒化物系化合物半導体は、パワーデバイス、高周波デバイス、発光デバイス等、重要なデバイスの飛躍的な性能向上と消費電力削減への貢献を期待されている。このため、従来の半導体材料では実現出来ない領域で動作可能なハイパワー・超高効率の電子素子、超高速電子素子等の作成に必要な窒化物系化合物半導体先進技術の国際競争力を強化すべく、高品質かつ大口径単結晶基板、高品質かつ大口径エピタキシャル成長技術等の開発を行う。

なお、本事業は、エネルギー需給構造の高度化を図る観点から行うものである。

技術目標及び達成時期

2011年度までに、次世代窒化物系半導体デバイスを実現する以下結晶作製技術を開発する。

1) 基板技術(GaN、AlNバルク結晶作製技術)

- ・口径2～4インチで高品質エピ成膜を可能とする低コストの単結晶基板作製技術の確立。

2) エピ技術(エピタキシャル成膜及び計測評価技術)

- ・低欠陥高品質エピ層を実現する成膜技術及び膜成長過程を計測評価する技術の確立。
- ・高出力かつ高安定動作可能なエピ層の実現
- ・高耐圧超高速な新しいデバイス構造の開発

研究開発期間

2007年度～2011年度

(4) 三次元光デバイス高効率製造技術(運営費交付金)

概要

波面制御素子による空間光変調技術を確立し、ガラス中に三次元造形を高精度に一括形成できるプロセス技術を開発する。この技術を用いて、具体的な光デバイスを作製し、当該技術の有効性の確認と市場への早期参入のための基盤技術を確立する。

技術目標及び達成時期

2010年度までに波面制御素子による空間光変調技術を用いたフェムト秒レーザー照射技術等を確立し、高精度の光デバイスを高速に作製できるプロセス技術を開発する。

研究開発期間

2006年度～2010年度

(5) 低損失オプティカル新機能部材技術開発\*(運営費交付金)(再掲)

概要

近接場光の原理・効果を応用した低損失オプティカル新機能部材技術を開発し、実用化の目処を得ることを目的とする。動作原理に近接場光を用いるオプティカル新機能部材は、従来の材料特性のみに依存した光学部品では不可能な機能・性能を発揮し、液晶プロジェクター・液晶ディスプレイなど情報家電の省エネルギー、高性能・高信頼化を図る上でのキーデバイスとなることが期待できる。

なお、本事業は、エネルギー需給構造の高度化を図る観点から行うものである。

技術目標及び達成時期

2010年度までに、共通基盤技術として、ナノ構造部材の設計・作製・評価技術を開発するとともに、ナノ構造部材に発現する近接場光の機能を動作原理とする低損失オプティカル新機能部材を検討し機能を確認する。

研究開発期間

2006年度～2010年度

(6) 超フレキシブルディスプレイ部材技術開発\*(運営費交付金)(再掲)

概要

製造工程等の省エネルギー化を実現するために行う。従来、表示デバイスの製造には、真空蒸着と高温下での焼成と、それに伴う排ガス排水処理が必須であった。これを、ロールtoロール方式に代替することで常圧、常温下での製造を実現し、フレキシブルな薄型ディスプレイを製造する。そのために、有機TFT材料およびコンタクトプリント技術等を開発する。

なお、本事業は、エネルギー需給構造の高度化を図る観点から行うものである。

技術的目標及び達成時期

2009年度までに、実用化に向けた実証のための巻き取り方式ディスプレイのプロトタイプを試作する。またフレキシブルデバイス材料開発に貢献する部材ならびに薄膜複合化技術を開発し、これらをパネル化するための実用化技術を確立する。

研究開発期間



2006年度～2009年度

(7) 半導体機能性材料の高度評価基盤開発(運営費交付金)(再掲)

概要

情報通信機器の高機能化や低消費電力化等の要求を満たす半導体集積回路を実現するため、新たな機能性材料開発に貢献する評価基盤技術を開発し、さらに開発した機能性材料を半導体及び半導体集積回路に適用できる統合的なソリューション技術を開発する。

なお、本事業は、エネルギー需給構造の高度化を図る観点から行うものである。

技術的目標及び達成時期

2011年度までに、半導体デバイス性能に直結する接合素子の性能性及び信頼性等、半導体製造プロセス全体を俯瞰しつつ、機能性材料開発が可能となる評価基盤技術を開発し、開発した機能性材料を用いた統合的なソリューションが提案できる材料評価基盤を構築する。

研究開発期間

2009年度～2011年度

・ライフサイエンス・健康・医療領域

ナノテクノロジーを駆使して初めて可能となる診断・治療により革新的な医療を実現する。

(1) 次世代DDS型悪性腫瘍治療システムの研究開発事業(運営費交付金)

概要

DDSのさらなる裾野の拡大、及び早期実用化を目指し、様々な外部エネルギー(機器技術)と薬剤技術を組み合わせることにより、比較的人体の深部にある臓器(肺、消化器)等のがんを対象としたDDS型治療システムの開発を行う。

技術目標及び達成時期

光線力学治療システムの前臨床試験の開始及び治療効果・安全性の検証と、超音波診断・治療システムの前臨床試験を可能とする薬剤及び装置の完成に関する開発を難治性がんの治療に向けて行う。

研究開発期間

2006年度～2009年度

(2) 個別化医療実現のための技術融合バイオ診断技術開発(運営費交付金)(再掲)

概要

我が国が有する微細加工技術・表面処理技術といったナノテク等の強みを活かし、染色体異常を高感度、高精度かつ迅速、安価で非コード領域までを検出するゲノムアレイや解析基盤技術開発を行うとともに、全自動解析システムの開発を行う。

技術目標及び達成時期

2010年度までに、BAC(染色体の断片)を用いた非コード領域を含むゲノム全領域を検出できる高精度ゲノムアレイを開発する。さらに、臨床現場において、微量サンプル(数ナノグラム)から、12時間以内に染色体異常(増幅、欠失、コピー数多型等)を、低コストかつ定量性・再現性を確保して検出ができる自動染色体異常解析シス

テムのプロトタイプを開発する。

研究開発期間

2006年度～2010年度

(3) 分子イメージング機器研究開発プロジェクト(運営費交付金)

)生活習慣病超早期診断眼底イメージング機器研究開発プロジェクト

概要

細小血管の分子レベルでの代謝機能を非侵襲で可視化する細胞代謝イメージングを実現し、代謝異常を細胞レベルで観察することにより、生活習慣病に起因する血管病変等合併症の早期の診断・治療を図る。

技術目標及び達成時期

2009年度までに、ナノテクノロジーを活用した光学基盤技術等を確立することにより、細胞やタンパク質レベルの組織診断を可能とする機器を開発する。

研究開発期間

2005年度～2009年度

)悪性腫瘍等治療支援分子イメージング機器研究開発プロジェクト

概要

良性・悪性の区別も含めた腫瘍の超早期診断を実現するため、悪性腫瘍に特異的に反応する標的物質を利用することにより生体細胞の分子レベルの機能変化を抽出・検出できる機器の開発を行う。

技術目標及び達成時期

2009年度までに、全身で3mm、局所で1mmの分解能を有する分子イメージング機器を開発する。

研究開発期間

2005年度～2009年度

)新規悪性腫瘍分子プローブの基盤技術開発

「概要

分子イメージングにおいて、病変を可視化する分子プローブの開発を一層強化・促進するため、分子プローブの基盤要素技術と評価システムの開発を行う。

技術目標及び達成時期

2009年度までに、新規の近赤外蛍光分子プローブ及び小動物用近赤外蛍光イメージングシステムを試作し、同システムを用いて分子プローブのがん特異性を定量的に評価するための条件等を明らかにする。

研究開発期間

2008年度～2009年度

・エネルギー・資源・環境領域

ナノテクノロジーや革新的部材開発技術を駆使して、エネルギー・資源・環境等の社会的制約を克服すると同時に我が国の強みであるナノテック関連産業・部材産業の競争力を強化する。

## ( ) エネルギー制約の克服

### (1) サステナブルハイパーコンポジット技術の開発(運営費交付金)(再掲)

#### 概要

炭素繊維複合材料は、軽量、高強度等の優れた特性を有している。従来の熱硬化性樹脂を用いた炭素繊維複合材料では成形性・加工性に乏しくリサイクルが困難であったため、熱可塑性樹脂を用いた炭素繊維複合材料(CFRTP)の開発を行う。

なお、本事業は、エネルギー需給構造の高度化を図る観点から行うものである。

#### 技術目標及び達成時期

2012年度までに、炭素繊維と熱可塑性樹脂との中間基材を開発し、高速成形技術、接合技術及びリサイクル技術を開発する。

#### 研究開発期間

2008年度～2012年度

### (2) マルチセラミックス膜新断熱材料の開発(運営費交付金)(再掲)

#### 概要

住宅やビルなどの冷暖房における大幅な省エネを実現する画期的な断熱性能を持つ壁および窓材料を、セラミックスのナノ多孔体構造やポリマー複合化構造などからなるマルチセラミックス膜アセンブリ技術によって開発する。

なお、本事業は、エネルギー需給構造の高度化を図る観点から行うものである。

#### 技術目標及び達成時期

2011年度までに、熱貫流率(熱の伝わりやすさ)が $0.3\text{ W/m}^2\text{K}$ 以下、壁厚さ10mm程度の超断熱壁材料および熱貫流率が $0.4\text{ W/m}^2\text{K}$ 以下、光(可視光)透過率が65%以上(Low-Eガラス使用)、ヘイズ率が1%以下の超断熱窓材料を実現する。

#### 研究開発期間

2007年度～2011年度

### (3) カーボンナノチューブキャパシタ開発プロジェクト(運営費交付金)(再掲)

#### 概要

高純度、高密度に配向した長尺の単層カーボンナノチューブの大量合成技術を開発するとともに、これを用いた従来よりも格段にパワー(電力)と蓄電量が大きなキャパシタを開発する。

なお、本事業は、エネルギー需給構造の高度化を図る観点から行うものである。

#### 技術目標及び達成時期

2010年度までに、単層カーボンナノチューブの高度配向技術及び大量生産技術を確立するとともに、キャパシタ製造技術を確立することで、 $20\text{ Wh/Kg}$ の高エネルギー密度と耐久性を有する電気二重層キャパシタを開発する。

#### 研究開発期間

2006年度～2010年度

(4) 革新的省エネセラミクス製造技術開発(運営費交付金)(再掲)

概要

小型炉設備で生産可能な小型セラミック中空ユニットを複数組みあわせることで、これまでその製造が難しかった複雑形状かつ大型セラミクス部材を省エネで製作することができる革新的なセラミック部材製造技術を開発する。

なお、本事業は、エネルギー需給構造の高度化を図る観点から行うものである。

技術目標及び達成時期

2013年度までに、高機能化された小さな精密ブロックを立体的に組み上げ、高効率で接合、一体化をし、複雑形状や大型の部材を製造可能とする革新的なプロセス技術の基盤を確立し、高耐性部材、高温断熱部材及び高比剛性部材の試作を行う。

研究開発期間

2009年度～2013年度

(5) 革新的ガラス溶融プロセス技術開発(運営費交付金)(再掲)

概要

プラズマ等による高温を利用し瞬時にガラス原料をガラス化することにより、極めて効率的にガラスを気中で溶融(インフライトメルティング法)し省エネに資する革新的ガラス溶融プロセス技術を開発する。

なお、本事業は、エネルギー需給構造の高度化を図る観点から行うものである。

技術目標及び達成時期

2012年度までに、インフライトメルティング法により原料を溶解する技術、カレットをガラス原料として利用するため高効率で加熱する技術、カレット融液とインフライトメルティング法による原料融液とを高速で混合する技術を開発する。

研究開発期間

2008年度～2012年度

(6) 高温超電導電力ケーブル実証プロジェクト(運営費交付金)(再掲)

概要

革新的な高効率送電技術を確立して高温超電導ケーブルの実用化を促進するため、工業生産プロセスで実用化レベルに達している高温超電導線材(DI-BSCCO等)を活用し、首都圏の系統に接続する実証試験及び評価を行う。

なお、本事業は、発電用施設による電気の供給の円滑化を図る観点から行うものである。

技術目標及び達成時期

2011年度までに、200MVA級の中間接続部を有した三心一括型高温超電導ケーブルを、冷却装置や保護装置などの付帯設備とともに66KV実系統に接続して、12ヶ月以上の長期連系試験を行うことによって総合的な安全性や信頼性を実証する。

研究開発期間

2007年度～2012年度

#### (7) 発電プラント用超高純度金属材料の開発(運営費交付金)(再掲)

##### 概要

超高純度金属材料を発電設備の蒸気配管等に実用化することを目指し、高純度金属材料の高度化に向けた低コスト・量産化製造技術を開発し、実使用環境における超高純度金属材料の耐久性試験等を行う。

なお、本事業は、発電用施設における電気の供給の円滑化を図る観点から行うものである。

##### 技術目標及び達成時期

2009年までに、不純物総量100ppm未満、溶解量数100kg以上の低コスト・量産化技術製造技術を開発するとともに、製造された超高純度材料が発電プラントの各種機器に適用でき、本材料の持つ優れた特性を長期に亘って発揮できることを確認する。

##### 研究開発期間

2005年度～2009年度

#### (8) セラミックリアクター開発(運営費交付金)(再掲)

##### 概要

低温域かつ高効率なエネルギー変換を可能とする次世代型セラミックリアクターの実現のため、世界最高効率の燃料電池マイクロセルの集積構造技術等の開発を行う。

なお、本事業は、エネルギー需給構造の高度化を図る観点から行うものである。

##### 技術目標及び達成時期

2009年度までに、新電解質材料の適用や電極反応の高効率化等による、低温作動時(650以下)での出力性能を向上させる材料技術と共に、マイクロセルの集積構造化や精緻なインターフェース構築のための製造プロセス技術を開発。そして、これらの技術を統合することにより、次世代型セラミックリアクターとしてのプロトタイプモジュール実証(出力性能2kW/L等)を行う。

##### 研究開発期間

2005年度～2009年度

#### ( ) 資源制約の克服

##### (1) 希少金属代替材料開発プロジェクト(運営費交付金)

##### 概要

ハイテク製品の製造に不可欠であり世界的な需給逼迫が懸念されるレアメタル(タングステン、インジウム、ディスプロシウム)について、ナノテクノロジー等の最先端技術を活用して、代替材料開発・使用量削減を行う。なお、平成21年度からは、これまでの対象3鉱種に加えて、白金、セリウム、テルビウム等も研究開発の対象とする。

##### 技術目標及び達成時期

タングステン、インジウム、ディスプロシウムについては2011年度までに、白金、セリウム、テルビウム等については2013年度までに、使用原単位について現状と比較して削減ができる製造技術を開発し、ユーザー企業、大学等の外部機関に対して機能

評価のためにラボレベルで提供（試料提供）できる水準に至るまでの技術を確立することを目標とする。また、製品の機能や製造コストは現状と同等であることを少なくとも維持することを前提とする。

〔対象元素〕

- ・超硬工具向けタンゲステン（W）
- ・透明電極向けインジウム（In）
- ・希土類磁石向けディスプロシウム（Dy）
- ・排ガス浄化向け白金族（Pt）
- ・精密研磨向けセリウム（Ce）
- ・蛍光体向けテルビウム、ユーロピウム（Tb、Eu）

研究開発期間

2007年度～2013年度

## （ ）環境制約の克服

### （1）グリーン・サステナブルケミカルプロセス基盤技術開発

概要

化学品等の製造プロセスにおけるシンプル化、クリーン化、原材料・資源の多様化・有効利用、更に、廃棄物の減容化、容易なりサイクル等を実現し、産業競争力強化、国際規制の先取りを図って、将来にわたっても持続的に化学品等を製造するための必要なGSC（グリーン・サステナブルケミストリー）プロセスを開発する。

技術的目標及び達成時期

2015年度までに、有害な化学物質を削減できる又は使わない革新的な製造プロセス及び化学品の開発、廃棄物、副生成物を削減できる革新的な製造プロセス及び化学品の開発、資源生産性を向上できる革新的な製造プロセス及び化学品の開発を行う。

研究開発期間

2008年度～2015年度

### （2）革新的マイクロ反応場利用部材技術開発\*（運営費交付金）（再掲）

概要

マイクロリアクター、ナノ空孔などの精密反応場を利用し、反応分子の自由な運動を活性種レベルで制御した革新的な化学反応プロセスと新機能材料創成技術の確立を目指す。さらに、マイクロリアクターとナノ空孔反応場の組み合わせ、各反応場とマイクロ波等のエネルギー供給手段との組み合わせにより協奏的反応場を構成し、さらなる高効率生産等を可能にする基盤技術を開発する。これらの技術の確立により、反応システムの小型化、多段プロセスの簡略化等を通じた化学産業の製造工程等の省エネルギー化を図る。

なお、本事業は、エネルギー需給構造の高度化を図る観点から行うものである。

技術的目標及び達成時期

2010年度までに、マイクロリアクター技術、ナノ空孔技術を軸とし、これらに更にマイクロ波、超臨界流体等のエネルギー供給手段を組み合わせた協奏的反応場を構成

することにより、これまでにない革新的な化学反応プロセスを確立し、新機能材料創成技術を実現する。さらに、これらの技術を用いて高性能・高機能電子材料、医薬中間体などの部材を開発する。

研究開発期間

2006年度～2010年度

### (3) 循環社会構築型光触媒産業創成プロジェクト(運営費交付金)

概要

我が国で発見された光触媒技術の新産業分野開拓を目指し、サイエンスにさかのぼることにより、紫外光のみならず、可視光レベルでの性能・機能の飛躍的な向上のための技術基盤を構築する。これにより、従来では困難とされてきた医療関連分野や住宅建材分野、環境関連分野等に光触媒技術を導入し、光触媒の最大のメリットである自然エネルギーを利用した安心・安全な環境を提供できる技術を開発する。

技術目標及び達成時期

2011年度までに、材料レベルで紫外光応答型2倍、可視光応答型10倍の感度向上を達成し、その高感度光触媒を適用した薄膜プロセス技術の基盤技術を確立する。

研究開発期間

2007年度～2011年度

### (4) 高感度環境センサ部材開発\*

概要

ダイオキシンをはじめとする極微量有害有機物質を超高感度で安価かつ簡易に計測するために、高感度セラミックセンシング材料を用いた環境センサーを開発する。

技術目標及び達成時期

2010年度までに、ダイオキシン類、エストラジオール及びビスフェノールAについて、 $0.001 \text{ ng} \cdot \text{ml}$ の濃度において有意な電気信号として検出し得る小型・携帯型計測器に挿入可能な寸法のセンサ部材の開発を目標とする。

研究開発期間

2006年度～2010年度

### (5) 次世代高信頼性ガスセンサ技術開発(運営費交付金)(再掲)

概要

一酸化炭素中毒やガス漏れなどのガス事故を限りなくゼロに近づけるため、センサ素子のナノレベルでのメカニズム解析及び開発設計を行い、コードレスで高信頼性を有する次世代高信頼性ガスセンサ(COセンサ・メタンセンサ)を開発する。

なお、本事業は、エネルギー需給構造の高度化を図る観点から行うものである。

技術目標及び達成時期

2011年度までに、最先端のナノテクノロジー及びMEMS技術を導入し、電池駆動で5年以上の長寿命、高信頼性(数百ppm以下の故障率)、低コストなCOとメタンのセンサを開発する。

研究開発期間

2008年度～2011年度

### ・材料・部材領域

極めて広範囲な産業領域に波及する材料・部材領域について、ユーザー製造業等との連携（川上・川下連携）を促進し、高度な部材産業群の「すり合わせ力」を一層強化する。

#### （1）鉄鋼材料の革新的高強度・高機能化基盤研究開発（運営費交付金）（再掲）

##### 概要

プラント、構造物や自動車等の革新的な高効率化、省エネルギー化、長寿命化、安全・安心化を図るため、最新の科学的知見を導入し、鉄鋼材料及び鋼構造体を超高機能化する基盤的研究開発を行う。具体的には、高強度鋼、高機能鋼の実用化拡大の基盤となる（1）高級鋼厚板（高強度鋼、極低温用鋼、耐熱鋼）溶接部の信頼性・寿命を大幅に向上する溶接施工技術（高密度・清浄熱源溶接技術）、及び金属組織制御技術を基本とする材料技術（クリーブ破壊及び水素破壊の機構解明等を踏まえた）の開発、（2）部材の軽量化を図るために強度、加工性等の最適機能傾斜を付与する機械部品鍛造技術（駆動部材の信頼性確保のための耐疲労破壊特性の向上を踏まえた）の開発を行う。

なお、本事業は、エネルギー需給構造の高度化を図る観点から行うものである。

##### 技術目標及び達成時期

2011年度までに、高級鋼厚板（高強度鋼・極低温用鋼・耐熱鋼）の溶接を予熱・後熱なしに可能とする溶接技術と材料技術を開発するとともに、傾斜機能部材の鍛造技術を開発する。

##### 研究開発期間

2007年度～2011年度

#### （2）超ハイブリッド材料技術開発（運営費交付金）

##### 概要

従来実現が不可能と考えられていた相反する複数機能（トレードオフ機能）を両立できる材料を、異種素材の組合せ（ハイブリッド化）により実現するための技術を開発する。要素技術として、異種材料間の界面挙動をシミュレーション技術等により解明し、ナノレベルよりもさらに微小な原子・分子レベルでのハイブリッド化構造・配列制御のための合成技術を開発する。従来の単一材料では実現困難であったトレードオフの性能を引き出すことで、自動車用構造材料、パワーデバイス用材料、光学材料等を出口イメージとした、高機能革新部材製造に必要な技術基盤を開発する。

##### 技術目標及び達成時期

2011年度までに、電気・電子材料、光学材料、その他工業材料について従来材料では実現できなかった相反機能を解消するとともに、市場評価が可能な成果物を供試し、市場（ユーザー）から、客観的な実用化研究開発課題を抽出する。また、単なる相反機能の解消ではなく、相反機能を制御・実現する技術を開発する。

##### 研究開発期間

2007年度～2011年度



( 3 ) 先端機能発現型新構造繊維部材基盤技術の開発 \* ( 運営費交付金 )

概要

電界紡糸や溶融紡糸等により創製される極微細な繊維状材料に対してナノオーダーの成形加工や微細な界面加工ならびに複合化することで材料を高機能化した革新的部材を創出する。高機能新材料を求めるユーザーの要望を満たす繊維の極微細加工と高次複合化を解決する基盤技術開発を行う。

技術的目標及び達成時期

2010年度までに、電界紡糸法による繊維高機能化、大型装置化技術およびナノ溶融分散紡糸法による超極細炭素繊維製造技術を開発し、これら基盤技術を活用して、高性能・高機能電池用部材、高性能・高機能フィルター用部材、高性能・高機能医療衛生用・産業用部材を開発する。

研究開発期間

2006年度～2010年度

( 4 ) 次世代光波制御材料・素子化技術 \* ( 運営費交付金 ) ( 再掲 )

概要

ガラス材料に関する精密モールド技術を確立し、機能性の高い光波制御素子を低コストで生産できるプロセス技術を開発することで部材の小型化・高機能化を図りつつ、省エネを実現する。

なお、本事業は、エネルギー需給構造の高度化を図る観点から行うものである。

技術目標及び達成時期

2010年度までにサブ波長レベルの微細構造をガラス表面にモールド成形する技術を実現し、実装可能な具体的なデバイスを作製する。

研究開発期間

2006年度～2010年度

( 5 ) 高機能複合化金属ガラスを用いた革新的部材技術開発 ( 運営費交付金 )

概要

複合化金属ガラス(金属ガラスマトリックス中に第二相として微結晶や微粒子または微小空隙等を分散させたもの)を創製して、次世代高密度記録媒体、超微小モータ用部材および高強度・高導電性電気接点部材を開発する。

技術目標及び達成時期

2011年度までに、複合化金属ガラス合金を創製し、従来の金属ガラス単層合金の持つ優れた特徴に加えて、塑性加工性、硬磁気特性、高電気伝導性等を付与する。この複合化金属ガラスの新規特性を用いて、従来の金属ガラス単層合金では為しえなかった革新的部材の開発を行い、さらに多様な工業製品に応用することで、我が国産業の優位性を確保する。

研究開発期間

2007年度～2011年度

( 6 ) マグネシウム鍛造部材技術開発プロジェクト\* ( 運営費交付金 )

概要

マグネシウム合金部材について、製品歩留まりが高く、高耐疲労性を付与する鍛造技術の開発を行う。また、循環型素材としてのマグネシウム合金部材の特性を活かし、リサイクル材の鍛造用ビレット化に係る課題抽出を行う。当該技術開発により、マグネシウム鍛造部材製造技術の基盤を構築し、我が国の家電、自動車等の川下産業の競争力の強化に不可欠な高度部材を供給する。

技術目標及び達成時期

2010年度までに高強度・高耐疲労・加工性に優れたマグネシウム鍛造技術を確立する。

研究開発期間

2006年度～2010年度

共通基盤領域

ナノテクノロジー、部材分野の研究開発に必要な加工・計測・解析技術等の共通基盤の確立とともに、リスク不安に対処したリスク管理手法を開発し、社会に貢献する産業化の支援を相互的に推進する。

( 1 ) ナノ粒子の特性評価手法開発 ( 運営費交付金 )

概要

ナノ粒子のキャラクタリゼーション、計測技術の確立とともに、生体影響等評価手法、暴露評価手法及びナノテクノロジーによるリスク不安に対処したリスク管理手法を開発する。

技術目標及び達成時期

2010年度までに、生体影響等評価手法、暴露評価手法及びリスク評価手法を開発し、ナノ粒子のリスク評価及び管理の考え方の提言を行う。

研究開発期間

2006年度～2010年度

注：\*印のある研究開発プロジェクトは、2006年度より開始された新産業創造高度部材基盤技術開発の一環として実施しているもの。

## 5. 政策目標の実現に向けた環境整備（関連施策）

ナノテクノロジーは、情報通信、ライフサイエンス、環境、エネルギーなどの分野における科学技術の進歩や課題解決に貢献する重要な技術シーズである。そのため、ナノテクノロジーの研究開発と一体となった関連施策を実施することで、その成果を市場に出していくことが重要である。主な関連施策を、以下に示す。

### 〔技術戦略マップ〕

- ・NEDO及び経済産業省では、技術戦略マップを策定、毎年改訂し、ナノテクノロジー・部材分野の将来の方向性を見定めながら、合理的かつ効果的な研究開発プロジェクトを推進している。また、技術戦略マップを活用して、多様な連携（川上川下の垂直連携、異業種間の水平連携など）による研究開発を促進、支援し、当該分野の技術革新を促進している。

### 〔サンプル提供・実用化促進〕

- ・NEDOでは、実施するナノテクノロジー関連の研究開発プロジェクト成果のサンプルを対象として、それらを活用した用途の開発、実用化ないし製品化提案を有する企業とのマッチングを図ることで、プロジェクトの事業化を促進する取組みを実施している。

### 〔標準化〕

- ・経済産業省では、ナノテクノロジー関連の研究開発成果を社会及び市場等に普及するための環境整備として、ナノテクノロジーの標準化活動（ISO/IEC、JIS）を推進している。

### 〔広報〕

- ・ナノテクノロジーに関する先端技術及び製品等の世界最大の展示会である「nano tech」が毎年日本で開催されている。

### 〔社会受容〕

- ・ナノテクノロジーの産業化の推進とともに、ナノ粒子のキャラクタリゼーション技術や人の健康や環境に及ぼす影響等の潜在的な課題に関する知見を蓄積する等のナノテクノロジーの社会受容に対する取組みを推進している。
- ・経済産業省では、2006年度から「ナノ粒子の特性評価手法開発」を開始し、工業ナノ粒子の有害性評価手法、また、そのリスク評価手法の確立を目標としたプロジェクトを開始しているところ。
- ・OECDでは、2006年9月、化学品委員会に工業ナノ材料作業部会（WPMN）が設置され、代表的な14種の工業ナノ材料について、試験計画の合意と試験実施を目的とする「スポンサーシッププログラム」が実施されている。スポンサーシッププログラム対象物質のうち、カーボンナノチューブ（単層、多層）、フラーレンの3物質については日本が中心となって担当し、「ナノ粒子の特性評価手法開発」等の成果で貢献している。

### 〔人材育成〕

- ・経済産業省では、「製造中核人材育成事業」を実施しており、産学連携による波及効果の高い人材育成プログラムを開発、実践している。ナノテクノロジー関連の人材育成プログラムも複数実施している。

（例）ナノテク製造中核人材の養成プログラム

概要：情報家電、燃料電池、ロボット、医療機器、バイオ等の応用分野において、その産業の基盤と創出を支える中堅企業を対象として、「基礎加工技能・技術、特殊な要素技能・技術に習熟し、製造技術の高度化を図る人材」及び「豊富なナノ加工プロセスの知識や先端機器を使いこなすノウハウ等を習熟し、製造現場の技能・技術を統括できず人材」を育成するもの。

- ・ N E D O では、我が国の産業技術の発展のため、先端分野や融合分野の技術を支える人材の育成と、人的交流の面から産学連携を促進するための「場」の形成を促進する取組みを実施している（N E D O 特別講座）。具体的には、優れた成果を生み出しつつあり、大学が技術の中核となっている研究開発プロジェクトをコアプロジェクトとし、そのプロジェクトリーダーの所属大学に拠点を設置し、関連技術の人材育成、人的交流の拡大、周辺研究の実施を行うもの。ナノテクノロジー関連の研究開発プロジェクトも複数実施している。

〔関係機関との連携〕

- ・ ナノエレクトロニクス半導体新材料・新構造技術開発 - うち新材料・新構造ナノ電子デバイスプロジェクト、希少金属代替材料開発プロジェクトにおいては、文部科学省との合同会議を設置するなど、連携しつつプロジェクトを推進している。

〔他省庁との連携〕

- ・ 総合科学技術会議 / 連携施策群において、「ナノバイオテクノロジー」「ナノテク研究推進と社会受容」等が設置され、関係省庁と連携して実施している。

## 6．研究開発の実施に当たっての留意事項

事業の全部又は一部について独立行政法人の運営費交付金により実施されるもの（事業に（運営費交付金）と記載したもの）は、中期目標、中期計画等に基づき、運営費交付金の総額の範囲内で、当該独立行政法人の裁量によって実施されるものである。

## 7．改訂履歴

- (1) 平成12年12月28日付け制定。
- (2) 平成14年2月28日付け制定。材料ナノテクノロジープログラム基本計画（平成12・12・27工総第16号）は、廃止。
- (3) 平成15年3月10日付け制定。ナノテクノロジープログラム基本計画（平成14・02・25産局第8号）は、廃止。
- (4) 平成16年2月3日付け制定。ナノテクノロジープログラム基本計画（平成15・03・07産局第1号）は、廃止。
- (5) 平成17年3月31日付け制定。ナノテクノロジープログラム基本計画（平成16・02・03産局第7号）は、廃止。
- (6) 平成18年3月31日付け制定。ナノテクノロジープログラム基本計画（平成17・03・25産局第4号）は、廃止。
- (7) 平成19年4月2日付け制定。ナノテクノロジープログラム基本計画（平成18・03・31産局第13号）は、廃止。
- (8) 平成14年2月28日付け制定。
- (9) 平成15年3月10日付け制定。革新的部材産業創出プログラム基本計画（平成14・02・25産局第9号）は、廃止。
- (10) 平成16年3月7日付け制定。革新的部材産業創出プログラム基本計画（平成15・03・07産局第5号）は、廃止。
- (11) 平成17年3月31日付け制定。革新的部材産業創出プログラム基本計画（平成16・03・07産局第5号）は、廃止。
- (12) 平成18年3月31日付け制定。革新的部材産業創出プログラム基本計画（平成17・03・25産局第3号）は、廃止。
- (13) 平成19年4月2日付け制定。革新的部材産業創出プログラム基本計画（平成18・03・31産局第14号）は、廃止。
- (14) 平成20年4月1日付け、ナノテク・部材イノベーションプログラム基本計画制定。ナノテクノロジープログラム基本計画（平成19・03・20産局第1号）および革新的部材プログラム基本計画（平成19・03・19産局第4号）は、本イノベーションプログラム基本計画に統合することとし、廃止。
- (15) 平成21年4月1日付け制定。ナノテク・部材イノベーションプログラム基本計画（平成20・03・24産局第1号）は、廃止。

## エネルギーイノベーションプログラム基本計画

### 1. 目的

資源に乏しい我が国が、将来にわたり持続的発展を達成するためには、革新的なエネルギー技術の開発、導入・普及によって、各国に先んじて次世代型のエネルギー利用社会の構築に取り組んでいくことが不可欠である。他方、エネルギー技術開発は、長期間を要するとともに大規模投資を伴う一方で将来の不確実性が大きいことから、民間企業が持続的な取組を行うことは必ずしも容易ではない。このため、政府が長期を見据えた将来の技術進展の方向性を示し、官民双方がこの方向性を共有することで、長期にわたり軸のぶれない取組の実施が可能となる。

エネルギー安全保障の確立や、世界全体の温室効果ガスを 2050 年までに半減するという長期目標を達成するため、以下に政策の柱毎に目的を示す。

#### 1-1. 総合エネルギー効率の向上

1970 年代以来、官民をあげて省エネルギーに取り組み、産業構造の転換や新たな製造技術の導入、民生機器の効率改善等により世界最高水準の省エネルギーを達成している。今後、「新・国家エネルギー戦略」に掲げる、2030 年までに GDP あたりのエネルギー利用効率を約 30% 向上を実現していくためには、産業部門はもとより、全部門において、総合エネルギー効率の向上に資する技術開発とその成果の導入を促進する。

#### 1-2. 運輸部門の燃料多様化

ほぼ 100% を石油に依存する運輸部門は、我が国エネルギー需給構造上、最も脆弱性が高く、その需給構造の次世代化は、将来に向けた早急な対策が不可欠な課題となっている。

「新・国家エネルギー戦略」に掲げる目標（2030 年に向け、運輸部門の石油依存度が 80% 程度となることを目指す）の実現のためにも、官民が中長期的な展望・方向性を共有しつつ、技術開発と関連施策を推進する。

#### 1-3. 新エネルギー等の開発・導入促進

太陽光、風力、バイオマスなどの新エネルギーは、エネルギー源の多様化や地球温暖化対策の観点から重要である。しかし、現時点では経済性や出力安定性といった普及へ向けての課題が存在する。

そのため、これらの課題解決に向けた技術開発の推進及び新エネルギーの導入促進のための関連施策の実施により、更なる新エネルギーの普及を推進する。

#### 1-4. 原子力等利用の推進とその大前提となる安全の確保

原子力発電は供給安定性に優れ、運用時に CO<sub>2</sub> を排出しないクリーンなエネルギー源である。安全確保を大前提に核燃料サイクルを含む原子力発電を着実に推進する。

#### 1-5. 化石燃料の安定供給確保と有効かつクリーンな利用

化石燃料資源の大宗を輸入に依存する我が国にとって、その安定供給の確保は国家安全保障に直結する課題である。このため、石油・天然ガス等の安定供給確保を目指し、我が国企業による資源国における資源開発等に対する支援等の施策を進めるとともに、その有効かつクリーンな利用を図る。

## 2. 政策的位置付け

低炭素社会づくり行動計画（2008年7月閣議決定）

2008年6月の福田総理（当時）のスピーチ「福田ビジョン」等を受け、我が国が低炭素社会へ移行していくための具体的な道筋を示すため、国全体を低炭素化へ動かす仕組みや革新的な技術開発、国民一人ひとりの行動を促すための取組について策定。

「環境エネルギー技術革新計画」や「Cool Earth - エネルギー革新技術計画」等に示された革新的技術の開発に5年間で300億ドル程度を投入するという具体的な目標が示された。

環境エネルギー技術革新計画（2008年5月）

温室効果ガスの大幅な削減を目指すだけでなく、エネルギー安全保障、環境と経済の両立、開発途上国への貢献等を考慮し、以下の戦略等を策定。

1. 低炭素社会実現に向けた我が国の技術戦略
2. 国際的な温室効果ガス削減策への貢献策
3. 革新的環境エネルギー技術開発の推進方策

Cool Earth - エネルギー革新技術計画（2008年3月）

2007年5月の総理イニシアティブ「クールアース50」を受け、世界全体の温室効果ガスの排出量を現状に比して2050年までに半減するという長期目標を達成するため、エネルギー分野における革新的な技術開発について検討をおこない、21の技術を選定。

エネルギー基本計画（2007年3月閣議決定）

重点的に研究開発のための施策を講ずべきエネルギーに関する技術及びその施策として、

1. 総合エネルギー効率の向上に資する技術
2. 原子力利用の推進とその大前提となる安全の確保に資する技術
3. 運輸部門のエネルギー多様化に資する技術
4. 新エネルギーに関する技術
5. 化石燃料の安定供給確保と有効かつクリーンな利用に資する技術

以上が位置づけられている。

新・国家エネルギー戦略（2006年5月）

世界最先端のエネルギー需給構造の実現を図るため

1. 省エネルギーフロントランナー計画
2. 運輸エネルギーの次世代化計画
3. 新エネルギーイノベーション計画
4. 原子力立国計画

以上の計画が位置づけられている。また、資源外交、エネルギー環境協力の総合的な強化を図るため、「総合資源確保戦略」が位置づけられている。

第3期科学技術基本計画（2006年3月閣議決定）

国の存立にとって基盤的であり国として取り組むことが不可欠な研究開発課題を重視して研究開発を推進する「推進4分野」であるエネルギー分野、分野別推進戦略（2006年3月総合科学技術会議）における「推進4分野」であるエネルギー分野に位置付けられている。

経済成長戦略大綱（２００６年７月財政・経済一体改革会議）

資源・エネルギー政策の戦略的展開として

- １．省エネルギーフロントランナー計画
- ２．次世代自動車・燃料イニシアティブ等による運輸エネルギー次世代化
- ３．新エネルギーイノベーション計画
- ４．原子力立国計画
- ５．資源外交、環境・エネルギー協力等の総合的な強化

以上が位置づけられている。

京都議定書目標達成計画（２００５年４月閣議決定）

「京都議定書の約束を達成するとともに、更に「脱温暖化社会」に向けて長期的・継続的な排出削減を進めるには、究極的には化石燃料への依存を減らすことが必要である。環境と経済の両立を図りつつ、これらの目標を達成するため、省エネルギー、未利用エネルギーの利用等の技術革新を加速し、効率的な機器や先進的なシステムの普及を図り、世界をリードする環境立国を目指す。」とされている。

### ３．達成目標

#### ３ - 総合エネルギー効率の向上

転換部門における「エネルギー転換効率向上」、産業部門における「製造プロセス効率向上」、民生・運輸部門における「省エネルギー」などにより、GDP当たりのエネルギー消費指数を２０３０年度までに少なくとも３０％改善することを目指す。

#### ３ - 運輸部門の燃料多様化

バイオマス由来燃料、GTL、BTL、CTLなどの新燃料、電気自動車や燃料電池自動車などの導入により、現在ほぼ１００％の運輸部門の石油依存度を２０３０年までに８０％程度とすることを目指す。

#### ３ - 新エネルギー等の開発・導入促進

太陽光、風力、バイオマスなどの新エネルギーの技術開発や燃料電池など革新的なエネルギー高度利用を促進することにより、新エネルギー等の自立的な普及を目指すことで、エネルギー源の多様化及び地球温暖化対策に貢献する。

#### ３ - 原子力等利用の推進とその大前提となる安全の確保

２０３０年以降においても、発電電力量に占める比率を３０～４０％程度以上とすることを目指すため、高速増殖炉サイクルの早期実用化、既設軽水炉代替へ対応する次世代軽水炉の開発、軽水炉技術を前提とした核燃料サイクルの確立、放射性廃棄物対策などの技術開発を推進する。

#### ３ - 化石燃料の安定供給確保と有効かつクリーンな利用

石油・天然ガスの化石燃料の安定供給確保を目指し、資源獲得能力の強化に資する先端的な技術開発を推進するとともに、環境負荷低減のために化石燃料の効率的かつクリーンな利用を促進するための技術開発・導入を目指す。



#### 4. 研究開発内容

##### 4 - . 総合エネルギー効率の向上

##### 4 - - . 共通

###### (1) 省エネルギー革新技术開発事業(運営費交付金)

###### 概要

テーマ公募型事業として、「Cool Earth-エネルギー革新技术計画」に基づき、「先導研究」、「実用化開発」及び「実証研究」の3つの技術開発フェーズに加え、「挑戦研究」フェーズを追加し、革新的な省エネルギー技術の開発を行う。

###### 技術目標及び達成時期

世界全体の温室効果ガス排出量を現状に比べて2050年までに半減するという長期目標を実現するための「Cool Earth-エネルギー革新技术計画」の主旨に基づき、大幅な省エネルギー効果を発揮する革新的なエネルギー使用合理化技術について研究開発・実用化を推進する。

###### 研究開発時期

2003年度～2013年度

###### (2) エネルギー使用合理化産業技術研究助成事業(運営費交付金)

###### 概要

産業界や社会のニーズに応える省エネルギー技術のシーズの発掘とその育成、並びに、省エネルギー技術に関する次世代の研究リーダーの育成を図る。この目的のため、産業界からの期待が高い技術領域・課題を提示した上で、大学や独立行政法人の研究者等から研究開発テーマを募集する。厳正な外部評価によって省エネルギー効果があり且つ独創的・革新的なテーマを選定し、研究者代表者個人を特定して助成金を交付する。

###### 技術的目標及び達成時期

独創性のある研究者等を助成すると共に、中間評価ゲート方式が醸成する競争的環境の下で企業との連携を強化させることにより、10～15年後の実用化が有望な革新的省エネルギー技術の研究開発を促進する。本事業では革新的省エネルギー技術の実用化への第1歩となる特許について、助成期間終了後の出願比率を100%とすることを目標とするとともに、省エネルギー技術に関する次世代の研究リーダーの育成を図る。

###### 研究開発期間

2000年度～

###### (3) 新エネルギー技術実用化補助事業(運営費交付金)(4 - - 参照)

###### (4) 非化石エネルギー産業技術研究助成事業(運営費交付金)(4 - - 参照)

#### 4 - - . 超燃焼システム技術

##### (1) 環境調和型製鉄プロセス技術開発 (運営費交付金) (再掲)

###### 概要

高炉ガスからの効率的な二酸化炭素分離と中低温排熱の有効活用及び水素を炭素(コークス)の一部代替として鉄鉱石を還元する革新的製鉄プロセスの開発を行う。

###### 技術的目標及び達成時期

最終的な技術開発目標として製鉄プロセスにおけるCO<sub>2</sub>排出量を30%削減することを目指し、2050年までに実用化する。

###### 研究開発期間

2008年度～2017年度

##### (2) 資源対応力強化のための革新的製鉄プロセス技術開発 (運営費交付金)

###### 概要

高品位な製鉄材料(鉄鉱石・石炭等)の入手が困難になってきていることから、原料使用量の低減及び、比較的入手が容易な低品位原料の使用拡大を図ることが喫緊の課題となっている。本技術開発では、還元剤として低品位な石炭と鉄鉱石の塊成物を開発し、炉内反応の高速化・低温化を実現することにより、省エネルギーで高効率な革新的製鉄プロセスを開発する。

###### 技術的目標及び達成時期

2011年度までに、革新的塊成物の組成・構造条件の探索、革新的塊成物の製造プロセス、革新的塊成物による高炉操業プロセスを開発する。これらによる効果は、年産400万トン規模の中型高炉に適用した場合の炭材使用量のうち高品位炭使用量が約80%から50%程度に削減可能となるとともに、革新的塊成物を高炉に使用する操業技術の改良による還元材比の低減により、新開発のプロセスを含めた製鉄プロセスでの投入エネルギーは約10%削減される。

###### 研究開発期間

2009年度～2011年度

##### (3) 革新的ガラス溶融プロセス技術開発 (運営費交付金)

###### 概要

プラズマ等による高温を利用し瞬時にガラス原料をガラス化することにより、極めて効率的にガラスを気中で溶融(インフライトメルティング法)し省エネに資する革新的ガラス溶融プロセス技術を開発する。

なお、本事業は、エネルギー需給構造の高度化を図る観点から行うものである。

###### 技術的目標及び達成時期

2012年度までに、インフライトメルティング法により原料を溶解する技術、カレットをガラス原料として利用するため高効率で加熱する技術、カレット融液とインフライトメルティング法による原料融液とを高速で混合する技術を開発する。

研究開発期間

2008年度～2012年度

(4) 革新的マイクロ反応場利用部材技術開発(運営費交付金)

概要

エネルギー需給構造の高度化を図る観点から行うものであり、マイクロリアクター、ナノ空孔などの精密反応場を利用し、反応分子の自由な運動を活性種レベルで制御した革新的な化学反応プロセスと新機能材料創成技術の確立を目指す。さらに、マイクロリアクターとナノ空孔反応場の組み合わせ、各反応場とマイクロ波等のエネルギー供給手段との組み合わせにより協奏的反応場を構成し、さらなる高効率生産等を可能にする基盤技術を開発する。これらの技術の確立により、反応システムの小型化、多段プロセスの簡略化等を通じた化学産業の製造工程等の省エネルギー化を図る。

なお、本事業は、エネルギー需給構造の高度化を図る観点から行うものである。

技術的目標及び達成時期

2010年度までに、マイクロリアクター技術、ナノ空孔技術を軸とし、これらに更にマイクロ波、超臨界流体等のエネルギー供給手段を組み合わせた協奏的反応場を構成することにより、これまでにない革新的な化学反応プロセスを確立し、新機能材料創成技術を実現する。さらに、これらの技術を用いて高性能・高機能電子材料、医薬中間体などの部材を開発する。

研究開発期間

2006年度～2010年度

(5) 鉄鋼材料の革新的高強度・高機能化基盤研究開発(運営費交付金)

概要

プラント、構造物や自動車等の革新的な高効率化、省エネルギー化、長寿命化、安全・安心化を図るため、最新の科学的知見を導入し、鉄鋼材料及び鋼構造体を超高機能化する基盤的研究開発を行う。具体的には、高強度鋼、高機能鋼の実用化拡大の基盤となる(1)高級鋼厚板(高強度鋼、極低温用鋼、耐熱鋼)溶接部の信頼性・寿命を大幅に向上する溶接施工技術(高密度・清浄熱源溶接技術)及びクリープ破壊、金属組織制御技術を基本とする溶接材料技術(クリープ破壊及び水素破壊の機構解明等を踏まえた)の開発、(2)部材の軽量化を図るために強度、加工性等の最適機能傾斜を付与する機械部品鍛造技術(駆動部材の信頼性確保のための耐疲労破壊特性の向上を踏まえた)の開発を行う。

なお、本事業は、エネルギー需給構造の高度化を図る観点から行うものである。

技術目標及び達成時期

2011年度までに、高級鋼厚板(高強度鋼・極低温用鋼・耐熱鋼)の溶接を予熱・後熱なしに可能とする溶接技術と材料技術を開発するとともに、傾斜機能部材の鍛造技術を開発する。

研究開発期間

2007年度～2011年度

## (6) 希少金属等高効率回収システム開発

### 概要

小型電子・電気機器にはベースメタルや、金、銀等の貴金属の他、インジウム、ニッケル等の希少金属等を含有している。現状では、これらの機器が廃棄された後は、非常に高温で処理する乾式製錬技術を用いてリサイクル・処理されているため、多大なエネルギーを消費するばかりか、回収可能な金属が銅、金、銀等に限定されており、その他の希少金属等は回収できずに廃棄処分されている。このため、湿式製錬技術を活用した高効率な最適技術の開発等を通じて、回収工程の省エネルギー及び希少金属等の回収率向上を図る。

### 技術目標及び達成時期

- ・ 従来方法(乾式製錬)で処理する場合に比べて、大幅な省エネルギーの実現(省エネルギー効果:原油換算で約78万kL/年削減)
- ・ 廃小型電子・電気機器、廃超硬工具等中に含まれる希少金属等の回収率の向上(インジウム0%→90%、ニッケル50%→95%、コバルト0%→95%、タンタル0%→80%、タングステン90%→95%、レアアース0%→80%)

### 研究開発期間

2007年度～2010年度

## (7) 低品位鉱石・難処理鉱石に対応した革新的製錬プロセス技術の研究開発

### 概要

世界的な鉱石品位の低下、不要元素等の不純物の増加に対応するため、我が国非鉄金属業においては、低品位鉱石の利用拡大による我が国の鉱物資源の安定供給確保の強化が喫緊の課題となっているため、低品位・難処理鉱石の革新的な省エネルギー型の製錬プロセスを開発する。

### 技術目標及び達成時期

低品位鉱石及び難処理鉱石から効率的に銅等有用な非鉄金属を回収するため、低品位鉱石・難処理鉱石に対応した省エネルギー型プロセスによる新たな選鉱技術、製錬技術及び不純物対策技術の研究開発を行う。

#### (1) 高品位精鉱回収技術

低品位鉱石・難処理鉱石から高品位の精鉱を得る選鉱技術の開発。

ハンドリングが難しい極微細鉱等難処理鉱を処理する製錬技術の開発。

#### (2) 有用金属の抽出等回収技術

低品位精鉱から含有金属を高効率に回収する製錬技術の開発。

#### (3) 高濃度不純物の除去等対策技術

不要な元素(ヒ素、ビスマス、アンチモン等)等を多く含む精鉱からの不純物除去、分離、安定化等技術の開発。

上記要素技術を開発し、将来的にエネルギー消費原単位の悪化が予測される非鉄金属製錬について、省エネルギー見込み量、原油換算約2.6万KLを達成。

### 研究開発期間

2009年度～2012年度

## ( 8 ) 環境調和型水循環技術開発

### 概要

我が国が強みを持つ、膜技術を始めとする水処理技術を強化し、省水型・環境調和型の水循環システムの開発に資する省エネ・省水型の要素技術を開発する。

### 技術目標及び達成時期

2013年度までに、以下の技術を開発する。

- 革新的膜分離技術の開発：

従来法に比べ膜透過加圧エネルギー等を50%以上削減。

- 省エネ型膜分離活性汚泥法（MBR）技術の開発：

従来法に比べ膜洗浄の曝気（空気気泡）エネルギー等を30%以上削減。

- 有用金属・有害物質の分離・回収技術の開発：

従来法に比べ汚泥の削減により汚泥処理・処分エネルギーを80%以上削減。

- 高効率難分解性物質分解技術の開発：

従来法に比べ窒素処理に係るエネルギーを50%以上削減。

オゾン酸化法等のエネルギーを50%以上削減。

### 研究開発期間

2009年度～2013年度

## ( 9 ) 微生物機能を活用した環境調和型製造基盤技術開発

### i) 微生物機能を活用した高度製造基盤技術開発（運営費交付金）

#### 概要

エネルギー需給構造の高度化を図る観点から行うものであり、省エネルギーかつ環境負荷が少ないといった特徴を有する微生物機能を活用した有用物質の革新的な生産プロセス（モノ作り）の技術を構築するため、産業用途に必要な機能既知遺伝子で構成されたゲノムを持ち、物質生産性向上につながる性能を備えた高性能宿主細胞の創製や、微生物反応の多様化・高機能化技術を開発するとともに、バイオマスを原料として有用物質を体系的かつ効率的に生産する（バイオリファイナリー）ための基盤技術を開発する。

### 技術目標及び達成時期

2010年度までに、物質生産性向上につながる性能を備えた高性能宿主細胞を創製するとともに、バイオプロセスの実用化適用範囲の拡大のための微生物反応の多様化・高機能化技術の開発を行う。バイオリファイナリー技術については、バイオマスを高効率で糖化し、糖から高効率で各種化成品の基幹物質を生産するバイオプロセス体系を構築する。

### 研究開発期間

2006年度～2010年度

ii) 微生物群のデザイン化による高効率型環境バイオ処理技術開発（運営費交付金）

概要

エネルギー需給構造の高度化を図る観点から行うものであり、従来エネルギー多消費・廃棄物多排出型であった廃水・廃棄物処理において、微生物群の構成及び配置等を人為的に制御（デザイン化）することで、その処理効率を大幅に向上させ、省エネルギーで廃棄物も少ない高効率型廃水、廃棄物処理の基盤技術を確立する。

技術目標及び達成時期

2011年度までに、特定有用微生物群を人為的に安定導入・維持もしくは人為的に空間配置・優先化させる等のデザイン化技術を開発し、従来の廃水、廃棄物処理に比べより高効率で省エネルギーな処理技術を開発するとともに、実用化に資するための実証可能なテストプラント規模にて評価する。

研究開発期間

2007年度～2011年度

(10) 省エネルギー型化学技術創成研究開発補助事業

概要

化学企業が有する技術シーズの中で、省エネルギーのポテンシャルが大きいにもかかわらず民間だけで事業を進めるには開発リスクが大きいこと等がネックになって十分な研究開発費が投じられていない技術に対して、戦略的な研究開発支援を実施することにより、化学産業のみならず、各種最終製品や他産業において抜本的なエネルギー効率の改善を促進するものである。

技術的目標及び達成時期

2010年度までに、将来の発展が有望な技術に関する研究開発の実施とその実用化と普及を通し、化学産業のみならず他分野も含めた我が国省エネルギー対策への一層の寄与を目標とする。

研究開発期間

2004年度～2010年度

(11) エネルギー使用合理化繊維関連次世代技術開発

概要

製造エネルギーの低減を図ることができる革新的な繊維製品製造技術の開発や、使用することでエネルギー消費の低減が可能となる新たな繊維製品を開発。

技術的目標及び達成時期

2010年度までに、以下の開発を行う。

次世代資材用繊維の開発

ポリエチレンテレフタレート製造エネルギー低減技術の開発

研究開発期間

2005年度～2009年度

## (12) 高効率ガスタービン実用化技術開発

### 概要

省エネルギー及びCO<sub>2</sub>削減の観点から電力産業用高効率ガスタービンの実用化を目指し、大容量機(25万kW程度(コンバインド出力40万kW))の高効率化(52%~56%)のために1700級ガスタービンの実用化に必要な先端要素技術を適用した各要素モジュールの検証等を実施する。また、小中容量機(10万kW程度)の高効率化(45%~51%)のために有望とされている高湿分空気利用ガスタービンの実用化に必要な多段軸流圧縮機、多缶燃焼器等の開発を行うとともにシステムの信頼性等の検証を行う。

### 技術的目標及び達成時期

1700級ガスタービン実用化技術開発：先端要素技術を活用した燃焼器、タービン、圧縮機等各モジュールの検証等を行い、送電端熱効率56%以上の達成が可能なことを確認する。

高湿分空気利用ガスタービン実用化技術開発：2011年までに軸流圧縮機の3.5%(空気重量比)吸気噴霧冷却技術、低NO<sub>x</sub>燃焼技術(運用負荷帯で10ppm以下)等を開発すると共に、実機に近い条件での要素機器の信頼性・耐久性を確認する。

### 研究開発期間

2008年度~2011年度

## (13) エネルギー使用合理化高効率パルプ工程技术開発(運営費交付金)

### 概要

紙パルプ産業では、環境に関する自主行動計画に基づき、2010年度までに製品当たり化石エネルギー原単位を1990年度比13%削減し、CO<sub>2</sub>排出原単位を10%削減することを目指し、紙パルプ工程における省エネルギー対策を着実に進めているものの、より一層の省エネルギー対策を進めるためには、技術開発によるブレークスルーが必要となっている。紙パルプ産業は、エネルギー多消費型産業のひとつであり、紙パルプ工程での省エネルギー対策は波及効果が大きいことから、紙パルプ工程におけるエネルギー使用合理化に資する技術開発を提案公募により実施する。

### 技術的目標及び達成時期

京都議定書の第1約束期間中、又は、第2約束期間中を目途として実用化に至るような技術開発を行うことで、京都議定書の第1約束期間の目標を着実に達成するとともに、現在、検討が行われている第2約束期間に向けた省エネルギー対策の更なる深化を進めていく。

### 研究開発期間

2005年度~2010年度

## (14) 革新的省エネセラミックス製造技術開発(運営費交付金)

### 概要

小型炉設備で生産可能な小型セラミック中空ユニットを複数組みあわせること

で、これまでその製造が難しかった複雑な形状を持つ大型セラミックス部材を省エネで製作することができる革新的なセラミック部材製造技術を開発する。

なお、本事業は、エネルギー需給構造の高度化を図る観点から行うものである。  
技術目標及び達成時期

2013年度までに、高機能化された小さな精密ブロックを立体的に組み上げ、高効率で接合、一体化をし、複雑な形状の部材や大型の部材を製造可能とする革新的なプロセス技術の基盤を確立し、高耐性部材、高温断熱部材及び高比剛性部材の試作を行う。

研究開発期間

2009年度～2013年度

- (15) 発電プラント用超高純度金属材料開発(運営費交付金)(4 - - 参照)
- (16) 先進超々臨界圧火力発電実用化要素技術開発(4 - - 参照)
- (17) 噴流床石炭ガス化発電プラント開発(4 - - 参照)
- (18) 石油精製高度機能融合技術開発(4 - - 参照)

#### 4 - - . 時空を超えたエネルギー利用技術

- (1) カーボンナノチューブキャパシタ開発プロジェクト(運営費交付金)

概要

高純度、高密度に配向した長尺の単層カーボンナノチューブの大量合成技術を開発するとともに、これを用いた従来よりも格段にパワー(電力)と蓄電量が大きなキャパシタを開発する。

なお、本事業は、エネルギー需給構造の高度化を図る観点から行うものである。  
技術目標及び達成時期

2010年度までに、単層カーボンナノチューブの高度配向技術及び大量生産技術を確立するとともに、キャパシタ製造技術を確立することで、20Wh/Kgの高エネルギー密度と耐久性を有する電気二重層キャパシタを開発する。

研究開発期間

2006年度～2010年度

- (2) イットリウム系超電導電力機器技術開発(運営費交付金)(4 - - 参照)
- (3) 高温超電導電力ケーブル実証プロジェクト(運営費交付金)(4 - - 参照)
- (4) 固体高分子形燃料電池実用化戦略的技術開発(運営費交付金)(4 - - 参照)
- (5) 燃料電池先端科学研究(運営費交付金)(4 - - 参照)
- (6) 固体酸化物形燃料電池システム要素技術開発(運営費交付金)(4 - - 参照)
- (7) 水素貯蔵材料先端基礎研究事業(運営費交付金)(4 - - 参照)
- (8) 水素製造・輸送・貯蔵システム等技術開発(運営費交付金)(4 - - 参照)
- (9) 固体酸化物形燃料電池実証研究(運営費交付金)(4 - - 参照)
- (10) 大規模電力供給用太陽光発電システム安定化等実証事業(運営費交付金)(4 - - 参照)
- (11) 次世代蓄電システム実用化戦略的技術開発(運営費交付金)(4 - - 参照)
- (12) 革新型蓄電池先端科学基礎研究(運営費交付金)(4 - - 参照)



#### 4 - - . 省エネ型情報生活空間創生技術

##### (1) グリーンITプロジェクト(運営費交付金)

###### 概要

情報化社会の進展に伴うIT機器の消費電力の大幅な増大に対応し、抜本的な省エネを実現するため、サーバ、ネットワーク機器等の各装置の省エネに加え、省エネ型の巨大コンピューティング技術(グリーン・クラウドコンピューティング技術)、パワーエレクトロニクス技術を開発する。

###### 技術目標及び達成時期

2012年度までに、IT機器・システムのエネルギー消費効率を2倍に向上させる基盤技術を開発する。

###### 研究開発期間

2008年度～2012年度

##### (2) 次世代高効率ネットワークデバイス技術開発(運営費交付金)

###### 概要

エネルギー需給構造の高度化を図る観点から行うものであり、ネットワークで伝送されるデータ量の爆発的増加に伴い、関連機器の消費エネルギーが増大している中で、ネットワーク全体の消費電力量を抑制することが喫緊の課題であり、消費エネルギーの低減に大きく貢献するルータ・スイッチの高速化のための研究開発を実施するとともに、機器そのものの消費エネルギーを低減するための研究開発を実施する。

###### 技術的目標及び達成時期

2011年度までに、1チャンネルあたり40Gbps超の通信速度に対応するトラフィック計測・分析・管理技術や40Gbpsのインターフェース、さらなる通信速度向上(100Gbps超)を実現するハードウェア技術、SFQ(単一磁束量子)スイッチに関する実現を可能とするための基盤技術を開発する。

###### 研究開発期間

2007年度～2011年度

##### (3) 次世代大型低消費電力ディスプレイ基盤技術開発(運営費交付金)

###### 概要

エネルギー需給構造の高度化を図る観点から行うものであり、次世代の大型液晶及び大型プラズマディスプレイに関する低消費電力ディスプレイを実現するための研究開発を行う。

###### 技術的目標及び達成時期

2011年度までに、液晶に関しては、高効率バックライト、革新的なTFTアレイプロセス技術・製造装置及び低消費電力型の画像処理エンジン等に係る技術を確立する。また、プラズマディスプレイに関しては、超低電圧駆動等に係る技術を確立する。

###### 研究開発期間

2007年度～2011年度

(4) 有機発光機構を用いた高効率照明の開発 (運営費交付金)

概要

エネルギー需給構造の高度化を図る観点から行うものであり、蛍光灯に代わる高効率照明として有機EL発光機構を用いるための技術開発課題(発光効率、演色性、面均一性、生産コスト)等を明らかにし、それをブレイクスルーしうる技術シーズを抽出する。

技術目標及び達成時期

2009年までに現在一般に普及している蛍光灯照明に代わる高効率照明としての必要スペックを達成するとともに、次世代照明として同じく期待されているLEDとの差別化要素を技術的に達成し、大面積/高スループット/低コストで量産するプロセス技術を開発する。また、現在蛍光灯の間接・拡散照明が用いられている照明機器を代替する有機EL照明を実用的なコストで製造できる技術を確立する。

研究開発期間

2007年度～2009年度

(5) マルチセラミックス膜新断熱材料の開発 (運営費交付金)

概要

住宅やビルなどの冷暖房における大幅な省エネを実現する画期的な断熱性能を持つ壁および窓材料を、セラミックスのナノ多孔体構造やポリマー複合化構造などからなるマルチセラミックス膜アセンブリ技術によって開発する。

なお、本事業は、エネルギー需給構造の高度化を図る観点から行うものである。

技術目標及び達成時期

2011年度までに、熱貫流率(熱の伝わりやすさ)が $0.3\text{ W/m}^2\text{K}$ 以下、壁厚さ10mm程度の超断熱壁材料および熱貫流率が $0.4\text{ W/m}^2\text{K}$ 以下、光(可視光)透過率が65%以上(Low-Eガラス使用)、ヘイズ率が1%以下の超断熱窓材料を実現する。

研究開発期間

2007年度～2011年度

(6) 超フレキシブルディスプレイ部材技術開発 (運営費交付金)

概要

製造工程等の省エネルギー化を実現するために行う。従来、表示デバイスの製造には、真空蒸着と高温下での焼成と、それに伴う排ガス排水処理が必須であった。これを、ロールtoロール方式に代替することで常圧、常温下での製造を実現し、フレキシブルな薄型ディスプレイを製造する。そのために、有機TFT材料およびコンタクトプリント技術等を開発する。

なお、本事業は、エネルギー需給構造の高度化を図る観点から行うものである。

#### 技術的目標及び達成時期

2009年度までに、実用化に向けた実証のための巻き取り方式ディスプレイのプロトタイプを試作する。またフレキシブルデバイス材料開発に貢献する部材ならびに薄膜複合化技術を開発し、これらをパネル化するための実用化技術を確立する。

#### 研究開発期間

2006年度～2009年度

### (7) 低損失オプティカル新機能部材技術開発（運営費交付金）

#### 概要

近接場光の原理・効果を応用した低損失オプティカル新機能部材技術を開発し、実用化の目処を得ることを目的とする。動作原理に近接場光を用いるオプティカル新機能部材は、従来の材料特性のみに依存した光学部品では不可能な機能・性能を発揮し、液晶プロジェクター・液晶ディスプレイなど情報家電の省エネルギー、高性能・高信頼化を図る上でのキーデバイスとなることが期待できる。

なお、本事業は、エネルギー需給構造の高度化を図る観点から行うものである。

#### 技術目標及び達成時期

2010年度までに、共通基盤技術として、ナノ構造部材の設計・作製・評価技術を開発するとともに、ナノ構造部材に発現する近接場光の機能を動作原理とする低損失オプティカル新機能部材を検討し機能を確認する。

#### 研究開発期間

2006年度～2010年度

### (8) 次世代光波制御材料・素子化技術（運営費交付金）

#### 概要

ガラス材料に関する精密モールド技術を確立し、機能性の高い光波制御素子を低コストで生産できるプロセス技術を開発することで部材の小型化・高機能化を図りつつ、省エネを実現する。

なお、本事業は、エネルギー需給構造の高度化を図る観点から行うものである。

#### 技術目標及び達成時期

2010年度までにサブ波長レベルの微細構造をガラス表面にモールド成形する技術を実現し、実装可能な具体的なデバイスを作製する。

#### 研究開発期間

2006年度～2010年度

### (9) 次世代高効率エネルギー利用型住宅システム技術開発・実証事業

(運営費交付金)

#### 概要

ゼロ・エミッションハウスによる生活の大幅な省エネの実現に向け、家屋内直流配電システムや、電力需給の状態に応じた太陽電池等の分散型電源の制御、電力ネットワークを活用した家電の制御等、住宅全体としてエネルギーの最適制御

を行うシステムの開発・実証を行う。

技術的目標及び達成時期

2011年度までに、直流給電・配電に関する規格の標準化、直流配電の電流・電圧の規格化、蓄電池設置に係る安全規制の改正に対する提案が可能となる技術を確立する。

研究開発期間

2009年度～2011年度

#### 4 - - . 先進交通社会確立技術

##### (1) エネルギーITS (運営費交付金)

概要

平成19年5月の「次世代自動車・燃料イニシアティブ」に基づき、運輸部門のエネルギー消費効率改善のため、自動運転・隊列走行技術、高度交通流制御技術等の省エネルギーに資するITS技術の開発を行う。

技術的目標及び達成時期

2012年度までにCO2削減効果評価方法の確立を図るとともに、2020年代に実用化が見通せる運転制御、隊列走行の基盤技術の確立を目指す。

研究開発期間

2008年度～2012年度

##### (2) サステナブルハイパーコンポジット技術の開発 (運営費交付金)

概要

炭素繊維複合材料は、軽量、高強度等の優れた特性を有している。従来の熱硬化性樹脂を用いた炭素繊維複合材料では成形性・加工性に乏しくリサイクルが困難であったため、熱可塑性樹脂を用いた炭素繊維複合材料(CFRTP)の開発を行う。

なお、本事業は、エネルギー需給構造の高度化を図る観点から行うものである。

技術目標及び達成時期

2012年度までに、炭素繊維と熱可塑性樹脂との中間基材を開発し、高速成形技術、接合技術及びリサイクル技術を開発する。

研究開発期間

2008年度～2012年度

##### (3) 次世代構造部材創製・加工技術開発 (次世代航空機用)

概要

エネルギー需給構造の高度化を図る観点から行うものであり、航空機、高速車両等の輸送機器への先進材料の本格導入を加速させるため、先進複合材料及び先進金属材料について部材開発、設計試作及び評価を実施することで、軽量化によりエネルギー使用効率を大幅に向上させる革新的な構造部材の創製・加工技術の開発を行う。

#### 技術目標及び達成時期

2012年度までに、複合材の構造健全性診断技術、チタン合金の創製・加工技術を確立するとともに、航空機用エンジンへの適用を目指し、耐熱・耐衝撃性に優れた複合材料を開発する。

#### 研究開発期間

2003年度～2012年度

#### (4) 環境適応型小型航空機用エンジン研究開発(運営費交付金)

##### 概要

エネルギー需給構造の高度化を図る観点から行うものであり、エネルギー使用効率を大幅に向上し、環境対策にも優れた次世代の小型航空機用エンジンの開発にとって重要な要素技術の研究開発を行う。

#### 技術目標及び達成時期

2010年度までに、エネルギー使用効率を大幅に向上する構造設計技術、騒音、NOx等の環境負荷対応に優れた環境対策技術、インテグレーション技術、高バイパス比化等の高性能化技術といった要素技術の研究開発・実証を行う。

#### 研究開発期間

2003年度～2010年度

#### (5) 省エネ用炭素繊維複合材技術開発

##### 概要

航空機、自動車、鉄道、船舶等の輸送機械等における炭素繊維複合材の適用範囲を拡大し、省エネルギーの促進を図るため、先進的な炭素繊維複合材成形技術や、耐雷対策の容易化技術等の研究開発・実証を行う。

#### 技術目標及び達成時期

2013年度までに、従来の方法に比べ、曲率の大きな部位の成形も行うことができるVaRTM(バータム)法等の炭素繊維複合材成形技術や、炭素繊維複合材を用いた製品の耐雷性能を容易に確保する技術の研究開発・実証を行う。

#### 研究開発期間

2008年度～2013年度

#### (6) 燃料電池システム等実証研究(運営費交付金)(4 - - 参照)

#### (7) 次世代蓄電システム実用化戦略的技術開発(運営費交付金)(4 - - 参照)

### 4 - - . 次世代省エネデバイス技術

#### (1) ナノエレクトロニクス半導体新材料・新構造技術開発 - うち窒化物系化合物半導体基板・エピタキシャル成長技術の開発(運営費交付金)

##### 概要

窒化物系化合物半導体は、パワーデバイス、高周波デバイス、発光デバイス等、重要なデバイスの飛躍的な性能向上と消費電力削減への貢献を期待されている。このため、従来の半導体材料では実現出来ない領域で動作可能なハイパワー・超

高効率の電子素子、超高速電子素子等の作成に必要な窒化物系化合物半導体先進技術の国際競争力を強化すべく、高品質かつ大口径単結晶基板、高品質かつ大口径エピタキシャル成長技術等の開発を行う。

なお、本事業は、エネルギー需給構造の高度化を図る観点から行うものである。  
技術目標及び達成時期

2011年度までに、次世代窒化物系半導体デバイスを実現する以下結晶作製技術を開発する。

1) 基板技術 (GaN、AlNバルク結晶作製技術)

- ・口径2～4インチで高品質エピ成膜を可能とする低コストの単結晶基板作製技術の確立。

2) エピ技術 (エピタキシャル成膜及び計測評価技術)

- ・低欠陥高品質エピ層を実現する成膜技術及び膜成長過程を計測評価する技術の確立。

- ・高出力かつ高安定動作可能なエピ層の実現

- ・高耐圧超高速な新しいデバイス構造の開発

研究開発期間

2007年度～2011年度

## (2) 次世代低消費電力半導体基盤技術開発 (MIRAI) (運営費交付金)

概要

エネルギー需給構造の高度化を図る観点から行うものであり、IT化の進展、IT利活用の高度化を支え、あらゆる機器に組み込まれている半導体の低消費電力化を図るため、テクノロジーノード(微細化レベル)45nm以細の次世代低消費電力半導体を実現するため、微細加工の基盤技術やマスク(半導体素子製造過程で用いる原板)の低コスト化・製造時間短縮に必要な基盤技術の開発等を行う。

技術目標及び達成時期

2010年度までに、マスク設計・描画・検査の各工程に共通的なマスクデータ処理技術、繰り返しパターンやパターン重要度を利用した描画・検査高速化技術等の基本的な開発及びEUVLマスク基盤技術として、許容欠陥の指標明確化、ブランクス位相欠陥検査技術の確立等を完了する。

研究開発期間

2001年度～2010年度

## (3) 半導体アプリケーションチッププロジェクト (運営費交付金)

概要

エネルギー需給構造の高度化を図る観点から行うものであり、情報通信機器、特に、情報家電(車載を含む)の低消費電力化を実現できる半導体アプリケーションチップ技術の開発を行う。

技術目標及び達成時期

2009年度までに情報家電の低消費電力化を実現できるアプリケーションチ

ップ技術を開発する。

研究開発期間

2003年度～2009年度

(4) 次世代プロセスフレンドリー設計技術開発(運営費交付金)

概要

エネルギー需給構造の高度化を図る観点から行うものであり、あらゆる機器に組み込まれている半導体の低消費電力化を図るため、テクノロジーノード45nm以細の半導体に対応するSoC(System on Chip)設計技術を開発する。具体的には、テクノロジーノード45nm以細の半導体の共通設計基盤技術開発として、DFM(Design For Manufacturing)基盤技術を中核とした設計及び製造の全体最適を確保する全く新しいSoC製造フローを開発する。

技術目標及び達成時期

テクノロジーノード45nm以細のSoC開発において製造性を考慮した共通設計基盤技術を確立し、システムLSIデバイスの省エネルギーを実現するとともに、設計生産性を従来予想に比べ2倍にすることを目標とする。

研究開発期間

2006年度～2010年度

(5) 半導体機能性材料の高度評価基盤開発(運営費交付金)

概要

情報通信機器の高機能化や低消費電力化等の要求を満たす半導体集積回路を実現するため、新たな機能性材料開発に貢献する評価基盤技術を開発し、さらに開発した機能性材料の半導体及び半導体集積回路への適用を可能とする統合的なソリューション技術を開発する。

なお、本事業は、エネルギー需給構造の高度化を図る観点から行うものである。

技術的目標及び達成時期

2011年度までに、半導体デバイス性能に直結する接合素子の性能性及び信頼性等、半導体製造プロセス全体を俯瞰しつつ、機能性材料開発が可能となる評価基盤技術を開発し、開発した機能性材料を用いた統合的なソリューションが提案できる材料評価基盤を構築する。

研究開発期間

2009年度～2011年度

4 - - . その他

(1) 次世代構造部材創製・加工技術開発(次世代衛星基盤)

概要

国際商業市場における我が国衛星メーカーの競争力を強化するべく、準天頂衛星システム(利用者に対し、米国が運用するGPSとの補完による高精度な位置情報等の提供を可能にするシステム)の構築に不可欠な基盤技術(産業競争力強

化にも直結する衛星の軽量化、長寿命化に関する技術等)の開発を行う。本プロジェクトの一部については、他部門と比較して需要増加の割合が高い運輸部門のエネルギー消費を抑制すべく、自動車、高速車両等の輸送機器の軽量化・効率化にも資する複合材料製造設計等の基盤技術を確立するためのものであり、エネルギー需給構造の高度化を図る観点から行うものである。

静止軌道と一定の角度をなす傾斜軌道に複数の衛星を配置し、見かけ上、常に天頂付近に最低1つの衛星を位置させるシステム。

技術目標及び達成時期

2010年度までに、準天頂衛星システムの構築に不可欠な基盤技術(産業競争力強化にも直結する衛星の軽量化、長寿命化に関する技術等)の開発を実施し、宇宙空間での技術実証を行う。

研究開発期間

2003年度～2010年度

#### 4 - . 運輸部門の燃料多様化

##### 4 - - . 共通

- (1) 新エネルギー技術実用化補助事業(運営費交付金)(4 - - 参照)
- (2) 非化石エネルギー産業技術研究助成事業(運営費交付金)(4 - - 参照)

##### 4 - - . バイオマス由来燃料

- (1) 新エネルギー技術研究開発(運営費交付金)(4 - - 参照)
- (2) E3地域流通スタンダードモデル(運営費交付金)(4 - - 参照)
- (3) バイオマス等未活用エネルギー実証事業(運営費交付金)(4 - - 参照)
- (4) バイオマスエネルギー地域システム化実験事業(運営費交付金)(4 - - 参照)
- (5) セルロース系エタノール革新的生産システム開発(運営費交付金)(4 - - 参照)

##### 4 - - . G T L 等の合成液体燃料

- (1) 天然ガスの液体燃料化(G T L)技術実証研究(運営費交付金)(4 - - 参照)

##### 4 - - . 燃料電池自動車および水素関連技術

- (1) 固体高分子形燃料電池実用化戦略的技術開発(運営費交付金)(4 - - 参照)
- (2) 燃料電池先端科学研究(運営費交付金)(4 - - 参照)
- (3) 水素製造・輸送・貯蔵システム等技術開発(運営費交付金)(4 - - 参照)
- (4) 水素貯蔵材料先端基盤研究事業(運営費交付金)(4 - - 参照)
- (5) 水素社会構築共通基盤整備事業(運営費交付金)(4 - - 参照)
- (6) 燃料電池システム等実証研究(運営費交付金)(4 - - 参照)

##### 4 - - . 電気自動車

- (1) 次世代蓄電システム実用化戦略的技術開発(運営費交付金)(4 - - 参照)
- (2) 革新型蓄電池先端科学基礎研究(運営費交付金)(4 - - 参照)



#### 4 - . 新エネルギー等の開発・導入促進

##### 4 - - . 共通

###### (1) 新エネルギー技術研究開発(運営費交付金)

###### 概要

新エネルギーの自立的普及に向けて、太陽光、風力、バイオマスなど新エネルギー分野でのイノベーションを促進すべく、高効率かつ低コストを目指した先進的技術開発を実施する。具体的には以下の研究開発を実施する。

- A. 革新的な太陽電池の開発を実施する研究拠点を形成し、海外との研究協力等を行いながら、超長期の視野に立って、飛躍的な性能向上を目指した太陽光発電技術の開発を推進する。(革新型太陽電池国際研究拠点整備事業)
- B. 中長期的に、より一層の高効率化と低コスト化を目指して、革新的な材料、構造等を採用した太陽光発電技術の開発を推進する。(太陽光発電システム未来技術研究開発)
- C. 2020年の目標発電コスト14円/kWhおよび太陽光発電システムの大幅な効率向上を実現すべく、未来技術研究開発などで得られた要素技術開発の成果の内、実用化が期待できる太陽電池作製に係る技術について課題を設定し早期実用化を助成する。(太陽光発電システム実用化促進技術開発)
- D. 電力供給源としての太陽光発電の信頼性を確立し、今後の太陽光発電システムの円滑な普及促進を図るため、太陽光発電システムの大量普及時に不可欠な性能評価技術やリサイクル・リユース技術等システムの共通基盤技術に係る研究等を実施する。(太陽光発電システム共通基盤技術研究開発)
- E. PVシステムの普及拡大のため、「集中連系型太陽光発電システム実証研究」の設備を有効利用しながら、認証制度にも資する複数台連系に係わる試験方法を確立する。(単独運転検出装置の複数台連系試験技術開発研究)
- F. 風力発電技術の国際的な動向を把握しつつ、我が国の複雑地形における風力発電利用上の各種課題を克服するための基礎から応用までの技術について研究開発を行う。具体的には我が国の厳しい風特性を反映した風特性モデルの確立及び高々度風況観測を簡便に行うためのリモートセンシング技術の精度検証・評価を行う。

また、全国規模での落雷電流計測、落雷様相観測による雷特性の把握、落雷特性・落雷保護対策と被害実態との相関把握、上記を踏まえた効果的な落雷保護対策の検討及び実機規模での実雷による保護対策検証等を実施し、高精度落雷リスクマップを作成するとともに、風力発電設備へのより効果的な落雷等に対する対策を策定する。(次世代風力発電技術研究開発事業)
- G. 我が国特有の海上特性や気象・海象条件を把握し、これらの自然条件に適した洋上風況観測法や風力発電システムに関する技術開発とその実証を行なうと共に、環境影響評価システム手法を確立する。(洋上風力発電技術研究開発)
- H. バイオマスのエネルギー利用の促進を図るためには、発生地域が分散し、形状・性状が多種多様にわたるバイオマス資源を利用しやすい形態の有用エネルギーへ効率的に転換できる技術を開発する。(バイオマスエネルギー等高効率転換技術開発)

I . 世界的にもベンチャー企業による太陽光発電、新型風力発電、燃料電池、バイオ燃料分野におけるイノベーション活動が活発化していることを踏まえ、詳細目標設定・多段階選抜形の米国S B I R制度を参考に特定のキーテクノロジーに対するベンチャーのチャレンジを強力に支援する。(新エネルギーベンチャー技術革新事業)

#### 技術目標及び達成時期

- A . 2050年までに「変換効率が40%超」かつ「発電コストが汎用電力料金並み(7円/kWh)」の太陽電池を実用化することを目指した研究開発の中で、変換効率40%超の実現に向けた技術の基礎・探索研究段階と位置づけて研究開発を実施する。
- B . 2020年頃に業務用電力料金並の発電コスト(14円/kWh、モジュール製造原価として75円/W程度)、2030年頃に火力発電の発電コスト(7円/kWh、モジュール製造原価として50円/W程度)の実現に向けた中・長期的な技術開発を行う。
- C . 2015年に向けて市場競争力を備えた本格生産・商用化を目指す。
- D . 2020年度の技術開発目標である発電コスト14円/kWhを目指し、中期的な視点での太陽光発電の普及拡大に資する。
- E . 2009年度末までに、電力系統側が受け入れ可能な、導入台数の制限のない能動型単独運転検出装置の試験方法を確立する。
- F . 2012年度までに、風力発電の基礎から応用までの技術について、国際的な動向を把握しつつ、我が国特有の気象・地形に起因する各種問題(風車耐久性等)を克服するための研究開発を行って、我が国の風車産業の振興に資するとともに、IEA RD&D WINDなどの最先端の国際的風力発電共同研究に研究成果を反映させる。

また、2012年度までに、高精度落雷リスクマップを作成するとともに、風力発電設備へのより効果的な落雷等に対する対策を策定する。

- G . 2013年度までに、我が国の海象・気象条件に適した、洋上風況観測システム、洋上風力発電システム及び環境影響評価の手法等の技術を確立する。
- H . 2004年度より、バイオマスエネルギー転換プロセスにおける各工程のボトルネックを抽出し、2008年度までに開発が完了するよう、それぞれのボトルネックをブレイクスルーする要素技術開発を提案公募方式により実施する。更に、2005年度より2009年度まで、バイオマスのエネルギー転換・利用技術等の分野において2030年の普及を目指した新規な革新的技術を発掘するための先導技術研究開発を提案公募方式により実施する。
- I . 潜在的なオプションの顕在化や関連産業分野の技術開発による技術革新により、新エネルギー導入促進技術オプションの多様化と経済性の向上に寄与する。

#### 研究開発期間

2007年度～2011年度

## (2) 新エネルギー技術フィールドテスト事業(運営費交付金)

### 概要

2010年度の新エネルギー導入目標達成に向け、新技術を活用した太陽光発電及び太陽熱利用システムの有効性の検証、バイオマス熱利用システムの性能・経済性等の検証、風車立地に必要な高所の風況データの収集・解析など総合的な新エネルギーフィールドテストを実施する。具体的には以下のフィールドテストを実施する。

- A. 新技術を活用した太陽光発電システム等を設置し、出力特性等の情報収集及び分析を行うことで、その有効性を確認するとともに、ガイドラインの策定等により広く情報発信を行う。(太陽光発電新技術等フィールドテスト事業)
- B. 新利用形態の太陽熱利用システムや未利用分野においてシステムを設置し、出力特性等の情報収集及び分析を行うことで、その有効性を確認するとともに、ガイドラインの策定等により広く情報発信を行う。(太陽熱高度利用システムフィールドテスト事業)
- C. 広く薄く賦存するバイオマスを、民間企業や研究機関等において研究開発が終了段階をむかえた高効率に熱利用できるシステムを設置し、設置場所の熱需要に合わせたフィールドテストを実施することにより、実運転におけるバイオマス熱利用転換システムとしての課題抽出、解決を行い、早期実用化を図り、バイオマスエネルギーの導入促進を行う。(地域バイオマス熱利用フィールドテスト事業)
- D. 風力発電の導入目標(2010年度300万kW)を達成するため、共同研究事業者と大型風車の導入普及に必要な高所の風況データの収集・解析・評価を行い、公開する。(風力発電フィールドテスト事業)

### 技術目標及び達成時期

- A. 設置システムについて、2007年度に策定したガイドラインを2009年度、2012年度及び2015年度に見直し改訂する。
- B. 設置システムについて、2007年度に策定したガイドラインを2009年度に改訂する。また、2012年度及び2015年度に見直し改訂する。
- C. 一定レベルまで確立されたバイオマス熱利用技術について、性能や経済性等の状況・データを収集・分析し、熱利用システムの有効性を実証するとともに、これらの結果を公表することで汎用性の高い熱利用システムの確立し、2010年度のバイオマス熱利用の導入目標(308万KL)達成を目指す
- D. 2010年度までに、高所の風況データの解析・評価を行い、導入普及に有用な資料の取りまとめを行い、これらの結果を風力発電事業者、研究機関や風力発電事業を計画している各種団体等に公開することにより、風力発電導入の素地を形成し、風力発電の導入を拡大する。

### 研究開発期間

2007年度～2011年度

### (3) 新エネルギー技術実用化補助金(運営費交付金)

#### 概要

科学技術基本計画における戦略的技術領域・課題にかかる技術課題等で石油代替エネルギーの製造・生成・利用に資する実用化開発を行う民間企業に対し助成支援する。

#### 技術目標及び達成時期

助成事業終了後3年以上を経過した時点で25%の実用化達成率。加えて、知的資産経営の方針に対する審査時の評価を通じて、「技術等の知的資産を活かす経営の下で収益拡大を図る(技術を経営、収益につなげる)」意識を普及させる。

#### 研究開発期間

2000年度～

### (4) 非化石エネルギー産業技術研究助成事業(運営費交付金)

#### 概要

産業界や社会のニーズに応える石油代替技術のシーズの発掘とその育成、並びに、石油代替技術に関する次世代の研究リーダーの育成を図る。この目的のため、産業界からの期待が高い技術領域・課題を提示した上で、大学や独立行政法人の若手研究者等から研究開発テーマを募集する。厳正な外部評価によって石油代替効果があり且つ独創的・革新的なテーマを選定し、研究者代表者個人を特定して助成金を交付する。

#### 技術目標及び達成時期

独創性のある若手研究者等を助成すると共に、中間評価ゲート方式が醸成する競争的環境の下で企業との連携を強化させることにより、10～15年後の実用化が有望な革新的石油代替技術の研究開発を促進する。本事業では革新的石油代替技術の実用化への第1歩となる特許について、助成期間終了後の出願比率を100%とすることを目標とするとともに、石油代替技術に関する次世代の研究リーダーの育成を図る。

#### 研究開発期間

2000年度～

## 4 - - . 太陽・風力

### (1) 太陽光発電無線送受電技術の研究開発

#### 概要

将来の新エネルギーシステムとして期待される宇宙太陽光発電システム(SSPS)の中核的技術として応用可能なマイクロ波による太陽光発電無線送受電技術の確立に向け、安全性や効率性等の確保に不可欠な精密ビーム制御技術の研究開発を行う。

#### 技術目標及び達成時期

2012年度までに複数のフェーズドアレイパネル間の位相同期を行い、パイロット信号の方向にマイクロ波を電送するレトロディレクティブ技術を活用した精密ビーム制御技術の確立を目指す。

研究開発期間

2008年度～2012年度

#### 4 - - . 電力系統制御・電力貯蔵

##### (1) 革新型蓄電池先端科学基礎研究(運営費交付金)

概要

電池の基礎的な反応原理・反応メカニズムを解明することで、既存の蓄電池の性能向上及び革新型蓄電との実現に向けた基礎技術の確立を目指す。

技術目標及び達成時期

世界最高レベルの放射光施設を用いた評価装置により、蓄電池の反応メカニズムを解明するとともに、2030年に電気自動車の航続距離500km、コスト1/40を実現すべく、新材料の開発を行う。

研究開発期間

2009年度～2015年度

##### (2) 次世代蓄電システム実用化戦略的技術開発(運営費交付金)(4 - - 参照)

##### (3) 大規模電力供給用太陽光発電システム安定化等実証事業(運営費交付金)(4 - - 参照)

#### 4 - - . バイオマス・廃棄物・地熱等

##### (1) E3地域流通スタンダードモデル創成事業(運営費交付金)

概要

離島(全域)におけるエタノール3%混合ガソリン(E3)の製造から給油までの大規模なフィールドテストを通じ、E3利用に関する社会システムモデルの構築と一般社会へ適用する際の技術課題の抽出を行う。

技術目標及び達成時期

2010年の「京都議定書目標達成計画」の導入目標(50万kl)に資するため、2009年度にE3利用の社会モデルを構築し、2011年度までにその検証を行う。

研究開発期間

2007年度～2011年度

##### (2) バイオマス等未活用エネルギー実証事業(運営費交付金)

概要

地域に賦存する未活用な資源であるバイオマスをエネルギーとして有効活用するため、溶融ガス化等熱化学的変換技術による燃料化システムやメタンガス等生物化学的変換技術による燃料化システム等の実証試験事業、事業可能性調査等を実施し、利用ノウハウ等を蓄積、本格的なバイオマス等エネルギーの導入を推進する。

技術目標及び達成時期

2009年度までに、バイオマス等の種別やエネルギー変換手法、更には地域

特性を加味した一連のエネルギー転換システム毎のフィージビリティスタディや試験設備の設置により、バイオマス等の運搬・収集、エネルギー転換及びエネルギー利用に係るデータの収集、分析、評価を実施し、その結果をフィードバックすることによって本格的なバイオマス等エネルギーの導入を目指す。

研究開発期間

2001年度～2009年度

### (3) バイオマスエネルギー地域システム化実験事業（運営費交付金）

概要

バイオマスエネルギーの資源収集・運搬、転換、残渣処理、利用までの一連の利活用システムについての、各要素の連携の最適化を図るための実証を実施することによって、地域特性に適合した地域主導によるバイオマスの地産地消・地域循環型の先導的モデルシステムを構築することによりバイオマスエネルギーの導入を促進する。

技術目標及び達成時期

2009年度までに、国内バイオマス資源の安定的かつ経済的な供給システム、最適なエネルギー転換技術、エネルギー転換後に発生する残渣の処理等の一連の地産地消型エネルギー転換システムについて、ノウハウ蓄積、課題抽出及びその対策方法の策定、技術確立を行う。また、ここで確立されたバイオマスエネルギーシステムは他地域への波及を先導する事例となることを目標とする。

研究開発期間

2005年度～2009年度

### (4) セルロース系エタノール革新的生産システム開発（運営費交付金）

概要

大規模安定供給が可能で、かつ食料と競合しない、草本系、木質系のセルロース系バイオマス原料の栽培からバイオエタノール製造までの一貫生産システムを構築し、環境負荷、経済性等を評価する。加えて、大規模生産に当たり危惧されている、生態系破壊、森林破壊、ライフサイクルでの環境負荷増大等の負の影響についての適切な評価、認証等、持続可能なバイオ燃料の生産拡大を担保する社会システム整備のあり方についても調査研究を行う。

技術目標及び達成時期

2015年までに、製造コスト40円/L以下、エネルギー回収率35%以上を達成するための技術開発を行う。

研究開発期間

2009年度～2013年度

#### 4 - - . 燃料電池

##### (1) 固体高分子形燃料電池実用化戦略的技術開発(運営費交付金)

###### 概要

自動車用、家庭・業務用等に利用される固体高分子形燃料電池(PEFC)の実用化・普及に向け、要素技術、システム化技術及び次世代技術等の開発を行うとともに、共通的な課題解決に向けた研究開発の体制の構築を図る。

###### 技術目標及び達成時期

2009年度までに、固体高分子形燃料電池の経済性・耐久性の向上や高性能化のための技術開発を行い、燃料電池の普及段階へ向けて必要な基本的技術を確立する。

###### 研究開発期間

2005年度～2009年度

##### (2) 燃料電池先端科学研究(運営費交付金)

###### 概要

燃料電池の基本的反応メカニズムについての根本的な理解を深めるために、高度な科学的知見を要する現象解析及びそのための研究体制の整備を行い、現状の技術開発における壁を打破するための知見を蓄積する。

###### 技術目標及び達成時期

2009年度までに、燃料電池内における反応機構を電気化学(電極触媒反応、イオン移動、分子移動等)及び材料化学(溶解・腐食反応、錯形成反応、ラジカル反応、固相内拡散等)の観点から解明する。また、燃料電池新技術の性能を適切に評価・実証するための基本システムを構築する。

###### 研究開発期間

2005年度～2009年度

##### (3) 固体酸化物形燃料電池システム要素技術開発(運営費交付金)

###### 概要

固体酸化物形燃料電池(SOFC)は発電効率が高く、分散型電源として期待されるが、実用化・普及のためには耐久性・信頼性向上、低コスト化等の課題を解決することが必要であり、材料開発や劣化要因解明など基盤的な要素技術の研究を行う。

###### 技術目標及び達成時期

2012年度までに、耐久性・信頼性の向上のための劣化要因解明等の基礎研究、低コスト化のための材料等や高出力セルスタックの開発、起動停止対応等の実用性向上のための技術開発を実施する。

###### 研究開発期間

2008年度～2012年度

#### (4) セラミックリアクター開発（運営費交付金）

##### 概要

低温域かつ高効率なエネルギー変換を可能とする次世代型セラミックリアクターの実現のため、世界最高効率の燃料電池マイクロセルの集積構造技術等の開発を行う。

なお、本事業は、エネルギー需給構造の高度化を図る観点から行うものである。

##### 技術目標及び達成時期

2009年度までに、新電解質材料の適用や電極反応の高効率化等による、低温作動時（650以下）での出力性能を向上させる材料技術と共に、マイクロセルの集積構造化や精緻なインターフェース構築のための製造プロセス技術を開発。そして、これらの技術を統合することにより、次世代型セラミックリアクターとしてのプロトタイプモジュール実証（出力性能2kW/L等）を行う。

##### 研究開発期間

2005年度～2009年度

#### (5) 水素製造・輸送・貯蔵システム等技術開発（運営費交付金）

##### 概要

水素の製造・輸送・貯蔵等に係る機器やシステムについて、性能・信頼性・耐久性の向上や低コスト化を目指す水素利用技術の研究開発を行い、水素社会の実現に必要な基盤技術の確立を図る。

##### 技術目標及び達成時期

2012年度までに、水素製造・貯蔵・輸送・充填に関する機器やシステムの信頼性・耐久性向上、低コスト化、性能向上等実用化検証や要素技術開発、及び当該技術を飛躍的に進展させることができる革新的技術開発や調査研究などを行い、その成果を産業界に提供することにより、水素エネルギー初期導入間近の関連機器製造・普及技術として完成させ、水素社会の真の実現に必要な基盤技術の確立を図る。

##### 研究開発期間

2008年度～2012年度

#### (6) 水素貯蔵材料先端基盤研究事業（運営費交付金）

##### 概要

世界トップ水準の優れた研究者を中核に、国内外の研究機関・企業のバーチャルな連携の下、高圧水素貯蔵に比べよりコンパクトかつ効率的な水素貯蔵を可能とする水素貯蔵材料の性能向上に必要な条件等を明らかにすることにより、燃料電池自動車の航続距離の飛躍的向上を図る。

##### 技術目標及び達成時期

2011年度までに、水素貯蔵材料の基本原則、さらには水素貯蔵能力の革新的向上に必要な条件を明らかにすることにより、水素をより安全・簡便・効率的かつ低コストに輸送・貯蔵するための技術基盤を確立する。



研究開発期間

2007年度～2011年度

(7) 水素先端科学基礎研究事業(運営費交付金)

概要

水素の輸送や貯蔵に必須な材料に関し、水素脆化等の基本原理の解明及び対策の検討を中心とした高度な科学的知見を要する先端的研究を、国内外の研究者を結集し行うことにより、水素をより安全・簡便に利用するための技術基盤を確立する。

技術目標及び達成時期

2012年度までに、水素脆化、水素トライボロジーの基本原理の解明及び対策の検討等を行い、水素をより安全・簡便に利用するための技術指針を産業界に提供する。

研究開発期間

2006年度～2012年度

(8) 水素社会構築共通基盤整備事業(運営費交付金)

概要

燃料電池の導入・普及に資する基盤整備のため、製品性能の試験・評価手法及び国内外の基準・標準の確立を図る。

技術目標及び達成時期

2009年度を目途に、安全性等に係るデータを取得し、そのデータを基に試験・評価手法の確立、国際標準の確立、規制の再点検を三位一体で進める。

研究開発期間

2005年度～2009年度

(9) 固体酸化物形燃料電池実証研究(運営費交付金)

概要

発電効率が高く、分散型電源として期待される固体酸化物形燃料電池(SOFC)の研究開発・実用化の促進のため、耐久性を始めとしたデータの取得・課題抽出等のための実証を実施する。

技術目標及び達成時期

2010年度までに、SOFCシステムの実証試験を数十～数百台規模で実施し、蓄積が不足している耐久性を始めとした実証データの取得・課題抽出等を行い、SOFC技術開発等へのフィードバックを行う。

研究開発期間

2007年度～2010年度

( 1 0 ) 燃料電池システム等実証研究 ( 運営費交付金 )

概要

実条件に近い中での燃料電池自動車等の実証走行や、高圧水素貯蔵システム、多角的な燃料供給システムの検証を進め、水素エネルギー社会における水素利用の課題等を抽出するとともに、燃料電池・水素に対する国民的理解の醸成を図る。

技術目標及び達成時期

2010年度までに、実使用条件下における技術的課題を抽出するとともに、環境特性、エネルギー総合効率、安全性、耐久性等に関する基準・標準に資するデータを取得し、燃料電池自動車、水素ステーションの研究開発等へのフィードバックを行う。

研究開発期間

2006年度～2010年度

( 1 1 ) 将来型燃料高度利用技術開発 ( 4 - - 参照 )

4 - . 原子力等利用の推進とその大前提となる安全の確保

4 - - . 軽水炉・軽水炉核燃料サイクル

< 新型軽水炉 >

( 1 ) 次世代軽水炉等技術開発

概要

2030年前後に見込まれる大規模な代替炉建設需要に対応するため、安全性・経済性、信頼性等に優れ、世界標準を獲得し得る次世代軽水炉の技術開発を行う

技術目標及び達成時期

2010年度までに、次世代軽水炉の実現に必要な要素技術開発等及びプラント概念の成立性について見通しを得るための概念設計検討を行う。

研究開発期間

2008年度～2010年度 ( 見直し )

< 軽水炉使用済燃料再処理技術の高度化 >

( 2 ) 使用済燃料再処理事業高度化

概要

再処理施設で用いられるガラス固化技術について、より多くの白金族元素等を含む高レベル廃液を溶融可能な新しい性状のガラスを開発するとともに、これに対応しうる新型の溶融炉を開発することにより、我が国の使用済燃料再処理技術の高度化を図る。新型ガラス溶融炉の開発に際しては、六ヶ所再処理工場の運転経験を反映する研究もあわせ行う。

技術目標及び達成時期

より多くの白金族元素等を含む高レベル廃液を溶融可能なガラス及び溶融炉の開発等によって、より高品質のガラス固化体を製造可能なガラス固化技術を開発する。

また、本事業によって開発されたガラス固化技術を、5年程度で更新が計画されている日本原燃株式会社六ヶ所再処理工場のガラス溶融炉及び同工場のガラス固化施設の運転に反映させる。

研究開発期間

2009年度～2011年度

#### < プルサーマルの推進 >

##### (3) 全炉心混合酸化物燃料原子炉施設技術開発

概要

プルサーマルが当面のプルトニウム利用策として期待されていることを踏まえ、既存の軽水炉に比べ約3倍のプルトニウムを装荷することができる全炉心混合酸化物燃料原子炉に必要な技術開発を行う。

技術目標及び達成時期

2011年度までに、原子炉の開発に必要な設計、解析、試験等を行い、全炉心混合酸化物燃料原子炉技術を確立する。

研究開発期間

1996年度～2011年度

#### < 軽水炉サイクルから高速増殖炉サイクルへの円滑な移行のための技術開発 >

##### (4) 高速炉再処理回収ウラン等除染技術開発

概要

FBR実証炉及び関連サイクル施設の早期実現を図るため、文部科学省と連携し、「高速増殖炉サイクル実用化研究開発」を推進する。そのなかで、次世代再処理工場から発生する高線量回収ウラン等を既存軽水炉燃料製造施設で取扱可能とする、次世代再処理工場と調和可能な回収ウラン等の除染技術について、調査・基礎試験等を行い、商業的に利用可能な除染技術候補の検討等を実施する。選定された技術については、プロセス試験等を実施する。

技術目標及び達成時期

2010年度までに、回収ウラン等の除染プロセスの候補技術の洗い出し及び候補プロセス技術の基礎試験を終了し、次世代再処理技術との適合性の検証を行い、プロセス試験を実施すべき除染プロセス技術を選定する。

また、2015年までに、選定した除染プロセス技術について工学化規模でのプロセス試験を行い、商業的に利用可能な転換前高除染技術としての実効性を検証する。

研究開発期間

2007年度～2015年度

#### < ウラン濃縮技術の高度化 >

##### (5) 遠心法ウラン濃縮技術開発

概要

我が国におけるウラン濃縮技術や生産能力の維持・向上のため、世界最高水準

の性能を有するなど国際的に比肩し得る経済性と性能を有する新型遠心分離機を開発する。

技術目標及び達成時期

2009年度までに、国際役務価格\$100/kg SWU相当を目指して、現在実用化している金属胨遠心分離機の約5倍という高い分離性能や同遠心分離器を上回る寿命など国際的に比肩し得る技術レベルを有する新型遠心分離機の開発を目指すとともに、最終仕様の新型遠心分離機を多数台用いたカスケード試験の実施により商用プラントとしての信頼性を確立し、運転要領の策定を行う。

研究開発期間

2002年度～2009年度

#### < 回収ウラン >

##### (6) 回収ウラン利用技術開発

概要

六ヶ所再処理工場で回収される回収ウランを再濃縮し、再び軽水炉で利用するため、濃縮施設等既存施設への影響等を把握し、転換プロセスを中心とした回収ウラン利用技術を開発する。併せて劣化ウラン酸化固形化についても検討を行う。

技術目標及び達成時期

2012年頃までに、劣化ウランの取扱・管理の容易さや貯蔵効率を向上させるための劣化ウラン酸化固形化（再転換を含む）技術の研究開発を行い、同技術に係る基礎プロセスを確立する。2015年度頃までに、再処理により回収される回収ウランの濃縮が可能な商用遠心分離機的设计を確定する。

研究開発期間

2008年度～2015年度

#### < 共通基盤技術開発 >

##### (7) 革新的実用原子力技術開発

概要

第4世代原子力システムに関する国際フォーラム（GIF）や国際原子力エネルギー・パートナーシップ（GNEP）等の国際協力枠組みにおいて国際連携による研究開発が提案されている技術分野や、近年希薄化が懸念される原子力を支える基盤技術分野について、産業界の参画やニーズ提示のもと、大学等が実施する研究活動への支援や将来の原子力人材の育成を実施しており、各分野の目的に沿った革新的な技術開発を行う。

技術目標及び達成時期

2011年度まで、基盤技術分野、国際協力技術分野において個別テーマ毎に研究開発を実施する。

研究開発期間

2000年度～2011年度（見直し）

#### 4 - - . 高速増殖炉（FBR）サイクル

##### （1）発電用新型炉等技術開発

###### 概要

FBR実証炉及び関連サイクル施設の早期実現を図るため、文部科学省と連携し、「高速増殖炉サイクル実用化研究開発」を推進する。具体的には、実証炉に必要な要素技術のうち、設計・建設段階において必要となる実プラント技術として、格納容器設計技術、耐震性評価技術、高温材料設計技術、保守・補修技術、大型構造物製作技術の試験等を実施する。

###### 技術目標及び達成時期

2010年度までに、実証炉の概念設計へ反映しうる設計基準データ等の技術的根拠を得る。

###### 研究開発期間

2007年度～2010年度

##### （2）高速炉再処理回収ウラン等除染技術開発（4 - - 参照）

#### 4 - - . 放射性廃棄物処理処分

##### （1）地層処分技術調査等

###### 概要

###### ）地層処分共通技術開発

高レベル放射性廃棄物等の地層処分における共通的技术として、今後段階的に進められる処分地選定の際に重要となる地質等調査技術の高度化開発を行う。

###### ）高レベル放射性廃棄物関連処分技術開発

高レベル放射性廃棄物処分に係る基盤技術として、人工バリア等の長期性能評価技術、処分場操業の際のオーバーパック溶接や搬送・定置等の遠隔操作技術の開発を行う。

###### ）TRU廃棄物処分関連技術開発

TRU廃棄物の地層処分に係る基盤技術として、高レベル放射性廃棄物との併置処分の可能性も念頭に、TRU廃棄物に固有に含まれる核種の閉じ込め技術や人工バリア等の長期性能評価技術の開発を行う。

###### 技術目標及び達成時期

###### ）地層処分共通技術開発

2011年度までに、処分地選定の初期段階で必要となる地上からの調査技術のうち、特に沿岸域の環境や高精度での地下水評価等に係る調査評価技術の高度化・確証を行う。

###### ）高レベル放射性廃棄物関連処分技術開発

2011年度までに、人工バリア等の長期性能評価技術や遠隔操作等の工学技術について高度化を図り、幅広い地質環境に対応可能な技術選択肢と成立性を提示する。

###### ）TRU廃棄物処分関連技術開発

2011年度までに、TRU廃棄物に固有に含まれるヨウ素129や炭素1

4の閉じ込め、高アルカリ環境下での人工バリアの性能評価等に関し、幅広い地質環境に対応可能なデータ・モデルの整備と技術選択肢の提示を行う。

研究開発期間

1998年度～2011年度

(2) 管理型処分技術調査等

) 地下空洞型処分施設性能確認試験

概要

T R U廃棄物や発電所廃棄物等の余裕深度処分において検討されている「地下空洞型処分施設」の成立性確認のため、実規模大の空洞を利用した総合的な確認試験を行う。

技術目標及び達成時期

2011年度までに、実規模大の空洞内にコンクリートピット等からなる地下空洞型処分施設を構築し、施工性や初期性能の総合的な確認を行う。

研究開発期間

2006年度～2011年

(3) 放射性廃棄物共通技術調査等

概要

) 放射性廃棄物重要基礎技術研究調査

放射性廃棄物処分に係る国内外の最新知見の収集・分析、重要かつ基礎的な課題の抽出並びに研究を実施し、長期に及ぶ処分事業等を支える技術基盤の拡充を図る。

) 放射性核種生物圏移行評価高度化調査

放射性廃棄物処分の安全評価に共通的な基盤情報として、生物圏における核種移行プロセスを評価するため、日本の風土を反映した核種移行パラメータ・モデルを整備する。

技術目標及び達成時期

) 放射性廃棄物重要基礎技術研究調査

2011年度までに、放射性廃棄物処分に共通的な重要基礎技術として、地質環境の長期安定性評価、人工バリアや岩盤の長期挙動評価等に係る知見を整備する。

) 放射性核種生物圏移行評価高度化調査

2011年度までに、沿岸域の環境も含めたわが国表層環境への適用とT R U廃棄物に固有の核種等を考慮した、生物圏核種移行のモデルとデータベースを構築する。

研究開発期間

2001年度～2011年度

#### 4 - - . 原子力利用推進に資する電力系統技術

##### (1) イットリウム系超電導電力機器技術開発(運営費交付金)

###### 概要

世界的にも我が国が最先端の技術力を有する次世代高温超電導線材を活用し、経済社会の基盤となる電力の安定的かつ効率的な供給システムを実現するため、系統を適正に制御し、電力供給を安定化させるための技術及び発電電力を無駄なく輸送するための高効率な送電技術の確立を目指す。

###### 技術目標及び達成時期

2012年度までに、イットリウム系超電導線材を用いたSME S、電力ケーブル、変圧器実現のための重要な技術開発を行い、各機器の成立性を実証する。

###### 研究開発期間

2008年度～2012年度

##### (2) 高温超電導ケーブル実証プロジェクト(運営費交付金)

###### 概要

革新的な高効率送電技術を確立して高温超電導ケーブルの実用化を促進するため、工業生産プロセスで実用化レベルに達している高温超電導線材(DI-BSCCO等)を活用し、首都圏の系統に接続する実証試験及び評価を行う。

なお、本事業は、発電用施設による電気の供給の円滑化を図る観点から行うものである。

###### 技術目標及び達成時期

2011年度までに、200MVA級の中間接続部を有した三心一括型高温超電導ケーブルを、冷却装置や保護装置などの付帯設備とともに66KV実系統に接続して、12ヶ月以上の長期連系試験を行うことによって総合的な安全性や信頼性を実証する。

###### 研究開発期間

2007年度～2012年度

#### 4 - - . その他電力供給安定化技術

##### (1) 大規模電力供給用太陽光発電系統安定化等実証事業(運営費交付金)

###### 概要

大規模太陽光発電を電力系統に連系した場合に課題となる系統安定化対策やピーク対策のための技術等を開発するとともに、その有効性を実証する。

また、国内外の先進的な次世代技術の価格性能を比較することを通じて技術開発を加速する。

###### 技術目標及び達成時期

2010年度までに、下記の実証研究を行い、その有効性を確認する。

(イ) 蓄電池等を組み合わせた出力変動抑制システムの有効性。

(ロ) 発電出力のピーク制御(午後のピーク帯へのシフト)の有効性。

(ハ) 大型インバータによる高調波抑制システムの有効性。

(ニ) 国内外メーカーの太陽電池モジュールの特性比較を行い、性能、経済性等

を比較・検証。

研究開発期間

2006年度～2010年度

## (2) 次世代蓄電システム実用化戦略的技術開発(運営費交付金)

概要

蓄電池技術は、新エネルギーの出力安定化や燃料電池自動車(FCEV)・ハイブリッド自動車(HEV)・電気自動車(EV)等の高効率次世代自動車に共通する重要なコア技術である。そこで、高性能蓄電システムに係る要素技術開発、新材料開発及び基盤技術の開発を行う。

A．系統連系円滑化蓄電システム技術開発

B．次世代自動車用高性能蓄電システム技術開発

技術目標及び達成時期

A．2010年度末において、寿命10年、コスト4万円/kWh、1MW規模のシステムおよび要素技術の確立と2030年において寿命20年、コスト1.5万円/kWh、20～30MW規模の蓄電システムを見通せる技術開発。また、新エネルギー対応の充放電パターン等、基礎データの整備、大型化に伴う安全性や寿命等の評価手法の確立。

B．2011年度末において、電池開発では、0.3kWhモジュールを作製し、重量エネルギー密度100Wh/kg、出力密度2000W/kg、寿命10年、コスト4万円/kWhを達成すること(条件:3kWhの組電池、100万台生産ベース)。電池構成材料及び電池反応制御技術の開発では重量エネルギー密度200Wh/kg、出力密度2500W/kg、コスト3万円/kWhを小型単電池で達成すること(上記と同条件)。たま、電池周辺機器開発では、格段の高性能化、コンパクト化、低コスト化を達成すること。さらに、重量エネルギー密度500Wh/kgを見通せる新規概念・構造の蓄電池基礎開発の他、劣化・寿命診断法、安全性評価などの各種試験法等の開発およびそれら共通基盤技術の基準・標準化。

研究開発期間

2007年度～2011年度

## (3) 発電プラント用超高純度金属材料の開発(運営費交付金)

概要

超高純度金属材料を発電設備の蒸気配管等に実用化することを目指し、高純度金属材料の高度化に向けた低コスト・量産化製造技術を開発し、実使用環境における超高純度金属材料の耐久性試験等を行う。

なお、本事業は、発電用施設における電気の供給の円滑化を図る観点から行うものである。

技術目標及び達成時期

2009年までに、不純物総量100ppm未満、溶解量数100kg以上の低コスト・量産化技術製造技術を開発するとともに、製造された超高純度材料が発電プ



ラントの各種機器に適用でき、本材料の持つ優れた特性を長期に亘って発揮できることを確認する。

研究開発期間

2005年度～2009年度

#### 4 - . 化石燃料の安定供給確保と有効かつクリーンな利用

##### 4 - - . 石油・天然ガス・石炭の探鉱・開発・生産技術

###### (1) 石油・天然ガス開発・利用促進型大型/特別研究(運営費交付金)

概要

石油及び可燃性天然ガス資源の開発に係る技術の振興を図る観点から、大水深、複雑な地層といった悪条件化が進む石油・天然ガスの探鉱・開発技術、利用拡大が見込まれる天然ガス田の開発促進に資する天然ガス有効利用技術等について、短期間で実用化が期待され、民間ニーズに直結した研究開発を提案公募により実施する。

技術目標及び達成時期

2012年度までに、我が国の石油・天然ガスの探鉱・開発技術力の向上、及び天然ガスの利用の促進に向けた天然ガスの有効利用技術の開発を行う。

研究開発期間

2001年度～2012年度

###### (2) 石炭生産技術開発

概要

石油代替エネルギーである石炭の安定供給を図るため、発熱量が低いものの低灰分、低硫黄といった特徴を有する低品位炭の有効利用を目的として、低品位炭の発熱量を高め、自然発火性を抑制する低品位炭改質技術を開発する。

技術目標及び達成時期

2009年度までに、3500～5000kcal/kgの発熱量の低品位炭を瀝青炭並みの6000kcal/kg以上に改質する低品位炭改質技術を開発し、600t/d大型実証プラントでの製造技術を確立する。

研究開発期間

2006年度～2009年度

###### (3) 石油精製物質等簡易有害性評価手法開発(運営費交付金)

概要

石油の生産及び流通の合理化を図る観点から、石油製品等に含まれる化学物質によるリスクを把握し、必要な対策を適切に行うことを可能とするため、*in vitro*培養系技術等の活用により遺伝子組換え細胞等を用いた*in vitro*系簡易有害性予測手法、また、トキシコゲノミクスを活用した短期動物試験結果と相関する遺伝子発現データセットを開発する。

技術目標及び達成時期

2010年度までに、遺伝子導入技術、幹細胞分化誘導技術、生物発光技術等

を適用した培養細胞を用いて、試験期間1ヶ月程度、発がん性、催奇形性及び免疫毒性を予測評価できる試験手法を開発し、また、遺伝子発現解析技術を短期動物試験に適用し、28日間反復投与試験結果と相関する遺伝子発現データセットを完成させる。また、標準的な試験プロトコルを策定する。

研究開発期間

2006年度～2010年度

#### (4) 石油資源遠隔探知技術の研究開発

概要

我が国が開発・運用する多様な地球観測センサ(ASTER、PALSAR等)の地球観測データを用いて、石油・天然ガス等の安定供給確保のため、資源開発・探査、環境観測等に有効なデータの処理解析手法の研究開発を行う。また、地球観測データのような大容量のデータを容易に扱えるシステムの研究開発を実施することで資源開発・探査、環境観測を含む多様な分野でのリモートセンシングの利用拡大を図る。

技術目標及び達成時期

2010年度までに、資源開発・探査、環境観測等の分野における地球観測データ処理・解析技術の向上及び地球観測データの利用の拡大を図る。

研究開発期間

1981年度～2010年度

#### (5) ハイパースペクトルセンサ等の研究開発(運営費交付金)

概要

資源開発に有効な岩石・鉱物や地質構造解析の高次元解析を可能とするハイパースペクトルセンサの開発を行うとともに、軌道上におけるデータ取得の実証を行い、センサ技術の確立を行う。

技術目標及び達成時期

2011年度までにスペクトル分解能200バンド前後のハイパースペクトルセンサを開発し、地表面のスペクトル情報を取得して資源開発に有効なセンサ技術の実証を行う。

研究開発期間

2007年度～2011年度

#### (6) 次世代合成開口レーダ等の研究開発

概要

石油の生産及び流通の合理化を図る観点から行うものであり、石油及び可燃性天然ガス資源等の開発に資するため、資源探査能力を格段に向上した合成開口レーダである次世代合成開口レーダ(PALSAR)の健全性評価やセンサを維持することにより、取得される画像データを用いた石油・天然ガス資源の遠隔探知を行う技術を確立する。

#### 技術目標及び達成時期

PALSAARの開発、健全性の評価・維持を実施することにより、2010年度までに、レーダ技術の高度化（アンテナ指向の電子制御化、分解能の向上、多偏波観測等）を図る。

#### 研究開発期間

1993年度～2010年度

### (7) 極軌道プラットフォーム搭載用資源探査観測システムの研究開発

#### 概要

石油の生産及び流通の合理化を図る観点から行うものであり、石油及び可燃性天然ガス資源等の開発に資するため、資源探査能力を格段に向上した光学センサである資源探査用将来型センサ（ASTER）の健全性評価やセンサを維持することにより、取得される画像データを用いた石油・天然ガス資源の遠隔探知を行う技術を確立する。

#### 技術目標及び達成時期

ASTERの開発、健全性の評価・維持を実施することにより、2010年度までに、センサ技術の高度化（ポインティング機能の追加、分解能の向上、熱センサの搭載等）を図る。

#### 研究開発期間

1987年度～2010年度

## 4 - - . 石油・天然ガスの有効利用技術

### (1) 石油燃料次世代環境対策技術開発

#### 概要

バイオマス燃料から製造した石油製品が自動車排出ガスに及ぼす影響、新たな自動車燃焼技術（自着火燃焼（着火までに燃料と空気を十分に混合し、その混合気体を点火プラグの使用なしで圧縮することにより着火させる燃焼法でNOx排出低減、熱効率が高い等の利点がある））に適応した燃料に関する技術開発を実施する。

また、建設機械、発電機等のオフロードエンジンの排ガスによる環境負荷低減や石油燃焼機器の効率的な利用を進めるための技術開発を実施する。

#### 技術目標及び達成時期

バイオマス燃料の利用時における、燃料と自動車エンジン技術の両面の影響評価を進め、技術的課題を解決し、運輸部門における燃料多様化を目指す。

また、オフロードエンジンの規制は欧米が先行していることから、2012年頃、欧米において規制強化が予定されている排ガス規制に対応した技術を確立し、我が国における規制強化に対応可能な燃焼技術を実現することを目指す。

#### 研究開発期間

2002年度～2011年度

## (2) 石油精製高度機能融合技術開発

### 概要

石油精製業を中心とする石油コンビナート全体の横断的かつ高度な運営機能の融合を図り、単独企業のみでは達成困難なコンビナート域内の省資源、省エネルギーの向上を進めるため、異業種異企業間における限りある貴重なエネルギー資源の利用効率の高い生産技術に関し技術の開発・実証を行う。

### 技術目標及び達成時期

2009年度までに、我が国における他のコンビナートへの波及効果を含め、CO<sub>2</sub>排出量を63万トン/年削減可能とする技術を確立する。

### 研究開発期間

2006年度～2009年度

## (3) 将来型燃料高度利用技術開発

### 概要

省エネ、二酸化炭素削減効果が見込まれる燃料電池自動車の燃料である高純度(99.99%以上)水素を安定的かつ経済的に供給することは重要である。石油は、その長所として豊富な水素供給余力と安価な水素製造技術及び全国に展開した災害に強いガソリンスタンドを保有している。これら石油の長所を活かした水素供給システムの確立により、水素社会の早期実現に貢献するものである。本事業では、製油所からの高純度水素供給技術開発とガソリンスタンドを拠点とする高純度水素製造技術開発を行う。

### 技術目標及び達成時期

コスト低減のため製油所におけるナフサから高効率(80%以上)な高純度水素製造を可能とする新たな技術を開発する。また、供給地のガソリンスタンドにおいて有機ハイドライドから高純度の水素を高効率(80%)に取り出すための水素発生装置を開発する。また、脱硫後の灯油硫黄分を検出限界以下の10ppb以下とする脱硫剤の開発を行うとともに、貴金属使用量を2-3wt%から0.5wt%以下まで低減しても、従来と同等の高い性能が維持できる改質触媒を開発する。さらに、膜分離型反応器を用いた99.99%高純度水素の製造効率を80%、4万時間の耐久性が期待できる水素製造システムを開発する。

### 研究開発期間

2008年度～2010年度

## (4) 革新的次世代石油精製等技術開発

### 概要

原油価格の高騰・高止まりや原油の重質化と製品需要構造変化等の石油を巡る大きな環境変化のなか、連産品である石油製品を今後とも長期的に安定化かつ効率的に供給するためには、製油所の更なる高度化に向けた技術の開発実用化が必要である。このため、非在来型原油を含めた重質油を原料として、製油所におけるボトムレス化、余剰となる分解留分の高付加価値等のためのプロセスや触媒技術等の開発を行う。また、次世代の技術シーズ創出のため、これまでの技術とは

異なる発想により我が国唯一の革新的な新規触媒研究、新規膜分技術研究、新規製造プロセス研究等を産官学の連携等により実施する。

技術目標及び達成時期

2011年度までに重質油対応型高過酷度接触流動分解技術(HS-FCC)については、3千BD規模(商業レベルの1/10規模)の実証研究を通じ、プロピレン収率20%以上(既存技術4%程度)、将来不足が予想される高オクタン価ガソリン基材(RON98(既存技術92程度))の製造を可能とする技術を確立する。

研究開発期間

2007年度～2011年度

#### (5) 次世代高信頼性ガスセンサー技術開発

概要

一酸化炭素中毒やガス漏れなどのガス事故を限りなくゼロに近づけるため、センサー素子のナノレベルでのメカニズム解析及び開発設計を行い、コードレスで高信頼性を有する次世代高信頼性ガスセンサ(COセンサ・メタンセンサ)を開発する。

なお、本事業は、エネルギー需給構造の高度化を図る観点から行うものである。

技術目標及び達成時期

2011年度までに、最先端のナノテクノロジー及びMEMS技術を導入し、電池駆動で5年以上の長寿命、高信頼性(数百ppm以下の故障率)、低コストなCOとメタンのセンサを開発する。

研究開発期間

2008年度～2011年度

#### (6) 天然ガスの液体燃料化(GTL)技術実証研究(運営費交付金)

概要

硫黄等を含まず排出ガスがクリーン、着火性が高いという特徴を有することから石油系燃料代替として期待されるGTLについて、天然ガス中に含まれるCO<sub>2</sub>を除去せず、原料として積極的に活用することから、従来利用が困難であったCO<sub>2</sub>を多く含むガス田からの天然ガスが利用可能、CO<sub>2</sub>除去装置が不要であることによる生産設備コストの低減が可能、といった強みを有する我が国独自のGTL製造技術の確立を図る。

技術目標及び達成時期

2010年度までに、実証プラントによる運転研究(500バレル/日)を行い、商業規模でのGTL製造技術を確立する。

研究開発期間

2006年度～2010年度

#### (7) 石油・天然ガス開発・利用促進型大型/特別研究(運営費交付金)(4 - - 参照)

#### (8) 高効率ガスタービン実用化技術開発(4 - - 参照)

#### 4 - - .メタンハイドレート等非在来化石資源の利用技術

##### (1)メタンハイドレート開発促進委託費

###### 概要

日本周辺海域に相当量の賦存が見込まれ、国産のクリーンなエネルギー資源として有望なメタンハイドレートを利用可能とするため、資源量評価手法、生産手法及び環境影響評価手法等の確立のための技術開発を行う。

###### 技術目標及び達成時期

2016年度までに、商業的産出のための技術を整備することを目指し、日本周辺海域におけるメタンハイドレートの賦存状況と特性の明確化、有望賦存海域からのメタンハイドレート資源フィールドの選択及び現場産出試験等による生産手法の確立等を推進する。

###### 研究開発期間

2001年度～2016年度

##### (2)革新的次世代石油精製等技術開発(4 - - 参照)

#### 4 - - .石炭クリーン利用技術

##### (1)革新的ゼロエミッション石炭火力発電プロジェクト

###### 概要

石炭の高効率な利用を図るために、

- ・ 酸素吹きによる石炭ガス化発電の開発実証及び化学吸収法によるCO<sub>2</sub>の分離・回収技術の実証
- ・ 石炭ガス化発電からCCSまで一貫したトータルシステムの設計等
- ・ 次世代IGCC(石炭ガス化複合発電)など革新的な石炭ガス化技術にかかる先進基盤研究

を行う。

###### 技術目標及び達成時期

2009年度までに、パイロットプラントにおいて、高圧の石炭ガスからCO<sub>2</sub>の分離・回収技術の確立及びガス化炉の信頼性向上へ向けて、3炭種以上の適応炭種拡大試験を実施する。

###### 研究開発期間

2007年度～2012年度

##### (2)国際革新的ゼロエミッション石炭火力発電プロジェクト補助金

###### 概要

石炭火力発電から排出されるCO<sub>2</sub>の削減技術について諸外国との実証事業等を実施し、当該技術の普及基盤を整備することにより、エネルギー供給に対する環境上の制約を取り除き、もって我が国エネルギー需給構造の安定化を図る。

###### 技術目標及び達成時期

石炭ガス化技術等実証普及事業では、海外において取り組みが進められているゼロエミッション型石炭火力発電の石炭ガス化・発電技術、CO<sub>2</sub>分離回収技術、

CO<sub>2</sub>輸送貯留技術等に関する情報収集や関連する技術調査の実施等により、我が国におけるゼロエミッション型石炭火力発電の実用化開発に資する技術・知見を得る。

酸素燃焼国際共同実証事業では、既存の微粉炭火力発電の改造による酸素燃焼方式のゼロエミッション型石炭火力発電プラントの実用化を目標とするものであり、既存のプラントの改造により対応可能であること、酸素燃焼を行うことにより、燃焼ガスからCO<sub>2</sub>を分離する装置が不要であることから、比較的lowコストで極めて大きなCO<sub>2</sub>削減効果が期待できる。

石炭火力発電原油増進回収国際共同事業では、2008年5月の日中首脳会談で合意された「日中間でのCCS-EOR（二酸化炭素の回収・貯留、石油増進回収法）協力」に係る日中共同事業として、中国における石炭火力発電CCS-EOR事業の事前調査としてCCS-EORの有効性確認、CCS-EORの経済性・事業実現性等を検討する。これらにより、多量のCO<sub>2</sub>排出削減を実現するモデルの構築、世界のCO<sub>2</sub>排出削減への貢献が期待出来る。

研究開発期間

2007年度～2016年度

### (3) 先進超々臨界圧火力発電実用化要素技術開発費補助金

概要

従来の超々臨界圧火力発電(USC)は、蒸気温度の最高温度は630程度が限界で、送電端熱効率も42～43%が原理的限界といわれてきた。しかしながら、近年の材料技術の進歩により、700以上の蒸気温度を達成できる可能性が見えてきたことから、これらの材料を活用した先進超々臨界圧火力発電技術(A-USC)の開発を行うものである。A-USCは、蒸気温度700級で46%、750級で48%の高い送電端熱効率の達成が可能な技術であり、2020年以降増大する経年石炭火力発電のリプレース需要に対応するため、早急に技術開発を進める必要がある。そのため、ボイラーメーカー、タービンメーカー及び材料メーカーが共同でA-USCの技術開発に取り組む。

技術目標及び達成時期

平成22年度までにシステム基本設計を完了し、シミュレーションにより送電端熱効率46%～48%の達成が可能なことを確認する。平成24年度までにボイラー、タービン部材等が700以上の蒸気温度に耐えられるかどうかを試作、評価し、経済性を含めたシステム成立性への見通しを得る。平成27年～平成28年度に実缶試験、回転試験を実施し、蒸気温度700以上の条件下でボイラー、タービンの信頼性を確認する。また、ボイラー、タービン部材について3万～7万時間の長期信頼性試験を実施し材料特性を検証する。

研究開発期間

2008年度～2016年度

(4) 石炭利用技術開発(一部、運営費交付金)

概要

環境適合的な石炭利用の拡大を図るため、石炭利用プロセスにおける環境影響を低減させる手法の開発等、クリーン・コール・テクノロジーの開発を行う。

技術目標及び達成時期

2009年度までに、

- ・ 化学原料等に利用可能な合成用ガスを石炭乾留ガスから無触媒で製造する技術をパイロットプラントで確立する(無触媒石炭乾留ガス改質技術開発)。

2011年度までに、

- ・ 石炭利用プロセスにおいて、環境分析技術の高精度化、環境影響成分の挙動解析のためのモデルの構築等により、環境への影響低減手法を開発する(戦略的炭化ガス化・燃焼技術開発)。

研究開発期間

1995年度～2011年度

- ・ 戦略的炭化ガス化・燃焼技術開発 2007年度～2011年度
- ・ 無触媒石炭乾留ガス改質技術開発 2006年度～2009年度

(5) 噴流床石炭ガス化発電プラント開発費補助金

概要

供給安定性に優れた石炭の高効率かつ低環境負荷での利用を図るため、石炭をガス化して燃料とし、コンバインドサイクル(ガスタービンと蒸気タービンの組合せ)を駆動する高効率発電技術(石炭ガス化複合発電技術(IGCC: Integrated coal Gasification Combined Cycle)の実証試験を行う。

技術目標及び達成時期

2009年度までに、25万kWの実証機を用いた実証試験により、熱効率40.5%(送電端、高位発熱量ベース)を目指す。この目標は50万kWの商用機における熱効率46～48%に相当する。本技術は実証試験終了後の2010年度より商用化が可能である。

研究開発期間

1999年度～2009年度

(6) 資源対応力強化のための革新的製鉄プロセス技術開発(運営費交付金)(4 - 参照)



4 - - . その他・共通

- ( 1 ) 新エネルギー技術実用化補助事業 ( 運営費交付金 )( 4 - - 参照 )
- ( 2 ) 非化石エネルギー産業技術研究助成事業 ( 運営費交付金 )( 4 - - 参照 )
- ( 3 ) 固体高分子形燃料電池実用化戦略的技術開発 ( 運営費交付金 )( 4 - - 参照 )
- ( 4 ) 燃料電池先端科学研究 ( 運営費交付金 )( 4 - - 参照 )
- ( 5 ) 固体酸化物形燃料電池システム要素技術開発 ( 運営費交付金 )( 4 - - 参照 )
- ( 6 ) 水素製造・輸送・貯蔵システム等技術開発 ( 運営費交付金 )( 4 - - 参照 )
- ( 7 ) 水素貯蔵材料先端基盤研究 ( 運営費交付金 )( 4 - - 参照 )
- ( 8 ) 水素社会構築共通基盤整備事業 ( 運営費交付金 )( 4 - - 参照 )
- ( 9 ) 水素先端科学基礎研究事業 ( 運営費交付金 )( 4 - - 参照 )
- ( 10 ) 固体酸化物形燃料電池実証研究 ( 運営費交付金 )( 4 - - 参照 )
- ( 11 ) 燃料電池システム等実証研究 ( 運営費交付金 )( 4 - - 参照 )

## 5．政策目標の実現に向けた環境整備（成果の実用化、導入普及に向けた取組）

### 5 - ．総合エネルギー効率の向上

- 事業者単位の規制体系の導入
- 住宅・建築物に係る省エネルギー対策の強化
- セクター別ベンチマークの導入と初期需要創出（高効率機器の導入補助等）
- トップランナー基準の対象機器の拡充等
- アジアにおける省エネルギー対策の推進を通じた我が国の国際競争力の向上
- 国民の省エネルギー意識の高まりに向けた取組

### 5 - ．運輸部門の燃料多様化

- 公共的車両への積極的導入
- 燃費基準の策定・改定
- アジアにおける新エネルギー協力
- 国際標準化による国際競争力向上

### 5 - ．新エネルギー等の開発・導入促進

- 補助金等による導入支援
- 新エネルギーベンチャービジネスに対する支援の拡大
- 新エネルギー産業構造の形成
- 電気事業制度・ガス事業制度の在り方の検討

### 5 - ．原子力利用の推進とその大前提となる安全の確保

- 電力自由化環境下での原子力発電の新・増設の実現
- 資源確保戦略の展開
- 次世代を支える人材育成
- 中小型炉の海外市場への展開、我が国原子力産業の国際展開支援
- 原子力発電拡大と核不拡散の両立に向けた国際的枠組み作りへの積極的関与
- 国と地域の信頼強化

### 5 - ．化石燃料の安定供給確保と有効かつクリーンな利用

- 資源国等との総合的な関係強化（研究開発の推進・協力、人材育成・技術移転、経済関係強化など）
- 化石燃料のクリーンな利用の開拓

## 6．研究開発の実施に当たっての留意事項

事業の全部又は一部について独立行政法人の運営費交付金による実施されるもの（事業名に（運営費交付金）と記載したもの）は、中期目標、中期計画等に基づき、運営費交付金の総額の範囲内で当該独立行政法人の裁量によって実施されるものである。

また、事業名に（採択テーマ）と記載された事業は、提案公募事業により採択されたテーマを記載したものであり、その採択や評価等は、提案公募事業の実施機関の責任の下、実施されるものである。

## 7. 改訂履歴

- (1) 平成16年7月7日付け、省エネルギー技術開発プログラム基本計画、新エネルギー技術開発プログラム基本計画、燃料技術開発プログラム基本計画、電力技術開発プログラム基本計画、原子力技術開発プログラム基本計画制定。固体高分子形燃料電池/水素エネルギー利用プログラム基本計画(平成16・02・03産局第6号)は、新エネルギー技術開発プログラム基本計画に統合することとし、廃止。
- (2) 平成17年3月31日付け制定。省エネルギー技術開発プログラム基本計画(平成16・06・04産局第8号) 新エネルギー技術開発プログラム基本計画(平成16・06・04産局第10号) 燃料技術開発プログラム基本計画(平成16・06・04産局第12号) 電力技術開発プログラム基本計画(平成16・06・04産局第11号) 原子力技術開発プログラム基本計画(平成16・06・04産局第13号)は、廃止。
- (3) 平成18年3月31日付け制定。省エネルギー技術開発プログラム基本計画(平成17・03・25産局第14号) 新エネルギー技術開発プログラム基本計画(平成17・03・25産局第9号) 燃料技術開発プログラム基本計画(平成17・03・25産局第17号) 電力技術開発プログラム基本計画(平成17・03・25産局第12号) 原子力技術開発プログラム基本計画(平成17・03・25産局第13号)は、廃止。また、次世代低公害車技術開発プログラム基本計画(平成17・03・29産局第2号)は、省エネルギー技術開発プログラム基本計画及び燃料技術開発プログラム基本計画に統合することとし、廃止。
- (4) 平成19年4月2日付け制定。省エネルギー技術開発プログラム基本計画(平成17・03・31産局第19号) 新エネルギー技術開発プログラム基本計画(平成18・03・31産局第15号) 燃料技術開発プログラム基本計画(平成18・03・31産局第18号) 電力技術開発プログラム基本計画(平成18・03・31産局第17号) 原子力技術開発プログラム基本計画(平成18・03・31産局第16号)は、廃止。
- (5) 平成20年4月1日付け、エネルギーイノベーションプログラム基本計画制定。省エネルギー技術開発プログラム基本計画(平成19・03・26産局第1号) 新エネルギー技術開発プログラム基本計画(平成19・03・20産局第4号) 燃料技術開発プログラム基本計画(平成19・03・19産局第7号) 電力技術開発プログラム基本計画(平成19・03・16産局第3号) 原子力技術開発プログラム基本計画(平成19・03・23産局第2号)は、本プログラム基本計画に統合することとし、廃止。
- (6) 平成21年4月1日付け制定。エネルギーイノベーションプログラム基本計画(平成20・03・25産局第5号)は廃止。

(別 添)

平成 21・03・23 産局第 2 号

平成 2 1 年 4 月 1 日

## ITイノベーションプログラム基本計画

### 1. 目的

我が国が目指す高度情報通信ネットワーク社会の構築に向け、経済成長戦略大綱、IT新改革戦略、科学技術基本計画及び技術戦略マップ等に基づき、情報化の進展に伴うエネルギー消費量の増大等の課題にも考慮しつつ、その基盤となる情報通信機器・デバイス等の情報通信技術を開発し、実社会への利用を促進する。また、情報システム・ソフトウェアについて品質、信頼性及び生産性の向上を推進し、組込みソフトウェア産業強化、オープンソースソフトウェアを安心して活用するための環境整備、独創的な人材の発掘等、我が国産業競争力強化のための必要な基盤整備を実施することによって、ITの利活用の深化・拡大を図り、より豊かな国民生活を実現するとともに、我が国の経済活力の向上を図ることを目的とする。

### 2. 政策的位置付け

「経済成長戦略大綱」(2006年7月財政・経済一体改革会議。2007年6月改訂・経済財政諮問会議報告、2008年6月改訂・経済財政諮問会議報告)

IT革新による競争力強化、IT革新を支える産業・基盤の強化に必要な研究開発の推進に対応

「第3期科学技術基本計画」(2006年3月閣議決定)

国家的・社会的課題に対応した研究開発の重点推進4分野である情報通信分野、分野別推進戦略(2006年3月総合科学技術会議)における重点分野である情報通信分野に位置づけられるもの。

「IT新改革戦略」(2006年1月高度情報通信ネットワーク社会推進戦略本部)

次世代のIT社会の基礎となる研究開発の推進等に対応。「ITによる地域活性化等緊急プログラム」(2008年2月)、「IT政策ロードマップ」(2008年6月)、「重点計画-2008(2008年8月)」等を策定。

### 3. 達成目標

(1) 情報経済社会を形成する上で必要不可欠な基盤技術である情報通信機器・デバイス等に関しては、「革新的な技術の確立」と「その開発成果の普及促進」を図る。

#### 【目標】

- ・情報通信機器・デバイス産業の付加価値額を、2020年度において、2008年度比で、約50%増加させる。
- ・半導体の微細化に係る革新的基盤技術の開発(テクノロジード45nm以細)
- ・革新的な大型ディスプレイ技術の開発(消費電力を現状機器と比較して約50%以下)

- ・革新的なネットワーク機器技術の開発（消費電力を現状機器と比較して60%以下）

(2) 経済社会システムの信頼性確保に大きく寄与する情報システム・ソフトウェアに関しては、品質、信頼性及び生産性の向上や産学官の開発リソースの連携強化により、「人材育成」と「ソフトウェア工学の開発」等を積極的に推進する。

【目標】

- ・情報サービス・ソフトウェア産業の付加価値額を、2015年度において、2004年度比で、約25%増加させる。
- ・組み込みシステム等の不具合発生率（2011年度までに2006年度比50%減）

#### 4. 研究開発内容

[プロジェクト]

- ・ITコア技術の革新

[i] 世界最先端デバイスの先導開発

(1) 次世代半導体材料・プロセス基盤プロジェクト(MIRAI)(運営費交付金)

概要

テクノロジーノード45nm以細のデバイスの実現に必要な極限微細化技術や、新構造CMOSの研究開発などの既存技術のブレークスルーが期待される先端的基盤技術研究を行う。また、国際半導体ロードマップにおいてエマージングテクノロジーと呼ばれる萌芽的な先端基盤技術の開発に取り組み、技術の見極め・絞り込みを行う。

技術目標及び達成時期

2010年度までに半導体の微細化に関してテクノロジーノード45nm以細のデバイス実現に必要な革新的基盤技術を、産業界において自ら実用化に向けた展開を図る際の判断ができる水準まで技術開発を行い、技術選択肢として提示する。

研究開発期間

2001年度～2010年度

(2) 次世代低消費電力半導体基盤技術開発(MIRAI)(運営費交付金)(再掲)

概要

IT化の進展、IT利活用の高度化を支え、あらゆる機器に組み込まれている半導体の低消費電力化を図るため、テクノロジーノード(微細化レベル)45nm以細の次世代低消費電力半導体の実現を目指し、微細加工の基盤技術やマスク(半導体素子製造過程で用いる原板)の低コスト化・製造時間短縮に必要な基盤技術開発を行う。

なお、本事業は、エネルギー需給構造の高度化を図る観点から行うものである。

技術目標及び達成時期

2010年度までに、マスク設計・描画・検査の各工程に共通的なマスクデータ処理技術、繰り返しパターンやパターン重要度を利用した描画・検査高速化技術等の基本的な開発及びEUVLマスク基盤技術として、許容欠陥の指標明確化、ブランクスの位相欠陥検査技術の確立等を完了する。

研究開発期間

2004年度～2010年度

### (3) ドリームチップ開発プロジェクト(運営費交付金)

#### 概要

あらゆる社会ニーズに情報技術が今後も迅速に対応し、夢の社会を創り上げるため新しい方向の半導体技術として、これまで平面的な構造に過ぎなかった半導体デバイスに、立体構造という新たな概念を取り込み、社会ニーズの要請に適確に対応すべく、産業・ユーザーと密接な連携をとりながら、多様な用途に応じた夢の新機能デバイス(ドリーム・チップ)を開発する。

#### 技術目標及び達成時期

2012年度までに、立体構造化技術を発展・統合し、これまでにない革新的な半導体(ドリームチップ)基盤技術を開発する。

#### 研究開発期間

2008年度～2012年度

### (4) 次世代プロセスフレンドリー設計技術開発(運営費交付金)(再掲)

#### 概要

あらゆる機器に組み込まれている半導体の低消費電力化を図るため、テクノロジーノード45nm以細の半導体に対応するSoC(System on Chip)設計技術を開発する。具体的には、テクノロジーノード45nm以細の半導体の共通設計基盤技術開発として、DFM(Design For Manufacturing)基盤技術を中核とした設計及び製造の全体最適を確保する全く新しいSoC製造フローを開発する。

なお、本事業は、エネルギー需給構造の高度化を図る観点から行うものである。

#### 技術目標及び達成時期

テクノロジーノード45nm以細のSoC開発において製造性を考慮した共通設計基盤技術を確立し、システムLSIデバイスの省エネルギーを実現するとともに、設計生産性を従来予想に比べ2倍にすることを目標とする。

#### 研究開発期間

2006年度～2010年度

### (5) ナノエレクトロニクス半導体新材料・新構造技術開発 - うち新材料・新構造ナノ電子デバイス(運営費交付金)(再掲)

#### 概要

従来の半導体は、性能の向上(高速化、低消費電力化、高集積化)を確保するために微細化が進められてきたが、絶縁性、誘電率等の物理的限界、微細化に伴う製造コストの増大など、集積度向上によるメリットが十分達成されなくなっている。

本研究開発では、シリコンで培った微細化技術やデバイス原理を活用しながら、シリコン材料の物理的限界を突破するための“新材料”および“新(デバイス)構造”の開発を行い、次世代の電子デバイス技術を確立する。

#### 技術目標及び達成時期

2011年度までに、産業界が10年後を見据えた将来の電子デバイスを開発する際に、産業技術として活用できるかどうかの実現可能性を見極め、また技術シーズを確立する。

#### 研究開発期間

2007年度～2011年度

( 6 ) スピントロニクス不揮発性機能技術プロジェクト ( 運営費交付金 )( 再掲 )

概要

将来のエレクトロニクスにおいて中核的な基盤技術となり得るスピントロニクス技術 ( 電子の電荷ではなく、電子の自転 = 「スピン」を利用する全く新しいエレクトロニクス技術 ) を確立するため、強磁性体ナノ構造体におけるスピンの制御・利用基盤技術を開発し、我が国が世界に誇るシーズ技術を核として、産学官の共同研究体制を構築し、将来の中核的エレクトロニクス技術における我が国の優位性の確保を図る。

技術目標及び達成時期

2010年度までに、超高集積で高速な不揮発性メモリとして期待されるスピンメモリのための基盤技術を確立する。また、新ストレージ・メモリデバイス、不揮発性スピン光機能素子、スピン能動素子等の新しい動作原理によるスピン新機能素子の実現のための基盤技術を確立する。

研究開発期間

2006年度～2010年度

( 7 ) 半導体機能性材料の高度評価基盤開発 ( 運営費交付金 )( 再掲 )

概要

情報通信機器の高機能化や低消費電力化等の要求を満たす半導体集積回路を実現するため、新たな機能性材料開発に貢献する評価基盤技術を開発し、さらに開発した機能性材料を半導体及び半導体集積回路に適用できる統合的なソリューション技術を開発する。

なお、本事業は、エネルギー需給構造の高度化を図る観点から行うものである。

技術的目標及び達成時期

2011年度までに、半導体デバイス性能に直結する接合素子の性能性及び信頼性等、半導体製造プロセス全体を俯瞰しつつ機能性材料開発が可能となる評価基盤技術を開発し、開発した機能性材料を用いた統合的なソリューションが提案できる材料評価基盤を構築する。

研究開発期間

2009年度～2011年度

[ ii ] 半導体アーキテクチャの革新

( 1 ) 半導体アプリケーションチッププロジェクト ( 運営費交付金 )( 再掲 )

概要

エネルギー需給構造の高度化を図る観点から行うものであり、情報通信機器、特に、情報家電 ( 車載を含む ) の低消費電力化を実現できる半導体アプリケーションチップ技術の開発を行う。

なお、本事業は、エネルギー需給構造の高度化を図る観点から行うものである。

技術目標及び達成時期

2009年度までに情報家電の低消費電力化を実現できるアプリケーションチップ技術を開発する。

研究開発期間

2003年度～2009年度

## (2) 次世代回路アーキテクチャ技術開発事業

### 概要

大学等での優秀な人材による革新的な半導体デバイス技術の開発を促進するため、革新的なアイデアによる半導体デバイス技術の提案を募集し、研究開発により設計された半導体デバイスを実際の半導体デバイスとして試作・評価を行う。

### 技術目標及び達成時期

2010年度までに、本プロジェクトによって産業界が「実活用が期待できる」と評価する回路アーキテクチャを10件以上創出する。

### 研究開発期間

2008年度～2012年度

## [ iii ] 光技術の革新利用

### (1) 低損失オプティカル新機能部材技術開発(運営費交付金)(再掲)

#### 概要

近接場光の原理・効果を応用した低損失オプティカル新機能部材技術を開発し、実用化の目処を得ることを目的とする。動作原理に近接場光を用いるオプティカル新機能部材は、従来の材料特性のみに依存した光学部品では不可能な機能・性能を発揮し、液晶プロジェクター・液晶ディスプレイなど情報家電の省エネルギー、高性能・高信頼化を図る上でのキーデバイスとなることが期待できる。

なお、本事業は、エネルギー需給構造の高度化を図る観点から行うものである。

#### 技術目標及び達成時期

2010年度までに、共通基盤技術として、ナノ構造部材の設計・作製・評価技術を開発するとともに、ナノ構造部材に発現する近接場光の機能を動作原理とする低損失オプティカル新機能部材を検討し機能を確認する。

#### 研究開発期間

2006年度～2010年度

### (2) 次世代光波制御材料・素子化技術(運営費交付金)(再掲)

#### 概要

ガラス材料に関する精密モールド技術を確立し、機能性の高い光波制御素子を低コストで生産できるプロセス技術を開発することで部材の小型化・高機能化を図りつつ、省エネを実現する。

なお、本事業は、エネルギー需給構造の高度化を図る観点から行うものである。

#### 技術目標及び達成時期

2010年度までにサブ波長レベルの微細構造をガラス表面にモールド成形する技術を実現し、実装可能な具体的なデバイスを作製する。

#### 研究開発期間

2006年度～2010年度

### (3) 三次元光デバイス高効率製造技術(運営費交付金)(再掲)



## 概要

波面制御素子による空間光変調技術を確立し、ガラス中に三次元造形を高精度に一括形成できるプロセス技術を開発する。この技術を用いて、具体的な光デバイスを作製し、当該技術の有効性の確認と市場への早期参入のための基盤技術を確立する。

### 技術目標及び達成時期

2010年度までに波面制御素子による空間光変調技術を用いたフェムト秒レーザー照射技術等を確立し、高精度の光デバイスを高速に作製できるプロセス技術を開発する。

### 研究開発期間

2006年度～2010年度

## ・省エネ革新

### [ i ] 情報ネットワークシステムの徹底的省エネの実現

#### ( 1 ) グリーンITプロジェクト( 運営費交付金 )( 再掲 )

##### 概要

情報化社会の進展に伴うIT機器の消費電力の大幅な増大に対応し、抜本的な省エネを実現するため、サーバ、ネットワーク機器等の各装置の省エネに加え、省エネ型の巨大コンピューティング技術( グリーン・クラウドコンピューティング技術 )、パワーエレクトロニクス技術等を開発する。

なお、本事業は、エネルギー需給構造の高度化を図る観点から行うものである。

##### 技術目標及び達成時期

2012年度までに、IT機器・システムのエネルギー消費効率を2倍に向上させる基盤技術を開発する。

##### 研究開発期間

2008年度～2012年度

#### ( 2 ) 次世代高効率ネットワークデバイス技術開発( 運営費交付金 )( 再掲 )

##### 概要

エネルギー需給構造の高度化を図る観点から行うものであり、ネットワークで伝送されるデータ量の爆発的増加に伴い、関連機器の消費エネルギーが増大している中で、ネットワーク全体の消費電力量を抑制することが喫緊の課題であり、消費エネルギーの低減に大きく貢献するルータ・スイッチの高速化のための研究開発を実施するとともに、機器そのものの消費エネルギーを低減するための研究開発を実施する。

なお、本事業は、エネルギー需給構造の高度化を図る観点から行うものである。

##### 技術的目標及び達成時期

2011年度までに、1チャンネルあたり40Gbps超の通信速度に対応するトラフィック計測・分析・管理技術や40Gbpsのインターフェース、さらなる通信速度向上( 100Gbps超 )を実現するハードウェア技術、SFQ( 単一磁束量子 ) スイッチに関する基盤技術を開発する。

##### 研究開発期間

2007年度～2011年度

( 3 ) 次世代高効率エネルギー利用型住宅システム技術開発・実証事業(再掲)

概要

ゼロ・エミッションハウスによる生活の大幅な省エネの実現に向け、家屋内直流配電システムや、電力需給の状態に応じた太陽電池等の分散型電源の制御、電力ネットワークを活用した家電の制御等、住宅全体としてエネルギーの最適制御を行うシステムの開発・実証を行う。

なお、本事業は、エネルギー需給構造の高度化を図る観点から行うものである。

技術的目標及び達成時期

2011年度までに、直流給電・配電に関する規格の標準化、直流配電の電流・電圧の規格化、蓄電池設置に係る安全規制の改正に対する提案が可能となる技術を確立する。

研究開発期間

2009年度～2011年度

[ ii ] 情報機器の徹底的省エネの実現

( 1 ) 次世代大型低消費電力ディスプレイ基盤技術開発(運営費交付金)(再掲)

概要

エネルギー需給構造の高度化を図る観点から行うものであり、次世代の大型液晶及び大型プラズマディスプレイに関する低消費電力ディスプレイを実現するための研究開発を行う。

なお、本事業は、エネルギー需給構造の高度化を図る観点から行うものである。

技術的目標及び達成時期

2011年度までに、液晶に関しては、高効率バックライト、革新的なTFTアレイプロセス技術・製造装置及び低消費電力型の画像処理エンジン等に係る技術を確立する。また、プラズマディスプレイに関しては、超低電圧駆動等に係る技術を確立する。

研究開発期間

2007年度～2011年度

[ iii ] 省エネを支えるプロセス基盤技術

( 1 ) ナノエレクトロニクス半導体新材料・新構造技術開発 - うち窒化物系化合物半導体基板・エピタキシャル成長技術の開発(運営費交付金)(再掲)

概要

窒化物系化合物半導体は、パワーデバイス、高周波デバイス、発光デバイス等、重要なデバイスの飛躍的な性能向上と消費電力削減への貢献を期待されている。このため、従来の半導体材料では実現出来ない領域で動作可能なハイパワー・超高効率の電子素子、超高速電子素子等の作成に必要な窒化物系化合物半導体先進技術の国際競争力を強化すべく、高品質かつ大口径単結晶基板、高品質かつ大口径エピタキシャル成長技術等の開発を行う。

なお、本事業は、エネルギー需給構造の高度化を図る観点から行うものである。

技術目標及び達成時期

2011年度までに、次世代窒化物系半導体デバイスを実現する以下結晶作製技術を開発する。

1) 基板技術 (GaN、AlNバルク結晶作製技術)

- ・口径2～4インチで高品質エピ成膜を可能とする低コストの単結晶基板作製技術の確立。

2) エピ技術 (エピタキシャル成膜及び計測評価技術)

- ・低欠陥高品質エピ層を実現する成膜技術及び膜成長過程を計測評価する技術の確立。
- ・高出力かつ高安定動作可能なエピ層の実現
- ・高耐圧超高速な新しいデバイス構造の開発

研究開発期間

2007年度～2011年度

・情報爆発への対応

ITの利活用による知の創造

(1) 情報大航海プロジェクト

概要

IT化の進展に伴い、現在、世界中において、情報量の「爆発」が起こっており、Web上のデジタル情報にとどまらず、社会活動のあらゆる場面において、情報の「創出」・「蓄積」がなされている。このため、個人情報や知的財産の適切な保護にも配慮しつつ、多種多様な大量の情報の中から必要な情報を簡便かつ的確に検索・解析するための技術開発を行うとともに、それらを用いた先進的な事業について実証することにより、技術の普及・展開を目指す。

技術的目標及び達成時期

2009年度までに、必要な情報を簡便かつ的確に検索・解析するための技術を開発し、汎用化してオープンに利用できるよう共通基盤を構築する。

研究開発期間

2007年度～2009年度

(2) ITとサービスの融合による新市場創出促進事業

概要

サービスの生産性向上や新しいサービスを創出するため、サービス工学の手法を活用して、情報蓄積・解析技術等のサービス実現に必要な情報技術を特定し、それらを組み合わせることによって、業種横断的に活用可能な共通する基盤技術の技術開発に取り組むとともに、それらを用いた先進的な事業について公的な分野で実証し、共通化・汎用化を行ってオープンにし、情報蓄積・解析技術等を活用した新サービスを生み出す。

技術的目標及び達成時期

2012年度までに、サービスの生産性向上や多種多様な個人やビジネスのニーズ、社会的課題に応える新たなサービスを創出するための技術や方法論を確立し、サービス分野における新事業基盤を構築する。

研究開発期間

2009年度～2012年度

(3) 車載ITシステムを活用した緊急医療体制整備

## 概要

救急搬送時において救急センターや救急車側に医療機関のリアルタイム性を高めた情報を提供するとともに、医療機関までの最速な順路を示すことにより、適切かつ迅速な救急搬送体制の高度化に寄与するシステムを開発する。

### 技術的目標及び達成時期

2012年度までに、各医療機関における医療スタッフ状況に関する情報を収集するためのシステムの開発およびこれと救急センターと連結する車載器の開発、医療スタッフ状況情報収集システムと車載器とをネットワークで連結するシステムを開発する。

### 研究開発期間

2009年度～2012年度

・情報システム・ソフトウェアの安全性・信頼性・生産性の向上とオープンスタンダードの普及推進

## (1) セキュアプラットフォームプロジェクト

### 概要

我が国産業のIT生産性の向上及び情報セキュリティレベルの底上げを図るため、異なる情報システムを一つのサーバ上に統合するだけでなく、これまで情報システムごとに別々に設定していた情報アクセス権限を統合し集中管理する機構を導入した革新的な仮想化技術(セキュア・プラットフォーム)の開発を行う。

### 技術的目標及び達成時期

2009年度までに、統合アクセス制御基盤や、それにより制御可能となるよう必要なアクセス機構を備えた仮想化機能等を開発する。

### 研究開発期間

2007年度～2009年度

## (2) 産学連携ソフトウェア工学の実践(運営費交付金を含む)

### 概要

現場の技術者の経験則等に委ねられていたソフトウェア開発に、工学的手法を導入すべく、ソフトウェアエンジニアリング手法を開発・普及する。

最初の適用分野として自動車分野を取り上げ、車載制御用基盤ソフトウェア等の開発を行うとともに、工学的手法を適用して、統合システムの信頼性を向上させる設計ツールの開発にも着手する。

### 技術的目標及び達成時期

2009年度までに、本事業による成果をユーザやベンダなどの民間企業に広く普及し、活用することにより、我が国におけるソフトウェアの生産性及び信頼性を向上させる。

### 研究開発期間

2004年度～2009年度

## (3) オープンソフトウェア利用促進事業(運営費交付金)

### 概要

誰もが利用できる標準化されたソフトウェアの活用を促進するため、その利用のための

技術的なガイド（技術参照モデル）の普及・改良や相互運用性を評価するための体制の整備等を進める。

技術的目標及び達成時期

2012年度までに、技術参照モデル（TRM）の開発・普及やOSSサポートに係る人材育成などを行うことにより、オープンスタンダードの普及推進を図る。

研究開発期間

2003年度～2010年度

#### （４）IT投資効率向上のための共通基盤開発プロジェクト

概要

我が国の生産性及び競争力の向上のため、情報家電をはじめとした分野でのIT投資を、競争領域と非競争領域に峻別し、非競争領域について共通基盤を開発・オープン化等を進めていく。海外の組込みソフトウェアの動向も調査することにより、国際的に通用する共通基盤の構築を目指す。あわせて情報システム分野において、海外の動向も踏まえつつ、業界横断的に利用可能な共通基盤を検討する。

技術的目標及び達成時期

非競争領域においては企業間で連携・強調し、IT投資の効率向上を図ることを目的とする共通基盤を2009年までに構築する。また、2010年までに共通基盤を用いた検証を行い、その結果を踏まえた上で、共通基盤の改善と産業界へ利用促進を図る。

研究開発期間

2008年度～2010年度

#### （５）ITSの規格化事業（第2フェーズ）

概要

主要国の自動車のITS技術及びその基盤となる電子化関連技術を調査し、今後標準化すべき分野の特定を行う。その結果をふまえ、標準化原案を作成し、ISOに提案を行う。また、当該原案が国際標準となるよう、ISOの国際会議に積極的に参加するとともに、随時、当該標準化原案の補強データを作成し、国際会議に提供する。

技術的目標及び達成時期

2010年度までにITSに係る標準化案を作成しISOに対して提案又は国際規格として制定する。また自動車の電子化技術に関して、次世代では日本が主導をとるべく戦略を策定。

研究開発期間

2006年度～2010年度

### 5．政策目標の実現に向けた環境整備

【法律】

- ・ 情報処理の振興を目的に、昭和45年に情報処理の促進に関する法律が制定。
- ・ 半導体集積回路の回路配置の適正な利用の確保を目的に、昭和63年に半導体集積回路の回路配置に関する法律が制定。

## 【税制】

- ・ 情報セキュリティ強化を確保しつつ生産性の向上を図るためのIT投資に対し、35%特別償却又は7%税額控除（情報基盤強化税制）。
- ・ ソフトウェアを含む機械装置等に対し、30%特別償却又は7%税額控除（中小企業投資促進税制）。

## 【国際標準化】

各プロジェクトで得られた成果のうち、標準化すべきものについては、適切な標準化活動（国際規格（ISO/IEC）、日本工業規格（JIS）、その他国際的に認知された標準の提案等）を実施する。特に、産学連携ソフトウェア工学の実践における組込みソフトウェア開発については、国際標準の動向を踏まえた開発を促進することにより、プロジェクトの成果の幅広い普及を促進する。

## 【関係機関との連携】

各プロジェクトのうち、研究開発を効率的・効果的に推進する観点から関係機関との連携が必要なものについては、これを積極的に行う。

但し、関係機関が行う研究開発等の独自性を妨げるものではない。

## 【導入普及促進】

成果の普及を図るため、これまでの終了プロジェクトの成果の全部または、一部についてはオープンソースソフトウェアとして公開する。また、高信頼な組込みソフトウェアの開発では、ソフトウェアエンジニアリングセンター（SEC）において提供される各種エンジニアリング手法を開発現場に適用し、当該技術の効果を明らかにしながら開発を進める。

## 【その他】

- ・ グラント事業  
NEDOの産業技術研究助成事業を活用し、萌芽的・革新的な情報通信関係の技術シーズの発掘を行う。また、ソフトウェア分野の独創的な技術やビジネスシーズを有した人材を発掘する。
- ・ 事業終了後の連携  
産学官連携の研究体制を通して活動を行い、これらの事業の終了後も各分野の研究者・技術者が有機的に連携し、更に新たな研究を作り出す環境を構築する。
- ・ 人材育成  
ハードウェア分野においては、出来る限り大学との連携を重視し、各種フェローシップ制度を活用しつつ、最先端の情報通信基盤研究現場への学生等の参画を推進することにより次世代の研究開発人材の育成を図る。また、ソフトウェア分野における独創的な人材を発掘し、育成するとともに、優秀な人材が集うコミュニティを構築するなど、発掘された人材の才能をさらに伸ばすための取組を進める。
- ・ 広報/啓発  
毎年10月を「情報化月間」としている。

## 6．研究開発の実施に当たっての留意事項

事業の全部又は一部について独立行政法人の運営費交付金により実施されるもの（事業名に（運営費交付金）と記載したものは、中期目標、中期計画等に基づき、運営費交付金の総額の範囲内で、当該独立行政法人の裁量によって実施されるものである。

## 7．改訂履歴

- (1) 平成12年12月28日付け、情報通信基盤高度化プログラム基本計画を制定。
- (2) 平成14年2月28日付け、情報通信基盤高度化プログラム基本計画及び次世代半導体デバイスプロセス等基盤技術プログラム基本計画を制定。情報通信基盤高度化プログラム基本計画（平成12・12・27工総第12号）は廃止。
- (3) 平成15年1月31日付け、情報通信基盤高度化プログラム基本計画及び次世代半導体デバイスプロセス等基盤技術プログラム基本計画を制定。情報通信基盤高度化プログラム基本計画（平成14・02・25産局第17号）及び次世代半導体デバイスプロセス等基盤技術プログラム基本計画（平成14・02・25産局第18号）は、廃止。
- (4) 平成15年3月10日付け、情報通信基盤高度化プログラム基本計画、次世代半導体デバイスプロセス等基盤技術プログラム基本計画、次世代ディスプレイ技術開発プログラム基本計画及び情報通信基盤ソフトウェア開発推進プログラム基本計画を制定。情報通信基盤高度化プログラム基本計画（平成15・01・29産局第1号）及び次世代半導体デバイスプロセス等基盤技術プログラム基本計画（平成15・01・29産局第2号）は、廃止。  
なお、情報通信機器高度化プログラム基本計画（平成15・01・29産局第1号）及び次世代半導体デバイスプロセス等基盤技術プログラム基本計画（平成15・01・29産局第2号）の一部は、次世代ディスプレイ技術開発プログラム基本計画及び情報通信基盤ソフトウェア開発推進プログラム基本計画へ移行。
- (5) 平成16年2月3日付け、高度情報通信機器・デバイス基盤プログラム基本計画及び情報通信基盤ソフトウェア開発推進プログラム基本計画を制定。情報通信機器高度化プログラム基本計画（平成15・03・07産局第14号）、次世代半導体デバイスプロセス等基盤技術プログラム基本計画（平成15・03・07産局第7号）、次世代ディスプレイ技術開発プログラム基本計画（平成15・03・07産局第4号）は、高度情報通信機器・デバイス基盤プログラム基本計画に統合することとし、廃止。また、情報通信基盤ソフトウェア開発推進プログラム基本計画（平成15・03・07産局第14号）は、廃止。
- (6) 平成17年3月25日付け、高度情報通信機器・デバイス基盤プログラム基本計画を制定。高度情報通信機器・デバイス基盤プログラム基本計画（平成16・02・03産局第1号）は廃止。また、平成17年3月31日付け、情報通信基盤ソフトウェア開発推進プログラム基本計画を制定。情報通信基盤ソフトウェア開発推進プログラム基本計画（平成16・02・03産局第2号）は廃止。
- (7) 平成18年3月31日付け、高度情報通信機器・デバイス基盤プログラム基本計画及び情報通信基盤ソフトウェア開発推進プログラム基本計画を制定。高度情報通信機器・デバイス基盤プログラム基本計画（平成17・03・25産局第7号）及び情報通信基盤ソフトウェア開発推進プログラム基本計画（平成17・03・25産局第6号）は廃止。
- (8) 平成19年4月2日付け、高度情報通信機器・デバイス基盤プログラム基本計画及び情

報通信基盤ソフトウェア開発推進プログラム基本計画を制定。高度情報通信機器・デバイス基盤プログラム基本計画（平成18・03・31産局第4号）及び情報通信基盤ソフトウェア開発推進プログラム基本計画（平成18・03・31産局第5号）は廃止。

- (9) 平成20年4月1日付け、ITイノベーションプログラム基本計画を制定。情報通信機器高度化・デバイス基盤プログラム基本計画（平成19・03・12産局第7号）及び情報通信基盤ソフトウェア開発推進プログラム基本計画（平成19・03・12産局第8号）は、本プログラム基本計画に統合することとし、廃止。
- (9) 平成21年4月1日付け、ITイノベーションプログラム基本計画を制定。ITイノベーションプログラム基本計画（平成20・03・27産局第1号）は、廃止。



(ナノテク・部材イノベーションプログラム・エネルギーイノベーションプログラム・IT  
イノベーションプログラム)

「半導体機能性材料の高度評価基盤開発」基本計画

ナノテクノロジー・材料技術開発部

## 1. 研究開発の目的・目標・内容

### (1) 研究開発の目的

我が国の材料産業は、国際的に高い技術力と競争力を有し、我が国の経済社会の発展を支えているが、川下産業との取引のオープン化に伴いユーザーとの連携の希薄化が進行する一方で、汎用的な材料技術はアジア諸国の技術向上によるキャッチアップが進行している。そのため我が国において産学官を含む連携の強化（川上川下の垂直連携、材料創成と加工の水平連携など）を図ることで、次世代の部材分野での我が国のイノベーションを促進することが喫緊の課題となっている。

そこで本プロジェクトは、「部材分野の技術戦略マップを活用し、将来の部材の基盤技術の方向性を見定めるとともに、材料関係者だけでなく多様な連携（川上川下の垂直連携、材料創成と加工の水平連携等）による基盤技術開発を支援することで、部材分野の技術革新を促進すること」を目的としたナノテク・部材イノベーションプログラム、我が国エネルギー供給の効率化に資するエネルギーイノベーションプログラム及びITの利活用の深化・拡大を図り、より豊かな国民生活を実現するとともに、我が国の経済活力の向上を図ることを目的とするITイノベーションプログラムの一環として本プロジェクトを実施する。

独立行政法人新エネルギー・産業技術総合開発機構（以下、「NEDO技術開発機構」という。）では平成15年度～平成17年度まで『次世代半導体ナノ材料高度評価プロジェクト』、平成18年度～平成20年度まで『次世代高度部材開発評価基盤の開発』を実施した。

『次世代半導体ナノ材料高度評価プロジェクト』では、これまで半導体デバイスにおけるバックエンドプロセスでの多層配線形成工程に用いられる材料とプロセス条件をセットにした部材（材料・プロセス）の統合的ソリューションを提案するため、その基盤となる要素技術として評価技術および開発支援ツール（TEG: Test Element Group）の開発を実施した。また、『次世代高度部材開発評価基盤の開発』では、半導体材料分野での各種新規材料・プロセスを最適統合させた部材の統合的ソリューションの提案につながる高度部材開発評価基盤の確立のため、配線工程からパッケージ工程までの一貫した材料評価方法を開発した。

しかし、新たな材料を短時間で半導体製造に実用化するためには、半導体製品の信頼性への影響が直接把握できる材料評価基盤が必要である。即ち半導体デバイス性能を支配する接合素子（p-n接合、SiO<sub>2</sub>-Si接合などを指す）の信頼性に対して、材料や製造工程の影響を的確に且つ迅速に把握できる高度材料評価基盤を確立し、半導体材料の問題点や課題を明確にして、材料開発をより一層高効率化しなければならない。さらに、製造工程全体を一貫して

評価することにより、新機能性材料の高効率開発とともに、材料の統合ソリューションを提案する事ができ、半導体製造技術の開発効率をも向上させる事ができる。

また、本プロジェクトで取り扱う対象部材は半導体集積回路に用いる製造材料のかなりの範囲を占めるため、一研究機関又は一企業での開発ではハードルが高く、リスクも大きい。このため、NEDO技術開発機構は、独自の材料開発技術を持った複数の産学の科学的知見を結集し、半導体集積回路のフロントエンドから配線工程、パッケージ組立工程までの一貫したプロセス検証を行うことによって信頼性のある統合部材を提供できる評価基盤を確立し、これを産業技術へ繋げていくとともに、社会の共通基盤として情報の整備、提供を行うとの事業方針に基づき、プロジェクトを実施するものである。

本技術開発により、回路の消費電力低減に必要な配線形成用各種材料等の開発のネックとなっている微細環境下のナノレベルでの材料間の相互影響まで評価可能な統合部材開発支援ツールを開発し、情報通信機器の高機能化、低消費電力等の要求を満たす半導体集積回路用材料の開発基盤技術を構築し、消費電力低減をもたらす高性能実用部材を展開することを目的とする。

## (2) 研究開発の目標

平成 23 年度までに、半導体デバイス性能に直結する接合素子 (p-n 接合、SiO<sub>2</sub>-Si 接合) の性能・信頼性まで含め、半導体製造プロセス全体を俯瞰して半導体材料が開発できる材料評価基盤を構築する。

最終目標 (平成 23 年度末) の詳細な目標については別紙の研究開発計画を参照のこと。

## (3) 研究開発内容

上記目標を達成するために、別紙の研究開発計画に基づき、以下の研究開発を実施する。

[助成事業 (助成率: 1/2)]

- ①接合素子を含む材料評価用配線 TEG の開発
- ②材料による金属汚染、応力影響の評価方法の開発
- ③半導体プロセス全体を考慮した材料評価基盤の開発

## 2. 研究開発の実施方式

### (1) 研究開発の実施体制

本研究開発は、NEDO技術開発機構が、原則本邦の企業、研究組合、公益法人等の研究機関 (原則、本邦の企業等で日本国内に研究開発拠点を有していること。なお、国外の企業等 (大学、研究機関を含む) の特別の研究開発能力、研究施設等の活用または国際標準獲得の観点から国外企業等との連携が必要な部分を、国外企業等との連携により実施することができる。) から、公募によって研究開発実施者を選定し、助成 (助成率 1/2) により実施する。

## 3. 研究開発の実施期間

本研究開発の期間は、平成 21 年度（2009 年度）から平成 23 年度（2011 年度）までの 3 年間とする。

#### 4. 評価に関する事項

NEDO 技術開発機構は、技術的及び政策的観点から、技術開発の意義、目標達成度、成果の技術的意義並びに将来の産業への波及効果等について、外部有識者による技術開発の事後評価を平成 24 年度に実施する。なお、評価の時期については、当該研究開発に係る技術動向、政策動向や当該研究開発の進捗状況等に応じて、前倒しする等、適宜見直すものとする。

#### 5. その他の重要事項

##### (1) 研究成果の取り扱い

得られた研究開発の成果については、知的基盤整備事業又は標準化等との連携を図るため、必要に応じてデータベースへのデータの提供、標準案の提案等を積極的に行うように促す。

##### (2) 基本計画の変更

NEDO 技術開発機構は、研究開発内容の妥当性を確保するため、社会・経済的状況、国内外の研究開発動向、政策動向、プログラム基本計画の変更、評価結果、研究開発費の確保状況、当該研究開発の進捗状況等を総合的に勘案し、達成目標、実施期間、研究開発体制等、基本計画の見直しを弾力的に行うものとする。

##### (3) 根拠法

本プロジェクトは、独立行政法人新エネルギー・産業技術総合開発機構法 第 15 条第 1 項第 3 号に基づき実施する。

#### 6. 基本計画の改訂履歴

##### (1) 平成 21 年 3 月、制定。

## (別紙) 研究開発計画

### 研究開発項目① 接合素子を含む材料評価用配線 TEG の開発

#### 1. 研究開発の必要性

半導体集積回路の消費電力低減には配線の低抵抗化、低寄生容量化が重要である。しかし、急速に微細化・高集積化が進展する半導体デバイスの開発においては、従来の手法では限界に達しつつあり、ナノレベルで制御された高度な機能を有する材料の導入が望まれている。ところが、新材料を半導体製造工程に導入する際の材料起因の課題や問題点、半導体の信頼性などに及ぼす影響を的確に予測できる評価技術が確立されていないことが、高機能性材料開発のネックになっている。これを解決するためには、材料開発支援ツールとして材料評価用の回路パターン (TEG) を開発し、それをを用いて各プロセス条件に対応した材料適性の評価を進める事が不可欠である。

『次世代高度部材開発評価基盤の開発』では、45nm ノード世代に対応して、配線素子を用いて配線工程から組立工程に至る要素技術および材料開発支援ツールの開発を行ってきた。その結果、配線からパッケージまでの一貫した材料評価基盤を構築し、材料開発効率の抜本的改善ならびに統合ソリューションの開発に貢献してきた。

しかし、新たな材料を短期間で半導体製造に実用化するためには、半導体製品の信頼性への影響が直接把握できる材料評価基盤が必要である。即ち半導体デバイス性能を支配する接合素子の信頼性に対して、材料や製造工程の影響を的確にかつ迅速に把握できる高度材料評価基盤を確立し、半導体材料の問題点や課題を明確にして材料開発をより一層高効率化しなければならない。さらに、製造工程全体を一貫して評価することにより、開発された新機能性材料とプロセス条件を最適化した統合ソリューションを提案し、半導体製造技術の開発効率をも向上していく必要がある。半導体デバイス性能に直結する接合素子の信頼性への影響を直接評価するためには、フロントエンドからパッケージまで評価できる TEG が必要である。

#### 2. 研究開発の具体的内容

半導体材料および製造プロセスが半導体集積回路の性能や信頼性に及ぼす影響を効果的に評価するため、接合素子を含んだ TEG を用いる。材料やプロセスに関する技術的知見をベースに、この TEG で評価すべき評価項目を詳細に決定する。評価項目に基づいて、接合素子の構造と、さらにその上に形成される配線構造およびパッケージ化のための再配線構造などを開発し、その構造を作成するための TEG マスクを開発する。このマスクを用いて、300mm シリコンウェーハ上に接合素子を有する TEG を試作し、TEG の平面構造や断面構造の観察、電気特性の測定を行い、TEG マスクの検証を行う。この検証に基づき、材料やプロセスの影響をさらに効果的に評価できるように TEG マスクを改良し、接合素子を含んだ材料評価用 TEG を開発する。

#### 3. 達成目標

材料とプロセス条件が接合素子の信頼性に与える影響を定量的に抽出できるように、接合素子を有する TEG マスクを設計する。接合素子を備えたウェーハ上に基準材料を用いて配線 TEG を形成して形状や電気特性を検証する。検証結果を解析して TEG マスクを改良し、接合素子の信頼性への影響を評価できる材料評価専用 TEG を開発する。

## 研究開発項目② 材料による金属汚染、応力影響の評価方法の開発

### 1. 研究開発の必要性

配線工程に使用する材料による金属汚染・応力の影響は、リーク電流の増大・耐圧低下・界面準位増加及び界面電荷増加など接合素子の性能や信頼性に悪影響を及ぼす。

この影響を効果的に評価するためには、配線に用いられた材料やプロセスが接合素子の特性にどのような相互影響を与えるかを把握できる評価方法を開発する必要がある。即ち、接合素子を含む TEG を用いて、接合素子上の配線でのゲート絶縁膜の耐圧やリーク電流特性を詳細に評価することによって、材料やプロセスによる重金属汚染、あるいは応力によるリーク電流の増大や接合耐圧の低下を把握する事が必要である。

### 2. 研究開発の具体的内容

研究開発項目①の TEG マスクを用いて、300mmシリコンウェーハ上に接合素子を作成し、さらに配線形成を行って、TEG の初期的な電気特性、信頼性を測定、解析する。

電気特性の測定、解析例としては、p-n 接合の逆方向電流を測定し、リーク電流値の変動およびその温度変化、接合耐圧の変動の解析などがある。これにより金属汚染や応力の影響を評価する。この評価を行えるように接合の不純物濃度を最適化する。また、SiO<sub>2</sub>-Si 接合を用いた場合は、容量-電圧特性の測定、リーク電流などの電気特性の測定を行い、その解析により材料やプロセスの影響を評価する。さらには、高温放置、温度サイクル、高温高湿放置など各種の試験を行って接合の電気特性の変動を解析し、材料やプロセスの影響を評価する。ここでは、製造工程に用いる半導体材料あるいは製造プロセスによる金属汚染、応力、電荷蓄積などの接合素子への影響を把握できる電気特性の測定方法や解析方法、また、接合素子の信頼性の試験方法や測定結果の解析方法を開発する。

### 3. 達成目標

研究開発項目①で得られた TEG マスクを用いて、300mmシリコンウェーハ上に接合素子を作成し、さらに配線形成を行い、製造工程に用いる半導体材料あるいは製造プロセスによる接合素子への影響（金属汚染、応力、電荷蓄積など）が把握できる電気特性の測定方法や解析方法、また、接合素子の信頼性の試験方法や測定結果の解析方法を開発する。

## 研究開発項目③ 半導体プロセス全体を考慮した材料評価基盤の開発

### 1. 研究開発の必要性

新たな材料を短時間で半導体製造に実用化するためには、半導体製品の信頼性への影響を直接把握でき、さらに、製造工程全体を一貫して評価できる材料評価基盤が必要である。この評価基盤を活用することにより、新機能性材料の高効率開発とともに、半導体製造技術の開発効率をも向上させる事ができる。

### 2. 研究開発の具体的内容

対象とするパッケージをワイヤーボンド型とフリップチップ型とし、300mm ウェーハを前提とした再配線工程、バックグラインド、ダイシング、ピックアップ、ボンディング、封止等の各工程において、接合素子と Cu/low-k 配線を有するウェーハ、チップにかかる外力等に着目し、電気特性変動、材料破壊、腐食等の評価を中心とする材料プロセス、材料-材料間の影響評価を実施し、評価方法の妥当性を検証しつつ、基準プロセスと評価方法を確立する。

さらに信頼性評価技術については、前述の対象パッケージを用いて、熱、応力、水分等が接合素子の電気特性や材料に与える影響に着目して吸湿リフロー、耐湿性試験、温度サイクル試験を行い、チップの接合素子の電気特性変動、配線層を含む各界面の剥離状況、配線層を含む材料の破壊、腐食等の評価を中心とする基準プロセスと評価方法の確立を行う。最終的には、組立プロセス、パッケージ信頼性評価の各段階で得た知見を迅速に接合素子工程や配線工程、組立工程の評価段階にフィードバックし、フロントエンドからバックエンド、パッケージまでの半導体プロセスにおいて次世代半導体以降にも対応する材料を一貫して評価できる評価基盤を確立する。

### 3. 達成目標

対象とするパッケージをワイヤーボンド型とフリップチップ型とし、接合素子と Cu/low-k 配線を有するウェーハのパッケージ組立工程の基準プロセスと評価方法を確立する。さらに、熱、応力、水分などが電気特性や材料に与える影響を把握し、信頼性評価技術を確立する。得られた知見を迅速に各工程にフィードバックし、フロントエンドからバックエンド、パッケージまでの半導体プロセスにおいて次世代半導体以降にも対応する材料を一貫して評価できる評価基盤を確立する。

# 半導体分野

我が国は、インターネットやその他の高度情報通信ネットワークを通じて自由かつ安全に多様な情報又は知識を世界的規模で入手し、共有し又は発信することにより、あらゆる分野における創造的かつ活力ある発展が可能となる高度情報通信ネットワーク社会の形成を目指し、電子政府始め様々な取り組みを推進している。しかし、その一方で、大幅に増大しているネットワーク・トラフィックと電力消費量の爆発的増大、情報システムのトラブルの原因となるソフトウェアの安全性・信頼性の低下、増加の一途をたどるアタック、ウイルス等の重要な課題が顕在化している。

こうしたことから、情報家電等 IT の利活用と社会システムとしての安全性・信頼性の確保とともに、その基盤となる IT 産業の技術力、国際競争力の強化を目標として、情報通信関連技術を半導体、ストレージ・不揮発性メモリ、コンピュータ、ネットワーク、ユーザビリティ（ディスプレイ等）及びソフトウェアの 6 分野に分け、今後 10 年程度を見据えた技術戦略マップを作成した。

半導体は、情報家電、自動車、産業機械、医療機械等、様々な製品の付加価値を高める非常に重要な産業のコア部品であるが、半導体産業を発展させ競争力をつけていくためには、世界各国での激しい市場競争に打ち勝つための莫大な研究開発費と技術戦略が必要となっている。本技術戦略マップでは、国際半導体ロードマップ（ITRS）の中から、特に我が国に必要な重要技術を抽出し、技術開発成果の産業への導入シナリオ、ロードマップをとりまとめている。

また、半導体分野の技術は、ナノ・部材技術やシリコン以外の材料を活用して深化する度合いが増えてきており、これを考慮して策定している。



## 半導体分野の技術戦略マップ

### I. 導入シナリオ

#### (1) 半導体分野の目標と将来実現する社会像

半導体技術は、情報家電、自動車等の製品に組み込まれて初めてその機能を発揮するものであり、技術力のみで国際市場のシェアを確保できる分野ではないが、その技術は、「技術戦略マップに示された技術により実現できる将来社会イメージ」の中でも、ユーザビリティ技術、ネットワーク技術等と合わせて、将来のユビキタス時代を作り上げるコア技術であり、半導体技術を高度化していくことが、全ての基礎となる。具体的には、従来からの方法である微細化による半導体の高性能化、省エネ化を強力に進めるとともに、微細化以外の方法で高機能な新しい半導体を実現させていくことが必要である。

#### (2) 研究開発の取組

研究開発の推進については、開発目標を戦略的に設定するとともに、効率的な研究開発体制の構築と部材産業、製造装置産業等との垂直連携の強化等が重要である。

特に、半導体分野においては、国際ロードマップを意識し、その中で設計、プロセス、検査、実装等の各製造工程に係る研究開発と連携をとりつつ一体的に取り組むとともに、次世代及び次々世代の技術の開発を国と民間との適切な役割分担の下に行うことが必要である。

我が国では、「次世代半導体材料・プロセス基盤技術の開発（MIRAI）プロジェクト」（2001～2010年度）で半導体の要素技術を開発し、その成果をロードマップに従って順次、民間コンソーシアムである株式会社半導体テクノロジーズ（Selete）や民間企業に直接移転し、大きな成果を上げている。プロジェクトの成果の移転については、その技術が使われるタイミングを計って移転することが非常に重要である。

その他、製造時のプロセスのばらつきを考慮した設計手法の開発を行う「次世代プロセスフレンドリー設計技術開発」（2006～2010年度）、立体構造による多様な用途に応じた新機能デバイスを実現する「ドリームチップ開発プロジェクト」（2008～2012年度）、高速かつ不揮発性能を有するメモリを開発する「高速不揮発メモリ機能技術開発」（2010～2012年度）、新規のナノ機能材料や、新規のナノデバイス構造を適用し超低電圧（0.4V以下）で動作するデバイスを開発する「低炭素社会を実現する超低電圧デバイスプロジェクト」（2010～2014年度）等を実施している。

#### (3) 関連施策の取組

研究開発成果を産業化させるにあたって、制度等様々な障壁等を低くする施策や国際連携や標準化等によって、成果を導入しやすくすることが必要である。

具体的には、以下の通り。

〔起業・事業支援〕

- ・社団法人半導体ベンチャー協会と協力して、半導体ベンチャーの育成支援等を行う。

#### 〔規則・制度改革〕

- ・高度情報通信ネットワーク社会形成基本法（IT 基本法）による高度情報通信ネットワーク社会の形成に関する施策の推進

#### 〔基準・標準化〕

- ・半導体集積回路の国際標準化は、IEC（IEC:International Electrotechnical Commission 国際電気標準会議）では、TC47 及びその下の SC で審議されている。このうち、日本は SC47A、47E で国際議長を、SC47D で国際議長及び幹事、SC47F で国際幹事を務めている。また、ナノエレクトロニクス分野では、ナノテクノロジーとして TC113 を 2006 年に新設し、用語の定義や計測法などについて標準化が始まった。
- ・一方、ISO/IEC 以外の標準化活動として、MIRAI プロジェクトの成果を活用した HiSIM モデルが、大学、産業界の積極的な活動の結果、2007 年 12 月に SCC で国際標準となった。このように、研究開発の成果を使える環境を作り出すために、国際標準化を推進するとともに、これを複数の技術世代にわたる継続的な取組とすることが必要である。

#### 〔国際連携・協力〕

- ・知的財産権保護、環境対策、非特惠原産地規則、関税対策等の課題を解決するためには、半導体産業がグローバル化しているために国内のみの活動では不十分である。そのため、日本、欧州、米国、韓国、台湾、中国の 6 極でこれら半導体に関する課題について解決方を検討するため、半導体政府当局会合（GAMS）を行っている。

#### 〔他省庁との連携〕

- ・次々世代の半導体技術であるナノエレクトロニクス分野では、ナノエレ政策推進会議を経済産業省・文部科学省で設置し、互いに有機的連携の下に、ナノエレクトロニクス関連のプロジェクトが 2007 年度から推進されている。

#### 〔産学官連携〕

- ・産学官で構成する「つくば半導体協議会」等の産学官連携の場を活用し、情報交換から具体的な連携までを行っている。
- ・国内で最もナノテクノロジーの研究設備・人材が集積するつくばにおいて、世界的なナノテクノロジー研究拠点の構築が 2008 年度から進められている。2009 年 6 月には、筑波大学、物質・材料研究機構、産業技術総合研究所、及び日本経済団体連合会の 4 者による共同宣言「つくばナノテクノロジー拠点形成の推進について」が発表されている。

#### 〔プロジェクト等間の連携〕

- ・半導体製造は、従来のように設計・前工程・後工程と工程毎に技術を開発しても、微細化が進むに連れ、特性バラツキや信号遅延などの問題が深刻化し、工程間の連携が不可欠となってきている。そのため、例えば、設計分野の「次世代プロセスフ

レンドリー設計技術開発 (DFM)」プロジェクトと MIRAI の中の「D2I (マスク設計・描画・検査総合最適化技術開発)」プロジェクト間で、データ交換や相互での評価などを実施している。今後とも、プロジェクト間の連携の必要性は高まると予測され、柔軟な連携が求められる。

#### (4) 海外での取組

IBM (米アルバニー)、IMEC (ベルギー) 等のコンソーシアムに、世界から半導体メーカーの研究者が参画し、最先端の半導体研究を行っている。

#### (5) 民間での取組

半導体メーカー 9 社で組織される株式会社 半導体テクノロジーズ (Selete) や株式会社 半導体理工学研究センター (STARC) の他、半導体の材料の評価を行うコンソーシアムとして次世代半導体材料研究組合 (CASMAT) が活動している。

#### (6) 改訂のポイント

- 関連施策の取組等について最新の情報に更新したほか、目標年度を 2010 年度から 2020 年度までに更新した。

## II. 技術マップ

### (1) 技術マップ

国際半導体技術ロードマップ (ITRS) 2009 を踏まえ、我が国の研究開発を戦略的に推進するため、我が国が得意とする低消費電力化技術を中心に技術項目を大、中、小項目に分類。大項目では LSTP デバイス技術、プロセス技術やリソグラフィ、設計 (SoC 設計) など大きく 12 項目に分け、これらを、体系化するとともに、細分類化を行っている。

### (2) 重要技術の考え方

半導体の技術を、その事業形態 (IDM、ファウンドリメーカー、ファブレスメーカー、装置・材料メーカー、ソフトベンダー) から見て重要技術に分類し、更に、半導体の安全・信頼性から見た重要技術、省エネの観点から見た重要技術に分類整理を行った。

### (3) 改訂のポイント

- 大項目にプリンテッド・エレクトロニクスを新たに新設するとともに、LSTP デバイス技術、設計 (SoC 設計)、テスト技術、評価・解析技術の中項目以下の内容を、技術動向を踏まえ一部改訂した。

## III. 技術ロードマップ

### (1) 技術ロードマップ

技術マップに示した重要技術ごとに、研究開発により達成されるべきスペックを時間軸上に表した。

### (2) 改訂のポイント

- ロードマップの対象期間の変更  
開始年は2010年、終了年は2019年の10年間とした。
- ITRS2009や半導体技術開発の動向を踏まえ、半導体の微細化のトレンドを見直した。
- 特に「ディスクリートデバイス」では要求スペックの詳細情報を充実したほか、「プリントエレクトロニクス」について、新たにロードマップを記載した。

#### **IV. その他の改訂のポイント**

- **ベンチマーキングの改訂【半導体分野の国際競争ポジション】**
  - 半導体製品別シェアの品目を拡大し、最新情報に更新した。

# 半導体分野の導入シナリオ

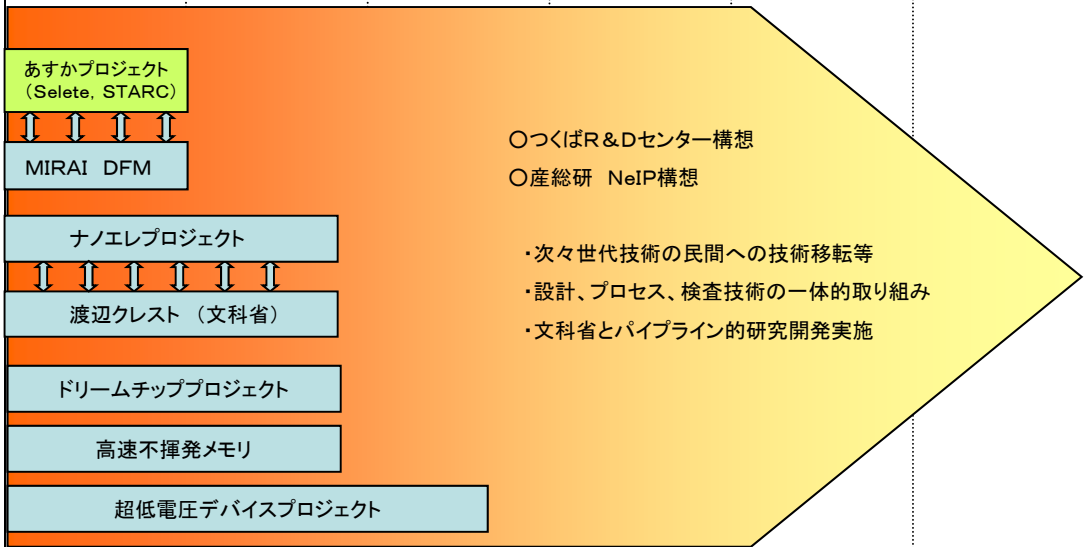
2010 → 2015 → 2020

目標

民間企業の取組

- 半導体事業の選択と集中の加速
- 海外市場も視野に入れた組み込みソフトのプラットフォーム化による競争力の強化
- 海外コンソーシアムへの参加

研究開発の取組



関連施策の取組

法律

IT基本法(高度情報通信ネットワーク社会形成基本法)

IEC及びISOで主に標準化活動が進められている。その他、シミュレーションなど、その固有分野毎に国際標準化が決められている。

国際標準化

TC47 半導体デバイス 幹事国:韓国 議長国:米国 SCA 集積回路 幹事国:日本

TC91 電子実装技術 半導体実装技術を担当 幹事国:日本 議長国:米国

TC113 ナノテクノロジー技術 幹事国:ドイツ 議長国:米国

HISiM

大学・産業界と連携した設計力の強化 シヤトル便

関係機関との連携

CASMAT(半導体材料の評価)活動

高度部材産業開発・評価センター構想(部材評価技術の強化、部材開発技術の導入・普及)

産総研を始めとするナノテック関連研究機関が集積する筑波において、内外の優秀な研究者が集積し、世界的なイノベーション促進拠点形成に向けた取り組みを実施

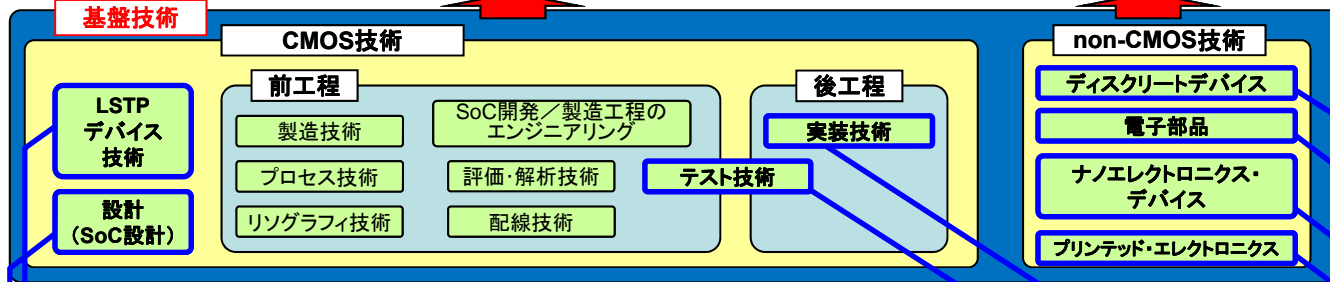
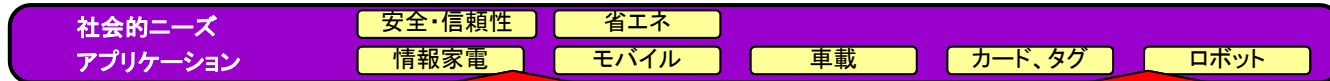
WSC(世界半導体会議)と連携したGAMS(半導体政府間会合)の活動により、半導体に関する通商問題、模倣品問題、環境問題、原産地問題等あらゆる問題に対する解決への努力

OMCP無税化条約

○地球温暖化ガス排出削減に関わる民間自主規制

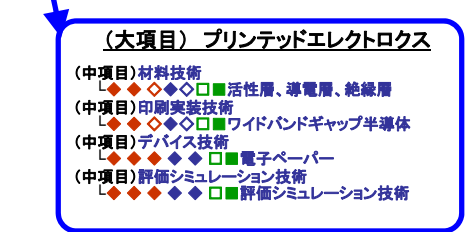
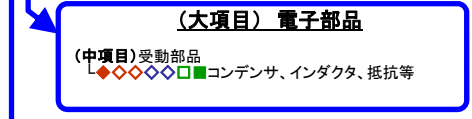
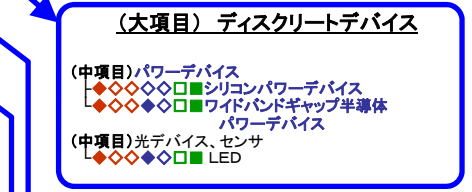
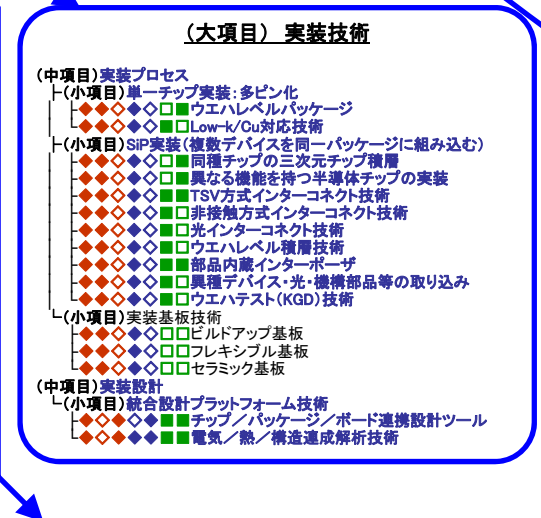
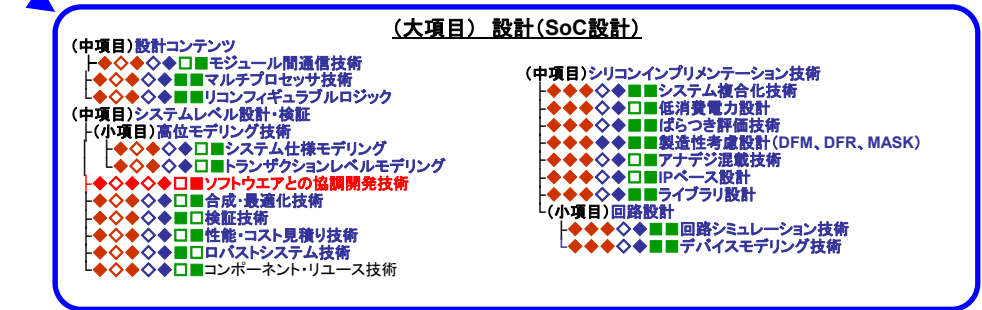
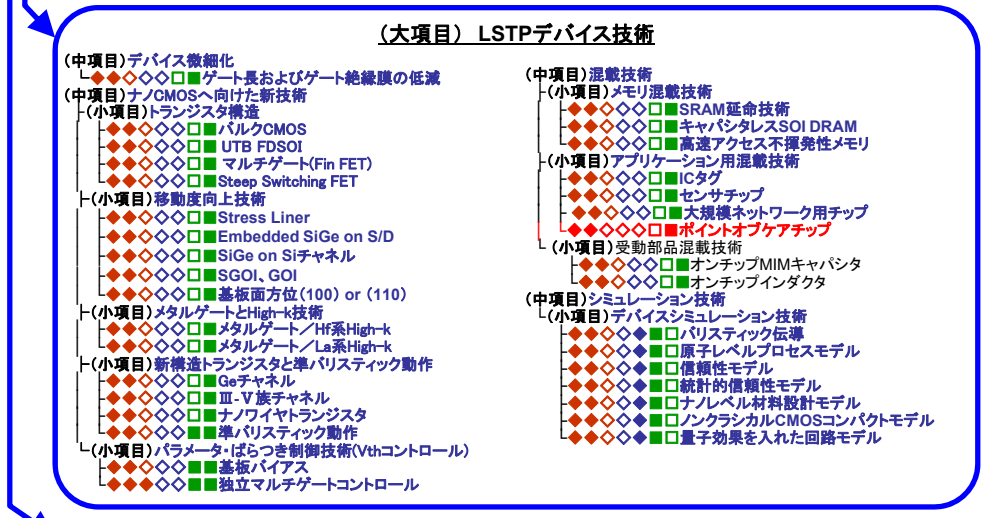
○貿易統計(HS)の改訂

# 半導体分野の技術マップ (1/2)

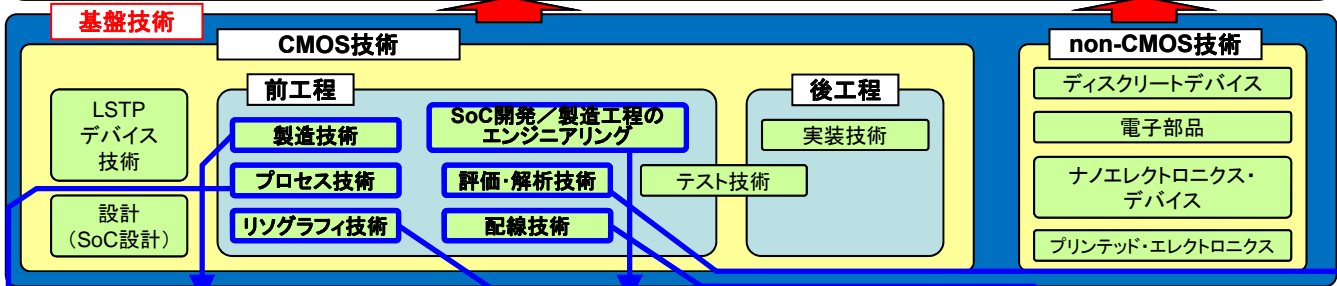


記号の説明						
IDM	ファンドリ メーカ	ファブレス メーカ	装置・材 料メーカ	ソフトベン ダ	半導体の 安全・信 頼性に 係わる技術	省エネに 係わる技術
◆	◆	◆	◆	◆	■	■

※ 該当しないものを「白抜き」で示す。  
 ※ ロードマップに記載する技術を「青字」で示す。  
 ※ 「半導体の安全・信頼性に係わる技術」は、半導体製造における安全技術、半導体の信頼性を高める技術、歩留りを高める技術。  
 ※ 「省エネに係わる技術」は、半導体の微細化技術、高集積化技術、半導体製造の高効率化技術。

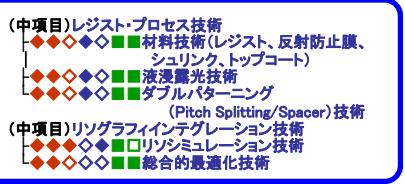
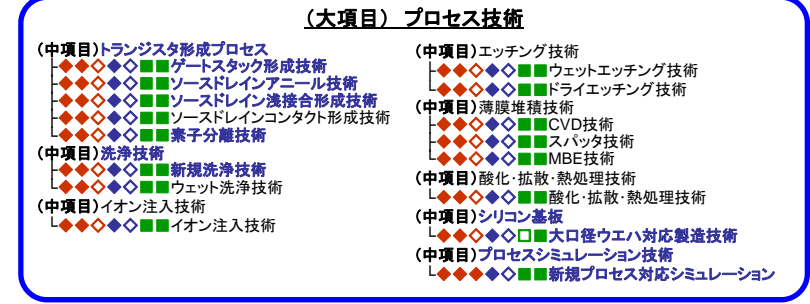
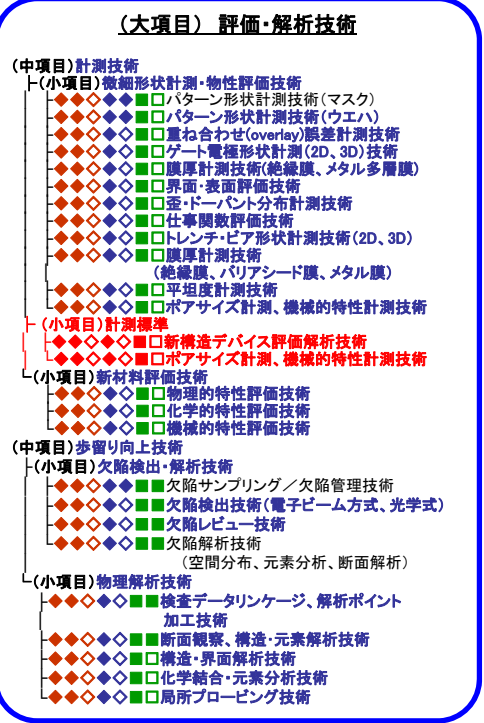
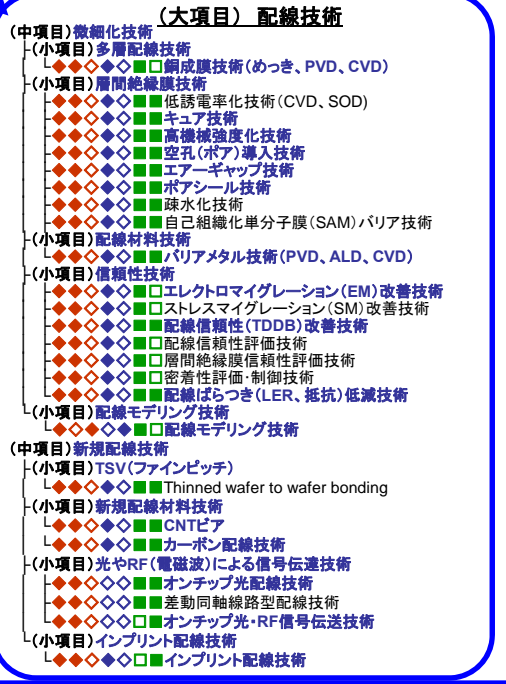
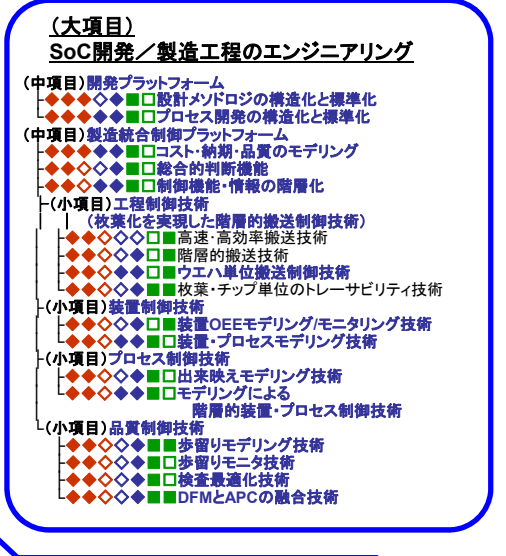
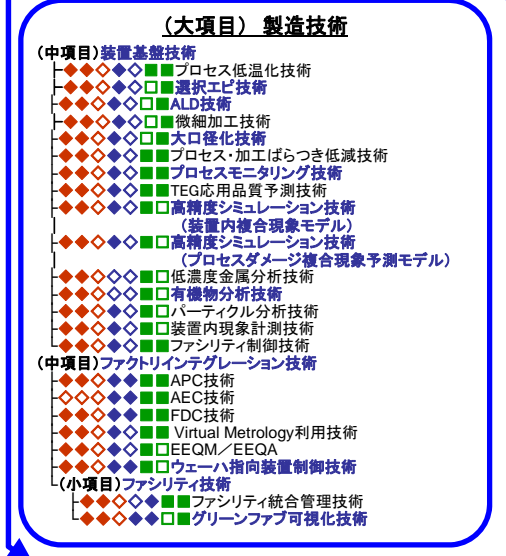


# 半導体分野の技術マップ (2/2)



記号の説明						
IDM	ファンドリ メーカ	ファブレス メーカ	装置・材 料メーカ	ソフトベン ダ	半導体の 安全・信 頼性に係 わる技術	省エネに 係わる技 術
◆	◆	◆	◆	◆	■	■

※ 該当しないものを「白抜き」で示す。  
 ※ ロードマップに記載する技術を「青字」で示す。  
 ※ 「半導体の安全・信頼性に係わる技術」は、半導体製造における安全技術、半導体の信頼性を高める技術、歩留りを高める技術。  
 ※ 「省エネに係わる技術」は、半導体の微細化技術、高集積化技術、半導体製造の高効率化技術。





## **略語説明**

**A:** AEC = Advanced Equipment Control

ALD = Atomic Layer Deposition

APC = Advanced Process Control

ArF = Argon Fluoride

**B:** BISR = Built-In Self Repair

BIRA = Built-In Redundancy Allocation

**C:** CMP = Chemical Mechanical Polishing

CMOS = Complementary Metal-oxide Semiconductor

CVD = Chemical Vapor Deposition

**D:** DD = Dual Damascene

DFM = Design For Manufacturing(Manufacturability)

DFR = Design For Reliability

DFT = Design For Testability

DRAM = Dynamic Random Access Memory

DRC = Design Rule Check

DSA = Directed Self Assembly

**E:** EEQA = Enhanced Equipment Quality Assurance

EEQM = Enhanced Equipment Quality Management

EM = Electro Migration

EUV = Extreme UltraViolet

**F:** FDC = Fault Detection and Classification

FDSOI = Full Depletion Silicon On Insulator

FET = Field Effect Transistor

**G:** GOI = Germanium Oxide Insulator

**H:** HW = HardWare

**I:** IP = Intellectual Property

**K:** KGD = Known Good Die

**L:** LER = Line Edge Roughness

LSTP = Low Standby Power

**M:** MBE = Molecular Beam Epitaxy

MDP = Mask Data Preparation

ML2 = MaskLess Lithography

MOS = Metal-Oxide Semiconductor

MRC = Mask Rule Check

**N:** NGL = Next Generation Lithography

NVRAM = NonVolatile Random Access Memory

**O:** OEE = Overall Equipment Efficiency

OPC = Optical Proximity effect Correction

OS = Operating System

**P:** PCB = Printed-Circuit Board

PVD = Physical Vapor Deposition

**Q:** QTAT = Quick Turn Around Time

**R:** RET = Resolution Enhancement Technology

RF = Radio Frequency

RTL = Register Transfer Level

**S:** SAM = Self-Assembled Monolayer

S/D = Source / Drain

SGOI = Silicon Germanium Oxide Insulator

SiP = System in Package

SM = Stress Migration

SoC = System on a Chip

SOD = Spin On Dielectric

SOI = Silicon On Insulator

SRAM = Static Random Access Memory

STIL = Standard Test Interface Language

SW = SoftWare

**T:** TDDB = Time Dependent Dielectric Breakdown

TEG = Test Element Group

TFT = Thin-Film Transistor

TL = Transaction Level

**U:** UTB = Ultra Thin Body



# 事前評価書（案）

	作成日	平成21年2月10日
1. 事業名称 (コード番号)	半導体機能性材料の高度評価基盤開発 (ナノテク・部材イノベーションプログラム・エネルギー イノベーションプログラム・ITイノベーションプログラム)	
2. 推進部署名	ナノテクノロジー・材料技術開発部	
3. 事業概要	<p>(1) 概要： 半導体集積回路の消費電力低減には配線の低抵抗化、低寄生容量化が重要であり、新たな機能性材料の実用化が強く望まれている。新材料開発のネックとなっているのは、それを半導体製造工程に導入したときの問題点や課題を的確に且つ迅速に把握する評価技術が不十分なことにある。そこで本プロジェクトでは、これまでの配線素子に加え新たに接合素子を用いて、フロントエンドからバックエンド及びパッケージに至る半導体工程全体を一貫して材料影響を把握できる評価技術を開発する。 情報通信機器の高機能化や低消費電力化等の要求を満たす半導体集積回路のため、新機能材料の開発に貢献する評価基盤技術を開発するとともに、その新機能材料を用いて、半導体製造に適用できる統合的なソリューション技術を開発する。</p> <p>(2) 事業規模：予算額 約 1.8 億円 (平成 21 年度予算額 約 0.6 億円)</p> <p>(3) 事業期間：平成 21 年度～23 年度 (3 年間)</p>	
4. 評価の検討状況		
<p>(1) 事業の位置付け・必要性 〔事業の背景と必要性〕</p> <p>半導体集積回路の微細化や複雑化が急速に進行する世界の半導体業界をリードしていくためには、材料メーカー、デバイスメーカー及び装置メーカーが密接に連携をとり、材料、プロセス、装置一体となった開発推進体制を構築し、特にわが国の強みである高度部材技術の集積化を強力に推進する事が重要である。</p> <p>次世代高度部材開発評価基盤の開発では、45nm ノード世代に対応して、配線素子を用いて配線工程から組立工程に至る要素技術および材料開発支援ツールの開発をおこなってきた。その結果、配線からパッケージまでの一貫した材料評価基盤を構築し、材料開発効率の抜本的改善ならびに材料ソリューションの開発に貢献してきた。</p> <p>新たな材料を短期間で半導体製造に実用化するためには、半導体製品の信頼性への影響が直接把握できる材料評価基盤が必要である。即ち半導体デバイス性能を支配する接合素子の信頼性に対して、材料や製造工程の影響を的確に且つ迅速に把握できる高度材料評価基盤を確立し、半導体材料の問題点や課題を明確にして材料開発をより一層高効率化しなければならない。</p> <p>さらに、製造工程全体を一貫して評価することにより、新機能性材料の高効率開発とともに、材料の統合ソリューションを提案する事ができ、半導体製造技術の開発効率をも向上させる事ができる。</p> <p>デバイス機能に与える材料の影響を効率よく評価できる評価基盤の構築は、Selete や MIRAI などのデバイス研究機関をはじめデバイスメーカーから期待されており、接合素子</p>		

TEG (Test Element Group) の設計、試作等については、協力して進めることが望まれている。

[事業の位置付け]

本事業は技術戦略マップ上で下記のように位置付けられる。

技術戦略マップ ナノテクノロジー分野の技術ロードマップ (2電子・情報・1半導体)

次世代情報処理デバイス 次世代CMOS 絶縁膜 low-k

次世代情報処理デバイス 次世代 CMOS 配線 Cu 配線

## (2) 研究開発目標の妥当性

本プロジェクトでは、半導体デバイス性能に直結する接合素子 (p-n 接合、SiO<sub>2</sub>-Si 接合) の性能、信頼性まで含め、半導体製造プロセス全体を俯瞰して半導体材料が開発でき、その材料を用いた統合ソリューションが提案できる材料評価基盤を構築するために以下の検討を行う。

### 研究開発項目① 接合素子を含む材料評価用配線 TEG の開発

新たな材料を短期間で半導体製造に実用化するためには、半導体製品の信頼性への影響が直接把握できる材料評価基盤が必要である。即ち半導体デバイス性能を支配する接合素子の信頼性に対して、材料や製造工程の影響を的確に且つ迅速に把握できる高度材料評価基盤を確立し、半導体材料の問題点や課題を明確にして材料開発をより一層高効率化しなければならない。さらに、製造工程全体を一貫して評価することにより、開発された新機能性材料とプロセス条件を最適化した統合ソリューションを提案し、半導体製造技術の開発効率をも向上していく必要がある。半導体デバイス性能に直結する接合素子の信頼性への影響を直接評価するためには、フロントエンドからパッケージまで評価できる TEG が必要である。

以上の課題を解決するために、以下の検討を実施する。半導体材料および製造プロセスが半導体集積回路の性能や信頼性に及ぼす影響を効果的に評価するため、接合素子を含んだ TEG を用いる。材料やプロセスに関する技術的知見をベースに、この TEG で評価すべき評価項目を詳細に決定する。評価項目に基づいて、接合素子の構造と、さらにその上に形成される配線構造およびパッケージ化のための再配線構造などを開発し、その構造を作成するための TEG マスクを開発する。このマスクを用いて、300mm シリコンウェーハ上に接合素子を有する TEG を試作し、TEG の平面構造や断面構造の観察、電気特性の測定を行い、TEG マスクの検証を行う。この検証に基づき、材料やプロセスの影響をさらに効果的に評価できるように TEG マスクを改良し、接合素子を含んだ材料評価用 TEG を開発する。

### 【達成目標】

材料とプロセス条件が接合素子の信頼性に与える影響を定量的に抽出できるように、接合素子を有する TEG マスクを設計する。接合素子を備えたウェーハ上に基準材料を用いて配線 TEG を形成して形状や電気特性を検証する。検証結果を解析して TEG マスクを改良し、接合素子の信頼性への影響を評価できる材料評価専用 TEG を開発する。

## 研究開発項目② 材料による金属汚染、応力影響の評価方法の開発

配線工程に使用する材料による金属汚染・応力の影響は、リーク電流の増大・耐圧低下・界面準位増加及び界面電荷増加など接合素子の性能や信頼性に悪影響を及ぼす。この影響を効果的に評価するためには、配線に用いられた材料やプロセスが接合素子の特性にどのような相互影響を与えるかを把握できる評価方法を開発する必要がある。即ち、接合素子を含むTEGを用いて、接合素子上の配線でのゲート絶縁膜の耐圧やリーク電流特性を詳細に評価することによって、材料やプロセスによる重金属汚染、あるいは応力によるリーク電流の増大や接合耐圧の低下を把握する事が必要である。

以上の課題を解決するために、以下の検討を実施する。研究開発項目①のTEGマスクを用いて、300mmシリコンウェーハ上に接合素子を作成し、さらに配線形成を行って、TEGの初期的な電気特性、信頼性を測定、解析する。電気特性の測定、解析例としては、p-n接合の逆方向電流を測定し、リーク電流値の変動およびその温度変化、接合耐圧の変動の解析などがある。これにより金属汚染や応力の影響を評価する。この評価を行えるように接合の不純物濃度を最適化する。また、 $\text{SiO}_2\text{-Si}$ 接合を用いた場合は、容量-電圧特性の測定、リーク電流などの電気特性の測定を行い、その解析により材料やプロセスの影響を評価する。さらには、高温放置、温度サイクル、高温高湿放置など各種の試験を行って接合の電気特性の変動を解析し、材料やプロセスの影響を評価する。ここでは、製造工程に用いる半導体材料あるいは製造プロセスによる金属汚染、応力、電荷蓄積などの接合素子への影響を把握できる電気特性の測定方法や解析方法、また、接合素子の信頼性の試験方法や測定結果の解析方法を開発する。

### 【達成目標】

研究開発項目①で得られたTEGマスクを用いて、300mmシリコンウェーハ上に接合素子を作成し、さらに配線形成を行い、製造工程に用いる半導体材料あるいは製造プロセスによる接合素子への影響（金属汚染、応力、電荷蓄積など）が把握できる電気特性の測定方法や解析方法、また、接合素子の信頼性の試験方法や測定結果の解析方法を開発する。

## 研究開発項目③ 半導体プロセス全体を考慮した材料評価基盤の開発

新たな材料を短時間で半導体製造に実用化するためには、半導体製品の信頼性への影響を直接把握でき、さらに、製造工程全体を一貫して評価できる材料評価基盤が必要である。この評価基盤を活用することにより、新機能性材料の高効率開発とともに、半導体製造技術の開発効率をも向上させる事ができる。

以上の課題を解決するために、以下の検討を実施する。対象とするパッケージをワイヤーボンド型とフリップチップ型とし、300mmウェーハを前提とした再配線工程、バックグラインド、ダイシング、ピックアップ、ボンディング、封止等の各工程において、接合素子とCu/low-k配線を有するウェーハ、チップにかかる外力等に注目し、電気特性変動、材料破壊、腐食等の評価を中心とする材料-プロセス、材料-材料間の影響評価を実施し、評価方法の妥当性を検証しつつ、基準プロセスと評価方法を確立する。さらに信頼性評価技術については、前述の対象パッケージを用いて、熱、応力、水分等が接合素子の電気特性や材料に与える影響に着目して吸湿リフロー、耐湿性試験、温度サイクル試験を行い、チップの接合素子の電気特性変動、配線層を含む各界面の剥離状況、配線層を含む材料の破壊、腐食等の評価を中心とする基準プロセスと評価方法の確立を行う。最終的には、組

立プロセス、パッケージ信頼性評価の各段階で得た知見を迅速に接合素子工程や配線工程、組立工程の評価段階にフィードバックし、フロントエンドからバックエンド、パッケージまでの半導体プロセスにおいて次世代半導体以降にも対応する材料を一貫して評価できる評価基盤を確立する。

**【達成目標】**

対象とするパッケージをワイヤーボンド型とフリップチップ型とし、接合素子と Cu/low-k 配線を有するウェーハのパッケージ組立工程の基準プロセスと評価方法を確立する。さらに、熱、応力、水分などが電気特性や材料に与える影響を把握し、信頼性評価技術を確立する。得られた知見を迅速に各工程にフィードバックし、フロントエンドからバックエンド、パッケージまでの半導体プロセスにおいて次世代半導体以降にも対応する材料を一貫して評価できる評価基盤を確立する。

**(3) 研究開発マネジメント**

公募により助成金交付先を決定し最適な研究開発体制を構築する。プロジェクトリーダーを選定し、それを中心として運営する。事業の進捗状況及び進め方については、助成金交付先と定期的に会合を開いて検討、管理していく。

**(4) 研究開発成果**

半導体チップの消費電力のうち 7 割がバックエンドプロセスで製造されるチップ内配線に由来する。本技術で開発される材料や統合ソリューションの適用により、配線の高速化と低電力化（具体的には層間絶縁膜の低誘電率化による寄生容量低減、銅配線表面の平滑化による低抵抗化、ビア結線の低抵抗化、リーク電流の抑制、クロストークの排斥など）でチップあたりの平均的消費電力の 36%を下げる事が可能となる。日本の電子機器に搭載されているチップの内、10%が通電稼動中とすると、2030 年で 29 万 kl（原油換算）のエネルギー消費量の削減効果が期待される（成功率 50%）。

本技術開発により、半導体材料および製造プロセスのデバイス性能や信頼性への影響が高精度、高感度に評価できるので、材料開発効率、プロセス開発効率が向上できる。また、フロントエンドからパッケージまでの一貫評価により、デバイスメーカーに質の高い（信頼される）データを提供できる。このことによって材料メーカーからの材料提案からデバイスメーカーでの実用化までの期間が約 30%短縮できる。さらに、デバイスメーカーにとっての開発期間は約 60%の短縮が可能となる。これらの開発期間短縮は、わが国の半導体産業全体の効率改善に寄与する事ができる。

#### (5) 実用化・事業化の見通し

本技術開発により、従来のようにデバイスメーカーに一方的に評価を依存していた材料開発のスキームから脱却し、材料メーカー自身で材料開発とその評価を行うスキームになり、開発サイクルの短縮が図られる。このことから 2011 年には 5 兆円と予測される半導体材料の世界市場に対して我国の材料メーカーの売上げや市場シェアを拡大する事が期待される。

また波及効果として、デバイスメーカーや装置メーカーにおいてもそれぞれの製品の開発効率を向上させる事ができる。このことにより 2011 年には 5 兆円と予測される半導体材料の世界市場に対して半導体関連産業において、我国の市場競争力をより一層強化する事ができる。

さらに、本研究開発では、高温、高湿等の環境下での極めてマイクロな領域で、それぞれの材料特性が求められる半導体材料の評価技術であることから、半導体と関連する LCD、PDP、EL などのディスプレイ技術、さらには MEMS 技術などにも波及効果が期待される。加えて川下にあたる家電、通信、自動車などの業界での技術開発の更なる活性化と、それによる市場拡大、雇用促進にも寄与する事が期待できる。

最終的に本事業の成果の直接的波及により、半導体材料分野で、2020 年時点で 340 億円程度の経済効果が見込まれる。

#### (6) その他特記事項

NEDO POST 1 において、「本プロジェクトが掲げている半導体プロセスにおけるフロントエンドプロセス、バックエンドプロセス、さらにはパッケージプロセスまでを俯瞰した上で、材料中にごく微量に含まれる不純物や材料が有する応力、電荷等が、半導体素子に及ぼす影響を高精度に評価できる評価技術は、他に例を見ない革新的な研究テーマであり材料メーカーにとって本プロジェクトから得られる技術的なインパクトは極めて大きいと期待される。」と本プロジェクトの有効性を支援するコメントを幾多いただいている。

NEDO POST 2 においても、「MIRAI、SELETE などうまく連帯した運用を望む。」「我が国の半導体産業の競争力を強化していくためには、本プロジェクトを NEDO 技術開発機構が取り組むことが、極めて有効であると考えます。」「いままでのプロジェクトでの実績を踏まえ、さらなる材料評価の場となること期待しています。」と本プロジェクトの有効性を支援するコメントを幾多いただいている。

#### 5. 総合評価

NEDO の実施する事業として適切であると判断する。

「半導体機能性材料の高度評価基盤開発基本計画（案）」に対するパブリックコメント募集の結果について

平成21年3月13日  
 NEDO技術開発機構  
 ナノテクノロジー・材料技術開発部

NEDO POST 3において標記基本計画（案）に対するパブリックコメントの募集を行いました結果をご報告いたします。  
 みなさまからのご協力を頂き、ありがとうございました。

1. パブリックコメント募集期間  
 平成21年2月10日～平成21年2月23日
2. パブリックコメント投稿数＜有効のもの＞  
 計1件
3. パブリックコメントの内容とそれに対する考え方

ご意見の概要	ご意見に対する考え方	基本計画への反映
全体について		
<p>[意見1]（1件）</p> <p>・貴提案内容は、半導体製造工程のフロントエンド、バックエンドさらにはパッケージプロセスまでの全体を俯瞰した内容であり、材料開発のスピードが加速されるだけでなく、半導体メーカーにとっても材料の課題や、材料がデバイスの電気特性や信頼性に及ぼす影響等を的確に予測できることが期待され本プロジェクトが半導体業界に与えるインパクトは極めて大と考えられます。</p> <p>一方、近年の半導体材料業界ではアジア地区の技術レベルの向上が著しく、国内半導体材料メーカーは苦戦を強いられていますが、本プロジェクトはこれら地域の材料メーカーとの技術的な差別化の切り札となることは間違いありませんので、この意味でも是非実現して頂きたいと考えます。</p>	<p>[考え方と対応]</p> <p>・半導体工程全体を一貫して材料影響を把握できる評価技術を開発することで、日本の半導体材料産業の競争力を強化し、世界の半導体材料開発の先端を進むべく、本プロジェクトをマネジメントいたします。</p>	<p>[反映の有無と反映内容]</p> <p>特になし。</p>

以上

## 2. 分科会における説明資料

次ページより、プロジェクト推進・実施者が、分科会においてプロジェクトを説明する際に使用した資料を示す。

# 「半導体機能性材料の高度評価基盤開発」 (平成21年度～平成23年度 3年間)

## 事後評価分科会

### 5. プロジェクトの概要説明資料(公開)

#### 5-1. 事業の位置付け・必要性 研究開発マネジメント

平成24年6月25日

「半導体機能性材料の高度評価基盤開発」  
(事後評価)分科会  
資料 5-1

## 内容

### I. 事業の位置付け・必要性 (NEDO)

1. 事業の背景
2. 事業の目的
3. 事業の位置づけ・必要性
4. NEDOが関与することの意義

### II. 研究開発マネージメント (NEDO)

### III. 研究開発成果について (CASMAT)

### IV. 実用化、事業化の見通しについて (CASMAT)

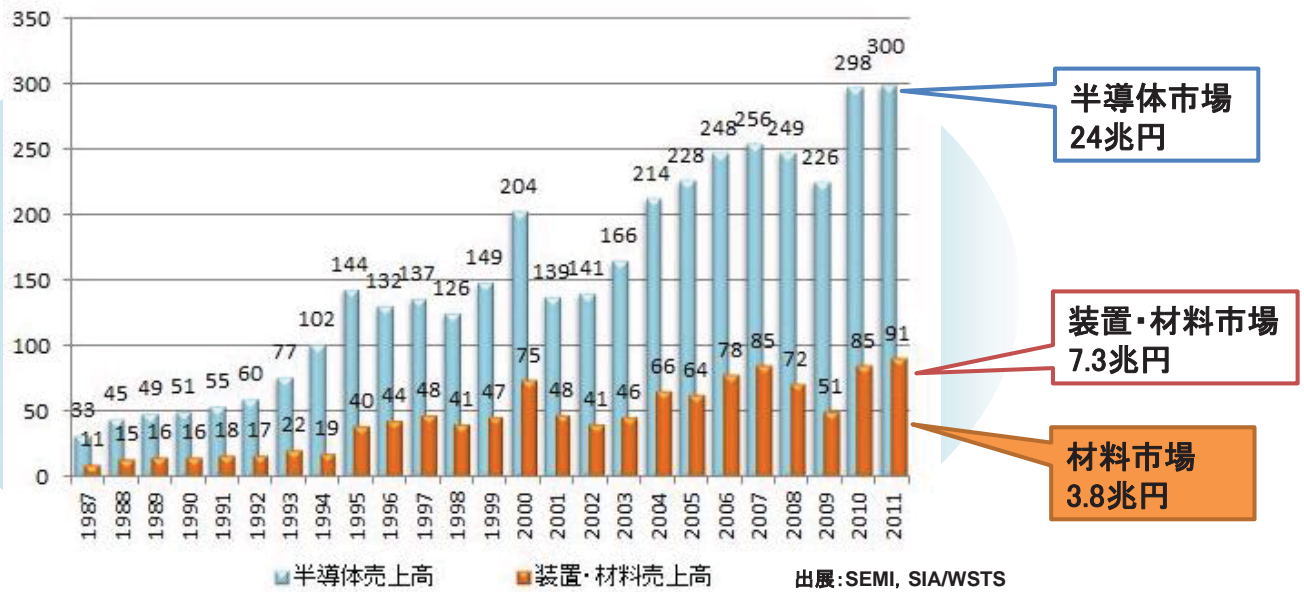


I. 事業の位置付け・必要性

公開

1. 事業の背景～市場動向

半導体、及び、半導体製造装置・材料の売上高推移(単位 10億米ドル)



1米ドル = 80円換算

半導体材料市場は、半導体市場の売上動向に沿って、今後も成長の見込み

半導体材料産業は、半導体産業の高い要求に対応するのみならず、より高機能材料を迅速に提供することが期待されている

I. 事業の位置付け・必要性

公開

1. 事業の背景～半導体分野の市場の相関



日本企業のシェア

70%

22%

24%

日本企業のシェアの例

海外 3%

日本 97%

海外 20%

日本 80%

海外 7%

日本 93%

海外 31%

日本 69%

海外 44%

日本 56%

海外 20%

日本 80%

海外 14%

日本 86%

海外 14%

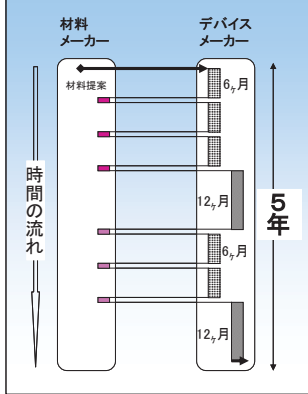
日本 86%

半導体材料メーカーの競争力維持・強化が重要

出展: 経済産業省「ものづくり白書 2011」2009年データ  
・有望電子部品材料2011  
・JMSICパッケージレポート2号

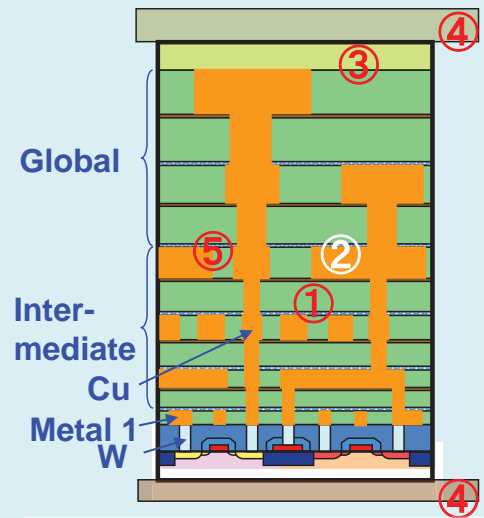
# 1. 事業の背景～半導体材料と従来の開発形態

## 従来の開発形態の例



- 半導体材料は多岐にわたる
  - これまで材料メカが個別に開発を実施し、デバイスメカに提供
  - デバイスメカ評価はOK/NGの評価結果であり、材料へのフィードバックをかけにくい
- ⇒ 総開発期間が長い

## LSIの断面模式図



本事業での評価材料

- ① 低誘電率絶縁膜関連材料  
Low-k材料(有機、無機)、洗浄液など
- ② 銅配線、CMP関連材料  
CMPスラリー、CMPパッドなど
- ③ バッファコート・再配線関連材料  
バッファコート膜、現像液など
- ④ アセンブリ用ウエハ加工関連材料  
バックグラインド、ダイシングテープなど
- ⑤ バックエンドプロセス関連材料  
反射防止膜、ギャップフィルなど

半導体材料メカの競争力維持・強化のためには？

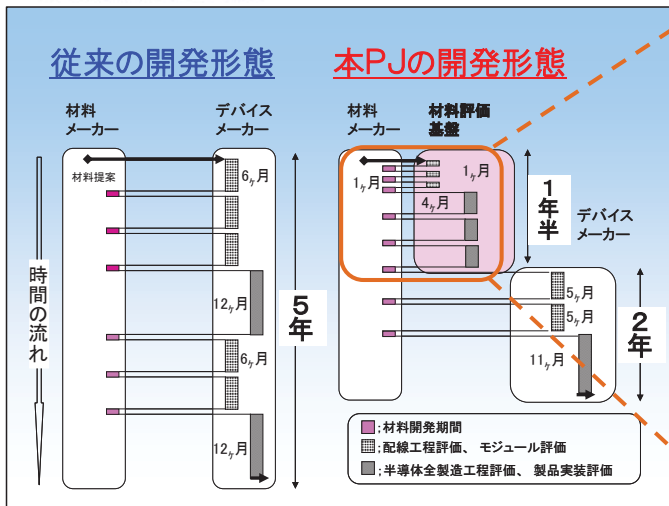
**高機能材料の開発期間短縮が重要**

# 1. 事業の背景～材料評価基盤の必要性

- 材料評価基盤を活用し、材料メカが自ら評価することにより
- ✓ 開発材料設計に反映可能な評価結果の取得
- ✓ 材料の問題点や課題の明確化
- ✓ ユーザ工程を考慮したプロセスフロー構築 が可能に。

**高機能材料の総開発期間短縮**

## <開発期間短縮の例>



### 材料メカ内での検討

開発材料

材料個別の特性評価

線膨張係数、収縮率、弾性率、粘度など

### 材料評価基盤の活用

プロセス適用性の評価

金属汚染、応力、電荷蓄積、断線、材料ダメージなど

材料と同時に、統合的ソリューション提案(ユーザ目線での提案)が可能に

デバイスメカ供試

開発の効率化

迅速な開発材料へのフィードバック

## I. 事業の位置付け・必要性

公開

## 2. 事業の目的～本事業の目標

## 本事業の目標

半導体デバイス性能に直結する接合素子(p-n接合、 $\text{SiO}_2$ -Si接合)の性能・信頼性まで含め、半導体製造プロセス全体を俯瞰して半導体材料が開発できる材料評価基盤を構築する

事業期間： 平成21年度～平成23年度

助成額： 1.4億円(1/2助成)

助成先： 次世代半導体材料技術研究組合(CASMAT)

## 目的

高機能材料の開発期間短縮による  
半導体材料メーカーの競争力維持・強化

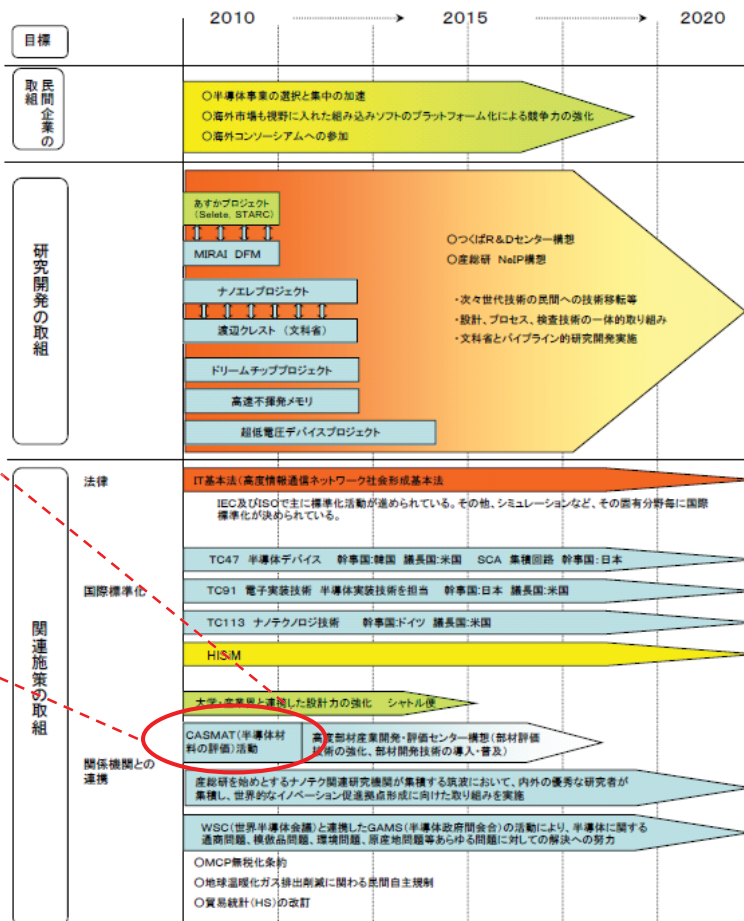
## I. 事業の位置付け・必要性

公開

## 3. 事業の位置付け・必要性～国の政策における位置付け1

技術戦略マップ2010における  
半導体分野の導入シナリオ

CASMAT(半導体材料の評価)活動





## I. 事業の位置付け・必要性

公開

## 3. 事業の位置付け・必要性～国の政策における位置付け2

## イノベーションプログラムでの位置付け

## 1. 「イノベーションプログラム」の中での体系的推進 (Inside Management &amp; Accountability)

- 経済産業省の全ての研究開発プロジェクトは、政策目標毎に7つの「イノベーションプログラム」の下で体系的に推進。
- 各プログラムの中で、政策目標に向けたプロジェクトの位置付けと目標の明確化、市場化に必要な関連施策(規制改革、標準化等)との一体化を図り、イノベーション実現に向け各プロジェクトを効果的に推進。

## 2. 「技術戦略マップ」に基づく戦略的企画立案 (Outside Communication &amp; Networking)

- 先端産業技術動向を把握し、国が取り組むべき技術課題とイノベーションの道筋を明確化するため、産学官で協働するロードマッピング手法を導入(『技術戦略マップ 2005/2006/2007/2008』)。
- 研究開発プロジェクトの選定に当たっては、イノベーションプログラムにおける政策目標を基に技術戦略マップに位置付けられた重要技術課題を抽出し戦略的に企画立案。

本PJは3つのイノベーションプログラムに該当

<p><b>IT IPG</b></p> <p>①ITコア技術の革新 94億円 ②省エネ革新 42億円 ③情報爆発への対応 44億円 ④情報システムの安全性等 63億円</p> <p>21年度予算 244億円</p>	<p><b>ナノテク・部材 IPG</b></p> <p>①ナノテク加速化領域 36億円 ②情報通信領域 28億円 ③ライフサイエンス・健康・医療領域 16億円 ④エネルギー・資源・環境領域 78億円 ⑤材料・部材領域 27億円 ⑥共通領域 4億円</p> <p>21年度予算案 188億円</p>	<p><b>ロボット・新機械 IPG</b></p> <p>①ロボット関連技術開発 38億円 ②MEMS関連技術開発 12億円</p> <p>21年度予算 50億円</p>	<p><b>健康安心 IPG</b></p> <p>①創薬・診断技術開発 102億円 ②診断・治療機器・再生医療等の技術開発 28億円</p> <p>21年度予算 130億円</p>
<p><b>エネルギー IPG</b></p> <p>①総合エネルギー効率の向上 707億円 ②運輸部門の燃料多様化 278億円 ③新エネルギー等の開発・導入促進 369億円 ④原子力等利用の推進とその大前提となる安全の確保 268億円 ⑤化石燃料の安定供給確保と有効かつクリーンな利用 479億円</p> <p>21年度予算 1,281億円※2</p>	<p><b>環境安心 IPG</b></p> <p>①地球温暖化防止新技術 60億円 ②3R 33億円 ③環境調和産業バイオ 57億円 ④化学物質総合評価 11億円 ⑤共通領域 4億円</p> <p>21年度予算案 165億円</p>	<p><b>航空機・宇宙産業 IPG</b></p> <p>①航空機産業の基盤技術力の維持・向上 233億円 ②宇宙産業の国際競争力強化 87億円</p> <p>21年度予算案 320億円</p>	

## I. 事業の位置付け・必要性

公開

## 4. NEDOが関与することの意義

## 目標

半導体材料メーカーの競争力維持・強化を目的とした、材料評価基盤の構築

## 民間企業単独での実施が困難な理由

- ・研究開発目標の難易度が高い
- ・本来競合である複数の材料メーカーの参画が必要
- ・実施後短期間で収益を望める事業とは言えない

NEDOのリーダーシップによる事業推進が妥当

## 内容

## I. 事業の位置付け・必要性 (NEDO)

## II. 研究開発マネジメント (NEDO)

## 1. 過去事業

## 2. 事業の目標と内容

## 3. 事業の計画内容

全体スケジュール、実施体制

## 4. 研究の運営管理

マネジメントの妥当性、運営管理

## 5. 情勢変化への対応

## 6. 実施の効果

予算、実施の効果

## III. 研究開発成果について (CASMAT)

## IV. 実用化、事業化の見通しについて (CASMAT)

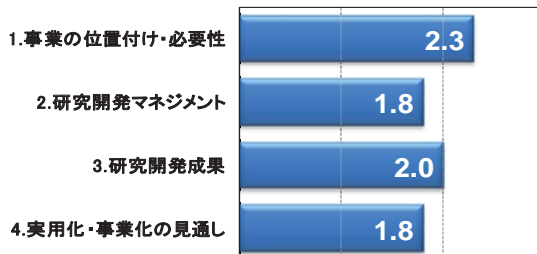
## II. 研究開発マネジメント

## 1. 過去事業 ～結果

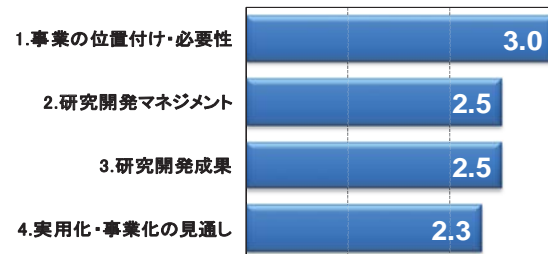
## 次世代半導体材料技術研究組合(CASMAT)で2つの助成事業を実施

次世代半導体ナノ材料高度評価PJ  
(CASMAT I)

2.0+1.8=3.8で「合格」

次世代高度部材開発評価基盤  
(CASMAT II)

2.5+2.3=4.8で「優良」



3、2、1、0点の4段階評価で、平均値を算出。研究開発成果+実用化・事業化の見通し：3点以上「合格」、4点以上「優良」評価

## 評価の抜粋

いち早い研究開発と材料評価の共通基盤構築は産業的にきわめて有効。事業規模の期待値に対して投資額が過大との印象。今後の大きな波及効果に期待。

## 今後に対する提言の抜粋

構築した評価環境を有効利用し、半導体デバイスの新しい技術進展に対応した評価環境・評価技術の拡張的展開を望む。

## 評価の抜粋

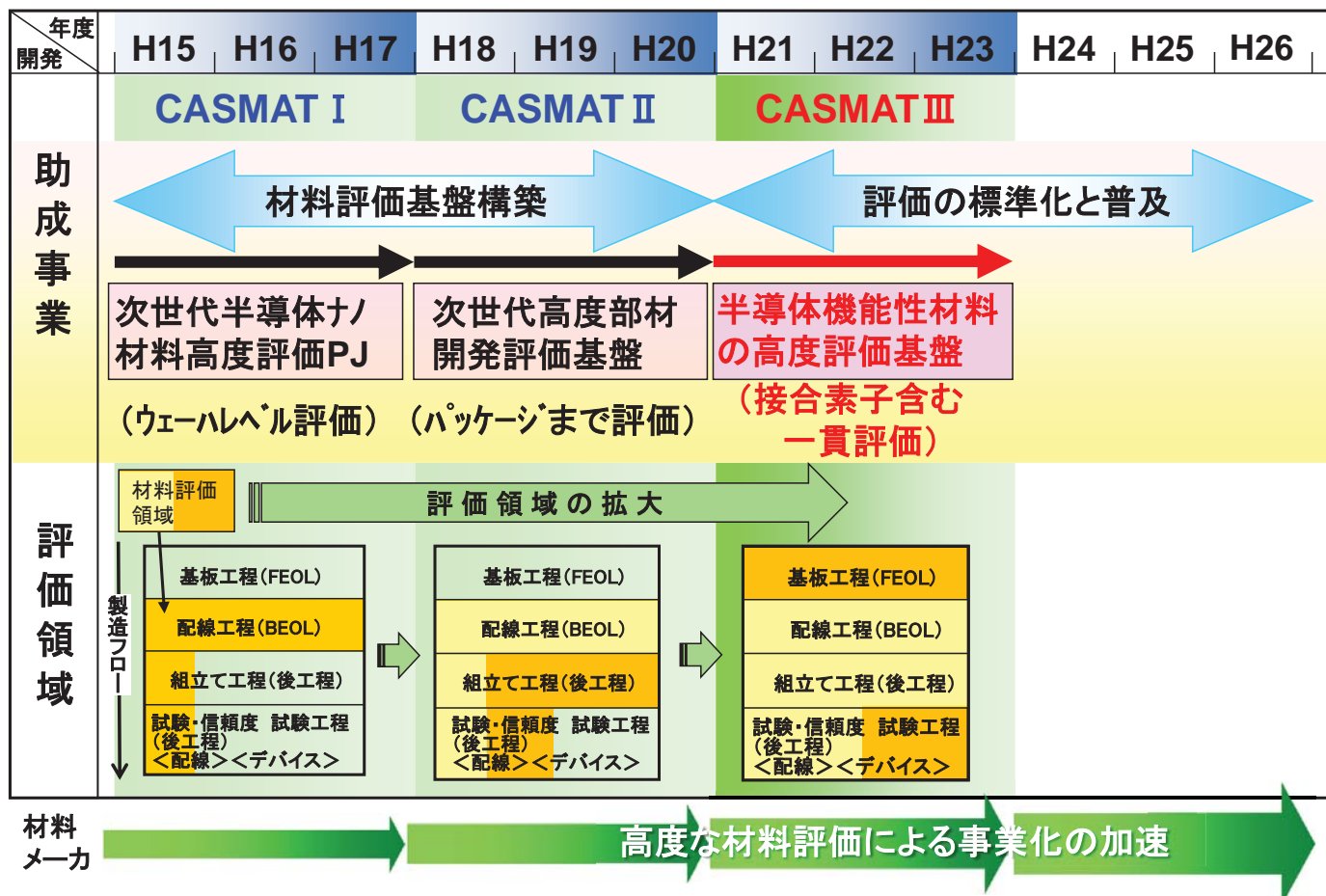
個別のデバイスメーカーが実施してきた部材評価が、材料メーカーでの材料開発段階で可能となったことは半導体産業全体の開発効率化に大きく寄与。CASMATは実質的にコンサルタント機能を果たしている。

## 今後に対する提言の抜粋

微細化のみの事業前提としない。装置メーカーの参画も必要。CASMATを継続的に維持活用できるような「常設機関化」を考えるべき。

本事業では、評価領域の拡大による、材料評価基盤としての拡張を目指した

# 1. 過去事業 ～本事業との関係



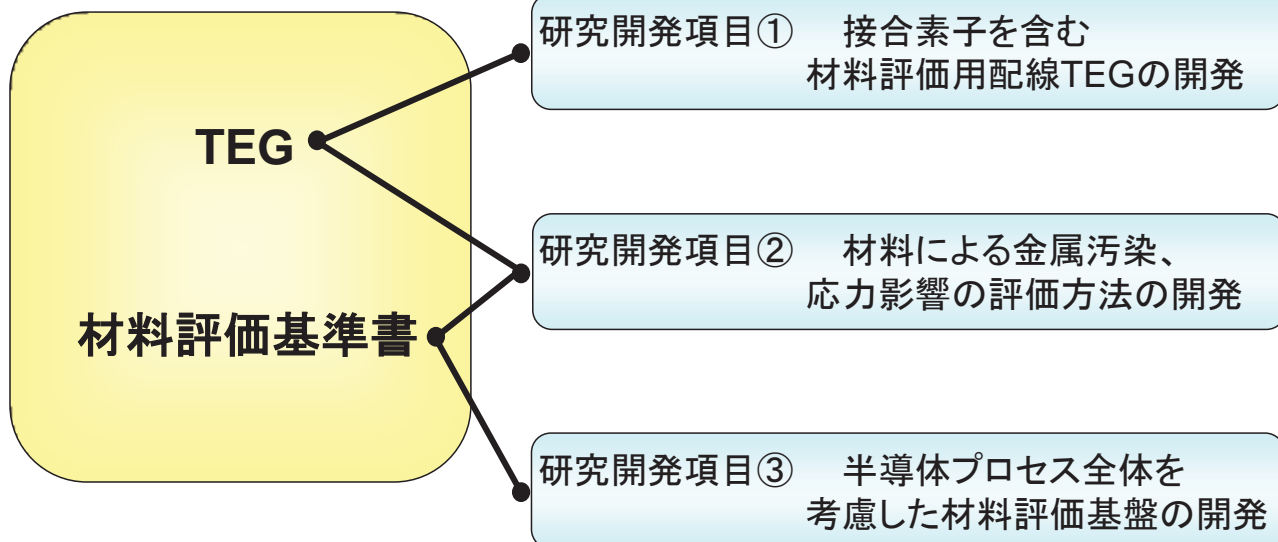
# 2. 事業の目標と内容

## 本事業の目標

半導体デバイス性能に直結する接合素子 (p-n接合、SiO<sub>2</sub>-Si接合) の性能・信頼性まで含め、半導体製造プロセス全体を俯瞰して半導体材料が開発できる材料評価基盤を構築する

## 材料評価基盤と研究開発項目との関連

### 材料評価基盤の構成

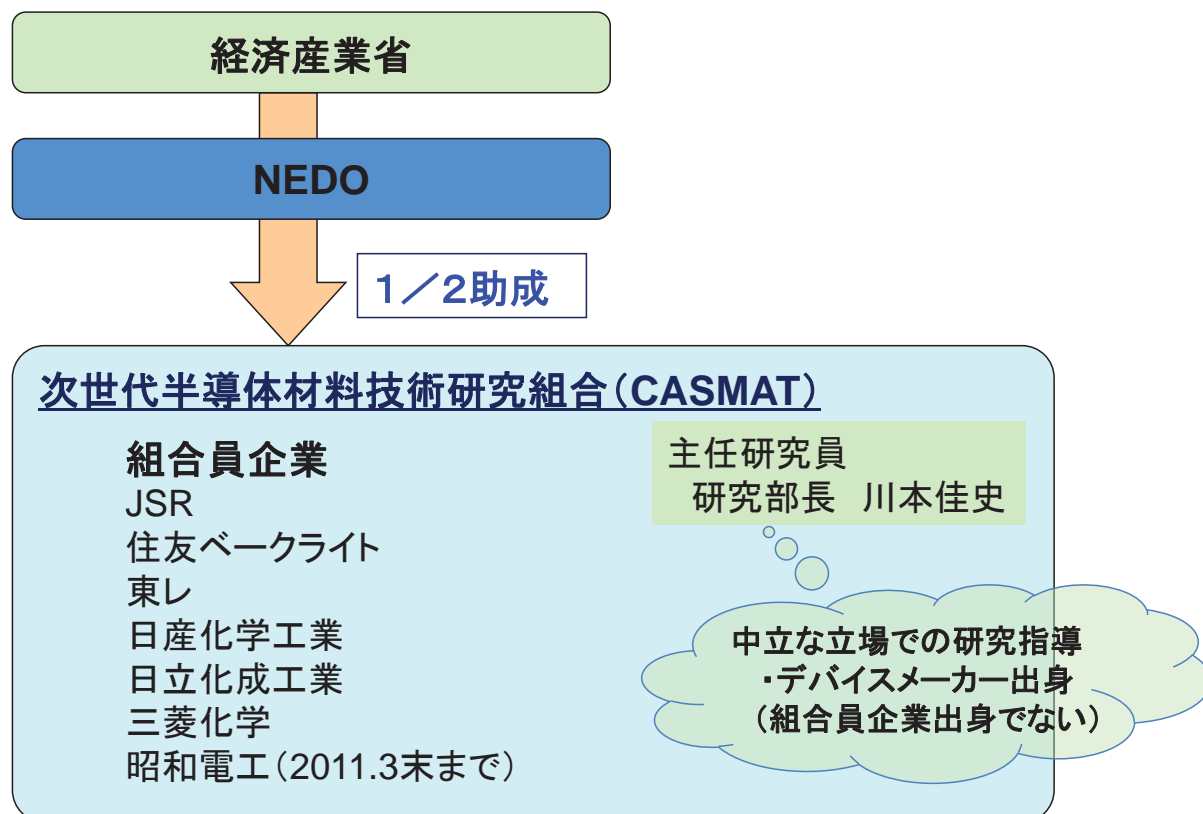


## 3. 事業の計画内容 ～全体スケジュール

研究課題	年度	平成21年度(2009)	平成22年度(2010)	平成23年度(2011)
①接合素子を含む材料 評価用TEGの開発  ②汚染や応力の高感度 評価方法の開発  ③半導体プロセス全体を 考慮した材料評価 基盤の開発		TEGマスク設計	マスク検証と修正	TEGの検証
		接合素子の 評価技術調査	接合素子を用いて汚染や応力の高感度な 材料の評価基盤を確立	
		接合素子へのBEOL 材料影響の調査	半導体プロセス全体を考慮して材料影響を 把握できる評価基盤の確立	

組合は助成事業のほか、自主事業として材料評価基盤の高度化を実施しており得られた知見は助成事業にも反映されている。

## 3. 事業の計画内容 ～実施体制





## 4. 研究の運営管理～マネジメントの妥当性

### 研究開発マネジメント

競合する材料メーカーが参画する、及び、材料開発に関わる事業ヘドバイスメーカー技術者が参加する体制構築

### 運営マネジメント

中立な立場の主任研究員の配置、評価材料のコード化、評価結果の公開・非公開の取扱明確化による、材料メーカー個別技術の保護  
(協調領域と競争領域の峻別)

### 知的財産マネジメント

帰属の明確化(評価方法:CASMAT、材料:材料メーカー)による、材料メーカーの知的財産の保護と事業化の促進

### 実用化の推進

材料メーカーの事業化を支える材料評価基盤の実用化推進

### 過去事業の成果・設備資産の有効活用

- \*次世代半導体ナノ材料高度評価プロジェクト/次世代高度部材開発評価基盤の成果・装置の活用
- \*次世代半導体材料・プロセス基盤(MIRAI)プロジェクトのCVD装置の活用

## 4. 研究の運営管理

NEDOは各種委員会に参加し、運営状況・研究進捗状況の確認を実施

- **運営委員会 35回**  
プロジェクト全体の運営方針を議論。運営委員(各組合員企業)が出席。
- **技術委員会 36回**  
研究内容についての討議。技術委員(各組合員企業)が出席。
- **発明審議会 13回**  
発明等が職務発明か否か、ノウハウか否かの認定を行う場。  
職務発明の場合のランク付け。  
研究部長を議長とし、研究従事者の本組合における上長、担当事務局員および産業財産分野における専門家等を委員として構成
- **成果報告会 6回**  
半期に1回行われる研究成果を報告。各組合員企業が出席。
- **幹部会 6回**  
組合員企業の幹部が、重要組合運営事項を討議。
- **企業化検討会 7回**  
CASMATの企業化について検討。企業化検討委員が出席。



## 5. 情勢変化への対応

### 情勢変化

- 現在の拠点での継続が不可能
  - 移転費用も含めて経済性が成り立つ適切な新規研究拠点が見つからず
  - 装置メーカーが組合員候補となっていたが、情勢変化により参画を断念
- ⇒ 研究拠点としての組合は平成24年度末で解散



### 材料メーカーが継続して活用できる材料評価基盤体制の構築

- TEG: ライセンス事業の推進による継続入手方法の確立
- 材料評価基準書: (既に活用中、引き続き活用)
- 知的財産権: 評価手法に関する特許の活用、普及のためのライセンス事業
- 事業承継: ライセンス事業の承継の推進

## 6. 実施の効果 ～ 予算

平成21～23年度の3年間で

総事業費: 280百万円

内NEDO助成費: 140百万円 (助成比率1/2)

	平成21年度	平成22年度	平成23年度
総事業費 (内NEDO助成費)	120百万円 (60百万円)	80百万円 (40百万円)	80百万円 (40百万円)

### 参考データ

	CASMAT I	CASMAT II	CASMAT III
自主事業費	-	30億円	30億円
NEDO事業 総事業費 (内NEDO助成費)	110億円 (50億円)	15億円 (7.5億円)	2.8億円 (1.4億円)

## 6. 実施の効果

### 材料評価基盤の構成

TEG  
材料評価基準書

### 材料メーカーでの活用の効果

- ☆開発期間の短縮
- ☆自社製品の実力把握
- ☆材料評価の高度化
- ☆開発戦略の明確化・再構築
- ☆顧客信頼度の向上

平成21～23年度の3年間で  
総事業費 280百万円  
(内NEDO助成額140百万円)

本事業対象の半導体材料市場\*  
**年間約700億円**

\*2015年推定値、組合員企業申告値より推定

対象材料:①低誘電率絶縁膜関連材料②銅配線、CMP関連材料③パッファーコート・再配線関連材料④アセンブリ用ウエーハ加工関連材料⑤バックエンドプロセス関連材料

# 「半導体機能性材料の高度評価基盤開発」 (平成21年度～平成23年度 3年間)

## 事後評価分科会 5. プロジェクトの概要説明資料(公開)

### 5-2. 研究開発成果 実用化・事業化の見通し

平成24年6月25日

「半導体機能性材料の高度評価基盤開発」  
(事後評価)分科会  
資料 5-2

## 内 容

- I. 事業の位置付け・必要性 (NEDO)
- II. 研究開発マネジメント (NEDO)
- III. 研究開発成果について (CASMAT)
  1. 各研究開発項目の目標達成状況  
背景、目標の妥当性、目標達成状況
  2. 研究開発成果の意義
  3. 知的財産権等の取得、成果の普及
  4. まとめ
- IV. 実用化、事業化の見通しについて (CASMAT)

# 1. 背景 (評価対象材料)

公開

## ①低誘電率絶縁膜関連材料

Low-k材料(有機, 無機)、洗浄液など

## ②銅配線、CMP関連材料

CMPスラリー、CMPパッドなど

## ③バッファコート・再配線関連材料

バッファコート膜、現像液など

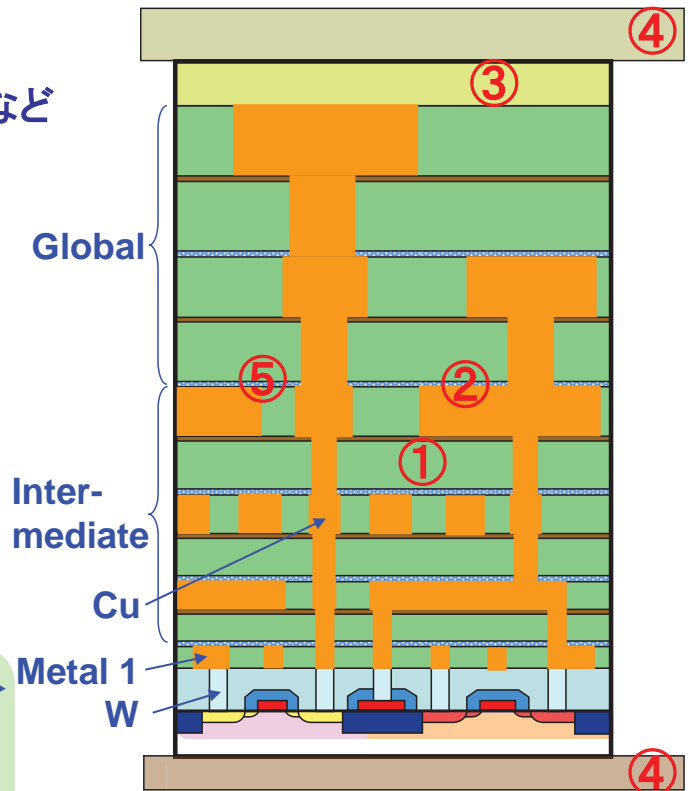
## ④アSEMBリ用ウェハ加工関連材料

バックグランド、ダイシングテープなど

<CASMAT II から評価対象材料に追加>

## ⑤バックエンドプロセス関連材料

反射防止膜、ギャップフィルなど

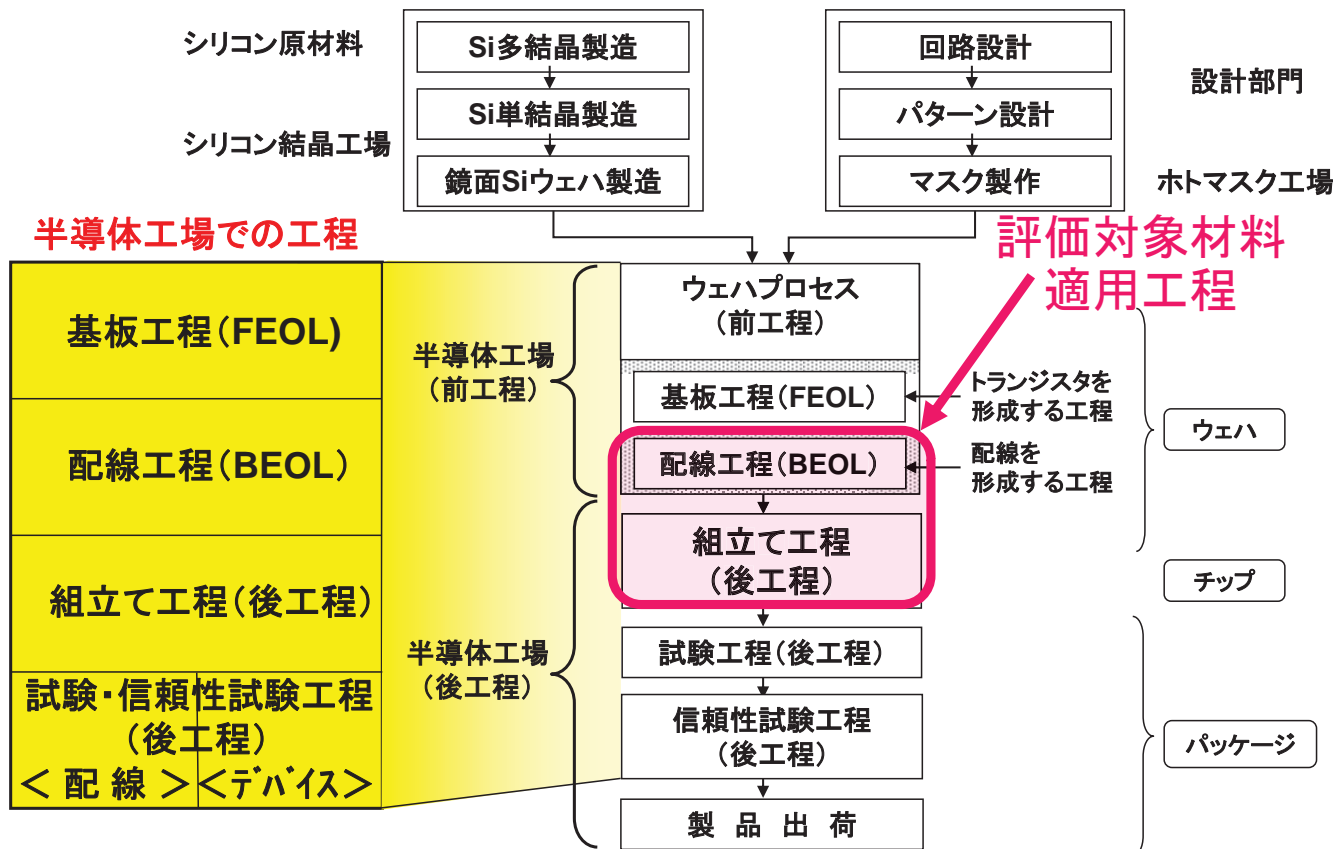


LSIの断面模式図

# 1. 背景 (デバイス製造フロー)

公開

## デバイス製造フローでの評価材料の適用工程

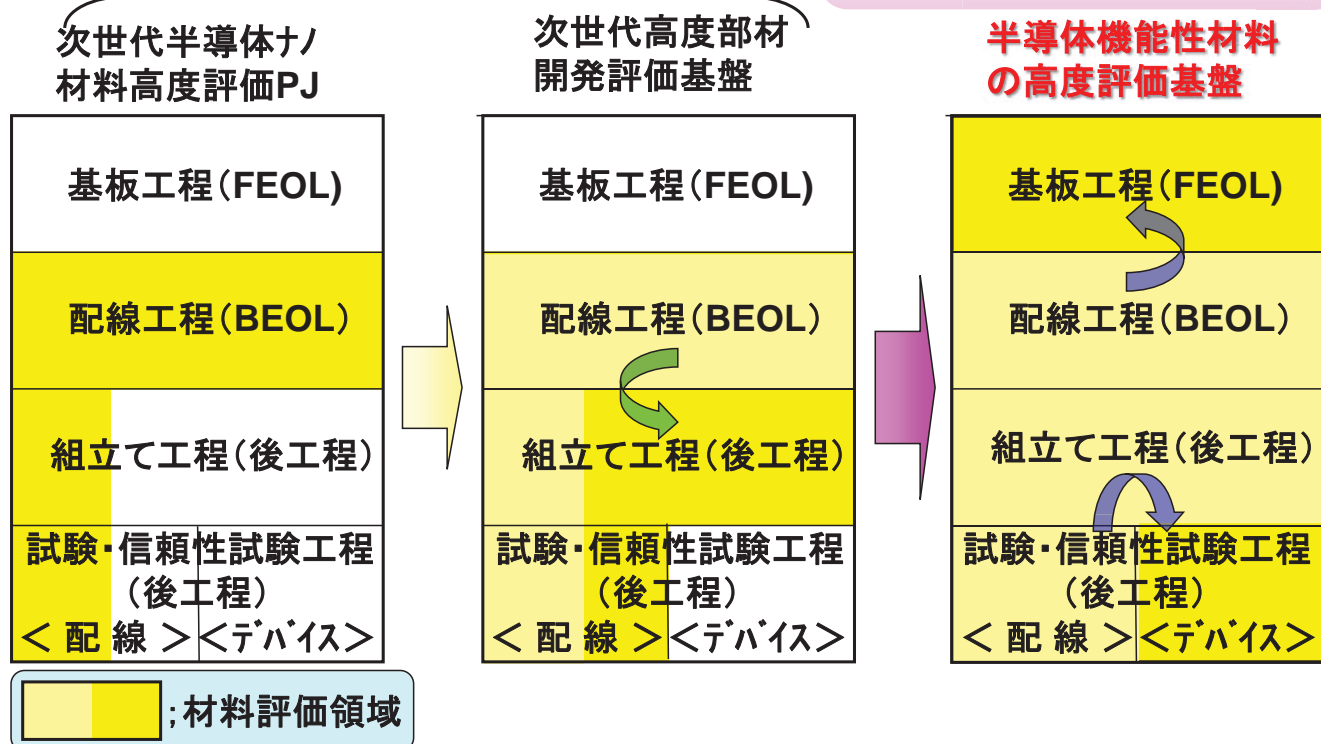


# 1. 目標の妥当性 (材料評価領域の拡大)

公開

従来；材料の適用以降のプロセスでの  
配線の性能、信頼度を検証する  
材料評価基盤

今回；半導体トータルプロセスでの  
配線とデバイスの性能、信頼度を  
検証する材料評価基盤

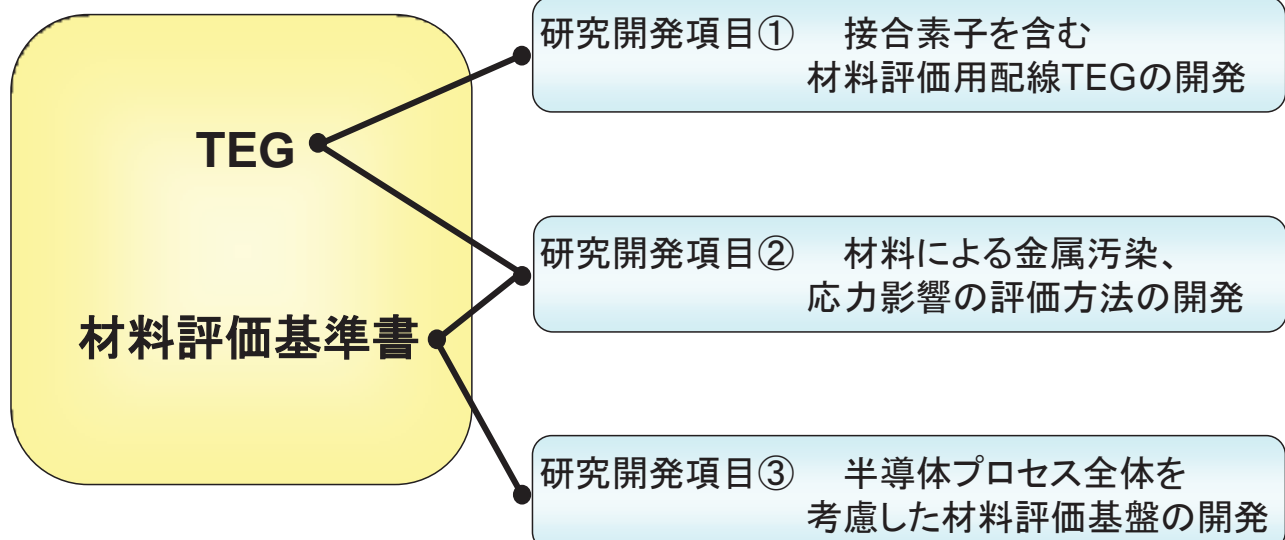


# 1. 目標の妥当性 (材料評価基盤)

公開

## 材料評価基盤と研究開発項目との関連

### 材料評価基盤の構成





## 1. 目標達成状況 (1) 研究開発項目①

公開

## 研究開発項目① 接合素子を含む材料評価用配線TEGの開発

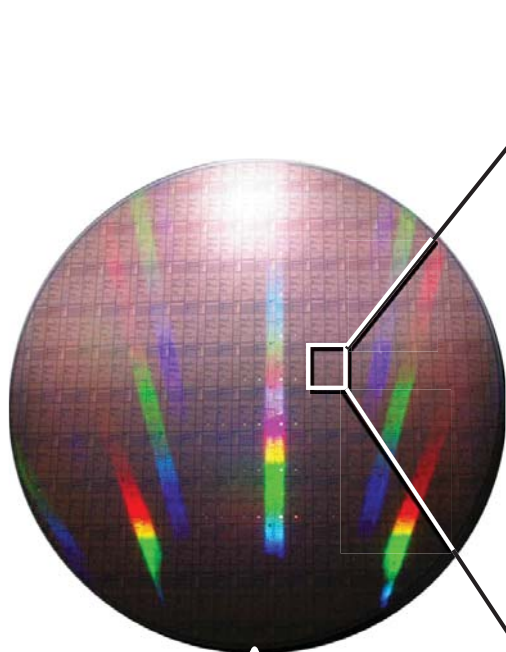
目 標	研 究 開 発 成 果	達 成 度
<p>材料とプロセス条件が接合素子の信頼性に与える影響を定量的に抽出できるように、接合素子を有するTEGマスクを設計する。接合素子を備えたウェーハ上に基準材料を用いて配線TEGを形成して形状や電気特性を検証する。検証結果を解析してTEGマスクを改良し、接合素子の信頼性への影響を評価できる材料評価専用TEGを開発する。</p>	<ul style="list-style-type: none"> <li>試作を安価に、かつ容易にするため、KrF、i線露光に対応できる最小寸法0.2<math>\mu</math>m、チップサイズ21.5×26.9mm<sup>2</sup>、マスク枚数12枚として、種々の構造や面積を有するp-n接合素子、ゲート容量素子、トランジスタ、抵抗素子、アンテナTEG、腐食TEG、リングオシレータ(RO)などを設計した。</li> <li>FEOLのプロセスフロー、種々の材料の膜厚やイオン打込み条件などの各工程の処理条件を策定して、ウェーハ試作を外注し、接合素子を含むFEOLの試作を完了させた。</li> <li>FEOLプロセスを完了したウェーハを用いて、CASMATでBEOLプロセスを実施し、接合素子の電気特性を測定することができるFEOL/BEOL統合TEGを完成させた。</li> <li>p-n接合や容量素子など単純な接合素子に加え、そのFEOLプロセスで同時に形成されるトランジスタ、抵抗負荷型インバータで構成したROなどの電気特性を測定し、期待値通りの特性を確認し、TEGを検証した。</li> <li>配線間容量を伝播負荷とするROの発振周波数測定から、相対的にはあるが、多層配線の層間絶縁膜の比誘電率を評価できることを確認した。</li> <li>マスク修正および外注先変更にもなうプロセス条件を再策定し、ほぼ同様の電気特性が得られることを確認した。</li> </ul>	○

達成度: ○達成、△未達

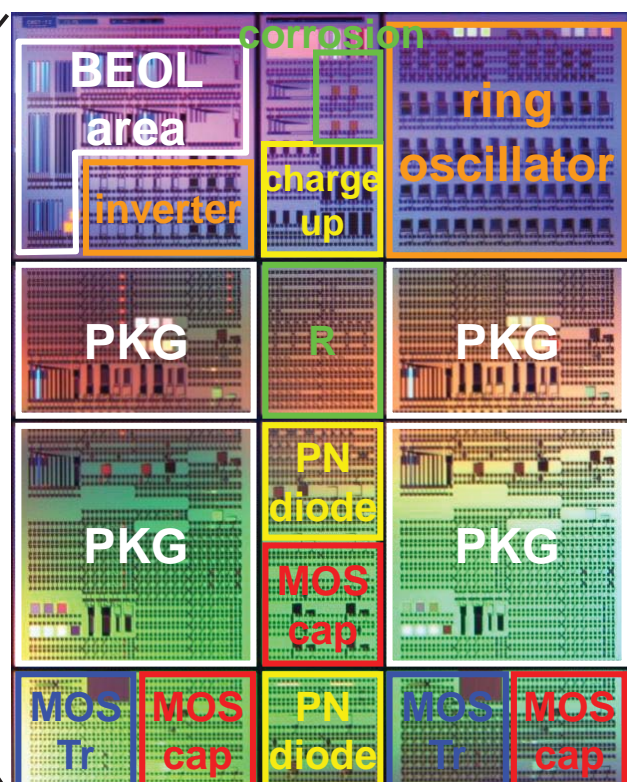
## 1. 目標達成状況 (2) (材料評価基盤; TEG)

公開

## FEOL/BEOL統合TEGウェーハとショット内レイアウト



CAST-T2 TEG  
300mm $\phi$  ウェーハの  
外観画像  
(92ショット/ウェーハ)



1ショットの実体顕微鏡画像(H/W:26.9/21.5mm)

## 1. 目標達成状況 (3) 研究開発項目②

公開

研究開発項目② 材料による金属汚染、応力影響の評価方法の開発

目 標	研究 開 発 成 果	達 成 度
<p>研究開発項目①で得られたTEGマスクを用いて、300 mmシリコンウェーハ上に接合素子を作成し、さらに配線形成を行い、製造工程に用いる半導体材料あるいは製造プロセスによる接合素子への影響(金属汚染、応力、電荷蓄積など)が把握できる電気特性の測定方法や解析方法、また接合素子の信頼性の試験方法や測定結果の解析方法を開発する。</p>	<ul style="list-style-type: none"> <li>・ Cuなどの重金属汚染は、p-n接合素子の逆方向電流を測定することにより、評価できることがわかった。</li> <li>・ Na、Kなどのアルカリ金属汚染は、寄生MOSTランジスタのゲートにバイアス印加して、しきい電圧を測定し、その変動量から評価できることがわかった。</li> <li>・ 応力の影響は、n+層、n層、poly-Siのそれぞれの抵抗素子の電流方向に、基板を反らせて応力印加することにより抵抗が増減することから、それらの抵抗素子の抵抗変化により評価できることがわかった。</li> <li>・ 容量素子のゲート電極側に大面積のアンテナ電極を接続したアンテナTEGのゲート耐圧測定により、プロセスや材料に起因する電荷蓄積の効果を評価することができた。</li> <li>・ CMPプロセスで発生するCuの腐食については、配線抵抗の変化を評価することにより、p-n接合電池、Cuイオンの濃淡電池それぞれによる腐食現象を把握することができた。</li> </ul>	○

達成度: ○達成、△未達

## 1. 目標達成状況 (4) 研究開発項目③

公開

研究開発項目③ 半導体プロセス全体を考慮した材料評価基盤の開発

目 標	研究 開 発 成 果	達 成 度
<p>対象とするパッケージをワイヤーボンド型とフリップチップ型とし、接合素子とCu/Low-k配線を有するウェーハのパッケージ組立工程の基準プロセスと評価方法を確立する。さらに、熱、応力、水分などが電気特性や材料に与える影響を把握し、信頼性評価技術を確立する。得られた知見を迅速に各工程にフィードバックし、フロントエンドからバックエンド、パッケージまでの半導体プロセスにおいて次世代半導体以降にも対応する材料を一貫して評価できる評価基盤を確立する。</p>	<ul style="list-style-type: none"> <li>・ Low-k材料が半導体プロセスにおいて受けるダメージについて、楕形の配線間容量を伝播負荷とするリングオシレータの発振周波数を測定することにより、実効的な比誘電率を高精度に評価する方法を開発した。</li> <li>・ Low-k材料の電気的性質の1つである分極特性について、寄生MOSTランジスタのゲートに周期的にバイアスを印加した時のしきい電圧変動幅を測定することにより評価する方法を開発した。</li> <li>・ ワイヤーボンド型として、208ピンQFPを外注にて組立て、Low-k材料、BC材料の影響を接合素子の電気測定により調査したが、それらの違いは顕著に現れなかった。</li> <li>・ QFPではリングオシレータの発振周波数が6%程度低下した。モールド材の収縮による圧縮応力により、負荷poly-Si抵抗の増加などの影響と推察される。</li> <li>・ フリップチップ型として、種々のBC材料で再配線し、WLPを外注にて組立て、接合素子の測定、温度サイクル試験などを行ったが、材料影響は出現せず、むしろ剥離やデージーチェーン断線にBC材料の違いによる影響が顕著に現れ、新たな評価指標として剥離耐性係数を創出した。</li> </ul>	○

達成度: ○達成、△未達

# 1. 目標達成状況 (5) (材料評価基盤;材料評価基準書)

## 組合員に開示した材料評価基準書の件数

分野 (材料、技術)	レベル1 単層膜	レベル2 複数工程	レベル3 1層配線	レベル4 多層配線	レベル5 信頼性	トータル 190
Low-k材料	7	5	6	1	3	22
CMP関連材料	13	0	14	0	1	28
バッファークコート膜	2	3	12	0	3	20
PKG一貫評価	0	0	0	6	7	13
プロセスフロー	0	0	3	30	7	40
マスク説明書	0	0	1	29	5	35
電気測定法	0	0	0	25	7	32

# 1. 目標達成状況 (6) (材料評価基盤;材料評価基準書)

## 材料評価基準書の例

評価基準書一覧

分野	評価レベル	大分類	中分類	小分類	台帳番号	
①	1	半層膜評価	電気的測定	Low-k膜厚の比較容量評価	31001	
				Low-k膜厚のリーク電流評価	31002	
				XBRによる膜厚の異質高橋性評価	31003	
				有機Low-k単層のダイレクトCMP耐性評価	31004	
		積層膜評価	密着性評価	Low-k材料の密着性評価	31005	
				吸着条件下でのLow-k材料の密着性評価	31006	
		環境試験	密着性評価	31007		
	半層膜評価	ダメージ評価	Low-k TE OS Coa膜エボにおけるダメージ評価	31007		
	2	換気工程評価	電気的測定	ブランケット膜におけるプロセスダメージ評価	31101	
				電気的/光学的測定	ブランケット膜におけるプラズマダメージ回復性評価(1)	31102
				電気的/光学的測定	ブランケット膜におけるプラズマダメージ回復性評価(2)	31103
				電気的/化学的測定	ブランケット膜における有機Low-kプラズマダメージ回復性評価	31104
				トレンチ形状評価	有機Low-kプラズマダメージ回復処理条件の適合性評価	31105
	3	半層配線評価	電気的測定	配線TEGにおけるDirect CMP後の容量評価(RC2ロウ)	31201	
配線TEGにおけるDirect CMP後の容量評価(容量差分)				31202		
配線TEGにおける高橋容量評価				31203		
配線TEGにおける有機Low-k材料比較評価				31204		
配線TEGにおける有機Low-k材料のダイレクトCMP耐性評価				31205		
配線TEGにおけるプラズマダメージ回復性評価	31206					
4	多層配線評価	電気的測定	配線TEGにおけるDirect CMP後の容量評価(カゲオレータ)	31301		
			多層配線TEGにおける信頼性評価(SM)	31401		
5	信頼性評価	電気的測定	配線TEGにおける有機Low-k材料Cu拡散耐性評価	31402		
			有機無機(ア)外配線TEGにおける信頼性評価(SM)	31403		
			有機無機(ア)外配線TEGにおける信頼性評価(SM)	31403		
半層膜評価	ダメージ評価	外観評価	単層の研摩面SEM観察とサンプル作成法	32001		
		ダメージ/欠陥評価	パリアメタルCMP工程におけるスクラッチ発生率の観察	32002		
		欠陥評価	SR-7300による高信頼性欠陥評価方法	32003		
		ダメージ評価	MSQ系Low-k膜のDirectCMPにおけるStressダメージ評価	32004		

### 評価基準書の記載事項

1. 評価対象材料名
2. 評価の目的
3. 評価項目
4. 試料作成の手順
5. 測定方法
6. 測定結果例
7. まとめ・考察
8. 残された課題
9. 関連技術情報



## 2. 成果の意義 (特筆すべき成果)

公開

### 世界的に見て特筆すべき成果

- 配線間容量を伝播負荷とするROを用いて、多層配線の層間絶縁膜の実効的な比誘電率を高感度に評価する評価方法  
 特許出願；特願2010-080768  
 外部発表；ICMTS2011（発表No. 11）
- p-n接合電池、Cuイオンの濃淡電池による腐食について、それぞれ工夫したCu配線パターンの抵抗変化により、腐食の起こり易さ、腐食の進行を定量的に把握する評価方法  
 外部発表；p-n接合電池：2012秋 応用物理学会(予定)  
 濃淡電池：ICPT2010他（発表No. 6、7、9、12、15）
- バッファコート(BC)膜を用いた再配線において、剥離やデージェーチェン断線に対するBCの影響を表す新たな評価指標として、剥離耐性係数を創出  
 特許出願：出願準備中  
 関連特許出願；特願2010-066449

## 2. 成果の意義 (材料評価基盤)

公開

### 半導体関連業界

半導体デバイス、製造装置の開発効率向上  
 材料の実用化加速

統合部材ソリューション提供  
 材料実用化のための共同研究開発

### 半導体材料業界 材料開発

材料開発効率の飛躍的向上

評価と材料開発の短TAT化  
 デバイスメカ依存体質から脱却

### 材料ビジネス

市場競争力の強化・シェア拡大

競合メカ材料を同一基準で評価  
 材料評価結果に基づく事業戦略決定

### CASMATの材料評価基盤

- 300mmウェーハの半導体プロセスをベースにした材料評価
- 独自のTEGマスク設計、電気特性の測定・解析の環境
- FEOL、BEOLからパッケージまでの一貫評価

### 3. 知的財産権等の取得、成果の普及

公開

#### 年度毎の特許、論文・外部発表の件数

項目 年度	特許出願			論文・外部発表	
	国内	外国	PCT出願	査読付	その他
平成21年度	3	0	0	3	2
平成22年度	6	0	0	2	2
平成23年度	4	0	0	7	3
合計	13	0	0	12	7

### 3. 知的財産権等の取得、成果の普及

公開

#### 組合員への成果の普及

- ・ 技術情報Bの報告件数 212件/3年間  
⇒組合員企業での材料開発とビジネス展開(顧客に開示)に活用
- ・ 成果報告会の開催 6回/3年間(第12回～第17回)  
ただし平成23年3月16日開催予定の第15回成果報告会は、東日本大震災のため開催できなかったため報告資料のみ組合員配布
- ・ 評価基準書の配布 190件  
⇒事業終了後、組合員企業での材料評価に活用

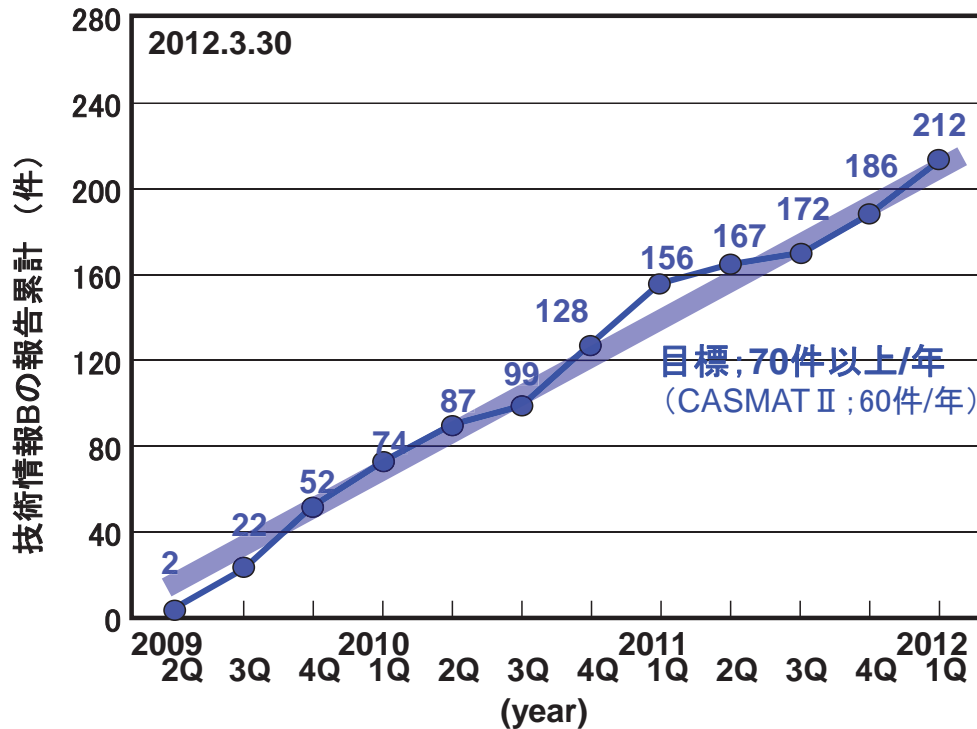
#### 外部への成果の普及

- ・ 研究発表会 平成22年7月 出席者;67名  
組合員以外の材料メーカ(11社)、装置メーカ(7社)、デバイスメーカ(9社)、コンソーシアムなど(13団体)

### 3. 知的財産権等の取得、成果の普及

公開

#### 技術情報Bの報告件数



材料に関するデータや評価技術数はあがっており、組合員企業での材料開発とビジネス展開(顧客に開示)に活用されたことを示す

### 4. 成果のまとめ

公開

- ・「半導体トータルプロセスでの配線とデバイスの性能、信頼度を検証する材料評価基盤を開発する」という本事業の目標を達成した。
- ・材料評価基盤の具体的成果は、CAST-T2、T3のTEGの完成と190件の材料評価基準書である。
- ・世界的にみて特筆すべき成果は、リングオシレータを利用した層間絶縁膜の比誘電率の高感度評価方法、電池効果を利用した腐食の定量的評価方法、バッファコート膜の剥離の指標となる剥離耐性係数の創出である。
- ・研究成果の意義は、材料業界に対しては材料開発の効率向上、ビジネス展開への貢献であり、半導体関連業界に対してはそれぞれ開発効率向上と材料の実用化加速である。
- ・知的財産権等の取得、成果の普及に関しては、13件の特許出願、212件の技術情報Bの報告、6回の成果報告会、1回の外部報告会、19件の外部発表を行なった。

# 内 容

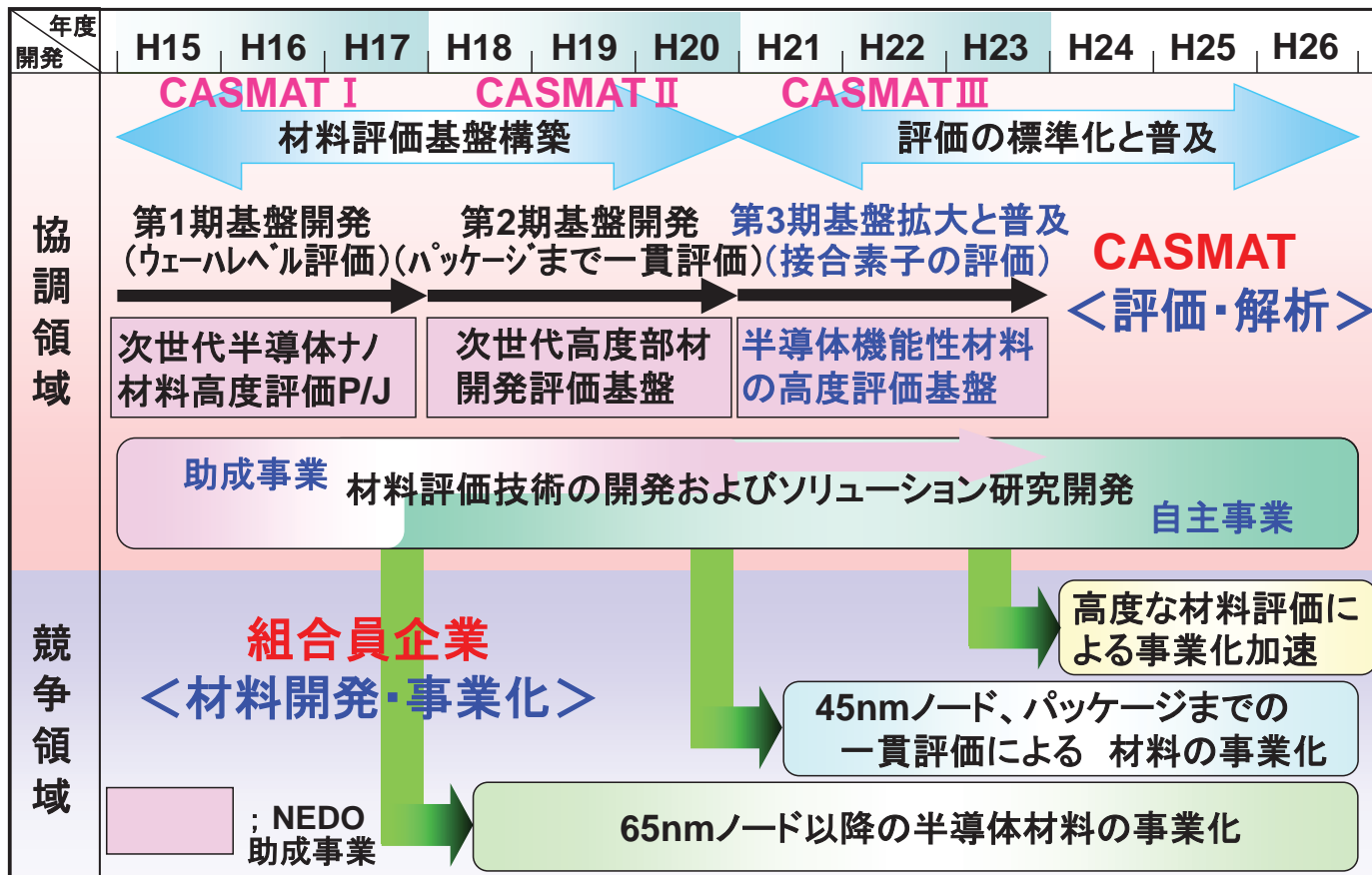
公開

- I. 事業の位置付け・必要性 (NEDO)
- II. 研究開発マネジメント (NEDO)
- III. 研究開発成果 (CASMAT)
- IV. 実用化・事業化の見通し (CASMAT)
  - 1. 成果の実用化可能性
  - 2. 実用化までのシナリオ
  - 3. 波及効果
  - 4. まとめ

## 1. 成果の実用化可能性

公開

### 実用化へのマイルストーン



## 1. 成果の実用化可能性

公開

## 本事業での実用化・事業化の定義

## 1. 材料評価基盤の実用化

本事業の成果である材料評価基盤の  
有効活用とその継続

- ・ 材料評価基準書の有効活用
- ・ TEGを材料メーカーが継続的に入手可能とすること
- ・ 知的財産権(特許権など)の活用

材料評価基準書は各組合員企業に配布済みで、活用中。引き続き活用。

## 2. 組合員企業の事業化

材料評価基盤を活用した  
半導体材料の事業化

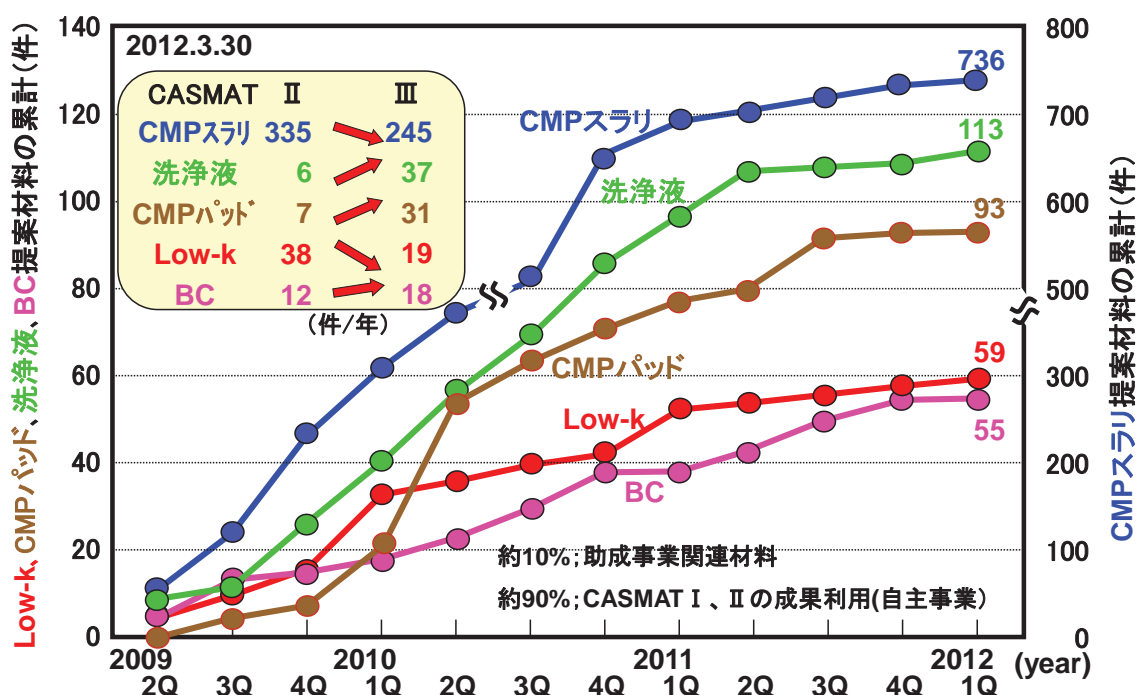
- ・ 既存製品の競争力強化、市場シェアの向上
- ・ 新規製品の開拓、新規市場への参入

詳細は各組合員企業から別途報告

## 1. 成果の実用化可能性 (成果の有効性) (1)

公開

## 本事業期間内の材料の評価実績(助成/自主)



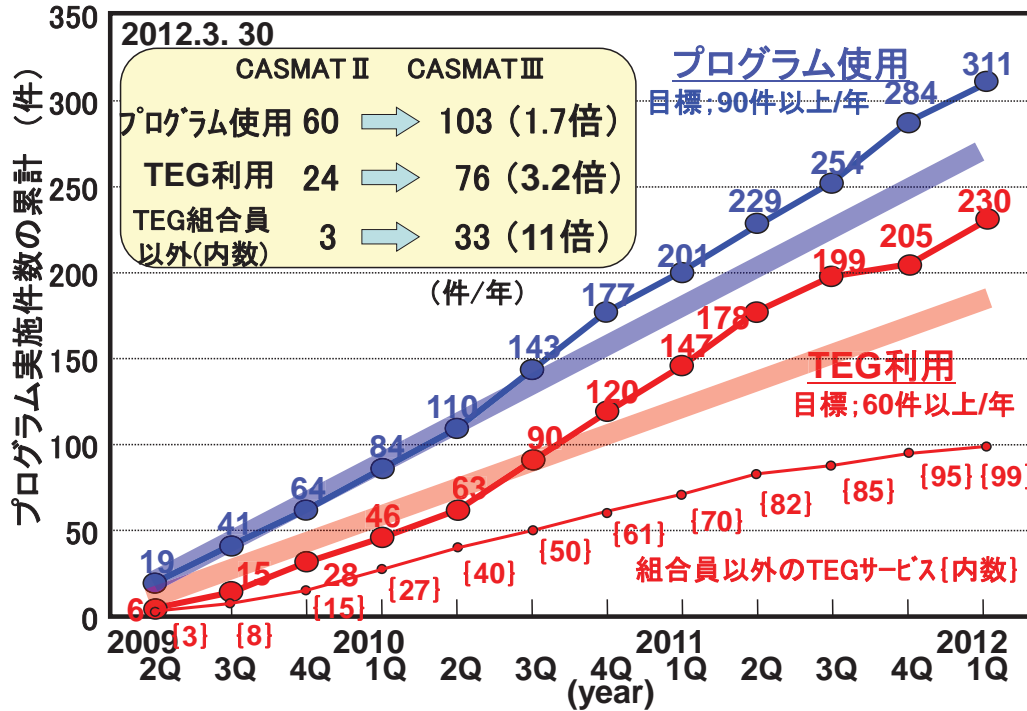
材料の評価実績数はあがっており、  
成果の活用が今後も見込めることが示されている。  
(一部の材料については、材料が絞り込まれたため減少)



# 1. 成果の実用化可能性 (成果の有効性) (2)

公開

## 本事業期間内のプログラム使用、TEG利用の実績(自主事業)



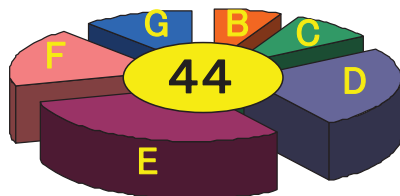
TEGの利用実績数はあがっており、  
成果の活用が今後も見込めることが示されている。

# 1. 成果の実用化可能性 (組合員企業での有効性)

公開

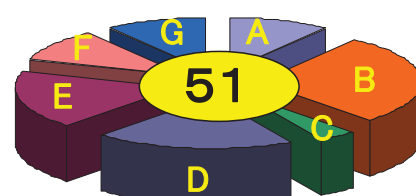
## 組合員のビジネス展開に対する 材料評価の効果(組合員企業のアンケート結果)

### 既存顧客への貢献



(数字; 顧客数 × 材料種の総計)

### 新規顧客の開拓



(数字; 顧客数 × 材料種の総計)

A~G; JSR(株)、昭和電気(株)、住友ベークライト(株)、東レ(株)、  
日産化学工業(株)、日立化成工業(株)、三菱化学(株)

- 具体例 ;
- ・ データ共有等の連携強化
  - ・ 開発期間の短期間化
  - ・ 問題の解決
  - ・ 新製品評価実施
  - ・ 新製品採用など

- 具体例 ;
- ・ ソリューションの提供
  - ・ サンプル評価実施
  - ・ 新製品採用見通し
  - ・ 新製品採用など

# 1. 成果の実用化可能性(市場、技術動向)

公開

## 市場動向

### 半導体市場

(対前年比)

2009年	- 9.0 %
2010年	26.5 %
2011年	9.0 %
2012年	12.5 %
2013年	5.6 %

### 半導体材料市場

(対前年比)

2011年	6.7 %
-------	-------

材料も半導体市場とともに今後も5~10%の伸びが見込まれる

## 技術動向

- ・ 微細化 → EUV技術、自己組織化、ナノインプリント
- ・ 多様化 → 技術; 3次元化、有機デバイス、フレキシブル、印刷  
→ 製品; アナログデバイス、RFデバイス、パワーMOS



技術のすり合わせが重要

# 1. 成果の実用化可能性(課題と対応策)

公開

## 現 状

- ・ 平成25年3月組合は解散(予定)
- ・ 事業化の主体は、24年度; 組合、25年度以降; 承継会社

## 課 題

- ・ 本事業で構築した材料評価基盤の有効活用とその継続

## 対応策

- ・ 平成24年度上期までは組合でウェーハ試作を継続
- ・ 平成24年度下期からは解散準備のため設備、装置の搬出予定
- ・ 平成25年度からの事業を承継する事業承継会社の設定済
- ・ TEGは、ライセンス先を3社を選定し、契約交渉段階
- ・ 特許は事業承継会社に移管し、実施許諾に対応
- ・ 装置は可能な限り組合員企業が引き取り、個別に活用

## 2. 事業化までのシナリオ (実用化・事業化計画)

公開

項目 \ 年度	平成24年度	平成25年度	平成26年度	平成27年度	平成28年度
事業の主体	← CASMAT →		← 事業承継会社 →		
材料評価基準書の活用	CASMATでの活用 装置搬出	(CASMAT解散)	組合員企業個別に活用		
TEG活用	ライセンス先選定契約	← TEGライセンス許諾 →			
	CASMAT提供 30枚/月	40枚/月	50枚/月	60枚/月	60枚/月
特許権利化・広報	権利化判定	権利化判定	権利化判定	権利化判定	権利化判定
	← ホームページ公開 →	← ホームページ公開 →			

## 2. 事業化までのシナリオ (TEGの売上見通し)

公開

(単位;k¥)

項目 \ 年度	平成24年度	平成25年度	平成26年度	平成27年度	平成28年度
事業の主体	← CASMAT →		← 事業承継会社 →		
TEG利用	枚数(枚)	180	480	600	720
	単価	100	200×0.05	200×0.05	200×0.05
	売上	18,000	4,800	6,000	7,200

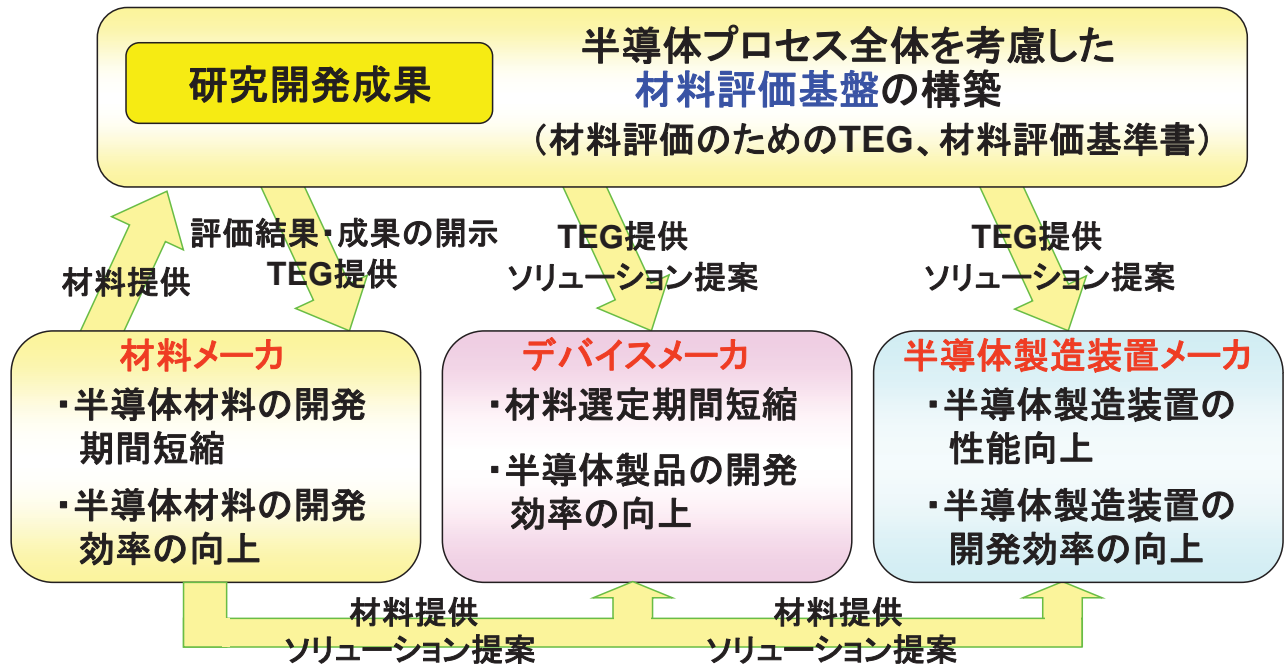
・平成25年度以降; TEGの平均単価200k¥、ライセンス料5%とする



### 3. 波及効果（技術面）

公開

#### ①半導体関連産業界



#### ②その他の関連産業界

- ・材料評価技術の応用 → ディスプレイ(LCD、EL)、MEMS等の業界
- ・製品性能向上、市場拡大、雇用促進 → 家電、通信、自動車等の業界

### 3. 波及効果（その他の側面）

公開

#### 経済面（組合員に対して）

- ・事業の選択と集中→研究開発投資の効率向上
- ・サンプル作成、材料費など開発経費の抑制

#### 研究開発（異業種に対して）

- ・協調と競争を峻別した研究開発コンソーシアムの設立  
(平成22年4月LIBTEC、平成23年3月CEREBA)

#### 人材育成（組合員に対して）

- ・材料メーカーで同業他社の研究者との人脈形成
- ・配線や半導体デバイスに関する電気特性の測定や解析技術の習得

## 4. 実用化・事業化の見通しのまとめ

公開

- ・本事業期間内の評価材料数、プログラム使用およびTEG利用件数の実績、さらには組合員アンケートによるビジネス展開の実績から、成果である材料評価基盤は材料メーカーの事業化推進に貢献できる見通しである。
- ・材料評価基盤を成す評価基準書は、組合員企業に配布済み。現在も活用されており、今後も引き続き活用される。TEGは、ライセンス許諾により継続的に入手可能となる。
- ・TEGライセンス事業と特許の実施許諾事業を、事業承継会社に引き継ぐことで、材料評価基盤が継続して活用できる仕組みを構築した。
- ・これにより、組合解散後も、成果である材料評価基盤が有効に活用され、材料メーカーの競争力維持・強化が可能となる。

# 「半導体機能性材料の高度評価基盤開発」 (平成21年度～平成23年度 3年間)

## 事後評価分科会

### 6. プロジェクトの詳細説明資料(公開)

#### 6-1. 研究開発成果について

- 1 接合素子を含む材料評価用配線TEGの開発
- 2 材料による金属汚染、応力影響の評価方法の開発
- 3 半導体プロセス全体を考慮した材料評価基盤の開発

平成24年6月25日

「半導体機能性材料の高度評価基盤開発」  
(事後評価)分科会  
資料 6-1

## 研究開発項目① 具体的目標と達成度

### 研究開発項目① 接合素子を含む材料評価用配線TEGの開発

目 標	達成度	判断の理由・根拠
<ul style="list-style-type: none"> <li>・ 接合素子(p-n接合、SiO<sub>2</sub>-Si接合)を有するFEOL-TEGマスクを設計する</li> <li>・ 接合素子の電気特性を測定できる配線TEGマスクを設計し、FEOL/BEOL統合TEGマスクを設計する</li> </ul>	○	<ul style="list-style-type: none"> <li>・ KrF露光が可能な<b>最小寸法0.2μm、チップサイズ21.5×26.9mm<sup>2</sup></b>として種々の構造や面積の素子を設計した</li> <li>・ 接合素子に接続できる配線マスクを設計し、<b>FEOL/BEOL統合TEGマスク</b>を設計した</li> </ul>
<ul style="list-style-type: none"> <li>・ <b>FEOLプロセス</b>を策定し、外注にて300mmウェーハを試作する</li> <li>・ 上記ウェーハ上に配線を形成し、<b>FEOL/BEOL統合TEG</b>を試作する</li> </ul>	○	<ul style="list-style-type: none"> <li>・ FEOLの工程フロー、膜厚やイオン打込みなどの工程条件を策定し、<b>外注にて試作を完了</b>させた</li> <li>・ FEOL完了ウェーハ上にCASMATで配線を形成し、<b>統合TEGを完成</b>させた</li> </ul>
<ul style="list-style-type: none"> <li>・ 試作したTEGの<b>電気特性を測定</b>し、材料やプロセスの影響が評価できるTEGであることを検証する</li> </ul>	○	<ul style="list-style-type: none"> <li>・ p-n接合やMOS容量など単純な接合素子に加え、トランジスタやリングオシレータ回路でも<b>期待値通りの電気特性</b>を得た</li> </ul>

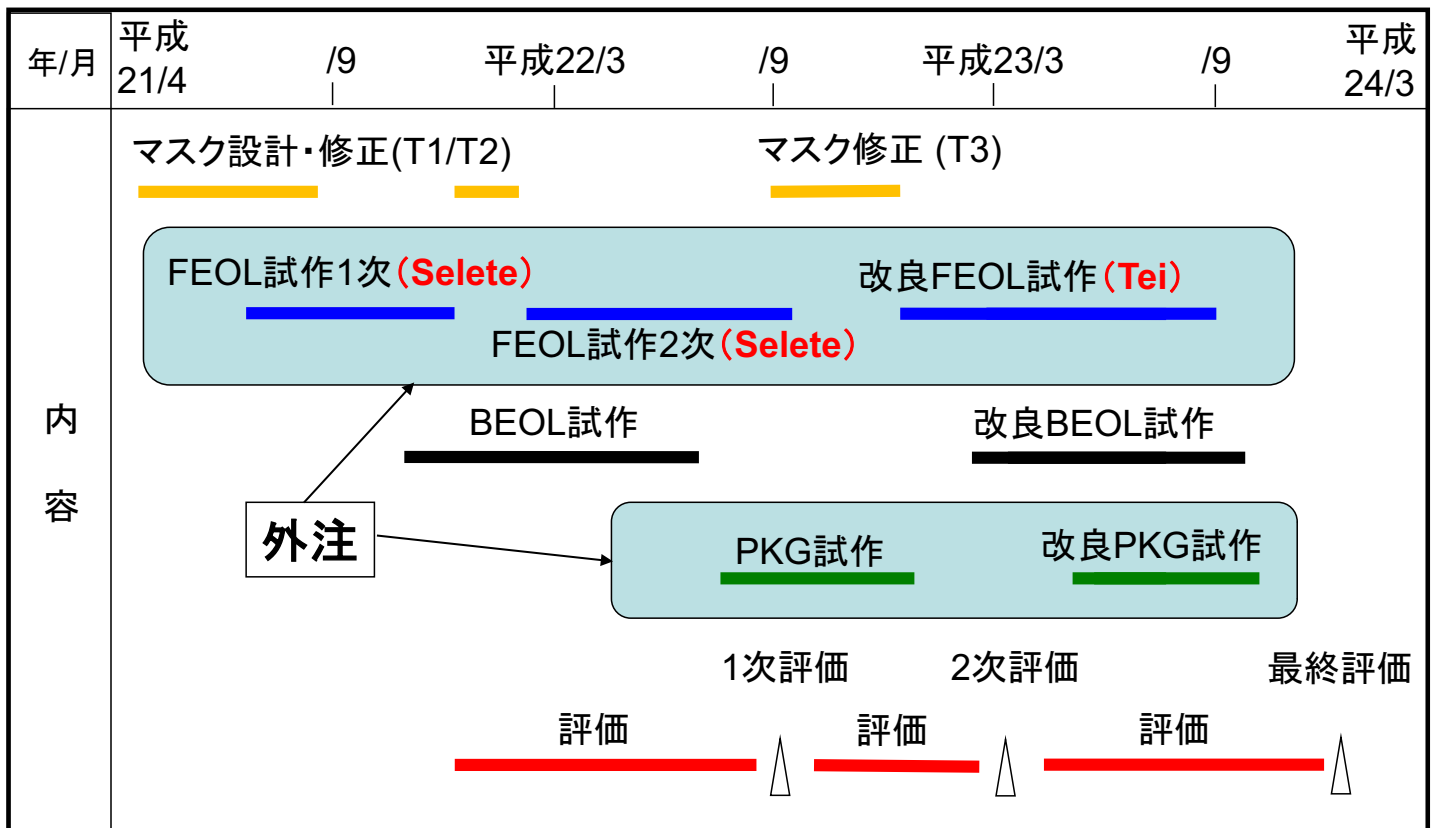
達成度: ○達成、△未達

# 内 容

## 1 接合素子を含む材料評価用配線TEGの開発

- 1.1 マスク開発、試作の経緯
- 1.2 FEOL/BEOL統合TEGマスクの概要
- 1.3 TEG(NMOS)試作プロセス
- 1.4 TEG試作結果
- 1.5 リングオシレータを用いた配線特性評価
- 1.6 マスク修正

## 1.1 マスク開発、試作の経緯



Selete: (株)半導体先端テクノロジーズ

Tei: ティーイーアイソリューションズ(株)

## 1.2 FEOL/BEOL統合TEGマスクの概要

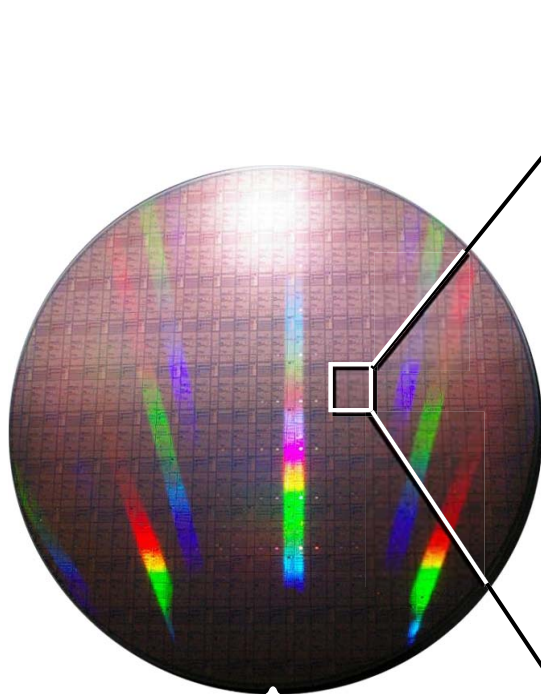
- ・マスク名 : CAST-T2/T3      マスク枚数 : 12枚 / 1品種
- ・マスク仕様 : バイナリマスク、ショットサイズ 26.9 mm X 21.5 mm
- ・組立チップ : 8.6mm×8.6mm、5.4mm×8.6mm、12.9mm×12.9mm  
(12.9mm□チップ以外は2チップ/1ショット)
- ・マスク一覧表

No.	層名	層番	パターン	倍率	最小 (μm)	最大 (μm)	目的	メモ
1	L	11	A	×4	0.5	100	素子分離	A: 島パターン
2	FG	12	A	"	0.2	100	ゲート	
3	N1	13	B	"	0.5	-	N型拡散層(LDD)	B: 孔パターン
4	N2	14	B	"	0.5	-	N型拡散層(S/D)	
5	P	15	B	"	0.5	-	SUB引上げ	
6	SP	16	A	"	0.5	-	シリサイド保護	CNT上はSP禁止
7	CNT	17	B	"	0.4	1	コンタクト	0.4, 1.0μm限定
8	M1	51	B	"	0.2	100	1層配線	
9	V1	52	B	"	0.18	0.25	接続孔	0.18, 0.25μm限定
10	M2	53	B	"	0.2	100	2層配線	
11	PO1	54	B	"	0.5	-	パッド孔	
12	PAD1	55	A	"	10	-	パッド配線	

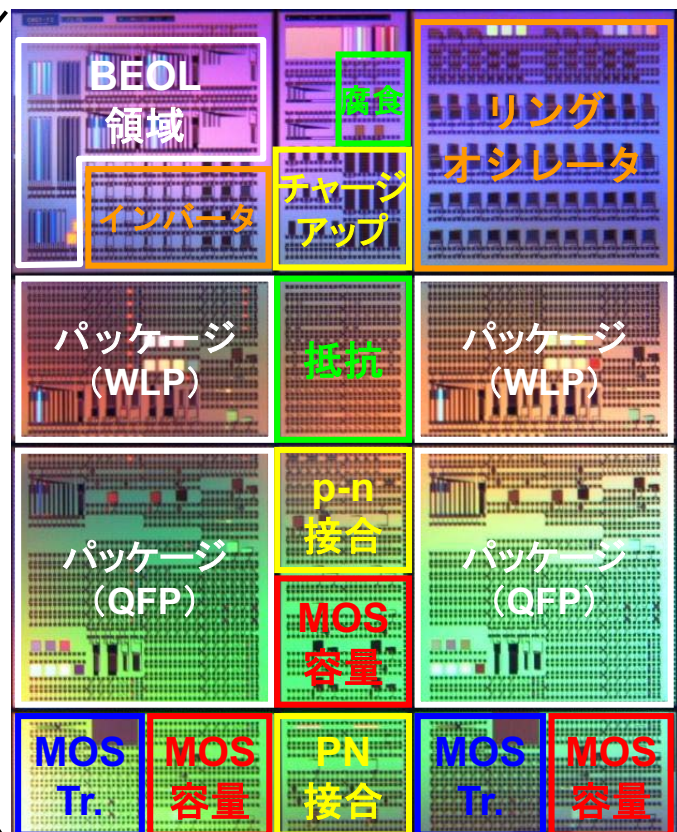
FEOL

BEOL

## 1.2 FEOL/BEOL統合TEGマスクの概要



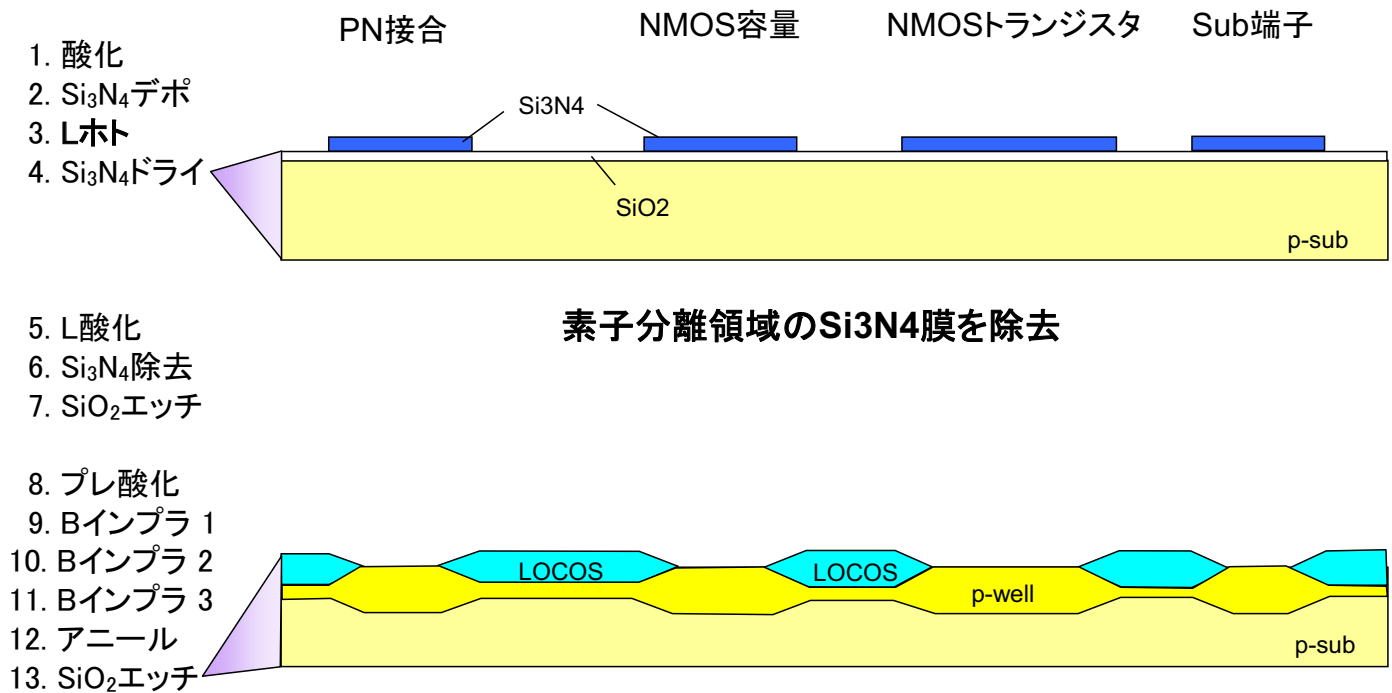
CAST-T2 300mmΦ  
ウェーハの外観画像  
(92ショット/ウェーハ)



1ショットの(H/W: 26.9mm/21.5mm)の実体顕微鏡画像



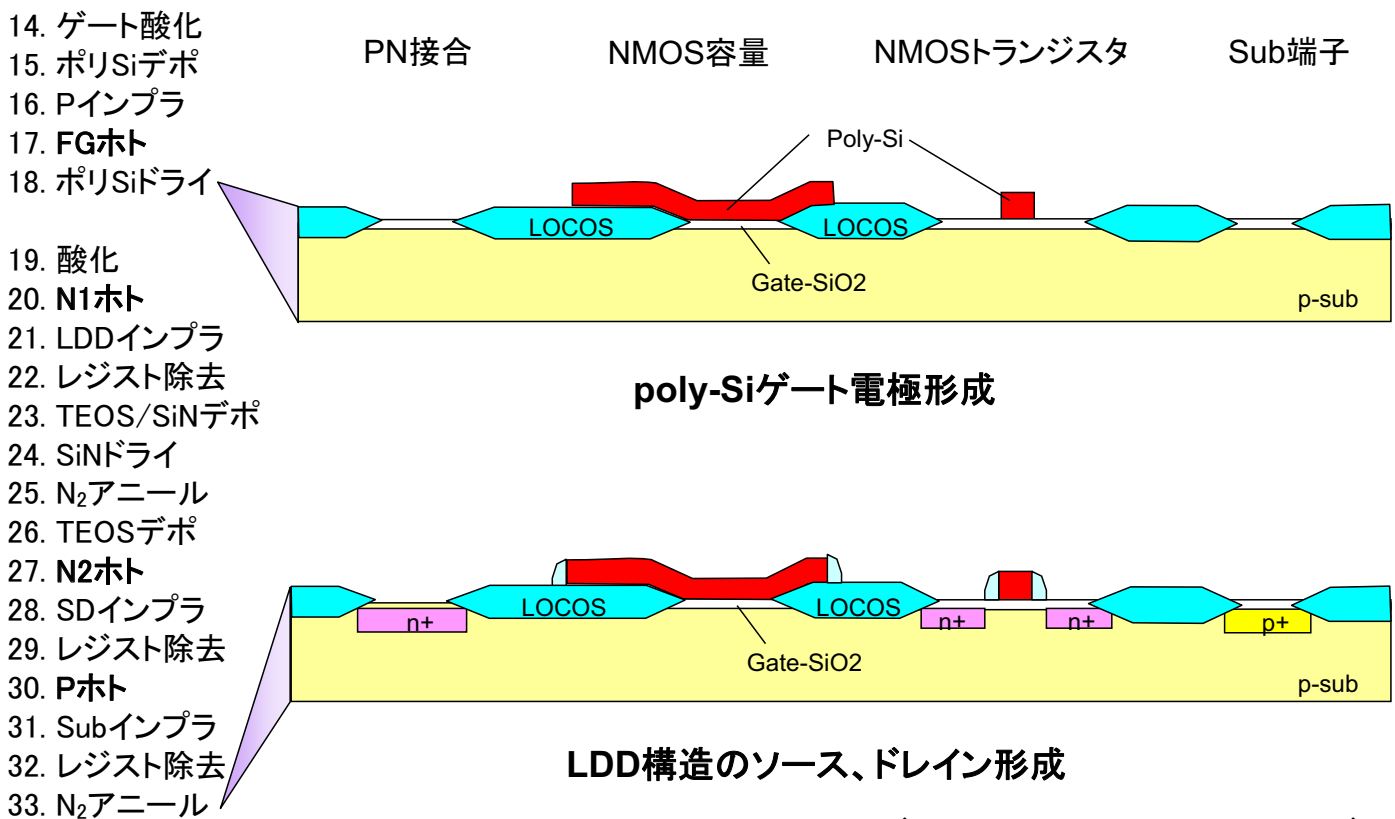
## 1.3 TEG ( NMOS ) 試作プロセス (1)



### 選択酸化 (LOCOS) 法を用いた素子分離

( LOCOS ; Local Oxidation of Silicon )

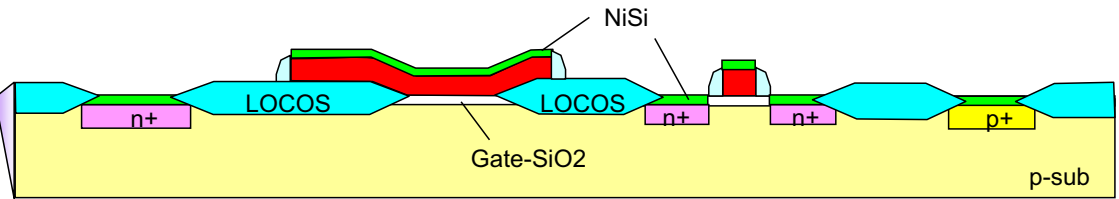
## 1.3 TEG ( NMOS ) 試作プロセス (2)



## 1.3 TEG (NMOS) 試作プロセス (3)

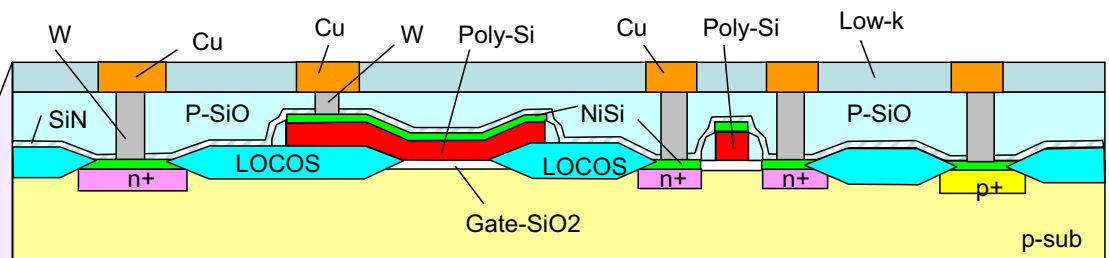
34. SiNデポ
35. SPホト
36. SPエッチ
37. レジスト除去
38. Ni デポ
39. アニール、除去

PN接合      NMOS容量      NMOSTランジスタ      Sub端子



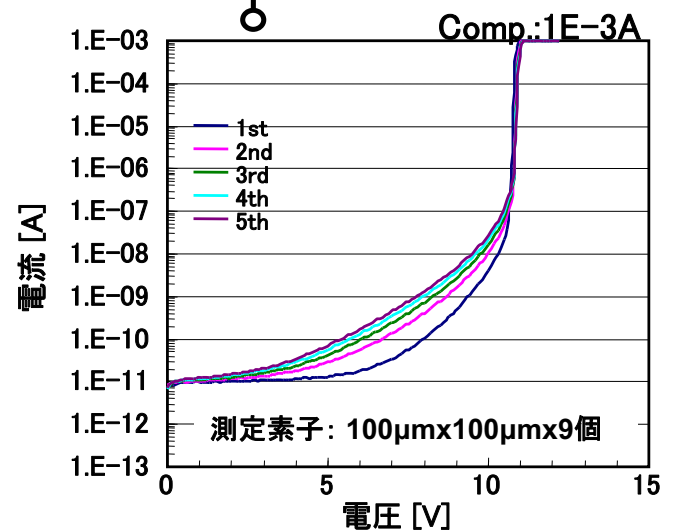
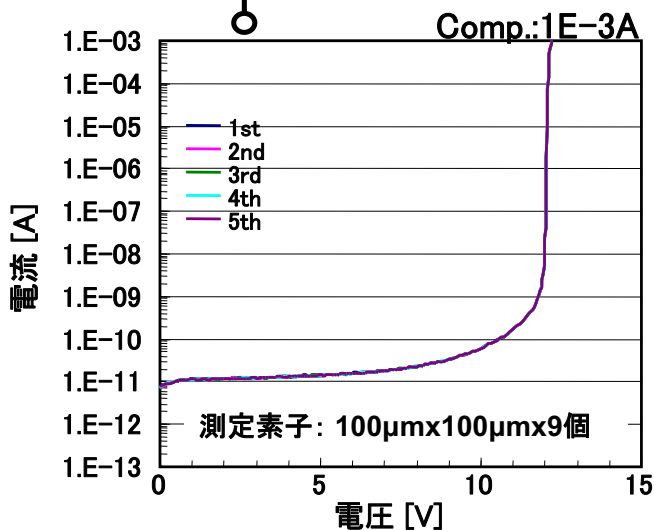
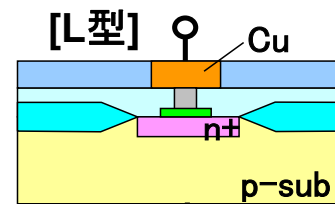
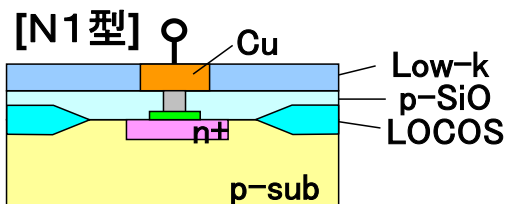
Ni-サリサイドプロセスを適用

40. SiNデポ
41. HDP-USGデポ
42. CMP
43. CNTホト
44. CNTドライ
45. TiN/Tiスパッタ
46. W-CVD
47. W-CMP
48. SiCデポ
49. p-SiOデポ
50. M1ホト
51. M1ドライ
52. Cuシード
53. Cuメッキ
54. Cu-CMP
55. H2アニール



W-プラグ、Cuダマシン配線を適用

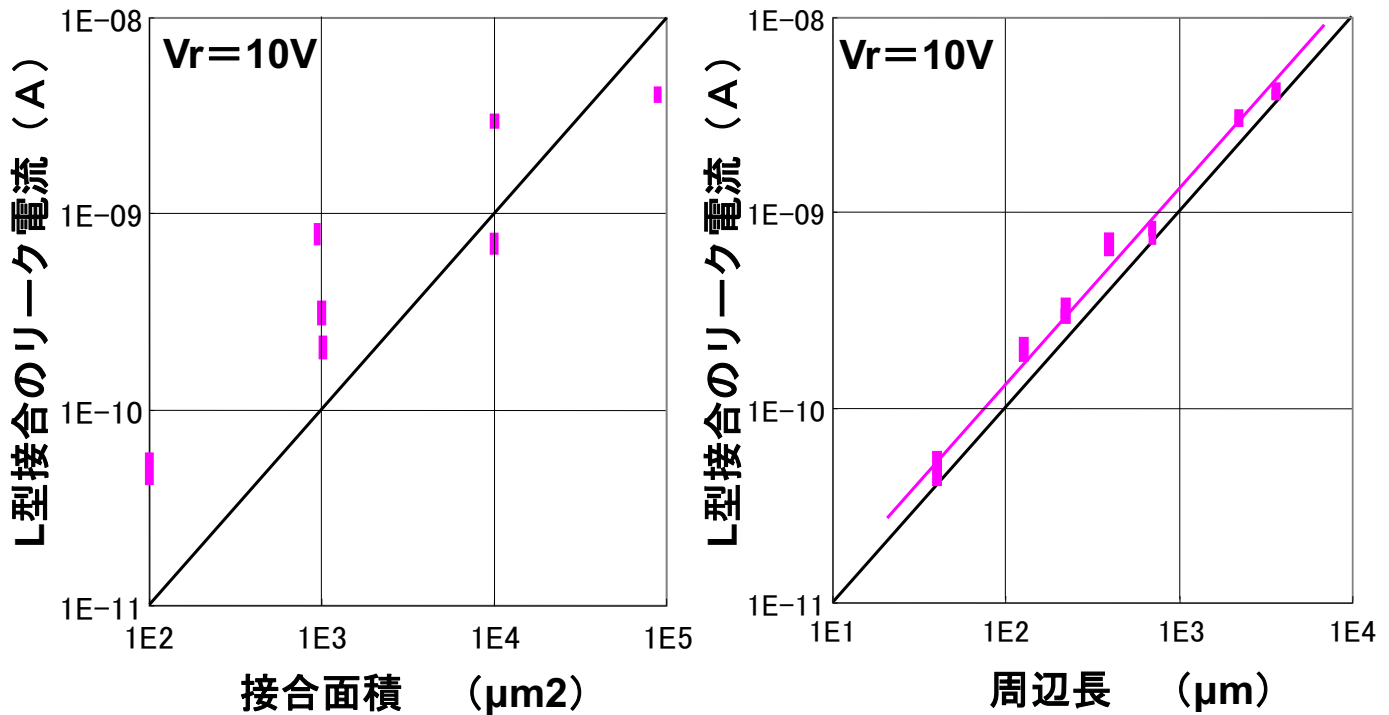
## 1.4 TEG試作結果 (p-n接合)



- ・ 接合の降伏電圧はN1型(12.0V)の方がL型(10.6V)よりも高い。
- ・ 繰り返し測定で、N1型は安定しているが、L型はリーク電流が増加していく。
- ・ L型は降伏電流を1 $\mu$ A以下に制御すれば、繰り返し測定でも安定する。

## 1.4 TEG試作結果 (p-n接合)

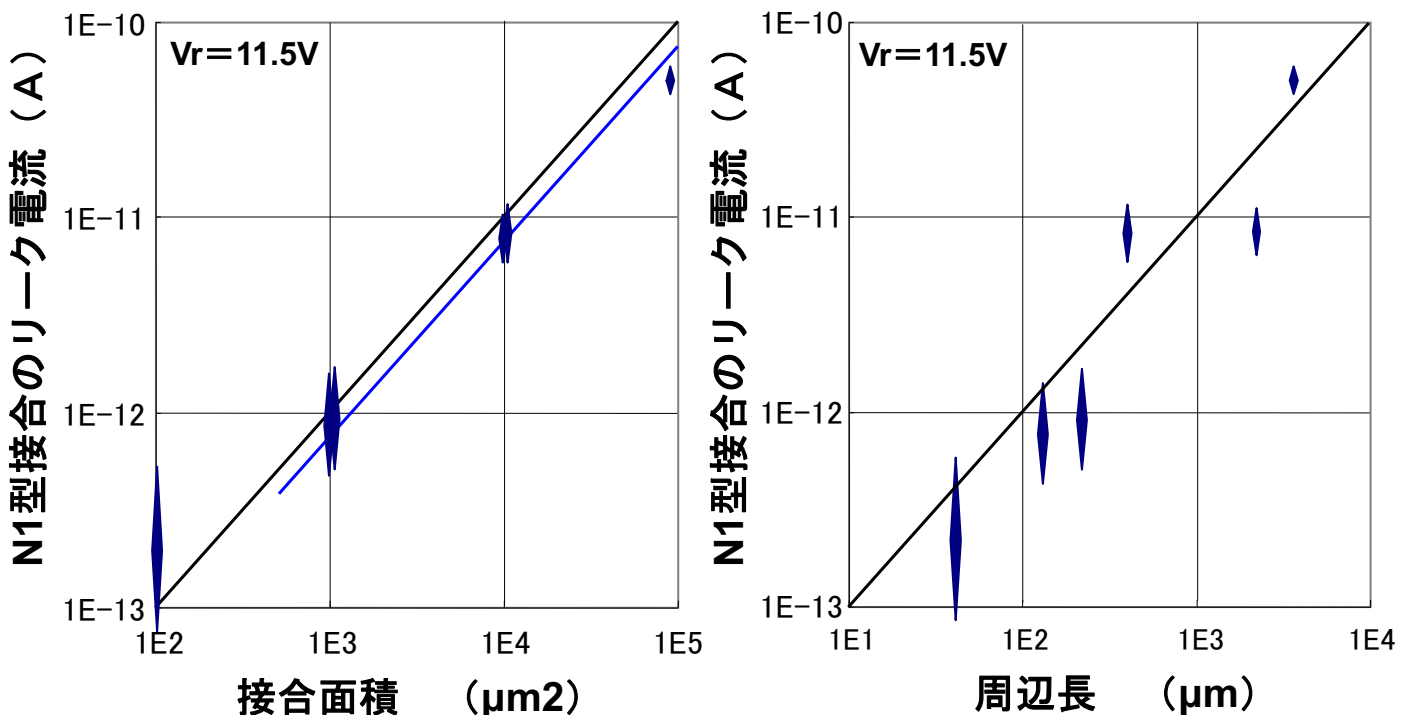
公開



- ・ L型p-n接合のリーク電流は、降伏電圧直前の高電界では、接合面積ではなく、接合の周辺長に依存して増加する。

## 1.4 TEG試作結果 (p-n接合)

公開



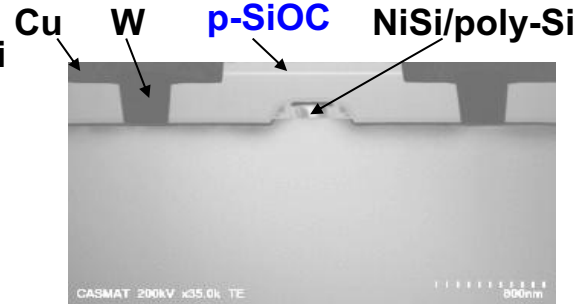
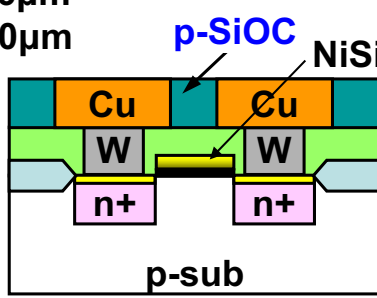
- ・ N1型p-n接合のリーク電流は、降伏電圧直前の高電界でも、接合の周辺長よりも接合面積に依存して増加する。
- ・ 汚染などによるリーク電流評価には、L型よりもN1型の方が適している。



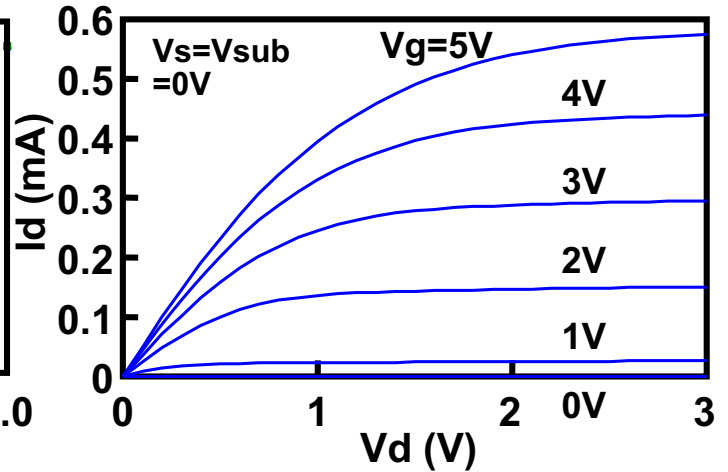
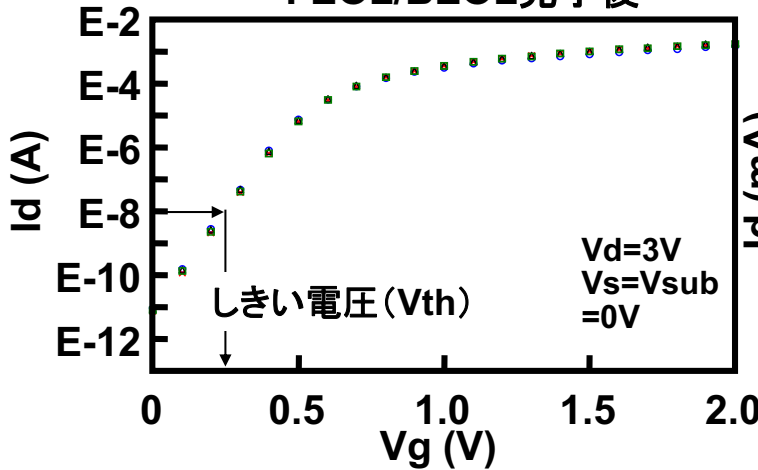
# 1.4 TEG試作結果 (NMOSトランジスタ)

公開

Lg=0.6μm  
Wg=10μm



FEOL/BEOL完了後



・ 正常なトランジスタ動作(電気特性)が確認できた。

# 1.5 リングオシレータを用いた配線特性評価

公開

## 評価項目

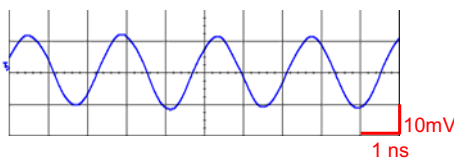
- ・多層配線における層間絶縁膜の実効的な容量
- ・Low-kのプロセス耐性

## 評価法

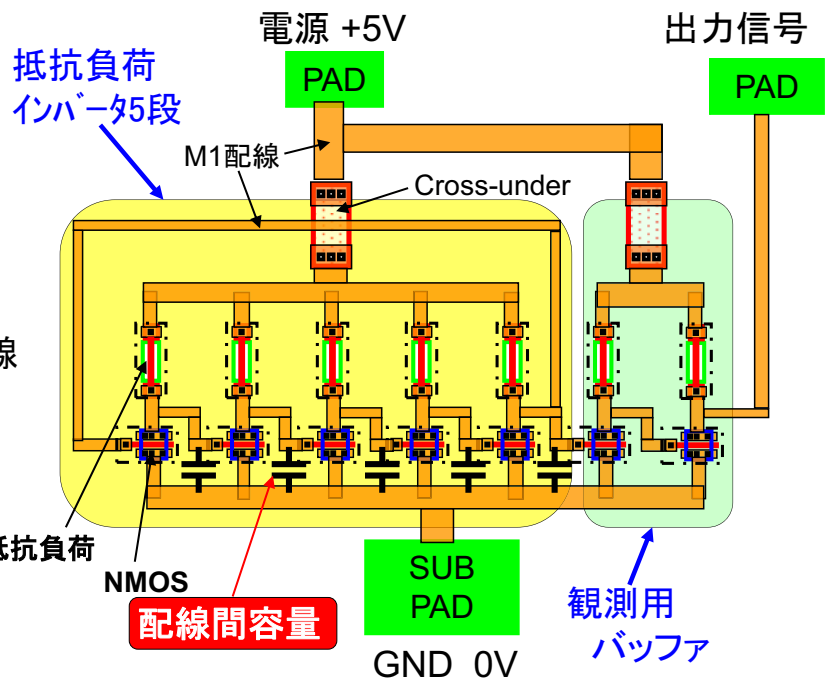
- ・種々のLow-k材料で多層配線を形成し、対向長の異なる楕型配線容量を伝播負荷としたリングオシレータの発信周波数を比較

## 測定項目

- ・発信周波数測定



5段 Lg=0.5um, R=7kΩ

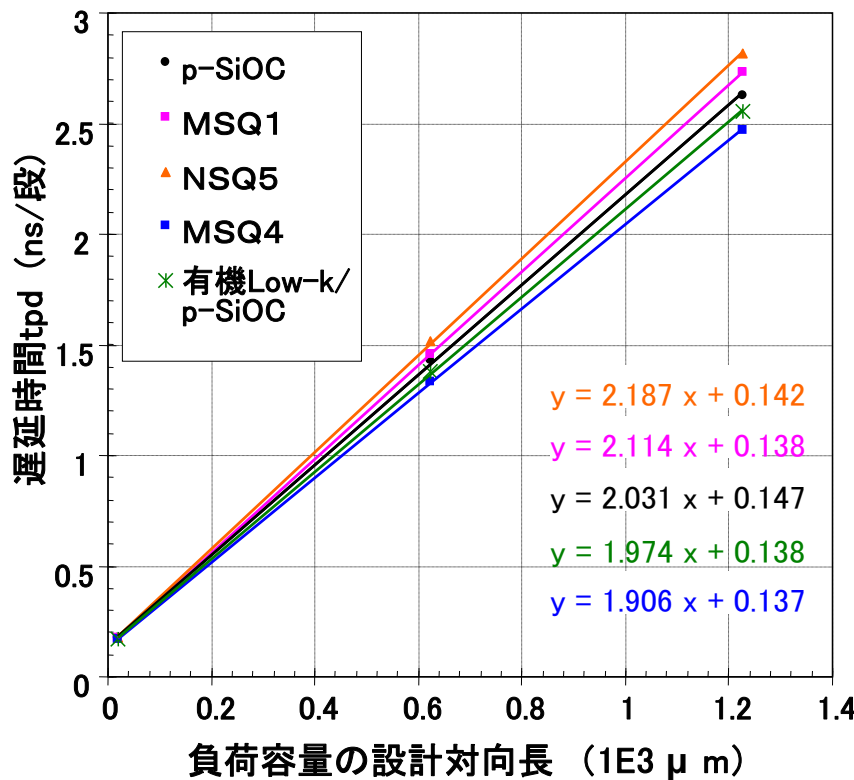


5段リングオシレータ回路の概略

# 1.5 リングオシレータを用いた配線特性評価

公開

## リングオシレータの遅延時間tpdの負荷容量依存性



・配線層間絶縁膜の違いにより、遅延時間の負荷容量依存性が(左図での直線の傾き)が異なってくる。

# 1.5 リングオシレータを用いた配線特性評価(結果)

公開

層間膜	RM	実効容量 (グラフの傾き) (相対値)	補正係数 A 補正係数 (相対値)	実効比誘電率 (RC時定数) (相対値)	RC時定数がp-SiOC に対して14%低減	
	(kΩ)				実効 比誘電率	単層膜の 比誘電率
p-SiOC	105	1	1	1	3	3
MSQ1	87	1.04	0.83	0.86	2.6	2.4
MSQ4	106	0.94	1.01	0.95	2.8	2.4
MSQ5	95.2	1.08	0.91	0.98	2.9	3
有機Lowk/ p-SiOC	111.5	0.97	1.06	1.03	3.1	2.7

←ダメージ大 (耐性低い)

←ダメージ大 (耐性低い)

RM ; 負荷容量と同じL/Sパターンの配線抵抗 (R. O. 測定と同一チップ)

実効容量 ; 前のグラフ、tpd vs 相対容量の直線の傾き

補正係数 A = 配線の断面形状を同一にしたときの容量に補正する係数

$$= 1 / (\text{配線断面積の比}) = (\text{配線抵抗の比}) = R_{M1} / R_{M0}$$

実効比誘電率 = 実効容量 × A

この研究成果は、ICMTS2010にて発表

・リングオシレータを用いて層間絶縁膜の比誘電率評価ができる。 ⇒特願2010-080768

## 1.6 マスク修正

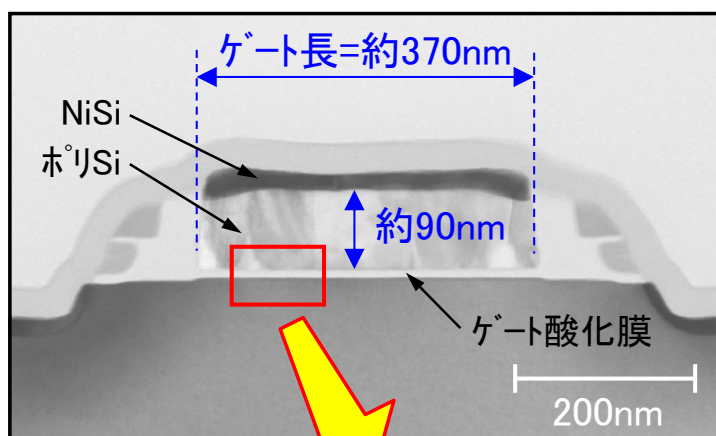
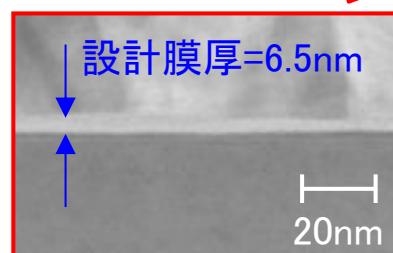
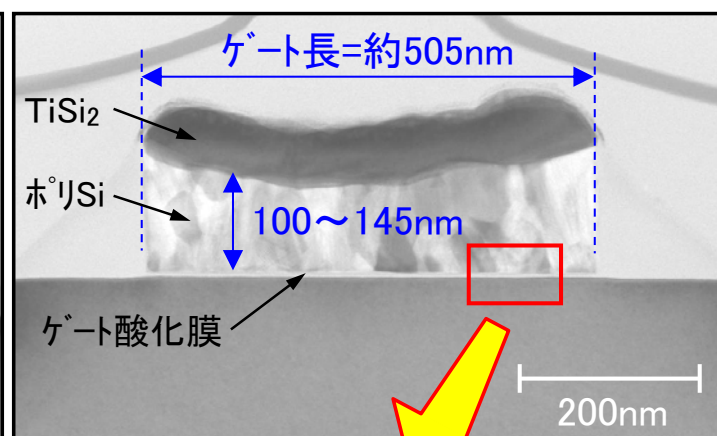
公開

## TEG改良のためのマスク修正内容

#	TEGの種類	目的	修正内容	効果
1	リングオシレータ (RO)	感度向上 CMP評価	負荷抵抗変更 つづら抵抗負荷	S/N向上 CMP平坦性評価
2	PN接合	Low-k膜評価	ゲート付PN接合	膜中電荷の評価
3	寄生MOS	精度向上	ゲート構造変更	ゲート電極オーバーラップ構造で精度向上
4	アンテナTEG	感度向上	アンテナ比向上 22万倍→125万倍	ダメージ評価が可能
5	パッケージ	感度向上	寄生MOS, ROを追加	測定可能

## 1.6 マスク修正

公開

Selete (CAST-T2)Tei (CAST-T3)

・ 試作外注先、プロセス仕様の変更によるトランジスタ部の素子構造比較

## 1.6 マスク修正

公開

## マスク修正前後のデバイスの基本特性

	T1 / T2	T3
Vt (0.5X10) (mV)	110.5±5.9	227.8±7.4
Vt (1.0X10) (mV)	301±10.1	264±9.9
N1 抵抗 (kΩ / □)	3.81±0.10	1.11±0.06
N2 抵抗 (Ω / □)	103±6.8	105±3.2
Poly-Si 抵抗 (Ω / □)	376±22	372±8.6
M1 つづら (kΩ)	102.9±3.3	80.2±4.0
M2 つづら (kΩ)	145.3±13.1	156.8±15.7

つづら: L/S=0.2/0.2μm, 100mm

Selete

Tei

- ・マスク修正、試作外注先変更、プロセス変更を行なったが、ほぼ同等のデバイスの基本特性が得られることが確認できた。

## ま と め

公開

- ・ KrF、i線露光に対応できる最小寸法0.2 μm、チップサイズ21.5×26.9 mm<sup>2</sup>、マスク枚数12枚として、種々の構造や面積を有するp-n接合素子、ゲート容量素子、トランジスタ、抵抗素子、アンテナTEG、腐食TEG、リングオシレータなどを設計
- ・ FEOLのプロセスフロー、種々の材料の膜厚やイオン打込み条件などの各工程の処理条件を策定し、ウェーハ試作を外注して、接合素子を含むFEOLの試作を完了
- ・ FEOLプロセスを完了したウェーハ上に、CASMATでBEOLプロセスを実行して、接合素子の電気特性を測定することが可能なFEOL/BEOL統合TEGを完成
- ・ p-n接合や容量素子など単純な接合素子に加え、そのFEOLプロセスで同時に形成されるトランジスタ、容量あるいは抵抗負荷型のリングオシレータなどの電気特性を測定し、期待値通りの特性を確認し、TEGを検証を完了
- ・ 配線間容量を負荷とするリングオシレータの発振周波数測定により、相対的ではあるが多層配線の層間絶縁膜の比誘電率を評価できることを確認
- ・ マスク修正および外注先の変更にともなうプロセス条件を再策定し、ほぼ同様のデバイス特性が得られることを確認

## 研究開発項目② 具体的目標と達成度

公開

### 研究開発項目② 材料による金属汚染、応力影響の評価方法の開発

目 標	達成度	判断の理由・根拠
<ul style="list-style-type: none"> <li>FEOLで作成した素子の電気特性を測定して、<b>金属汚染</b>の影響を電氣的に測定・解析する方法を開発する</li> </ul>	○	<ul style="list-style-type: none"> <li>Cuによる汚染を、<b>p-n接合</b>の逆方向リーク電流から評価できた</li> <li>Na、Kの汚染は、<b>寄生MOS</b>のしきい電圧の変動から評価できた</li> </ul>
<ul style="list-style-type: none"> <li>FEOLで作成した素子の電気特性を測定して、<b>応力</b>の影響を電氣的に測定・解析する方法を開発する</li> </ul>	○	<ul style="list-style-type: none"> <li>応力の影響は、FEOLで作成した<b>n+層、n層、poly-Si</b>の抵抗の増減により評価できることを明らかにした</li> </ul>
<ul style="list-style-type: none"> <li>FEOLで作成した素子の電気特性を測定して、<b>電荷蓄積</b>の影響を電氣的に測定・解析する方法を開発する</li> </ul>	○	<ul style="list-style-type: none"> <li><b>アンテナTEG</b>のゲート耐圧測定から、プロセスや材料に起因する電荷蓄積を評価することができた</li> </ul>
<ul style="list-style-type: none"> <li>CMPプロセスでの<b>腐食</b>を評価する方法を開発する</li> </ul>	○	<ul style="list-style-type: none"> <li><b>Cu配線</b>の抵抗変化測定により腐食を評価できることを明らかにした</li> </ul>

達成度： ○達成、△未達

## 内 容

公開

### 2 材料による金属汚染、応力影響の評価方法の開発

#### 2.1 金属汚染の評価方法

##### a. 重金属汚染

##### b. アルカリ金属汚染

#### 2.2 応力影響の評価方法

#### 2.3 電荷蓄積(チャージアップ)の評価方法

#### 2.4 配線腐食の評価方法

##### a. p-n接合電池

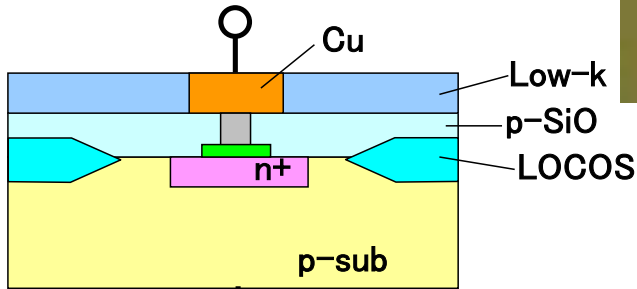
##### b. 濃淡電池



## 2.1 金属汚染の評価方法(重金属)

### 重金属汚染の評価用試料

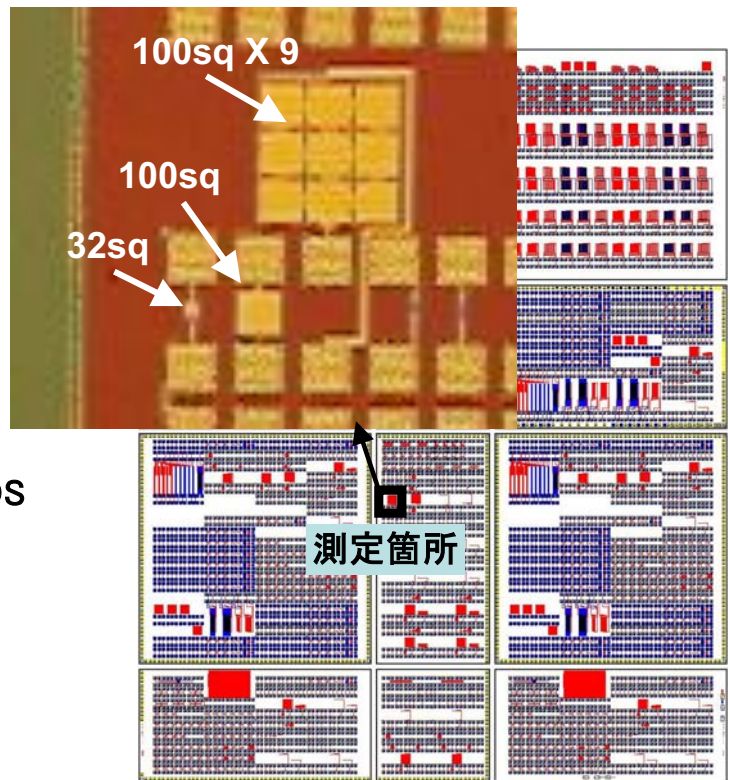
- ・FEOL: CAST-T2
- ・Low-k: p-SiOC
- ・Cu/2層配線 (PV完)
- ・裏面研削 (Si基板厚: 100 $\mu$ m)
- ・ダイシング (チップ毎に分割)



評価試料の構造模式図

測定素子の寸法

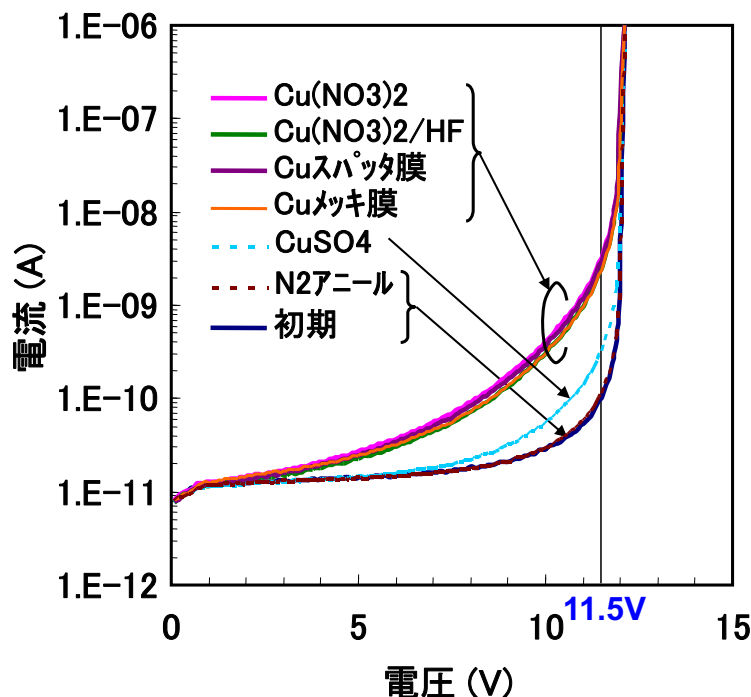
n+ : 32X32 $\mu$ m<sup>2</sup>, 100X100 $\mu$ m<sup>2</sup>, 100X100 $\mu$ m<sup>2</sup> X9



測定チップ

## 2.1 金属汚染の評価方法(重金属)

### 汚染方法(汚染源) についての調査



裏面に溶液滴下後または  
Cu膜形成後

N<sub>2</sub>アニール : 400°C, 1hr

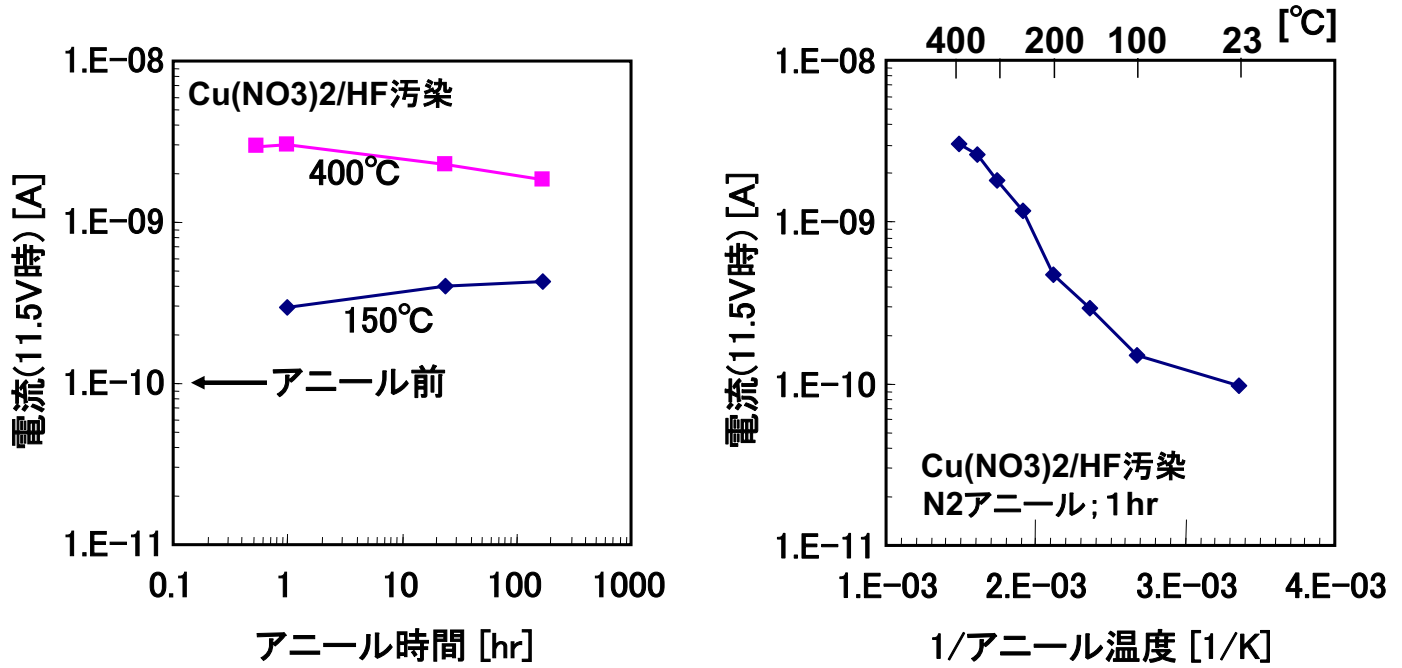
測定素子:

100 $\mu$ m $\square$  × 9

- ・チップ裏面から種々の方法でCu汚染させた後、PN接合のリーク電流を測定した。
- ・硫酸銅以外ではどの汚染源でもほぼ同程度にリーク電流が増加する。

## 2.1 金属汚染の評価方法(重金属)

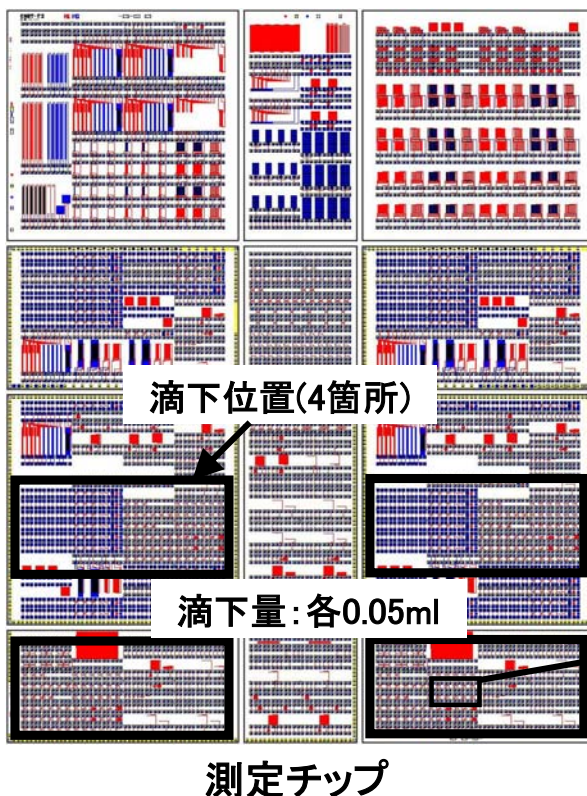
逆方向リーク電流の汚染後のアニール時間、アニール温度依存性



- ・リーク電流は、400°Cでは1時間以内に飽和、150°Cでは若干増加傾向
- ・リーク電流は、アニール温度の上昇にともなって増加する。
- ・温度依存性は、CuのSiへの固溶限により律速されていると考えられる

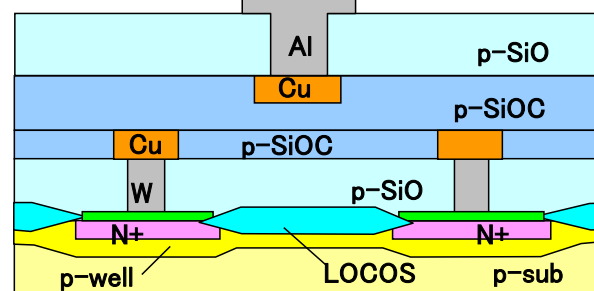
## 2.1 金属汚染の評価方法(アルカリ金属)

### 2.1 アルカリ金属汚染試料

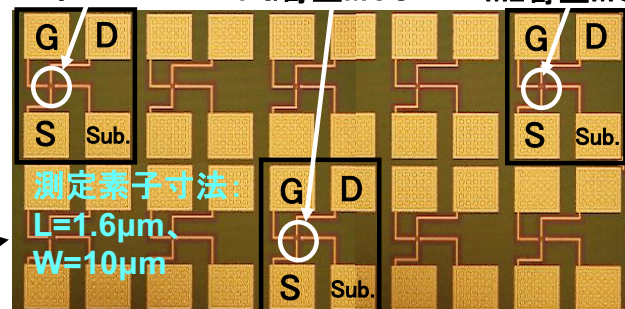


M2寄生MOSの模式図

(アルカリ金属の拡散バリアとなるSiC、SiCN、SiNを除去)



M1寄生MOS FG寄生MOS M2寄生MOS

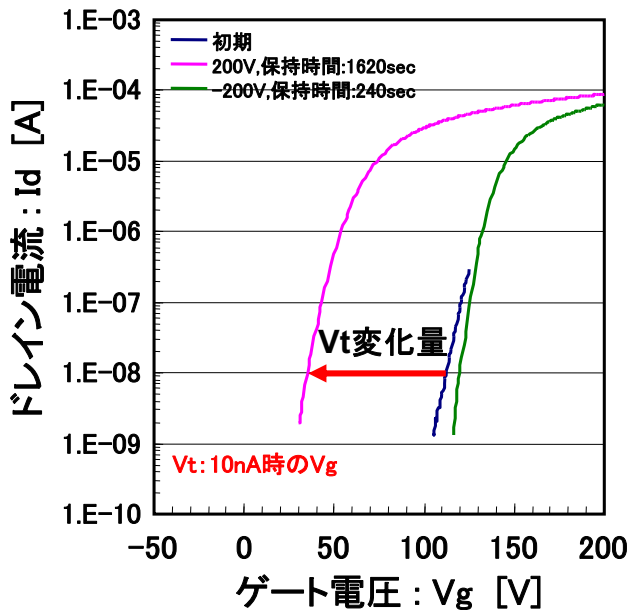


測定素子寸法:  
L=1.6μm,  
W=10μm

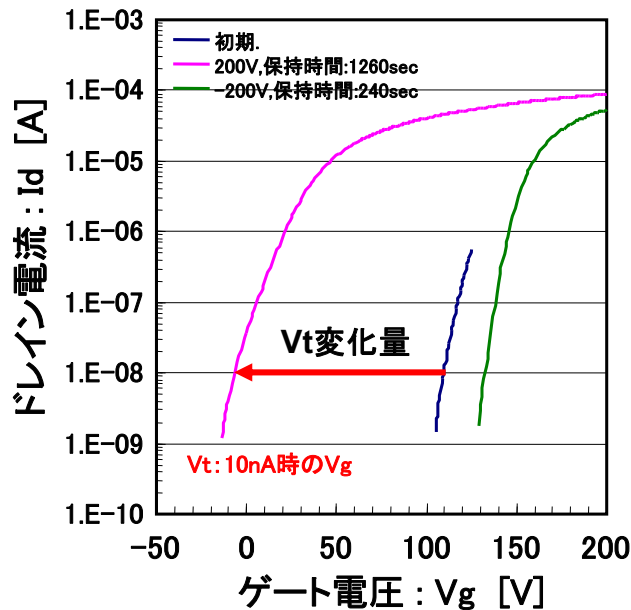
寄生MOSパターン外観

## 2.1 金属汚染の評価方法(アルカリ金属)

### Na汚染によるM2寄生MOSのしきい電圧変化



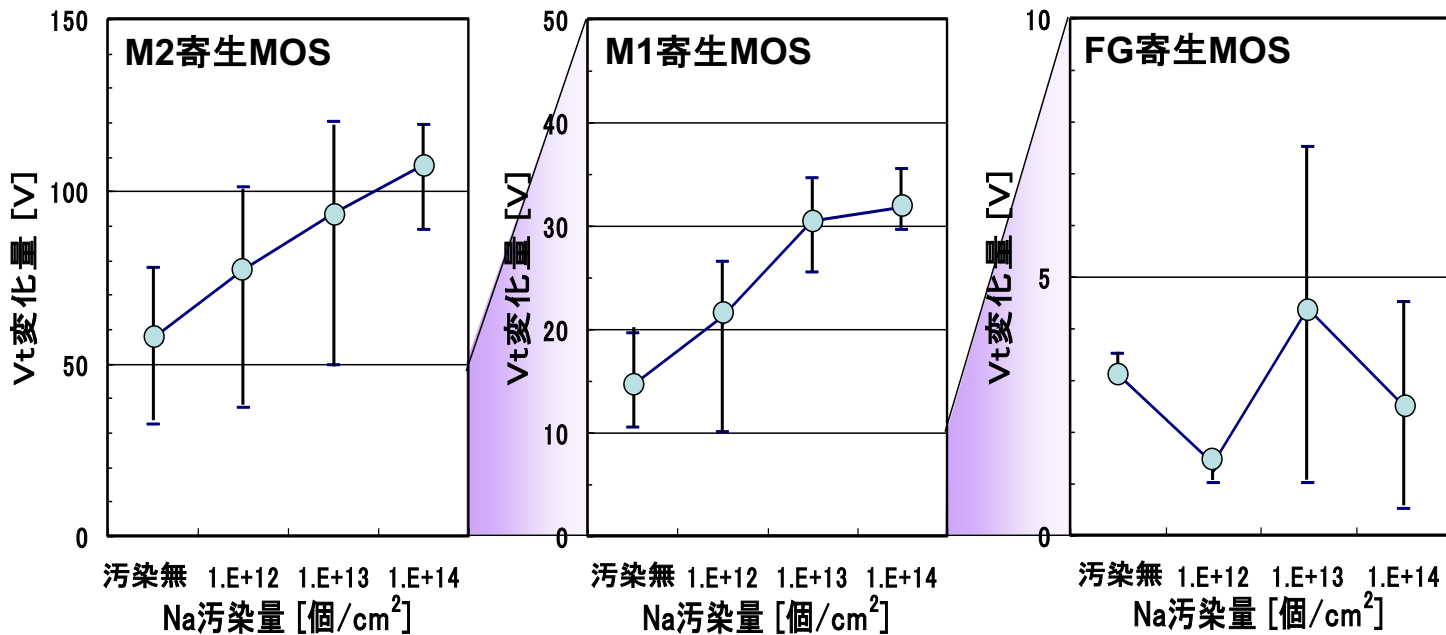
汚染無しの試料でのM2寄生MOSの Vg-Id特性



10万倍希釈液(1E14個/cm<sup>2</sup>)で汚染した試料のM2寄生MOSの Vg-Id特性

## 2.1 金属汚染の評価方法(アルカリ金属)

### ナトリウム(Na)汚染量と寄生MOSのVt変化量の関係



Vt変化量; (+バイアス印加後のVt) - (初期のVt)

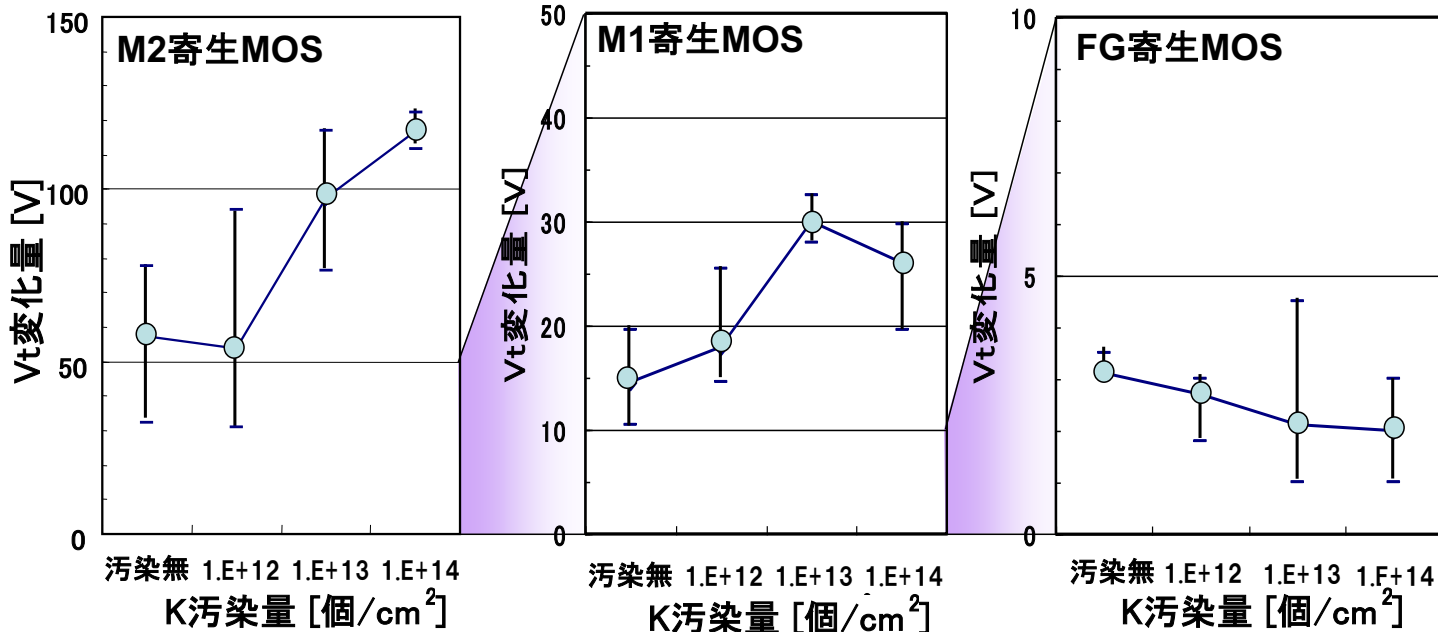
- ・ M2、M1寄生MOSでは、Na汚染量1E+12以上で汚染によるしきい電圧変化が検知できる
- ・ FG寄生MOSでは1E+14のNa汚染があっても検知できない



## 2.1 金属汚染の評価方法(アルカリ金属)

公開

カリウム(K)汚染量と寄生MOSのVt変化量の関係

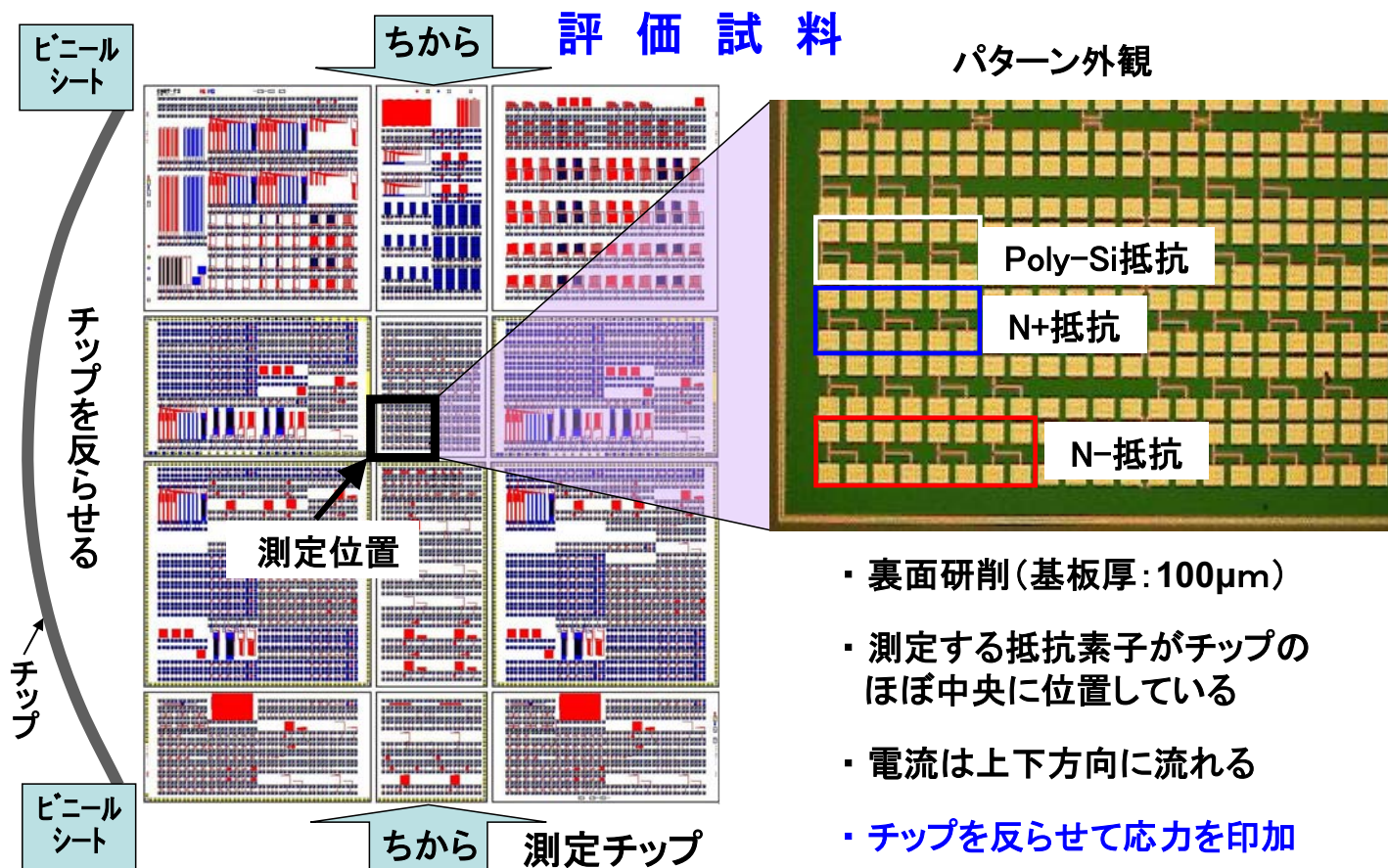


Vt変化量; (+バイアス印加後のVt) - (初期のVt)

- ・ M2、M1寄生MOSでは、K汚染量1E+13以上で汚染によるしきい電圧変化が検知できる
- ・ K汚染量1E+12では、しきい電圧変化の有無は微妙である
- ・ FG寄生MOSでは1E+14のK汚染があっても検知できない

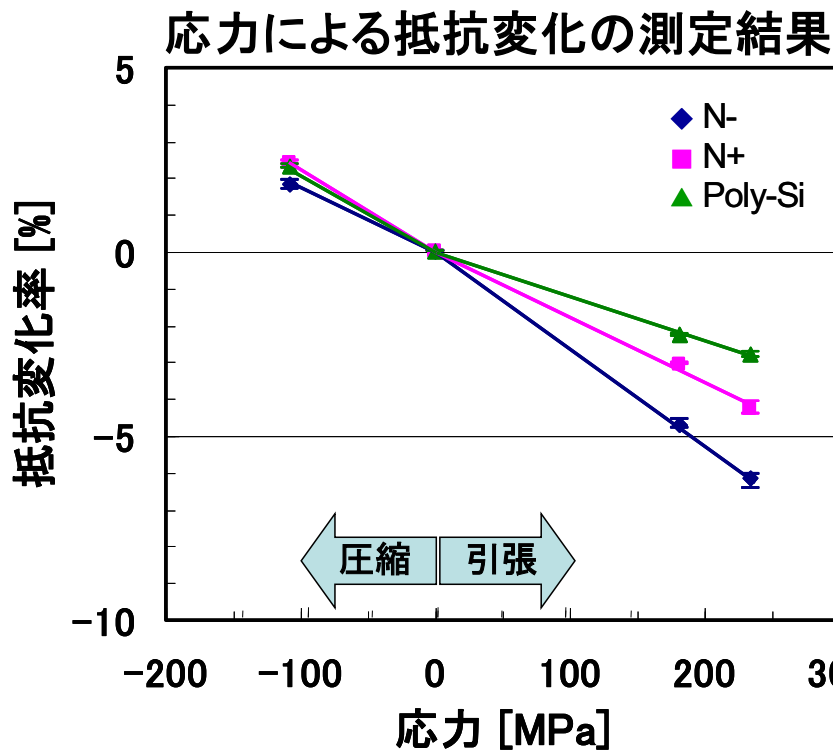
## 2.2 応力影響の評価方法

公開



## 2.2 応力影響の評価方法

公開

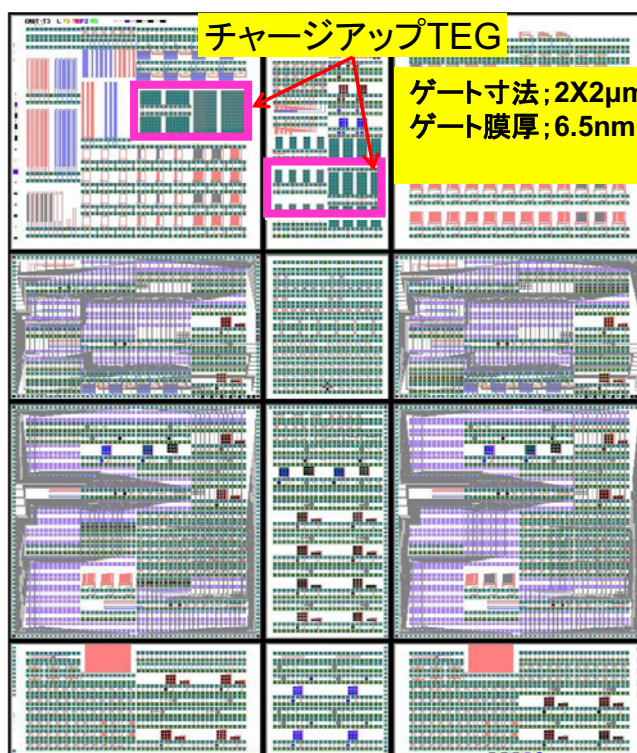


- ・ 抵抗は、引張応力で下がり、圧縮応力で上がる⇒伝導キャリアが電子である
- ・ 3種類の抵抗素子の中では、N-抵抗素子が最も応力に対する感度が高い
- ・ 抵抗変化率は200 Mpaで高々約5%である

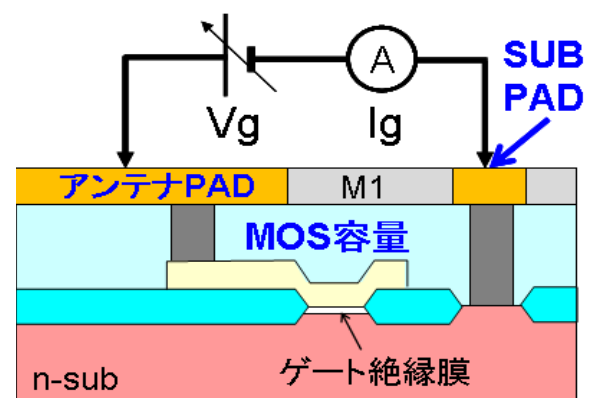
## 2.3 電荷蓄積 (チャージアップ) の評価方法

公開

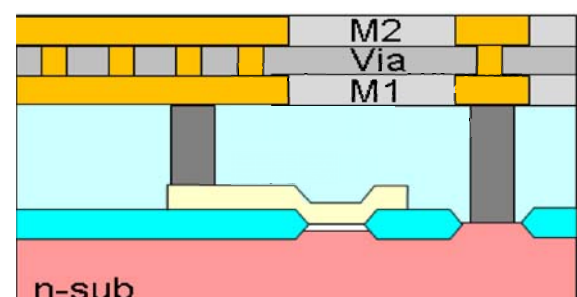
## 評価試料と実験方法



測定チップ (測定数; 46ヶ/ウェーハ)



M1完了後の断面構造と測定方法

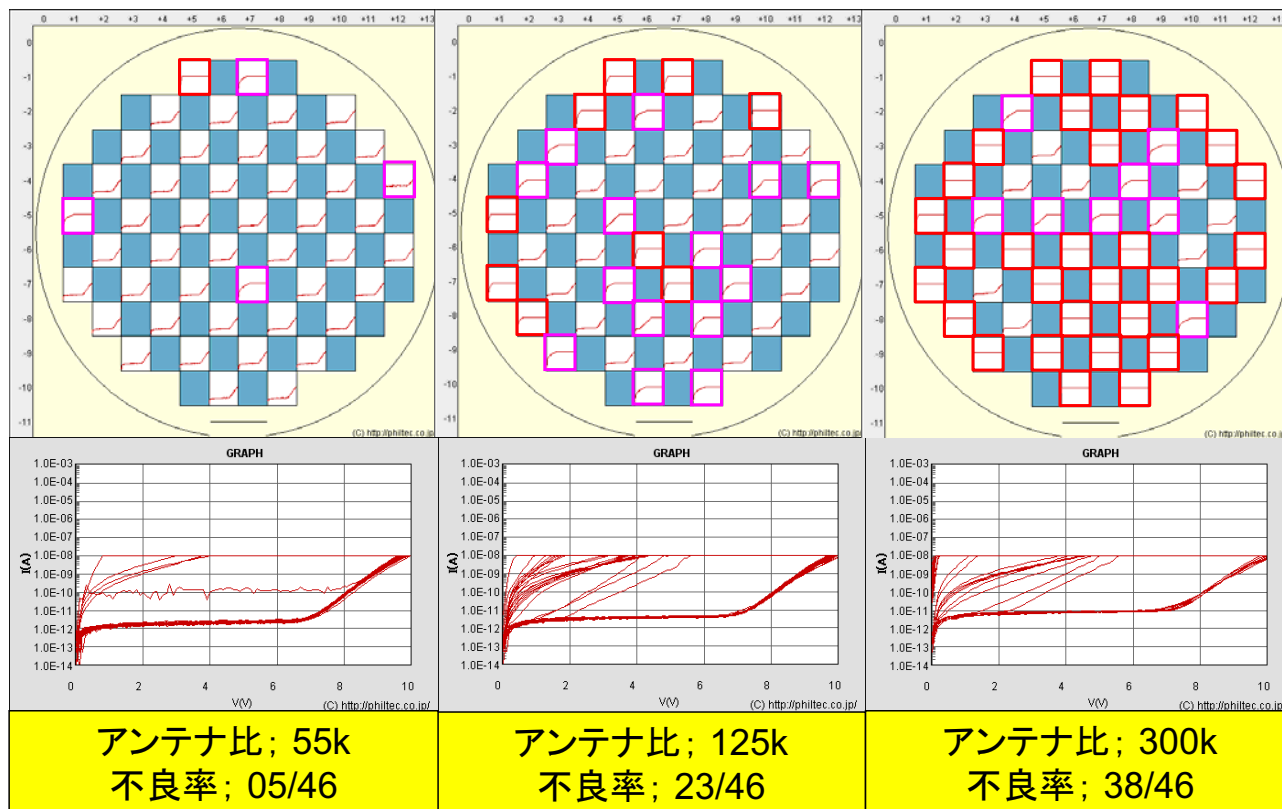


M2完了後の断面構造

## 2.3 電荷蓄積 (チャージアップ) の評価方法

公開

## 電流-電圧特性の測定結果 (M2)

N型基板、Low-k: p-SiOC、M2完了後 ゲート寸法 2X2 $\mu$ m, ゲート膜厚 6.5nm

## 2.3 電荷蓄積 (チャージアップ) の評価方法

公開

## アンテナTEGの耐圧不良率

N型基板、Low-k: p-SiOC

N型基板、Low-k: p-MSQ

アンテナ比 測定	3k	23k	55k	125k	300k
M1完後	0	0	0	0	0
M2完後	0	2	11	50	83

耐圧不良率(%)

アンテナ比 測定	3k	23k	55k	125k	300k
M1完後	0	0	0	0	0
M2完後	0	0	2	28	52

耐圧不良率(%)

P型基板、Low-k: p-SiOC

P型基板、Low-k: p-MSQ

アンテナ比 測定	3k	23k	55k	125k	300k
M1完後	0	0	0	0	0
M2完後	0	0	0	2	2

耐圧不良率(%)

アンテナ比 測定	3k	23k	55k	125k	300k
M1完後	0	0	0	0	0
M2完後	0	0	0	0	0

耐圧不良率(%)

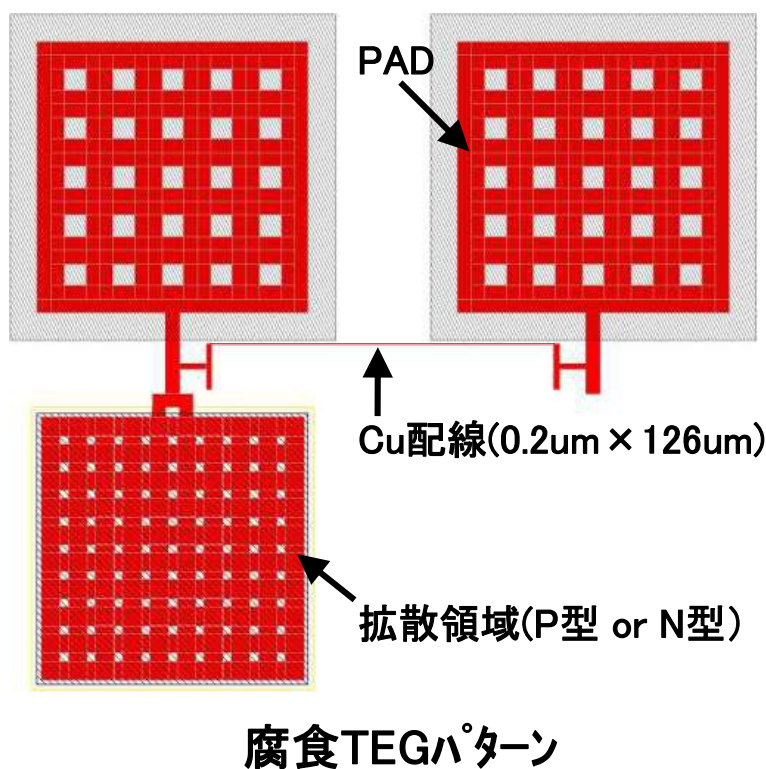
- ・ M1完では不良はなく、M2完で不良が発生⇒工程増加の影響
- ・ p-MSQよりもp-SiOCの方が不良発生が多い⇒絶縁膜形成時のプラズマの影響
- ・ P型基板よりもN型基板の方が不良発生が多い⇒評価にはN型基板の方が好適



## 2.4 配線腐食の評価方法 (p-n接合電池)

公開

## 試料および実験方法



## 2-1. 試料

- ・FEOL: CAST-T2(P型基板)  
CAST-T3(N型基板)
- ・Low-k: p-MSQ
- ・Cu/1層配線(M1 CMP完)

## 2-2. 評価内容

- ・光(蛍光灯)照射水洗の影響
- ・洗浄剤の防食効果有無

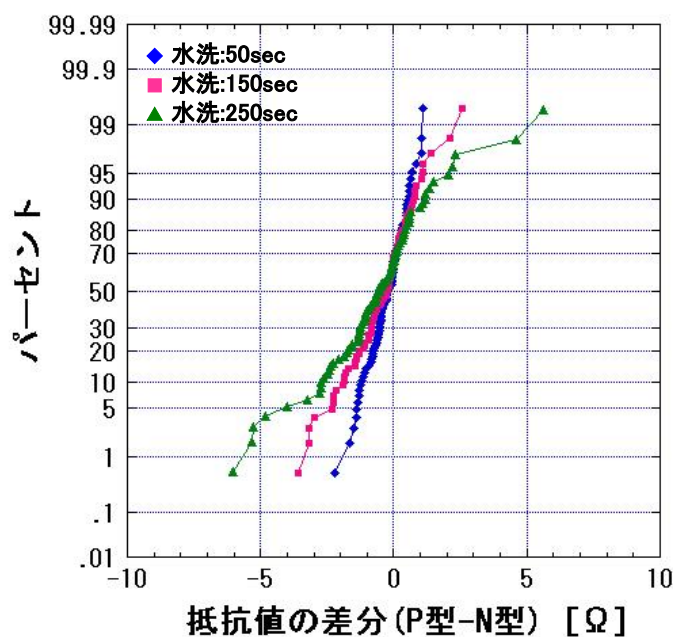
## 2-3. CMP研磨条件

- ・装置: ChaMP(東京精密)
- ・研磨パッド: IC1400xy-k
- ・研磨圧力: 1.5psi
- ・洗浄時間: ロールブラシ: 40sec  
ロールブラシ: 60sec  
リンス: 60sec

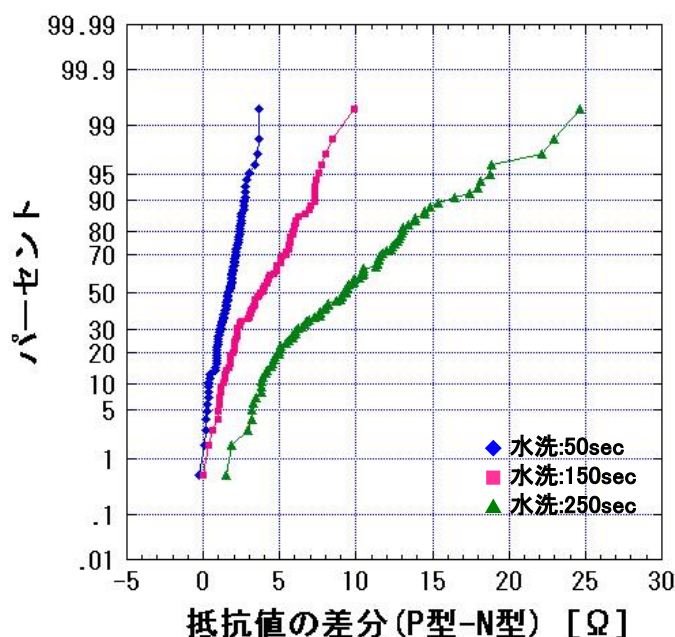
## 2.4 配線腐食の評価方法 (p-n接合電池)

公開

## 水洗中の光照射の影響



(1) 光照射無し



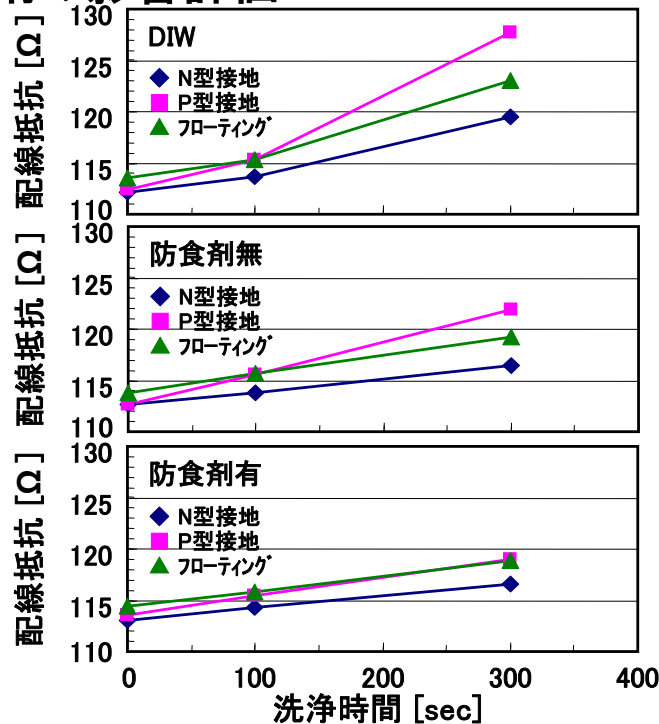
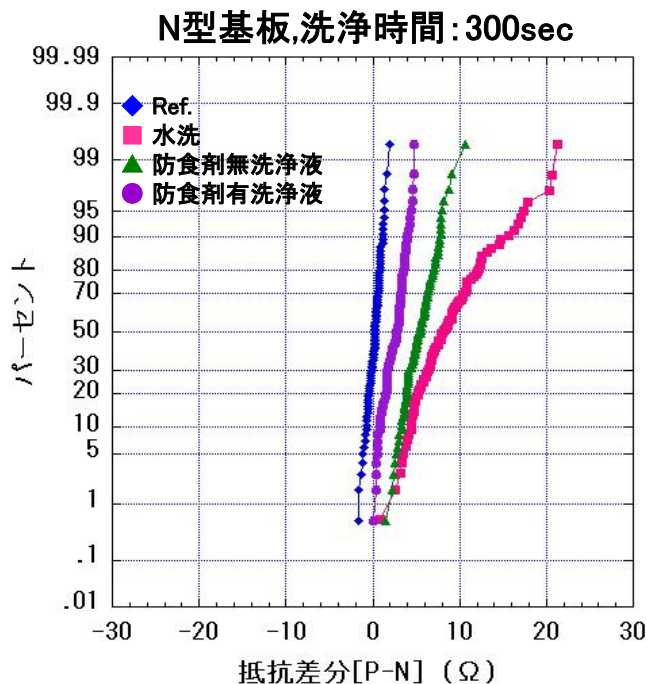
(2) 光照射有り

- ・光照射しない場合は抵抗値の差はないが、光照射すると抵抗値の差が時間とともに増大する

## 2.4 配線腐食の評価方法 (p-n接合電池)

公開

### CMP後洗浄剤の影響評価



- ・ 洗浄剤の防食効果が、P型とN型の拡散層に接続されたそれぞれのCu配線抵抗の差で評価

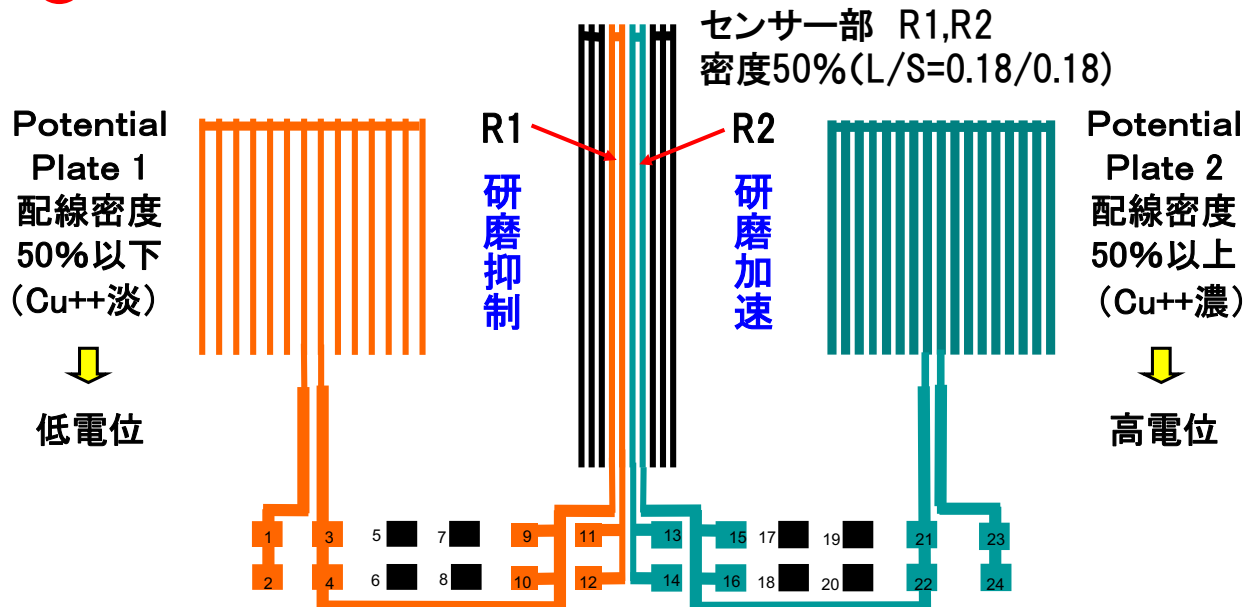
この研究成果は、応用物理学会2012秋 発表予定

## 2.4 配線腐食の評価方法 (濃淡電池)

公開

### 濃淡電池作用の評価TEG

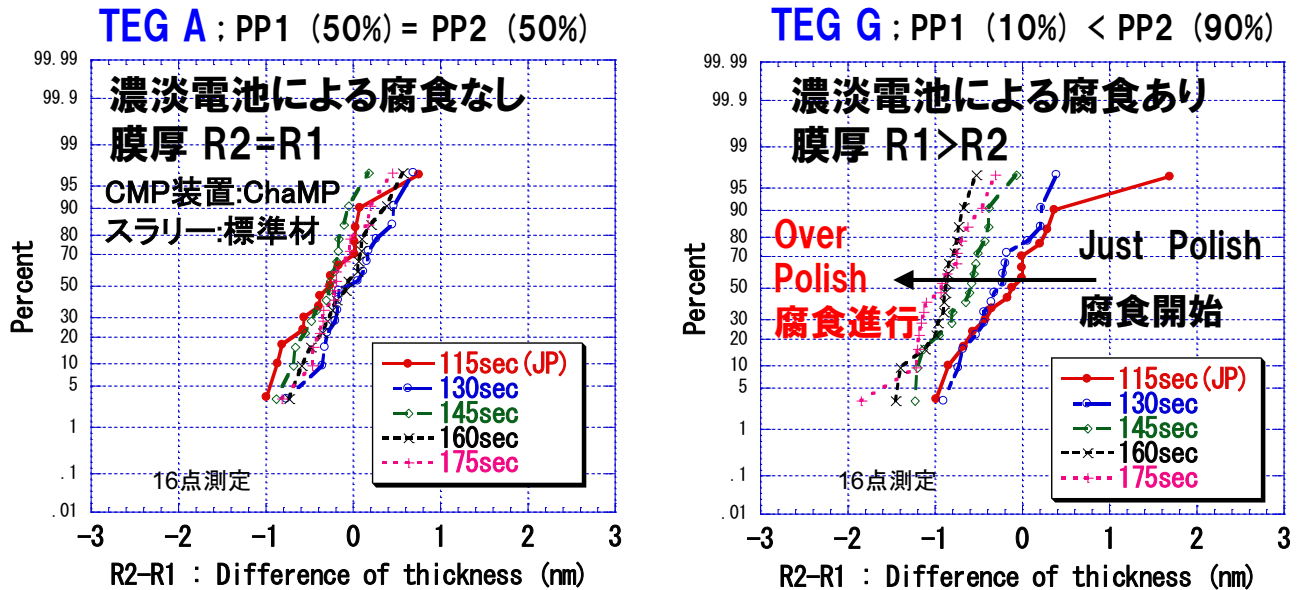
TEG	Potential Plate1 密度(%), L/S(um)	Potential Plate2 密度(%), L/S(um)	密度比 (PP2/PP1)	Sensor
<b>A</b>	50 (0.18/0.18)	50 (0.18/0.18)	1	L/S=0.18/0.18(50%)
D	20 (0.18/0.72)	50 (0.18/0.18)	2.5	↑
F	20 (0.18/0.72)	80 (0.72/0.18)	4	↑
<b>G</b>	10 (0.18/1.62)	90 (1.62/0.18)	9	↑



## 2.4 配線腐食の評価方法 (濃淡電池)

公開

### 濃淡電池TEGによる評価結果 (Cu-CMPのみ)



- ・ 配線密度が同じ場合は、濃淡電池効果がないため、配線高さは同じ(左図)
- ・ 配線密度が異なると、低密度接続側では研磨(腐食)が抑制され、高密度接続側では研磨(腐食)が加速され、その差は研磨量とともに増大する(右図)

この研究成果は、ICPT2010、ADMETA2010,2011等で発表(No. 6,7,9,12,15)

## まとめ

公開

- ・ Cuなどの重金属汚染は、p-n接合の逆方向電流を測定により評価
- ・ Na、Kのアルカリ金属汚染は、M1、M2寄生MOSTランジスタの+ゲートバイアス印加によるしきい電圧変動量から評価
- ・ 応力の影響は、n+層、n層、poly-Siのそれぞれの抵抗素子の電流方向に、基板を反らせて応力を印加して抵抗測定した結果、圧縮応力では抵抗が増加、引張応力では抵抗が減少することから評価
- ・ 容量素子のゲート電極側に大面積のアンテナ電極を接続したアンテナTEGのゲート耐圧測定により、プロセスや材料に起因する電荷蓄積の効果を評価
- ・ CMPプロセスで発生するCuの腐食について、その配線抵抗の測定により、p-n接合電池、Cuイオンの濃淡電池による腐食現象を定量的に把握

## 研究開発項目③ 具体的目標と達成度

公開

### 研究開発項目③ 半導体プロセス全体を考慮した材料評価基盤の開発

目 標	達成度	判断の理由・根拠
・ 接合素子を用いて、Low-k材料が半導体プロセスにおいて受けるダメージを詳細に評価する方法を開発する	○	・ リングオシレータ(RO)の発振周波数を測定し、その解析により、Low-kの直接CMPやプラズマ照射によるダメージを高感度に評価できた
・ 接合素子を利用して、Low-k材料に関する新たな電氣的性質を評価する方法を開発する	○	・ ゲートバイアス印加による、寄生MOSTランジスタのしきい電圧変動幅からLow-kの分極特性を抽出した
・ ワイヤボンダ型パッケージの組立てまで実施し、材料影響を評価する方法を開発する	○	・ 208ピンQFPを外注にて組立て、接合素子を測定したが、既存のLow-k材料、BC材料では、その影響が顕著に見られないことがわかった
・ フリップチップ型パッケージの組立てまで実施し、材料影響を評価する方法を開発する	○	・ 種々のBC材料で再配線し、WLPを外注にて組立て、評価した結果、接合素子よりも剥離や断線に材料影響が顕著であり、剥離耐性係数を創出した

達成度： ○達成、△未達

## 内 容

公開

### 3 半導体プロセス全体を考慮した材料評価基盤の開発

#### 3.1 リングオシレータ(RO)を用いたLow-k膜ダメージの評価方法

#### 3.2 寄生MOSを用いた配線間絶縁膜の評価方法

#### 3.3 ワイヤボンダ型パッケージ(QFP)での評価

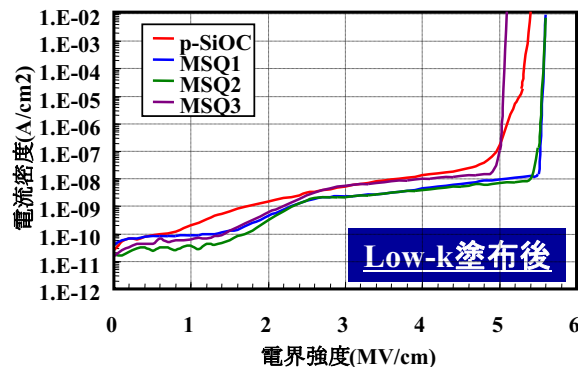
#### 3.4 フリップチップ型パッケージ(WLP)での評価



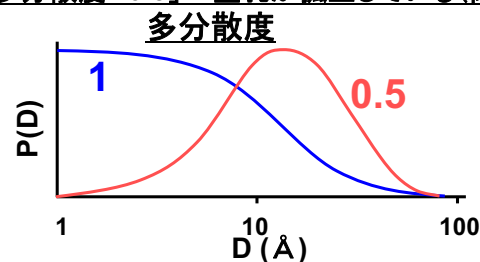
## 3.1 ROを用いたLow-k膜ダメージの評価方法

## 評価材料の単層膜物性

Low-k	p-SiOC	MSQ1	MSQ2	MSQ3
材料	CVD系	MSQ系	MSQ系	MSQ系
骨格構造	-	主骨格A	主骨格B	主骨格B
Shrinkage (%)	-	10	10	11
比誘電率	3.02	2.36	2.38	2.24
膜密度	1	0.74	0.79	0.72
Pore size (Å)	-	6.1	10.1	13.2
多分散度	-	0.99	0.61	0.58



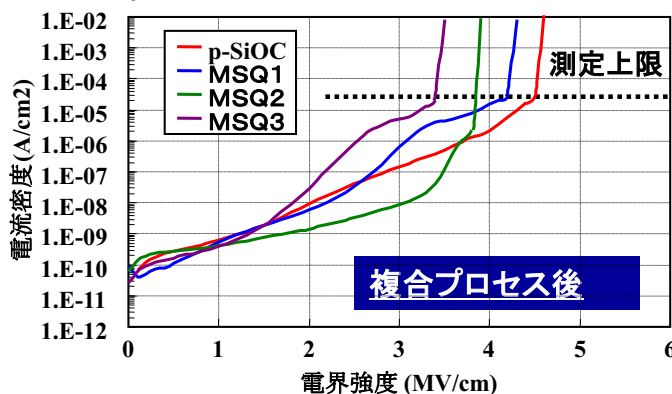
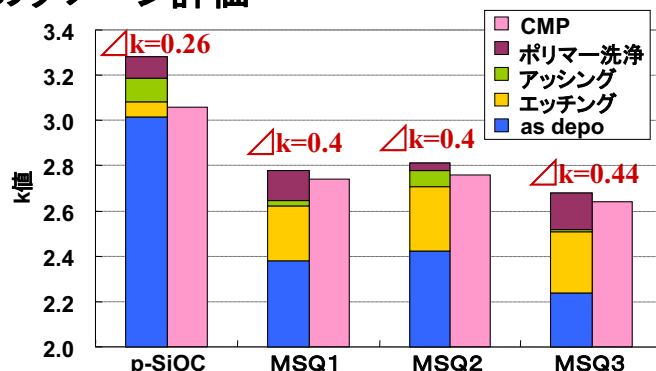
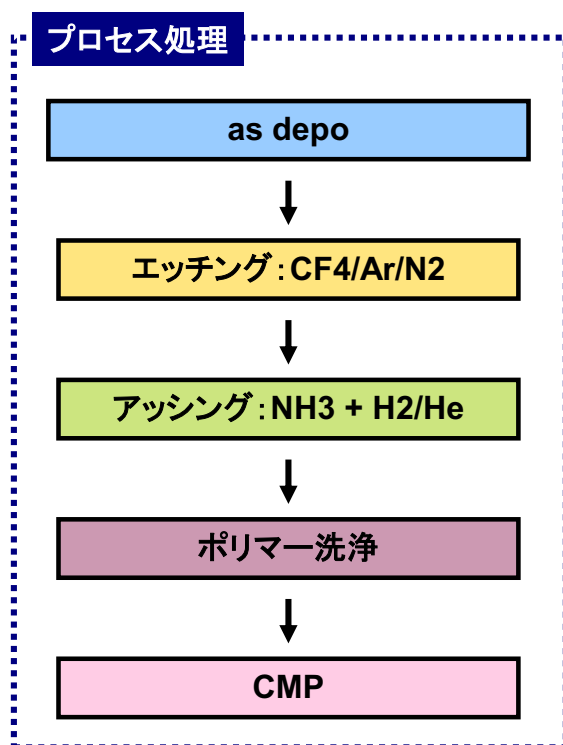
多分散度「1」= 空孔が繋がっている(開放)  
多分散度「0.5」= 空孔が孤立している(閉鎖)



- ・ MSQは、主骨格の違い、それともなう空孔の多分散度の違い、比誘電率の違いにより、プロセスダメージの受け方に違いが見られるか比較する

## 3.1 ROを用いたLow-k膜ダメージの評価方法

## 単層膜でのダメージ評価

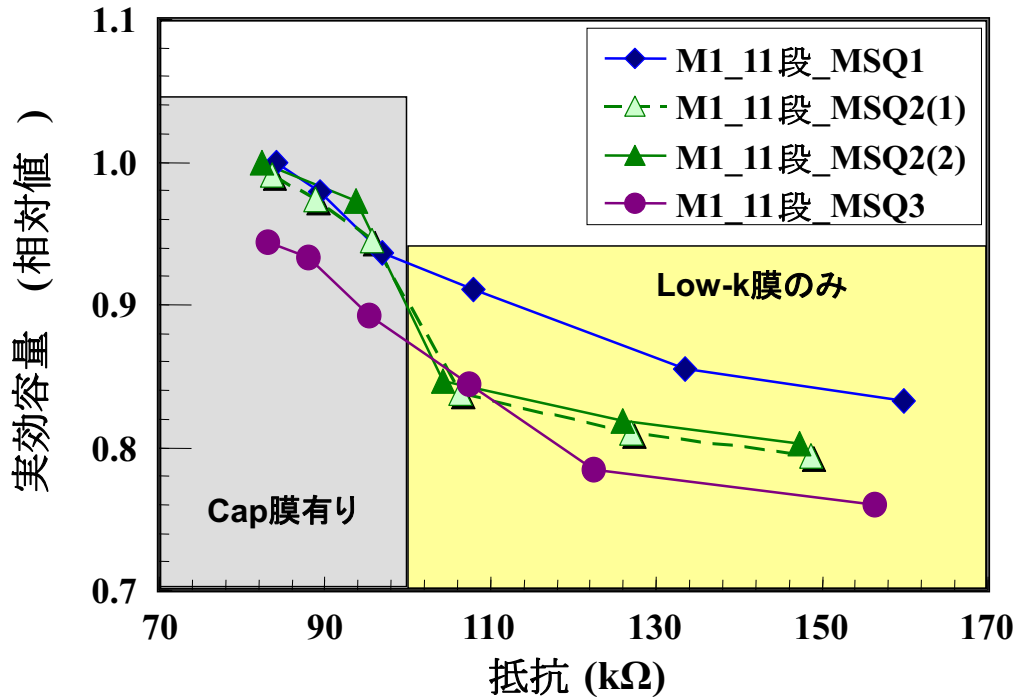


- ・ 比誘電率(k値)はHgプローブによるC-V測定、XRRによる膜厚測定から算出した
- ・ 単層膜評価ではダメージを受けたあとの比誘電率の違いは小さい



### 3.1 ROを用いたLow-k膜ダメージの評価方法

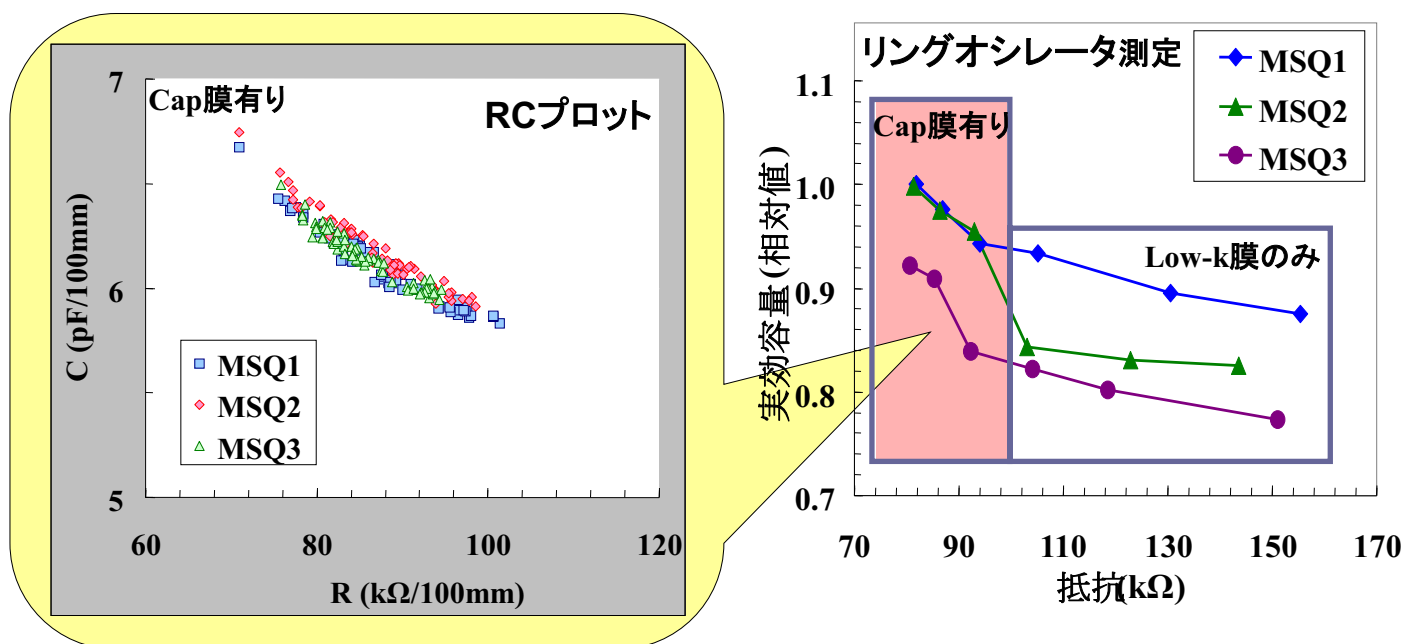
#### リングオシレータを用いた実効容量の測定



- ・ 同一抵抗(同一Cu配線高さ)で比較すると、Cap膜ありのとき、MSQ3はMSQ1、2より約5%実効容量が低い
- ・ Capなしのとき、MSQ1に対しMSQ2は約5%、MSQ3は約9%実効容量が低い

### 3.1 ROを用いたLow-k膜ダメージの評価方法

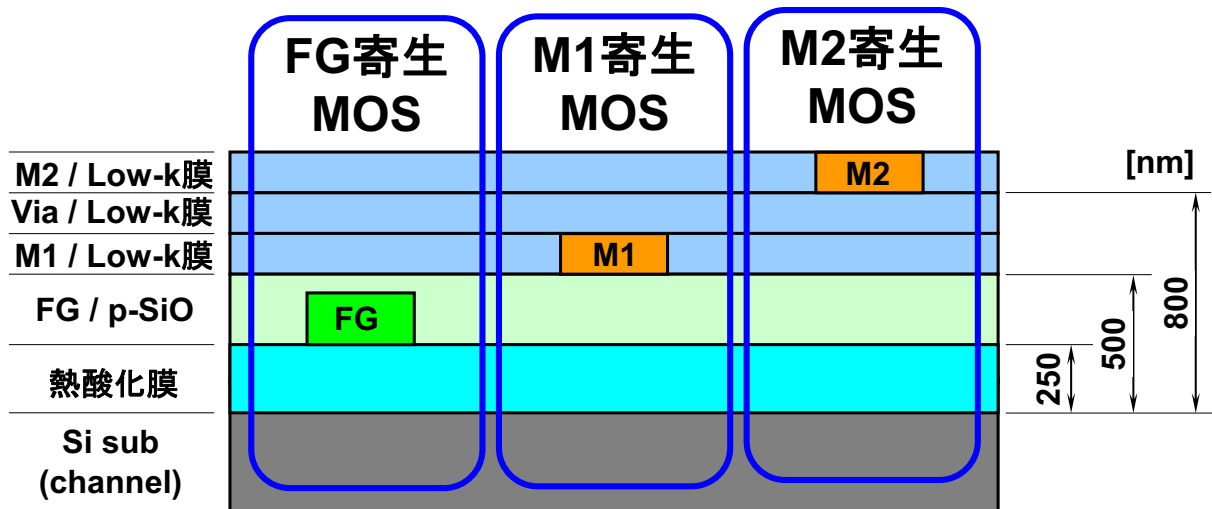
#### RCプロットとリングオシレータ測定との比較



- ・ 配線の抵抗と容量の測定からのRCプロットではLow-k材料間に差は認められない
- ・ リングオシレータの周波数測定による実効容量では材料間差が明確である
- ・ RCプロットよりもリングオシレータによる容量測定の方が感度の高い評価ができる

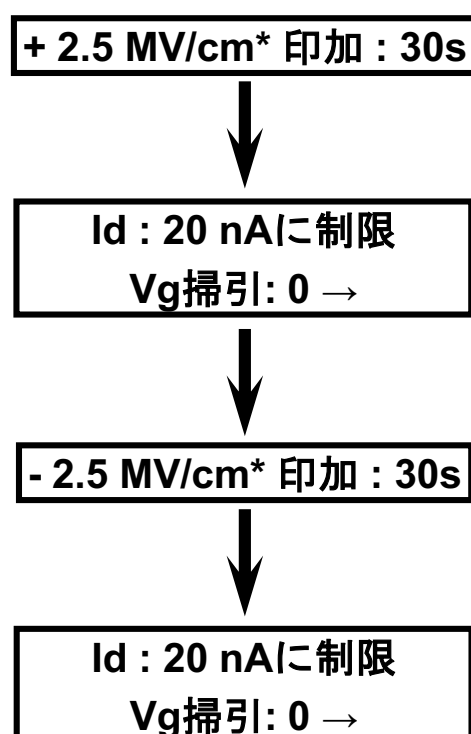
## 3.2 寄生MOSを用いた配線間絶縁膜の評価方法

3種類の寄生MOSTランジスタの構造模式図



## 3.2 寄生MOSを用いた配線間絶縁膜の評価方法

寄生MOSのしきい電圧の測定方法

寄生MOS寸法: L1.6 x W10 [ $\mu\text{m}$ ] $V_d = 0.1, V_s = V_{\text{sub}} = 0$  [V]

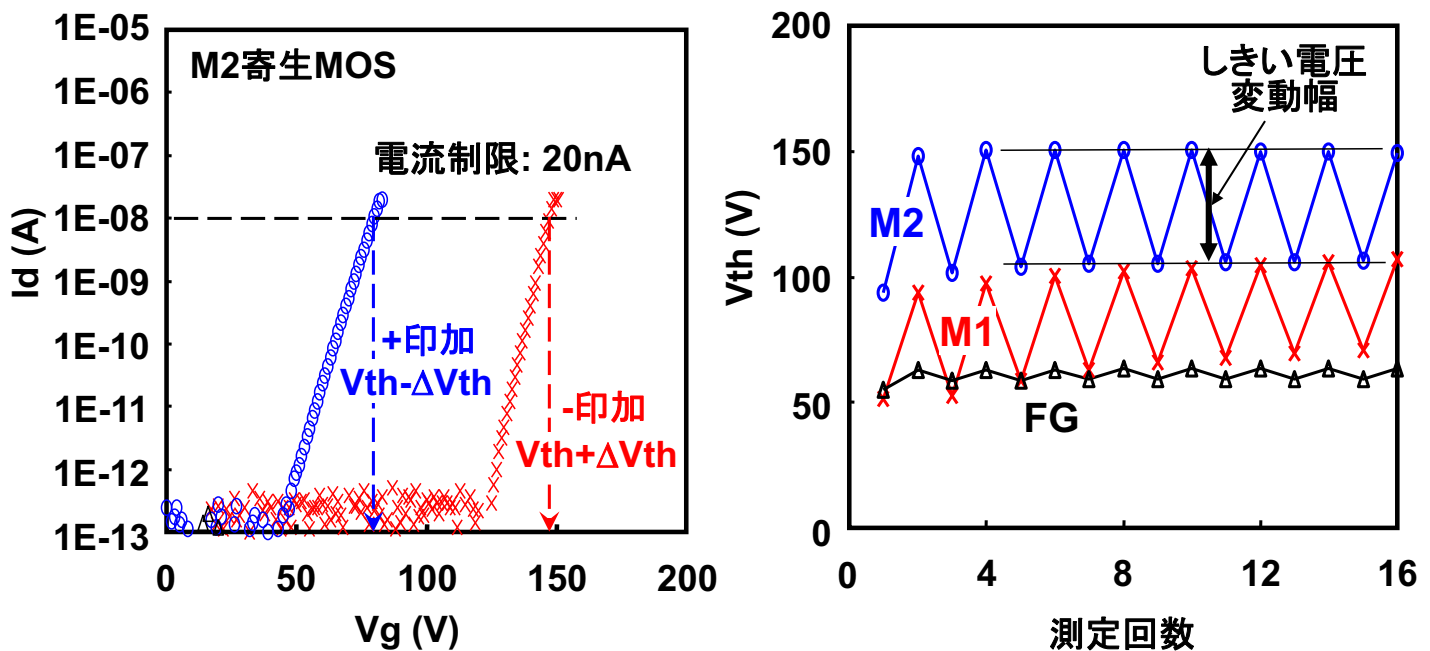
寄生MOS	膜厚(nm)	印加電圧(V)
FG	250	$\pm 62.5$
M1	500	$\pm 125$
M2	800	$\pm 200$

\*) 測定器の最大印加電圧が $\pm 200\text{V}$ のため  
M2で  $200\text{V} / 800\text{nm} = 2.5\text{MV/cm}$ が最大

## 3.2 寄生MOSを用いた配線間絶縁膜の評価方法

公開

## 寄生MOSのしきい電圧測定例



- 寄生MOSのバイアス印加によるしきい電圧変化により配線層間絶縁膜を評価できる

⇒特願2011-273967、特願2012-080920

## 3.2 寄生MOSを用いた配線間絶縁膜の評価方法

公開

## 寄生MOSのしきい電圧変動幅の測定結果

6回x4チップ<sup>o</sup>の平均

配線層間 絶縁膜 寄生MOS	p-SiOC	有機Low-k/ p-SiOC	MSQ4	MSQ1
	FG	4.5	7.1	5.3
M1	29.6	32.8	33.6	34.0
M2	58.1	51.0	44.5	44.0

しきい電圧変動幅; 単位 (V)

- 配線層間絶縁膜が異なる時、バラツキはあるもののFG、M1寄生MOSのしきい電圧変動幅はほぼ同じである
- M2では、MSQのしきい電圧変動幅が、p-SiOCに比べ小さくなっている

## 3.2 寄生MOSを用いた配線間絶縁膜の評価方法

公開

## 各絶縁膜の分極電荷密度の算出結果

膜厚; 熱酸化膜=250nm、p-SiO=250nm、配線層間絶縁膜=300nm

比誘電率; 熱酸化膜=4、p-SiO=4、配線層間絶縁膜=3

配線層間 絶縁膜 絶縁膜種	p-SiOC	有機Low-k/ p-SiOC	MSQ4	MSQ1
熱酸化膜	1.9	3.1	2.4	1.9
p-SiO	11.1	11.4	12.5	13.2
配線層間 絶縁膜	7.9	5.0	3.0	2.8

分極電荷密度; 単位(E11個/cm<sup>2</sup>)

- ・ 配線層間絶縁膜が異なる時、バラツキはあるものの熱酸化膜、P-SiOの分極電荷密度はほぼ同じである
- ・ MSQの分極電荷密度は、p-SiOCの1/2以下と大幅に小さい

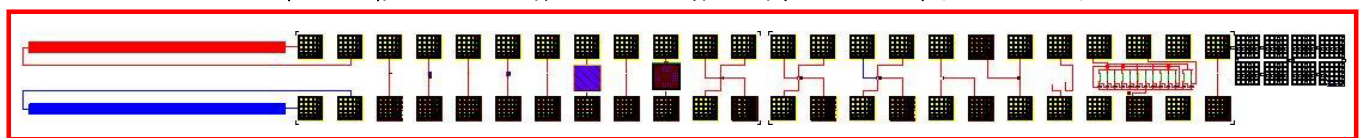
## 3.3 ワイヤーボンド型パッケージ (QFP) での評価

公開

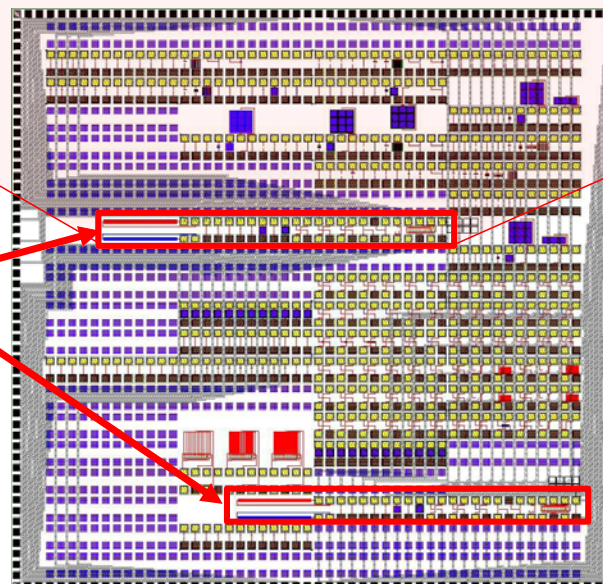
## パッケージで測定できるTEG (T3)

測定TEG

配線櫛 PN接合 MOS容量 NMOS Trs. 寄生MOS Poly-Si抵抗 リングオシレータ アンテナ



測定TEG領域



QFP組立てのチップの外観

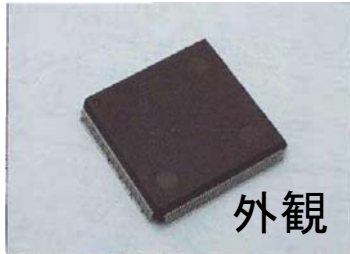
## 3.3 ワイヤーボンド型パッケージ (QFP) での評価

公開

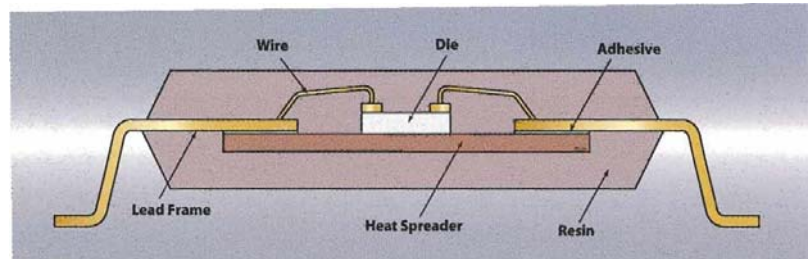
## QFPの仕様と組立てチップの仕様

パッケージ仕様: FIM社製 QFP 208pin

本体寸法: 28mm□ リードピッチ: 0.5mm 厚さ: 1.4mm



外観



断面構造

## 試料の仕様

チップ寸法 : 8.6mm□ チップ厚さ : 25、410 $\mu$ m

配線層間Low-k膜 : p-SiOC、MSQ1

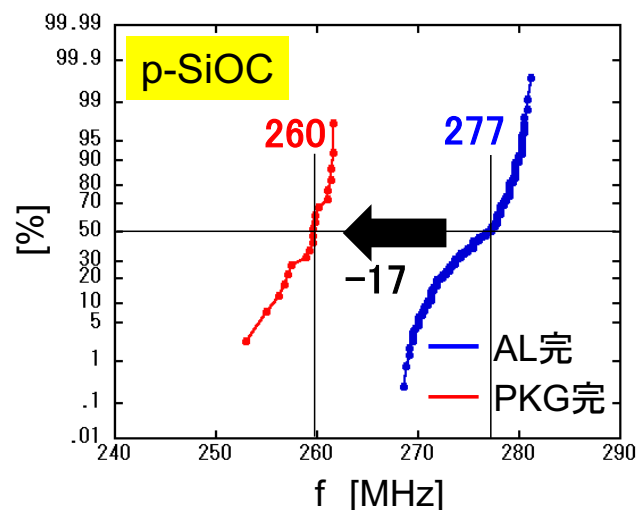
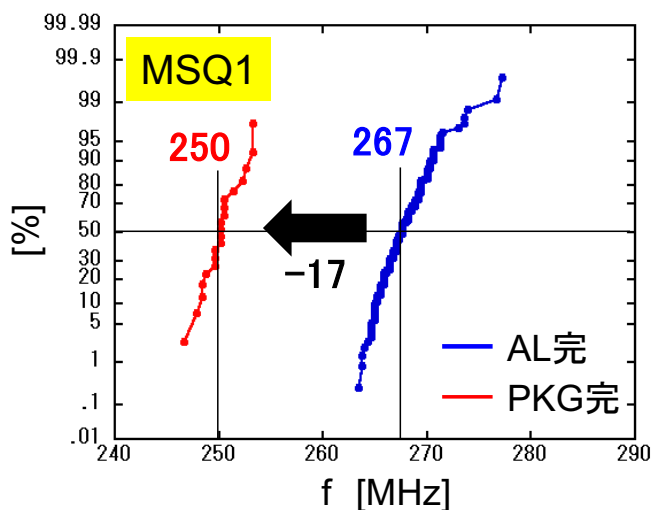
バッファコート膜 : BC1

## 3.3 ワイヤーボンド型パッケージ (QFP) での評価

公開

## パッケージ前後のリングオシレータの周波数測定結果

リングオシレータ ; インバータ段数 = 11段 駆動電圧 = 5 V

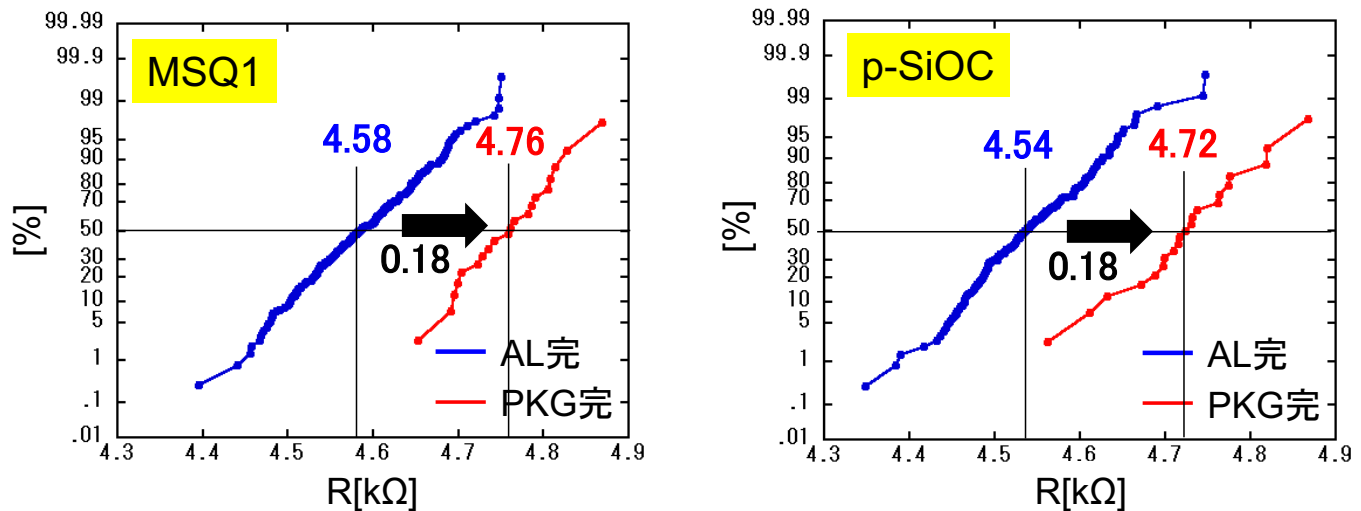
NMOS トランジスタ寸法: 0.5 $\mu$  m L X 10 $\mu$  m W負荷抵抗poly-Si寸法: 30 $\mu$  m L X 1 $\mu$  m W

・ QFPパッケージ(PKG)完で発振周波数が約6%減少した

## 3.3 ワイヤーボンド型パッケージ (QFP) での評価

公開

## パッケージ前後のpoly-Si抵抗の測定結果

poly-Si抵抗測定素子の寸法: 10 $\mu$ m L X 1 $\mu$ m W

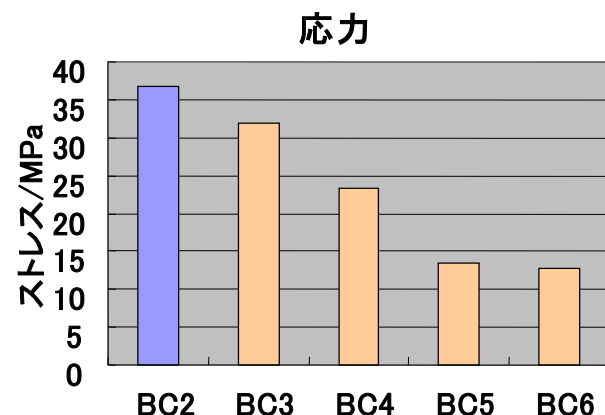
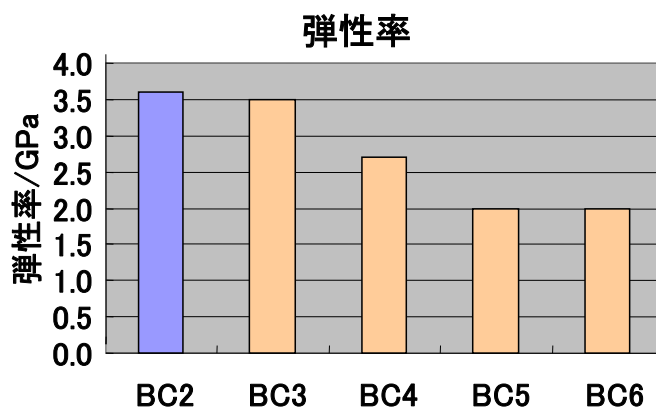
- ・ QFPパッケージ完でpoly-Siの抵抗が約4%増加した
- ・ リングオシレータの発振周波数の減少に対応

## 3.4 フリップチップ型パッケージ (WLP) での評価

公開

## 評価材料の単層膜物性

	材料	キュア ℃	弾性率 GPa	CTE ppm/K	応力 MPa
従来	BC2	320	3.6	36	37
新規材料	BC3	200	3.5	45	32
	BC4	200	2.7	48	23
	BC5	200	2.0	50	13
	BC6	200	2.0	50	13



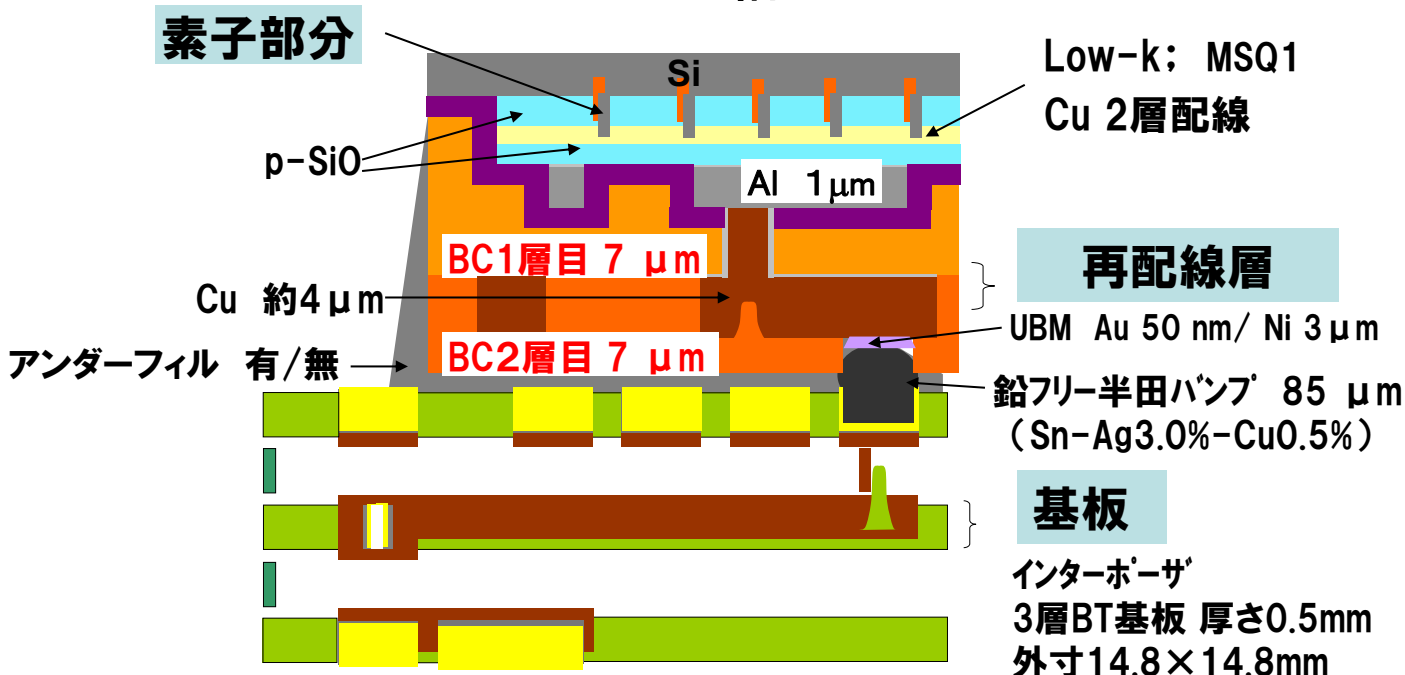
- ・ 新規BC材料の特長は、キュア温度が低いこと、弾性率および応力が小さいことである



### 3.4 フリップチップ型パッケージ (WLP) での評価

公開

#### WLPの構造



【チップサイズ】 8.6×5.4 mm

【組立てチップ】 FEOL TEG → Low-k Cu 2層配線 → 再配線

【チップ膜厚】 150 μm

### 3.4 フリップチップ型パッケージ (WLP) での評価

公開

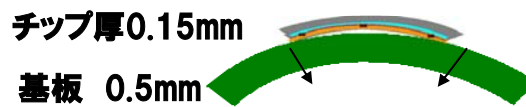
#### WLPによりpoly-Siにかかる応力の測定結果

BC材料	応力/MPa	CTE/ ppm/K	弾性率/GPa	BG/DC後 チップの 反り量/μm  実測値	FCボンディング後の チップの反り量/μm 実測値	
					UF有	UF無
BC2	37	36	3.6	20	39	31
BC3	32	45	3.5	16	40	31
BC4	23	48	2.7	11	38	33
BC5	13	50	2.0	11	38	32
BC6	13	50	2.0	9	38	33

BCの応力差を反映



基板の反りが反映



WLPによりpoly-Siにかかる圧縮応力

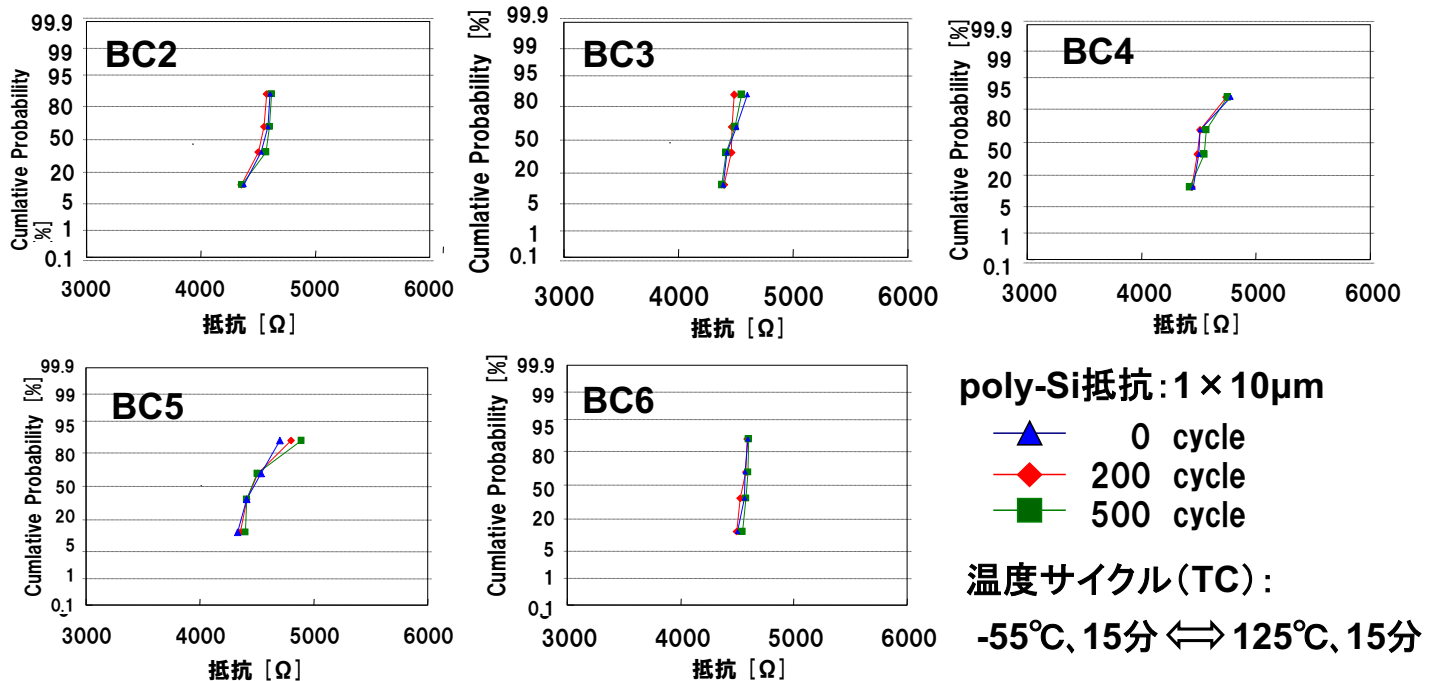
Poly-Siの抵抗変化はほとんどなし

UF有	UF無
23~37 MPa	17~27 MPa

## 3.4 フリップチップ型パッケージ (WLP) での評価

公開

## WLPに組立てたチップの温度サイクルによるpoly-Si抵抗の信頼度試験

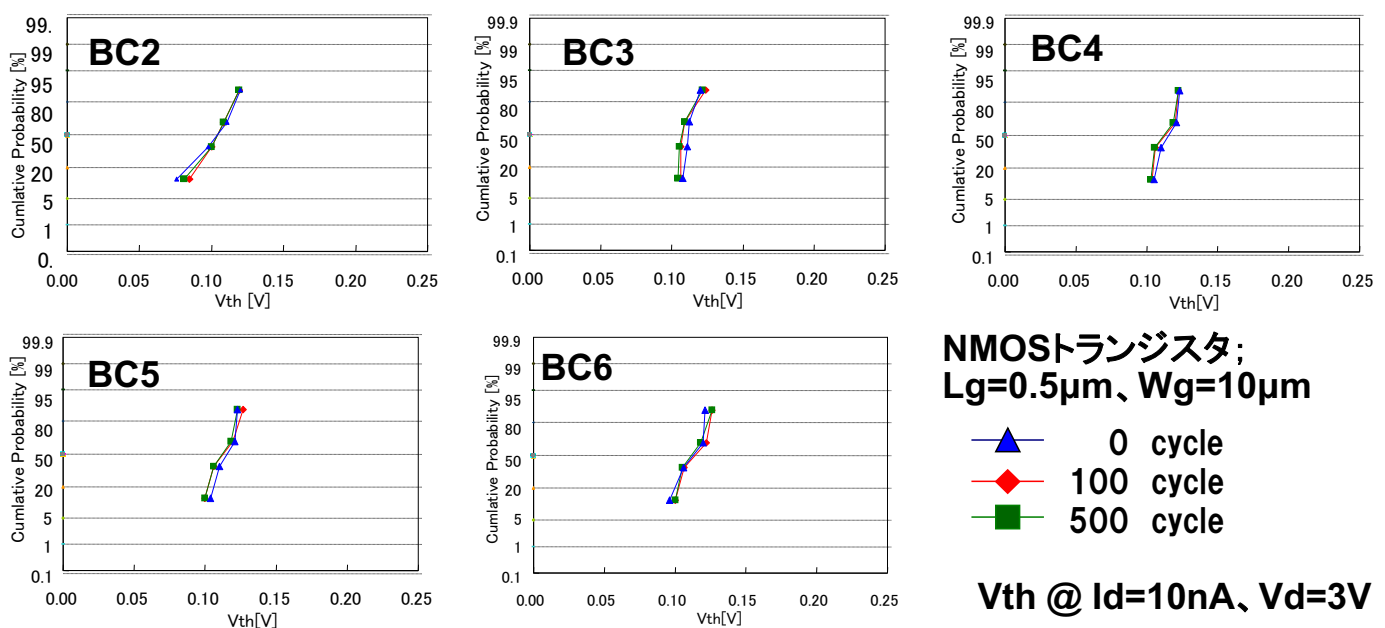


- 各BCでのWLP組立て(UFあり)後、温度サイクル試験(500回)の結果、poly-Siの抵抗変化なし

## 3.4 フリップチップ型パッケージ (WLP) での評価

公開

## WLPに組立てたチップの温度サイクルによるNMOSTランジスタの信頼度試験



- 各BCでのWLP組立て(UFあり)後、温度サイクル試験(500回)の結果、NMOSTランジスタのしきい電圧の変化なし



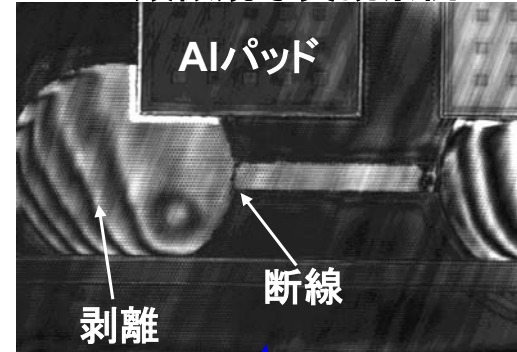
## 3.4 フリップチップ型パッケージ (WLP) での評価

公開

## 温度サイクルによるデージーチェーン断線の評価

IR顕微鏡写真観察例

UF有	0 cycle	100 cycles	200 cycles
BC2	0/4	0/4	0/4
BC3	0/4	0/4	0/4
BC4	0/4	0/4	0/4
BC5	0/4	0/4	0/4
BC6	0/4	0/4	0/4



UF無	弾性率/GPa	CTE/ppm	0 cycle	50 cycles	100 cycles	150 cycles
BC2	3.6	36	0/4	3/4	4/4	-
BC3	3.5	45	0/4	2/4	4/4	-
BC4	2.7	48	0/4	0/4	1/4	3/4
BC5	2.0	50	0/4	0/4	0/4	2/4
BC6	2.0	50	0/4	0/4	1/4	2/4

【TC条件】55°C15min⇔125°C15min

(断線チップ数)/(試験チップ数)

・ BCの影響はデージーチェーンの断線のし易さやパッドの剥離に現れる

## 3.4 フリップチップ型パッケージ (WLP) での評価

公開

## 剥離評価用サンプルとWLPの構造

チップ厚 775 μm

※BGなし

Si 775 μm

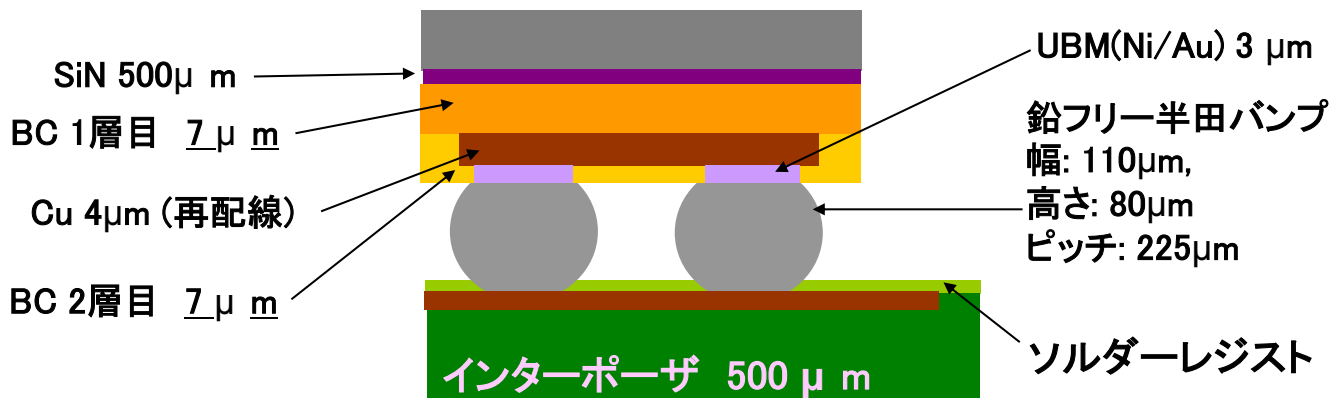
インターポーザ 500 μm

主な仕様

チップサイズ	mm2	5.4*8.6
インターポーザ	mm2	14.8*14.8
Cuパッド径	mmφ	120
BC2層目開口径	mmφ	100

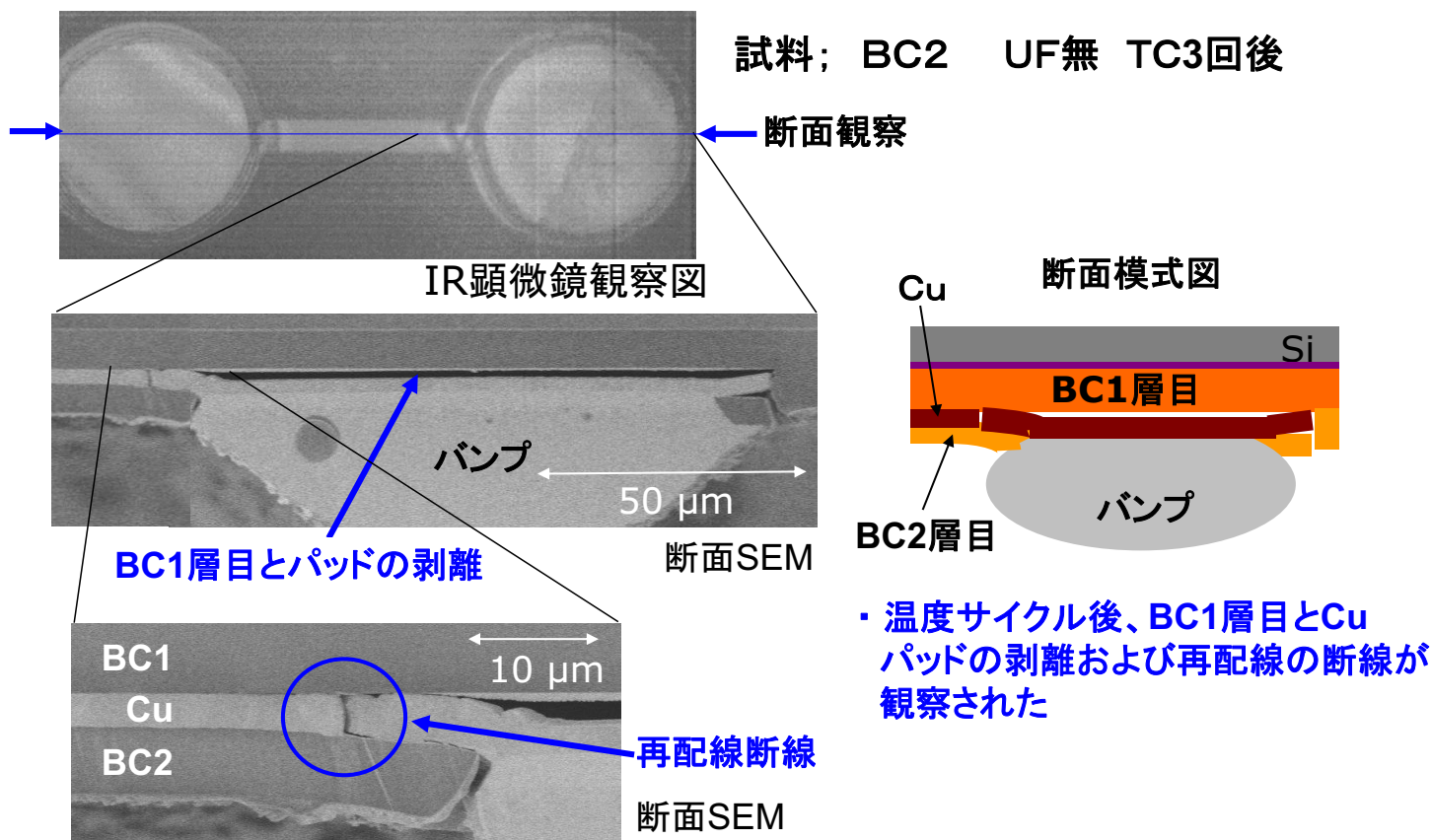
拡大図

BC 7 μm 2層構造



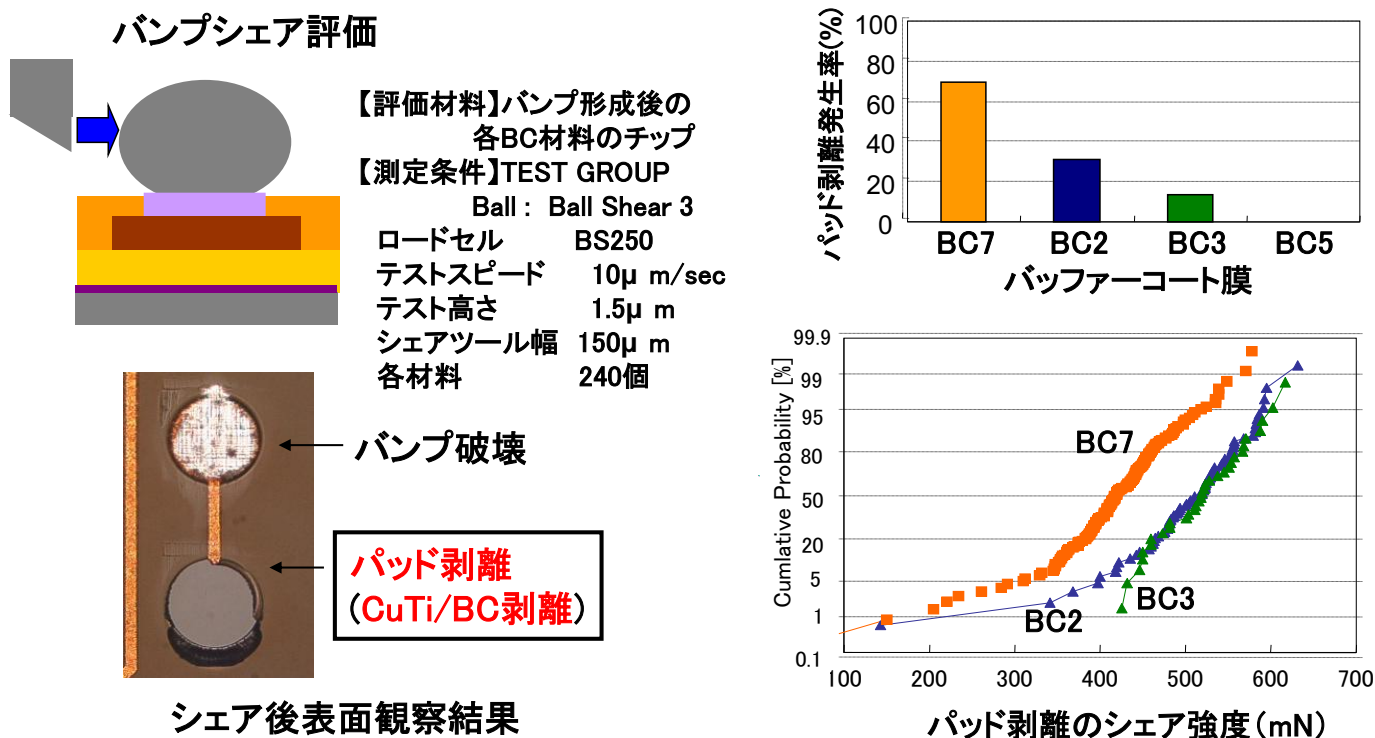
## 3.4 フリップチップ型パッケージ (WLP) での評価

## 温度サイクル後の再配線変形箇所の表面および断面観察結果



## 3.4 フリップチップ型パッケージ (WLP) での評価

## バンプシエア試験結果



- ・ BCの種類に依存してパッド剥離のし易さが異なり、材料間に差があることがわかった
- ・ 温度サイクルでのパッド剥離とバンプシエアの結果の材料間差は良く対応する

## 3.4 フリップチップ型パッケージ (WLP) での評価

公開

## 各バッファークートの物性と剥離耐性の比較

BC材料	BC7	BC2	BC3	BC5
キュア温度(C)	250	320	200	200
弾性率 (GPa)	2.2	3.6	3.5	2.0
小面積パターン測定による CuTi/BC密着力(MPa)	45(0.53)	85(1)	88(1.04)	68(0.8)
CuTi/BC WLPのパッドサイズ でのシエア強度(mN)	約100(0.4)	約250(1)	約250(1)	約350(1.4)
パンプシエアによるパッドの 剥離強度(mN)中心値	416(0.83)	503(1)	517(1.03)	パッド剥離 発生せず
$\frac{\text{CuTi/BC密着力(MPa)}}{\text{弾性率 (GPa)}} \times 1E3$	20(0.83)	24(1)	25(1.04)	34(1.42)

( )内は、BC2の値を1とした時の相対値

## 剥離耐性係数

← BC膜変形による応力の緩和効果  $\propto$  弾性率の逆数

- ・ 剥離耐性係数は、バッファークート材料の剥離の起こり易さ、難さを表現
- ・ 剥離耐性係数が小さいと剥離し易く、大きいと剥離し難い

## ま と め

公開

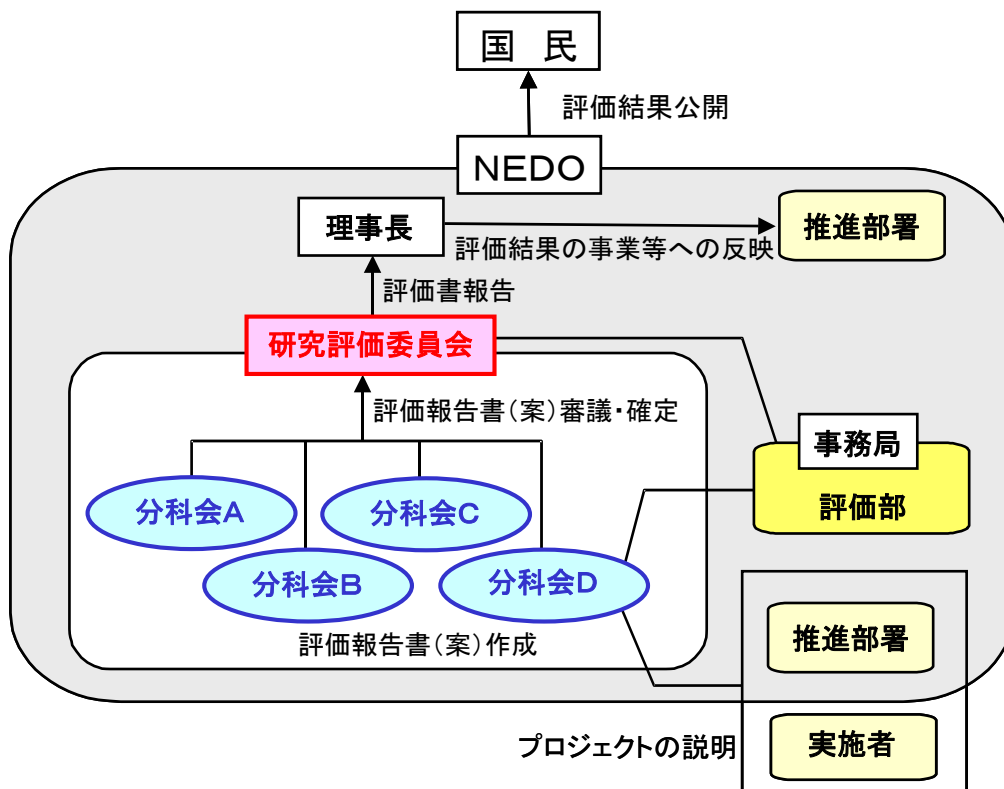
- ・ Low-k材料が半導体プロセスにおいて受けるダメージについて、楕形の配線間容量を伝播負荷とするリングオシレータの発振周波数を測定することにより、層間絶縁膜の実効的な比誘電率を高感度に評価する方法を開発
- ・ Low-k材料の電氣的性質の1つである分極特性について、寄生MOSTランジスタのゲート電極に周期的にバイアスを印加して、しきい電圧変動幅を測定することにより、評価する方法を開発
- ・ ワイヤーボンド型パッケージとして、208ピンQFPを外注にて組立て、Low-k材料、BC材料、チップ厚さの影響を接合素子の電気特性測定により調査したが、それらの違いが接合素子には顕著に出現せず
- ・ QFPではリングオシレータの発振周波数が6%程度低下したが、これはモールド材の収縮による圧縮応力により、負荷poly-Si抵抗の増加などの影響と推察
- ・ フリップチップ型として、種々のBC材料で再配線し、WLPを外注にて組立て、接合素子の電気特性測定を行ったが、材料の顕著な影響は出現せず
- ・ WLPでは、むしろ剥離やパッケージのダメージチェーン断線にBC材料の違いによる影響が顕著に現れ、剥離の発生に対する材料影響を的確に評価することのできる剥離耐性係数を新たに導入

## 参考資料 1 評価の実施方法

本評価は、「技術評価実施規程」（平成 15 年 10 月制定）に基づいて研究評価を実施する。

独立行政法人新エネルギー・産業技術総合開発機構（NEDO）における研究評価の手順は、以下のように被評価プロジェクトごとに分科会を設置し、同分科会にて研究評価を行い、評価報告書（案）を策定の上、研究評価委員会において確定している。

- 「NEDO 技術委員・技術委員会等規程」に基づき研究評価委員会を設置
- 研究評価委員会はその下に分科会を設置



## 1. 評価の目的

評価の目的は「技術評価実施規程」において、

- 業務の高度化等の自己改革を促進する
- 社会に対する説明責任を履行するとともに、  
経済・社会ニーズを取り込む
- 評価結果を資源配分に反映させ、資源の重点化及び業務の効率化を  
促進する

としている。

本評価においては、この趣旨を踏まえ、本事業の意義、研究開発目標・計画の妥当性、計画を比較した達成度、成果の意義、成果の実用化の可能性等について検討・評価した。

## 2. 評価者

技術評価実施規程に基づき、事業の目的や態様に即した外部の専門家、有識者からなる委員会方式により評価を行う。分科会委員選定に当たっては以下の事項に配慮して行う。

- 科学技術全般に知見のある専門家、有識者
- 当該研究開発の分野の知見を有する専門家
- 研究開発マネジメントの専門家、経済学、環境問題、国際標準、その他社会的ニーズ関連の専門家、有識者
- 産業界の専門家、有識者
- ジャーナリスト

また、評価に対する中立性確保の観点から事業の推進側関係者を選任対象から除外し、また、事前評価の妥当性を判断するとの側面にかんがみ、事前評価に関与していない者を主体とする。

これらに基づき、分科会委員名簿にある7名を選任した。

なお、本分科会の事務局については、独立行政法人新エネルギー・産業技術総合開発機構評価部が担当した。

## 3. 評価対象

平成21年度に開始された「半導体機能性材料の高度評価基盤開発」プロジェクトを評価対象とした。

なお、分科会においては、当該事業の推進部署から提出された事業原簿、プ

プロジェクトの内容、成果に関する資料をもって評価した。

#### 4. 評価方法

分科会においては、当該事業の推進部署及び研究実施者からのヒアリングと、それを踏まえた分科会委員による評価コメント作成、評点法による評価及び実施者側等との議論等により評価作業を進めた。

なお、評価の透明性確保の観点から、知的財産保護の上で支障が生じると認められる場合等を除き、原則として分科会は公開とし、研究実施者と意見を交換する形で審議を行うこととした。

#### 5. 評価項目・評価基準

分科会においては、次に掲げる「評価項目・評価基準」で評価を行った。これは、研究評価委員会による『各分科会における評価項目・評価基準は、被評価プロジェクトの性格、中間・事後評価の別等に応じて、各分科会において判断すべきものである。』との考え方に従い、第1回分科会において、事務局が、研究評価委員会により示された「標準的評価項目・評価基準」（参考資料1-7頁参照）をもとに改定案を提示し、承認されたものである。

プロジェクト全体に係わる評価においては、主に事業の目的、計画、運営、達成度、成果の意義や実用化への見通し等について評価した。各個別テーマに係る評価については、主にその目標に対する達成度等について評価した。

## 評価項目・評価基準

### 1. 事業の位置付け・必要性について

#### (1) NEDOの事業としての妥当性

- ・ ナノテク・部材イノベーションプログラム、エネルギーイノベーションプログラム、およびITイノベーションプログラムの目標達成のために寄与しているか。
- ・ 民間活動のみでは改善できないものであること、又は公共性が高いことにより、NEDOの関与が必要とされる事業か。
- ・ 当該事業を実施することによりもたらされる効果が、投じた予算との比較において十分であるか。

#### (2) 事業目的の妥当性

- ・ 内外の技術開発動向、国際競争力の状況、エネルギー需給動向、市場動向、政策動向、国際貢献の可能性等から見て、事業の目的は妥当か。

### 2. 研究開発マネジメントについて

#### (1) 研究開発目標の妥当性

- ・ 内外の技術動向、市場動向等を踏まえて、戦略的な目標が設定されているか。
- ・ 具体的かつ明確な開発目標を可能な限り定量的に設定しているか。
- ・ 目標達成度を測定・判断するための適切な指標が設定されているか。

#### (2) 研究開発計画の妥当性

- ・ 目標達成のために妥当なスケジュール、予算（各個別研究テーマ毎の配分を含む）となっているか。
- ・ 目標達成に必要な要素技術を取り上げているか。
- ・ 研究開発フローにおける要素技術間の関係、順序は適切か。
- ・ 継続プロジェクトや長期プロジェクトの場合、技術蓄積を、実用化の観点から絞り込んだうえで活用が図られているか。

#### (3) 研究開発実施の事業体制の妥当性

- ・ 適切な研究開発チーム構成での実施体制になっているか。
- ・ 真に技術力と事業化能力を有する研究機関を実施者として選定しているか。



- ・ 全体を統括するプロジェクトリーダー等が選任され、十分に活躍できる環境が整備されているか。
  - ・ 目標達成及び効率的実施のために必要な実施者間の連携 and/or 競争が十分に行われる体制となっているか。
  - ・ 実用化シナリオに基づき、成果の受け取り手（ユーザー、活用・実用化の想定者等）に対して、関与を求める体制を整えているか。
- (4) 研究開発成果の実用化、事業化に向けたマネジメントの妥当性
- ・ 成果の実用化、事業化につなげる戦略が明確になっているか。
  - ・ 成果の実用化、事業化につなげる知財マネジメントの方針が明確に示され、かつ妥当なものか。
- (5) 情勢変化への対応等
- ・ 進捗状況を常に把握し、社会・経済の情勢の変化及び政策・技術動向に機敏かつ適切に対応しているか。
  - ・ 計画見直しの方針は一貫しているか（中途半端な計画見直しが研究方針の揺らぎとなっていないか）。計画見直しを適切に実施しているか。

### 3. 研究開発成果について

#### (1) 目標の達成度

- ・ 成果は目標値をクリアしているか。
- ・ 全体としての目標達成はどの程度か。
- ・ 目標未達成の場合、目標達成までの課題を把握し、課題解決の方針が明確になっているか。

#### (2) 成果の意義

- ・ 成果は市場の拡大或いは市場の創造につながることを期待できるか。
- ・ 成果は、世界初あるいは世界最高水準か。
- ・ 成果は、新たな技術領域を開拓することが期待できるか。
- ・ 成果は汎用性があるか。
- ・ 投入された予算に見合った成果が得られているか。
- ・ 成果は、他の競合技術と比較して優位性があるか。

#### (3) 知的財産権等の取得及び標準化の取組

- ・ 知的財産権等の取扱（特許や意匠登録出願、著作権や回路配置利用権の登録、品種登録出願、営業機密の管理等）は事業戦略、または実用化計画に

沿って国内外に適切に行われているか。

#### (4)成果の普及

- ・ 論文の発表は、研究内容を踏まえ適切に行われているか。
- ・ 成果の受取手（ユーザー、活用・実用化の想定者等）に対して、適切に成果を普及しているか。また、普及の見通しは立っているか。
- ・ 一般に向けて広く情報発信をしているか。

### 4. 実用化、事業化の見通しについて

#### (1)成果の実用化可能性

- ・ 産業技術としての見極め（適用可能性の明確化）ができているか。
- ・ 実用化に向けて課題が明確になっているか。課題解決の方針が明確になっているか。

#### (2)事業化までのシナリオ

- ・ NEDO後継プロジェクト、NEDO実用化助成、企業内研究等、プロジェクト終了後の事業化までの道筋は明確か。
- ・ 市場の規模や成長性、コストダウン、競合技術との比較、導入普及、事業化までの期間、事業化とそれに伴う経済効果等の見通しは立っているか。

#### (3)波及効果

- ・ 成果は関連分野への波及効果（技術的・経済的・社会的）を期待できるものか。
- ・ プロジェクトの実施自体が当該分野の研究開発や人材育成等を促進するなどの波及効果を生じているか。

## 標準的評価項目・評価基準（事後評価）

2010. 3. 26

### 【事後評価 標準的評価項目・評価基準の位置付け（基本的考え方）】

標準的評価項目・評価基準は、第25回研究評価委員会（平成22年3月26日付）において以下のとおり定められている。（本文中の記載例による1…、2…、3…、4…が標準的評価項目、それぞれの項目中の(1)…、(2)…が標準的評価基準、それぞれの基準中の…が視点）

ただし、これらの標準的評価項目・評価基準は、研究開発プロジェクトの事後評価における標準的な評価の視点であり、各分科会における評価項目・評価基準は、被評価プロジェクトの性格等に応じて、各分科会において判断すべきものである。

#### 1. 事業の位置付け・必要性について

##### (1) NEDOの事業としての妥当性

- ・ 特定の施策（プログラム）、制度の下で実施する事業の場合、当該施策・制度の目標達成のために寄与しているか。
- ・ 民間活動のみでは改善できないものであること、又は公共性が高いことにより、NEDOの関与が必要とされる事業か。
- ・ 当該事業を実施することによりもたらされる効果が、投じた予算との比較において十分であるか。

##### (2) 事業目的の妥当性

- ・ 内外の技術開発動向、国際競争力の状況、エネルギー需給動向、市場動向、政策動向、国際貢献の可能性等から見て、事業の目的は妥当か。

#### 2. 研究開発マネジメントについて

##### (1) 研究開発目標の妥当性

- ・ 内外の技術動向、市場動向等を踏まえて、戦略的な目標が設定されているか。
- ・ 具体的かつ明確な開発目標を可能な限り定量的に設定しているか。
- ・ 目標達成度を測定・判断するための適切な指標が設定されているか。

## (2)研究開発計画の妥当性

- ・ 目標達成のために妥当なスケジュール、予算（各個別研究テーマ毎の配分を含む）となっているか。
- ・ 目標達成に必要な要素技術を取り上げているか。
- ・ 研究開発フローにおける要素技術間の関係、順序は適切か。
- ・ 継続プロジェクトや長期プロジェクトの場合、技術蓄積を、実用化の観点から絞り込んだうえで活用が図られているか。

## (3)研究開発実施の事業体制の妥当性

- ・ 適切な研究開発チーム構成での実施体制になっているか。
- ・ 真に技術力と事業化能力を有する企業を実施者として選定しているか。
- ・ 研究管理法人を経由する場合、研究管理法人が真に必要な役割を担っているか。
- ・ 全体を統括するプロジェクトリーダー等が選任され、十分に活躍できる環境が整備されているか。
- ・ 目標達成及び効率的実施のために必要な実施者間の連携 and/or 競争が十分に行われる体制となっているか。
- ・ 実用化シナリオに基づき、成果の受け取り手（ユーザー、活用・実用化の想定者等）に対して、関与を求める体制を整えているか。

## (4) 研究開発成果の実用化、事業化に向けたマネジメントの妥当性

- ・ 成果の実用化、事業化につなげる戦略が明確になっているか。
- ・ 成果の実用化、事業化につなげる知財マネジメントの方針が明確に示され、かつ妥当なものか。

## (5)情勢変化への対応等

- ・ 進捗状況を常に把握し、社会・経済の情勢の変化及び政策・技術動向に機敏かつ適切に対応しているか。
- ・ 計画見直しの方針は一貫しているか（中途半端な計画見直しが研究方針の揺らぎとなっていないか）。計画見直しを適切に実施しているか。

## 3. 研究開発成果について

### (1)目標の達成度

- ・ 成果は目標値をクリアしているか。（※）

（※事後評価前倒し実施の場合は、「成果は目標値をクリアする見込みか。」）

- ・ 全体としての目標達成はどの程度か。
- ・ 目標未達成の場合、目標達成までの課題を把握し、課題解決の方針が明確になっているか。

## (2)成果の意義

- ・ 成果は市場の拡大或いは市場の創造につながる事が期待できるか。
- ・ 成果は、世界初あるいは世界最高水準か。
- ・ 成果は、新たな技術領域を開拓する事が期待できるか。
- ・ 成果は汎用性があるか。
- ・ 投入された予算に見合った成果が得られているか。
- ・ 成果は、他の競合技術と比較して優位性があるか。

## (3)知的財産権等の取得及び標準化の取組

- ・ 知的財産権等の取扱（特許や意匠登録出願、著作権や回路配置利用権の登録、品種登録出願、営業機密の管理等）は事業戦略、または実用化計画に沿って国内外に適切に行われているか。
- ・ 国際標準化に関する事項が計画されている場合、得られた研究開発の成果に基づく国際標準化に向けた提案等の取組が適切に行われているか。

## (4)成果の普及

- ・ 論文の発表は、研究内容を踏まえ適切に行われているか。
- ・ 成果の受取手（ユーザー、活用・実用化の想定者等）に対して、適切に成果を普及しているか。また、普及の見通しは立っているか。
- ・ 一般に向けて広く情報発信をしているか。

## 4. 実用化、事業化の見通しについて

### (1)成果の実用化可能性

- ・ 産業技術としての見極め（適用可能性の明確化）ができているか。
- ・ 実用化に向けて課題が明確になっているか。課題解決の方針が明確になっているか。
- ・ 国際標準化に関する事項が計画されている場合、国際規格化等、標準整備に向けた見通しが得られているか。

### (2)事業化までのシナリオ

- ・ N E D O 後継プロジェクト、N E D O 実用化助成、企業内研究等、プロジェクト終了後の事業化までの道筋は明確か。
- ・ 市場の規模や成長性、コストダウン、競合技術との比較、導入普及、事業化までの期間、事業化とそれに伴う経済効果等の見通しは立っているか。

### (3)波及効果

- ・ 成果は関連分野への波及効果（技術的・経済的・社会的）を期待できるものか。
- ・ プロジェクトの実施自体が当該分野の研究開発や人材育成等を促進するなどの波及効果を生じているか。

※基礎的・基盤的研究及び知的基盤・標準整備等の研究開発の場合は、以下の項目・基準による。

\*基礎的・基盤的研究開発の場合

## 2. 研究開発マネジメントについて

### (1)研究開発目標の妥当性

- ・内外の技術動向、市場動向等を踏まえて、戦略的な目標が設定されているか。
- ・具体的かつ明確な開発目標を可能な限り定量的に設定しているか。
- ・目標達成度を測定・判断するための適切な指標が設定されているか。

### (2)研究開発計画の妥当性

- ・目標達成のために妥当なスケジュール、予算（各個別研究テーマ毎の配分を含む）となっているか。
- ・目標達成に必要な要素技術を取り上げているか。
- ・研究開発フローにおける要素技術間の関係、順序は適切か。
- ・継続プロジェクトや長期プロジェクトの場合、技術蓄積を、実用化の観点から絞り込んだうえで活用が図られているか。

### (3)研究開発実施の事業体制の妥当性

- ・適切な研究開発チーム構成での実施体制になっているか。
- ・真に技術力と事業化能力を有する企業を実施者として選定しているか。
- ・研究管理法人を経由する場合、研究管理法人が真に必要な役割を担っているか。
- ・全体を統括するプロジェクトリーダー等が選任され、十分に活躍できる環境が整備されているか。
- ・目標達成及び効率的実施のために必要な実施者間の連携 and/or 競争が十分に行われる体制となっているか。
- ・実用化シナリオに基づき、成果の受け取り手（ユーザー、活用・実用化の想定者等）に対して、関与を求める体制を整えているか。

### (4) 研究開発成果の実用化に向けたマネジメントの妥当性

- ・成果の実用化につなげる戦略が明確になっているか。
- ・成果の実用化につなげる知財マネジメントの方針が明確に示され、かつ妥当なものか。

#### (5)情勢変化への対応等

- ・ 進捗状況を常に把握し、社会・経済の情勢の変化及び政策・技術動向に機敏かつ適切に対応しているか。
- ・ 計画見直しの方針は一貫しているか（中途半端な計画見直しが研究方針の揺らぎとなっていないか）。計画見直しを適切に実施しているか。

### 3. 研究開発成果について

#### (1)目標の達成度

- ・ 成果は目標値をクリアしているか。（※）  
（※事後評価前倒し実施の場合は、「成果は目標値をクリアする見込みか。」）
- ・ 全体としての目標達成はどの程度か。
- ・ 目標未達成の場合、目標達成までの課題を把握し、課題解決の方針が明確になっているか。

#### (2)成果の意義

- ・ 成果は市場の拡大或いは市場の創造につながることを期待できるか。
- ・ 成果は、世界初あるいは世界最高水準か。
- ・ 成果は、新たな技術領域を開拓することが期待できるか。
- ・ 成果は汎用性があるか。
- ・ 投入された予算に見合った成果が得られているか。
- ・ 成果は、他の競合技術と比較して優位性があるか。

#### (3)知的財産権等の取得及び標準化の取組

- ・ 知的財産権等の取扱（特許や意匠登録出願、著作権や回路配置利用権の登録、品種登録出願、営業機密の管理等）は事業戦略、または実用化計画に沿って国内外に適切に行われているか。
- ・ 国際標準化に関する事項が計画されている場合、得られた研究開発の成果に基づく国際標準化に向けた提案等の取組が適切に行われているか。

#### (4)成果の普及

- ・ 論文の発表は、研究内容を踏まえ適切に行われているか。
- ・ 成果の受取手（ユーザー、活用・実用化の想定者等）に対して、適切に成果を普及しているか。また、普及の見通しは立っているか。
- ・ 一般に向けて広く情報発信をしているか。



#### 4. 実用化の見通しについて

##### (1)成果の実用化可能性

- ・ 実用化イメージ・出口イメージが明確になっているか。
- ・ 実用化イメージ・出口イメージに基づき、開発の各段階でマイルストーンを明確にしているか。それを踏まえ、引き続き研究開発が行われる見通しは立っているか。
- ・ 国際標準化に関する事項が計画されている場合、国際規格化等、標準整備に向けた見通しが得られているか。

##### (2)波及効果

- ・ 成果は関連分野への波及効果（技術的・経済的・社会的）を期待できるものか。
- ・ プロジェクトの実施自体が当該分野の研究開発や人材育成等を促進するなどの波及効果を生じているか。

\* 知的基盤・標準整備等の研究開発の場合

#### 2. 研究開発マネジメントについて

##### (1)研究開発目標の妥当性

- ・ 内外の技術動向、市場動向等を踏まえて、戦略的な目標が設定されているか。
- ・ 具体的かつ明確な開発目標を可能な限り定量的に設定しているか。
- ・ 目標達成度を測定・判断するための適切な指標が設定されているか。

##### (2)研究開発計画の妥当性

- ・ 目標達成のために妥当なスケジュール、予算（各個別研究テーマ毎の配分を含む）となっているか。
- ・ 目標達成に必要な要素技術を取り上げているか。
- ・ 研究開発フローにおける要素技術間の関係、順序は適切か。
- ・ 継続プロジェクトや長期プロジェクトの場合、技術蓄積を、実用化の観点から絞り込んだうえで活用が図られているか。

##### (3)研究開発実施の事業体制の妥当性

- ・ 適切な研究開発チーム構成での実施体制になっているか。
- ・ 真に技術力と事業化能力を有する企業を実施者として選定しているか。
- ・ 研究管理法人を経由する場合、研究管理法人が真に必要な役割を担ってい

るか。

- ・ 全体を統括するプロジェクトリーダー等が選任され、十分に活躍できる環境が整備されているか。
- ・ 目標達成及び効率的実施のために必要な実施者間の連携 and/or 競争が十分に行われる体制となっているか。
- ・ 実用化シナリオに基づき、成果の受け取り手（ユーザー、活用・実用化の想定者等）に対して、関与を求める体制を整えているか。

#### (4) 研究開発成果の実用化に向けたマネジメントの妥当性

- ・ 成果の実用化につなげる戦略が明確になっているか。
- ・ 成果の実用化につなげる知財マネジメントの方針が明確に示され、かつ妥当なものか。

#### (5) 情勢変化への対応等

- ・ 進捗状況を常に把握し、社会・経済の情勢の変化及び政策・技術動向に機敏かつ適切に対応しているか。
- ・ 計画見直しの方針は一貫しているか（中途半端な計画見直しが研究方針の揺らぎとなっていないか）。計画見直しを適切に実施しているか。

### 3. 研究開発成果について

#### (1) 目標の達成度

- ・ 成果は目標値をクリアしているか。（※）  
（※事後評価前倒し実施の場合は、「成果は目標値をクリアする見込みか。」）
- ・ 全体としての目標達成はどの程度か。
- ・ 目標未達成の場合、目標達成までの課題を把握し、課題解決の方針が明確になっているか。

#### (2) 成果の意義

- ・ 成果は市場の拡大或いは市場の創造につながる事が期待できるか。
- ・ 成果は、世界初あるいは世界最高水準か。
- ・ 成果は、新たな技術領域を開拓することが期待できるか。
- ・ 成果は汎用性があるか。
- ・ 投入された予算に見合った成果が得られているか。
- ・ 成果は公開性が確保されているか。

### (3)知的財産権等の取得及び標準化の取組

- ・ 研究内容に新規性がある場合、知的財産権等の取扱（特許や意匠登録出願、著作権や回路配置利用権の登録、品種登録出願、営業機密の管理等）は事業戦略、または実用化計画に沿って国内外に適切に行われているか。
- ・ 国際標準化に関する事項が計画されている場合、得られた研究開発の成果に基づく国際標準化に向けた提案等の取組が適切に行われているか。

### (4)成果の普及

- ・ 論文の発表は、研究内容を踏まえ適切に行われているか。
- ・ 成果の受取手（ユーザー、活用・実用化の想定者等）に対して、適切に成果を普及しているか。また、普及の見通しは立っているか。
- ・ 一般に向けて広く情報発信をしているか。

## 4. 実用化の見通しについて

### (1)成果の実用化可能性

- ・ 整備した知的基盤についての利用は実際にあるか、その見通しが得られているか。
- ・ 公共財として知的基盤を供給、維持するための体制は整備されているか、その見込みはあるか。
- ・ 国際標準化に関する事項が計画されている場合、国際規格化等、標準整備に向けた見通しが得られているか。
- ・ J I S 化、標準整備に向けた見通しが得られているか。注) 国内標準に限る
- ・ 一般向け広報は積極的になされているか。

### (2)波及効果

- ・ 成果は関連分野への波及効果（技術的・経済的・社会的）を期待できるものか。
- ・ プロジェクトの実施自体が当該分野の研究開発や人材育成等を促進するなどの波及効果を生じているか。

## 参考資料 2 評価に係る被評価者意見

研究評価委員会（分科会）は、評価結果を確定するにあたり、あらかじめ当該実施者に対して評価結果を示し、その内容が、事実関係から正確性を欠くなどの意見がある場合に、補足説明、反論などの意見を求めた。研究評価委員会（分科会）では、意見があったものに対し、必要に応じて評価結果を修正の上、最終的な評価結果を確定した。

評価結果に対する被評価者意見は全て反映された。

## 参考資料 3 分科会議事録

研究評価委員会  
「半導体機能性材料の高度評価基盤開発」(事後評価)分科会  
議事録

日 時：平成24年6月25日(月) 10:00~17:20

場 所：大手町サンスカイルーム A室

出席者(敬称略、順不同)

<分科会委員>

分科会長	財満 鎮明	名古屋大学 大学院工学研究科 結晶材料工学専攻 教授
委員	石内 秀美	(株)東芝 セミコンダクター&ストレージ社 統括技師長
委員	上野 和良	芝浦工業大学 工学部 電子工学科 教授
委員	桑田 孝明	ルネサスエレクトロニクス(株) 生産本部 副本部長
委員	辻村 学	(株)荏原製作所 取締役常務執行役員 精密・電子事業カンパニープレジデント
委員	平本 俊郎	東京大学 生産技術研究所 情報・エレクトロニクス系部門 教授

<推進者>

和泉 章	NEDO 電子・材料・ナノテクノロジー部 部長
関根 久	NEDO 電子・材料・ナノテクノロジー部 統括研究員
吉木 政行	NEDO 電子・材料・ナノテクノロジー部 主幹
寺門 守	NEDO 電子・材料・ナノテクノロジー部 主幹
田谷 昌人	NEDO 電子・材料・ナノテクノロジー部 主任研究員
沖 博美	NEDO 電子・材料・ナノテクノロジー部 主査
井出 陽子	NEDO 電子・材料・ナノテクノロジー部 職員

<オブザーバー>

羽部 浩	経済産業省 化学課 機能性化学品室 研究開発専門職
------	---------------------------

<実施者>

宮内 克己	CASMAT 専務理事
川本 佳史	CASMAT 理事研究部長
田中 孝一	CASMAT 理事総務部長
大竹 輝夫	CASMAT 総務次長
船津 圭亮	CASMAT 研究部グループリーダー
玉置 洋一	CASMAT 研究部 グループリーダー
吉岡 睦彦	JSR 株式会社 研究開発部 主査
太田 克	JSR 株式会社 研究開発部 研究支援チームリーダー
田中 順二	住友ベークライト株式会社 技術部
番場 敏夫	住友ベークライト株式会社 電子デバイス材料研究所 研究部長
多田 昌弘	住友ベークライト株式会社 先行研究推進部 担当部長
富川 真佐夫	東レ株式会社 電子情報材料研究所()主幹研究員、リサーチフェロー
長瀬 公一	東レ株式会社 研究・開発企画部 主席部員
松本 貴志	日産化学工業株式会社 電子材料研究所 半導体材料研究部 主席研究員

畠山 恵一 日立化成工業株式会社 筑波総合研究所 主任研究員  
児嶋 充雅 日立化成工業株式会社 機能材料事業本部 企画部 企画担当部長  
山本 由起志 三菱化学株式会社 電子デバイスケミカルズ事業部 マネジャー

<企画調整>

中谷 充良 NEDO 総務企画部 課長代理

<事務局>

竹下 満 NEDO 評価部 部長

三上 強 NEDO 評価部 主幹

松下 智子 NEDO 評価部 職員

室井 和幸 NEDO 評価部 主査

一般傍聴者 1名



## 議事次第

### 【公開】

1. 開会、分科会の設置、資料の確認
  2. 分科会の公開について
  3. 評価の実施方法
  4. 評価報告書の構成について
  5. プロジェクトの概要説明
    - 5.1. 事業の位置付け・必要性、研究開発マネジメントについて
    - 5.2. 研究開発成果、実用化・事業化の見通しについて
    - 5.3. 質疑
  6. プロジェクトの詳細説明
    - 6.1. 研究開発成果について
- 非公開資料取り扱いの説明

### 【非公開】

- 6.2. 実用化、事業化の見通し（波及効果）について
  - 6.2.1. JSR 株式会社
  - 6.2.2. 住友ベークライト株式会社
  - 6.2.3. 東レ株式会社
  - 6.2.4. 日産化学工業株式会社
  - 6.2.5. 日立化成工業株式会社
  - 6.2.6. 三菱化学株式会社
7. 全体を通しての質疑

### 【公開】

8. まとめ・講評
9. 今後の予定、その他
- 10.閉会

## 議事内容

### 【公開セッション】

1. 開会、分科会の設置、資料の確認
  - ・開会宣言（事務局）
  - ・研究評価委員会分科会の設置について、資料1-1、1-2に基づき事務局より説明。
  - ・財満分科会長挨拶
  - ・出席者（委員、推進者、実施者、事務局）の紹介（事務局、推進者）
  - ・配布資料確認（事務局）
2. 分科会の公開について

事務局より資料 2-1～2-4 に基づき説明し、議題 6.2「実用化、事業化の見通し（波及効果）について」、議題 7.「全体を通しての質疑」を非公開とすることが了承された。
3. 評価の実施方法

評価の手順を事務局より資料 3-1～3-5 に基づき説明し、了承された。
4. 評価報告書の構成について

評価報告書の構成を事務局より資料 4 に基づき説明し、事務局案どおり了承された。

## 5. プロジェクトの概要説明

### 5.1. 事業の位置付け・必要性、研究開発マネジメントについて

推進者より資料5-1に基づき説明が行われた。

### 5.2. 研究開発成果、実用化・事業化の見通しについて

実施者より資料5-2に基づき説明が行われた。

### 5.3. 質疑

実施者より資料5-1および資料5-2に基づき説明が行われた。

**【財満分科会長】** ただいまの説明に意見、質問等をお願いします。技術の詳細は議題6で議論します。ここでは事業の位置付け・必要性、マネジメントについてのご意見ををお願いします。

**【辻村委員】** 5.1の資料で、材料は日本国内が70%のシェアを持つことはよく知られています。それゆえに、このプロジェクトが2003年から行われています。資料5-1の4番に、全体的には70%とあります。できれば今回の研究テーマであるLow-k、CMP、バッファコート、アッセンブリの4つに分けるとよいと思います。CMPはわかりやすいです。はっきりと31%しかないことが出ています。バッファコートは93%であることもわかっています。では、Low-k、アッセンブリはどうか。今回の4テーマに対して、何%であったのか。例えばCMPが31%しかなかった、だからやりがいがあるということになります。これを行うことでアップできるからです。ただ、99%あるものを研究する場合、どういう研究モチベーションがあったのか。つまり、シェアを上げるのではなく、何か新しいものが出てくるというディストラクティブな考え方を持ったのでしょうか。シェアが90%近いところと、30%しかないところでは、研究の必要性、事業化の位置付けはきっと違います。その数字が項目ごとに分かれているとよかったですと思います。

同じく、資料5-1の最後の21ページに、2.8億円の研究費で700億円の市場を狙ったので研究効率がよいと報告しています。これも、それぞれが何百億円のイメージで出されたのでしょうか。例えば、CMPもスラリー全体となると巨額になりますが、今回のこの研究対象に合わせるとこの程度です。ここで回答する必要もありませんが、シェアと市場という分け方をすると非常によかったと思います。これは、質問というよりコメントです。

これもコメントになるかもしれませんが、CASMAT I、IIの際にも申しあげた実用化についてです。川本さんが報告された21ページの部分だと思います。このCASMATで実施したものに対する実用化の成果と、これを持ち帰った組合員企業がそれを使った成果は明らかに額が違います。この何年間か実施したものだけで得られる成果よりは、成果を持ち帰り、事業化で増やしてもらえばよいわけです。例えばTEGが少し売れた、売れなかったということより、これによってどれだけ事業が増えたか。先ほどの700億円の中のどれだけを取ることができたかが重要です。評価基盤の実用化もテーマに入れるのですが、むしろ2番目の観点を期待しています。

CASMAT I、IIの時にも言いましたが、TEGを使って練習できるのはよいのですが、それがデファクトスタンダードになるともっと増えるという意味で、承継会社がこのTEGを販売しようとしたときに、デファクトスタンダードになっていないと売れません。それゆえ、年間90万円になってしまうわけです。それを月90万円にするには、どこに売ることができるか。これはNEDOの課題になるのかもしれませんが、海外に販売して良いのか悪いのか、それが最後に課題になると思います。2003年のときは国内だけをイメージしていた。しかし、2012年、さてどうするかを後半質問します。今は単なるコメントです。

**【財満分科会長】** 今のところはコメントということだそうです。

**【NEDO: 田谷主任研究員】** いろいろと貴重なコメントをありがとうございます。まず、最初の図に関して、これはいろいろ調べて難しかったということがあります。ご指摘のとおり、評価基盤の目的は、つ

くったものをいかに利用して材料メーカーが自分の事業に結びつけていくかです。その点は午後のセッションで各企業が説明しますので、活発な議論をお願いします。

【NEDO：和泉部長】 補足します。ご指摘の通り、あくまでも評価基盤の開発になっています。最終的に TEG がいくら売れたのが実用化と言われますと、最初に説明した目的と違います。各材料メーカーが評価基盤を持ち帰り、どれだけビジネスに近づけたかが実用化の評価にあたる部分です。具体的な数字は、各企業のビジネスにかかわります。午後の非公開セッションでお話できること、それでもお話しできないところがあります。さき程の 700 億円も、まじめに積み上げています。まじめすぎるのではないかとこのように計算していますが、どのように活用されるかが一番大事です。

TEG のライセンスは、基盤自体の持続性ということで説明しました。決して、TEG の売上をもって実用化の投資に対するリターンという評価を考えたわけではありません。ただ、開発された TEG も継続的に供給できる体制を組むことができると説明したかったのです。

【財満分科会長】 そのほかにありますか。では、私から、説明の内容で多少わからないところを質問します。まず、技術情報 B というものが出てきました。これはどういう内容のものですか。

【CASMAT：川本理事研究部長】 これは、どのような材料を使い、どのような結果が出たかという技術評価レポートです。

【財満分科会長】 自主事業の分は関係ないのですか。

【CASMAT：川本理事研究部長】 自主事業はほとんど関係ありません。新たにこのプロジェクトで実施している内容についてどういう評価ができたかを主に述べています。

【財満分科会長】 わかりました。それから、資料 5-2 の 23 ページについて、ここで、TEG の利用件数があがっているという説明がありました。CASMAT II でも TEG をつくっていますね。

【CASMAT：川本理事研究部長】 はい。

【財満分科会長】 これはどう読めばよいのですか。CASMAT II と CASMAT III で TEG の利用件数があがっています。CASMAT III にも CASMAT II でつくった TEG 等が入っているのですか。

【CASMAT：川本理事研究部長】 マスクとしては、ほとんどは CASMAT I、II でつくった TEG です。CASMAT III の TEG は、この中では 1 件か 2 件、あるかないかです。ほとんどは CASMAT I、II の結果で、このように使われたということを示しています。

【財満分科会長】 わかりました。もう一つだけ。評価基盤の構築で一番大切なものは、人材ではないかという気がします。それは、自主事業で実施している部分と、この中で実施している部分と両方あると思います。その辺りを少し、どのような体制で、参加している企業のスキル向上といえますか、そういうものに取り組んできたか、説明をお願いします。

【CASMAT：川本理事研究部長】 研究人員は 32 名ほどいます。組合員からは 11~12 名、各組合員の開発あるいは研究者です。そういう人が出向して来ています。

仕事の進め方は、各人の仕事は、一部が自主事業、一部がこのプロジェクトの事業というように配分しています。この人は 100% プロジェクトだけを行い、自主事業は行わないのではなく、すべての人が自社の材料の評価を行います。例えば TEG をつくります。また、ここで説明しているプログラム使用の対応を行う業務もあります。今回新たに評価基盤を構築するための研究という事業を各自が分担して進めてきました。専任者はなく、皆二重に働いてもらったという形です。

【財満分科会長】 たしか、CASMAT II の際には研修の受入れをした記憶があります。今回は実習ですか。

【CASMAT：川本理事研究部長】 実習のプログラムは今回の III ではありませんでした。

【財満分科会長】 わかりました。では、質問をどうぞ。

【桑田委員】 特許・知財関係の質問です。資料 5-2 の 15 ページについて、外国出願がないのは、何か意図してのことですか。材料関係のメーカーは国際的にも競争力があります。それをさらに強化するという意味で、今回のプロジェクトの外国出願は重要と思いますが、何か意図があったのですか。

【CASMAT：川本理事研究部長】 意図はありません。結果的にこうなりました。評価方法や、それをどうデバイスに使っていくかという特許が主で、その範囲の中では、外国に出願するに値しなかったと見ています。これは国内だけでまず大丈夫であろう、外国にまで評価方法として、特許性があっても、特許価値としてはそこまで出す必要はないと判断しました。

【桑田委員】 わかりました。今回の知財関係は承継会社に権利を移管するということでした。所有権は承継会社にあるとして、今回出願した知財の使用権は組合員に自動的に付与されるのですか。

【CASMAT：川本理事研究部長】 使用権は制限していませんので、組合員には使用権が当然あります。

【桑田委員】 さらに細かいことで申し訳ないのですが、例えば組合員がどこかにライセンスして、ある材料を下請に出す場合にも、そのライセンス権があると考えてよいですか。

【CASMAT：川本理事研究部長】 材料のつくり方や構成は CASMAT では出願していません。組合員自身が出願しているので、それは組合員それぞれの判断によります。評価技術と、その使い方が主であるため、特に制限することなく、使ってほしいと思います。

【桑田委員】 わかりました。

【財満分科会長】 そのほかどうぞ。

【石内委員】 TEG について質問します。資料 5-2 の 27 番のスライドで、TEG はライセンス先を選定して、ライセンス先から組合員へ提供することで、組合員は引き続き TEG を使って検討できるということだと思います。しかし、TEG をハードウェアだけでもらっても、評価の方法や評価のインフラ、データの解釈、そういう部分について組合員がサポートを必要とするときがあります。その際に、何らかの形のサポートがライセンス先から提供されるのか、それとも組合員が自前で TEG のデータ解釈や評価をするのか、お伺いします。

【CASMAT：川本理事研究部長】 基本的には自前での対応になります。そういうことのために使用したり、参考とする評価基準書を作成しています。これからまだ作成する分も多少ありますが、それを見ると、どういう装置の手立てが必要であるか、どう解釈してきたかがわかります。それらをベースに評価してもらおう。デバイスメーカーとの議論を通じて知識や技量が高まることも期待していますが、基本的には自前で、過去の評価基準書を参考にして進めてほしいと考えています。

【石内委員】 ありがとうございます。

【財満分科会長】 そのほかにご質問をどうぞ。

【平本委員】 私は CASMATⅢ から評価に加わりました。材料は日本が非常に強い分野です。それをさらに強くする CASMAT の取り組みには期待しています。私はデバイスが専門であるためデバイスメーカーとの付き合いが多いのですが、こういう新しい開発を行う際には必ず、どの世代を狙うのか。例えば 45 なのか、32 なのか、そういう話が真っ先に出て来ると思っていました。しかし、今回、そういう記述があまりありません。それはどうしてですか。

材料も、配線も、世代が進むと微細化し、評価方法も変わります。材料が変わっていくことで、世代によって戦略を考え直す必要があります。時間軸と世代ということに対して、このプロジェクトはどのような考えと戦略で取り組んできたか、教えてください。

【CASMAT：川本理事研究部長】 技術の世代について、CASMAT I と II ではターゲットを明確にして進めました。しかし、今回の CASMATⅢ ではデバイスの感覚を身につけて組合員の様々なポテンシャルも上げるということもあったので、特に世代を限定せずに、デバイスの評価を取り入れて、どういう新しいことが見えてくるか、あるいは、デバイス業界との議論をさらに高めていくことができるかを主にしました。技術世代、特に微細化には限定していません。

【平本委員】 わかりました。

【上野委員】 コメントかつ質問をします。まず、この事業は非常に有意義です。先ほど、波及効果の話がありました。人材育成の波及が、これを行う前と行った後では、やはり材料メーカーのデバイス評価

に対する知識が非常に増えたので大変有効な事業であったと思います。

ここにも述べられているように、課題は今後、それをどう維持していくかです。平本先生からご指摘があったように、世代が変わるとどうするのか。そういったところが課題です。

今後は、成果を各社が持ち帰り、ここで開発した知識を生かすとのことですが、何らかの形でそれを維持・強化することが重要です。何か組織的な取り組みとして、例えば研究会の設置などの工夫を行う必要はないか、ということが1点目の質問です。

関連して、成果の意義について。今回、具体的な成果として幾つかの評価方法を確立しました。これらを生かしていくには今後、標準化する、あるいは、もう少し改善するといった方向もあります。その点も継承会社に移して行うということですが、どのように行うのか、が2点目の質問です。

3番目は情勢変化への対応についてです。NEDOから説明があったように、主に経済的な理由でクリーンルーム等を維持できないとお話でしたが、ニーズ面での情勢変化があったのかどうか。今回、3期にわたってCASMATが果たした役割は非常に大きいと思います。大きな役割を果たしてきたことで一応良しとするのか。こういう事業は非常に重要です。今後継続して行ってほしいというニーズがなかったのかという点を教えて下さい。

**【CASMAT：川本理事研究部長】** 上野先生が言われた研究会などを使った取り組み方は、大変よいと思います。今、具体的などころを、事業承継会社を中心に、CASMATが終了しても、そういう組合員が集まり議論していく方向にしています。まだその議論まで入っていませんが、その中で、技術面での向上をどう図っていくか議論するように、今後はしていきたいと思います。

そういう中で、組合員が標準化やその方法の改善などに取り組んでほしい。今までの議論に加えて、技術面での改善について、承継会社を中心に議論を進めてほしいと思っています。

それから、状況の変化についての回答はNEDOからお願いします。

**【NEDO：田谷主任研究員】** こういう選択をしたのは、経済的なことから先生は言われましたが、それだけではありません。評価基盤は配線から始まり、CASMATⅢ、今回のプロジェクトでは半導体の全工程を含めた評価技術まで行ったことから、一つの区切りがあったということが1点目です。

2点目は、9年間行うことによって材料メーカーの知識も向上したことと、費用対効果、その辺りをトータルで考えてこの決断になりました。

**【CASMAT：宮内専務理事】** 1番目の質問に対して川本が答えましたが、1点だけ補足します。

我々の組合員がこの300mmΦの設備がなくなった後、どのように今までの技術を維持し、さらに、どういう展開をしていけばよいか、そのような議論をどうするのか、これは大変難しいご指摘です。1点は川本が申し上げましたが、もう一つは、協調と競争の考え方に基づいて、機能性材料メーカーが、もっと自分たちの競争力をアップしようということで、説明にもありましたが、LIBTECやCEREBAという技術研究組合ができています。このCEREBAの企画部門に我々の組合員も入っています。その中で、将来、半導体に限定していませんが、そういう機能性材料の評価技術として何を行うべきか、どういう方向に進むべきか議論を進めています。その中にはシリコン系の材料もあります。どの方向に進むのか、決まったわけではありませんが、今後、そういう中でも議論が進むと思います。我々としても期待しています。

**【財満分科会長】** LIBTECやCEREBAについて私は存じ上げません。今の説明に関連して、それらは両方とも材料メーカーが主体になってつくるコンソーシアムですか。もう少し説明をお願いします。

**【CASMAT：宮内専務理事】** LIBTECはリチウム電池用の材料の評価技術を開発することを目的として、関西の産総研の建物を中心に展開しています。

CEREBAは有機EL材料の評価技術ということでスタートしています。ただし、最初の材料に限定することなく、材料の評価技術を協調と競争の考えで進めることは重要との考えの下、経産省主導で、さらに競争力強化を図るにはどういう方向に進めばよいか、今、議論し始めています。

【NEDO：和泉部長】 補足します。CASMATの前にアプリケーションを意識した評価の基盤をつくるプロジェクトはありませんでした。このプロジェクトで初めて材料メーカーが中心になって取り組みました。先を見て、評価をどう受けるか考えるプロジェクトを始めようということを進めました。あるところまで進めた結果、そういったプロジェクトの有効性が認識されてきました。今、例に挙げた2つのプロジェクトはいずれもアプリケーションの部分がありますが、それに提供される材料の立場から評価を行おうとして始まったということです。そういう意味で、CASMATはこれまでとは違った新しい流れのプロジェクトを先駆的に実施したという位置付けであると理解しています。

【財満分科会長】 そのほかにかがですか。

【桑田委員】 CASMATⅢの事業目的について、今回、TEGと材料評価基準書を最終的につくることをターゲットに進めてきました。この中身をどういうふうにするか、材料メーカーとデバイスメーカーが、どういうワークブルな組織にしてターゲットを設定していったのか、抜けがあっても引き返すことが難しい中で、抜けがないように、かつ、フロントエンドも含めてTEGおよび評価基準書を作成していくマネジメントを行ってきたのですか。

あと、反省点というか、次につながる場所は承継会社に行くのかもしれませんが、改善すべき点としてどのようなものがあったのか、教えてください。

【CASMAT：川本理事研究部長】 材料評価で抜けがないようにするのは難しいのですが、各研究者が、どういうところが一番重点かを、これは私どももいろいろな学会等で勉強しました。あとは材料メーカー自体が顧客を訪問しどういう評価が必要か、顧客の意見を取り入れて進めてきたつもりです。抜けがないと言われると、必ずしもないとは言えません。そのときに、あるいは、そういう材料をビジネスとして扱う段階で必要な評価はどこかということを進めてきました。

今後の改良についてですが、先ほど申しましたように、事業承継していく中で、今まであまり議論していませんでしたが、上野先生のお話にもありましたように、どのようにしていくか、今後こういう技術について、組合員であった方々と協議する連携の体制はできています。それを活用して、どのようにしていくか議論を進めていきます。

【桑田委員】 わかりました。

【財満分科会長】 よろしいですか。もう少し時間があるようですが。

【CASMAT：宮内専務理事】 今後、プロジェクトをいかによくするか、改善点はないかというご指摘に対して、プロジェクトの中で議論し、合意に至っているものではありませんが、私の個人的な考えを発言してよろしいですか。

私は、CASMATⅢから参画しました。CASMAT I、IIの時代はよく存じあげません。今日ご覧になってもおわかりだと思いますが、CASMATの材料評価は、材料がどういう組成なのか、私たちは一切知りません。コード名でしか知りません。コード名で、外側から見たときに、どのような性質があるかしかわかりません。それで300Φの中で使われる評価技術を開発しています。それではやはり限界があります。もう少しわかれば、評価技術が高度化できますが、それができません。競争している材料メーカーのノウハウなど様々なものが入っているためできない。結果として、靴底から足の裏をかくような研究開発に取り組んでいます。

私の個人的な感覚ですが、もう少し材料メーカーが歩み寄り、もっとオープンに情報を出すことができれば、より強い評価技術になると思います。ただ、これは企業それぞれの方針があるため、簡単に解決できる問題ではありません。CASMATがスタートしたときに皆さん疑心暗鬼だったと聞いています。それが、今のようになり、かなりのところで言い合いができるようになりました。協調と競争といいながら、かなりのところで協調できるようになってきている。CASMAT I、IIを実施したことで大きな進歩があったと思います。

もう少し材料をオープンにできれば、もっと強い材料技術開発ができるのではないかと、材料評価

技術開発ができるのではないかと。後継プロジェクトで検討していただければと思います。

かなり矛盾ある発言かもしれませんが、私の希望といたしますか、感想です。

【財満分科会長】 質問は大体よろしいですか。それでは、ありがとうございました。ほかにもご意見、ご質問等あるかもしれませんが、午後にプロジェクトの詳細内容について説明していただきます。その際にご質問いただければと思います。ここで、午前中の部を終了といたします。

## 6. プロジェクトの詳細説明

### 6.1. 研究開発成果について

実施者より資料 6-1 に基づき説明が行われた。

【財満分科会長】 ありがとうございました。ただいまの説明に、ご意見、ご質問等、よろしくお願ひします。

【辻村委員】 36 ページの水洗中の光照射の有無による腐食は光フォトコロージョンということによいと思ひます。37 ページの洗浄剤のときと 38 ページの濃淡のときは、光は遮断されていますか。

【CASMAT：川本理事研究部長】 37 ページは全部光をあてています。38 ページは CMP 中のものです。後の洗浄は光を遮断しています。

【辻村委員】 研磨中も光を遮断していますか。

【CASMAT：川本理事研究部長】 研磨中は光が多少入ってきます。ただ、下を向いているので。

【辻村委員】 あえて遮断はしていないということですね。

【CASMAT：川本理事研究部長】 今のところは、あえて遮断はしていません。

【辻村委員】 了解しました。

【財満分科会長】 そのほかにございますか。

【桑田委員】 16 ページの比誘電率の差について質問します。リングオシレータで測定したときと単層膜の比誘電率の差は、例えばくし形のドライエッチングでの側壁のダメージとか、何かそういうもので理由がつくのか。それとも、単層膜の比較というのは、同じパターンで、単層膜で、低周波で測定されたときの話なのか、べた膜なのか、どちらですか。

【CASMAT：川本理事研究部長】 単層膜は、ブランケットのウェハー上にそのまま膜を形成したものを 10 OKHz で測定した比誘電率です。水銀プローブで測定した比誘電率です。

【桑田委員】 リングオシレータの容量として、CR の負荷としての C のためにつくったくし型のパターンとは別ですか。

【CASMAT：川本理事研究部長】 同じ材料を使っていますが、全く別です。リングオシレータのものは C u の 2 層配線まで行ってアルミのパッドを付けています。そういうときの第 1 層目の下のくし型の容量が幾らになっているかと。

【桑田委員】 くし型のパターンをドライエッチングして、その後、回復処理をしたときに側壁部のダメージが入って、比誘電率が重く見えているという解釈でよいですか。

【CASMAT：川本理事研究部長】 はい。ドライエッチング・アッシングによるダメージと、実際に素子を組み立てていますので、キャップの膜を付けるときのダメージと、その 3 つが混合して入っています。

【桑田委員】 大方その項目でこの違いが説明できるというお考えですか。

【CASMAT：川本理事研究部長】 はい。それぞれのシミュレーション的な各材料の比誘電率で計算すると、このくらいになると見えています。

【桑田委員】 わかりました。

【平本委員】 今のページですが、午前中の説明でも、この部分が最も大きな成果であったので質問します。リングオシレータを用いれば容量が求められそうであることは比較的簡単にわかります。これは補

正方法にノウハウがあるのですか。

【CASMAT：川本理事研究部長】 もちろん補正方法にも、実際の形状に対して、その抵抗を使って行うという効果があります。普通のリングオシレータを組むよりは、わざわざ負荷容量として大きなものを付けて評価することを、今までデバイスメーカーではあまり行っていません。デバイスメーカーで測定しているのは、標準的に多層配線を組んで、どの材料で組んだものが最も速いかということです。このように材料の影響を評価するという意味で、わざわざそれを負荷容量に付けるというのは今までなかったという意味で、初めてだと判定しました。

【平本委員】 わかりました。これは配線抵抗値が変わっているのですか。これもダメージのせいですか。

【CASMAT：川本理事研究部長】 配線の加工のわずかな寸法を補正したものです。それから CMP 後の配線の高さが変わっています。その分はちょうど配線抵抗の比率になってくるので補正しました。

【平本委員】 わかりました。手法として実効的な比誘電率が求められる。そのオリジナル性が高いということですね。このページはそれによりダメージがわかるというもう一つのことを言っているのですか。

【CASMAT：川本理事研究部長】 はい。

【平本委員】 このダメージと比誘電率はどういう関係にありますか。

【CASMAT：川本理事研究部長】 これも相対的な話です。単層で何もダメージを受けない無垢の比誘電率を想定した場合と実際に測定した場合ではどの程度変動しているか、ダメージが大きいのか、小さいか、判定できます。

【平本委員】 これはどこにダメージが入って、電氣的などのパラメータが変化したと言っているのですか。

【CASMAT：川本理事研究部長】 比誘電率が上がったということです。

【平本委員】 ダメージがあると誘電率が上がるのですか。

【CASMAT：川本理事研究部長】 あがります。

【平本委員】 その理由はどうしてですか。

【CASMAT：川本理事研究部長】 Low-k 材料をつくっている CH<sub>3</sub> 基などの結合基が切れて CO の結合基になります。もう一つは水を吸着しやすくなり、水による誘電率の上昇が起こります。これらのことから一般にはダメージで誘電率が上がります。

【平本委員】 なるほど。このダメージは Low-k ならではのダメージですね。

【CASMAT：川本理事研究部長】 そうです。絶縁膜は大体そうです。

【平本委員】 わかりました。どうもありがとうございます。

【財満分科会長】 そのほかにありますか。

【上野委員】 65 ページのフリップチップ型パッケージでの評価の剥離耐性係数について、この剥離耐性係数を見れば剥離しやすい、剥離し難いかわかると説明がありました。どのように見るのですか。

【CASMAT：川本理事研究部長】 一番下の段に「剥離耐性係数」と書いてあります。これが 30 を超えると剥離が起こらないと見えています。それ以下では剥離が起こりやすく、20 ぐらいになると剥離が頻発すると見えています。材料の開発としては適度に弾性率を低くして密着力を上げる。それぞれの弾性率と密着力は、こういうフリップチップを組まなくても小さなパターンをつくって評価できます。それらを実測した後でその計算を行い、30 以上にする必要のあるパッケージか、あるいは、そうではないパッケージか判定できると考えています。

【上野委員】 30 以上が剥離しないということについて何かデータがありますか。

【CASMAT：川本理事研究部長】 別の物理的な何かから持ってきているわけではなく、経験的にこの値で持ってきています。

【上野委員】 どうもありがとうございました。

【財満分科会長】 では私から。51 ページです。分極電荷を求めています。これはどういう電荷になりますか。これは電流を流しているのですか。



【CASMAT：川本理事研究部長】 電流は流していません。

【財満分科会長】 加えたときに制限電流があります。これは垂直に流れている分ではないのですか。

【CASMAT：川本理事研究部長】 流れている電流ではなく、一定時間、ここでは十分に長い時間で30秒くらいプラス電圧をかけてしきい電圧を測定し、それからマイナス電圧をかけてまた反転させてしきい電圧を測定することを繰り返したときに、どの程度の電荷量が分極電荷としてあれば、そういうしきい電圧とうまく辻つまが合うかということから出している値です。

【財満分科会長】 まだ理解できませんが、そのときに Low-k 膜を介してこの印加電圧を見ると、流れるような気がします。もし Low-k を介して流れているとすると、導電率と誘電率で決まる電荷が界面にたまるはずで、電流を一定にするためには電荷がたまらないといけないと思いますが、一定電流が流れていると、その状態で電荷がたまると思いますが、そういう影響はないのですか。

どの程度の電流が流れているか問題だと思います。

【CASMAT：川本理事研究部長】 私の考えでは、定常電流はゲート電極から基板に流れていないと見ています。過渡電流としては流れるかもしれませんが、過渡電流はつかまえていません。

【財満分科会長】 過渡電流をつかまえていないのですか。

【CASMAT：川本理事研究部長】 はい。

【財満分科会長】 たぶん、それをつかまえると、もう少し評価ができると思いました。

【CASMAT：川本理事研究部長】 そうだと思います。過渡電流は、今のところはつかまえていません。

【財満分科会長】 そうすると、Low-k 材料の導電率と誘電率の両方をミックスした情報が入るので、それとほかのものを組み合わせると、もう少し違う評価ができると思ったものですから、わかりました。

そのほかにはよろしいですか。いろいろ出てきたので、頭の中の整理が私もまだできていません。少し振り返りながら、委員の皆様、見ていただければと思います。

【桑田委員】 65 ページの「各バッファークートの物性と剥離耐性の比較」のところで、BC7、BC2、3、5とあり、これらのキュア温度が書いてあります。今回、この TEG をつくる上で、バッファークートのキュアだけはこの熱処理ですか。例えば、バッファークートは2層あると思いますが、BCの1層目、2層目ともに、例えばBC5とすると、全部200度の熱処理で行われていますか。

【CASMAT：川本理事研究部長】 はい。今は、低温側は200°Cで行っています。320°Cのほうは、第2層目は315°Cくらいに下げる場合もあります。

【桑田委員】 疑問に思ったのは、この程度のキュア温度で密着性がよくもつなということです。

【CASMAT：川本理事研究部長】 密着力はよく問題になるため、材料メーカーが工夫して高めているのだと思います。

【桑田委員】 純粋に62ページにのっている構造ですね。BC1層目の上にCu配線をつくり、その上にBC2層目を同じ材料で、かつ、同じような200°C近辺の温度でキュアしたのですね。

【CASMAT：川本理事研究部長】 はい、そうです。

【桑田委員】 わかりました。ありがとうございます。

【財満分科会長】 金属汚染で、バイアス処理だけにしているのは簡単にするためですか。

【CASMAT：川本理事研究部長】 はい。まだいろいろな評価方法を今も継続して進めています。アルカリ金属については温度をもう少し上げたほうがよいであろうということで、100°Cくらいに上げています。その場合も、先ほど、寄生MOSの繰返し測定を行いました。繰返し測定を行い、その変化量を見ていくほうがよりはっきりするというので、その方法も検討しています。この報告書を出す段階では、この方法で第1ステップとしては評価できたということで載せました。

【財満分科会長】 わかりました。汚染量としては、これで見る範囲では少し厳しいと思いますが。

【平本委員】 追加の質問です。30ページの応力の計算について非常に不思議な方法で応力をかけているようです。これで圧縮と引っ張りの両方をかけられますか。

- 【CASMAT：川本理事研究部長】 表面が凸になると、表面側の抵抗素子が引っ張り応力を受け、凹になると、圧縮応力を受けることとなります。
- 【平本委員】 要するに、両方をやっているということですか。
- 【CASMAT：川本理事研究部長】 はい、そうです。
- 【平本委員】 これは針を落としたままですか。
- 【CASMAT：川本理事研究部長】 30 ページのように曲げた後に針を落としにいきます。その場合、プローブを当てにいきますので力をかけて曲げるところのほぼ中央付近にある素子しか測定できません。
- 【平本委員】 これはチップに切ってから行っているのですね。
- 【CASMAT：川本理事研究部長】 はい。
- 【平本委員】 これをウェハーで行えばそういう問題は起きません。チップで行うと確かにそういうことになると思います。
- 【CASMAT：川本理事研究部長】 もっと良い治具をつくれれば、自由にいろいろなことができると思います。
- 【平本委員】 次の 31 ページでは横軸を MPa で求めています。これはどう計算しますか。
- 【CASMAT：川本理事研究部長】 この場合は 1 軸性の応力で、単純にシリコンのベンディングでどれだけ伸びるかという伸びた量から、ポリシリコンなりそれぞれのヤング率で応力を計算します。
- 【平本委員】 これは膜厚に依存しますね。それで求めているということですか。
- 【CASMAT：川本理事研究部長】 はい。
- 【平本委員】 わかりました。これがもとになって、パッケージングしたときのリングオシレータのスピードの議論が出てきます。これは抵抗のせいではないかと説明されました。ここで少し電氣的な質問をします。このリングオシレータのスピードは何で決まっていますか。トランジスタではなく、抵抗がより支配的にきく設計になっていますか。
- 【CASMAT：川本理事研究部長】 どちらかという、抵抗のほうがセンシティブだと思います。このリングオシレータは、いろいろなばらつき要因を解析していくと、トランジスタの n 層の抵抗が少し上がる、ポリシリコンの抵抗が上がるなど、いろいろなことでスピードは変化します。
- 【平本委員】 そうすると N 型のトランジスタのオン抵抗と、負荷である抵抗と、どちらが大きいのかという質問です。今の回答ですと、抵抗のほうがきいているということなので、抵抗が少し大きめにできているというイメージですか。
- 【CASMAT：川本理事研究部長】 抵抗は大きくなったと見ています。
- 【平本委員】 何と何を比べて大きくなったのですか。
- 【CASMAT：川本理事研究部長】 最初の、何もしていないウェハー状のものから、パッケージを組んだときに抵抗が上がった。その影響でリングオシレータのスピードが落ちたということです。
- 【平本委員】 それは、リングオシレータの設計が十分に抵抗できくケースに限ると思います。トランジスタのほうがよほど遅ければそうはなりません。そのため、どのような設計をしたのですか。
- 【CASMAT：川本理事研究部長】 設計の詳細は別に専門家がいます。抵抗の分布を見たものと、リングオシレータのスピードを見て評価しました。スピードに対して 3 分の 1 ぐらいの抵抗のきき方です。
- 【平本委員】 定量的には 6%パッケージングしてスピードが落ちたのに対して、抵抗値が 4%ですから、すべてが説明できていると言われているのですか。
- 【CASMAT：川本理事研究部長】 いえ、それだけではまだできなくて、ほかの要因もあると思います。
- 【平本委員】 わかりました。ありがとうございます。
- 【財満分科会長】 ほかにご質問ございますか。
- 【辻村委員】 また研磨について恐縮ですが、先ほどの 36 ページから 39 ページで、一般的に P-N 接合があり、光にさらされていけば光コロージョンがあると説明がありました。応用物理学学会がこれかなので話しづらいかもしれませんが、その場合であっても、洗浄剤で防食剤がある場合には、表面

が防食されているとイオンが行きにくい、そのようなことでされているわけですね。一方、ひっくり返して光が通らないはずなのに、濃淡があれば濃淡によるコロージョンが起こるという順序でできています。そうすると、一番新しい話の37ページのところが今回発表される、今の表面改質によって洗浄剤によるコロージョンが起きにくくできるということが結論になっているのですね。

【CASMAT：川本理事研究部長】 はい。

【辻村委員】 ありがとうございます。

【桑田委員】 研磨のときのアンテナのチャージアップダメージや、バックサイドからの汚染をほどこしたときにどの程度VTが動くか、その感度がTEGに使っているゲート絶縁膜の膜厚に依存すると思います。最初はゲート膜が結構厚いもの、10ナノ程度のものを使い、その後、6.5ナノに変えています。その最適点、例えばVTの動きを見るならばこの程度、アンテナTEGであればこの程度が一番感度がよい、そういうチューニングが必要ですか。逆に言うと、どのようにして選んだのですか。

【CASMAT：川本理事研究部長】 その辺はあまり選択の余地がありません。依頼するフロントエンドを持つプロセスに合わせざるを得なかったというのが実情です。本当は同じものをつくりたかったのですが、つくるところが違います。同じものに合わせるができなかったということです。

どれが一番適切かは、午前中に平本先生がご指摘されたように、どの世代にチューニングするかで決めていかざるを得ません。どれくらいが一番よいかということはありません。

N型とP型のチャージアップTEGはどちらがよいか、それはプラズマでゲート側にプラスが乗りやすいのか、マイナスが乗りやすいかによって判定できます。膜厚はトランジスタのサイズをどの世代に合わせるかにより変わります。

【桑田委員】 わかりました。

【財満分科会長】 よろしいですか。では、大体よろしいようですので、次に進みます。

#### 非公開資料取り扱いの説明

評価部より資料2-4に基づき説明が行われた。

#### 【非公開】

- 6.2. 実用化、事業化の見通し（波及効果）について  
省略

#### 7. 全体を通しての質疑

省略

#### 【公開】

#### 8. まとめ・講評

【財満分科会長】 これからの議題は公開となります。ここから先の皆様のご発言は議事録に記載しますので、ご留意をお願いします。実施者、一般傍聴の方が入室しますので、しばらくお待ちください。

(実施者・一般傍聴人等入室)

【NEDO：室井主査】 皆さんがおそろいになる間に、CASMATに何か質問がありますか。

【財満分科会長】 では、CASMATに何か質問がありますか。

【上野委員】 今回、CASMAT I、IIも含めていろいろあったので、CASMAT IIIについて分解して理解しているわけではないのですが、CASMAT IIIで開発したTEGの共通化、標準化という観点、浸透という面ではCASMAT I、IIに比べると、時間的なこともあるのかもしれませんが、私は、まだこれ

からという印象を持ちました。そのような理解でよいですか。

【NEDO：室井主査】 ここは公開ということでよろしくをお願いします。

【CASMAT：川本理事研究部長】 CASMATⅢのTEGは、組合員はごく一部、CASMATで行う実験等に使用した程度です。この浸透は、これからと考えています。幸か不幸か、今後、TEGのライセンス先では、そういったマスクもつくっています。そういうことで外注の形で今回は進めました。特にフロントエンドTEGは、ライセンス先から手に入れることが可能になると思います。

問題は、バックエンドをどこまで、自分たちあるいは関連するデバイスメーカー等と連携して進めていくかです。フロントエンドの部分は比較的スムーズに手に入れることができます。若干高価で、20万円とか30万円しますが、入手は可能と考えています。

【財満分科会長】 そのほか何かありますか。

【NEDO：室井主査】 いらしていない実施者の方がいますが、どうでしょうか。

【NEDO：田谷主任研究員】 始めてください。

【NEDO：室井主査】 では、まとめをお願いします。

【財満分科会長】 それでは、講評をいただきます。平本先生から順に始めて、私で最後とします。

【平本委員】 私はCASMATⅠとⅡのことを詳しく知りませんでしたが、今日一日お話を聞いて、CASMATⅠとⅡがあつてこそそのCASMATⅢであることがよくわかりました。ⅠとⅡの成果が出ていることがわかりました。よく2003年の時点でこれだけの仕組みが出来上がったと感銘しています。2003年時点で日本の材料メーカーは世界でも強かった。本当に強いものをより強くする仕組み、日本としては珍しいと思います。強すぎると弱くなる例が多いのですが、それをしっかり構築したこと。それから、材料メーカーが材料メーカーの枠を越えてデバイスメーカーの中に入り込み、一緒に進めた。こういうことができるのが本来の日本の強みであったはずですが、材料メーカーも、装置メーカーも、デバイスメーカーも、全部一つの国にあるので、それを生かす仕組みをつくった。半導体産業も、日本の産業界も、この仕組みは見習うべきところが多いと思います。

今も議論になっていましたが、今後はどうするのか。2003年の時点で材料メーカーは既に強かったわけですから、国の中に閉じこもることなく、昔から海外へ打って出ました。それが、ほかの産業やデバイスメーカーが見習うべきところですが、ますますグローバル化が進むわけですから、海外のグローバル化は避けて通れない自然の流れです。今後は、さらに海外への進出を展開し、強くする仕組みをつくっていく必要があります。半導体産業全体を考えると、材料メーカーだけではなく、日本全体がどうなるかまで考えて、デバイスメーカー、装置メーカー、材料メーカー、全てをあわせた上で、この産業界を強くする仕組みをつくっていきたい。そういうリーダーシップをとる実力が日本にはあります。今後、こういう議論を、私も仲間に入れていただいて、行わせてほしい、そうなることを期待します。

いずれにしても、CASMATに関しては非常に良い仕組みで、終わるのがもったいないという気持ちです。今後もぜひ、強い材料メーカーでいてほしいと思います。以上です。

【辻村委員】 この中の何人かは、2003年より前からこの件をご存じの方もいらっしゃると思います。私も、2003年にCASMATができる前から本件は存じています。時代にうまくマッチングしてこれを選んだと思います。今、平本先生が言われたように、当時から、世界の70%のシェアを持っている強い部分をもっと強くしようという考え方が一貫して流れています。CASMATⅢまでその考え方が一貫して流れていたことが1つ目。それが9年間続いた理由だと思います。

時代にうまくマッチングしたというのは、2003年のCASMATⅠのころは、ちょうど多層配線でCMPが流行していた時代です。当時は一番若手で、デバイスメーカーの中で優秀な人が研磨と洗浄、エッチングに携わりながら、多層とともに育ってきたころです。CASMATⅠでは多層のTEGをつくった。CASMATⅡではトランジスタまで、CASMATⅢではパッケージまで入れた。次を予

想すれば、既に考えていたと思いますが、時代に合った 3D 集積化まで考えながら進めていたと思います。時代にうまくマッチングさせながら、一貫して強いものをつくりあげるところが、このプロジェクトの良かった点ではないかと思っています。

2つ目に研究開発のマネジメントです。9年前を振り返ると、装置メーカーも、材料メーカーも、デバイスにうまく慣れていなかったし、デバイスメーカーもオープンではないところがたくさんありました。その枠を広げるという意味で、まず私たちが常識を覚えなければいけない、教育してもらいが必要がありました。各コンソーシアムの役目の一つに、そういう教育を行うということがあったと思います。9年間、一貫してうまく教育してくださった。材料ですから、必ずスクリーニングをしなければいけない。そのスクリーニングが非常にうまくできていた。それを通じてうまく協業できた。これもマネジメントの良さではないかと思っています。

言うまでもなく、成果はいろいろと出たものあり、出なかったものありです。しかし、出なかったものも含めての成果だと思います。開発ですから、ヒット率が2割あれば立派なものです。2割良いものが出たら、8割悪いものを出しても、その8割の悪いものも良い成果であると良い評価をしています。

実用化や今後のことですが、9年の間に CASMAT でつくった TEG よりも、午前中も言いましたように、事業で大きな成果が出ればよいわけです。現実はこの9年間で、それぞれの方がそれぞれの成果をあげていると思います。それが良い成果であると思います。これが9年間の CASMAT の良い点と思いつつながら、歴史の証人として、いかにも過去のように言うてはいけませんが、私としては過去9年間を振り返りました。今回は CASMATⅢの評価であると百も承知していますが、2003年から見ていた私としては、その先も含めて、まとめてみたい気になりました。

**【桑田委員】** 今日、一日どうもありがとうございました。私たちデバイスメーカーにとって、材料の選択を間違えると命取りになります。私もプロセスインテグレーションの仕事に携わっていました。材料の選択が間違っていなければ、努力すれば期日までに立ち上がります。しかし、材料の選択を間違えると、いくら努力しても期日どおりにプロセスが立ち上がりません。そういう意味で、この CASMAT で 300mm の材料として評価したものを材料メーカーが提案することは、デバイスメーカーにとって大変ありがたいことです。そういうマインドをもって事業に結びつけ、将来、これだけ伸ばしていきたいという夢があります。先ほど 3D の話もありましたが、MRAM にしろ DRAM にしろ、低温が必要な機能デバイスは今後大事になってきます。それが既にかなり開発が進んでいたということでした。将来にわたって大変期待できると思いました。

あと、今回、CASMATⅢが終わるということでした。今、国際的にも強い材料メーカーがこれから将来にわたって勝ち続ける仕組み、競争力を維持する仕組みも、関係する皆さんで考えていかなければいけないと思います。そのことについては、事あるたびにぜひディスカッションしていきたいと思いますので、よろしくお願いします。今日はどうもありがとうございました。

**【上野委員】** 本日は、長い時間、どうもありがとうございました。僭越ですが、今日お話を伺って、感想を述べます。CASMAT の活動が、製品開発への活用や材料メーカーの人材育成に役立ったということを知り、非常に有効なプロジェクトであったと思います。

皆さんがご指摘されたように、得た技術基盤を今後も維持・活用していく仕組みが重要です。各企業が持ち帰って 300mm 装置を購入する、TEG を活用する方法で継承するという説明でした。私は今回できた人材育成面の横のつながりを継続し、議論の場を何らかの形でつくるのがよいと思います。例えば、お金がかからない形で研究会を開催する、TEG 利用協議会のようなものを作ることができればよいと思います。CASMAT で開発した評価法や TEG はブラッシュアップが必要です。評価の基盤は、ある意味で協調分野でもありますから、そういうことが可能であると思います。

説明を聞き、CASMAT I、II の成果が浸透している状況を感じました。しかし、CASMATⅢは

これからという感じがしました。今後、共通化、標準化、あるいは TEG を直していくという点での展開が問題であると思います。その点をこうした活動で補っていくことを期待します。

【石内委員】 今日是一日ありがとうございました。お話を伺って、CASMAT という組織が、本来は競合する材料メーカーを束ねた上で、共通性の高いところをうまく定義して、お互いの利益になる部分は協力しようという形で良い運営ができた。それが CASMATⅢにつながっていると思います。プリコンペティティブの領域での研究開発という言葉があります。CASMAT はそれを具現化して、非常によく実行された一例であると思いました。川本理事をはじめ、CASMAT を利用された方々、NEDO のサポートとご指導が非常によかったと思います。

話を聞くにつけ、今後のことが、ある意味気がかりです。さらなる発展を期待して、今後について感想を 2 点述べます。1 点は、CASMATⅢまでの成果は、少なくとも参加メンバー各社にとって共有財産であるということです。これはまぎれもない事実です。各社が成果を持ち帰り、発展させてほしいと思います。もう 1 点は、共通の基盤になったということは、同じ土俵に立って先のことを議論できるということです。CASMATⅢの成果を各社が持ち帰ると同時に、もし可能性としてあり得るのであれば、CASMATⅢまでの成果を踏まえた上で、次の競争環境に立ち向かうために、次のプリコンペティティブな領域を定義して R&D を行う基盤もできたと思います。さらなる発展を目指して議論を続けてほしいと思います。

【財満分科会長】 最後に私ですが、委員の皆様が言われたとおり、競争相手が協調の部分を中心にしながら、I 期、II 期、III 期と続けてきたことは、いろいろな意味で大変な努力があったと想像します。この点に関して、ご関係の方々に敬意を表します。また、I 期、II 期、III 期と内容的に発展する形で続けることができたことも、マネジメントの一つの成果であったと思います。

今後が非常に大事です。評価技術、評価環境、そういったものの大切さ、あるいは、こういうコンソーシアムで行うことの意味を大事に思っていると私には見受けられました。様々な形、先ほど、研究会というお話もありました。主体的にそういうつながり、そういうものの重要性も発展させてほしいと思います。それから、9 年も続くと、社内にかかなりのナレッジが蓄積されていると想像します。それは非常に大きな財産です。ぜひ、それらをうまくつなげてほしいと思います。

もう一つは、研究開発環境、日本の環境と言ってもよいのですが、それが変わってきています。今後のそういう競争に対して、今までとは少し違う形をつくらざるを得ません。それがどういうものか、いろいろな議論があると思います。特に NEDO をはじめ、協業しながら国際的な力をつけていくか、その仕組みをぜひいろいろところで皆さんと議論したいと思います。

最後に、大学にいる者として、この 3 年間の CASMAT の成果に関して、大学があまり貢献しなかったことが若干心残りです。それは大学にいる者の反省点なのかもしれません。

以上のようなことを考えながら説明を聞きました。本日はどうもありがとうございました。

## 9. 今後の予定、その他

### 10. 閉会

## 配布資料

資料番号	資料名
資料 1-1	研究評価委員会分科会の設置について
資料 1-2	NEDO技術委員・技術委員会等規程
資料 2-1	研究評価委員会分科会の公開について (案)
資料 2-2	研究評価委員会関係の公開について
資料 2-3	研究評価委員会分科会における秘密情報の守秘について
資料 2-4	研究評価委員会分科会における非公開資料の取り扱いについて
資料 3-1	NEDOにおける研究評価について
資料 3-2	技術評価実施規程
資料 3-3	評価項目・評価基準
資料 3-4	評点法の実施について (案)
資料 3-5	評価コメント及び評点票 (案)
資料 4	評価報告書の構成について (案)
資料 5-1	プロジェクトの概要説明資料 (公開)
資料 5-2	事業の位置付け・必要性、研究開発マネジメント プロジェクトの概要説明資料 (公開) 研究開発成果、実用化・事業化の見通し
資料 5-3	事業原簿 (公開)
資料 5-4	事業原簿 (非公開)
資料 6-1	プロジェクトの詳細説明資料 (公開) 研究開発成果について
資料 6-2	プロジェクトの詳細説明資料 (非公開) 実用化・事業化の見通し (波及効果) について
資料 6-2-1	JSR (株)
資料 6-2-2	住友ベークライト (株)
資料 6-2-3	東レ (株)
資料 6-2-4	日産化学工業 (株)
資料 6-2-5	日立化成工業 (株)
資料 6-2-6	三菱化学 (株)
資料 7	今後の予定

以 上

## 参考資料4 評価結果の反映について



評価結果を受けた今後の取り組み方針について

評価における主な今後の提言	今後の取り組み方針
<p>CASMAT による材料評価の基盤構築により、日本の材料メーカーが競争力を持つ仕組みができたが、CASMAT 終了後も、競争力を維持・増強できる仕組みが必要である。</p> <p>300mm への対応は奏功したが、450mm への対応に関しても、どのような対応がさらなる競争力向上に必要なのか、今から考える必要がある。現状で我が国の材料メーカーは世界的に確かに強いが、今後も国内に閉じていては次第に世界から取り残される結果となる可能性が高い。新たな枠組みでは、世界に門戸を開きつつ、我が国の材料メーカーの強みを最大限に発揮して我が国がリーダーシップを発揮できるような戦略が強く求められる。</p>	<p>CASMAT 終了後も、①TEG、②材料評価基準書、③評価方法に関する特許について、国内材料メーカーが引き続き利用できる仕組みを構築し、現在も活用頂いている。また、本プロジェクトを通じて得られた成果を活用して、プロジェクトに参画した各材料メーカーにおいて、既存顧客への対応だけでなく新規顧客の開拓等に活用されている。なお、我が国材料メーカーの競争力強化に向けた取り組みについては、引き続き業界動向・各企業の戦略等を踏まえた上で、経済産業省と共に検討を進めている。</p>

本研究評価委員会報告は、独立行政法人新エネルギー・産業技術総合開発機構（NEDO）評価部が委員会の事務局として編集しています。

平成24年11月

NEDO 評価部

部長 竹下 満

主幹 三上 強

担当 加藤 芳範

\* 研究評価委員会に関する情報は NEDO のホームページに掲載しています。

([http://www.nedo.go.jp/introducing/iinkai/kenkyuu\\_index.html](http://www.nedo.go.jp/introducing/iinkai/kenkyuu_index.html))

〒212-8554 神奈川県川崎市幸区大宮町1310番地

ミュージアム川崎セントラルタワー20F

TEL 044-520-5161 FAX 044-520-5162