

「低炭素社会を実現する超低電圧ナノエレクトロニクスプロジェクト
ト/低炭素社会を実現する超低電圧デバイスプロジェクト」
事後評価報告書（案）概要

目 次

分科会委員名簿	1
評価概要（案）	2
評点結果	6

はじめに

本書は、NEDO技術委員・技術委員会等規程第31条に基づき研究評価委員会において設置された「低炭素社会を実現する超低電圧ナノエレクトロニクスプロジェクト/低炭素社会を実現する超低電圧デバイスプロジェクト」(事後評価)の研究評価委員会分科会(平成27年12月3日)において策定した評価報告書(案)の概要であり、NEDO技術委員・技術委員会等規程第32条の規定に基づき、第47回研究評価委員会(平成28年3月15日)にて、その評価結果について報告するものである。

平成28年3月

国立研究開発法人新エネルギー・産業技術総合開発機構
研究評価委員会「低炭素社会を実現する超低電圧ナノエレクトロニクスプロジェクト/
低炭素社会を実現する超低電圧デバイスプロジェクト」分科会
(事後評価)

分科会長 伊藤 隆司

国立研究開発法人新エネルギー・産業技術総合開発機構 研究評価委員会
「低炭素社会を実現する超低電圧ナノエレクトロニクスプロジェクト/
低炭素社会を実現する超低電圧デバイスプロジェクト」(事後評価)

分科会委員名簿

(平成27年12月現在)

	氏名	所属、役職
分科 会長	いとう たかし 伊藤 隆司	広島大学 ナノデバイス・バイオ融合科学研究所 客員教授
分科 会長 代理	まつやま きみひで 松山 公秀	九州大学 大学院システム情報科学研究所 情報エレクトロニクス部門 教授
委員	おおの ひでお 大野 英男	東北大学 電気通信研究所長 省エネルギー・スピントロ ニクス集積化システムセンター長 教授
	きつかわ たかまる 吉川 公磨	広島大学 ナノデバイス・バイオ融合科学研究所長 教授
	しんぐうばら しょうそう 新宮原 正三	関西大学 システム理工学部 機械工学科 教授
	ふじわら あきら 藤原 聡	日本電信電話株式会社 物性科学基礎研究所 量子電子研究部長 兼 ナノデバイス研究グループリーダ 主幹研究員(上席特別研究員)
	まつざわ あきら 松澤 昭	東京工業大学 大学院理工学研究科 電子物理工学専攻 教育革新センター長 教授

敬称略、五十音順

「低炭素社会を実現する超低電圧ナノエレクトロニクスプロジェクト」

低炭素社会を実現する超低電圧デバイスプロジェクト」（事後評価）

評価概要（案）

1. 総合評価

我が国の半導体産業を取巻く環境が大きく変わり、半導体企業の研究開発力がこの 5-10 年間で急速に衰退した状況下で、本プロジェクトは低炭素社会の切り札となる超低電圧デバイスの実現に向けたチャレンジングなテーマに取り組んだもので、非常に大きな意義を持っている。

集中研方式による研究開発体制や、300mm ウェハラインを備えた産総研スーパークリーンルームを活用した運営は効果的であり、また共通基盤要素は研究期間の早い時期に開発を完了させたことも、以降の研究開発の効率的な推進に寄与した。

結果として、世界をリードする研究開発成果が多くの項目について得られた。例えば、0.4V 動作 CMOS ナノトランジスタ構造の実現や、原子スイッチによるプログラマブル論理回路の実用化レベルの動作実証などは、世界的に極めて高いレベルのものとなった。また、日本発の新材料を用いた相変化メモリとその次世代集積化技術の立ち上げも、顕著な成果であった。

実用化面では、技術のベンチマークも概ね良好になされ、また中間評価における指摘事項に対する適切な対応を講じたことにより、マクロレベルでの集積化実証やプロトタイプの実作評価など IoT 時代のキーデバイスとして成長性や経済効果が見込まれる目標達成に至った。事業化に関してはテーマによって程度の差はあるものの、各社の開発ロードマップに組み込まれており、今後着実に進展し、集積回路事業のみならず、社会の発展への大きな結果が期待される。

ただし、参加企業の事業状況は刻々と変化し、世界の競合企業の事業展開にも影響される中、楽観できる状況ではない。プロジェクト実施期間中の技術及び市場等外部状況の変化について分析を加え、多角的でフレキシブルな出口戦略を策定してほしい。

対抗する海外拠点が研究開発を継続している状況で、本分野における我が国の技術開発が途絶えてしまえば大きな損失であるので、産官学共同研究体制が自律的に継続するよう対応を取ってほしい。その際、個別デバイスの性能向上のみに頼って大規模な市場を開拓することは困難となってゆくとと思われるので、適用する産業分野を見極め、マーケティングを的確に行い、ニーズ主導型でのシステムティックな技術開発をすることが益々重要になる。

2. 各論

2. 1 事業の位置付け・必要性について

低電圧・低電力デバイスの開発はますます重要になっており、我が国が優位性を持つことが産業競争力の確保につながる。また、本プロジェクトは我が国のエネルギー政策や環境政策にも完全に合致したもので、単体デバイスの技術の開発にとどまらず集積化技術まで高めることを想定し、実用化につながる基盤技術に取り組むものであった。既存の半導体集積技術の延長のみでは、将来予測される情報機器の急激な消費電力増加の抑制には限界があるため、革新的なデバイス原理の探索とそのデバイス化技術の確立のために実施された本プロジェクトの必要性は大きい。

また、本プロジェクトは公益性が高く、コア技術の創出を通して社会的課題の解決を目指すものであるため、NEDO の事業として相応しく、民間活動のみではこのような技術レベルの高い開発は不可能であったと言える。実績のある複数の企業を中核とする産官学の共同開発体制を NEDO 事業として構築し、異なる要素技術を総合的に開発することによって世界最高水準の研究成果が達成されたものである。国際的にも大きな優位性を有し、社会の変革を促すために不可欠な技術が開発され、波及効果は数兆円のレベルと考えられる。

対抗する海外拠点が研究開発を継続している状況で、本分野における我が国の技術開発が途絶えてしまえば大きな損失である。プロジェクトの総括として、産官学共同研究体制が自律的に継続するよう何らかの対応を取ってほしい。

組合メンバ企業間の横方向の連携が限定的で、出口として自社内製品への応用を主に考え、国際競争力についての視点が不十分と思われる点もあった。出口戦略を専門に検討するチームや担当をさらに強化し、プロジェクト全体にフィードバックをかける仕組みがあるとよいのではないか。

2. 2 研究開発マネジメントについて

各課題は半導体業界の重要なテーマであり、日本発の材料・デバイス技術を集積化技術として高めるような開発目標は妥当であった。また、IoT 時代のキーデバイスとなる省エネルギー集積回路につながる多くの先端要素技術を取り上げたことは、国際的な市場、技術動向から判断して適切であった。本プロジェクトの到達点を起点として新たな後継プロジェクト等へ継承されていくことを期待する。その際、プロジェクトの遂行中に世の中の動向変化によって、当初の目標を修正したほうが良い状況となった場合には、方針転換あるいは技術目標の変更に関して、より一層柔軟に対応できるような枠組みを期待する。

研究開発計画は、技術的目標が全て達成されていることから申し分のないものであり、研究加速化のための追加予算などのフレキシブルな運用も評価できる。ただ、本事業が目標とした電源電圧 0.4V 動作のデバイスコア技術は、多くの場合デバイスにかかる電圧が 0.4V あるいはそれ以上となっていたので、目標の電源電圧で動作することを見極めることも課題に入れるべきであった。

研究開発体制ではプロジェクトリーダーの人選も適切であり、優秀なチームによって研究が実施され、事業化能力を有する実施者が選定された。全期間を通じて多くの技術委員会、共同実施先との技術打ち合わせ等が実施されており、集中研体制内及び共同研究機関との間の進捗状況の共有や研究連携が緊密に行われた。参加企業のラインアップはやや横並び型で

あり、事業者間の連携がさらに一層あるとより良かったと思われる。知財戦略及び標準化戦略では、総合的に漏れのない権利取得ができるか、という観点からのシナリオが明確ではなく、プロジェクトの途中および終了時点における競合デバイスや競合技術との比較のベンチマークを明示する必要があったと思われる。

一般に、成果の実用化・事業化は、このような技術開発プロジェクトでは大きな課題となりがちであるが、本プロジェクトでは開発技術が概ね各社の開発ロードマップに落とし込まれ、事業化に対して高い意欲が感じられたため、今後は期待できる。一部には研究として興味深くとも実用化が見えないテーマもあり、適当な時期に見直す判断が必要と思われる。

ユーザーフォーラム活動など一定の成果普及活動を実施した点も高く評価される。その一方で、グローバルな活動は、国際会議会場等での議論レベルにとどまっており、最初から海外の企業や大学を取り込むなど、グローバルな視点で日本の高い技術力を生かした営みも検討できるのではないかな。

2. 3 研究開発成果について

いずれのテーマも世界トップクラスの目標を設定したにも関わらず、当初の研究開発目標を概ね達成しており、達成度は十分である。すなわち、革新的なデバイスコンセプトの創出により各種情報機器における消費電力の大幅削減に資する、極めて高い水準の研究成果が得られ、さらに日本が優位性を持つデバイス性能の実現ばかりではなく、量産に向けた歩留まりや信頼性も見通しもある程度得ている。300mm ウェハで研究開発が行われたことから、メモリセル動作やばらつきまでを検討することができ、効果的な研究開発が行われたものである。達成した個別数値目標のさらなる連携により、より上位の成果も今後期待できる。

0.4V 動作 CMOS 回路では、ドーパントレスチャンネルと基板バイアス制御による特性ばらつき低減及び低電圧動作を実現し、実用回路レベルでの低消費電力化を達成した。原子スイッチでは、SRAM ロジックセルと比較して、小型化・省電力化・高速化を達成した。全般に集積化技術として高い水準を達成している点は高く評価され、要素技術をもとにした大規模な市場への展開が期待できる。産総研への技術移転、ナノカーボン配線技術の標準化活動なども大いに評価できる。今後、競合技術に対する優位性をベンチマークなどで明確にし、弱点や不足点などの課題を冷静に分析してほしい。

細かい要改善点として、磁性変化デバイスは熱安定性が低い層構造で開発が進められたが、これはより高い熱安定性がもたらされる構造を採用してばらつき低減などが検討されるべきであった。ナノカーボン配線では、低抵抗配線としてのカーボンナノチューブ (CNT) (ビア部分) とグラフェン (横配線部分) の特性が明らかにされたが、CNT とグラフェンの双方を使うことは未検討であり本技術の将来的な見通しが現時点では不明である。また、1Mb マクロの初期不良が多すぎるため更なる加工技術の改善が必要である。

技術流出防止の観点からも、知財権確保のためのより積極的な特許戦略が望ましい。本プロジェクト終了後も数年間、登録特許件数を増やす努力を続けられることを希望する。

相変化デバイスに関しては、世界的にも新規性が高く、また技術的優位性も高いので、本研究成果を世界に広めるべく戦略的なバックアップを期待する。

2. 4 実用化・事業化に向けての見通し及び取り組みについて

本プロジェクトで開発された不揮発メモリ、集積スイッチ、ナノトランジスタ等は、各種情報機器の多様な機能階層への適用が可能であり、IoT時代のキーデバイスとしてセンサ、クラウドコンピューティング、情報ネットワーク等の様々なアプリケーションにおける大幅な省電力化を促進するもので、極めて大きな成長性・波及効果と社会的価値・経済効果が見込まれる。各開発技術はロードマップに落とし込まれており、実用化に向けた各社の意気込みは明確である。長期的ビジョンも示されており、将来の展開に期待できる。

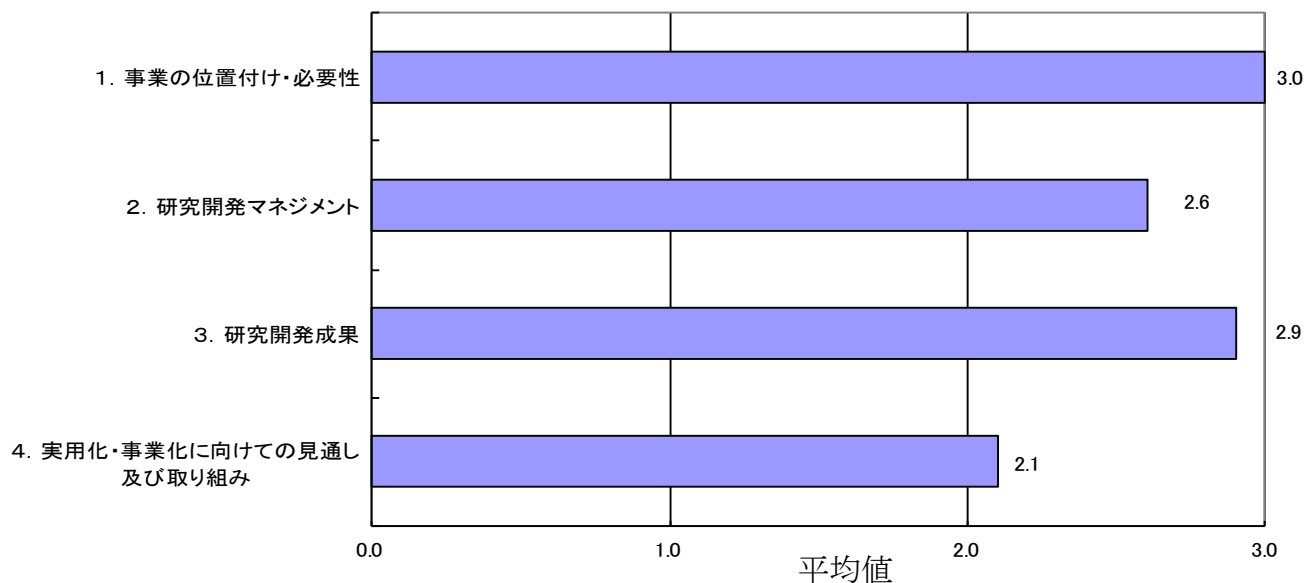
今後、各技術について、基礎研究をした成果を外国に先に量産されないような枠組みで進めてほしい。特に **TRAM** については、新材料ということもあり、海外との競争に勝てる技術として、時間軸を意識しながらぜひ集積化技術として完成して頂きたい。

いずれのテーマにおいても受け入れ予定企業との連携ができており事業計画が提示されているが、製造委託を利用する場合には、投資に見合う企業収益へ繋いでいくために、より具体的かつ現実的なビジョン設計が必要である。基礎研究成果の技術移管による事業化では、メーカーだけでなく、製品を使用するユーザーの世界的な規模での確保も必要である。

具体的な事業化・製品化へのマイルストーンとその国際競争力（シェア）までは未設定であるが、**Integrated Device Manufacturer** だけでなくファンドリでの活用も視野に入れた展開を検討してほしい。

本プロジェクトは大学との共同研究を活用しており、若手の研究者や学生が国際会議で受賞を受けるなど、人材育成の点で重要な役割を担った。半導体の技術者養成は今後も我が国にとって必須であり、**NEDO** には引き続き人材育成も視点に入れた事業やプロジェクト実施をお願いしたい。

評点結果〔プロジェクト全体〕



評価項目	平均値	素点（注）							
1. 事業の位置付け・必要性について	3.0	A	A	A	A	A	A	A	A
2. 研究開発マネジメントについて	2.6	A	A	B	B	A	A	B	B
3. 研究開発成果について	2.9	A	A	B	A	A	A	A	A
4. 実用化・事業化に向けての見通し及び取り組みについて	2.1	B	B	B	B	B	A	B	B

（注）素点：各委員の評価。平均値は A=3、B=2、C=1、D=0 として事務局が数値に換算し算出。

〈判定基準〉

1. 事業の位置付け・必要性について	3. 研究開発成果について
・非常に重要 →A	・非常によい →A
・重要 →B	・よい →B
・概ね妥当 →C	・概ね妥当 →C
・妥当性がない、又は失われた →D	・妥当とはいえない →D
2. 研究開発マネジメントについて	4. 実用化・事業化に向けての見通し及び取り組みについて
・非常によい →A	・明確 →A
・よい →B	・妥当 →B
・概ね適切 →C	・概ね妥当 →C
・適切とはいえない →D	・見通しが不明 →D

研究評価委員会「低炭素社会を実現する超低電圧ナノエレクトロニクスプロジェクト／
低炭素社会を実現する超低電圧デバイスプロジェクト」(事後評価) 分科会

日時：平成27年12月3日(木) 9:30～18:00

場所：WTCコンファレンスセンター RoomA

(東京都港区浜松町2丁目4番1号 世界貿易センタービル3階)

議事次第

(公開セッション)

- | | |
|-------------------------------------|-------------------|
| 1. 開会、資料の確認 | 9:30～ 9:35 (5分) |
| 2. 分科会の設置について | 9:35～ 9:40 (5分) |
| 3. 分科会の公開について | 9:40～ 9:45 (5分) |
| 4. 評価の実施方法について | 9:45～10:00 (15分) |
| 5. プロジェクトの概要説明 | |
| 5.1 「事業の位置づけ・必要性」及び「研究開発マネジメント」について | 10:00～10:20 (20分) |
| 5.2 「研究開発成果」及び「実用化等の見通し」について<PL> | 10:20～10:40 (20分) |
| 5.3 質疑応答 | 10:40～11:10 (30分) |
| (一般傍聴者退室) | 11:10～11:15 (5分) |

(非公開セッション)

- | | |
|--|-------------------|
| 6. プロジェクトの詳細説明 | |
| 6.1 ロジック集積回路内1次メモリを対象とした、高集積・高速特性・高書き換え耐性などの機能を有する超低電圧・不揮発デバイスの開発 (①磁性変化デバイス)
[説明25分、質疑応答15分] | 11:15～11:55 (40分) |
| 休憩(昼食) | 11:55～12:50 (55分) |
| 6.2 外部記憶の高速低電力データ転送を実現する、高集積・高速低電力書き込み特性などの機能を有する超低電圧・不揮発デバイスの開発 (②相変化デバイス)
[説明20分、質疑応答15分] | 12:50～13:25 (35分) |
| 6.3 配線切り換えを可能とするスイッチを対象とした、低電流・高速書き換え、高オン・オフ抵抗比、小面積などの機能を有する超低電圧・不揮発スイッチデバイスの開発 (③原子移動型スイッチ) [説明20分、質疑応答15分] | 13:25～14:00 (35分) |
| 6.4 集積回路チップ内において、機能ブロックの三次元集積を実現するための、微細幅・超低電気抵抗、超高アスペクト比配線・材料技術の開発 (④三次元ナノカーボン配線)
[説明20分、質疑応答15分] | 14:00～14:35 (35分) |

- 6.5 CMOS トランジスタの超低電圧動作、及びリーク電流抑制を同時に実現するための、
低しきい値ばらつきトランジスタを集積化するための技術開発、並びに、この技術を用いた高集積機能素子における低電圧動作実証（⑤ナノトランジスタ構造デバイス）
[説明 20 分、質疑応答 15 分] 14:35～15:10 (35 分)
- 休憩（発表者入室） 15:10～15:25 (15 分)
7. 実用化、事業化の見通しについて
（発表項目毎、発表者・出席者を入れ替え）
- 7.1 富士通（株）/富士通セミコンダクター（株）
[説明 10 分、質疑応答 7 分] 15:25～15:42 (17 分)
（入替） 15:42～15:45 (3 分)
- 7.2 三菱電機（株） [説明 10 分、質疑応答 7 分] 15:45～16:02 (17 分)
（入替） 16:02～16:05 (3 分)
- 7.3（株）日立製作所 [説明 10 分、質疑応答 7 分] 16:05～16:22 (17 分)
（入替） 16:22～16:25 (3 分)
- 7.4 日本電気（株） [説明 10 分、質疑応答 7 分] 16:25～16:42 (17 分)
（入替） 16:42～16:45 (3 分)
- 7.5（株）東芝 [説明 10 分、質疑応答 7 分] 16:45～17:02 (17 分)
（入替） 17:02～17:05 (3 分)
- 7.6 ルネサスエレクトロニクス（株）
[説明 10 分、質疑応答 7 分] 17:05～17:22 (17 分)
（発表者入室） 17:22～17:25 (3 分)
8. 全体を通しての質疑 17:25～17:35 (10 分)
- （公開セッション）
9. まとめ・講評 17:35～17:55 (20 分)
10. 今後の予定、その他 17:55～18:00 (5 分)
11. 閉会

概要

最終更新日

平成 27 年 11 月 24 日

プログラム(又は 施策)名	IT イノベーションプログラム							
プロジェクト名	低炭素社会を実現する 超低電圧デバイスプロジェクト	プロジェクト番号					P10023	
担当推進部/担 当者	電子・材料・ナノテクノロジー部 島津高行(平成 23 年 3 月～平成 24 年 3 月) 電子・材料・ナノテクノロジー部 波佐昭則(平成 24 年 4 月～平成 27 年 11 月現在)							
0. 事業の概要	本プロジェクトは、ナノテクノロジーで培われた新規の機能材料や新規のデバイス構造に立脚して、集積回路の低電圧動作と高機能・高集積化を実現し、さらに、集積回路の低電力化を通して、エレクトロニクス機器の消費電力を大幅に低減する技術を確立することを目的として実施する。							
I. 事業の位置 付け・必要性に ついて	<p>半導体技術は、情報家電、コンピュータ、通信装置などの IT 機器、自動車、医療機器など、我が国の経済を支える先端産業の競争力強化に不可欠な基盤技術である。その発展を支えているのは、シリコン集積回路とその基本素子(デバイス)である CMOS トランジスタであり、これまで、CMOS トランジスタの寸法を微細化するプロセス・デバイス技術と、微細デバイスを機能させる回路技術により、高性能化・低電力化を実現してきた。</p> <p>低炭素社会の実現には、上記に代表されるエレクトロニクス機器の究極的な低電圧動作による飛躍的な低電力化が必須であり、デバイスの低電圧動作と不揮発動作が不可欠な技術要素である。CMOS 基本回路の消費電力は電圧の自乗に比例するので、電圧を 1/3 にすれば、単純には消費電力がほぼ 1/10 になる。また、電源を遮断しても情報が保持される不揮発デバイスを使えば、待機状態での消費電力がゼロになり、これも、消費電力の低減に大きな効果をもたらす。このように、動作状態では電圧の低減で、待機状態では不揮発動作を使うことで、消費電力の低減が達成される。これらの機能を満たす、新しい超低電圧・不揮発デバイスの開発が必要である。</p> <p>欧米においては、大型の産学連携ナノエレクトロニクス拠点の整備がここ数年で飛躍的に進み、超低電圧・不揮発デバイスをはじめとした、次世代デバイスに関する実用化を目指した研究が活発に行われ、今後、開発競争は熾烈化するものと考えられる。海外の研究開発活動の活発化により、このような状況を放置すれば、超低電圧・不揮発デバイスに関する我が国の技術開発の競争力を失いかねない。</p> <p>以上のように、本プロジェクトは、わが国の競争力の確保と、エネルギー消費削減・低炭素化の両方に貢献すると期待され、本プロジェクト推進の必要性は高い。</p>							
II. 研究開発マネジメントについて								
事業の目標	新構造・材料を用いて、超低電圧・不揮発デバイスを実現するための基盤技術を確立して 0.4V の超低電圧化を実現し、IT 機器などの大幅な小型化・高性能化と低電化を実現する。							
事業の計画内容	主な実施事項	H22fy	H23fy	H24fy	H25fy	H26fy	H27fy	
	経産省直執行	←→						
	NEDO 技術開発		←→					
開発予算 (百万円) 契約種類: (委託)	会計・勘定	H22fy	H23fy	H24fy	H25fy	H26fy	H27fy	総額
	一般会計	(2,046) ^{※1}	2,299	2,818	-	-	-	7,163
	特別会計	-	-	-	1,752	2,331	600	4,683
	総予算額	(2,046) ^{※1}	2,299	2,818	1,752	2,331	600	11,846
※1: 経済産業省直執行分								

開発体制	経産省担当原課	産業技術環境局研究開発課
	プロジェクトリーダー	<p>リーダー:住広直孝 超低電圧デバイス技術研究組合・研究本部長 副:木村紳一郎 超低電圧デバイス技術研究組合・研究企画部長</p> <p>※平成 27 年度2テーマ延長に伴う変更 リーダー:柴田英毅 株式会社東芝 研究開発センター 技監 副:國島巖 株式会社東芝 研究開発センター 研究主幹</p>
	委託先	<p>超低電圧デバイス技術研究組合(参加 10 社) 株式会社荏原製作所、 東京エレクトロン株式会社 株式会社東芝 日本電気株式会社 株式会社日立国際電気(H23～) 株式会社日立製作所 富士通株式会社 富士通セミコンダクター株式会社 三菱電機株式会社 ルネサスエレクトロニクス株式会社</p> <p>共同実施先 立命館大学、神戸大学、中央大学、産業技術総合研究所、 筑波大学、東京大学、慶応義塾、芝浦工業大学、東京工芸大学、 電気通信大学、京都大学、京都工芸繊維大学、大阪大学、 東京理科大学、名古屋大学、北海道大学</p>
情勢変化への対応	<p><u>(1) 東北地方太平洋沖地震発生による実施方針・計画の変更</u> 平成 23 年 3 月 11 日に発生した東北地方太平洋沖地震のために、産業技術総合研究所のスーパークリーンルームが使用不能となり、平成 22 年度の実施計画遂行に遅れが生じ、事業実施期間を平成 24 年 3 月 31 日まで延期する計画変更を実施（結果として平成 23 年 8 月末に繰り上げ完了）。</p> <p><u>(2)研究開発項目⑤の実実施方針・計画の変更（平成 23 年度）</u> 他研究機関のベンチマーク、国際学会調査によりナノトランジスタ構造デバイスの特徴の一つである基板バイアス制御の活用に、注目が集まっていることが分かった。本研究の優位性を確実にするため、開発の前倒しを目的として、共同実施先の追加(電気通信大学、芝浦工業大学)を実施</p> <p><u>(3)技術推進委員会評価への対応のため実施方針・計画の変更（平成 23 年度）</u> 平成 23 年 12 月 16 日に実施した技術推進委員会での指摘事項に対し、各研究開発項目間の連携を強化し、及び 研究開発項目②、④に於いては、専門研究員の増強、実施計画の見直しを実施</p> <p><u>(4)研究開発項目⑤の実実施方針・計画の変更(平成 24 年度)</u> 最終目標の達成を確実にし、より質の高い成果を達成するため、以下 3 点を追加。「ナノトランジスタ構造の最適化」において、キープロセス技術としてのエピタキシャル成長工程の安定化、及び、評価チップ試作工期短縮のため、選択エピタキシャル成長装置を新規導入。「超低電圧システム開発」において、機能チップ向け周辺回路を追加開発。「TEG 開発」において、機能チップ向け周辺回路 TEG を追加開発。</p> <p><u>(5)研究開発項目④の実実施方針・計画の変更と加速(平成 25 年度)</u> グラフェンを用いた横方向配線の抵抗低減のため、配線基礎技術に研究員を増強し、量子論的検討を追加。グラフェン配線へのドーピング効果やエッジ形状の影響を局所的に評価・解析するため、加速予算によりSPM(走査プローブ顕微鏡)へのオプション設備を</p>	

	<p>追加導入。グラフェンへのドーピング材料・条件の検討拡大・強化のため、共同実施先(東京工芸大学)を追加。CNTビアのアスペクト比(AR)増大への対応のため、CNT成長可能性検証用に、高ARのビアホール構造開発を追加。</p> <p><u>(6)第三回加速による実施方針・計画の変更(平成25年度)</u> 各研究開発項目のシナジー効果実証のため、⑤ナトランジスタ構造デバイスをベースとし、メモリを構成する不揮発素子である①磁性変化デバイス、②相変化デバイス、③原子移動型デバイスを混載した融合実証チップ(超低電力センサーノード用マイコンチップ)実現に向けた検討を行った。最終年度である平成26年度の、融合実証チップ動作を確実なものとするため、TEGの設計、及び、マスク製作を予定の平成26年度から平成25年度中に前倒し完了させ、最終年度の早期に、融合技術実証チップ設計に必要なデータの取得を行った。</p> <p><u>(7)第四回加速による研究開発項目⑤の実実施方針・計画の変更(平成26年度)</u> 最終目標である「従来デバイスに比較して消費電力を1/10に低減できる基盤技術」を、実用に近い想定分野に対して実証するため、実証アプリチップ開発においてIoT(Internet of Things)市場向けに必要なとされるアナログマクロ等の機能マクロの設計と、それらを搭載する、BEOLデバイス(原子移動型スイッチなど)との融合チップの設計・試作を追加。</p> <p><u>(8)2テーマの延長に伴い基本計画の変更、実施方針の策定(平成27年度)</u> 研究開発項目②:新構造である超格子構造の評価から、超格子材料の組成を変えることにより、目標より更に半分以下の省電力効果(省電力目標1/10以下を1/数10以下)が可能となる新たな現象が観察された。この現象を実際のメモリ素子に適用し、実用化に繋ぐためには、その動作メカニズムの解明、300mmウエハへの適用に向けた集積化プロセスの検討が必要である。しかし、当初の開発期間内では、その確証までには至らないため、1年間研究開発を延長し、この現象のメカニズムの解明を図る。具体的には、新組性の超格子材料で300mmウエハ用集積化プロセスの完成度向上、及び、メモリマクロでのTRAMの基本動作確認を進める。 研究開発項目④:新たな課題として抽出された、ドーピングによる触媒金属の腐食等の抑制、ドーピング効果向上のための低温グラフェン成長膜の品質向上、実配線構造に則した特性予測計算手法の開発、CNT固有のドーピング手法の検討を延長実施する。</p>	
中間評価結果への対応	IIの4.中間評価結果への対応を参照	
評価に関する事項	事前評価	平成22年度実施 担当部 NEDO 電子・材料・ナノテクノロジー部
	中間評価	平成24年度 中間評価を8月30日に実施(8月29日 現地調査会)
	事後評価	平成27年度 事後評価を12月3日実施予定
III. 研究開発成果について	<p>研究開発項目① 磁性変化デバイス 「ロジック集積回路内1次メモリを対象とした、高集積・高速特性・高書き換え耐性などの機能を有する超低電圧・不揮発デバイスの開発」</p> <p>磁性変化デバイスの基本構造およびプロセスとして、トップピン構造、歪エンジニアリング、界面垂直磁化、SAF(Synthetic Antiferromagnet)構造などを開発し、読み書き電圧0.4V以下、10nsのパルスでの読み書きと、書き込み電流100μA以下、電力量0.4pJ以下を実証した。 特性ばらつきの増大無しでMRAMの書き込み電流を更に低減するため、電氣的・磁氣的な寸法をシュリンクする方法を開発し、書き込み電流を15μAまで低減できた。 高品質MgO成膜プロセスを開発し、加速試験で10¹⁶回の書き換えと10年間の絶縁耐</p>	

性を、メモリアレイを用いた多点測定で実証し、実用に耐える信頼性技術を確立した。

300mm 径ウェハを用いて、2 層 Cu 配線間への磁性変化デバイスの埋め込みプロセスフローを作成し、試作を行い、デバイス動作を確認した。16k ビットの MRAM アレイでの抵抗ばらつき評価では、目標値(15% (3 σ))と同程度の 16%に抑制することができた。

マクロを設計する上で必要となる、回路シミュレーション用の MTJ モデルとして、大規模回路設計に対応可能なモデルを開発した。MTJ 抵抗が変化する電圧の書き込みパルス幅依存性と、抵抗変化の遅延時間依存性を加えたマクロモデルであり、回路シミュレータ (SPICE)でメモリセルの過渡応答を評価した結果、書き込みパルス幅 10ns まで対応できることを確認した。

集積化実証のため、周辺回路を備えたメモリマクロを設計、試作、評価し、読み書き電流 100 μ A 以下、読み書き時間 10ns を実証した。

更なる高密度化を狙い、多値素子とそれを実現するプロセスとして、MTJ の 2 段階積層構造の一括加工方式を提案し、試作によりメモリマクロでの多値動作を実証し、従来 SRAM 比 2 倍の高集積化の可能性を確認した。

メモリ以外の MTJ の展開として、電流センシング用の MTJ を開発し、 $\leq 10\mu$ A のセンシング精度に相当する性能を実現した。

本テーマは、平成 26 年度で終了した。

研究開発項目②

相変化デバイス

「外部記憶の高速低電力データ転送を実現する、高集積・高速低電力書き込み特性などの機能を有する超低電圧・不揮発デバイスの開発」

相変化が低いエネルギーで起こる、革新的な材料である GeTe/Sb₂Te₃ 超格子膜を開発した。理論的な成果としては、第一原理計算によって、GeTe/Sb₂Te₃ 超格子における Ge 原子の短範囲移動が、抵抗変化を発生させるモデルを提示した。

本開発の超格子膜を用いた新メモリは、従来の PRAM と異なる動作機構や優れた特性を有することから、“Topological switching Random Access Memory (TRAM)”と名付けた。TRAM のプロセス開発における最重要課題は、超格子成膜であり、本開発で、300mm ウェハの成膜装置を用いた、GeTe/Sb₂Te₃ 超格子構造形成に世界で初めて成功した。超格子膜は、GeSbTe 合金の混合等の不良を除いて高品質であり、その結晶構造は、サブ nm の原子干渉縞の TEM 実験等で確認した。

超格子膜の電気特性は、50nm 直径の W 電極を有する抵抗素子を試作して評価したが、100 以上の抵抗比を保持しながら書き換え回数 1 億回以上を実証した。

さらに、本開発では、超格子内での原子移動が起こりやすい Ge_xTe_{1-x}/Sb₂Te₃ (x < 0.5, Ge 欠損系) 超格子膜を提唱した。本材料を用いた抵抗素子を試作評価したところ、抵抗変化が化学量論組成の GeTe/Sb₂Te₃ 超格子膜と比べて、60 %の低電圧で起こることがわかった。書き換え電流値は 55 μ A で、書き換えエネルギーは最終目標を達成する 1.9pJ であった。以上の結果は、従来の 1/10 の電力(66mW)で、データ転送速度 400MB/s (書き込み)が可能であることを示唆し、更なる電力削減効果(33mW 以下)の見通しを示している。

TRAM の ULSI としてのフィジビリティをチェックするために、CMOS 基板と Cu 配線間に超格子素子を埋め込んだ 1T (Transistor)-1R (Resister) 型メモリセルのプロセスを開発した。超格子を Sb₂Te₃ ボトム層上に積層することで、ばらつきの少ない安定的な成膜を実現した。ドライエッチング加工では、超格子膜の側壁不良を抑制する条件を見出した。

1T-1R 型の単体デバイス、及び、デコーダ回路付き 16kb テストチップを試作評価したところ、TRAM の動作電圧の最終目標を達成する書き換え電圧 1.0V 以下での抵抗変化が起こった。これに加えて、2Mb マクロを開発し、ライト・リード回路を用いた TRAM 動作を確認した。マクロを用いることで、短時間パルス評価が可能となるが、本開発では、電圧パルス幅 5ns 以下での TRAM の高速書き換えに成功した。

本開発では、高集積化のための要素技術開発として、ポリSiダイオードを用いたクロスポイントセルPRAMの技術開発も行なった。相変化材料としては、クロスポイント型セルで書き

換え可能な、熱拡散防止機能を有するnano-GSTを開発して適用した。1D(Diode)-1R型のクロスポイント型セルにおいて、セル面積を $4F^2$ にするために、ワード線とダイオードを自己整合的に配置するプロセスを開発して実現した。

寸法100nmの1D-1Rクロスポイント型セルアレイを試作評価したところ、高抵抗状態と低抵抗状態の抵抗比として1ケタ以上を保持した、読み出し・書き換え動作を確認した。以上をもって、最終目標であるクロスポイント型メモリセルを集積化したメモリアレイ試作と動作実証、及びメモリセル面積 $4F^2$ のメモリアレイによる高集積性実証を達成した。

研究開発項目③

原子移動型スイッチ

「配線切り換えを可能とするスイッチを対象とした、低電流・高速書き換え、高オン・オフ抵抗比、小面積などの機能を有する超低電圧・不揮発スイッチデバイスの開発」

ポリマー固体電解質(PSE (polymer solid-electrolyte))を使う、二つの原子移動型スイッチ素子を相補的に配置した3端子構造を提案・試作し、低電圧化と高信頼性が両立できる3端子原子移動型スイッチを開発した。この3端子原子移動型スイッチを用いた0.5k~1kビットスイッチアレイ(スイッチを配列したもの)を、300mmラインのBEOLプラットフォームを用いて試作し、中間目標であるスイッチ素子の材料選定、素子構造の最適化(下部電極:Cu、固体電解質:PSE、上部電極Ruを基本構成とする3端子原子移動型スイッチ)、単体素子性能として書き換え電流と書き換え速度の積が $10^{-10}A \cdot s$ 以下、オン・オフ抵抗比 10^5 以上、書き換え回数 10^3 以上を達成した。

さらに、集積化プロセスを改善し、素子不良や素子特性ばらつき増加などの原因を調査、対策・改善を行い、中規模な回路動作(スイッチ数1Mbレベル)を検証するために必要な、十分に低い特性ばらつきを実現した。CuO層の形成、及び、Cu拡散によるプログラミング電圧ばらつき悪化の抑制、さらに、PE(Pre-Etching)処理条件、バッファ膜厚最適化、及び、合金比率の最適化を実施し、結果 $\sigma = 0.186V$ となる良好なプログラミング電圧ばらつきを得た。

動作検証においては、6x6および48x48プログラマブルロジックを用いて、その機能検証を行った。原子スイッチベースのプログラマブルロジックは、SRAMベースと比較すると、ロジックセル面積で-75%、電力で最大-61%、信号遅延で最大-65%が達成できた。

平成26年度に設計・試作を行った、プログラマブルロジックによるオフロード処理を実証し、CPUには負荷が大きい処理を短時間にプログラマブルロジックで実行することで、チップの電力を下げる事ができた。実証に用いた32x32ロジックセルアレイ規模のプログラマブルロジックは、原子スイッチROMが混載された32bitCPUと比較すると、2倍程度のアクティブ電力を必要とするが、処理速度が60倍と非常に高速である。また、不揮発性のためスタンバイ電力を必要としない。そのため、処理あたりのエネルギー効率が30倍まで向上した。

本テーマは、平成26年度で終了した。

研究開発項目④

三次元ナノカーボン配線

「集積回路チップ内において、機能ブロックの三次元集積を実現するための、微細幅・超低電気抵抗、超高アスペクト比配線・材料技術の開発」

微細幅・超低電気抵抗配線向け材料として、低温(650°C以下)での多層グラフェン(MLG)成長技術開発を行った。触媒段差を起点とする低温固有の新たなMLG成長機構を見出すとともに、触媒組成や配向性の調整、CVD条件の最適化を行った。その結果、結晶性の指標であるラマンスペクトルのグラファイト結晶由来のGピークと、欠陥由来のDピークの比(G/D比)が、局所的ながら高温合成結晶グラファイト並みの100を超える高品質成長を実証した。

MLGの抵抗低減施策として、膜品質の改善とともにグラフェン層間へのドーピング(インターカレーション:以下層間ドーブ)に着目し、ドーピング材料探索とプロセス開発を行った。

ドーピング材料として、金属塩化物を用いることによって、高温 MLG において、金属並みの低抵抗率を実証するとともに、低温 MLG においても、G/D 比の向上と最適な金属塩化物の選択およびパッシベーションプロセスの適用によって、ドーピングが可能なことを実証した。

微細幅・長距離横方向 MLG 配線構造を、300mm 径 Si 基板上で形成する集積プロセスを開発した。Ni ダマシン配線を触媒として低温 MLG の選択成長を行い、300mm Si 基板上全面に微細幅 (hp30nm)、長距離 (0.7mm)、低抵抗 ($1.1 \Omega / \square$) の MLG/Ni 配線パターンの形成を実証した。

カーボンナノチューブ CNT 低抵抗化に向け、単体の抵抗評価手法を開発し、CNT の抵抗率が直径 1.4nm まで上昇せず、およそ 5nm 以下のビア径では W 等よりも低抵抗となる可能性を示した。この成果をベースとして、経産省の国際標準化活動事業がスタートし、IEC (国際電気標準会議) TC-113 (ナノテクノロジー) における標準化ドラフト提案に結び付いた。CNT へのドーピング手法として、成長時同時ドーブ等の可能性を検討した。

超高アスペクト比 (AR) ビアコンタクトの埋め込み材料を目指して、最高 40 を超える超高 AR ビアホール底からの、CNT の低温成長を検討した。このために、最小ビア底径 < 50nm、ビア深さ最高 $2 \mu m$ のビアホール構造を開発し、そのビア底に CNT 成長に必要な 3-5nm 厚の触媒 Ni 形成技術を開発した。これらにより、 $AR \geq 40$ の超高 AR ホール底からも選択的に CNT 成長が可能であることを示した。

300mm 径 Si 基板上では初めてとなる、CNT ビアアレイの集積形成プロセスを開発した。CNT 成長用触媒形成と CMP による選択的触媒除去により、ビア内での選択 CNT 成長を可能にし、これにより 300mm 径基板上全面で、均一性のよい CNT-CMP、及び、上層電極形成を実現した。これにより、最大 2 万個直列の大規模 CNT ビアチェーン構造を、高歩留りで形成することに成功した。

研究開発項目⑤

ナノランジスタ構造デバイス

「CMOS トランジスタの超低電圧動作、及びリーク電流抑制を同時に実現するための、小さい値ばらつきトランジスタを集積化するための技術開発、並びに、この技術を用いた高集積機能素子における低電圧動作実証」

薄い埋め込み酸化膜上に極薄シリコンを形成した、SOI 構造の SOTB トランジスタとその製造プロセスを開発し、H24 年度末中間目標である、100 万個以上のトランジスタでばらつき $5\sigma \pm 0.1V$ 以下、および 1Mb 以上 SRAM で 0.4V 動作の実証を達成した。

平成 24 年度に導入した選択エピタキシャル成長装置を用いて、量産性の判断が可能な水準でのエピタキシャル成長工程を確立した。さらに、量産可能レベルのデバイス・プロセス技術を用いた試作した、周辺回路用バルクトランジスタを含んだ大規模 TEG での信頼性を評価を通して、ナノトランジスタ構造デバイスと既存の CMOS トランジスタの融合集積化技術を確立した。

300mm ウェハ全面での特性の均一性や、SRAM の不良ビット低減を実証した。具体的には、ウェハ全面において、95% 以上のチップが安定に動作することを実証した。

また、これまでのデバイス試作結果に基づいてキャリブレーションしたデバイスパラメータを用いた回路動作のシミュレーション特性と、試作したデバイスの実測回路特性がほぼ一致することも確認出来、構築した超低電圧 LSI 設計環境の完成度が高いことを実証した。

超低電圧回路の動作安定性に関して、SRAM を代表的題材として実測、及び、シミュレーション解析を行い、小さい値ばらつきやオン電流ばらつきの低減が、動作安定性に大きく寄与していることを見出した。

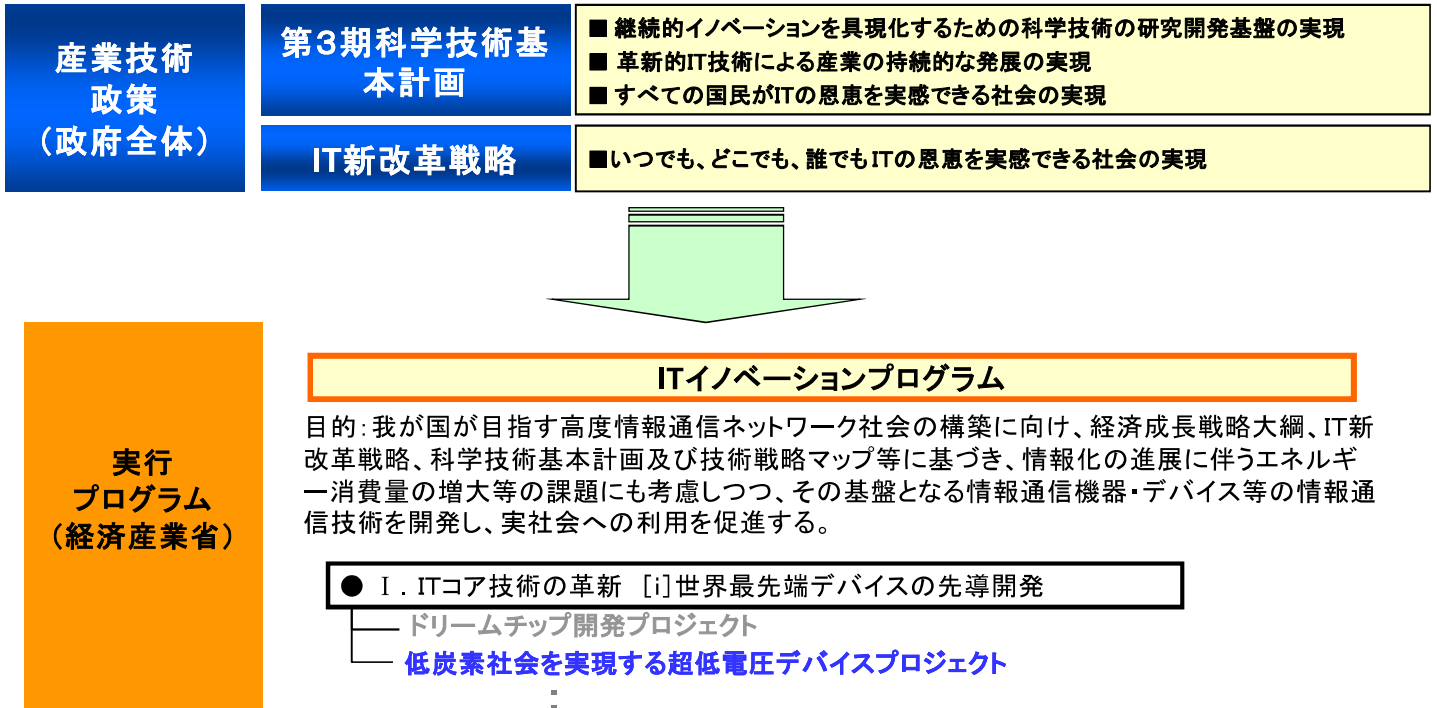
さらに、超低電圧実用回路の信頼性を阻害する要因として、ランダムテレグラフノイズ (RTN) やバイアス温度不安定性 (BTI) などを検討した。ナノトランジスタ構造デバイスの特徴である低不純物濃度 (ドーパントレス構造) が、小さい値やオン電流ばらつきに加えて RTN の低減にも寄与していることを見出し、さらにはアンテナ効果の緩和構造など、デバイスの配線構造等を検討することで良好な信頼性が得られることを実証し、以上の知見をもとに、超低電圧動作回路の高信頼化のための設計環境構築指針を提示した。

	<p>平成25年度、及び、26年度に設計試作した各種回路特性を評価した。具体的には、超低電圧回路特性評価、ソフトウェア信頼性評価、アナログ回路特性評価を行った。この評価結果を通じて、実用化回路レベルで、従来デバイスに対して消費電力を1/10に低減する目処を示した。</p> <p>各種評価ボード・モジュールを用いて平成25年度、及び、26年度に設計試作した実証アプリケーションチップや各種超低電圧動作チップを評価し、0.4V以下の超低電圧で動作することを確認し、実用化回路レベルで従来デバイスに対して消費電力を1/10に低減する基盤技術を確立した。</p> <p>原子移動型スイッチとナトランジスタ構造デバイスの融合技術実証チップとして、原子移動型スイッチを使ったROMを搭載したマイコンチップを設計試作し、最小読出し電力0.295pJ/bitの低電力性能の実証を行った。</p> <p>上記の評価結果により、最終目標であるナトランジスタ構造デバイスと既存のCMOSトランジスタとの融合集積化技術を確立するとともに、その設計環境構築への指針を提示し、従来デバイスに比較して、消費電力を1/10に低減できる基盤技術を確立するとともに、実用化回路レベルでの達成目処を示した。</p> <p>本テーマは、平成26年度で終了した。</p> <p>研究開発項目⑥ 「BEOL設計・製造基盤(プラットフォーム)開発」</p> <p>65nmBEOLプロセスフローを開発し、新材料、新構造を用いたBEOLデバイスを、企業製造ラインと繋げて試作できる、設計・プロセスプラットフォームを開発した。</p> <p>半導体製造ラインで作製した多層配線を有するCMOS基板上に、産総研SCR (Super Clean Room)でローカル配線、及び、セミグローバル配線を作製する配線製造基盤技術を開発し、配線が所望の特性を実現していることを確認した。</p> <p>新材料の汚染管理として、1. エッジカットリングによる新材料付着防止、2. 薬液による新材料除去、3. 新材料上HDP膜による汚染拡散防止、4. FOUPによるハンドリング管理手法を開発し、汚染管理の効果を確認した。</p> <p>半導体製造ラインPDKとSCR-PDKを統合した設計ルール、配線特性パラメータOPCルール等からなる連携ファブPDKを策定した。</p> <p>本テーマは平成23年で終了した。なお、本プラットフォームはSCRに技術移管した。</p>
発表・投稿論文	発表 435 件、論文 39 件(H26 年度まで) 発表 39 件、論文 13 件(H27 年度 11 月 12 日まで)
特 許	国内出願;140 件、外国・PCT 出願;90 件、PCT からの各国移行;13 件 国内登録;8 件、外国登録;7 件 (H26 年度まで) 国内出願;12 件、外国・PCT 出願;16 件、PCT からの各国移行;1 件 国内登録;9 件、外国登録;12 件 (H27 年度 11 月 12 日まで)
その他の外部発表(プレス発表等)	<p>第1回成果報告会 2011年12月15日 つくば国際会議場 320名</p> <p>第2回成果報告会 2012年12月19日 つくば国際会議場 300名</p> <p>第3回成果報告会 2014年1月23日 東京大学 伊東国際学術研究センター 300名</p> <p>第4回成果報告会 2015年3月6日 東京大学 伊東国際学術研究センター 330名</p> <p>新聞発表 雑誌、Web 掲載</p> <p>研究開発項目① 日刊工業新聞 2011年6月15日 日刊工業新聞 2012年4月17日 日刊工業新聞 2012年6月13日</p>

		<p>朝日新聞デジタル版 2012年6月13日 日経 Tech-On 2012年6月13日 (③⑤同時掲載) 日経エレクトロニクス 2012年7月9日 電気新聞 2013年6月11日 (②③⑤同時掲載) EE Time Japan 2013年6月12日 (②③⑤同時掲載) 日経 Tech-On 2013年12月9日 ((②⑤同時掲載) 研究開発項目② 日経 Tech-On 2012年12月8日 日刊工業新聞 2013年12月11日 日経 Tech-On 2014年6月9日 センコンポータル 2014年6月10日 日経 Tech-On 2014年12月15日 EE Times 2014年12月17日 研究開発項目③ 日刊工業新聞 2011年12月8日 日経産業新聞 2012年6月20日 日経 Tech-On 2012年6月13日 研究開発項目⑤ 日刊工業新聞 2012年6月20日 日経 Tech-On 2012年6月13日</p>
IV. 実用化、事業化の見通しについて	<ul style="list-style-type: none"> 集積回路の設計および製造を基幹事業のひとつとしている参加企業{(株)東芝、ルネサスエレクトロニクス(株)、富士通セミコンダクタ(株)}においては、開発した技術は、次世代以降の既存製品や新製品に直接搭載されることで、製品性能の向上やコスト削減効果により、市場占有率の増加や新市場の開拓に貢献する。 IT製品やそれを使った応用システムの提供、サービスを事業とする企業{日本電気(株)、(株)日立製作所、富士通(株)、三菱電機(株)}においては、開発した技術は、製品であるIT製品や応用システムにおける新機能付加や性能向上、競争力向上に貢献する。 半導体製造装置企業((株)荏原製作所、東京エレクトロン(株)、(株)日立国際電気)においては、開発した技術を新材料、新プロセスを処理する集積回路製造装置に適用する。 	
V. 基本計画に関する事項	作成時期	平成23年3月 作成
	変更履歴	平成26年12月事業項目「低炭素社会を実現する超低電圧デバイスプロジェクト」の研究開発項目②、④の最終目標変更、及び研究実施期間延長に伴う改訂。

政策上の位置付け

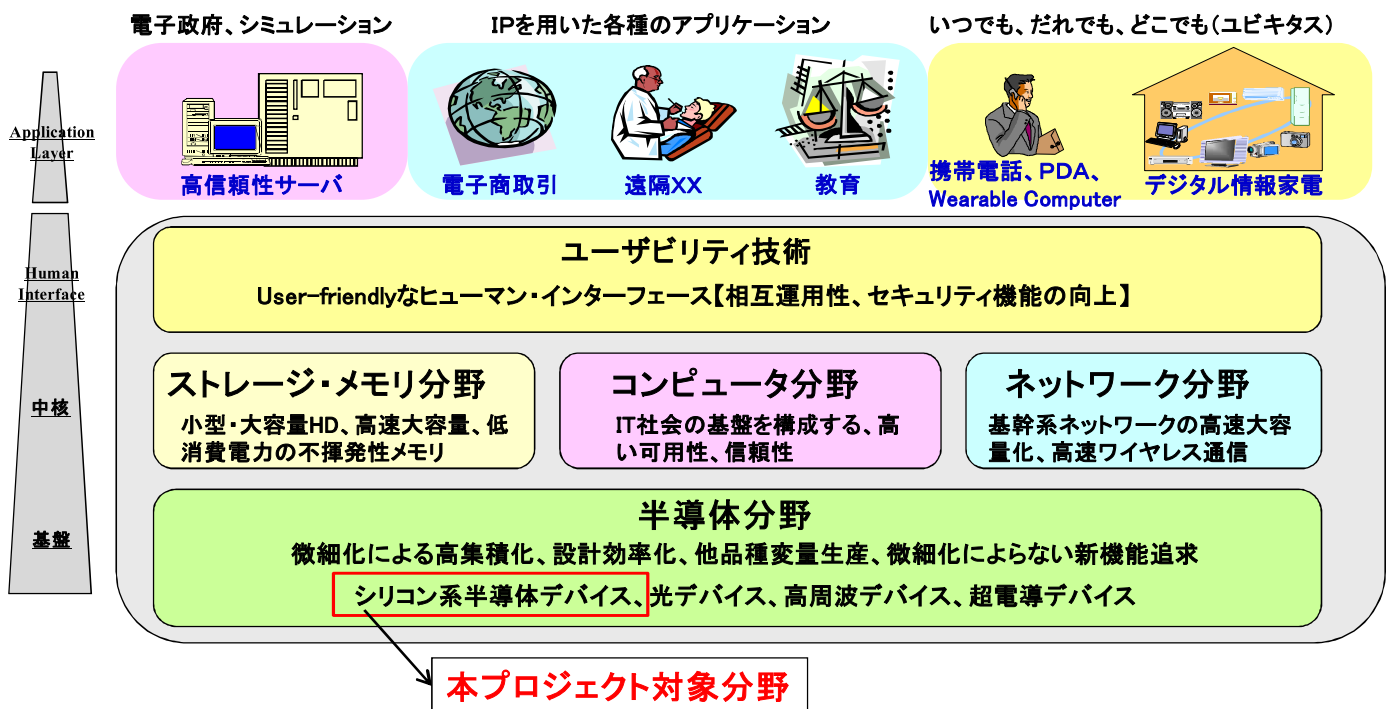
経済産業省 研究開発プログラム「ITイノベーションプログラム」の1テーマとして実施



NEDO中期目標における位置付け

「高度な情報通信社会の実現」、「IT産業の国際競争力の強化」のため、情報技術開発分野の半導体における技術開発の一環として実施。

● 高度情報通信社会とそれを支える技術分野



II. 研究開発マネジメント

(1) 研究開発目標の妥当性

事業の目標

IT機器の消費電力を1/10とする超低電圧(0.4V)動作のデバイスコア技術を早期に開発
 ⇒ CPUやメモリからなるロジック集積回路の超低電圧化、低消費電力化を目指す

従来システム (CMOS-CPU+揮発デバイス+メカニカルデバイス)

→ 低電圧・省電力システム(低電圧論理回路+不揮発デバイス)へ転換

研究開発項目

用途	ロジック マイコン CPU (SRAM、キャッシュメモリ含む)	メモリ
低電圧	⑤ナノTr.構造デバイス	④ナノカーボン配線
不揮発デバイス	③原子移動型スイッチ ①磁性変化デバイス	②相変化デバイス

[不揮発デバイス技術開発]

- ①1次メモリを対象とした不揮発デバイス(磁性変化デバイス)
- ②外部記憶の高速低電力データ転送を実現する不揮発デバイス(相変化デバイス)
- ③不揮発スイッチデバイス(原子移動型スイッチデバイス)

[低電圧デバイス集積化基盤技術開発]

- ④三次元メモリ用グラフェン・CNT配線(三次元ナノカーボン配線)
- ⑤超低電圧CMOSデバイス(ナノトランジスタ構造デバイス)
- ⑥BEOL設計・製造基盤(プラットフォーム)開発

想定する出口イメージ



10/21

II. 研究開発マネジメント

(1) 研究開発目標の妥当性

各研究開発項目の目標



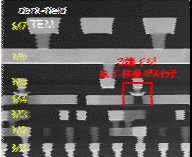
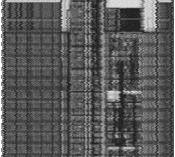

研究開発項目	内容	研究開発目標(最終目標)	根拠
①磁性変化デバイス (STT-MRAM)	低電力化要件(低電圧読み書き、不揮発)と、混載SRAMを置き換えるための要件(高集積、高速、高書き換え耐久性)を満たすメモリの開発を行う。	・メモリマクロで、読み書き電圧0.4V以下、読み書き電流100μA以下、読み書き時間10ns(電力量0.4pJ以下)、1.2V動作SRAMの1/10の電力の実証 ・リテンション10年、書き換え回数10 ¹⁰ 回の実証	混載SRAMと同等の読み書き特性と書換耐性を実現し、低電力、混載メモリ容量増大、チップサイズ小、高信頼性などの新たな付加価値を実現する目標に設定
②相変化デバイス (TRAM)	外部記憶の圧倒的な消費電力低減を実現するため、高集積、高速、低電力の要件を満たすメモリの開発を行う。	H26年度末最終目標 ・データ転送速度400MB/sの高速、従来の1/10の電力66mWの低電力動作実証 ・書き換え回数10 ⁸ 回以上 H27年度末最終目標 ・TRAM(*)の1.2V以下の動作実証 ・更なる電力削減効果(33mW以下)の見通しを得る	上位ストレージを2017年に相変化デバイスで置き換えるために、要求性能トレンドから設定 最上位ストレージを2020年に新組成超格子を用いたTRAMで置き換えるために、要求性能トレンドから設定
③原子移動型スイッチ (原子SW)	ロジック集積回路の低消費電力化・低電圧化に対応可能であり、かつ、スイッチの書き換え時、および保持時の低消費電力化を実現する超低電圧・不揮発スイッチデバイスの開発を行う。	・本スイッチにより配線切り換えを行ったロジック集積回路が0.4Vで動作可能であり、消費電力がSRAMスイッチにより配線切り換えを行った従来型1.2V動作ロジック集積回路の1/10以下 ・スイッチ素子面積が同世代SRAMスイッチの1/20以下	プログラマブルロジックデバイスを想定し、原子移動型スイッチの抵抗特性による低電圧適応性、超小型性によるスイッチ容量および配線容量・抵抗低減、不揮発性による待機時電力低減により、電力削減目標を設定
④三次元ナノカーボン配線 (グラフェン/CNT)	三次元集積を実現するための、微細幅・超低電気抵抗、超高アスペクト比配線・材料技術を開発する。	H26年度末最終目標 ・微細線幅(≦20nm)、超距離(0.7mm)、低抵抗(シート抵抗<3Ω/□)の配線実証 ・微細直径(90nm)、超高アスペクト比(30)のコンタクトホールへのナノカーボン材料埋め込み実証 H27年度末最終目標 ・20nm以下微細幅のグラフェンに対し、低抵抗化に有効な、触媒金属等の腐食を制御可能なドーピング材料の決定。 ・ピアプラグ材料としてのCNT構造に適したドーピング手法の見極め。	4~8Tbit 3次元型NANDフラッシュメモリを想定し、横方向配線と縦方向配線の目標性能を設定 実用化に向けた重要課題として抽出された、グラフェンドーピングにおける触媒金属の保護、層間ドーピング困難なCNTへのドーピング可能性検証のために設定。
⑤ナノトランジスタ構造デバイス (SOTB)	しきい値ばらつきを低減でき、かつ、使用状態に応じて動作条件を変化させる基板バイアス電圧制御が可能な構造を有するナノトランジスタ構造デバイスを開発すると共に、それを集積するために必要な技術開発を行う。	・従来デバイスに比較して消費電力を1/10に低減できる基盤技術を確認	Si-CMOSでは電源電圧V _{dd} =0.4V付近で、動作あたりの消費エネルギーが最低(効率最大)になる。アプリケーションに合わせた適応制御をおこない、出来る限り動作電圧を下げて、高効率化を図る
⑥BEOLプラットフォーム	300mm CMOS基板上に、下地CMOSとデザインルールの整合性を保ちながら、配線層の一部として様々な新材料・新構造デバイスを形成するための製造基盤及び設計基盤を開発する。	・新材料や新構造デバイスに共通に使い、それぞれのデバイスの特性を損なうことのない、BEOLプロセスレシピ、汚染管理プロトコルの作成 ・PDK(Process Design Kit)の作成 ・早期確立により、他のデバイス検証に使用	共通基盤技術により、新材料・新構造デバイスの効率的、効果的研究開発環境を構築 製造基盤および設計基盤技術の目標をそれぞれ設定

(*) TRAM: Topological-switching Random Access Memory

II. 研究開発マネジメント

(2) 研究開発計画の妥当性

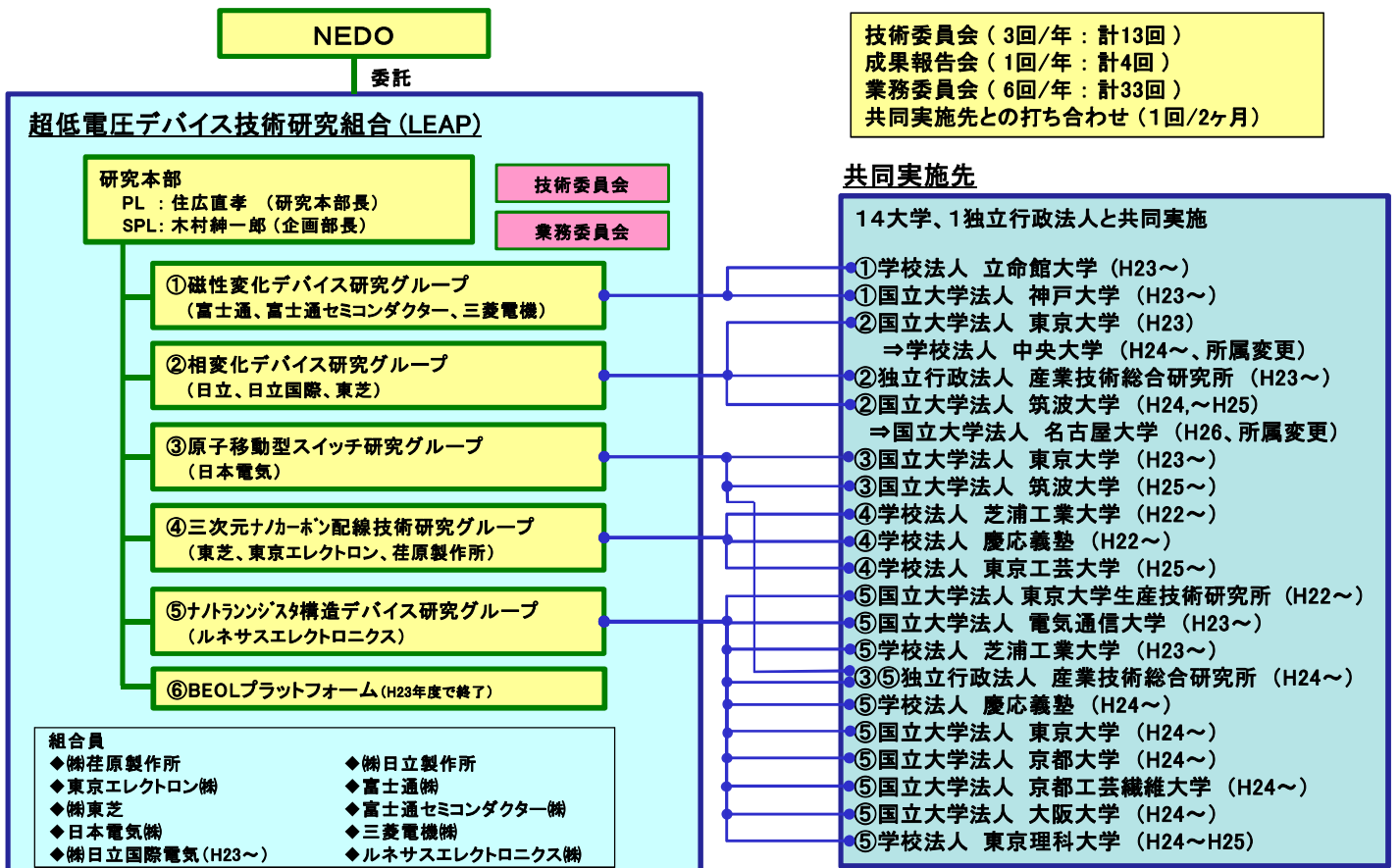
研究開発スケジュール

事業年度	平成22年度 (2010年度)	平成23年度 (2011年度)	平成24年度 (2012年度)	平成25年度 (2013年度)	平成26年度 (2014年度)	平成27年度 (2015年度)
①磁性変化デバイス (平成26年度終了) ②相変化デバイス ③原子移動型 スイッチデバイス (平成26年度終了) ④三次元ナノカーボン 配線・材料技術 ⑤ナトランジスタ 構造デバイス (平成26年度終了) ⑥BEOLプラットフォーム (平成23年度終了)	← LEAP(超低電圧デバイス技術研究組合)で実施 →					↔ 民間4社で実施 ↔
	SCR 立ち 上げ	単体レベル デバイス 実証 BEOL プラット フォーム	集積化 プロセス 構築	マクロ レベル 集積化 実証	プロト 試作 信頼性	②相変化 ④ナノカーボン
	 装置立ち上げ AIST SCR	 原子スイッチ SOTB	 CMOS +BEOLデバイス	 マクロ検証	 マイコン ボード 環境 発電	
			△ 2012年8月 中間評価	NEDO		△ 2015年12月 事後評価
	← METI →					

II. 研究開発マネジメント

(3) 研究開発の実施体制

研究開発の実施体制(H22年度～H26年度)



※ LEAP: Low-power Electronics Association & Project

II. 研究開発マネジメント

(3) 研究開発の実施体制

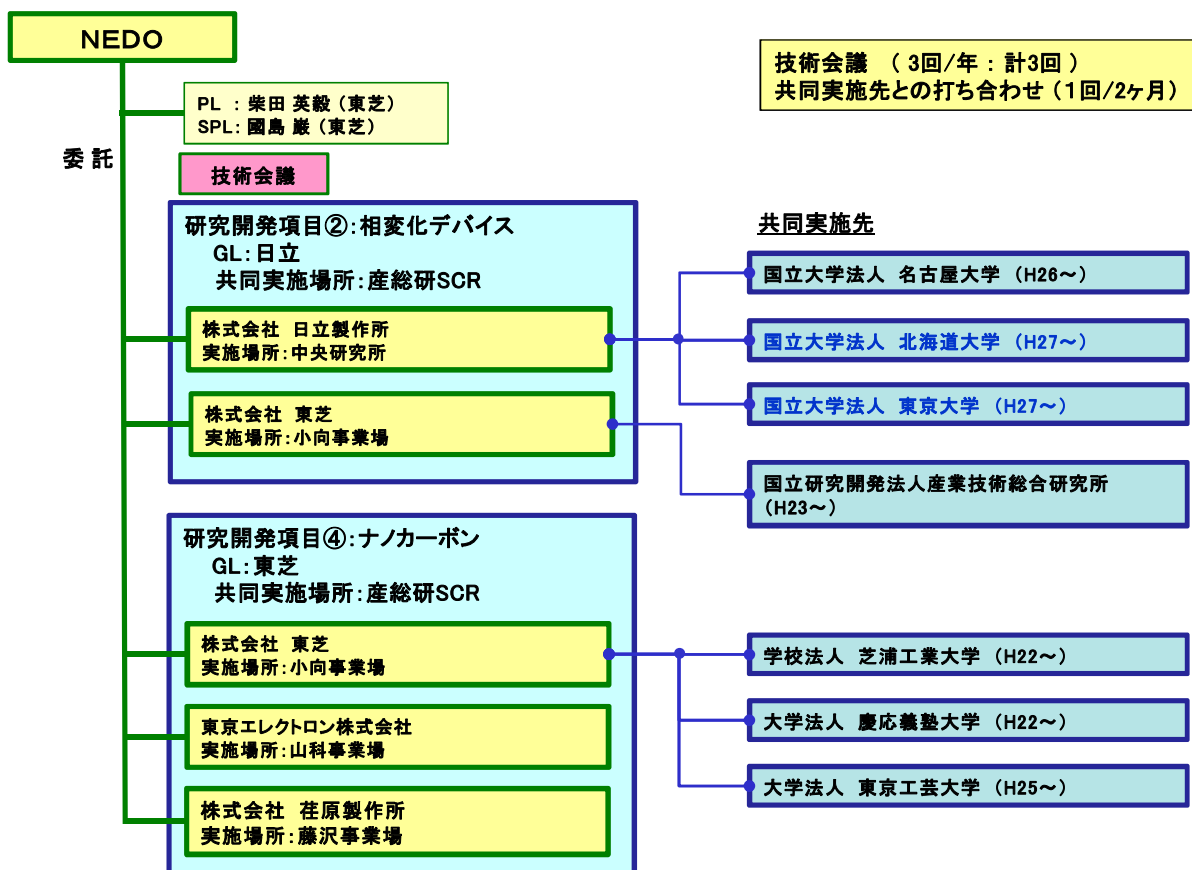
共同実施体制とその役割 (H22年度～H26年度)

	共同実施先	研究開発に対する役割
研究開発項目①	立命館大学(道関 隆国教授)	低電圧動作SoC用の素子モデリングとシステム応用検討
	神戸大学(吉本 雅彦教授 川口 博准教授)	低電圧動作のメモリ用センス回路設計と高速化アーキテクチャ検討
研究開発項目②	中央大学(竹内 健教授)	相変化デバイスの周辺回路設計
	名古屋大学(白石 賢二教授)	相変化デバイスシミュレーション及び信頼性研究
	産業技術総合研究所(富永 淳二首席研究員)	超格子材料技術開発
研究開発項目③	東京大学(山口 周教授 渡邊 聡教授)	原子移動型スイッチにおけるスイッチング機構の、実験的、理論的解明
	筑波大学(山口 佳樹 講師)	不揮発スイッチデバイスの配線アーキテクチャに関する研究
	産業技術総合研究所(小池帆平グループ長)	原子スイッチを用いたプログラマブルロジックへの回路マッピングのための設計ツール開発
研究開発項目④	慶応義塾(栗野 祐二教授)	ナノカーボン材料配線適用のための伝導特性シミュレーション
	芝浦工業大学(上野 和良教授)	ナノカーボン材料のドーピング、低抵抗金属接触の検討
	東京工芸大学(松本里香准教授)	超低抵抗ナノカーボン配線インターカレーション技術の研究
研究開発項目⑤	東京大学 生産技術研究所(平本 俊郎教授)	CMOS特性ばらつきの評価解析、ナトランジスタ特性最適化指針の提示
	電気通信大学(石橋孝一郎教授 範公准教授)	超低電力LSI設計における基板バイアス制御技術、超低電力連想メモリの検討
	芝浦工業大学(宇佐美 公良教授)	低消費電力アーキテクチャの検討、回路レイアウト・タイミング検証技術の検討
	産業技術総合研究所(小池帆平グループ長)	低電力、高効率基板バイアス制御FPGAの検討
	慶応義塾(天野 英晴教授)	アクセラレータ回路技術の検討、プロセッサ論理合成シミュレーション
	東京大学(浅田 邦博教授、池田 誠教授)	低電圧動作におけるタイミング保障の検討、超高速センサの検討
	京都大学(小野寺 秀俊教授)	回路動作から見たばらつきの評価技術、ばらつき対処回路技術の検討
	京都工芸繊維大学(小林 和淑教授)	超低電圧動作論理回路信頼性とソフトエラー解析、論理回路設計フローの開発
	大阪大学(橋本昌宜准教授)	超低電圧動作SRAM信頼性とソフトエラー解析
	東京理科大学(兵庫 明教授)	基板制御アナログ回路設計、低電圧演算増幅器の検討

II. 研究開発マネジメント

(3) 研究開発の実施体制

研究開発の実施体制 (H27年度)



開発予算の推移

(単位:百万円、(数字)は見込み)

	H22年度	H23年度	H24年度	H25年度	H26年度	H27年度	合計
①磁性変化デバイス	181	348	607	425	561	-	2,122
②相変化デバイス	547	205	525	364	411	(323)	2,052
③原子移動型 スイッチ	187	237	390	323 (3)11月度加速適用 (40)	306	-	1,443
④三次元 ナノカーボン配線	868	362	314	264 (2)9月度加速適用 (12)	269	(277)	2,077
⑤ナトランジスタ 構造デバイス	263	366	982 (1)11月度加速適用 (541)	376	785 (4)6月度加速適用 (274)	-	2,772
⑥BEOL プラットフォーム	-	781	-	-	-	-	781
総開発予算	2,046※1	2,299	2,818	1,752	2,331	(600)	11,246 (11,846)
(内)共同実施費	25	63	96	73	39	-	296
(内)設備購入・リース	1,333	622	692	180	182	(-)	3,009

※1:経済産業省直執行分

13/21