

「高効率・高速処理を可能とする AI チップ
・次世代コンピューティングの技術開発」
中間評価報告書

2021年3月

国立研究開発法人新エネルギー・産業技術総合開発機構
研究評価委員会

2021年3月

国立研究開発法人新エネルギー・産業技術総合開発機構
理事長 石塚 博昭 殿

国立研究開発法人新エネルギー・産業技術総合開発機構
研究評価委員会 委員長 小林 直人

NEDO技術委員・技術委員会等規程第34条の規定に基づき、別添のとおり評価結果について報告します。

「高効率・高速処理を可能とする AI チップ
・次世代コンピューティングの技術開発」
中間評価報告書

2021年3月

国立研究開発法人新エネルギー・産業技術総合開発機構
研究評価委員会

目 次

はじめに	1
審議経過	2
分科会委員名簿	3
評価概要	4
研究評価委員会委員名簿	7
研究評価委員会コメント	8
第1章 評価	
1. 総合評価	1-1
2. 各論	1-5
2. 1 事業の位置付け・必要性について	
2. 2 研究開発マネジメントについて	
2. 3 研究開発成果について	
2. 4 成果の実用化・事業化に向けた取組及び見通しについて	
3. 評点結果	1-24
第2章 評価対象事業に係る資料	
1. 事業原簿	2-1
2. 分科会公開資料	2-2
参考資料1 分科会議事録及び書面による質疑応答	参考資料 1-1
参考資料2 評価の実施方法	参考資料 2-1
参考資料3 評価結果の反映について	参考資料 3-1

はじめに

国立研究開発法人新エネルギー・産業技術総合開発機構においては、被評価プロジェクトごとに当該技術の外部専門家、有識者等によって構成される分科会を研究評価委員会によって設置し、同分科会にて被評価対象プロジェクトの研究評価を行い、評価報告書案を策定の上、研究評価委員会において確定している。

本書は、「高効率・高速処理を可能とする AI チップ・次世代コンピューティングの技術開発」の中間評価報告書であり、NEDO技術委員・技術委員会等規程第32条に基づき、研究評価委員会において設置された「高効率・高速処理を可能とする AI チップ・次世代コンピューティングの技術開発」（中間評価）分科会において評価報告書案を策定し、第65回研究評価委員会（2021年3月3日）に諮り、確定されたものである。

2021年3月
国立研究開発法人新エネルギー・産業技術総合開発機構
研究評価委員会

審議経過

● 分科会（2020年12月18日）

公開セッション

1. 開会、資料の確認
2. 分科会の設置について
3. 分科会の公開について
4. 評価の実施方法について
5. プロジェクトの概要説明

非公開セッション

6. プロジェクトの詳細説明
7. 全体を通しての質疑

公開セッション

8. まとめ・講評
9. 今後の予定
10. 閉会

● 第65回研究評価委員会（2021年3月3日）

「高効率・高速処理を可能とする AI チップ

・次世代コンピューティングの技術開発」

中間評価分科会委員名簿

(2020年12現在)

	氏名	所属、役職
分科会長	すかの 菅野 重樹	早稲田大学 理工学術院 学術院長/ 創造理工学部 総合機械工学科 教授
分科会長 代理	かわひと 川人 祥二	静岡大学 電子工学研究所 教授
委員	いしむら 石村 尚也	株式会社日本政策投資銀行 産業調査部 産業調査ソリューション室 調査役
	おかじま 岡島 博司	トヨタ自動車株式会社 先進技術統括部 主査・担当部長
	すがや 菅谷 みどり	芝浦工業大学 工学部 情報工学科/先進国際課程 教授
	はりやま 張山 昌論	東北大学 大学院情報科学研究科 教授
	むかいばやし 向林 隆	株式会社アイティーファーム 執行役員

敬称略、五十音順

評価概要

1. 総合評価

日本の産業競争力、維持・強化のため、モビリティ分野、ものづくり分野、サービス分野などエッジ側におけるコンピューティング技術を向上させることが肝要であり、近い将来のコア技術となる AI チップに関する技術開発は、国家が担うべき大規模プロジェクトとして妥当である。

また、多くのメンバーが参加する中、NEDO の下で、PL、PM を始めとする牽引役のリーダーシップにより、着実に成果をあげてきていることは、高く評価できる。

さらに、各テーマの技術的水準は世界に誇れるレベルであり、個々の技術開発は、当初に計画した世界最高水準を目指したゴールイメージを概ね達成していると思われる。

一方で、事業化に向けて、具体的ビジョンの策定や、事業化を担う部門、企業の特定を行うことや、その基本となる人材育成を進めて行くことが、必要と思われる。

また、データ処理に直結する本プロジェクトの AI チップ開発は、世界的に競争が最も激化しつつある分野であり、国家プロジェクトとして進展させることが急務であり、的確かつ厳格な選択と集中により、早急にアウトプット目標が達成できるような支援の充実が望まれる。

2. 各論

2. 1 事業の位置付け・必要性について

IoT 社会の高度化、AI のさらなる普及などにより、処理するデータが膨大となる中、データを高効率・高速で処理可能な AI チップの開発は、将来の様々な社会革新の源となる技術であること、また、量子アニーリングコンピュータ等の新しいコンピューティングに関しては、その重要性から世界的な競争が激化している中、我が国も総力を挙げて実施する必要があることから、それらの開発促進を促す本事業の位置づけは、妥当であると思われる。

また、AI チップ開発では、AI 導入、セキュリティ確保、消費電力等の経済性、コスト削減など多くの課題を同時に扱わなければならないこと、量子アニーリングコンピュータシステムの開発では、新規開発の要素が多く、多額の研究開発費がかかる等、民間企業では研究投資の決断が困難であることから、NEDO が大規模予算により、技術を有する国内企業群・研究機関群をまとめ、事業を進めることは妥当であり、効果的であると評価できる。

2. 2 研究開発マネジメントについて

極めて高い目標設定とそれに見合った研究開発予算が組まれており、この超大型プロジェクトを、3つのテーマ・グループに分けて組織し、適切な PL、PM 等の配置により効果的な運営体制を構築し、実施できていることは妥当である。特に、量子アニーリングコンピューティングの開発においては、ハード、ソフト、周辺技術の開発においてオールジャパン体制を構築していることは、高く評価できる。

また、ステージゲート審査、サイトビジットなどの定期的な実施により、研究成果の見極めが行われ、実用化が可能なテーマについては前倒しの事業化が計画される等、柔軟な予算配分が行われていることから、研究開発マネジメントは適切に実施できていると考えられる。

一方、プロジェクト開始前に行なっているベンチマーク活動は、プロジェクト開始後は実施者任せになっていることから、NEDO においても、成功事例の共有、技術の世界的な潮流とポートフォリオの明確化及び競合技術に対するポジショニング等を、明示されることを望みたい。

さらに、事業化の観点からみた優位性検討と、それにとまなう目標の見直し、あるいはテーマの取捨選択や整理統合を、これまで以上に適宜行うことにより、選択と集中をより加速することも期待したい。

2. 3 研究開発成果について

各テーマの目標設定は十分高度なものであり、成果も世界に誇れる水準に達している。個別に見ると、研究開発項目①「革新的 AI エッジコンピューティングの技術開発」においては、深層学習において革新的な計算量の削減、新アーキテクチャの開発、深層学習によらない組み込み AI 向けのアルゴリズムに基づくアプローチなど、世界水準の成果を出していると考えられる。研究開発項目②「次世代コンピューティングの技術開発」は、量子アニーリングコンピューティングのみならず、サイバネティックコンピューティングの基盤技術や脳型アーキテクチャなど、新たな領域開拓に向け、研究開発が推進され、さらにロボットなどの具体的なアプリケーションで成果が得られていると思われる。研究開発項目③「高度な IoT 社会を実現する横断的技術開発」は、ほぼ最終目標を達成しつつあり、サンプル等を用いた実システムによる実証実験が進み、その成果が具体的に示されていることや、論文や研究発表、国際標準化などの普及活動も展開され、評価できる。

一方で、全体的に、技術開発の達成状況が、世界の先端技術に対して、追いつきつつあるものの、優位性を十分に示し得るまでには達していない、あるいは今後それ以上に到達する見込みを明確には提示できていないように見受けられる。

事業化で優位になるためには、実用化フェーズに入っている一部の AI チップ、ハードウェアセキュリティに関しては、プロトタイプでのユーザー評価を実施すること、開発段階の量子アニーリングコンピュータに関しては、ユーザーとなりうる事業主体とのコミュニケーションが重要と考えられ、人材育成、事業化を見据えた検討の開始を期待する。

2. 4 成果の実用化・事業化に向けた取組及び見通しについて

実用化に向けては、それぞれの関連課題で類似技術の差別化、既存技術に対して有効性を証明できる指標を模索しており、戦略自体は明確かつ妥当と思われる。

また、研究開発項目③「高度な IoT 社会を実現する横断的技術開発」は、技術的優位性に基づき、参加各企業が実用化・事業化を計画的かつ具体的に進めていることは評価でき、小規模ながら人材育成にも貢献していると思われる。

一方で、研究開発項目①「革新的 AI エッジコンピューティング技術の開発」の代表的出口として想定されているロボット産業は必ずしも大規模とは言えず、一般ビジネスを含めて広く検討していただきたい。

また、研究開発項目②「次世代コンピューティング技術の開発」は、開発が加速するのはこれからのフェーズではあるものの、特にアニーリングマシンコンピューティング技術については、オールジャパンの体制が構築され、ビジネス面での波及効果だけではなく、成果が出てきた場合には体制構築のモデルケースとなる可能性も含めた波及効果が期待できると考えられるため、予算の拡充だけではなく、人材育成・獲得戦略、国家の全体戦略を踏まえた進め方を意識して進めていただきたい。

プロジェクト全体として、アウトプット目標に対して技術開発は着実に進んでいると評価できるが、アウトカム目標達成の具体的検討が追いついていない印象を受けることから、今後は、単に実用化できれば完了ではなく、市場を獲得、拡大する方策についても一層の検討をお願いしたい。

研究評価委員会委員名簿

(2021年3月現在)

	氏 名	所属、役職
委員長	こばやし なおと 小林 直人	早稲田大学 参与・名誉教授
委員	あさの ひろし 浅野 浩志	一般財団法人電力中央研究所 エネルギーイノベーション創発センター 研究アドバイザー
	あたか たつあき 安宅 龍明	先端素材高速開発技術研究組合 (ADMAT) 専務理事
	かわた たかお 河田 孝雄	株式会社日経 BP 日経バイオテック編集 シニアエディター
	ごないかわ ひろし 五内川 拡史	株式会社ユニファイ・リサーチ 代表取締役社長
	さくま いちろう 佐久間 一郎	東京大学 大学院工学系研究科 教授
	たからだ たかゆき 宝田 恭之	群馬大学 大学院理工学府 環境創生部門 特任教授
	ひらお まきひこ 平尾 雅彦	東京大学 大学院工学系研究科 化学システム工学専攻 教授
	まつい としひろ 松井 俊浩	情報セキュリティ大学院大学 情報セキュリティ研究科 教授 国立研究開発法人産業技術総合研究所 名誉リサーチャー
	やまぐち しゅう 山口 周	独立行政法人大学改革支援・学位授与機構 研究開発部 特任教授
	よしかわ のりひこ 吉川 典彦	東海国立大学機構名古屋大学 名誉教授
よしもと ようこ 吉本 陽子	三菱 UFJ リサーチ&コンサルティング株式会社 政策研究事業本部 経済政策部 主席研究員	

敬称略、五十音順

研究評価委員会コメント

第65回研究評価委員会（2021年3月3日開催）に諮り、以下のコメントを評価報告書へ附記することで確定した。

- デジタルトランスフォーメーションの動きの中で、当該プロジェクトで扱う研究開発に対して、国の関与する必要性は極めて高い。その一方で、テーマの取捨選択や方向性の決定などを機動的に展開するとともに、国際的競争力を有した産業化に繋げる多様な事業化戦略が必要である。またエッジ領域については注力すべき重要な開発領域を選択して進めるとともに、次世代コンピューティング、特に量子コンピューティングに関しては、世界的な競争が激化する中での技術的優位性の発揮を期待したい。

第1章 評価

この章では、分科会の総意である評価結果を枠内に掲載している。なお、枠の下の箇条書きは、評価委員の主な指摘事項を、参考として掲載したものである。

1. 総合評価

日本の産業競争力、維持・強化のため、モビリティ分野、ものづくり分野、サービス分野などエッジ側におけるコンピューティング技術を向上させることが肝要であり、近い将来のコア技術となる AI チップに関する技術開発は、国家が担うべき大規模プロジェクトとして妥当である。

また、多くのメンバーが参加する中、NEDO の下で、PL、PM を始めとする牽引役のリーダーシップにより、着実に成果をあげてきていることは、高く評価できる。

さらに、各テーマの技術的水準は世界に誇れるレベルであり、個々の技術開発は、当初に計画した世界最高水準を目指したゴールイメージを概ね達成していると思われる。

一方で、事業化に向けて、具体的ビジョンの策定や、事業化を担う部門、企業の特定を行うことや、その基本となる人材育成を進めて行くことが、必要と思われる。

また、データ処理に直結する本プロジェクトの AI チップ開発は、世界的に競争が最も激化しつつある分野であり、国家プロジェクトとして進展させることが急務であり、的確かつ厳格な選択と集中により、早急にアウトプット目標が達成できるような支援の充実が望まれる。

<肯定的意見>

- 近い将来のコア技術となる AI チップに関する技術開発は、国家が担うべき大規模プロジェクトとして妥当なテーマである。多くのメンバーが参加する中、NEDO の下で、PL、PM を始めとする牽引役のリーダーシップにより、着実に成果をあげてきていることは、高く評価できる。
個々の技術開発でも、当初に計画した世界最高水準を目指したゴールイメージを概ね達成している。また、マーケットの見極め、知財確保などの実用化・事業化についても、十分な取組が行われている。
- いずれの開発課題も、社会的ニーズ、産業的ニーズの高いもので、優れた成果が得られた場合の社会的インパクトも大きい。技術のオリジナリティがあり、成果目標の設定（10TOPS/W 級の AI エッジコンピューティング、1000 ビット量子アニーリングマシン）も高く、これまで着実に成果を上げていることから、最終目標が達成される可能性も高い。
- 総じて当初目標への進捗は順調であり、本事業単体として見た時には大きな懸念がない。
- 米中の AI 技術競争において、米国はサーバー側の技術、中国は応用面で大きく先行している。日本の産業競争力、維持・強化のため、モビリティ分野、ものづくり分野、サービス分野などエッジ側におけるコンピューティング技術を向上させることが肝要であり、十分な知識と体力を持っている。個別のテーマでは着実な進捗が見られ、ソフト、ハードの同時開発が効率的な成果創出につながっている。プロジェクトが網羅的であり、集中が必要との意見もあるが、技術と人材を育成するためには、個別の支援も重要と考える。
- ここまでのところで、3つの大型プロジェクトを一括して中間評価すれば、事業の位置

付け・必要性は A、研究開発マネジメントは、改善の余地がある B だと思います。
また、研究開発成果、成果の実用化・事業化に向けた取組及び見通しは、1/3 のプロジェクト（①、②）がまだ中間であることや、プロジェクト①、②については、まだ見えていない成果も多く、評価するにはばらつきが大きく見えることから、高い目標と技術を達成しつつあるという意味で A ではあるが、B に近い A であると考えます。最後の実用化、事業化についても同様で、プロジェクト①、②の中間評価における、成果の実用化・事業化に向けた取組及び見通しという意味では妥当 B かと思います。現時点で明確であれば良い、という意味では、プロジェクト③は A ですが、プロジェクト①、②は B であり、平均で B となります。中間時点で、これを明確にするのは難しく、プロジェクトの構成上、B にならざるをえないように思います。次世代コンピュータ技術は、未来社会の情報保全にも関わる重要な項目でもあることから、より国としての戦略を明確にし、きめ細かな支援やマネジメント方策を検討し、ハード・ソフト、産学官が一体となって進める必要があるかと思います。関係者の皆様の並々ならざる尽力はもとより、国民として高い期待を評価に反映させていただきました。

- 全体としては高いレベルで適切にプロジェクトが設定・運用・管理されているように感じる。プロジェクト毎にフェーズを分けて管理することにより、量子コンピュータのプロジェクトのように先進性が極めて高いプロジェクト、AI チップのように実用に差しかかりつつあるプロジェクト、ハードウェアセキュリティのように実用段階にあるプロジェクトのように、個々のプロジェクトの性質・状況に応じて適切な管理・評価ができると感じた。また、状況の変化に応じて、柔軟にプロジェクトを連携・統合する仕組みは、技術の状況が目まぐるしく変化する本テーマには特に有効に働くと感じた。
- 各テーマの技術的水準は世界に誇れるレベルである。研究体制は健全なものであり、“技術的な” 目標を達成することに対して大きな障害は見当たらない。

<改善すべき点>

- 各プロジェクトの表面上から見える個々のテーマが限られており、全貌を把握することが難しい。それは逆に言えば、事業原簿に記載されている全てのテーマが重要であるとは限らないことを意味する。PL、PM、NEDO には、単なる関係者集合体としてのチーム編成、テーマ設定ではなく、その必要性やプロジェクトでの位置付けを明確にしていきたい。

国際化戦略が、様々な方策は示されているものの、実効性に乏しい印象がある。知財で抑える部分、デファクトを狙う部分、デジュールで攻める部分などの吟味が必要と感じる。

- 「革新的 AI エッジコンピューティング技術の開発」については、本事業終了後、直ちに LSI 製品を市場投入できるかどうかは、十分に大きな規模の市場において、他に対する性能的優位性を持ちながら、市場的価値が高い製品となることを見通せているかどうかにかかっている。現時点で具体的ターゲットとして想定しているロボット市場については、これまでの動向から推測して未知数のところも少なくないと思われるた

め、より広い分野においてアプリ側の企業とのコンタクトを密にする努力を継続してほしい。

- 一方で、前述の通り、事業の全体戦略の中での位置づけやビジネス化を踏まえた潜在ユーザーへのニーズのくみ取り、その結果の共有などは一層図られていくのが望ましい。
- アジャイルなマネジメントを試行していることは評価できる。今後の計画の見直しも重要であるが、それぞれのプロジェクト内においてもアジャイルな運営、OODA的なマネジメントを行うことが必要と考える。
- 事業原簿の順序や、見やすさなどは今一度ご検討いただけると助かります。多くの識者による客観的な評価を反映させることがしやすい仕組みをご検討いただけると良いと思います。
- 各テーマ間のシナジーの検討が不足している。事業化に向けてのビジョン、具体的実行計画が存在しない。マッチメイキングによる実用化は世界的に成功例が少ない。

<今後に対する提言>

- データ処理に直結する本プロジェクトの AI チップ開発は、世界的に競争が最も激化しつつある分野であり、国家プロジェクトとして進展させることが急務である。的確かつ厳格な選択と集中、加速予算の増額などにより、早急にアウトプット目標が達成できるような支援の充実を望みたい。
- 「革新的 AI エッジコンピューティング技術の開発」については、日本の半導体産業再興の契機ともなるよう、まずは着実な市場においてデザインウィンを勝ち取り、その後のより大きな市場での成功を期待したい。
- 予算が諸外国と比べれば少ない中で、費用対効果を大きく挙げることは非常にハードルが高いが、各事業者で連携して重複することのないよう効率的な研究開発を少しでも進捗させること、その基本となる人材育成をいかに教育機関と連携しながら進めて行くかが、長期的なプロジェクトの成功の鍵となると考える。
- 非常に競争が激しく、従来想定していなかったプレイヤーも参入している。事業者任せにするのではなく、NEDO 自ら情報収集、ポジショニングマップを継続して評価することが、正しい方向にプロジェクトを導くことにつながる。ぜひ実行いただきたい。
- 目標設定については、今後情報分野以外の識者も入れて検討するべきかと思います。現状の目標にある競争優位性のみならず、国家の安全保障における視点なども、慎重かつ注意深く検討する必要があるかと思います。また、完全に実施することは難しいかもしれませんが、客観的、定量的な評価分析手法などを、本評価に取り入れることもご検討いただけると良いと思いました。
- 量子コンピュータに関して、ハードの開発と並行して、キラーアプリケーションの探索を強力に推進して欲しい。そのためにはイジングモデルが得意とするタイプの問題を整理かつ明確にして、数理最適化の専門家と情報共有しながら応用を探索することが必要だと思われる。

- 事業化ビジョンの策定を急ぐこと。事業化を担う部門、企業の特定を急ぐこと。想定顧客との意見交換を直ちに開始すること。

2. 各論

2. 1 事業の位置付け・必要性について

IoT 社会の高度化、AI のさらなる普及などにより、処理するデータが膨大となる中、データを高効率・高速で処理可能な AI チップの開発は、将来の様々な社会革新の源となる技術であること、また、量子アニーリングコンピュータ等の新しいコンピューティングに関しては、その重要性から世界的な競争が激化している中、我が国も総力を挙げて実施する必要があることから、それらの開発促進を促す本事業の位置づけは、妥当であると思われる。

また、AI チップ開発では、AI 導入、セキュリティ確保、消費電力等の経済性、コスト削減など多くの課題を同時に扱わなければならないこと、量子アニーリングコンピュータシステムの開発では、新規開発の要素が多く、多額の研究開発費がかかる等、民間企業では研究投資の決断が困難であることから、NEDO が大規模予算により、技術を有する国内企業群・研究機関群をまとめ、事業を進めることは妥当であり、効果的であると評価できる。

<肯定的意見>

- データ処理が膨大となる中、データ処理を高効率・高速で処理可能なチップの開発は、将来の様々な社会革新の源となる技術である。しかし、日本の技術開発は諸外国と比較して進んでいるとは言えず、相当な強化が必要な状況にある。データ処理のチップ開発では、AI 導入、セキュリティ確保、経済性（消費電力等）、コスト削減など多くの課題を同時に扱わなければならないが、企業が単独で挑んでも総合的にイノベーティブな成果を得ることは難しいことから、国（経産省・NEDO）が主導的に開発をリードすることが期待される開発課題に含むべきものである。この観点から、NEDO が大規模予算により、技術を有する国内企業群・研究機関群をまとめることで事業を進めることは妥当であり、効果的であると評価できる。
- IoT 社会が到来する中、AI を活用した新しいコンピューティングのアーキテクチャ、デバイス技術に基づき、大量のデータの処理を可能な限り高速かつ低消費電力で行う技術の開発は、サーバー系、端末系いずれにおいても今後一層必要とされるものであり、国の事業として推進すべきものである。特に日本の電子産業発展の観点からは、従来大手企業が進めてきた半導体の製造までも統合した垂直統合型から脱却し、アーキテクチャ・デバイス設計に関わる研究開発に注力して、競争力のあるデバイスをスピーディに開発し事業化できるよう産業構造を変革していく必要があり、現在はその途上にあると考えられるが、本開発課題の推進はその一助となる可能性があり、その意味においても推進する意義がある。
- 本事業は我が国の情報産業の再興を目的とし、半導体等による計算基盤を維持していくために極めて重要なプロジェクトであり、その背景としては AI の将来的なさらなる普及、IoT 社会の高度化など、今後一層重要度を増していく時代の要請がある。この点で我が国の総力を挙げて実施する必要がある、上記項目については妥当なものといえ

る。

- 当該領域、アプリケーションは昨今の人工知能技術の進歩により飛躍的に市場が拡大している。日本のものづくり、産業競争力は一部の業界では失われたかとも言われるが、まだまだ要素技術では負けていない。特にアプリケーションに近い部分で競争力を維持することは可能であり、本取組は研究開発力の下支えに有効に効果を発揮する。市場規模も十分に大きく費用対効果も期待できる。

- (1) 事業目的、NEDO 事業としての妥当性

本事業実施の背景の社会経済課題の解決のために、

研究開発項目①では、革新的 AI エッジコンピューティング技術の開発(2017-2022)、

研究開発項目②では、次世代コンピューティング技術の開発(2017-2027)

研究開発項目③では、高度な IoT 社会を実現する横断的な技術開発(2016-2020)

という異なる事業推進をはかり、妥当であると考えられます。

日本は特に半導体産業が中心の情報戦略が中心とされてきましたが 産業構造の変動とともに、競争に遅れがあり、これを IoT から、AI、エッジ、次世代のコンピュータ技術と高度情報技術へ置き換え、最先端研究を行う大学・競争を支援する取り組みは、極めて重要です。Internet から IoT へのシフトという国際的な流れの中で、組み込みや物づくり技術を積極的に IoT につなぎ、それをさらに AI やエッジ、量子コンピューティング等の革新分野に重点を置き実用レベルの大型予算付け、事業化を目指すこと画期的であり重要な意義があると考えられます。上位の政策的位置づけとの兼ね合いは、Society 5.0、Connected Industries という産業コンセプトの実現を想定している点は、妥当だと思います。特にバーチャルデータから、医療・福祉・産業等のエッジへ情報産業のシフトを行い、産業育成とデータ保護を行うことは重要な目標になると考えられます。

NEDO 事業としての妥当性ですが、①、②、③で推進する特にプラットフォームとなる基盤技術は、民間投資では十分ではないこと、また、水平・垂直連携を強力に推進するためには国の予算が必須であることから、妥当であると考えられます。2025年には、約80兆GB(2020年度との比較で約4倍)かつ、世界で生成されるデータの約30%がリアルタイムデータとなる中で、AI エッジの自動制御、機械学習を必須とするための次世代コンピュータの開発は重要な役割を果たすとされ、中で、現場データをリアルタイムに処理する AI の利用、また、AI チップ等のエッジ処理、量子などの次世代コンピューティング技術の開発促進を促す目標設定については、現状競争において十分な優位性が維持できてない状況である日本では、国が推進支援する意義があり評価できます。

- 現在、組み込みシステム向け、低消費電力 AI チップ、量子コンピュータに関する事業は、その重要性から世界的での競争が激化しており、我が国として重要な事業であり、必要性は極めて高い。また、AI チップ集積回路、量子コンピュータシステムの開発はともに新規開発の要素が多く、また多額の研究開発費がかかるため、民間のみでは実施が難しく、NEDO が関与する必要性が高いと言える。

- 近い将来予想されるデータ爆発に備えるために適切なテーマ選定となっている。当該分野は現時点では収益予想を立てにくく、民間では研究投資の決断が困難である点、また国内企業の規模では、もはや単独でカバーできるスケールではないという 2 つの点から、NEDO のプロジェクトとして推進するのにふさわしいものと判断する。また採択された個別テーマは日本の強みを生かしたもので、将来の産業発展に貢献することが期待できる。

<改善すべき点>

- 「高度な IoT 社会を実現する横断的技術開発」と「革新的 AI エッジコンピューティング技術の開発」の連続性と技術的関連性は理解できるが、「次世代コンピューティング技術の開発」は、開発フェーズも異なり、評価基準も異なることから、前者 2 テーマとの関連性が薄い。「次世代コンピューティング技術の開発」は、根本的かつ長期的に取り組むべき課題であり、さらに基盤技術としても確立できていないテーマも含まれていることから、前者 2 テーマとは独立させるなど、位置付けには検討の余地があったのではないか。
- 「革新的 AI エッジコンピューティング技術の開発」の課題については、NVIDIA 等強力な競合相手がいること、また最先端テクノロジノードを用いた LSI の製品化には大規模な開発投資の判断が求められることから、十分に大きな市場規模が予想される具体的アプリケーションにおいて、性能的な優位性を明らかにし、タイムリーに事業化の判断を行い LSI の量産までの道筋を描く必要があると思われる。想定している市場として、ヒト協調ロボットや自律移動ロボットが挙げられているが、ロボットに関連した事業分野は、以前から将来発展が期待される分野と言われているものの、市場的には未だ大きな分野に成長しておらず、本事業終了時の 2023 年頃において、これらのロボット市場に期待して、本事業による次世代 LSI の製品化ができるかどうか、やや不安がある。10TOPS/W という高い演算能力・電力効率を活かせる、より明確かつ大きな市場を想定して、開発を進められることが望ましい。
- 各国の AI 関連の政策動向をみると、例えば米国では 2019 年の AI イニシアチブに関する大統領令、米国イノベーション戦略、中国では次世代人工知能発展計画など、国家的なプロジェクトが多く走っている状況。日本と比較すると、①予算規模が米中のほうが大きい。②米中は、ある一定の骨太な戦略のもとに個々のプロジェクトが走っている。③戦略の中で特に米国では「人材育成戦略」が重点項目として挙げられ、長期的な視点を持っているのに対し、日本でも人材育成はテーマとして挙げられているものの優先度合いが低いように思われる。
こういった点も踏まえてトータルな戦略の上に本プロジェクトがどう位置づけられるのか、より実施者にもわかりやすい形で提示されることが望まれる。
また、実施の効果については投じた費用との対比では十分高いと思われるが、一方で、全プロジェクトが予想していた 100% の成功をおさめるということはビジネスの文脈からみると難しいことであり、事業者申し出の経済効果をみるとときには一定の掛け

目をもって保守的に判断すべきであるとは思う。

- 事業の妥当性について特に問題なし。
- (1)(2) 事業目的、NEDO としての事業の妥当性

資料による分析では、第4次産業革命、第1幕のネットデータは米国系企業（Google、Amazon、Apple、etc.）といった海外企業に握られており、恩恵を享受できていないとされています。第2幕の、健康・医療・介護・製造現場、自動走行等の産業応用情報は、国家の安全保証関わることから、早急に情報インフラを開発する必要があるという認識は、特に重要であると考えられます。また、Society 5.0、Connected Industries という産業コンセプトの実現にあたり AI エッジの自動制御、機械学習を必須とするための次世代コンピュータの開発基盤は、国家的にも非常に重要である情報基盤開発を行っているにもかかわらず、国としての情報戦略が Society 5.0、Connected Industries に明示されていないことは気になります。5年期間での短いプロジェクトであること、予算1つあたりが小さく、基盤づくりの種まきとしては良いかもしれませんが、今後世界的に競争力を持つ事業につながるような基盤づくりに向けては、若干少ないように見受けられました。

また、②については現在の技術の延長にある高度技術ではなく、未知分野である量子コンピュータ技術には10年間の予算配分を行い、長期的に取り組んでいる点は評価できますが、プロジェクト①などは、センサー基盤など基礎的な仕組みが出揃い、これから AI やエッジとしてさらに発展させ基盤化するタイミングでプロジェクトが終了している提案も見受けられます。情報基盤となるインフラづくりには5年とは短く、目的に適合した有望な事業に関しては②と①の統合など AI 化をさらに推進するなど、現在行われているような有望な研究開発プロジェクトを見極めて長期的な戦略につなげる試みを、さらに、より積極的に実施されることもご検討いただけると良いかと思いました。

資料 7-1 に記述があるように、第4次産業革命、第2幕に置いて、必要となる情報は個人や企業データが大量に含まれ、国家レベルの情報戦略が必要であると考えます。競争分野に国家予算で参入支援を行う際に、強みを生かすための戦略を検討されていることは評価できます。例えば、プロジェクト①、②、③の資料では、我が国の強みを生かす柱が検討されており（例、現場のデータの利用、ハードとソフト融合と物作り、社会課題の先見性(7-1-3)）、こうしたボトムアップ的な強みを活かす方策は重要だと理解します。一方、今後の国際社会の分析と、情報技術基盤への期待としてトップダウン色の強い②は重要です。

革新技術への投資以外にも、情報技術の目標として OS、ミドルウェア、ソフトウェアプラットフォームやクラウド強化があると思われます。これらのソフトウェアは、現在主に米国企業が提供しています。また、現状、多くのハードウェア資源をソフトウェアで使いやすく、また、サービス化して提供するサービス（Google drive, Dropbox, Evernote, etc.）もまた、米国系企業が提供しております。こうしたサービスにおいては、情報が最も重要な資産であり、こうした情報がある日消失するような事態が起き

た場合、その範囲は計り知れないものと考えられます。COVID 下で拡大したコミュニケーションツールも、LINE(韓国)、Zoom(米国&中国)と国産インフラソフトの地位低下は顕著で、日本は莫大なハードウェア技術と基盤技術を国際競争上優位にしても、重要なソフトウェアや情報管理のための技術基盤が弱いままの状態が続いております。このことから、弱体化しているソフトウェアやソフトウェアサービスをいかに育成し、競争力をつけるだけではなく、国民の情報を安全保障の観点で防衛する積極的な戦略目標について、今後、さらに検討していただきたく思います。今回のプロジェクトでは、①②③を通じてソフトウェアプラットフォームの提案は、ハードの提案と共に、また独立した形のもものがそれぞれ数件あるものの、それがメインとしての提案は数件でした(①の3.7、3.10、②3.9、③3.4、3.5のトータル5件。)。過去、NEDO 予算によるOS、ミドルウェアの研究開発プロジェクトの成果が芳しくなかったことを考えると、成果を考慮するとこのような結果になるのかもしれませんが、このままだとソフトウェア開発力の弱体化が加速されることから、これらの強化も今後目標としてご検討いただければと思います。ソフトウェア技術は初期投資が低く、競争が重要であるなどの認識に立てば、ベンチャー的な取り組みなどを工夫してとりこむ、現状のような取り組みが良いのかもしれませんが、なかなか十分に成果につながっていないように見受けられます。何らかの形で高度なソフトウェアサービスが高効率なハードウェア開発と連携し、アプリケーションやサービスを提供するという戦略目標を長期的にたて、高度なソフトウェアの基盤技術の構築支援を継続的に進めることを期待しています。また、情報技術は国益に直結する財産です。この保全を国として検討することは、緊張の強い国際情勢にとり重要な課題だと考えます。例えば、防衛的な観点で、自国機密情報を戦略的に隠蔽できるような仕組みなどを、先導コンピュータ技術で実現されることも重要だと思います。その点で、③の PUF 技術や①の(F)セキュアオープンアーキテクチャ、AI エッジデバイスの横断的なセキュリティ評価などは重要だと思います。このように、全体の目標の中に、国民の情報の保全など有事の安全保障に関する目標設定は今後より重要になると考えますので、別途方策を検討する必要があるかもしれません。

- ・ 要素技術の開発に比べて応用シーンの開発が弱い。得られた成果を利用する事業部門あるいは企業を早い段階で巻き込んでおくことが得策である。

2. 2 研究開発マネジメントについて

極めて高い目標設定とそれに見合った研究開発予算が組まれており、この超大型プロジェクトを、3つのテーマ・グループに分けて組織し、適切なPL、PM等の配置により効果的な運営体制を構築し、実施できていることは妥当である。特に、量子アニーリングコンピューティングの開発においては、ハード、ソフト、周辺技術の開発においてオールジャパン体制を構築していることは、高く評価できる。

また、ステージゲート審査、サイトビジットなどの定期的な実施により、研究成果の見極めが行われ、実用化が可能なテーマについては前倒しの事業化が計画される等、柔軟な予算配分が行われていることから、研究開発マネジメントは適切に実施できていると考えられる。

一方、プロジェクト開始前に行なっているベンチマーク活動は、プロジェクト開始後は実施者任せになっていることから、NEDOにおいても、成功事例の共有、技術の世界的な潮流とポートフォリオの明確化及び競合技術に対するポジショニング等を、明示されることを望みたい。

さらに、事業化の観点からみた優位性検討と、それにとりまう目標の見直し、あるいはテーマの取捨選択や整理統合を、これまで以上に適宜行うことにより、選択と集中をより加速することも期待したい。

<肯定的意見>

- ・ 極めて高い目標設定とそれに見合った大型研究開発予算が組まれており、この超大型プロジェクトを、3つのテーマ・グループに分けて組織し、適切なPL、PM等の配置により効果的な運営体制を構築し、実施できていることは高く評価できる。
次世代コンピューティング技術の開発では、量子コンピューティング、新原理コンピューティングといった全く新しい技術をターゲットにしていることは妥当である。
ステージゲート審査、サイトビジットなどを定期的な実施することで、事業見直し、加速予算配布といったマネジメント事業が適切に計画され、実施されている。
- ・ 「革新的 AI エッジコンピューティング技術の開発」においては、現状の10倍の10TOPS/Wの目標としており、性能目標としては十分に高く、かつ達成されればインパクトの大きい成果になると思われる。また、提案するDRPアーキテクチャは、演算性能の向上、電力低減において、現在の最新アーキテクチャを大きく越える性能が期待されるため、目標性能が達成される可能性が高い。「次世代コンピューティング技術の開発（超電導パラメトロン素子を用いた量子アニーリング技術の研究開発）」においては、これまで日本が先導して開発を進めてきた超電導パラメトロン素子が量子コンピュータの基盤技術として開花しようとしているものと認識しており、これを用いた量子アニーリングマシンがもたらす社会的インパクトも大きく、日本の量子技術の今後の発展を支える重要な技術になりうる。
- ・ 本プロジェクトの目標は電力効率の観点、また市場獲得の観点、CO2削減の観点からいって妥当なものであり、今後の産業で中核を占めるとと思われる計算基盤の技術につ

いての研究開発を行うこと、実施体制、進捗管理の妥当性についても、我が国を代表する研究者・実務家のもとで強化・発信が行われており、妥当なものである。特に、量子コンピューティングの開発においては、「総合格闘技」な連携が必要となるなか、ハード、ソフト、周辺技術の開発においてオールジャパン体制を構築しており、本プロジェクトの特徴的な側面といえる。

- **NEDO 事業にふさわしく、十分に高い当初目標を設定している。**世の中の激しい動きに対応するため、柔軟な予算配分、たとえば量子コンピューティングの分野に追加予算、追加公募を行うなど、従来のリニアモデルにとらわれないマネジメントができた。調査研究やベンチマーク活動を通じて、目標の妥当性を検証している。本分野は国際的な産業構造の変革により研究の体力が低下しており、**NEDO** による支援が重要な役割を果たしている。
- **(1)研究開発目標の妥当性**
プロジェクト①、②、③の開発目標については、妥当だと思います。特に②については、従来技術の延長線上になく難易度の高い目標設定されていると思います。量子アニーリング、ニューモルフィックコンピューティング、汎用性の高い高性能計算機アーキテクチャとシステムソフトウェア技術の探索など、ポストムーア時代に向けた新しいコンピューティングを目指していることは評価に値すると考えられます。報告書から、多くのプロジェクトで数値目標を掲げており、**POF** を明示していることは、評価に値すると考えられます。①、③のプロジェクトについても、同様であり、評価に値すると考えられます。
- **(2)研究開発計画の妥当性**
個々の研究開発計画については、良いと思います。公募、要素技術開発、サイトビジット、技術推進委員会、評価、ステージゲートをはさみ、応用化開発、実用化というスケジュールを実施しています。目標達成に必要な要素技術の開発は、概ね網羅されていると思われま。また、ステージゲート審査により研究成果を見極め、一部実用化が可能なテーマについては前倒しの事業化を行うなどのマネジメントはできていると思います。計画における要素技術間の関係は個々のプロジェクトレベルでは明確だと思います。
- **(3)研究開発の実地体制は、良いと思います。**技術力、事業化能力を有する実施者を選定し、かつ、適宜審査や入れ替えなどを行うなど、緊張感を維持し、目標達成を行うための施策が講じられていると思われま。
- **(4)研究開発の進捗管理の妥当性については、良いと思います。**プロジェクト③では、研究テーマの追加、既存研究テーマの縮小 (3-2-11)、加速、委託から助成事業への移行、終了 (3-2-12) など、適宜管理されていることから、プロジェクト成果の最大化と、全体の費用対効果の向上を図ってきたことが理解できます。また、こうした見直しを随時行い目標達成のための妥当なスケジュールと研究開発費 (研究開発項目の配分) がなされていると理解できます。プロジェクト①は、**2019** 年度のサイトビジットで、最終目標である開発成果を組み込んだシステムレベルでのエネルギー消費効率/電力

効率10倍以上の達成に向けて、外部委員などの助言を行うなど、目標を達成するための具体的な方策を実施されていると理解できます(1-2-4)。プロジェクト②は、10年と長期プロジェクトとなっており、研究開発スケジュールにおいても、ドラスティックなマネジメントを実施するとされています。研究テーマの追加や、加速を積極的に推進しており、ユーザーニーズの明確化、キラーアプリ創出など、長期プロジェクトでありながら出口戦略を意識した進捗管理が実施されている点は評価できます。

・ (5)知的財産等に関する戦略の妥当性

知的財産に関する戦略は、妥当だと思います。知財合意書や、知財運営委員会の設置等、大学の研究のしやすさと、知的財産の保護とバランスよく推進されていると理解できます。③においては、PUF技術を産業界で広く使われるように、評価基準及び評価手順をISO/IECで国際標準化している点など、いくつかの開発項目で、このような標準化を実現できていることは評価できます。

・ AIチップにおいては一桁以上のエネルギー効率の向上を掲げており、十分に革新的な目標設定である。また、要素技術としても、現在用いられている深層学習の効率化のみではなく、より組み込みに適したアルゴリズムや、エッジにおいて学習・推論を同一チップで行えるエッジAIアーキテクチャなど、新規性が高く効率的なアプローチを採用していると言える。量子コンピュータ開発に関しては、不透明な研究要素が多いながら、従来の方式に比べて干渉時間を長く取れるデバイス、古典コンピュータによるシミュレーション、アルゴリズムのマッピングなど全面的に研究・開発を進めており、この分野に対してのアプローチとしては、適切であると言える。両プロジェクトとも、PLのもとに当該分野の技術力を有する実施者を設定している。計画の進捗状況もほとんどのグループが予定通り進んでおり、管理は適切である。

・ 各個別テーマには世界的に見ても高い目標が設定されており、かつ着実にその達成に近づきつつある。大学、研究機関、複数の企業による横断的協力関係により強力な開発体制を築いている。進捗はステージゲート等により適切にガバナンスされている。

<改善すべき点>

・ 規模が大きいと、個別の研究課題を細部まで確認していくと、アウトプット・アウトカムとの関連性が深くないテーマが散見される。それぞれの研究開発グループがあるため、小グループの中では包括的位置付けとその有用性の確認がなされているのかもしれないが、全体のプロジェクトとして評価を行い、その意義が明確に示せる研究開発課題であることの内容および進捗の確認を十分に行うべきである。

・ 「革新的AIエッジコンピューティング技術の開発」において、DRPアーキテクチャがもたらす原理的な性能向上については明確にされているが、実際のユースケースに対して、どれだけインパクトがあるかがやや不明確である。例えば、応用として挙げられているヒト協調ロボットにおいて、具体的にどのような要求性能的な課題があり、それが本事業の成果によってどのように解決されて、ヒト協調ロボットへの事業化に結び付くか、といった実際の市場を想定したユースケースに対するインパクトがもう

少し明確になるとよい。

- ・ 研究開発的な側面で進捗していることは認識できる一方、ビジネス上どのような進捗があったのか、あるいはありそうなのか、という点はもっと強調されても良いと感じる。例えば、技術に対して、潜在的なユーザーとなりうる会社からはどのような声があったのか、生の声を紹介するなど。
- ・ 各技術開発テーマの運営の中でもベンチマーク活動を行なっているが、プロジェクトのポジショニング、見える化が十分でない。競合技術に対するポジショニングを常に見ながら、アジャイルな軌道修正、マネジメントに反映することが望ましい。競合のエネルギーあたりの演算速度は年々向上している。技術のポートフォリオは十分か、全体俯瞰はできているかを常に明示しながら評価を行いたい。
- ・ 目標、計画、実施体制、進捗管理については、妥当または良いと思います。これも、関係者の皆様の並々ならぬ意欲と成果が十分に伝わる内容で、プロジェクトの推進が順当になされていることが理解できました。しかし、こうした要素技術が一般に普及し、日本の産業力のコアになって行くように育成されて行くか、要素技術が競争優位で国力の柱になるためには、より一層、きめ細かなマネジメントが必要かと思います。具体的には、成功事例の共有、横連携、早期の段階からの出口イメージの共有などがあるかと思います。

開発項目②の3.1 スマートセンシングでは技術研究機構のなかに研究所を設け、具体的に社会応用を目指す体制が構築されており、出口が明確ですが、3.2 はベンチャー化もなされるなど、異なる出口戦略が取られています。13件のプロジェクトごとに、実用化・産業化の道筋が異なり、予算に見合う成果がどのように事業化に結びつけられるのか、途中においても、多くの議論や方法の共有の機会が重要かと思います。すでに共有スペースを設けるなど、国も期間中の横連携や情報共有の仕組みを提供していますが、PLの采配にも依存しているように見えます。PLの多くは大学の教員であることから、研究推進は期待通りにゆくことが多いと思いますが、産業化部分は支援が必要かと思います。プロジェクトのメリットは、期間中は通常以上に、異なる組織が一体化し、目的を共有すると行った協力体制の成果を得られやすい期間です。この期間を有効に活用して、成果をあげて行くことは、国のプロジェクトとしてたいへん重要だと思しますので、それを促進するような施策やアイデアを積極的に行うべきかと思います。例えば、報告会で出たようなアジャイル開発の取り込みや、横連携を強化する施策です。コンピューティング分野は競争が激しく、その中で成果をあげることは難しいとされています。日本の事業者はハードとアプリが一体化されていない形で研究開発体制を進めることが多く、独立した組織の個々の要素技術に着目した開発が多いと感じています。本プロジェクトを通じて、ハードやアプリを一体化させ、強い産業を生み出すためには、マネジメントを行う側が、積極的に先行事例の中の成功事例を共有し、期間の初期、中期、後期ごとに、目標設定を変えて主導するなど、現状のマネジメントをさらに高度化させるマネジメントを意識的に行う必要があるかと思います。そのためには、大学と産業界に精通した上で、戦略を実施できる人材を育成

やマネジメントの高度化も含めた一事業主、大学や学会ではなし得ない広い連携を生かした新しい産業創出や連携を推進することが期待されると思います。また、多様なプロジェクトのきめ細やかな支援のためには、それに合わせたわかりやすい評価システムも必要かと思います。例えば、研究開発項目ごとの目標の違いを理解しやすくする仕組みとして、それぞれのプロジェクトが、国際競争力強化、少子高齢化、エネルギー課題、インフラ強化、地域経済活性化などのどの課題にアプローチするものであるか、明確にできると良いと思いました。また、出口戦略も、要素技術開発であれば、数値目標の達成度や、特許や論文数で良いと思いますが、事業化であれば、事業化の内容や体制、国際標準化などがあると思います。要素技術のレベルが異なるので、すべての結果を統一的に判断するのは難しいので、こうした目安があるとそれにあった評価がしやすくなると思いました。また、プロジェクト毎に国内の市場以外にも、PUFの例にあるように国際標準を設け、市場を広げるような場合には、そのような専門家からのアドバイスをつけやすくするなど、プロジェクトの成果が最大化されるように、予算の一部を支援マネジメント専門に利用するなどの工夫もあると良いかと思います。現状はアウトプットの責任まである程度、各プロジェクトに期待していますが、本来各プロジェクトは、要素技術の効果の最大化に専念できることも重要です。これらをマネジメントする専門の部署を設けるなど、マネジメントや連携支援メンバーを一部全体のPLの下につけるなど、要素技術開発と一部切り離れたところで支援することで、これらの成果をよりきめ細かくサポートできるのではないかと感じました。

- ・ 事業化に向けての体制構築が十分でない。

<今後に対する提言>

- ・ 研究開発項目に含まれる小課題の一層の取舍選択を進めるべきである。アウトプット・アウトカムの実現に近づくために、選択と集中を加速することを考えていただきたい。そのためには、PL、PMの一層の指導力を期待したい。NEDOも現参加メンバーの維持を前提とするのではなく、PL、PMが再編や開発内容変更などの指示を出しやすい支援体制を強化していただきたい。
- ・ 「革新的AIエッジコンピューティング技術の開発」については、DRPアーキテクチャの性能的な優位性を、実際の事業化（LSIの量産）に着実に結びつけることが、今後求められる最も重要なことであり、競合に打ち勝ちながら、十分に大きな市場において、本課題に終了後、早期に本事業の成果に基づくLSI製品が投入されることを期待する。「次世代コンピューティング技術の開発（超電導パラメトロン素子を用いた量子アニーリング技術の研究開発）」については、今後大きく発展する技術分野であり、また日本オリジナルの技術であることから、じっくりと競争力のある技術として発展させていくことが望ましい。各種の量子コンピューティング技術が世界中で活発に開発される中、本事業の特徴となっている量子アニーリングマシンとしての優位性を際立たせていくことが重要と思われる。2020年度で終了する「高度なIoT社会を実現する横断的技術の開発（複製不可能デバイスを活用したIoTハードウェアセキュ

リティ基盤の研究開発)」において、特にハードウェアセキュリティ機能のセンサーへの組み込みの技術 PUF については、高セキュリティ化の原理上、情報入力の手元においてなされるのが望ましいことから、今後一層重要な技術となる可能性があり、本事業を担当した企業等において、継続的に研究開発を進めて頂きたい。

- 本事業の期間終了後にどのような展開を辿っていくべきかについて、オールジャパンでの連携が求められる。カネの面でいえば、事業化するためにさらなる投融資が必要なのか、あるいは別のプログラムがあるのか、など、他機関との連携を図るため早い段階でディスカッションはしていくべきかと思料。
- 現在、プロジェクト開始前に行なっているベンチマーク活動は、プロジェクト開始後は実施者任せになっている。ここはNEDOマネジメント側においても調査情報収集、ポジショニングを行ってはどうか。技術の世界的な潮流とポートフォリオを明確にすべき。周辺技術の組み合わせ、国内の他プロジェクトも合わせた総合的な性能向上の伸び代も提示することで、他プロジェクトとの連携も上手くいく。
- AI チップに関しては既に実用段階に入っているように思われるので、プロタイプを企業・大学等に使ってもらいながら改善する進捗方法にしてもよいように感じる。また、量子コンピュータのデバイスに関しては、どのデバイスが台頭するか不透明であるので、可能性のあるデバイスに関しては、網羅的に開発をしながら取捨選択をしていく必要があると感じる。
- 事業化の観点からみた優位性検討、それにとまなう目標の見直し、あるいはテーマの取捨選択、整理統合を適宜行うことが望ましい。

2. 3 研究開発成果について

各テーマの目標設定は十分高度なものであり、成果も世界に誇れる水準に達している。個別に見ると、研究開発項目①「革新的 AI エッジコンピューティングの技術開発」においては、深層学習において革新的な計算量の削減、新アーキテクチャの開発、深層学習によらない組み込み AI 向けのアルゴリズムに基づくアプローチなど、世界水準の成果を出していると考えられる。研究開発項目②「次世代コンピューティングの技術開発」は、量子アニーリングコンピューティングのみならず、サイバネティックコンピューティングの基盤技術や脳型アーキテクチャなど、新たな領域開拓に向け、研究開発が推進され、さらにロボットなどの具体的なアプリケーションで成果が得られていると思われる。研究開発項目③「高度な IoT 社会を実現する横断的技術開発」は、ほぼ最終目標を達成しつつあり、サンプル等を用いた実システムによる実証実験が進み、その成果が具体的に示されていることや、論文や研究発表、国際標準化などの普及活動も展開され、評価できる。

一方で、全体的に、技術開発の達成状況が、世界の先端技術に対して、追いつきつつあるものの、優位性を十分に示し得るまでには達していない、あるいは今後それ以上に到達する見込みを明確には提示できていないように見受けられる。

事業化で優位になるためには、実用化フェーズに入っている一部の AI チップ、ハードウェアセキュリティに関しては、プロトタイプでのユーザー評価を実施すること、開発段階の量子アニーリングコンピュータに関しては、ユーザーとなりうる事業主体とのコミュニケーションが重要と考えられ、人材育成、事業化を見据えた検討の開始を期待する。

<肯定的意見>

- 3つの技術開発とも成果は十分にあげている。個別に見ると、特に「高度な IoT 社会を実現する横断的技術開発」が、一部に遅れが見られるものの、他 2 テーマよりも進捗が見られ、ほぼ最終目標を達成しつつある。さらに、サンプル等を用いた実システムによる実証実験が進み、その成果が具体的に示されていることは評価できる。国際標準化についても、出足は遅れたものの、着実に進めている。
- 「革新的 AI エッジコンピューティング技術の開発」においては、2019 年実績として 3.5TOPS/W と実測として達成し、2020 年実績見込みとして 4~5TOPS/W を達成する見込みであるなど着実に成果を上げている。「次世代コンピューティング技術の開発（超電導パラメトロン素子を用いた量子アニーリング技術の研究開発）」については、2 ビット量子ビットまでの動作確認、4 ビット量子ビットの試作を中間目標として達成する見込みであり、着実に進展しているように見受けられる。
- シミュレーション等での性能検証については、技術レベル、エネルギー効率の観点から中間目標を達成しており、順調に進捗している。例えばトリリオン・ノードエンジンの研究開発についてはプラットフォーム化も進捗している。また、論文や研究発表などの普及活動も展開されている。国際標準化についても、PUF の評価基準や評価手順を ISO/IEC の標準とすることで PUF 技術が産業界で広く使われることを意図するなど、計画は適切で順調に進捗している。

- エッジコンピューティング技術においては、ハード、ソフトの同時開発によって、効率的な開発が行われている。目標達成の目処も十分たっている。量子コンピューティングのハードウェア開発について、各要素技術とデバイスのシミュレーション技術が進捗している。

- (1)研究開発目標の達成度及び研究開発成果の意義

研究開発項目①では、革新的 AI エッジコンピューティング技術の開発 (2017-2022)、

研究開発項目②では、次世代コンピューティング技術の開発(2017-2027)

研究開発項目③では、高度な IoT 社会を実現する横断的な技術開発(2016-2020)

として①②③それぞれ、目標の達成及び、研究開発成果は逐次得られていると評価できます。①は世界的に競争が激しい AI コアの支援が多く、これは日本が人工知能応用技術で世界をリードするために大きな貢献となると考えられます。実用化に向けた、ハードウェア、ソフトウェア (OS、コンパイラ) など、応用に向けた様々なレベルから提案が得られていることは、評価に値します。また、飛躍的向上を目指すための数値目標の明確化、再構成可能回路 (FPGA) の本格的応用、具体的なアプリケーションの明確化など、プロジェクトマネジメントが健全に機能し、成果への道筋を共有していることが理解でき、PM をはじめとした参画メンバーの成果が得られていると思います。FPGA 技術の AI 化や、ソフトウェアからの利用は今後基盤開発において重点的に進められるべき点だと考えられますし、そうした分野の強みが生かされた成果になっていると感じました。

②は、革新性のある要素技術であることから、動作実証などの実証レベルでの成果が得られていることが理解できました。報告会では一部の成果の報告のみでしたが、報告書では、多くの実証成果が得られていることが理解できました。また、量子コンピューティングのみならず、サイバネティックコンピューティングの基盤技術や脳型アーキテクチャなど、新たな領域開拓に向け、研究開発が推進され、さらにロボットなどの具体的なアプリケーションで成果が得られていることは、大変期待できると思います。

③は、既に多くの研究開発で実用に向けた体制まで報告されており、プロジェクトが順当に推進されたことが理解できます。

- (2)成果の最終目標の達成可能性

コロナの影響により、一部の研究開発で成果が期待を下回るケースがあるようにも見受けられるが、書類上はどのプロジェクトも最終目標の達成可能性は高いと感じました。

- (3)成果の普及

①、②、③とも論文等の対外的な発表を、実用化・事業化の戦略に沿って適切に行っていると思われます。一部の成果が (a) 論文、と (b) 外部発表、の両方に記載されている部分が見受けられますが、研究開発テーマにおいても、学会、特許などの件数を明確にして、取り組んでいるのは評価できると思います。また、実用化に向けて、別途報告書を作成し、フェーズ、マイルストーン体制、ベンチマーク等を記載することで、プロ

プロジェクトの実用化や成果の普及についてのプランを理解することができました。

- ・ (4)知的財産権等の確保に向けた取組

知的財産権の出願・審査請求・登録等を、実用化・事業化の戦略に沿って国内外で適切に行っているかは、件数でのみ確認できる状態でしたが、もっと多くても良いかと思えます。

- ・ AIチップに関して、深層学習において革新的な計算量の削減、新アーキテクチャの開発、また、深層学習によらない組み込み AI 向けのアルゴリズムに基づくアプローチなど、世界最高水準の成果を出している。最終目標を達成できる可能性は高い。量子コンピュータに関しては、世界的にも開発が激化している分野であるため、デバイス技術において世界最高水準にあるとはいえ予断を許さない状況である。ハードウェアセキュリティに関して、我が国の保有するメモリ技術などを生かした開発となっており優位性は高い、さらに国際標準化まで進んでおり順調である。
- ・ 各テーマの目標設定は十分高度なものであり、成果も世界に誇れる水準に達している。最終目標達成の障害となる大きな懸念点は見当たらない。

<改善すべき点>

- ・ 全体的に、技術開発の達成状況が、NVIDIA など世界先端の技術に対して、追いつきつつあるものの、優位性を十分に示し得るまでには達していない、あるいは今後それ以上に到達する見込みを明確には提示できていないように見える。特に「革新的 AI エッジコンピューティング技術の開発」は、その優位性が発揮できる様々な評価対象を示すべきである。ロボットティーチングに着目しているが、ロボットはシステムインテグレーションであるため、他の技術レベルも影響するため、実装対象として適切かどうかは疑問がある。「次世代コンピューティング技術の開発」では、メインとなるアニーリングマシンの開発に時間を要しており、世界最高水準達成への道筋の明確化と、そのための計画全体の見直しが必要ではないか。また、世界標準、知的財産獲得の実施が弱いように見える。
- ・ 「革新的 AI エッジコンピューティング技術の開発」においては、適用するテクノロジノードとの関係があまり明確にされていないが、最先端のテクノロジノードを想定することによって、DRP アーキテクチャを用いたプロセッサはより一層の性能向上が期待されるはずであり、ムーアの法則の終焉を想定した検討にとどまらず、最先端のテクノロジノードと提案アーキテクチャによって当初想定を大きく超える性能の達成予測があると、より大きな成果となると思われる。
- ・ 現状、新型コロナウイルスにより、情報発信などは（特に研究会など）しづらい状況にあるため、デジタル化などを含めて一層工夫の余地がある。
- ・ 研究開発目標の達成度及び研究開発成果の意義についてなど
今回3つのプロジェクトの評価にあたり、これらのプロジェクトの件数が多く、できるだけ客観的に評価を行うことの困難さを感じました。例えば、今回、対象となる研究開発については、①12件、②9件、③14件で、それぞれ、学会発表、論文、特許

数で比較すると、次のような結果が得られました（No.5 2020 年度中間評価分科会資料から算出）。

※研究開発項目①は、革新的 AI エッジコンピューティング技術の開発（2017-2022）、研究開発項目②では、次世代コンピューティング技術の開発(2017-2027)、研究開発項目③では、高度な IoT 社会を実現する横断的な技術開発(2016-2020)

表 1：主な指標値の比較

	③	①	②
論文	177	33	49
論文（年次）	35.4	11	16.3
グループ平均	2.7	0.92	1.8
研究発表	959	129	209
研究発表(年次)	191.8	43	69.7
グループ平均	14.8	3.9	7.7
特許	170	20	34
特許（年次）	34	6.7	11.3
グループ平均	2.6	0.6	1.3

例えば、プロジェクトの成果として、(1)研究論文、(2)研究発表・講演、(3) 特許、を実施年次までの成果の数を、年次、グループ数で割った数で比較しました（表 1）。結果の値を比較すると、プロジェクトとして、③が(1)(2)(3)の全てにおいてスコアが高い結果となりました。

あくまでも相対比較ではありますが、3つのプロジェクトは、本 3 指標(1)(2)(3)のみで比較した場合、最大—最小で、2—4 倍の差があることがわかりました。

このように客観的な成果を、競合技術と比較して優位性があるかについて、国際学会や、論文などで判断するのは一つの目安です。なぜなら、分野で比較優位がないと、査読付きの論文は通らないためです。ただ、NEDO のプロジェクトの場合、研究評価としては、事業化の指標をさらに考慮する場合には、初年度の売り上げや国際特許数、相談件数、など様々な指標が検討できるかもしれません。費用対効果なども、こうした客観的な評価や分析も並行して行うことで、プロジェクト評価の議論がしやすくなるように感じました。また、今までのプロジェクトの中間評価における達成度も、こうした評価で確認することで、より目標が明確になるように思います。また、数値達成度が高い P L には、その根拠の調査を行い、そこで得られた重要な考え方は、若手に共有する機会を設けるなど、次世代の P L の育成や、ノウハウの共有、より大きなプロジェクトの議論と行った形でより積極的に国の政策に関わってもらいなども検討できるのではないかと思います。このように、国の基幹産業を支えるプロジェクトの育成については、その成果を数値で客観的に評価分析し、次世代に活かす方法も検討しても良いのではないかと考えました。

今回、それぞれが異なる研究開発内容で推進されており、国として何を評価すべきか、客観的（定量的な）評価方法がなく、たいへん主観的な意見を部分的に述べることしかできず、なかなか苦心しました。中間目標は、どの資料でも、大まかに「達成されている」と書かれており、未達成の分析は難しいと感じました。本来的な意味で、目標を達成させるためには、達成しなかった項目や、原因を明らかにし、課題を見直し、明確にすることが必要かと思えます。達成し得なかった原因を客観的に明らかにして、解決の方針を明確にしているかを評価するためには、別途積極的にこうした未達事項の共有や改善議論の場を設けるなど、支援体制を持ち、解決する場をもつことなどプロジェクトマネジメントの範囲で議論することができると良いと感じました。

- ・ 個別テーマに着目するあまり、実用化に向けてのビジョンが希薄である。

<今後に対する提言>

- ・ 3つのテーマとも、多くの研究組織・研究者が参加しており、それぞれの分担での達成度にばらつきがある。大きな組織であるため、やむを得ないところもあるが、世界先端のゴールとその達成年からバックキャストし、その段階的目標を達成するためのマイルストーンを設定し、その情報を研究グループ間で共有して開発を行うことを勧めたい。
- ・ **DRP** アーキテクチャによる **AI** エッジコンピューティングにより、プロセッサ市場としても世界的にみて十分大きなシェアを取れる技術となるよう将来発展することを期待したい。
- ・ ビジネス上の成果については潜在ユーザーとなりうる事業主体からの生の声をもとにマーケットインでの微調整が求められる。
- ・ 量子コンピューティングの最終目標100倍と要素技術の目標とのつながりが分かりにくい。これはアプリケーションとも直結しているので下記のような戦略が必要。
- ・ 量子コンピューティングについてユーザーとのコミュニケーションが重要であり、現時点ではハードがないのがネックである。**D-wave** のユーザーとの情報交換ができると良いが、各社各様の思惑で動いている。**D-wave** にユースケース、応用分野の情報など全て握られないよう何らかの工夫が必要である。
- ・ **AI** チップ、ハードウェアセキュリティに関しては、実用化フェーズに入っており、プロトタイプをユーザーに使ってもらうように働きかけることを期待する。
- ・ 各テーマの応用シーンおよび事業応用局面での優位性検討を開始すべき。

2. 4 成果の実用化・事業化に向けた取組及び見通しについて

実用化に向けては、それぞれの関連課題で類似技術の差別化、既存技術に対して有効性を証明できる指標を模索しており、戦略自体は明確かつ妥当と思われる。

また、研究開発項目③「高度な IoT 社会を実現する横断的技術開発」は、技術的優位性に基づき、参加各企業が実用化・事業化を計画的かつ具体的に進めていることは評価でき、小規模ながら人材育成にも貢献していると思われる。

一方で、研究開発項目①「革新的 AI エッジコンピューティング技術の開発」の代表的出口として想定されているロボット産業は必ずしも大規模とは言えず、一般ビジネスを含めて広く検討していただきたい。

また、研究開発項目②「次世代コンピューティング技術の開発」は、開発が加速するのはこれからのフェーズではあるものの、特にアニーリングマシンコンピューティング技術については、オールジャパンの体制が構築され、ビジネス面での波及効果だけではなく、成果が出てきた場合には体制構築のモデルケースとなる可能性も含めた波及効果が期待できると考えられるため、予算の拡充だけではなく、人材育成・獲得戦略、国家の全体戦略を踏まえた進め方を意識していただきたい。

プロジェクト全体として、アウトプット目標に対して技術開発は着実に進んでいると評価できるが、アウトカム目標達成の具体的検討が追い付いていない印象を受けることから、今後は、単に実用化できれば完了ではなく、市場を獲得、拡大する方策についても一層の検討をお願いしたい。

<肯定的意見>

- ・ 「高度な IoT 社会を実現する横断的技術開発」
技術的優位性に基づき、参加各企業が実用化・事業化を計画的かつ具体的に進めていることは評価できる。また、小規模ながら人材育成にも貢献している。
- ・ 「革新的 AI エッジコンピューティング技術の開発」
ハードウェアだけでなく、ソフトウェアとの一体的開発を意識した出口戦略は、これからの AI エッジに有効である。競合他社との比較において、実用化・事業化が可能となるスペックの見極めは行われている。
- ・ 「次世代コンピューティング技術の開発」
事業化において、ターゲットとなる市場の設定、そこに到達する際の強みと課題の見極めが適切に行われている。
- ・ 演算性能が高く、電力効率のよいアーキテクチャは、自動運転車、ドローン等今後市場的にも大いに発展が期待される応用分野においても有効なものと考えられ、発展が期待される。
- ・ 実用化に向けては、それぞれの関連課題で類似技術の差別化、既存技術に対して有効性を証明できる指標を模索しており、戦略自体は明確かつ妥当と思われる。マイルストーンの検討についてはプロジェクトが長期に亘るものもあるため設定が難しいが、

検討は進んでいると史料。実用化の見通しについて、特にアニーリングマシンコンピューティング技術については、オールジャパンの体制が構築され、ビジネス面での波及効果だけではなく、成果が出てきた場合には体制構築のモデルケースとなる可能性も含めた波及効果が期待できる。

- それぞれの実施者が、自らの事業として実用化すべく資源の投入を行なっている。
- プロジェクト③は最終年度であることもあり、実用化、事業化については、(1)(2)(3)の項目において、良いまたは、妥当であると判断できました。企業が入って事業化を計画しているプロジェクトについては、妥当であると考えられるが、そうではないところは、事業化までにプランが明確ではない研究開発項目も見受けられました。

		③		
		(1) 戦略	(2) 具体的取り組み	(3) 見通し
実用化	技術水準の確立	○	○	○
	社会的利用可能性	○	○	○
事業化	知的財産	○	○	○
	企業活動貢献	○	○	○
	マイルストーン	○	○	○

顕著な波及効果（技術的・経済的・社会的効果、人材育成等）を期待できるか、については、プロジェクト③については、今後さらなる AI 化を推進できるかにも依存する。現時点での成果のみで顕著な波及効果までの評価は難しいと感じました。プロジェクト①、②については、中間評価の段階なので、事業者により、実用化、事業化の見通しにばらつきがある結果であると見受けられた。研究開発の内容にもよるものと考えられることから、継続的な評価が必要であると考えられます。

- 近年、監視カメラなどの画像処理応用のみならず、様々なセンサー情報の処理などに AI が用いられるようになってきている。本事業で進めている学習・推論が可能な高効率な AI チップが実現されれば、顕著な経済的・社会的効果が期待される。
- 実用化に向けての性能目標を達成しつつある。要素技術としては競争優位性がある。
- スケジュールおよびリソースの計画は妥当である。

<改善すべき点>

- 「高度な IoT 社会を実現する横断的技術開発」
国内企業での商品化フェーズの進捗に対して、国際標準化、海外での実用化・事業化の見通しが不透明である。
- 「革新的 AI エッジコンピューティング技術の開発」
代表的用途として想定されているロボット産業は必ずしも大規模とは言えない。エッジコンピューティングの用途は SIP 等でも議論が進んでおり、一般ビジネスを含めて広く検討すべきである。
- 「次世代コンピューティング技術の開発」
開発が加速するのはこれからのフェーズではあるものの、世界市場規模の将来予測に

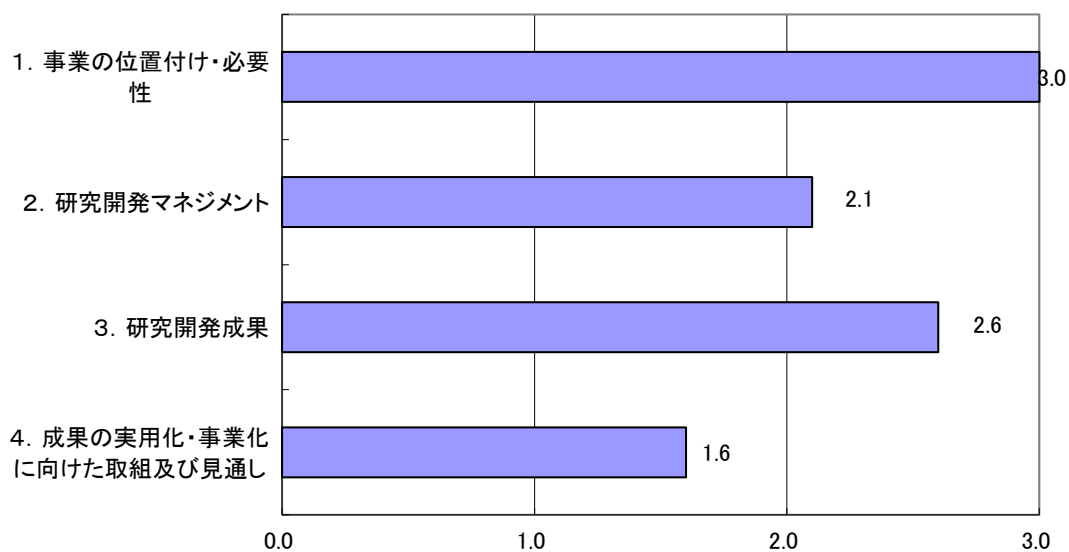
対する本プロジェクト成果の位置付け、占有率をもっと具体的に検討し、達成の可否は別として、目標値として設定すべきではないか。

- ・ ビジネス面においては、長期的な視野に立った技術があること、新規性の高い技術であること、コロナ渦において十分なシンポジウム開催等が難しいこともあり、ユースケースの発掘も含めた想定顧客とのディスカッションをより進める必要がある。
- ・ IoT セキュリティ基盤技術に代表される IoT 横断技術について、要素技術の開発は完了だが、実用化に向けては、耐久性、ユースケースごとの課題出し、標準化のための実証実験ベースの検討が必要と思われる。
- ・ これを含めた周辺技術の開発においては、プロジェクトが終了の時期にある。技術の実用化への繋がりが途切れないようフォローを継続する仕組みが必要なのではないか。
- ・ 顕著な波及効果（技術的・経済的・社会的効果、人材育成等）について、もし評価を行うのであれば、ドキュメントの項目に、実用化、事業化以外にも、出口戦略として、社会的効果、人材育成の項目も追加できると良いと思います。
- ・ このまま進むと要素技術を個別販売・ライセンスする事業モデルとなり、付加価値が取れない懸案がある。より上位のシステム、サービスへ応用するためのビジョン構築が求められる。

<今後に対する提言>

- ・ アウトプット目標に対して技術開発は着実に進んでいると評価できるが、アウトカム目標達成の具体的検討が追い付いていない印象を受ける。プロジェクト全体として中間地点であることから、単に実用化できれば完了ではなく、市場を獲得、拡大する方策についても一層の検討をお願いしたい。
- ・ 特にアニーリングマシンコンピューティング技術については重要なプロジェクトでもあり、予算の拡充だけでなく、冒頭に述べたような人材育成・獲得戦略、国家の全体戦略を踏まえた進め方を意識し、人材育成については大学などとも広く連携して進める必要がある。
- ・ 量子コンピュータ（量子アニーリング）に関して、現状はハードウェアに関する研究開発のウェイトが大きいように感じるが、イジングモデルを用いた組み合わせ最適化問題のキラアプリケーションを並行して探索することが重要となる。実機の量子アニーラーでは変数の数は従来手法と比較して少ないため、高速性が重要となる応用を採る必要がある。
- ・ 各テーマの成果たる要素技術を用いて実現するシステム、サービス、事業プラットフォームを想定し、事業化を推進する企業部門、あるいは事業会社に対する情報共有をできるだけ早期に開始するべきである。

3. 評点結果



評価項目	平均値	素点 (注)							
		A	A	A	A	A	A	A	A
1. 事業の位置付け・必要性について	3.0	A	A	A	A	A	A	A	A
2. 研究開発マネジメントについて	2.1	B	B	A	B	B	B	B	B
3. 研究開発成果について	2.6	B	B	A	B	A	A	A	A
4. 成果の実用化・事業化に向けた取組及び見通しについて	1.6	C	B	B	C	B	B	C	C

(注) 素点：各委員の評価。平均値は A=3、B=2、C=1、D=0 として事務局が数値に換算し算出。

〈判定基準〉

1. 事業の位置付け・必要性について	3. 研究開発成果について
・非常に重要 →A	・非常によい →A
・重要 →B	・よい →B
・概ね妥当 →C	・概ね妥当 →C
・妥当性がない、又は失われた →D	・妥当とはいえない →D
2. 研究開発マネジメントについて	4. 成果の実用化・事業化に向けた取組及び見通しについて
・非常によい →A	・明確 →A
・よい →B	・妥当 →B
・概ね適切 →C	・概ね妥当 →C
・適切とはいえない →D	・見通しが不明 →D

第2章 評価対象事業に係る資料

1. 事業原簿

次ページより、当該事業の事業原簿を示す。

「高効率・高速処理を可能とする AIチップ・次世代コンピューティングの 技術開発」

研究開発項目① 革新的AIエッジコンピューティング技術の開発

研究開発項目② 次世代コンピューティング技術の開発

研究開発項目③ 高度なIoT社会を実現する横断的技術開発

事業原簿

担当部	国立研究開発法人 新エネルギー・産業技術総合開発機構 IoT 推進部
-----	--

【第1部】

研究開発項目① 革新的AIエッジコンピューティング技術の開発
(事業期間:2018~2022 年度)

—目次—

概要	(1-10)
プロジェクト用語	(1-13)
1. 事業の位置付け・必要性について	1-13
1.1 事業実施の背景	1-1-1
1.2 政策的位置づけ	1-1-2
1.3 アウトカム効果	1-1-3
1.4 国際的なポジション	1-1-3
1.5 海外状況のまとめ	1-1-4
1.6 NEDO が関与する意義	1-1-5
1.7 今回の事業の位置づけ	1-1-5
2. 研究開発マネジメントについて	1-2-1
2.1 事業の目的	1-2-1
2.2 研究開発目標と根拠	1-2-1
2.3 研究開発スケジュール	1-2-4
2.4 プロジェクト費用	1-2-5
2.5 マネジメント体制	1-2-5
2.6 実施体制	1-2-7
2.7 動向・情勢の把握と対応	1-2-712
3. 研究開発成果について	1-2-12
3.1 研究開発テーマ「不揮発省電力 FPGA コアを用いた低遅延 AI 処理コンピューティング技術の研究開発」	1-3-1
3.1.1 開発全体概要	1-3-1
3.1.2 研究開発項目の開発内容、最終目標、根拠、達成度	1-3-1
3.1.3 目標の達成度	1-3-2
3.1.4 成果と意義	1-3-3
3.1.5 成果の普及	1-3-4
3.2 研究開発テーマ「動的再構成技術を活用した組み込み AI システムの研究開発」	1-3-5
3.2.1 研究開発サブテーマ「DRP アーキテクチャ、コンパイラの研究開発」	1-3-5
3.2.1.1 概要	1-3-5
3.2.1.2 最終目標と根拠	1-3-5
3.2.1.3 目標の達成度	1-3-6
3.2.1.4 成果と意義	1-3-6
3.2.1.5 成果の普及	1-3-6
3.2.2 研究開発サブテーマ「DNN 単位演算回路を加速処理する先進的なアーキテクチャ・回路技術の研究開発」	1-3-7
3.2.2.1 概要	1-3-7
3.2.2.2 最終目標と根拠	1-3-7
3.2.2.3 目標の達成度	1-3-7
3.2.2.4 成果と意義	1-3-8
3.2.2.5 成果の普及	1-3-8
3.2.3 研究開発サブテーマ「軽量 DNN 変換機能の研究開発」	1-3-8
3.2.3.1 概要	1-3-8
3.2.3.2 最終目標と根拠	1-3-9
3.2.3.3 目標の達成度	1-3-10
3.2.3.4 成果と意義	1-3-10
3.2.4 研究開発サブテーマ「DNN によるエンドポイント学習用ソフトウェアの研究開発」	1-3-11
3.2.4.1 概要	1-3-11
3.2.4.2 最終目標と根拠	1-3-12
3.2.4.3 目標の達成度	1-3-12
3.2.4.4 成果と意義	1-3-13
3.2.4.5 成果の普及	1-3-13
3.2.5 研究開発サブテーマ「DNN によるエンドポイント学習用ハードウェアの研究開発」	1-3-14
3.2.5.1 概要	1-3-14
3.2.5.2 最終目標と根拠	1-3-14
3.2.5.3 目標の達成度	1-3-14

3.2.5.4	成果と意義	1-3-15
3.2.5.5	成果の普及	1-3-16
3.2.6	研究開発サブテーマ「競合学習機構による汎用・超軽量エンドポイント学習技術の開発」	1-3-17
3.2.6.1	概要	1-3-17
3.2.6.2	最終目標と根拠	1-3-17
3.2.6.3	目標の達成度	1-3-17
3.2.6.4	成果と意義	1-3-18
3.2.6.5	成果の普及	1-3-18
3.2.7	研究開発サブテーマ「実製品への AI 組込みを容易化するツールの研究開発」	1-3-19
3.2.7.1	概要	1-3-19
3.2.7.2	最終目標と根拠	1-3-19
3.2.7.3	目標の達成度	1-3-19
3.2.7.4	成果と意義	1-3-21
3.2.7.5	成果の普及	1-3-22
3.3	研究開発テーマ「FPGA IP と可変精度演算コアの融合による超低消費電力エッジヘビーコンピューティング向け SoC の研究開発」	1-3-23
3.3.1	概要	1-3-23
3.3.2	最終目標と根拠	1-3-24
3.3.3	目標の達成度	1-3-25
3.3.4	研究開発サブテーマ「再構成可能低遅延低消費電力 AI コンピューティングアーキテクチャの研究開発」	1-3-26
3.3.4.1	概要	1-3-26
3.3.5	研究開発サブテーマ「再構成可能低遅延低消費電力 AI プロセッサチップの研究開発」	1-3-29
3.3.5.1	概要	1-3-29
3.3.5.2	最終目標と根拠	1-3-30
3.3.5.3	目標の達成度	1-3-30
3.3.5.4	成果と意義	1-3-30
3.3.5.5	成果の普及	1-3-30
3.3.6	研究開発サブテーマ「ソフトウェアフレームワークの開発」	1-3-31
3.3.6.1	概要	1-3-31
3.3.6.2	最終目標と根拠	1-3-31
3.3.6.3	目標の達成度	1-3-31
3.3.6.4	成果と意義	1-3-31
3.3.6.5	成果の普及	1-3-31
3.3.7	研究開発サブテーマ「ロボティクス応用のためのソフトウェア開発」	1-3-32
3.3.7.1	概要	1-3-32
3.3.7.2	最終目標と根拠	1-3-32
3.3.7.3	目標の達成度	1-3-32
3.3.7.4	成果と意義	1-3-32
3.3.7.5	成果の普及	1-3-33
3.4	研究開発テーマ「進化型・低消費電力 AI エッジ LSI の研究開発」	1-3-34
3.4.1	研究開発サブテーマ「画像・信号処理 AI 基盤技術（仮想エンジンアーキテクチャ）開発」	1-3-34
3.4.1.1	概要	1-3-34
3.4.1.2	最終目標と根拠	1-3-35
3.4.1.3	目標の達成度	1-3-35
3.4.1.4	成果と意義	1-3-35
3.4.1.5	成果の普及	1-3-35
3.4.2	研究開発サブテーマ「アルゴリズム記述ツール開発」	1-3-35
3.4.2.1	概要	1-3-35
3.4.2.2	最終目標と根拠	1-3-35
3.4.2.3	目標の達成度	1-3-36
3.4.2.4	成果と意義	1-3-36
3.4.2.5	成果の普及	1-3-36
3.4.3	研究開発サブテーマ「Computer Vision/AI 基本ミドルウェア開発」	1-3-36
3.4.3.1	概要	1-3-36
3.4.3.2	最終目標と根拠	1-3-36
3.4.3.3	目標の達成度	1-3-36
3.4.3.4	成果と意義	1-3-36
3.4.3.5	成果の普及	1-3-37
3.4.4	研究開発サブテーマ「リアルタイム SLAM 技術開発（SLAM ライブラリ）」	1-3-37

3.4.4.1	概要	1-3-37
3.4.4.2	最終目標と根拠	1-3-37
3.4.4.3	目標の達成度	1-3-37
3.4.4.4	成果と意義	1-3-37
3.4.4.5	成果の普及	1-3-37
3.4.5	研究開発サブテーマ「AI エッジ LSI 搭載車載 ECU 試作・評価」	1-3-37
3.4.5.1	概要	1-3-37
3.4.5.2	最終目標と根拠	1-3-37
3.4.5.3	目標の達成度	1-3-37
3.4.5.4	成果と意義	1-3-38
3.4.5.5	成果の普及	1-3-38
3.4.6	研究開発サブテーマ「量子化 DNN 技術開発」	1-3-38
3.4.6.1	概要	1-3-38
3.4.6.2	最終目標と根拠	1-3-38
3.4.6.3	目標の達成度	1-3-38
3.4.6.4	成果と意義	1-3-38
3.4.6.5	成果の普及	1-3-38
3.4.7	研究開発サブテーマ「DNN 変換ツール開発」	1-3-39
3.4.7.1	概要	1-3-39
3.4.7.2	最終目標と根拠	1-3-39
3.4.7.3	目標の達成度	1-3-39
3.4.7.4	成果と意義	1-3-39
3.4.7.5	成果の普及	1-3-39
3.4.8	研究開発サブテーマ「エッジ環境最適化技術開発」	1-3-39
3.4.8.1	概要	1-3-39
3.4.8.2	最終目標と根拠	1-3-39
3.4.8.3	目標の達成度	1-3-39
3.4.8.4	成果と意義	1-3-40
3.4.8.5	成果の普及	1-3-40
3.4.9	研究開発サブテーマ「AI エッジ LSI 試作開発」	1-3-40
3.4.9.1	概要	1-3-40
3.4.9.2	最終目標と根拠	1-3-40
3.4.9.3	目標の達成度	1-3-40
3.4.9.4	成果と意義	1-3-40
3.4.9.5	成果の普及	1-3-40
3.5	研究開発テーマ「ソフトテンソルプロセッサによる超広範囲センシング AI エッジ技術の研究開発」	1-3-41
3.5.1	概要	1-3-41
3.5.2	最終目標と根拠	1-3-43
3.5.3	成果と意義	1-3-43
3.5.4	成果と意義	1-3-43
3.5.5	成果の普及	1-3-43
3.6	研究開発テーマ「5G 時代を見据えた高度自律的学習機能搭載のための AI エッジコンピューティング技術の研究開発」	1-3-45
3.6.1	研究開発サブテーマ「ネットワーク圧縮と BaseNetwork 共通化による演算量削減技術の開発」	1-3-46
3.6.1.1	概要	1-3-46
3.6.1.2	最終目標と根拠	1-3-47
3.6.1.3	目標の達成度	1-3-47
3.6.1.4	成果と意義	1-3-48
3.6.1.5	成果の普及	1-3-48
3.6.2	研究開発サブテーマ「人工意識による高度自律的学習機能の開発の研究開発」	1-3-49
3.6.2.1	概要	1-3-49
3.6.2.2	最終目標と根拠	1-3-49
3.6.2.3	目標の達成度	1-3-49
3.6.2.4	成果と意義	1-3-52
3.6.2.5	成果の普及	1-3-53
3.6.3	研究開発サブテーマ「AI エッジ統合制御システムの開発」	1-3-54
3.6.3.1	概要	1-3-54
3.6.3.2	最終目標と根拠	1-3-54
3.6.3.3	目標の達成度	1-3-54
3.6.3.4	成果と意義	1-3-55
3.6.3.5	成果の普及	1-3-56

3.7	研究開発テーマ「エッジビジョン AI を超軽量化し短 TAT で実装する技術の研究開発」	1-3-57
3.7.1	概要	1-3-57
3.7.2	最終目標と根拠	1-3-59
3.7.3	目標の達成度	1-3-63
3.7.4	成果と意義	1-3-66
3.7.5	成果の普及	1-3-67
3.8	研究開発テーマ「スケーラブルなエッジ HPC を実現する OS 統合型プラットフォームの研究開発」	1-3-68
3.8.1	研究開発サブテーマ①「分散マイクロカーネル OS の研究開発（分散 MK OS）」、及び、サブテーマ②「分散 MK OS 内蔵 SOC の研究開発」	1-3-69
3.8.1.1	概要	1-3-69
3.8.1.2	最終目標と根拠	1-3-69
3.8.1.3	目標の達成度	1-3-69
3.8.1.4	成果と意義	1-3-70
3.8.1.5	成果の普及	1-3-70
3.8.2	研究開発サブテーマ「Hybrid-scheduling/Load-balancing アルゴリズムの研究開発」	1-3-70
3.8.2.1	概要	1-3-70
3.8.2.2	最終目標と根拠	1-3-70
3.8.2.3	目標の達成度	1-3-70
3.8.2.4	成果と意義	1-3-71
3.8.2.5	成果の普及	1-3-72
3.8.3	研究開発サブテーマ「ソフトウェアマッピング支援ツールの研究開発」	1-3-72
3.8.3.1	概要	1-3-72
3.8.3.2	最終目標と根拠	1-3-72
3.8.3.3	目標の達成度	1-3-72
3.8.3.4	成果と意義	1-3-73
3.8.3.5	成果の普及	1-3-73
3.8.4	研究開発サブテーマ「ヘテロジニアス・マルチ・メニーコア向けハードウェア記述標準モデル SHIM の研究開発と国際規格化」	1-3-74
3.8.4.1	概要	1-3-74
3.8.4.2	最終目標と根拠	1-3-74
3.8.4.3	目標の達成度	1-3-74
3.8.4.4	成果と意義	1-3-74
3.9	研究開発テーマ「動的多分岐・結合トレース型 AI プロセッサのエコシステム開発」	1-3-75
3.9.1	研究開発サブテーマ「多分岐結合型推論プロセッサの研究開発」	1-3-75
3.9.1.1	概要	1-3-75
3.9.1.2	最終目標と根拠	1-3-75
3.9.1.3	目標の達成度	1-3-75
3.9.1.4	成果と意義	1-3-75
3.9.1.5	成果の普及	1-3-75
3.9.2	研究開発サブテーマ「多様な AI プロセッシングアーキテクチャの評価と性能比較」	1-3-76
3.9.2.1	概要	1-3-76
3.9.2.2	成果と意義	1-3-76
3.9.3	研究開発サブテーマ「ヘテロジニアス向けコンパイラの研究開発」	1-3-76
3.9.3.1	概要	1-3-76
3.9.3.2	最終目標と根拠	1-3-76
3.9.3.3	目標の達成度	1-3-76
3.9.3.4	成果の普及	1-3-77
3.9.4	研究開発サブテーマ「OS の抽象化とミドルウェア最適化技術ならびに統合開発環境の研究開発」	1-3-77
3.9.4.1	概要	1-3-77
3.9.4.2	最終目標と根拠	1-3-77
3.9.4.3	目標の達成度	1-3-77
3.9.4.4	成果と意義	1-3-77
3.9.4.5	成果の普及	1-3-77
3.9.5	研究開発サブテーマ「リアルタイム空間理解、判断アルゴリズムの研究開発」	1-3-78
3.9.5.1	概要	1-3-78
3.9.5.2	最終目標と根拠	1-3-78
3.9.5.3	目標の達成度	1-3-78
3.9.5.4	成果と意義	1-3-78
3.9.5.5	成果の普及	1-3-78
3.9.6	研究開発サブテーマ「多分岐結合型推論プロセッサ性能評価用ベンチマークの研究開発」	1-3-79
3.9.6.1	概要	1-3-79

3.9.6.2	最終目標と根拠	1-3-79
3.9.6.3	目標の達成度	1-3-79
3.9.6.4	成果と意義	1-3-79
3.9.6.5	成果の普及	1-3-79
3.10	研究開発テーマ「完全自動運転に向けたシステムオンチップとソフトウェアプラットフォームの研究開発」	1-3-80
3.10.1	研究開発サブテーマ「完全自動運転に向けた SoC の研究開発」	1-3-80
3.10.1.1	概要	1-3-80
3.10.1.2	最終目標と根拠	1-3-80
3.10.1.3	目標の達成度	1-3-81
3.10.1.4	成果と意義	1-3-81
3.10.1.5	成果の普及	1-3-81
3.10.2	研究開発サブテーマ「全自動運転に向けたコンパイラ・OS の研究開発」	1-3-82
3.10.2.1	概要	1-3-82
3.10.2.2	最終目標と根拠	1-3-82
3.10.2.3	目標の達成度	1-3-82
3.10.2.4	成果と意義	1-3-82
3.10.2.5	成果の普及	1-3-82
3.10.3	研究開発サブテーマ「完全自動運転に向けたミドルウェアの研究開発」	1-3-83
3.10.3.1	概要	1-3-83
3.10.3.2	最終目標と根拠	1-3-83
3.10.3.3	目標の達成度	1-3-83
3.10.3.4	成果と意義	1-3-83
3.10.3.5	成果の普及	1-3-84
3.10.3.6	その他	1-3-84
3.10.4	研究開発サブテーマ「完全自動運転に向けたアプリケーションの研究開発」	1-3-84
3.10.4.1	概要	1-3-84
3.10.4.2	最終目標と根拠	1-3-84
3.10.4.3	目標の達成度	1-3-84
3.10.4.4	成果と意義	1-3-85
3.10.4.5	成果の普及	1-3-85
3.10.4.6	その他	1-3-85
3.11	研究開発テーマ「セキュアオープンアーキテクチャ基盤技術とその AI エッジ応用研究開発」の研究開発成果	1-3-86
3.11.1	概要	1-3-86
3.11.2	最終目標と根拠	1-3-86
3.11.3	目標の達成度	1-3-88
3.11.4	成果と意義	1-3-89
3.11.5	成果の普及	1-3-91
3.12	研究開発テーマ「AI エッジデバイスの横断的なセキュリティ評価に必要な基盤技術の研究開発」	1-3-92
3.12.1	研究開発サブテーマ「実施項目 0 : AI エッジで必要となるセキュリティ評価分析基盤の研究開発」	1-3-92
3.12.1.1	概要	1-3-92
3.12.1.2	最終目標と根拠	1-3-92
3.12.1.3	目標の達成度	1-3-92
3.12.1.4	成果と意義	1-3-93
3.12.1.5	成果の普及	1-3-94
3.12.2	研究開発サブテーマ「実施項目 1 : AI エッジ入出力セキュリティ評価シミュレータの開発」	1-3-95
3.12.2.1	概要	1-3-95
3.12.2.2	最終目標と根拠	1-3-96
3.12.2.3	目標の達成度	1-3-96
3.12.2.4	成果と意義	1-3-98
3.12.2.5	成果の普及	1-3-98
3.12.3	研究開発サブテーマ「実施項目 2 : AI エッジ内部実装保護技術の研究開発」	1-3-99
3.12.3.1	概要	1-3-99
3.12.3.2	最終目標と根拠	1-3-100
3.12.3.3	目標の達成度	1-3-101
3.12.3.4	成果と意義	1-3-102
3.12.3.5	成果の普及	1-3-104
3.12.3.6	事業化までのマイルストーン	1-3-105

3.12.4	研究開発サブテーマ「実施項目3: AI エッジの個体管理を支えるための人工物メトリクスの研究開発」	1-3-105
3.12.4.1	概要	1-3-105
3.12.4.2	最終目標と根拠	1-3-106
3.12.4.3	目標の達成度	1-3-106
3.12.4.4	成果と意義	1-3-106
3.12.4.5	成果の普及	1-3-106

4. 実用化・事業化に向けての見通し及び取り組みについて 1-4-1

4.1	「不揮発省電力 FPGA コアを用いた低遅延 AI 処理コンピューティング技術の研究開発」の研究開発における実用化・事業化の見通し（日本電気株式会社）	1-4-1
4.1.1	概要	1-4-1
4.1.2	実用化・事業化への課題と対応策	1-4-1
4.1.3	実用化・事業化の体制	1-4-1
4.1.4	市場規模と経済効果	1-4-2
4.1.5	ベンチマーク	1-4-2
4.1.6	事業化までのマイルストーン	1-4-3
4.2	動的再構成技術を活用した組込み AI システムの研究開発における実用化・事業化の見通し	1-4-4
4.2.1	動的再構成技術を活用した組込み AI システムの研究開発における実用化・事業化の見通し（ルネサスエレクトロニクス株式会社）	1-4-4
4.2.1.1	概要	1-4-4
4.2.1.2	実用化・事業化への課題と対応策	1-4-4
4.2.1.3	実用化・事業化の体制	1-4-4
4.2.1.4	市場規模と経済効果	1-4-4
4.2.1.5	ベンチマーク	1-4-5
4.2.1.6	事業化までのマイルストーン	1-4-5
4.2.2	競合学習機構による汎用・超軽量エンドポイント学習技術の開発における実用化・事業化の見通し（SOINN 社）	1-4-6
4.2.2.1	概要	1-4-6
4.2.2.2	実用化・事業化への課題と対応策	1-4-6
4.2.2.3	実用化・事業化の体制	1-4-7
4.2.2.4	市場規模と経済効果	1-4-7
4.2.2.5	ベンチマーク	1-4-7
4.2.3	事業化までのマイルストーン	1-4-7
4.3	FPGA IP と可変精度演算コアの融合による超低消費電力エッジヘビーコンピューティング向け SoC の研究開発の研究開発における実用化・事業化の見通し	1-4-8
4.3.1	概要	1-4-8
4.3.2	実用化・事業化への課題と対応策	1-4-8
4.3.3	実用化・事業化の体制	1-4-8
4.3.4	市場規模と経済効果	1-4-8
4.3.5	ベンチマーク	1-4-8
4.3.6	事業化までのマイルストーン	1-4-8
4.4	研究開発テーマ「進化型・低消費電力 AI エッジ LSI の研究開発」の研究開発における実用化・事業化の見通し	1-4-9
4.4.1	低進化型・低消費電力 AI エッジ LSI の研究開発における実用化・事業化の見通し（ArchiTek 株式会社、株式会社ソシオネクスト）	1-4-9
4.4.1.1	概要	1-4-9
4.4.1.2	実用化・事業化への課題と対応策	1-4-9
4.4.1.3	市場規模と経済効果	1-4-9
4.4.1.4	ベンチマーク	1-4-9
4.4.1.5	事業化までのマイルストーン	1-4-9
4.4.2	進化型・低消費電力 AI エッジ LSI の研究開発における実用化・事業化の見通し（株式会社ソシオネクスト）	1-4-10
4.4.2.1	概要	1-4-10
4.4.2.2	実用化・事業化への課題と対応策	1-4-10
4.4.2.3	実用化・事業化の体制	1-4-10
4.4.2.4	市場規模と経済効果	1-4-10
4.4.2.5	ベンチマーク	1-4-10
4.4.2.6	事業化までのマイルストーン	1-4-10
4.4.3	進化型・低消費電力 AI エッジ LSI の研究開発における実用化・事業化の見通し（株式会社豊田自動織機）	

.....	1-4-11
4.4.3.1 概要	1-4-11
4.4.3.2 実用化・事業化への課題と対応策	1-4-11
4.4.3.3 市場規模と経済効果	1-4-11
4.4.3.4 ベンチマーク	1-4-11
4.4.3.5 事業化までのマイルストーン	1-4-11
4.5 ソフトテンソルプロセッサによる超広範囲センシング AI エッジ技術の研究開発の研究開発における実用化・事業化の見通し（沖電気工業株式会社、総合警備保障株式会社、ジャパンマリンユナイテッド株式会社）	1-4-12
4.5.1 概要	1-4-12
4.5.2 実用化・事業化への課題と対応策	1-4-12
4.5.3 実用化・事業化の体制	1-4-12
4.6 「ソフトテンソルプロセッサによる超広範囲センシング AI エッジ技術の研究開発」における実用化・事業化の見通し（株式会社アラヤ、KDDI 株式会社）	1-4-13
4.6.1 「ネットワーク圧縮と BaseNetwork 共通化による演算量削減技術の開発」における実用化・事業化の見通し（株式会社アラヤ）	1-4-13
4.6.1.1 概要	1-4-13
4.6.1.2 実用化・事業化への課題と対応策	1-4-13
4.6.1.3 実用化・事業化の体制	1-4-13
4.6.1.4 市場規模と経済効果	1-4-14
4.6.1.5 ベンチマーク	1-4-14
4.6.1.6 事業化までのマイルストーン	1-4-15
4.6.1 「人工意識による高度自律的学習機能の開発の研究開発」における実用化・事業化の見通し（株式会社アラヤ/国立大学法人 東京大学）	1-4-15
4.6.1.1 概要	1-4-15
4.6.1.2 実用化・事業化への課題と対応策	1-4-16
4.6.1.3 実用化・事業化の体制	1-4-16
4.6.1.4 市場規模と経済効果	1-4-16
4.6.1.5 ベンチマーク	1-4-17
4.6.1.6 事業化までのマイルストーン	1-4-18
4.6.2 「AI エッジ統合制御システムの開発」における実用化・事業化の見通し（KDDI 株式会社）	1-4-19
4.6.2.1 概要	1-4-19
4.6.2.2 実用化・事業化への課題と対応策	1-4-19
4.6.2.3 実用化・事業化の体制	1-4-20
4.6.2.4 市場規模と経済効果	1-4-22
4.6.2.5 ベンチマーク	1-4-22
4.6.2.6 事業化までのマイルストーン	1-4-23
4.7 「エッジビジョン AI を超軽量化し短 TAT で実装する技術の研究開発」における実用化・事業化の見通し	1-4-24
4.7.1 概要	1-4-24
4.7.2 実用化・事業化への課題と対応策	1-4-26
4.7.3 実用化・事業化の体制	1-4-28
4.7.4 市場規模と経済効果	1-4-28
4.7.5 ベンチマーク	1-4-28
4.7.6 事業化までのマイルストーン	1-4-28
4.8 「スケーラブルなエッジ HPC を実現する OS 統合型プラットフォームの研究開発」における実用化・事業化の見通し（イーソル株式会社）	1-4-29
4.8.1 概要	1-4-29
4.8.2 実用化・事業化への課題と対応策	1-4-29
4.8.3 実用化・事業化の体制	1-4-29
4.8.4 市場規模と経済効果	1-4-29
4.8.5 ベンチマーク	1-4-29
4.8.6 事業化までのマイルストーン	1-4-29
4.9 「動的多分岐・結合トレース型 AI プロセッサのエコシステム開発」における実用化・事業化の見通し	1-4-30
4.9.1 多分岐結合型推論プロセッサの研究開発における実用化・事業化の見通し（株式会社エヌエスアイテクス）	1-4-30
.....	1-4-30
4.9.1.1 概要	1-4-30
4.9.1.2 実用化・事業化への課題と対応策	1-4-30
4.9.1.3 実用化・事業化の体制	1-4-30
4.9.1.4 市場規模と経済効果	1-4-30

4.9.1.5	ベンチマーク	1-4-30
4.9.1.6	事業化までのマイルストーン	1-4-30
4.9.2	OS の抽象化とミドルウェア最適化技術ならびに統合開発環境の研究開発における実用化・事業化の見通し (株式会社ユーリカ)	1-4-31
4.9.2.1	概要	1-4-31
4.9.2.2	実用化・事業化への課題と対応策	1-4-31
4.9.2.3	実用化・事業化の体制	1-4-31
4.9.2.4	市場規模と経済効果	1-4-31
4.9.2.5	ベンチマーク	1-4-31
4.9.2.6	事業化までのマイルストーン	1-4-31
4.9.3	リアルタイム空間理解、判断アルゴリズムの研究開発における実用化・事業化の見通し (株式会社日立製作所)	1-4-32
4.9.3.1	概要	1-4-32
4.9.3.2	実用化・事業化への課題と対応策	1-4-32
4.9.3.3	実用化・事業化の体制	1-4-32
4.9.3.4	市場規模と経済効果	1-4-32
4.9.3.5	ベンチマーク	1-4-32
4.9.3.6	事業化までのマイルストーン	1-4-32
4.10	「完全自動運転に向けたシステムオンチップとソフトウェアプラットフォームの研究開発」における実用化・事業化の見通し (株式会社アクセル、株式会社ティアフォー社)	1-4-33
4.10.1	概要	1-4-33
4.10.2	実用化・事業化への課題と対応策	1-4-33
4.10.3	実用化・事業化の体制	1-4-33
4.10.4	市場規模と経済効果	1-4-34
4.10.5	ベンチマーク	1-4-34
4.10.6	事業化までのマイルストーン(株式会社アクセル)	1-4-36
4.10.6	事業化までのマイルストーン(株式会社ティアフォー)	1-4-37
4.11	「セキュアオープンアーキテクチャ基盤技術とその AI エッジ応用研究開発」における実用化・事業化の見通し	1-4-38
4.11.1	「セキュアオープンアーキテクチャ基盤技術とその AI エッジ応用研究開発」における実用化・事業化の見通し (NSITEXE)	1-4-38
4.11.1.1	概要	1-4-38
4.11.1.2	実用化・事業化への課題と対応策	1-4-38
4.11.1.3	実用化・事業化の体制	1-4-38
4.11.1.4	市場規模と経済効果	1-4-38
4.11.1.5	ベンチマーク	1-4-38
4.11.1.6	事業化までのマイルストーン	1-4-38
4.11.2	「セキュアオープンアーキテクチャ基盤技術とその AI エッジ応用研究開発」における実用化・事業化の見通し (セコム)	1-4-39
4.11.2.1	概要	1-4-39
4.11.2.2	実用化・事業化への課題と対応策	1-4-39
4.11.2.3	実用化・事業化の体制	1-4-39
4.11.2.4	市場規模と経済効果	1-4-39
4.11.2.5	ベンチマーク	1-4-39
4.11.2.6	事業化までのマイルストーン	1-4-39
4.11.3	「セキュアオープンアーキテクチャ基盤技術とその AI エッジ応用研究開発」における実用化・事業化の見通し (日立製作所)	1-4-40
4.11.3.1	概要	1-4-40
4.11.3.2	実用化・事業化への課題と対応策	1-4-40
4.11.3.3	実用化・事業化の体制	1-4-40
4.11.3.4	市場規模と経済効果	1-4-40
4.11.3.5	ベンチマーク	1-4-40
4.11.3.6	事業化までのマイルストーン	1-4-40
4.12	「AI エッジデバイスの横断的なセキュリティ評価に必要な基盤技術の研究開発」における実用化・事業化の見通し	1-4-41
4.12.1	「実施項目 0 : AI エッジで必要となるセキュリティ評価分析基盤の研究開発」における実用化の見通し (産業技術総合研究所)	1-4-41
4.12.1.1	概要	1-4-41
4.12.1.1	実用化・事業化への課題と対応策	1-4-41
4.12.1.2	実用化・事業化の体制	1-4-41

4.12.1.3	市場規模と経済効果	1-4-42
4.12.1.4	ベンチマーク	1-4-43
4.12.1.5	事業化までのマイルストーン	1-4-44
4.12.2	「実施項目1: AI エッジ出力セキュリティ評価シミュレータの開発」における実用化・事業化の見通し (電子商取引安全技術研究組合)	1-4-45
4.12.2.1	概要	1-4-45
4.12.2.2	実用化・事業化への課題と対応策	1-4-45
4.12.2.3	実用化・事業化の体制	1-4-45
4.12.2.4	市場規模と経済効果	1-4-45
4.12.2.5	ベンチマーク	1-4-45
4.12.2.6	事業化までのマイルストーン	1-4-46
4.12.3	「実施項目2: AI エッジ内部実装保護技術の研究開発」における実用化・事業化の見通し (株式会社コネク テックジャパン)	1-4-46
4.12.3.1	概要	1-4-46
4.12.3.2	実用化・事業化への課題と対応策	1-4-46
4.12.3.3	実用化・事業化の体制	1-4-47
4.12.3.4	市場規模と経済効果	1-4-47
4.12.3.5	ベンチマーク	1-4-47
4.12.3.6	事業化までのマイルストーン	1-4-47
4.12.4	「実施項目2: AI エッジ内部実装保護技術の研究開発」における実用化・事業化の見通し (産業技術総合研 究所)	1-4-47
4.12.4.1	概要	1-4-47
4.12.4.2	実用化・事業化への課題と対応策	1-4-48
4.12.4.3	実用化・事業化の体制	1-4-49
4.12.4.4	市場規模と経済効果	1-4-49
4.12.4.5	ベンチマーク	1-4-51
4.12.4.6	事業化までのマイルストーン	1-4-51
4.12.5	「実施項目2: AI エッジ内部実装保護技術の研究開発」における実用化・事業化の見通し (IIJ イノベー ションインスティテュート)	1-4-52
4.12.5.1	概要	1-4-52
4.12.5.2	実用化・事業化への課題と対応策	1-4-52
4.12.5.3	実用化・事業化の体制	1-4-52
4.12.5.4	市場規模と経済効果	1-4-53
4.12.5.5	ベンチマーク	1-4-53
4.12.5.6	事業化までのマイルストーン	1-4-53
4.12.6	「実施項目3: AI エッジの個体管理を支えるための人工物メトリクスの研究開発」における実用化・事業化 の見通し (産業技術総合研究所)	1-4-54
4.12.6.1	概要	1-4-54
4.12.6.2	実用化・事業化への課題と対応策	1-4-54
4.12.6.3	実用化・事業化の体制	1-4-54
4.12.6.4	市場規模と経済効果	1-4-54
4.12.6.5	ベンチマーク	1-4-55
4.12.6.6	事業化までのマイルストーン	1-4-55

●特許論文等リスト (添付資料) 1-添-1

◎研究開発テーマ「不揮発省電力 FPGA コアを用いた低遅延 AI 処理コンピューティング技術の研究開発」	1-添-1
◎研究開発テーマ「動的再構成技術を活用した組み込み AI システムの研究開発」	1-添-3
◎研究開発テーマ「進化型・低消費電力 AI エッジ LSI の研究開発」	1-添-5
◎研究開発テーマ「ソフトテンソルプロセッサによる超広範囲センシング AI エッジ技術の研究開発」	1-添-7
◎研究開発テーマ「5G 時代を見据えた高度自律的学習機能搭載のための AI エッジコンピューティング技術の研究開 発」	1-添-12
◎研究開発テーマ「エッジビジョン AI を超軽量化し短 TAT で実装する技術の研究開発」	1-添-13
◎研究開発テーマ「スケーラブルなエッジ HPC を実現する OS 統合型プラットフォームの研究開発」	1-添-18
◎研究開発テーマ「動的多分岐・結合トレース型 AI プロセッサのエコシステム開発」	1-添-19
◎研究開発テーマ「完全自動運転に向けたシステムオンチップとソフトウェアプラットフォームの研究開発」	1-添-23
◎研究開発テーマ「セキュアオープンアーキテクチャ基盤技術とその AI エッジ応用研究開発」	1-添-26
◎研究開発テーマ「AI エッジデバイスの横断的なセキュリティ評価に必要な基盤技術の研究開発」	1-添-32

概要

最終更新日

2020年11月19日

プロジェクト名	高効率・高速処理を可能とするAIチップ・次世代コンピューティングの技術開発		プロジェクト番号	P16007		
担当推進部/ PMまたは担当者	IoT推進部 PM:伊藤隆夫 (2020年7月現在) IoT推進部 PM:大杉伸也 (2018年7月~2020年4月) IoT推進部 PM:千田和也 (2016年4月~2018年6月)					
0. 事業の概要	来るべきポストムーア時代のIoT社会を築くため、大量データの効率的かつ高度な利活用を可能とする、基盤技術開発の開発が必要となる一方、IoT社会の到来が近づくにつれ、データ量の爆発的な増加とその処理に伴う消費電力の増加という、新たな社会課題にも直面している。これらの社会課題解決と日本の情報産業の再興を目的として、本プロジェクトでは、データ量削減のため、ネットワークの末端で中心的なAI処理を行う「AIエッジコンピューティング*技術」、消費電力を劇的に低減するため、これまでの延長線上にない新原理の技術開発を推進する「次世代コンピューティング技術」、それらを共通的に支えるための「共通基盤技術」の開発を実施している。					
1. 事業の位置 付け・必要性 について	本プロジェクトでは、社会課題の解決と我が国の情報産業の再興を目的とし、ポストムーア時代におけるコンピューティング技術開発を行う。本プロジェクトで取り組むポストムーア時代を見据えたコンピューティング技術開発は、Society 5.0の実現につながる Connected Industries を実現するために必要不可欠なものであるため、NEDOが主導して取り組む意義が極めて大きい。					
2. 研究開発マネジメントについて						
事業の目標	<p>【研究開発項目①】革新的AIエッジコンピューティング技術の開発 (期間:2018-2022年度) エッジにおけるAI処理を実現するための小型かつ省エネながら高度な処理の能力を持った専用チップ及びコンピューティング技術等を開発する。</p> <p>【研究開発項目②】次世代コンピューティング技術の開発 (期間:2018-2027年度) ・既存の技術の延長にない、新原理等による高速かつ低消費電力化を実現する次世代コンピューティング技術を開発する。</p> <p>【研究開発項目③】高度なIoT社会を実現する横断技術開発 (期間:2016-2020年度) ・IoT社会を支えるIoT情報基盤を築くため、大量データの効率的かつ高度な利活用を可能とする収集、蓄積、解析、セキュリティ等に関する横断的技術開発を行う。</p>					
事業の計画内容	主な実施事項	2016fy	2017fy	2018fy	2019fy	2020fy
	革新的AIエッジコンピューティング技術の開発			←		
	次世代コンピューティング技術の開発			←		
	高度なIoT社会を実現する横断技術開発	←				
事業費推移	会計・勘定	2016fy	2017fy	2018fy	2019fy	2020fy
	一般会計					
	特別会計(需給)	2,762	3,776	8,390	8,879	10,012
	開発成果促進財源					
	総NEDO負担額	2,762	3,776	8,390	8,879	10,012
	(委託)				8,174	9,332
(助成)				705	680	

開発体制	経産省担当原課	商務情報政策局 情報産業課
	プロジェクトリーダー	研究開発項目① 東京工業大学 教授 本村真人 研究開発項目②-(1) 産業技術総合研究所 デバイス技術研究ユニット長 川畑史郎 研究開発項目②-(2) 産業技術総合研究所 特別顧問 金山敏彦 研究開発項目③ 東京大学 教授 森川博之
	プロジェクトマネージャー	IoT 推進部 PM: 伊藤隆夫
	委託先 (助成事業の場合「助成先」とするなど適宜変更) (組合が委託先に含まれる場合は、その参加企業数及び参加企業名も記載)	代表実施者: ルネサスエレクトロニクス(株)、東京大学、東京大学生産技術研究所、KDDI(株)、(株)ソシオネクスト、沖電気工業(株)、日本電気(株)、イーソル(株)、熊本大学、東京理科大学、(株)デバイス&システム・プラットフォーム開発センター、(株)フィックスターズ、(株)エヌエスアイテクス、産業技術総合研究所、(株)Preferred Networks、(株)日立製作所、奈良先端科学技術大学院大学、日本電気(株)、技術研究組合光電子融合基盤技術研究所、早稲田大学、大阪大学、理化学研究所、中央大学、日本 IBM(株)、(株)東芝、技術研究組合 NMEMS 技術研究機構、東京工業大学、横浜国立大学、立命館大学、アラクスネットワークス(株)、等 112 社
情勢変化への対応	<p>本プロジェクトは、IoT 推進のための横断技術開発事業として、IoT 社会を高度化するための、情報の収集、蓄積、解析、セキュリティに分類される各種技術の開発を推進するプロジェクトとして 2016 年度に開始されたもの。一方で、ムーアの法則の限界や、情報社会が拡大したことに伴う爆発的な情報量の増加等、情報社会がもつ問題が一層表面化したことを受け、クラウドコンピューティングからエッジコンピューティングへの転換、並びに既存の技術の延長にない新原理の技術を先立って開発していくため、2018 年に「高効率・高速処理を可能とする AI チップ・次世代コンピューティングの技術開発」事業として、名称を変更すると共に、研究開発項目①、②を追加し (IoT 推進のための横断技術開発事業は、研究開発項目③として整理) 事業内容を拡充して事業を実施している。</p> <p>なお、研究開発項目①②については、2020 年度に実施するステージゲート審査の結果により、2021 年度以降の研究開発テーマの継続・一部見直し・早期完了・中止に加え、研究開発体制の見直しやテーマの統合、事業規模の拡大、縮小等の包括的な事業の見直しを行う。また 2022 年度から 2023 年度にかけては、本事業全体の見直しを実施する。</p> <p>最長 10 年間の研究開発期間を実施するに当たり、特に有効であると考えられる技術開発に支援を集約するために、これらの見直しに際しては、国内外における研究開発の動向や政策動向を踏まえ、外部有識者の評価も実施することとする。</p>	
評価に関する事項	事前評価	2015 年度実施 担当部 電子・材料・ナノテクノロジー部 2017 年度実施 担当部 IoT 推進部
	中間評価	-
	事後評価	-
3. 研究開発成果について	<p>研究開発項目① 2018 年度に事業を開始し、主に研究開発体制の確立、研究拠点の構築を進めた。各研究開発を進める中で、将来的な目標として設定する既存技術に対して電力効率で 10 倍以上を実現するための見込みを得た。</p> <p>研究開発項目② 2018 年度に事業を開始し、主に研究開発体制の確立、研究拠点の構築を進めた。各要素技術の開発を進める中で、将来的な目標として設定する既存技術に対して電力効率で 100 倍以上を実現するための見込みを得た。</p> <p>研究開発項目③</p>	

	2016 年度に事業を開始。サンプル提供や、実際の産業現場における実証実験等、構築した IoT システムを用いた実用化・事業化に向けた取組を行い、本研究開発項目の目標である、電力効率で 10 倍以上を達成すると共に、システムとしての実用性の検証を継続している。	
	投稿論文	777 件
	特 許	出願済み：237 件
	その他の外部発表	233 件（フォーラム、展示会等）
4. 成果の実用化・事業化に向けた取組及び見直しについて	<p>研究開発項目① キックオフミーティングやサイトビジットを実施し、本研究開発項目の関係者間のコミュニケーションを強化した。また、技術推進委員会を複数回実施し、その結果を基に研究開発計画の見直しや予算の増減、追加公募等を行った。その他、サンプル提供等によるユーザー評価を実施し、研究開発にフィードバックしている。</p> <p>研究開発項目② 関連する技術に関するシンポジウムの開催や、開発成果を活用するコンソーシアムの構築等を行い、研究開発と並行して早期のユーザーニーズの把握に努めた。また、事業化に当たり必要となる有効性を示す指標の整理を進めている。</p> <p>研究開発項目③ 事業化を見据えた研究開発体制の構築に加え、サンプル提供や、実際の産業現場における実証実験等、構築した IoT システムを用いた取組を行い、事業終了後、速やかに実用化・事業化に移れるよう研究開発を実施している。</p>	
5. 基本計画に関する事項	作成時期	2016 年 3 月 作成
	変更履歴	<p>2018 年 3 月、事業名称の変更、研究開発項目①及び②の追加による大幅改訂。なお、従来からの「IoT 推進のための横断技術開発プロジェクト」は研究開発項目③として実施する。</p> <p>2019 年 3 月、研究開発項目③の助成事業の追加等による改訂。</p> <p>2020 年 1 月、研究開発項目②の分割、ステージゲートに関する整理の記載。並びに西暦、和暦の修正等による改訂。</p>

プロジェクト用語集

用語	説明
AI エッジコンピューティング	AI を用いたエッジコンピューティング。エッジ領域において、AI 処理を行う。
AI エッジ統合制御システム	本事業において研究開発する、AI モジュールを組み込むシステム(通信・センサー・CPU 等)の呼称。
AMALTHEA	特に車載をターゲットとした、マルチコア向けオープンプラットフォームに関する一連の EU プロジェクト。2011 年に AMALTHEA(8M ユーロ)が開始され、現在は 2018 年より PANORAMA(19M ユーロ)が実施中。
APU	Accelerated Processing Unit: SoC 上の各アクセラレータ。
ARM	組み込み向けプロセッサの種類。
ASIC	Application Specific Integrated Circuit: 特定用途向け集積回路。
AS-SIMT アーキテクチャ	Application Specific SIMT のアーキテクチャ。GPGPU に代表される、同一命令を、多スレッドで同時実行する計算機アーキテクチャを、あるアルゴリズムに対して専用化する設計方法。並列計算による高速化が可能なアルゴリズムは多く存在するが、設計を共通化できることにメリットがある。
Autoware	ROS(Robot Operating System)をベースとした自動運転プラットフォームの名称。
Autoware.AI	ROS(Robot Operating System)をベースとした自動運転プラットフォームの名称。(Autoware.Auto と区別する場合に利用)
Autoware.Auto	ROS2 をベースとした自動運転プラットフォームの名称。
C/C++	高級汎用プログラミング言語のひとつ。
CNN アクセラレータ	畳み込み演算を駆使する DNN(CNN: Convolutional Neural Network) の高性能化をねらったアクセラレータ。畳み込みは GPGPU との親和性が高いが、専用化によってさらに低レイテンシ、低消費電力を実現できる可能性がある。
CUDA	NVIDIA 社から提供されている、NVIDIA 社の GPGPU 向けの計算プラットフォーム及びプログラミングモデル。
DDS	Data Distribution Service: リアルタイム pub/sub programming を実現する API を、プログラマへ提供。
DNN	Deep Neural Network: ニューラルネットワークのうち、隠れ層を 2 層以上積み重ねたネットワークのこと。DNN を利用した機械学習を総称して、Deep Learning と呼称することが多い。
DSP	Digital Signal Processor: 積和演算の高速な処理に特化したマイクロプロセッサ。
Eclipse Cyclone DDS	Eclipse Foundation で開発している DDS 名称。
ECU	各種電子制御をするユニット。
EKF	Extended Kalman Filter (拡張カルマンフィルタ): センサーに対する Filter のひとつであり、ノイズの低減等の効果がある。
FastRTPS	eProxima 社が開発しているオープンソースの DDS の名称。
FPGA	Field Programable Gate Array: アプリケーションを論理回路上にマッピング・プログラミングでき、信号が論理回路上を伝達することにより演算処理が実行可能な集積回路。プログラマブルで電力効率が高いなどがメリット。
GENESIS DevEnv	本事業で研究開発した技術を実用化した、エッジビジョン AI システムのプロトタイプ開発サービスの名称。

Github	GitHub 社によって管理されているソフトウェア開発のプラットフォーム。ここにソースコードをホスティングすることで、複数人のソフトウェア開発者と協働してコードをレビューしたり、プロジェクトを管理しつつ開発を行ったりすることができる。
GPU	Graphics Processing Unit: 数値計算(乗算・加算)を非常に高い並列度で処理する集積回路。グラフィック処理が主だが、近年、AI 学習に用いられている。特徴の一つとして、電力消費は大きい。
Halide	画像処理やテンソル計算の高性能計算を対象とした、ドメイン固有言語のひとつ。
Inet socket 通信	TCP ベースのネットワーク通信。
IntelHLS	Intel 社が提供している、Intel 製 FPGA 向けの高位合成ツールの名称。
IP	Intellectual Property: 知的財産。特に、SoC 関連の場合は、LSI や IC などの回路コンポーネントを纏めた設計情報を表す。
libc++	標準 C++ライブラリ。
LiDAR	Light Detection and Ranging: レーザー光を発射することによって距離情報を測定するセンシング技術や、それをういたセンサーの総称。
LSI	大規模集積回路。
Mcube	東京大学により独自開発された、マイクロカーネル OS。Mcube OS ともいう。
Mcube kernel	Mcube OS の中核となるプログラム。
MEC	Mobile Edge Computing: 計算リソースやストレージを移動体通信網のエッジに相当する基地局などに配備することで、サービスやアプリケーションにおいて応答の低遅延化などを実現する技術。
MPPA256	256 コアのメニーコアプロセッサの名称であり、本事業では試作で利用。
NoC	Network on chip: メニーコアもしくはクラスタ間の通信の名前。
ODD	Operational Design Domain: 運行設計領域。安全な自動運転が可能な条件。天候や走行、歩行者の存在を認めるか否かなどで、様々な種類の ODD が存在する。Level-N とは直交概念。
ONNX	Open Neural Network Exchange: DNN モデルを表現するための中間表現フォーマットのひとつ。
OpenCL	Open Computing Language: マルチコア CPU や GPU、Cell プロセッサ、DSP などによる異種混在の計算資源(ヘテロジニアス環境など)を利用した並列コンピューティングのためのクロスプラットフォームな API。
OpenCV	OSS で公開されている、コンピュータビジョン処理のためのライブラリのひとつ。
OS	オペレーティングシステム。
OSS	Open Source Software: ソースコードが一般に公開され、かつソースコードの利用・修正・再配布などが可能なソフトウェアの総称。
PredictiveCoding	脳が環境のモデルを用いて感覚入力を予測し、予測と実際の感覚入力との誤差を最小化するように情報処理を行なっているとする、脳の情報処理様式に関する仮説。
Publisher/Subscriber プログラム	メッセージを使用する、プログラミングモデル。送信者、購読者を特に指定しない特徴がある。ROS が提供されているプログラミングモデル。
RCLC	C 言語のアプリ実装に共通機能を提供する ROS2 の API。
RCLCPP	C++のアプリ実装に共通機能を提供する ROS2 の API。
RISC-V	UC Berkeley を中心に開発されたオープンな RISC プロセッサ仕様(命令セットアーキテクチャ)。Rocket コアを中心とするフリーの実装も存在。

RMW	ROS Middleware: DDS の通信機能をアプリに抽象化する API。
ROS	Robot Operating System: ロボット用のソフトウェアプラットフォーム。
ROS 2	機能安全対応など製品化の対応を目指した次世代 ROS。
ROSBAG	ROS の通信で交わされるメッセージを記録するツール。
RTL	Register Transfer Level: レジスタからレジスタへの転送の振る舞いを記述するような、ハードウェアを記述する際に利用される抽象度のひとつ。
RTOS	Real Time Operating System 資源管理において、時間資源の優先度に基づく配分と実行時間の予測可能性を提供することに特化しているような OS。
SIMD 演算器	Single Instruction, Multiple Data 演算器: 1 命令で複数のデータを処理可能な、プロセッサ内の高速演算器の総称。
SLAM	Simultaneous Localization and Mapping: 環境地図作成と自己位置推定を同時に行うアルゴリズムの名称。自動運転やロボットなどといった、マシンビジョンのアプリケーションに多く利用されている。
SoC	System-on-Chip: CPU および特定のアプリケーションが実行できる専用回路(FPGA を含む)、メモリ、インターフェース回路を備えた集積回路。システムチップともいう。
Society 5.0	日本が目指すべき未来社会の姿として提唱される、サイバー空間(仮想空間)とフィジカル空間(現実空間)を高度に融合させたシステムにより、経済発展と社会的課題の解決を両立する、人間中心の社会(Society)。
Soft-NMS 方式	ディープラーニングを利用した物体検出では、一つの物体に対して複数の検出結果が得られる。NMS とは、それらの複数の検出結果に対して、信頼度をもとに検出結果の出力を抑制し、一つの物体に対し一つの検出結果が得られるようにする処理。 NMS の中でも、単純な閾値処理ではなく連続的な関数を利用することにより精度向上を実現する方式。
SRAM	Static Random Access Memory: 6 個以上のトランジスタから構成された揮発性メモリ。情報の保持には電圧印加が必要。
SSS-Net	本事業により研究開発された、軽量化 DNN モデルの名称。
Subnetwork 方式	ディープラーニングのモデルのひとつであり、より詳細な特徴を抽出するためのモデルを組み込む方式。詳細な特徴を抽出することで、Subnetwork を組み込んだ部分に対して、精度向上が可能。
TensorFlow、PyTorch	DNN モデルを実装、学習、実行するための開発フレームワークの 1 つ。
ToF	Time of Flight: 赤外線を照射し、被写体からの反射光が戻ってくるまでの時間を測定することによって、被写体までの距離情報を測定する技術の総称。
UGV	Unmanned Ground Vehicle: 運転手が乗車することなく、無人状態で地上を走行できる車両。
Unix Domain Socket	単一マシン上の高効率なプロセス間通信に用いられる、機能・インターフェースの一種。
Upsampling 方式	ディープラーニングで畳み込み演算を繰り返すと、通常、特徴マップの大きさが小さくなる(Downsampling)が、畳み込み演算とは異なる演算を行うことにより、小さくなった特徴マップを大きくする処理。

	Upsampling を行うことにより、小さな物体を検出するための大きな特徴マップにおいて詳細な特徴が得られ、精度向上が可能。
Verilog HDL	ハードウェア記述言語のひとつ。
Veriloggen	東京大学が中心となって開発し、OSS で公開されている、マルチパラダイム型ハードウェア開発フレームワークの名称。
VivadoHLS	Xilinx 社が提供している、Xilinx 製 FPGA 向けの高位合成ツールの名称。
WorldModel	エージェントが自分の経験を元に学習した外界の環境のダイナミクスのモデルであり、現在の環境の状態とエージェント自身のアクションを元に、アクションの結果として環境がどのように変化するかを予測する。予測を元にアクションを選択することでエージェントが効率的にタスクを遂行できるようになる。 また、一般に WorldModel は、環境の情報を低次元のコンパクトな表現に変換した上で時間変化をモデル化しており、コンパクトな表現にすることで計算量・計算時間を削減している。
アクセラレータ	コンピュータの処理能力を加速するもの。
アテンション	主に画像認識や自然言語認識などで、認識に重要な情報に着目するための手法として開発されてきたニューラルネットワーク技術。
枝刈り	DNN における、学習パラメータの一部を除去する技法。
エッジコンピューティング	ネットワークの末端(エッジ領域)におけるデバイス(センサーやコントローラなどが搭載される端末)上で行う計算の総称。
エッジビジョン AI	エッジデバイス上で実行される、イメージセンサーなどに代表される可視光データを入力とした変換や認識、機械学習処理の総称。
演算量削減技術	深層ニューラルネットワークにより構成されるモデルを、よりコンパクトなものに置き換えることで、モデルの学習・推論の演算量を削減する技術。
学習	機械学習において、訓練データなどを用いて、機械学習モデル内のパラメータを決定するフェーズ。
環境シミュレータ	現実の物理環境を模擬したコンピュータ内の仮想環境で、深層学習・深層強化学習・人工意識の学習や評価のために用いるシミュレータ。 現実の物理環境では、データ取得やエージェントの行動に大きな時間・労力・費用などのコストが発生し、また予期しない要因による周囲の環境への悪影響のリスクも無視できない。環境シミュレータを用いることにより、これらのコストやリスクを大幅に削減することができる。 特に、エージェントの環境とのインタラクションにかかる時間を削減して、学習を高速化できることが大きな利点。
機械学習	主に、人間が計算機に対し明示的にルールを与えるのではなく、計算機に多くの例をデータとして与えて、そのデータの中に潜む有用な規則、ルール、知識表現、判断基準などを自動的に抽出する手法などの総称。
キャッシュメモリ	プロセッサ上に搭載されている高速小容量なメモリ。直近に使用されたデータや頻繁に使用されるデータをキャッシュメモリ上に自動的に格納することによって、メモリアクセスの遅延を隠蔽することが可能。
クラスタ	複数のコアをまとめた単位。
原子スイッチ	金属イオンが伝導可能な固体電解質を、銅およびルテニウム電極で挟んだ2端子構造を備えたスイッチ。印加電圧の極性によりその抵抗が変化し、信号のルーティングを行うクロスバススイッチや情報を不揮発に保持するメモリに利用。

高位合成	C/C++などのような高級プログラミング言語を入力として、ハードウェア記述言語に変換し出力する技術。
コンパイラ	高級言語で記述されたソースコードから、より低級なコードに変換するためのソフトウェア。変換と同時に、プログラムの等価性を保ったまま高速なプログラムに変換する場合も多く存在する。
自律	「作業の目的」を元に状況に応じて、適切に判断・行動してタスクを遂行する行動スタイル。一方、「作業の手順」を元に適切な行動を行う行動スタイルは「自動」と呼ぶことができる。「自律」は「自動」をより高度化させた概念。
人工意識	既存の知識を内部モデルとして持つことで、新しい問題を少ない入力情報で解く機能が、意識の重要な機能のひとつと考えられる。この機能をロボット・ドローン・仮想環境内のエージェントなどの人工的なシステムに搭載したもの。
深層強化学習	強化学習とは、逐次的な意思決定ルールを学習する機械学習の一分野であり、毎時刻ごとにエージェントは環境の状態を元に適切なアクションを選択し、得られる報酬の合計を最大にすることを目的としている。そのためには、環境の状態やアクションを評価することが必要となり、この評価に深層ニューラルネットワークを用いるもの。
推論	機械学習において、学習済みの機械学習モデルを利用して、未知のデータを入力して出力を得るフェーズ。
スーパースカラ	プロセッサにおいて、複数の命令を、複数の実行ユニット上で並列に動作させるアーキテクチャの総称。
スクラッチパッドメモリ	プロセッサ上に搭載されている高速小容量なメモリ。キャッシュメモリと比較して、スクラッチパッドではデータの格納やメインメモリとの転送を、プログラム上で明示的に記述する必要がある場合に呼称されることが多い。
畳み込み層	CNNの構成要素。一つの畳み込み層には複数のチャンネルが含まれる。入力データ上に分布する空間的な特徴を保持した演算が可能。特に画像認識のタスクを行うDNNで頻用される。
チャンネル	フィルターとの畳み込み演算の結果を保持するニューロンの集まり。
電力対性能	一般的に、消費電力を上げれば、よりニューラルネットワークを速くさせることができる。性能評価のためには、同じ電力でどれだけ速くニューラルネットワークを動作させることができるかを考える必要があるため、評価指標として用いることが可能。
ドメイン固有言語	Domain Specific Language, DSL: 特定の用途向けに特化して設計されたプログラミング言語の総称。
ニューラルネットワーク	生物の脳の認知機能と構造に基礎を置いている機械学習モデル。神経細胞を数理的にモデル化した人工ニューロン素子のネットワークによって構成。
パイプラインスケジューリング	プロセッサ内の演算器パイプラインにおいて、プログラム中のどの演算を、どの演算器上で、どのような順番で実行するかを決定すること。

複数深層学習	<p>複数のタスクを共通の入力データを用いて深層ニューラルネットワークで学習させること。</p> <p>例えば、物体検知と意味的領域分割は異なるタスクであるが、共通の入力画像データで学習させることが可能だが、もし入力データだけでなく深層ニューラルネットワークの途中の層の出力についても複数のタスクで共通に用いることができれば、ニューラルネットワークの一部を複数のタスクで共通のものにすることが可能になり、演算量を削減できる。</p>
ペイロード	通信における通信したい内容本体。
ヘテロジニアスコンピューティング	非同一の複数プロセッサでコンピュータを構築すること。CPU と GPU の組み合わせもこの発想のひとつ。
ミドルウェア	アプリケーションプログラムを特定のハードウェアで動作させる際に、その仲立ちとなって動作するソフトウェアならびにその集合。
モデルベース並列化	MBP: システムモデルや MATLAB/Simulink モデルのようなモデルのレベルにおいて、モデル内のブロック単位でプロセッサコアに割り当て、並列化するツール。C 言語プログラムなどのコードレベルと比較し、システム全体の視点から並列化できるので、特にヘテロジニアスアーキテクチャに向いている。
有限状態機械	Finite State Machine, FSM: 有限個の状態と、各状態における動作の組み合わせによって構築される、数学的な計算モデル。
量子化	DNN におけるアクティベーションや学習パラメータのビット精度を低減し、等価あるいは近似的な演算に変換する技法。
ループ変形	プログラム中におけるループの形や実行順序を変形するような、プログラム変換手法のひとつ。

1. 事業の位置付け・必要性について

1.1 事業実施の背景

IoT端末(デバイス)により、コンピュータが処理可能なデジタルデータに変換されることにより、大量のデータを活用することができ、新たなサービスモデルの創出や、産業や社会システムの構造を大きく変える可能性がある。

特に、少子高齢化・労働力不足、地球環境・エネルギー問題、社会インフラの維持・メンテナンス、地域経済の維持等の課題解決に向け、IoT、AIの利活用に期待が大きい。

他方で、IoT 技術が社会のあらゆる分野に実装されることで、インターネットに繋がる機器は大幅に増大し、これまでデジタル化されていなかったデータがネットワークに加速度的に流入することで、情報の収集・蓄積、流通、解析、制御等のあらゆるプロセスにおいて機器が消費する電力が大幅に増大することが見込まれている。

民間の試算では、全世界で IoT 機器の台数が 2025 年には 416 億台(2020 年との比較で約 1.5 倍)に達し、流通するデータ量も年間 79.4 兆 G バイト(2020 年との比較で約 4 倍)になると予測され、これに伴い機器の消費電力は増大される。また、その市場規模は産業用 IoT の世界市場においてだけでも 2025 年段階で 1106 億ドル(2020 年との比較で約 1.5 倍)に達するとの民間予測があり、経済効果においては IoT 技術の適用先と効果が非常に多岐の分野にわたるため、全体で 2025 年に 3.9~11.1 兆ドルに及ぶと試算されている。

このようななか、ムーア則の終焉が叫ばれ、半導体微細化による情報処理性能の向上は限界を迎えつつある。エッジやクラウド等において、既存技術の延長にない新原理の技術により、著しく増加するデータ処理に要する電力の劇的な低減が必要とされる。

また、民間の試算では、IoT 機器の台数が 2025 年には 416 億台(2020 年との比較で約 1.5 倍)に達し、流通するデータ量も年間 79.4 兆 G バイト(2020 年との比較で約 4 倍)になり、2025 年には世界で生成されるデータの約 30%がリアルタイムデータになるという予測があり、AIエッジでの自律制御、機会学習を可能とする、新たなコンピューティング技術の実現も期待されている。

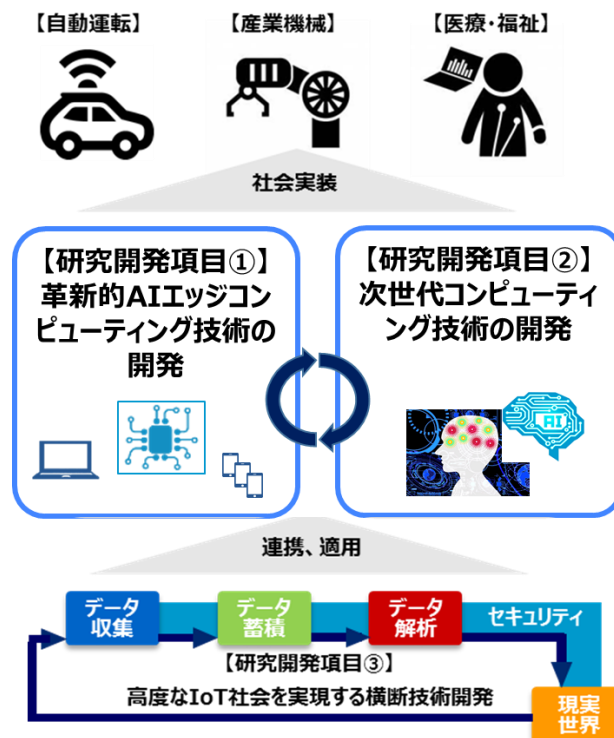


図 3.1.1 IoT が実現する CPS(Cyber Physical System)

1.2 政策的位置づけ

政府においては、「日本再興戦略」改定 2015(2015 年 6 月 30 日閣議決定)において、IoT・ビッグデータ・人工知能時代の到来により、ビジネスや社会の在り方そのものを根底から揺るがす「第四次産業革命」とも呼ぶべき大変革が進みつつあり、未来の幅広い分野における産業創造や社会変革に対応するため、新たな時代を支える共通基盤技術(IoT、ビッグデータ解析、人工知能、センサー等)に関して研究開発等を実施することが期待されるとしている。また、「日本再興戦略」改定 2015 を受けて、2015 年 10 月に IoT 推進コンソーシアムが設置され、官民共同で IoT を活用した未来への投資を促すべく、新たなビジネスモデルの創出、IoT 推進のための技術開発・実証に係る、規制改革等の提言等の取組が推進されている。

さらに、2015 年 6 月に閣議決定された「科学技術イノベーション総合戦略 2015」においても、「現在発展しつつある個別のシステムが更に高度化し分野や地域を超えて結び付き、あらゆるものがネットワーク化されることにより、必要なもの・こと(サービス)を、必要な人に、必要な時に、必要なだけ提供でき、社会の様々なニーズに対し、きめ細やかに、かつ、効率良く対応できる「超スマート社会」ともいうべき社会が向かう方向性と考えられる」とした上で、「超スマート社会(Society5.0)」の実現に向け、国際競争力強化や生産性の向上を図り、持続的な社会基盤づくりにつなげていくことの重要性が指摘されている。

総合科学技術・イノベーション会議が策定に向けて検討を行ってきた 2016～20 年度の第 5 期科学技術基本計画について 2016 年 1 月に閣議決定されたが、ここでも超スマート社会サービスプラットフォームの構築に必要な技術のうち、特に国として速やかな強化を図る技術として、デバイス技術、エッジコンピューティング、ビッグデータ解析技術、AI技術、ネットワーク技術、サイバーセキュリティ技術、IoT システム構築技術等の IoT 関連の基盤技術が挙げられている。

本研究開発項目の開始後においても、内閣府が 2019 年 6 月に掲げた我が国の産業力強化に向けた統合的な政策パッケージである「AI 戦略 2019」では、2022 年までに、情報処理に係る消費電力性能を従来比 10 倍以上に向上させる革新的 AI チップ技術の研究開発方針が示され、2020 年 5 月に経済産業省により掲げられた「産業技術ビジョン 2020」では、ポストムーア時代の次世代コンピューティング技術(エッジ)、Intelligence of Things を支えるキーテクノロジー群等の先端技術の研究開発に必要な措置が講ずることとされている。

さらに、内閣府が 2020 年 7 月に閣議決定した「統合イノベーション戦略 2020」では、コロナ渦、国内外の変化を踏まえた我が国の課題としてデジタル化等を挙げ、AI 等の基盤技術において、世界最先端の研究を推進することとされている。

表 1.2 IoT デバイス、AI エッジコンピューティングの研究開発に係る関連政策

	政策	概略	'15~'20	'25~'50
内閣府	統合イノベーション戦略2020 (2020.7.17)	・コロナ禍、国内外の変化を踏まえた我が国の課題(危機感とスピード化を持ち、デジタル化を加速、イノベーションを創出) に対して、重点的に取り組むべき施策(Society 5.0)の具体化を提示。 ・戦略的に進めていくべき主要分野=基盤技術(AI、バイオ、量子技術、マテリアルなど世界最先端の研究開発、人材育成他)、応用分野(安全安心、環境エネルギー、健康・医療ほか)	2019	2020
経済産業省	産業技術ビジョン2020 (2020.5.29)	・2050年に向けた5つのグローバルメカトレンドと世界動向を踏まえ、日本が包摂する本質的課題を仮説として特定し、2050年の産業技術の方向性、2050年までに実現すべきことを取りまとめ ・R&D投資の重点化(デジタルにおいては、全ての基盤となるポストムーア時代の次世代コンピューティング技術(エッジ)とIntelligence of Thingsを支えるキーテクノロジー群のR&Dを強化)		ターゲット時期 (中長期: 2025、次の30年)
内閣府	AI戦略 (2019.6.11)	AI社会原則を踏まえ、Society 5.0の実現を通じて世界規模の課題の解決に貢献するとともに、我が国自身の社会課題も克服するため、さらには、その先の我が国の産業競争力の向上に向け、「人、産業、地域、政府全てにAIを」普及させるために策定。		
経済産業省	Connected Industries (2017.10.2)	・「Society 5.0」実現に向け、様々な業種、企業、人、機械、データなどがつながり、AI等によって、新たな付加価値や製品・サービスを創出、生産性を向上させることにより、高齢化、人手不足、環境・エネルギー制約などの社会課題を解決。これらを通じて、産業競争力の強化を目指す。		
	Society 5.0 (2016.1.22)	・サイバー空間とフィジカル(現実)空間を高度に融合させたシステムにより、経済発展と社会的課題の解決を両立する人間中心の社会 ・IoTで全ての人とモノがつながり、様々な知識や情報が共有され、新たな価値が生まれる社会など4つの社会像の実現を目指す		
内閣府	第5期科学技術基本計画 (2016.1.22)	10年先を見通した5年間の科学技術の振興に関する総合的な計画。基本方針・4本柱のひとつとして「超スマート社会の実現(Society 5.0)」を掲げる		ターゲット時期 (10年先)
	日本再興戦略改定2015 (2015.6.30)	未来投資による生産性革命の実現に向け、ビジネスや社会の在り方そのものを根底から揺るがす「第四次産業革命」とも呼ぶべき大変革に対し、生産性向上のための施策として、鍵となる施策として「IoT、ビッグデータ解析、AI、センサー等による産業構造・就業構造の変革の検討」を掲げた。		
	科学技術イノベーション総合戦略2015 (2015.6.19)	「未来の産業創造・社会変革」に先行し、あるべき経済・社会システムを構想し、SIPを含め研究開発を組み合わせ(システム化)、産業競争力を生み出す価値の連鎖(バリューチェーン)を形成。社会実装に向け2020年までの成果目標を設定。我が国の強みを活かしてIoT、ビッグデータ等を駆使した新産業の育成を施策の一つとした。		ターゲット時期 (5年先)

1.3 アウトカム効果

各研究開発項目の下で実施する個別の研究開発テーマ毎に、エネルギー消費効率あるいは電力効率(単位電力あたり性能)について、事業開始時点における同等の技術と比較した目標を設定する。

想定する社会実装先(自動運転、産業機械、医療・福祉等)でのAI関連ハードウェア世界市場において、研究開発成果の一部が市場に出る2032年に約7,500億円、さらに成果の普及が加速する2037年に約1.6兆円の市場獲得し、それに付随するソフトウェア及びサービス産業等により、更なる波及効果の創出を目指す。さらに、エッジやクラウド等の省電力化を実現し、2037年において約2,729万t/年のCO2削減を目指す。

1.4 国際的なポジション

現状では、米国系ソリューションプロバイダ(Google社、Apple社、Facebook社、Amazon社等)が世界のコンピューティング分野を牽引している。ハードウェアからソフトウェアまでの一体開発に強みがあり、クラウド領域を中心に市場を含め世界を席巻している。各陣営による買収合戦も激化しており、新たな製品やサービスが目まぐるしいスピードで社会に投入されている。そのような中で、処理をするデータ量の増大から、エネルギー効率やリアルタイム性の観点等から、クラウドからエッジへデータ処理の主軸が移行しつつあり、エッジにおけるデータ処理の高機能化が求められている。そのひとつが人工知能(AI)を取り入れたものである。

各国のAI関連の政策動向を見てみると、米国においては2018年5月のAIサミットにおいて、国防総省を中心としてAI Next Campaign(~2023年)が張られ、AI、量子、5G通信領域での戦略策定の動きが活発化した。2018年7月のDARPAにおけるAI探索プログラムの発表、さらには、2019年2月のAIイニシアチブに関する大統領令も発せされた。欧米ではEUにおいて2018年4月にAI活用政策指針・AIに関する協力宣言がなされ、これを受けて2018年12月にAI協調計画が発表された。EUの動きに連動し、英独仏でそれぞれAI Sector Deal(英・2018年4月)、ハイテク戦略2025(独)、AI国家戦略(独・2018年11月)、AI国家戦略(仏・2018年3月)が立案された。中国においては、次世代人工知能発展計画(2017年7月)から次世代AIガバナンス原

則(2019年6月)を制定するなど次世代 AI 産業の発展促進に関する動きが活発である。韓国でも AI 国家戦略 2019、台湾においては人工知能に関する科学研究戦略において五大戦略を定めている。このように各国とも積極的にこの分野において政策的な後押しをしている。

一方で、世界の取り組みにおいても、未踏な部分があると考えられる。今後は、第 4 次産業革命技術の更なる進展に伴い、従来のクラウドコンピューティングからネットワークの末端(エッジ)で中心的な情報処理を行うエッジコンピューティングへの分散が不可欠になると考えられるが、クラウドで確立された技術とは異なり、エッジで情報処理を実現するための小型デバイスとコンピューティング技術については各国各社手探りの部分も多く、サイズやエネルギー性能に加え、ソフトウェアとの組み合わせであるコンピューティング技術として最適化できていないと思われる。

また、次世代コンピューティングの領域では、先に述べたような様々な開発の動きがあるものの、例えば販売事例のある量子アニーリングコンピュータであっても、実用的な組み合わせ最適化問題を解くためには量子ビット数を大幅に増加させる必要があるだけでなく、結合や正確性の問題、ミドルウェアを含むソフトウェア等の開発等の課題を抱えており、社会実装まではまだ遠い状況である。

1.5 海外状況のまとめ

第 4 次産業革命の第 1 幕にあたる、これまでのネット上のデータ(バーチャルデータ)獲得競争においては、米国系企業(Google、Amazon、Apple 等)が世界を牽引しており、そのプラットフォームを海外企業に握られているため、我が国はその恩恵を享受できていない。

また、第 4 次産業革命の第 2 幕として、健康・医療・介護、製造現場、自動走行等の産業応用に向けたフィジカル領域における「リアルデータ」を巡る競争へ突入しており、欧米で大規模で、長期的な政府系プロジェクトが推進されている。

例えば、欧州では「AUTONOMICS for Industry 4.0」(ドイツ、2013～2017)、「Smart Service World I」(ドイツ、2016～2019)、「Smart Service World II」(ドイツ、2018～2021)、「Internet of Things and Platforms for Connected Smart Objects」(欧州委員会、2016～2019)、「Large Scale Pilots」(欧州委員会、2017～2020)、「IoTUK」(英国、2015～2018)等のプロジェクトが実施され、

製造プロセスにおけるエネルギーの削減や原料の消費における効率化および環境負荷の軽減、IoT による革新的な支援サービスを促進するための技術開発、業界横断型のソリューション開発、スマート製品向けプラットフォームのエコシステム構築、実社会での IoT の導入に向けた大規模なパイロット試験、産業分野および公共分野における IoT 技術やサービスの利活用推進等が行われている。

また、米国では「Cyber-Physical Systems」(NSF、2009～)、「Big Data R&D Initiative」(NSF/NIH/DOD/DOE/DARPA/USGS、2012～2016)、「SMART AMERICA Challenge」(White House、2013～2014)、「Global City Teams Challenge」(NIST、2014～)、「Digital Manufacturing and Design Innovation Institute/MxD」(DoD、2014～)等のプロジェクトが実施され、科学、基盤技術の研究開発支援から BigData から知見を引出す技術開発、Smart Manufacturing、Smart City 等の実証、デジタル製造設計によるコスト削減のための開発等が行われている。また、中国では「中国製造 2025」(國務院、2015～2025)が実施されており、情報化と産業化の融合をその理念とし、スマート製造・グリーン製造を目標に推進されている。加えて、各国においては要素技術の研究開発に係るプロジェクトも実施されている。

これらの動きと相まって、ドイツの Industrie 4.0 においては 関係企業・団体等を構成員としたコンソーシアムが立ち上げられるとともに大手企業が旗振り役となり中小企業を含む産学官の垂直連携・水平連携 体制の構築が推進され、米国においては製造・IT 分野における企業が多数

参画し、民間主導で業界をまたいで垂直・水平連携した IIC (Industrial Internet Consortium) が 2014 年に設立される等、垂直・水平連携により製造業全体の生産性向上、製造と IT 技術の融合による新たなバリューチェーン改革、標準化に向けた取組が行われている。

上記に対し、我が国特有の強みである多様で活用性の高いリアルデータの蓄積等を活かし、日本にイノベーションを生み出す「リアルデータプラットフォーム」を創出・発展させるため、IoT 推進の横断的技術開発、AI エッジコンピューティング技術開発、次世代コンピューティング技術開発の各成果を次々に具現化していく必要がある。

1.6 NEDO が関与する意義

データトラフィックの爆発的な増加を支えてきたムーア則が終焉を迎えつつあるなか、従来の微細化の進展に依拠した CPU 中心のコンピューティングアーキテクチャでは、リアルタイムデータ処理、自律制御への対応が困難となっており、集中処理と、エッジ処理との制御を伴う新たなコンピュータアーキテクチャの実装が必要とされる。

5G から 6G へ向かうモバイル技術の進展に伴い、クラウドに加えてエッジコンピューティングの重要性が増している。

コンピューティングとネットワークが融合したシステム全体で最適化する方向性が強まっており、従来のコンピューティングやデータ形式等の大規模な変革と産業のゲームチェンジを想定し、このゲームチェンジを日本として契機とするべきである。

このようなゲームチェンジに対して、ハイパースケール企業が不在の日本において、民間単独で対応することは困難なため、産官学の事業者が互いのノウハウを持ち寄り、協調して研究開発を行うことが必要であり、さらに実証推進においても国の関与が必要と考えられることから NEDO が実施すべきものである。

1.7 今回の事業の位置づけ

本研究開発項目では、情報提供依頼 (RFI) の結果や政策的観点から、以下、(A) から (F) の重点課題を設定し、公募を実施した。実施期間中においては、最終目標である、開発成果を組み込んだシステムレベルでのエネルギー消費効率あるいは電力効率 10 倍達成に向けて、適宜外部委員等による助言等を行った。また、先導調査研究として開始した 4 テーマについては、研究開発期間終了に伴うテーマ事後評価を実施している。

IoT のさらなる高度化を実現するために、従来に比べて格段に省エネルギーで高度なデータ活用を可能とする次世代技術を産学官の連携体制で開発する。

(A) 不揮発性素子等のスイッチング機構を用いたコンピューティング技術

フラッシュメモリとは異なる原理で ON/OFF 状態を保持する新構造の不揮発性素子を用いたスイッチング機構を、メモリ、通信回路、デジタル信号処理回路等に導入することで、低消費電力の AI 処理を可能とするコンピューティング技術を開発。

(B) リコンフィギャラブルデバイスによるコンピューティング技術

与えられたタスクや設置環境に合わせて、チップ内の回路構成を動的に変更することにより、常に高速かつ低消費電力での動作を実現する技術等を開発。

(C) 演算処理量の軽量化を実現する AI 組込みコンピューティング技術

チップがデータ処理する際に、データを軽量化してから処理するよう、チップに入力される計算プログラムを自動的に変更することにより、チップでの情報処理量を可能な限り軽減する技術等を開発。

- (D) エッジコンピューティング向けリアルタイムソフトウェア制御技術
 多数のプロセッサを高い実行効率で制御できるのみならず、エッジコンピューティングで要求されるリアルタイム性を満足し、かつ省エネ性能に優れた OS 技術等を開発。
- (E) 多数の分岐ノードを有する AI アルゴリズム処理を高性能化するコンピューティング技術
 与えられたタスクを小さな処理単位に分解・整列し、プロセッサの利用状況と処理単位の実行優先度を動的に判断して実行制御できる並列プロセッサ技術等を開発。
- (F) エッジデバイスのセキュリティ技術及びその評価技術
 オープンアーキテクチャの CPU 命令セットである RISC-V を用いて、産業用途で多用されているデータ格納方式に対応したプロセッサや、当該プロセッサ上でアプリケーションをセキュアに動作させる実行環境、当該プロセッサ上で AI 処理・並列処理などで多用されるライブラリを活用可能にする技術等の開発。
 エッジデバイスへの攻撃に対するセキュリティ技術等を開発するとともに、既存の技術も含めて、その性能を横断的に評価するための評価技術等を開発。
 また、RISC-V コアやそれをベースとしたセキュリティ基盤技術等に関するソフトウェアスタック群の開発。

取組区分	実現区分	既存ハード	新アーキテクチャ	新デバイス	
1. 専用チップ (AIアクセラレータ、SoCの開発)		CPU・FPGA等 ※開発対象外	(B) リンフィギュラブルデバイスによるコンピューティング技術 ルネサス PFN	(E) 多数の分岐ノードを有する AI アルゴリズム処理を高性能化するコンピューティング技術 エヌエスアイテクス 東京大学	(A) 不揮発性素子等のスイッチング機構を用いたコンピューティング技術 NEC
2. コンピューティング技術 (OS、コンパイラ、ツール等、開発環境の開発)			(C) 演算処理量の軽量化を実現する AI 組み込みコンピューティング技術 ソシオネクスト 沖 KDDI フィックスターズ		
			(D) エッジコンピューティング向けリアルタイムソフトウェア制御技術 イーソル		
			(F) エッジデバイスのセキュリティ技術及びその評価技術 イーソル		
3. セキュリティ基盤 (エッジ向けセキュリティ)			TRASIO 産総研		

図 1.7 「革新的 AI エッジコンピューティング技術の開発」の事業体制

2. 研究開発マネジメントについて

2.1 事業の目的

IoT 社会の到来によるデータ量の爆発的な増加に対応し、急増したデータの高度な利活用を促進するために、ネットワークの末端(エッジ)で高度かつ低消費で情報処理を行う「エッジコンピューティング」の確立が必要である。

また、エッジ領域における、省電力化や高性能化、ハード・ソフトを組み合わせたコンピューティング技術の最適化は、いまだ手探り状態であり、日本が強みを有する「現場」で生成されるデータを処理する技術に関する研究開発を実施し、成果を社会実装することにより、我が国の産業競争力の向上が見込まれる。

そのため、エッジにおける AI 処理を実現するための小型かつ省エネながら高度な処理の能力を持った専用チップ及びコンピューティング技術等を開発することを目的とした。

2.2 研究開発目標と根拠

以下の通り、エッジコンピューティングにおける AI 処理を実現するための小型かつ省エネルギーながら高度な処理能力をもった専用チップと、それを用いたコンピューティング技術に関する研究開発を、社会課題を見据えた上で実施する。またエッジ側におけるセキュリティ基盤技術の研究開発も実施する。

達成目標

各研究開発テーマにおいては、以下を達成することを目標とする。なお、研究開発期間によっては、必要に応じて中間、最終目標を、以下に示す目標を基準としつつ変更して設定する。

<中間目標(2020 年度)>

開発成果を組み込んだ要素技術に係る検証あるいはシミュレーションにより、エネルギー消費効率あるいは電力効率(単位電力あたり性能)が、事業開始時点における同等の技術と比較し、10 倍以上となる見込みを示す。

<最終目標(2022 年度)>

開発成果を組み込んだシステムレベルでの検証を行い、エネルギー消費効率あるいは電力効率(単位電力あたり性能)が、事業開始時点における同等の技術と比較し、10 倍以上となることを示す。

上記目標は、事業終了時点で社会実装先に求められる諸性能を満たすことを前提に、事業開始時に広く普及している技術と比較し評価する。研究開発対象が社会実装するために必要不可欠なセキュリティ技術等の場合については、対象技術自体のエネルギー効率等を加味して評価する。

また、先導調査研究枠は、以下のうち、いずれかを達成することを目標とする。

- ・ 事業終了時点において、研究開発事業等への移行に向け、根拠データの取得等により、技術の確立の見通しを付けることを目標とする。
- ・ 周辺技術や関連課題に係る開発及び研究開発に直結する調査については、イノ

バージョンの創出や本事業における更なる成果最大化に繋げることを目標とする。

・ 表 2.2 研究開発テーマ一覧

開発課題	事業形態	研究開発テーマ	研究代表	中間目標(2020 年度末)	達成状況
(A)	委託	不揮発省電力 FPGA コアを用いた低遅延 AI 処理 コンピューティング技術の研究開発	日本電気株式会社	ASSoC に向け、原子スイッチの製造技術や回路設計等を実施する。	達成見込み。
(B)	委託	動的再構成技術を活用した組み込み AI システムの研究開発	ルネサスエレクトロニクス株式会社	1 次 TEG の検討、仕様策定、試作、及び評価等を行い、加えて、ツール等の研究開発等を実施する。	達成見込み。
(B)	委託	進化型・低消費電力 AI エッジ LSI の研究開発	株式会社ソシオネクスト	開発した仮想エンジンアーキテクチャ技術や量子化 DNN エンジン技術を搭載した LSI を試作し、各種評価等を実施する。	一部実施項目を前倒しで達成見込み。
(B)	委託	FPGA IP と可変精度演算コアの融合による超低消費電力エッジヘビーコンピューティング向け SoC の研究開発	株式会社 Preferred Networks	可変精度演算コアと AISC 用 FPGA IP を組み合わせたプロセッサアーキテクチャを設計し、10TOPS/W を実現できるプロセッサの開発等を実施する。	新型コロナウイルス感染症の影響により、一部実施項目において、多少の遅延が発生。
(C)	委託	エッジビジョン AI を超軽量化し短 TAT で実装する技術の研究開発	株式会社フィックスターズ	軽量化 DNN を開発し、加えて、ベンダ非依存のオープンソース高位合成基板のプロトタイプに開発等を実施する。	達成見込み。
(C)	委託	ソフトテンソルプロセッサによる超広範囲センシング AI エッジ技術の研究開発	沖電気工業株式会社	ソフトテンソルプロセッサ技術や高効率モデリング技術、広範囲大規模認識技術を開発し、20 倍以上の電力効率(現状の GPU の電力効率を 30GOP/J と想定)の改善等を実施する。	達成見込み。
(C)	委託	5G 時代を見据えた高度自律的学習機能搭載のための AI エッジコンピューティング技術	KDDI 株式会社	深層強化学習の Base Network 層共通化及び FPGA 実装 (Base Network 層共通化及び FPGA 化効果による、消費電力 (対 GPU) 従来比 1/10 目標) 等を	達成見込み。

開発課題	事業形態	研究開発テーマ	研究代表	中間目標(2020 年度末)	達成状況
		の研究開発		実施する。	
(D)	委託	スケーラブルなエッジ HPC を実現する OS 統合型プラットフォームの研究開発	イーソル株式会社	チップ内/チップ間/ノード間の統合的動的通信最適化機構を開発し、従来のミドルウェア型メッセージパッシングに対して 10 倍のメッセージパッシング効率の実現等を実施する。	達成見込み。
(E)	委託	動的多分岐・結合トレース型 AI プロセッサのエコシステム開発	株式会社エヌエスアイテクス	AI をエッジシステムで利用する際に必要となる、ニューラルネットワークおよびその前後処理、ルールベース AI の補完処理、時分割処理にも対応可能な、高速かつ高効率・低消費電力なエコシステムを、ハードウェア、ソフトウェア、開発環境も含めて実現するべく、基本アーキテクチャを決定し、協調設計の推進等を実施する。	達成見込み。
(E)	委託	完全自動運転に向けたシステムオンチップとソフトウェアプラットフォームの研究開発	国立大学法人東京大学	FPGA を使った SoC プロトタイプング実装および評価等を実施する。	達成見込み。
(F)	委託	セキュアオープンアーキテクチャ基盤技術とその AI エッジ応用研究開発	セキュアオープンアーキテクチャ・エッジ基盤技術組合 (TRASIO)	RISC-V アプリケーションコア部との回路接続とその回路を制御するためのソフトウェアを開発し、並行して開発したセキュア MUC への実装等を実施する。	達成見込み。
(F)	委託	AI エッジデバイスの横断的なセキュリティ評価に必要な基盤技術の研究開発	国立研究開発法人産業技術総合研究所	AI エッジデバイスの横断的なセキュリティ評価に必要な基盤技術について、各種セキュリティ要求仕様と評価分析手法の策定等を実施する。	達成見込み。

2.3 研究開発スケジュール

研究開発スケジュールを図 2.3 に示す。

1. 事業の位置付け・必要性 (1) 事業の目的の妥当性

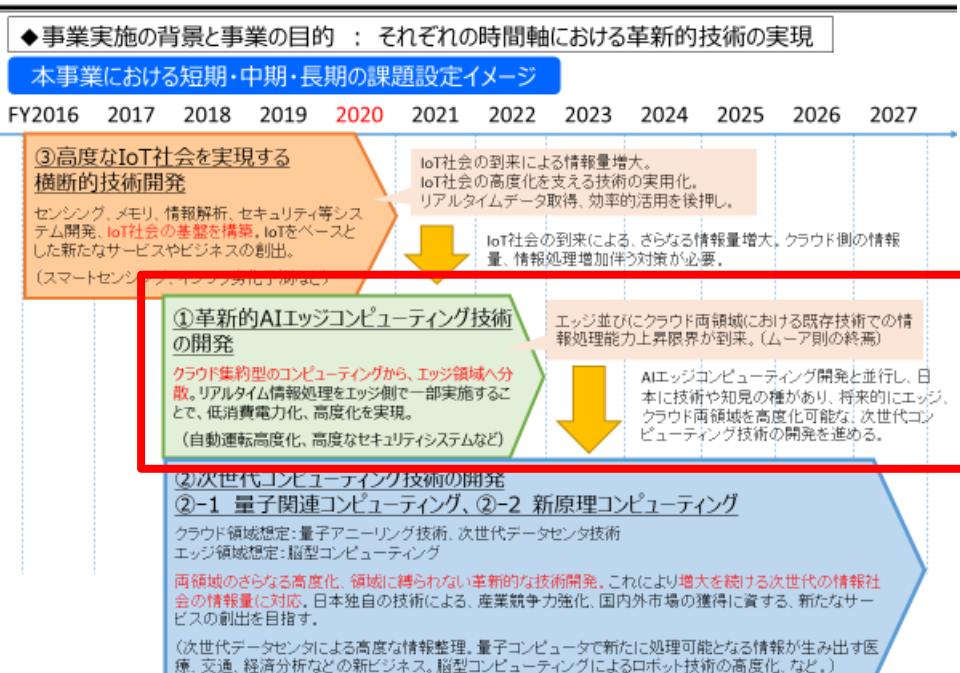


図 2.3 研究開発スケジュール

【2018 年度】

本研究開発項目の実施体制を構築すべく、情報提供依頼 (RFI) の結果や政策的観点から重点課題を設定し、2 回の公募を実施した。結果、研究開発枠 12 テーマ等を選択し、研究開発に着手した。

【2019 年度】

各事業者のサイトビジットおよび技術推進委員会を通じて進捗状況を確認し、最終目標である、開発成果を組み込んだシステムレベルでのエネルギー消費効率あるいは電力効率 10 倍以上の達成に向けて外部委員等による助言等を行った。また、先導調査研究として開始した 4 テーマについては、研究開発期間終了に伴うテーマ事後評価を実施した。

【2020 年度】

既存の研究開発テーマのスコープには含まれていない、誰もが使いやすい組み込みシステム向け RISC-V のソフトウェアスタック群の研究開発に関する追加公募を実施し、結果 1 テーマを選択した。

既存の研究開発テーマの進捗は、最終目標に向けて概ね順調に進捗。ステージゲート審査等を実施し、2021 年度以降への研究開発の継続可否に加え、研究開発体制の見直しや、事業規模の拡大、縮小等の包括的な事業の見直しを行い、最終目標の達成に向けてより一層邁進していく。

2.4 プロジェクト費用

2018年度から3年間のプロジェクト費用は、表の通りである。2018年度及び2019年度は執行ベースの金額であり、2020年度は契約ベースの金額としている。

表 2.4 プロジェクト費用 [単位:百万円(四捨五入)]

研究開発項目	年度	2018	2019	2020	合計
	①革新的AIエッジコンピューティング技術の開発		2,282	4,393	4,512
②次世代コンピューティング技術の開発		1,866	2,021	3,324	7,211
③高度なIoT社会を実現する横断的技術開発		4,093	2,344	2,029	8,466
その他調査事業等		149	121	147	417
合計		8,390	8,879	10,012	30,337

2.5 マネジメント体制

本研究開発項目では、技術的成果及び政策的効果の最大化、産業社会への還元等を目指し、プロジェクト全体の企画・推進・管理を行うためにプロジェクトマネージャー(以下 PM という)およびサブ・プロジェクトマネージャー(以下 SPM という)を設置した。

加えて、効率的な研究開発の推進を図る観点から各実施者の研究開発能力を最大限に引き出し、性格の異なる各研究機関のベクトルを束ねるため、当事業には NEDO が指名する研究開発責任者(プロジェクトリーダー、以下 PL という)を設置し、各実施者はプロジェクトリーダーの下で研究開発を実施する体制をとっている。

PL は、プロジェクトをより効率的かつ効果的に遂行するために、プロジェクトの技術目標等の達成に向けた取り組み、研究開発の進捗状況の把握、プロジェクトの実施体制の構築・改変及び事業者間等の予算配分に係る助言、プロジェクトの成果の評価等に係る業務の全部又は一部について、PM/SPM と緊密な連携を図っている。

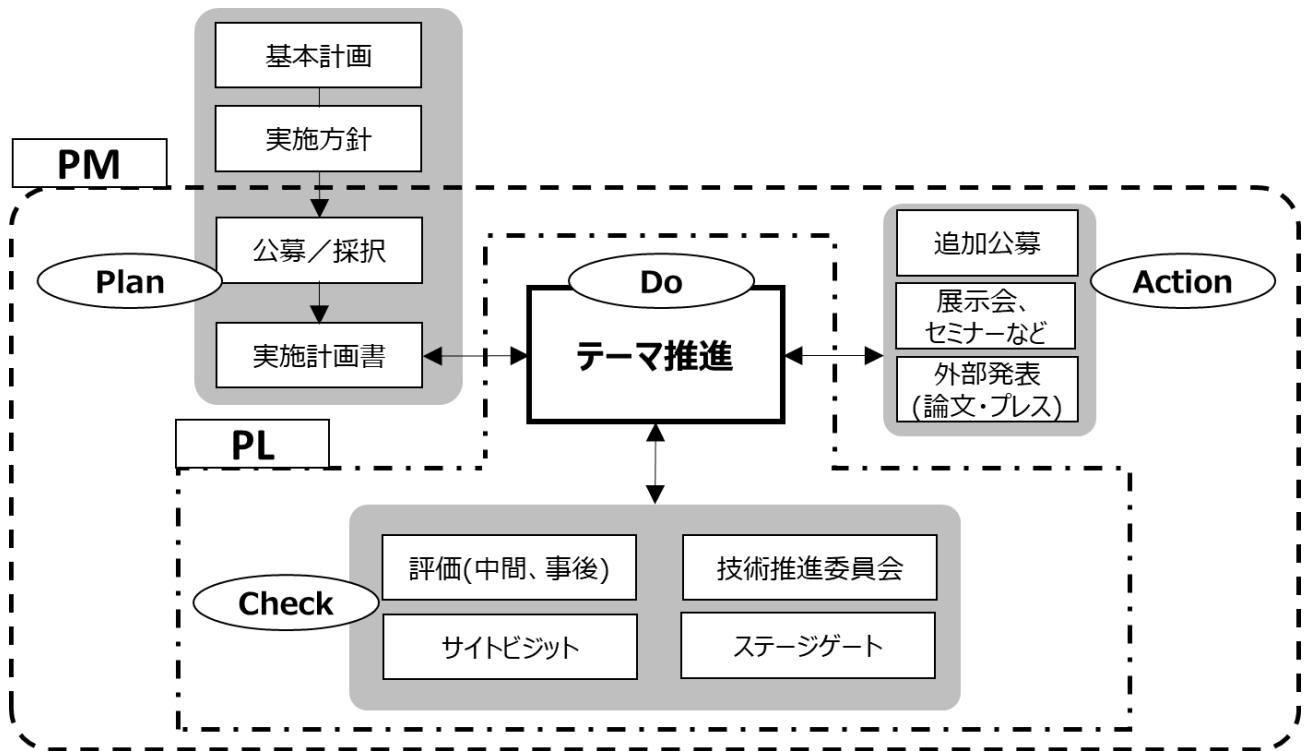


図 2.5.1 マネジメント体制

2018年度～2020年度は、プロジェクトを実施するための体制構築や実用化・事業化のもととなる研究開発を実施した。

2021年度～2022年度は、実用化・事業化をより意識した研究開発を実施しつつ、社会実装に向けた計画のブラッシュアップを実施する予定。その一環として、実用化・事業化に重きを置いたステージゲート審査を2020年度に実施し、2021年度以降の研究開発の実施の可否について判断を行う。

	2018年度	2019年度	2020年度
公募	▼ 4月 ▼ 9月		
サイトビジット	→	▼ 7-9月	
技術推進委員会	4月 ▼	▼ 11月 ▼ 2月	▼ 1月
追加公募			▼ 4月
評価		▼ 11月 事後(先導研究)	中間 ▼ 12月
ステージゲート			▼ 12月

図 2.5.2 研究開発マネジメントスケジュール

2.6 実施体制

本事業は図 2.6.1 に示す実施体制にて推進している。

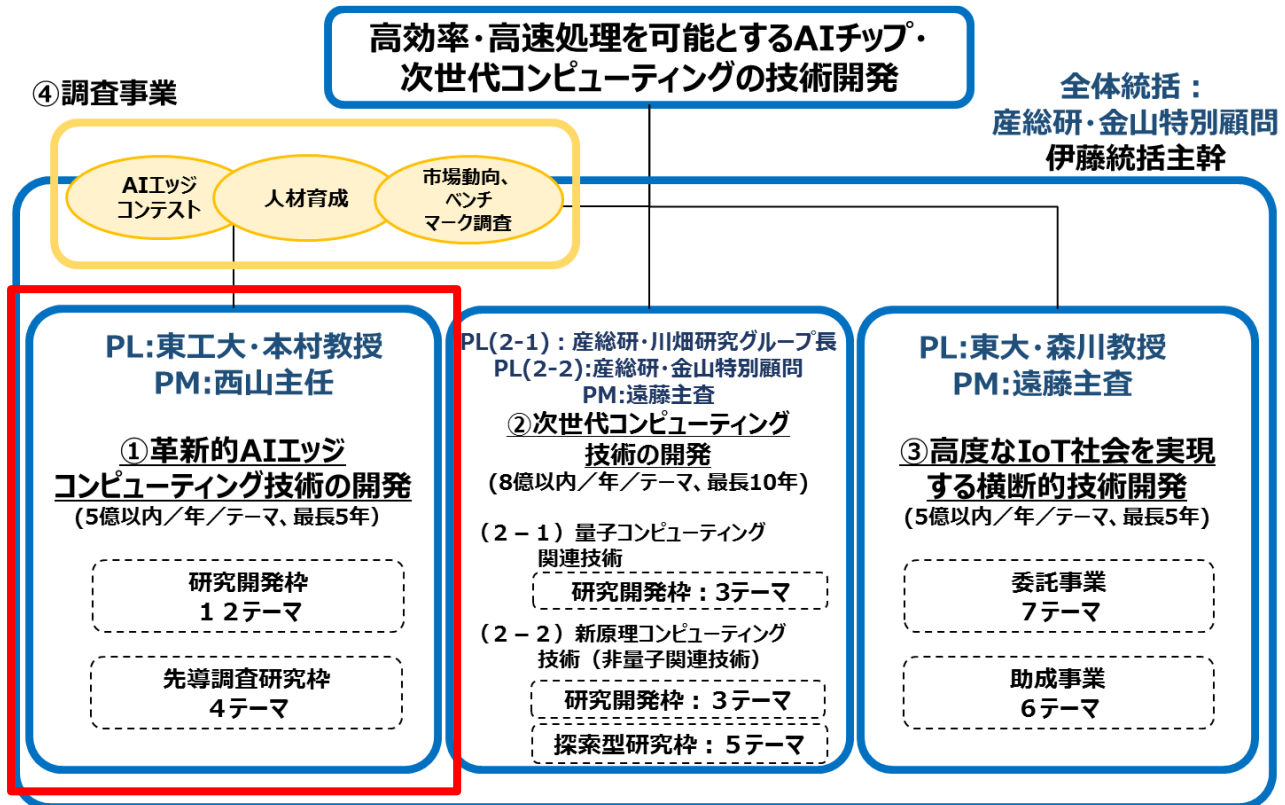
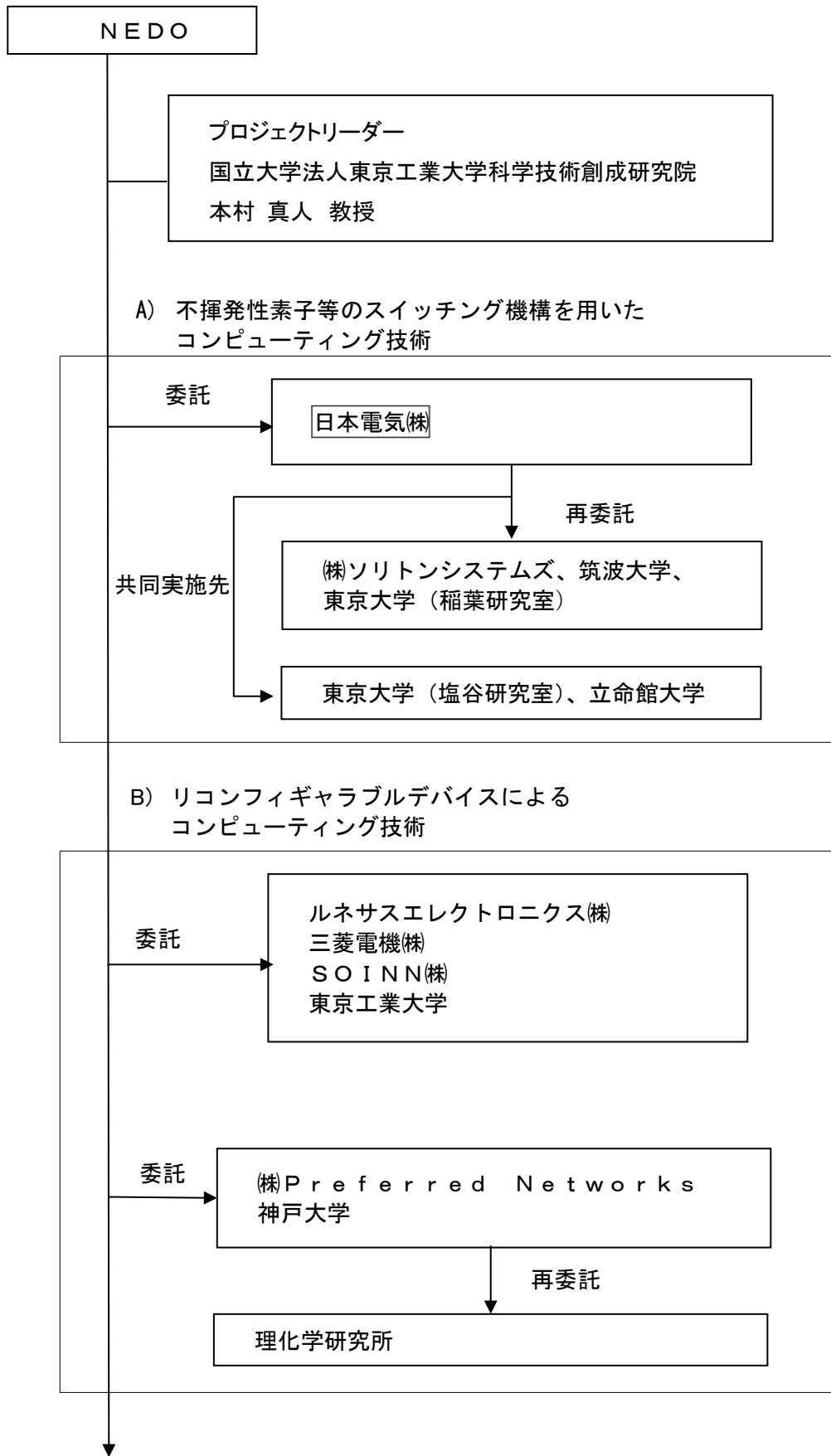


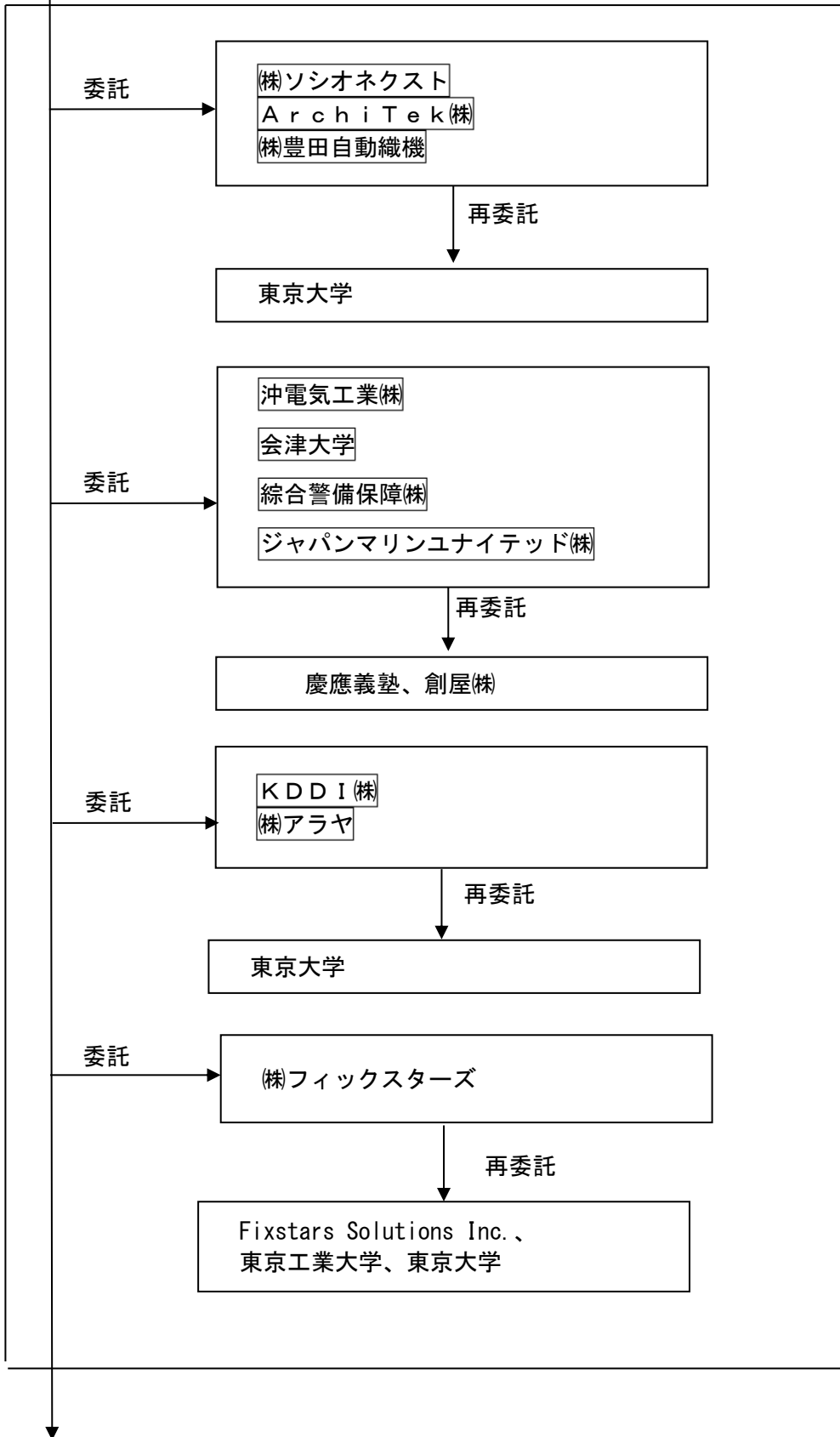
図 2.6.1 実施体制(2020年11月時点)

図 2.6.2 に各テーマにおける実施体制の詳細を示す。

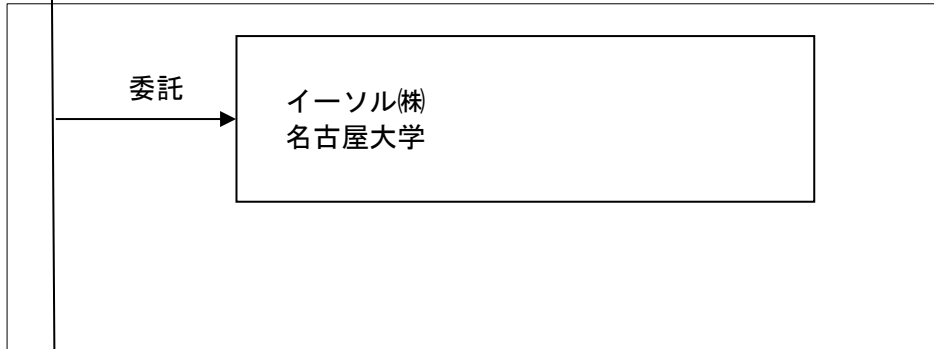
●研究開発項目① 革新的 AI エッジコンピューティング技術の開発



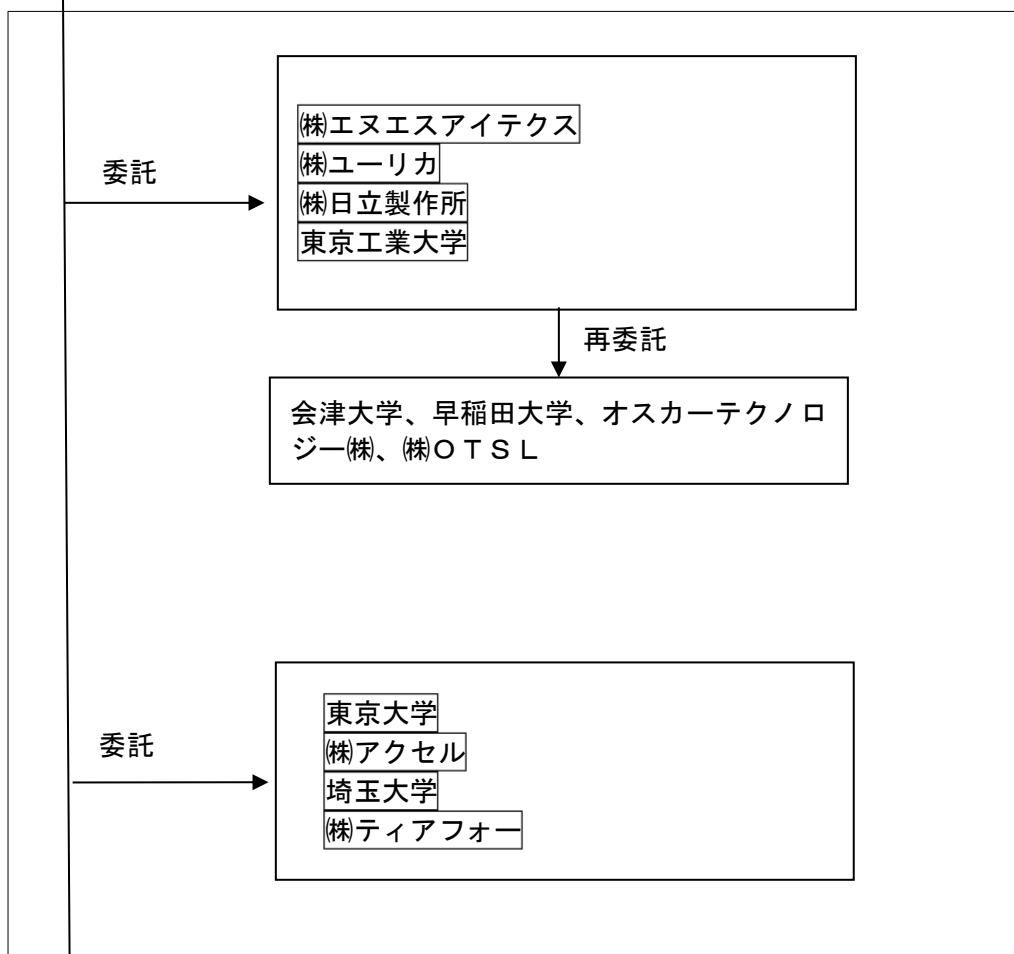
C) 演算処理量の軽量化を実現する AI 組込みコンピューティング技術



D) エッジコンピューティング向けリアルタイムソフトウェア制御技術



E) 多数の分岐ノードを有する AI アルゴリズム処理を高性能化するコンピューティング技術



F) エッジデバイスのセキュリティ技術及びその評価技術

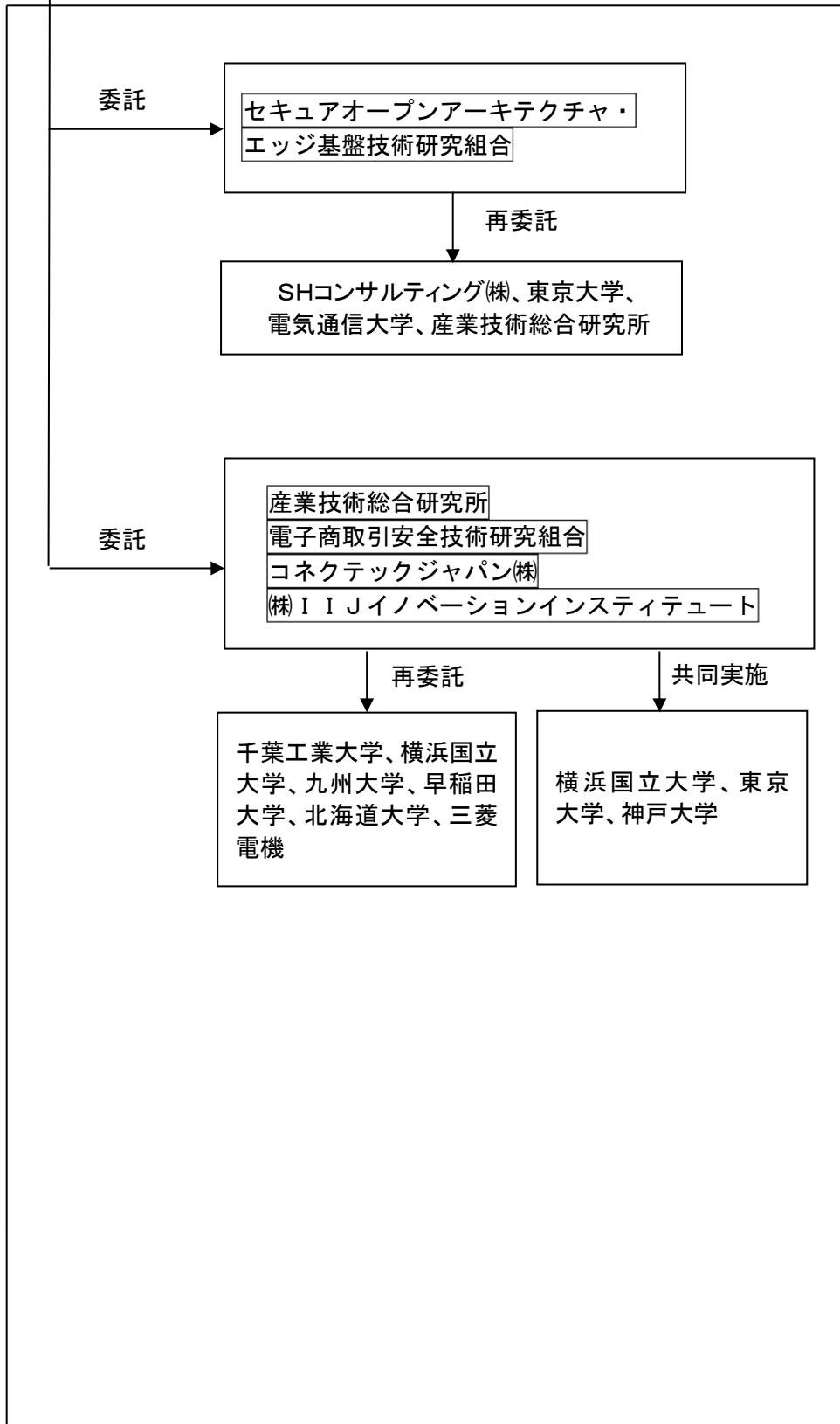


図 2.6.2 実施体制(2020 年時点)

2.7 動向・情勢の把握と対応

各研究テーマの個別動向・進捗把握に努め、ステージゲート審査委員会や技術推進委員会等の外部有識者で構成される有識者を活用し、適宜、研究開発テーマの加速・減額や拡大・縮小を実施した。

具体的な例として、2019 年度に実施した技術推進委員会において、RISC-V の課題について議論し、現行研究開発テーマの範囲に含まれていない、エコシステム形成のためのソフトウェアスタックについて、2020 年度に追加公募を実施した。(表 2.7)

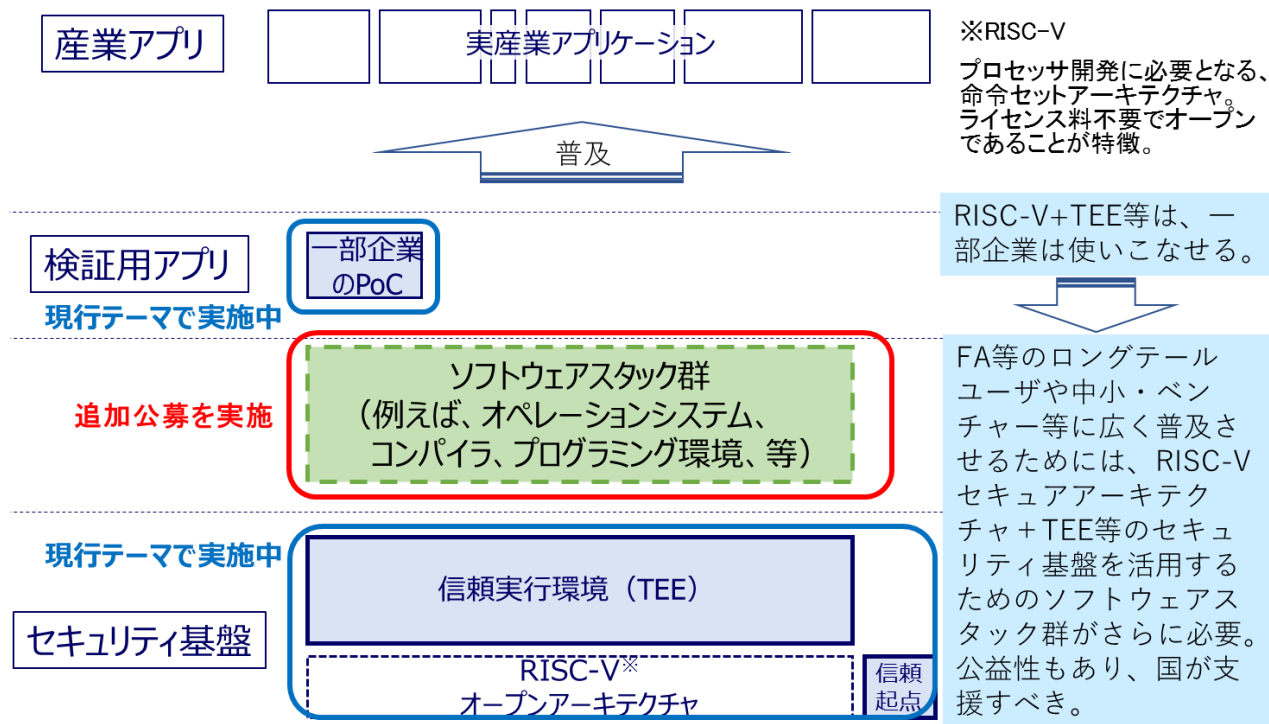


表 2.7 2020 年度追加公募の概要

3. 研究開発成果について

本研究開発項目では、従来チップに比べて電力効率10倍を目標としている。個別の研究開発テーマにおける詳細は以下に示す。

3.1 研究開発テーマ「不揮発省電力 FPGA コアを用いた低遅延 AI 処理コンピューティング技術の研究開発」

3.1.1 開発全体概要

本研究開発では、社会の隅々まで AI 技術を行き渡らせるため、高い処理能力と高い電力効率を備えたシステムチップ(原子スイッチ SoC または ASSoC)を開発する。電力消費が大きい AI 学習はクラウド上で行い、学習の結果得られたアルゴリズムを用いた AI 推論処理をシステムチップにおいて実行する。開発するシステムチップは、AI 推論処理を実行するための不揮発かつ高効率な原子スイッチ FPGA コアに加えて、CPU、メモリ、さらにはそれらを接続する原子スイッチプログラマブルバスから構成される。また、アプリケーションをマッピングするための設計ツールの開発も実施する。

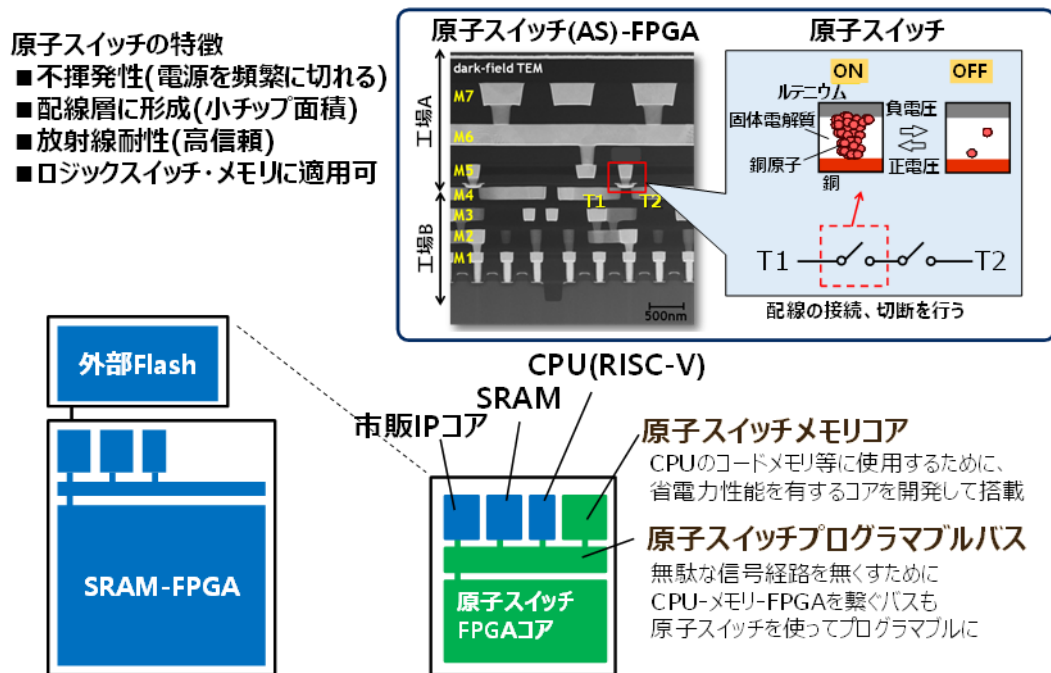


図 3.1.1 原子スイッチの適用イメージ

3.1.2 研究開発項目の開発内容、最終目標、根拠、達成度

AI 処理を行うロジック LSI の最も基本的な形態の一つは CPU である。CPU は書換え可能なソフトウェアによって目的に応じた様々な処理が実現できる。一方で、ソフトウェア上の命令を逐次的実行するため、リアルタイム性能、処理能力・電力効率が低い。一方、ASIC は処理手順を電子回路として全てハードウェア化したものであり、処理速度や電力効率が低いものの、固定の処理しかできない。そのため、日々発展している AI 処理への全面的な採用は難しい。

また、近年、AI 処理用のコンピュータに大量のデータの並列処理が可能な GPU が採用されている。GPU の場合、データ処理のスループットは上げられるが、逐次実行という基本的なコンピューティング技術は CPU と同じであるため、低遅延化(ハードリアルタイム化)への効果が限定的である。低遅延化の要求が強いアプリケーション領域への対応として、電子回路自体をプログラマブル可能な FPGA に、AI 処理を行わせる試みが進んでいる。FPGA は、比較的小規模な AI

処理の推論部のみであれば、逐次実行は導入せずに、細粒度並列処理を導入することで、低遅延で低消費電力な回路実装が可能だからである。しかし、現状の最先端 FPGA は、回路情報を記憶するために揮発性の SRAM を使った回路構成となっており、逐次実行のノイマン型プロセッサである CPU や GPU よりも電力効率は高いものの、数 10W 以上の電力を消費し、極めて消費電力制限の厳しい IoT 端末やエッジサーバには適用が難しかった。

本研究開発では、AI 処理を行う電子回路として不揮発かつ低消費電力である ASFPGA (Atom Switch FPGA) を用い、ASFPGA をシステム LSI に混載した ASSoC (Atom-Switch SoC) の開発を行う。ASSoC ではメモリア、プログラマブルバスにも原子スイッチを利用し、従来のシステムチップに比べて 10 倍の電力効率を目指す。原子スイッチを用いた低消費電力な FPGA とシステムの低消費エネルギー化(高効率化)を実現する以下の要素技術群の研究開発を実施する。

- (1) メモリア、FPGA コアの両者に原子スイッチを用いるための原子スイッチの製造技術
- (2) CPU 等のコア間を接続するプログラマブルバス回路技術
- (3) 頻りに電源を切るための混載 FPGA コア制御技術
- (4) 用途に合わせた多様な FPGA コアの仕様を実現する設計技術。
- (5) AI アルゴリズムを FPGA コアにマッピングする設計ツール

3.1.3 目標の達成度

学習型スマートコンセントレータとスマートコンセントレータから構成される学習型スマートセンシ開発期間は 2019 年より 2021 年であり、2020 年度末までに前節で述べた要素技術群の開発を行い、ASSoC に向けた原子スイッチの製造技術および回路設計を完了する。2021 年度においては ASSoC の製造を行い、様々なユースケースの応じた AI 推論アルゴリズムを含むアプリケーションを実装して、ASSoC の低電力性能を実証する。

これまでに得られた成果は下記の通りであり、進捗は計画通りである。

実施項目① AI 向け省エネ FPGA コア及び省エネメモリア開発(担当: 日本電気株式会社)

①-(a) 省エネルギー書換え原子スイッチ製造技術

技術ノード 28nm 向けの原子スイッチにおいては、スケールングによる回路動作電圧の低下に対応するため書換え電圧を低減する必要があり、また、書換え電圧の低減は省エネルギー化に繋がる。電圧ばらつきの小さいスプリット電極構造(サドンデス構造)を開発した。

①-(b) 28nm メモリア回路技術

実証テーマのアプリケーション動作に必要なメモリア容量およびアクセス時間の仕様を検討・決定した。

①-(c) ON 抵抗混在安定化原子スイッチ製造技術

技術ノード 28nm 向けの原子スイッチにおいて、固体電解質の膜厚と書き込み電流の相関についての評価を実施・定式化した。

実施項目② ASSoC の開発

実施項目②-1 端末-エッジ連携 AI 処理用 AI チップ設計(担当: 日本電気株式会社)

②-1-(a) 原子スイッチ AISoC チップの混載要素技術開発

ASSoC に用いる CPU として RISC-V の検討を行い、実装面積・電力評価を行った。

②-1-(b) ファブリックコンパイラ技術開発および統合設計
ファブリックコンパイラの全体仕様と、FPGA マクロの構成要素であるロジックセルの設計方法について検討を行った。

②-1-(c) 原子スイッチ AISoC チップのツール開発
AI アルゴリズム実装に向けた乗算器・メモリマクロ・組み合わせ論理回路を最適に分割・配置する自動パーティショニングおよびフロアプランニングツールの実装を完了した。

②-1-(d) 適用領域拡大のための共通化仕様の策定
自動車部品メーカーとの仕様を協議した。

②-2 端末-エッジ連携 AI 処理用 AI チップを用いたリアルタイム映像・音声処理の検討(担当:株式会社ソリトンシステムズ)

リアルタイム物体検出の AI アルゴリズムを検討し、市販の SRAM 型の SoC-FPGA(CPU 混載 FPGA)をターゲットにハードウェア設計を実施した。評価基板を製作し、でリアルタイム物体検出の AI アルゴリズムが動作することを確認した。

②-3 スマート農業を対象とした AI チップによる実時間映像解析の検討(担当:筑波大学)
スマート農業を対象とした AI チップによる実時間映像解析の検討として、FPGA および ASSoC への実装に適したアルゴリズム・精度に関する検討を行った。

②-4 介護介助ロボット向け AI チップの仕様策定と電源制御の検討(担当:東京大学)

(a)産業用ロボット向けトルク制御器オンラインパラメータ推定機能の実装評価

トルク制御関節制御のために、一軸試験機を作成し、関節トルク、角度、角速度などの学習用データを取得した。

(b)ロボット体内分散通信システム状態学習機能の AI 処理機能による実装評価

腱駆動ロボットと実施項目(d)において開発を行うロボット義足のコントローラの開発を行った。

(c)多用途柔軟センサ分布ユニットの組込センサ処理・通信機能の実装評価

FPGA のみで推論処理を行うことに関して開発を行い、ネットワークの量子化、実装を行った。

(d)介護介助ロボット向け AI チップ適用評価

パラメータ調整とユーザーの行動推論を行うための教師データを収集の準備を行った。

(e)介護介助ロボット向け AI チップ適用評価(省電力性評価)

実施項目(b)における低電力化制御の検討において高頻度の電源制御では低消費電力化の効果が低いため、義足のように着席時や直立時など待機状態の長いアプリケーションにおいては、待機状態時にモータの制御ブロックへの電源供給を停止することなどを検討した。

3.1.4 成果と意義

本研究開発よって、電力供給が限られた IoT 端末・エッジサーバにおいても高度な AI 処理を実行することが可能となり、社会システムの自動化や効率化が実現できる。認識精度の高い小型監視システムにより安心・安全な社会が実現できたり、農業の自動化が進むことで人手不足が解消されたり、あるいは介護介助ロボットによって介護人の負担が軽減されるようになる。

3.1.5 成果の普及

開発する ASSoC を、再委託先において映像音声配信端末、ドローン、ロボット義足に適用検討を行う。

AI 技術の進展により様々なタスクを自動的もしくは遠隔的に行う需要が高まっており、ここにおいて、ライブ中継の需要は、既存の放送分野・公共分野のみならず、多くの IoT 機器への実装されていくことが見込まれる。また、今後移行される 5G のネットワークにおいては基地局近傍にエッジサーバが設置され、無線通信機器からのアクセスを受け、AI を含むリアルタイムの信号処理を行うことが可能になる。その際、エッジサーバに対してデータを送信する側となる IoT 機器は、物体認識などの高負荷となる AI 信号処理そのものはエッジサーバに任せ、自らは複数画像の統合・切り出しや音声分離等、AI のための「前処理」をリアルタイムかつ低消費電力で行うことが求められる。IoT 機器側において ASSoC により前処理を行うことにより、IoT 機器－サーバー間の通信に必要となる帯域が削減され、低消費電力化が達成されるのみならず、通信のリアルタイム性、信頼性が向上することが見込まれる。

ドローンの社会実装を考えたとき、安定飛行や特定問題への最適化に加え、消費電力効率を大きく改善する必要がある。ASSoC の電力効率がシステムレベルでどれだけ有意に作用するかを検証を本研究開発で行う。軽量ドローンにおいては、ASSoC の導入により演算部の電力効率が 10 倍以上となることで、システムレベルでも電力効率の向上が期待できる。ロボット義足は、システムを低消費電力化することで長時間の使用が可能になり、また、過熱が防げることで断熱材の削減が可能になる。人間に装着可能なロボットは、将来的に介護分野にも広く適用できるため、社会課題の解決だけでなく、産業面、省エネ効果面でも大きな効果が見込める。

3.2 研究開発テーマ「動的再構成技術を活用した組み込み AI システムの研究開発」

本研究開発項目では、「研究開発開始当時に入手可及な AI チップの 10 倍の電力性能比の動作見込を、要素技術のシミュレーションで実証」という 2020 年度目標に対し、DRP-AI テストチップ(TEG)試作による電力効率向上を達成し、期待通りの成果を上げつつある。主な成果を以下に示す。

- ・DRP-AI チップの演算性能引き上げ・電力性能向上を志向した 1 次および 1.5 次 TEG の設計を完了。1 次 TEG の評価では、電力効率の向上や実行効率の向上を実証した。(ルネサス)
- ・認識精度の劣化を柔軟に抑え、かつハードウェア特性も考慮し高速な推論を可能にする DNN 軽量化技術を開発。画像認識のサンプル DNN で約 90%の枝を削減。(三菱電機)
- ・シフト演算・ノイズ演算などの先進的単位演算方式の研究を進め、新アーキテクチャに基づくチップ設計試作を進めている。またスパース化等により ImageNet 向け DNN の 75%パラメータ削減も実現した。(東工大)
- ・超軽量の「競合学習機構」では、DRP 上での稼働を想定し大幅に軽量・高速化したアルゴリズム、及びその制御・予測系タスクへの拡張適用のための、長さの異なる時系列データの一括学習、再生機構を開発した。(SOINN)

個別の研究開発テーマにおける詳細は以下に示す。

3.2.1 研究開発サブテーマ「DRP アーキテクチャ、コンパイラの研究開発」

3.2.1.1 概要

生産現場などにおいて、AI を実行するためには、特に産業の現場では、機器の認識や制御のリアルタイム性に加え、機器内の限られた場所に搭載するため、低電力化・小型化も同時に必要となる。本プロジェクトでは、(a) 低電力化に必要な DNN 圧縮手法に対する認識精度や実効的な電力効率を分析する環境を構築して最適な圧縮・DRP ハードウェア構成を探索して、(b) 実際に DRP アーキテクチャやコンパイラを開発して、(c) テストチップの設計・試作までを行い実証することを、1 次 TEG、1.5 次 TEG、2 次 TEG という 3 つのステップに分けて進める。

3.2.1.2 最終目標と根拠

たとえばロボットなどのバッテリー駆動かつ発熱による電力制約の厳しい組み込み機器(数 W 程度)において、リアルタイムかつ高度な処理(高解像画像認識・判断・制御)を DNN (Deep Neural Network)をはじめとした AI 処理で行おうとした場合、必要性能が 10 TOPS (1 秒あたり 10 兆オペレーション)程度とすると、10 TOPS/W の電力効率が求められる。そこで本プロジェクトでは、動的再構成機能を持つ DRP (Dynamically Reconfigurable Processor)をベースとし、多様な AI 処理にフレキシブルに対応できる高い柔軟性を持ちつつ、従来技術比 10 倍以上(10 TOPS/W)の電力性能を有する組み込み向け AI チップの研究開発を行う。

2020 年度中間目標:1.5 次 TEG 評価により、推論の 10 TOPS/W 動作の見込みを実証する。

2022 年度最終目標:2 次 TEG 評価により、推論の 10 TOPS/W 動作を実証する。

3.2.1.3目標の達成度

現在の主な内容の達成度を以下に示す。2020年度末に向けて概ね順調に進めている。

項目	研究目標	成果	達成状況
1	1次 TEG の検討、仕様策定、試作、および評価	1次 TEG のコンセプト検討、仕様策定から試作を経て、評価ボード上での動作を確認。 ・コア数を4に増加させて絶対性能を向上 ・AI アクセラレータの量子化対応による処理の軽量化により低電力化 ・AI アクセラレータの性能を活かす肝となるオンチップバス幅および外部メモリ帯域を拡幅して積和演算器の実行効率を向上	○
2	DRP 向けのコンパイラの研究開発	1次 TEG 向けにツールキットとしてまとめた。 ・浮動小数点演算に対応したコンパイラを開発 ・ニューラルネットワークのソフト処理レイヤーの実装、ニューラルネットワーク入力前後処理のための画像処理ライブラリを開発	○
3	1.5次 TEG の検討、仕様策定、試作、および評価	1次 TEG の設計や AI のシミュレーション結果をもとに電力削減方法を検討して、1.5次 TEG 向けのアーキテクチャを策定。設計と検証を行い、TEG をテープアウトした。 ・基本演算精度を浮動小数点(FP16)から整数化 ・命令キャッシュ機構の導入による命令メモリの削減、およびメモリアクセス電力の削減	△ (2020年度完了予定)

3.2.1.4成果と意義

成果の概要は「目標の達成度」に記載。

3.2.1.5成果の普及

本成果を普及させるためには、まずは本成果を使った AI アクセラレータをマイコンなどの半導体製品へ搭載する必要がある。実際の製品への搭載とその製品を顧客から選んでいただくために、更なる低電力化を進めて電力性能を高めると共に、ソリューション開発などアプリケーションとしての使い勝手の改善を進めていく予定である。

3.2.2 研究開発サブテーマ「DNN 単位演算回路を加速処理する先進的なアーキテクチャ・回路技術の研究開発」

3.2.2.1 概要

DNN を効率的に処理するためには、積和演算を筆頭とする DNN の単位演算(他には非線形演算、プーリング処理など)を高エネルギー効率で加速処理することが必要である。多数の積和演算器にデータをスムーズに流して加速する次元を超えてこの部分を将来的にも強化していくために、以下のような総合的な研究開発により、先進的な単位演算回路を実現していくことを目指している。

- ① 効率的な低ビット精度対応技術: 必要な認識精度に応じて必要な演算ビット精度は変わる。低ビット精度時に回路面積や電力消費の点で無駄が生じず、高ビット精度時に性能が必要以上に低下しないように、DNN 処理データフローの発展方向性を洞察し単位演算群の構成を検討する。
- ② メモリバンド幅削減技術: 係数メモリの中で(あるいは密着させて)単位演算を行うことで、メモリコアの外部読み出しバンド幅や消費電力を削減する手法を検討する。
- ③ 確率的動作技術: DNN 演算の中にノイズを積極的に取り込むことで、予測精度が上がったり、演算データ量を減らせたりすることが知られている。このような技術を積極的に単位演算に取り込み、演算効率向上を検討する。
- ④ 非行列乗算志向の単位演算器: 対数量子化により乗算を加算に置き換える、テーブル引きで乗算を排除する、あるいは行列を分解して単純な演算に置き換える等、DNN の処理内容に踏み込むことで単位演算器群を大幅に単純化する技術を検討する。
- ⑤ 数値表現の工夫による回路削減技術: 例えば、1 ビットの情報を 2 ビットで表現することで、加算の桁上げを排除して高速化する冗長二進という技術がある。このような数値表現の工夫と、乗算と加算をビットレベルに分解して再構築する工夫とを組み合わせることで、DNN の演算回路を軽量化できる可能性がある。このような可能性を検討する。

3.2.2.2 最終目標と根拠

最終目標としては、研究テーマ「DRP アーキテクチャ、コンパイラの研究開発」の最終目標である 10TOPS/W 実現に貢献するアーキテクチャ技術に関する助言、検討を行う。さらに、DRP アーキテクチャ・コンパイラの電力性能比の向上に貢献可能な、その時点での世界最高レベルの DNN 単位演算回路の高エネルギー効率化・加速技術の提案と効果実証を行う。

わかりやすい指標として、世界最高の LSI 技術の国際会議である ISSCC での発表を目標に置いて進めている。

3.2.2.3 目標の達成度

以下に説明する試作チップを集積回路系のトップレベル国際会議に投稿する準備を進めており、現時点の目標達成度は高い。

3.2.2.4 成果と意義

本テーマは、東京工業大学の本村のグループ(すずかけ台キャンパス)と、同じく東京工業大学の中原のグループ(大岡山キャンパス)で共同して進めている。

本村グループでは、本プロジェクト内で種々の検討を進めてきた単位演算方式のアイデアの中から、中原グループのアドバイスも得て、シフト演算とノイズ演算など、空間フィルタの畳み込みに頼らない新しい CNN(Convolutional Neural Network)演算方式とニアメモリ型・直積(デカルト積)型の演算器アレイ方式とを特徴とする DNN 推論加速アーキテクチャを 2019 年度後期に発案した。今年度前半には試作チップの評価を行い、有用性を実証できる見込みである。

中原グループでは、モデル軽量化手法であるシャッフル、シフト、スパース化の検討を行い、ResNet18 ベースのモデルを ImageNet で学習させ、85%の認識精度を達成した。また、Ultra96 FPGA ボードに推論回路の実装を行い、100MHz 動作で 20FPS 達成することを確認した。シフト演算とシャッフル演算を組み合わせるとスパース化を適用した S3-Net を開発し、ImageNet データセットを用いて学習を行い 75%パラメータを削減しつつ Top-1 認識率で 68.8%を達成した。タセットを用いて学習を行い 75%パラメータを削減しつつ Top-1 認識率で 68.8%を達成した。

3.2.2.5 成果の普及

本村グループの研究成果は、ルネサスエレクトロニクス社の 2 次 TEG やそれ以降の DRP 技術の AI 処理高効率化に貢献することを狙っている。中原グループの成果は、上記のように本村グループのアーキテクチャ検討における方向性を決定する基本的な知見を提供するとともに、ルネサスエレクトロニクス社の DRP コア上で実装する AI 処理自体の実効効率向上にも貢献している。このように、東工大における本プロジェクトの研究開発は、ルネサスエレクトロニクス社の技術発展と社会投入を通じた成果の普及を狙っている。

3.2.3 研究開発サブテーマ「軽量 DNN 変換機能の研究開発」

3.2.3.1 概要

AI チップで高い電力性能目標を実現するためには、アーキテクチャに閉じた最適化手法だけでは難しくなっている。そこで、本研究開発では、AI チップ向けアーキテクチャの開発に留まらず、AI チップの回路、アーキテクチャ、ニューラルネットワーク変換機能、ツールまでの垂直連携を重視した開発を行うことで、アーキテクチャ進化だけでは実現困難な大幅な電力削減・メモリ容量削減を実現する。本研究開発テーマはニューラルネットワーク変換機能に関するものである。

本研究開発テーマでは、認識精度の劣化を柔軟に抑え、AI チップ上でも高性能に動作可能な、DNN 軽量化技術を適用した DNN 変換機能を研究開発する。

i) 認識精度の劣化を柔軟に抑えることのできる DNN 軽量化技術

DNN 軽量化による認識精度の劣化を抑えるためには、DNN 軽量化による認識精度劣化を単純に小さくするだけでなく、ハードウェア制約の下でも認識精度劣化を抑えることが必要である。DNN 軽量化方法は、実装するハードウェア制約に応じて、大小様々に変更を加える必要が生じるものと考えられるが、そのような変更に対応して認識精度の劣化を抑えられる DNN 軽量化技術を適用した DNN 変換機能を開発する。

例えば従来の枝刈りでは、認識精度をいかに劣化させずにより多くの枝を刈ることに注目しており、ハードウェア制約が考慮されていないことが多い。例えば、演算器の数や演算器と記憶デバイスとの間のインタフェースに応じて、ニューラルネットワークの枝の密度にはハー

ドウェアに適した値があると考えられる。そのような制約を定式化し、学習アルゴリズムにおける損失関数に付与する等によって、学習処理の途上でハードウェア制約の考慮された枝刈りが決定されるようになる。このように枝刈りされたニューラルネットワークは、ハードウェア制約を考慮された上での学習処理が行われた結果であるため、実際にハードウェアに実装した際の識別精度の劣化を抑えることができる。

ii) ハードウェア上でも高性能に動作可能な DNN 軽量化技術

ハードウェア実装時の処理オーバーヘッドを削減するため、ハードウェア構成を踏まえた DNN 軽量化技術を適用した DNN 変換機能を開発する。軽量化を実装するための追加機能の処理量を出来る限り少なく抑え、ハードウェアで高効率に演算できる DNN 軽量化技術を DNN 変換機能に適用する。また、非効率な記憶デバイスへのアクセスを極力抑えるため、非効率アクセスの原因となる不規則性をニューラルネットワークの構造から除き、効率的に記憶デバイスにアクセスできる DNN 軽量化技術を DNN 変換機能に適用する。

例えば従来の量子化技術では、ビット幅削減演算やそのための記憶デバイスへのアクセスが考慮されていない。これらの処理を高効率に行うために、ハードウェアに搭載される演算器の種類や数、およびそれらを用いたときにどのような演算であれば高効率に処理できるかを見極め、オーバーヘッド処理を構成する必要がある。ハードウェアの特徴に適した DNN 軽量化技術を DNN 変換機能に適用し、高性能な動作を可能とする。

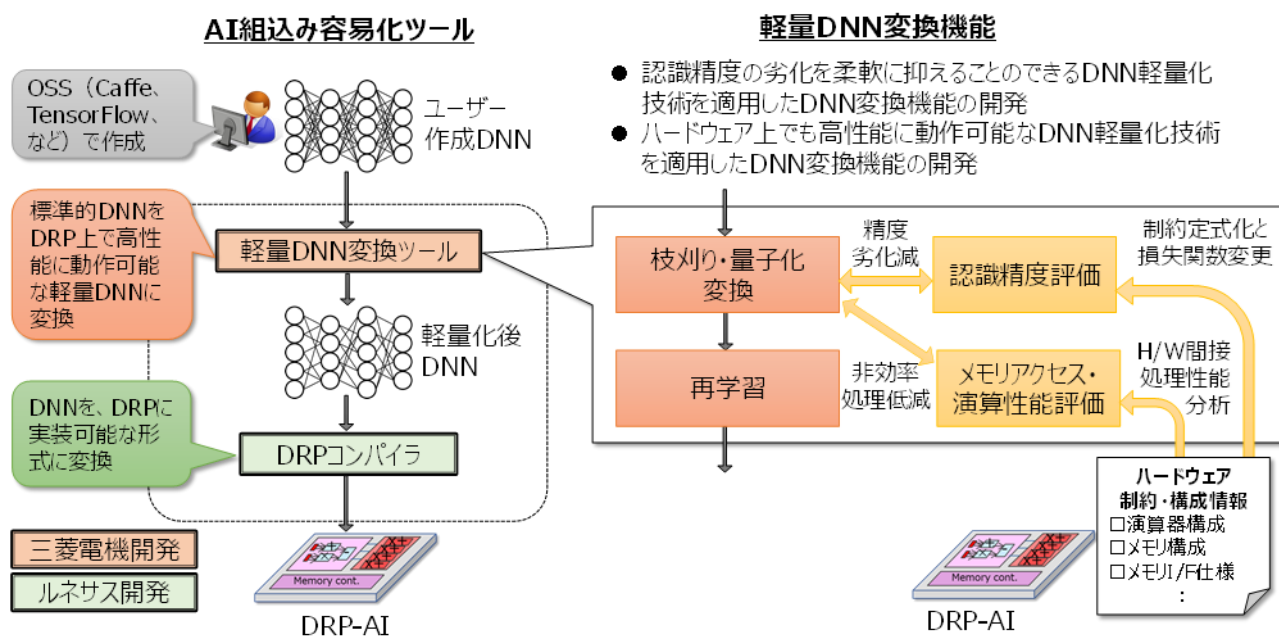


図 3.2.3.1 軽量 DNN 変換機能と位置付

DNN 変換機能の開発と試作ツール化により、AI チップ上での有効性検証と、機能改良を行う。AI チップ向けの AI 組み込み容易化ツールの一つとして構成し、推論時の精度維持と枝刈りによる演算量削減を行い、AI チップのハードウェアとの連携により電力効率向上を実現する。

3. 2. 3. 2最終目標と根拠

DNN 軽量化技術は、推論時の精度維持と枝刈りによる演算量削減はトレードオフの関係にあり、比較条件や制約条件によっても結果は異なってくる。そのため、以下の条件で最終目標を設定する。

- (a) 評価基準
認識率の精度劣化を 1%未満に維持しながら、行える枝刈り率を評価基準とする。ここで枝刈り率とは、DNN 全体の枝数に対する削減した枝数の割合とする。
- (b) 評価条件
画像処理で使用されることの多い複数の DNN 構造、およびデータセットで比較・評価を行う。
- (c) 比較対象
定量的な評価を行えるように、公開されているアルゴリズムでかつ H/W 実装を考慮した DNN の軽量化技術との比較を行う。
表 3.2.3.2 に研究開発の目標値を以下に示す。

表 3.2.3.2 研究開発目標

枝刈り率	
DNN 構造とデータセット	目標値
VGG16, CIFAR-10	88.5% ^[2] 以上
ResNet-56 CIFAR-10	13.7% ^[1] 以上
ResNet-110 CIFAR-10	32.4% ^[1] 以上
ResNet-164 CIFAR-10	35.6% ^[1] 以上
ResNet-164 CIFAR-100	29.7% ^[2] 以上

[1] H. Li, et al., “Pruning filters for efficient convnets,” ICLR 2017.

[2] Z. Liu, et al., “Learning efficient convolutional networks through network slimming,” ICCV 2017.

3.2.3.3 目標の達成度

研究開発目標の達成状況を以下に示す。

表中の達成度の「○」は目標達成を、「△」は目標達成見込みを、「×」は目標未達を示す。

表 3.2.3.3 研究開発の達成状況

DNN 構造とデータセット	枝刈り率		電力性能	達成度	今後の課題
	目標値	成果			
VGG16 CIFAR-10	88.5% ^[2] 以上	90.9%	10 倍見込	○	
ResNet-56 CIFAR-10	13.7% ^[1] 以上	83.3%	(評価中)	(評価中)	
ResNet-110 CIFAR-10	32.4% ^[1] 以上	89.9%			
ResNet-164 CIFAR-10	35.6% ^[1] 以上	82.7%			
ResNet-164 CIFAR-100	29.7% ^[2] 以上	83.6%			

3.2.3.4 成果と意義

本成果については、研究開発テーマ「実製品への AI 組込みを容易化するツールの研究開発」で開発中の統合ツール中に組み込み、普及を図ることを検討している。

3.2.4 研究開発サブテーマ「DNNによるエンドポイント学習用ソフトウェアの研究開発」

3.2.4.1概要

本研究開発テーマでは、DNNの一部を学習しなおし、低演算量・小規模メモリで実現可能なエンドポイント学習機能向けソフトウェアを研究開発する。

エンドポイントデバイスに搭載可能な小容量の記憶デバイスで学習を行うためには、学習アルゴリズムの低演算量化や省メモリ化が必要となるが、通常ではクラウドやサーバで行われる処理であることを踏まえると、単純なアルゴリズムの改善だけでエンドポイント学習に耐えうる水準まで演算量や使用記憶領域量を削減することは困難である。

そのため、効率的に学習するための方式が必要であり、効率的に学習する従来学習方式として、例えば転移学習や強化学習などがある。これらは必ずしもエンドポイント学習を目的とした方式ではないが、上記課題を解決するための技術としての候補となる。

転移学習は、既存の学習データで学習したニューラルネットワークをまず用意しておいて、新たな学習データが得られたら、その新たな学習データに対してのみ学習処理を適用する手法である。学習済みのニューラルネットワークを用いることで、新たに学習するデータが少ない場合であっても、未学習のニューラルネットワークを最初から学習するのに比べて識別精度を高くできる。また、新たなデータを学習する際に、学習済みニューラルネットワークの一部の層を凍結し学習処理を施さなくても識別精度を高くできることが知られている。さらには一部の層を凍結した方が、識別精度が高くなることもある。しかしながら、学習アルゴリズムそのものは通常の学習アルゴリズムと同一であり、演算量や使用記憶領域量は新たな学習データの量や凍結する層の数に応じて削減できるのみとなり、推論と比べた場合には長い計算時間や大きなメモリ量を必要とすることには変わりがない。

強化学習は、AIの出力に対するロボットなどの行動結果をフィードバックデータとして得て、それに基づき学習する方式である。逐次的に学習する点やAI自身の出力に基づいて得られたデータを利用できることから、比較的少ない量のデータで学習でき、演算量や使用記憶領域量を削減することができる。しかしながら、高い精度のAI出力を得るためには、過去に使用したデータも保持しておいて再度学習することが望ましく、使用データ量と精度はトレードオフの関係にある。また、ニューラルネットワークの学習アルゴリズムそのものは通常の学習アルゴリズムに付随機能を追加したものとなる。そのため、推論と比べた場合には長い計算時間や大きなメモリ量を必要とする。さらに、AI自身の出力に基づいたフィードバックデータを得るための機能がソフトウェアとハードウェアの両方で必要となる。

本プロジェクトにおいては、従来の転移学習や強化学習などをそのまま適用したのでは難しいエンドポイント学習を実現するため、転移学習や強化学習などの候補技術をベースとした更なる効率化を図った学習方式を検討する。また、これらの技術をエンドポイントデバイスで実現するためには、デバイスが学習データを取得する仕組みや保存する仕組み、ニューラルネットワークの更新方法、新たな学習で得られたニューラルネットワークの妥当性を検証する環境とそれをデバイス上で実行するための方法などを含めたシステム開発が必要となる。

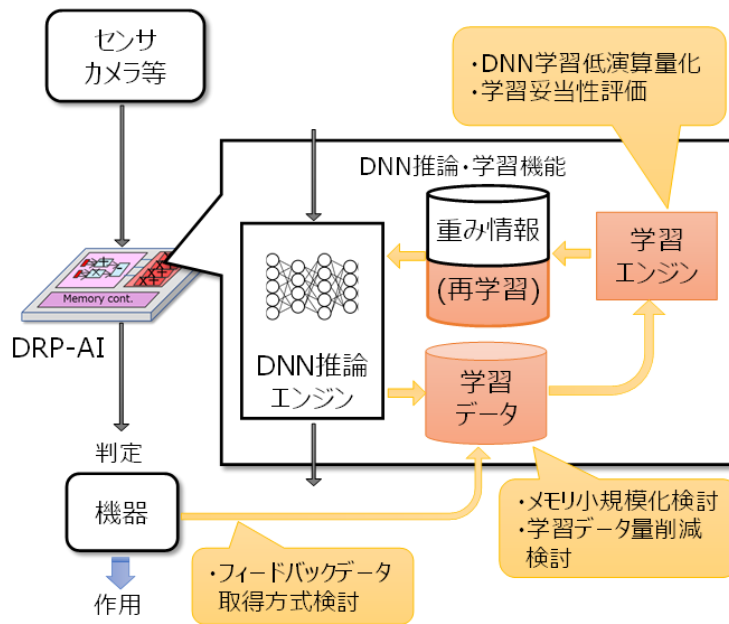


図 3.2.4.1 エンドポイント学習用ソフトウェア構成

3.2.4.2 最終目標と根拠

2018 年度～2020 年度はエンドポイント学習用ソフトウェアのコンセプト検討、必要なソフトウェアの要素技術検討・評価環境構築を行い、2020 年度末にベンチマークを行い、エンドポイント学習の価値判断と開発継続判断を行う。エンドポイント学習の実装価値があると判断された場合、2021 年度以降に試作ツールを開発し、エンドポイント学習が可能であることを実証する。

3.2.4.3 目標の達成度

研究開発目標の達成状況を以下に示す。

表中の達成度の「○」は目標達成を、「△」は目標達成見込みを、「×」は目標未達、「—」は評価対象外、を示す。

表 3.2.4.3 研究開発の達成状況

比較項目	本開発成果	比較対象	達成度	今後の課題
ターゲットアプリケーション	予兆検知 異常検知	異常検知	—	—
エンドポイント学習基本方式	深層学習 (+転移学習)	NN (+逐次学習)	—	—
学習時演算量 (削減率)	1/2		○	
学習データセット量 (削減率)	1/10		○	
学習データ取得方法	強化学習応用手法の有効性を確認		○	
ニューラルネットワークの更新方法	転移学習手法をベースに検討・評価中		△ (2020 年度可否判断)	枝刈りされた NN からの更新方法を検討する

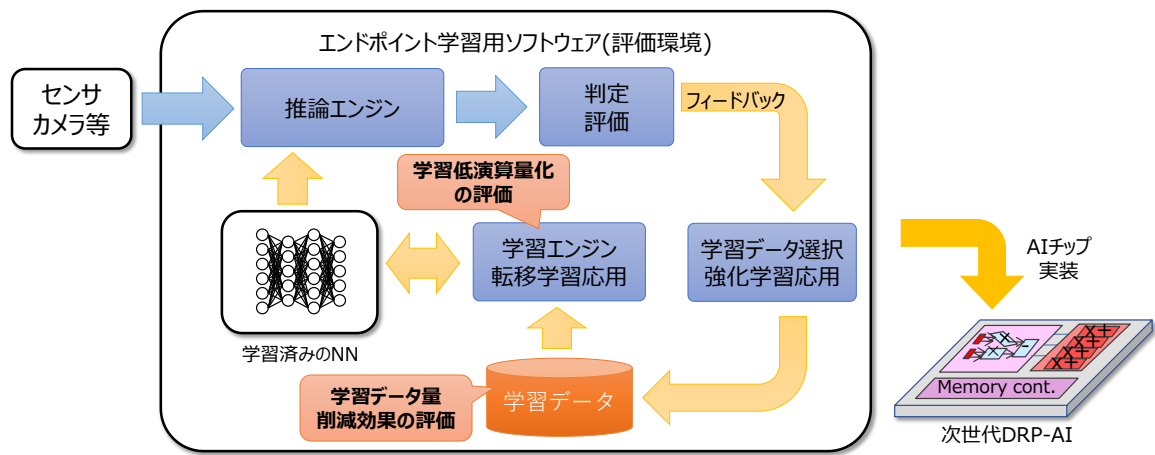


図 3.2.4.3 エンドポイント学習用ソフトウェア評価環境

3. 2. 4. 4成果と意義

AI チップ事業適用時期に大きな市場規模が見込まれる分野の一つである予防保全・故障予兆検知をターゲットシステムとしとして、エンドポイントで波形データからの異常検知アプリケーションを実現する基本システムの評価環境を構築した。

評価環境には、DNN 推論機能、フィードバックデータ取得機能、およびエンドポイント学習機能を搭載した。またエンドポイント学習機能の要素技術として、学習処理の低演算量化を目的とした転移学習応用技術と、学習データ量削減を目的とした、強化学習のデータ選択手法の応用技術を実装し評価した。

転移学習応用では、事前学習した DNN モデルの一部レイヤーを凍結することで、転移学習を適用しなかった場合に比べて、学習に要する時間を 1/2 に削減できることを確認した。また強化学習のデータ選択手法を応用し、エンドポイントで得られるデータの推論結果に基づき、誤差が大きいものを優先的にサンプリングして学習データとすることで、エンドポイントで使用する学習データ 1/10 で、異常検知の精度劣化がほぼないことを確認した。これにより今回選定した波形データからの異常検知アプリケーションにおいて、検討した要素技術の適用によりエンドポイント学習での演算量と学習データ量の削減効果を確認した。

3. 2. 4. 5成果の普及

学習に関する継続検討の可否判定を行った後、成果の普及を検討する。基本的にはルネサスのハードウェアへの搭載による普及を図る。

3.2.5 研究開発サブテーマ「DNNによるエンドポイント学習用ハードウェアの研究開発」

3.2.5.1概要

生産現場にAIが普及するためには、タスクの変化や動作環境の変化などにも、機器が自律的に対応できることが求められる。しかしながら、現状ほぼ全てのエンドポイント向けAIハードは推論専用であり、自律的な学習には適していない。そこで、本プロジェクトでは、現場の環境やタスクの変化にも自律的に対応可能にするエンドポイント学習システムの開発を目指す。

3.2.5.2最終目標と根拠

エンドポイント学習システムに関しては、現状ほぼ未開拓の領域であるため、2018年度～2020年度における開発としては、エンドポイント学習の価値判断から開始する。具体的には、④DNNによるエンドポイント学習用ソフトウェアの研究開発を担当する三菱電機と連携しながら、必要な機能の見極め、理論やシミュレーションによる検証を行い、エンドポイント学習の価値の有無を判断することを中間目標とする。

2022年度最終目標:2020年度の結果で価値があると判断された場合には、TEG(2021年度以降に予定している2次TEG、あるいは現在開発中の1次/1.5次TEG)でのオンチップ学習の効果を確認する。

3.2.5.3目標の達成度

現在の主な内容の達成度を以下に示す。2020年度末に向けて概ね順調に進めている。

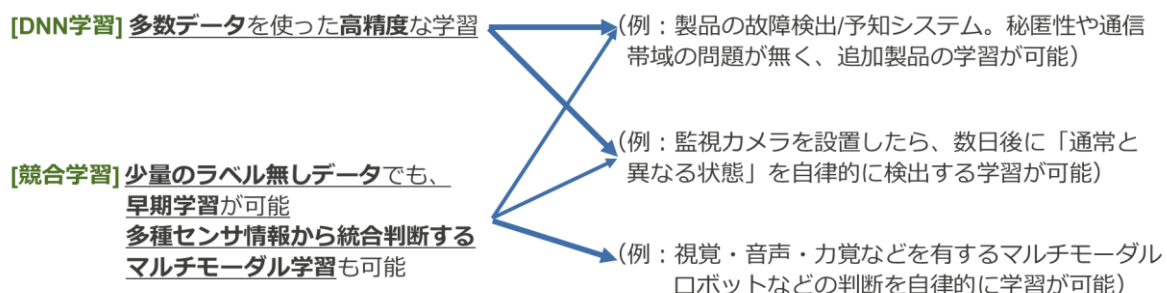
表 3.2.5.3 研究開発の達成状況(2)

項目	研究目標	成果	達成状況
1	エンドポイント学習のコンセプト、ターゲットシステムの検討	初期検討では、センサデータに基づく機器の異常検知をターゲットにした。環境変化にロバストなカメラなど、より高次元データにも拡張を検討中。	○
2	エンドポイントDNN学習ハードの基本構成検討	再学習の実行はCPUあるいはDRPでのバックグラウンド実行が適しているという仮説構築	○
3	エンドポイントDNN学習のハードウェア性能見積(理論・シミュレーション)	Back-propagation 演算の実機および簡易シミュレーションによる見積を実施。Full-connection層では、データ収集時間以下で可能な見込み。DRPの場合は1桁程度の高速化の可能性が得られた。	△ (2020年度中に実施予定)
4	エンドポイント学習の価値の有無を判断	「DNNによるエンドポイント学習用ソフトウェアの研究開発」でのシステム検討結果と3.の性能評価を合わせて判断予定。	△ (2020年度中に実施予定)

3.2.5.4成果と意義

(a) オンチップ学習のコンセプト、ターゲットシステムの検討

主な用途と適用可能性については、関連する研究開発テーマ「④DNN によるエンドポイント学習用ソフトウェアの研究開発(三菱電機)」 「⑥競合学習機構による汎用・超軽量エンドポイント学習技術の開発(SOINN)」での内容やAI技術動向、ユーザ需要などの情報から用途の抽出を行った。



【主なエンドポイント学習の価値】

- 通信機能の有無によらず、機器ごとに異なる設置場所の環境やセンサの特性変動などにロバストな機能を提供可能。
- 特に画像認識のクラウド学習の場合、膨大なデータ通信コストやクラウド処理コストに加え、通信前に機器にデータを貯蔵する仕組みによるコスト増が問題となり、その解決に貢献可能。

(b) 2. ハードの基本構成の検討

各用途のシステムを想定した際のハードウェアリソースの制約ならびに学習速度の制約の観点から、適切な学習ハードの構成および性能要求を検討した。結果として再学習の実行はAI-MACよりもCPUあるいはDRPでのバックグラウンド実行が適していると仮説を立てた。

次に、仮説検証の一つとして、ハードウェアでの実現性を見るため、性能見積もりを実施した。

(c) 3. エンドポイントDNN学習のハードウェア性能見積(理論・シミュレーション)

エンドポイント学習の価値や実現可能性判断に必要な要素となる、エンドポイント学習のボトルネック抽出およびハードウェア実装時の実行時間の見積等を行った。特にすべてのDNNベースのオンチップ学習システムで共通して必要となる、再学習時の誤差逆伝搬(back-propagation)演算がボトルネックになると考えられるため、その性能評価から優先して実施した。

対象とするネットワークとして、研究開発テーマ「④DNNによるエンドポイント学習用ソフトウェアの研究開発」において、最初のターゲットを「1次元データを使った故障検出」を「一部のレイヤのみ再学習する追加学習」を想定している。したがって、まずはfull-connection構成かつ最終層1層の再学習に必要な演算時間の検討から行った。

具体的には、DRPに適したデータフローの検討、誤差逆伝搬ベンチマークプログラムの作成、実機評価(CPU)および DRP 設計環境を用いた簡易シミュレーション(DRP)によるベンチマークプログラムの試行実験を実施した。

(d) エンドポイント学習価値の判断に向けた、今後の取り組み

(c)の結果から、DRPの方が高速化・低電力化を期待できるが、価値判断の検証段階であれば CPU/DRP いずれも用いても可能な範囲であるため、まずは CPU を用いてオンチップ学習の実現性・有効性を評価する予定である。また、オンチップ学習の需要・必要なシステムについては、研究開発テーマ「④DNN によるエンドポイント学習用ソフトウェアの研究開発」と連携しながら検討しており、有用な結果・用途が得られた場合、2021 年度以降で DRP へのオフロードによる高速・低電力化の可能性を検討する方針である。

3.2.5.5成果の普及

特にオンチップ学習技術は、ユーザ環境で安定して使えるのかの検証が十分なされていない技術領域であり、かつ動作精度の定量的評価も難しいことなども、普及に向けた課題となる。オンチップ学習の効果ありと判断された段階で、実証実験および普及に向けた技術課題(評価方法の構築など)の解決を進めていく予定である。

3.2.6 研究開発サブテーマ「競合学習機構による汎用・超軽量エンドポイント学習技術の開発」

3.2.6.1 概要

現在主流でDNNにも用いられる誤差逆伝搬学習方式は、多大な演算量やメモリ量を要するだけでなく、教師ラベルつき学習用データが大量に必要ななど、実用面で課題が多い。これに対し、競合学習方式をベースとし SOINN 社が特許を有する機械学習アルゴリズムとしての SOINN は、DNN に対し多数の優位性を持ち、現在も機能・性能の両面で進歩を続けている。

例えば、SOINN は基本的に教師なし学習手法であるため、教師データがゼロの状態からでも学習を開始できる。また SOINN はオンライン学習機能を有し、演算が非常に軽量で、必要となるメモリ量も DNN に比較して圧倒的に少ない。さらに学習済みの SOINN を類似の他タスクに転用する転移学習が可能である。これらの機能は、生産ラインの現場などでの AI の有効活用のためには必須といえる。実際、これまでに SOINN 社が受注したシステム開発案件は、ほぼすべて、そうした機能の積極活用が指定されている。本研究開発は、SOINN 本来の機能や性能の改善を図るとともに、SOINN を DRP 上で稼働させることを目的とする。

3.2.6.2 最終目標と根拠

SOINN を DRP 上で稼働できれば、安価で省電力、省演算、省スペースという超小型 AI の大量生産が可能となる。本研究開発の最終目標は、そうした極めて使い勝手の良い“SOINN on DRP”を生産現場や社会の隅々にまで届け、SOINN on DRP にあらゆる機器や装置の制御、多様な現象の予測や異常検知、さらには分類・識別などの機能を担わせることにある。SOINN と DRP は夫々他にない際立った特長を有しており、双方のシナジーにより高い競争力を有する SOINN on DRP の実現は、十分根拠があると考えられる。

3.2.6.3 目標の達成度

以下に、現在の達成度を示す。2020 年度末に向けて順調に進行している。

項目	目標	成果	達成状況
⑥	SOINN 社独自の競合学習をベースとした新たなオンチップ逐次学習の実装アルゴリズムの検討、シミュレーションによる有効性評価	1. DRP 上での稼働を想定し大幅に軽量・高速化したアルゴリズムを開発。 2. 上記を制御・予測系タスクに拡張適用するための、長さの異なる時系列データの一括学習、再生機構を開発。	◎ (ここまでの重要成果物として知財3件出願。更なる成果を2021年2月追加申請予定)

これまでに、改良 SOINN について3件の特許申請を進めている(12月申請予定)ほか、改良 SOINN を DRP で稼働させた場合の優位性の定量評価を進めている。

さらに、研究成果の極めて有効な適用先の一つであるロボットを対象に、ロボットアームの3次元の挙動を改良 SOINN 搭載の DRP ボードで学習させ、実際にロボットを稼働させるためのアルゴリズム開発と検証を進めている。ロボットの制御には、理想的には2msec以下の高速な制御サイクルが要求されるため、そのクリアも課題である。現状の DRP ボードでは、通信速度の制約上そのサイクルでの通信は困難が予想されるが、SOINN on DRP の自体の推論速度は2msec以下が期待できる。

3.2.6.4 成果と意義

近年、IoT デバイスやセンサが普及し、日々莫大なデータが収集されているが、殆どのデータは記録として保存されるにとどまっている。すべてのデータをそのまま記録・保存するのは極めて冗長で高コストである。本来データは、分類整理され、必要な時に、タイムリーに活用できて初めて意味をなす。そこで、機器や装置に SOINN on DRP を埋め込み、ネットワークやセンサの情報からデータを溜めずに直接自己学習ができれば、個々の機器や装置が現場で自ら学習して機能することとなり、その恩恵は極めて大きい。

少子高齢化が進む我が国では、生産労働人口の不足が深刻である。将来 SOINN on DRP は、産業用ロボットなどの生産現場向けのみならず、現場ごとに臨機応変な対応が必要で、これまで省力化が困難であった流通業、農業、水産業、医療介護などの分野でも有効に活用できると考える。すなわち、本研究成果は幅広い分野・業種の生産性向上に大きく寄与し、新産業の創出にもつながると考える。

3.2.6.5 成果の普及

本研究開発とは別に、数年前より SOINN 社と川崎重工・精密機械・ロボットカンパニー社との間で旧 SOINN アルゴリズムを活用した共同研究開発が進んでいる。2019 年国際ロボット展では、川崎重工社の世界初の職人技を現場で学習してロボットに再現させる“Successor”に旧 SOINN アルゴリズムが試験採用され、デモ展示された。

しかしこの展示は、まだ可能性が示されたレベルであり、実用レベルに至るには克服すべき課題が多数あることも指摘された。本研究の成果物である「改良」SOINN on DRP では、それらの課題が解決できると考える。このほかにも、本研究の成果は、これまでに SOINN 社に頂いている、ドローンや建設用重機の自動運転、大規模プラントの多地点異常検知、家電製品への適用といった分野にも幅広く極めて有効に活用できると考える。

上記に加え、SOINN on DRP を画像処理と組み合わせた、画像検査モジュール群の研究開発も進めている。まず 2020 年初頭より、CPU 稼働で旧 SOINN アルゴリズムを活用したモジュール群を“SWITCH VISION”の名称(商標登録申請済)で販売したところ、建設業、食品業、技術商社などから多くの引き合いを得ている。画像検査系の業務は多大なニーズがあり、かつ DNN にはない当社の強みを活かせる分野であり、こちらも本研究成果の大きな普及を見込んでいる。

下図はその一例である。左は不良品を含まない乾燥食品の実サンプル、右はベルトコンベアを流れる不良品を含むサンプルの判定結果例である。右で濃い黄色の箇所ほど、不良品の可能性が高い。こうした検査システムを SOINN on DRP 化できれば、生産ラインの要所に多数配置し、一層の省人化や不良品の早期除去、不良品が混入するリスクの大幅低減が図れる。

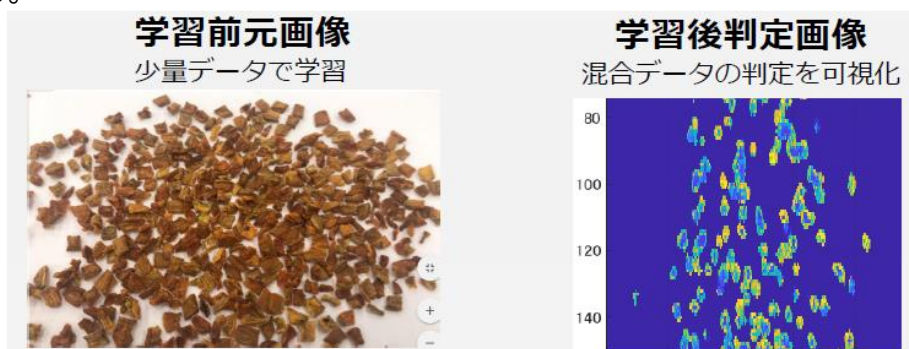


図 3.2.6.5 不良品を含まない乾燥食品サンプル(左)と判定結果例(右)

3.2.7 研究開発サブテーマ「実製品への AI 組み込みを容易化するツールの研究開発」

3.2.7.1 概要

エンドポイント AI の省フットプリント化および学習技術とそれらを組み込むハードウェアである動的再構成可能な AI チップは密接な連携関係にある。そこで、本プロジェクトで構築した基盤技術が相互に連携し、ソフトウェアからハードウェアまで各レイヤ間を跨る最適化および拡張性を持たせた統合ツールを開発する。特に、実用フェーズを想定すると、主なユーザは、AI 技術者から組み込み SW 開発者になると想定。AI 技術者のような複雑な設定が無くとも自律的に AI をハードに実装できることを重視した。

開発中のツールは、主に以下の2つである。

- (1) AI フレームワークで記載されたモデルやパラメータ情報を、ハードウェア(AI アクセラレータ)情報に変換するための「AI トランスレータ」
- (2) 圧縮プログラムの活用を、組み込みユーザ向けに容易化する「AI 統合ツール」

3.2.7.2 最終目標と根拠

年度ごとの目標は以下の通りである。

- ・2018 年度： ツールコンセプト、ツール間インタフェース仕様の策定
 - ・2019 年度： 機能仕様策定、基本ツールの開発
 - ・2020 年度： 基本ツールの評価、1.5 次 TEG 向けツール改良
- また、3年目/5年目の目標は、それぞれ以下である。

2020 年度中間目標： 評価結果から要改良機能のフィードバック

2022 年度最終目標： 各研究開発項目で開発した技術を統合したツールの完成、
実施項目 1 で開発した 2 次 TEG による動作実証

ユーザが AI ハードを使いこなすためには、AI モデルを適切に変換・圧縮・ハード実装可能なツールの充実が不可欠である。したがって、最終目標としてはツールの完成に加え、AI チップでの動作実証まで接続することを目指すこととした。

3.2.7.3 目標の達成度

現在の主な内容の達成度を以下に示す。2020 年度末に向けて概ね順調に進めている。

[トランスレータ]

項目	研究目標	成果	達成状況
1	トランスレータの仕様、インターフェースの検討	各種の AI フレームワークと AI アクセラレータや DRP を繋ぐための形式として ONNX を選定。	○
2	トランスレータのプロトタイプの開発と基本動作の実証	上記方針を基に、①の 1 次 TEG 向けのプロトタイプを一旦まとめて下記の機能を含めたツールとして統合。 <ul style="list-style-type: none"> ・FP32 から FP16 への変換 ・サイクル数推定機能 下記のニューラルネットワークモデルで変換フローが動作することを確認。 <ul style="list-style-type: none"> ・一般物体認識の TinyYOLOv2 ・クラス分類の Resnet50 	○
3	トランスレータの改良	①の 1.5 次 TEG の仕様に合わせたツールの改良方針を検討中。	△ (2020 年度完了予定)

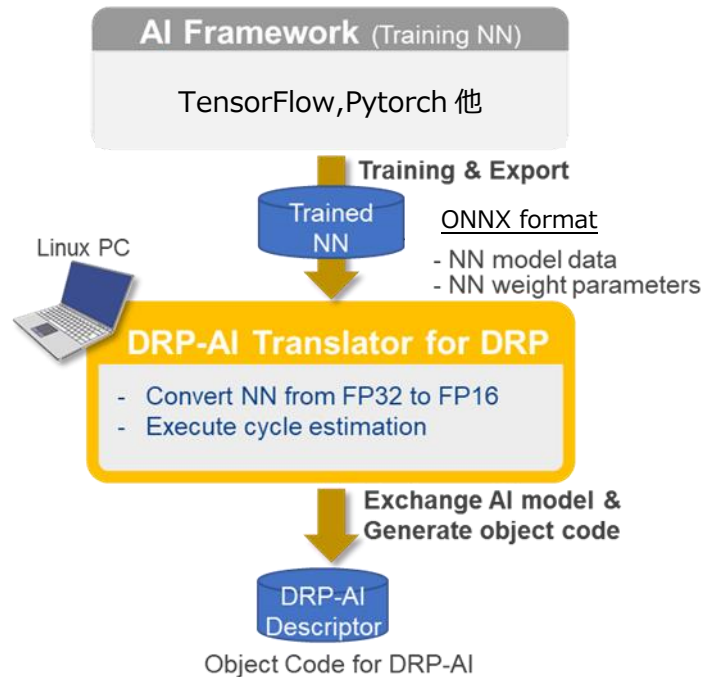
[統合ツール]

項目	研究目標	成果	達成状況
1	統合ツールのコンセプト、インターフェース仕様の検討	組み込み SW 開発者を想定し、複雑な設定パラメータ設定を不要にする方式や、性能予測の見える化などの技術導入方針を選定。	○
2	統合ツールの機能仕様の策定・設計	上記方針を基に、ツールの機能仕様と開発を完了。 <ul style="list-style-type: none"> ・ユーザモデルを統合ツールで使用するための、モデル変換インターフェース設計 ・AI 専門家でなくても圧縮技術の手順や効果の認識が容易で、かつパラメータ最適化などをサポートするツールなどを導入。 ・要求性能などに応じて、複数の圧縮ツールを接続/選択できる機能 	○
3	統合ツールのツールチェーンの基本動作の実証	<ul style="list-style-type: none"> ・1.5 次 TEG 対応として三菱電機製圧縮モジュールも含めて統合ツールの基本動作を確認。 ・動作確認結果からツール GUI や内部ツールが使用するモデル情報 (ONNX) の対応課題を発見。GUI への対策を実施するとともに、内部ツール間での対応状況の整合を検討中。 	△ 今後、内部ツール改版や ONNX 対応部分のアップデートなどを開発

3.2.7.4成果と意義

[トランスレータ]

2018年度は、各種のAIフレームワークとAIアクセラレータやDRPをONNX形式で繋ぐための変換ツールであるAIトランスレータの仕様を作成し、一部の試行実装を開始した。



2019年度はこの仕様に従って①の1次TEG向けのプロトタイプを一旦まとめてツールとして統合した。1コア向けの一般物体認識のTinyYOLOv2と、クラス分類のResnet50に対応した変換フローが動作することを確認した。

2020年度は①の1.5次TEGに向けてツールを改良する。

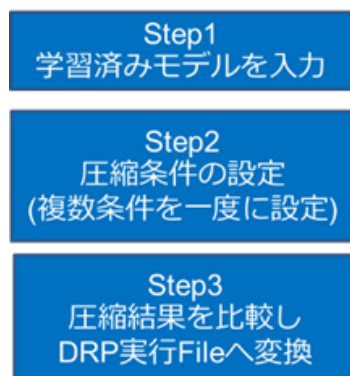
[統合ツール]

2018年度はコンセプトおよびツール間インターフェース仕様を策定した。

2019年度はこのコンセプトに沿って機能仕様の策定を行い、基本ツールGUIとして以下のような機能を開発した。1)「High/Mid/Low」といったシンプルな圧縮率の設定 2)圧縮率/精度/サイズ/電力効率等を比較可能なGUI 3)複数の圧縮設定を同時に実行する機能

GUIとしてはユーザの使用手順を考慮し、手順に沿ったGUIレイアウトとなるよう開発を行った。

ユーザの使用手順



e-AI統合ツールGUI

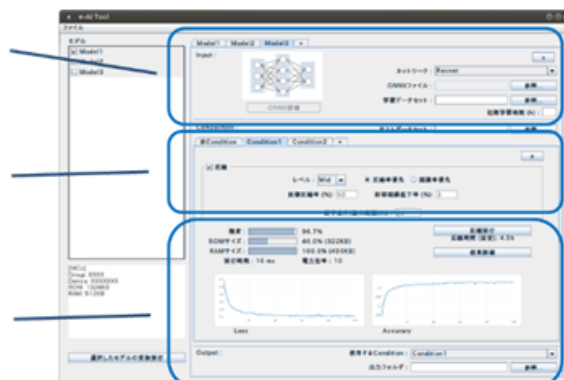


図 3.2.7.4 統合ツールの使用手順

2020 年度は 1.5 次 TEG 用ツール改良として、研究開発テーマ「軽量 DNN 変換機能の研究開発」で開発中の圧縮モジュールとの連結部分を開発。加えて基本的なツール動作の評価を実施した。動作確認結果からツール GUI や内部ツールが使用するモデル情報 (ONNX) の対応に課題が見えており、GUI への対策を実施するとともに、内部ツール間での対応状況の整合を検討中。

また引き続き、圧縮モジュールや DRP-AI トランスレータの改定に対応し、ツールとしての完成度を高める。

3.2.7.5 成果の普及

開発したツール (AI translator, 統合ツール) に関しては、本研究開発の AI チップだけでなく、ルネサスの DRP-AI を搭載した現行製品群にも展開可能な技術である。成果の普及として、ツール部分を切り出し、早期展開も検討している。

3.3 研究開発テーマ「FPGA IP と可変精度演算コアの融合による超低消費電力エッジヘビーコンピューティング向け SoC の研究開発」

3.3.1 概要

本研究開発、「FPGA IP と可変精度演算コアの融合による超低消費電力エッジヘビーコンピューティング向け SoC の研究開発」の目的は、我々(株式会社 Preferred Networks(以下 PFN)・神戸大学・理化学研究所(以下理研))が開発を進めてきた可変精度演算コアと、最近急速に発展したカスタム LSI (ASIC) 用 FPGA IP を組合せることで、専用演算回路の高い電力性能と FPGA の柔軟性をあわせもつ、エッジ AI 向けのチップを開発し、それを使うことでまだ高コストであり消費電力も大きいロボティクス応用の飛躍的普及を実現することである。

可変精度演算コアでは、INT8相当から FP64 までの広い範囲で、消費電力、チップ面積を抑えつつ、演算能力が語長の 2 乗に反比例する回路を実現する。これにより、INT8 相当では FP64 の 64 倍の電力性能を実現し、7nm を使った場合で 10 Tops/W、5nm では 20Tops/W 程度を達成する。さらに、これらの演算コアを固定されたチップ内ネットワークではなく、最近急速に進歩し、最適な性能・規模の回路を実現可能になった FPGA IP で結合する。再構成可能な FPGA IP で演算コア以外の回路を構成することで、専用回路では困難なネットワーク圧縮等への対応を可能にするだけでなく、通常ならば CPU コアによるソフトウェアで実現される部分を FPGA IP によるハードウェアに置き換えることで画期的な高速化、特に低遅延化を実現し、エッジでのリアルタイム応用を可能にする。これにより、ロボティクスを始めとするあらゆるエッジでの深層学習応用で、消費電力を大幅に削減するだけでなく、応答時間の短縮を実現し、深層学習の応用範囲を飛躍的に広げる。

現在の AI エッジコンピューティングの障害は、ソフトウェアによる柔軟な処理技術では必要な電力性能が実現できず、一方ハードウェアで柔軟性を実現する FPGA では学習処理に必要な計算精度・計算能力を低コストで実現することが難しいことである。

そのため、高い電力性能を実現する演算コアと、柔軟な処理を実現できる再構成可能回路を融合することが必須であると考えられる。従来はこのようなアプローチは困難であったが、この状況は近年急速に変化し、Achronix、FlexLogix、Menta、QuickLogic などの複数の IP ベンダーが eFPGA と呼ばれるカスタム LSI 向け FPGA IP を提供している。これらを利用し、高効率な演算コアと FPGA IP を融合させることで、エッジでの AI に必要な柔軟かつ高速な処理を実現できる。

我々は、過去に半導体技術としては最先端ではない TSMC の 40nm プロセスを利用して、演算方式やデータパスを深層学習アプリケーション向けの最適化によって同じ TSMC の当時最先端プロセスであった 12FFC で製造された NVIDIA Xavier とほぼ同等の電力性能能力を実現した実績がある (Xavier が 1Tops/W に対して我々は 0.5Tops/W)。これを 12FFC で実現したならば電力性能が 3 倍程度高いことを意味する。また、我々は、人工知能ソフトウェア技術の開発、実社会・産業への応用事業の中心とする企業であり、自社開発の深層学習フレームワークは世界最高レベルの性能を発揮し、国内外の様々な応用分野で実際に使われている。このため、開発したプロセッサをただちに産業応用でき、大きな波及効果を実現できる。

しかしながら、現時点で我々は NVIDIA や Intel のような巨大企業ではなく、最先端の半導体開発を自己資金だけで行うのは困難である。本研究開発は、多用途に利用でき、世界をリードする深層学習向けプロセッサを開発・実用化することは、我々の事業の発展だけでなく、日本が人工知能応用技術で世界をリードしていくことに大きな貢献ができる、公共性の高い研究開発であると考えられる。

人工ニューラルネットワークの研究開発は 2010 年代にはいって飛躍的な発展をとげ、様々な分野への応用がひろまりつつある。これは、計算機の能力の飛躍的な発展を背景とした、「深層学習」、すなわち、非常に層数も層毎のニューロン数も多い、深層ニューラルネットワークが可能になったこと、そのような深層ニューラルネットワークを学習させるのに十分な教師データが様々な分野で利用可能になったことによっている。言い換えると、現在の深層学習は、非常に大規模なデータを大規模な計算機クラウドで処理することで学習を実現している。しかし、このアプローチには明らかな限界がある。ネットワークのデータ転送能力とクラウドの処理能力である。「超スマート社会」の基盤となるのは AI によって制御されるロボットが社会・産業のあらゆる面の基盤技術となっていくことだが、そのためにはエッジ側の極めて多様な状況に各デバイスが迅速に対応する必要がある。これは、エッジ側での学習によって初めて実現できる。

現状では、深層学習向けプロセッサの研究開発は、クラウド向けの学習までをターゲットにしたデバイスの研究開発と、エッジでの推論だけを対象にしたデバイスに分化している。これは、エッジ側では既に学習済みのネットワークを利用し、学習はデータを集積したクラウドで行うことを前提にしている。しかし、これは、エッジ側の極めて多様な状況に対応することは困難であることを意味する。

このため、自動運転等の応用には、学習にも対応できる柔軟性をもったプロセッサを使うのが主流である。例えば、NVIDIA Xavier は TSMC の最新の 12FFC プロセスを使って INT8 演算で 30TOPS、30W、すなわち 1Tops/W を実現したとしている。Xavier は、Volta と同一設計の演算コアを使っており、推論・学習の双方に対応可能である。一方、Intel が買収した MobileEye は、2020 年頃に 7nm の EyeQ 5 で、2.4 Tops/W を実現するとしている。但し、EyeQ 5 の「Vision processor」の詳細は明らかになっていない。

<https://www.mobileye.com/our-technology/evolution-eyeq-chip/>

<https://newsroom.intel.com/wp-content/uploads/sites/11/2018/06/intel-mobileye-pb.pdf>

これらから、現在のエッジ側の主要な応用での電力性能は 1Tops/W 程度とみることができるといえる。言い換えると、本プロジェクトの目標の基準である。

3.3.2 最終目標と根拠

最終目標(2020年度)としては、開発成果を組み込んだシステムレベルでの検証を行い、エネルギー消費効率あるいは電力効率(単位電力あたり性能)が、事業開始時点における同等の技術と比較し、10 倍以上となることを示すには、最低 10Tops/W 程度の性能を実現する必要がある。

本提案では、主たる応用としてロボティクスを想定している。ロボティクスにおいて重要なタスクになるのは物体検出である。物体検出とは、画像から物体の位置とその物体の分類を行うタスクであり、高度な作業を行うロボットの実現に不可欠である。物体検出の産業用ロボットへの需要の高い応用例として、乱雑に機械部品の入った箱から部品の位置を特定し、その部品を生産ラインに流すタスクが挙げられる。このタスクにおいては物体検出の速度が全体のボトルネックとならないだけの性能を確保する必要がある。家庭用ロボットについても同様に、物体を検出して移動させるタスクの需要は高い。家庭用ロボットが人間とインタラクションすることを考えると、応答速度が使いやすさを左右する。物体検出の高精度なネットワークとして知られる SSD (Single Shot multibox Detector)[1] を Full HD 画像に適用したときの計算量は 0.7Tops である。NVIDIA Xavier はこれを 20ms 程度で計算できる可能性があるが、物体検出のためだけに 350 平方ミリのチップを利用するのは経済的ではない。また、消費電力も、30W は家庭用ロボットには過大である。すなわち、シリコン面積、消費電力ともに、1 桁以上の向上が必須である。

自動運転においても状況は同様である。自動運転の実現には、リアルタイムなセマンティックセグメンテーションを行う能力が必要である。セマンティックセグメンテーションは、入力画像に何が映っているかの分類をピクセルごとに行うタスクである。自動運転車は、車載カメラが撮影した画像に対してセグメンテーションを行い、画像のどこに歩行者が写っているのかといった情報を得る。遠くの物体を認識するため入力画像は高解像度、例えば Full HD になり、画素数に応じた計算能力が必要とされる。フレームレートが 30fps の Full HD 画像に対し、セグメンテーションの高精度なネットワークとして知られる PSPNet を適用すると、必要な演算性能は 140Tops/s となる。つまり、1Tops/W のプロセッサでは 140W もの電力を消費することになる。加えて、路上の危険な状況への迅速な対応のために低遅延でセグメンテーションを行う必要があるため、応答時間を短くするための演算性能も重要である。自動車が供給できる電力には限りがあり、冷却の問題もあることを考えると、現在の技術では自動運転に必要とされるリアルタイムなセグメンテーションの実現は困難である。逆に、140 Tflops 程度の能力を 14 W 程度で実現することが可能となれば自動運転のためのセマンティックセグメンテーションを行うシステムが実現できる。

一方、電力性能の向上は、近年困難になってきている。これは、いわゆるムーアの法則の限界によるものである。半導体の製造技術は、2010 年前後まではほぼ 3 年毎にデザインルールが半分になる指数関数的な進歩を続けてきたが、ここ 10 年の進歩は遅くなっている。これは、22nm 前後からトランジスタの構造がプレナーから FinFET に変わり、またリソグラフィも 7nm では ArF レーザーから EUV に切り替わる等、技術的ハードルが高くなっているためである。

さらに、トランジスタサイズが小さくなくても、動作電圧を下げられなくなっているため、半導体製造技術の進歩が消費電力の低下につながらなくなっている。

すなわち、本事業で目標とされている、現在の 10 倍以上の電力性能の向上、さらにはそれを超えた電力性能を実現するには、半導体の性能向上に期待するだけでは十分ではなく、新しいアプローチで消費電力を削減する必要がある。

これらの困難の解決を目指すアプローチの一つは、再構成可能回路、いわゆる FPGA の利用である。FPGA は、チップ内部の論理素子(通常 SRAM によるルックアップテーブルで実現)とネットワークをプログラム可能にすることで、大量生産できる標準品で任意の論理回路を実現する技術である。FPGA を AI エッジコンピューティングに応用する研究は多数ある。

一方、FPGA 技術の問題は、プログラム可能にするために同じ規模の回路の消費電力とシリコン面積が大幅に増加することである。このため、内蔵されている基本素子を使う実装では、データ表現を 1-2 ビット程度まで落として場合でなければ汎用の GPGPU コアに基づいた回路に比べて有利にならない。ある程度の規模の乗算器を内蔵した、信号処理向けの FPGA チップも存在するが、シリコン面積に対して乗算器ブロックの割合がそれほど大きくないため、必要な性能を実現するには極めて高価かつ消費電力も大きなものになる。

3.3.3 目標の達成度

本研究開発の目標は、エッジにおける深層学習応用のためのプロセッサ、特に、ロボティクス等のリアルタイム処理に十分な能力と学習に対応できる柔軟性をもつプロセッサとその利用のために必要なソフトウェアを開発することである。エッジにおける深層学習の第一の障害は消費電力であり、第二はリアルタイム性能であるため、本研究開発では、現在実際にシリコンが存在していると見られるチップの中では最高の電力性能を実現している NVIDIA Xavier チップの 1Tops/W の 20 倍以上の電力性能を実現することで、深層学習の応用範囲を飛躍的に拡大することを目指し、さらに、演算コア以外の部分を再構成可能論理で構築することで、従来のプロセッサではソフトウェアで実現する必要があった部分をハードウェアで実現すること

を可能にする。プロセッサ開発は順調に推移し、今年度中に設計開発を完了し、試作段階に移る予定である。

さらに、プロセッサ開発だけではなく、このプロセッサのためのソフトウェア開発も並行して進めている。このため、エッジ・クラウドの双方でソフトウェア開発を進められる体制を構築した。このため、このプロセッサに Chainer フレームワークを移植し、これまでのソフトウェアの蓄積を利用して様々な人工知能応用を進めた。

NEDO 先導研究「次世代人工知能・ロボット中核技術開発／(次世代人工知能技術分野)大規模目的基礎研究・先端技術研究開発／超低消費電力深層学習プロセッサおよびソフトウェア層の研究開発」で開発したアーキテクチャをベースに、さらに改良・省電力化を進めたプロセッサアーキテクチャを設計し、まず 2020 年に製造可能になると考えられる TSMC プロセスで 10 Tops/W を実現できるプロセッサを開発する予定である。さらに、2022 年度時点で利用可能なプロセス技術と、アーキテクチャのさらなる改良で、15-20Tops/W を目指す。実効的な性能としては、柔軟なハードウェアによりネットワーク圧縮等を実現することで、さらなる消費電力の減少をめざす。

なお、本研究と直接関係するものではないが、昨年度までの NEDO 先導研究で開発したアーキテクチャの知見を取り入れて PFN/神戸大学で共同開発した MN-Core プロセッサは昨年度完成し、2020 年 6 月期の Green500 リストに置いて、TSMC の 7nm プロセスを利用している NVIDIA 社の GPGPU, A100 を用いたシステムを上回る消費電力あたりの演算速度を HPL というアプリケーションで実現し、世界で最も電力効率のプロセッサであることを実証した。現在設計開発を進めているプロセッサは、ベースとなるアーキテクチャに同じ高効率アーキテクチャを用いているため、本プロジェクトの目標性能を達成し、世界最高効率のプロセッサを構築できることの確実性が増している。

また、これに並行して、実際の産業・社会応用を進めている。

このように、研究開発全体は順調に推移し、着実に目標に向かった設計開発を実現しつつある。

(4) 個別研究開発テーマ

本研究開発では、「FPGA IP と可変精度演算コアの融合による超低消費電力エッジヘビーコンピューティング向け SoC の研究開発」という大局的目的を実現するため、下記 4 項目の個別研究開発テーマを設定した。

- 実施項目 1: 再構成可能低遅延低消費電力 AI コンピューティングアーキテクチャの研究開発
- 実施項目 2: 再構成可能低遅延低消費電力 AI プロセッサチップの研究開発
- 実施項目 3: ソフトウェアフレームワークの開発
- 実施項目 4: ロボティクス応用のためのソフトウェア開発

個別の研究開発テーマにおける概要、目標および進捗状況の詳細は以下に示す。

3.3.4 研究開発サブテーマ「再構成可能低遅延低消費電力 AI コンピューティングアーキテクチャの研究開発」

3.3.4.1 概要

本項目は PFN, 神戸大学および理化学研究所が協力して研究開発を実施する。以下、我々が既に開発したチップを GPFN1 チップと呼ぶ。GPFN1 チップでは、基本的演算を半精度 16x16 の行列と長さ 16 のベクトルとの積とすることで、他の半精度演算をサポートす

るプロセッサ、特に 4x4 の行列ベクトル積をサポートする NVIDIA Volta に比べても同等の半導体技術では優位な電力性能を実現した。GPFN1 チップでは消費電力の大半を実際の演算器である行列ベクトル積ユニットが消費するので、これをさらに 3 倍程度改善させるには、必要な計算精度を維持しつつ行列ベクトル積部分の消費電力を改善する必要がある。このため、以下のような回路構成を検討する。

- (1) 16 ビット浮動小数点数の他、語長 8 ビットのデータ形式をサポートする
- (2) ビット長の長い演算のための付加回路の規模を小さくする
- (3) 演算結果は丸められることを考慮し、精度に影響しない部分は切り捨て等の処理を行う
- (4) 行列乗算器の入力単位では指数を共通にする(ブロック浮動小数点形式)ことで、回路規模・消費電力を下げる
- (5) 対数変換等の非線型変換を用いて乗算回路の回路規模を小さくする
- (6) 外付けメモリ等とのデータ転送においてデータ圧縮等を利用し、必要なデータ転送速度の削減を行う

3.3.4.2 最終目標と根拠

本実施項目の目標は、

- ・同一の半導体技術・動作電圧において、我々が既に開発した 40nm プロセスでの 0.5Tops/W を最低 4 倍程度向上させること
- ・演算コア以外の部分を再構成可能論理 (eFPGA IP) で構成した、スケーラブルなプロセッサアーキテクチャを開発すること

である。この値を実現することは、我々が保有する技術から可能と考えられる一方、世界の他の企業などが実現することは困難であり、適切な目標であると考えられる。

3.3.4.3 目標の達成度

目標が達成できるかどうかの判断は、2021 年に予定されているアクセラレータチップのサンプルの製造で初めて明らかになるものである。しかしながら、本プロジェクト以前に試作を行っている MN-Core チップとそれを用いた MN-3 ディープラーニング用クラスタシステムに置いて、世界最高の演算速度・消費電力比である約 21Gflops/W を達成している。この技術に半導体のスケーリングおよび短精度浮動小数点演算による更なる演算高速化および下記の改良を加えることで、目標は十分に達成できると認識している。

以下、我々が既に開発したチップを GPFN1 チップと呼ぶ。GPFN1 チップでは、基本的演算を半精度 16x16 の行列と長さ 16 のベクトルとの積とすることで、他の半精度演算をサポートするプロセッサ、特に 4x4 の行列ベクトル積をサポートする NVIDIA Volta に比べても同等の半導体技術では優位な電力性能を実現した。GPFN1 チップでは消費電力の大半を実際の演算器である行列ベクトル積ユニットが消費するので、これをさらに 3 倍程度改善させるには、必要な計算精度を維持しつつ行列ベクトル積部分の消費電力を改善する必要がある。このため、以下のような回路構成を検討する。

- (1) 16 ビット浮動小数点数の他、語長 8 ビットのデータ形式をサポートする
- (2) ビット長の長い演算のための付加回路の規模を小さくする
- (3) 演算結果は丸められることを考慮し、精度に影響しない部分は切り捨て等の処理を行う

- (4) 行列乗算器の入力単位では指数を共通にする(ブロック浮動小数点形式)ことで、回路規模・消費電力を下げる
- (5) 対数変換等の非線型変換を用いて乗算回路の回路規模を小さくする
- (6) 外付けメモリ等とのデータ転送においてデータ圧縮等を利用し、必要なデータ転送速度の削減を行う

2022 年度までのより詳細な開発項目とマイルストーン、目標は以下のようになる。

1-1 8ビットデータ形式のサポート

FP16 の他に語長 8 ビットの形式をサポートする。NVIDIA のプロセッサや ARM SVE では INT8 をサポートするが、これは深層学習にとって最適なデータ型であるわけでは必ずしもなく、回路規模も比較的大きい。このため、深層学習に適した、より回路規模及び消費電力の小さい演算方式を検討する。2018 年度には必要なビット長についての知見をまとめ、19 年度中にはビット長所に応じた適切な回路構成を決定する。

1-2 付加回路の規模の縮小

GPFN1 チップでは、同一の乗算回路をモード切換えによって半精度・単精度・倍精度の乗算に適用可能にしているが、共通なのは半精度乗算の Wallace 木のみであり、そのあとの複数項加算部分の多くは共通化されていない。これは回路規模的にも消費電力的にも好ましくないため、入力の並べかえ等によりこれらを可能な限り共通化する。これについては 19 年度中に回路構成を検討し、20 年度に性能評価を行う。

1-3 下位ビットの切り捨て等による乗算器規模の縮小

通常の固定小数点乗算器では、 n ビットの入力 2 つから $2n$ ビットの結果を得るが、浮動小数点乗算ではこの結果を最終的には 上位 n ビットに丸める。このため、下位 n ビットの答は丸め誤差が平均的には正しい程度に求めればよいと考えられる。このことを利用して、下位ビットを Wallace 木での加算前に丸める等で回路規模・消費電力を減らす構成の検討を行う。これについては 19 年度中に回路構成を検討し、20 年度に性能評価を行う。

1-4 ブロック浮動小数点形式

浮動小数点処理において、仮数部が短くなってくると、指数部に関係した処理のオーバーヘッドが無視できなくなる。ここで指数部に関係した処理とは、指数の比較、指数の比較後の仮数のシフト等である。行列ベクトル積を基本演算とする回路では、演算の対象となる行列やベクトルについて、要素の指数をあらかじめ共通化したブロック浮動小数点形式を使うことで、これらのオーバーヘッドを回避し、回路規模を削減することができる。さらに、必要なメモリ帯域幅を減らすこともできる。但し、この方式は 1-3 の下位ビットの切り捨てはできないので、どちらが良いかを検討する必要がある。これについては 19 年度中に回路構成を検討し、20 年度に性能評価を行う。

1-5 対数表現等の利用

通常の浮動小数点表現の代わりに対数表現を用いると、乗算を加算に変換できるため、乗算器自体のサイズは大きく減少する。一方、対数表現のままでは加算は複雑な非線型関数になるため、通常は $\log(1+\exp(x))$ を区分多項式等で近似する。内積演算の場合には、複数項の加算は真数表現で行うことが好ましいので、乗算のあと指数関数を評価す

ることと真数に変換する。浮動小数点表現と対数表現の変換は区間 [1,2) について行えばよいので、例えば 8 ビット程度の精度の場合には、区間全体を 2 ないし 3 次多項式近似することで十分な精度が得られる。この場合には、通常の浮動小数点表現に比べて速度的にも回路規模的にも有利になり、電力性能向上の効果も大きいことが期待できる。これについては 18 年度中に回路構成を検討し、19-20 年度に性能評価を行う。

1-6 データ圧縮の利用

エッジでの深層学習の利用では、電力性能だけでなくハードウェアのコスト自体も極めて重要な要素であり、データ転送速度あたりの消費電力は低いものの非常に高価な HBM 等の技術を使うことは現実的ではない。このため、安価な LPDDR5 等のインターフェースをもつ外部メモリで高い性能を実現することが必須と考えられる。このためには、画像とニューラルネットの係数の両方について、外部メモリとのデータ転送時の必要バンド幅を減らす、すなわち、データ圧縮を利用する必要がある。これについては、18-19 年度に方式検討を行う。但し、この部分は再構成可能論理で実装される。

GPFN1 では、チップ内部に複数コアにまたがった総和・放送等を行うネットワークを実装し、深層学習で重要となる畳み込みや行列ベクトル積を効率的に実行することを可能とした。しかしながら、このネットワークをハードウェアで実装したため、多様な処理に柔軟に対応することは難しくなっている。本提案では、より柔軟な回路の変更を可能にするため、演算コアよりも上位のネットワークや制御回路を eFPGA IP、すなわち再構成可能論理で構成する。これについては、18 年度中に速度、面積、消費電力についての予備的な評価を行い、20 年度までに実際の論理設計に基づいた性能評価を行う。

3.3.4.4 成果と意義

本実施項目の目標が実現されると、世界最高レベルのディープラーニング用アクセラレータのエンジンが実現することになる。実世界におけるディープラーニングの応用場面の多くは、計算に使用できる電力に大きな制限があり、適用できる計算量の限界となっている。特にバッテリーを電源とする知的ロボット、自動運転、言語および対話認識システムの今後の発展には超省電力ディープラーニング・アクセラレータは不可欠であり、この分野における弊社および我が国の優位性構築に大きく貢献することが期待される。

3.3.4.5 成果の普及

本プロジェクトは、現在急速に成長している人工知能の社会実装の鍵となるエッジ AI に使われるプロセッサチップ技術を国内で独自に開発するものであり、海外の競合技術に比べて 1 桁ほど高い電力あたり性能を実現する。さらに、クラウドからエッジまでを統合しハードウェア・ソフトウェアシステムを提供する。この技術が国内で世界に先行して普及することにより、国内の AI 関連技術開発全体が世界に対して大きな優位に立てるだけでなく、ハードウェア・ソフトウェアの双方におけるデファクト・スタンダードの確立につながる。

3.3.5 研究開発サブテーマ「再構成可能低遅延低消費電力 AI プロセッサチップの研究開発」

3.3.5.1 概要

本項目の目標は、前記 1.1 項目の成果に基づき、そのアーキテクチャを実装したプロセッサチップの開発を行う。特に、利用可能なテクノロジーと実際のアプリケーションでの効率・電力性能を考慮し、プロジェクトの目標である高い電力性能を実応用で実現できるものにする。

現在の GPGPU 等の汎用性の高いプロセッサの多くは、チップ内の効率的な集団通信サポートをもたない。キャッシュベースのものではどうしてもキャッシュを経由する通信になり、必要なデータだけを指定して送ることはできないため、消費電力や回路規模が大きくなりがちである。また、多数のコアにまたがった放送や縮約が短時間で可能であれば効率的な並列化ができるアルゴリズムは多いが、階層キャッシュ、あるいはメッシュネットワークでのソフトウェアベースの放送・縮約では並列化が困難になることが多い。本実施項目では、放送・縮約をサポートするチップ内ネットワークにより実行効率を大きく向上させる。これらが無い場合に、実際に必要な問題サイズでアプリケーション実行効率を 50% 程度以上とすることは極めて困難である。

本実施項目では、実施項目 1 で実現する技術を用いることで、下記最終目標を達成する計画である。

3.3.5.2 最終目標と根拠

本項目の目標は、実施項目 1 で開発するプロセッサコアの電力効率から、さらに半導体技術の進歩を取り入れて電力性能を向上させ、チップ全体の設計を行うことである。項目で開発するプロセッサでは、コア間ネットワークを再構成可能論理で構成するため、ソフトウェアのオーバーヘッドなしに高効率・低レイテンシな放送・縮約オペレーションを実現でき、結果として高い実行効率を実現できる。実応用において電力性能を理論値の 70% 程度とすることを目標とする。

3.3.5.3 目標の達成度

現在設計を進めているアクセラレータチップは既に第一次デザインリリースが終わり、半導体設計業者が下位設計をすすめていることが現状である。今後第二次デザインリリース、テープアウトと進み最終的なエンジニアリング・サンプルが 2021 年中に完成する予定であり、設計手順として順調に進んでいる。

従って、目標の達成度は設計の進捗状況として高いレベルにあると判断している。

3.3.5.4 成果と意義

本実施項目の目標が実現されると、世界最高レベルのディープラーニング用アクセラレータのエンジンが実現することになる。実世界におけるディープラーニングの応用場面の多くは、計算に使用できる電力に大きな制限があり、適用できる計算量の限界となっている。特にバッテリーを電源とする知的ロボット、自動運転、言語および対話認識システムの今後の発展には超省電力ディープラーニング・アクセラレータは不可欠であり、この分野における弊社および我が国の優位性構築に大きく貢献することが期待され、大きな意義が発揮されると判断している

3.3.5.5 成果の普及

本項目の目標は、実施項目 1 で開発するプロセッサコアの電力効率から、さらに半導体技術の進歩を取り入れて電力性能を向上させ、チップ全体の設計を行うことである。項目で開発するプロセッサでは、コア間ネットワークを再構成可能論理で構成するため、ソフトウェアのオーバーヘッドなしに高効率・低レイテンシな放送・縮約オペレーションを実現でき、結

果として高い実行効率を実現できる。実応用において電力性能を理論値の 70% 程度とすることを目標とする。

このようなエンジニアリング・サンプルが完成すれば、その超省電力性能により、多くのディープラーニング適用機器に組み込むことが可能となり、成果の普及を実現することができる。

3.3.6 研究開発サブテーマ「ソフトウェアフレームワークの開発」

3.3.6.1 概要

本事業内で開発したプロセッサで利用できる深層学習ミドルウェアの研究開発を行う。基本的には、ディープラーニングフレームワーク Chainer / Pytorch から利用可能とすることで、既にあるソフトウェアの蓄積を無駄にすることなく移行することを可能にする。

当初時点でのプロセッサアーキテクチャに基づいて必要なソフトウェア開発項目、ミドルウェアの構成を明確化する。中間目標段階までに、プロセッサで動作するミドルウェアを完成させ、最終目標段階では実際の応用で利用する。

3.3.6.2 最終目標と根拠

本項目の目標は、実施項目 1 で開発するプロセッサコアの電力効率から、さらに半導体技術の進歩を取り入れて電力性能を向上させ、チップ全体の設計を行うことである。項目で開発するプロセッサでは、コア間ネットワークを再構成可能論理で構成するため、ソフトウェアのオーバーヘッドなしに高効率・低レイテンシの放送・縮約オペレーションを実現でき、結果として高い実行効率を実現できる。実応用において電力性能を理論値の 70% 程度とすることを目標とする。

3.3.6.3 目標の達成度

ソフトウェアフレームワークの開発における最終目標は、1.1、1.2 項目で開発するアクセラレータが高効率で動作し、実際のディープラーニングのフレームワークに組み込まれて動作することである。これが最終目標である根拠は、本開発によるソフトウェアフレームワークなしには、全体システムの動作は応用ソフトウェアにはつながらないため、ソフトウェアには最も重要な目標である。

3.3.6.4 成果と意義

本ソフトウェアフレームワークに関しては、今回の開発計画の先行開発によるアクセラレータを対象としてソフトウェアフレームワークは既に完成していて、実機で動作している。本項目はこのソフトウェアフレームワークの拡張および新設計部分への対応が中心であり、これにより本プロジェクトの成果であるディープラーニングアクセラレータが動作する意義がある。

3.3.6.5 成果の普及

本 1.3 項目の成果は、本テーマ内で開発するディープラーニングアクセラレータがアプリケーションソフトウェアを動作させるために必須の項目である。成果の普及に関しては、この特質から、まずディープラーニングアクセラレータの普及が先行するものであり、それに従って本項目の成果も普及すると判断している。

3.3.7 研究開発サブテーマ「ロボティクス応用のためのソフトウェア開発」

3.3.7.1 概要

本テーマ内で開発したミドルウェアを利用したロボティクス応用のための物体検出ソフトウェアを開発する。

2018年時点では、物体検出アルゴリズムとして SSD (Single Shot multibox Detector) [1] の採用を想定するが、物体検出手法研究の進展に合わせて随時見直す。

中間目標段階までに、プロセッサで動作する物体検出ソフトウェアを完成させ、最終目標段階では実際のロボティクス応用のための物体検出システムに組み込み、消費電力と応答時間を測定する。

[1]W. Liu, D. Anguelov, D. Erhan, C. Szegedy, and S. E. Reed. SSD: single shot multibox detector. CoRR, abs/1512.02325, 2015.

3.3.7.2 最終目標と根拠

ロボティクス応用のためのソフトウェア開発」の最終目標は、パーソナルロボットに超省電力のディープラーニングを組み合わせることで、真に役に立つパーソナルロボットを完成させることである。しかしながら、この最終目標は本プロジェクトの期間内に完成するものではなく、更に長期間を掛けて熟成させることが求められている。

研究開発期間内(～2022)における開発目標は以下の通りである：

研究開発の現ステージでは、エッジでも適用可能な高い電力性能の演算器コアを開発することが目的である。本コアを使ったクラウド利用可能なプロセッサとして第一版を開発している。エッジ用には開発したコアの規模を縮小することにより、他社推論チップより優れた電力性能が得られることを目標としている。

電力性能向上について、アーキテクチャとして演算精度の削減、搭載メモリ量の削減を実施し、電力削減を行う。また物理設計においては物理配置の工夫による配線等の削減、標準セルのカスタマイズなどを実施し電力削減を行う。研究開発の期間中に、開発したディープラーニングアクセラレータをパーソナルロボットに組み込み、パーソナルロボット内でローカルなディープラーニングによる学習処理が実現することを目標とする。

3.3.7.3 目標の達成度

- ・ 物体認識アプリケーションを想定 (ロボティクス・自動運転で必須の要素技術)
- ・ ハードウェア仕様決定のための性能モデル開発を実施
- ・ ローカルメモリサイズの最小化 ⇒ 回路面積あたりの演算器数 1.3 倍
- ・ 低回路面積オーバーヘッドの行列転置方式の提案
- ・ 物体検出モデルに必要なレイヤーの詳細設計を進行中
- ・ 背景技術として、PFN はすでに高性能な物体認識モデルの学習技術を保有
例: 一般物体認識モデル

3.3.7.4 成果と意義

パーソナルロボットの実用化と普及への最大の障壁は、非常に多様性のある家庭内の状況を学習しつつ行動プランニングをするという非常に困難な課題にある。本技術開発により、パーソナルロボットに組み込めるディープラーニング・アクセラレータの実現は、今までと全く異なったレベルでの環境把握と行動プランニングをかのうにするため、実用化に大きな意義を持つ。

3.3.7.5 成果の普及 (公開しない)

3.4 研究開発テーマ「進化型・低消費電力 AI エッジ LSI の研究開発」

本研究開発項目では、端末側(エッジ)で必要となる、カメラや各種センサー入力情報の画像・信号処理および、AI(Deep Learning)処理を、ハードウェアのエンジン処理を基本としながら、低消費電力と低コスト化および、柔軟性を両立し、今後拡大する幅広い AI 応用に適応できる組み込み向け AI エッジ基盤を構築するという目標に対し、AI 認識処理と画像処理において汎用 GPU と比較してそれぞれ 10 倍以上の電力効率化を達成、および、リアルタイム SLAM の自己位置推定処理時間が CPU と比較して 1/20 を達成するなど、成果を上げつつある。以下に研究開発項目を示す。

- ① 仮想エンジンアーキテクチャ開発
- ② アルゴリズム記述ツール開発
- ③ CV/AI 基本ミドルウェア開発
- ④ リアルタイム SLAM 技術開発
- ⑤ AI エッジ LSI 搭載車載 ECU 試作・評価
- ⑥ 量子化 DNN 技術開発
- ⑦ DNN 変換ツール開発
- ⑧ エッジ環境最適化技術開発
- ⑨ AI エッジ LSI 試作開発

個別の研究開発テーマにおける詳細は以下に示す。

3.4.1 研究開発サブテーマ「画像・信号処理 AI 基盤技術 (仮想エンジンアーキテクチャ) 開発」

3.4.1.1 概要

端末側(エッジ)で必要となるカメラや各種センサー入力情報の画像・信号処理および Deep Learning 処理をハードウェアのエンジン処理を基本としながら、ハードウェア・アクセラレータをアルゴリズムに沿ってプログラム記述可能な「仮想エンジンアーキテクチャ」により、低消費電力と低コスト化と柔軟性を両立し、アルゴリズムの進化と、拡大する幅広い AI 応用に適応できる組み込み向け AI エッジ基盤を構築する。

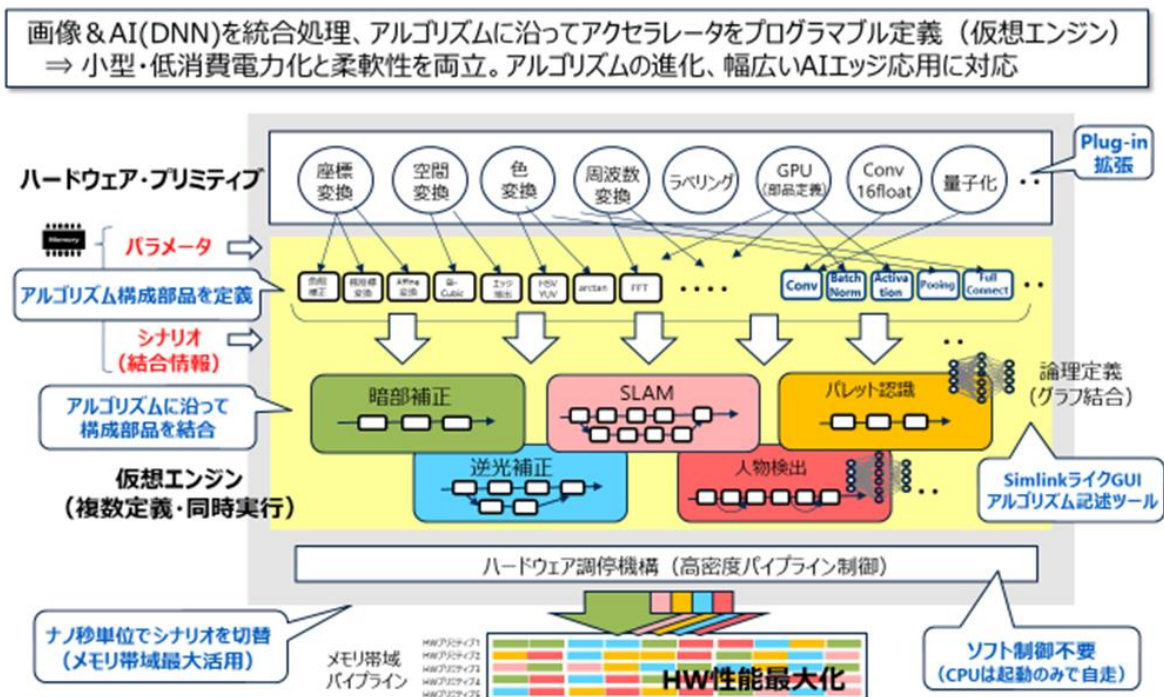


図 3.4.1.1 画像・信号処理 AI 基盤技術(仮想エンジンアーキテクチャ)開発(概念図)

3.4.1.2 最終目標と根拠

「仮想エンジニアキテクチャ」のハードウェア設計完了および試作 LSI において本開発の全機能のシステム検証、性能評価を完了すること。根拠としては、単にハードウェアの開発を完了するだけでなく、試作 LSI によるシステムに組み込むことによる評価で実証することにより「仮想エンジニアキテクチャ」の有効性を確認する。

3.4.1.3 目標の達成度

「仮想エンジニアキテクチャ」のハードウェア設計は、RTL 設計とシミュレーションにおいて各種 EDA ツールを活用した効率的な検証の実施、および FPGA 基板を使用した実機動作検証を行うことにより、2019 年度で開発完了した。また 2020 年度に入り試作 LSI1 搭載の評価ボードによるシステム動作検証、機能評価を行い、さらに試作 LSI2 で実施予定だった LiDAR から Visual SLAM への機能向上検討および量子化演算器の検討も前倒しで終了した。これにより 2020 年 6 月末迄に全ての評価を完了させた。

3.4.1.4 成果と意義

今回の仮想エンジニアキテクチャは従来の弊社の技術に対して、①ハードウェア調停機構の改良およびメモリコントロール機能を最適化する技術、②ディープラーニングの柔軟なネット定義を可能にして畳み込み回路などの要素部品を自由にプラグインする技術、③LiDAR から Visual SLAM への機能向上、④量子化演算器導入、を実現した。性能評価では画像処理において汎用 GPU と比較して 10 倍以上の電力効率化に成功した。またリアルタイム SLAM 処理ライブラリを開発し、高精度な自己位置推定処理において GPU と比較して処理時間が 1/20 に短縮できることを確認した。これにより本来のエッジ向きの最適なデバイスとしての特長が発揮されることとなり大いに意義があることだと言える。

3.4.1.5 成果の普及

成果の普及は仮想エンジニアキテクチャが AI エッジプロセッサのプラットフォームとして市場に広がることであり、そのためには既存ソリューションとの優位性をデモ等でアピールし、LSI1 が評価完了した後の早期の事業化対応に期待されることである。

3.4.2 研究開発サブテーマ「アルゴリズム記述ツール開発」

3.4.2.1 概要

前述の開発項目仮想エンジンを定義するアルゴリズム記述支援ツールを開発する。これにより、ハードウェア要素プリミティブに対するパラメータ設定およびアルゴリズムに沿った要素部品の連結によるアクセラレータ定義を視覚的に記述可能とする。本ツールにより、各種画像処理アルゴリズムおよび Deep Learning ネット処理を柔軟に定義可能で、今後のアルゴリズムの進化および各種応用に合わせた最適化にも対応可能とする。

3.4.2.2 最終目標と根拠

中間目標として、ツールの設計・開発を α 版として完成させ、機能評価やライブラリの活用評価を行う。最終目標としては、 α 版を進化させて操作性や動作の高速性などの改善検討を行い、 β 版を完成する。

根拠としては、ツールが進化することにより効率的ライブラリ開発が可能になり応用展開も可能になることからソフトウェア開発の効率アップとハードウェアの普及が期待できるからである。

3.4.2.3 目標の達成度

仮想エンジンアーキテクチャの画像処理エンジンに対応したアルゴリズム記述ツールは GUI ツールとして 2019 年度内に α 版の開発を完了した。また AI ライブラリ対応用に仮想エンジンアーキテクチャの汎用 GPU 部に対応した DNN コンパイラ(Glow ベース)の α 版を開発した。また、2021 年 3 月までに、操作性、高速性の改善を行い β 版を完成する。

3.4.2.4 成果と意義

従来の仮想エンジンのソフトウェアは 16 進数のコードを直接記述して作成していたので、内容が分かりにくく記述ミスも起こしやすいという課題があった。今回のアルゴリズム記述ツールにより GUI ツールでは画像処理の流れを視覚的にわかりやすく表すことができ、DNN コンパイラではアセンブラでニーモニックに沿って記述することによって仮想エンジンの 16 進数コードに変換してくれるので、ソフトウェアの開発効率アップという点では大いに意義があることだと言える。

3.4.2.5 成果の普及

成果の普及はまず開発者がソフトウェア開発する際に、今後種々のライブラリ開発をしていく上で有効なことである。さらには共同開発するパートナーへの普及、事業化後のユーザーに対する普及へと広めることが LSI そのものの普及に繋がるので、ツール自身の機能アップ・信頼性向上を図ることが今後注力するポイントである。

3.4.3 研究開発サブテーマ「Computer Vision/AI 基本ミドルウェア開発」

3.4.3.1 概要

前述の開発項目アルゴリズム記述ツールを活用し、業界標準の Computer Vision API(Open VX/Open CV など)および、AI API(TensorFlow など)をアクセラレートするミドルウェア(ライブラリ)を開発する。このミドルウェアは業界標準との整合を最大限図り、応用システムの効率的構築を可能とするものである。

3.4.3.2 最終目標と根拠

最終目標は OpenCV、OpenVX、TensorFlow など業界標準 API の基本関数および拡張を含めた主要関数に対応する。根拠としては標準開発環境対応により応用展開性が向上し、前述のアルゴリズム記述ツールと同様にソフトウェア開発の効率アップとハードウェアの普及が期待できるからである。

3.4.3.3 目標の達成度

2019 年度までに、業界標準 API の中から開発ライブラリと関数の選定が終了した。2020 年度に入り、CV および AI の基本ライブラリ設計、開発に着手し Open VX および Open CV に類似する機能のライブラリを開発した。また AI 関連ライブラリについてはプロセッサベースから専用ハードウェアに対応した開発に着手している。

3.4.3.4 成果と意義

業界標準 API に対応するということは、事業化を行った際のユーザーに対するアピールと信頼性の向上という意味では重要なテーマである。OpenCV や OpenVX は対応する関数の数が非常に多いのでどれだけサポートできるかが大いに意義があることだと言える。

3.4.3.5 成果の普及

事業化で LSI を普及促進するには、業界標準 API のサポートは不可欠である。ユーザーが使い易く、開発し易くするためには、非常に大変ではあるが基本関数および拡張を含めた主要関数への対応を継続的に行うことが重要である。

3.4.4 研究開発サブテーマ「リアルタイム SLAM 技術開発 (SLAM ライブラリ)」

3.4.4.1 概要

現在開発済みの SLAM ソフトウェア搭載の試作装置は FAPC を使用し機能実現しているが、物流ロボットなどの製品搭載にあたり、FAPC のままでは、消費電力、サイズ、重量、コストなど多くの問題がある。車載電子制御ユニット (ECU: Electronic Control Unit) として製品化を検討しているが、車載 ECU 用として通常使用される低いパフォーマンスのマイコンチップでは処理速度が大幅に不足し、実用レベルでの動作が期待できない。

SLAM 処理のリアルタイム性を確保するため、本プロジェクトで開発する画像・信号処理 AI 基盤/AI エッジ LSI 上で高負荷部分を切り出し、ハードウェア処理する事で解決を図る。

3.4.4.2 最終目標と根拠

8km/h でのリアルタイム SLAM 処理の実現。

3.4.4.3 目標の達成度

開発した aIPE 上で並列動作する SLAM ライブラリを試作 LSI1 に実装し、評価中。
8km/h でのリアルタイム SLAM 処理達成見込み。

3.4.4.4 成果と意義

弊社が開発する物流ロボット等に LSI1 として試作した AI エッジ LSI を実装した車載 ECU と共に搭載し、弊社製品の高機能・高性能化を推進する。

3.4.4.5 成果の普及

物流ロボット等に必要の高負荷処理を順次ライブラリとして開発し、製品開発へ適用する。

3.4.5 研究開発サブテーマ「AI エッジ LSI 搭載車載 ECU 試作・評価」

3.4.5.1 概要

本プロジェクトで開発する AI エッジ LSI は、民生応用だけではなく、物流ロボットなどを含む車載 ECU に搭載できる品質の確保が必要である。そのために、早い段階で LSI のパフォーマンスだけでなく、消費電力や EMC、熱評価などの試験を実施し、応用適用時の課題を洗い出し、LSI 論理設計およびチップレイアウトなどにフィードバックする。

3.4.5.2 最終目標と根拠

車載 ECU としての品質確保のため、消費電力、EMC、熱に問題なき事を確認。

3.4.5.3 目標の達成度

試作 LSI1 を搭載した車載 ECU 基板を開発し、LSI 及び ECU 基板の正常動作を確認完了。

消費電力、熱については問題ない見込み。

3.4.5.4 成果と意義

本プロジェクトで開発した AI エッジ LSI をソシオネクストで製品化し、弊社が開発する物流ロボット等に SLAM ライブラリを含めて搭載し弊社製品の高機能・高性能化を推進する。

3.4.5.5 成果の普及

AI エッジ LSI の製品化計画が固まり次第、順次対象技術を車載 ECU に実装し、製品開発を進める。

3.4.6 研究開発サブテーマ「量子化 DNN 技術開発」

3.4.6.1 概要

本項目では、AI による認識処理において、量子化(ビット低減)による認識率の低下を最小限に抑制する最適学習アルゴリズム、最適ハードウェアの開発、評価を行う。本技術により、今後拡大する組み込み向け AI エッジ応用で求められる、より小型で低消費電力な AI 基盤を実現する。

3.4.6.2 最終目標と根拠

試作 LSI での検証・評価、アルゴリズム改善による認識精度向上

(目標: 8bit 処理相当の実用的な認識率)

目標値は他社ベンチマークより設定

3.4.6.3 目標の達成度

試作 LSI1 に 8bit と Ternary(2bit)、Binary(1bit)の量子化 DNN エンジンのハードウェア実装を完了し、評価を実施した。ResNet50 を Ternary(2bit) 技術にて、FIX8 と同等の認識精度で、LSI による実機電力評価において、量子化 DNN エンジン単体で高消費電力性能値を達成した。

画像処理の実行性能(fps/W)としては、AI 認識処理において、NVIDIA Jetson Nano, Google TPU, Intel MyriadX, NVIDIA Xavier と比較して、最大 10 倍の消費電力性能であることを確認した。

3.4.6.4 成果と意義

車両自動運転、インテリジェント監視・見守り、ロボット、AI 家電など、AI 技術を使った社会基盤の革新に置いて、汎用 GPU での処理は電力効率の面で大きな課題がありました。この課題に対し、本研究開発において、汎用 GPU での AI 認識処理に比べ、電力効率 10 倍以上を達成したことは、エッジ処理基盤を構築する上で大きな成果と考える。

3.4.6.5 成果の普及

2019 年度より実用化に向けた活動を実施している。2019 年度では、顧客/パートナー 100 社以上を訪問し、ユーザー要望を抽出しました。また、2019 年 10 月 CEATEC および 2019 年 11 月 ET&IoT Technology にて、FPGA デモを展示。また、2020 年 3 月にはソシオネクストからプレスリリースを実施。4 月には NEDO 含めた 4 社共同のプレスリリースを実施した。

2020 年 6 月現在、試作 LSI1 を外部顧客および関係会社へ提供し、実アプリケーションでの実践的な評価を実施中。

3.4.7 研究開発サブテーマ「DNN 変換ツール開発」

3.4.7.1 概要

TensorFlow など汎用の開発環境で構築した Deep Learning ネットワークを、本研究開発する量子化 DNN の画像認識処理が可能なフォーマットへ変換するツールを開発する。

3.4.7.2 最終目標と根拠

各種、汎用環境で構築したニューラルネットワークを用いた機能検証、性能評価

3.4.7.3 目標の達成度

TensorFlow を使った学習結果から、OpenVX の C ソースコードを生成するツールを開発し、学習結果から容易に量子化 DNN 推論が可能な処理環境を構築した。

3.4.7.4 成果と意義

AI は、世界レベルで急速に進展しており、開発環境の進化も著しい。業界標準との整合を最大限に図り、ターゲットとする組み込み向けシステムに最小限の工数で適用可能とすることで、幅広い応用システム展開と、効率的システム構築が可能となる。本研究で開発した変換ツールにより、最も一般的な学習環境である TensorFlow から電力効率の良い AI 認識処理の実行環境を容易に構築すること可能であり、市場でのエッジプラットフォーム構築への貢献は大きい。

3.4.7.5 成果の普及

2020 年 6 月現在、試作 LSI1 を外部顧客および関係会社社提供し、実アプリケーションでの実践的な評価を実施中。

3.4.8 研究開発サブテーマ「エッジ環境最適化技術開発」

3.4.8.1 概要

AI 認識処理において、クラウドサーバーとエッジ連携での最適役割分担による、エッジ側必要機能の見極めと機能開発および、評価を行う。

3.4.8.2 最終目標と根拠

試作 LSI1 での検証・評価、エッジ環境最適化方式検討。

3.4.8.3 目標の達成度

今後重要になる MaaS システムにおけるクラウド・エッジ処理分担を定義し、エッジ側で必要となる認識技術を定義する。ユースケースとして、走行車両のカメラ画像認識により、特定の場所における車両混雑、駐車場の空き状況などを「エッジ車両で情報集約 ⇒ クラウド処理 ⇒ Navigation 通知」などのシステムを想定し、エッジ側に必要な処理を定義した。特に重要と考えられる Object Detection(Vehicle Detection/Pedestrian Detection)/Semantic Segmentation を実現する商用ソフトウェアを導入し、試作 LSI1 で評価を実施した。

3.4.8.4 成果と意義

MaaS システムにおけるクラウド・エッジ処理分担を定義し、エッジ側で必要となる認識技術を、商用ソフトウェアを使って実用的な評価を実施することは、Society5.0 の自動運転インフラシステムの実現に大きく貢献する。

3.4.8.5 成果の普及

現状、本研究開発の普及活動を画策中。

3.4.9 研究開発サブテーマ「AI エッジ LSI 試作開発」

3.4.9.1 概要

研究開発テーマのアウトプットとして、アルゴリズムの進化への対応、幅広い応用への適合、エッジ環境最適化に対応可能な、組み込み向けの進化型・低消費電力 AI エッジ LSI の試作開発を行う。

3.4.9.2 最終目標と根拠

試作 LSI のシステム検証・評価完了。目標性能:NVIDIA Jetson に対して、1/10 の消費電力、1/5 のチップサイズ

3.4.9.3 目標の達成度

現在の試作 LSI は、各種評価やデモができるように 2018 年 10 月当初に計画した SoC 仕様に対し、CA53 コア数増加、画像出力用 HDMI 搭載、外部 I/F(USB3.0/2.0,PCIe)等を追加しており、チップサイズとしては増加する結果となった。また、消費電力については目標達成を確認した。

3.4.9.4 成果と意義

仮想エンジナーキテクチャ技術、量子化 DNN エンジン技術を搭載した試作 LSI を開発し、汎用 GPU と比較して、AI 認識処理、画像処理で処理効率 10 倍、SLAM 処理時間 1/20 を達成した。

これらの成果は、市販の AI 処理 LSI と比較しても十分競争力があり、研究開発として大きな成果があったと考える。

3.4.9.5 成果の普及

2020 年 6 月現在、試作 LSI1 を外部顧客および関係会社へ提供し、実アプリケーションでの実践的な評価を実施中。

これらの評価のフィードバックより、研究開発終了後は直ちに実用化が可能と考える。

また、展示会、学会等での発表も計画している。

3.5 研究開発テーマ「ソフトテンソルプロセッサによる超広範囲センシング AI エッジ技術の研究開発」

3.5.1 概要

監視カメラなどに使われる撮像素子の高解像度化に伴い、エッジで実施する AI 処理負荷の増大が見込まれている。現状はこの処理に GPU が使われるが、エネルギー効率が低く発熱量が膨大となるため、低解像度に画像をスペックダウンした上で AI 処理を行っているのが実状であり高解像度のメリットを生かした推論の実現が難しい。この非効率性は、AI 処理の膨大な演算量と、メモリとプロセッサ間で発生する膨大なデータ転送量に起因しており、この両者を大幅に削減することが消費エネルギー効率を高めるために重要となる。

この課題を解決するため、本研究開発テーマでは、メモリとプロセッサ内部でのデータ再利用効率を高め省エネルギー化する「ソフトテンソルプロセッサ技術」、高効率かつコンパクトにモデルを圧縮し推論時の演算負荷を削減する「高効率モデリング技術」、4K/8K などの超高精細画像に基づき遠隔まで細かく広範囲の状況を少ないカメラ台数で把握するモデルを実現する「広範囲大規模認識技術」の 3 層の研究項目を構成し、車・船舶などの移動体や高所等に設置されたカメラから超広範囲かつ高精細なセンシングを極めて低い消費電力で実行できる AI エッジ技術を目指している。

最終年度には、電力効率 20 倍以上(現状の GPU の電力効率を 30GOP/J と想定)の改善を目標としている。

項目① ソフトテンソルプロセッサ技術の研究開発

本項目では、エネルギー効率の高いディープニューラルネットワーク(Deep Neural Network、以下 DNN)推論処理を実現する FPGA 向けのプロセッサ IP であるソフトテンソルプロセッサ技術の研究開発を行っている。これまで、3 次元テンソル型に配置された Tensor Processing Element(以下、TPE)が複数連結された 4 次元テンソル型の構造をもつソフトテンソルプロセッサにより、畳込み演算の高速化に取り組んできた。TPE が計算した 2 次元畳込み演算結果を加算するリダクション処理方法を改良し、より少ない TPE でより高速な畳込み演算を実現する方式を開発した。また、低ビットの DNN 高速化とエネルギー高効率化を狙い、DNN の畳込み層のパラメータのゼロビットに関する演算をスキップするゼロビットスキップを取り入れ、可変ビット長の入力の内積演算と入力ビットが大きい場合のクロック数の低減を実現した。また、DNN 記述を入力しソフトテンソルプロセッサ用の制御コードなどを出力するモデル変換技術の開発にも取り組み、ダミーデータを用いて推論を実行しながら DNN 記述の解析を行うことで柔軟な層解析が可能な方式を開発し、項目②の高効率モデリング技術を用いて軽量化したモデルの動的解析にも対応した。これらは計画通り進捗しており、最終目標達成の見込みである。

項目② 高効率モデリング技術の研究開発

本項目では、DNN の高い認識精度を維持しながら、畳込み層のチャンネル削減と演算精度の低ビット量子化により、メモリ使用量と演算量の両面を軽量化する技術の研究開発を行っている。チャンネル削減では、学習済みニューラルネットワークの各層間にアテンション・モジュールを挿入し、各層の冗長なチャンネルを推論誤差最小化に基づき特定して削減する技術を実現した。また、この技術を近年の多様な分岐・合流経路を含むネットワークにも対応可能な方式に改良した。更に、このチャンネル削減技術と演算精度の低ビット量子化を実施可能な高効率化ツールを開発し、高効率化対象の DNN モデルに対し、量子化とチャンネル削減を適用した軽量化モデルの出力機能を実現した。これらは計画通り進捗しており、最終目標達成の見込みである。

項目③ 広範囲大規模認識技術の研究開発

項目③-1 行動認識技術(行動検出)

本項目では、高解像度のカメラ画像に対し人物の行動を認識する技術の研究開発を行っている。行動認識対象として万引き行為に着目し、周辺警戒のために顔を左右に振る動作を検知するため顔を検知する方式に加え、顔がカメラ側を向いていない場合の対応として骨格情報から肩などの状態変化も用いる方式を開発した。その結果、実験環境での演技映像において2019年度の目標性能達成を確認できた。これらは計画通り進捗しており、最終目標達成の見込みである。

項目③-2 広域状況認識技術(渋滞検出、火災検出)

本項目では、高解像度のカメラ画像に対し高所に設置したカメラ画像からの「火災」と「渋滞」といった異常検知を行う広域認識技術の研究開発を行っている。「火災」では、濃い黒煙に限らず煙を検出可能となる技術開発を行い、実火災映像のデータセットにおいて2019年度の目標精度の達成を確認した。また、「渋滞」では、車両密度と流量からなる渋滞曲線に基づく臨界車両密度を超えた状態を渋滞と定義し検知する技術を開発した。車両検知情報をもとに渋滞と判定する道路領域を自動抽出した渋滞判定を実現し、高所カメラから撮影した実道路映像からなるデータセットにおいて2019年度の目標性能達成を確認できた。これらは計画通り進捗しており、最終目標達成の見込みである。

項目③-3 実時間物体検出技術

本項目では、移動する高精細カメラ画像から広範囲の物体を検出する技術の研究開発を行っている。小物体と隠蔽に頑強な検出方式の開発を行った。小物体対策として Upsampling 方式および Subnetwork 方式の開発を実施した。また、隠蔽対策として Soft-NMS の方式の開発を実施した。更に、学習データの物体種別ごとのサンプル数の不均衡に対応可能なロス関数を導入し、2019年度の目標達成を確認した。これらは計画通り進捗しており、最終目標達成の見込みである。

項目③-4 実時間物体追跡技術

本項目では、移動する高精細カメラ画像から物体を追跡する技術の研究開発を行っている。複数の物体が存在し頻繁に隠蔽が発生する場合への対応として、検出結果の対応付けによる Tracking-by-Detection アプローチにおいて追跡軌跡の再同定を用いる方式の開発を行った。更に、ロス関数の改善と部位特徴表現による学習を行い、2019年度の目標達成を確認した。更に、車載カメラから歩行者の表情までも検出・追跡できる場合を想定した状況認識の可能性検討、及び、項目③-3 と共同で車載撮影システムによる撮影を実施した。これらは計画通り進捗しており、最終目標達成の見込みである。

項目③-5 長距離物体検出技術

本項目では、カメラ画像を用いた主に船舶周囲の監視実現に向け、高解像度カメラによる海上で長距離遠方の物体検出を行う画像認識技術の研究開発を行っている。長距離遠方の学習データの収集と、船舶のように細長い物体の検出に頑強な画像認識アルゴリズムの開発を行い、長距離遠方の物体についても精度を大きく落とすことなく認識可能とし、2019年度の目標達成を確認した。これらは計画通り進捗しており、最終目標達成の見込みである。

3.5.2 最終目標と根拠

(公開しない)

3.5.3 成果と意義

項目① ソフトテンソルプロセッサ技術の研究開発

2018 年度および 2019 年度の目標を達成しており、今年度の目標も現状の研究開発を進展させて達成する見込みである。

項目② 高効率モデリング技術の研究開発

2018 年度および 2019 年度の目標を達成しており、今年度の目標も現状の研究開発を進展させて達成する見込みである。

項目③

項目③-1 行動認識技術(行動検出)

2018 年度および 2019 年度の目標を達成しており、今年度の目標も現状の研究開発を進展させて達成する見込みである。

項目③-2 広域状況認識技術(渋滞検出、火災検出)

2018 年度および 2019 年度の目標を達成しており、今年度の目標も現状の研究開発を進展させて達成する見込みである。

項目③-3 実時間物体検出技術

2018 年度および 2019 年度の目標を達成しており、今年度の目標も現状の研究開発を進展させて達成する見込みである。

項目③-4 実時間物体追跡技術

2018 年度および 2019 年度の目標を達成しており、今年度の目標も現状の研究開発を進展させて達成する見込みである。

項目③-5 長距離物体検出技術

2018 年度および 2019 年度の目標を達成しており、今年度の目標も現状の研究開発を進展させて達成する見込みである。

3.5.4 成果と意義

本研究開発の事業範囲である、広域監視カメラシステム(固定、車載)、及び、船舶用監視カメラシステムの 2037 年時点での温室効果ガス排出状況について、事業を実施しなかった場合とした場合を比較したところ、

温室効果ガス排出削減効果がある試算結果となり、省エネルギー化に貢献する見込みである。

3.5.5 成果の普及

本研究開発の成果の普及については、本研究開発は、各領域でトップクラスのシェアを有する実事業会社自身による事業検討と研究開発を一気通貫した産学連携体制で推進しており、学会発表・論文、特許出願、新聞雑誌 Web などのメディア掲載、プレスリリース、展示会や講演にも積極的に取り組んでいる。

現時点で、下記の実績を挙げており、最終年度である今年度の成果も追加することで、さらに増加する予定で進めている。

現時点での実績は下記のとおりである。

- ・ 特許は、出願済・出願準備中を併せ 17 件、今後も増加見込みである。
- ・ 論文の実績は 9 件であり、今後も増加見込みである。
- ・ 学会発表・講演の実績は 19 件であり、今後も増加見込みである。
また、本研究開発の共同研究機関の共著も 1 件あり、今後も共著などにも取り組む予定である。
- ・ 新聞・雑誌、プレスリリースの実績は、13 件であり、今後も増加見込みである。
- ・ 展示会への出典の実績は、8 件であり、今後も増加見込みである。

例として、展示会への出典、講演などでは、CEATEC のような大規模展示会への出典、発表や ET & IoT Technology など、今後、本研究開発成果が適用される分野の展示会において講演することで、本研究開発成果についての普及につながると考えている。

研究開発開始時点において、「NEDO の革新的 AI エッジコンピューティングをテーマとする技術開発プロジェクトを開始」(2018 年 9 月 25 日)を、OKI、JMU、ALSOK、会津大による 4 機関の共同プレスリリースを行い、プレスリリースによる本研究開発の社会への認知度向上の活動を行っている。

2 年目には、NEDOおよびOKIで「ディープラーニングモデルの新たな軽量化技術を開発」(2019 年 9 月 9 日)の共同プレスリリースを行い、16 件の記事掲載(新聞 5 雑誌 1 Web 10)があり、注目される活動も行っている。本研究開発の成果を今後適宜公表する予定である。

3.6 研究開発テーマ「5G時代を見据えた高度自律的学習機能搭載のためのAIエッジコンピューティング技術の研究開発」

本研究開発項目では、複数深層学習の BaseNetwork 層共通化及び FPGA 実装 (BaseNetwork 層共通化及び FPGA 化効果による、消費電力(対 GPU)従来比 1/10)という目標に対し、消費電力 1/11 程度まで達成できることが確認できているとともに、当該開発技術は汎用圧縮ツールとして商用化が実現できている。また 5G エッジ・クラウド統合環境の構築のもとでの実現性評価も行っており、成果を上げつつある。

社会的ニーズの高い AI エッジコンピューティングの適用領域で且つ Society5.0 の実現を支える有力な技術の一つである「ドローン」においては、各種センサー群や飛行制御機構等による限られたリソース(容量・電力)のもとで、今後の高度な自律化のために、深層学習等のアルゴリズムを複数種類同時に実装しなければならない状況が確実である。こうした背景を踏まえ、本研究開発では、リソース制約の大きいエッジにおける高度自律的学習機能及びドローンへの搭載を含む実装技術の開発を行うとともに、5G エッジ・クラウド協調環境のもとでの社会実装・事業化に資する検証を目的としている。

2020 年度現在において、複数深層学習の BaseNetwork 共通化開発技術の FPGA 実装による電力対性能(GPU 比)目標値 1/10 以上及びネットワーク圧縮ツール商用化を達成しているとともに、深層強化学習の BaseNetwork 層共通化及び FPGA 実装、高度自律的学習のための人工意識ソフトウェア開発及び(対深層強化学習との)有効性評価、AI エッジ統合制御システム開発及び5G 通信エッジ・クラウド連携システム環境のもとでの実証を進めている。

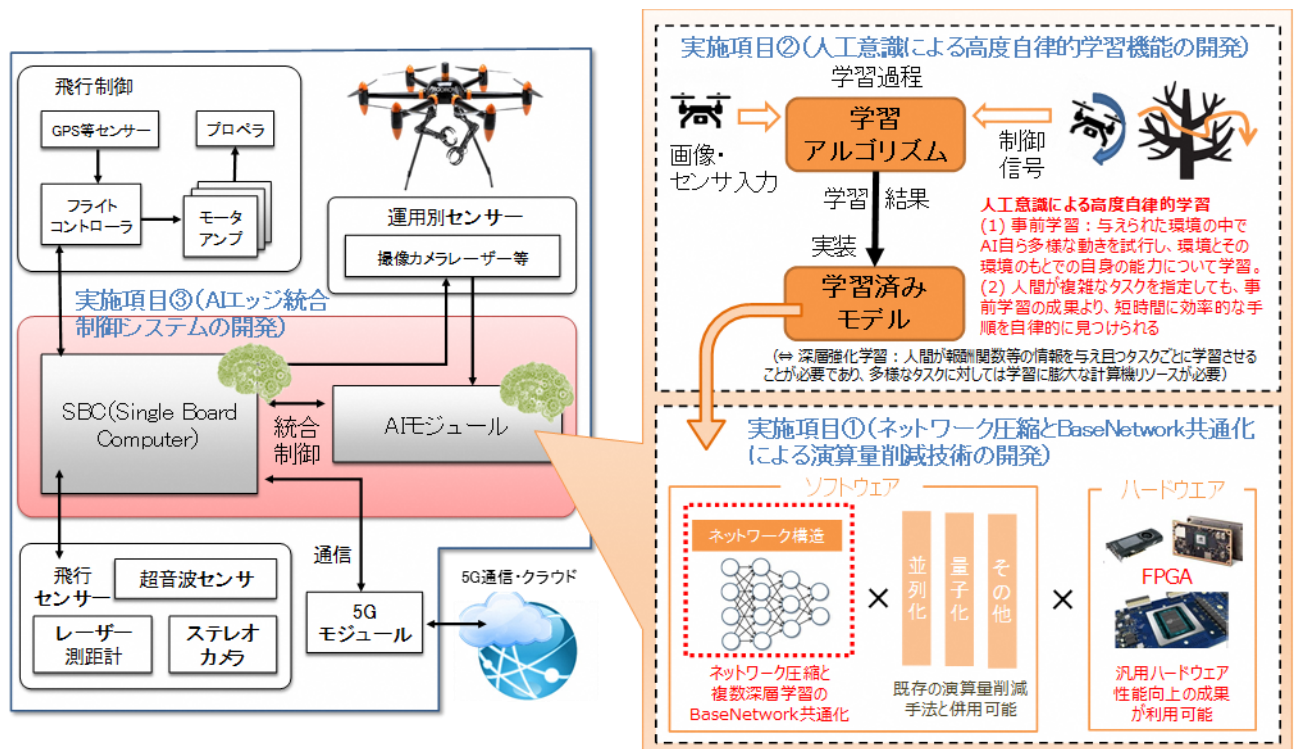


図 3.6 研究開発の全体像 (概念図)

3.6.1 研究開発サブテーマ「ネットワーク圧縮と BaseNetwork 共通化による演算量削減技術の開発」

3.6.1.1 概要

エッジに搭載可能な(本研究開発ではドローンへの搭載を対象)、学習・推論演算量低減・低消費電力のためのアルゴリズム及び実装技術の開発を行い、実機検証のために主に FPGA への実装を行う。

(1) 深層学習に対するネットワーク圧縮技術の開発

深層学習の構成に対するネットワーク圧縮技術に基づき、1.3 で開発する AI エッジ統合制御システムに組み込む FPGA 実装可能なアルゴリズムを開発する。具体的には、エッジへの複数種の深層学習の実装を目的として、深層学習の下位層においてフィルタリングによる特徴抽出等を司る Base Network 層を共通化する技術を開発する。

また、任意の深層学習のネットワーク構造に対してある演算量の制限を付けた上で各層の設計諸元(カーネルのサイズ、入力チャンネルのサイズ、出力チャンネルのサイズ等)を自動的に振り、性能及びネットワーク圧縮率を確認しながら探索し最適化する深層学習のネットワーク自動圧縮設計ツールを開発する。一方、一般に深層強化学習は周辺的环境に応じて適切な制御(例えばドローン飛行制御)を獲得するために、多様な環境をシミュレータ等で用意し学習を実施する必要がある。そのため、環境シミュレータと連動した学習機能を持つ深層強化学習用のネットワーク自動圧縮設計ツールを開発する。

(2) AI エッジ学習環境シミュレータの開発

深層強化学習等のための学習環境開発を行う。具体的には、フィールドでの実空間を模擬できる仮想シミュレータ(AI エッジ学習環境シミュレータと呼ぶ。)を開発する。

(3) 実装方式の開発

(1)及び(2)で開発のアルゴリズムについて、1-3 で用いる AI エッジ統合制御システムに組み込むための AI モジュール開発を行う。最適化されたネットワーク構造のサイズ等の検証をまず GPU ベースの基板上に実装し確認の上で、深層学習、深層強化学習の FPGA への実装開発を行う。

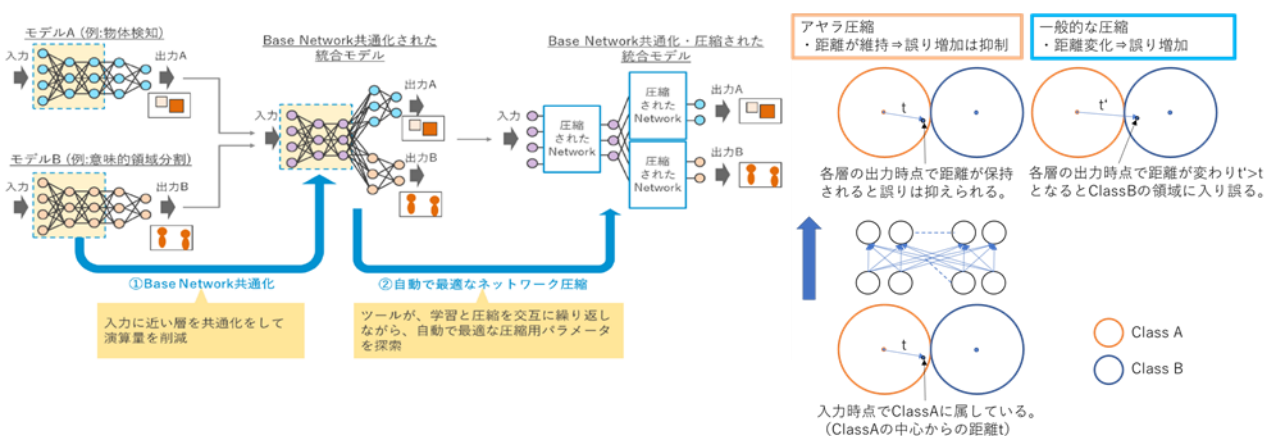


図 3.6.1.1 ネットワーク圧縮と Base Network 層共通化技術 (概念図)

3.6.1.2最終目標と根拠

年度毎及び最終目標は以下の通りである。

- ・2018年度：複数深層学習の BaseNetwork 共通化及び GPU 実装 (FPGA 実装に向けた事前評価)
(BaseNetwork 層共通化効果による、計算量従来比 1/10 目標)
- ・2019年度：複数深層学習の BaseNetwork 層共通化及び FPGA 実装
(BaseNetwork 層共通化及び FPGA 化効果による、消費電力(対 GPU) 従来比 1/10 目標)
- ・2020年度：深層強化学習の BaseNetwork 層共通化及び FPGA 実装
(BaseNetwork 層共通化及び FPGA 化効果による、消費電力(対 GPU) 従来比 1/10 目標)

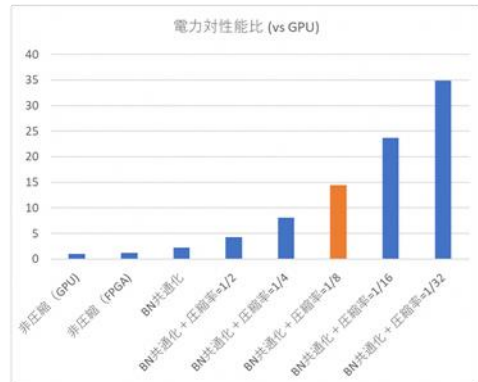
3.6.1.3目標の達成度

2020 年度現在において、複数深層学習の BaseNetwork 層共通化及び FPGA 実装に関する電力対性能を評価し、目標値である電力対性能(GPU 比)1/10 に対して、1/11 程度まで削減できることを確認している(モデルサイズは圧縮により元サイズの 3%以下。精度劣化を抑えながら演算量削減)。下図に電力対性能(GPU 比)評価結果を示す。

GPU/FPGAの電力・推論時間の見積り※1※2※3

入力：256 x 256のRGB画像 モデル：VGG16ベースの物体検出モデルとセマンティックセグメンテーションモデル

デバイス	圧縮操作	一回の推論時間 [msec]	消費電力 [W]	モデルサイズ [byte]	フレームレート [fps]	電力対性能 [fps/W]	電力対性能比 (vs GPU)
GPU(K80※4)	非圧縮	70.06	138	202,099,200	14.3	0.104	1.00
FPGA (Arria 10※5)	非圧縮	769.67	10	50,524,800	1.3	0.130	1.25
	ベースネット共通化	430.65	10	27,589,568	2.3	0.232	2.23
	ベースネット共通化+圧縮率=1/2	222.61	10	14,384,736	4.5	0.449	4.32
	ベースネット共通化+圧縮率=1/4	118.58	10	7,782,320	8.4	0.843	8.11
	ベースネット共通化+圧縮率=1/8	66.57	10	4,481,112	15.0	1.502	14.44
	ベースネット共通化+圧縮率=1/16	40.57	10	2,830,508	24.6	2.465	23.70
	ベースネット共通化+圧縮率=1/32	27.57	10	2,005,206	36.3	3.628	34.88



※1 FPGAの消費電力はコンパイラによる予測値
 ※2 GPUの消費電力・推論時間は、レイヤー単位の計測値から予測
 ※3 モデルサイズはパラメータ数から換算(パラメータ一つにつきGPUは32bit、FPGAは8bitで計算)
 ※4 NVIDIA Corporation GK210GL [Tesla K80] (rev a1)
 ※5 インテル Arria 10GX

※BN共通化は、ベースネット共通化の意

図 3.6.1.3.1 ネットワーク圧縮と Base Network 層共通化技術による電力対性能(GPU 比)

また、2020 年度最終目標に向けて、特定領域内人物追尾のためのドローン視点のカメラの制御を検証ユースとして、複数深層学習／深層強化学習の BaseNetwork 層共通化及び FPGA 実装による消費電力(対 GPU) 従来比 1/10 目標に向けて開発・検証を進めている。

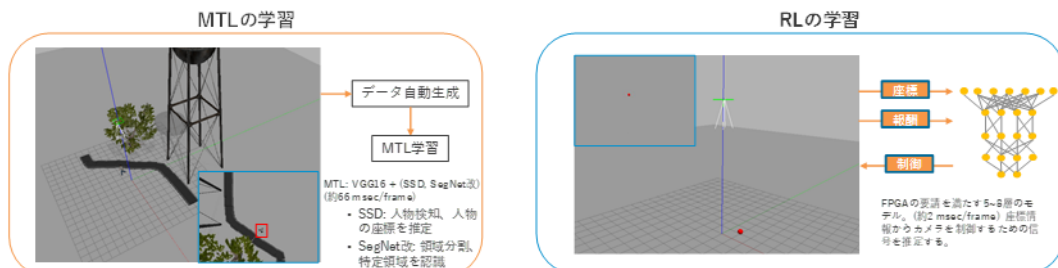


図 3.6.1.3.2 ネットワーク圧縮と Base Network 層共通化技術による電力対性能(GPU 比)

3.6.1.4 成果と意義

本開発技術はプルーニング等の既存の圧縮技術と併用でき、それら既存圧縮手法を含み一式ワンストップで取り揃えた汎用自動ネットワーク圧縮ツール(Pressai)を2020年3月にリリースした。また、本商用化に伴い、今年度に圧縮ツールの深層強化学習対応を追加で開発実施することで実施計画書の見直しも行った。既存 AI プラットフォームとの対比による自動ネットワーク圧縮ツールの優位性を下図に示す。

圧縮ツール		モデル提供	学習			圧縮				推論実行ファイル		Edgeデバイス	
ツール名	開発元	DLモデル	学習	蒸留	転移学習	アラヤ圧縮	Prune*1	量子化	行列分解	CPU最適化	HDL記述言語	Deploy	Monitor
自動ネットワーク圧縮ツール(仮名)	株式会社アラヤ	-	○	○	-	○	○	○	-	○	○	○*2	-
Cloud AutoML Vision	Google LLC	○	○	-	-	-	-	-	-	-	-	-	-
Cloud AutoML Vision Edge	Google LLC	○	-	-	-	-	-	-	-	-	-	○	-
TensorFlow Lite	Google LLC	-	-	-	-	-	○	○	-	○	-	-	-
Optimization tool kit	Google LLC	-	-	-	-	-	○	○	-	-	-	-	-
QNNPACK	Facebook	-	-	-	-	-	-	○	-	-	-	-	-
SageMaker+AWS market place	Amazon	○(300以上)	○	-	-	-	-	-	-	○	-	○	-
Azure IoT Edge	Microsoft	○(数十個)	○	-	-	-	-	-	-	-	-	○	○
Transfer Learning Tool Kit	NVIDIA	-	○	-	○	-	-	○	-	-	-	-	-
TensorRT	NVIDIA	-(AWS連携)	-	-	-	-	-	○	-	○	-	○	-
Neuralnetwork Distiller	Intel	-(AWS連携)	○	○	-	-	-	○	○	-	-	-	-
PocketFlow	Tencent	-	-	○	-	-	-	○	○	-	-	-	-
keras_compressor	ドワンゴメディアビレッジ	-	○	-	-	-	-	-	○	-	-	-	-
Blueoil	LeapMind	-	○	-	-	-	-	○	-	-	-	-	-
DeLTA-Lite	LeapMind	○	○	?	-	-	-	?	?	-	-	-	-
DeLTA-Kit	LeapMind	-	-	-	-	-	-	-	-	-	-	○	-

図 3.6.1.4 開発・商用化した自動ネットワーク圧縮ツールと既存 AI プラットフォームとの対比

3.6.1.5 成果の普及

エッジ AI を実現するための汎用自動ネットワーク圧縮ツール(Pressai)を2020年3月にリリースしている。

- 2019年11月18日 NEDO と共同プレスリリース「AI の深層学習用ニューラルネットワークモデル向けの自動圧縮・実装ツールを開発」
- 2019年11月21日『ET / IoT Technology Award 2019』 Edge Technology 優秀賞



図 3.6.1.5 汎用自動ネットワーク圧縮ツール(Pressai)

顧客となるエッジ機器メーカーに本ツールを提供し、そのメーカー内部で圧縮・実装を可能とすることで、顧客は自身が開発したネットワークモデルやデータセットの情報を外部に提供することなく情報を保護したままネットワークモデルを圧縮しエッジ機器に搭載することが可能となり設計効率も向上する。エッジ機器の台数ベースのライセンスビジネスを展開中である。

また、本汎用自動ネットワーク圧縮ツールの強化学習への拡張も、市場動向も鑑みて開発を進めることで Pressai と同様なライセンスビジネス展開も検討する。

3.6.2 研究開発サブテーマ「人工意識による高度自律的学習機能の開発の研究開発」

3.6.2.1 概要

エッジにおける高度な自律制御実現を目的として、人工意識による高度自律的学習機能の開発を行う。人工意識とは、汎用人工知能の実現を指向する中で、既存の知識(=内部モデルと呼ぶ)を再利用し、新しい問題を少ない入力情報で解く機能の一つと捉えることができる。少ないデータ量で学習して新規なタスクを解くことでデータ効率性を向上し、自律飛行ドローンやロボット等のエッジ AI アプリケーションにおけるデータ収集に要するコスト・消費電力の削減を目指す。

少ないデータ量で学習して新規なタスクを解くプロセスでは次の3つのデータ効率性が考えられる。

- (1) 内部モデル構築データ効率性：エージェントの内部モデルを構築するときに必要なデータの効率性
- (2) 新規タスク求解データ効率性：内部モデルを活用し、新規タスクを学習し解けるようになるまでに必要なデータの効率性
- (3) 推論時データ効率性：少ない推論回数で新規タスクを解けるための、アテンション（どこを・そのような順番で見るべきか等）に関する方策学習におけるデータ効率性

中間年度となる2020年度までは(1)の内部モデルアーキテクチャ設計・実装、及び、(2)の効率性実現のための初期開発・評価を実施し、ステージゲート以降となる2021・2022年度は(2)の高効率化、及び、(3)の効率性実現を行う。

3.6.2.2 最終目標と根拠

年度毎及び最終目標は以下の通りである。

- ・ 2018年度：人工意識アーキテクチャ設計（機能ブロック構成と機能ブロック間インターフェースの設計）
- ・ 2019年度：人工意識アルゴリズム確立（機能詳細及びアルゴリズムの設計・開発）
- ・ 2020年度：人工意識ソフトウェア開発及び（対深層強化学習との）有効性評価（学習量・計算量削減効果による、計算量（対深層強化学習）従来比1/10目標）
- ・ 2021～22年度：人工意識のシミュレータ学習及びFPGA実装（学習量・計算量削減効果による、消費電力（対GPU）従来比1/10目標）

3.6.2.3 目標の達成度

高度自律的学習機能を実現するアーキテクチャを構築し（下図左）、環境予測とポリシー生成を担うモジュールの具体的な実装形態として、WorldModelベースのアルゴリズム及びシミュレータを開発した（下図右）。本アルゴリズムは、タスクを鑑みた環境の圧縮表現（特徴①-1）と、合成や再利用による新規ポリシー生成が可能であること（特徴①-2）を特徴とすることで、深層強化学習と比較して、新しいタスクが与えられたときに少ない試行回数で高速に学習を行うことが可能となる。

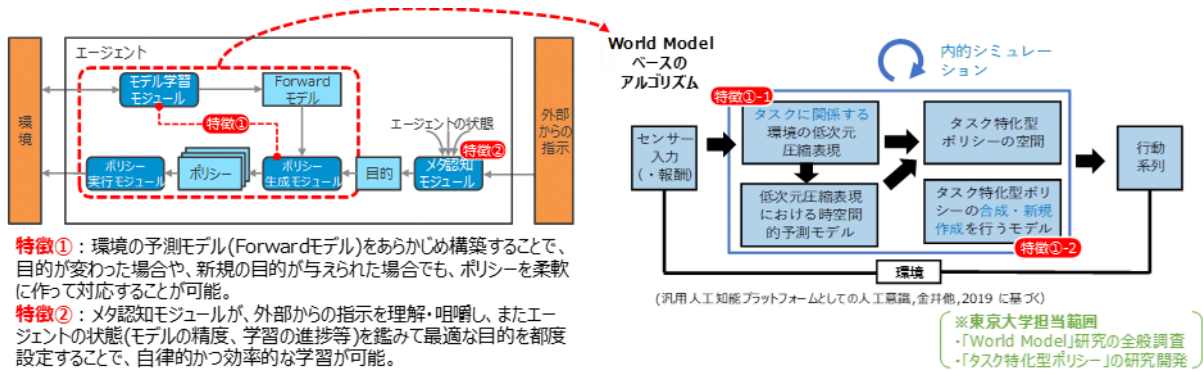
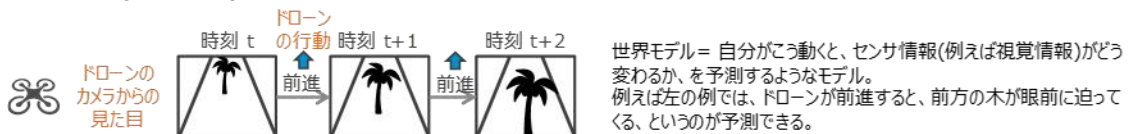


図 3.6.2.3.1 人工意識による高度自律的学習機能

World Model(世界モデル)とは



ドローンシミュレータを用いた内的シミュレーションの結果

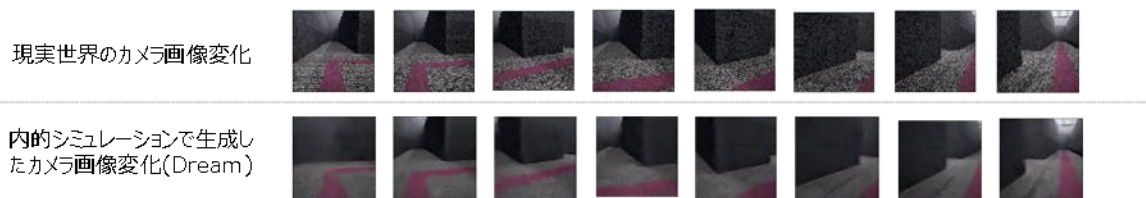


図 3.6.2.3.2 WorldModel とシミュレーション結果

WorldModel ベースのアルゴリズムでは、現在の状態とエージェントの行動から、内的シミュレーションにより、将来の状態を予測することができる。(Dream と呼ばれる) 将来の状態の予測が可能となることで、実際の環境上で動くことなく、新しいタスクの解決方法を学習や、事前に計画した上で動くことが可能となる。SLAM 等のセンサー制御技術に比べて環境変化や新環境対応において優位と想定している。

現在、ドローンタスクを想定した 3D 迷路シミュレータ環境での評価において、WorldModel を利用した想像に基づく学習(Dream 学習)及び推論により、学習時において 25~30%のステップ数削減、また、推論時において 50%のステップ削減となることを確認している。

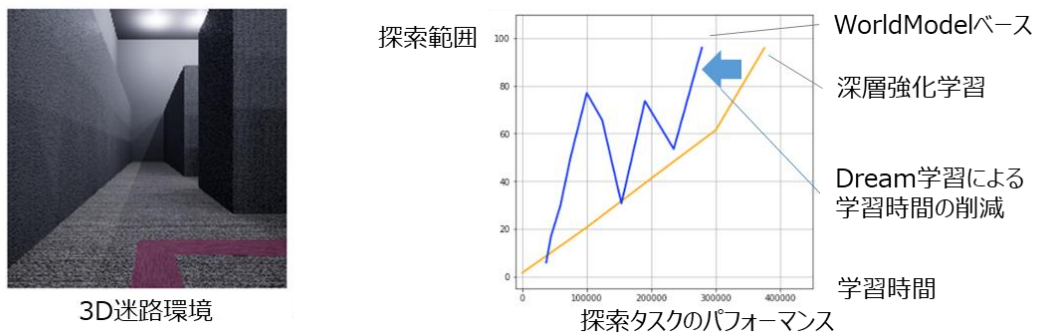


図 3.6.2.3.3 WorldModel ベースアルゴリズムのシミュレーション評価結果

また、Predictive Coding ベースのアルゴリズムを用いて、ロボットアームを想定した制御タスクとして Meta-World と呼ばれるベンチマークセットを用いた評価を実施した。

Predictive Coding ベースのアルゴリズムは、目標指向型の行動計画のためのアーキテクチャであり、センサデータや画像データの入力に対して、事前の少量データでの訓練により近未来予測だけでなく遠未来予測が可能であり、また、一般的な強化学習手法とは異なり、人間にとって解釈可能な目的を明示的に与えることが可能である。

Meta-World を用いた 7 自由度の汎用ロボットアームを想定した reach タスクで評価した結果、Predictive Coding ベースのアルゴリズムは、既存の強化学習アルゴリズムに対して学習時において 1~10 万倍のステップ削減、また、推論時において数十から 200 倍のステップ削減しつつ、より高い成功率となることを確認している。

	Predictive Coding ベース	既存の著名なメタ RL アルゴリズム
学習ステップ数 (環境とインタラクション必要な量)	377	数百万~数千万
推論時に必要なステップ数	1	数十~200
タスクの成功率	93%	40% ~ 50%

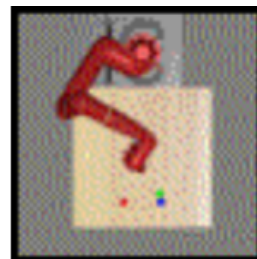


図 3.6.2.3.4 Predictive Coding ベースアルゴリズムのシミュレーション評価結果

現在、中間年度（2020 年度）目標である、人工意識ソフトウェア開発及び（対深層強化学習との）有効性評価（学習量・計算量削減効果による、計算量（対深層強化学習）従来比 1/10 目標）に向けて、性能改善や他のタスクでの開発及び評価を継続している。そして、2020 年度までのドローン適用を想定したナビゲーションタスク、また、ロボットアームを想定したリーチングタスクにおいて得られた成果を踏まえ、ステージゲート以降となる 2021・2022 年度では、事業化出口を睨み、「データ効率性を実現する高度自律的学習機能」の開発を進める。ここでは産業ニーズの高いドローンや UVG での移動タスクや、ロボットアームでのマニピュレーションタスクを対象として高い学習データ効率性の実現を目指す。人工意識による検討対象タスクの概念下図赤枠に示す。

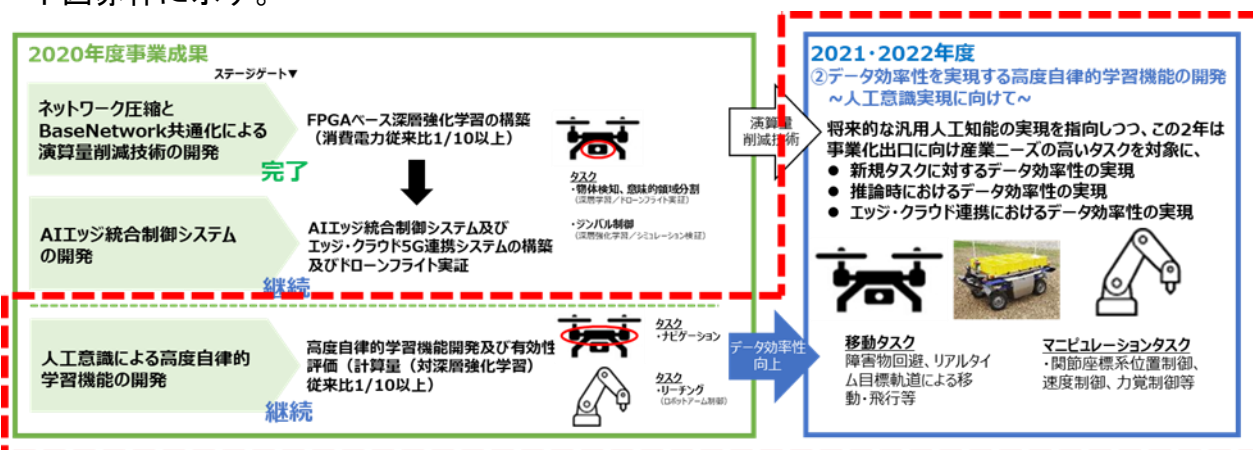


図 3.6.2.3.5 人工意識の想定対象タスク

3.6.2.4 成果と意義

2020年度まではシミュレーション評価であるが、2021～22年度のシステム実装評価を踏まえ、ドローンにおける主に人の認識に基づく自律的な飛行制御の実現により、市場化に向けた第一次顧客としてはまず、警察、消防、海上保安庁等の官公庁や、警備会社や保険会社（損害保険会社）等の民間企業が考えられる。また警備会社のエンドユーザとしては各種施設、個人等の局所的な警備から、農場や森林、海域等の広範にわたって状況把握が必要な警備などが包含される。



図 3.6.2.4.1 自律的学習機能の適用が期待される領域と想定規模

具体的な警備分野での活用方策としては、以下が例として挙げられる。

- ・ 施設警備・監視システムの構築
- ・ 農場や森林等の広域警備、防災システムの構築
- ・ 船舶救助や遭難者捜索等、海上保安への対応
- ・ 山岳救助も念頭に置いた山小屋等での警備・監視システム構築

また、同じく本研究開発で想定している、非 GPS 環境を含めた構造物周辺・内部等における作業代替（人間作業員による対象物への作業の代替：ドローンによるロボットアームを用いた対象物へのアクチュエーション）を想定した自律的な作業制御の実現により、飛行・点検・監視に付随する多様な作業（設備メンテナンス等）の取り込みと市場拡大が想定される。また以下のように政府から示されている「空の産業革命に向けたロードマップ 2019」においても 2022 年度以降の有人地帯での目視外飛行の実現に向けては運航管理システムでの空域のシステム管理と並行して機体の自律化・知能化が技術開発工程として明言されており、レベル 4 実現に向けて業界ニーズとして継続開発が必要とされていることがわかる。

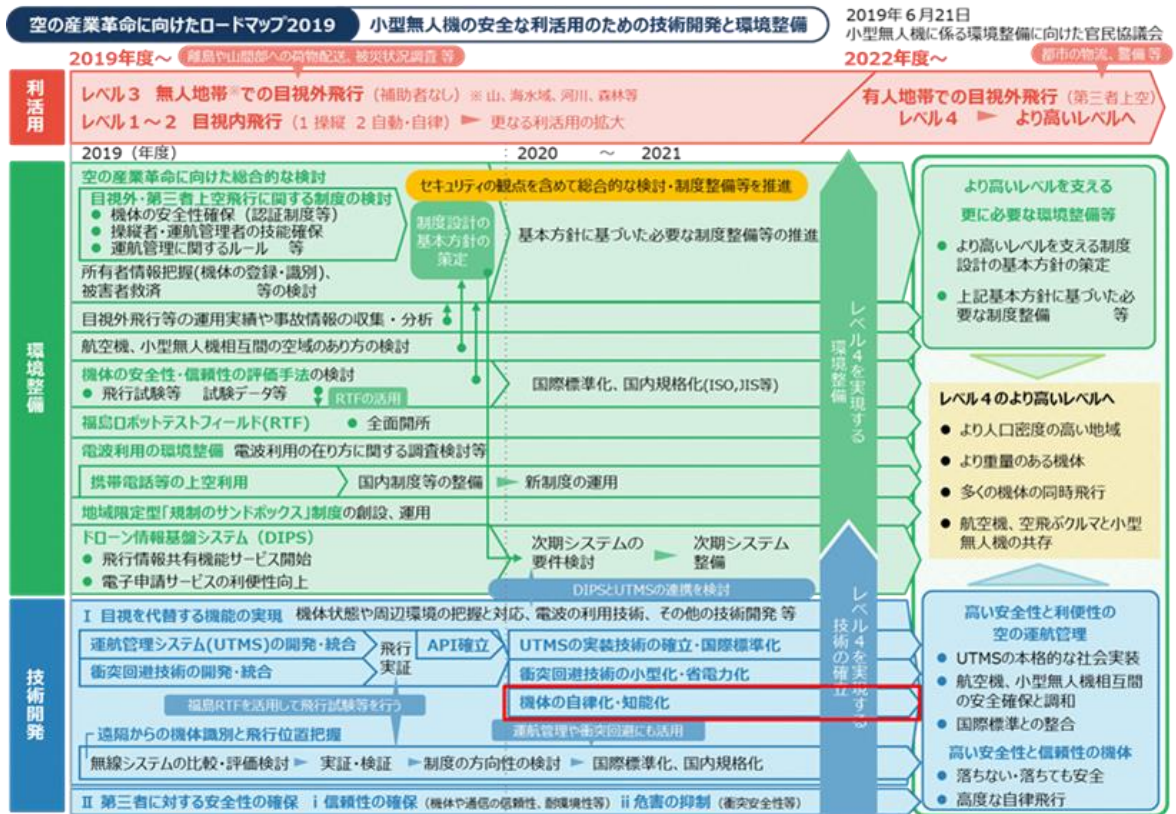


図 3.6.2.4.2 空の産業革命に向けたロードマップ 2019

3.6.2.5 成果の普及

AI エッジ統合制御システム開発の人工意識アーキテクチャ対応を、KDDI との協業体制で行うとともに、自律的学習機構が求められる、建設・自動車・電子機器等広範な産業分野の主要事業者及びベンダーとの協業体制で成果の普及を進めることを想定しており、既に先行的に一部業界における協業体制構築も進めている。一例として、建設機械分野において、株式会社電通国際情報サービスとの協業体制において、自動化支援サービスのローンチや、国内大手プラントメーカーと共同で、ドローンによるプラント内自律飛行点検の実証実験を実施しており、同様な協業を様々な産業分野で進めることで成果の普及を図る。

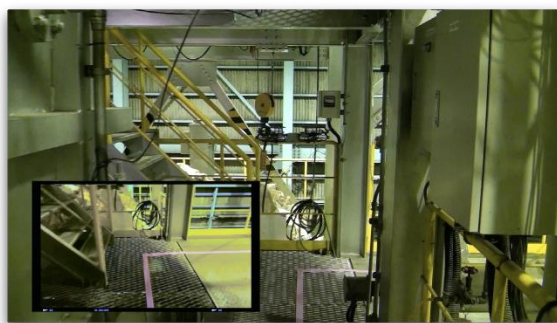


図 3.6.2.5 成果普及の例(人工意識)

3.6.3 研究開発サブテーマ「AI エッジ統合制御システムの開発」

3.6.3.1 概要

3.6.1 及び 3.6.2 で開発した AI モジュールを組み込む AI エッジ統合制御システムの開発、及び、AI エッジコンピューティング／5G 連携環境構築のもとでの実証を行う。

(1) AI エッジ統合制御システムの開発

ドローンの自律制御の実現に求められる機能性能要件を規定して 1.1 及び 1.2 の開発にフィードバックするとともに、1.1 及び 1.2 で開発した AI モジュールを組み込む(通信・センサー・CPU に関わる)AI エッジ統合制御システムの要件定義、開発、及び、ドローンへの実装と機体結合検証を行う。

(2) AI エッジコンピューティング／5G 連携のドローンフライト実証

AI エッジコンピューティング／5G 連携環境のための、通信要件(データレート、遅延等)、及び、エッジ・クラウド要件(ドローン・5G エッジネットワーク・コアネットワークにおける通信制御と AI 機能の配置等)の定義、検証シナリオ策定、(1)の開発と連動する形での検証環境準備、及び実証を行う。

なお、具体的な実証環境は、5G の社会実装スケジュール(まず 2020 年前後に超高速通信を実現し、続けて超低遅延及び多数同時接続を実装)と整合する形で準備する。

3.6.3.2 最終目標と根拠

年度毎及び最終目標は以下の通りである。

2018 年度:

- ・通信・センサー・CPU に関わる AI エッジ統合制御システムの要件定義及びモジュール開発
- ・深層学習に関するモジュール開発(センサー、CPU)
(計算量従来比 1/10 の複数深層学習実証)

2019 年度: AI エッジ統合制御システム開発

(消費電力従来比 1/10 の複数深層学習のシステム実証)

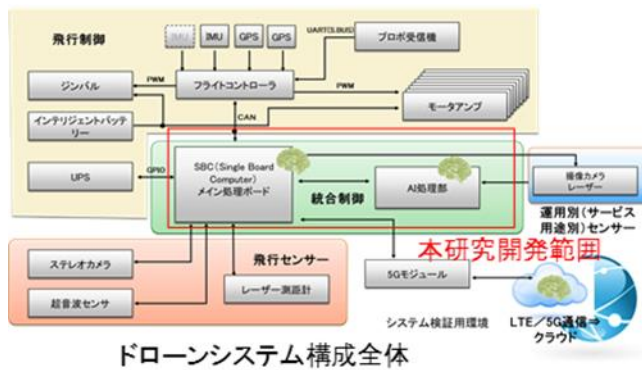
2020 年度: AI エッジコンピューティング/5G 連携の実証

(消費電力従来比 1/10 の複数深層学習・深層強化学習に関する実証)

2021～22 年度: 人工意識に関する AI エッジ統合制御システム開発及びドローンフライト実証 (消費電力従来比 1/10 の人工意識に関するドローンフライト実証)

3.6.3.3 目標の達成度

要件定義、及び、1.1 の成果である圧縮技術及び AI エッジ統合制御システムを開発した。また、ドローン監視ユースケースにおけるドローン空撮映像からの人物検出タスクの評価を行い、消費電力当たりの検知性能(フレームレート)で従来比 10 倍の複数深層学習のシステム構築が実現できた。



ドローンシステム構成全体

ドローン搭載可能なAIエッジ統合制御システム

図 3.6.3.3.1 AI エッジ統合制御システム

ドローン搭載可能な5G 通信モジュールとモバイルエッジコンピューティング環境上に前述と同様の AI アルゴリズムを構築済み。2020 年度内に5G エッジ-MEC 連携システムの基礎検証を実施予定。

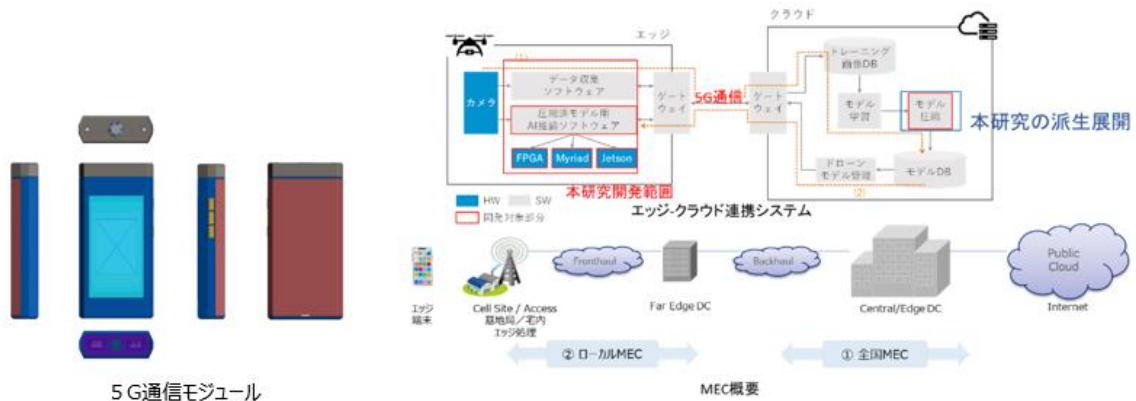


図 3.6.3.3.2 開発 AI エッジ統合制御システムと 5G エッジクラウド連携システム設計

3.6.3.4 成果と意義

当該 AI エッジ統合制御システム及び 5G エッジクラウド連携システムプラットフォームは、具体業種事業者のユースケースニーズを踏まえ、検証データとしても利用しながら実装を進めているところである。具体的なサービス提供としては、まず、ドローンの空撮動画からエッジの画像認識 AI で人物をリアルタイムに検知しユーザに通知するユースケースより実装を進めている。

• ユースケース分類

分類	特徴	分析を行う場所	分析処理の重さ
リアルタイム分析	ドローンの空撮イメージを撮影した直後に分析し、その結果を制御者に通知したり機体制御に反映する	エッジ	軽い
非リアルタイム分析	ドローンの空撮イメージを分析する。分析のタイミングはフライト後などでよい	クラウド	重い

• ソリューション毎の分析ユースケース需要

		ソリューション(お客様例)		
		構造物点検 (電力会社)	広域監視 (鉄道会社)	物流 (物流サービス提供者)
映像からのリアルタイム物体検知	ドローンの空撮映像をリアルタイムに分析し、人物や車両など、特定の物体を検出する	○	◎	◎
映像の解析によるリアルタイム機体制御	ドローンの空撮映像をリアルタイムに分析し、障害物などが検知された場合は自動で回避などの機体制御を行う	◎	◎	◎
写真からの不良検出(非リアルタイム分析)	ドローンが空撮した静止画を分析し、構造物の不良(サビ・ヒビ等)を検出する	◎	-	-

図 3.6.3.4.1 ドローンソリューション毎の分析ユースケース需要

項目	説明
ユースケース概要	車や船による物資輸送をドローンによって代替する
AI活用概要	着陸時等にドローンの近くにいる人物を検出し、注意喚起のアラートを発出する
タスク種類	物体検知
検知対象	人物(将来的にはより多様な障害物)

図 3.6.3.4.2 サービス化ユースケース(ドローン物流 AI エッジ画像認識)

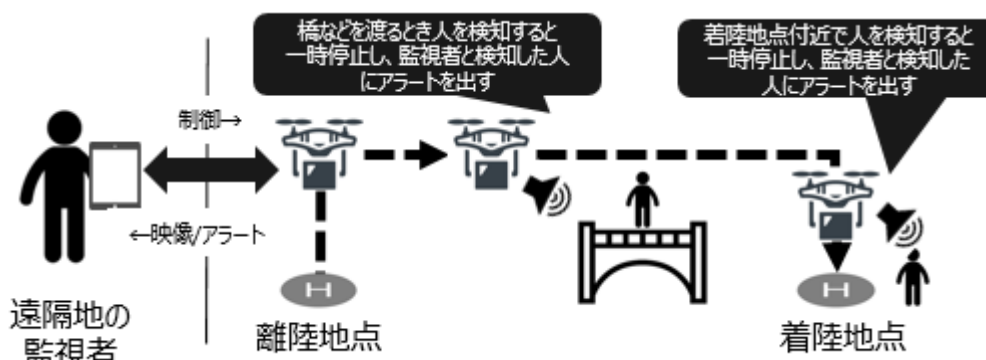


図 3.6.3.4.3 サービス化ユースケース(ドローン AI エッジ画像認識)

3.6.3.5 成果の普及

当該スマートドローンプラットフォームは、まず STEP1 として、個別ソリューションにて 2019 年 6 月に役務提供を開始しており、STEP2 として、2020 年 2Q には「KDDI スマートドローン」お客様運用メニューとしてシステムの本格提供を開始している。本研究開発成果である AI エッジ統合制御システム及び 5G エッジクラウド連携システムを含めた仕組みは、Society5.0 実現に向けた 5G・エッジ活用の重要技術として 2020 年度に對外訴求する。

3.7 研究開発テーマ「エッジビジョン AI を超軽量化し短 TAT で実装する技術の研究開発」

本研究開発項目では、エッジビジョン AI を超軽量化し短 TAT で実装する技術の研究開発という目標に対し、下記の成果を上げている。

1. 軽量化 DNN(Deep Neural Network)モデル「SSS-Net」を開発し、従来の DNN モデルと比較して、演算量及びパラメータ量を削減しつつほぼ等価な認識精度を達成した
2. ドメイン固有言語コンパイラの Xilinx 社 FPGA 向けのバックエンドを開発した。カメラパイプライン処理やフィルタ処理などのエッジビジョン AI 処理において、手動実装と比較して、ほぼ同等な性能と消費リソース量を保ちつつ、LoC(Lines of Code)を 1/10 以下に削減することを達成した。
3. ドメイン固有言語コンパイラからベンダ非依存の高位合成基盤を経由して、様々なベンダの FPGA 向けの回路を生成するための検討と設計、プロトタイプ開発が終了した。現在本開発中であり、2020 年度終了時点で基本テストのカバレッジが 100%となる見込みとなっている。

個別の研究開発テーマにおける詳細は以下に示す。

3.7.1 概要

現在、AI を活用した様々なアプリケーションの実装や実用化が世界中で取り込まれている。

グローバルで、AI フレームワークの実装・実用化が本格化している。AI アプリケーションの中でも、最も早く実用化されるのが画像(ビジョン)の AI 処理であり、大量の画像をリアルタイムで処理するためには、エッジコンピューティング上でビジョン AI 処理(エッジビジョン AI)を実行可能にする技術が重要である。自動運転や Factory Automation 等におけるエッジビジョン AI の実用化に向けた技術開発が進む中、高画素化及び時間当たりの処理イメージ数の増加により、デバイスの負荷は増加傾向にあり、実用化が本格化した時を見据えて、エッジビジョン AI の軽量化技術の早急な開発は喫緊の課題である。

本事業では、ディープラーニングのパラメータだけでなくアクティベーションも量子化・枝刈り等することで、メモリ消費量を大幅に効率化するだけでなく、圧倒的な処理の高速化を目標としている。

開発したエッジビジョン AI の実装対象は、様々なプログラムの搭載を可能とするリコンフィギュラブルデバイス(FPGA)を主とし、エッジビジョン AI を容易に実装可能な開発プラットフォームを整備することで、より高性能なエッジビジョン AI アプリケーションを広く普及させ、日本がエッジビジョン AI のリーダーとなることを目的としている。

エッジビジョン AI の実用化に向けては、従来に比べて遥かに複雑な DNN モデルを消費電力と性能のバランスをとりつつなるべく小さい消費リソースで実現する技術が必要である。エッジビジョン AI を構成するコンポーネントの中でも、特に計算量が多い DNN においては、モデルレベルでの軽量化や専用ハードウェアアーキテクチャによる高速化が不可欠である。

本研究では、モデルレベルでの軽量化アプローチの一環として、畳み込み層や全結合層の重みやアクティベーションを量子化・枝刈り等することで、計算量・メモリ消費量を大幅に効率化する手法を確立する。これにより、ハードウェアへの実装を現実的なものとし、かつ圧倒的な処理の高速化を行う。当然ながら、このモデル圧縮はネットワークの計算精度に影響を与えるため、圧縮・推論・テストを反復して精度検証を行う必要がある。本研究では、効率の良い圧縮モデル

を素早く構築するために、既存のディープラーニングフレームワークとシームレスに連携可能な形でモデル圧縮技術の実装を行うものとする。

現在、深層学習においては学習・推論問わず NVIDIA の GPU を用いるのが主流となっている。これはディープニューラルネットワークの計算には大量の浮動小数点演算が必要であったためだが、シンプルなビット演算だけでニューラルネットの計算が実現できるのであれば、専用に設計されたハードウェアで、GPU より高速に、効率よく計算できる可能性があり、結果として実現されるハードウェアの回路規模も大幅に小さくなりうる。しかし、専用チップの製造には年単位の時間と相応のコストが掛かり、量子化の方法も進化があることを考えれば、回路自体を再構成可能な FPGA の上にハードウェアとして実装するというアプローチも解になりうる。

今後の深層学習を行うデバイスについては、CPU、GPU、FPGA、あるいは専用チップかの4択がありうる。それぞれの選択肢は排反ではなく、例えば CPU が深層学習用命令を実装することで実質的に専用チップの機能を取り込む、という可能性もある。また、学習と推論で、例えば、学習は GPU、推論は FPGA のように、別々のデバイスがドミナントとなる可能性もある。

現在、FPGA で動作するアプリケーションを開発する際には、Verilog HDL などのハードウェア記述言語か、C/C++のようなプログラミング言語を拡張した高位合成言語で記述する必要があるが、多くのエンジニアが簡単に活用できるレベルにはない。また、高位合成言語については、ベンダ固有の拡張を使用して最適化を行う必要があるが、これに数ヶ月～1年といった期間を要するため、FPGA は GPU に比べて処理速度や消費電力の点で優れている面があるにも関わらず、その性能に見合うほど普及が進んでいない。これに対し NVIDIA は、並列プログラミング言語、コンパイラ、デバッグ、チューニングされた多数のライブラリからなる、GPU 開発環境である CUDA[1]を提供することで、開発者の裾野を広げ GPU によるエコシステムの構築に成功した。こうした開発環境の整備が FPGA の普及には重要である。

一方、自動運転などのアプリケーション側の視点から見れば、グローバル市場で AI ソリューションをテコにしてシェアを取っていくには、センサー技術や AI フレームワークが日進月歩で実用化が進む中、その時々最適なマルチプロセッサの環境に短期間で実装することが重要となる。現時点では、FPGA に短期に簡単に実装できることができれば、競合製品よりも早く高性能のアプリケーションを市場に出すことができ、グローバル市場を取る上で大きなアドバンテージとなる。

本研究では、ドメイン固有言語とそのコンパイラ、そしてベンダ非依存の高位合成技術を組み合わせ、FPGA を主軸としつつ、多様なハードウェア環境でも動作可能なエッジビジョン AI の開発プラットフォームの実現を目指す。

消費電力・処理能力に制約のあるエッジコンピューティングでは、アプリケーションの高速化自体が大きな差別化要因となりうるため、エッジビジョン AI を超軽量化し短 TAT で簡易に開発・実装できる、一貫通貫な開発プラットフォームを作ることで、世界的に先進なエッジビジョン AI アプリケーションを世に先駆けて実現することを狙う。動作環境としては、GPU のみならず、消費電力性能比が高く再構成可能な FPGA を主対象にする。

プロジェクトの進め方として、一貫通貫する最低限の機能の実現を優先し、イテレーションにより機能を拡充していく適応的なスタイルをとる。たとえば、ディープラーニングフレームワークとの統合に関しては、現在一定のシェアを取っているもの(TensorFlow[2], PyTorch[3]等)のうち一つを選定し、FPGA に関してもユーザーの多い大手ベンダ製品(Xilinx 製 FPGA, Intel 製 FPGA 等)から適用を進め、徐々に多様なフレームワークやハードウェアに適用していく。

また、最終的な想定ユーザ企業を巻き込み、開発プラットフォームとアプリケーションの評価を行うことで、継続的に利活用されるような高い事業性を確認する一連の流れを重視する。

以上の通り、技術と事業の開発を行うことで、エッジビジョン AI が Early Majority のピークに達する頃には、エッジビジョン AI の実装を、ソフト面・ハード面からグローバルでリードできていることを期待している。

3.7.2 最終目標と根拠

本研究開発では、最終目標として、ドメイン固有言語とそのコンパイラ、そしてベンダ非依存の高位合成技術を組み合わせ、FPGA を主軸としつつ、多様なハードウェア環境でも動作可能なエッジビジョン AI の開発プラットフォームの実現を目指す。

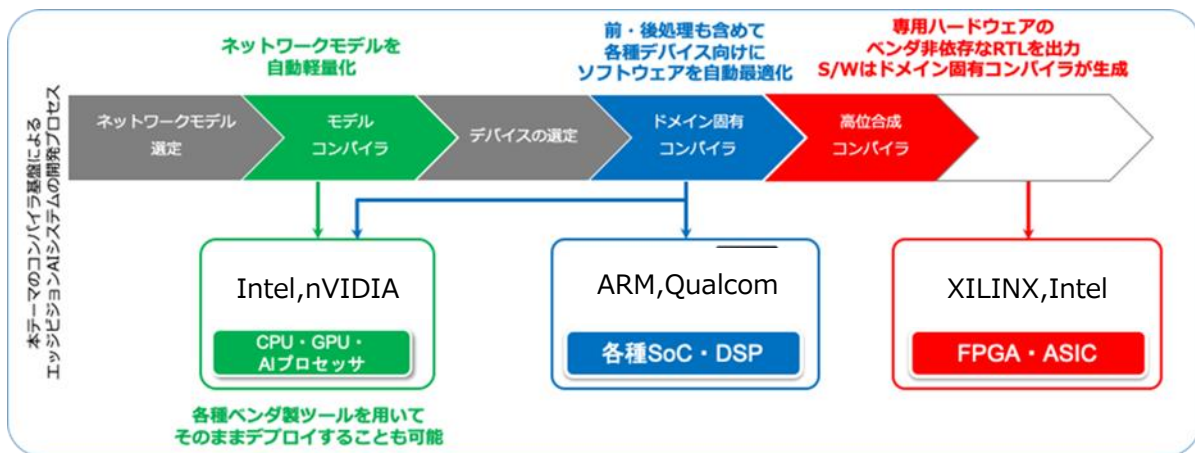


図 3.7.2.1 本テーマのコンパイラ基盤を用いた、エッジビジョン AI システムの開発プロセス

実施項目ごとの最終目標は以下の通りである。

実施項目1：DNN(Deep Neural Network) の超軽量化技術・実装技術の開発

汎用的に利用されている DNN ネットワークモデルの多くは、コンシューマやワークステーションなどの比較的高性能なコンピュータ上で学習・推論されることを前提に設計されている。そのため、それらのネットワークモデルをそのままエッジデバイス上でリアルタイムに動作させることは、性能や必要メモリ量の観点から現実的でないことが多い。

また汎用的な DNN フレームワーク上で実装されるネットワークは、様々な認識タスクやデータセット、クラス数、精度の要求を満たせるように設計されていることが多い。このような性質を持つため、特定のタスク向けの学習を完了した後、推論にのみ利用する場合には、学習パラメータやビット精度を圧縮出来る可能性が存在する。

更に、DNN の学習や推論には GPGPU が利用されることが多いため、GPGPU 上で実行した場合に高い計算効率やメモリ帯域が出る処理が利用されることが多い。このため、同じ DNN ネットワークモデルを CPU や FPGA 上で動作させる場合は、そのプロセッサアーキテクチャの特性の違いから必ずしも高い効率が出せるとは限らず、それぞれのプロセッサアーキテクチャに応じたネットワーク構成や実装の最適化を行う必要がある。

これらの課題に対処するため、利用するタスクの精度や、実行対象のエッジデバイスの性能や搭載メモリ量、プロセッサアーキテクチャなどの特徴に応じて、DNN ネットワークモデルを設計したり、モデルの圧縮や推論処理の近似的あるいは等価的な変換を行う必要がある。このようなモチベーションから、本実施項目では、DNN フレームワーク上で実装されたネットワークモデルに対して、エッジデバイスで実行するための軽量の DNN ネットワークモデルの開発や、量子化や枝刈りなどの技術を利用したモデル圧縮技術についての研究開発を行う。また、汎用的な DNN フレームワークで設計されたモデルに対して、先述の研究開発で得られたモデル圧縮技術を自動で適用するフレームワークの開発を行う。

数値目標として、TensorFlow と PyTorch の DNN フレームワーク上で実装されたネットワークモデルを FPGA 向けにコンパイル可能とし、更に汎用的かつモデル圧縮を何も適用していない同等精度のネットワークモデルと比較して、1/100 の計算量および使用メモリ量の軽量化を目指す。

実施項目2:ドメイン固有言語コンパイラの開発

演算性能やメモリ帯域量の制約が厳しいエッジデバイス上でのリアルタイム処理を実現するためには、動作対象のプロセッサ上での実行効率を最大限に発揮出来るように、プログラムを実装する必要がある。プログラム高速化のためのプログラム変換手法として、マルチコアや SIMD 演算器、スーパースカラなどのプロセッサ内に並列に配置された演算ユニットの活用、ループ変形などによるプログラム内の命令の実行順序の変更、変数や配列などのメモリ配置方法の変更によるキャッシュメモリやスクラッチパッドメモリに代表される高速低容量の高効率利用などが挙げられる。しかしながら、これらのプログラム変換の適用戦略は、対象とするプログラムのアルゴリズムやプロセッサアーキテクチャ、搭載メモリ量などといった各種メトリクスと、ユーザの要求性能に応じて変化する。また、本研究開発においてターゲットデバイスの主軸としている FPGA では、デバイスに搭載されている各種ハードウェアリソースの使用量と性能のスループットの間にはトレードオフが存在するため、プログラム変換におけるパラメータ空間が、CPU や GPGPU などの汎用プロセッサ向けのソフトウェア実装の場合と比較して、更に増加する背景が存在する。

これらのプログラム変換におけるパラメータの無数の組み合わせに対して、プログラマが個別にエッジビジョン AI のアプリケーションの性能最適化を個別に行うことは、工数の観点から非現実的である。したがって、コンパイラ最適化に代表されるようなプログラム自動最適化技術を積極的に用いる必要がある。

一方で、C/C++などに代表される汎用的なプログラミング言語では、入力とするプログラムの表現能力の高さや曖昧さから、実装されたソースコードとプログラマが意図している仕様や制約との間にギャップが生じている場合が多く存在する。このために汎用言語のコンパイラはプログラマが意図している詳細な制約をソースコードから読み切ることが出来ず、保守的なプログラム最適化を適用せざるを得ない場合がしばしば存在する。

これらの課題を解決するために、本実施項目ではエッジビジョン AI アプリケーションに特化したドメイン固有言語で実装されたプログラムを、FPGA を始めとした様々なターゲットデバイス向けに最適化し、コード生成を行うコンパイラを開発を行う。ドメイン固有言語を採用することで、プログラマは汎用言語と比較してより少ない工数でアプリケーションを実装することが可能となり、コンパイラは制約された言語仕様から得られる情報を用いてより積極的なプログラム最適化を適用することが可能となる。しかしながら、ドメイン固有言語とコンパイラをスクラッチから開発することは工数上現実的ではないため、画像処理向けドメイン固有言語の OSS である Halide[4][5]をベースとして利用し、これらに独自の FPGA 向けのバックエンドを追加実装することで実現することとする。

本実施項目で開発したドメイン固有言語コンパイラによって、2022 年度時点での最先端の研究結果における高位合成を用いて手動で記述した実装と比較して、匹敵する程度の性能及び消費リソース量を、1/10 以下の実装工数で実現出来ることを数値目標とする。

実施項目3:ベンダ非依存のオープンソース高位合成基盤の開発

FPGA や ASIC などに搭載されるハードウェア回路を実装する場合、従来では RTL(Register Transfer Level)で記述されるハードウェア記述言語を利用することが主流であった。しかしながら、RTL 記述での実装では、演算処理のパイプラインスケジューリング、演算ノードに対する演算リソースの割当、FSM(Finite State Machine)などの様々なロジックの実装が必要となるた

め、多大な開発工数とハードウェアに対する理解の深い開発者の存在が不可欠となっていた。

そのような背景から、C/C++言語などの動作レベルのソースコード記述から回路を自動生成する高位合成技術が誕生し、現在では実用的に利用されるようになってきた。各種 FPGA ベンダも、Xilinx 社の VivadoHLS[6]、Intel 社の IntelHLS[7]などといった高位合成ツールを提供している。しかしながら、これらの各種ベンダが提供している高位合成ツールは、しばしば各ベンダに依存した IP を用いた回路を生成するため、事実上特定のベンダの FPGA 向けの回路しか生成することが出来ない。またこれらの高位合成ツール間では、入力となる C/C++言語のサポートや生成されるハードウェア回路のポリシーが、ハードウェア回路の各種最適化の指定に利用される指定子の仕様などが異なるため、同一の C/C++コードを各種高位合成ツールに入力して、各 FPGA ベンダ向けの回路生成をすることは不可能となっている。また、既存では FPGA を利用していた回路を ASIC などの専用回路に実装する際も、それらの高位合成ツールを前提にした再実装が必要となる。

この課題を解決するため、本実施項目ではベンダに非依存な高位合成基盤の開発を行い、様々なベンダの FPGA 及び ASIC 向けの回路の生成の実現を目指す。この高位合成基盤は、東京大学高前田研究室で開発されている Veriloggen[8]をベースとして開発を行う。また、実施項目 2 において開発するドメイン固有言語コンパイラのバックエンドと接続し、エッジビジョン向けのアプリケーションを様々なベンダの FPGA 上で動作可能とすることを目指す。本実施項目で開発した高位合成基盤によって大手 FPGA ベンダである Xilinx 及び Intel 社の FPGA 向けの回路の生成を実現することを目指す。更に Xilinx の FPGA に対しては、ドメイン固有コンパイラの既存の Xilinx 向け FPGA のバックエンドと比較して、同等の性能、アーキテクチャ、リソース量を持つ回路が生成できることを数値目標とする。

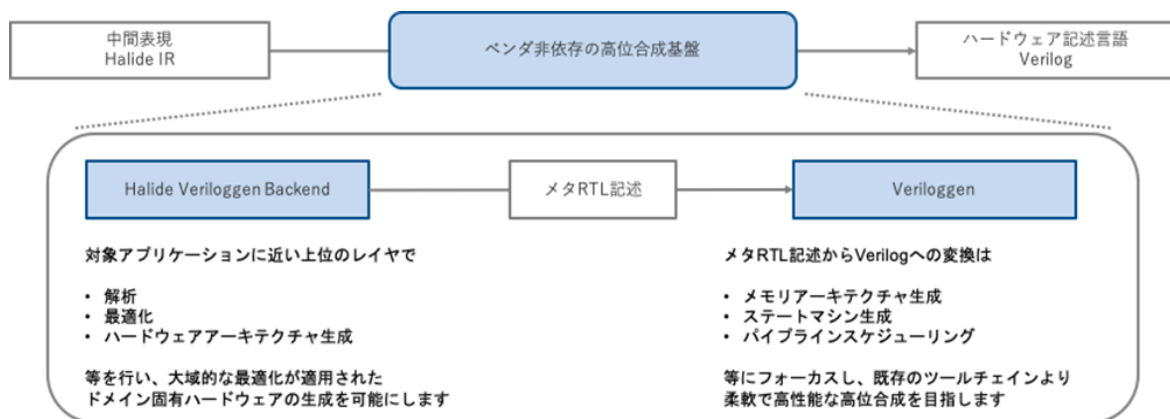


図 3.7.2.2 本実施項目で開発する、ベンダ非依存高位合成基盤を利用したコンパイルフロー図

研究開発目標の設定根拠

エッジビジョン AI については、技術の有効性が検証され、現在そのアプリケーションと実装環境が日進月歩で進化している。処理データ量が増える中、リアルタイム環境での推論が求められるようになると、モデルを軽量化することが重要になるが、実用化に耐えうる軽量化にはまだ課題がある。エッジビジョン AI で世界的に競争力を持つためには、精度高く超軽量化を行う技術と、時間を稼ぐという意味で短 TAT で実装できる開発環境の整備が不可欠となる。

本研究開発は4つの点において、国内外で優位性があると考えている。

- ① AI フレームワークも日々進化しているが、エッジビジョン AI を想定して実用化に耐えうる軽量化による精度が保っているケースは少なく、これが実現できれば、今後増えうるセンサーフュージョンをベースとした IoT の世界において大きな競争優位となる。

- ② エッジビジョン AI はその処理速度と消費電力の制約、そしてリコンフィギュラブル性から FPGA が主流になると見られているが、FPGA の趨勢も今後変わりうる。その中、新しいリコンフィギュラブル・ハードウェアに対応し、移植・新規開発を行える開発環境を整備することが競争優位となる。FPGA メーカーが提供する高位合成ツールは、将来的に発展し、エッジビジョン AI にも対応していく可能性もあるが、こうしたメーカーが競合製品を含めたヘテロジニアスなシステム構成に対応することは、FPGA メーカーがハードウェア販売を事業の中心としている以上、考えにくく、システム構成の柔軟性は将来的にもないとする。この点、本研究開発は、将来的にハードウェアが変更になっても、短 TAT で適用することを主眼においており、FPGA メーカーのツールよりも汎用性の点で優れている。
- ③ FPGA 等のハードウェアの構造は各社各様であり、これらを効率的に実装するには、数多くの実装経験が製品の完成度を高める上で重要となるが、日本ではフィクスターズ社がこの分野では最も実績のある企業であり、本研究開発で最新技術を研究する大学研究機関とユーザ企業のノウハウを併せることで、海外にも通用する製品作りができる。
- ④ エッジビジョン AI を適用するユーザ企業としては、自動車・産業機械・医療機器などが想定されるが、この分野において日本には世界シェアを持つ企業が未だ多数ある。今回、ユーザ企業として、こうした企業を巻き込んだ研究開発プロジェクトとすることで、加速的に普及を図ることが可能である。

現在想定する競合との競争優位性の比較については、以下のとおりである。

技術名称	技術保有者	年月	性能① 軽量化	性能② 汎用性	品質・機能 等の強み	エコシステム、 ビジネスモデル の強み	コスト	全体 市場 規模	獲得市 場規模 と市場 シェア	総合評 価 (LD、 DH、RA)
提案技術 (軽量化し短 TAT で実装する技 術)	本技術(現状)	2018/6	△	-	軽量度	フレーム ワーク・チップ の移行を 促す広域の エコシステム	○	-	-	RA
	本技術(事業終了時)	2020/3	○	○	高速性軽量 度汎用性		○	△	低	LD
	本技術(実用化時点)	2022/4	◎	○	高速性軽量 度汎用性		○	○	日本 高 世界 低	LD
	成果普及段階	2027/4	◎	◎	高速性軽量 度汎用性		○	◎	日本 高 世界 中	LD
NVIDIA 社 AI 実装技術 (TensorRT)	本技術(現状)	2018/6	×	×	一貫性	自社エコシ ステムでの 囲い込み	○	◎	高	LD
	本技術(事業終了時)	2020/3	△	×	一貫性		○	◎	高	LD
	本技術(実用化時点)	2022/4	△	×	一貫性		○	○	高	DH
	成果普及段階	2027/4	△	×	一貫性		○	○	高	DH
ThinCI 社 AI 実装技術 (reVision)	本技術(現状)	2018/6	○	×	一貫性	自社エコシ ステムでの 囲い込み	○	△	低	DH
	本技術(事業終了時)	2020/3	○	×	一貫性		○	○	中	DH
	本技術(実用化時点)	2022/4	△	×	一貫性		○	○	中	DH
	成果普及段階	2027/4	△	×	一貫性		○	○	中	DH
DeepPHI 社 AI 実装技術 (DNNC)	本技術(現状)	2018/6	△	×	自社 AI ボード実装	中国市場で の製造工場 との連携	△	×	低	RA
	本技術(事業終了時)	2020/3	△	×	自社 AI ボード実装		△	×	低	RA
	本技術(実用化時点)	2022/4	△	×	自社 AI ボード実装		△	×	低	RA

	成果普及段階	2027/4	△	×	自社 AI ボード実装		△	×	低	RA
--	--------	--------	---	---	----------------	--	---	---	---	----

- ◎・・・業界トップ水準
- ・・・競合よりも優位なレベル
- △・・・競合と同レベル
- ×・・・競合よりも劣るレベル
- LD・・・Leading
- DH・・・Dead Heat
- RA・・・Run After

3.7.3 目標の達成度

当初提案での中間目標に掲げた通り、エッジビジョン AI を初期対象フレームワークで実用化に耐える精度で超軽量化し、汎用 FPGA に短 TAT で実装する技術のベースを確立しつつある。実施項目ごとの達成状況は以下の通りである。

実施項目 1 : DNN(Deep Neural Network) の超軽量化技術・実装技術の開発

DNN の推論処理で頻用される畳み込み演算を、図 3.7.3.1 のようにチャンネルシフト演算と 1x1 畳み込み演算に分解し、従来の畳み込み演算と等価に演算する方法を開発した。従来の DNN モデルでは、3x3 や 5x5 の畳み込み処理が利用されることが多く、大量の積和演算回数とメモリアクセスを必要とするため、計算量とメモリ使用量の両面で支配的となる処理であった。本手法では畳み込み演算の範囲を 1x1 で行うことが出来るようになるため、計算量とメモリ使用量を大幅に削減することが可能となる。一方で、従来の畳み込み演算から新たに必要となるチャンネルシフト演算は、ハードウェア化と親和性が高いため、対象ハードウェアが FPGA となる場合には非常に小さいコストで実装することが可能となる。

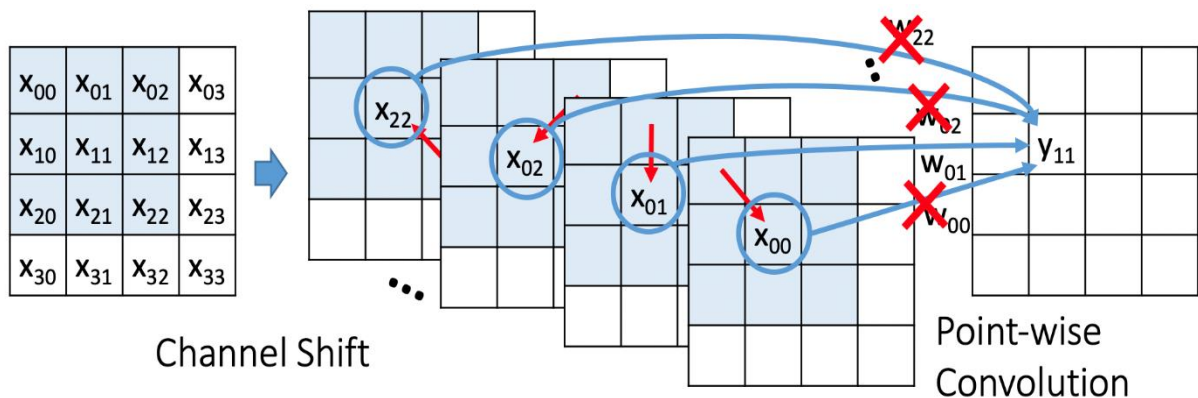


図 3.7.3.1 畳み込み演算から、チャンネルシフト演算と 1x1 畳み込み演算に分解するイメージ

また、本提案手法の畳み込み演算を組み込んだ、軽量化 DNN モデル「SSS-Net」を開発した。表 1 は SSS-Net と既存の DNN モデルの間で、ImageNet2012 データセットのクラス分類タスクに対して、パラメータ量や積和演算量、認識精度を比較した結果である。この結果により、既存の AI モデルと比較してパラメータと計算量を削減しつつ、ほぼ等価な認識精度を達成することが確認された。

表 3.7.3.1. SSS-Net と既存の DNN モデルとの比較結果 (ImageNet2012 Dataset を使用)

Model	#Layers	Params [MB]	GMACs	Top-1 Acc.	Top-5 Acc.
AlexNet	8	60.97	7.270	56.5	79.1
VGG16	16	138.36	154.700	71.6	90.4
ResNet50	50	25.56	3.870	73.2	91.3
MobileNetv2	18	3.47	0.300	71.8	91.0
SSS-Net×0.5 (Ours)	18	0.13	0.008	64.2	85.9
SSS-Net×1.0 (Ours)	18	0.80	0.032	68.0	88.2
SSS-Net×2.0 (Ours)	18	14.31	0.128	70.0	89.9

実施項目2:ドメイン固有言語コンパイラの開発

従来のドメイン固有言語コンパイラの FPGA 向けバックエンドでは、生成するハードウェアリソース量をコンパイル時に確定しなければならなかったため、固定解像度の入出力データに対してのみコンパイル可能であったという制約が存在した。これに対して、より広範なアプリケーションやユースケースに対応するために、可変解像度の入出力データに対応する改善実装を行った。可変解像度版では、入出力データの最小最大サイズ情報を Halide のスケジューリング指定として入力し、その制約のもとで必要最大限なハードウェアリソースを生成することによって、コンパイル時にハードウェアリソース量を確定させた。

本機能の性能評価のために、6 種類の処理からなる撮像処理アプリケーションを対象とし、従来の固定解像度版と、新たに開発した可変解像度版の間で、ベンチマーク比較を行った。ベンチマーク結果を表 3.7.3.2 に示す。ベンチマークの結果、固定解像度版と比較して、僅かなりソース使用量の増加で、同一性能のハードウェアが生成できることが確認できた。したがって、本開発によって、より実用的なアプリケーションやユースケースに対応することが実現できた。

表 3.7.3.2. 撮像アプリケーションに対する、固定解像度版と可変解像度版でのベンチマーク比較結果

		固定解像度版 (Old)	可変解像度版 (This Work)
消費FPGA リソース	BRAM18K	24	32
	DSP48E	19	18
	FF	9,593	9,796
	LUT	10,477	11,397
周波数		150MHz	150MHz
性能		FullHD 60FPS	FullHD 60FPS

また、DNN の前処理などで行われることの多い、画像のフィルタ処理やリサイズ処理についても、本研究開発によって開発されたドメイン固有言語コンパイラによって生成された FPGA 向け生成コードと、手動で FPGA 向けに最適化された OpenCV 実装[9][10]のベンチマーク比較を、同一のデバイス、性能及び周波数のもとで行った。その結果、LUT、FF、DSP などのリソース量は手動実装時より多いリソースを消費量となってしまうが、BRAM は手動実装に比べて 76%のリソース消費量が達成できていることが確認された。また、処理時間のレイテンシは、すべてのテストケースにおいて、手動実装より低く優れたデザインが生成できていることが確認できた。このようなリソースと性能を達成しつつ、プログラマが実装すべきソースコード量は約 1/10 に削減できていることも確認された。

これらの結果により、本プロジェクトで開発しているドメイン固有言語コンパイラは、手動で最適化されたデザインと比べて、わずかにリソース消費量が多い傾向はあるものの、より低いレイテンシのデザインを、遥かに少ない工数で達成することが実現出来ていると言える。以降の研究開発でリソース消費量を更に最適化することにより、2021 年度終了時点で、手動最適化実装と比較して同等のリソース消費量を達成可能な見込みとなっている。

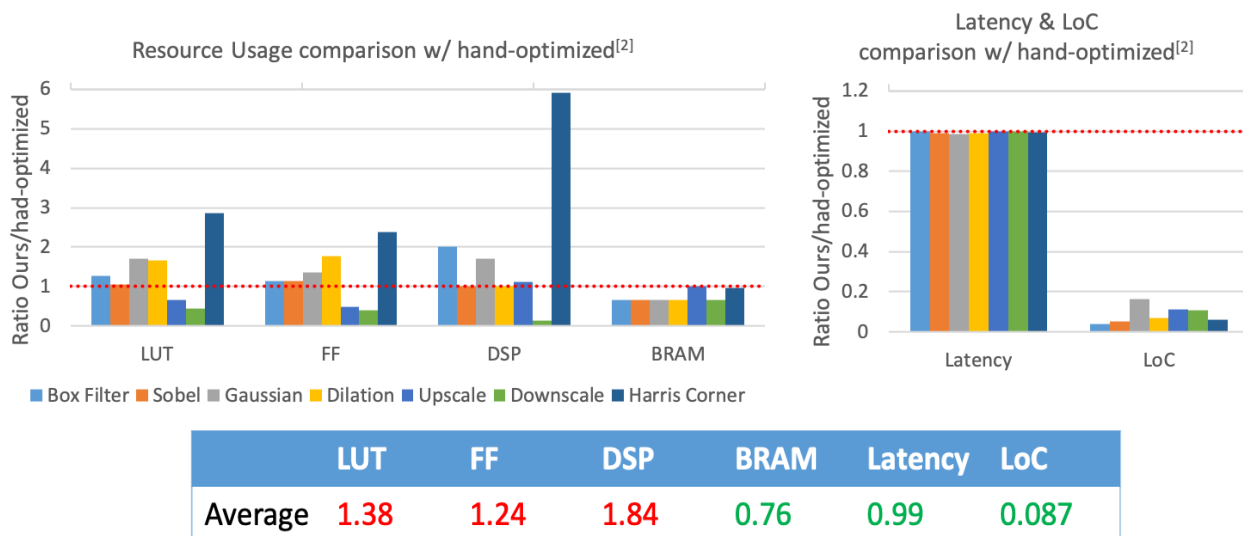


図 3.7.3.2 ドメイン固有言語コンパイラの FPGA バックエンドが生成したハードウェア実装と、手動最適化されたハードウェア実装の、リソース使用量、性能、ソースコード量の比

実施項目3:ベンダ非依存のオープンソース高位合成基盤の開発

実施項目 2 で開発中のドメイン固有言語コンパイラに対して、Veriloggen 向けのバックエンドのプロトタイプ実装とテストを通して、Veriloggen に対して新たに必要な機能の洗い出しと、コンパイルパスにおける変換戦略の検討を行った。

その結果、Veriloggen に対しては大きく下記の 3 つの機能が新たに必要ということが分かった。

1. データ再利用用の中間バッファ (ScratchPad, RingBuffer)
2. 外部モジュールとの接続 (FromExtern/ToExtern)
3. AXI4-Stream 及び FPGA 内部の FIFO バッファとの接続の対応

上記のうち、1 と 2 に関しては対応が完了し、現在 3 の機能追加の検討及び実装を進めている。

また、Veriloggen 対応のために必要なドメイン固有コンパイラ側のコンパイル機能の洗い出しも一通り完了した。現在は Veriloggen 向けのバックエンドの本実装を開始しており、全テストモジュールのうち、33%のテストモジュールが本コンパイルフローを、ベンダ非依存な FPGA 向けにコンパイル出来ることが確認できている。2020 年度終了時点で基本テストの全モジュールが Veriloggen バックエンドを通じてコンパイルし、ベンダ非依存な FPGA 向けの回路生成が達成可能な見込みとなっている。

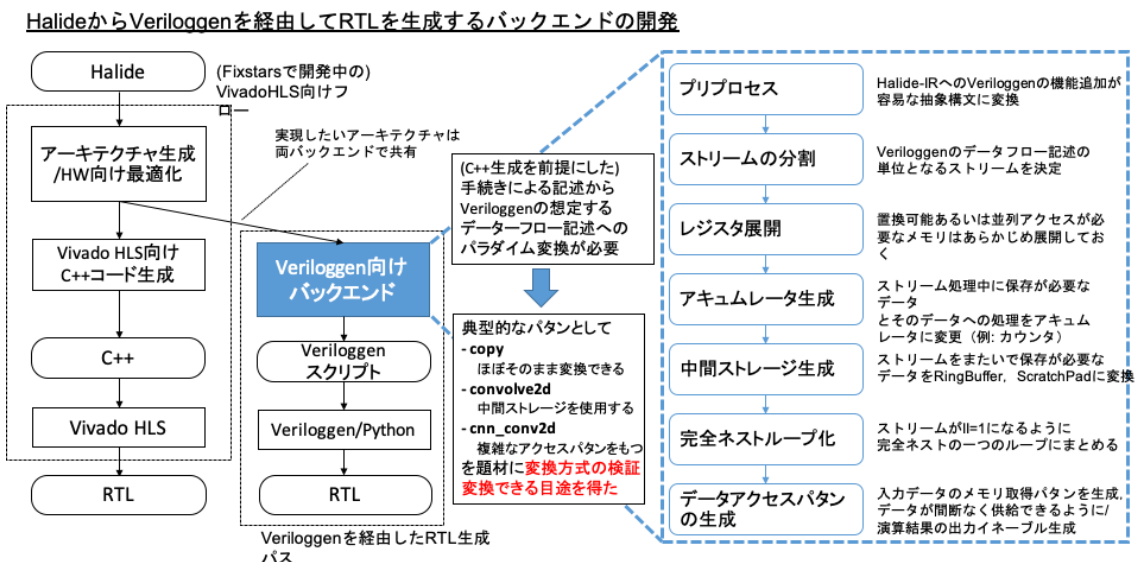


図 3.7.3.3 Halide Veriloggen バックエンドのコンパイルフロー設計図とプロトタイプ結果

3.7.4 成果と意義

当技術を利用することで、限られたハードウェアリソースの中で、より情報量が多くより複雑な機能を有するエッジビジョン AI を実現することができ、また、開発にかかる期間を大幅に短縮化し、極めて短期間でハードウェア実装まで行えるようになる。

現在の AI 処理では、豊富な開発環境を用意している欧米の巨大チップメーカー製の汎用的チップの利用が主流だが、当技術を活用することでエッジビジョン AI を実装した専用チップを極めて短期間で開発できるようになり、高性能な専用チップの開発・利用促進につながる。

エッジビジョン AI の活躍の場は広く、自動運転や Factory Automation、ドローンといった成長著しい分野での利用が見込まれている。

最終目標に基づく成果及びその社会的意義は以下の通りである。

◆技術レベル

エッジビジョン AI を超軽量化し、短 TAT で実装する環境プラットフォームについて主要 AI フレームワークから主要なヘテロジニアスなリコンフィギュラブルデバイスに実装する技術を確立する。

◆エネルギー消費効率/電力効率

現状のエッジビジョン AI に比べてエネルギー消費効率が 100 倍となる実装開発環境プラットフォームの利用が始まることで、2037 年の CO2 削減目標の実現に向けて CO2 削減が進んでいる。

◆技術・性能に係る目標

エッジビジョン AI を FPGA に実装すると 10 倍以上のエネルギー消費効率となるが、その実装開発環境プラットフォームが利用されている。

◆2037 年温室効果ガス排出削減効果への貢献

◆その他のアウトカム

エッジビジョン AI が超軽量化でき、短 TAT で容易にリコンフィギュラブルなハードウェアに実装できることにより、日本のプロセッサ及びアプリケーションの競争力が向上する効果が期待できる。

こうした環境プラットフォームを整備することで、リコンフィギュラブルなハードウェア (FPGA 等) の処理スピードの高速化並びに処理規模の増大化においても消費電力並びにコストを抑える事が現される事により以下の波及効果がある。

①発熱量低減

1-1 IoT エッジデバイス

熱源による機能劣化するデバイス(例:CMOS イメージセンサ等のセンサー)の近くに配置可能、サイズのコンパクト化によるアプリケーションの柔軟性拡大

1-2 IoT クラウドデバイス

放熱を必要としない事によるデータサーバ等での高額な放熱機構を必要としない為、データセンターの小面積化や電力削減によるCO2削減にも大きく寄与できる。

② 高速処理

非ノイマン型アーキテクチャーによりニューロコンピューティング、並列演算用メモリプロセッサの実現化の可能性もあり、将来のIoT、ビッグデータ社会に役立てられる。

◆我が国の経済再生への貢献

日本の輸出(年約70兆円)を品目別で見ると、電気機器は、輸送用機器、一般機械、に次ぐ12兆円の規模があり、半導体製品はそのうち4兆円弱と、テレビ・液晶産業が台湾・韓国勢に覇権を取られた今、依然中心的な製品となっている。その半導体も、NANDを中心としたメモリが主体で、かつて一世風靡したLSI・論理回路は、ここ20年でWindow/Intel、最近ではNVIDIAなどの米国企業やファブレスでデザインのみを行うアジア企業にシェアを取られ、日本企業のグローバルでのシェアは年々低くなり、Logic ICは2017年には生産が1500億円(生産動態統計)にまで大幅に減少している。

こうした中、本研究開発の成果は、①産業のサービス部分の価値が高まる中、超軽量化した最新エッジビジョンAI技術を短TATで実装した自動車、産業機械、医療機器等でのアプリケーションが国際競争力を増して輸出増加に繋がることへの貢献、②本研究開発に統合された日本のASIC等の開発環境が向上し、グローバルで利用されることによる半導体の輸出増加が期待できる。

半導体の主要応用製品分野は、JEITAによると全体で製造業の44%を占めている。製造業は日本のGDPの21%(109兆円)で、半導体の主要応用製品分野は日本のGDPの約10%を占めており、本研究開発により製品開発を先進的にできれば、その波及効果は大きいと考えている。

3.7.5 成果の普及

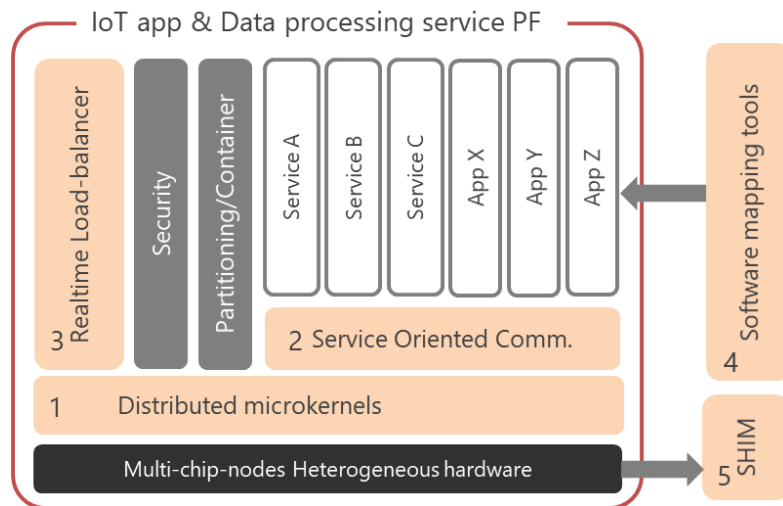
株式会社フィックスターズでは、2章にて後述するエッジビジョンAIシステムのプロトタイプを行うSaaSサービスを通して、本研究開発で研究開発されたDNNモデルのアルゴリズム及び、コンパイラによって生成されたコードをユーザへ提供を計画しており、現在は本研究開発で得られたコンパイラ技術のサービスへの導入作業を進めている。

3.8 研究開発テーマ「スケーラブルなエッジ HPC を実現する OS 統合型プラットフォームの研究開発」

本研究開発テーマ「スケーラブルなエッジ HPC を実現する OS 統合型プラットフォームの研究開発」では、「自動運転をはじめとするインテリジェント化するエッジシステムに不可欠となるソフトウェアプラットフォームを開発し、ヘテロジニアス・マルチ・メニーコアを最大限に活用できる高効率で安全なソフトウェアの開発を可能にし、欧米に先行されているソフトウェア基盤技術領域において世界トップクラスの成果を目指す。」という目標に対し、各実施項目の目標を全て達成し、成果を上げつつある。

【実施項目】

1. 分散マイクロカーネル OS の研究開発(分散 MK OS)
2. 分散 MK OS 内蔵 SOC の研究開発
3. Hybrid-scheduling/Load-balancing アルゴリズムの研究開発
4. ソフトウェアマッピング支援ツールの研究開発
5. ヘテロジニアス・マルチ・メニーコア向けハードウェア記述標準モデル SHIM の研究開発と国際規格化



実施項目 1~5
 図 3.8.1 本研究開発テーマ全体の取り組み（概念図）

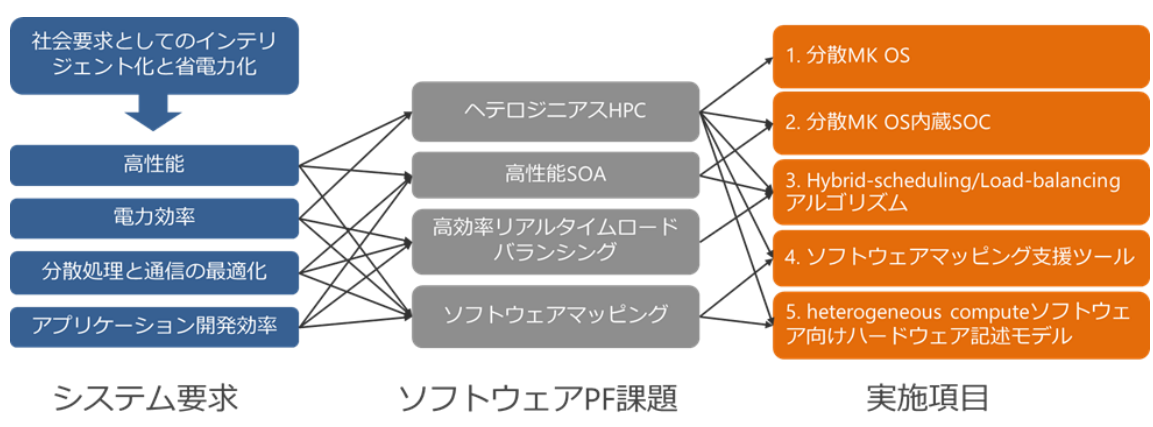


図 3.8.2 実施項目と課題の関係

個別の研究開発テーマにおける詳細は以下に示す。なお、実施項目1と2はその密接な関係上、「3.8.1」項にまとめて記載する。

3.8.1 研究開発サブテーマ①「分散マイクロカーネル OS の研究開発 (分散 MK OS)」、及び、サブテーマ②「分散 MK OS 内蔵 SOC の研究開発」

3.8.1.1 概要

分散マイクロカーネル OS(分散 MK OS)アーキテクチャにより従来シングルカーネル技術のヘテロジニアス・マルチ・メニーコアにおける課題の解決を図る。また、分散 MK OS にメッセージパッシングを統合した SOC(Service Oriented Communication)により、サービスのディスカバリ、ヘテロジニアス・マルチ・メニーコアにおける異種コア、マルチチップ間のメッセージパッシングを分散 MK OS に内蔵し、ミドルウェアによる従来技術の多重構造の通信を大幅に効率化する。

3.8.1.2 最終目標と根拠

ヘテロジニアス HPC:OS 自体が高い並列性を持ち、ヘテロジニアス HPC 向けに根本から再設計された各プロセッサ毎に独立した MK(Microkernel)を配する分散マイクロカーネルアーキテクチャを用いた分散 MK OS の開発することである。高効率ヘテロジニアスコンピューティング対応のために二つの異なるプロセッサアーキテクチャを持つマルチコアチップに跨る分散 MK を構成し、QoS 制御機構を開発し MK メッセージパッシングにおいてスレッド毎に通信帯域の割り当て機能を持つ、チップ内/チップ間/ノード間の統合的動的通信最適化機構を開発し、従来のミドルウェア型メッセージパッシングに対して 10 倍のメッセージパッシング効率を実現する。

本目標の根拠について以下に述べる。今日、一般道で公道実験している多くの自動運転車はトランクに汎用 OS である Linux を搭載した大型ワークステーションコンピュータを積んでおり、その消費電力は 100~1000W 程度であるが、これを 100W 以下に引下げた上で、性能は同等とし、かつ一般道の高度な認識、判断処理を必要とされる 10Hz 以下で処理するには Linux に比べて約 10 倍のリアルタイム性が必要なためである。

3.8.1.3 目標の達成度

2018 年度目標である「高効率ヘテロジニアスコンピューティング対応」は達成済みである。高度自動運転技術開発向けプラットフォームである UltraZ AD に分散 MK OS を移植。また分散 MK の各種 POSIX 関連機能対応、大規模システムで安全性確保のため時間保護機能およびコンテナ機能を開発した。また、UltraZ AD と同様の PCIe インタフェースを持つ NXP 社の S32V と、メニーコアプロセッサである KALRAY 社の MPPA とに分散 MK OS を移植。双方のプロセッサ間で OS 内蔵 SOC が有効に動作することを確認済みである。

2019 年度目標である「QoS 制御機構を開発し MK メッセージパッシングにおいてスレッド毎に通信帯域の割り当て機能のプロトタイプ動作」についても達成済みである。これにより、メッセージ量が多い場合の性能向上に加え、スレッド毎のメッセージバッファの確保と管理方法を開発し、クリティカルなスレッドが他のスレッドのメッセージング状況に影響を受けずメッセージングを可能にする事ができた。

2020 年度目標である「チップ内/チップ間/ノード間の統合的動的通信 最適化機構を開発し、従来のミドルウェア型メッセージパッシングに対して 10 倍のメッセージパッシング効率を実現」に関しては、2018 年、2019 年度を土台として順調に研究開発が進んでいる。特に、分

分散 MK の特徴を最大限に活用しつつ、POSIX や AUTOSAR などの高次元の OS 標準インタフェースを実現するために、Lock-free アルゴリズムを最大限に活用し Memory Allocator や mfuture (multi-kernel 版 future) などの仕組みも加えて開発することで、最先端 OS である Linux をリアルタイム性のみならずスループットにおいても上回る性能を示している。

3.8.1.4 成果と意義

分散 MK OS については、MIT (FOS)、ETHZ (Barrelfish) など海外でマルチカーネルの研究は行われているがまだ実用化には至っていない。またミドルウェア層としての SOC は既存だが MK レベルでのメッセージパッシングは前述の FOS などで研究段階であり実用化されていない。本研究開発によって、世界で初となるヘテロジニアス・マルチ・メニーコアに対応したトップクラスの性能を持つ分散マイクロカーネル OS が実現することになり、特にハイパフォーマンスかつ低消費電力を必要とし、かつ高いスケラビリティが要求される今後のエッジコンピューティングシステムにとって、基盤となる技術の一つを確立することが出来ると考えている。

3.8.1.5 成果の普及

本研究開発の成果はプロジェクト終了後速やかに製品化され事業化される計画である。

3.8.2 研究開発サブテーマ「Hybrid-scheduling/Load-balancing アルゴリズムの研究開発」

3.8.2.1 概要

特許化済みの Semi-priority based scheduling をベースに異なるプロセッサコアを持つヘテロジニアス・マルチ・メニーコアに対応させ、各プロセッサの性能特性、メモリ特性、スレッドメモリアクセスプロファイル、メッセージパッシング利用プロファイルをロードバランスの計算に取り込むことで高効率なスケジューリングを実現する。

3.8.2.2 最終目標と根拠

異なるプロセッサ/メモリの処理及び電力あたりの通信性能、更に各 Service/アプリケーションの通信プロファイルをパラメータに含み、かつ高速な割込み処理やディスパッチなどリアルタイム制約を考慮した Hybrid-scheduling/Load-balancing アルゴリズムを実現する。

通信プロファイリングを用いた、演算/メモリ/通信の 3 つのプロファイルデータによる統合ロードバランシング機構に時間保証機構を追加し、ロードバランシングによるアプリケーション処理効率において 10 倍の性能を実現する。

本目標の根拠を述べる。自動運転システムなどで要求されるシステムに対するダイナミックな付加変動に対してリアルタイムかつ高効率にハードウェアを稼働させるため、動的な負荷分散を実現するロードバランシングアルゴリズムは不可欠である。ヘテロジニアス・マルチ・メニーコアに対応したアルゴリズムを実現することで、非対応のロードバランサに対比して 10 倍以上の効率を実現することで、プロジェクトゴールでもある 10 倍の電力効率の実現に寄与するためである。

3.8.2.3 目標の達成度

異なるプロセッサ/メモリの処理及び電力あたりの通信性能、更に各 Service/アプリケーションの通信プロファイルパラメータを含み、かつ高速な割込み処理やディスパッチなどリアルタイム制約を考慮した Hybrid-scheduling/Load-balancing アルゴリズムを実現する。

通信プロファイリングを用いた、演算/メモリ/通信の 3 つのプロファイルデータによる統合ロードバランシング機構に時間保証機構を追加し、ロードバランシングによるアプリケーション処理効率において 10 倍の性能を実現する。

本目標の根拠を述べる。自動運転システムなどで要求されるシステムに対するダイナミックな付加変動に対してリアルタイムかつ高効率にハードウェアを稼働させるため、動的な負荷分散を実現するロードバランシングアルゴリズムは不可欠である。ヘテロジニアス・マルチ・メニーコアに対応したアルゴリズムを実現することで、非対応のロードバランサに對比して 10 倍以上の効率を実現することで、プロジェクトゴールでもある 10 倍の電力効率の実現に寄与するためである。

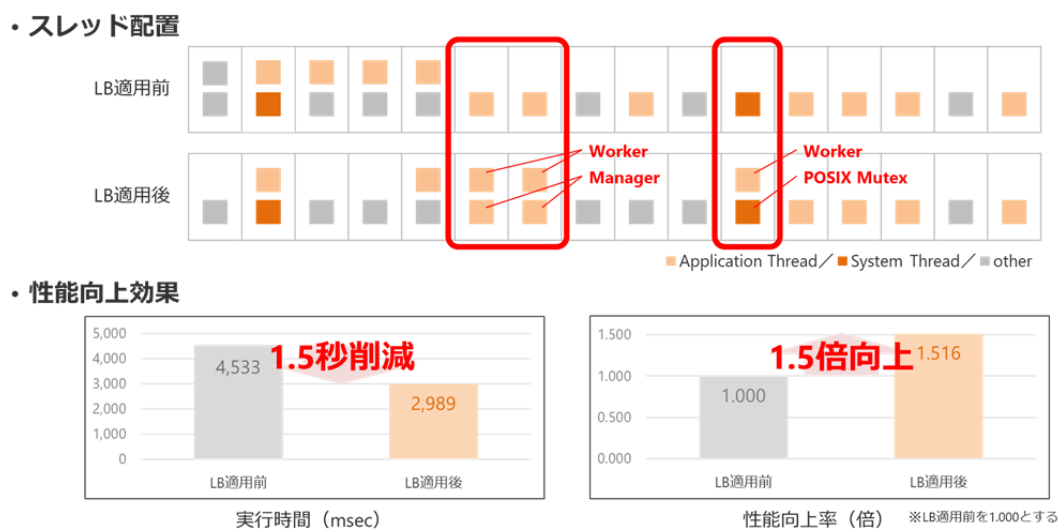


図 3.8.2.3 スレッド配置と性能向上効果

2019 年度目標である「演算/メモリ/通信の 3 つのプロファイルデータによる統合ロードバランシング機構のプロトタイプ動作」についても達成済みである。

2020 年度目標である「統合ロードバランシングの時間保証機構を追加しロードバランシングによるアプリケーション処理効率において 10 倍の性能を実現」については、予定通り研究開発が進んでいる。

3.8.2.4 成果と意義

英ブリストル大、CMU など類似の研究が始まっているがまだ実用化には遠い。本研究開発で Hybrid-scheduling/Load-balancing アルゴリズムを実現することで、統合ロードバランシングを実現するスケジューラを実現することは、エッジコンピューティングのみならず、サーバサイドを含むコンピューティング全体の技術トレンドである SOA (Service Oriented Architecture) で重要となってくる処理負荷のダイナミックなスケールアップのための基盤を実現していくことであり、様々なアプリケーションにおいて、高い性能とスケールビリティを実現することに大きく寄与すると考える。

3.8.2.5 成果の普及

本研究開発の成果はプロジェクト終了後速やかに製品化され事業化される計画である。

3.8.3 研究開発サブテーマ「ソフトウェアマッピング支援ツールの研究開発」

3.8.3.1 概要

本サブテーマの目的は、サービス指向アーキテクチャを構成する各種ソフトウェアモジュールを、ヘテロジニアス・マルチ・メニーコア上にマッピングするための支援ツール(図3.8.4 参照)を研究開発することである。

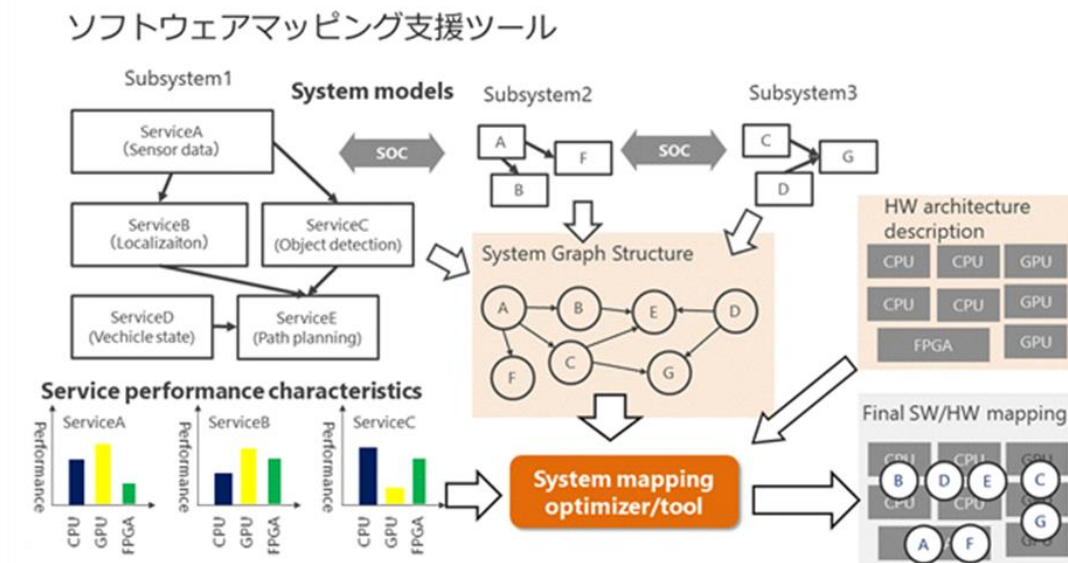


図 3.8.3.1 ソフトウェアマッピング支援ツール

3.8.3.2 最終目標と根拠

本実施項目の目的を達成するために、事業開始時点での当該分野技術水準として、2種類の課題を解決する必要があった。第一に、ヘテロジニアスなプロセッサ環境においてソフトウェアモジュールを最適配置するアルゴリズムの研究開発である。事業開始時点では効率よいアルゴリズムは知られておらず、研究開発の必要があった。第二に、サービス指向アーキテクチャを表現したシステムモデルを入力とするための連携機構の研究開発である。サービス指向アーキテクチャ自体が新規技術分野であるため、連携機構についても新規に研究開発する必要があった。さらに、事業全体で実現するソフトウェアプラットフォームの一部として、これらの研究開発技術をプロトタイプ動作させることを考えた。そのため、本実施項目の最終目標は、「ヘテロジニアスなプロセッサ環境におけるソフトウェアモジュールの最適配置アルゴリズム」および「最適配置アルゴリズムのシステムモデル記述との連携機構」のプロトタイプ動作とした。

3.8.3.3 目標の達成度

2020年6月時点の状況において「ヘテロジニアスなプロセッサ環境におけるソフトウェアモジュールの最適配置アルゴリズム」および「最適配置アルゴリズムのシステムモデル記述

との連携機構」について、それぞれ第一版の単体プロトタイプは完了しており、現在評価、改良中である。また、本事業開始前から名古屋大学資産であったモデルベース並列化(MBP)およびシステムレベル設計環境(SystemBuilder)を拡張し、上述の研究成果を加え、全体を統合したヘテロジニアス・マルチコア向けモデルベース並列化(HS-MBP)設計環境(図 3.8.3.3 参照)を構築中である。さらに現在、最終的な実証に向け、期間終了までに実証完了予定である。そのため、進捗としては順調であり、最終目標に向けた現在の達成度は 80%程度と考えている。

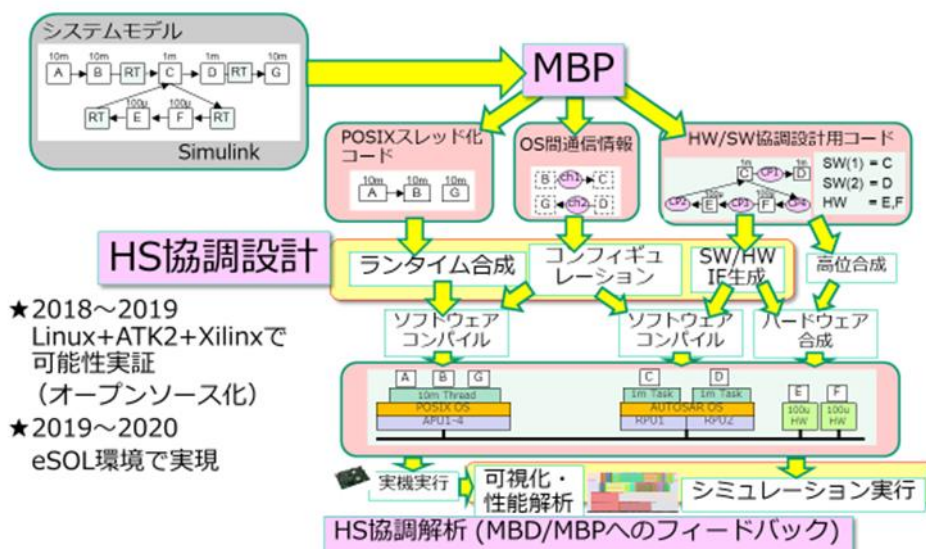


図 3.8.3.3 ヘテロジニアス・マルチコア向けモデルベース並列化(HS-MBP)設計環境

3.8.3.4 成果と意義

ヘテロジニアスなプロセッサ環境におけるソフトウェアモジュールの最適配置アルゴリズム」については、エッジ HPC の特性を活かしたアルゴリズムを提案、国際会議および国際学術論文誌において発表した。この論文の主旨は以下の様なものである。ヘテロジニアス・マルチコア向けソフトウェアマッピングを一般的に定式化した場合、非線形問題となるところ、アクセラレータにおいてのみ高い性能を示す処理のみをマッピング候補とすることで混合整数線形計画問題として定式化し、実用的な時間で求解することができるようになった。

「最適配置アルゴリズムのシステムモデル記述との連携機構」については、システムモデル記述として AMALTHEA データモデルを選定、ソフトウェアマッピングツール MBP の内部データ構造である BLXML に変換するツールを開発、自動運転関連システムの AMALTHEA サンプルモデルを入力としたヘテロジニアス・マルチコア向けソフトウェアマッピングに成功した。AMALTHEA は今後、欧州組込み産業、特に自動車産業、においてベンダ間で共通利用する設計標準記述として使用されることが想定されている。

ヘテロジニアス・マルチコア向けモデルベース並列化(HS-MBP)設計環境では、MBP 出力から、ターゲットとするヘテロジニアス・マルチコア環境である Xilinx Zynq UltraScale+ MPSoC ZCU102 上で動作させる設計フローを実証した。現在 eSOL 社 OS と組み合わせ、システムモデルを入力とし、ヘテロジニアス・マルチコア環境で動作させるソフトウェア設計フローを実証予定である。

3.8.3.5 成果の普及

ソフトウェアマッピングを含めた一部分はイーソル社より実用化(詳細は後述)、他はオープンソース化の予定である。

3.8.4 研究開発サブテーマ「ヘテロジニアス・マルチ・メニーコア向けハードウェア記述標準モデル SHIM の研究開発と国際規格化」

3.8.4.1 概要

SHIM のヘテロジニアス・マルチ・メニーコアへの適用に関する基本項目検討および性能評価を行う。実施項目1～4とのインターフェース、ユーザインタフェース、見える化機能などの研究開発、および標準化を実施する。

3.8.4.2 最終目標と根拠

IEEE/IEC での国際標準化を実現する。本研究開発で実現を目指すソフトウェアプラットフォームが迅速に新たなハードウェアに対応できることを確実にするため、本プラットフォームが対応する標準ハードウェア記述モデルを国際標準化することが有効なためである。

3.8.4.3 目標の達成度

2018 年度目標「見積精度向上」に関しては仕様としては MCA SHIM 2.0 仕様に盛り込み済みである。2019 年度目標「ヘテロジニアスアーキテクチャ対応」では仕様面では IEEE SHIM Standard draft に盛り込み済みである。ツール機能面では実施項目 4 のソフトウェアマッピングツールの開発と併せて SHIM2.0 による見積精度の向上のための開発を実施中である。

2020 年度目標である IEEE/IEC 国際標準化においては、2019 年に IEEE/Computer Society/Design Automation/Software-Hardware Interface for Multi-manycore (IEEE/C/DA/SHIM)として P2804 SHIM WG を設置、その後の WG 活動と各種レビューを経て、無事 2020 年 1 月に IEEE Std. 2804-2019 として標準が IEEE より発行された。

3.8.4.4 成果と意義

コンピュータ技術領域において IEEE 標準は国際的に広く信頼され、多くの実績を持つ。その IEEE 標準にて、本ハードウェア記述モデルを新たな IEEE 標準として成立させ、発行出来たことは、今後の本プロジェクト成果の普及において、国際的に大きな意味を持つ。

3.9 研究開発テーマ「動的多分岐・結合トレース型 AI プロセッサのエコシステム開発」

本研究開発項目では、「AI をエッジシステムで利用する際に必要となる、ニューラルネットワークおよびその前後処理、ルールベース AI の補完処理、時分割処理にも対応可能な、高速かつ高効率・低消費電力なエコシステムをハードウェア、ソフトウェア、開発環境も含めて実現する」という目標に対し、これまでの研究開発により基本アーキテクチャを決定し上記協調設計を進めており、競争力のある電力効率目標を達成する見込みを得ており目覚ましい成果を上げつつある。個別の研究開発テーマにおける詳細は以下に示す。

3.9.1 研究開発サブテーマ「多分岐結合型推論プロセッサの研究開発」

3.9.1.1 概要

本研究では、グラフ構造で表される処理対象をコンパイラで多数のスレッドに分解、整列した後、それらのスレッドをプロセッサの資源状況とスレッドの処理優先度を動的に判断して実行制御できる並列プロセッサの基礎検討を行い、今後 20 年間の使用に耐えるフレキシブルかつスケラブルな計算機構造を実現できる高効率プロセッサを定義する。

3.9.1.2 最終目標と根拠

多分岐結合型推論プロセッサ(以下 DILP)ハードウェア・ソフトウェアアーキテクチャを定義し、そのアーキテクチャに従いハードウェアおよびソフトウェアを実装する。世界最高レベルの電力効率:15TOPS/W、面積効率:1mm²/TOPS を目標として、コスト競争の厳しい分野、電力制約の厳しい分野もターゲットとする。

3.9.1.3 目標の達成度

15TOPS/W を実現可能なアーキテクチャ開発を完了。DILP のターゲット分野である組込み用途に向け、処理単位が小さくても高処理効率を実現できるアーキテクチャを検討し、ベクトルユニット共有型 MIMD マルチスレッドプロセッサとすることを決定した。基本クラスタのハードウェア設計は、CPU 及び周辺の実装を完了した。ソフトウェア開発環境として、主にフレームワークライブラリ、シミュレータの開発を実施した。

3.9.1.4 成果と意義

AI をエッジシステムで利用する際のキー技術となる高速かつ高効率・低消費電力なプロセッサおよびソフトウェア開発環境を日本で実現することは、深層学習を核として世界レベルで技術開発と多方面への実用化競争が起きている中で、日本がそれらの技術、製品を使うだけの立場だけではなく、日本の産業に貢献できる技術、製品を戦略的に育てていく重要な意義を持つと考えている。

3.9.1.5 成果の普及

本研究で提案する並列プロセッサ技術の普及にはエコシステムの開発が重要であり、基本クラスタ構成のハードウェアが完了後 PoC 等の途中研究成果を活用し、エコシステムの醸造に重要な標準規格への提案を開始し、主にユーザの立場となるアドバイザー企業からのアドバイスも反映しつつ、量産開発想定時期である 2022 年以降に標準

に沿った形での開発方式・環境としてエコシステムが成立できるように活動を実施していく。

3.9.2 研究開発サブテーマ「多様な AI プロセッシングアーキテクチャの評価と性能比較」

3.9.2.1 概要

様々な AI プロセッサアーキテクチャの方式比較、および様々なアプリケーションによる性能評価。DILP とのグラフィックプロセッシングユニット (GPU) を並列科学アプリケーションカーネル及び DILP の機械学習フレームワーク (Tensorflow, PyTorch, Chainer) での画像認識の実装と性能評価を行い、フレームワークの比較検討、および各種フレームワーク間で重みデータ等を交換する為のオープンニューラルネットワークエクステンション (ONNX) フォーマットについて調査を実施した。

3.9.2.2 成果と意義

これまでの結果により、今後進める予定の DILP の性能評価の為の環境 (OpenCL ベースカーネル) と DILP での機械学習アプリケーション評価のための準備ができた。今後 DILP シミュレータ等を利用してアプリケーションの性能評価をすすめ、GPU 等の他のアーキテクチャとの性能比較を実施する。

3.9.3 研究開発サブテーマ「ヘテロジニアス向けコンパイラの研究開発」

3.9.3.1 概要

ヘテロジニアス向けコンパイラの研究開発の環境整備と課題抽出を実施。ヘテロジニアス環境では、①アクセラレータでの処理の切り出し方式、②処理の一部をアクセラレータに切り出すことに伴う整合性確保、の 2 点が大きな課題である。OSCAR 自動並列化コンパイラの技術を活用・拡張することでこれらの課題を解決し、動的な多分岐・結合トレース型 AI プロセッサのエコシステムの一部として事業化を目指す。

3.9.3.2 最終目標と根拠

既存の OSCAR 自動並列化コンパイラに、アクセラレータでの実行時間の予測機能と、ユーザとコンパイラとのインタラクティブなインタフェースを構築することにより①の切り出し方式を実現する。さらに、自動並列化コンパイラの強力な解析能力を拡張することで②の整合性確保を目指す。

3.9.3.3 目標の達成度

アクセラレータでの実行時間の予測機能に関して、実行時間を予測するための研究・実装を行い、アクセラレータで実施すべき処理の判別手段としての有効性が確認できた。

また、自動並列化コンパイラに対し、アクセラレータ実行部分をユーザが指示する機能を開発した。さらに、インタラクティブなユーザインタフェースを持つと同時にシステムの整合性を確保することのできるコンパイラの拡張機能として必要なループ並列化技術をまとめ、製品化に向けた機能開発を実施した。

3.9.3.4 成果の普及

成果の普及には、実行時間の予測技術を他のアクセラレータ向けに拡張し、ユーザインタフェースを現実に即したものとするために、実アプリの評価からのフィードバックを行ってヘテロジニアス向けコンパイラの実現を目指す。

3.9.4 研究開発サブテーマ「OSの抽象化とミドルウェア最適化技術ならびに統合開発環境の研究開発」

3.9.4.1 概要

- ① OSの抽象化による汎用性担保と最適化の研究開発
ヘテロジニアスマルチコア環境下で複数かつアーキテクチャが異なるコアを効率的かつ並列実行可能なOS(ハイパーバイザ)の研究開発を実施する。
- ② 制御系へ向けたミドルウェア最適化の研究開発
画像処理、画像解析の為にミドルウェアであるOpenCL,OpenVXについて、制御系に向けて最適化と上記OSへの実装を行い、ユーザへのインタフェースを提供する。
- ③ 複合コンパイル環境に対応した統合開発環境の研究開発
シームレスにシステム設計と開発が行える統合開発環境の研究開発を実施する。

3.9.4.2 最終目標と根拠

- ① OSの抽象化による汎用性担保と最適化の研究開発
現状の市販ハイパーバイザの通常スケジューリング時オーバーヘッドは約3%あるのに対して今回のハイパーバイザでは2%のオーバーヘッドを目標とする。
- ② 制御系へ向けたミドルウェア最適化の研究開発
現状のLinuxベースOpenCL,OpenVXの処理時間に対し20%の処理時間短縮を行う。
- ③ 複合コンパイル環境に対応した統合開発環境の研究開発
開発エンジニアがハイパーバイザ設定から上位のパーティション内の設定、ビルド、デバッグをシームレスに実行できる環境を目指す。

3.9.4.3 目標の達成度

- ① OSの抽象化による汎用性担保と最適化の研究開発
現状、ハイパーバイザ上のパーティション内では、ネイティブタスクまたは、OSSのリアルタイムOSが動作するまでの実装を完了した。
- ② 制御系へ向けたミドルウェア最適化の研究開発
現状、制御系リファレンスRTOSに仮実装中。ハイパーバイザ上のRTOSパーティションが実装され次第、移植を開始する。達成度としては65%程度と考える。
- ③ 複合コンパイル環境に対応した統合開発環境の研究開発
プラットフォーム、設定項目の整理を実施している。

3.9.4.4 成果と意義

制御系に向けたハイパーバイザ、ミドルウェア、開発環境が整備され、部分的にオープンソース化されることにより、多くの企業でヘテロジニアスマルチコア環境を利用してもらうこと、及び日本からオープンソースのプラットフォームを発信、貢献が可能。

3.9.4.5 成果の普及

- ① 本プロジェクト参加企業、学術やアドバイザー企業への早期のリリース
- ② オープンソースコミュニティからの普及

3.9.5 研究開発サブテーマ「リアルタイム空間理解、判断アルゴリズムの研究開発」

3.9.5.1概要

ロボットや無人搬送車(AGV)が、周囲の物体や環境をリアルタイムに認識するアルゴリズム、また、認識結果にもとづいて、行動計画をリアルタイムに決定するアルゴリズム、および、それらの高速ハードウェア実装技術を開発。

3.9.5.2最終目標と根拠

開発したリアルタイム認識、判断アルゴリズムを DILP 上に実装し、ロボットに搭載して、従来比 10 倍速の複雑形状物品のロボットピッキングを実証する。これは、物流倉庫や工場内の作業自動化に必須の課題である。

3.9.5.3目標の達成度

グラフ適用の新規認識アルゴリズムとデータフロー演算(FPGA 実装)により、物体認識速度 0.7 秒(中間目標:3 秒以下)を達成。IEEE 論文誌採択。

新規ロボット軌道計画アルゴリズムとデータフロー演算(FPGA 実装)により、軌道計画時間 0.5 秒(中間目標:3 秒以下)を達成。フラグシップ国際学会採択。
現在、上記各アルゴリズムの DILP 実装検討を推進中。

3.9.5.4成果と意義

リアルタイム認識、判断アルゴリズム、および、その高速ハードウェア実装技術。
産業分野における様々な複雑な作業の完全自動化を実現し、労働者、熟練者不足の社会課題を解決するとともに、競争の激しい AI 分野での国際的プレゼンスを強化できる。

3.9.5.5成果の普及

本委託事業にて開発したアルゴリズム、ハードウェアをコアとするロボット SI 事業をグローバルに展開予定。

3.9.6 研究開発サブテーマ「多分岐結合型推論プロセッサ性能評価用ベンチマークの研究開発」

3.9.6.1 概要

本プロジェクト開発のDILPが対象とする重要分野の代表的アプリケーションベンチマーク群を機械学習系、信号処理系と、制御系から選定し、これらベンチマークが第三者によって検証可能(ソフトウェア実行可能)な形式(C/C++プログラム)とする。ベンチマークリファレンスソースコードは、東京工業大学で開発された C2RTL ツール(ハードウェア構造C/C++記述からハードウェア回路記述を自動生成)によって、ベンチマーク処理を実行する専用回路を直接的に生成できる形式として開発することで、専用回路実装における潜在的計算量、メモリ帯域・容量、IO 帯域、計算並列性などのベンチマーク固有ハードウェア特性をプラットフォームに非依存な客観的数値として提供可能な形式であることを特徴とする。このことで、各種 AI プラットフォームの各ベンチマーク性能傾向の相関性の本質的理解を促進し、各プラットフォームアーキテクチャやソフトウェア実装の設計途上段階での設計改良のための重要な知見を提供することで、市場競争力の高いエッジシステムプラットフォームの短期間の開発を可能にする。

3.9.6.2 最終目標と根拠

機械学習系(画像認識 CNN, 時系列予測 RNN)、信号処理系(FFT, Pitch Detection)、ロボット制御(姿勢推定 NDT Scan Matching, 経路計画 Path Planning)のベンチマークリファレンスソースコードを開発し、本プロジェクト開発の DILP の性能評価(計算資源稼働率、メモリ帯域・容量占有率、バス占有率、消費電力)を行うとともに、これらベンチマークのハードウェア実装における潜在的計算性能、回路規模、メモリ帯域・容量、消費電力、等のベンチマーク固有ハードウェア特性数値を計測する。

3.9.6.3 目標の達成度

2020 年度末時点では、上述のベンチマークリファレンスソースコードの開発を終了する予定であり、その後の2カ年で、DILP シミュレータの性能プロファイル機能の実装と、DILP 性能評価、ベンチマーク固有ハードウェア特性計測を実施するため、概ね予定通りに研究目標が達成できている。

3.9.6.4 成果と意義

既に、画像認識 CNN ベンチマークでは、高精度認識が可能な Resnet モデル(34 層)の C++コードから C2RTL ツールによって4千万ゲート規模で21.9TOPS の処理性能を有するハードウェアを自動合成することに成功しており、これほどの大規模処理がソフトウェアとハードウェアとで両方実装可能であるような C++ベンチマークは前代未聞であり、産業上・学術上で大変大きな意義がある。

3.9.6.5 成果の普及

本研究テーマに関連した国際会議発表を3件行っており、また C2RTL ツール自体の産業移転活動も進めており、C++によるソフトウェア・ハードウェアベンチマークを最終的には GitHub 等で公開することを検討している。

3.10 研究開発テーマ「完全自動運転に向けたシステムオンチップとソフトウェアプラットフォームの研究開発」

本研究開発項目では、完全自動運転に向けたシステムオンチップ(ハードウェア)のみならず、オペレーティングシステム(OS)・ミドルウェア・アプリケーション技術を創出するという目標に対し、各組織下記の研究開発を達成し、成果を上げつつある。

- I. 完全自動運転に向けた SoC の研究開発 (株式会社アクセル)
- II. 完全自動運転に向けたコンパイラ・OS の研究開発 (国立大学法人東京大学)
- III. 完全自動運転に向けたミドルウェアの研究開発 (国立大学法人埼玉大学)
- IV. 完全自動運転に向けたアプリケーションの研究開発 (株式会社ティアフォー)

個別の研究開発テーマにおける詳細は以下に示す。

3.10.1 研究開発サブテーマ「完全自動運転に向けた SoC の研究開発」

3.10.1.1 概要

本研究開発テーマでは、完全自動運転に向けた SoC(System on Chip)の研究開発、および試作チップの製造を行う。完全自動運転では、「認知」「判断」「操作」に必要な大量の処理を、決められた時刻までに処理する必要がある(リアルタイム処理)。一方、今後量産製品においてシステムが運用される環境は、ボンネット内やトランク内などの限られた空間および放熱環境、バッテリーからの限られた電力という厳しいものと想定される。本プロジェクト開始時点で、多くの自動運転システムは、高性能の CPU や GPU を組み合わせたもので、処理能力、消費電力、システムのサイズ、放熱性能などの点で多くの課題がある。

これらの課題を解決するためには、面積、電力当りの性能向上が必要不可欠であり、ハードウェアのアーキテクチャレベルからの最適化が有効なアプローチの一つと考えられる。そこで本研究開発テーマでは、様々な特性を持った計算資源をうまく組み合わせたヘテロジニアスコンピューティングが有効であると考え、完全自動運転に特化した独自のアクセラレータおよびメニーコア混在のヘテロジニアス SoC の研究開発、および試作チップの製造を行う。

3.10.1.2 最終目標と根拠

最終目標として、2021 年度に試作チップの製造を完了し、2022 年に全体を結合した実証実験を実施し試作チップによる省電力・演算性能達成見込み達成を確認する。省電力・演算性能達成見込みは以下の 3 点である。

1. 開発成果を組み込んだシステムレベルでの施策を行い、想定用途やシステムによる実用性を検証すること。
2. 事業開始時に広く普及している技術と比較して、エネルギー消費効率あるいは電力効率 10 倍以上を達成すること。
3. AI エッジコンピューティングにおける限られた計算資源でのリアルタイム性の保証と従来比 10 倍以上の高速なデータ処理を達成する。

最終目標1においては、実用化を見据えた研究開発の場合、必須のものと考え、チップを用い、全体を結合した実証実験を実施することで達成を確認する。

最終目標2および3においては、プロジェクト開始時において使われている自動運転システムの多くが、100W を超える消費電力である。先述した今後量産製品においてシステムが運用される環境での使用を想定すると、使用可能な電力や放熱環境から、3~5 倍程度の電力対性能の向上が求められると考える。プロジェクト終了時までの競合技術の進

化も踏まえ、事業化に向けたアドバンテージの必要性も考慮し、10 倍という目標を設定した。

本研究開発テーマにより、完全自動運転に特化したハードウェアアクセラレータを実装しつつ、メニーコアをベースとした SoC に組み込むことによって、他の汎用を目指すプロセッサとの圧倒的優位性を確立し、早期に完全自動運転におけるデファクトスタンダードを達成し、事業化へつなげることを目標とする。

3.10.1.3 目標の達成度

- ・ 2019 年度：FPGA プロトタイピングの立ち上げ完了・評価開始

達成度：100%

- ・ 2020 年度(中間目標)：FPGA を使った SoC プロトタイピング実装および評価

達成度：20%(2020 年 6 月時点)

※2020 年度において、新型コロナウイルスの影響は限定的である。一部の研究開発において、機材を使用した作業が滞っているが、他の作業と再スケジュールすることで、影響を最小限にするよう務めている。

3.10.1.4 成果と意義

成果：

2019 年度および 2020 年度前半迄の成果としては、自動運転システムに必要な要求仕様を洗い出すと主に、全体アーキテクチャ検討を行い、LSI 全体設計を行った。また、L 拠点間での共同研究開発に必要な開発環境の整備や設計データ群の整理を完了した。本研究開発テーマの1つの主要な内容である、自動運転システムで使用される処理のハードウェアアクセラレータの研究開発のうち、CNN アクセラレータの研究開発を完了した。同様に、もう1つの主要な内容である、リアルタイムコア(メニーコア)においても、同様に開発を完了し、FPGA での評価へ移行した。試作 LSI の開発および製造においては、ASIC ベンダの選定を完了し、開発を開始した。ASIC ベンダの選定においては、事業化まで一貫して対応可能なベンダを候補とし、選定した。

意義：

FPGA プロトタイピングによる評価を行うことで、早期にハードウェアアクセラレータの効果測定、性能改善を図る。以降、実際に LSI として製造することで、戦略的に実用化・事業化し、市場への展開を目指す。委託先となる ASIC ベンダにおいても、事業化まで一貫して対応可能なベンダを選定候補とし、早期の実用化・事業化を可能とする。また、本研究開発テーマで対象とする自動運転プラットフォームの Autoware は、研究用途の Autoware.Ai のみならず、実用を目指した自動運転プラットフォームである Autoware.Auto も対応しており、実用化・事業化を強く意識した研究開発内容である。

3.10.1.5 成果の普及

先述の CNN アクセラレータの研究開発において、2019 年度で研究開発を完了し、事業化へシフトした。事業化自体は、本研究開発テーマにおける 1 つの項目を横展開した形である。本 CNN アクセラレータの事業化では、まずは FPGA や ASIC 向けの IP、および FPGA ボードによるシステム製品などとして展開する。その後、ASIC 化を含めた製品化を目指し、現在具体的な検討を進めている。

上述した CNN アクセラレータの事業化について、プレスリリースとして発表を行った。

リリースページ：https://www.axell.co.jp/ir/pdf/AXELL_PR20200623.pdf

3.10.2 研究開発サブテーマ「全自動運転に向けたコンパイラ・OSの研究開発」

3.10.2.1 概要

ヘテロジニアス SoC チップ向けコンパイラ・OS の研究開発を実施する。本コンパイラ・OS はメニーコア、ハードウェアアクセラレータ、FPGA などを高効率且つ容易に利活用可能とすることを目指し、各共通計算アルゴリズム向けに最適化されたライブラリや、ハードウェアアクセラレータを高効率に動作するためのドライバを開発する。

3.10.2.2 最終目標と根拠

2021 年度に試作チップ向け開発を行う。その後 2022 年度まで実証実験による省電力・演算性能達成見込みの確認を実施する。

ソフトウェア開発効率と計算資源利用効率の両面で高効率にヘテロジニアス SoC を利活用できる手段が必要不可欠であるため、アプリケーション開発者が容易にヘテロジニアス SoC の恩恵を授受出来ることを目指して本コンパイラ・OS の開発を行う。

3.10.2.3 目標の達成度

2019 年度:コンパイラ・OS の実装完了

達成度:100%

・2020 年度(中間目標): FPGA による性能評価実施

達成度:15%(2020 年 6 月時点)

3.10.2.4 成果と意義

成果:

アクセラ開発のメニーコアと ARM コア間的高速通信及び、アプリケーションの移植性を考慮した API を実装し、従来の INET ソケット通信より高速な Unix Domain Socket の API の実装を行った。さらにメニーコアを N*N クラスタ並列処理を実現するための API や、Mcube Kernel における C 言語を用いた簡易 Publisher/Subscriber プログラムを実装したが、必要なライブラリである libcpp のビルドに関するエラーが多数発生した。これらを解析し、アサーション及び浮動小数点コンパイルオプションの調整を行うことで回避可能であることを確認した。

意義:

本コンパイラ・OS により、メニーコア、ハードウェアアクセラレータ、FPGA などを容易に行うことができ、アプリケーション開発が行い易くなる。さらなるユーザの利便性、性能、効率などの向上のために継続的な評価も行うことにより、実用に則したコンパイラ・OS が提供できる。例えば、研究用途の Autoware.Ai のみならず、実用を目指した自動運転プラットフォームである Autoware.Auto への対応が可能になる。

3.10.2.5 成果の普及

4.10 を参照。4 組織合同の成果・普及について記載している。

3.10.3 研究開発サブテーマ「完全自動運転に向けたミドルウェアの研究開発」

3.10.3.1 概要

ROS(Robot Operating System)をベースとしたヘテロジニアスな環境(メニーコア、マルチコア、ハードウェアアクセラレータ)に完全自動運転アプリケーションを分散して処理できる環境を研究項目 2 で提供される API を用いて構築することを目標とする。さらに、性能評価を効率的に行うための分析ミドルウェアの研究開発も実施する。

3.10.3.2 最終目標と根拠

自動運転アプリケーションがヘテロジニアスな環境(メニーコア、マルチコア、アクセラレータ)に分散して処理できるような環境を構築することを最終目標とする。ROS にはデータ収集に関する便利なツール「ROSBAG」が付属しており、収集したデータを様々なメッセージタイプに変換してノード間で通信させることができる。さらに、本研究項目では、2020 年度に予定している FPGA での評価を効率的に行うための、分析ミドルウェアの研究開発も実施する。分析ミドルウェアとして動作確認ツール(実行速度測定ツール、トレーサ)や解析ツールを開発し性能向上を妨げているボトルネック解析や、分散処理効果を確認するために用いる。

3.10.3.3 目標の達成度

- ・2019 年度:動作確認ツールの開発を完了
達成度:100%
- ・2020 年度(中間目標):解析ツールの開発完了、FPGA プロトタイプ向けミドルウェアの実装・評価
達成度:30%(2020 年 6 月時点)

3.10.3.4 成果と意義

成果:

OS とミドルウェアとの協調設計に向けて OS・ミドルウェアで必要とするシステムコール(OS が提供する関数)のリスト化、コンパイラの必要要件の洗い出し、アクセラのハードウェアの策定のため、自動運転アプリケーションのメモリ使用量の調査を行った。

実施計画提出時点では、ROS 1 をベースに研究開発を行うことを計画していたが、各委託先との打合せの結果、リアルタイム性や機能安全など実用性を考慮し、分散処理ソフトウェアプラットフォーム(ミドルウェア)を ROS 2 ベースで再設計を行うことにした。再設計に向けて ROS 2 のクライアントライブラリ(RCLC/RCLCPP/RMW)についても調査を行った。メニーコアの疑似環境として Kalray MPP256 環境にて動作検証することとし移植を開始し、RCLC(C 言語のクライアントライブラリ)、RCLCPP(C++言語のクライアントライブラリ)に関して移植が完了した。さらに、ROS 2 で使用する DDS(Data Distribution Service)については、オープンソースで提供されている FastRTPS 及び Eclipse Cyclone DDS を対象に調査を行った。まずは、ROS2 の標準搭載の DDS である FastRTPS から移植作業を開始した。並行して、もう一つの DDS の候補である Eclipse Cyclone DDS を PC 上で動作確認を行い、FastRTPS との性能評価(リアルタイム性)比較を行った。

動作確認ツールとしては、入力データと出力データを比較するツールの研究開発を行った。これより、今後、本ミドルウェアで開発を行うアプリケーションの動作確認・検証を容易に行うことができる。

2020年6月時点では、中間目標のFPGAプロトタイプ実装評価に向け、設計・実装を進めている。さらに、新設計に適した、解析ツールの設計を開始した。

意義:

提案ミドルウェアにより、メニーコアでの複雑な開発(多くのコアでの配置や通信の制御等)を容易に行うことで、アプリケーション開発が行い易くなる。さらに、ROS 2 ベースの新設計に変更することにより、リアルタイム性や機能安全を考慮した実用に適したミドルウェアを提供できる。例えば、研究用途ではなく、実用を目指した自動運転プラットフォームである Autoware.Auto への対応が可能になる。

。

3.10.3.5 成果の普及

4.10を参照。4組織合同の成果・普及について記載している。

3.10.3.6 その他

本ミドルウェアを含む Autoware on Many-core Platform: NoC ベース組込みメニーコアプロセッサ向け自動運転プラットフォームを、組込みシステムの査読ありシンポジウムである組込みシステムシンポジウム(ESS2019)で発表し、優秀論文賞(ベストペーパー)受賞した。

3.10.4 研究開発サブテーマ「完全自動運転に向けたアプリケーションの研究開発」

3.10.4.1 概要

完全自動運転に向けた SoC、OS、ミドルウェア上で動作する完全自動運転に向けたアプリケーションの研究開発を実施する。車載での実用的な価格、消費電力、発熱量の制約下では、高性能であっても従来のベストエフォート型のプラットフォームで危険(Risk)をコントロールすることは困難である。AI エッジコンピューティングを用いて、車載を意識した危険をコントロールして社会に受け入れられる完全自動運転に向けたアプリケーションを構築する。

3.10.4.2 最終目標と根拠

車載向けの限られた計算資源の下で、完全自動運転に要求される認知・判断・操作について、安全性の担保のために実時間性の保証を最終目標とする。

車載向けの限られた計算資源の下で、完全自動運転に求められるタスクの分析を行い、ヘテロジニアス SoC の協調設計、および必要に応じてアルゴリズムの車載向け再設計を含めたアプリケーション再構築を行い、実時間性の保証という観点でヘテロジニアス SoC からアプリケーションまでの全体最適なシステムを構築する。

3.10.4.3 目標の達成度

・2019年度:タスクの選定と分析および協調設計によるヘテロジニアス SoC への初期フィードバックを完了

達成度:100%

状況:初期目標として EKF(拡張カルマンフィルタ)アクセラレータ実装を目標として、FPGA での動作及び性能を確認完了

・2020 年度(中間目標):FPGA 評価を実施し、演算性能を算出する

達成度:30%(2020 年 6 月時点)

状況:EKF の検証および、NDT(Normal Distribution Transform)アクセラレータの初期設計を実施中

3.10.4.4 成果と意義

成果:

完全自動運転機能のリアルタイム制御向けの開発においては、ハードウェア/ソフトウェアの協調設計と、リアルタイム性を確保できなかった場合に車両を安全に停車させる機能を開発した。協調設計においては、IP(Intellectual Property)の流用性も考慮して複数のデータ並列処理へ転用可能な Application Specific SIMT アーキテクチャを採用し、完全自動運転の中でも安全性への影響が大きい EKF(Extended Kalman Filter:自己位置推定に使用するフィルタ処理)の開発を完了した。

完全自動運転ソフトウェアの実車両適応評価では、今期購入した JapanTaxi 車両 2 台とタジマ製小型 EV 車両 1 台の評価を行った。完全自動運転ソフトウェアから車両を制御するための車両インターフェースを開発して自動運転制御可能とし、直進、停止、右左折といった基本動作から、低速域制御や緊急停止制御の改善および検証を通して、同一車種の別車両や複数車種に対して適応できていることを確認した。

意義:

Autoware を効率的かつ安全に動作可能なハードウェアとアクセラレータ連携のシステムを構築し、AS-SIMT アーキテクチャを採用した SoC システムの研究を進めた。これにより、従来までの高性能 PC を用いずに安全性・リアルタイム性を確保して Autoware を動作させられるシステムの目途を立てることが可能になった。

また、車両実験も進めており、JapanTaxi 車両での Autoware 実動作確認で実証データの蓄積及び性能解析を進めている。将来的には SoC で車両を動作させる事を目的としている。

3.10.4.5 成果の普及

4.10 を参照。4 組織合同の成果・普及について記載している。

3.10.4.6 その他

Autoware を中心とした自動運転エコシステムの拡大も進めており、特に本研究プロジェクトと関係の深い協業先として ARM Ltd.が挙げられる。

本研究では Autoware の低負荷な処理をホストコンピュータ汎用 CPU で処理し、高負荷処理をアクセラレータにオフロードする形式を取っている。ここで、ホストコンピュータ上のプロセッサを ARM 製の低消費電力 CPU を活用する事で、さらなる低消費電力化を図っている。

SoC 化に関しては他にも、Renesas、NXP、ADLINK、QuantaComputer から連携の引き合いがあり、将来的には自動運転 IP コア展開事業の促進・広範化に寄与できると見込んでいる。

3.11 研究開発テーマ「セキュアオープンアーキテクチャ基盤技術とその AI エッジ応用研究開発」の研究開発成果

3.11.1 概要

本研究開発では、今後必要性が急増する「AI エッジデバイス用セキュリティのホワイトボックス化」の要請に応えるため、RISC-V オープンアーキテクチャをベースとして RISC-V に不足しているセキュリティ基盤技術を開発する。この基盤技術はトラスト実行環境(TEE。ハードウェア信頼起点のアシスト付き)を軸として産業分野への実応用を容易にするための鍵管理技術を埋め込み、これらのセキュリティ基盤を適用したセキュア産業 IoT の PoC システム設計を含めた研究開発を実施する。

セキュリティシステムはシリコンハードウェア(SoC)から社会実装に至る深い階層構造を必要とするため、本研究開発では実施項目を

実施項目① セキュア MCU アーキテクチャ

実施項目② トラスト実行環境(TEE)

実施項目③ アーキテクチャの産業用途即応化

実施項目④ セキュリティ社会実装 PoC 設計

の四階層で構成し、これらを連携させて研究開発を進める。

3.11.2 最終目標と根拠

実施項目① セキュア MCU アーキテクチャ

「セキュア MCU アーキテクチャ」では、AI チップでサイバーセキュリティを確保するために必須となる、セキュア MCU のシステムアーキテクチャ主要概念を開発する。

チップのセキュリティでは安全な鍵注入や暗号技術の安全な管理がユーザから求められている。これに答えるために RISC-V 64bit とは独立に鍵管理、真性乱数生成を行うセキュア MCU の仕様検討を行う。パソコンでは TPM、スマートフォン等は GlobalPlatform の Secure Element が使われていることが多いが、機能が限られている問題がある。本開発では今後活用が進むチップ認証などを含んだ証明書の検証なども行えるように MCU にする。

セキュア MCU は RISC-V 64bit と同一 SoC 上に組み込まれることを想定し、RISC-V 32bit で構成して低消費電力、物理的耐性を持ち、機能性、安全性を確保する。また、チップそれぞれ固有に注入された鍵は、情報を秘匿するために利用できるだけでなく、そのチップとその上で動作するソフトウェアの真正性の検証やチップの認証にも利用できる。更に、それをベースにするハードウェア、ソフトウェアそれぞれのサプライチェーンのために活用できるようにする。

そのため、チップ利用者がチップの認証などに利用できるような鍵管理のエコシステムの一部となる固有鍵サーバを構築し、セキュア MCU の固有鍵を管理する。

実施項目②-1 RISC-V 版 TEE 仕様策定およびハードウェア開発

「トラスト実行環境(TEE)」では、TEE の RISC-V 64bit 上での実装方式の開発と、RISC-V 基金における標準化活動を推進する。通常の計算とは独立して安全に計算する環境 TEE は非営利団体である GlobalPlatform において仕様が決まっておらず、通常の OS が走る Normal World と Trusted OS が走る Secure World は物理的に分離されている。この機能はスマートフォンの認証システムやセットトップボックスの DRM 実装で活用されているが、RISC-V では TEE の実装についてまだ規格が決まっておらず、ワーキンググループ(WG)での協議段階である。従来の研究開発プロジェクトでは新しい方式を提案しても規格策定で採用に至らない事が多かった。そのため本プロジェクトでは技術開発と並行して、RISC-V 基金

のWGにも参加して標準化の議論も進める。また、本プロジェクトで開発する TEE の Trusted OS や Trusted Application は AI エッジ・産業用途に供する。

実施項目②-2 TEE ソフトウェア

最終年度の目標は Trusted OS を含む TEE に関するソフトウェアが安全にリモートから更新できる技術 Over the Air の策定を予定している。既に Secure MCU を信頼の基点とするデバイスの真正性検証は 2020 年度末に開発予定であり、これを発展させる形で実装する。このために IETF で規格されている TEEP (Trusted Execution Environment Provisioning) のプロトコル実装を RISC-V 上で行ってきたが、これに外部から真正性を確認できる Remote Attestation を付加して、製品に組み込みやすい形にする。Over the Air については自動車会社で活用されているが、規格に沿った実装ではなく、広く活用できるものではない。本プロジェクトの方式は IETF 準拠であり、仕様が公開されている RISC-V で実装することで広く活用されるようにする。

なお、このような Over the Air を実現するためには、デバイスや Trusted Application (TA) の真正性を検証するための鍵と、そのデバイスを使ったサービスを実施するための鍵を連携して運用ができるサーバが必要となるため、実施項目①の固有鍵サーバや実施項目④の鍵管理サーバとの連携の実現を目指す。また、Over the Air で配布するアプリケーションを管理するサーバも考慮したものとする。

また、RISC-V の TEE の実用性を示すために脆弱性の評価を行い、商用に耐えうることを確認する。近年、各種団体が主導する認証制度が進んでいるが、それに適用する実装を行うことで、活用を目指す。

実施項目③-1 産業用途 RISC-V

当初の最終目標とした「産業用途で求められる CPU の研究開発(マイクロアーキテクチャ検討 等)」は RISC-V 基金における追加アーキテクチャ検討の決定等の状況を鑑みて 2020 年度以降その実施を見合わせるものとし、「広範な市場ニーズを把握するためのユーザコミュニティ組織の形成」を当初計画の 2022 年度より前倒して実施することにより、探索したニーズを他の実施項目に追加反映することに注力する。

実施項目③-2 ソフトウェア移植容易性

本実施項目では、ユーザコミュニティを通じて RISC-V の産業応用におけるソフトウェア移植への要請事項を調査し、その移植容易性向上の効果を評価する。ユーザニーズの調査を通じて、ソフトウェア移植を容易化するのに必要な要件を網羅的に抽出する。

実施項目④-1 セキュア産業 IoT 模擬環境での実証

近年、エッジデバイスの急速な増加に伴い、サービス全体の信頼性の担保が喫緊の課題となっている。この課題を解決すべく、本実施項目では、サプライチェーンにおけるステークホルダーである製造会社・販売会社や、運用開始後のステークホルダーである保守会社などのシステムコンポーネントを無条件で信用しないことを基本とし検証を求めるゼロトラストネットワークの構築をめざす。具体的には、本プロジェクトで開発したオープンセキュアチップを用いて、エッジデバイスの物理的なセキュリティ確保と管理を効率的に行うエッジシステム及び鍵管理サーバを PoC システムとして構築し、生産工場や次世代モビリティシステム等の具体的な事業フィールドを想定した模擬環境で実証する。

実施項目④-2 セキュア AI エッジ応用ライフサイクルの社会実装

RISC-V TEE のサプライチェーン信頼性保証と運用環境における鍵管理等の生成、交換、修理から廃棄までの統合技術に関する有効性確認を実施する。有効性確認では、実フィールドにおけるユースケースに対応した RISC-V TEE システムを用いた応用ライフサイクルの仮説検証を行なうことで、セキュア AI エッジが提供する価値のソリューションアイデアを複数提示し、ユーザの用途に応じて使い分けられるよう出口戦略にする。

3.11.3 目標の達成度

実施項目① セキュア MCU アーキテクチャ

「セキュア MCU アーキテクチャ」を実現するためのハードウェアプラットフォーム並びにその上で動作するセキュア OS の実装まで完了している。現状ではセキュア MCU 単体での動作が可能である。セキュア MCU 内部に搭載している RISC-V 32bit コアはオリジナルであり、製品レベルの品質を保持しているところも優れた点である。

今年度は暗号化処理に関わる部分はソフトウェアにて実装するが、来年度以降、システム全体のスループット向上のために、ハードウェア実装の暗号化エンジンを同システムに搭載する予定で進める。

直近の課題として、実施項目②で開発予定の RISC-V 64bit アプリケーションコア部との回路接続とその回路を制御するためのソフトウェア(デバイスドライバ、API)があるがこれらは 2021 年 3 月までに実装完了予定である。

また、セキュア MCU それぞれのための鍵を管理する固有鍵サーバならびに、セキュア MCU の鍵を処理するセキュア OS 用アプリケーションを開発中であり、2020 年度末までには固有鍵サーバとセキュア MCU が連携可能となる予定である。

実施項目②-1 RISC-V 版 TEE 仕様策定およびハードウェア開発

「トラスト実行環境(TEE)」で使われる RISC-V 64bit アプリケーションコア部のベースとなる RISC-V マルチコアアーキテクチャの FPGA 化まで実現できた。さらにセキュア MCU との通信を実現する回路の実装まで実施できており、セキュア MCU 含めたシステム全体としての動作が実施できる段階まで到達できた。また、RISC-V 64bit アプリケーションコアの起動はセキュア MCU で管理され、ブートローダがセキュア MCU の検証を完了しないと実行できない仕組みを加えている。これは Apple の iBoot と似た仕組みであるが、ブートローダの更新などを第三者機関が管理できるようにすることで広く産業用途に活用できることを目指す。

実施項目②-2 TEE ソフトウェア

当初の目標通りに Trusted OS を実施項目②-1 で開発される TEE ハードウェア上に作成する目処は立っている。既に GlobalPlatform が規定する TEE 用の API は開発しており、アプリケーション(Trusted Application:TA)の開発ができるようになっている。この RISC-V での GlobalPlatform の API 実装は RISC-V Security Committee および GlobalPlatform とともに定期的な会議を行っており、産総研がその一翼を担っている。

実施項目①-1 で開発される Secure MCU を信頼の基点として、デバイスを認証するための証明や機密情報が保存されることが想定され、TA からこの証明書や機密情報が活用できるようにする。TA と Secure MCU の通信、および API の実装は産総研とセコムで行っており、2020 年度末までには完成する予定である。

TA をリモートからインストール/アップデート/デリートのリモートから管理する TEEP(Trusted Execution Environment Provisioning)プロトコルは IETF で議論されているが、その Hackathon

に産総研・セコムが参加し、その仕様に準拠した実装を行っている。また、TEEP の提案書には産総研の研究者が提案者の一人となり、規格策定に貢献している。

外部から TA の実行を承認するためにデバイスの真正性、および意図した TA が確実に実行されることを確認する Remote Attestation の実装も進めている。2020 年度末までには、Secure MCU および TEE ハードウェアを FPGA 上で動作させることを予定している。

実施項目③-2 ソフトウェア移植容易性

2018 年度は、既存の制御用ソフトウェアを調査し、移植工数の削減に寄与する要因を抽出した。抽出した要因に基づいて評価対象ソフトウェアを選定する基準を策定した。2019 年度は、2018 年度に策定した選定基準に従い、評価対象とする制御用アプリケーションソフトウェアを選定した。選定したソフトウェアを机上で解析し、移植容易性を評価した。2020 年度は、ユーザコミュニティを通じて産業応用におけるソフトウェア移植への要請事項を調査する。また、ニーズ調査に並行して、RISC-V Foundation の動向をリファレンスとして調査する。

実施項目④-1 セキュア産業 IoT 模擬環境での実証

2020 年度は、昨年度に引き続き産業 IoT における将来動向、ニーズ調査を実施する。様々な産業 IoT の内で「生産工場・物流倉庫」と「モビリティ」を主として、現状システムおよび将来システムを想定し、脅威分析を行うことで脅威シナリオを作成する。また、作成した脅威シナリオの対策として必要となるセキュリティ機能要件を抽出し、オープンセキュアチップの有用性を示すモデルケースの策定を行う。

生産工場・物流倉庫分野では、アセットシェアリングにおける脅威シナリオを示し、顧客と事業者の双方に利する柔軟なリソース配分方式を提案し、TEE による実行環境分離及びアセット管理サーバを用いたシステム構成を具体化する。

モビリティ分野では、普及が進む MaaS 向けテレマティクス保険において、脅威シナリオに加えて車両データ分析を行うサーバ処理の肥大化が課題であることを示し、エッジ側で安全に運用・管理するためのシステムアーキテクチャ、データフロー、ステークホルダーマップから必要となる機能構成を明らかにする。

これまで、生産工場・物流倉庫分野ではリソース配分方式の提案と、モビリティ分野ではエッジ側アーキテクチャ、データフロー、ステークホルダーマップの作成が完了しており、本年度目標に対して計画通りに進められている。

実施項目④-2 セキュア AI エッジ応用ライフサイクルの社会実装

2020 度はセキュア AI エッジ応用ライフサイクルの内外動向調査結果報告書と RISC-V TEE システムを用いて実現すべきエコシステムの仮説立案を計画している。新型コロナウイルスの影響により現時点で国内外動向継続調査の進捗は遅れているが、電話会議等の代替手段を用いて調査を実施し、有効なユースケース仮説とソリューション検討を実施する。

3. 11. 4 成果と意義

実施項目① セキュア MCU アーキテクチャ

RISC-V 32bit ベースでのセキュア MCU を FPGA 上で動作する事ができ、かつその上で動作するセキュア OS まで開発できたことにより、RISC-V 64bit アプリケーションコア部との接続が可能となった。さらにチップそれぞれに固有鍵の注入できる機能の搭載により、セキュリティ性能向上と使いやすさの両立ができています。

これらの成果より、実施項目②への成果の適用ができ、システム全体としての動作が可能となり、社会実装 PoC への適用が可能となる。

実施項目②-1 RISC-V 版 TEE 仕様策定およびハードウェア開発

TEE を実行する RISC-V 64bit アプリケーションコアと低消費電力の RISC-V 32bit セキュア MCU 含めたシステム全体としての動作が可能になったことにより、TEE を搭載し、さらに Trusted Application の実装が実現できるため、社会実装 PoC への適用が可能となる。RISC-V 64bit アプリケーションコア部の起動を検証するセキュア MCU、およびその検証がネットワークを介した第三者機関で行えるようにすることで、ユーザに対して信頼のできる実行環境となる。また、ハードウェアベンダーのみならず、その鍵管理ベンダーや組み込みソフトウェアベンダーへ活用領域を広げることで国内産業振興に使えるようにする。

実施項目②-2 TEE ソフトウェア

TEE は Arm TrustZone を使ったスマートフォンや Intel SGX を使ったサーバで利用が出ているが、ハードウェアベースの信頼の基点をベースにして、デバイスや TEE 内で実行されるコードの真正性を行う Remote Attestation を含むものは少ない。Intel では自社で提供する SDK に Remote Attestation を使える機能を提供するが、そのためには Intel が用意するサーバを信用しなければならない。また、Over The Air についても多くの実装があるが、IETF のような規格に沿うものはほとんどなく、認証制度自体が作成中で模索段階である。本開発では規格策定自体に貢献しつつ、仕様が公開されている RISC-V で実装することで、ハードウェア・ソフトウェア双方のセキュリティが確保できる技術を開発している。また、本開発では協調領域と競争領域を明確に分離し、TEE の仕様や API などは広く公開してセキュリティを確保しつつ、TEE 実装については競争領域として国内産業振興に使えること目指している。

実施項目③-2 ソフトウェア移植容易性

産業分野のシステム製品のコストパフォーマンスとセキュリティの向上のためには、ライセンス料が廉価でホワイトボックス化が可能な CPU を使用することが好ましい。この条件を満たす CPU の中では、主に海外で実用化が進んでいる RISC-V が最有力候補であるが、産業向け機能に関する議論は行われていない。RISC-V に必要な産業向け機能を明らかにし、半導体メーカーによる産業向け RISC-V の製品化を促進することで、産業分野のシステム製品のコストパフォーマンスとセキュリティの向上を図ることができる。

実施項目④-1 セキュア産業 IoT 模擬環境での実証

本プロジェクトで開発するセキュアオープンアーキテクチャを標準技術として普及させるためには、適切なテストケースにおける適用事例を示す必要がある。本実施項目では、生産工場・物流倉庫分野とモビリティ分野をテストケースとして選定し、適用に向けた具体化を進めている。これらのテストケースは、セキュリティに関する標準的な国際規格 (IEC62443, ISO21434(WP29)) に将来的にアラインするものであり、テストケースとして適していると考えられる。したがって、本プロジェクトで開発するセキュアオープンアーキテクチャを標準技術として普及させる上で、本実施項目の成果は意義がある。

実施項目④-2 セキュア AI エッジ応用ライフサイクルの社会実装

セキュリティ計算基盤が支える IoT やモビリティのイノベーション価値向上を達成するためには、研究開発するセキュア AI エッジがグローバルに見てどのような位置に属するのか明確な指標とそれを実現する方策が必要である。さらに、Society5.0 等のエコシステムを想定したユースケースの仮説を立案し、提供する価値のソリューションアイデアを複数提示することも重要であり、そのためには、国内外の動向調査に基づいた出口戦略策定と、その動向調査の

フィードバックを受けた RISC-V TEE システムを適用したセキュア AI エッジ応用ライフサイクルのエコシステムを検討することが必要不可欠である。

3.11.5 成果の普及

- ・市場向け活動の第一歩として 2020 年 8 月に第一回オープンフォーラムを実施済み。TRASIO が研究開発する技術に対する認知を高めて、オープンコミュニティへの発展の期待を喚起した。
- ・オープンコミュニティはこの実績を更に発展させる活動として、2021 年度初めまでに活動開始のアナウンスを予定。
- ・オープンコミュニティの開設目的
 - TRASIO 研究成果(協調領域の技術基盤)に対するユーザの認知を高める
 - 研究開発成果の紹介(プレゼンテーションの実施、ハンドアウト資料の提供)
 - 研究開発成果であるセキュリティ基盤技術のハンズオン体験(ハードウェア、ソフトウェアの動作に関する実体験)の提供
 - セキュリティ技術、RISC-V 技術に対する広範なユーザニーズの探索
 - 探索したニーズの研究開発実施項目へのフィードバックを推進することにより、市場ニーズを積極的に取り込んだオープンシステムを開発して、研究開発成果の普及を促進する。

3.12 研究開発テーマ「AI エッジデバイスの横断的なセキュリティ評価に必要な基盤技術の研究開発」

3.12.1 研究開発サブテーマ「実施項目 0：AI エッジで必要となるセキュリティ評価分析基盤の研究開発」

本研究開発では、AI エッジデバイスの横断的なセキュリティ評価に必要な基盤技術を確立させるという目標に対し、以下のような成果を上げつつある。

- AI エッジデバイスなどの対象物が、評価済みあるいは登録済みであることを確認する際に必要となる個体管理用識別子のセキュリティ評価方法について、日本からの ISO TC292 WG4 に対しての国際標準化提案に貢献し、審議開始が承認された。
- AI エッジデバイスの入出力セキュリティを評価するためのシミュレータの MILS (Model In the Loop Simulation: モデル動作)レベルモジュールの構築が完了し、公開可能な部分の外部発表を行った。
- AI エッジデバイス内の重要な情報を保護するための特殊パッケージを試作し、その特性の基礎評価を完了させた。
- AI エッジデバイス内のファームウェア(バイナリ)などを解析するツールを試作し、DARPA CGC (Cyber Grand Challenge)の課題の不具合箇所にも自動適用可能なことを確認した。
- AI エッジデバイスなどの個体管理用識別子の読取、照合・識別、貼付を評価するための装置やシステムの構築が進み、公開可能な部分の外部発表を行った。

個別の研究開発テーマは、AI エッジデバイスの入出力に関わる部分を実施項目 1、AI エッジデバイスの内部実装保護に関わる部分を実施項目 2、AI エッジデバイスの個体管理に関わる部分を実施項目 3、全体を俯瞰し新たにセキュリティ評価分析基盤として整備すべき部分を実施項目 0 が担っており、それらの詳細を以下に示す。

3.12.1.1 概要

AI エッジに対して横断的なセキュリティ評価を行う際に必要となる評価項目を明らかにし、それらの内、既存の仕組みでは対応できない評価項目に対して新たな評価分析カテゴリを確立する。その際、必要とされるセキュリティ要求仕様やセキュリティレベルは応用分野毎に異なるため、その応用分野における主要なステークホルダー(製品やサービスの提供者、調達者、セキュリティ評価機関、セキュリティ認証機関など)とも対話しながら新たな評価分析カテゴリのセキュリティ要求仕様やセキュリティ評価分析手法の策定や整備を行う。これらにより、社会一般に受け入れられ易いセキュリティ評価分析基盤の確立を目指す。

3.12.1.2 最終目標と根拠

最終目標は、2022 年度末までに AI エッジを対象に含む新たな評価分析カテゴリを確立させることである。その際、全体のセキュリティは一番セキュリティの弱い箇所で決まるため、全体を俯瞰しながらセキュリティ要求やセキュリティ評価分析手法が定まっていない箇所を特定し、その部分を強化することが肝要となり、また、社会一般に受け入れられ易いセキュリティ評価分析基盤とするために、応用分野毎の主要なステークホルダー(製品やサービスの提供者、調達者、セキュリティ評価機関、セキュリティ認証機関など)とも対話しながら検討を進めることが重要となる。

3.12.1.3 目標の達成度

2018年度には、AI エッジ向けのセキュリティ評価項目全体を洗い出し、既存の評価方法などで対応可能なものと今後整備が必要な項目とに分類し、更に今後強化すべき箇所を明らかにするという目標を達成した。上記分類の結果、後者については各実施項目の中で重点的に取り組み、2019年度には2018年度で明らかにされた箇所の内、対象がセキュリティ評価認証済みまたは登録済みであることを確認するための個体管理用識別子のセキュリティ評価分析基盤に焦点をあて、そのセキュリティ要求仕様とセキュリティ評価分析手法を策定するという目標を達成した。2020年度は、応用分野として経済産業省が定めた自動走行システムにおけるサイバーセキュリティ対策検討体制(工程表)(図 3.12.1.3) 右下の評価・認証体制に対する評価方法/評価環境/体制整備のために、AI エッジが組み込まれる部分のセキュリティ要求仕様とセキュリティ評価分析手法の策定に取り組んでおり、その目標は達成可能であると見込んでいる。

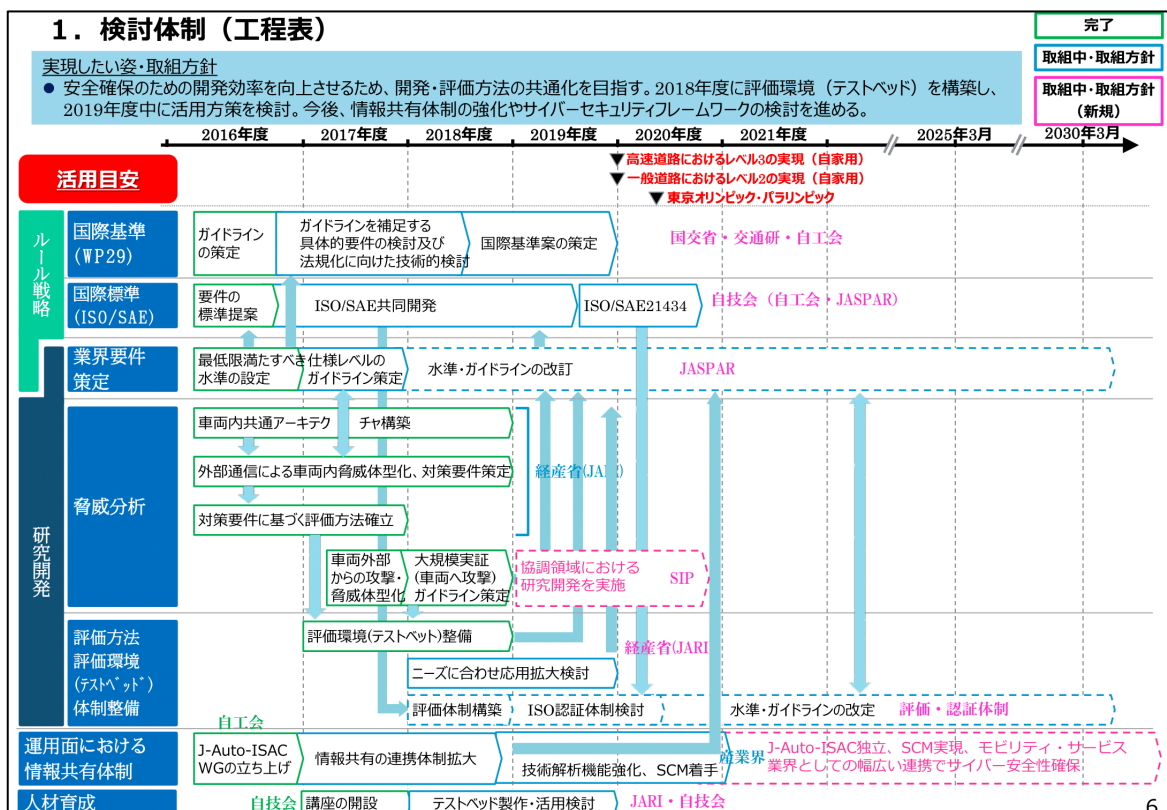


図 3.12.1.3 経済産業省の自動走行システムにおけるサイバーセキュリティ対策検討体制(工程表)

3.12.1.4 成果と意義

2018年度の成果であるAIエッジ向けセキュリティ評価項目の洗い出しに関しては、それにより、今後ニーズが高まる分野とその分野で不足しているセキュリティ評価項目を明確にすることができ、リソースをよりニーズの高い方に向けることができたという意味で、その意義は大きい。2019年度の成果である個体管理用識別子(人工物メトリクス)のセキュリティ要求仕様とセキュリティ評価分析手法は、AI エッジデバイスやその部品などの対象物が評価済みであることを確認する際の識別子のセキュリティ評価に利用できる。人工物メトリクスは、日本発の技術であるが、標準的な評価分析手法が定まっていなかったため、その国際標準化提案を日本からISO TC292 (Security and resilience) WG4 (Authenticity, integrity and trust for products and documents)に対して行い、国際標準化に向けた審議の開始にも繋がった。意義に関しては図 3.12.1.4 が示すとおり、政府模倣品・海賊版対策総合窓口 に寄せられて

いる相談対象商品の 1/3 程度は AI エッジデバイスとも関連の深い機器や機械が占めており、その件数も増加していることから、AI エッジデバイスやその部品に対する将来的な模倣品・海賊版増加リスクに対して布石を打つこととして意義も大きい。

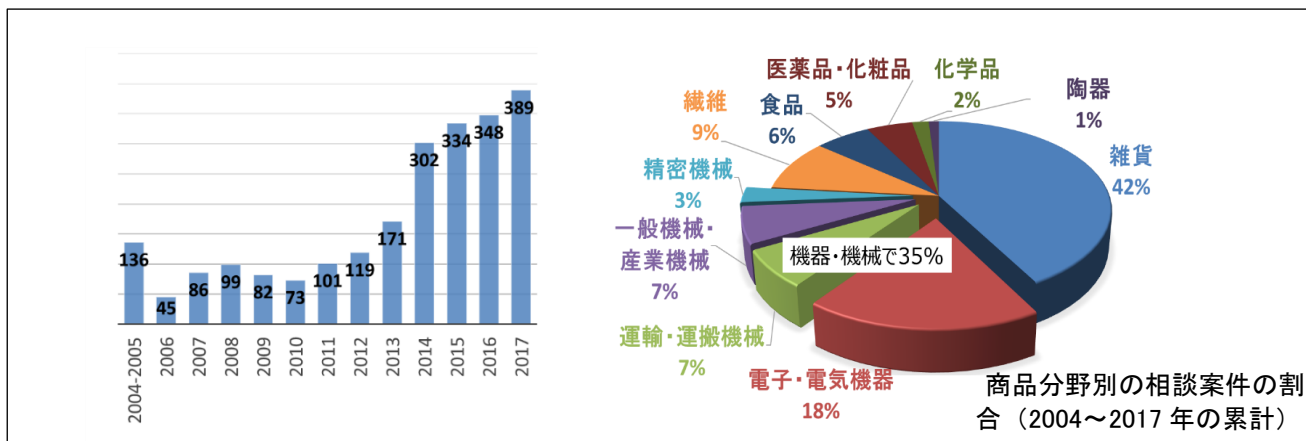


図 3.12.1.4 政府模倣品・海賊版対策総合窓口寄せられている相談件数の推移(左)と商品分野別の相談案件の割合(右)

3.12.1.5 成果の普及

求められるセキュリティ要求やレベルは応用分野により異なるため、AI エッジ応用分野のステークホルダー(製品やサービスの提供者、調達者、セキュリティ評価機関、セキュリティ認証機関など)の意見も伺いながら、社会に受け入れられ易いものになっている。個体管理のための識別子(人工物メトリクス)に対しては、関連する企業群、横国大、産総研、経産省模倣品対策室などで『人工物メトリクスタスクフォース』を作り、成果の主要部分の国際標準化を進めている。これにより、成果が世界に波及し、関連市場がセキュリティ上の脅威により阻害されることを防止する。AI エッジ入出力セキュリティ評価シミュレータの自動走行システムへの応用に関しては、そこで必要となるセキュリティ要求仕様と評価分析手法を ISO/SAE 21434 (Road vehicles - Cybersecurity Engineering) に準拠させると共に、従来から重視されてきている機能安全(セーフティ)等への悪影響を防止するために、電気電子システムの(自然発生的なエラーによる)誤動作リスクを低減するための ISO26262 (Road vehicles - Functional safety(機能安全))、誤操作などのリスクの低減も考慮に入れた ISO/PAS 21448 (Road vehicles - Safety of the intended functionality (SOTIF))などとも互換性を保ちながら、また、内閣府 SIP プロジェクト第2期 自動運転(システムとサービスの拡張)の「仮想空間での自動走行評価環境整備手法の開発」で取り組まれているセーフティの取り組みとも連携する体制を取ることで、セキュリティ対策や評価が、従来から重視されている機能安全(セーフティ)へ悪影響を与えることを避け、本分野においてより普及し易い方向を見据えながら取り組みを進めている。

[1]経済産業省

「自動走行システムにおけるサイバーセキュリティ対策自動走行ビジネス検討会 2019年6月
https://www.meti.go.jp/shingikai/mono_info_service/jido_soko/pdf/sanko_03.pdf

[2]政府模倣品・海賊版対策総合窓口「模倣品・海賊版対策の相談業務に関する年次報告」
 2018年6月

¹ 2004年8月に企業等からの要望を受けて経済産業省 製造産業局 模倣品対策・通商室に設置された政府の一元的な相談窓口。

² 2020年6月時点では DIS (Draft International Standard)。

3. 12. 2 研究開発サブテーマ「実施項目 1 : AI エッジ入出力セキュリティ評価シミュレータの開発」

3. 12. 2. 1 概要

AI エッジデバイスへの入力である物理世界からのセンシングデータや、それらに基づく出力である機器への制御信号に対するセキュリティリスクが世界的に危惧され始めていることから、攻撃の実現可能性や影響、セキュリティ強化策の効果などをシミュレーション、あるいは、シミュレータと実機により評価できるよう「AI エッジ入出力セキュリティ評価シミュレータ」の構築を行う。構築されたシミュレータはシステムレベルでの検証が可能となるものを目指す。以下に詳細を示す。

- (1)「AI エッジ入力攻撃モデル」では、攻撃によって発生するシステムへの入力や状態変化をシミュレートすることを目的とし、センサや AI への攻撃を MILS の設計フローにおいて利用可能な形式でモデリングする。攻撃によって発生するセンサ群や AI エッジ、制御機器などシステムの構成要素における振る舞いを模擬するために、システム構成要素のモデルに組み込むエージェント型のモデルを構築する。AI エッジ入力攻撃モデルは、以下3つのモデルに細分化される。
 - (1-1)「センサ入力攻撃モデル」: AI エッジ入力として接続されるセンサに対する成りすまし攻撃や、センシングを妨害する攻撃をモデリングする。
 - (1-2)「AI エッジインターフェース攻撃モデル」: AI エッジがセンサ及び制御対象機器と接続する通信路など AI エッジが持つインターフェースに対する攻撃をモデリングする。
 - (1-3)「AI エッジハードウェア攻撃モデル」: システムの構成要素に対し物理的にアクセス可能なことを想定した攻撃をモデリングする。AI エッジにおけるアナログ情報の改竄・漏洩やアナログ回路およびデジタル回路へのフォールト注入攻撃をモデリングする。
- (2)「AI エッジ出力影響評価モデル」では、攻撃がシステムに与える影響をシミュレートすることを目的とし、システム構成要素のモデルにおける内部状態とシステムで定義される故障や異常状態などの達成すべきセキュリティ基準とを紐付けるモデリングを行う。AI エッジ入力攻撃モデルとの連動したシミュレーションにより、攻撃によって発生したシステム構成要素の内部状態が、システム全体で規定されるセキュリティ基準を満たすか判定することができる。AI エッジ出力影響評価モデルは以下2つの構成要素に細分化される。
 - (2-1)「セキュリティ基準判定機能」: システムの機能要件から定義される異常状態、故障状態、セキュリティ上攻撃が成立している状態、すなわちセキュリティ基準が未達の状態を定義し、シミュレータからの出力結果からセキュリティ基準に達しているかを判断する機能を提供する。この機能を実現するためには、セキュリティ基準が未達の状態(あるいは達成している状態)をシミュレータと接続可能なフォーマットでモデル化する必要がある。システムの機能要件の例としては ISO26262 における Safety goal やユーロ NCAP が挙げられる。シミュレータと接続可能なフォーマットとしては XCCDF(eXtensible Configuration Checklist Description Format)が挙げられる。シミュレータから受け取る情報から XCCDF で記述された Safety goal が侵害されていないかを判断し、判定結果を出力する。

- (2-2)「内部状態抽出機能」:セキュリティ基準評価モデルが判定するために必要となるシステム構成要素の内部状態を抽出する機能である。例としては、ISO26262 においてハザード分析の結果「アクチュエータ X は速度 Y 以上でアクティベートされてはならない」という要件があった場合、この要件はセキュリティ基準判定機能として XCCDF で記述される。内部状態抽出機能では、速度及びアクチュエータのアクティベート状況を抽出する。
- (3)「AI エッジ処理セキュリティ強化モデル」では、対策の効果を設計段階で定量的に評価することを目的とし、センサフュージョンや認識処理、オブザーバを用いた状態フィードバック制御など高度な処理において、攻撃の影響を緩和するあるいは攻撃を検出する機能のモデリングを行う。AIエッジ入力攻撃モデル、AIエッジ出力影響評価モデルとの連動したシミュレーションにより、セキュリティ強化技術の導入によって攻撃によって発生したシステム構成要素の内部状態が、システム全体で規定されるセキュリティ基準を満たすかどうかを判定することができる。AI エッジ処理セキュリティ強化モデルは、対策の実装レイヤに応じて以下3つに細分化して検討する。
- (3-1)「セキュアセンサフュージョン」:マルチモーダルセンシングを前提とし複数のセンサ情報をエッジで AI 処理する過程において攻撃対策あるいは攻撃検出を行うアルゴリズムの検討と、そのシミュレーションモデリングを開発する。
- (3-2)「セキュアフィードバック制御」:オブザーバやカルマンフィルタなどの状態フィードバック制御をセキュリティの視点から改良を検討し、攻撃検出や攻撃の影響緩和が可能なアルゴリズムを開発する。また、そのシミュレーションモデルや HILS を想定した実機シミュレータを開発する。
- (3-3)「セキュア AD/DA 変換回路」:セキュア AD/DA 変換回路はセンサやアクチュエータのアナログ物理量と AI エッジにおけるデジタル情報の双方向変換機能を狙ったアナログ情報の改竄や漏洩に対して防御ならびに攻撃の検知と回避を具現する半導体集積回路レベルのアナログ・セキュリティ強化技術を確立する。

3.12.2.2 最終目標と根拠

2022 年度末において、実機接続可能な(HILS)セキュリティ評価シミュレータとしての開発を行い、統合の完成を最終目標とする。根拠として、2020 年度末までに、(1)攻撃実験の物理モデル仕様検討、物理モデル設計、物理モデル実装、統合評価、(2)出力影響評価シナリオの見直し、再設計、再実装、統合評価、(3)セキュアセンサフュージョン、セキュアフィードバック制御について、設計、実装、単体評価、統合評価を各々行い、MILS(モデルでの動作)技術によるモデル化を行い、次いで、HILS 技術によるハードウェア接続に進む。

3.12.2.3 目標の達成度

攻撃実験の動作仕様検討、動作モデル設計、動作モデル実装、統合評価を行い、MILS レベルモジュールの構築を行った。AI エッジ入出力セキュリティ評価シミュレータとしては、七つのモデル(1. 外界環境 2. センサ:周囲計測 3. 攻撃 4. 認知・判断 5. コントローラ 6. システム 7. 状態計測)から構成され、攻撃モデル以外は各ドメインでのモデルベースデザインにおけるモデルを利用することを想定し、各モデルの入出力はシミュレーション実行

時にログ出力可能な構成とすることにより評価の数値化を可能にした。センサフュージョンとしては、自動運転で主流となるレーダ、LiDAR、カメラによる物体検知や測距、測角を想定したシミュレータのアーキテクチャを検討し、カメラ画像の入力としては、Unreal と MATLAB/Simulink の連動による実現を検討し、フィジビリティスタディを完了した。

各ドメインの具体的なモデルベースデザインは、以下のとおりである。カメラセンサシステムの認知・判断に対応する部分に関しては、車線検出に対してカメラ映像の色調が影響を与えることを見出し、カメラセンサの色調を変化させる環境を構築した。また、Adversarial Patch (以下 AP と呼ぶ) と呼ばれる AI が誤動作する画像を用いた攻撃を想定し、AP を生成する環境を構築することで、車両が AP によって人の検出に失敗し AEB (Autonomous Emergency Braking: 衝突被害軽減ブレーキ) が動作しない攻撃シナリオを模擬することを可能とした。本想定においては、(独)自動車事故対策機構の自動車アセスメントである JNCAP (Japan New Car Assessment Program) やヨーロッパ新車アセスメントプログラムである Euro NCAP (European New Car Assessment Program) の運転シナリオをもとに動作を規定し、センサ攻撃がその動作のアセスメントプログラムに及ぼす影響を調べるためのシミュレータ(図 3.12.3.1)を開発した。

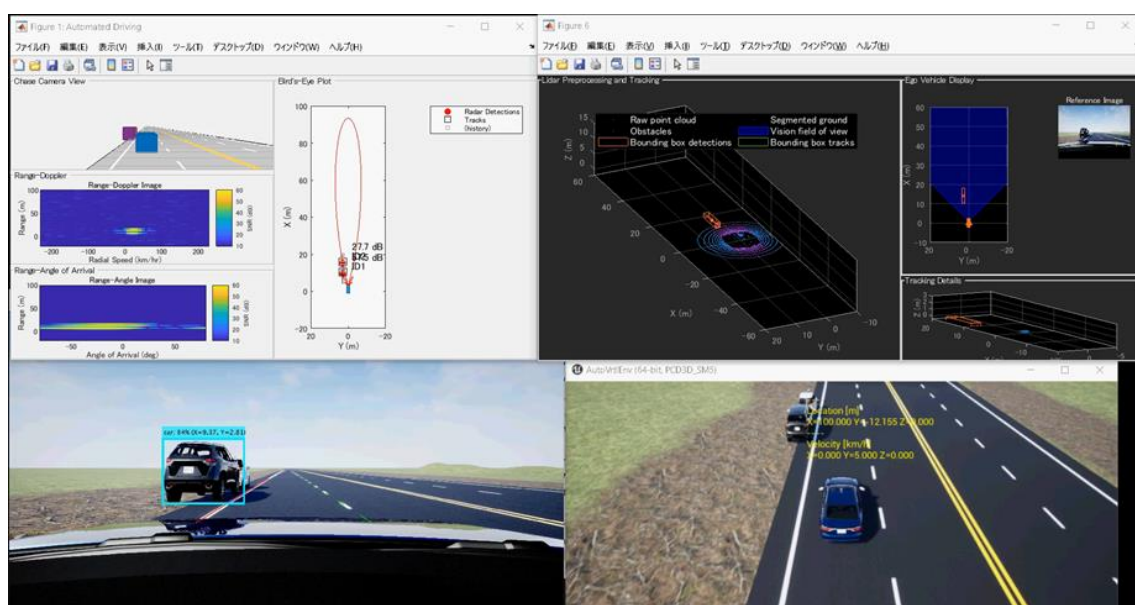


図 3.12.2.3.1 AI エッジ入出力セキュリティ評価シミュレータの画面例

カメラのイメージセンサに対しては、セキュアセンシングとして ToF (Time of Flight)型において、環境・他のセンサからの干渉、さらには意図的な攻撃からセンサデータの正当性保障のために、攻撃モデルを構築すると共に耐攻撃性を有する設計を行った。また、コモンモード・電化注入型検波方式を用いたイメージセンサにおいては、従来方式と同程度のダイナミックレンジ及び背景光除去性能、周波数選択性に加え、特定符号の選択性を有していること、及び従来方式と比較し、より高い検波周波数での動作を実現することを示した。レーダに対しては、FMCW (Frequency Modulated Continuous Wave : 周波数連続変調) への攻撃の影響を評価することを目的とし、コントローラが受け取るレーダの対象検出結果に着目して攻撃の影響を評価可能とするモデル化を実施した。FMCW レーダは、高性能なファスト FMCW 方式を採用し、MIMO (Multi Input Multi Output) …技術に基づく現実的なレーダをモデル化した。超音波センサについては音響レベルでのモデリングを行い、攻撃を再現できる MILS レベルモジュールの構築を行った(図 3.12.2.3.2)。

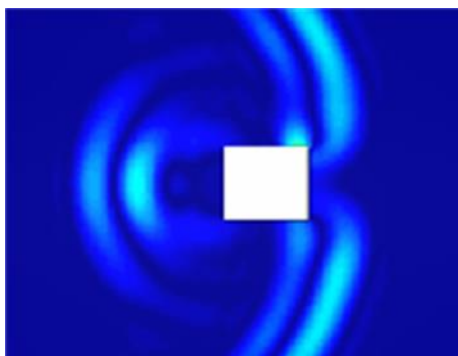


図 3.12.2.3.2 センサに対する攻撃の影響を評価するための MILS レベルモジュールでの物理モデルシミュレーションの例

アナログ情報の改竄・漏洩やアナログ回路及びデジタル回路へのフォールト注入攻撃のモデリングとしては、電磁波・電圧サージ・グリッチ等による外乱注入の表現手法を探索し、セキュアなアナログデジタル変換機能に向けた要素回路テストチップを CMOS デバイス技術にて設計し、アナログデジタル変換器（時間領域 ADC）のベーシックモデルを MATLAB/Simulink 上に構築(図 3.12.2.3.3)することによりセキュア AD/DA 変換回路の設計を完了した。

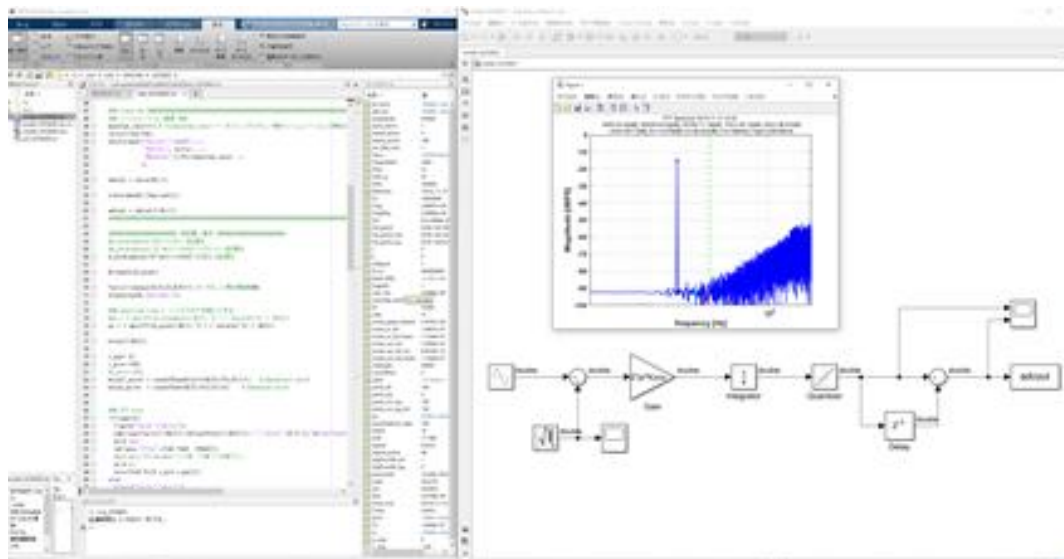


図 3.12.2.3.3 電磁波・電圧サージ・グリッチ等による外乱注入評価モデルモジュール

3.12.2.4 成果と意義

シミュレーションによるセキュリティ評価が実施できない現状においては、製品の市場出荷後に研究者など第三者からの脆弱性報告によってリコールがなされ、修正が行われる。これに対し、攻撃と影響のシミュレーションモデルによる評価によってセキュリティリスクの検出率を 10 倍以上引き上げ、設計段階で脆弱性を塞ぐことにより、リコール率を 1/10 以下に抑えることができる。この結果、製品のセキュリティ設計/開発に必要なエネルギー消費効率/電力効率は 10 倍以上となる見込みである。

3.12.2.5 成果の普及

得られた成果の内、公開可能なものは学術的な信憑性を高めるために、添付資料(特許論文等リスト)記載のとおり、外部発表を行っている。

3.12.3 研究開発サブテーマ「実施項目2：AI エッジ内部実装保護技術の研究開発」

3.12.3.1 概要

電子デバイスを解析して、そこに封入した回路情報や回路に流れる信号情報が解読されると、設計情報が復元されて製品を容易に模倣・改造される。事業者が技術開発に投じた金銭的・時間的投資を回収する前に、模倣品が市場を席卷するという状況は長らく改善されず、すでに看過できない段階に達している。安価に改造・複製された製品が想定外の利用のされ方をして、二次被害をもたらす危険もある。技術開発国の知的財産が、模倣品製造国に搾取される問題とその影響は、国益を守るために緊急に解決すべき課題である。

本実施項目では、電子デバイスに搭載した回路情報、電子デバイスに流れる信号等の秘匿したい情報を保護するための実装技術、及びその評価技術を開発する。具体的には、電子回路(以下、IC)に封入した情報を侵襲解析困難にするIC保護技術(以下、IC保護技術)の開発、および、IC保護等の加エプロセスを経た電子デバイスの品質保証技術(以下、品質保証技術)の開発を行う。

本実施項目で開発するIC保護技術は、ユースケースに応じたコストコンシャスな(cost-conscious)技術であることを前提とする。サンプル出荷のための少量生産品と市場拡大のための大量生産品では、セキュリティリスク低減として選択可能な手段が異なる。リバースエンジニアリングの脅威は、技術の存在が明らかになった時点から生じるため、サンプル品や少量生産品についても、リバースエンジニアリング対策は必要である。今後、各種センサや通信モジュール等のエッジデバイスが社会インフラとして活用される状況は加速し、多品種・少量生産の電子デバイスが次々と市場投入される。リバースエンジニアリング対策に十分な費用をかけられない少量生産品やサンプル品は、類似品を開発する事業者が技術開発のコストを削減するために、情報抜き取りの対象にされる(図3.12.3.1)。

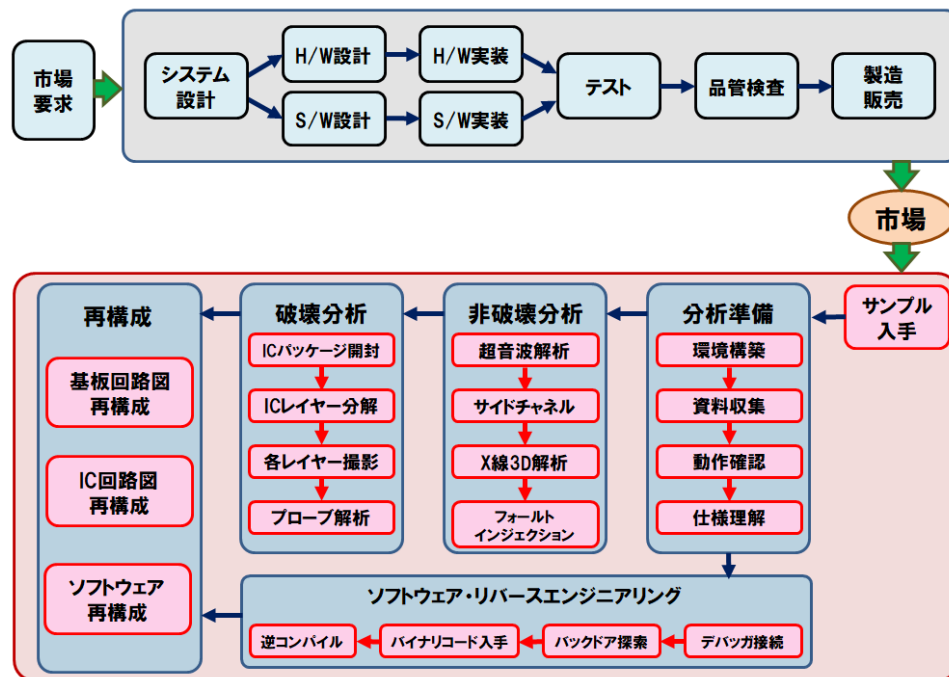


図3.12.3.1 デバイスの市場投入とその後の情報抜き取りフローの例

3.12.3.2 最終目標と根拠

本実施項目の IC 保護技術は、カスタム IC、特に FPGA 等の SoC(system on chip)を搭載した電子基板について、物理解析による情報の漏洩を遅延させるための対策技術と位置付ける。具体的には、サンプル出荷から技術評価までの情報漏洩抑止等、特定の想定下での侵襲攻撃による情報抜き取りから電子デバイスを保護し、情報の漏洩を遅延させることを目的として、低コストで運用できる耐リバーズエンジニアリング技術を開発する。

IC 保護技術の開発(以下、実施項目 2-1)では、電子デバイスに封入した情報について、換装やデキャップ等による侵襲的な情報搾取への対策技術を開発する。実施項目 2-1 で開発した技術をスムーズに社会実装し、デファクトスタンダード(事実上の標準)の地位を獲得するためには、本事業で開発する IC 保護技術の運用コストが低く、安定して運用できる技術であることが望ましい。

一般に、半導体製品の製造の前期工程では、高精度の設備・複雑な形成プロセスを実現するための高額な設備投資が必要である。実施項目 2-1 では、半導体製造の後期工程(半導体の形成後プロセス)で適用するための IC パッケージの加工技術を開発する。具体的には、(1)セキュリティシールド形成技術、(2)フィルタ実装技術、(3)基盤ソフトウェア(ファームウェア)による電子デバイスの制御技術の開発を行う。技術の詳細は、セキュリティ保証に係るため公開しない。実施項目 2-1 の(1)セキュリティシールド形成技術とは、フレキシブル基板上にセキュリティコアを形成する技術である。薬液等による樹脂開封時の樹脂溶解とともに配線溶解する材料の選定と、基板を湾曲させる実装工法に適した材料構成を行う。微弱な信号や微細な特性を扱うと品質劣化による動作不具合が生じるため、セキュリティコアをロバスト化する設計も行う。(2)セキュリティシールド実装技術では、電子デバイス上の専用回路(ASIC)に接続させるセキュリティコアをフレキシブル基板上に形成して、研磨等により樹脂開封されるとセキュリティコア切断される(回復困難な断電状態になる)仕組みを実現する。(3)基盤ソフトウェア(ファームウェア)による電子デバイスの制御技術では、実装したセキュリティコアの特性を組み込むことにより、電子デバイスの出荷時の状態を識別可能にする。電子デバイスの制御技術を用いると、出荷時にセキュリティコアを有効化した電子デバイスが出荷後にセキュリティコアを無効化された場合、その電子デバイスでは、以降、不可逆的にプログラムを起動不能にする。

品質保証技術の開発(以下、実施項目 2-2)では、(1)IC パッケージの加工により保証が滅失した部位の品質の再保証(品質保証)のための技術、(2)加工によりアドオンされたセキュリティ機能の保証(セキュリティ保証)のための技術、(3)IC パッケージに IC 保護技術を施す加工プロセスの保証(プロセス保証)のための技術を開発する。

実施項目 2-2 の(1)品質保証では、放電、衝撃、振動等の外的要因に対して、IC 保護技術を施した部位が、規定の温度・湿度の範囲内では異常を生じないことを確認する。具体的には、物理的ストレス環境下での、加速劣化試験(accelerated aging test)や温度サイクル試験(temperature cycle test)を実施する。本実施項目では、評価対象の物理系から発生したパルス(電流、電圧、電磁波等)を観測して、パルスの時間変位・空間変位の情報から、対象に起きている異常やその原因を特定する技術を開発する。具体的には、重畳波形(合成波形)から、素波形を分離し、素波形に混入する異常波形の有無を検知し、検知した異常波形を特定して抽出し、抽出した異常波形から分析対象の物理系に起きている異常を推定するための技術開発である。また、階層的な分析プロセスをなす波形分析では、各プロセスの分析パラメータが他の分析プロセスに影響を与えるため、分析対象の物理系から発生したパルスの時間変化に合わせて、分析パラメータを自動設定する技術を開発する。

実施項目 2-2 の(2)セキュリティ保証では、電子デバイスから取り外した IC を再装着できないこと、パッケージ開封された IC は動作しないことを確認する。前者は、技術仕様と加工

プロセスを非公開とすることにより、加工の不可逆性を保証する。後者は、薬液による開封試験、精密研磨による開封試験によりセキュリティ機能の十分性を評価する。本実施項目では、開封試験のための評価環境を事業者(産業技術総合研究所)の施設内に構築して、評価基準と評価手順を開発する。

実施項目 2-2 の(3)プロセス保証では、加工のための材料調達から加工品出荷までの加工プロセスについて、独自の基準を設けて自己適合評価し、外部評価機関により評価結果の追認を受ける。

セキュリティ評価とプロセス評価で用いる評価基準は、外部評価機関の助言を得て開発することにより、基準の健全性を確保する。評価基準の開発のために、大量の参照基準文書を分析する技術を開発して、文書の構造解析、文章の類似度解析、文書の照合作業のための情報分析を行う。

実施項目 2-3 の「ファームウェア解析ツールの開発」では、AI エッジデバイスを制御する基盤ソフトウェアであるファームウェアに、機器乗っ取りにつながるプログラムの不具合やトロイの木馬が存在しないことを検証するためのプログラム解析ツールを開発する。ファームウェアのソースコードが提供されることはほとんど期待できないため、実行プログラムのバイナリコードを直接処理し、制御やデータの流れを記号的に再構成できる自動化ツールを開発する。並行して、トロイの木馬に特有な悪意ある振舞いを検知する手法の開発も行う。

実施項目 2-4 の「脆弱性自動検知技術の開発」では、実施項目 2-3 のファームウェア解析ツールの解析結果をもとに、サイバー攻撃による機器乗っ取りにつながる脆弱性(プログラムの不具合)の存在を自動検出する手法の開発を行う。全ての脆弱性を自動検知することは原理的に不可能であるため、危険性が高く組み込み機器にまだ多数存在するケースに絞った自動化ツールを開発する。

実施項目 2-5 の「ソースコードに依らない制御フロー整合基盤の開発」では、たとえファームウェアに脆弱性があったとしても、制御の流れをチェックするコードを事前に挿入しておくことで、実際の機器の乗っ取りは生じさせない技術の開発を行う。ファームウェアのソースコードが利用できない状況でも、サイバー攻撃による被害を未然に防ぐ技術の開発を行う。

3.12.3.3 目標の達成度

IC 保護技術の開発では、集積回路(以下、IC)に実装された機密情報を保護するため後付け樹脂加工によるフィルタの付加を安価に実現できることは社会実装として有効なことである。2022 年度末にはフィルタの後付け加工ビジネスを開始できるよう実装技術、量産化技術を確立させることを最終目標とする。

品質保証技術の開発では、品質保証・セキュリティ保証・プロセス保証の評価基準と評価プロセス(評価手順)を開発し、評価に必要な技術の開発と評価環境の構築を行うことを目標とする。評価基準の開発では、外部評価機関による助言をもとに基準を開発し、査読を受けることにより、評価基準の客観性と十分性が第三者に確認可能であることを目標とする。

評価手順の開発では、評価受入から評価完了までを2週間で実施できることを目標とする。品質評価は、本実施項目で開発する技術により、電流、電圧、電磁波等外的要因による異常発生の有無の確認と評価結果の生成までを自動で行う。従来の人手による逐次的な分析作業に代えて、階層的な自動分析プロセスを導入して人手による作業を極力排除することにより、分析に係る時間を大幅に圧縮する。

セキュリティ評価技術の開発では、薬液による開封試験、精密研磨による開封試験の評価環境の構築と評価事業で運用するための体制づくりを行う。また、評価事業のサービス化に向けて、パイロット評価による PoC(Proof of Concept; 概念実証)を行い、評価基準と評価プロセスの事業化の確実性を高める。

実施項目 2-3、2-4、2-5 のファームウェア保護・分析技術の開発においては、各項目で開発された技術が統合され、実際の AI エッジデバイスのファームウェアを対象に、脆弱性やトロイの木馬の振舞いがプログラム実行させずに自動検知できること、および、脆弱性があつたとしてもサイバー攻撃による機器乗っ取りを未然に防ぐこと、を可能とすることを最終目標とする。こうした技術は、現状では自動化できておらず、また、検知等の精度や処理効率も実用レベルに達していない。ここに掲げた最終目標を達成することで、AI エッジデバイスのセキュリティを大幅に向上させることが可能となる。

3.12.3.4 成果と意義

IC保護技術の開発では、ハードウェアによる対策としてIC防護技術のために、リバーエンジニアリングが困難となるフィルタの仕様に係る回路、材料の基礎調査、検討を行っている。回路基板と配線材料の選定のための調査結果を踏まえて、回路機能性を維持したまま樹脂開封

薬品等の化学的侵襲解析への耐性を有するセキュリティコア基材と配線材を特定するために、セキュリティコア仕様や実験ステップについて検討を行い、モック品を製作し樹脂開封薬品等の化学的侵襲解析評価を行った。半導体封止樹脂を溶解させる酸系薬品にセキュリティコア材料、配線回路材料ともに溶解し化学的侵襲解析への耐性があることを確認した。本年度は物理的侵襲解析への耐性技術の基本評価を完了させるため、セキュリティコアの湾曲加工工法の確立を行うとともに、FPGAへの後付け加工並びに機能・品質評価を進めている。

物理的侵襲解析への耐性技術については、セキュリティコアを湾曲形状に加工して実装することを進めている。形状加工については目途が立ち、耐性ならびに品質評価を行っている。

セキュリティコア特性については、基礎的な識別を可能とするレベルまで固有になることを確認している。

セキュリティコア特性、固有値そのものの環境変化耐性(品質評価)についても本年度に終える予定である。

品質保証技術の開発では、放電、衝撃、振動等の物理的な外的要因に対して、IC保護技術を施した部位が、規定の温度・湿度の範囲内では異常を生じないことを確認するための試験装置の整備を完了した。現在、評価分析対象の物理系から発生したパルス(電流、電圧、電磁波等)を観測して、パルスの時間変位・空間変位の情報から、対象に起きている異常やその原因を特定する技術を開発して、技術評価を実施している。下図は、試験装置の一例である。左下図は、ICチップの局所的な異常発熱を赤外線像として捉える装置、右下図は、動作温度・動作湿度を変化させて規定の温度・湿度の範囲内では異常を生じないことを確認する装置である。

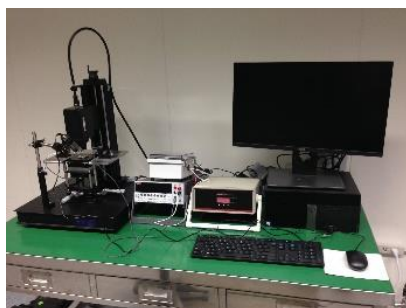


図 3.12.3.4.1 評価装置

評価プロセスの開発では、波形分析の各要素技術の開発を完了した。具体的には、独立成分分析 ICA (independent component analysis)、波形特徴抽出 SSF (scale-space filtering)、クラスタリング分析 CA (clustering analysis) を層状に組み合わせた波形分析技術を試作開発して、技術評価を実施中である。

セキュリティ評価技術の開発では、薬液による開封試験、精密研磨による開封試験の評価環境を構築した(図 3.12.3.4.2)。評価環境の一部は、品質評価技術の開発のために使用する。

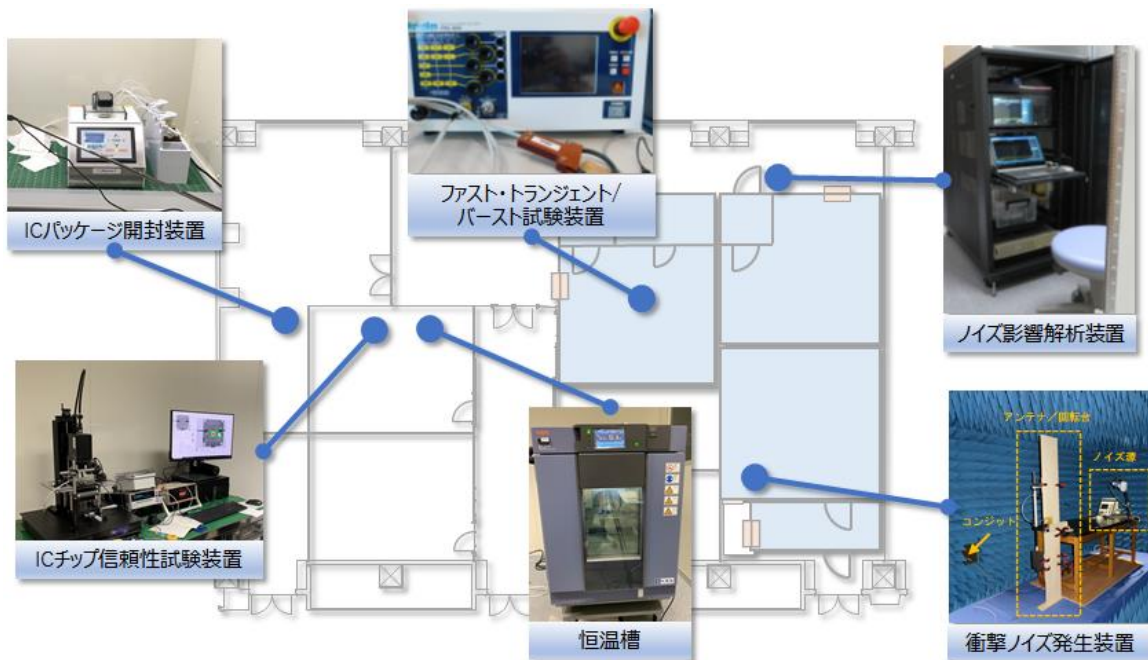


図 3.12.3.4.2 評価環境

また、評価基準開発のための基準規約文書の分析技術の開発では、階層的クラスタリング技術・自然言語処理技術・確率的潜在的機械学習技術(トピックモデル技術)を組み合わせた文書分析ツールを試作開発した。現在、分析精度を向上させるために、ローレンツ曲線による分布モデルによる分析設定の最適化の技術を開発して、技術評価を実施中である。

ファームウェア保護・分析技術の開発においては、まず、ファームウェアのバイナリ解析ツールを用いて、Cyber Grand Challenge (CGC)の関連する課題の大半を、自動解析できることを確認するとともに、ツール解析結果から、トロイの木馬に特有の振舞いを抽出し同定する手法を開発した。また、ツール解析結果からスタックオーバーフロー脆弱性により、関数の戻り番地が上書きされる可能性があるかどうかを自動判定する手法を開発した。そして、プログラムが事前に定められた制御フローから逸脱しないことを保証する制御フロー整合基盤技術をソースコードなしに実現する技術の検討を進め、脆弱性があった場合でも、サイバー攻撃による機器乗っ取りが生じないよう予防することができることを確認した。以上により当初に設定した中間目標を達成しており、今後いくつかの困難が予想されるものの、現状では概ね計画どおりに研究開発が進捗している。

3.12.3.5 成果の普及

本実施項目の背景にあるリバースエンジニアリング技術は、IC への侵襲的な解析技術と、非侵襲的な解析技術に分類できるが、前者の実態については公表されている情報が極めて少なく、また、科学的/学術的な根拠に基づいた評価技術が未確立である。そこで本実施項目では、電子デバイスの IC を換装・パッケージ開封して、情報を直接抜き取ろうとする破壊的な侵襲に対して無防備なサンプル品や少量生産品に対するコストコンシャスな耐リバースエンジニアリング技術とその評価技術を開発する。

意義としては、近年、下図に示すとおりアジア太平洋州での半導体生産が急速に伸びており、その背景に日本や欧米からの半導体製造装置の輸出等による技術流出とともに、アジア太平洋州企業の（模倣を含む）技術の向上があると見込まれている。電子機器については、リバースエンジニアリングに無防備な電子デバイスが、IC の換装やパッケージ開封による情報抜き取りにより、事業者が技術開発に投じた金銭的・時間的投資を回収する前に、安価な模倣品が市場を席卷する状況が看過できないレベルに達している。

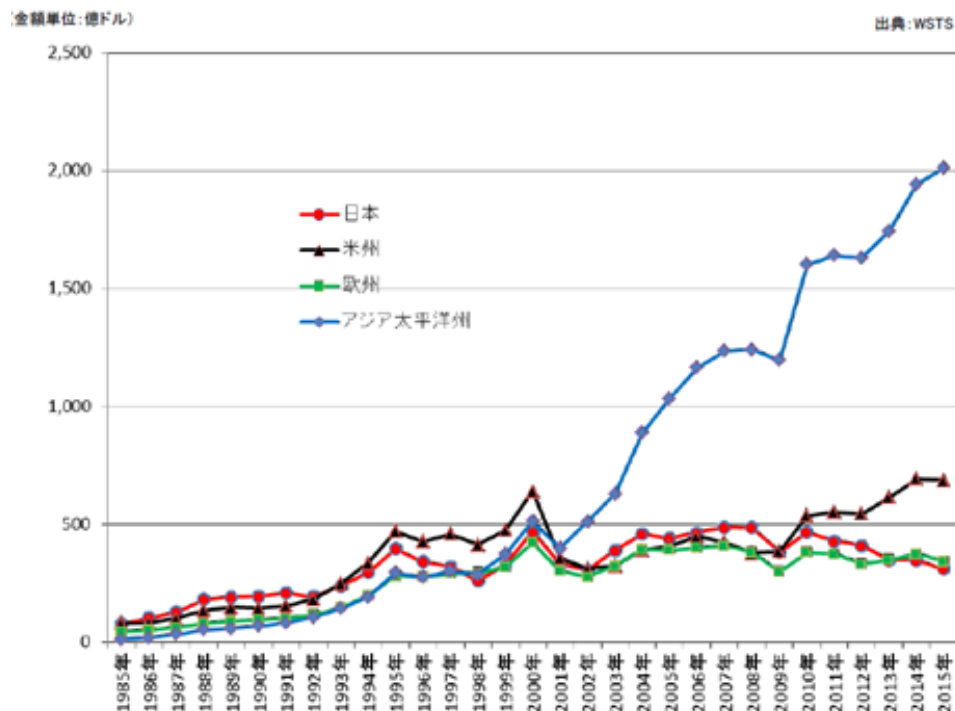


図 3.12.3.5 地域別にみる世界の半導体市場の変遷

本実施項目で取り組むコストコンシャスなリバースエンジニアリング対策技術とその評価技術は、リバースエンジニアリングに無防備な電子デバイスを対象に、安易な模倣行為への対策として有効である。具体的には、IC 保護技術により後付けしたフィルタを IC 起動のための固有値として活用することにより、セキュリティコアへの侵襲攻撃を防ぐ。また、セキュリティコアという固有値が IC 毎に異なることを活用して換装を防ぐ。今後、化学的侵襲解析と物理的侵襲解析に対する耐性評価を行う。化学的侵襲への耐性評価は、材料の選定、セキュリティコアの構成の適正性に還元できる。また、物理的侵襲への耐性評価は、セキュリティコアの形状（湾曲形状）に還元できる。各耐性評価の結果は、セキュリティ評価の基準開発にも用いられる。

ファームウェア保護・分析技術についても、近年、サプライチェーンにおけるセキュリティリスクが指摘されており、AI エッジデバイスのファームウェアについても、脆弱性やトロイの木馬に代表されるリスクが顕在化しつつある。こうしたリスクを、ソースコードの利用を前提とし

ない自動化技術で軽減することができれば、AI エッジデバイスの安心・安全な利活用を大きく促進することにつながり、これは大きな意義を持つ。

3.12.3.6 事業化までのマイルストーン

リバースエンジニアリングの糸口を与えないために、IC 保護技術に関する情報は非公開とし、広く一般には普及はさせてはいない。品質評価技術については、技術開発に注力しており、現在は、本格的な成果の普及は実施していないが、将来的に公開可能な部分については、口頭発表による成果の普及も予定している。ファームウェア保護・分析技術についても、現在は、手法の確立とツール実装を通じた性能確認・向上に集中しているが、公開可能な部分について一般向けの技術解説を発表している。

3.12.4 研究開発サブテーマ「実施項目 3：AI エッジの個体管理を支えるための人工物メトリクスの研究開発」

3.12.4.1 概要

付加価値の高い AI エッジデバイスやその部品に対する偽造や改変などの攻撃に対応するため、人工物メトリクスを用いた個体管理の研究開発を行っている。

人工物メトリクスの評価対象として、ランダム微細凹凸表面構造を有し評価の難しいナノ人工物メトリクスチップ（以下 NAM チップと呼ぶ）を選択し、このランダム微細凹凸表面を光学読取で得た画像を個体管理に使用するための評価に必要な装置およびシステムを構築している。具体的には、評価対象用 NAM チップ製造、画像照合、画像読取、NAM チップ貼付に関して進めてきた。評価対象用 NAM チップ製造では、2021 年 3 月迄に光学読取に対応したランダム微細凹凸構造の最適化、2022 年 3 月までにパイロット評価向けの個体管理仕様を策定することになっている。この NAM チップの製造は、ナノスケールランダム微細凹凸形状の形成技術を保有している会社に依頼しているが、将来の標準化を考慮して複数の試作ルートの確保に着手している。

光学的に読取った照合画像には、ランダム微細凹凸表面構造情報を含む白色干渉画像を使用している。白色干渉画像の特徴を把握し、それを反映したアルゴリズムを用いた画像照合技術とその評価技術の研究開発を行っている。また、本プロジェクトの利用では 1:1 認証が見込まれるので、ID 情報を記録する媒体（外枠、QR コード、ソフトウェア秘密鍵 etc）によるシステムを想定し、そのセキュリティ評価の検討も行っている。

白色干渉画像の取得では標準化の為に必須である、小型かつ低コスト製造が可能な画像取得装置の構成に関する研究開発および白色干渉画像の読取安定性の評価も行っている。

AI エッジデバイスの個体管理に NAM チップを用いるためには、NAM チップを AI エッジデバイス表面に、画像取得ができる状態で、かつセキュリティ要件を満足する実装が必要である。本研究開発では、AI エッジデバイスとして半導体デバイスやその部品を想定し、半導体パッケージ表面への実装に求められる要件の検討に必要な評価環境の構築を行っている。

一方、光学的読出に適さない用途への展開、あるいは既存 PUF との比較を通しての評価・分析・レベル分け等に必要な情報の取得を目的に、NAM の電氣的読取技術の研究開発も行っている。具体的には、ナノスケールのランダム微細凹凸構造を形成した Si ウエハ上に表面形状に敏感な MOS-FET のゲートを形成し、ゲート直下の電荷分布に反映された構造情報を、ドレイン電流特性の変化から読み出す方式に関する研究開発も並行して行っている。

3.12.4.2 最終目標と根拠

偽造困難な識別子の評価用サンプルを試作すると共に、そのサンプルを用いた個体識別子のセキュリティ評価分析装置やシステムの構築を行い、個体管理を支えるための人工物メトリクス評価技術を確立させる。具体的な最終目標は次の通りである。

- 「照合・識別評価」: 複数の製造メーカーが対応可能な汎用的な技術を用いて光学読取用のランダム微細凹凸構造の最適化を行うと共に、提供可能な評価用サンプル数をこれまでの数百個程度から、10,000 個以上にし、それらを用いて、FMR (False Match Rate) と FNMR (False Non Match Rate) を 10^{-8} 以下とする。
- 「読取評価」: 照合・識別に用いる干渉画像取得において必要なセキュリティ性能を示す最適装置構成を決定し、小型機を試作する。なお現有装置価格は～20M¥程度であり、目標コストは 5M¥以下とした。また、偽造困難な識別子を電氣的に読み出す際に達積可能な精度を明らかにする。
- 「貼付評価」: 偽造困難な識別子を部品等に十分な強度を持って貼り付け可能であることを評価するため、1,000 個以上の評価用サンプル試作し、また、それらの評価を可能とする環境を構築する。

3.12.4.3 目標の達成度

目標の達成度は次の通りで、最終目標に向かって計画通りに進行中である。

- 「照合・識別評価」: 12,600 個の評価用 NAM チップを搭載したウエハ試作に成功し、現在その白色干渉画像取得作業を進行中である。また、コスト削減のため複数社による試作に着手した。評価の結果、画像照合初期サンプルで、FMR と FNMR を 10^{-8} 以下とする見通しを得た。現在、12,600 個の干渉画像を用いた評価作業に着手している。
- 「読取評価」: 小型専用読み取り装置を試作し、白色干渉画像の取得と取得画像に対する照合・識別評価が可能であることを確認した。また、NAM 構造上への MOS-FET 試作プロセスを構築し、単一凹凸上への MOS-FET 試作を電氣的に読取り、シミュレーション結果をおおよそ再現した結果が得られている。
- 「貼付評価」: 半導体パッケージとして最も標準的である QFP-PKG を選択し、その表面への NAM チップの貼り付けとその評価が可能であることを実証した。1,000 個以上のサンプル試作が可能な試作装置の基本仕様を策定した。

3.12.4.4 成果と意義

人工物メトリクスの市場を広げるためには、目に見え難く実感し難いセキュリティを科学的/学術的根拠に基づき評価可能とする必要がある。本研究開発テーマでは、それを実現するための装置やシステムの構築をコストも視野に入れながら行っている。将来的な市場のセキュアで健全な拡大に寄与するものであり、その意義は大きい。

3.12.4.5 成果の普及

人得られた成果の内、公開可能なものは学術的な信憑性を高めるために学会等で積極的に発表すると共に、実施項目 0 を経由して国際標準化での議論に活用している。また、構築した評価装置やシステムを用いたセキュリティ評価受託を開始している。

4. 実用化・事業化に向けての見通し及び取り組みについて

4.1 「不揮発省電力 FPGA コアを用いた低遅延 AI 処理コンピューティング技術の研究開発」の研究開発における実用化・事業化の見通し（日本電気株式会社）

4.1.1 概要

本事業の実用化・事業化は 2019 年 9 月に設立したナノブリッジ・セミコンダクター株式会社(NanoBridge Semiconductor Inc., 略称 NBS)が行う。事業化のための、原子スイッチ関わる権利および日本電気株式会社との対外的な契約は新会社が承継する準備を進めている。

4.1.2 実用化・事業化への課題と対応策

本研究開発での ASSoC の製造は、異なるファウンドリーの 2 つのファブ利用する予定である。国内において技術ノード 28nm のトランジスタを製造するファブがないことから、海外のファブにおいてトランジスタ層および下層配線層を形成し、国内のファブにおいて原子スイッチおよび上層配線層を形成することで ASSoC が形成された 300mm ウエハを製造する。大量生産や生産管理のしやすさの観点からは単一のファブで 300mm ウエハを製造することが望ましい。

また、ユーザーを広めるためには無償もしくは安価な ASSoC の設計ツールが必要である。現状の ASFPGA 設計ツールでは、論理合成を行うために商用の高額なツールライセンスが必要である。高額ゆえにライセンスを保有しているユーザーは限られているため、ユーザーを増やすためには安価にライセンスを提供する必要がある。また ASFPGA の設計ツールにおいてもデバック環境の提供、ユーザーインターフェースの改良等を行う必要がある。これらの設計ツールに関してツールベンダーとの協業を検討している。

4.1.3 実用化・事業化の体制

本事業の実用化・事業化は新会社(NBS)が担当する。事業化の当初は、顧客先での原理実証(PoC)、少量チップの製造受託事業となる。下図(a)は IT 機器を製造する顧客からの製造受託事業の商流を示したものである。新会社が顧客からチップの製造委託を受け、ファウンドリーに製造を発注しウエハを受け取る。新会社において後工程・テストを行い、チップを顧客に納入し、委託費を受け取る。事業化の当初は、少量生産であり、また顧客の数も限られると考えられたため、本商流となる。

事業を拡大させるためには、大量生産や顧客の数の増大への対応が必要となる。下図(b)は、事業が拡大した場合のライセンス事業を説明したものである。新会社は ASFPGA/ASSoC の対価としてファウンドリーよりロイヤリティを受け取る。ファウンドリーに ASFPGA/ASSoC を回路 IP ライブラリとして登録され、顧客(ファブレス・LSI 設計会社)の要望により、ファウンドリーがチップを製造する。ファウンドリーが回路 IP の対価を徴収し、新会社にロイヤリティとして支払う。

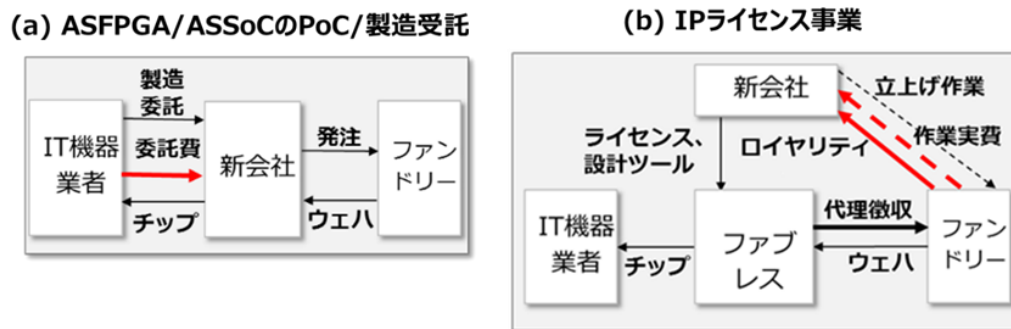


図 4.1.3 実用化・事業化における体制

4.1.4 市場規模と経済効果

全世界の FPGA 市場は 7,500 億円である。近年は、FPGA の市場の伸びは半導体 LSI の伸び(2.4%)を上回り、年率 8%程度で成長を続けている。この高い伸びは、FPGA が他の半導体 LSI 市場である ASIC/ASSP 等を置換えていることによる。

低電力・高性能化・耐環境性能を備えた ASSoC/ASFPGA は、従来 FPGA 置換え、さらなるロジック LSI である ASIC/ASSP の置換えが可能である。

2023 年度における FPGA 市場におけるターゲット市場は約 5,500 億(内 1,000 億が ASSoC)と考えられる。本市場は、技術ノード 14nm 以降の高性能・大規模 FPGA を必要とする市場を除いたものである。5,500 億円の内、ASSoC および ASFPGA の市場占有率を 12%、その内 IP ビジネスでロイヤリティ 2-5%が売上となる。

4.1.5 ベンチマーク

本技術と競合する技術である不揮発 FPGA を提供する競合ベンダーはマイクロセミ(米国)である。同社の不揮発素子技術はフラッシュメモリまたはアンチヒューズである。フラッシュメモリは書き換え可能だが、放射線エラーが存在する。アンチヒューズは放射線エラーがない一方で、書き換えが不可である。原子スイッチは放射線エラーがなく、書き換えも可能である。待機時に電源を切り、低電力化できる点は同じである。

既存の FPGA メーカーによる SoC-FPGA との比較では、インテル(米国)、ザイリンクス(米国)などの FPGA メーカーが販売する SoC-FPGA があり、搭載 FPGA コアは SRAM 型である。ASFPGA コアは、面積を小さく出来る分、従来の SRAM 型 FPGA コアより電力効率(4 倍)が良く、動作時の低電力化も可能である。

FPGA コア IP 事業モデル採用企業間の比較を行う。エッジ AI 用 SoC に向けて、アプリごとに最適な FPGA コア IP の提供という意味での先行ベンダーは、米国ベンチャー企業フレックスロジック社である。彼らの FPGA コアは揮発性であるため取り扱いが難しい。原子スイッチ FPGA コアは不揮発性であるため、回路書き込み後の取り扱いが容易で、ユーザーの使い勝手が良い。

4.1.6 事業化までのマイルストーン

2019年9月、技術ノードが40または65nm世代の原子スイッチの製造を国内ファブで行う新会社を立ち上げ活動中である。本開発の再委託先であるソリトンシステムズや、東京大学稲葉研究室からのベンチャー企業、自動車関連会社をはじめとするエンドユーザーにおいてASFPGAやASSoCの価値実証を行う。

2022年3月、28nm世代のASSoCの技術が本テーマで完成する。

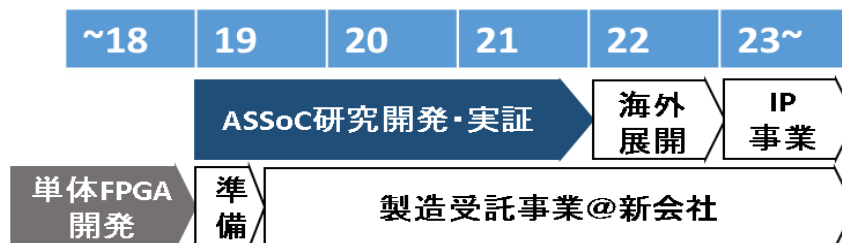


図 4.1.6 実用化・事業化におけるマイルストーン

4.2 動的再構成技術を活用した組込み AI システムの研究開発における実用化・事業化の見通し

4.2.1 動的再構成技術を活用した組込み AI システムの研究開発における実用化・事業化の見通し（ルネサスエレクトロニクス株式会社）

4.2.1.1 概要

動的再構成組込み AI チップに、AI フレームワークを含む開発ツールまでを垂直連携することでえられる従来技術比10倍以上の電力性能の効果を、高効率・高速 AI チップ製品・サービスとして提供。

また、製品適用分野としては以下の市場を想定している。

表4.2.1.1 AI搭載が期待される事業例

市場	顧客	提供ソリューション案
ファクトリーオートメーション	機器メーカー、SIer	自律制御、予知保全、異常検出、検査、動作安定向上
ビルディングオートメーション	機器・住設メーカー、SIer	異常検出、メンテナンス支援
コグニティブカメラ	機器メーカー、SIer	物体認識、人物・行動認識、予測、個人認証
家電/ヘルスケア	機器メーカー	物体認識、人物・行動認識、疾病予防、個人認証
自律型モビリティ	機器メーカー、SIer	自動運転、物体認識、自律制御
サービスロボット	機器メーカー	自律制御、物体認識、人物・行動認識

4.2.1.2 実用化・事業化への課題と対応策

本研究成果である AI 電力性能は、組込み機器製造販売事業者だけでなく、AI 応用の特徴からエンドマーケットでの利用者を対象としたサービス提供事業者および機器・サービス利用者自身まで広範囲な活用が期待できる。そのため、これら多様化するビジネス形態に対し、製品・サービスの提供と、その対価獲得のための仕組み構築が必要となり、この実現が実用化・事業化の課題である。

本研究では、研究成果を「開発ツールおよび AI ライブラリを含む AI チップに最適化された開発環境」と、「高効率・高速処理を実現する動的再構成 AI チップ」とで構成し、これらをルネサスエレクトロニクスが MCU・MPU として提供中の生産・品質管理された半導体ソリューションの形態にて汎用的に市場に提供することを想定している。

4.2.1.3 実用化・事業化の体制

「開発ツールおよび AI ライブラリを含む AI チップに最適化された開発環境」と、「高効率・高速処理を実現する動的再構成 AI チップ」の製品・サービスは、ルネサスエレクトロニクスが提供する半導体ソリューションの形態にて提供する。

4.2.1.4 市場規模と経済効果

(公開しない)

4.2.1.5ベンチマーク

エンドポイント学習に必要な AI チップの電力性能は、本研究の設定目標である 10TOPS/W に変更はない。また、現状においてエンドポイントでの学習に対応した競合はほとんど存在せず、ほぼすべての競合 AI チップは推論専用であり、これについても研究当初の想定通りである。目標達成時には市場をリードする AI チップを実現可能である。

4.2.1.6事業化までのマイルストーン

本成果をルネサスエレクトロニクスにて、市場提供可能な品質を有する半導体ソリューションとし、MCU・MPU を中心に構築済みの営業体制および販売チャネルを活用し、製品・サービスとしての提供を開始する。

(時期は公開しない)

4.2.2 競争学習機構による汎用・超軽量エンドポイント学習技術の開発」における実用化・事業化の見通し（SOINN 社）

4.2.2.1概要

マーケットニーズが顕在化している、①川崎重工社“Successor”向け事業、②“SWITCH VISION”事業を起点に、そこで培った技術やノウハウを生かし、研究成果を多面的・多角的に市場に投入する。SOINN on DRP 開発の最終ゴールは、産業向け、民間向け用途問わず広く社会実装を進め、日本発の技術で日本が世界をリードできる事業、産業を創出することにある。

4.2.2.2実用化・事業化への課題と対応策

①川崎重工社“Successor”向け事業とその発展

国際ロボット連盟の統計では、日本のロボット密度（製造業1万人あたりの産業用ロボット利用台数）は約3%である。この数値は日本以外のロボット化が進む国々でも同様で、高齢化による労働力不足が深刻化する中、世界主要国の製造ラインの94~99%を人が担っていることを示している。

ロボット化が困難なタスクの、主な理由・課題を以下に示す。

<課題>

・技能：人の感覚や経験に大きく依存する工程や、作業のばらつきが大きい工程がある。

・プログラミング：ロボット導入時のプログラミングが煩雑、もしくは事実上不可能な工程がある。

・コスト：多様なセンサ、頻繁な設備改善、多品種少量生産への対応が必要である。



<課題への対応策>

- ・“Successor”にはベテラン職人の「技」をリアルタイムに計測する機能がある。
- ・SOINN は多様な時系列・マルチモーダルデータの学習と、学習済モジュールを使った高速推論(予測)が可能である。
- ・上記双方のメリットを融合し、職人のばらつきのある作業工程をダイレクトに SOINN に学習させ、再現させる。これにより、職人技能のダイレクト学習、プログラミングレス、大幅コストダウンを同時に実現する。

②“SWITCH VISION”とその発展事業

“SWITCH VISION”は OK 品のみから現場エッジ側で教示学習して運用でき、再学習や追加学習も容易(CPU で数分～1時間程度)である。さらに、何をどこまで学習し、判定基準がどこにあるかの表示・確認・微調整も可能など、他に類を見ない特長がある。これをさらに発展させ、SOINN on DRP を活用した“SWITCH VISION”は、名刺サイズで省電力、省演算、低コストの AI デバイスとしてプラントの各所に多数配置され、歩留まり率の改善や、設備の異常検知に大きく寄与すると考える。

<課題>

- ・SWITCH VISION としての適用案件数を増やし、インターフェース設計も含めた様々な現場ニーズへの対応の推進。
- ・プリセットするモジュール機能やインターフェース機能の拡充。

<課題への対応策>

- ・外部販売パートナーと連携して適用案件数を増やすとともに、現場からのフィードバックを分析して改良を重ねる。

4. 2. 2. 3 実用化・事業化の体制

多くの外部企業と協業の上、取り組むことを予定している。

4. 2. 2. 4 市場規模と経済効果

(公開しない)

4. 2. 2. 5 ベンチマーク

(公開しない)

4. 2. 3 事業化までのマイルストーン

(公開しない)

4.3 FPGA IP と可変精度演算コアの融合による超低消費電力エッジヘビーコンピューティング向け SoC の研究開発」の研究開発における実用化・事業化の見通し

4.3.1 概要

近年、クラウドにおける深層学習・機械学習の需要は極めて急速に拡大している。その市場規模としては、2015 年に 3.6 兆円、2025 年には 50 兆円まで増加すると見込んでいる。現在、この市場は NVIDIA が独占している状態にあるが、この研究で開発したサーバー・クラスターを事業化し、エッジ、ロボティクスに応用することで、長期の収益、および経済の活性化が期待できる。

4.3.2 実用化・事業化への課題と対応策

近年、クラウドにおける深層学習・機械学習の需要は極めて急速に拡大している。その市場規模としては、2015 年に 3.6 兆円、2025 年には 50 兆円まで増加すると見込んでいる。現在、この市場は NVIDIA が独占している状態にあるが、この研究で開発したサーバー・クラスターを事業化し、エッジ、ロボティクスに応用することで、長期の収益、および経済の活性化が期待できる。

4.3.3 実用化・事業化の体制

多くの外部企業と協業の上、取り組むことを予定している。

4.3.4 市場規模と経済効果

(公開しない)

4.3.5 ベンチマーク

(公開しない)

4.3.6 事業化までのマイルストーン

(公開しない)

4.4 研究開発テーマ「進化型・低消費電力 AI エッジ LSI の研究開発」の研究開発における実用化・事業化の見通し

4.4.1 低進化型・低消費電力 AI エッジ LSI の研究開発における実用化・事業化の見通し (ArchiTek 株式会社、株式会社ソシオネクスト)

4.4.1.1 概要

(ArchiTek 株式会社)

本委託事業において試作 LSI1 により仮想エンジンアーキテクチャを回路実証することができた。今後はこの仮想エンジンアーキテクチャを AI エッジプラットフォームとして展開すべく IP としての実用化およびより小型で低消費電力の LSI を開発し事業化したいと考えている。

(株式会社ソシオネクスト)

ソシオネクストでは、Factory Automation、物流ロボット、セキュリティ・見守り、車載カメラ・運転支援の市場に向けて、本成果を搭載した ASIC、ASSP のビジネスを展開したいと考えている。

4.4.1.2 実用化・事業化への課題と対応策

(ArchiTek 株式会社)

仮想エンジンアーキテクチャを AI エッジプラットフォームとして展開すべく IP としての実用化および、より小型で低消費電力の自社 LSI 提供を検討

(株式会社ソシオネクスト)

本成果を搭載した ASIC、ASSP のビジネスを展開していく。

4.4.1.3 市場規模と経済効果

(公開しない)

4.4.1.4 ベンチマーク

(公開しない)

4.4.1.5 事業化までのマイルストーン

(公開しない)

4.4.2 進化型・低消費電力 AI エッジ LSI の研究開発における実用化・事業化の見通し（株式会社ソシオネクスト）

4.4.2.1 概要

ソシオネクストでは、Factory Automation、物流ロボット、セキュリティ・見守り、車載カメラ・運転支援の市場に向けて、本成果を搭載した ASIC、ASSP のビジネスを展開したいと考えている。特に、量子化 DNN 技術/DNN 変換ツールは、AI 処理向け IP として ASIC へ適用。また、AI エッジ LSI は別途量産用 LSI を開発し、ASSP 事業を展開する予定。

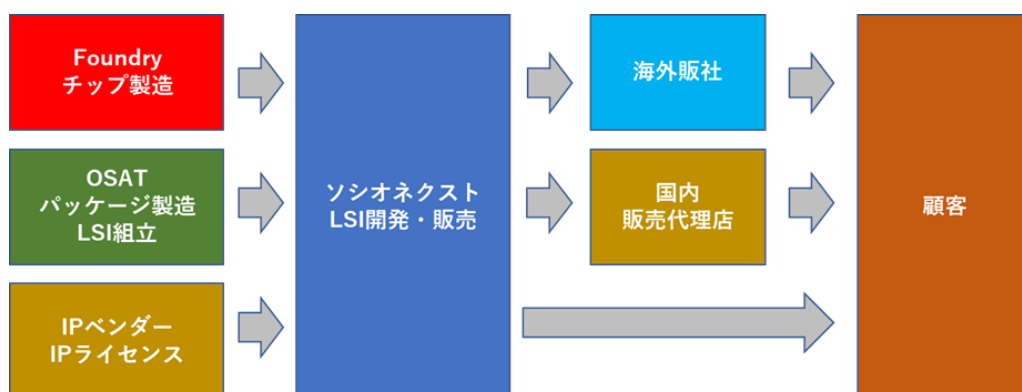
4.4.2.2 実用化・事業化への課題と対応策

AI 認識処理の実用化には、顧客環境・実アプリケーションを使った、より実践的な評価、改善が重要と考えている。

本課題に対しては、2020 年 3 月より外部会社評価および関係会社へ評価を依頼し、実施中。これら評価結果を反映することにより、より実用的なシステムとなるように改善する予定。

4.4.2.3 実用化・事業化の体制

実用化・事業化の体制は、下記のような体制を予定している。



4.4.2.4 市場規模と経済効果

（公開しない）

4.4.2.5 ベンチマーク

（公開しない）

4.4.2.6 事業化までのマイルストーン

（公開しない）

4.4.3 進化型・低消費電力 AI エッジ LSI の研究開発における実用化・事業化の見通し（株式会社豊田自動織機）

4.4.3.1 概要

本プロジェクトで開発した AI エッジ LSI をソシオネクスト社で製品化し、弊社に供給いただく事を前提で実用化・事業化を計画している。弊社は、製品版 AI エッジ LSI を搭載した車載 ECU の製品版を開発し、この ECU に本プロジェクトで開発したリアルタイム SLAM 技術を実装し、各種物流ロボット等弊社製品の高機能・高性能化を計画中。

4.4.3.2 実用化・事業化への課題と対応策

実用化・事業化の課題は、本テーマで開発・試作した AI エッジ LSI の製品化である。弊社としては、AI エッジ LSI の製品化計画が固まり次第、本 LSI を使用した車載 ECU の製品版を開発し、この ECU で SLAM 処理を行う製品開発を推進する。

4.4.3.3 市場規模と経済効果

- ・AI エッジ LSI の製品版供給：ソシオネクスト社
- ・SLAM ライブラリ共同開発：ArchiTek 社
- ・AI エッジ LSI 製品版を搭載した製品開発：豊田自動織機

4.4.3.4 ベンチマーク

（公開しない）

4.4.3.5 事業化までのマイルストーン

AI エッジ LSI の製品化計画が固まり次第、本 LSI を搭載した車載 ECU を使用し、リアルタイム SLAM 処理を行う自律走行台車の製品開発を推進する。

4.5 ソフトテンソルプロセッサによる超広範囲センシング AI エッジ技術の研究開発の研究開発における実用化・事業化の見通し（沖電気工業株式会社、総合警備保障株式会社、ジャパンマリンユナイテッド株式会社）

4.5.1 概要

本研究開発の成果の普及については、本研究開発は、各領域でトップクラスのシェアを有する実事業会社自身による事業検討と研究開発を一気通貫した産学連携体制で推進しており、学会発表・論文、特許出願、新聞雑誌 Web などのメディア掲載、プレスリリース、展示会や講演にも積極的に取り組んでいる。

現時点で、下記の実績を挙げており、最終年度である今年度の成果も追加することで、さらに増加する予定で進めている。

現時点での実績は下記のとおりである。

- ・特許は、出願済・出願準備中を併せ 17 件、今後も増加見込みである。
- ・論文の実績は 9 件であり、今後も増加見込みである。
- ・学会発表・講演の実績は 19 件であり、今後も増加見込みである。

また、本研究開発の共同研究機関の共著も 1 件あり、今後も取り組む予定である。

- ・新聞・雑誌、プレスリリースの実績は、13 件であり、今後も増加見込みである。
- ・展示会への出典の実績は、8 件であり、今後も増加見込みである。

例として、展示会への出典、講演などでは、CEATEC のような大規模展示会への出典、発表や ET & IoT Technology など、今後、本研究開発成果が適用される分野の展示会において講演することで、本研究開発成果についての普及につながると考えている。

研究開発開始時点において、「NEDO の革新的 AI エッジコンピューティングをテーマとする技術開発プロジェクトを開始」(2018 年 9 月 25 日)を、OKI、JMU、ALSOK、会津大による 4 機関の共同プレスリリースを行い、プレスリリースによる本研究開発の社会への認知度向上の活動を行っている。

2 年目には、NEDOおよびOKIで「ディープラーニングモデルの新たな軽量化技術を開発」(2019 年 9 月 9 日)の共同プレスリリースを行い、16 件の記事掲載(新聞 5 雑誌 1 Web 10)があり、注目される活動も行っている。本研究開発の成果を今後適宜公表する予定である。

4.5.2 実用化・事業化への課題と対応策

(公開しない)

4.5.3 実用化・事業化の体制

OKI、ALSOK、JMU の 3 社は、事業会社であり、本研究開発を行う部門と事業部門が連携して実用化・事業化に向けて取り組みを行っている。

4.5.4 市場規模と経済効果

(公開しない)

4.5.5 ベンチマーク

(公開しない)

4.5.6 事業化までのマイルストーン

(公開しない)

4.6 5G時代を見据えた高度自律的学習機能搭載のためのAIエッジコンピューティング技術の研究開発における実用化・事業化の見通し（株式会社アラヤ、KDDI株式会社）

4.6.1 「ネットワーク圧縮とBaseNetwork 共通化による演算量削減技術の開発」における実用化・事業化の見通し（株式会社アラヤ）

4.6.1.1 概要

Base Network 層共通化とアラヤの圧縮技術を組み合わせた複数深層学習に対する圧縮技術は、汎用自動ネットワーク圧縮ツール(Pressai)として2020年3月に商用ツールとしてリリースし実用化した。本圧縮ツールの開発ライセンス料、および、本圧縮技術を搭載した量産製品に対するライセンス料に基づく事業を進めつつ、更なる事業拡大施策を講じる。

4.6.1.2 実用化・事業化への課題と対応策

Pressaiを中核とする実用化・事業化拡大として下記対応を進める。

・対応FPGAの拡大

FPGAはそもそも量産適用となるデバイス数が少ない課題がある。20年度までに開発したIntel社FPGA向け実装を量産適用数が多いLowレンジFPGAへの最適化し、現在ARM社CPUが主流のLowレンジハードウェアを用いたAI市場へのFPGA参入を進める。また、Intel社製FPGAが主要シェアを通信やサーバ領域への適用を進める。更には、車載向けFPGA市場でシェアを占めるXilinx社製FPGA対応開発を進め自動車セットメーカー・サプライヤへの採用を図る。

・ASIC、AIチップ向けIP技術提供

FPGAは単価が高いデバイスであり事業化の観点ではFPGA搭載機器の出荷台数伸長には課題がある。対応策として、20年度までの研究開発成果に基づきASIC/AIチップ向けIP開発を開発する。現在協業するセットメーカーで検討している複数のAIユースケースに適用可能な複数深層学習対応ASIC・AIチップとして性能改善、量産化を目指す。

・エッジAI受託開発の推進

汎用自動ネットワーク圧縮ツールの単体販売では、アルゴリズム開発を必要とするユーザにリーチできない課題がある。対応策として、これまで研究開発で得た圧縮技術の知見に基づきエッジAI実装の開発・導入全般を支援するコンサルティング事業を行う。実装ターゲットハードウェアをこれまで開発してきたMidレンジFPGAに加えて、LowレンジFPGAやCPU、GPU等のエッジデバイスに最適化しつつ、アルゴリズム開発からネットワーク圧縮、エッジAI実装まで一気通貫で行うコンサルティング事業を進める。

4.6.1.3 実用化・事業化の体制

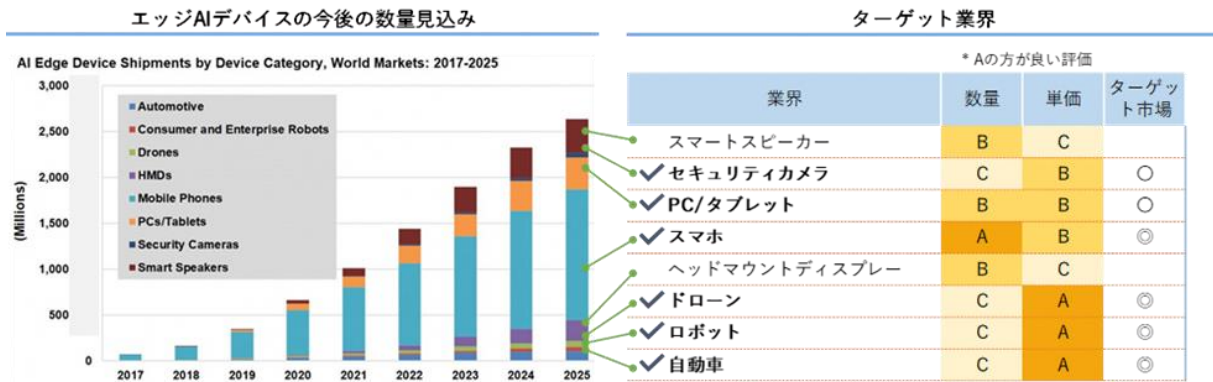
本研究においてKDDIが開発を進めるAIエッジ統合制御システムを通じてクラウドサーバで用いられるFPGAへの適用を進める中でサーバ事業者との協業体制確立を進める。また、車載向けFPGA、AIチップへの技術適用を進める中でユーザニーズに基づく圧縮技術の改良を進めつつセットメーカー及びサプライヤとの協業体制構築を図る。

4.6.1.4 市場規模と経済効果

対応 FGPA の拡大、ASIC・AI チップへの対応、エッジ AI 受託開発の推進により、深層学習用チップセット世界市場における目標シェアを、ターゲット市場(下表の市場分析より):スマホ、自動車、ロボット、ドローン、PC、セキュリティカメラをメインとし、競争環境も鑑み、以下と考える。

深層学習用チップセットの世界市場と目標シェア(1台平均 1000 円と概算)	
市場規模(世界市場)	目標シェア
2022 年(1300 万台)	13 億円
2025 年(4000 万台)	50 億円

市場規模算出の根拠: 市場調査会社(Tractica)の市場予測資料を参照



出典: <https://www.tractica.com/newsroom/press-releases/deep-learning-chipset-shipments-to-reach-41-2-million-units-annually-by-2025> より作成

4.6.1.5 ベンチマーク

本開発技術はプルーニング等の既存の圧縮技術と併用でき、それら既存圧縮手法を含み一式ワンストップで取り揃えたツール(Pressai)として提供している。既存 AI プラットフォームとの対比による自動ネットワーク圧縮ツールの優位性を下図に示す。

圧縮ツール		モデル提供				学習				圧縮				推論実行ファイル		Edgeデバイス	
ツール名	開発元	DLモデル	学習	蒸留	転移学習	アラヤ圧縮	Prune*1	量子化	行列分解	CPU最適化	HDL記述言語	Deploy	Monitor				
自動ネットワーク圧縮ツール(仮名)	株式会社アラヤ	-	○	○	-	○	○	○	-	○	○	○*2	-				
Cloud AutoML Vision	Google LLC	○	○	-	-	-	-	-	-	-	-	-	-				
Cloud AutoML Vision Edge	Google LLC	○	-	-	-	-	-	-	-	-	-	○	-				
TensorFlow Lite	Google LLC	-	-	-	-	-	○	○	-	○	-	-	-				
Optimization tool kit	Google LLC	-	-	-	-	-	○	○	-	-	-	-	-				
QNNPACK	Facebook	-	-	-	-	-	-	○	-	-	-	-	-				
SageMaker+AWS market place	Amazon	○(300以上)	○	-	-	-	-	-	-	○	-	○	-				
Azure IoT Edge	Microsoft	○(数十個)	○	-	-	-	-	-	-	-	-	○	○				
Transfer Learning Tool Kit	NVIDIA	-	○	-	○	-	○	-	-	-	-	-	-				
TensorRT	NVIDIA	-(AWS連携)	-	-	-	-	-	○	-	○	-	○	-				
Neuralnetwork Distiller	Intel	-(AWS連携)	○	○	-	-	○	○	-	-	-	-	-				
PocketFlow	Tencent	-	○	○	-	-	○	○	-	-	-	-	-				
keras_compressor	ドワンゴメディアビレッジ	-	○	-	-	-	-	-	○	-	-	-	-				
Blueoil	LeapMind	-	○	-	-	-	-	○	-	-	-	-	-				
DeLTA-Lite	LeapMind	○	○	?	-	-	?	?	-	-	-	-	-				
DeLTA-Kit	LeapMind	-	-	-	-	-	-	-	-	-	-	○	-				

図 4.6.1.5.1 開発・商用化した自動ネットワーク圧縮ツールと既存 AI プラットフォームとの対比

アラヤ独自圧縮の圧縮性能について、マグニチュードベースプルーニング(重みの大きさに基づく枝刈)との比較を下図に示す。圧縮率を高くする(compression_rate を下げる)と、ア

ラヤ圧縮のいでも精度低下はあるが(精度:0.7→0.5)圧縮率に応じて実行時間は短縮する。一方で、マグニチュードベースプルーニングも圧縮率に応じて精度低下するが、実行時間は短縮しない。これは、アラヤ独自圧縮が、モデルを構成する各層を枝刈りしつつ、残った非ゼロ重みのみをFPGA実装で効率よく演算可能であることを示している。

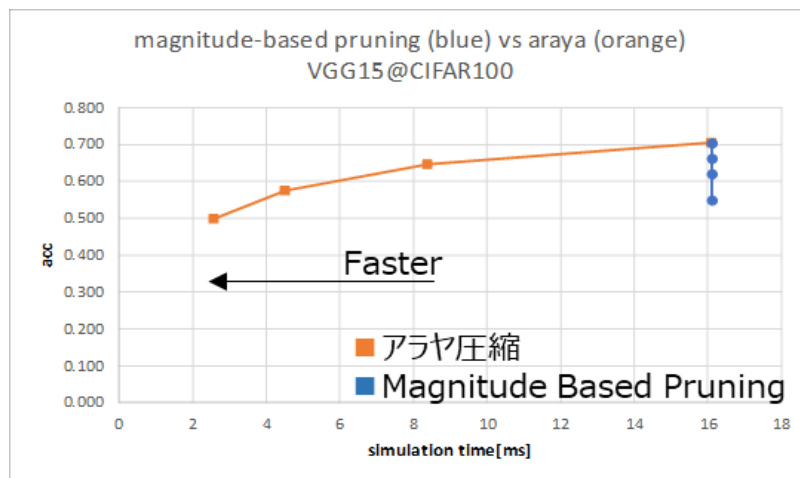


図 4.6.1.5.2 アラヤ独自圧縮性能ベンチマーク

4.6.1.6 事業化までのマイルストーン

実用化・事業化で開発、検討を進める各施策のマイルストーンを下図に示す。20年3月にリリースした Pressai をベースに、対応 FPGA の拡大、ASIC・ASI チップ向け IP 技術開発・提供及びエッジ AI コンサルティング事業推進により、更なる事業化を進める。

	2020年	2021年	2022年	2023年
Pressaiリリース	▼2020年3月			
対応FPGA拡大	Lowレンジ対応▼ Xilinx対応▼	Lowレンジ市場・車載対応		
ASIC、AIチップ向けIP技術提供	ASIC対応IP開発	性能改善	量産対応	
エッジAIコンサルティング事業推進	(エッジAI開発に関する包括的なコンサルティング・受託開発事業を実施)			

図 4.6.1.6 事業化マイルストーン(演算量削減技術)

4.6.1 「人工意識による高度自律的学習機能の開発の研究開発」における実用化・事業化の見通し (株式会社アラヤ/国立大学法人 東京大学)

4.6.1.1 概要

エッジ AI コンピューティングで高度自律的学習機能の実現に向けて、AI 自体が目的設定と自律的な学習を行う、人工意識、と呼ぶアーキテクチャの開発を行う。

・現在の AI アルゴリズムは、学習した技術を蓄積することができないため環境の変化毎に都度大量データを用意して学習する必要がある。この課題を解決するために、環境予測

モデルとメタ認知モジュールを組み込んだメタ学習やモデルベースの強化学習アルゴリズム開発、および、少量データで効率的に学習可能な環境シミュレータの開発を進める。

・ ドローン、ロボットアーム、協業ロボット等の分野におけるタスクに対する実用化を目指しアルゴリズムやシミュレータのライセンス料に基づく事業化を進める。

4.6.1.2 実用化・事業化への課題と対応策

実用化・事業化に向けた取り組みを示す。

- 既存の深層強化学習手法に対して性能や学習効率において優位となる人工意識アーキテクチャに基づくアルゴリズム開発、および、学習環境シミュレータ開発を行う。
- アラヤが既に事業として行なっている、画像認識サービス、建設機械自動化支援サービス、自律飛行ドローンによる点検自動化サービス、建物空調最適化サービスなどへの適用を行うことで、これらサービスの競合優位性を高めていく。
- KDDI の開発する AI エッジ統合制御システム／スマートドローンプラットフォームに、データ効率性を備えた高度自律的学習機能を適用していくことで、KDDI プラットフォームにおけるドローン分野でのライセンスベースの事業化を進める。

上述の取り組みにおける課題として、個別のサービス・事業については、各業界の既存プレイヤーが AI などの先端技術を自社開発することで、スタートアップなどの新興勢力への競争力を強化してきている。対応策として、AI を強みとするアラヤにとっては逆に業界知識の不足によって、実装や効果的な AI の活用が困難となる場面が今後も発生すると考えており、今まで以上に、各業界の知識・ノウハウを持つ企業と連携して、事業を推進していく予定である。

4.6.1.3 実用化・事業化の体制

KDDI との協業体制において、本研究で開発を進める AI エッジ統合制御システムを活用することで実用化・事業化の取り組みを進める体制作りを進める。各ビジネスドメインの事業パートナーのノウハウの提供を受けることで最適な高度自律的学習アルゴリズムに基づく自律エージェントサービスを提供することでエンドユーザへのサービス・価値提供を進める。

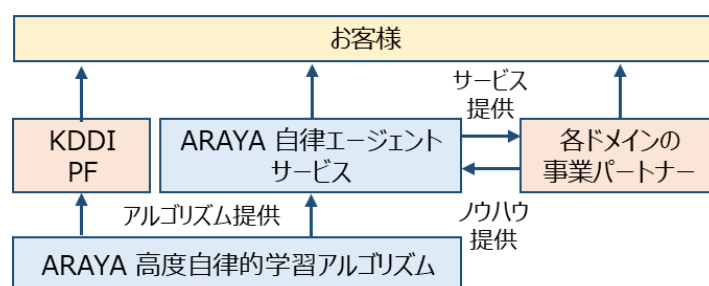


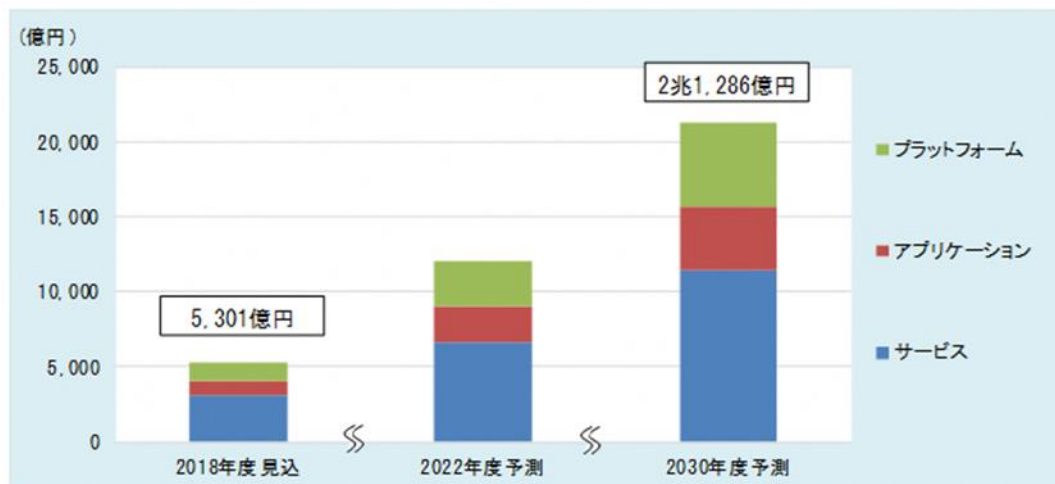
図 4.6.1.3 実用化・事業化の体制(人工意識)

4.6.1.4 市場規模と経済効果

富士経済グループより発表された「2019 人工知能ビジネス総調査」の予測より、AIビジネス国内市場全体 2 兆 1,286 億円において、国内エッジ AI コンピューティング市場は、2018 年度に見込み 110 億円だった市場規模が、2030 年度には 664 億円にまで拡大する見込みとなっている。この市場規模の急激な拡大にあたり、民生機器および産業機器で使用される

学習効率性の改善が大変重要であり、ここにアラヤが提供する自律的学習機能が重要な役割をもち、前述の、5G 及びエッジ・クラウド連携における開発プラットフォームとしての提供及び演算量削減技術とのセットで競争力をもって市場提供できるものと考えている。

メタ学習・模倣学習等の周辺技術動向や上記競争優位の想定を鑑み、国内エッジ AI コンピューティング／プラットフォーム・アプリケーション市場（664 億円の概ね 4 割）の内、2030 年度にはシェア 66.5 億円（25%）程度の貢献を果たす事が可能と考えている。



出典: <https://www.fcr.co.jp/pr/19039.htm>

4.6.1.5 ベンチマーク

既存技術 (SLAM: 自己位置推定/マップ作成、SLAM+深層強化学習) と SLAM+人工意識ありの深層強化学習との比較評価を下図に示す。環境変化や新規環境、新規タスク・目的への対応に対する高効率性と頑健性の実現を目指している。

比較の観点	SLAMのみ	SLAM+深層強化学習	
		SLAM+人工意識なし	SLAM+人工意識あり
方式の概要	マップを作成した上で、マップ上でタスクを実現する飛行経路を計画する。	マップを作成した上で、タスクを実現させるような動作を学習させる。	マップの作成、タスクを実現させるような動作に加え、転移学習によって新規環境への適用性を向上。
環境変化への対応	再度マニュアルで飛行させてマップを作成する必要がある。	マップの再作成の必要はあるが、事前に環境変化を見越したポリシーを学習しておくことで小さな変化には対応可能。	事前に想定した環境変化に対するポリシー以外のポリシーも生成可能なため、より大きな変化に対応可能。
新規環境への対応	同上	再学習が必要。	少ない追加学習で新規環境に適用できる。
新規タスク・目的への対応	作成済のマップ上で新しく飛行経路を計画することで対応可能。	同上	同上
動的な環境への対応	他技術と組み合わせが必要。	事前に動的な環境で学習しておくことで、対応可能。	←
解釈性	全てはマップ上で解釈されるため、視覚的に分かりやすい。	マップ以外の、NNの中での表現は解釈が難しい。	←

図 4.6.1.5.1 既存技術とのベンチマーク

また、学習におけるデータ効率性を指向する先進研究開発として、Google による 2020 年の IEEE International Solid-State Circuits Conference (ISSCC)における研究との対比を示す。Google による、今後の特にクラウドにおける AI(機械学習)の方向性を下記に示す。

- ▶ 少ないデータ量で学習できるようにすることが今後の重要な研究の方向性の一つである(=Few shot learning)。

- アプローチとしては、複数のエキスパートモデルを含んだモデルに対して、少しのデータを与えることで一部のモデルだけをアクティベートさせることでタスクを解く方法 (=sparsely activated models) や、大きいモデルを作成し個別タスクで追加学習する方法等がある。

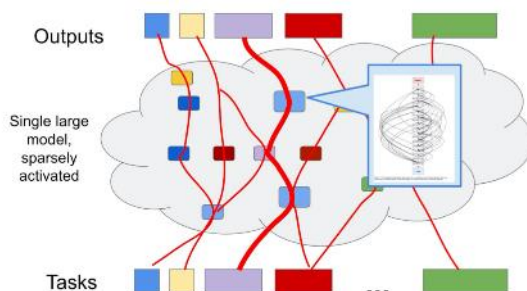


Figure 8: A diagram depicting a design for a large, sparsely activated, multi-task model. Each box in the model represents a component. Models for tasks develop by stitching together components, either using human-specified connection patterns, or automatically learned connectivity. Each component might be running a small architectural search to adapt to the kinds of data which is being routed to it, and routing decisions making components decide which downstream components are best suited for a particular task or example, based on observed behavior.

図 4.6.1.5.2 IEEE ISSCC 2020 での Google による AI(機械学習)の方向性

これに対して、本提案技術では、今後の AI エッジ端末増大に伴い、汎用モデル作成はクラウド上で、追加学習はエッジ上でと役割を分担した上で、データ連携・リソース配分方法の最適化を、5G 及びクラウド・AI エッジ連携の国内初総合的プラットフォームである KDDI プラットフォームにおいて実現することで、システムエネルギー効率性とエッジ高度化の実装システムを先行して社会に提供する。これは世界的に見ても新しい取り組みであり、5G を活用したエッジクラウド連携によるデータ効率性を実現することでこれまでにない新たな価値提供を目指す。

4.6.1.6 事業化までのマイルストーン

本研究開発において高度自律的学習機能・人工意識アーキテクチャの開発を進めることでアーキテクチャの確立と有用性の検証を行う。並行してベースモデルとなる「WorldModel」ベース及び「Predictive Coding」ベースのアルゴリズム開発を進めるためのシミュレータ開発を進め有用性の評価を行う。2021 年度以降はデータ効率性向上に向けた開発と検証を進める。そして 2022 年度末までに AI エッジ統合制御システムを活用したドローン運用案件等の実ユースケースを通じてシステムレベルでの消費電力従来比 1/10 を目指すことを事業化のマイルストーンとする。

また自律型エージェントのサービス展開として、既に深層強化学習及び模倣学習を用いて事業展開を進める建機自動化支援サービスやドローン点検自動化サービス等において、今後本研究にて確立した高度自律的学習機能を適用することで事業化を進める。

	2018年度	2019年度	2020年度	2021年度	2022年度
高度自律的学習機能・人工意識の開発		アーキテクチャ・アルゴリズム確立▼	シミュレーション評価 計算量従来比1/10▼	追加学習及び推論 データ効率の実現▼	システムレベル消費電力 従来比1/10▼
	人工意識アーキテクチャの開発・有用性検証			データ効率性向上に向けた開発・有用性検証	
ベースモデル開発		シミュレータ開発▼	性能評価▼	性能評価▼	性能評価▼
		「WorldModel」ベースアルゴリズム開発		エッジ端末での追加学習・推論効率化に向けた拡張開発・評価	エッジ・クラウド連携、実機評価に向けた拡張開発・評価
			性能評価▼ シミュレータ開発▼ 「Predictive Coding」ベースアルゴリズム開発		
自律型エージェントのサービス展開	従来アルゴリズムベースのサービス展開		深層強化学習・模倣学習ベースのサービス展開		高度自律化学習機能を用いたサービス展開

図 4.6.1.6 事業化マイルストーン（人工意識）

4.6.2 「AI エッジ統合制御システムの開発」における実用化・事業化の見通し（KDDI 株式会社）

4.6.2.1 概要

「スマートドローンプラットフォーム」は 4G LTE/5G ネットワークに接続するドローン機体、運行管理システム、ソリューション毎のアプリケーションで構成され、機体とアプリケーションの組み合わせによって、構造物点検、広域監視、測量などの様々なサービスを提供できるドローンプラットフォームである。

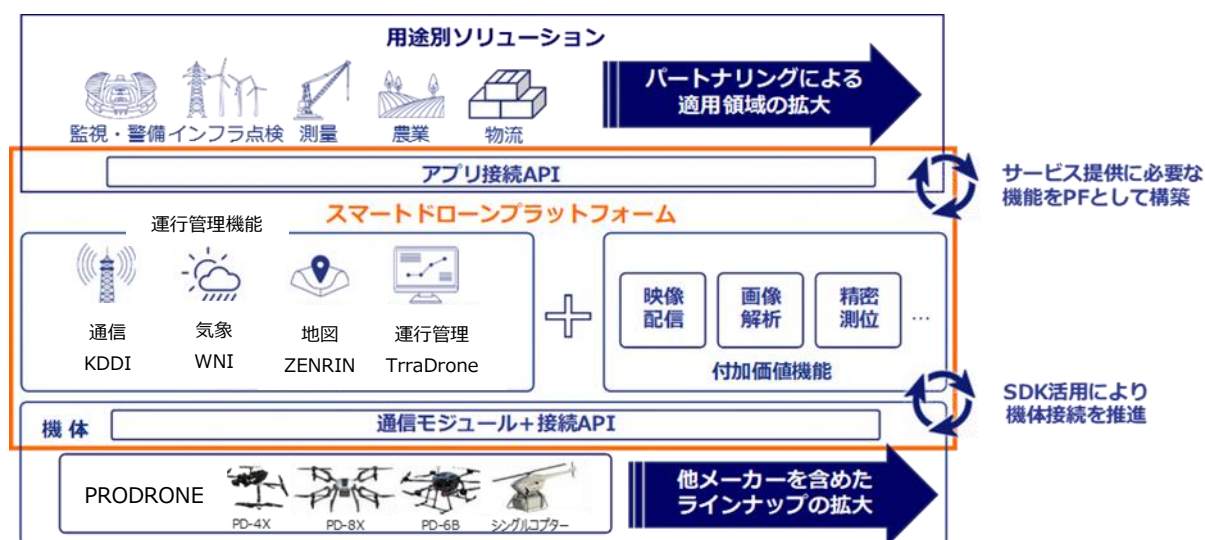


図 4.6.2.1 KDDI スマートドローンプラットフォーム概念図

スマートドローンプラットフォームの付加価値機能として、画像処理技術を中心とした AI 機能を開発中であり、将来的には 5G ネットワークを前提としたエッジ・クラウド連携環境もとで、大規模なデータ収集・解析基盤として機能を拡張、確立する予定である。

4.6.2.2 実用化・事業化への課題と対応策

下図に示す通りドローンは目視外遠隔自動飛行による市場拡大に移行していき、長距離飛行に強みを持つセルラードローン領域が本格化してくる予測であるが、ドローンと地上の無線通信の信頼性およびインフラ投資の観点から構築済みの 4G 携帯回線を活用した運用、

また、これから本格普及する 5G ネットワークと共に爆発的な市場拡大を目指し 3GPP 等の標準化団体通じて日本のみならず各国で研究が加速している状況である。

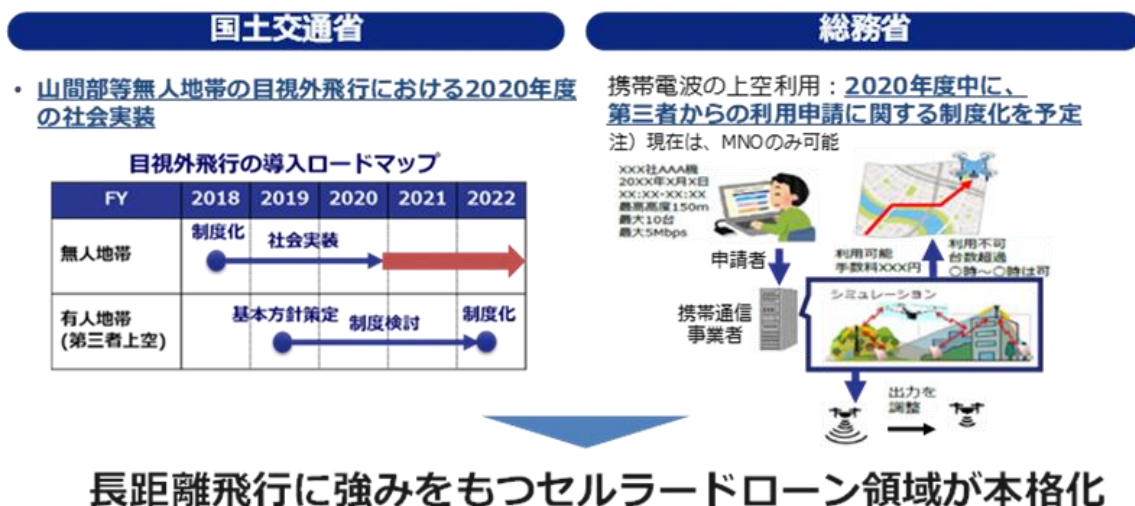


図 4.6.2.2 国内制度の動向

4.6.2.3 実用化・事業化の体制

エッジ(ドローン)での高度な自律処理と 5G との親和性確保のもと、AI エンジンを含め各アプリケーションが接続可能な運航管理システムを構築することで、様々なドローン適用領域への活用を目指している。

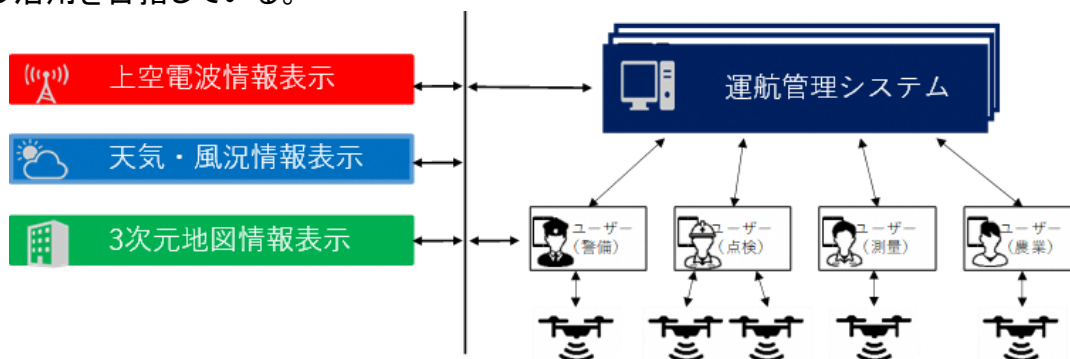


図 4.6.2.3.1 運航管理システムの開発

本研究のドローン搭載イメージを以下に示す。ドローンは大きく制御基板として飛行制御をつかさどるフライトコントローラーとカメラやセンサー制御およびフライトコントローラーや通信機能と連携するコンピューティング機能(下図中 SBC)からなる。

開発成果をコンピューティング機能上に搭載することで飛行制御の自律制御の高度化や点検等のミッションの高度化が実現可能である。

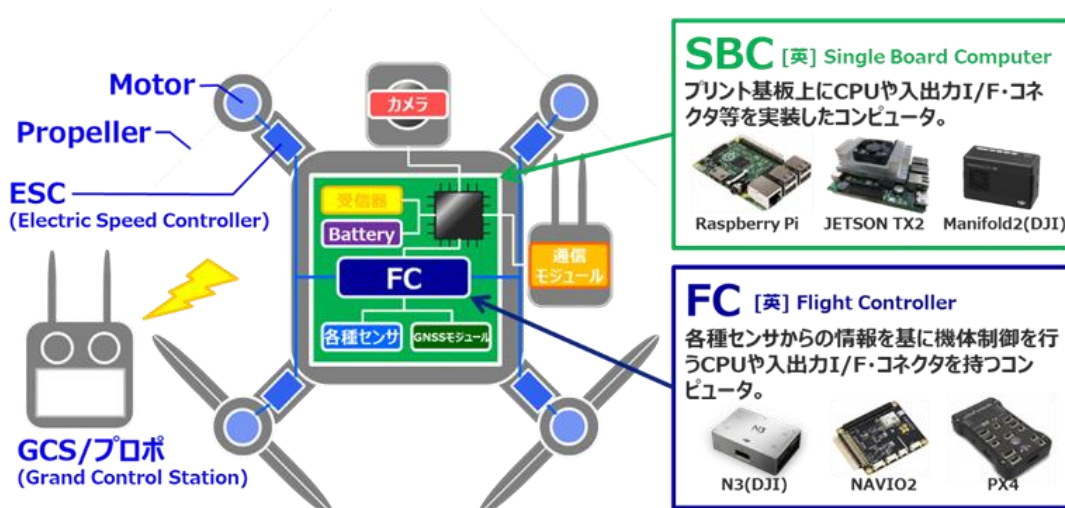


図 4.6.2.3.2 ドローン内部構成イメージ

また、エッジクラウド統合制御システムの構成イメージを以下に示す。飛行制御や通信制御とともに前述のコンピューティング機能部にエッジ AI 機能を搭載し SDK (Software Development Kit) として提供することでハードウェアや組み込み開発が最小限でクラウドとコネクテッドな環境を利用することが可能となる。本開発成果および 2021 年度以降の人工意識の開発を推進することでクラウドとエッジが5G 通信を介して学習データを共有することでエッジ端末がより高度化していくという「集合知」としての環境構築が見込まれる。

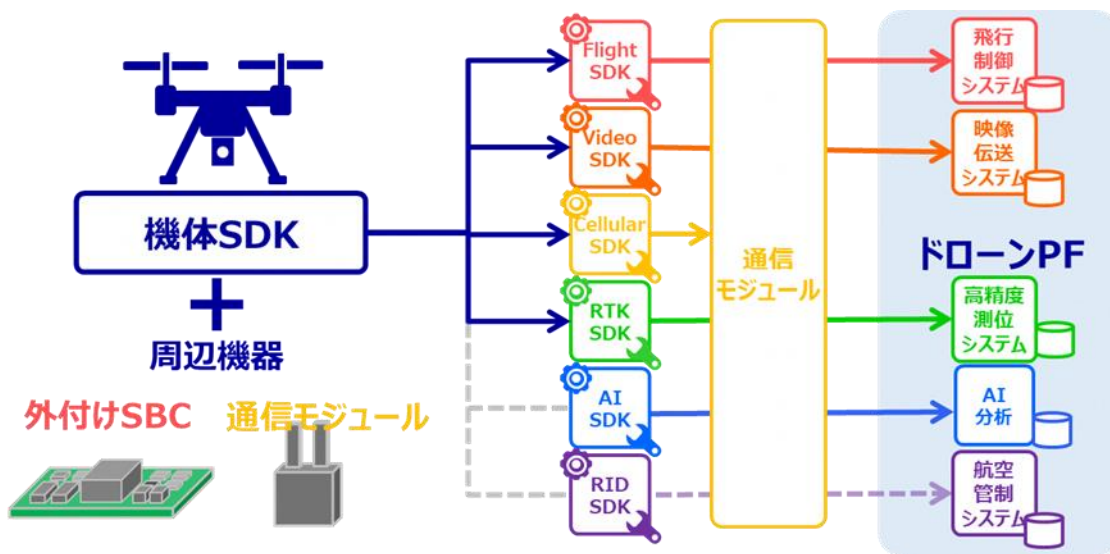


図 4.6.2.3.3 ドローンにおけるエッジクラウド環境 構成イメージ

4.6.2.4 市場規模と経済効果

2020 年度以降、規制緩和などが進み、目視外市場（長距離飛行）が大きく伸びる。インフラ点検・測量の需要増を中心に、各産業へのドローン利用が広がることが見込まれている。

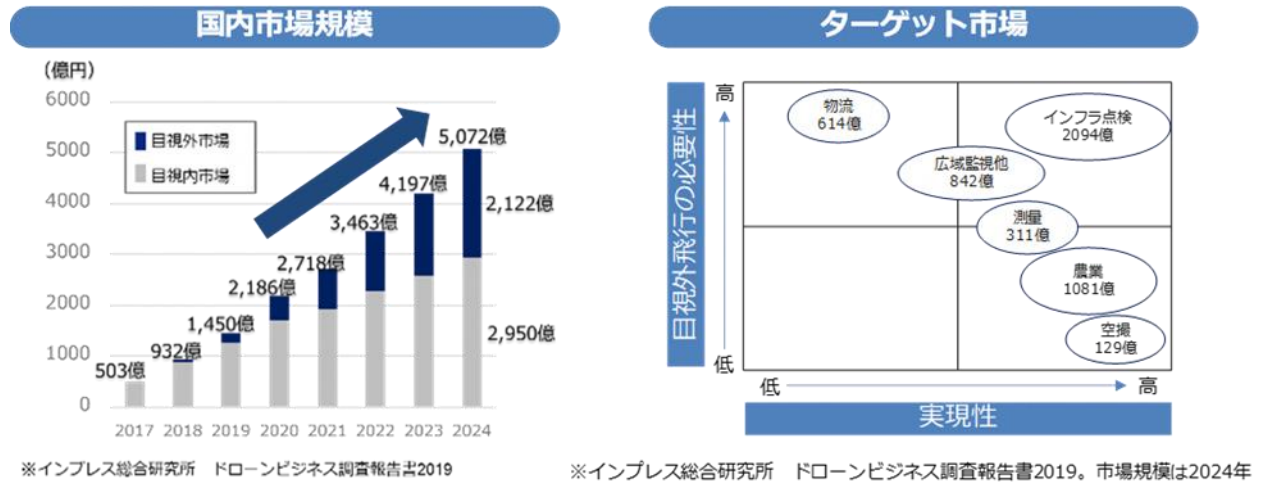


図 4.6.2.4 国内市場の動向

4.6.2.5 ベンチマーク

セルラードローン領域においては、MNO が中心に実証実験等が推進されているところである。特に KDDI および NTT グループが積極的にセルラーを用いたプラットフォーム展開を推進している。今後様々な業種や AI などの分析サービスと連携していくことが予想される。海外の大手 IT 企業も多額の投資をして AI 開発及びデータ分析を実施しているがドローンの対象領域は大手企業のインフラなど通常一般に流出しないデータであり早期に日本として開発基盤を構築することが必要である。また本テーマで提唱しているように今後ドローンのように IOT 機器は通信を介して学習データをクラウドシステムと相互共有する時代になると予測される。本テーマで実証計画予定の 5G 及びクラウド・AI エッジ連携の統合環境は、国内初の総合的なプラットフォーム提供形態となる。

	KDDI	NTT グループ	ソフトバンク	楽天
サービス	スマートドローン インフラ点検、監視、測量等（個ソリ） （2019.6月より開始）	docomo sky 監視、測量、インフラ点検等 （2018.3月より開始） ジャパン・インフラ・ウェイマーク インフラ点検に特化して事業展開 （NTT西100%出資、2019年4月に設立）	SoraSolution 国内ベンチャー（センシンロボティクス）のSL活用し、インフラ点検中心に提供 （2019.11月より開始）	そら楽 配送に特化してサービス提供 （2016.4月より開始）
プラットフォーム	スマートドローンPF →自社構築済 2020年：有人航空管制との接続予定	Air Palette（NTTデータ） →東電PG、日立とドローンの航路を構築する事業組合「グリッドスカイウェイ」を設立	Sora Solution内で提供 （国内運航管理の議論には未参画）	楽天AirMap UTM （北米AirMapとの合併会社）
機体	PRODRONEの他、ラインナップを拡充 （Coretronic(台湾)、DJI、SkyDrive)	DJI、ACSL、Studio(北米) （ドコモより、ドローン搭載用モジュールを提供）	センシンロボティクス （2020年：セルラー対応予定）	ACSL、JD.com(中国) ※モバイル回線は、DCM/KDDIを利用

図 4.6.2.5 ベンチマーク状況

4.6.2.6 事業化までのマイルストーン

- ・STEP1として、個別ソリューションにて2019年6月に役務提供を開始しており、
- ・STEP2として、2020年2Qには「KDDIスマートドローン」お客様運用メニューとしてシステムの本格提供を開始している。
- ・STEP3として、AI分析や飛行制御の高度化を予定しており、本テーマの技術については機体の飛行安全性の観点から前述の官民協議会ロードマップにも示されている通り機体の自律化として2022年度以降の有人地帯の第三者上空飛行実現に必須機能である。

市場は携帯電波の上空利用や運航管理システムなどの社会インフラの整備および航空法等の関連法制度改定に伴い飛行制御関連サービス(現場での仕事の効率化:外業)の高度化が始まり、一方インフラ点検や警備業などでの分析サービス(オフィス内作業の効率化:内業)もAIの発展とともに高度化が予測される。本開発テーマは双方に寄与するテーマであり、また本技術はIOT機器やモビリティ全般に広く普及していく技術にしてい



図 4.6.2.6 事業化マイルストーン

4.7 「エッジビジョン AI を超軽量化し短 TAT で実装する技術の研究開発」における実用化・事業化の見通し

4.7.1 概要

本 PJ では、研究開発で構築したコンパイラ基盤を使用してエッジビジョン AI の開発や評価が完結して行うことができる Web サービス「GENESIS DevEnv」を構築し、1. エッジビジョン AI の応用プロダクトの開発者、2. エッジビジョン AI を構成するソフトウェアの開発者、3. エッジビジョン AI が動作するハードウェアのサプライヤー、の 3 者を媒介するクラウド上のプラットフォームを目指す。

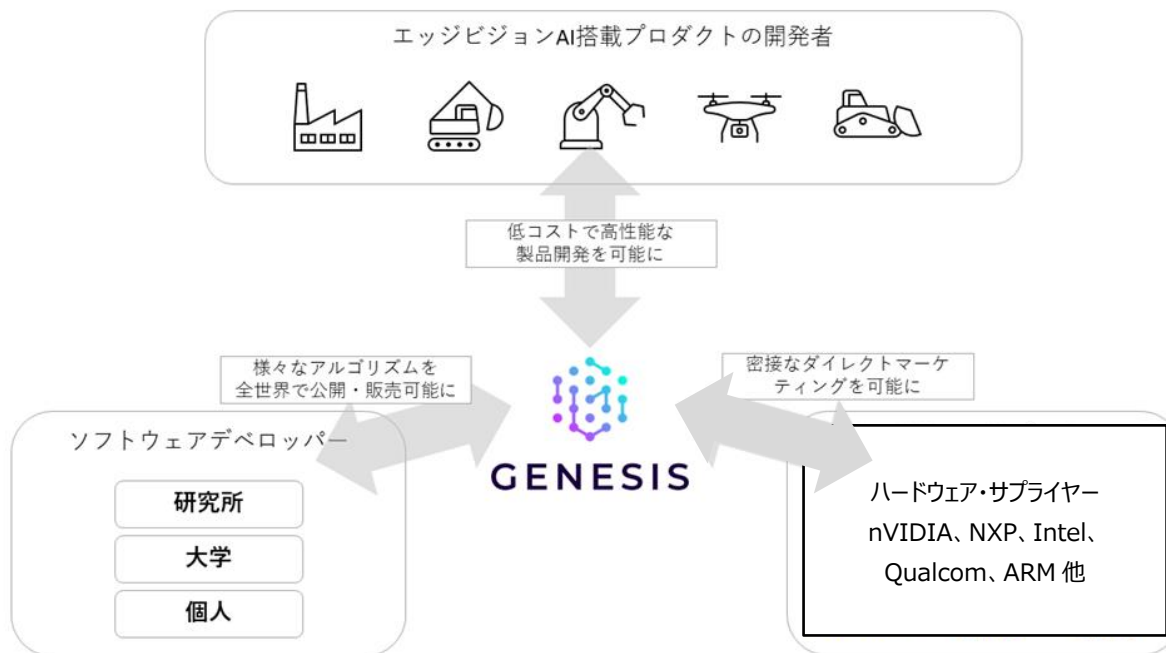


図 4.7.1.1 Web サービス「GENESIS DevEnv」のステークホルダーマップ

来たる Society5.0 社会においては、実社会で生み出される大量かつ多様なデータをリアルタイムかつ自動的に収集・分析・処理することで、これまでとは質的・量的にも異なる次元の価値を生み出すことが期待されている。このような高度な情報化社会を実現するためには、それを支える情報システムにもまた高度な要件が求められる。このようなシステムを実現するにあたり、我々が重要と考える指標は以下の2点である。

1. システムの開発・維持・改善に必要な人的コスト
2. システムの運用に必要なエネルギー効率

Society5.0 社会を支える IoT や人工知能が統合されたシステムは、実社会と密接な関係のもとで実装・運用されなければ価値を持たない。すなわち、実社会の複雑さ・多様さを反映した、多種多様な要件のシステムが必要となることが予想される。このようなシステムを実装するためには、高度なプログラミング技術を修めたエンジニアリング人材が大量に必要である。少子化と高度教育に課題を抱える我が国においては、限られた人的リソースを効率よく運用する手段を考えねばならない。本プロジェクトの研究開発テーマであるドメイン固有のフルスタックコンパイラ基盤は、今まで人手で行っていたエンジニアリング作業を様々なレイヤで自動化することで、システムの開発と維持運用にかかるコストを大幅に削減する。

エネルギー効率、すなわち単位エネルギーあたりのシステムの処理性能は、あらゆる種類、あらゆる規模のシステムで常に問題となる。極論してしまえば、エネルギー効率は高ければ高いほどよい。エネルギー効率の最大化において最も難しいのは、局所的な効率化の組み合わせでは解決できず、系全体での最適化が必要な点にある。つまり、大規模化するシステムでは必須となるモジュール化とは本質的に相性が悪い。しかしながら、本PJのコンパイラ基盤は、適用される問題のドメインをある程度絞ることで複数のレイヤにまたがって大域的な最適化を施すことを可能としており、モジュール化とエネルギー効率を高いレベルで両立することができる。加えて、固定化されたハードウェアで動作するソフトウェアの最適化のみならず、アルゴリズムに特化したハードウェアデザインを自動的に生成できるため、ソフトウェア・ハードウェアの垣根をこえ、システム全体としてエネルギー効率を最大化する構成を自動的に探索・生成することすら可能である。

このように、本PJの研究開発テーマであるコンパイラ基盤は、人的コストとエネルギー効率の両面から、Society5.0社会におけるエッジビジョンAIのシステム開発のあり方を破壊的に進化させる可能性を秘めている。本項では、この研究成果をいかにパッケージングし、持続可能な事業として実社会に届けていくかという点について述べたい。

冒頭でも述べたように、本PJでは、事業モデルとしてSaaSモデルを採用する。短期的には、コンパイラ基盤を開発ツールとして単体で外販する、いわゆるツールビジネスを行うことも可能だが、これは行わない。古典的な開発ツールベンダのように高度な技能を必要とする開発者を対象ユーザーとしてしまうと、市場規模が一定数で飽和してしまい、ツール単価を上げなければ事業が成り立たず、そうするとユーザー数を増やすことが難しいというジレンマに陥ることを避ける、というのが一点目の理由、さらに、ツールを個別に配布してしまうとサポートコストが無視できないほど大きく、事業を小さく始めるということが難しいというのが二点目、さらに、ツールビジネスでは顧客要件に合わせたカスタマイズ対応が必要となることが多く、自社のIPとして価値を集積しにくいという点が三点目である。

本PJでは、研究開発で構築したコンパイラ基盤を基盤技術として使用し、エッジビジョンAIを1.いつでも 2.誰でも 3.どこからでも、容易に実現できる開発環境をWebサービスとして構築し、インターネットを通じて全世界に提供する。



図 4.7.1.2 GENESIS DevEnv のサービス構成図

4.7.2 実用化・事業化への課題と対応策

このモデルには、以下のような利点がある。

1. サブスクリプションビジネスを展開しやすい
2. 潜在的なユーザー数を最大化できる
3. 業界をリードするプラットフォームへと成長する高い可能性がある

サブスクリプションビジネスの本質は、ユーザーとの継続的な関係性を保てることにある。SaaS モデルは、事業者が構築したクラウド環境上にユーザーがアクセスし、その上で様々な活動を行い、結果としてユーザーが利得を得るものである。つまり、ユーザーがどのような活動を行っているか、どのような課題を抱えているか、それをどのように改善したらよいか、という指標を、サービスの運営と並行して得ることができる。サービスが荒削りな段階から、ベータバージョンとしてサービスを公開することで、サービスの価値を徐々に高め、時には方向転換をし、本質的なユーザーの課題を解決するよう、研究開発に対して有効なフィードバックを行う。これは、貴重な国家予算を有効に活用し、真に価値のある研究を推進するとともに、研究結果をサービス価値へと素早く昇華させ、事業の持続性を高めることにもつながる。

次に、Web サービスの特性上、インターネットがつながる場所からブラウザが動作するデバイスさえあればサービスを利用することが可能となるため、潜在的なユーザーは全世界に広がる。市場を独占するプラットフォーマーを目指すならば、サービスへと流入可能な絶対ユーザー数が大変重要であり、そういった観点からインターネット上で Web サービスを提供することは最良の手段と言える。

この構造は、ユーザー数が十分でない立ち上げ期においても、以下のようなシナジー効果により本サービスに関連した売上が見込めることで、事業の持続可能性を高める。本 PJ の主たる事業者である株式会社フィクスターズでは、本サービスが解決しようとしている問題を、高速化・最適化技術を持つソフトウェアエンジニア集団による受託サービスとして解決してきた。自動運転やロボット、ドローンのような次世代の自動モビリティの頭脳、高度化する検査装置機器や医療機器の処理エンジンなど、画像に高度な適用するといった需要は年々向上しており、受託サービスの引き合いは増える一方だが、高度なエンジニアリング技術を密なコミュニケーションの下で提供するという受託サービスの特性上、営業チャネルは事業所の近くに閉じてしまう。すなわち、現時点では、我々の到達可能な市場は日本および北米の拠点周辺に限られてしまっている。しかしながら、本サービスが全世界に対して公開されれば、開発初期のプロトタイピングや性能評価タスクは本サービスの上で完結する。その上で、さらなる最適化や本開発といった巨大案件のリードを取るための営業ツールとして本サービスを利用し、サービス自体のユーザー数拡大と、受託事業とのシナジー効果の双方を得ることができる。

最後に、プラットフォームへと成長する可能性と、その場合の社会的インパクトについて述べる。本サービスは、冒頭でも述べたように、以下の 3 者を媒介する。

1. エッジビジョン AI の応用プロダクトの開発者
2. エッジビジョン AI を構成するソフトウェアのデベロッパー
3. エッジビジョン AI が動作するハードウェアのサプライヤー

前提として、本サービスの主たるユーザーは 1. である。しかしながら、本サービスのコンパイル基盤が、ドメインのアルゴリズムを入力として、特定のチップ上で高速に動作するバイナリもしくはハードウェアデザインそのものを出力するという特性上、2. のソフトウェアデベロッ

パー、および 3.のハードウェアサプライヤーとも密接な関係がある。これらの各ユーザーに対してどのような価値を提供し、本サービスをプラットフォームとして成立させていくかについて述べる。

1.のユーザーに対しては、エッジビジョン AI を応用する複雑なシステムに対して、高い開発効率という価値を提供し、サブスクリプション課金によって対価を得る。これは今まで述べてきた事業モデルから素直な延長上にある。次世代の検査機器や医療機器など、スマートなマシンビジョン、自動運転車、ドローンやロボット等の自動モビリティ分野のユーザーを想定しており、前者は具体的には、ニコン、オリンパス、キヤノン、オムロン等の大手メーカー、後者については、トヨタ、デンソー、ホンダ、スバル、ソフトバンクロボティクス、WHILL、DJI 等である。ここで挙げたメーカーは、全て事業者である株式会社フィクスターズの受託サービスにおける既存顧客、あるいはそれに準ずる近い関係性にあるため、受託サービスの事業部と連携してサービスの普及と利用促進に務める。

一方、2.のユーザーに対しては、本サービス上で利用可能なアルゴリズムを集積するマーケットプレイスを用意し、1.のユーザーのサービス利用料のレベニューシェアを行う。これにより、本サービス上では様々なアルゴリズムが利用可能となり、1.のユーザーの新規流入の増加およびリテンションの維持が達成できる。対象としては、アルゴリズムの研究開発に従事する大学研究者、個人開発者、企業体である。具体的には、現在、日本国内のいくつかの大学と共同研究を行っており、本 PJ のコンパイラ基盤が入力とするドメイン固有言語を用いて、様々なアプリケーション実装し評価するといった研究を行っている。また、Visual SLAM 技術の開発に強みを持つ Kudan 株式会社と事業提携を行っており、Kudan のもつ高度な SLAM アルゴリズムをサービス上で展開し、レベニューシェアによる事業化を進める予定である。

最後に、3.のユーザーに対しては、ハードウェアの販売およびマーケティングチャネルを提供する。マイクロプロセッサのチップベンダーおよび、センサーベンダーがその対象となる。前者は、Intel、NVIDIA、ARM、Qualcomm、などの大手チップベンダから、テキサス・インスツルメンツ、CEVA、Cadence 等の DSP に強みをもつ SoC メーカーおよび IP ベンダ、国内では東芝やデンソーなどの独自の ASIC を製造している企業を想定している。後者は、イメージセンサ最大手のソニーセミコンダクタソリューションズをはじめ、ToF や LiDAR 等の次世代センサのメーカーを幅広く対象とする。1.のユーザーがアルゴリズムの評価結果をもとに専用チップ化を行うといったシナリオを仮定すると、サービス上で構築したハードウェアデザインを流用し、ハードウェアサプライヤーに対して開発を依頼することで、短 TaT での専用チップの製造が可能となる。さらに、ハードウェアサプライヤーにとっては、全世界に広がるプロダクトの応用ユーザーが、どのようなアルゴリズムを、どのようなハードウェアに対して評価しているかといった統計情報を提供することが可能となる。ハードウェアサプライヤーは、この情報をもとに、次期製品開発の方向性、例えばどのような AI 処理を専用ハードウェアとして実装すべきか、メモリバンドと演算リソースのバランスはどれくらいがよいか、シリコンをレジスタとロジックのどちらにどれくらいの比率で割り当てたらよいか、といった、製品特性を決定する重要なパラメータを決定することができる。ダイレクトセールスを重視するハードウェアサプライヤーにとって、これらの情報は製品の市場競争力を高める上で欠かせない情報であり、多くのマーケティング費用を割いて顧客との関係構築および情報取得に努めていることから、十分に市場はあると予想している。

結びに本節の内容をまとめる。本 PJ の研究結果を SaaS としてパッケージングして提供することで、プロダクト・ソフトウェア・ハードウェアの 3 者を媒介するハブとなり、Society 5.0 社会における重点課題であるエッジビジョン AI を応用したシステムの開発を牽引するクラウド上のプラットフォームを目指す。

4.7.3 実用化・事業化の体制

(公開しない)

4.7.4 市場規模と経済効果

(公開しない)

4.7.5 ベンチマーク

(公開しない)

4.7.6 事業化までのマイルストーン

(公開しない)

4.8 「スケーラブルなエッジ HPC を実現する OS 統合型プラットフォームの研究開発」における実用化・事業化の見通し（イーソル株式会社）

4.8.1 概要

（公開しない）

4.8.2 実用化・事業化への課題と対応策

（公開しない）

4.8.3 実用化・事業化の体制

（公開しない）

4.8.4 市場規模と経済効果

（公開しない）

4.8.5 ベンチマーク

競合機関との比較では、A 社の組込み OS 技術、B 社のリアルタイム OS 技術があげられる。A 社、B 社ともに、本プロジェクトでの成果目標では、実用化時点ならびに成果普及段階においても、性能／電力効率、リアルタイム性、品質・信頼性、機能等で十分に上回ることができる。OS 以外の実施項目を含め、以下の優位性を持つと考えている。

1. OS: キャッシュコヒーレンス機構を持たない 8 コアを超えるヘテロジニアス・マルチ・メニーコアに対応し、高いリアルタイム性を持つマルチカーネル技術にサービス指向アーキテクチャ(SOA)を統合した世界初の OS - 現時点で Linux に対して 35 倍から 100 倍の性能。
2. ソフトウェアマッピング: 従来のデータ並列に加えて制御アルゴリズムにて多用されるタスク並列を含めたソフトウェアマッピングに対応した世界トップクラスのソフトウェアマッピング技術。ヘテロジニアスアーキテクチャ向けモデルレベルのソフトウェアマッピングは世界初。従来(ヘテロ向け分割と境界部分生成は手動)と比較し、単体で 100 倍を超える生産性向上、全体で 10 倍以上を目指す。
3. ハードウェア記述標準モデル: ソフトウェア視点でヘテロジニアス・マルチ・メニーコアを表現できるハードウェア記述仕様の IEEE における国際標準化による成果普及。

表 4.8.5 分散マイクロカーネル OS と Linux のマルチコア性能比較

API	分散マイクロカーネル OS	Linux
pthread_cond_signal()->pthread_cond_wait()	0.7us	82.8us
pthread_mutex_unlock()->pthread_mutex_lock()	1.5us	54.0us
sem_post()->sem_wait()	1.5us	69.3us
pthread_barrier_wait() ->pthread_barrier_wait()	0.7us	73.8us

4.8.6 事業化までのマイルストーン

（公開しない）

4.9 「動的多分岐・結合トレース型 AI プロセッサのエコシステム開発」における実用化・事業化の見通し

4.9.1 多分岐結合型推論プロセッサの研究開発における実用化・事業化の見通し(株式会社エヌエスアイテクス)

4.9.1.1 概要

本研究開発により、DILP の IP 技術と評価結果、これを使うためのコンパイラを含む開発環境が成果として得られる。この成果を利用して、DILP-IP を製品化し、ASSP を販売する半導体製造会社または ASIC を開発する装置メーカーへ販売し、完成した半導体製品が各種装置製造メーカーで利用される。DILP-IP 完成後の 2022 年度(プロジェクト最終年)から自動車車載向け事業化、非車載向け事業化を本格化し、半導体会社とライセンス契約を取り付ける目標である。

4.9.1.2 実用化・事業化への課題と対応策

実用化、事業化のキーポイントとなる世界最高レベルの数値目標としている電力効率(15 TOPS/W)、面積効率(1 mm²/TOPS)の実現が大きな課題である。2020 年度以降、段階的に評価を行い研究内容にフィードバックしていく。

4.9.1.3 実用化・事業化の体制

本研究開発物となる DILP の基本クラスタ部を切り出して、エヌエスアイテクス独自事業として半導体ベンダへの販売、拡販を先行して開始する計画であり、ツールベンダや、ミドルウェア/ソフトウェア開発会社と広く協力関係を築き、実用化・事業化の準備を整える。本研究開発で得られる実証検討結果を用いて、アドバイザー・ボードとも協力し、評価から採用に向けた円滑な活動を行う。特に自動車領域では、大手自動車会社と密接な関係を築きながら、早期の事業化対応を進めていく。

4.9.1.4 市場規模と経済効果

研究開発成果の直接的な製品となるプロセッサ IP 市場(車載、非車載組み込み[スマートフォンは除く])規模として、PJ 完了の 2022 年度で国内 5,800M¥、海外 23,400M¥、2026 年度で国内 7,400M¥、海外 29,600M¥を見込む。2026 年度ではターゲットシェア 15%を目指す。

4.9.1.5 ベンチマーク

本研究開発で目標としている面積効率:1mm²/TOPS は世界最高レベルの数値であり、組み込み制御などコスト競争の厳しい分野でも競争力が高く、電力効率:15TOPS/W も世界最高レベルの数値であり、電力クリティカルな産業分野でも競争力が高く、実用化の期待が大きい。

4.9.1.6 事業化までのマイルストーン

プロジェクト最終年度である 2022 年度より、車載用途では車載半導体ベンダへ拡販活動を開始し、デファクト化を進めて行く。制御系組み込み用途では ASIC 開発メーカーをリードに、組み込み LSI メーカーの ASSP を通してロングテールに展開して普及促進する。

4.9.2 OSの抽象化とミドルウェア最適化技術ならびに統合開発環境の研究開発における実用化・事業化の見通し(株式会社ユーリカ)

4.9.2.1 概要

ハイパーバイザ、ミドルウェアを含む開発環境を自動車、FA、コンシューマなどの幅広いマーケットに提供する。

- ①: ハイパーバイザ、ミドルウェアを含む開発環境をオープンソース化すると同時にデストリビューション(パッケージ化)およびサポートビジネスを実施する。
- ②: 特定顧客向けパッケージの提供

4.9.2.2 実用化・事業化への課題と対応策

課題①: 既存ソフトウェアプラットフォームベンダーとの競合

対応策: ヘテロジニアスマルチコア対応、および仕様策定時から複数のターゲット顧客のアドバイスをもらい、仕様に盛込むことにより、優位性を獲得する。

課題②: メイン顧客の獲得

対応策: ベータ版やリリース候補版を顧客に試用してもらい、フィードバックを反映することにより、顧客獲得を目指す。

課題③: 知名度の向上

対応策: オープンソース化とコミュニティ活動により、新規ユーザの開拓を行うと共に既存ユーザを活性化する。

4.9.2.3 実用化・事業化の体制

内部においては、本製品用のチームの設立、コミュニティ事務局の設立等を実施する。外部とのリレーションについては、本プロジェクトメンバーとの連携を密にし、潜在顧客、ポテンシャルカスタマの開拓をプロジェクト最終年度より実施する。

4.9.2.4 市場規模と経済効果

本プロジェクト成果であるソフトウェアプラットフォームや組込み開発のためのツールの市場規模は、本プロジェクト終了時の予測で、国内市場 約957億円、世界市場 約1.4兆円である。また、国内市場に対しては、0.2%程度の直接的経済効果が発生すると考える。

4.9.2.5 ベンチマーク

(公開しない)

4.9.2.6 事業化までのマイルストーン

(公開しない)

4.9.3 リアルタイム空間理解、判断アルゴリズムの研究開発における 実用化・事業化の見通し（株式会社日立製作所）

4.9.3.1 概要

本委託事業にて開発のリアルタイム認識、判断アルゴリズム、および、その高速ハードウェア実装技術を適用したロボット、無人搬送車（AGV）、検査装置を、既に自動化ニーズの高い物流、生産分野でまず実用化し、さらに、今後自動化ニーズの急速な高まりが予想される小売り分野、三品産業（食品、医薬品、化粧品）へ展開することを狙う。

4.9.3.2 実用化・事業化への課題と対応策

課題①： ハードウェア（DILP や FPGA）の長期間調達、品証体制の確立

対応策： エヌエスアイテクス社や半導体ベンダと共同で体制を構築

課題②： 本開発技術搭載のロボットを活用した、SI 事業の立ち上げ

対応策： 事業部と研究開発グループの連携により、事業化を推進

4.9.3.3 実用化・事業化の体制

・弊社産業ビジネスユニットと研究開発グループの連携体制にて推進

・ハードウェア、ミドルウェアに関して、エヌエスアイテクス社、ユーリカ社と連携

4.9.3.4 市場規模と経済効果

物流、生産、小売り分野の合計の自動化市場は、世界全体で、2030 年時点で 40 兆円弱と予測されており、十分な市場規模であると考ええる。

4.9.3.5 ベンチマーク

本委託事業の目標は、従来比 10 倍速のロボット認識、判断 AI 技術の実証であり、これにより上記市場の獲得を狙う。

4.9.3.6 事業化までのマイルストーン

技術構築完了（本委託事業終了時 2023/3）

ハードウェア調達、品証体制の構築（2024/3）

事業化向け開発推進（2023/4～）

4. 10完全自動運転に向けたシステムオンチップとソフトウェアプラットフォームの研究開発における実用化・事業化の見通し(株式会社アクセル、株式会社ティアフォー社)

4. 10. 1概要

本研究開発は、完全自動運転に向けたシステムオンチップ (SoC) とソフトウェアプラットフォームの研究開発により、AI エッジコンピューティングにおける限られた計算資源でのリアルタイム性の保証と従来比 10 倍以上の高速なデータ処理を達成する。Proof of Concept (PoC)を提示しメニーコアやアクセラレータが混在するヘテロジニアスな SoC 上でリアルタイム性を保証したコンパイラ・OSとミドルウェア、自動運転アプリケーションの統合基盤を構築する。

研究開発した技術は、適切なシステムインテグレータ (Sier) やサプライヤ (Tier 1/2) を通したライセンス形態で販売するような事業展開を計画しており、自動運転車両展開の促進を見込んでいる。

4. 10. 2実用化・事業化への課題と対応策

現在、自動運転のシステムで使用されているハイエンドな組込みプラットフォームには一長一短があり、汎用性や消費電力の観点から完全自動運転に利用することは難しい。これに代わるプラットフォームを開発するためには、次の課題を解決する必要がある。

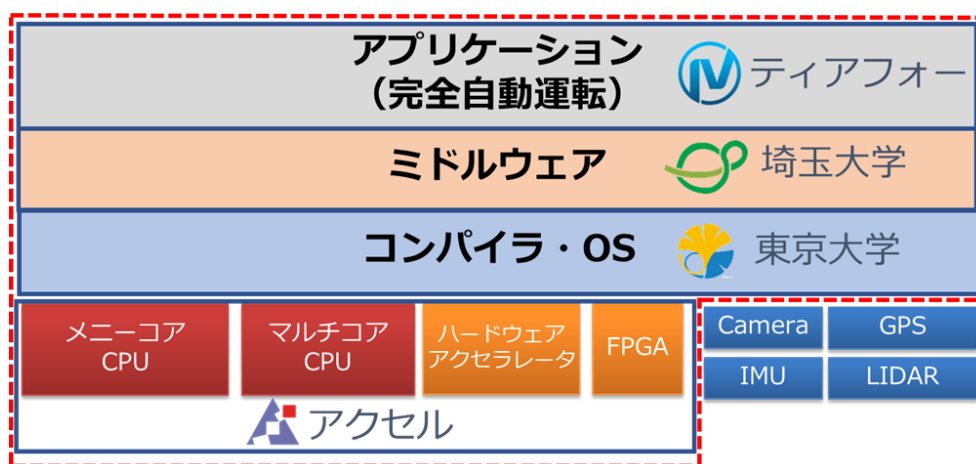
- ・高度な処理を低消費で実現
- ・計算量増大への対応
- ・アルゴリズム構築と最適化

本研究開発ではこれらに対応するため、システム全体に対して幅広い汎用性を求めるのではなく、マルチコアやメニーコアなど極めて汎用性の高いアーキテクチャを除いては、AI の各応用分野に特化した特定処理(あるいはソフトウェアでは遅い、電力効率が悪い処理)はハードウェアアクセラレータで実装するヘテロジニアス SoC (System on a Chip) アーキテクチャを創出し、そのためのコンパイラ、OS やミドルウェア、アプリケーションを含めたソフトウェアプラットフォームの構築を実施中である。

4. 10. 3実用化・事業化の体制

本研究開発の実施体制を図 4.10.3 に示す。汎用のメニーコアと特定のハードウェアアクセラレータを組み合わせた SoC アーキテクチャの研究は、LSI 開発に定評のあるアクセルが担当する。また、東京大学はコンパイラと OS を担当する。埼玉大学は、ヘテロジニアス環境に対応したミドルウェアの研究を進める。アプリケーション開発は、自動運転の公道実験を行っているティアフォーが担当する。

これらの研究成果を組み合わせることで、AI エッジコンピューティング技術を構築することが可能になり、さらに、ディープラーニングを用いた画像認識など特定ハードウェアアクセラレータを入れ替えることにより、完全自動運転の実用化に貢献することができる。本研究開発の実施担当企業のほかに、産業界への波及効果を得るために、民間企業の有志によるオープンイノベーションコンプレックス (OICX) を形成し、AI 製品サービス動向を把握するとともに、研究成果の事業化につながる企業群と定期的 (月 1 回程度) に意見交換していく。内閣府や関連省庁の意見も取り入れながら、我が国に利益をもたらす基盤技術を創出する。



本研究開発の対象

図 4.10.3 実施体制と研究開発項目

4.10.4 市場規模と経済効果

自動運転の市場規模(自動車本体価格を除く)のみを見ても、2025年までに5兆円、2035年までに8兆円に達し、1200万台以上の完全自動運転車が市場に出回ると予想されている(BCGの調査:自動運転車市場の将来予測)。自動運転によるエコドライブ(急発進・無駄なブレーキ等を減らす)により、消費エネルギー(約8%の削減:経済産業省調べ)や渋滞解消することも期待されている。

さらに、本研究の応用分野としては、ロボット、介護、農業、ドローン、製造、防災・減災などAIの様々な分野での活用も見込まれている。特にAI関連製品サービスは、PCやスマートフォンに匹敵する市場規模になることが期待できる。特に完全自動運転車は年間数百万から数千万台規模の出荷が見込まれる。世界に先駆けて完全自動運転に向けたSoCとコンパイラ・OS・ミドルウェア・アプリケーション技術を含むソフトウェアプラットフォームを実用化することは、社会的にも経済的にも、大きなインパクトがある。

4.10.5 ベンチマーク

既存自動運転ハードウェアとの比較:

本研究開発の目的は、完全自動運転に向けたシステムオンチップ(ハードウェア)のみならず、オペレーティングシステム(OS)・ミドルウェア・アプリケーション技術を創出することである。表4.10.5に示すように、現在、ハイエンドな組込みプラットフォームには一長一短があり、汎用性や消費電力の観点から完全自動運転に利用することは難しい。

	CPU性能	汎用性	位置推定	物標認識	行動判断	自立制御	消費電力
NVIDIA Drive PX等	△ ARM	△ 画像処理等	△ GPU	○ GPU	△ CPU/GPU	△ CPU	× 100W~
Intel Atom等	○ X86	○ PC一般	× CPU	× CPU	× CPU	△ CPU	△ ~20W
ルネサス R-Car等	△ ARM	× 車載限定	× CPU	× CPU	× CPU	△ CPU	○ ~5W
本提案	△ ARM	△ 自動運転 ソフトウェア制御	○ APU (※1)	○ APU (※1)	○ APU (※1)	○ メニーコア (※2)	△ 20W~

※1 使用頻度の高いワークロードを専用HWによるアクセラレータ(APU)で高速化・省電力化

※2 AIアプリケーションとの協調設計によりワークロードに最適化したヘテロメニーコアアーキテクチャ

表 4.10.5 性能/消費電力比較

本研究開発では、エッジコンピューティングの活用で自動運転システムを構築することで安全性を確保しつつ、低価格・消費電力/発熱・省スペース化実現の両立を目標にしている。既存の自動運転システムの概略を図 4.10.5 に示す。

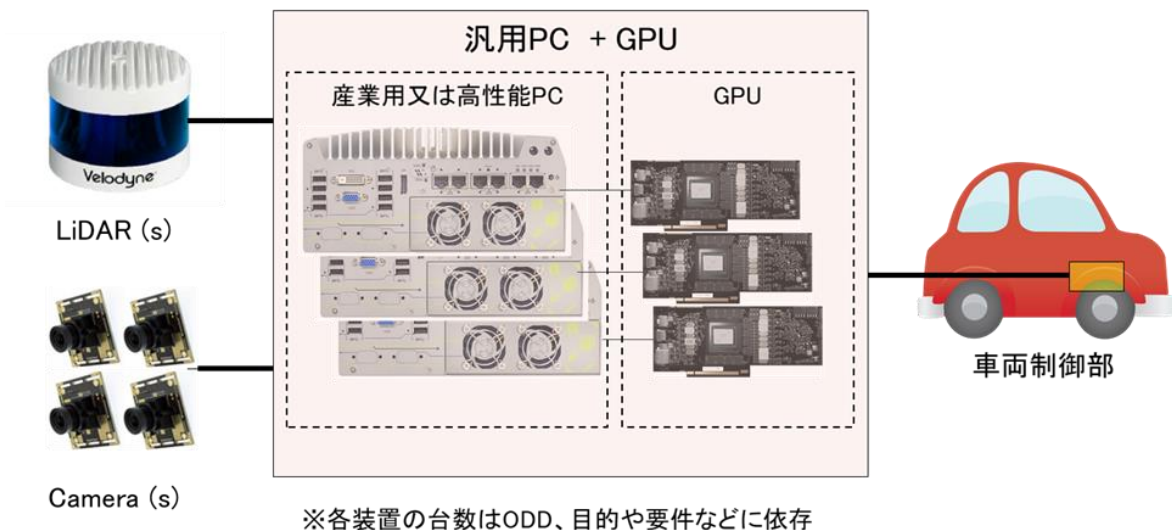


図 4.10.5 既存の一般的な自動運転システム

現在一般的な自動運転のシステムでは高性能 PC 又はそれに近い性質のハードウェアを使用している。特徴は次の通り。

- ・ 消費電力が大きく、高負荷時は 1000W 以上となる可能性もある

- ・ 自動運转向けハードウェアや GPU は総じて高価
- ・ PC 数台でシステムを構築することがあり、車両によってはペイロードの問題が生じる また熱対策などの考慮も必要

本研究ではこれらの問題を解決するために、Autoware の主要動作を行うホストボードを ARM-Cortex 等の低消費汎用 CPU で実行し、従来 GPU を活用していた計算量の多い並列演算処理を専用アクセラレータにオフロードする、エッジ装置を活用したアーキテクチャとしている。また、Autoware を従来システムと同様に安全性を確保したまま新しいシステムで動作させるには、ハードウェアだけではなくミドルウェア/OS/ドライバの対応が必要となっており、これまでに記述した通り 4 組織で連携して研究を進めている。

最終的には次の特徴を持った自動運転システム/IP コアの提供をめざしており、これらを解決出来ている競合は現在の所存在していない。

- ・高負荷処理であっても数 10~100W レベルの消費電力で動作する自動運転(Autoware)システム
- ・SoC 化による小型化達成、量産性向上
- ・ハードウェアレベルの柔軟性、機能拡張性、冗長性の確保

4.10.6 事業化までのマイルストーン(株式会社アクセル)

年度	2021 年度	2022 年度	2023 年度	2024 年度	2025 年度
量産化判断	◇プロトタイプ評価	◇費用・損益	◇サンプル評価	◇ユーザ評価	
プロトタイプ評価	▲プロトタイプ評価				
製品設計	▲フィードバック	▲設計完了			
開発費用投資		▲5 億円			
生産			▲サンプル出荷	▲ユーザ評価	▲量産体制
販売					▲5000 台/月
収益発生					▲1500 万円/月

※量産化判断が必要となるポイント

プロトタイプ評価段階 : プロトタイプ評価による開発の妥当性判断

製品設計段階 : 設計費用投資の可否および損益予測による経営判断

生産段階 : サンプル評価による製品の妥当性判断

販売段階 : ユーザ評価による採用判断

アクセルにおける事業化戦略として、完全自動運转向けたシステムオンチップとプラットフォーム全体の实用化を、2025 年度以降を目指したロングゴールとして想定するとともに、本研究開発プロジェクトにおける個々の成果において、それ単体での实用化・事業化(横展開も含む)を直近のショートゴールとして想定している。これにより、本研究開発プロジェクトの最終目標を目指しながら、直近の収益も達成可能な戦略的な事業化計

画を可能とする。ショートゴールによる短期収益化は、今後の事業化に向けたフィードバックを得るとともに、今後の研究開発費用の捻出、および一定のリスクヘッジとしても機能すると考えている。

ショートゴールの一例として、CNN アクセラレータの事業化が挙げられる。CNN アクセラレータの事業化におけるマイルストーンは、以下のとおりである。

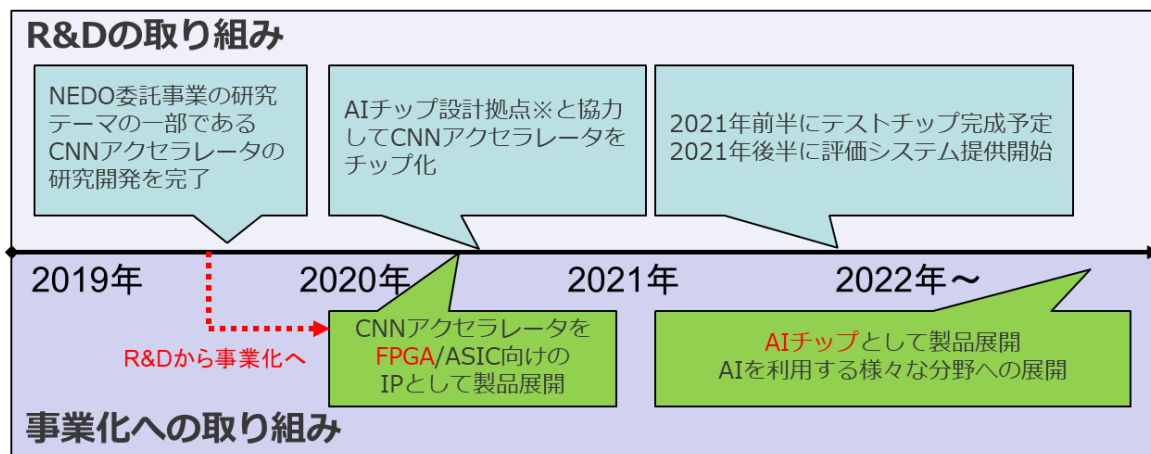


図 4.10.6 事業化におけるマイルストーン(株式会社アクセル)

4.10.7 事業化までのマイルストーン(株式会社ティアフォー)

2022年度の低速自動運転モビリティサービスへの自動運転システムの導入開始に向けて、ティアフォーとしては、チップ搭載車両関連サービス設計を進めるとともに、ソフトウェア分野の人材採用を進める。

自動運転車両を開発する企業に対して、自動運転システムなどを提供するとともに、モビリティサービスを提供するプレイヤーに対して配車管理システムや遠隔監視システムを提供することで、システム使用やライセンス供与に伴う収入を得ることを目指す(初年度(2022年度)は2000万円程度)。更に、2025年度からの中速自動運転サービス開始に向けて、新型 SoC を搭載した車両開発、サービス設計も進めていく。

年度	2021年度	2022年度	2023年度	2024年度	2025年度
サービス設計		▲試作チップ	▲車両向け新 SoC		
ソフト人材採用(費用)		▲5億円(費用)	▲10億円(費用)		
ソフト開発		▲試作チップ向け Autoware 開発	▲新 SoC 車両向け Autoware 開発		
ビジネス立ち上げ			▲低速モビリティサービス	▲新車両モビリティサービス	
収益発生(ライセンス料金/課金)			▲20百万/月		▲60百万/月

4.11 「セキュアオープンアーキテクチャ基盤技術とその AI エッジ応用研究開発」における実用化・事業化の見通し

4.11.1 「セキュアオープンアーキテクチャ基盤技術とその AI エッジ応用研究開発」における実用化・事業化の見通し (NSITEXE)

4.11.1.1 概要

半導体 IP および関連ツールの開発・ライセンス販売、保守メンテナンス、エンジニアリングサービス。

4.11.1.2 実用化・事業化への課題と対応策

今回のプロジェクトで得られた成果を製品化する場合、IP の品質保証の観点から、再度回路検証、ソフトウェアのテスト工数が必要となる。これに対して NSITEXE で保有している回路検証技術ならびにソフトウェアテスト手法を用いる事により、事業化の対応を実現できる。

4.11.1.3 実用化・事業化の体制

NSITEXE は主たる事業として半導体 IP および関連ツールの開発・ライセンス販売を実施しているため、NSITEXE が主体となり、既存製品と同様に今回のプロジェクトの成果を製品化し販売する。

4.11.1.4 市場規模と経済効果

2023 年でプロセッサ IP の国内市場は約 600 億円の規模となる予測で、このうち 20% がセキュアを対象とする領域になる(120 億円)。この市場のうち、車載向け製品 5%、産業用途向け製品 2.5%(車載の半分)獲得する事で、2023 年は 9 億円の売り上げを見込んでいる。その後、市場が成長する事により、2025 年では 31 億円、2027 年では 73 億円の売り上げを見込んでいる。

4.11.1.5 ベンチマーク

半導体 IP 事業における競合を以下にリスト化する。

- 1: SiFive (RISC-V の IP からハードウェア実装までを手掛ける新興企業)
- 2: RAMBUS (セキュリティの IP 会社を買収し、広く事業展開している)

4.11.1.6 事業化までのマイルストーン

事業化開始時期: 2023 年

売上開始時期: 2023 年

4.11.2 「セキュアオープンアーキテクチャ基盤技術とその AI エッジ応用研究開発」における実用化・事業化の見通し(セコム)

4.11.2.1 概要

IoT 機器向け電子証明書を管理(電子証明書の発行や失効など)する電子認証局の運営。

4.11.2.2 実用化・事業化への課題と対応策

課題:

IoT 機器の開発、また、その機器の大規模なサプライチェーンにおいて、実際にどの段階でどのように電子証明書などを組み込むのかは、顧客の状況に依存することとなり、現時点では把握しきれない。

対応策:

実施項目④のセキュリティ社会実装 PoC において運用を試す。オープンコミュニティが開催されたときに実際のユーザから情報収集し分析する。

4.11.2.3 実用化・事業化の体制

本プロジェクトにおいて研究開発を実施しているのはセコム本社の IS 研究所である。一方、実用化・事業化するにはすでに電子認証局を運用しているグループ会社のセコムトラストシステムズ(株)となる想定である。

4.11.2.4 市場規模と経済効果

IoT 向け証明書の市場規模は不明。

IoT 向け電子証明書の発行累計枚数を

2023 年:	10 万枚(100 万円)
2028 年:	20 万枚(1200 万円)
2032 年:	360 万枚(3600 万円)

と想定している。

※()内は証明書単価 10 円で計算

4.11.2.5 ベンチマーク

国内における先行事例

- ・GMO グローバルサイン株式会社: マネージド PKI for IoT
- ・凸版印刷株式会社: Edge Trust
- ・デジサート・ジャパン合同会社: PKI Platform / IoT

4.11.2.6 事業化までのマイルストーン

「4.11.2.4 市場規模と経済効果」に記載したものと同様。

4.11.3 「セキュアオープンアーキテクチャ基盤技術とその AI エッジ応用研究開発」における実用化・事業化の見通し(日立製作所)

4.11.3.1 概要

産業分野では生産工場での無人搬送ロボットの乗っ取り、なりすましを防止する物理セキュリティ担保を顧客価値とする SI 事業およびセキュリティ基盤サービスを想定している。

4.11.3.2 実用化・事業化への課題と対応策

事業化にあたっては、顧客課題の解決に向けたソリューション提案に直結することを示せること、事業拡大に向け特定分野の顧客以外にも適用できることが課題となる。このため、本 PJ では実際の顧客ニーズおよびフィールドを模擬した環境での PoC、複数の事業フィールドに対するユースケース抽出を行う。

4.11.3.3 実用化・事業化の体制

2020 年度は要素技術開発に注力するため、事業化検討を凍結している。2021 年度に実施予定であるセキュリティ社会実装 PoC の成果、オープンコミュニティ参画企業等との連携を通じ、事業化シナリオを検討する。

4.11.3.4 市場規模と経済効果

第 4 次産業革命を背景とした Industry 4.0, Society 5.0 などの政策を受け、IoT セキュリティの世界市場規模は 2023 年までに約 352 億ドルへ拡大すると予測されている。また、ISO21434 発行によりセキュリティ対策が必須となる自動車分野では、車載セキュリティ機器の市場規模が 2025 年までに 780 億ドル、自動車サイバー保険を含むテレマティクス保険市場も 710 億ドルへの成長が予測されている。本 PJ 成果のセキュアオープンアーキテクチャは上記市場成長を支える基盤技術であり、経済効果は大きいと考える。

4.11.3.5 ベンチマーク

産業分野への適用にあたっては OT (Operational Technology) を熟知した上でセキュリティアーキテクチャを構築する必要がある。セキュアプラットフォームを狙うインテル社や、エコシステム構築で先行するサイバートラスト社、RISC-V をベースにオープンセキュリティを進める Google 社などの IT 企業が競合であるが、本 PJ は参画企業で培ってきた OT ナレッジを有するという点でリードしている。

4.11.3.6 事業化までのマイルストーン

2021 年度に生産工場やモビリティシステム等の事業フィールドを想定した模擬環境での PoC 開発を進める。その後、本 PoC による試行を通じて適用可能性について検討する。並行してオープンコミュニティ参画企業等との連携を通じ、事業化シナリオを検討する。

4.12 高速研究開発テーマ「AI エッジデバイスの横断的なセキュリティ評価に必要な基盤技術の研究開発」における実用化・事業化の見通し

4.12.1 「実施項目0：AI エッジで必要となるセキュリティ評価分析基盤の研究開発」における実用化の見通し（産業技術総合研究所）

4.12.1.1 概要

AI エッジデバイスなどにおいて未整備かつ今後重要となることが予想されるセキュリティ評価項目のセキュリティ評価分析技術を確立し、また、応用分野毎に異なるセキュリティ要求を、ユーザ、ベンダ、評価機関、認証機関等の複数のステークホルダーとも対話しながら、市場に受け入れられ易いセキュリティ要求仕様として策定する。主要な部分は国際標準に準拠もしくは反映させることで、市場に提供される製品・部品などのセキュリティを共通の物差しで評価分析できるようにし、また、調達者が提供するサービスや利用者の用途に応じて適切なレベルのセキュリティ機能を付加価値として提供可能とすることにより、2030年には世界で404.4兆円になると予想されているAI エッジ関連市場のセキュアで健全な発展に貢献する。

4.12.1.1 実用化・事業化への課題と対応策

エッジデバイス等のセキュリティ保護技術やセキュリティ評価分析技術は攻撃者に知られると悪用されるものも多い。そのため、外部発表や国際標準化などで広く公開すべき部分と、関係者のみに共有すべき部分との適切な切り分けが課題となる。この課題に対して海外ではセキュリティ評価分析技術の研究開発やそれらに基づき技術的に深い検討を行うための中核的研究開発拠点を国内に整備し、そこにおいて科学的な根拠とノウハウを蓄積し、関係者との連携を通して必要な情報の浸透と攻撃者側への流出防止の両立を図っている。本事業においても、これに倣い外部との連携を可能とするためのセキュリティ評価分析基盤を整備し、根拠のある最新のセキュリティ評価分析結果や評価手法の創出を可能とすると共に、その応用分野に関係する事業者との連携を通して必要な情報を共有して行くことで、攻撃者側へ重要なセキュリティ情報が漏洩することを防止しつつ、その分野のステークホルダーのみに必要な情報を浸透させる対応策を取る。

4.12.1.2 実用化・事業化の体制

前述のとおり、応用分野毎に求められるセキュリティ要求や市場において事業を展開する事業者が異なることから、攻撃者側に情報が伝わることを防止しつつ各応用分野のステークホルダーのみに適切な保護技術や評価分析技術が伝わる体制を組んでいる。具体的には、エッジデバイスが評価・認証済みまたは登録済みであることを確認するための個体管理用識別子の評価分析に対しては、産業界においてその標準的な評価手法が確立していないことから、学術的／科学的根拠に基づいたセキュリティ要求仕様、評価分析手法を整備すると共に、関連する企業群、横国大、産総研、経産省模倣品対策室などで「人工物メトリクススタスクフォース」を作り公開可能な部分の国際標準化を行うと共に、セキュリティ要求仕様、評価分析手法も関係者により受け入れられ易い方向に修正して行くことで対策や評価分析手法の円滑な普及を進めている。その他の分野においても、研究開発成果の状況に応じた体制の整備を進めている。

4.12.1.3 市場規模と経済効果

本テーマの最終的なアウトカムは、今後拡大が見込まれる AI エッジ関連市場が、セキュリティ上の脅威により阻害されることを防止することにある。電子情報技術産業協会 (JEITA) の報告書[1]によると、AI エッジの基盤となる CPS (Cyber Physical System) と IoT を合算した市場規模は以下の図 4.12.1.3.1 に示すとおり、2016 年に世界で 194.0 兆円、2030 年には世界で 404.4 兆円になると予想されている。仮に不適切なセキュリティアプローチにより市場が 10% 縮小した場合、2030 年時点で 40 兆円以上の損失につながる。実際、DX (Digital transformation) が進む中で、セキュリティ上の問題が原因で、多大な損失が生じている事例も出始めている。そのため、AI エッジに対しても適切なセキュリティアプローチを取ることが求められている。

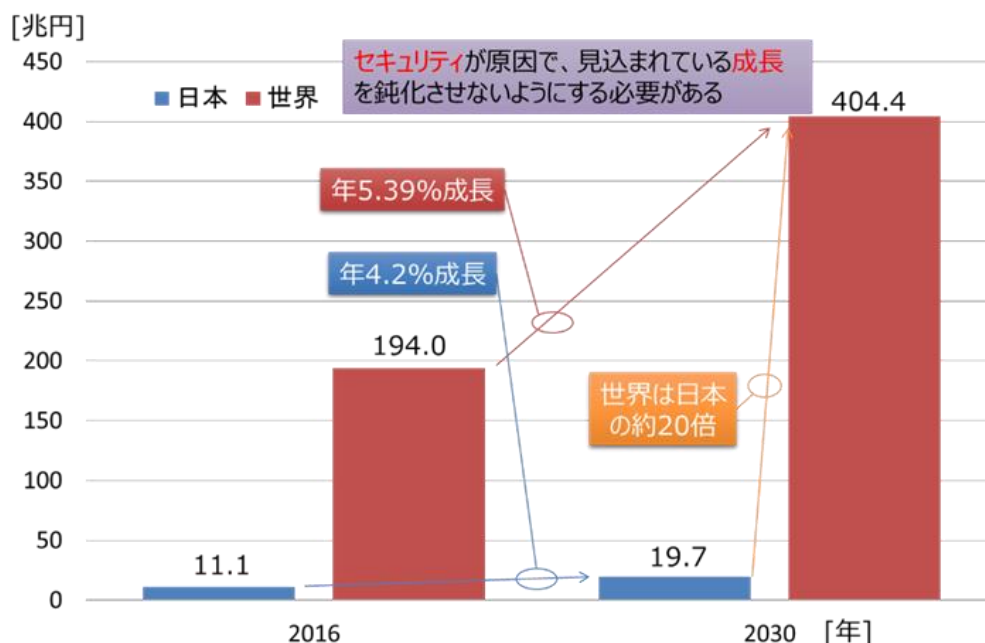


図 4.12.1.3.1 AI エッジ関連の市場規模[1]

また、以下の図 4.12.1.3.2 は、国内の模倣品被害規模推計の被害パターン[2]であり、AI エッジの導入が今後進むと予想される自動車部品・産業機械、電気・電子部品の被害額の割合が大きいことが示されている。

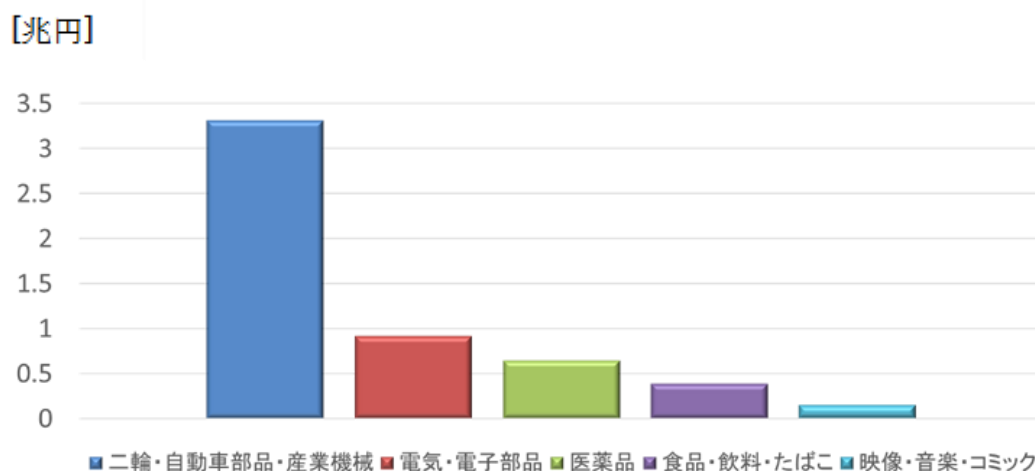


図 4.12.1.3.2 国内の模倣品被害規模(推計)

世界の模倣品等の取引規模は年間 5 千億ドル(55 兆円) [3]であり、セキュリティ評価済みで付加価値の高い AI エッジデバイスに対する模倣品の被害も将来的に大きくなることが予想される。それらの被害額の 10%の縮小に貢献した場合の市場規模は 5.5 兆円 (1US\$=110 円の場合)となる。

[1] JEITA 「CPS/IoT の利活用分野別世界市場調査の発表について」

<https://www.jeita.or.jp/cgi-bin/topics/detail.cgi?n=3455> 2017.12

[2] 経済産業省 「平成 29 年度知的財産権ワーキング・グループ等侵害対策強化事業 我が国模倣品被害の課題分析及び課題解決のための方策検討に関する調査最終報告資料」

https://www.meti.go.jp/meti_lib/report/H29FY/000038.pdf 2017.03

[3] 公益財団法人 日本関税協会 「世界の模倣品等の取引規模、年間 5 千億ドルに迫る—OECD 及び EUIPO の試算発表—(OECD)」 <https://www.kanzei.or.jp/topic/international/2016/for20160526.htm> 2016.04

4.12.1.4 ベンチマーク

前述のとおり、海外では、以下の表に示すようにセキュリティ評価認証制度に関係する機関が、セキュリティ評価において技術的に深い検討が必要となる部分や新たなセキュリティ評価項目を検討する際などにおいて、その国の中核的研究開発拠点と連携する体制が取られている。

表 4.12.1.4 セキュリティ評価認証体制の国内外の状況
(CC : Common Criteria, ISO/IEC 15408 の場合)

	ドイツ	オランダ	フランス	英国	米国	日本
認証機関	BSI	TÜV Rheinland Nederland	ANSSI	NCSC CB	NIAP	IPA JISEC
評価機関	—各国の認定機関により認可された民間企業など—					ECSEC lab. ITSC など
中核的研究開発拠点	フラウン ホー ファー研 究機構	オランダ 応用科学 研究機構 (TNO)	フランス国 立宇宙研究 センター (CNES)	国家サイバー セキュリティ センター (NCSC)	アメリカ国立 標準技術研 究所(NIST)	キャッチ アップ が必須

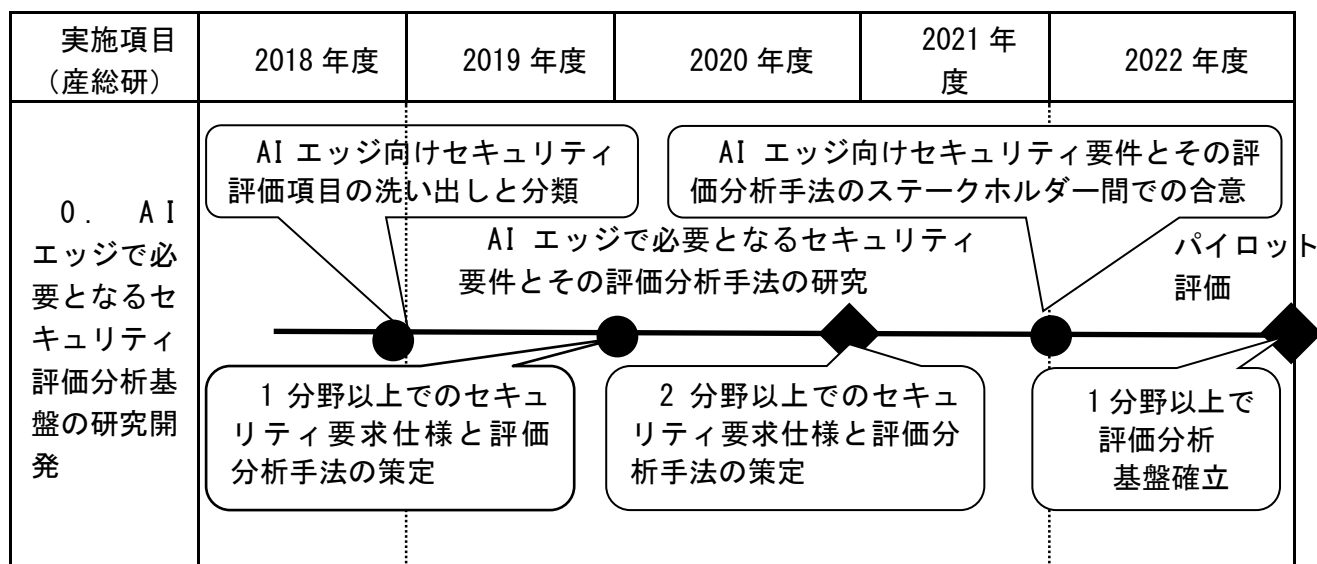
CC の国際承認アレンジメント(C CRA: CC Recognition Arrangement)に参加していない中国においても、2017 年 7 月に施行された中国国家サイバーセキュリティ法 23 条によりセキュリティ専用品の市場投入前の Certification や Test を必須とし、2020 年 5 月からはセキュリティ専用品の強制性国家標準化の議論が開始されている。それらの議論において技術的に深い検討が必要となる部分(評価技術、標準化に係わる理論的/技術的研究、研究成果を活用したセキュリティ技術コンサルテーションなど)において、CNITSEC(China National Information Technology Security Certification Center, 中国信息安全测评中心)と連携する体制が取られている。

これらが示すように、海外の主要な国々では、国内に中核的研究開発拠点を整備しそこで得られた根拠のある最新のセキュリティ評価分析手法や知見を国内での評価に活用しながら

ら、肝となるノウハウが外部に流出することを防いでいる。日本はこの部分において遅れを取っておりキャッチアップが必要となっている。

4.12.1.5 事業化までのマイルストーン

前述のキャッチアップを行うためには、用途に応じたセキュリティ要求仕様の策定と、適切なセキュリティ評価を可能とするための設備、システムの整備と、それらを有効活用するための標準的かつ効果的な評価分析手法の策定が必要となる。さらに、全体のセキュリティレベルは一番セキュリティの弱い箇所で決まるため、全体を俯瞰し脆弱な箇所の強化と評価が必要であると共に、攻撃手法は進化／変化し続けるため、常に最新の対策・評価技術の創出が可能となる基盤の整備が必要となる。これらを実現するためのマイルストーンとして、2020年度末までに2分野以上でのセキュリティ要求仕様と評価分析手法を策定し、さらに、作成した仕様や手法が社会に受け入れられ易くするために、2021年度末までにステークホルダー間で合意可能な内容になるよう改良を行う。また、重要な内容については国際標準に取り込むか国際標準への準拠を行うことにより、国際的な動向とも歩調を合わせる。2023年度からは、セキュリティ評価やそれに伴う技術コンサルテーションなどを開始できるようにすることで、セキュリティ保証スキームの実用化を行う。



4. 12. 2「実施項目 1: AI エッジ入出力セキュリティ評価シミュレータの開発」における実用化・事業化の見通し(電子商取引安全技術研究組合)

4. 12. 2. 1 概要

AI エッジデバイスへの入力である物理世界からのセンシングデータや、それらに基づく出力である機器への制御信号に対するセキュリティリスクが世界的に危惧され始めていることから、攻撃の実現可能性や影響、セキュリティ強化策の効果などをシミュレーション、あるいは、シミュレータと実機により評価できるよう、AI エッジ入出力セキュリティ評価シミュレータを 2020 年度末までに実用化する。また、実用化されたシミュレータはシステムレベルでの検証が可能なものとする。

4. 12. 2. 2 実用化・事業化への課題と対応策

センサに対する攻撃の影響を人の感覚のレベルで評価できることが望ましい。このために、一般的なドライビングシミュレータは実時間と等価な時間内で処理できることが一つの目標となる。現状、攻撃と AI 処理を組み込んだシミュレータは、保有する環境下において実時間に対し 10 倍程度の処理時間が必要である。このため、人が攻撃をどう感じるのかという視点を評価するためにはシミュレータの高速化が必要である。プログラムの最適化や 2021 年度から着手予定としているシミュレータの部分的なハードウェア化を加速して対応する。

また、現状評価指標が Euro NCAP に代表される最終的な車の挙動としての評価基準(人に車が衝突するかという観点)となっており、内部のコントローラやセンサがどうあるべきかという基準にブレイクダウンできていない。セキュリティ分析とモデルベース設計におけるテスト手法を統合し、モデル単位でセキュリティテスト基準を作成するアプローチで解決を試みる。本課題は実施項目 0 と連携して取り組んでいる。

4. 12. 2. 3 実用化・事業化の体制

AI エッジ入出力セキュリティ評価シミュレータは産業技術総合研究所に提供され、同機関において、セキュリティ評価分析技術基盤として活用される予定である。AI 制御システムのセキュリティ強化技術は、知財化後、ECSEC 組合の後継企業により運用され、三菱電機が行うアクチュエータを含む AI 制御システムのセキュリティ強化技術や評価技術は、同社の自社事業のためにも活用、運用される予定である。

4. 12. 2. 4 市場規模と経済効果

本実施項目の成果活用により、現時点の国内企業における当該分野のポテンシャルを確実に維持するとともに、AI エッジコンピューティング分野の高い品質と信頼性の獲得により、ハードウェアからアプリケーションまでを含む生産開発体制の増強、及び雇用促進への寄与が期待できる。具体的な産業貢献の一例を挙げると、緊急時以外は AI が運転の主体となる自動運転レベル 3 の 2030 年の販売台数は 1800 万台近くに上るという調査会社の発表がある。自動運転車の車載機器の開発において、本事業で整備したセキュリティ評価分析技術を基盤とした設計を行うことにより、自動運転の健全な発展を支え、自動車産業における我が国の優位性を保持することが期待できる。

4. 12. 2. 5 ベンチマーク

既存のシミュレータのアプローチでは、“センサへの攻撃”がシステム全体に与える影響の把握と、攻撃への対策設計へのフィードバックの両立が困難であるが、本研究開発によって、モデルベースデザインに組み込み可能なセンサの攻撃モデルを開発することにより、センサ攻撃の影響を最終的な動作シナリオにおいてシミュレート可能としつつ、システム各要素での影響を把握し、各要素および全体での対策効果の検証が可能となる。また、これにより構成要素における“セキュリティ基準”の策定と対策設計へのフィードバックが可能となる。

類似技術とのベンチマーク(比較:強み/弱み)は次のとおりである。

シミュレートのアプローチ	設計へのフィードバック	システム全体の挙動把握
ネットワークシミュレータを用いた攻撃モデル (例: NS-2)	× 振る舞いのモデリングであるため、設計へフィードバックできない。	○ システム全体の現象の把握に優れる。
物理シミュレータベースの攻撃モデル	○ 物理レベルのモデルであるため、原因の特定に優れる。	× センサ単体のモデリングは可能であるが、システム全体の表現は困難。
本事業でのアプローチ: モデルベースデザイン攻撃モデル	○ コード変換可能なレベルでモデリングするため、設計に反映可能	○ システム全体のシミュレートが可能であるため、現象の把握に優れる。

4. 12. 2. 6 事業化までのマイルストーン

2022 年度末までに、実機接続可能な(HILS)セキュリティ評価シミュレータとしての開発を完成させ、事業において活用可能な状態にする。

4. 12. 3 「実施項目 2 : AI エッジ内部実装保護技術の研究開発」における実用化・事業化の見通し (株式会社コネクテックジャパン)

4. 12. 3. 1 概要

IT 化や高速大容量通信の普及が加速するとともにセキュリティへの要求も高まっている。製品例としてはエッジコンピューティングやポスト5G, AI などがあり、アプリケーションとしてはデータセンタやネットワーク、アプリケーションとしてはモビリティや輸送手段などが予想される。つまり模倣やテロに晒されると大きな被害となることが予想される。

本実施項目では、電子デバイスに搭載した回路情報、電子デバイスに流れる信号等の秘匿したい情報を保護するための実装技術、及びその評価技術を開発することであり、電子デバイスそのもの製作過程から作りこむのではなく後付け加工により安価にこれを実現し社会実装に貢献することが目的である。

4. 12. 3. 2 実用化・事業化への課題と対応策

社会実装を実現するためには工法の確立だけではなく、試作、量産が可能な生産技術も構築しておくことが重要となる。本実施項目ではそのための要素技術開発、量産設備開発を 2022 年度末までに完成させる予定である。

4.12.3.3 実用化・事業化の体制

普及させるためのサプライチェーンを形成することが重要となる。すなわち電子デバイスへの後付け加工で機密情報を保護することができることをユーザに伝える、そして加工の試作、特性評価、品質評価、量産対応をターンキーで実現する体制づくりとなる。具体的にはFPGAなどデバイスメーカーとコネクテックジャパンとの協業などを考えている。

4.12.3.4 市場規模と経済効果

概要で述べた商品の傾向として標準品ではなくそれぞれのアプリケーションや使われ方に合わせた電子デバイスの選択、すなわち少品種大量の時代から多品種少量(または変量)の時代となっているといえる。したがって対象として考えられる電子デバイスとして挙げられるのはFPGAといったものである。FPGAの市場について下図に示す。



本実施項目のセキュリティ技術が全てにおいて必要とされるものではないが、概要で述べたようにその需要は確実に増えるものと考えられ、当該技術を日本で育成し、事業化を推進することは大きな経済効果を産むものと確信する。

4.12.3.5 ベンチマーク

4.12.4.5を参照のこと。

4.12.3.6 事業化までのマイルストーン

2020年度末までに量産対応できる実装の制御技術開発と要素技術検証のためのユニット試作を開始する。2021年度に実装技術、量産化技術について技術評価を進める。2022年度にはサンプル出荷できる体制を整備する。

4.12.4 「実施項目2：AIエッジ内部実装保護技術の研究開発」における実用化・事業化の見通し（産業技術総合研究所）

4.12.4.1 概要

集積回路(IC)で処理される情報は、サイドチャネル攻撃をはじめとするリバースエンジニアリングにより、情報の一部復元または全部復元が可能である。産業技術総合研究所では、

長年、耐リバースエンジニアリング技術の研究開発を行っている。技術の発展とともに、耐リバースエンジニアリング技術は、対策としての十分性が減失するという特徴がある。株式会社コネクテックジャパンが開発する IC 保護技術は、ユースケースに合わせて、低コストに運用できる耐リバースエンジニアリング技術である。IC に直接加工を施す IC 保護技術であることから、品質の再保証が必要である。また、IC の物理解析による情報漏洩を遅延させるセキュリティ機能の保証も必要となる。いずれの保証についても、低コストで評価できることが求められる。産業技術総合研究所は、IC 保護技術により加工を施した電子デバイスの品質再保証、セキュリティ保証に必要な評価プロセスに機械学習技術を導入して、分析作業と評価作業に係る人的コストと時間的コストを削減する。

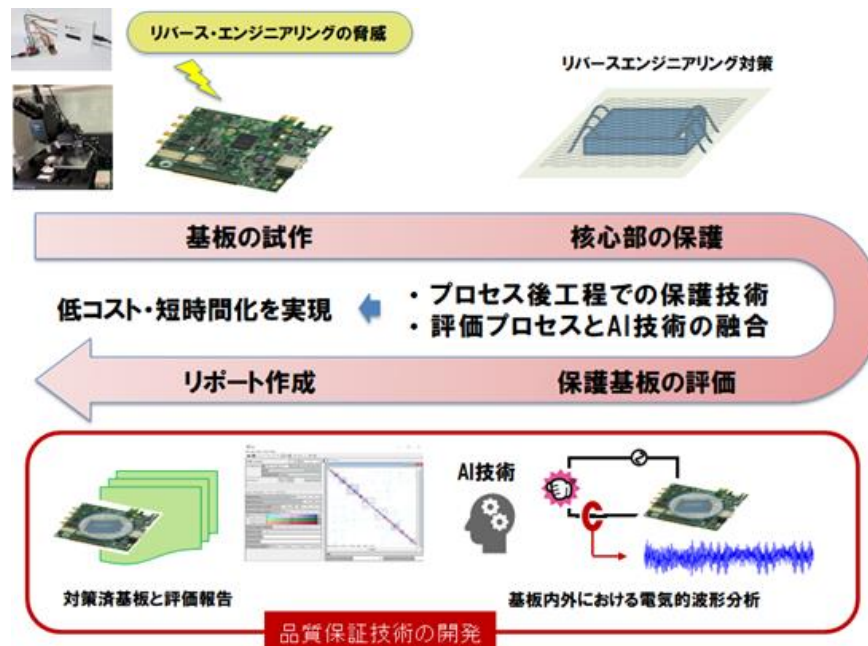


図 4.12.4.1 内部実装保護のための品質保証技術

4.12.4.2 実用化・事業化への課題と対応策

品質評価プロセスでは、放電、衝撃、振動等の物理的な外的要因に対して、IC 保護技術を施した部位が、規定の温度・湿度の範囲内では異常を生じないことを確認する。この評価プロセスで導入する波形分析システムは、分析対象の物理系から発生した電氣的波形を観測して、その時間変位・空間変位の情報から、対象に起きている異常やその原因を特定する。具体的には、観測された重畳波形(合成波形)を成分波形に分離し、素波形に混入する異常波形の有無を検知し、検知した異常波形を特定して抽出し、抽出した異常波形から分析対象の物理系に起きている異常を推定する。具体的な分析の流れを図 4.12.4.2 に示す。

波形分析システムは、従来使われている独立成分分析、波形特徴抽出、クラスタリング分析を組み合わせた波形分析技術である。階層的な分析プロセスをなす波形分析では、各プロセスの分析パラメータが他の分析プロセスに影響を与えるため、分析パラメータの設定変更の玉突き現象が発生し、分析が機能不全に陥ることがある。

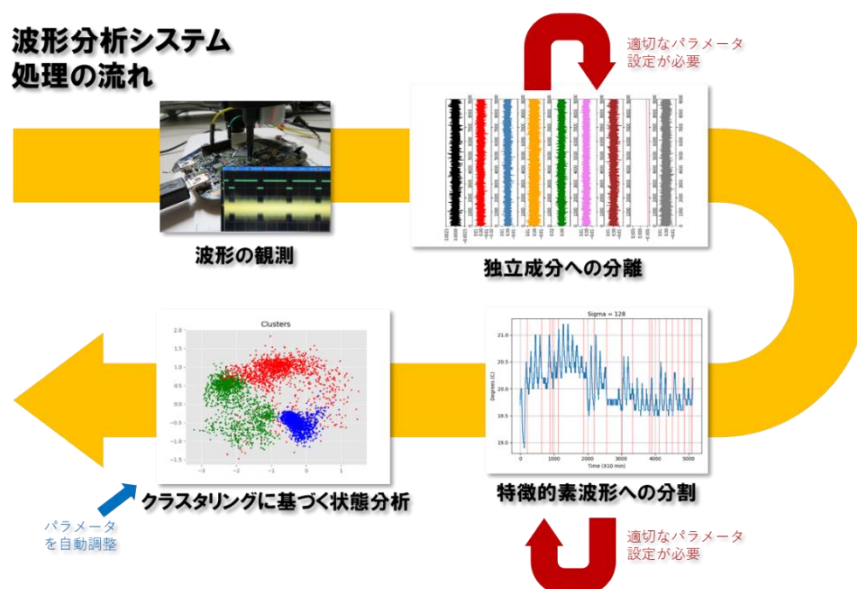


図 4.12.4.2 波形分析システムの処理手順

従来は、熟練の分析者により、経験的に適切なパラメータを組み合わせ評価を行っていた。本実施項目により開発する波形分析システムでは、ノンパラメトリック・ベイズモデルによる分析パラメータの自動設定を行う。完全に自動化できない設定作業については、パラメータ候補を提示することにより、分析作業の手戻りリスクを低減する。さらに、異常が組み込まれた分析対象を除外するために、分析対象としての妥当性を判定する評価システムも開発する。如何に正常と異常を区別するかが技術の実用化の鍵となる。

4.12.4.3 実用化・事業化の体制

産業技術総合研究所は、品質評価(品質再評価)、セキュリティ評価に必要な技術を提供する役割を担う。事業で使用する装置と施設については、装置と施設を共同で運用する可能性がある。評価基準の変更の必要が生じた場合は、事業者と外部評価機関との協議により、客観性と適切性を損なわない範囲で評価基準を改訂する。また、評価基準の見直しの検討は、定期的に行うこととする。

4.12.4.4 市場規模と経済効果

リバースエンジニアリングに関する情報は、その大半が公開されていないことから、状況の積み上げにより市場規模と経済効果を推測する。半導体製品の製造者は、高度な物理的解析技術を有する。半導体製品の不良解析技術は、高度なりバースエンジニアリング技術となり得るため下表の売上額の上位企業は、必要な設備・人員・環境を有している。

1Q18 Top 15 Semiconductor Sales Leaders (\$M, Including Foundries)

1Q18 Rank	1Q17 Rank	Company	Headquarters	1Q17 Tot IC	1Q17 Tot O-S-D	1Q17 Tot Semi	1Q18 Tot IC	1Q18 Tot O-S-D	1Q18 Tot Semi	1Q18/1Q17 % Change
1	2	Samsung	South Korea	12,811	770	13,581	18,581	820	19,401	43%
2	1	Intel	U.S.	14,220	0	14,220	15,832	0	15,832	11%
3	3	TSMC (1)	Taiwan	7,524	0	7,524	8,473	0	8,473	13%
4	4	SK Hynix	South Korea	5,346	109	5,455	8,016	125	8,141	49%
5	5	Micron	U.S.	4,931	0	4,931	7,360	0	7,360	49%
6	6	Broadcom Ltd. (2)	U.S.	3,740	368	4,108	4,160	430	4,590	12%
7	7	Qualcomm (2)	U.S.	3,676	0	3,676	3,897	0	3,897	6%
8	9	Toshiba	Japan	2,747	265	3,012	3,517	310	3,827	27%
9	8	TI	U.S.	2,960	204	3,164	3,339	227	3,566	13%
10	11	Nvidia (2)	U.S.	1,965	0	1,965	3,110	0	3,110	58%
11	15	WD/SanDisk	U.S.	1,795	0	1,795	2,350	0	2,350	31%
12	10	NXP	Europe	1,965	246	2,211	2,017	252	2,269	3%
13	12	Infineon	Europe	1,130	754	1,884	1,360	907	2,267	20%
14	13	ST	Europe	1,378	440	1,818	1,696	518	2,214	22%
15	17	Apple* (2)	U.S.	1,600	0	1,600	1,830	0	1,830	14%
—	—	Top 10 Total		59,920	1,716	61,636	76,285	1,912	78,197	26.9%
—	—	Top 15 Total		67,788	3,156	70,944	85,538	3,589	89,127	25.6%

(1) Foundry (2) Fabless *Custom devices for internal use.
Source: Company reports, IC Insights' Strategic Reviews database.

本実施項目では、少量生産品のデッドコピーや改変を防止することを本来の目的に置いている。この視点から被害状況を見ると、報告の一例は以下の通りである。

2 日本の機械工業における模倣品被害の状況と政府および工業会の模倣品対策

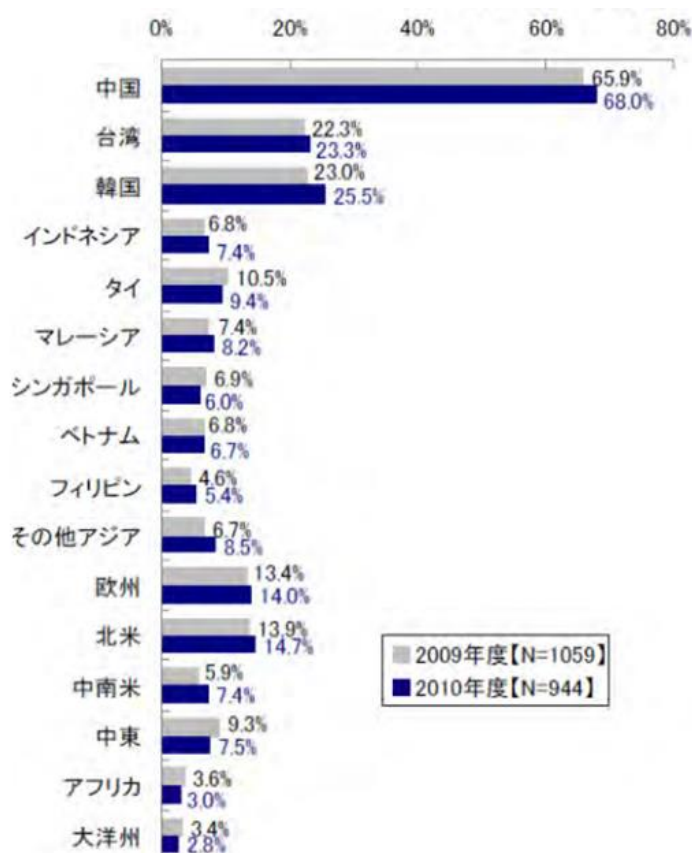
2.1 日本の機械工業における模倣品被害の状況

我が国の模倣被害は深刻さを増している。特に中国は模倣品・海賊版の製造国、消費国、輸出国としての側面を持ち、一般機械・産業機械に限ってみても権利侵害国は中国に集中している。一般機械・産業機械の模倣被害率は全体の被害率が減少している中で増加しており、状況の特徴としては、技術模倣やデッドコピーが多い点にある。模倣品の品質が劣る内容としては「耐久性」が最も多く、外観だけでは判断できないところに模倣品対策の難しさがある。なお、同業他社や業界団体と連携した模倣被害対策への取り組み状況は、全業種平均と比べてやや低調といえる。

2010年度の全商品分野（全業種）における模倣被害総額は、約1,072億円と推計されている。

図 4.12.4.4 日本の機械工業における模倣品被害の状況
(国際連携による模倣品対策調査研究報告書(2016)から抜粋)

こうした状況は、我が国のみにとどまらず、米国、ドイツも大きな損害を被っている。模倣品や改造品は、中国、台湾、韓国が主な製造国となっており(下図)、製造された模倣品・改造品は世界各地に拡散している。



2010年度の調査では、模倣品被害総額は日本国内で1072億円と推計されており、1社あたりの平均被害額は、被害額100億円未満の企業全体で1.7億円、被害額100億円以上の企業も含めると平均被害額は2.7億円になる。こうした傾向は、少量多種のエッジデバイスが市場に投入加速する2020年以降では、被害は急速に拡大すると考えられる。

4.12.4.5 ベンチマーク

類似技術とのベンチマーク(比較:強み/弱み)は次のとおりである。

	ICの取り外し	ICのパッケージ開封	コスト
セキュアブート機能	×機能を喪失しない	×機能を喪失しない	△OSが必要
セキュリティチップ	△本来機能を一部喪失する	○本来機能を喪失する	×高価
本事業のIC保護技術	○本来機能を喪失する	○本来機能を喪失する	○安価

4.12.4.6 事業化までのマイルストーン

2021年度中に評価プロセスに必要な技術開発を完了し、2022年度中に評価プロセスのサービス化に向けて、パイロット評価によるPoC(概念実証)を実施する。主体的に事業を運営する事業者との協議により、装置・施設・基準の運用方法を取り決める。

4.12.5 「実施項目2：AI エッジ内部実装保護技術の研究開発」における実用化・事業化の見通し（IIJ イノベーションインスティテュート）

4.12.5.1 概要

本実施項目で研究開発を行うファームウェア解析ツールは、最終的には、プロジェクトにおいて共同で開発される応用技術と併せ、ファームウェア保護・分析ツールとしてオープンソース化することを想定している。本ツールを活用することで、AI エッジデバイスのファームウェアが、想定外の悪意ある動作を行わないか、あるいはサイバー攻撃によるデバイスの乗っ取りを可能にする脆弱性が存在しないかを一定の範囲で自動解析できると期待される。こうしたツールが広く世の中で使われることで、自社の製品・サービスのみならず、関連するネットワーク AI 製品・サービスのセキュリティレベルの向上につながる。結果として、当該製品・サービスの市場規模の拡大に寄与する。

4.12.5.2 実用化・事業化への課題と対応策

ファームウェア保護・分析技術については、AI エッジデバイスのセキュリティを診断するための自動化ツールとしての位置づけである。したがって、実用化・事業化を進めるには、こうしたデバイスセキュリティ診断ビジネスが国内で進展することが前提となる。一部のベンダによるサービス提供が始まってはいるものの、多くの部分が人手による分析作業に依存しているため、市場規模の拡大が阻害される恐れがある。本プロジェクトでは、ファームウェア解析を自動化することで、この問題を解決することを目指しているが、市場規模の拡大についても、政府における取り組みを通じて、セキュリティ事業者との連携を取り、解析ツールの実用化・事業化の支援を行っていく予定である。

次に、技術的な観点から説明する。本プロジェクトでは、知的財産保護の観点から実施が困難なソースコード提供を前提とせず、実行プログラムのバイナリーコードを直接自動解析する技術の開発に取り組んでいるが、複数の CPU アーキテクチャや OS への個別対応に加えて、解析にかかる処理効率の飛躍的向上が必要となる。さまざまなデバイスのファームウェアを、完全に自動解析して、実用上有益な結果を出力させることは容易ではないため、本プロジェクトでは、実用上最も必要性が高いと思われる脆弱性等に絞り、ツール実行の効率と処理の汎用性を向上させる方針である。

4.12.5.3 実用化・事業化の体制

実用化の初期段階では、本プロジェクトに関連する機関での使用を通じて、機能の拡張等を図っていく。経産省を中心に、企業コンソーシアムを形成して、国内企業の製品・サービスのセキュリティレベル向上に役立てることも考えている。当社の役割は、開発ツールを技術的に正しくメンテナンスすることであると考えているが、需要に応じて製品・サービス化することも排除はしていない。

プロジェクト終了後、3年間程度は、プロジェクト関連機関を中心としてコンソーシアムを形成し、その中での利用に限定し、オープンソース化は行わない。プロジェクト終了後3年を目処に、オープンソース化を進める。一方で、この時点の状況に応じて、オープンソースとせず有償・無償のライセンス供与を行う可能性も検討する。

AI エッジデバイスを考えた場合、ソースコード参照を前提とした対策は現実的ではなく、また、対象となるプロセッサアーキテクチャや OS も多岐に渡る。今回開発するツールは、こうした差異に依存せずに、プログラムの動作を解析するものであり、ひとたび有用性が確立されれば、長期間に渡って利用を継続することが可能なため、有用性が大きい。ただし、個

別アーキテクチャや個別 OS に対応する作業は別途必要であり、こうした作業をコンソーシアム等で分担していくことを想定している。

4.12.5.4 市場規模と経済効果

すでに述べたとおり、国内のデバイスセキュリティ診断ビジネス自体は、まだ始まって間もないが、世界的なサイバーセキュリティ市場は 2016 年に 920 億ドルに達し、2019 年の市場規模は 1160 億ドルと言われている。一方で、2020 年までに、表面化する企業へのサイバー攻撃の 25%以上が IoT 関連になるとみられている。単純計算では、2020 年ころには、IoT 関連のサイバーセキュリティ市場は 300 億ドル規模でなければならないが、現状でそれだけのリソースは割かれていない。また、本プロジェクトに関連するイベントとして、DARPA が 2016 年に開催した Cyber Grand Challenge がある。この実行プログラムの脆弱性を自動的に検知するコンテストの優勝賞金は 200 万ドルであり、DARPA がコンテストの準備にかけた予算は 5,500 万ドルと言われている。本プロジェクトで開発するツールは、オープンソース化による実用化を想定しているが、サプライチェーンセキュリティの観点から、こうしたツールやサービスの重要性は増大しており、今後の市場規模の拡大と、安心して利用できる製品の普及によりもたらされる経済効果が見込まれる。

4.12.5.5 ベンチマーク

ツールの性能のベンチマーク対象としては、2016 に実施された DARPA の Cyber Grand Challenge で上位入賞したツールが挙げられる。こうしたツールは、その後ベンチャー化され、実用化へ向けた取り組みと技術の高度化が進められており、性能評価を引き続き行なっていく予定である。実用的な観点からは、実際に販売されているデバイスのファームウェアを対象とした実験を定期的に行い、未知の脆弱性やトロイの木馬を自動検知できるかチェックしていく方針である。

4.12.5.6 事業化までのマイルストーン

事業化への展望については、当初から変わっていない。以下に、スケジュール線表を再掲する。長期的に見た場合に予想される重大な障害としては、コンソーシアム形成段階におけるツールのスケーラビリティの問題、オープンソース化段階での適切なライセンス条項設定の問題、そして事業化検討段階での利用ノウハウの明文化の問題がある。現段階では問題の深刻度と解決策は明らかでないが、プロジェクト実施中から、対策の検討を進めていく予定である。

年度	2023 年度	2024 年度	2025 年度	2026 年度	2027 年度
コンソーシアム等利用	コンソーシアム形成				
オープンソース化				オープンソース化	
事業化検討			事業化検討		

4.12.6 「実施項目3：AI エッジの個体管理を支えるための人工物メトリクスの研究開発」における実用化・事業化の見通し(産業技術総合研究所)

4.12.6.1 概要

ナノ人工物メトリクス(NAM)をベースとするセキュリティ評価分析基盤を実用化し、プロジェクト終了後は産総研とその再委託先等で個体管理用識別子の読取評価、照合・識別評価、貼付評価を行えるようにする。

4.12.6.2 実用化・事業化への課題と対応策

性能以外の最大の課題は評価装置の開発コストと製造コストであり、それぞれ次のように対応中である。

照合・識別評価技術：

評価用 NAM チップの製造は、現在は1社のみを用いて試作しているが、1社のみでの供給はコスト低減が困難であり、別の会社での試作検討に着手している。

読取評価技術：

現在は既存の白色干渉顕微鏡を改造した装置で読出しを行っている。課題は、装置サイズと装置コストである。現在、卓上サイズで1/5～1/10の製造コストの小型読出し装置を開発中である。

貼付評価技術：

AI エッジデバイスとして最も重要と思われる半導体デバイスの個体管理をターゲットに実装技術を開発している。半導体デバイスは離型剤を内在する封止樹脂で形成されており、その表面への実装(接着)は一般に困難である。この表面への実装技術は汎用性がある。また本プロジェクトでは、少量生産対応の試作装置の開発も予定している。

4.12.6.3 実用化・事業化の体制

産総研とその再委託先等で個体管理用識別子の読取評価、照合・識別評価、貼付評価を行えるようにする。

4.12.6.4 市場規模と経済効果

市場規模および経済効果については、4.12.4.4 節を参照のこと。

4.12.6.5 ベンチマーク

AI エッジデバイス用途での、ナノ人工物メトリクス(NAM)をベースとする個体管理用識別子と、その他の技術をベースとする既存の個体管理用識別子とのベンチマーク(強み、弱み)は次の表のとおりにまとめられる。

個体識別子	複製への耐性	部品等への適用	セキュリティ評価分析基盤
シリアル番号、QRコード、電子タグ	×複製可能	△	(複製可能)
PUF (Physically Unclonable Function: 物理複製困難関数)	○複製困難	△ 一部の電子部品にのみ適用可能	ISO/IEC 20897 での国際標準化とセキュリティ評価分析基盤の整備が進んでいる。
本事業で開発対象とするナノ人工物メトリクスをベースとする識別子	○複製困難	○容易	存在しておらず、整備が必要。

4.12.6.6 事業化までのマイルストーン

2022 年度末までに個体管理用識別子の読取評価、照合・識別評価、貼付評価を実施可能にする。

●特許論文等リスト（添付資料）

◎研究開発テーマ「不揮発省電力 FPGA コアを用いた低遅延 AI 処理コンピューティング技術の研究開発」

【論文】

番号	発表者	所属	タイトル	発表誌名、ページ番号	査読	発表年月
1	伴野 直樹	日本電気株式会社	Three-fold improved set-voltage variability of a Cu atom switch with a split electrode for very-large-scale integration	Japanese Journal of Applied Physics 59, SGGB09 (2020)	有	2020/2

【外部発表】

(a) 学会発表・講演

番号	発表者	所属	タイトル	会議名	発表年月
1	伴野 直樹	日本電気株式会社	3x Improved Set-voltage Variability of Cu Atom Switch with Split-electrode for Very Large Scale Integration	Int. Conf on Solid State Devices & Materials (SSDM)	2019/9
2	多田 宗弘	日本電気株式会社	Opportunities and Challenges of Atom Switch for Next AI Hardware	Int. Conf on Solid State Devices & Materials (SSDM)	2019/9
3	丸山 勉	筑波大学	An Implementation of Non-Local Means algorithm on FPGA	The International Conference on Parallel Computing	2019/9
4	宮村 信	日本電気株式会社	革新的 FPGA の軌道上実証結果	第 63 回 宇宙科学技術連合講演会 日本航空宇宙学会	2019/11
5	阪本 利司	日本電気株式会社	原子スイッチが拓く低電力エレクトロニクス	AI チップ設計拠点フォーラム(第 8 回)	2020/1
6	伴野 直樹	日本電気株式会社	Split-electrode による原子スイッチの Set 電圧ばらつき改善	応用物理学会(JSAP) 春季学術講演会	2020/3
7	岡本 浩一郎	日本電気株式会社	ON-state retention of Atom Switch eNVM for IoT/AI Inference Solution	IEEE International Reliability Physics Symposium	2020/4
8	根橋 竜介	日本電気株式会社	A 171k-LUT Nonvolatile Programmable Logic using Cu Atom-Switch Technology in 28nm CMOS	International Conference on Field Programmable Logic and Applications	2020/8
9	阪本 利司	日本電気株式会社	不揮発 FPGA の宇宙応用	応用物理学会(JSAP) 秋季学術講演会シンポジウム	2020/9

番号	発表者	所属	タイトル	会議名	発表年月
10	阪本 利司	日本電気株式会社	Atom-switch FPGA for low-power IoT applications	MEMRISYS Online Mini-Conference 2020	2020/11

◎研究開発テーマ「動的再構成技術を活用した組み込み AI システムの研究開発」

【特許】

番号	出願者	出願番号	国内 外国 PCT	出願日	状態	名 称	発明者
1	ルネサスエレクトロニクス株式会社	特願 2019-189601	国内	2019/10/16		半導体装置およびその制御方法	藤井
2	ルネサスエレクトロニクス株式会社	(出願準備中)					
3	SOINN 株式会社	(出願準備中)					
4	SOINN 株式会社	(出願準備中)					
5	SOINN 株式会社	(出願準備中)					

【論文】

番号	発表者	所属	タイトル	発表誌名、ページ番号	査読	発表年月
1	安藤	東京工業大学	Dither NN: hardware/algorithm co- design for accurate quantized neural networks	IEICE Transactions on Information and Systems、 vol. E102	有	2019/12
2	本村	東京工業大学	深層ニューラルネットワーク向けプロセッサ技術の実例と展望	電子情報通信学会和文 論文誌 C、 J103-C (05)	有	2020/05

【外部発表】

(a) 学会発表・講演

番号	発表者	所属	タイトル	会議名	発表年月
1	中原	東京工業大学	A Tri-State Weight Convolutional Neural Network for an FPGA: Applied to YOLOv2 Object Detector	The 2018 International Conference on Field- Programmable Technology	2018/12
2	宗形	東京工業大学	雑音畳み込みニューラルネットワークと FPGA 実装	リコンフィギュラブルシステム研究会	2019/1
3	安藤	東京工業大学	Dither NN: 画像処理から着想を得た組み込み向け量子化ニューラルネットワークの精度向上手法	リコンフィギュラブルシステム研究会	2019/5
4	植吉	東京工業大学	無効ニューロン予測による DNN 計算効率化手法	リコンフィギュラブルシステム研究会	2019/5
5	本村	東京工業大学	AI チップ: 世界の研究動向と東工大の研究戦略	東京工業大学研究院公開	2019/10

番号	発表者	所属	タイトル	会議名	発表年月
6	本村	東京工業大学	AI Computing: The Promised Land for Computer Architecture Innovation?	Future Chips Forum 2019	2019/12
7	鈴木	東京工業大学	ProgressiveNN: Achieving Computational Scalability without Network Alteration by MSB-first Accumulative Computation	CANDAR 2020	2020/11

(b) 展示会への出典

番号	所属	タイトル	展示会名	発表年月
1	SOINN 株式会社		AI・人工知能 EXPO ブース展示	2019/4

◎研究開発テーマ「進化型・低消費電力 AI エッジ LSI の研究開発」

【外部発表】

(a) 学会発表・講演

番号	発表者	所属	タイトル	会議名	発表年月
1	岡本 吉史	株式会社ソシオネクスト	革新的なエッジコンピューティング実現を目指す NEDO 委託事業を開始	CEATEC 講演	2018/10
2	岡本 吉史	株式会社ソシオネクスト	NEDO 委託事業 高効率・高速処理を可能とする AI チップ・次世代コンピューティングの技術開発	CEATEC 講演	2019/10
3	磯野 貴巨	株式会社ソシオネクスト	A 12.1 TOPS/W Mixed-Precision Quantized Deep Convolutional Neural Network Accelerator for Low Power on Edge / Endpoint Device	IEEE Asian Solid-State Circuits Conference (A-SSCC)	2020/11

(b) 新聞・雑誌等への掲載

番号	所属	発表内容	発表先	発表年月
1	株式会社ソシオネクスト	「NEDO 委託事業に採択」	ソシオネクストプレスリリース	2018/10/17
2	ArchiTek 株式会社	「AI 画像処理チップ開発」	日刊工業新聞	2020/1/9
3	ArchiTek 株式会社	「隘路抜けるシニア起業家」	日刊工業新聞	2020/1/13
4	株式会社ソシオネクスト	「量子化 DNN エンジン搭載・低消費電力 AI チップを試作」	ソシオネクストプレスリリース	2020/3/17
5	ArchiTek 株式会社	「仮想エンジニアキテックチャ搭載・エッジ AI チップを試作」	ArchiTek プレスリリース	2020/4/3
6	ArchiTek 株式会社	「AI エッジ LSI で AI 認識・画像処理効率 10 倍、SLAM 時間 1 / 20 を達成」	ArchiTek プレスリリース	2020/6/18
7	株式会社ソシオネクスト	「AI エッジ LSI で AI 認識・画像処理効率 10 倍、SLAM 時間 1 / 20 を達成」	ソシオネクストプレスリリース	2020/6/18
8	株式会社豊田自動織機	「AI エッジ LSI で AI 認識・画像処理効率 10 倍、SLAM 時間 1 / 20 を達成」	豊田自動織機プレスリリース	2020/6/18

(c) 展示会への出典

番号	所属	タイトル	展示会名	発表年月
1	ArchiTek 株式会社	「仮想エンジン(aIPE)」の FPGA デモ	CEATEC 2018 (J-Startup 枠)	2018/10
2	ArchiTek 株式会社	「仮想エンジン(aIPE)」の FPGA デモ	イノベーション・リーダーズ・サミット (J-Startup)	2018/10

番号	所属	タイトル	展示会名	発表年月
3	ArchiTek 株式会社	「仮想エンジン(aIPE)」の FPGA デモ	イノベーション・ジャパン 2019 (NEDO 枠)	2019/8
4	ArchiTek 株式会社	「仮想エンジン(aIPE)」の FPGA デモ	イノベーション・リーダーズ・サミット (J-Startup)	2019/10
5	株式会社ソシオネクスト	量子化 DNN FPGA デモ	CEATEC	2019/10
6	株式会社ソシオネクスト	量子化 DNN FPGA デモ	ET&IoT Technology 2019 展示	2019/11
7	株式会社ソシオネクスト、ArchiTek 株式会社、株式会社豊田自動織機	NEDO 展示ページ ・事業紹介 ・リーフレット「未来社会をもっと便利 に！ 進化型・低消費電力 AI エッジ LSI」	CEATEC 2020 オンライン	2020/10

◎研究開発テーマ「ソフトテンソルプロセッサによる超広範囲センシング AI エッジ技術の研究開発」

【論文】

番号	発表者	所属	タイトル	発表誌名、ページ番号	査読	発表年月
1	Kohei Yamamoto, Kurato Maeno	沖電気株式会社	PCAS: Pruning Channels with Attention Statistics for Deep Network Compression	arXiv	無	2018/12
2	山本 康平, 橋 素子, 前野 蔵人	沖電気株式会社	ディープラーニングのモデル軽量化技術	OKI テクニカルレビュー第 233 号	有	2019/5
3	Kohei Yamamoto, Motoko Tachibana, Kurato Maeno	沖電気株式会社	Model Pruning Technology for Deep Neural Networks	OKI テクニカルレビュー第 233 号(英語版)	有	2019/7
4	Kohei Yamamoto, Kurato Maeno	沖電気株式会社	PCAS: Pruning Channels with Attention Statistics for Deep Network Compression	arXiv	無	2019/8
5	国定 恭史, 山本 康平, 橋 素子, 前野 蔵人	沖電気株式会社	ニューラルネットワークの枝刈りが感度マップへ及ぼす影響	システム制御情報学会論文誌 33 巻第 5 号	有	2020/5
6	Trong Huy Phan, Kazuma Yamamoto	沖電気株式会社	Resolving Class Imbalance in Object Detection with Weighted Cross Entropy Losses	arXiv	無	2020/6
7	増田 誠, 橋 素子, 山本 一真 他	沖電気株式会社	船舶の自動化、IoT 技術に関する OKI の取り組み	日本マリンエンジニアリング学会学会誌 55 巻 6 号	有	2020/11
8	福井 洋, 天谷 一郎	ジャパンマリンユナイテッド株式会社	自律化船実現に向けた物体検出技術への取り組み	日本マリンエンジニアリング学会学会誌 55 巻 6 号	有	2020/11
9	西村 匡史, ファンチョン フィ, 山本 一真, 増田 誠	沖電気株式会社	周辺特徴抽出と Soft-NMS による隠蔽に強い物体検出の検討	精密工学会誌 86 巻 12 号	有	2020/12

【外部発表】

(a) 学会発表・講演

番号	発表者	所属	タイトル	会議名	発表年月
1	国定 恭史, 山本 康平, 橘 素子, 前野 蔵人	沖電気株式会社	ニューラルネットワークの枝刈りが感度マップへ及ぼす影響	第 63 回システム制御情報学会	2019/5
2	Stanislav Sedukhin, Kazuya Matsumoto, Yoichi Tomioka	会津大学	Brain-inspired Co-design of Algorithm/ Architecture for CNN Accelerators	7th International Conference on Smart Computing and Artificial Intelligence (SCAI 2019)	2019/7
3	Kohei Yamamoto, Kurato Maeno	沖電気株式会社	PCAS: Pruning Channels with Attention Statistics for Deep Network Compression	30th British Machine Vision Conference (BMVC2019)	2019/9
4	天谷 一郎, 比留井 仁, 小林 敬明, 石毛 健晴	ジャパンマリンユナイテッド株式会社	深層学習を用いた長距離物体検出技術の開発 (その 1)	日本船舶海洋工学会 令和元年秋季講演会	2019/11
5	ファンジョンフィ, 山本 一真, 増田 誠	沖電気株式会社	小物体に対応した SSD に基づく検出器の開発	ViEW2019 ビジョン技術の実利用ワークショップ	2019/12
6	穂積 和貴, 富岡 洋一	会津大学	高精細映像における連続フレームを用いた効率的なブロック分割物体検出手法	電子情報通信学会 パターン認識・メディア理解研究会 (PRMU 研究会)	2019/12
7	石川 晴也, 林 昌希, ファンジョンフィ, 山本 一真, 増田 誠, 青木 義満	慶應義塾大学, 沖電気株式会社	Robust Multi-Object Tracking with Spatio-Temporal Features	ViEW2020 ビジョン技術の実利用ワークショップ	2019/12
8	Stanislav Sedukhin, Yoichi Tomioka	会津大学	Massively-Parallel Computing of Multi-Channel 2D Convolution	The SIAM Conference on Parallel Processing for Scientific Computing	2020/2
9	川村 聡志, 国定 恭史, 山本 康平, 橘 素子	沖電気株式会社	(2+1)次元畳み込みネットワークの枝刈り効果に関する考察	電子情報通信学会総合大会	2020/3

番号	発表者	所属	タイトル	会議名	発表年月
10	山本 康平, 橋 素子	沖電気株式会社	低ビット量子化と枝刈りの併用による CNNの軽量化	電子情報通信学会総合大会	2020/3
11	西村 匡史, ファンクション フィ, 山本 一真, 増田 誠	沖電気株式会社	周辺特徴抽出と Soft-NMS による 隠蔽に強い物体検出	DIA2020 動的画像処理実利 用化ワークショップ 2020	2020/3
12	磯部 宙, 富岡 洋一	会津大学	ゼロビットスキップ機能付きビットシリアル 内積回路を用いた畳み込み演算 の高速化に関する一検討	電子情報通信学会 VLSI 設 計技術研究会	2020/3
13	江下 尚彦, 森口 拓雄, 徳梅 慎也	総合警備保障株式 会社	広域監視システムにおける渋滞判定 手法	電子情報通信学会 総合大会	2020/3
14	石川 晴也, 林 昌希, ファンクション フィ, 山本 一真, 増田 誠, 青木 義満	慶應義塾大学, 沖 電気株式会社	Part Aware Online Multi- Object Tracking using Attention Mechanism	電気学会 知覚情報/次世代 産業システム合同研究会	2020/3
15	国定 恭史, 前野 蔵人, 橋口 展明, 井下田 吉 男, 富岡 洋一	沖電気株式会社, ジャパンリユニ テッド株式会社, 総合警備保障株式 会社, 会津大学	ニューラルネットワークの推論時にお ける GPU の消費電力の計測	電子情報通信学会 総合大会	2020/3
16	Kazuki Hozumi, Yoichi Tomioka	会津大学	Low-latency Block-wise Object Detection Method using SSD for High Resolution Video	International Conference on Digital Signal Processing (ICDSP 2020)	2020/6
17	徳梅 慎也, 森口 拓雄, 江下 尚彦	総合警備保障株式 会社	U-Net とドメイン適用を用いた煙検 出モデルの作成と評価	第 26 回 画像センシングシンポ ジウム (SSII 2020)	2020/6
18	Sora Isobe, Yoichi Tomioka	会津大学	Low-bit Quantized CNN Acceleration based on Bit- serial Dot Product Unit with Zero-bit Skip	CANDAR 2020: The Eighth International Symposium on Computing and Networking	2020/11
19	ファンクション フィ, 山本 一真	沖電気株式会社	物体検出への階層的なクラス識別の 導入検討	ViEW2020 ビジョン技術の実利 用ワークショップ	2020/12

(b) 新聞・雑誌等への掲載

番号	所属	発表内容	発表先	発表年月
1	沖電気株式会社, ジャパンマリユナイテッド株式会社, 総合警備保障株式会社, 会津大学	NEDO の革新的 AI エッジコンピューティングをテーマとする技術開発プロジェクトを開始	OKI, JMU, ALSOK、会津大共同プレスリリース	2018/9/25
2	沖電気株式会社	AI 技術動向の変化と OKI の取り組み	OKI プレミアムフェア 2018	2018/11/16
3	沖電気株式会社	革新的 AI エッジコンピューティング	OKI Web サイト	2018/11/30
4	沖電気株式会社	OKI の技術の今を支え将来を生み出す研究開発センターの挑戦	OKI Web サイト	2018/11 末
5	沖電気株式会社	ディープラーニングモデルの新たな軽量化技術を開発	NEDO、OKI 共同プレスリリース	2019/9/9
6	沖電気株式会社	映像・光・音響センシング技術による船舶 IoT	OKI AI エッジコンピューティング製品発表会	2019/10/3
7	沖電気株式会社	センシングやネットワークを強みに AI エッジを推進	日経 XTECH Special	2019/10/3
8	沖電気株式会社	OKI レポート 2019	OKI 統合報告書	2019/11/1
9	沖電気株式会社	Interview with Head of Corporate Research & Development Center	OKI Web サイト	2020/2
10	沖電気株式会社	ディープラーニングモデルの軽量化技術を開発	月刊「画像ラボ」5 月号 (日本工業出版(株))	2020/5
11	沖電気株式会社	ディープラーニング軽量化技術による電力消費効率の改善	経団連 チャレンジ・ゼロ (日本経済団体連合会)	2020/6/8
12	沖電気株式会社	OKI、経団連主催の「チャレンジ・ゼロ」へ参加 ～ディープラーニング軽量化により AI の電力消費効率改善技術の開発を促進～	OKI プレスリリース	2020/6/9
13	ジャパンマリユナイテッド株式会社	無人化船要素技術：画像認識について	JMU Web サイト	2020/6/30

(c) 展示会への出典

番号	所属	タイトル	展示会名	発表年月
1	沖電気株式会社	革新的 AI エッジコンピューティング	CEATEC JAPAN 2018、	2018/10
2	ジャパンマリユナイテッド株式会社	船舶用周囲監視システム	物流系ユーザー会での技術講演	2018/10
3	沖電気株式会社	AI 技術動向の変化と OKI の取り組み	OKI プレミアムフェア 2018	2018/11
4	沖電気株式会社	映像・光・音響センシング技術による船舶 IoT	OKI AI エッジコンピューティング製品発表会	2019/10

番号	所属	タイトル	展示会名	発表年月
5	会津大学	ソフトテンソルプロセッサによる超広範囲・高精度にセンシング	IoT ワークショップ「センシング・エッジによる IoT 革新的ビジネスの潮流」	2019/11
6	総合警備保障株式会社	AI・4K・5G で進化する ALSOK の警備サービス ～都市空間セキュリティの実現に向けて～	ET & IoT Technology 2019(組み込み総合技術展 & IoT 総合技術展)カンファレンス 基調講演	2019/11
7	総合警備保障株式会社	不審行動検知 AI、高所からの火災検出システム	ALSOK フューチャーフォーラム	2020/2

◎研究開発テーマ「5G 時代を見据えた高度自律的学習機能搭載のための AI エッジコンピューティング技術の研究開発」

【特許】

番号	出願者	出願番号	国内 外国 PCT	出願日	状態	名 称	発明者
1	株式会社アラヤ	特願 2020-063139	国内	2020/3/31	出願中	情報処理装置及び情報処理方法	森 俊彰, 水谷永輔, 津田 達也, 大鳥羽 暢彦, 蓮井 樹生, 松本 渉
2	株式会社アラヤ	特願 2020-0711101	国内	2020/4/10	出願中	情報処理装置及び情報処理方法	森 達也, 大鳥羽 暢彦

【外部発表】

(a) 学会発表・講演

番号	発表者	所属	タイトル	会議名	発表年月
1	Keiko Fujii, Hoshinori Kanazawa, Yasuo Kuniyoshi	東京大学	Spike Timing Dependent Plasticity Enhances Integrated Information at the EEG Level: A Large-scale Brain Simulation Experiment	Joint IEEE International Conference on Development and Learning and on Epigenetic Robotics (ICDL-EpiRob 2019),	2019/8
2	杉田 博司	KDDI 株式会社	5G 時代を見据えた AI エッジコンピューティングの開発	マルチメディア推進フォーラム	2019/10
3	金井 良太, 松本 渉	株式会社アラヤ	「エッジ AI を“自動で”実現するアプリケーション 脳科学者が語る AI の未来と、ニューラルネットワークの最先端圧縮技術」	『ET / IoT Technology 2019』エッジテックトラックセミナー	2019/11
4	松本 渉	株式会社アラヤ	「ニューラルネットワークの圧縮技術によるエッジ AI の実現」	『GPU Computing Workshop for Advanced Manufacturing 2019』テクニカルセッション	2019/12
5	玉井 信也	株式会社アラヤ	産業用ドローンシステムへの世界モデルの応用に関する一検討	2020 年度 人工知能学会全国大会 (第 34 回) OS-18 世界モデルと知能	2020/6

(b) 展示会への出典

番号	所属	タイトル	展示会名	発表年月
1	株式会社アラヤ	出典社ブース	『ET / IoT Technology 2019』	2019/11

◎研究開発テーマ「エッジビジョン AI を超軽量化し短 TAT で実装する技術の研究開発」

【論文】

番号	発表者	所属	タイトル	発表誌名、ページ番号	査読	発表年月
1	Y. Sada, M. Shimoda, A. Jinguji, H. Nakahara	東京工業大学	"A Dataflow Pipelining Architecture for Tile Segmentation with a Sparse MobileNet on an FPGA,"	International Conference on Field-Programmable Technology (FPT)	有	2019 (採録決定)
2	R. Kuramochi, M. Shimoda, Y. Sada, S. Sato, H. Nakahara	東京工業大学	"FPGA-based Accurate Pedestrian Detection with Thermal Camera for Surveillance System,"	International Conference on Reconfigurable Computing and FPGAs (ReConFig)	有	2019 (採録決定)
3	R. Kuramochi, Y. Sada, M. Shimoda, S. Sato, H. Nakahara	東京工業大学	"Many Universal Convolution Cores for Ensemble Sparse Convolutional Neural Networks,"	13th Int'l Symp. on Embedded Multicore/many-Core Systems-on-Chip (MCSoc2019), pp.93-100.	有	2019
4	M. Shimoda, Y. Sada, R. Kuramochi, H. Nakahara	東京工業大学	"An FPGA implementation of Real-time Object Detection with a Thermal Camera"	FPL, pp.413-414	有	2019
5	A. Jinguji, Y. Sada, H. Nakahara	東京工業大学	"Realtime Object Detection for Many Pedestrian Toward Surveillance Camera"	FPL, pp.424-425	有	2019
6	M. Shimoda, Y. Sada, H. Nakahara	東京工業大学	"Filter-wise Pruning Approach to FPGA Implementation of Fully Convolutional Network for Semantic Segmentation,"	15th International Symposium on Applied Reconfigurable Computing (ARC), pp.371-386	有	2018

番号	発表者	所属	タイトル	発表誌名、ページ番号	査読	発表年月
7	A. Jinguji, T. Fujii, S. Sato, H. Nakahara	東京工業大学	"An FPGA Realization of OpenPose based on a Sparse Weight Convolutional Neural Network,"	International Conference on Field-Programmable Technology (FPT), pp.310-313	有	2018
8	H. Nakahara, M. Shimoda, S. Sato	東京工業大学	"A Demonstration of FPGA-Based You Only Look Once Version2 (YOLOv2),"	FPL, pp.457-458	有	2018
9	M. Shimoda, S. Sato, H. Nakahara	東京工業大学	"Demonstration of Object Detection for Event-Driven Cameras on FPGAs and GPUs,"	FPL, pp.461-462.	有	2018
10	M. Shimoda, S. Sato, H. Nakahara	東京工業大学	"Power Efficient Object Detector with an Event-Driven Camera on an FPGA,"	The 9th International Workshop on Highly-Efficient Accelerators and Reconfigurable Technologies (HEART 2018), pp.1-6	有	2018
11	R. Kuramochi , H. Nakahara	東京工業大学	"An FPGA-Based Low-Latency Accelerator for Randomly Wired Neural Networks,"	FPL, 2020, (accepted)	無	2020
12	H. Nakahara, Q. Zhiqiang, A. Jinguji, W. Luk	東京工業大学, Imperial College London	"R2CNN: Recurrent Residual Convolutional Neural Network on FPGA,"	28th ACM/SIGDA Int'l Symp. on Field-Programmable Gate Arrays~(FPGA), page 319	有	2020/2
13	中原 啓貴	東京工業大学	"畳込みニューラルネットワークのFPGA実装,"	電子情報通信学会誌, Vol. 103, No. 5, pp.501-506	有	2020/5
14	N. Soga, Y. Sada, M. Shimoda, A. Jinguji, S. Sato, H. Nakahara	東京工業大学	"Fast Monocular Depth Estimation on an FPGA,"	IPDPS Workshop (RAW2020), pp.1-4	有	2020/5

番号	発表者	所属	タイトル	発表誌名、ページ番号	査読	発表年月
15	H. Nakahara, Z. Que, W. Luk	東京工業大学, Imperial College London	"High-Throughput Convolutional Neural Network on an FPGA by Customized JPEG Compression,"	The 28th IEEE Int'l Symp. on Field-programmable Custom Computing Machines (FCCM), pp.1-9	有	2020/5
16	Z. Que, H. Nakahara, E. Nuvitadhi, H. Fan, C. Zeng, J. Meng, X. Niu, W. Luk	Imperial College London, 東京工業大学, Intel Corp.	"Optimizing Reconfigurable Recurrent Neural Networks,"	FCCM, pp.1-8	有	2020/5
17	A. Jinguji, S. Sato, H. Nakahara	東京工業大学	"Tiny On-Chip Memory Realization of Weight Sparseness Split-CNNs on Low-end FPGAs,"	FCCM, 2020, page 1	有	2020/5
18	Y. Suzuki, N. Soga, S. Sato, H. Nakahara	東京工業大学	"A Table Look-Up Based Ternary Neural Network Processor,"	The 50th IEEE Int'l Symp. on Multiple-Valued Logic (ISMVL), 2020, pp.1-6,	有	2020/6
19	H. Nakahara	東京工業大学	" 2^{n+1} -valued SSS-Net: Uniform Shift, Channel Sparseness, and Channel Shuffle,"	ISMVL, 2020, pp.1-6,	有	2020/6
20	M. Shimoda, H. Nakahara et al.	東京工業大学	"SENTEI: Filter-wise Pruning with Distillation Towards Efficient Sparse Convolutional Neural Network Accelerators"	IEICE Trans. on Inf.	有	2020/10 (出版予定)

【外部発表】

(a) 学会発表・講演

番号	発表者	所属	タイトル	会議名	発表年月
1	丸岡 晃	株式会社フィックスターズ	ドメイン固有言語とコンパイラ技術を用いた専用ハードウェア開発	DA シンポジウム 2019	2019/8
2	山田 貴登	株式会社フィックスターズ	DNN コンパイラと専用 DSL による小型 FPGA デバイスへの深層学習の適用と実装	Design Solution Forum 2019	2019/9

番号	発表者	所属	タイトル	会議名	発表年月
3	山田 貴登	株式会社フィックス ターズ	マルチレイコンパイラ基盤による、エッジ向けディープラーニングの実装と最適化について	Deep Learning Acceleration 勉強会#2	2019/10
4	山田 貴登	株式会社フィックス ターズ	AI チップ戦国時代における深層学習モデルの推論の最適化と実用的な運用を可能にするソフトウェア技術について	日本ソフトウェア科学会 機械学習工学研究会 (MLSE)	2020/7
5	中原 啓貴	東京工業大学	"お題への回答「マーケット」～AI ハードウェア研究者から経営者に Acadexit した者の一感想～"	日本ソフトウェア科学会 機械学習工学研究会 (MLSE)	2020/7
6	佐田 悠生, 下田 将之, 佐藤 真平, 中原 啓貴	東京工業大学	"畳み込みニューラルネットワークを用いた単眼深度推定の FPGA 実装について,"	電子情報通信学会リコンフィギュラブルシステム研究会(慶應大), RECONF2019-56, 2020, pp.73-78.	2020
7	倉持 亮佑, 佐田 悠生, 下田 将之, 佐藤 真平, 中原 啓貴	東京工業大学	"アンサンブル学習を用いたスパース CNN の FPGA 実装に関して,"	電子情報通信学会リコンフィギュラブルシステム研究会(慶應大), RECONF2019-55, 2020, pp.67-72.	2020
8	秋元 宏介, 佐田 悠生, 佐藤 真平, 中原 啓貴	東京工業大学	"ハードウェア実装に適した畳み込みニューラルネットワークのフィルタに関する比較,"	電子情報通信学会リコンフィギュラブルシステム研究会(慶應大), RECONF2019-54, 2020, pp.61-66	2020
9	倉持 亮佑, 佐田 悠生, 下田 将之, 佐藤 真平, 中原 啓貴	東京工業大学	"アンサンブル学習を用いたスパース CNN の FPGA 実装に関して,"	第 33 回多値論理とその応用研究会(神戸), 2020, No.19.	2020
10	鈴木 裕太, 曾我 尚人, 佐藤 真平, 中原 啓貴	東京工業大学	"テーブル参照方式 3 値ニューラルネットワーク推論プロセッサについて,"	第 33 回多値論理とその応用研究会(神戸), 2020, No.20.	2020
11	中原 啓貴	東京工業大学	" 2^{n+1} -valued SSS-Net: Uniform Shift, Channel Sparseness, and Channel Shuffle,"	第 33 回多値論理とその応用研究会(神戸), 2020, No.21.	2020

(b) 新聞・雑誌等への掲載

番号	所属	発表内容	発表先	発表年月
1	東京工業大学	「株式会社桜島養魚が AI トラッキング魚体計数機を導入～養殖魚の尾数計数作業の自動化が実現～」	マルハニチロ株式会社 HP ニュース&トピックス	2020/5

番号	所属	発表内容	発表先	発表年月
2	東京工業大学	「マルハニチロ、AIで養殖魚数を管理 自動で計測」	日本経済新聞 2020年5月16日朝刊、5 月15日電子版	2020/5
3	東京工業大学	「マルハニチロ AIが養魚数を自動 計測 桜島養魚でブリ、カンパチ 商 品力向上や経費削減」	みなと新聞 2020年5月19 日 一面、5月18日 電子版	2020/5
4	東京工業大学	「マルハニチロ、ブリなど尾数計数にA I導入」	水産経済新聞 2020年5月 19日 一面、5月19日 電子 版	2020/5
5	株式会社フィクスターズ	フィクスターズ、クラウド上のエッジ AI 開発環境「GENESIS」をベータ公開	株式会社フィクスターズ プレスリリース	2020/10

(c) 展示会への出典

番号	所属	タイトル	展示会名	発表年月
1	東京工業大学	エッジ AI デザインサービス	Ledge.ai EXPO	2020/4
2	株式会社フィクスターズ	クラウド上で完結する、エッジビジョン AIの開発プラットフォーム	CEATEC	2020/10

◎研究開発テーマ「スケーラブルなエッジ HPC を実現する OS 統合型プラットフォームの研究開発」

【論文】

番号	発表者	所属	タイトル	発表誌名、ページ番号	査読	発表年月
1	Z. Zhong, M. Edahiro	名古屋大学	Model-Based Parallelization for Simulink Models on Multicore CPUs and GPUs	International Journal of Computers & Technology, Vol. 20, pp.1-13.	有	2020/1

【外部発表】

(a) 学会発表・講演

番号	発表者	所属	タイトル	会議名	発表年月
1	権藤 正樹	イーソル株式会社	エッジコンピューティングへの挑戦	eSOL Technology Forum 2019	2019/9
2	Z. Zhong, M. Edahiro	名古屋大学	Model-Based Parallelization for Simulink Models on Multicore CPUs and GPUs	ISOCC2019	2019/10
3	小川真彩 高, 本田 晋也, 枝廣 正人	名古屋大学	ヘテロジニアスマルチコアシステムに対する統合型設計環境	複雑系マイクロシンポジウム (CSMS'20)	2020/3

(b) 新聞・雑誌等への掲載

番号	所属	発表内容	発表先	発表年月
1		"Research on highly parallel embedded control system design and implementation method"	Impact https://www.ingentaconnect.com/content/sil/impact/2019/00002019/00000010/art00016	2019/12
2			日本証券新聞	2019/11/14
3			株主手帳 2020 年 2 月号	2020/1
4			イーソルプレスリリース	2020/1

(c) 展示会への出典

番号	所属	タイトル	展示会名	発表年月
1	名古屋大学	枝廣研究室活動紹介	ET2019	2019

◎研究開発テーマ「動的多分岐・結合トレース型 AI プロセッサのエコシステム開発」

【特許】

番号	出願者	出願番号	国内 外国 PCT	出願日	状態	名 称	発明者
1	株式会社日立製作所	特願 P2019-218696	国内	2019/12/3	出願	ロボットシステム及びロボットシステムの制御方法	小菅 敦丈, 大島 俊

【論文】

番号	発表者	所属	タイトル	発表誌名、ページ番号	査読	発表年月
1	Atsutake Kosuge, Keisuke Yamamoto, Yukinori Akamine, Takashi Oshima	株式会社日立製作所	An SoC-FPGA-Based Iterative-CIOSet-Point Accelerator Enabling Faster Picking Robots	IEEE Transactions on Industrial Electronics	有	2020/3

【外部発表】

(a) 学会発表・講演

番号	発表者	所属	タイトル	会議名	発表年月
1	Neha Chauhan, Tsuyoshi Ishiki, Dongju Li	東京工業大学	Speaker Recognition using LPC, MFCC, ZCR features with ANN and SVM Classifier for large input Database	ICCCS (International Conference on Computer and Communications Systems) 2019, Singapore	2019/2
2	小菅 敦丈, 大島 俊	株式会社日立製作所	An Object-POST Estimation Acceleration Technique for Picking Robot Applications by Using Graph-Reusing K-NN Search	IEEE Graph computing 2019	2019/9
3	小菅 敦丈, 大島 俊	株式会社日立製作所	ソーティングネットワーク回路によるグラフ型近傍点探索を用いたピッキングロボット向け物体姿勢推定高速化手法	IEICE ソサイエティ大会 2019	2019/9

番号	発表者	所属	タイトル	会議名	発表年月
4	Tomoya Kashimata, Toshiaki Kitamura, Keiji Kimura, Hironori Kasahara	早稲田大学	Cascaded DMA Controller for Speedup of Indirect Memory Access in Irregular Applications	SC19	2019/11
5	Viviana Crescitelli, Atsutake Kosuge, Takashi Oshima	株式会社日立製作所	Towards Activity Recognition under variability of lighting conditions for Human-Robot Collaboration	UPINLBS	2019/11
6	Keiji Kimura, Kazuhi Fujita, Kazuki Yamamoto, Tomoya Hashimata, Toshiaki Kitamura, Hironori Kahasara	早稲田大学	Automatically Parallelizing Compiler Cooperative OSCAR Vector Multicore	IWIA2020	2020/2
7	山本 一貴, 藤田 一輝, 柏俣 智哉, 高橋 健, Boma A. Adhi, 北村 俊明, 川島 慧大, 納富 昭, 森 裕司, 木村 啓二, 笠原 博徳	早稲田大学, オスカーテクノロジー株式会社, 株式会社, 株式会社 エヌエスアイテクス	マルチターゲット自動並列化コンパイラにおけるアクセラレータコスト推定手法の検討	IEICE ETNET	2020/2

番号	発表者	所属	タイトル	会議名	発表年月
8	Boma A. ADHI, Tomoya Kashimata , Ken Takahashi, Keiji Kimura, Hironori Kasahara	早稲田大学	Compiler Software Coherent Control for Embedded High- performance Multicore	IEICE	2020/3
9	Viviana Crescitelli, Atsutake Kosuge, Takashi Oshima	株式会社日立製作 所	A camera fusion approach for Multi Person POSe Estimation in low light environments	2020 IEEE Sensors Applications Symposium	2020/3
10	Viviana Crescitelli, Atsutake Kosuge, Takashi Oshima	株式会社日立製作 所	Towards Real-Time Multi- Person POSe Estimation in low light environments	IEICE 総合大会 2020	2020/3
11	小菅 敦文, 大島 俊	株式会社日立製作 所	A 1200x1200 8-Edges/Vertex FPGA-based Motion-Planning Accelerator for Dual-Arm- Robot Manipulation Systems	2020 Symposia on VLSI Technology and Circuits	2020/6
12	Neha Chauhan, TsuyoshiIs shiki, Dongju Li	東京工業大学	Speaker Recognition using fusion of features with Feedforward Artificial Neural Network and Support Vector Machine	International Conference on Intelligent Engineering and Management (ICIEM 2020)	2020/6
13	Nabilah Shabrina, Dongju Li, Tsuyoshi Isshiki	東京工業大学	Small Area Fingerprint Verification using Deep Convolutional Neural Network	International Conference on Intelligent Engineering and Management (ICIEM 2020)	2020/6

(b) 展示会への出典

番号	所属	タイトル	展示会名	発表年月
1	株式会社日立製作所	ロボットピッキングシステムデモン レーション	Hitachi Social Innovation Forum 2019	2020/3
2	株式会社日立製作所	ロボットピッキングシステムデモン レーション	国際物流総合展 2020	2020/3

◎研究開発テーマ「完全自動運転に向けたシステムオンチップとソフトウェアプラットフォームの研究開発」

【論文】

番号	発表者	所属	タイトル	発表誌名、ページ番号	査読	発表年月
1	Seiya Maeda, Yuya Maruyama, Takuya Azumi	埼玉大学, 大阪大学	Static Program Placement Platform for Embedded Multi-Core Multi-Cluster Systems	Demo Session of IEEE Real-Time and Embedded Technology and Applications Symposium (RTAS)	有	2019/4
2	Hiroyuki Chishiro, Kazutoshi Suito, Tsutomu Ito, Seiya Maeda, Takuya Azumi, Kenji Funaoka, Shinpei Kato	東京大学, 株式会社アクセル, 埼玉大学, 株式会社ティアフォー	Towards Heterogeneous Computing Platforms for Autonomous Driving	IEEE 15th International Conference on Embedded Software and Systems (ICESS2019)	無	2019/6
3	安積 卓也, 丸山 雄也, 前田 青也, 加藤 真平	埼玉大学, 大阪大学, 東京大学	Autoware on Many-core Platform: NoC ベース組込みメニーコアプロセッサ向け自動運転プラットフォーム ※優秀論文賞 (ベストペーパー) 受賞	組込みシステムシンポジウム (ESS2019)	有	2019/9
4	西村 啓佑, 粟本 真一, 千代 浩之, 加藤 真平	東京大学, 東京工業大学	ROOP: ヘアメタルプログラム向けオンラインジャッジプラットフォーム	第 31 回コンピュータシステムシンポジウム (ComSys2019)	有	2019/12
5	Keita Miura, Takuya Azumi	埼玉大学	Converting Driving Scenario Framework for Testing Self-Driving Systems	EUC 2020: International Conference on Embedded and Ubiquitous Computing	有	2020/12
6	Yuqing Yang, Takuya Azumi	埼玉大学	Exploring Real-Time Executor on ROS 2	IEEE International Conference on Embedded Software and Systems (ICESS)	有	2020/12

【外部発表】

(a) 学会発表・講演

番号	発表者	所属	タイトル	会議名	発表年月
1	Seiya Maeda, Yuya Maruyama, Takuya Azumi	Univ. of Saitama/ Univ. of Osaka/ Univ. of Saitama	Static Program Placement Platform for Embedded Multi-Core Multi-Cluster Systems	Demo Session of IEEE Real-Time and Embedded Technology and Applications Symposium (RTAS)	2019/4
2	Hiroyuki Chishiro, Kazutoshi Suito, Tsutomu Ito, Seiya Maeda, Takuya Azumi, Kenji Funaoka, Shinpei Kato	東京大学, 株式会社アクセル, 埼玉大学, 株式会社ティアフォー	System on a Chip and Software Platforms for Fully Autonomous Driving	IEEE 15th International Conference on Embedded Software and Systems (ICES2019)	2019/6
3	Hiroyuki Chishiro	東京大学	Towards Heterogeneous Computing Platforms for Autonomous Vehicles	The 2019 International Symposium for Advanced Computing and Information Technology [Keynote]	2019/8
4	安積 卓也, 丸山 雄也, 前田 青也, 加藤 真平	埼玉大学, 大阪大学, 東京大学	Autaware on Many-core Platform: NoC ベース組込みメモリーコアプロセッサ向け自動運転プラットフォーム ※優秀論文賞 (ベストペーパー) 受賞	組込みシステムシンポジウム (ESS2019)	2019/9
5	西村 啓佑, 粟本 真一, 千代 浩之, 加藤 真平	東京大学, 東京工業大学	ROOP : ヘアメタルプログラム向けオンラインジャッジプラットフォーム	第 31 回コンピュータシステムシンポジウム (ComSys2019)	2019/12
6	Shinpei Kato	東京大学	Heterogeneous Computing Platforms for Autonomous Vehicles	2020 International Solid-State Circuits Conference (ISSCC2020) [Invited]	2020/2

番号	発表者	所属	タイトル	会議名	発表年月
7	Takuya Azumi, Yuya Maruyama, Shinpei Kato	埼玉大学, 大阪大学, 東京大学	ROS-lite: ROS Framework for NoC-Based Embedded Many-Core Platform	IEEE/RSJ International Conference on Intelligent Robots and Systems (IROS 2020)	2020/10

(b) 新聞・雑誌等への掲載

番号	所属	発表内容	発表先	発表年月
1		NEDO「高効率・高速処理を可能とするAI チップ・次世代コンピューティングの技術開発」事業採択のお知らせ	PRTIMES https://prtimes.jp/main/html/rd/p/000000025.000004053.html	2019/3/29
2		アクセルとティアフォー、AI ハードウェアアクセラレータの製品化に向けて連携を強化	PRTIMES https://prtimes.jp/main/html/rd/p/000000033.000004053.html	2020/6/23
3		西新宿エリアで5Gを活用した自動運転タクシーの実証実験（フェーズII）を始動	PRTIMES https://prtimes.jp/main/html/rd/p/000000022.000050415.html	2020/10/9

(c) 展示会への出典

番号	所属	タイトル	展示会名	発表年月
1	株式会社ティアフォー	Autoare をコアとしたオープンエコシステムの紹介	CES 2020	2020/1
2	株式会社ティアフォー	自動運転仕様の JPN TAXI 車両	第12回 オートモーティブ ワールド –クルマの先端技術展–	2020/1
3	株式会社アクセル, 株式会社ティアフォー	Autoware Ecosystems with ARM Devices	Arm DevSummit 2020 ※オンラインイベント	2020/10
4	株式会社アクセル, 株式会社ティアフォー	完全自動運転社会の実現へ！高速データ処理を実現する SoC 研究開発	CEATEC 2020	2020/10

◎研究開発テーマ「セキュアオープンアーキテクチャ基盤技術とその AI エッジ応用研究開発」

【特許】

番号	出願者	出願番号	国内 外国 PCT	出願日	状態	名 称	発明者
1	株式会社日立製作所	特願 2020-140295	国内	2020/8/21	出願済	データ処理方法、エッジ装置、および、データ処理システム	新保 他
2	株式会社日立製作所	特願 2020-138965	未定	2020/08/19	出願済	シェアリングコンピューティングシステム、リソースシェアリング方法	木下 他

【論文】

番号	発表者	所属	タイトル	発表誌名、ページ番号	査読	発表年月
1	Trong-Thuc Hoang, Ckristian Duran, Duc-Thinh Nguyen, Hoang ; Duc-Hung Le, Akira Tsukamoto, Kuniyasu Suzaki, Cong-Kha Pham	電気通信大学, 産業技術総合研究所, セキュアオープンアーキテクチャ・エッジ基盤技術研究組合	Quick Boot of Trusted Execution Environment With Hardware Accelerators	IEEE Access, 74015 – 74023 (Impact Factor 4.098)	有	2020/4
2	須崎 有康, 佐々木 貴之	セキュアオープンアーキテクチャ・エッジ基盤技術研究組合, 産業技術総合研究所, 日本電気株式会社, 横浜国立大学	Trusted Execution Environment によるシステムの堅牢化	情報処理学会学会誌, 情報処理	無	2020/05
3	須崎 有康	セキュアオープンアーキテクチャ・エッジ基盤技術研究組合, 産業技術総合研究所	Trusted Execution Environment の実装とそれを支える技術	電子情報通信学会 基礎・境界サイエティ誌 Fundamental Reviews	無	2020/10

番号	発表者	所属	タイトル	発表誌名、ページ番号	査読	発表年月
4	Trong-Thuc Hoang, Ckristian Duran, Khai-Duy Nguyen, Tuan-Kiet Dang, Quynh Nguyen, Quang Nhu, Phuc Hong Than, Xuan-Tu Tran, Duc-Hung Lee, Akira Tsukamoto, Kuniyasu Suzuki, Cong-Kha Pham	電気通信大学, 産業技術総合研究所, DUT, DTU, VNU-UET, VNU-HCMUS, セキュアオープンアーキテクチャ・エッジ基盤技術研究組合	Low-power High-performance 32-bit RISC-V Microcontroller on 65-nm Silicon-On-Thin-BOX (SOTB)	IEICE Electronics Express, Vol.VV, No.NN, 1-6, pp.1-6 (Impact Factor 0.788)	有	2020/10

【外部発表】

(a) 学会発表・講演

番号	発表者	所属	タイトル	会議名	発表年月
1	須崎 有康	セキュアオープンアーキテクチャ・エッジ基盤技術研究組合	TEE を中心とする CPU セキュリティ機能の動向	一般社団法人 組込みシステム技術協会 (JASA)機関紙 Bulletin JASA	2019/4
2	荒川 文男, 池田 誠, 塚本 明, 須崎 有康	東京大学, 産業技術総合研究所, セキュアオープンアーキテクチャ・エッジ基盤技術研究組合	Trusted Execution Environment (TEE) with Open Processor Cores	MPSoC (Multicore and Multiprocessor SoCs) Forum 2019	2019/7
3	濱口, 柏山	セキュアオープンアーキテクチャ・エッジ基盤技術研究組合	「セキュアオープンアーキテクチャ技術基盤とその AI エッジ応用研究開発」のプロジェクト紹介	内閣サイバーセキュリティセンター (NISC)へのセキュリティ関連取り組み説明会	2019/9

番号	発表者	所属	タイトル	会議名	発表年月
4	須崎 有康	セキュアオープンアーキテクチャ・エッジ基盤技術研究組合	ASPLOS2019 参加報告	情報処理学会学会誌、情報処理	2019/9
5	須崎 有康	セキュアオープンアーキテクチャ・エッジ基盤技術研究組合	RISC-V TEE の開発	RISC-V Day Tokyo 2019	2019/9
6	柏山	セキュアオープンアーキテクチャ・エッジ基盤技術研究組合	「セキュアオープンアーキテクチャ技術基盤とその AI エッジ応用研究開発」のプロジェクト紹介	モバイルコンピューティング推進コンソーシアム(MCPC) AI&ロボット委員会講演	2019/10
7	須崎有康, 塚本 明, 小島一元, ホアン トロン ツック, 師尾 彬	セキュアオープンアーキテクチャ・エッジ基盤技術研究組合, 産業技術総合研究所	3 種類の TEE 比較 (Intel SGX, ARM TrustZone, RISC-V Keystone)	電子情報通信学会、ハードウェアセキュリティフォーラム 2019	2019/12
8	柏山	セキュアオープンアーキテクチャ・エッジ基盤技術研究組合	CASE クルマの Cyber Security 実装検討	ITS Japan 第 17 回 ITS シンポジウム 2019	2019/12
9	Kuniyasu Suzaki, Kenta Nakajima, Akira Tsukamoto, Tsukasa Oi	セキュアオープンアーキテクチャ・エッジ基盤技術研究組合, 産業技術総合研究所	WiP: Library Implementation and Performance Analysis of GlobalPlatform TEE Internal API for Intel SGX and RISC-V Keystone	The 19th IEEE International Conference on Trust, Security and Privacy in Computing and Communications (IEEE TrustCom 2020)	2020/12
10	須崎有康, 塚本 明, 小島一元, 中嶋健太, Hoang Trong Thuc, 師尾彬	セキュアオープンアーキテクチャ・エッジ基盤技術研究組合, 電気通信大学, 東京大学	TEE比較	電子情報通信学会、暗号と情報セキュリティシンポジウム (SCIS2020)	2020/1
11	荒川文男, 池田 誠, 塚本明, 須崎 有康	東京大学, 産業技術総合研究所, セキュアオープンアーキテクチャ・エッジ基盤技術研究組合	RISC-Vのセキュリティ仕様のローエンドプロセッサへの適用性の検討	電子情報通信学会、暗号と情報セキュリティシンポジウム (SCIS2020)	2020/1

番号	発表者	所属	タイトル	会議名	発表年月
12	Trong-Thuc Hoang, Akira Tsukamoto, Kazumoto Kojima, Kuniyasu Suzaki	電気通信大学, 産業技術総合研究所, セキュアオープンアーキテクチャ・エッジ基盤技術研究組合	Survey on Timing Side-Channel Attacks on Microarchitecture and Countermeasures	電子情報通信学会、暗号と情報セキュリティシンポジウム (SCIS2020)	2020/1
13	宮澤 慎一	セキュアオープンアーキテクチャ・エッジ基盤技術研究組合	プラットフォームセキュリティの技術の変遷	電子情報通信学会、暗号と情報セキュリティシンポジウム (SCIS2020)	2020/1
14	柏山	セキュアオープンアーキテクチャ・エッジ基盤技術研究組合	Malware Cyber-Securityへの量子コンピューティング応用可能性に関する考察	モバイルコンピューティング推進コンソーシアム(MCPC) 技術解説書論文集「拡大する量子コンピューティングその社会実装ポテンシャル」	2020/3
15	Ckristian Duran, Trong-Thuc Hoang, Akira Tsukamoto, Kuniyasu Suzaki, Cong-Kha Pham	電気通信大学, 産業技術総合研究所, セキュアオープンアーキテクチャ・エッジ基盤技術研究組合	TEE Boot Procedure with Crypto-accelerators in RISC-V Processors	Fourth Workshop on Computer Architecture Research with RISC-V (CARRV 2020)	2020/5
16	Anh-Tien Le, Ba-Anh Dao, Kuniyasu Suzaki, Cong-Kha Pham	電気通信大学, 産業技術総合研究所, セキュアオープンアーキテクチャ・エッジ基盤技術研究組合	Experiment on Replication of Side Channel Attack via Cache of RISC-V Berkeley Out-of-order Machine (BOOM) Implemented on FPGA	Fourth Workshop on Computer Architecture Research with RISC-V (CARRV 2020)	2020/5

番号	発表者	所属	タイトル	会議名	発表年月
17	Fumio Arakawa, Makoto Ikeda, Akira Tsukamoto, Kuniyasu Suzaki	東京大学, 産業技術総合研究所, セキュアオープンアーキテクチャ・エッジ基盤技術研究組合	Examination of applicability of RISC-V security specifications to low-end processors	IEEE first International Workshop on Secure RISC-V	2020/8
18	Ba-Anh Dao, Anh-Tien Le, Trong-Thuc Hoang, Akira Tsukamoto, Kuniyasu Suzaki, Cong-Kha Pham	電気通信大学, 産業技術総合研究所, セキュアオープンアーキテクチャ・エッジ基盤技術研究組合	Dynamic Frequency Scaling as a countermeasure against simple power analysis attack in RISC-V processors	IEEE first International Workshop on Secure RISC-V	2020/8
19	Akira Tsukamoto, Kuniyasu Suzaki	産業技術総合研究所 セキュアオープンアーキテクチャ・エッジ基盤技術研究組合	TEEP (Trusted Execution Environment Provisioning) on RISC-V	RISC-V Global Forum	2020/9
20	Kenta Nakajima, Kuniyasu Suzaki	セキュアオープンアーキテクチャ・エッジ基盤技術研究組合, 産業技術総合研究所	Portable Implementation of GlobalPlatform API for TEE	RISC-V Global Forum	2020/9
21	Kuniyasu Suzaki, Kenta Nakajima, Tsukasa Oi, Akira Tsukamoto	セキュアオープンアーキテクチャ・エッジ基盤技術研究組合, 産業技術総合研究所	WiP: Performance and Behavior of Trusted Execution Environment and Rich Execution Environment on ARM, X86-64, and RISC-V	Hardware and Architectural Support for Security and Privacy (HASP) 2020	2020/10

番号	発表者	所属	タイトル	会議名	発表年月
22	須崎 有康, 中嶋 健太, 大居 司, 永田 貴彦, 菊池 正史, 塚本 明, 宮澤 慎一, 磯部 光平, 伊藤 大輔, 木村 貞弘, 安達 浩次, 高橋 睦史	産業技術総合研究所 セキュアオープンアーキテ クチャ・エッジ基盤技術 研究組合, セコム株式 会社, 株式会社エヌエ スアイテクス 電気通信大学,	RISC-V TEEを強化するためのSecure CoProcessorとそれを活用するソフトウェア	コンピュータセキュリティシンポジウム 2020	2020/10
23	須崎 有康	セキュアオープンアーキテ クチャ・エッジ基盤技術 研究組合, 産業技術 総合研究所	招待講演: 「TEE (Trusted Execution Environment)は第二の仮想化技術になるか?	情報処理学会 第 32 回コンピュータシステム・ シンポジウム (ComSys2020)	2020/12
24	Akira Tsukamoto, Kuniyasu Suzaki	産業技術総合研究所 セキュアオープンアーキテ クチャ・エッジ基盤技術 研究組合	TEEP (Trusted Execution Environment Provisioning) Implementation on RISC-V Keystone and Arm TrustZone	Open Source Forum Japan	2020/12

(b) 新聞・雑誌等への掲載

番号	所属	発表内容	発表先	発表年月
1	セキュアオープンアーキテクチャ・エッジ基盤技術研究組合	広報文タイトル: RISC-V の上にオープンなセキュリティ基盤を構築するための技術研究組合「TRASIO」が活動開始		2019/11/6

◎研究開発テーマ「AI エッジデバイスの横断的なセキュリティ評価に必要な基盤技術の研究開発」

【特許】

番号	出願者	出願番号	国内 外国 PCT	出願日	状態	名 称	発明者
1	産業技術総合研究所	特願 2019-190852	国内	2019/10/8	出願済	識別補助データ生成技術及び識別情報抽出技術	古原
2	産業技術総合研究所, 早稲田大学	特願 2020-176747	国内	2020/10/21	出願済	個体識別子の付与方法および個体識別子を有する対象物	法元, 島本, 水野, 他

【論文】

番号	発表者	所属	タイトル	発表誌名、ページ番号	査読	発表年月
1	吉田, 松本, 他	横浜国立大学	白色干渉計を讀取装置とした光学的ナノ人工物メトリクス	レーザー研究, 第 47 巻, 第 6 号, pp.295-299	有	2019/6
2	野高, 水野, 他	早稲田大学, 他	QFP/quartz adhesive bonding with surface treatment for physical security of edge artificial intelligence devices	Transactions of The Japan Institute of Electronics, Packaging Vol.13	有	2020/12 (採録決定)

【外部発表】

(a) 学会発表・講演

番号	発表者	所属	タイトル	会議名	発表年月
1	呂, 葛西, 他	北海道大学, 他	ナノ人工物メトリクスのためのレジスト倒壊ランダムパターン形成と評価	第 6 6 回応用物理学会春季学術講演会	2019/3
2	葛西, 他	北海道大学, 他	ナノ人工物メトリクスのための 2 次元ランダム構造形成プロセス最適化と電氣的読出しの実験的検討	電子情報通信学会 SDM ED CPM 合同研究会	2019/5
3	吉田, 松本, 他	横浜国立大学	複数の受光素子を用いたパルス方式測距 LIDAR の計測セキュリティ	電子情報通信学会技術研究報告, vol.119, no.143, HWS2019-36	2019/7
4	葛西, 他	北海道大学, 他	Formation and Characterization of 2D Random Si Nano-Pattern Using Resist Collapse for Nano-Artifact Metrics	2019 Asia-Pacific Workshop on Fundamentals and Applications of Advanced Semiconductor Devices (AWAD 2019)	2019/7
5	豎, 他	九州大学	ナノ人工物メトリクスのための白色干渉画像群の取得と解析	第 20 回情報フォトニクス研究グループ研究会	2019/9

番号	発表者	所属	タイトル	会議名	発表年月
6	葛西, 他	北海道大学, 他	[招待講演]ナノ人工物メトリクスを実現するランダムナノ構造形成と電気的読み出し技術	電子情報通信学会シリコン材料デバイス研究	2019/10
7	豎, 他	九州大学	Evaluation of original nano-artifact images obtained by a simplified optical equipment based on experimentally calculated FMR/FNMR	The 4th Asian Applied Physics Conference	2019/11
8	豎, 他	九州大学	Security performance of nano-artifact metrics based on customized white light interferometric system	The 9th Korea-Japan Workshop on Digital Holography and Information Photonics (DHIP2019)	2019/12
9	鈴木, 他	三菱電機株式会社	自律システムを想定したセンサ攻撃シミュレータの開発	2020 年暗号と情報セキュリティシンポジウム(SCIS2020)	2020/1
10	梨本, 他	三菱電機株式会社	ファスト FMCW 方式の MIMO レーダの攻撃評価シミュレーション	2020 年暗号と情報セキュリティシンポジウム(SCIS2020)	2020/1
11	松本, 他	横浜国立大学	超音波センサに対する攻撃を分析する音響 シミュレータ	2020 年暗号と情報セキュリティシンポジウム(SCIS2020)	2020/1
12	吉田, 松本, 他	横浜国立大学	局所特徴量に基づく 1 対 N 認証人工物メトリックシステム	2020 年暗号と情報セキュリティシンポジウム(SCIS2020)	2020/1
13	宮園, 吉田, 松本, 他	横浜国立大学	車線検出機能に対する色調改変攻撃	電子情報通信学会技術研究報告, vol.119, no.444, HWS2019-113	2020/3
14	泉田	株式会社 IJJ インベションインスティテュート	解析対象への前提知識を必要としないバイナリプログラム解析技術	Internet Infrastructure Review (IIR), vol.46, pp.24-31	2020/3
15	豎, 他	九州大学	高度物理セキュリティのための白色干渉像取得系が示す 個体認証性	第 81 回応用物理学会秋季学術講演会	2020/9
16	葛西, 他	北海道大学	ナノ人工物メトリクスのためのナノ構造埋込 Si MOSFET の試作と評価	第 81 回応用物理学会秋季学術講演会	2020/9
17	永田, 他	神戸大学	オンチップ擾乱検知に向けた SAR ADC 搭載 IC チップの評価	2020 年電子情報通信学会ソサイエティ大会	2020/9
18	永田, 他	神戸大学	A Dual-mode SAR ADC Enabling On-chip Detection of Offchip Power Noise Measurements by Attackers	International Conference on Solid State Devices and Materials (SSDM 2020)	2020/9
19	松本, 他	横浜国立大学	超音波センサに対するレーザー利用攻撃	電子情報通信学会技術研究報告, vol. 120, no. 211 (HWS2020-28)	2020/10

番号	発表者	所属	タイトル	会議名	発表年月
20	水野, 他	早稲田大学	5G 通信への応用可能な特性の実現を目指した LT/Quartz 複合 SAW 基板の作製	第 7 回電子デバイスフォーラム 京都 (招待講演)	2020/10
21	葛西, 他	北海道大学	Fabrication and characterization of nano-convexembedded Si MOSFET toward electrical nanostructure discrimination	33rd International Microprocesses and Nanotechnology Conference (MNC2020)	2020/11
22	水野, 他	早稲田大学	Short Note QFP/quartz adhesive bonding with surface treatment for physical security of edge artificial intelligence	2020 年 12 月 JIEP 英文誌 (Trans. JIEP)	2020/12

【受賞実績】

番号	発表者	所属	受賞種類	受賞内容	受賞年月
1	Renpeng Lu	北海道大学	2019 Asia-Pacific Workshop on Fundamentals and Applications of Advanced Semiconductor Devices (AWAD 2019)	Formation and Characterization of 2D Random Si Nano-Pattern Using Resist Collapse for Nano-Artifact Metrics	2019/3
2	梨本 翔永	三菱電機株式会社	2020 年暗号と情報セキュリティシンポジウム (SCIS2020) SCIS2020 論文賞	ファスト FMCW 方式の MIMO レーダの攻撃評価シミュレーション	2021/1 (予定)

以上

「高効率・高速処理を可能とする AIチップ・次世代コンピューティングの 技術開発」

研究開発項目① 革新的AIエッジコンピューティング技術の開発

研究開発項目② 次世代コンピューティング技術の開発

研究開発項目③ 高度なIoT社会を実現する横断的技術開発

事業原簿

担当部	国立研究開発法人 新エネルギー・産業技術総合開発機構 IoT 推進部
-----	--

【第2部】

研究開発項目② 次世代コンピューティング技術の開発

(事業期間:2018～2027 年度)

—目次—

プロジェクト用語集	(2-10)
1. 事業の位置付け・必要性について.....	2-1-1
1.1 事業実施の背景.....	2-1-1
1.2 政策的位置づけ.....	2-1-2
1.3 アウトカム効果.....	2-1-2
1.4 国際的なポジション.....	2-1-2
1.5 海外状況のまとめ.....	2-1-3
1.6 NEDO が関与する意義.....	2-1-4
1.7 今回の事業の位置づけ.....	2-1-4
2. 研究開発マネジメントについて.....	2-2-5
2.1 事業の目的.....	2-2-5
2.2 研究開発目標と根拠.....	2-2-5
2.3 研究開発スケジュール.....	2-2-9
2.4 プロジェクト費用.....	2-2-10
2.5 マネジメント体制.....	2-2-10
2.6 実施体制.....	2-2-13
2.7 動向・情勢の把握と対応.....	2-2-14
2.8 知財マネジメント.....	2-2-14
3. 研究開発成果について.....	2-3-1
3.1 研究開発テーマ「実社会の事象をリアルタイム処理可能な次世代データ処理基盤技術の研究開発」	2-3-2
3.1.1 研究開発サブテーマ「実社会の事象をリアルタイム処理可能な次世代データ処理基盤技術の研究開 発:実施項目Ⅰ 基礎研究」.....	2-3-2
3.1.1.1 概要.....	2-3-2
3.1.1.2 最終目標と根拠.....	2-3-3
3.1.1.3 目標の達成度.....	2-3-5
3.1.1.4 成果と意義.....	2-3-6
3.1.1.5 成果の普及.....	2-3-7
3.1.2 研究開発サブテーマ「実社会の事象をリアルタイム処理可能な次世代データ処理基盤技術の研究開 発:実施項目Ⅱ 実用化研究」.....	2-3-8
3.1.2.1 概要.....	2-3-8
3.1.2.2 最終目標と根拠.....	2-3-8
3.1.2.3 目標の達成度.....	2-3-8
3.1.2.4 成果と意義.....	2-3-9
3.1.2.5 成果の普及.....	2-3-9
3.1.3 研究開発サブテーマ「実社会の事象をリアルタイム処理可能な次世代データ処理基盤技術の研究開 発:実証研究」.....	2-3-9
3.1.3.1 概要.....	2-3-9

3.1.3.2	最終目標と根拠	2-3-10
3.1.3.3	目標の達成度	2-3-11
3.1.3.4	成果と意義	2-3-11
3.1.3.5	成果の普及	2-3-12
3.2	研究開発テーマ「超電導パラメロン素子を用いた量子アニーリング技術の研究開発」	2-3-14
3.2.1	研究開発サブテーマ「高コヒーレンス超電導パラメロンアニーリング素子の研究開発」	2-3-19
3.2.1.1	概要	2-3-19
3.2.1.2	最終目標と根拠	2-3-20
3.2.1.3	目標の達成度	2-3-21
3.2.1.4	成果と意義	2-3-21
3.2.1.5	成果の普及	2-3-23
3.2.2	研究開発サブテーマ多ビット化を支える 3次元実装技術の研究開発(a)超電導 TSV を有するインター ポータの開発」	2-3-23
3.2.2.1	概要	2-3-23
3.2.2.2	最終目標と根拠	2-3-24
3.2.2.3	目標の達成度	2-3-24
3.2.2.4	成果と意義	2-3-24
3.2.2.5	成果の普及	2-3-25
3.2.3	研究開発サブテーマ「多ビット化を支える 3次元実装技術の研究開発(b)プローブピンによる信号取り出 し技術の開発」	2-3-25
3.2.3.1	概要	2-3-25
3.2.3.2	最終目標と根拠	2-3-25
3.2.3.3	目標の達成度	2-3-26
3.2.3.4	成果と意義	2-3-26
3.2.3.5	成果の普及	2-3-29
3.2.4	研究開発サブテーマ「多体相互作用の高効率な表現方法の研究開発」	2-3-29
3.2.4.1	概要	2-3-29
3.2.4.2	最終目標と根拠	2-3-29
3.2.4.3	目標の達成度	2-3-30
3.2.4.4	成果と意義	2-3-30
3.2.4.5	成果の普及	2-3-30
3.2.4.6	その他	2-3-30
3.2.5	研究開発サブテーマ「量子アニーリング機構の設計最適化技術に関する研究開発」	2-3-31
3.2.5.1	概要	2-3-31
3.2.5.2	最終目標と根拠	2-3-31
3.2.5.3	目標の達成度	2-3-32
3.2.5.4	成果と意義	2-3-32
3.2.5.5	成果の普及	2-3-33
3.2.6	研究開発サブテーマ「量子磁束回路を用いた量子ビット用制御・読出し回路の研究開発」	2-3-33
3.2.6.1	概要	2-3-33
3.2.6.2	最終目標と根拠	2-3-33
3.2.6.3	目標の達成度	2-3-34

3.2.6.4	成果と意義	2-3-34
3.2.6.5	成果の普及	2-3-35
3.2.7	研究開発サブテーマ「量子ダイナミクスの高速並列シミュレーションによる量子アニーリングの性能評価の研究開発」	2-3-35
3.2.7.1	概要	2-3-35
3.2.7.2	最終目標と根拠	2-3-35
3.2.7.3	目標の達成度	2-3-35
3.2.7.4	成果と意義	2-3-36
3.2.7.5	成果の普及	2-3-36
3.3	研究開発テーマ「ディスアグリゲーション型次世代データセンタに適用する光電ハイブリッドスイッチを用いた高速低電力データ伝送システムの研究開発」	2-3-37
3.3.1	研究開発サブテーマ「光電ハイブリッドスイッチ制御技術および光電ハイブリッドスイッチシステム実証」	2-3-38
3.3.1.1	概要	2-3-38
3.3.1.2	最終目標と根拠	2-3-38
3.3.1.3	目標の達成度	2-3-39
3.3.1.4	成果と意義	2-3-39
3.3.1.5	成果の普及	2-3-41
3.3.2	研究開発サブテーマ「光電ハイブリッドスイッチ制御アルゴリズム」	2-3-41
3.3.2.1	概要	2-3-41
3.3.2.2	最終目標と根拠	2-3-41
3.3.2.3	目標の達成度	2-3-41
3.3.2.4	成果と意義	2-3-42
3.3.2.5	成果の普及	2-3-43
3.3.3	研究開発サブテーマ「光スイッチネットワークアーキテクチャの最適化」	2-3-43
3.3.3.1	概要	2-3-43
3.3.3.2	最終目標と根拠	2-3-43
3.3.3.3	目標の達成度	2-3-43
3.3.3.4	成果と意義	2-3-43
3.3.3.5	成果の普及	2-3-45
3.3.4	研究開発サブテーマ「光波長送受信器」	2-3-46
3.3.4.1	概要	2-3-46
3.3.4.2	最終目標と根拠	2-3-46
3.3.4.3	目標の達成度	2-3-47
3.3.4.4	成果と意義	2-3-47
3.3.4.5	成果の普及	2-3-50
3.3.5	研究開発サブテーマ「バースト多値プロセッサ」	2-3-51
3.3.5.1	概要	2-3-51
3.3.5.2	最終目標と根拠	2-3-51
3.3.5.3	目標の達成度	2-3-51
3.3.5.4	成果と意義	2-3-51
3.3.5.5	成果の普及	2-3-54

3.3.6	研究開発サブテーマ「光コアスイッチ」	2-3-54
3.3.6.1	概要	2-3-54
3.3.6.2	最終目標と根拠	2-3-55
3.3.6.3	目標の達成度	2-3-55
3.3.6.4	成果と意義	2-3-55
3.3.6.5	成果の普及	2-3-57
3.3.7	研究開発サブテーマ「国際標準化」	2-3-57
3.3.7.1	概要	2-3-57
3.3.7.2	最終目標と根拠	2-3-57
3.3.7.3	目標の達成度	2-3-57
3.3.7.4	成果と意義	2-3-57
3.3.7.5	成果の普及	2-3-58
3.4	研究開発テーマ「イジングマシン共通ソフトウェア基盤の研究開発」	2-3-59
3.4.1	研究開発サブテーマ「イジングマシン共通ソフトウェア基盤の研究開発」	2-3-59
3.4.1.1	概要	2-3-59
3.4.1.2	最終目標と根拠	2-3-60
3.4.1.3	目標の達成度	2-3-61
3.4.1.4	成果と意義	2-3-62
3.4.1.5	成果の普及	2-3-68
3.5	研究開発テーマ「未来共生社会にむけたニューロモルフィックダイナミクスのポテンシャルの解明」	2-3-69
3.5.1	研究開発サブテーマ「身体と脳神経系のカップリングダイナミクスによる効率的かつ多様な行動生成」	2-3-69
3.5.1.1	概要	2-3-69
3.5.1.2	最終目標と根拠	2-3-69
3.5.1.3	目標の達成度	2-3-69
3.5.1.4	成果と意義	2-3-71
3.5.1.5	成果の普及	2-3-71
3.5.2	研究開発サブテーマ「ニューロモルフィックデバイスの探索」	2-3-71
3.5.2.1	概要	2-3-71
3.5.2.2	最終目標と根拠	2-3-71
3.5.2.3	目標の達成度	2-3-72
3.5.2.4	成果と意義	2-3-74
3.5.2.5	成果の普及	2-3-74
3.5.3	研究開発サブテーマ「ロボカップ@ホームによる脳型アーキテクチャの実証実験」	2-3-74
3.5.3.1	概要	2-3-74
3.5.3.2	最終目標と根拠	2-3-74
3.5.3.3	目標の達成度	2-3-75
3.5.3.4	成果と意義	2-3-75
3.5.3.5	成果の普及	2-3-75
3.6	研究開発テーマ「深層確率コンピューティング技術の研究開発」	2-3-77
3.6.1	研究開発サブテーマ「深層確率コンピューティングに適した計算アルゴリズムの研究開発」	2-3-77

3.6.1.1	概要	2-3-77
3.6.1.2	最終目標と根拠	2-3-77
3.6.1.3	目標の達成度	2-3-78
3.6.1.4	成果と意義	2-3-78
3.6.1.5	成果の普及	2-3-80
3.6.2	研究開発サブテーマ「確率プログラミング言語の研究開発」	2-3-81
3.6.2.1	概要	2-3-81
3.6.2.2	最終目標と根拠	2-3-82
3.6.2.3	目標の達成度	2-3-82
3.6.2.4	成果と意義	2-3-82
3.6.2.5	成果の普及	2-3-85
3.6.3	研究開発サブテーマ「深層確率コンピューティングに適したハードウェアシステムの開発」	2-3-85
3.6.3.1	概要	2-3-85
3.6.3.2	最終目標と根拠	2-3-86
3.6.3.3	目標の達成度	2-3-86
3.6.3.4	成果と意義	2-3-86
3.6.3.5	成果の普及	2-3-91
3.7	研究開発テーマ「イン不揮発性メモリ分散 Approximate コンピューティングの研究開発」	2-3-92
3.7.1	研究開発サブテーマ「イン不揮発性メモリ分散 Approximate コンピューティングの研究開発」	2-3-92
3.7.1.1	概要	2-3-92
3.7.1.2	最終目標と根拠	2-3-92
3.7.1.3	目標の達成度	2-3-93
3.7.1.4	成果と意義	2-3-94
3.7.1.5	成果の普及	2-3-98
3.7.1.6	その他	2-3-98
3.8	研究開発テーマ「物理ダイナミクスに基づく学習デバイスを備えた超高効率認知コンピューティングの研究開発」	2-3-99
3.8.1	研究開発サブテーマ「物理リザバーの数理・アルゴリズムの研究開発」	2-3-99
3.8.1.1	概要	2-3-99
3.8.1.2	最終目標と根拠	2-3-99
3.8.1.3	目標の達成度	2-3-100
3.8.1.4	成果と意義	2-3-101
3.8.1.5	成果の普及	2-3-101
3.8.2	研究開発サブテーマ「光リザバー・デバイス設計技術の研究開発」	2-3-101
3.8.2.1	概要	2-3-101
3.8.2.2	最終目標と根拠	2-3-101
3.8.2.3	目標の達成度	2-3-101
3.8.2.4	成果と意義	2-3-101
3.8.2.5	成果の普及	2-3-102
3.8.3	研究開発サブテーマ「スピン・リザバー・デバイス設計技術の研究開発」	2-3-102
3.8.3.1	概要	2-3-102
3.8.3.2	最終目標と根拠	2-3-103

3.8.3.3	目標の達成度	2-3-103
3.8.3.4	成果と意義	2-3-103
3.8.3.5	成果の普及	2-3-104
3.8.4	研究開発サブテーマ「物理リザーバーのコンポーネント化の研究開発」	2-3-104
3.8.4.1	概要	2-3-104
3.8.4.2	最終目標と根拠	2-3-104
3.8.4.3	目標の達成度	2-3-104
3.8.4.4	成果と意義	2-3-105
3.8.4.5	成果の普及	2-3-105
3.9	研究開発テーマ「2028年に性能100倍を達成する汎用性の高い高性能計算機アーキテクチャとシステムソフトウェアの技術の探索」	2-3-106
3.9.1	研究開発サブテーマ「2028年に性能100倍を達成する汎用性の高い高性能計算機アーキテクチャとシステムソフトウェアの技術の探索」	2-3-106
3.9.1.1	概要	2-3-106
3.9.1.2	最終目標と根拠	2-3-107
3.9.1.3	目標の達成度	2-3-108
3.9.1.4	成果と意義	2-3-109
3.9.1.5	成果の普及	2-3-109
4.	実用化・事業化に向けての見通し及び取り組みについて	2-4-1
4.1	実社会の事象をリアルタイム処理可能な次世代データ処理基盤技術の研究開発における実用化・事業化の見通し(日本電気株式会社)	2-4-1
4.1.1	概要	2-4-1
4.1.2	実用化・事業化への課題と対応策	2-4-1
4.1.3	実用化・事業化の体制	2-4-1
4.1.4	市場規模と経済効果	2-4-1
4.1.5	ベンチマーク	2-4-1
4.1.6	事業化までのマイルストーン	2-4-1
4.2	実社会の事象をリアルタイム処理可能な次世代データ処理基盤技術の研究開発における実用化・事業化の見通し(株式会社ノーチラス・テクノロジーズ)	2-4-2
4.2.1	概要	2-4-2
4.2.2	実用化・事業化への課題と対応策	2-4-2
4.2.3	実用化・事業化の体制	2-4-2
4.2.4	市場規模と経済効果	2-4-2
4.2.5	ベンチマーク	2-4-2
4.2.6	事業化までのマイルストーン	2-4-2
4.3	実社会の事象をリアルタイム処理可能な次世代データ処理基盤技術の研究開発における実用化・事業化の見通し(株式会社パスコ)	2-4-4
4.3.1	概要	2-4-4
4.3.2	実用化・事業化への課題と対応策	2-4-4
4.3.3	実用化・事業化の体制	2-4-4
4.3.4	市場規模と経済効果	2-4-4
4.3.5	ベンチマーク	2-4-5

4.3.6	事業化までのマイルストーン	2-4-5
4.4	超電導パラメロン素子を用いた量子アニーリング技術の研究開発における実用化・事業化の見通し (日本電気株式会社)	2-4-6
4.4.1	概要	2-4-6
4.4.2	実用化・事業化への課題と対応策	2-4-7
4.4.3	実用化・事業化の体制	2-4-9
4.4.4	市場規模と経済効果	2-4-9
4.4.5	ベンチマーク	2-4-10
4.4.6	事業化までのマイルストーン	2-4-10
4.5	ディスアグリゲーション型次世代データセンタに適用する光電ハイブリッドスイッチを用いた高速低電力 データ伝送システムの研究開発「光波長送受信器の研究開発」における実用化・事業化の見通し(技 術研究組合参加組合員)	2-4-12
4.5.1	概要	2-4-12
4.6	ディスアグリゲーション型次世代データセンタに適用する光電ハイブリッドスイッチを用いた高速低電力 データ伝送システムの研究開発「バースト多値プロセッサの研究開発」における実用化・事業化の見通 し(技術研究組合参加組合員)	2-4-13
4.6.1	概要	2-4-13
4.7	イジングマシン共通ソフトウェア基盤の研究開発における実用化・事業化の見通し(豊田通商株式会社、 株式会社フィクスターズ)	2-4-14
4.7.1	概要	2-4-14
4.7.2	実用化・事業化への課題と対応策	2-4-14
4.7.3	実用化・事業化の体制	2-4-17
4.7.4	市場規模と経済効果	2-4-18
4.7.5	ベンチマーク	2-4-18
4.7.6	事業化までのマイルストーン	2-4-18
4.8	未来共生社会にむけたニューロモルフィックダイナミクスのポテンシャルの解明「ニューロモルフィック デバイスの探索(レザバー)の研究開発」における実用化・事業化の見通し(株式会社日立製作所、産 業技術総合研究所、北海道大学、東京大学)	2-4-19
4.8.1	概要	2-4-19
4.8.2	実用化・事業化への課題と対応策	2-4-19
4.8.3	実用化・事業化の体制	2-4-19
4.8.4	市場規模と経済効果	2-4-19
4.8.5	ベンチマーク	2-4-20
4.8.6	事業化までのマイルストーン	2-4-20
4.9	未来共生社会にむけたニューロモルフィックダイナミクスのポテンシャルの解明「ロボカップ@ホームに よる脳型アーキテクチャの実証実験」における実用化・事業化の見通し(九州工業大学、大阪大学他)	2-4-21
4.9.1	概要	2-4-21
4.9.2	実用化・事業化への課題と対応策	2-4-21
4.9.3	実用化・事業化の体制	2-4-21
4.9.4	市場規模と経済効果	2-4-21
4.9.5	ベンチマーク	2-4-23

4.9.6	事業化までのマイルストーン	2-4-23
4.10	深層確率コンピューティング技術の研究開発における実用化・事業化の見通し	2-4-24
4.10.1	概要	2-4-24
4.10.2	実用化・事業化への課題と対応策	2-4-24
4.10.3	実用化・事業化の体制	2-4-24
4.10.4	市場規模と経済効果	2-4-24
4.10.5	ベンチマーク	2-4-25
4.10.6	事業化までのマイルストーン	2-4-25
4.11	イン不揮発性メモリ分散 Approximate コンピューティングの研究開発における実用化・事業化の見通し	2-4-26
4.11.1	概要	2-4-26
4.11.2	実用化・事業化への課題と対応策	2-4-26
4.11.3	実用化・事業化の体制	2-4-26
4.11.4	市場規模と経済効果	2-4-27
4.11.5	ベンチマーク	2-4-27
4.11.6	事業化までのマイルストーン	2-4-28
4.12	物理ダイナミクスに基づく学習デバイスを備えた超高効率認知コンピューティングの研究開発における実用化・事業化の見通し(日本アイ・ビー・エム株式会社、東京大学)	2-4-29
4.12.1	概要	2-4-29
4.12.2	実用化・事業化への課題と対応策	2-4-29
4.12.3	実用化・事業化の体制	2-4-29
4.12.4	市場規模と経済効果	2-4-29
4.12.5	ベンチマーク	2-4-30
4.12.6	事業化までのマイルストーン	2-4-30
4.13	2028年に性能100倍を達成する汎用性の高い高性能計算機アーキテクチャとシステムソフトウェアの技術の探索における実用化・事業化の見通し(国内企業システムベンダー等)	2-4-31
4.13.1	概要	2-4-31
4.13.2	実用化・事業化への課題と対応策	2-4-31
4.13.3	実用化・事業化の体制	2-4-31
4.13.4	市場規模と経済効果	2-4-32
4.13.5	ベンチマーク	2-4-32
4.13.6	事業化までのマイルストーン	2-4-32
4.14	2028年に性能100倍を達成する汎用性の高い高性能計算機アーキテクチャとシステムソフトウェアの技術の探索「McIMの研究開発」における実用化・事業化の見通し	2-4-33
4.14.1	概要	2-4-33
4.14.2	実用化・事業化への課題と対応策	2-4-33
4.14.3	実用化・事業化の体制	2-4-33
4.14.4	市場規模と経済効果	2-4-33
4.14.5	ベンチマーク	2-4-33
4.14.6	事業化までのマイルストーン	2-4-33

●特許論文等リスト(添付資料).....	2-添-1
◎研究開発テーマ「実社会の事象をリアルタイム処理可能な次世代データ処理基盤技術の研究開発」.....	2-添-1
◎研究開発テーマ「超電導パラメロン素子を用いた量子アニーリング技術の研究開発」.....	2-添-5
◎研究開発テーマ「ディスアグリゲーション型次世代データセンタに適用する光電ハイブリッドスイッチを用いた高速低電力データ伝送システムの研究開発」.....	2-添-15
◎研究開発テーマ「イジングマシン共通ソフトウェア基盤の研究開発」.....	2-添-18
◎研究開発テーマ「未来共生社会にむけたニューロモルフィックダイナミクスのポテンシャルの解明」.....	2-添-24
◎研究開発テーマ「深層確率コンピューティング技術の研究開発」.....	2-添-35
◎研究開発テーマ「イン揮発性メモリ分散 Approximate コンピューティングの研究開発」.....	2-添-37
◎研究開発テーマ「物理ダイナミクスに基づく学習デバイスを備えた超高効率認知コンピューティングの研究開発」.....	2-添-42
◎研究開発テーマ「2028 年に性能 100 倍を達成する汎用性の高い高性能計算機アーキテクチャとシステムソフトウェアの技術の探索」.....	2-添-46

プロジェクト用語集

用語	説明
3He 冷凍機	液化した 3He ガスの蒸発潜熱を利用して試料を冷却する冷凍機。ベース温度は 300mK 程であり希釈冷凍機ほどの極低温は実現できないが、3He ガスを循環させる必要がないため比較的コンパクトで安価
Approximate コンピューティング	アプリケーションのユーザが正しいとみなせる範囲の精度内で誤りを許容する代わりに、高実行性能・高電力効率の計算・通信・ストレージ機能達成するコンピューティング方式
Bayes by Backpropagation (BbB)	ベイジアンニューラルネットワークは、ネットワークのパラメタが確率分布で表現される深層確率モデルである。これに対し、ELBO の勾配を計算し、これを用いてパラメタを更新することで学習を行う計算手法
BeCu(ベリリウム銅)	プローブピンの材料として一般的によく使用される。柔らかく、接触抵抗が低いという特徴を有する
CGRA	粗粒度回路再構成可能アレイ (Coarse-Grain Reconfigurable Array)。FPGA(Field-Programmable Gate Array)のように回路をデバイス上に配置配線してその上で計算処理を実行することが可能なアーキテクチャだが、回路再構成単位がビット単位～の細粒度である FPGA と比べ、8-bit～32-bit 等語調が大きく任意の回路というよりは、数値計算などの特定の回路向けに設計されている。計算カーネルのデータフローグラフを回路として配置配線し実行するような用途が多い。マイクロプロセッサと比べて、低消費電力であり、演算器間のデータ移動を効率良く行えるものと期待される。配置配線という最適化問題を解くためにコンパイルは比較的長時間を要する
Computation-in-Memory	メモリを用いた機械学習の演算回路システム。メモリと演算回路の間のデータ移動を無くすことで、低電力・高速処理を実現
DBx1000	Carnegie Mellon University のデータベース研究グループが開発主導する評価用データベースシステム https://github.com/yxymit/DBx1000
D-wave 社	カナダの量子コンピューターのハードウェアの企業。世界で初めて量子アニーリングマシンを商用化した
FeFET	強誘電体材料を用いたトランジスタ型(FET 型)不揮発性メモリ
FIVO (Filtering Variational Objectives)	変分法では、対数周辺尤度の下限である、Evidence Lower Bound(ELBO)を最大化することでパラメータ学習を進める。FIVO は、ELBO の時系列版であり、粒子フィルタ(正確に言えば、Sequential Importance Sampling 法)をもちいて評価する
Flink	オープンソースの統合ストリーム処理およびバッチ処理フレームワーク https://flink.apache.org/
FLOPS-to-BYTES	近年、多くのアプリケーションがメモリ性能に律速されるため、ポストムーア時代における計算機の継続的な性能向上のために、アーキテクチャ設計において FLOPS(演算性能)の増加から BYTES(メモリや通信のバンド幅や

	メモリ容量)の増加に重点を移行していくべきという設計思想。本プロジェクトの3名を含む日本の学者により CF'16 において発表された
FPGA	Field Programmable Gate Array の略で、任意のハードウェア回路を実現できるように論理素子を二次元アレー状(Gate Array)に配置し、それらを任意に接続できるようにしたもの。設計現場のフィールドで機能を変更するプログラミングができるのでこのように呼ばれる
FPGA	Field-Programmable Gate Array、書き換え可能ゲートアレイの略。ユーザ側が回路をプログラム可能な LSI で、比較的大規模な回路まで実装できる。性能は専用 LSI に及ばないが、初期コストが安く開発できる。
GAN (Generative Adversarial Networks)	訓練データの分布を模倣するように、新しいデータを生成する深層学習モデルの一つ。顔画像の生成などが典型的な応用である。
geoSpark	大規模空間データの解析に利用されるフレームワーク https://sedona.apache.org/
GPU	Graphics Processing Unit の略で、画像処理などに特化したアクセラレータ。コア数が多く、またメモリアクセス速度も速いため、画像処理にとどまらず、機械学習や科学技術計算など一般的な用途として解くに並列性の高い計算に用いられる
HSR	TOYOTA HSR(Human Support Robot)はトヨタ自動車が開発する生活支援ロボットである。国内外 13 カ国、49 機関で研究開発に活用され、家庭やオフィス、病院、介護施設等での実証実験が進められている。経済産業省と NEDO が主催する World Robot Summit の競技会 Partner Robot Challenge (Real Space) および RoboCup@Home Domestic Standard Platform League の標準ロボットとして採用されており、HSR を用いた片付けタスクなどの各種ロボットベンチマークも世界的に競われている
HTAP	HTAP は hybrid transactional analytical processing の略であり、ガートナーによって定義された用語。トランザクション処理と分析の「壁を打ち破る」新しいアプリケーションアーキテクチャを指す
In(インジウム)	超電導材料の1つであり、超電導転移温度は 3.4K
Irregular Access	不連続なアドレスに対するメモリアクセス列のこと。CPU・GPU を問わず現在主流のキャッシュアーキテクチャとの相性が非常に悪く、例えば 128 バイトのキャッシュラインの 4 バイトしか使わないような効率の悪い資源(キャッシュ容量やメモリバンド幅)浪費を引き起す。疎行列で定式化されるアプリケーション(多くの科学技術計算やグラフ処理など)における配列の間接参照などによって頻繁に出現する。Gather/Scatter 処理のニアメモリプロセッシングにより、これまで未開拓な加速要因として活用可能である
i 線ステツパ	高精度の光学系を持つことで解像度が高く、またレチクルと呼ばれる回路パターンを作りこんだフォトマスクを用いて試料表面に塗布したフォトレジストに回路パターンを露光することで高速の露光も実現する。露光されたレジスト部分がのちの現像工程で除去されて、回路パターンが転写されたレジスト層が微細回路パターン加工用マスクとして用いられる。i 線の波長は 0.365 um であり露光の解像度は 0.5-1um 程度

LHZ 法	量子アニーリングを実行する際にどの素子とどの素子を相互作用させるか、ということについてのアルゴリズムの一つ。この方法では、隣接する素子との相互作用のみで、任意のイジング問題を扱うことができる。その代わりに、四つの隣接する素子間の四体相互作用が必要である
Material Requirement Planning (MRP)	資材所要量計画は工場などで使われる生産管理手法の一つ
McIM	本プロジェクトの課題 3 が提唱しているポストムーア時代向けのアーキテクチャ。汎用性と連続性と実装容易性を確保しながら、主に高いメモリ性能を実現するために、多数の低電力汎用コアをメモリ側に配置することを特徴とする。FLOPS-to-BYTES を志向するアプローチの一つ
MINN (Model Identification Neural Network)	VAE に基づく時系列向けのネットワークを、状態空間モデルとして理解しやすい形に改造したネットワーク群
Nb(ニオブ)	低温で超伝導となる金属の 1 つ。アルミニウムより硬く、超伝導転移温度も高い
OLAP	OLAP は online analytical processing の略であり、複雑で分析的な問い合わせに対し高速に結果を返すシステム
OLTP	OLAP は online transactional processing の略であり、データの入力と検索のトランザクション処理を扱うシステム
OpenMVG	Structure From Motion (SfM) のためのライブラリ。 複数の位置から撮影した静止画像群から、3次元空間で点群を構築する
OpenMVS	点群データから、より密な点群を求める Multi-View Stereo のためのライブラリ
PLC	Planar Lightwave Circuit、平面光波回路のこと
QAM 方式	Quadrature Amplitude Modulation :直交振幅変調方式のこと。16QAM は、位相が直交する 2 つの波を合成して搬送波とし、それぞれを 4 段階の振幅で識別する方式。1つの偏波で 4 ビットの伝送ができる。本事業では 2 つの偏波を多重して、それぞれを 16QAM 変調する DP(Dual Polarization)-16QAM 方式を採用している。また、QAM 方式以外に振幅識別を用いない QPSK(Quadrature Phase Shift Keying)変調も光コヒーレント伝送では多用されるため、本事業でも検討対象の変調方式も一つとしている
RBL 法	LHZ 法の変型版
Read only Anomaly	データベースにおける Anomaly とは Serializable ではない実行を引き起こす状態を指す。Read only Anomaly は 2004 年に見つかった Anomaly であり、とくに HTAP システムでは問題が顕在化する https://dl.acm.org/doi/10.1145/1031570.1031573
RISC-V	UC Berkeley を中心に開発されたオープンな RISC プロセッサ仕様。Rocket コアを中心とするフリーの実装も存在する。
ROS	ROS (Robot Operating System) はロボットアプリケーション作成を支援するミドルウェアで、ライブラリとツール群(ハードウェア抽象化、視覚化ツール、メッセージ通信など)を提供している。ロボットミドルウェアのデファクトス

	<p>タンダードで、全世界で 10 万人以上のユーザがいる一大 OSS (Open Source Software) コミュニティを形成している。本プロジェクトから提案する様々なデバイスを ROS 対応することで、世界中のロボットプログラマへ一気に広めることが可能である</p>
SEM	<p>走査型電子顕微鏡 (SEM) は電子線を磁気レンズで細くしぼって観察対象物表面に走査・照射し、観察対象物表面近傍から放出される二次電子等を検出することで主に観察対象物の表面形状を観察する。光学顕微鏡よりも分解能が高い</p>
SQUID	<p>Superconducting Quantum Interference Device の略。ジョセフソン接合を含む超電導ループ構造を持つ。ループ内の磁束の数は飛び飛びの値 (磁束量子と呼ばれるものの整数倍) しか取れないため、高感度な磁場センサとしても用いられる</p>
TEG チップ	<p>素子が設計通りに動作しているか、および、製造上の不具合の有無等を調べるためのテスト用チップ。Test Element Group の略</p>
TPC-H	<p>トランザクション処理性能評議会 (Transaction Processing Performance Council: 以下 TPC) が定義するデータベースの処理性能指標の 1 つであり、意思決定支援のワークロードによるベンチマーク</p>
TSV	<p>Si 貫通電極 (through-silicon via)。電子部品である半導体の実装技術の 1 つであり、シリコン製半導体チップの内部を垂直に貫通する電極のことである。複数枚のチップを積んで 1 つのパッケージに収める場合に、従来ではワイヤ・ボンディングで行なわれている上下のチップ同士の接続をこの貫通電極で行なう。</p>
Vivado 高位合成システム	<p>FPGA の供給会社である Xilinx 社が提供している C プログラムを直接ハードウェアに変換するソフトウェアツール</p>
World Robot Summit	<p>総称 WRS は、ロボットの活躍が期待されるさまざまな分野において、世界中から集結したチームがロボットの技術やアイデアを競う競技会「World Robot Challenge (WRC)」と、ロボット活用の現在と未来の姿を発信する展示会「World Robot Expo (WRE)」とで構成されている。</p>
アニーリング素子	<p>(結合した複数個の) 量子ビットを用いて量子アニーリングを実現するためのデバイス</p>
アモルファス層	<p>原子が周期的な結晶構造を持たない層</p>
アンローリング	<p>C プログラムのループ <code>for (i=0; i < n; i++) { ... }</code> では i が 1 つずつ変わってゆくが、それを i が 2 つずつ (あるいはもっと大きく) 変わるようにして一度に処理される演算の数を大きくし、可能なら並列化してハードウェアでの効率化を行う手法</p>
イジングハミルトニアンイジング問題	<p>イジング問題で考える、二値変数で表される多変数関数。物理的には、対象とするシステムのエネルギーを表す関数。一般に、エネルギーを表す関数をハミルトニアンと呼び、イジング問題におけるハミルトニアンをイジングハミルトニアンと呼んでいる</p>
イジングマシン	<p>イジング問題を解くことを主な目的とする専用ハードウェア。イジング問題を解くソフトウェアを意味することもある</p>

イジングマシン	量子アニーリングマシンをはじめ、内部にイジングモデルと呼ばれるモデルを持ち、その基底状態(最小エネルギー状態)を求めることで、高速に組合せ最適化問題を解法するコンピュータ
イジング項	イジング型の相互作用
イジング問題	たとえば、変数 s_1, s_2 を考え、どちらも 1 か -1 のみを取り得るとし、 $s_1 \times s_2 + s_1 - s_2$ を最小にする s_1 と s_2 の値の組合せを見つける問題はイジング問題の一例である。一般にイジング問題は二つの値(「1 か-1」など)のみを取る変数で表される多変数関数を考え、それが最小になるような二値変数の値の組合せを見つける問題である。変数の 2 次以下の項(2 個以下の変数の積)しか含まない場合を考えるとすることが多い。組合せ最適化問題は基本的にイジング問題の形式で表すことができる
インターポーザ	貫通電極によって表裏の回路の導通をとるために用いられる基板のこと。3D の高集積化技術として活用されている
エアブリッジ	上記クロストークを抑制するために、量子ビットチップの高周波伝送線路によって分断されているグラウンド電極間を、伝送線路には触れないように空中で架橋する構造
エッジ・コンピューティング	スマホやロボット、ドローン、自動運転車、センサなどのエッジ・コンポーネント側にデータ処理装置を分散配置して、データ処理を行う技術の総称。従来のデータセンターを中心としたクラウド・コンピューティングと対比的に用いられる概念である
エミュレーション	物理現象の模擬をソフトウェアで行うシミュレータをハードウェア化したもの
カーネル法	非線形なデータ解析を行うための機械学習技術のひとつ。正定値カーネルと呼ばれるクラスの関数でデータを表現する
クエンチ	ハミルトニアンのパラメータを急激に変化させる操作。断熱型量子計算では、ハミルトニアンのパラメータをゆっくりと変化させることによって量子状態を常にハミルトニアンの基底状態に保つ。一方、クエンチのあるダイナミクスでは基底状態にとどまらず、より複雑なダイナミクスを伴う
クライアント側	サーバー側のインターフェース。反対側の伝送方面はライン側と呼ぶ
クロストーク	ここでは、2ビット素子において片方のビットの周波数を変化させるために磁場を印加した際に、もう片方のビットの周波数も意図せず変化する現象を指す
ゲート方式	ノイマン型のコンピュータのビットに対する演算処理(ゲート)の量子版に相当する演算を行うタイプの量子コンピュータ
コヒーレンス時間	一般的には重ね合わせ状態の継続する時間を意味するが、量子ビットに対して用いる際は上記の位相緩和時間を指す場合が多い
コヒーレント光信号	位相変調させた信号光に局発光を干渉させて信号を検出するコヒーレント受信を用いる光信号。偏波多重も組み合わせで大容量化する
サイクル精度のエミュレーション・シミュレーション	実際のデジタルハードウェアでは、レジスタファイルやメモリ要素などへの信号値の書き込みが、クロックサイクルのエッジに同期して行われる。計算に伴うそのような書き込み動作を模擬し、計算処理にかかるサイクル数を正確に評価することが可能なエミュレーションまたはシミュレーションを、サイ

	<p>クル精度と表現している。尚、ここではそれぞれ、エミュレーションとは FPGA 等による実ハードウェア上で論理記述された CGRA のハードウェアを動作させることを、シミュレーションではソフトウェアで CGRA の論理動作を模擬することを意味している。開発した環境では、VHDL により記述された CGRA のパラメータ化論理回路を、GHDL というソフトウェアにより C コードに変換しそれを実行している。これは、シミュレーションである。また、その VHDL は FPGA 上に配置配線すればエミュレーション可能なものである</p>
ジョセフソン接合	<p>非常に薄い絶縁体を2つの超伝導体で挟んだ構造のこと。ジョセフソン接合を介して、2つの超伝導体の波動関数の位相差に応じたトンネル電流が流れる</p>
シンボルレート	<p>変調情報を伝送する速度のこと。変調による変化を 1 秒間に何回伝送できるかを示す。フランス人技術者 J. M. E. Baudot の名をとって baud rate (ボーレート)と呼ばれることも多い</p>
スキーマ	<p>データベースのデータ構造の定義</p>
スパッタリング	<p>真空チャンバー内に薄膜としてつけたい金属をターゲットとして設置し、高電圧をかけてイオン化させた希ガス元素(普通はアルゴンを用いる)や窒素(普通は空気由来)を衝突させ、ターゲット表面の原子がはじき飛ばされ、基板に到達して製膜する方法。そのため、スパッタリングはいわゆる「乾式めっき法」(真空めっき)に分類され、コーティングする対象物を液体や高温気体にさらすことなくめっき処理が出来ることが特徴</p>
スピン	<p>原子などの電気を帯びた粒子が回転した場合の磁場(N 極の向き)のこと。上を向くか下を向くかを 1 と -1 で表すことが多い</p>
スピンレザバー	<p>スピントルク発振素子におけるスピンの多様なダイナミクスを利用した物理リザバーであり、ナノメートルサイズの磁気抵抗素子を用いるため小型・省電力なシステムの実現が期待される</p>
スピン波	<p>磁性体は局在したスピン角運動量をもった元素の集合である。スピンはベクトル量で、その空間内の配置場所と大きさは変化しないが、その方向は様々な要因で変化する。磁性体内の一部のスピンの方向が変化すると、その変化は波の様に空間を伝搬する。これをスピン波と呼ぶ</p>
スペクトロスコピー	<p>観測量の周波数(または波長)依存性を調べる実験。分光法</p>
セレクトアスイッチ	<p>N 入力 1 出力のスイッチで、N 個の入力ポートのうちの 1 つを出力ポートに接続するスイッチ</p>
ソフトウェア擬似量子アニーリング	<p>スピンをもつ量子の集合がその総エネルギーを最小にする現象を、疑似的に二値のスピン変数の集合に対する処理をソフトウェアで行うこと。焼鈍しを疑似的に行うシミュレーティブアニーリングになぞらえて量子アニーリングと呼ばれる</p>
ソフトロボット	<p>単に身体がやわらかな素材で構成されているのみでなく、やわらかな素材が発現する機能(例えばなじみといった環境との高い適応性や、やわらかな身体に根ざした計算能力など)を積極的に活かしたロボットを指す</p>
ダイナミック酸化	<p>真空チャンバ内に酸素を一定の流量で導入しながら一定の排気速度で排気することで、真空チャンバ内の酸素分圧を一定に保つトンネルバリアの</p>

	形成方式。
ため込み式酸化	真空排気後に排気を止めた状態で真空チャンバ内に酸素を一定量導入し、真空チャンバ内の酸素分圧を一定に保つトンネルバリアの形成方式
トグル	二値(1, -1 あるいは 1, 0)のいずれかをとるスピン変数の値を別の値に変化させること
ドライエッチング	反応性の気体(エッチングガス)やイオン、ラジカルによって材料をエッチングする方法。主に化学的な反応によるエッチングを指し、反応による生成物は気体である場合が多い
トンネルバリア	非常に薄い絶縁体を二つの超電導体ではさんだジョセフソン接合が超電導量子ビットの主要な構成要素であり、この薄い絶縁体層をトンネルバリアと呼ぶ
ニアデータプロセッシング	メモリのできるだけ近くに CPU コアを配置してできるだけデータがある場所で処理することで、移動するデータ量やアクセス遅延や消費エネルギーの削減をはかる高速化手法またはアーキテクチャ。古くは Processing in memory(PIM)と呼ばれていたが、ビッグデータ処理のコンテキストでは Near data processing が用いられることが多い。Near memory processing と同義で、RAM 上に大半のデータを配置することで高速化する手法を除く In memory processing と同義であることが多い
ニューラル・ネットワーク	生物の脳の認知機能と構造に基礎を置いている機械学習モデル。神経細胞を数理的にモデル化した人工ニューロン素子のネットワークによって構成される
ニューロモルフィズム	脳や身体に宿る生物の神経機構に内在する本質を捉え、その工学的な実現を通じて、人工物を設計・作動させ、その経緯や結果を通して、生物系の神経機構の新たな理解を生み出し、さらに工学的再現にフィードバックするといった「科学と工学の微視的にも巨視的にも相互浸透的な動的循環による新たな学際的アプローチの理念」を指す
ニューロモルフィックダイナミクス	ニューロモルフィズムの理念のもとに、デバイス/材料や集積回路/アーキテクチャからモデル/アルゴリズムやシステム/応用に至るまでの各分野を統合した超域
ニューロモルフィックダイナミック理論	超域ニューロモルフィックダイナミクスの核となる脳と身体のそれぞれのダイナミクス及びそれらの結合ダイナミクスを表す一般的な計算モデルの理論
ハウジング	ソケットを構成する部材の1つ。ソケットは、主に信号を伝送するためのプローブピンと、プローブピンを保持するためのハウジングで構成される。ハウジングは絶縁材料であると同時に誘電体でもあるため、高周波伝送のためには、材料物性値として誘電率と誘電損失($\tan \delta$)が重要な値となる。また、本開発ではプローブピンの接続状態を室温から極低温(10mK)まで保持する必要があるため、ハウジングの熱膨張率も重要な物性値となる
パフォーマンスカウンター	システムの状態や動作を計測する手段で、アプリケーションを実装した際にどの計算リソースがどのくらい使用されたかがわかり、その値を取得することによりアプリケーションの特徴を理解することができる
パラメトリックオシレータ	パラメトリック発振をする振動子

パラメトリック発振	共振周波数の2倍の周波数で共振周波数を変調すると、パラメータ共振による増幅効果が生じる。変調強度がある閾値を超えたときに起きる自励振動をパラメトリック発振と呼ぶ
パラメロン共振器	パラメロンを構成する共振器
フリップチップボンディング	Flip Chip Bonding:FCB。チップの能動面と基板面が対向した状態で実装される手法
プローブピン	ソケットを構成する部材の 1 つ。ソケットは、主に信号を伝送するためのプローブピンと、プローブピンを保持するためのハウジングで構成される。本開発で求められるプローブピンの特性としては、高周波伝送を可能にする低損失に加えて、高密度実装を実現するための狭ピッチ対応(極細径)が重要となる。また、コンタクトを取るために内蔵されているバネは、通常、ニッケル系の磁性材料を含むが、超電導チップの動作に悪影響を及ぼす可能性があるため、非磁性バネへの変更も検討する必要がある
プロトタイプシミュレータ	何等かの物理現象の模擬(シミュレーション)をソフトウェアで行うシステムであるシミュレータの暫定版のこと
ベイズ推論	推論したい事柄に関する事前知識を表す事前確率と、観測されたデータとから、ベイズの定理を使って事後確率を求めることによって確率的な推論を行う、統計的推論の方法論。
ベーシックブロック	CPU で実行される分岐のない命令の集まり。すなわち、内部のコードが他のコードの分岐先になっておらず連続して実行される命令群
ポンプ	上記パラメトリック発振を起こす目的で、量子ビットの共振周波数を変調するために高周波信号を入力すること
マイクロ波	周波数が 300MHz から 30GHz 程度の電磁波の総称。転じて、同周波数の交流電流をもマイクロ波と呼ぶ
マスクレス露光機	光学露光装置ではあるがデータをもとに描画・露光するためレチクル(回路パターンを作りこんだフォトマスク)が不要。i 線ステツパよりも解像度は低い
ミドルウェア	アプリケーションプログラムを特定のハードウェアで動作させる際に、その仲立ちとなって動作するソフトウェアならびにその集合
リザバー・コンピューティング	ニューラル・ネットワークのアーキテクチャの 1 つ。入力データを高次元空間へ変換するリザバー層とその状態を読み取って所望の出力へと変換するリードアウト層からなる。リザバー層は学習を必要とせず、学習はリードアウト層のみで行われるため、学習負荷が非常に軽い。リザバー層は水面に喩えられ、そこにデータを入力すると、静かな水面に石を投げ込んだ際に広がる波面の様子を読み取るように推論が進むことから、この名前になっている
ルーフラインモデル	メモリバンド幅と演算器性能の 2 つのハードウェア制約により導かれるアプリケーションの浮動小数演算速度(FLOPS)の上限(Roofline)を示した性能モデル。グラフで表示した際に右肩上がりのバンド幅律速な領域と、ピーク演算性能で飽和する演算律速な領域に分かれ、個々のアプリケーション特性は必ず Roofline の下側にプロットされる

レーザー	光共振器を用いて人工的に生成された、位相や波長の揃った光。光リザバー・デバイスでは、レーザーの性質を利用してリザバー層を実現している
レザバーコンピューティング	再帰的ニューラルネットワークの特殊なモデルを一般化した概念で、時系列情報処理に適した機械学習の枠組みの一つ。尚、レザバーは、リザバーやリザヴァ、レザヴァなどとも呼ばれるが、本プロジェクトでは、レザバーに統一する。
レザバーチップ	典型的なレザバー計算モデルでは、レザバー内はスパースな固定荷でランダムに結合されたリカレントニューラルネットワークであるが、内部に非線形なダイナミクス(履歴を残した非線形な状態の時間発展)が必要である。これを、CMOS 集積回路で構成する場合、デジタル/アナログ双方の手法で実装が可能であり、FPGA での実装例もあるが、トランジスタの非線形特性を利用したアナログ回路で構成すると、より効率的な実装が可能である。
ロボカップ@ホーム	2050 年までに、11 体のヒューマノイドロボットチームが FIFA のワールドカップチャンピオンチームを破ることを最終目標とするロボカップにおいて、災害救助のロボカップレスキューに続いて、日常生活支援ロボットの能力を競うロボカップ@ホームが 2005 年に構想発表され、2006 年から正式競技会として運営され、毎年、全世界から数十チームが参加し、様々なタスクを競い、技術向上と応用範囲の拡大が図られている
位相緩和時間	外界の周波数揺らぎの影響を受けて、量子ビットの0と1の重ね合わせ状態のコヒーレンスが失われる典型的な時間スケール
音声認識	機械学習により、人間の発話データからの文字起こしや発話者の特定などを行う手法。
希釈冷凍機	4He とその安定同位体である 3He の混合液から選択的に蒸発させた 3He ガスを、再度混合液に注入する際の希釈熱によって試料を冷却する冷凍機。mK オーダーの極低温を実現することができる
機械学習	人間が計算機に対し明示的にルールを与えるのではなく、計算機に多くの例をデータとして与えて、そのデータの中に潜む有用な規則、ルール、知識表現、判断基準などを自動的に抽出する手法。ビッグデータ時代の到来により、近年その重要性が高まっている。
擬似量子機構	スピンをもつ量子の集合がその総エネルギーを最小にするようにスピンの値を決定する現象を疑似的に実現する方式のこと
局所磁場	イジングハミルトニアン $\sum J_{ij} \sigma_{iz} \sigma_{jz}$ を、2スピンの平行反平行を ± 1 とするあらたなスピンを用いて $\sum J_k \sigma_{kz}$ と表した際の J_k を局所磁場と呼ぶ。実験的には各ビットのシグナルラインにマイクロ波を注入することが局所磁場を印加することに相当する
近接相互作用	隣接した量子ビット同士の間にもみ相互作用があること
金属破壊モード	ダイシエア試験で実装されたチップを破壊した際の接合部における破壊状態の一つ。強固に接合されていた場合は、接合界面ではなく母材の金属より破壊する。
係数行列	二値(1, -1 あるいは 1, 0)をとる変数 x_i を用いた最小化したい二次式 $\sum_{i=1}^n \sum_{j=i+1}^n J_{ij} x_i x_j$ の係数値 J_{ij} を二次元の行列の形で表したもの

原子スイッチレザバーチップ	原子スイッチを非線形演算素子とするレザバーと CMOS を集積したチップ。シリアル時分割入出力の原子スイッチレザバーおよび原子スイッチアレイのスキャン・読み出し・書き込みを行う CMOS 回路により構成される
固体量子ビット	量子ビットの0, 1状態が、半導体等の固体素子における電荷、スピン、磁束、位相等の量子力学的な2準位によって構成されるタイプの量子ビット
誤り訂正回路	符号誤りを訂正するアルゴリズムを搭載した回路
光子	(可視光等の)電磁波を構成する最小単位。有限のエネルギーを持ち、質量は0の粒子
光波長送受信器	一般的な光デジタル・コヒーレント・トランシーバーと主要構成はほぼ同じであるが、局発光の波長切替時間が $100 \mu s$ 程度と高速である
酸化膜	熱したりするとことで、金属や半導体表面に酸素と反応して生成する皮膜。銅ならば酸化銅、シリコンならばシリコン酸化膜ができる。また、スパッタリング法等により膜厚を制御して意図的に堆積することも可能
酸素分圧	真空チャンバ内における酸素のみの圧力
磁束量子ビット	超電導ループを永久電流が時計回りに流れる状態と反時計回りに流れる状態を0, 1状態として利用するタイプの量子ビット
室温接合抵抗評価システム	ジョセフソン接合の室温抵抗値を評価するシステム。この測定値から極低温での接合特性を推測できる
実時間ダイナミクス	実数軸上の時間発展。(実時間に対して、熱平行状態を生成する操作は、時間 t を虚数とする虚時間発展とも呼ばれる)
斜め蒸着装置	試料表面にあらかじめ形成しておいたマスクを用いて微小寸法のジョセフソン接合を作製するための蒸着装置。試料の傾斜・回転機構を有しており、蒸着物質流の試料表面への入射角度を変えることができることが特徴
巡回セールスマン問題	n 個の都市に対して、一度ずつすべての都市を回る経路の中で総距離が最小のものを求める問題、セールスマンが都市をめぐるという意味で名前がつけられた
深層確率モデル	深層ニューラルネットワークを用いて表現された確率分布モデル。データの生成過程のモデルの場合には、深層生成モデルと呼ぶこともある
世界モデル (World Model)	環境からの限られた観測情報を元に、環境で行動した際の行動と観測の関係を学習によって構築する枠組み。世界モデルを用いることで、直接には観測できない状態での行動による状態と観測の変化をエミュレーションできるようになる
制御ポスト	フリップチップボンディングで量子チップをインターポータ上へ実装する際に、量子チップとインターポータ間のギャップをある一定の高さにするための突起構造
制約項	LZH 法において、元の問題にある長距離相互作用を効率よく表すために入る量子ビット同士の制約の項
生体レザバー	生体組織そのものあるいは培養神経細胞とそのネットワークにより構成される物理レザバー。脳型レザバーの構造探査に用いられるとともに、サイバネティックニューロモルフィックコンピューティングにおける埋め込みレザバーの最終形態にもなりえる

積和演算のエネルギー効率	浮動小数点計算を行う通常のデジタル計算機の演算性能指標 FLOPS に対して、固定小数点演算でよい特定用途プロセッサ (AI チップ等) では OPS (Operations Per Second) が用いられる。演算効率 (エネルギー効率) とは、消費電力当たりの演算性能であり、専用 AI チップで使われる単位は TOPS/W = (Tera Ops per sec)/(Joule per sec) = Tera Ops/Joule。この逆数は、1 演算当たりの消費エネルギー = $1/(\text{TOPS/W})$ [pJ/op] となる。すなわち、1 演算に 1pJ 消費する場合、1TOPS/W となる。積和演算の場合、乗算と加算で 2 演算とみなす。ただし、効率は演算のビット精度にも依存するため、極端な場合、2 値演算畳込み NN などでは、乗算を 1 ビット演算 (XNOR) で行うことで、デジタル方式でも 700TOPS/W という極めて高い効率を実現できる。この場合、「1-b TOPS/W」という表記がされることもある
絶縁層	2つの導電性 (半導体や金属) の層または構造の間の絶縁を取るために設けられる層
全結合	ここででの結合とは、ハミルトニアンにおける変数の積を意味する。変数 s_1 と変数 s_2 が積になっている、つまり $s_1 \times s_2$ という項がハミルトニアンに含まれるとき、両者が結合していると考えられる。特に、全ての二つの変数の組が積になっている場合を全結合と呼ぶ。また、全結合ではないものは部分結合と呼ばれることもある
組合せ最適化問題	順番や物の配置のように、ある条件を満たす範囲で最も良い組合せを探すという問題。例) 工場の生産ラインの計画
組合せ最適化問題	多数の組合せの中から最適な組合せを選択する問題。組合せ最適化問題の例として巡回セールスマン問題などがある
側壁粗さ (スキヤロップ)	Si 貫通電極 (TSV: through-silicon via) を形成する際に、貫通孔のドライエッチング加工を行う際に、貫通孔が深い穴形状の場合、保護膜の形成とドライエッチングを交互に行う必要がある。その時のプロセスの切り替え時間によりエッチング加工面であるシリコンの側壁にリング状の凸凹になる構造がスキヤロップと呼ばれる
多体相互作用	物理的な素子間が互いに影響を及ぼし合う状況は、通常二つの素子間のみの互いの影響を考える。しかし、三個以上の素子が同時に影響を及ぼし合う状況もあり、これを多体相互作用と呼ぶ。イジング問題においては、イジングハミルトニアンにおける三個以上の変数の積 (3 次以上の項) がこれに対応し、これも多体相互作用と呼ばれる
超電導パラメロン	超電導回路におけるパラメトリック発振の 2 つの位相状態を量子ビットの 0, 1 として用いる素子
超電導バンプ	Nb や In などの超電導材料で構成された接続端子
長距離相互作用	遠くの量子ビット同士の間相互作用があること
適応制御	符号間干渉を抑制するため、通信路特性や信号品質の変化に応じて等化器回路、多値処理回路、誤り訂正回路の統制を自動的に調整する制御
電子線描画装置	磁気レンズで細くしぼった電子線を試料表面に塗布したレジストに走査・照射して回路パターンを試料表面に転写するための装置。電子線照射された部分のレジストがのちの現像工程で除去され、回路パターンが転写された

	レジスト層が微細回路パターン加工用マスクとして用いられる。データをもとに描画するためレチクルが不要。i 線ステッパやマスクレス露光機のような光学露光装置よりも解像度が高くより微細な構造を作製することができる一方で、電子線走査に時間を要するため作業時間がかかる
脳・身体結合の大規模シミュレータ	筋骨格系の大自由度性や冗長性などの生物学的特徴を有した複雑身体シミュレーションやロボットに、生物規範の大規模脳モデル・シミュレーションを統合したシステムであり、神経系や身体に内包される構造的および機能的特性や神経系-身体-環境の相互作用によって生じる動的特性の実験や検証に用いる
脳型レザバー	脳構造に近い並列入出力かつ近傍結合構造を持つ物理レザバー。半導体ニューロモルフィック素子による構成を前提としたもの
反応性イオンエッチング装置	フッ素などの化学反応性のあるイオンに加速電圧を加えて試料表面に衝突させ、異方性のあるエッチングにより材料を除去することで微細な回路パターンを作製する
反交差	相互作用のある2状態のエネルギー(または周波数)が近づいたとき、2状態のエネルギーが交わらずに、ギャップを形成するように分裂する様子を反交差と呼ぶ
物理イジングモデル	特定のイジングマシンハードウェアに依存したイジングモデル。論理イジングモデルに比較して、係数のビット幅に限られる、スピン数が限られるなどの制約がある
物理リザバー・コンピューティング	物理系のダイナミクスをリザバー層として利用した、リザバー・コンピューティングの実現方法の一つ。アルゴリズムとしての簡便さに加え、物理系を直接計算過程として用いるため、高効率での動作が期待できる
物理レザバー	通常のリザバーコンピューティングでは、ソフトウェア上で実装された再帰的ニューラルネットワークをレザバーとして活用し情報処理を実現する。これに比して、物理レザバーでは、物理系のダイナミクスそのものをレザバーとして活用する
分散機械学習	複数の計算機やアクセラレータ(FPGA や GPU)を利用して、深層学習等の学習処理を行うことで、高速・大量データの学習を可能にする機構
変分オートエンコーダ (Variational Auto-Encoder: VAE)	代表的な、潜在変数を持つ深層確率生成モデルの一つ。画像などの複雑で高次元のデータの確率分布を学習することができる
万能型量子コンピューティングマシン	計算途中のエラーを訂正する能力を備えたゲート型の量子コンピュータマシン。任意のゲート操作を任意の回数こなすことができる
問題項	LZH 法において、元の問題そのものを表す項
有限要素法	数値解析手法の一つ。解析的に解くことが難しい微分方程式の近似解を数値的に得る方法の一つ。方程式が定義された領域を小領域(要素)に分割し、各小領域における方程式を比較的単純で共通な補間関数で近似する。つまり、有限要素法では、複雑な形状や構造の部品を単純な形状の集合体となるまで分割し、その単純形状ごとの熱応力や変形を求め、それを全体構造まで積み重ねることによって解くことで、各部の熱応力や変形を求めることができる

溶融金属充填法	シリコン(Si)やガラス等の基板に微細な貫通孔を形成した後、溶融した金属をその貫通孔に充填する方法。貫通孔内部に導体を埋め込むことで Si 貫通電極(TSV:through-silicon via)を実現できる。通常のめっき法による金属充填に比較してアスペクト比が大きい貫通孔に適しているとされる
量子アニーリングマシン	ゲート型のようにビット内またはビット間の演算を繰り返すことで問題を解くのではなく、全ビットの重ね合わせ状態が最もエネルギーの低くなるような状態に量子力学的に時間発展することを利用して組合せ最適化問題を解くタイプの量子コンピューター
量子センシング	量子化したエネルギー準位を用いて、高感度な計測を行うセンシングの総称
量子ダイナミクス	量子力学に従う物理系の時間発展
量子ビット	量子コンピューターで情報を扱う最小構成単位。古典ビットでは0か1の2状態のどちらかを取るが、量子ビットでは0と1のどちらでもある状態(重ね合わせ状態)を取ることができる
量子力学的効果	古典力学では説明できない、重ね合わせ状態等の量子力学に基づく効果
論理イジングモデル	特定のイジングマシンハードウェアに依存しない理想的なイジングモデルで、最適化問題から直接導出される

1. 事業の位置付け・必要性について

1.1 事業実施の背景

IoT、人工知能(AI)、ビッグデータ、ロボット等の技術革新により、これまで実現不可能とされていた社会の実現が可能になりつつある。IoT 技術の進展により、実社会のあらゆる事業・情報がデータ化され、ネットワークを通じた自由なやりとりが可能となりつつある。しかしながら、これらの社会実装を持続的に継続していく上で、「データ量の増大」と「消費エネルギーの増大」がボトルネックとなっている。世界のデータ量は 2 年毎に倍増している。加えて、増大するデータを収集、蓄積、解析する IT 機器の消費エネルギーも増大の一途をたどっている。

これまでは 1970 年代から続くムーア則というメガトレンドに則り、半導体の微細化によってこれらの社会課題を解決してきた。しかしながら、ムーア則の終焉が叫ばれ、既存技術の延長による課題解決アプローチは限界を迎えつつある。また、ハードウェアではなくソフトウェアに目を向けても、処理したいデータ量が爆発的に増加した結果、従来のノイマン型対応技術では効率的なデータ解析が難しくなりつつある。今後もデータ量と IT 機器の消費エネルギーは増大することが見込まれるため、より一層の通信負荷の軽減、データ処理能力の向上、エネルギー利用効率の向上等が求められている。以上のことから、本事業研究開発項目②においては、半導体微細化等による性能向上ではなく、既存の延長にないハードウェア技術ならびにソフトウェア技術による次世代のコンピューティング技術によって、情報通信機器の性能を飛躍的に向上させることを目的とする。

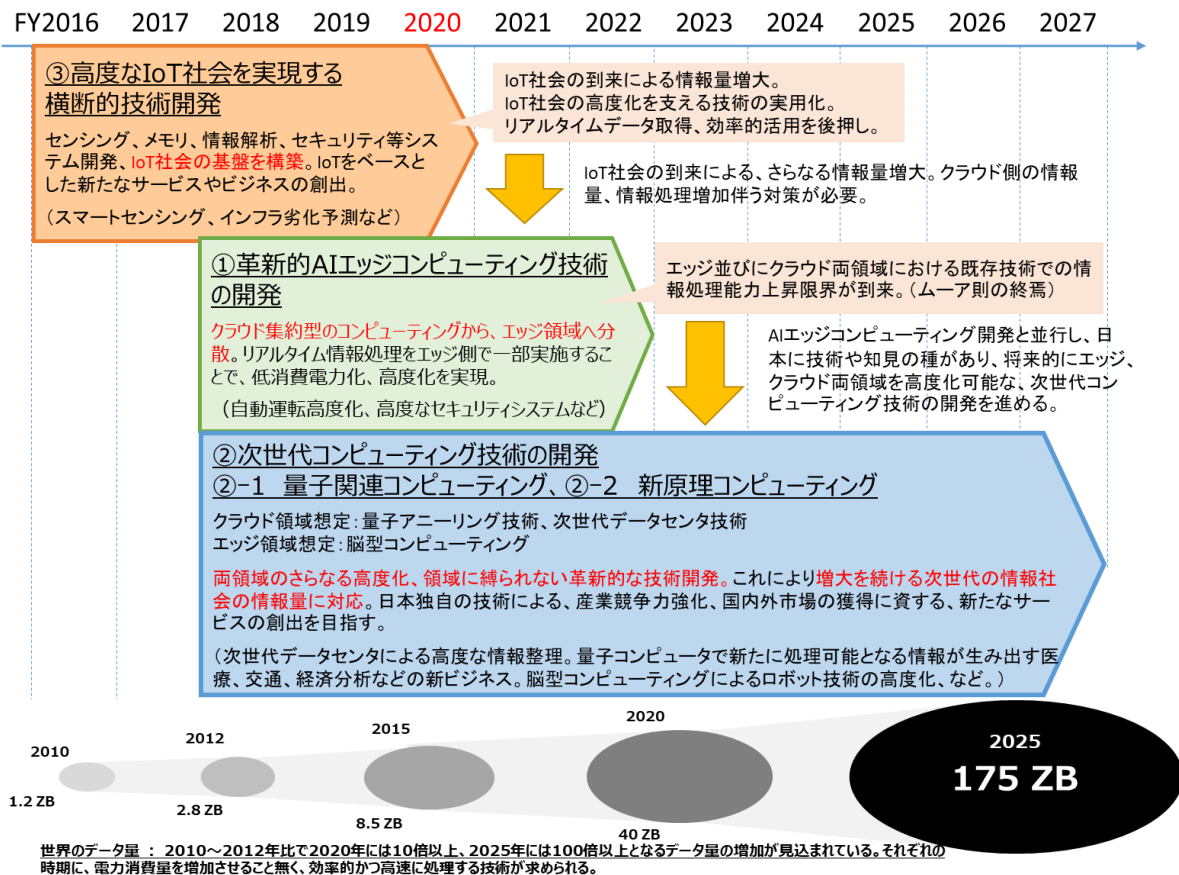


図 2-1.1-1 研究開発計画と社会課題の関係

1.2 政策的位置づけ

第5期科学技術基本計画(平成28年1月閣議決定)では、「超スマート社会」(Society 5.0)の実現において、構築に必要で速やかな強化を図るのが必要な基盤技術として、安全な情報通信を支える「サイバーセキュリティ技術」、IoT やビッグデータ解析、高度なコミュニケーションを支える「AI 技術」、大規模データの高速度・リアルタイム処理を低消費電力で実現するための「デバイス技術」、IoT の高度化に必要となる現場システムでのリアルタイム処理の高速化や多様化を実現する「エッジコンピューティング」等が挙げられている。「科学技術イノベーション総合戦略 2017」(平成29年6月閣議決定)では、「超スマート社会」(Society 5.0)の実現に向けた重きを置くべき取組として、「サイバー空間関連の基盤技術の強化(エッジコンピューティング等)」や「フィジカル空間関連の基盤技術の強化(超小型・超低消費電力デバイス等)」が挙げられている。「未来投資戦略 2017」(平成29年6月閣議決定)では、イノベーション・ベンチャーを生み出す好循環システムのための重点投資すべき分野の取組の一つとして、「AI 学習効率の向上、自然言語処理、ディープラーニング翻訳、超高効率 AI 処理に資する半導体及び革新的センサ等の基盤技術開発及びその組み込みシステムへの適用」が挙げられている。また、「未来投資戦略 2018」(平成30年6月閣議決定)では、データ駆動型社会の共通インフラの整備に向け、「我が国の強みである現場データをリアルタイムに処理する AI チップなどのエッジ処理技術、量子などの次世代コンピューティング技術の開発を促進する。」ことが挙げられている。さらに、「統合イノベーション戦略 2019」(令和元年6月閣議決定)では、未来の競争力の鍵を握る重要分野として「量子技術」が挙げられており、「量子技術イノベーション戦略」(令和2年1月統合イノベーション戦略推進会議決定)では、主要技術領域の1つとして「量子コンピュータ・量子シミュレーション」があげられている。

1.3 アウトカム効果

本研究開発項目では、既存の技術の延長にない次世代のコンピューティング技術の開発を実施する。当該項目は、半導体の微細化という従来のトレンドにない技術であり、新たな基盤的な技術開発として進める項目であることから、量子、脳型、光、あるいは設計やアルゴリズム等による高効率なコンピューティング技術等、様々な種類の技術の種があり、それらを一つ一つ育てていく必要がある。また、実用化に向けては新たな IoT サービスの創出等、世界の情報インフラ基盤に次世代コンピューティング技術が根付くための期間も必要となることから、社会普及については従来技術以上に時間を要すると考えられる。本項目については、2027年に事業を終了し、2037年度までにCO2削減効果は、本研究開発項目全体で年約2,729万トンが見込まれる。

1.4 国際的なポジション

日本は、コンピューティング分野において、ハードウェアを中心に存在感を発揮してきた。1980年前後には、日本発の材料、メモリ、アーキテクチャなどの革新的な技術を発明し、ムーア則実現の礎を築いた。しかしながら、市場変化への対応が遅れたことに伴い、例えば半導体では1988年には50%を超えていたシェアが現在では10%程度にまで落ち込む等、現在はコンピューティング分野において苦戦している。最近の関連論文数や特許出願件数についても、1位の米国に対して圧倒的に少なく、後塵を拝している。

一方、次世代コンピューティングの中で新原理コンピューティングの基礎研究では、ポテンシャルの高いシーズ技術を有する。例えば、内閣府の革新的研究開発推進プログラム(ImPACT)では「量子人工脳を量子ネットワークでつなぐ高度知識社会基盤の実現」プロジェクトを2014年から進めてきた。文部科学省は、2014年から東北大学を中心に「人間的判断の実現に向けた新概念脳型LSI創出事業」を進め、2016年には「人工知能/ビッグデータ/IoT/サイバーセキュリティ統合プロジェクト」の中で国立研究開発法人理化学研究所に革新知能統合研究センターを設置し革新的な人工知能技術の開発を推進している。国立研究開発法人情報通信研究機構では、

人工知能、量子コンピューティング、量子暗号等に関連する研究開発を幅広く進めている。国立研究開発法人産業技術総合研究所でも、人工知能や量子アニーリング等の多彩な研究開発テーマが展開されており、2015年5月には人工知能研究センターを設立している。また、ハードウェアからシステム、サービスに至るサプライチェーンにおいて、製品やサービスのセキュリティを検証可能とすべく、2018年11月にはサイバーフィジカルセキュリティ研究センターを設立している。

世界をリードする中で日本の情報産業を再興するためには、解決を目指す社会課題を絞った上で、これらの要素技術を活かしつつ、ハードウェアのみならず、ミドルウェア（アーキテクチャ）、ソフトウェア、セキュリティも考慮した一体的な技術開発を進めることが勝負の鍵となる。

1.5 海外状況のまとめ

現状では、米国系ソリューションプロバイダ（Google社、Apple社、Facebook社、Amazon社等）が世界のコンピューティング分野を牽引している。ハードウェアからソフトウェアまでの一体開発に強みがあり、クラウド領域を中心に市場を含め世界を席卷している。各陣営による買収合戦も激化しており、新たな製品やサービスが目まぐるしいスピードで社会に投入されている。






また、これら企業を中心に、次世代のコンピューティングを担うハードウェアの開発が進められている。Google社は、深層学習専用プロセッサTPU（Tensor Processing Unit）を独自に開発し、自社のクラウドサービス提供に利用している。また、エッジデバイス向けに小型化かつ省電力化したEdge TPUも販売している。NVIDIA社は、GPU（Graphics Processing Unit）を開発・展開することによって、深層学習において圧倒的な存在感を示している。Intel社は、量子コンピュータ用の超伝導テストチップを開発し、他社への提供を開始している。また、脳の仕組みを模したニューロモルフィックデバイスも開発中である。加国D-Wave社は、世界で唯一、量子アニーリングコンピュータの販売を実現している。IBM社は、クラウド上でデジタル型量子コンピュータが活用できるオンラインサービスを展開中である。

さらに、次世代コンピューティングに対する政府系の研究開発投資も盛んに行われている。例えば、欧米では、高性能コンピューティング（High performance computing）や脳型コンピューティング関連分野において大規模で長期的なプロジェクトが進行しており、大学や民間企業に対して年間1,000億円以上のファンディングが行われている（米国：NITRD、BRAIN initiative等、EU：Horizon 2020、Human Brain Project等）。米国IARPA（Intelligence Advanced Research Projects Activity）では、複数の量子コンピュータ関係のプログラムが進められており、Quantum Enhanced Optimizationにおいて100ビット級の試作機の開発が進められている。欧州では、Quantum Technologies flagshipにおいて量子コンピュータ技術開発を推進中である。また、中国では、中国科学院に量子計算実験室を設立、量子暗号通信衛星を打ち上げ等の研究開発を加速する動きがある。

一方で、世界の取り組みにおいても、未踏な部分がある。今後は、第4次産業革命技術の更なる進展に伴い、従来のクラウドコンピューティングからネットワークの末端（エッジ）で中心的情報処理を行うエッジコンピューティングへの分散が不可欠になると考えられるが、クラウドで確立された技術とは異なり、エッジで情報処理を実現するための小型デバイスとコンピューティング技術については各社手探りの部分も多く、サイズやエネルギー性能に加え、ソフトウェアとの組み合わせであるコンピューティング技術として最適化できていない。また、次世代コンピューティングの領域では、先に述べたような様々な開発の動きがあるものの、例えば販売事例のある量子アニーリングコンピュータであっても、実用的な組み合わせ最適化問題を解くためには量子ビット数を大幅に増加させる必要があるだけでなく、結合や正確性の問題、ミドルウェアを含むソフトウェア等の開発等の課題を抱えており、社会実装まではまだ遠い状況である。欧米は、IoTに関連する技術分野において、ユーザビリティ（インターフェース）、クラウド処理、コンピューティングアーキテクチャ、セキュリティディ/ペンダビリティ、ソフトウェア（プライバシー、データ形式標準化

を含む)、垂直・水平連携等に強みを有し、上記のような各国の政府及び民間における取組みにより強化しつつあり、各国における開発競争が繰り広げられている。

表 2-1.5-1 各国における量子コンピュータの研究開発の動向

国/地域	取り組み内容
 米国	<ul style="list-style-type: none"> 量子コンピュータを含む量子情報科学分野に各政府機関が年間2億ドルを投資(2016年) 「量子情報科学の国家戦略概要」にて、量子情報科学の研究支援を行うことを発表(2018年9月) 「国家量子イニシアチブ法」成立。米科学技術政策局下に専用オフィスを設置し、量子情報科学を推進する活動に5年間で総額13億ドルを投資する(2018年12月)
 ユーロ	<ul style="list-style-type: none"> 産官学で取りまとめた「Quantum Manifesto」を発表し、量子科学技術を、長期的な富の創出、安全保障、産業創出の観点から重要な技術であると位置付けた(2016年) 「Quantum Technology Flagship」プロジェクトを開始、10年間で10億ユーロを投資すると公表 対象分野は量子コミュニケーション、量子シミュレーション、量子センサー、量子コンピューターの4つ(2018年)
 イギリス	<ul style="list-style-type: none"> 量子技術に関する大型プロジェクトを総額2.7億ポンドで実施(2014年より5年計画) 英国政府が1.5億ポンドの量子コンピュータへの投資計画を公示(2019年7月)
 ドイツ	<ul style="list-style-type: none"> 「量子技術の基本計画」を閣議決定(2018年) 2021年までに、量子技術の研究開発のために6.5億ユーロを投資予定。重点技術に、シミュレータ、量子暗号、量子計測、基盤技術などを挙げている。中小企業やスタートアップ支援強化や量子技術の標準化や規格の開発支援も実施予定
 中国	<ul style="list-style-type: none"> 「国家中長期科学技術発展計画綱要(2006～2020年)」で重大科学研究計画に量子制御を指定した(2006年) 「国家イノベーション駆動型発展戦略要綱(2016～2030年)」では、産業変革を牽引する破壊的技術に自動運転や先端製造、人工知能ロボット共に、量子情報技術を挙げている(2016年) 「科学技術イノベーション第13次五カ年計画」で、量子通信と量子コンピュータを重大科学技術プロジェクトとした(2016年)

出典：

- ・【図解】量子コンピュータ開発競争、日本の現状は？なぜ米中に負けないと言えるのか、2019/7/3、ビジネスIT、<https://www.sbbt.jp/article/cont1/36552>
- ・量子技術イノベーション戦略の策定に向けて、2019/3、首相官邸、https://www.kantei.go.jp/jp/singi/ryoshijijitsu_innovation/dai1/siryou2.pdf
- ・欧州の研究・イノベーション動向、2020/1、NEDO、https://www.meti.go.jp/shingikai/sankoshin/sanyo_qiutsu/kenkyu_innovation/pdf/015_02_00.pdf
- ・戦略グローバル量子2.0、2020/1、国立研究開発法人化学技術振興機構研究開発戦略センター、<https://www.ist.go.jp/crds/pdf/2019/SP/CRDS-FY2019-SP-03.pdf>

1.6 NEDO が関与する意義

経済産業省は、Society 5.0 を実現するための我が国の産業が目指すべき姿(コンセプト)として、「Connected Industries」を提唱した(平成 29 年 3 月)。Connected Industries は、既存産業とデジタル技術の「つながり」をはじめとして、機械、データ、技術、ヒト、組織など様々なものの繋がりによって新たな付加価値の創出や社会課題の解決を目指すものである。経済産業省は、Connected Industries を実現するための事業を強力に推進しており、特に、「自動走行・モビリティサービス」、「バイオ・素材」、「スマートライフ」、「プラント・インフラ保安」、「ものづくり・ロボティクス」を5つの重点取り組み分野としている。

本プロジェクトで取り組む次世代コンピューティング技術開発は、Society 5.0 の実現につながる Connected Industries を実現するために必要不可欠なものである。上記5つの重点取り組み分野を中心に多分野を根底で支える技術開発を行うため、国が主導して取り組む意義が極めて大きい。また、大きな転換期を迎えている我が国の情報産業の再興に資するものであり、この点からも NEDO として取り組む意義が極めて大きい。

1.7 今回の事業の位置づけ

上記を踏まえ、本研究開発項目では、2030 年以降を見据えたポストムーア時代のコンピューティング技術として、既存技術の延長線上にない次世代コンピューティング技術を開発することで、高速化と低消費電力化を両立するコンピューティング技術の確立を目指す。

2. 研究開発マネジメントについて

2.1 事業の目的

1.7 節にまとめたとおり、本事業研究開発項目②は、2030 年以降を見据えたポストムーア時代のコンピューティング技術として、既存技術の延長線上にない次世代コンピューティング技術を開発することで、高速化と低消費電力化を両立するコンピューティング技術の確立を目指す。

具体的には、量子コンピューティング技術、脳型コンピューティング技術等、社会的に注目の集まる新技術に加え、次世代のデータセンタにおける効率的な情報処理を可能とする技術や、サーバ内部の光化に関する技術等、ムーア則によらず、情報処理の更なる高度化、効率化を可能とする技術の開発を進める。各研究開発課題については、RFI(Request For Infomation)を実施することにより、内外から特に有効と考えられる研究課題を選定したうえで事業者の公募を実施した。

なお、本研究開発項目は先導的な技術において長期的な開発を実施するものであるため、産学官の連携による研究開発体制で、要素技術の確立から将来的な実用化・事業化を見据えた開発(研究開発枠)を実施するものである。しかし、技術によっては、学術的には確立されたものであっても、産業応用においてはその有効性の検証含めて更なる基礎・調査的な研究開発が必要な技術も考えられる。従って、技術開発の方向性や、当該技術が特に有効と考えられる産業応用分野の確度を高めることを目的とし、大学等学術研究機関を主体として当該研究開発を行う、探索型研究を 2018 年度から最長 5 年間の事業期間で実施する。

2.2 研究開発目標と根拠

研究開発項目②「次世代コンピューティング技術の開発」は、事業終了時点で、既存技術に対して電力消費効率で 100 倍以上を達成することを各テーマにおける統一的な目標としている。本項では、それを達成するため 2020 年 7 月時点で研究開発を実施する各テーマ毎に設定している確立すべき要素技術(研究開発目標)と、その進捗状況を、以下の表にまとめる。なお、それぞれの開発状況については、『3. 研究開発成果』を参照。

表 2-2.2-1 研究開発テーマ一覧

分野	事業形態	研究開発テーマ	研究開発責任者	目標	進捗
研究開発枠	委託	実社会の事象をリアルタイム処理可能な次世代データ処理基盤技術の研究開発	日本電気株式会社	①基礎研究 これまで技術別に順調にアルゴリズム等を開発。今後、実装を進め統合アーキテクチャへの組み込みを推進し目標達成できる見込み ②実用化研究 基礎研究と実用化研究の要素技術を実用性/高速性/システム統合の視点でまとめ、実用性のあるデータベース開発を推進し目標達成できる見込み ③実証研究 これまでの要件整理およびデータ準備に加え、アプリケーション開発を推進し、2022 年度には各テーマにおいてデータベースへの高負荷検証を実施できる見込み	①基礎研究 OLTP：高速更新処理で 60Mtps を達成 OLAP：複数の高速化手法を開発し実証研究 3 のデータで検証着手 HTAP：新たな HTAP の理論的枠組みを構築 ストリーミング：新たなステート管理・フォールトトレランス手法を開発 ②実用化研究 プロトタイプ開発を実施し、基礎研究/実用化研究の結合試験を実施 全コンポーネントを統合したシステムアーキテクチャの設計に着手し、理論的なデザインを実施

				③実証研究 各テーマにおいて評価用データの取得を推進 各テーマ別にデータベースへの処理要件（更新や分析内容の調査）を進め、一部については実データでの評価を開始	
	委託	超電導パラメトロン素子を用いた量子アニーリング技術の研究開発	日本電気株式会社	<ul style="list-style-type: none"> ・立体配線を用いた8ビット回路の動作実証 ・立体配線を用いた100ビット回路を用いて、各超電導パラメトロンQ値が、105を維持していることを実証 ・チップ間接続による集積化技術開発については、前年度までの結果を基に素子の改良を行い、パラメトロンが発振状態を、別チップの超電導パラメトロンに転写できることを実証 	<ul style="list-style-type: none"> ・立体回路化で生じた課題（Q値低下等）を解消して、4ビット素子のスケールリングを実現する ・平面4ビットの動作実証での3カ月の遅れを、立体スケールリング化において挽回する予定。計画通りに2022年度に立体回路スケールリング動作実証を達成できる見込み
	委託	ディスアグリゲーション型次世代データセンタに適用する光電ハイブリッドスイッチを用いた高速低電力データ伝送システムの研究開発	技術研究組合 光電子融合基盤 技術研究所	開発成果である各要素部品、システム制御コントローラを組み込んだシステムレベルでの動作検証により、1Tbps x 1,000ポート規模までの拡張性を実証し、エネルギー消費効率あるいは電力効率（単位電力あたり性能）が、事業開始時点における同等の技術と比較し、100倍以上となることを示す	2020年度までの目標である、光電ハイブリッドスイッチを構成する、光波長送受信器、バースト多値プロセッサ、光コアスイッチの各要素デバイスの切替動作について、すべて目標時間である100μs以下の動作を確認し、要素部品技術の基盤を確立した。また、スイッチシステム制御の高速制御手法を考案し、実験によりシステム制御の原理を検証した
	委託	イジングマシン共通ソフトウェア基盤の研究開発	早稲田大学	2022年度研究開発の最終目標は以下の2点となる： ①イジングマシン共通ソフトウェア基盤を構築し、実応用する ②イジングマシン共通ソフトウェア基盤により、イジングマシンで従来解法不可能であった現実課題に対し少なくとも2桁の高速解法を達成する	2020年度時点で、以下のような中間目標が達成されている： ①イジングモデル変換のための基礎理論を構築した。 ②共通ソフトウェア基盤のプロトタイプを構築した。 ③いくつかの社会課題の抽出を行った。 上記、中間目標を達成することで、十分に最終目標を達成できる見通しである
探索型研究枠	委託	未来共生社会にむけたニューロモルフィックダイナミクスの特ポテンシャルの解明	大阪大学	①身体と脳神経系のカップリングダイナミクスによる効率的かつ多様な行動生成： ニューロモルフィックダイナミクス理論の基本モデルの構築ならびに応用による検証を通じたモデルの精緻化すること	①身体と脳神経系のカップリングダイナミクスによる効率的かつ多様な行動生成：ニューロモルフィックダイナミクス理論の計算モデルの構築ならびに、シミュレーションによる各種検証実験中 ②ニューロモルフィックデバイスの探索：基本計画目標達成に向け、アナログメモリ素子開発中、

			<p>②ニューロモルフィックデバイスの探索：開発する技術のエネルギー消費効率あるいは電力（単位あたり性能）が、事業開始時点における同等の技術と比較し、100倍以上となる技術の確立に見通しを付けること</p> <p>③ロボカップ@ホームによる脳型アーキテクチャの実証実験：ロボカップ@ホームの片付けタスクにおいて、柔軟物の識別及びハンドリングをCMOSチップ、センサ単体で動作確認し、ROSで結合後、HSRの把持タスクで実証（12月のRoboCup Japan Openでデモ）</p>	<p>スピンレザバーはシミュレーションで確認済み、脳型レザバーの項目をほぼ達成中、脳型AIの実装方式確立中</p> <p>③ロボカップ@ホームによる脳型アーキテクチャの実証実験：柔軟物識別用ソフトハンドの設計・実装。これを用いた識別・ハンドリングの初期実験成功。ジャパンオープンに向けたシステムの構築中</p>
委託	深層確率コンピューティング技術の研究開発	理化学研究所	<p>①-1) 開発した手法を、産業技術総合研究所、京都大学、東京大学のソフトウェアに実装し、実データへの適用を行うことにより、エッジクラウド間の計算バランシングを評価する</p> <p>①-2) 複雑な時系列データに対して、深層学習とカーネル法を融合した状態空間モデルによる表現の可能性を示す</p> <p>①-3) 深層学習によるサンプリングの高度化により、サンプルによる確率分布の表現を効果的に学習する方法を開発し、実施項目3で開発予定のハードウェアでその有効性を評価する</p> <p>②-1) 実施項目①で検討する複雑な確率モデルを含む2種類以上の確率モデルが、拡張されたT-PRISMおよびTarsをPyTorch上に移植したPixyzによって扱えることを示す</p> <p>②-2) 深層確率学習の実施項目③で構築するハードウェアのシミュレータ上での実行効率のシミュレーションによる評価を完了させる</p> <p>②-3) T-PRISMとPixyzの融合の方針を提案し、融合の可能性を示す</p> <p>③-1) アプリケーションの性能評価とそれに基づく性能改善を行う</p> <p>③-2) 実アプリケーションで</p>	<p>①-1) Pixyzを用いて開発した手法の一部を実装するとともに、東京電力のスマートメータデータへの適用を行っている。また、VAEと状態空間モデルの融合する新モデル「Model Identification NN (MINN)」を開発し、人工データに適用し評価を行っている</p> <p>①-2) カーネル法において単純な行列演算を深層学習に置き換える方法を考案し、より柔軟性の高いベイズ推論を可能にした</p> <p>①-3) GANの判別器を用いた異常検知法を開発して有効性の検証を行っている</p> <p>②-1) T-PRISMとPixyzを開発し、それぞれ公開している。また、複数の確率モデルを実装して評価・公開している</p> <p>②-2) ハードウェア上での実行効率の予備的検討として、T-PRISMを既存の汎用エッジ向けデバイス（Jetson TX2）上での動作させ、消費電力や通信量の見積り、計算速度の解析等を実施した</p> <p>②-3) T-PRISMとPixyzの融合方式について検討し、PyTorchを共通基盤として融合する方式の検討を開始した</p> <p>③-1) プロセッサの開発を推進し、BbB法のC実装を行い、開発プロセッサでの評価</p>

			の電力見積もりを行い、1/100以上のエネルギー効率が達成できる見通しを示す	の準備を進めている ③-2) 上記開発を進めるのに加え、項目①および②と連携し、実データの解析に向けたアーキテクチャの検討をおこなっている
委託	イン不揮発性メモリ分散 Approximate コンピューティングの研究開発	東京大学	本研究ではこれまで注力されていなかったミドルウェアやネットワーク、AI アクセラレータやメモリなどに対して Approximate コンピューティングを導入し、システム全体の最適化を行った。その結果、約217倍の電力効率向上達成の見通しを得た。更に HfOx 型 FeFET CiM (Computation-in-Memory) でも電力効率10倍以上を確認。Approximate コンピューティングと HfOx 型 FeFET CiM の融合で電力効率1,000倍の見通し	HfOx 型 FeFET の信頼性劣化を Approximate コンピューティングで補償し、FeFET CiM をアプリケーションに応じてシステムに組み込む技術を開発することで、電力効率1,000倍を目指した技術を確立する
委託	物理ダイナミクスに基づく学習デバイスを備えた超高効率認知コンピューティングの研究開発	日本アイ・ビー・エム株式会社	光リザバーデバイスおよびスピリザバーデバイスの設計と作製技術の開発を行ない、ベンチマークタスクにより認知コンピューティングの実証を行う。さらに、コンポーネント化とミドルウェア及びアプリケーションの開発を行う。研究実施項目を統合して音声認識による Proof-of-Concept デモにより、超高効率認知コンピューティングを実装する	各研究実施項目の目標を予定通り達成している
委託	2028年に性能100倍を達成する汎用性の高い高性能計算機アーキテクチャとシステムソフトウェアの技術の探索	理化学研究所	①開発中のアーキテクチャ探索システムを用いて、広範なアプリケーションにおいて100倍の実行効率が期待されるアーキテクチャ探索を行い、実アプリケーションにおいて100倍加速の達成に要求されるアーキテクチャの性能を定量的に示す ②アルゴリズムをデータフロー回路に展開して実行する新しい計算機アーキテクチャとそのプログラミング手法の探求のために(1)アーキテクチャ評価環境の構築と(2)アーキテクチャ設計空間の探索を行い、ポストムーア時代でも性能をスケール可能な計算機アーキテクチャを明らか	①実アプリケーションの性能見積もりの精度の改良を行っている。具体的には、ベシックブロック、パフォーマンスカウンターを抽出し、任意の(将来の)CPU性能(Flops値、メモリバンド幅等)を入力として与えた場合に、実際にアプリケーションを実行せずとも実効性能を見積もることのできるフレームワークを実装し検証実験の準備を行っている ②粗粒度再構成可能アーキテクチャ(CGRA)に関する調査を行い本研究で対象とする設計空間を定めることができた。また、パラメタ化されたVHDL記述により、サイクル精

				<p>にする</p> <p>③開発中のメモリ性能推定ツールを拡張して用いることによって、複雑な構造を持つメモリアーキテクチャ上において、アプリケーション群の性能を推定する。それによりメモリアーキテクチャ探索を行い、100倍加速に到達しうるメモリアーキテクチャ構成を示す</p> <p>④FLOPS-to-BYTES コンセプトを実現する新計算原理としてニアデータプロセッシングモデルの方向性を探求するために、(1)冷却およびピン数の限界の超越やユーザや実装メーカーから見たギャップ(障壁)を抑制できる新アーキテクチャの確立、(2)これを高速に再現できる仮想環境の構築、(3)その仮想環境上で新アーキテクチャの支援システムソフトウェア群の開発、(4)それらの効果の性能評価を行うことで、ムーア則終焉後にも性能向上できる汎用高性能計算機の正しい方向性の一つである証拠を取得する</p>	<p>度で評価が可能な CGRA のシミュレーション試作環境を構築できた。簡単なベンチマークのシミュレーションを実施し、ソフトウェアによる計算結果との一致や CGRA の性能特性の予備的評価を行った。</p> <p>③メニーコアプロセッサのためのキャッシュ構造や異種メインメモリ等の先進的なメモリアーキテクチャ動向の詳細調査により、本研究で対象とするメモリアーキテクチャの探索空間をより具体化することができた。またメモリアーキテクチャ空間探索のためにメモリ性能を自由に設定可能な性能推定ツールの整備を行い、他実施項目との連携を含めたアーキテクチャ全体の探索の基盤とすることができた</p> <p>④冷却およびピン数の限界の超越や、ユーザや実装メーカーから見たギャップ(障壁)を抑制しつつ、大容量データに対する Irregular access を加速しうる McIM という有望な新アーキテクチャを考案した。実装容易性と未開拓の加速要因を利用して、律速アプリが多いバンド幅のルーブリンを圧倒的に改善するアーキテクチャの骨格を確立できた</p>
--	--	--	--	--	---

※2020 年度については、本研究開発項目において追加公募を実施しており、新たに 2 テーマの採択を行っている。

2.3 研究開発スケジュール

研究開発スケジュールを図 2-2.3-1 に示す。

「次世代コンピューティング技術の開発」については、2018 年度から最長 2027 年度まで 10 年間の研究期間を有する長期のプロジェクトである。しかし本技術分野は、業界動向を含めて技術潮流の変化が速く、現時点で有効であると考えられる技術が、必ずしも数年後にその有効であるとは断定できない。

従って、事業期間の中で、ステージゲート審査による各研究開発テーマの継続可否判断や開発体制に関する評価等を行うだけでなく、2022 年度には事業内容の見直しを行い、特に有効と判断される技術への集中的な支援と合わせ、一部研究開発テーマの早期終了を実施するなど、ドラスティックなマネジメントを実施する。

また、必要とされる技術がある場合は事業期間中に追加公募等を行い、テーマ、事業者を追加するだけでなく、実用化・事業化の目処が立つものについては上述の整理に寄らず、NEDO 事業による研究開発の早期終了を行い、事業者主導のもとで早期の事業化を模索していく。

FY2016 2017 2018 2019 2020 2021 2022 2023 2024 2025 2026 2027

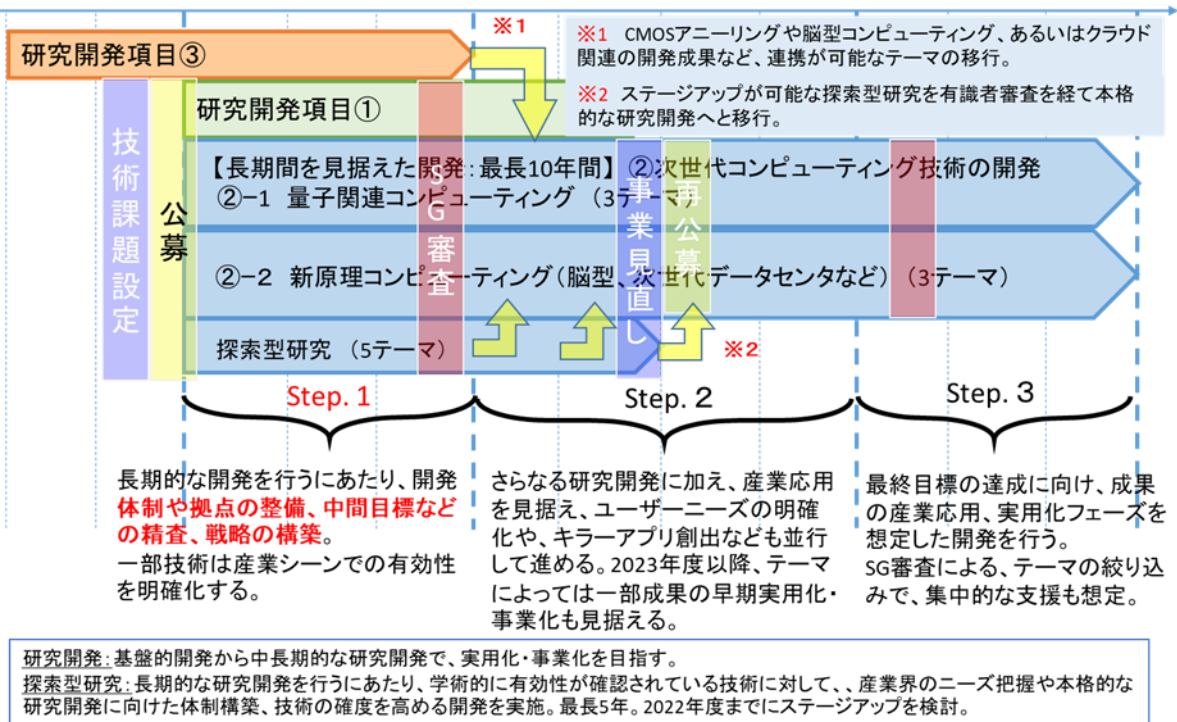


図 2-2.3-1 研究開発スケジュール

2.4 プロジェクト費用

研究開発項目②における、2018年度から3年間のプロジェクト費用は、表 2-2.4-1 の通りである。2018年度及び2019年度は執行ベースの金額であり、2020年度は契約ベースの金額としている。

表 2-2.4-1 プロジェクト費用 [単位:百万円]

研究開発項目	年度	2018	2019	2020	合計
①革新的AIエッジコンピューティング技術の開発		2,282	4,393	4,512	11,187
②次世代コンピューティング技術の開発		1,866	2,021	3,324	7,211
③高度なIoT社会を実現する横断的技術開発		4,093	2,344	2,029	8,466
その他調査事業等		149	121	147	417
合計		8,390	8,879	10,012	30,337

2.5 マネジメント体制

本研究開発項目では、技術的成果及び政策的効果の最大化、産業社会への還元等を目指し、プロジェクト全体の企画・推進・管理を行うためにプロジェクトマネージャー(以下 PM という)およびサブ・プロジェクトマネージャー(以下 SPM という)を設置した。

加えて、効率的な研究開発の推進を図る観点から各実施者の研究開発能力を最大限に引き出し、性格の異なる各研究機関のベクトルを束ねるため、当事業には NEDO が指名する研究開発責任者(プロジェクトリーダー、以下「PL」という)を設置し、各実施者はプロジェクトリーダーの下で研究開発を実施する体制をとっている(図 2-2.5-1)。

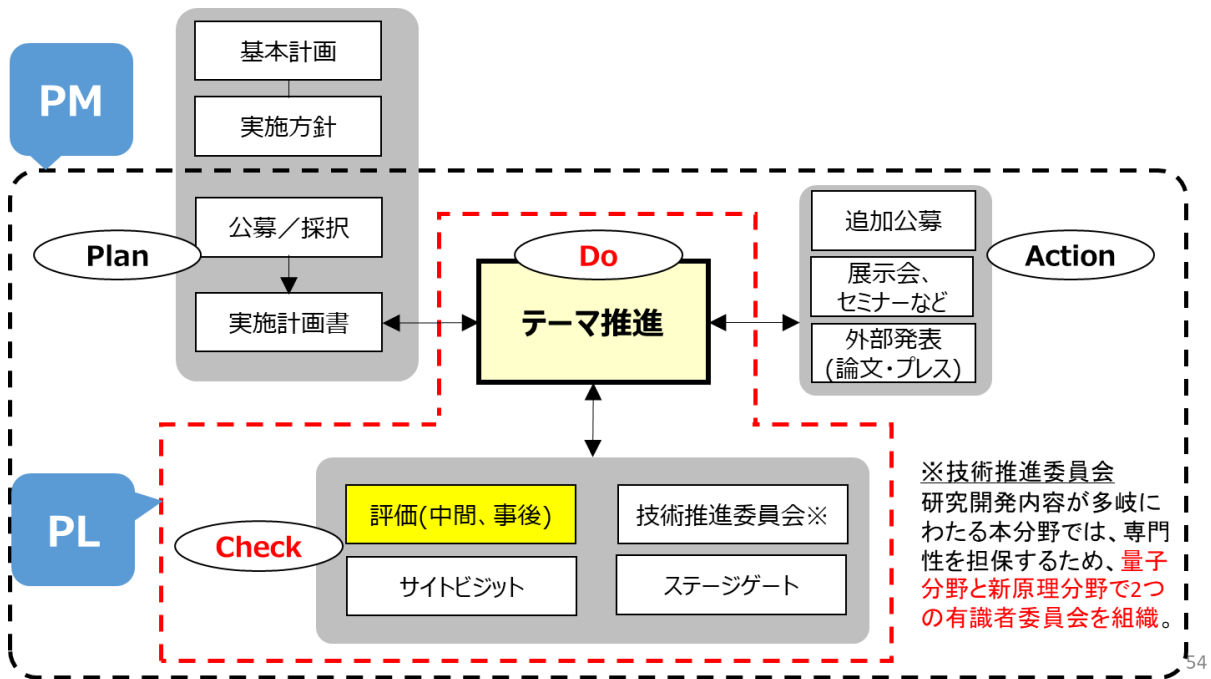


図 2-2.5-1 マネジメントツールにおける PL, PM の役割分担

また、プロジェクトをより効率的かつ効果的に遂行するため、同時に研究開発項目内の整理を行い、研究開発内容の専門性も重視して PL を複数名設置した。

具体的には、本研究開発項目を、特に専門的な知見が求められる「量子コンピューティング分野」と、幅広い知見を求められる「新原理コンピューティング(非量子)分野」の 2 つに整理し、それぞれの分野に適した専門性、知見等を有する PL を 1 名ずつ委嘱。

■ 研究開発項目②-(1)量子コンピューティング関連技術:

国立研究開発法人産業技術総合研究所 デバイス技術研究部門グループ長 川畑史郎氏

■ 研究開発項目②-(2)新原理コンピューティング関連技術:

国立研究開発法人産業技術総合研究所 特別顧問 金山敏彦氏

事業の実施にあたっては、プロジェクトの技術目標等の達成に向けた取り組み、研究開発の進捗状況の把握、プロジェクトの実施体制の構築・改変及び事業者間等の予算配分に係る助言、プロジェクトの成果の評価等に係る業務の全部又は一部について、月1回程度のペースで PL 月例会議を開催し PM/SPM と緊密な連携を図っている。事業者との関係としては、2019 年に全テーマを対象とした研究開発現場を訪問しての事業者とのミーティング(サイトビジットなど)を実施し、PL による直接の指導、意思の疎通が図れるよう実施している。

また、本研究開発項目は、次世代コンピューティングという研究課題のもと、既存の技術の延長とならない多岐にわたる研究開発を実施している。従って、有識者による定期的な集団指導体制を構築し(技術推進委員会の設置)、様々な観点から定期的に助言等をもらいながら推進している。なお、技術推進委員会についても PL 同様に分野の専門性を重視し、「量子コンピューティング分野」と「新原理コンピューティング(非量子)分野」の 2 つの委員会をそれぞれの専門性をもった産学官からなる外部有識者により組織、より専門的な視点を担保しつつ、評価、指導を実施している(図 2-2.5-2)。

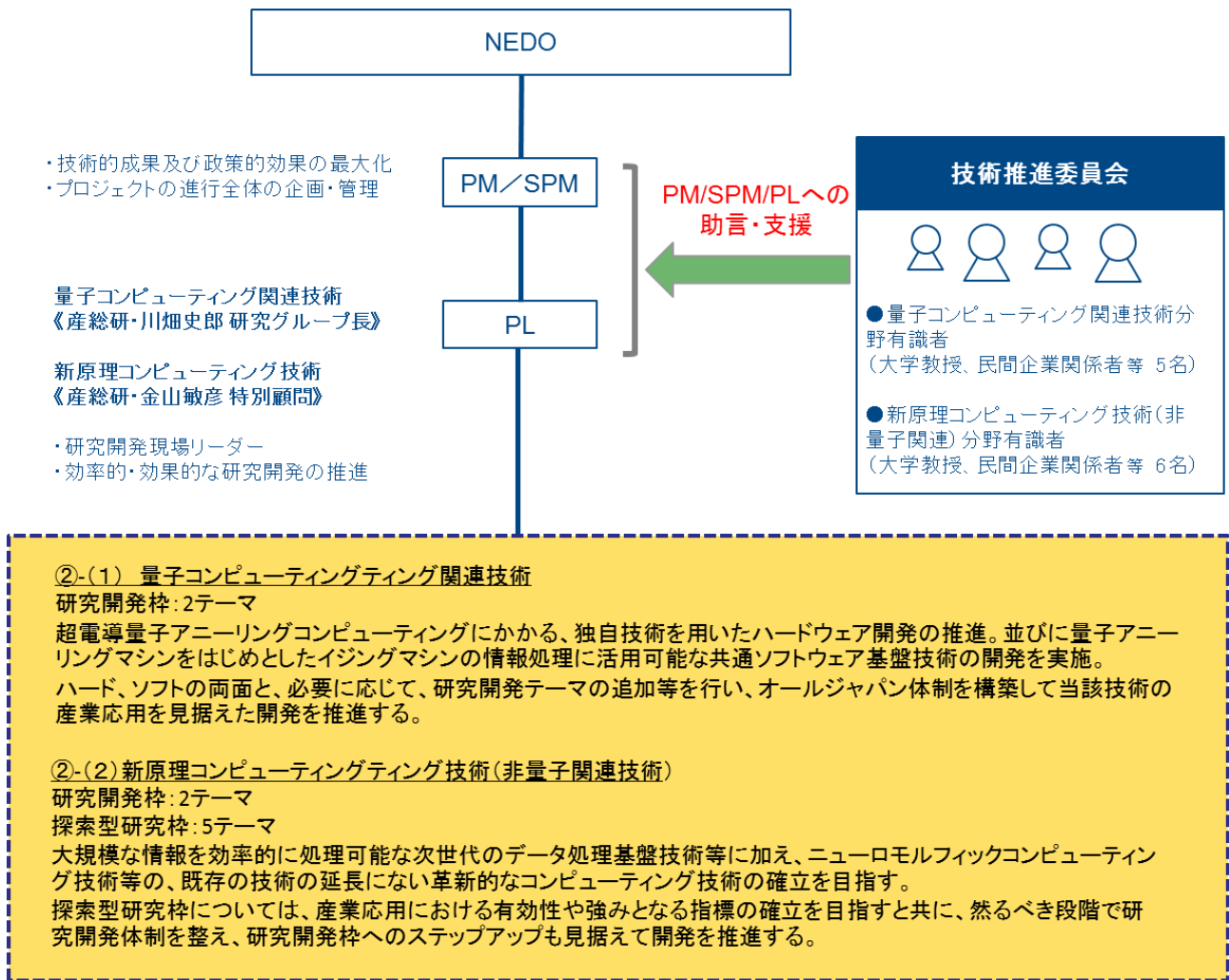


図 2-2.5-2 マネジメント体制(2020年7月時点)

2.6 実施体制

本事業は、表 2-2.6-1 に示す実施体制にて推進している。(実施方針から添付)

表 2-2.6-1 実施体制(2020年7月時点)

分類	事業形態	研究開発テーマ	委託先名		代表事業者
				再委託先・共同実施先名	
研究開発枠	委託	実社会の事象をリアルタイム処理可能な次世代データ処理基盤技術の研究開発	日本電気(株)		○
			(株)ノーチラス・テクノロジーズ		
			東京工業大学		
			大阪大学		
			名古屋大学		
			慶應義塾大学		
			うち再委託	筑波大学	
			株式会社パスコ		
	うち再委託	(株)ディーブ・センシング・イニシアティブ			
	委託	超電導パラメトロン素子を用いた量子アニーリング技術の研究開発	日本電気(株)		○
			うち共同実施	産業技術総合研究所	
			うち再委託	大阪大学	
東京工業大学					
早稲田大学					
委託	ディスプレイ型次世代データセンタに適用する光電ハイブリッドスイッチを用いた高速低電力データ伝送システムの研究開発	技術研究組合光電子融合基盤技術研究所		○	
		うち再委託	産業技術総合研究所		
		うち再委託	国立大学法人東海国立大学機構		
委託	イジングマシン共通ソフトウェア基盤の研究開発	早稲田大学		○	
		うち再委託	日本電気(株)		
		東京工業大学			
		情報・システム研究機構			
		(株)フィックスターズ			
		豊田通商(株)			
産業技術総合研究所					
探索方研究枠	委託	未来共生社会にむけたニューロモルフィックダイナミクスのポテンシャルの解明	大阪大学		○
			うち再委託	東京大学	
			うち再委託	北海道大学	
			うち再委託	京都大学	
			うち再委託	立命館大学	
			九州工業大学		
			(株)日立製作所		
	産業技術総合研究所				
	委託	深層確率コンピューティング技術の研究開発	理化学研究所		○
			情報・システム研究機構		
			産業技術総合研究所		
			うち再委託	東京大学	
			京都大学		
	委託	イン揮発性メモリ分散Approximateコンピューティングの研究開発	東京大学		○
			うち再委託	(同)リトルウィング	
情報・システム研究機構					
委託	物理ダイナミクスに基づく学習デバイスを備えた超高効率認知コンピューティングの研究開発	日本アイ・ピー・エム株式会社		○	
		東京大学			
委託	2028年に性能100倍を達成する汎用性の高い高性能計算機アーキテクチャとシステムソフトウェアの技術の探索	理化学研究所		○	
		東京工業大学			
		うち再委託	横浜国立大学		

2.7 動向・情勢の把握と対応

本研究開発項目が実施する次世代コンピューティングの分野は、既存の技術の延長にない新しい技術の開発を目的としていることから、事業の推進と共に課題として見てきたものがあるれば、適宜、新テーマの追加を行うと共に、研究開発と並行して産業応用の有効性を模索するなど、各研究テーマの個別動向・進捗把握に努め、適宜研究開発の加速、前倒し等を行った。詳細は表 2-2.7-1 の通りである。

表 2-2.7-1 概要と狙い

対応	概要	狙い
研究テーマの追加	<p>2020 年 4 月。政策的観点並びに、研究開発の推進と共に技術的観点から必要とされることが明らかとなった、現在実施中のテーマの実施領域にない技術について、追加公募を実施。</p> <p>追加公募募集課題</p> <ul style="list-style-type: none"> ・アニーリングコンピューティング関連技術 ・ニューロモルフィック関連技術 	<ul style="list-style-type: none"> ・アニーリングコンピューティング関連技術 量子アニーリングマシンについて、当該コンピューティング技術を構成するため、大規模化及び汎用計算機化に必要な技術として有効と考えられる、クライオ CMOS や量子ビット用マイクロ派コンポーネントの開発等、量子アニーリングマシンの高度化に資する要素技術に関するテーマを募集する。 ・ニューロモルフィック関連技術 ヒトの脳神経モデルを模した信号処理プロセス等を組み込んだ電子回路構造を用いたチップの設計、並びに高速化と低消費電力化を両立するコンピューティング技術等の確立に向けた研究開発を募集する。
既存研究テーマの加速	<p>研究開発実施にあたり、必要と考えられる研究開発の加速を積極的に実施している。</p> <p>特に、当該技術分野については、研究開発内容並びに最長 10 年間という長期間の開発から、内容の見直しと加速を柔軟に行う事が重要である。</p> <p>特に、業界動向に係る情報収集、課題の追加や成果による試作の実施、対外的な PR を実施することによる社会認知度の向上やユーザーの早期発掘を研究開発と並行して実施するなどが想定される。</p> <p>加速の実施に当たっては、PL 指示並びに技術推進委員会による評価をもって加速内容を承認し、効率的な実施に努めている。</p>	<ol style="list-style-type: none"> ①アニーリングシンポジウムの開催 量子コンピュータは、産業応用の有効性が期待されているものの、キラーアプリが確立しておらず、その用途についても産業界での検討が進められているものである。研究開発と並行し、ニーズの発掘、将来的なユーザーの取り込みを狙い、研究者を集めたシンポジウムを開催。 ②量子アニーリングマシン精密模型の作成 ③その他研究開発内容の拡充 新原理コンピューティング技術開発を実施する 6 テーマに対して、技術推進委員会の評価・承認から研究開発内容を拡充する加速(開発項目の追加、試作、設備の拡充)を実施。

2.8 知財マネジメント

知財は、プロジェクト実施後の実用化に向けた出口戦略を構築・実現するにあたり鍵を握るとともに、戦略的な取組を関係者の合意の下で進める必要があり、その実現に向けた的確なマネジメントの実施が不可欠である。このため、本研究開発項目では NEDO プロジェクト知財基本方針を適用し、テーマ毎に実施者間での知財合意書の作成や知財運営委員会の設置を行った。

3. 研究開発成果について

本研究開発項目としては、既存技術の延長(半導体の微細化)にないコンピューティング技術による情報処理能力の向上等を、次世代コンピューティング技術として位置づけ、当該技術の中間目標として開発成果を組み込んだ要素技術に係る検証あるいはシミュレーション等により、エネルギー消費効率あるいは電力効率(単位電力あたり性能)が、事業開始時点における同等の技術と比較し、100倍以上となる見込みを示すこととしている。

目標を達成するための取り組みとして、以下の通り 2018 年度から課題設定、公募による体制構築、技術推進委員会の開催などを進め、各テーマの開発成果把握とマネジメントを行っている。

2018 年度

本研究開発項目の実施体制を構築すべく、情報提供依頼(RFI)の結果や政策的観点から以下の重点課題例を設定し、公募を実施した。結果、研究開発枠 4 テーマ、探索型研究枠 5 テーマを採択し、研究開発に着手した。

2019 年度(一部コロナ禍による影響を鑑み、2020 年度に実施。)

各事業者のサイトビジットおよび技術推進委員会を通じて進捗状況を確認した。年度途中には、加速によるシンポジウムの開催を実施するなど、研究開発のみならず、関連技術の認知度向上やユーザーニーズ把握のための活動を実施している。

2020 年度

クライオ CMOS や、ニューロモルフィックチップを用いたコンピューティングの開発等、既存テーマにないものの、当該分野における技術の確立に向けて研究開発が必要かつ政策上重要と考えられるテーマの追加公募を実施。研究開発枠で 2 テーマを採択し、新たに開発を開始した。

以下に、各研究開発テーマにおける個別の成果詳細を示す。

3.1 研究開発テーマ「実社会の事象をリアルタイム処理可能な次世代データ処理基盤技術の研究開発」

本研究開発項目では、継続して進歩していくハードウェア技術を活用する次世代データ処理基盤技術の研究開発というテーマに対し、以下の成果を上げつつある。

実施項目Ⅰ 基礎研究：高性能性、リアルタイム性をもつデータ処理基盤技術の確立

実施項目Ⅱ 実用化研究：実用化に向けた実施項目Ⅰを含む DB アーキテクチャ確立

実施項目Ⅲ 実証研究：本データ処理基盤技術の検証アプリケーションの開発

個別の研究開発テーマにおける詳細は以下に示す。

3.1.1 研究開発サブテーマ「実社会の事象をリアルタイム処理可能な次世代データ処理基盤技術の研究開発：実施項目Ⅰ 基礎研究」

3.1.1.1 概要

I-①OLTP と OLAP の統合技術の研究開発

本研究開発テーマでは、オンライントランザクション処理(OLTP)とオンライン解析処理(OLAP)を統合した技術の実現の為に、これまで2つの実施項目の研究開発を行ってきた。

I-①-1 行方向データと列方向データの融合の開発

情報システムの発達により、IoT データや多種の業務データを含む様々なデータが大量に生成されている。これら生成されたデータによるデータベースへの更新は、OLTP として高速に処理される必要がある。一方、OLTP によってデータベースに蓄積される大量のデータを有効利用するために、データを解析して有用な情報を引き出す OLAP の重要度も益々増している。しかし、OLTP と OLAP は処理の性質が大きく異なることから、OLTP による更新データを低遅延で OLAP で解析する HTAP(Hybrid Transactional Analytical Processing)を実現するために、Read only Anomaly (RoA)の検知・回避を可能としたデータ一貫性の保証が必要である。しかし、既存の一貫性保証技術だけでは、HTAP における高性能の維持と RoA の回避の両立が極めて困難である。本実施項目では、OLTP 性能の低下を抑えつつ OLAP における RoA を回避するための新たな論理的枠組を構築し、目覚ましい成果を出しつつある。今後はその効果を示す予定である。

I-①-2 コアアサインの最適化の開発

近年、半導体技術の発達により、不揮発性メモリおよび複数コアといった新しいハードウェア環境が出現している。それらのハードウェアを有効利用することで、HTAP を実現し、アプリケーションを高速実行することが可能となる。しかし、既存の複数コアを用いた HTAP システムでは、OLTP・OLAP に跨るコアアサインが動的に行われなく有効に利用されていない。そこで、本実施項目では、まず OLTP による更新内容を OLAP の対象とするログ SHIPPING のためのコアも含めてコアアサインする手法を提案し、検討を進めている。そのようなコアアサインの手法はこれまでなく、HTAP 全体の目覚ましい成果を出しつつあるといえる。今後は手法を実現し、その効果を示す予定である。

I-②OLTP とデータストリーム処理の連携技術の研究開発

本研究開発テーマでは、OLTP とデータストリーム処理との連携技術の開発を行っている。従来のデータストリーム処理ではベストエフォートの処理が原則であり、システム障害への対応は一般には想定されていなかった。しかし、データストリームのステート(一定期間確実に保持したいひとまとまりのデータとその状態)管理の需要が高まったことでフォールトトレランスの必要性が増しており、処理性能とのトレードオフに応じた柔軟なフォールトトレランスの実現が望まれている。一方、OLTP はデータベースにおける基礎技術として長年研究開発

が行われており、永続的かつ一貫性を保証したデータ処理を提供する。そこで、本研究開発テーマでは OLTP と連携したデータストリーム処理を行うことで、フォールトトレランスを考慮したデータストリームのステート管理についての研究開発を行う。

I-③OLAP 処理の高速化技術の研究開発

「OLAP 処理の高速化技術の研究開発」の課題項目では、大規模で多様な構造を有するビジネスデータあるいはセンサにより実世界から収集されるデータを対象として、自動的に有益な知識を発見する探索的データ分析技術の開発に取り組んでいる。具体的には、技術課題を2つにブレークダウンして、1)「スキーマ最適化による OLAP エンジンの高速化」、2) 大規模データに対する「探索的データ分析の高精度化」に取り組んでいる。

I-④OLTP 処理の高速化技術の研究開発

トランザクション処理は必須だが、その存在はシステムの性能を劣化させる。文献 [1] によれば、データベースアクセスにおける有益な処理には CPU が 6.8%しか使われない一方、トランザクション処理にはそれが 77%も使われている。それゆえトランザクション処理の高性能化は社会的に重要な課題である。それには世界最高レベルの技術を知り尽くす必要がある。そこで我々は並行性制御法に関する分析プラットフォーム CCBench [2] を公開した。これは近代的並行性制御手法群を公平・網羅的に比較可能なシステムであり、世界的にも珍しい。CCBench を用いて既存手法を分析した結果、新たな最適化手法を発見するに至った。

CCBench の一部に基づき、トランザクション処理システム Shirakami を開発し、ノーチラステクノロジーズ社が新規開発した問合せ処理システムとの結合試験を TPC-C を用いて成功させた。

また、OLTP におけるトランザクション内部で実行される演算を高速化すべく、C 言語を動的に生成する技術を実現した。この成果は xSIG で outstanding research award を受賞した [3]。

[1] Stavros Harizopoulos, Daniel J. Abadi, Samuel Madden, and Michael Stonebraker. OLTP through the looking glass, and what we found there. In Proceedings of ACM SIGMOD, 2008.

[2] <https://github.com/thawk105/ccbench>

[3] 根本 潤, 川島 英之, 遠山 元道, “部分評価に基づくクエリコンパイラにおける SIMD 命令の活用”, outstanding research award, <http://xsig.hpcc.jp/2020/awards/>

3.1.1.2 最終目標と根拠

I-①OLTP と OLAP の統合技術の研究開発

I-①-1 行方向データと列方向データの融合の開発

目標: HTAP における一貫性の保証

根拠: 従来の HTAP システムでは OLTP とリアルタイムに実行される OLAP クエリのデータ一貫性の保証が十分に考慮されていない。データ一貫性の保証のための RoA の検知・回避が考慮されていないと OLAP の結果の信頼性が下がってしまう。既存の一貫性保証技術だけでは HTAP における RoA の回避は困難である。Two-Phase Locking では OLTP の性能が著しく低下してしまう。Serializable Snapshot Isolation では OLTP と OLAP のエンジンを分離した場合 RoA は回避出来ない。また、OLTP 側の性能をほとんど低下させない RoA 回避手法はこれまで提案されていなかった。

我々の提案する手法では OLTP 性能の低下を抑えつつ OLAP における RoA を回避する。OLTP におけるトランザクション間の依存情報を OLAP とも共有することで OLAP クエリは一貫性のあるデータのみを読むようにする。

I-①-2 コアアサインの最適化の開発

目標: HTAP における複数コアの有効利用

根拠: 既存の複数コアを用いた DBMS では OLTP・OLAP に跨り、ログシッピング (OLTP・OLAP 間のデータ適用手法) まで考慮したコアアサインは動的には行われておらず、複数コアを有効に利用されていない。我々の研究では OLTP や OLAP およびログシッピングにおいて動的にコアアサインを行う。動的なコアアサインにより負荷に即した性能向上を目指す。

I-②OLTP とデータストリーム処理の連携技術の研究開発

目標: 開発するシステム技術を踏まえたデータストリーム処理システムのプロトタイプシステムの開発

根拠: 従来技術ではストリーム処理における耐障害性は十分に研究されていない。そこで、具体的には、1) 複数のアプリケーションを想定した要求分析、2) OLTP とデータストリーム処理の連携アーキテクチャの開発、3) データストリーム処理におけるフォールトトレランス技術の開発、4) データストリーム処理におけるステート管理手法の開発、5) プロトタイプシステムの設計と開発、の 5 段階に分け、最終目標の達成を目指す。このうち、1) 及び 2) は研究開発の実施や成果の普及を考える際の前提事項や現状の把握を行うものであり、3 年目までを目処に実施する。3) 及び 4) は実際に OLTP とデータストリーム処理との連携技術を開発する上での要素技術であり、2 年目及び 3 年目を中心に並行して行う。そして、これらの成果を基に 4 年目及び 5 年目でプロトタイプシステムの開発を行う。

I-③OLAP 処理の高速化技術の研究開発

「スキーマ最適化による OLAP エンジンの高速化」

目標: 従来よりも 1 桁以上の OLAP エンジンの高速化の実現

根拠: 代表的な従来技術として、BigSubs (VLDB2018)、NoSE (ICDE2016) が挙げられるが、これらではクエリワークロードが時間変化しないことを前提としているため、実用化における時間変化するワークロードに対しては最適なスキーマ推薦を行うことができない。我々の技術では、スキーマ進化によるマイグレーションコストを含めて最適化を実施する点に新規性がありスキーマ最適化による OLAP エンジンの高速化を達成可能と考えている。

「探索的データ分析の高精度化」

目標: 従来では見つけることができなかった有益な知識を高精度化に発見

根拠: 従来研究として、欠損値補完と異常検知技術の組み合わせの調査論文 (COMPASS2019) があるが、欠損値が多い場合には大幅に異常検知の精度が劣化することが報告されている。我々の技術では、欠損値補完の問題と異常検知の問題を同時に解く点に新規性があり、欠損値補完する量を大幅に低減することで高精度な異常検知を達成することが可能と考えている。

I-④OLTP 処理の高速化技術の研究開発

目標: リアルタイム OLTP 処理技術の提案と、その探求活動の根幹を成す OLTP 分析プラットフォームの構築

根拠: 本技術が構築できれば世界最先端の OLTP 技法を比較評価することが可能になると同時に、新手法の設計という極めて困難なタスクが現実的になる。前述の CCBench は並行性制御法をサポートする。一方、OLTP を構成する機構には、並行性制御機構に加えてリカバリ機構と演算子処理機構がある。そこで最終目標としては OLTP 処理全体をサポートす

るプラットフォームを構築することを目指す。現状、世界的にも OLTP 全体を分析可能なプラットフォームは存在しないことがその難易度を示唆するが、重要課題なので挑戦する。

新規技法提案にプラットフォーム構築が必要な根拠は、OLTP は理論と実装が複雑に入り組んだ技術だからである。スケジューリング空間が広いなど理論的に優れようとも効率的な実装方法がなければ性能は劣悪となる。その例には Snapshot Isolation 法がある。OLTP 手法の提案には、OLTP の全てを知り尽くす必要がある。それゆえ、精妙巧緻な分析プラットフォームの実現が必須となる。それができればアプリケーションワークロードに合わせたプロトコルと最適化手法の試行錯誤が可能となるため、新規技法の提案が容易となる。

3.1.1.3 目標の達成度

I-①OLTP と OLAP の統合技術の研究開発

I-①-1 行方向データと列方向データの融合の開発

データ一貫性を保証するための理論的枠組を構築できた。今後は提案手法の効果を示す予定である。

I-①-2 コアアサインの最適化の開発

複数コア環境で OLTP による更新内容を OLAP の対処とするログ SHIPPING のための手法を提案し、初期評価結果として効果を示した。今後は、HTAP 全体の処理に対して動的なコアアサイン手法を改善し、効果を示す予定である。

I-②OLTP とデータストリーム処理の連携技術の研究開発

設定した目標を、予定通りに達成している。1) 複数のアプリケーションを想定した要求分析及び 2) OLTP とデータストリーム処理の連携アーキテクチャの開発では、既存のデータストリーム処理システムである Flink で実行可能な処理のサブセットを想定し、OLTP を用いてデータストリーム処理のステートを管理するアーキテクチャを提案した。これらは主に前年度(2年目)までに行っており、今年度(3年目)は後述する要素技術の開発に合わせた調整を中心に行っている。3) データストリーム処理におけるフォールトトレランス技術の開発及び 4) データストリーム処理におけるステート管理手法の開発は今年度(3年目)でのおおよその開発完了を目指しており、それぞれ並行して研究開発を実施している。5)は来年度(4年目)以降に取り組み予定であり、現時点では実施していない。

I-③OLAP 処理の高速化技術の研究開発

「スキーマ最適化による OLAP エンジン」の高速化に関しては基本機能に関するプロトタイプの開発が完成しており、簡易なベンチマークにおいて NoSE(ICDE2016)と比較して性能が改善されていることを確認済みである。現在、複雑なクエリを含む一般的なベンチマークである TPC-H に対する機能拡張、および天文台のデータベースに対する 3 万件のクエリログに対して適用できるよう機能拡張に取り組んでいる段階にある。

「探索的データ分析の高精度化」に関しては 1 マシンで動作するプロトタイプの開発が完成しており、具体的な応用例として天文データを対象とした変動天体の課題を対象として、1 万件規模の小規模データを用いて技術検証を実施している段階にある。従来は欠損値補完は天体ごとに行っていたが、空間的に近傍ある天体データを活用することで欠損値補完精度が向上できることを確認済みである。更に、次のステップで 200 万件規模の中規模データに適用するため、分散環境である Spark 環境での欠損値補完、異常検知技術を選別し、実行環境を準備中である。

I-④OLTP 処理の高速化技術の研究開発

実施計画書に記載した目標は順調に達成できている。実施計画書では研究項目として、下記を挙げた。[I-④-1. リアルタイムトランザクション処理機構の設計と実装] [I-④-2. リアルタイム演算処理機構の設計と実装]、[I-④-3. アプリケーションロジックへの最適化] を挙げた。I-④-1 と I-④-2 は 2018 年度開始であり、申請書に記載した線表通り、H31 年度時点でいずれも「設計」を完了している。I-④-1 の基幹構造の「設計」を行い、さらに CCBench として実装した。CCBench 上で用いる各種プロトコルならびに最適化手法がすでに評価可能になっている。I-④-2 は Just-in-time 技法を用いる手法が優れることを研究により突き止め、演算処理機構の「設計」を完了し、さらにその実装と初期評価を終えた。I-④-3 は予定通り 2020 年度から開始し、今年度の目標である「機能理解」に関する活動を DBx1000 なるプラットフォームを対象に開始している。

3.1.1.4 成果と意義

I-①OLTP と OLAP の統合技術の研究開発

I-①-1 行方向データと列方向データの融合の開発：

成果：HTAP において、OLAP クエリ実行時に OLTP トランザクション間の依存関係に基づきどこまでのデータをアクセスするかをリアルタイムで決定することによりデータ一貫性を保証するための理論的枠組みを構築した。

意義：OLTP 性能に(ほぼ)影響を与えることなく、リアルタイムに OLAP クエリを実行してもデータの一貫性を保証することが可能になる。また、理論的な枠組みを構築したので様々なデータ処理エンジンに適用できる。

I-②-2 コアアサインの最適化の開発

成果：複数コア環境で OLTP による更新内容を OLAP の対象とするログ SHIPPING のための新たな手法として Base backup Relation と Latest Two Version Relations の手法を提案し、複数コアを搭載する実機上で効果を確認できた。

意義：複数コアを持つ単一ホストマシン上で、サービスの停止をせずに短期間で OLTP の更新データを OLAP へ反映することで従来よりもより最新の情報で OLAP クエリを負荷に即して実行することが可能になる。

I-②OLTP とデータストリーム処理の連携技術の研究開発

各目標に分け成果と意義を述べる。1) 複数のアプリケーションを想定した要求分析 及び 2) OLTP とデータストリーム処理の連携アーキテクチャの開発 では、まず背景として、既存の分散ストリーム処理システムでは処理ノードの一部で障害が発生した際に障害の影響が全処理ノードへ波及してしまうという課題があった。本研究成果ではステートの一貫性を OLTP を用いて管理するアーキテクチャを提案しており、既存システムとは異なるアプローチでのフォールトトレランスの保証が可能となる。3) データストリーム処理におけるフォールトトレランス技術の開発 及び 4) データストリーム処理におけるステート管理手法の開発では、データストリームの並列計算により同時にアクセスされるステート情報を、データベースを用いて共有、管理する手法を提案した。処理時にパーティション分割を行う既存手法とは異なり、提案手法ではデータストリーム処理システム全体で一貫性の取れたステートへのアクセスが可能となり、より柔軟なフォールトトレランスの実現が可能となる。

I-③OLAP 処理の高速化技術の研究開発

従来技術との比較という観点で成果と意義を説明する。「スキーマ最適化による OLAP エンジンの高速化」に関しては、時間変化するワークロードに対するスキーマ最適化に取り組

んでおり、この技術課題は従来技術よりも適用範囲が広く優位性が高いと考えている。技術的な詳細に関しては、従来技術である BigSubs(VLDB2018), NoSE(ICDE2016) と比較して整数計画問題を適用する点は同様だが、a) スキーマ進化によるマイグレーションコストを含めて最適化を実施する(マイグレーションプランのリストアップおよびコスト計算), b) サブクエリ間の依存関係を活用する考え方を導入することで探索コストおよび空間コストを削減する、c) 頻出パターンマイニングの技術を活用することで優良な初期解を見つける、ことを特徴とする。

「探索的データ分析の高精度化」に関しては、欠損値補完の問題と異常検知の問題を同時に解くという着想に優位性があると考えている。技術的な詳細に関しては、a) データをクラスタ化することでクラスタ間の(スパースな空間)の欠損値補完を不要とすることによって欠損値補完による性能劣化の影響を低減し、b) クラスタ構成時にデータの分布特徴を利用し、c) 複数の異常検知をアンサンブルする、ことを特徴とする。

I-④OLTP 処理の高速化技術の研究開発

I-④-1. リアルタイムトランザクション処理機構の設計と実装

成果: 並行性制御プラットフォームである CCBench を開発して既存手法を比較した結果、Silo と呼ばれる手法が優れることを明らかにすると同時に、新しい最適化手法 (Read Phase Extension)を考案した。そこで Silo 法に基づくリアルタイムトランザクション処理機構である Shirakami エンジンを実装・実装し、標準ベンチマークである TPC-C を通過させることに成功した。

意義: 並行性制御プラットフォームとしては CMU の DBx1000, EPFL の Trireme があるが、DBx1000 は近代的手法が実装されておらず、Trireme は非公開である。CCBench は近代的手法を実装済みである点にまず意義がある。さらに CCBench は公開済みであるため、オープン戦略を採用する内外の企業との協業が推進可能な点に意義がある。

I-④-2. リアルタイム演算処理機構の設計と実装

成果: Just-in-time コンパイル技法を用いたリアルタイム演算処理機構を研究開発し、それが従来の volcano 方式に比べて大幅に高速であることを実験システムにより示した。並びにその成果によりシンポジウムで受賞した。

意義: Just-in-time コンパイル技法が優れた性能を有することを定量的に示し、今後の OLTP システムにおける優れた設計案を示したことに意義がある。

I-④-3. アプリケーションロジックへの最適化

成果: 予定通り 2020 年度から研究を開始したが、既存プラットフォームである DBx1000 の調査を開始した段階であり、成果はない。

意義: 現状では成果がないので意義はない。

3.1.1.5 成果の普及

以下の各観点で成果普及を推進する。

- ・構築した技術やシステムについて、学会・イベントにおいて発表を実施
- ・研究成果を GitHub で公開
- ・実施項目 III のアプリケーションを例とした実システムへの適用

3.1.2 研究開発サブテーマ「実社会の事象をリアルタイム処理可能な次世代データ処理基盤技術の研究開発：実施項目 II 実用化研究」

3.1.2.1 概要

II-①統合メタデータ管理基盤の研究開発

基礎研究成果の早期実用化を狙い、全体アーキテクチャの設計および利便性を向上させるための運用機能や管理機能など研究開発を行う。

II-②実行エンジンの研究開発

従来の RDBMS のアーキテクチャを刷新し、ハードウェア性能を限界まで引き出すとともに、トランザクション処理と分析処理といった異なる処理性能特性をもつワークロードにも対応できるデータベースエンジンを研究開発する。

3.1.2.2 最終目標と根拠

II-①統合メタデータ管理基盤の研究開発

目標: HTAP システムとして全コンポーネントが連携したシステムの実現

根拠: 本プロジェクトでのデータベース研究は、データベースのコアである基礎研究とそれを統合する実用化研究からなる。本項目では実用性のあるデータベースマネジメントシステムを目指し、全コンポーネントの連携とコンポーネント間で必要となるメタデータの管理そして運用機能を実装し普及を目指す。

II-②実行エンジンの研究開発

目標: シームレスな単一のプラットフォームとして OLTP/OLAP 両方のデータ処理を実用的な性能で実行できる統合実行エンジンの完成

根拠: プラグイン等による拡張の可能な構成とし、オープンソースとして公開することで、エンドユーザーやデータベース研究者が最新の技術を柔軟に拡張し、各々のビジネスや研究での活用を可能とする。これにより、商用データベース市場でのベンダ数減少による寡占化やオープンソースデータベースのコードベース肥大化のため最新のハードウェア進化への追従が困難になっている状況を解決する。

3.1.2.3 目標の達成度

II-①統合メタデータ管理基盤の研究開発

2019 年度までに基本的なメタデータ管理の方式を設計しプロトタイプを実装するとともに、他のコンポーネントとの接合試験までを実施している。

また、2020 年度からは各機関の研究プロトタイプの進捗にあわせ、システムとしての機能を横断した全体アーキテクチャの設計を進めている。

II-②実行エンジンの研究開発

実施計画書に記載した下記の予定通り進捗している。

2018 年度は OLTP エンジンのプロトタイプを完成させるとともに、FOEDUS (OSS として公開されているトランザクションエンジン) と結合して実際のハードウェア環境での性能評価を実施した。

2019 年度はクエリパイプラインを並列実行する新規アーキテクチャの設計と SQL 演算子の一部について試作を完了させた。また、慶應大学で研究開発されているトランザクションエンジンとの接合では、性能ボトルネックの分析と解消を行い、目標としていた性能ベーススコアの取得を完了した。

SQL コンパイラについては、2020 年度末目標である標準 SQL サポートに向け、実行エンジンの各種中核機能の開発を進めている。

3.1.2.4 成果と意義

II-①統合メタデータ管理基盤の研究開発

一般に普及しているオープンソースのデータベースである PostgreSQL を活用し、標準的なインターフェイスに対し各技術を連携する方式を設計実装した。これにより、一般的な技術者でも容易に高速なデータベースを利用できることが可能となる。

II-②実行エンジンの研究開発

成果は以下の通り。1)メニーコア、不揮発性メモリ等のハードウェアを活用し、データ更新処理に対して高い並列実行性能を持つ OLTP エンジン、2)基礎研究で開発された分析系問合せ処理に最適化された OLAP 処理技術のコアエンジンと前記 OLTP エンジンとの統合により実現する透過的なデータベース・システム、3)業務要求に特化した処理をサーバー側で実装、実行可能なプログラミング環境を提供するドメイン固有言語(DSL)とその処理エンジン(クエリコンパイラ)。

1)により、新しいハードウェアのパラダイムシフトに沿った次世代データベースの研究成果の実用化を加速できる。2)によりデータベースへのデータ投入から分析までのリードタイム短縮、3)により、業務要件に応じたプログラミング要求への対応が可能となる。

3.1.2.5 成果の普及

研究開発の成果であるデータベース管理システムはオープンソースで公開するとともに、ユーザー会を設立して普及を推進することで、幅広い分野での活用を促進する。

3.1.3 研究開発サブテーマ「実社会の事象をリアルタイム処理可能な次世代データ処理基盤技術の研究開発：実証研究」

3.1.3.1 概要

III-①災害発生後の初動・応急対策段階での活用

大規模災害発生時には、早い段階で広域かつ多彩な被災状況を把握し、情報を整理していくことが、その後の迅速な対策を講じていくために非常に重要である。

一方、近年航空機オブリークカメラと呼ばれる多方向空中写真撮影システムが開発され、航空機の直下方向および前後左右の斜め方向の空中写真を同時に撮影することが可能となった。斜め方向の空中写真は、直下方向の空中写真に比べて、建物の被災状態などを把握するのが容易であることから、特に重要な被災情報元となりえる。また、これらの写真をもとに SfM (Structure from Motion) 技術を用いることで、広範囲な撮影領域の 3DTin (三角形網で構成される 3 次元サーフェスモデル) を自動的に作成することが可能である。従って、この航空機オブリークカメラによる撮影を被災後の初期段階で実施できれば、広域かつ詳細な状況把握や、情報を整理するプラットフォームとなりえる 3DTin の作成・利活用が可能となる。

しかし、この航空機オブリークカメラ撮影による膨大な空中写真からの有益な情報抽出や SfM 技術による 3DTin 作成には、現状では非常に多くの時間を有するため、被災後の初動段階から応急段階での利活用は難しい。

そこで、撮影画像から 3DTin を作成する時間を短縮し、被災後の広域情報および RDB ベースのプラットフォームの提供を、より迅速かつ効率的に行えるようにすることを目指す。

また、迅速な 3DTin 構築を可能とすることで、位置情報に基づくより有用な情報の抽出を AI 技術により実現し、ドローンなどで撮影した写真や 3DTin の利用性を向上させる。

III-②生産性向上への適用

本研究開発の成果を活用して、生産計画・取引・決済等に関する情報を大量かつ高速に処理するシステムを試作し、Material Requirement Planning (MRP)の高付加価値化に適用することで、産業における生産性向上に有用であることを実証する。

III-③e-Science への適用

次世代コンピューティングのサーバーサイド・アーキテクチャ、すなわちメニーコア・大容量メモリ・広帯域(光スイッチ等による)ネットワーク・不揮発性メモリを活かしたデータベースを、数 PetaByte におよぶ観測データ(ビッグデータ)の処理に活用する。これにより、データ集約型科学(e-Science)分野、すなわち、計測機器や計算機の進展により得られるようになったより大量かつ詳細なデータを統合的に活用して新たな技術開発や発見につなげる際の土台となるデータ処理基盤の構築を可能とする。

3.1.3.2 最終目標と根拠

III-①災害発生後の初動・応急対策段階での活用

航空機で収集する画像などの処理時間を大幅に短縮し、大規模災害(地震、河川増水、雪害など)発生時の災害救助や災害復旧の効率向上につながる活用を可能とする。具体的には、現在のデータ処理におけるボトルネック解消に本研究開発の成果を活用し、航空機によるデータ収集から 3DTin 化、AI による物体検出、被災者や被害の状況及び交通障害を示す災害地図の DB 作成までの時間を短縮する。

画像や点群データの処理方式を研究開発するためには、実際の画像や点群データをシステムで処理する必要があることから、航空機による撮影を継続的に実施する。災害はいつどこで発生するかわからないため、様々な時間帯、季節、地域におけるサンプルデータを採取しておくことが必要である。また、災害対応時には時々刻々と変化する被災状況を取得し、変化抽出などを実施できるようにするため、同一エリアの時系列データも取得する。さらに、プラットフォームとしての利用を想定すると、さまざまな種類の情報を RDB 上に統合する必要もあることから、撮影されて画像からの物体検出、局所的なドローン撮影および撮影データからの情報抽出(植生や災害廃棄物などの情報抽出)などの検討を行う。

III-②生産性向上への適用

既存のデータベースよりも桁違いの性能を発揮する新しい HTAP システム(本研究開発の成果)を原材料の計算・シミュレーションに適用することで、為替の変動や原材料のコストの変化といった状況に応じて算出された予想の数値(原価や利益)を意思決定に生かすことができ、「経験と勘」に頼った判断ではなく、より正確かつ適切な、製品・サービスの製造・リリースが可能になることを実証する。

III-③e-Science への適用

本研究開発の成果活用により、これまでに蓄積されている観測データや分析結果を利用するデータクレンジング処理(現在の観測データから不適切なものを除去する処理や観測データを補正して S/N 比を向上させる処理など)、数 PetaByte におよぶ全データからデータ検索に必要な情報を抽出して展開する処理、更には、実際の研究実施において要求される分析を実用的な性能で実行可能となることを示す。現行のデータベースは大規模な観測・実

験データの分析をスピーディーかつ適切に行えているとは言えないため、本研究開発により、このようなデータ集約型科学の課題を解消する。

3.1.3.3 目標の達成度

III-①災害発生後の初動・応急対策段階での活用

2018年度は長岡地区の撮影を1回実施した。2019年度は長岡地区を2回、渋谷地区を2回、東京オリンピック会場周辺地区を2回、それぞれ撮影を実施した。また、災害のあった南房総地区、館山地区、阿武隈川地区の撮影を各1回行った。その他に、ドローンに搭載してデータ取得できるセンサの開発を進めている。

3DTin 作成高速化のための研究開発には上記撮影データを利用し、処理にはオープンソースのソフトウェア(OpenMVG、OpenMVS)を使用している。データ分割、計算処理を並列化することで、高速処理を実現し、従来22日間程度かかっている処理時間を1日程度まで短縮できる見通しである。また並行して、3DTin 作成プログラムとデータベースとのデータのやり取り部分や3DTin データの表示、差分の抽出などを行うアプリケーションの開発を進めている。

ドローンに関しては、可視光だけでなく近赤外線領域まで取得可能なドローン搭載用のハイパースペクトルカメラの設計を行い、機材の開発を進めている。

III-②生産性向上への適用

実施計画書に記載した下記の予定通り進捗している。

2018年度末:本研究開発のPoC対象として、食品製造業にて稼働している生産管理システム内の所要量展開処理を選定するとともに、本研究開発の成果として想定するデータベースとの整合性を検討した。

2019年度末:既存のデータベースでPoC対象処理を動作させて稼働状況を精査し、ボトルネックを突き止めるとともに、生産管理システムとして特徴的な動作パターンを抽出した。データベースの学会で多用されているベンチマークとは全く異なる特性であることから、本研究開発の成果であるデータベースを実業務に適用する際の性能を測定するためのベンチマーク・プログラムとして整備するための検討も追加で実施した。

III-③e-Science への適用

実施計画書に記載した下記の予定通り進捗している。

2018年度末:本研究開発の要件に合致するビッグデータを提供して頂く機関として国立天文台様を選定し、そのデータや処理の特性についてヒアリング等による調査をおこない、本研究開発の成果として想定するデータベースとの整合性を検討した。

2019年度末:大阪大学による研究開発の題材を大規模データ(天体観測データ)の検索と突発性天体発見とし、株式会社ノーチラス・テクノロジーズと共同で天文台データベースを本研究開発用の分散処理環境に構築したうえで geoSpark によるクエリ処理の性能を検証した。突発性天体発見については、天体カタログデータベースの最新バージョンを移行し、現状の天体カタログデータベースとの性能比較を実施した。これらの結果を踏まえ、本研究開発の成果であるデータベースを適用する際の要件を検討した。

3.1.3.4 成果と意義

III-①災害発生後の初動・応急対策段階での活用

航空機オプリークカメラによる直下方向及び斜め方向の大量の航空写真から高速に3DTinを作成してRDBに登録し、そのRDB上の既存の3DTin、3D点群などを用いて差分抽出や、データの三次元表示を行うことのできるシステムを成果とする。

現段階ではデータ処理に時間がかかりすぎるために選択肢となりえていない航空機オブリークカメラによる 3DTin が、処理時間の大幅な短縮により利用可能となることに最大の意義がある。また、3DTin などの 3 次元モデルを RDB 上に登録できるため管理の煩雑さが軽減される。現状で大規模災害時に主に利用される、衛星写真、ドローン撮影による航空写真、直下のみの航空写真、あるいは航空レーザ測量成果では、写真の解像度、広範囲の網羅性、多方向からの情報の不足などから十分とはいえず、大規模災害の現場では十分に活用できない。航空機オブリークカメラによる撮影成果と 3DTin を被災後の早い段階から利用できるようになれば、より詳細な被災情報の把握、情報の集約が可能となる。また、被災時にドローンなどの様々な情報が本システムにあがってきて、それらの情報を時々刻々と統合できるようになると、より正確な被災情報の把握、集約に非常に役立つ。

III-②生産性向上への適用

成果は以下の通り。1) 既存システムでは非同期に行っていた OLTP 処理と OLAP 処理が同時に実行できる HTAP システムの構築、2) それを用いて構築する Bill of materials (BOM) 展開と原価計算を同時に実行するシステムの試作、3) そのシステムは実際の業務処理を現実的な時間で実行可能な性能を保有していることの実証。これにより、原価や原材料の必要量等の計算を実際の原価やシミュレーションを用いて適切なタイミングで実施できるシステムの構築が可能となり、各々の企業が為替の変動や原材料のコストの変化を考慮したうえで顧客ニーズに対応した生産を行う前提となる環境を整えることが可能となる。

III-③e-Science への適用

基礎研究にて研究開発した HTAP アーキテクチャに基づく並列・分散データベースを、大規模な観測データを扱うシステムに適用し、そのような場合でも、時々刻々得られる観測データの格納(OLTP)処理と、新たに格納されたデータとそれまでに蓄積された全観測データの両者を対象とする分析(OLAP)を矛盾なく効率的、更には、セミ・リアルタイムでの処理が可能となることを実証する。科学的に有意義な成果、すなわち、世界初の分析結果を得るためには、観測データのマスターデータやカタログからのレコード情報の取り出しを高速化し、より複雑な解析を可能とする必要があり、巨大なデータベースに蓄積された限られた情報を如何に早く取り出せるかが、この観測データを使った研究を推進する上で大変重要な要素となることから、本技術開発により高速検索を可能にする次世代のデータベースを実現する意義は大きい。

3.1.3.5 成果の普及

III-①災害発生後の初動・応急対策段階での活用

本実証研究で作成したデータ処理のためのプログラムは、オープンソースとして公開することを想定している。また技術者コミュニティ等において一般に公開し、普及促進を図る。実装においては、地理情報ソフトウェアとして実績があり、既に広大なエコシステムが形成されているオープン系のソフトウェアを活用しているため、研究開発後の普及・展開が容易である。今後、学会などでの発表も行っていく。

III-②生産性向上への適用

製品の多品種小ロット化や Build to Order(BTO)モデルの広範囲な普及において必要不可欠と考えられる受発注や手配(SCM)関連データベース統合システムの実用化で先行する。これにより、為替の変動や原材料のコストの変化、また需要者サイドの状況の変化に応じた製品の部品・原材料・構成の変更を勘案して算出した原価や利益の予想数値を意思決定に

生かし、「経験と勘」に頼った判断ではなく、より正確かつ適切な、製品・サービスの製造・リリースを可能とするためのシステムとしての普及を目指す。

III-③e-Science への適用

本研究開発の成果活用により実現可能となる、大量の詳細なデータと蓄積されてきた実験データを統合的に活用して新たな技術開発や発見につなげる際の土台となるデータ処理基盤は、特定分野に限定されたものではなく、科学技術全般に共通していると考えられることから、成果の適用先となる可能性はデータ集約型研究全般と考えられる。

3.2 研究開発テーマ「超電導パラメトロン素子を用いた量子アニーリング技術の研究開発」

(1) 事業全体の成果の概要

本研究開発プロジェクトでは、NEC がゲート方式で培った量子ビット「超電導パラメトロン」のノウハウと、東工大の原理・アイデアを集結し、従来方式と比較して量子力学的効果に優れた量子アニーリングマシンの開発が目標である。このような量子力学的効果に優れた量子アニーリングマシンを構築するために、量子ビット素子、モジュール実装、量子ビット制御回路、HW および計算アーキテクチャの各レイヤにわたる 6 つの研究開発項目に取り組んでいる。量子ビットの核となるパラメトロン共振器の開発では、これまでに共振器の内部 Q 値 1.1×10^5 達成(目標: 10^5 台)、結合 2 ビットパラメトロン素子を用いたビット間結合の実証等の目覚ましい成果を上げつつある。

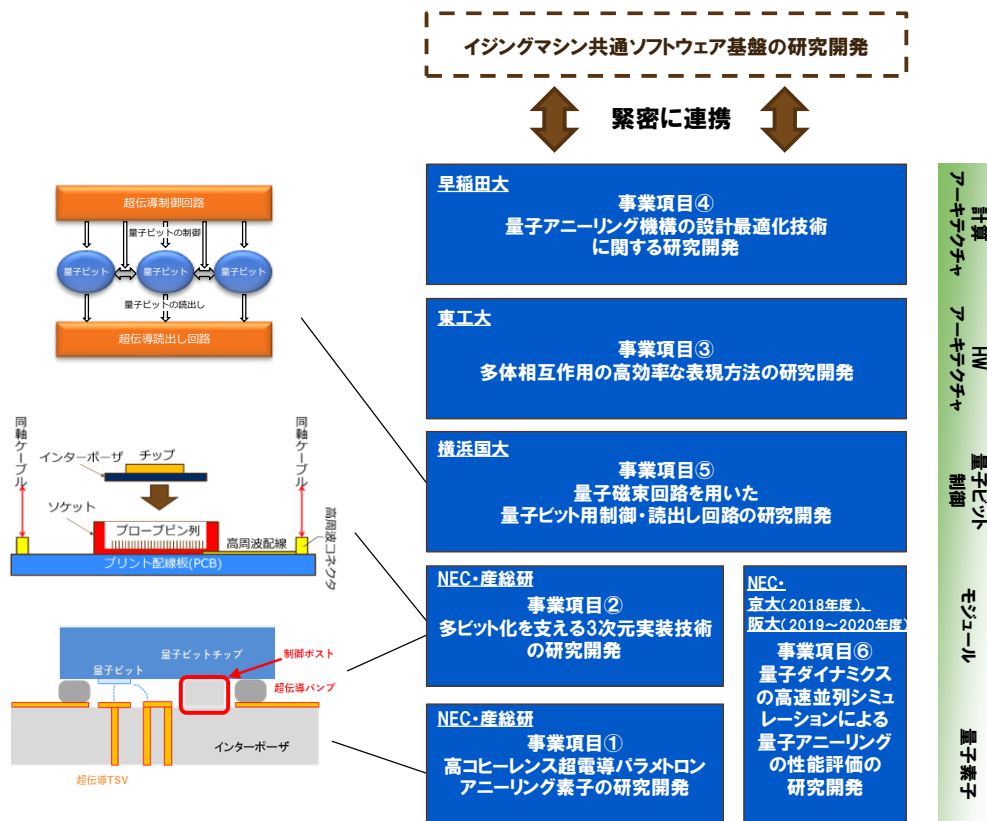


図 2-3.2-1 研究開発体制

(2) 研究開発項目毎の成果と目標の達成度

本研究開発プロジェクトの研究開始から 2020 年 6 月までの進捗は、表 2-3.2-1 に示すように各研究開発項目とも概ね計画通りに進んでいる。達成度は◎大きく上回って達成、○達成、△達成見込みとして記載した。

表 2-3.2-1 研究開発項目毎の達成状況

研究開発項目	目標	成果	達成度	今後の課題と解決方針
<p>事業項目 ① 高コヒーレンス超電導パラメロンアーリーリング素子の研究開発 (NEC、産業技術総合研究所)</p>	<p>試作装置、測定系 立ち上げ完了</p>	<p>産総研内 NEC ラボに量子ビット評価装置(希釈冷凍機、3He 冷凍機、自動運転が可能な測定システム等)、作製装置(斜め蒸着装置、室温接合抵抗評価システム等)を立ち上げ、作製から評価まで一貫して行うことが出来る環境を構築。</p>	<p>○</p>	
	<p>立体配線を用いた単一パラメロン回路動作実証</p>	<p>作製プロセスの改善により、パラメロン共振器の内部 Q 値が 1.1×10^5 と、目標としていた 10^5 台を達成した。 平面回路結合 2 ビットパラメロン試料の作製、評価を行い、パラメトリック発振のビット間の相関を確認した。 また、2 ビットイジング問題の求解についても予備的な結果を得た。 立体配線を用いた動作実証は、立体回路の磁場印加による共振周波数変動の測定を実施。</p>	<p>△</p>	<p>立体配線はコロナ禍が試作評価に影響。立体回路(基本構造サンプル)の磁場印加による共振周波数変動の測定により、構造実証を確認済。2020 年 9 月までに製造完了させる試作では、パラメロン回路の動作実証を達成見込み。</p>
<p>事業項目 ② 多ビット化を支える 3 次元実装技術の研究開発 (NEC、産業技術総合研究所)</p>	<p>25um 径以下の TSV 工程が可能な超電導めっき技術や超電導材料による熔融金属充填法を検討し、プロセス立ち上げを完了</p>	<p>25um 径以下の超電導 TSV 工程が可能なプロセスの立ち上げ。超電導バンプと制御ポストを両立するチップ接合技術を構築。</p>	<p>○</p>	<p>2020 年 9 月までに量子ビットチップとインターポーザを接合するためのプロセス構築を達成見込み。</p>

	立体配線を用いた単一パラメロン回路動作実証	立体配線を用いた動作実証は、立体回路の磁場印加による共振周波数変動の測定を実施。	△	立体配線はコロナ禍が試作評価に影響。立体回路(基本構造サンプル)の磁場印加による共振周波数変動の測定により、構造実証を確認済。2020年9月までに製造完了させる試作では、パラメロン回路の動作実証を達成見込み。
	4bit チップ用の TEG チップ、常電導 TSV インターポーザと組み合わせ評価。4ビットチップの評価が行えるレベルのソケットを完成	・インターポーザから、フリップチップボンディング接続された超電導チップ上の量子ビット(2 および 4 ビット)の制御、読出しを行う配線を試作評価。 ・プローブピン数 164 のソケットを設計し、TEG チップを用いて評価着手。	○	
事業項目 ③ 多体相互作用の高効率な表現方法の研究開発(東京工業大学)	RBL 法の小規模問題における性能評価と課題抽出	LHZ 法の拡張が RBL 法に限られるか、他に開発されている可能性を調査。LHZ-RBL 法の最適な形式の理論的説明。	○	
事業項目 ④ 量子アニーリング機構の設計最適化技術に関する研究開発(早稲田大学)	擬似量子機構実現	超伝導パラメロン素子に基づく手法のソフトウェア擬似量子アニーリングのシミュレーション方式の検討、プロトタイプシミュレータの開発。スピン間の係数の表現や符号化に関する研究により、データ量を 1/10 に削減。	○	データ量の削減率が元の入力サイズに依存するため、問題によっては 1/10 にならない場合もある。データ削減手法に用いられているパターン検索手法の改良により改善を行う。
	擬似量子機構高速化	シミュレーション方式の HW 化方式の検討、FPGA 向け HW モジュールを設	○	高速化において、解の精度が異なる場合がみられた。現在

		計。種々の係数表現や符号化法に対するHW演算器の設計を行い、実際の問題で高速化を評価。エミュレーションによる並列化で、速度を2倍に高速化。		原因を調査中であり、アルゴリズムの改善で解の精度を安定させる。
事業項目 ⑤ 量子磁束回路を用いた量子ビット用制御・読出し回路の研究開発 (横浜国立大学)	静磁場バイアス制御回路を設計試作し、4.2Kにおいて動作検証。電流分解能4ビット、バイアス電流を16個の量子ビットに個別供給を目標	静磁場バイアス制御回路を設計試作し、4.2Kにおける動作検証を実施。回路のレイアウト設計に誤りを確認。	△	回路のレイアウト設計の誤りを訂正し、2020年9月までに静磁場回路の動作実証見込み。
	デコーダ／マルチプレクサを設計試作し、4.2Kにおいて動作検証。1対16出力を目標	1対16デコーダ／マルチプレクサを設計試作し、4.2Kにおいて動作を検証した。	○	
	マイクロ波スイッチを回路シミュレーションにより性能評価。数GHz程度のマイクロ波をオンオフし、その最大振幅を連続的に可変し、位相を0- π 間で連続制御を目標	AQFPならびにSFQ回路を用いた可変振幅マイクロ波スイッチを提案した。 可変振幅マイクロ波スイッチを設計試作し、4.2Kにおいて基本動作を検証した。	○	
事業項目 ⑥ 量子ダイナミクス の高速並列シミュレーションによる量子ア	量子アニーリングのコードを実装、高メモリ帯域並列計算機上での量子アニーリングのシミュレーション性能を	並列計算機用のシミュレーションコードを開発。高メモリ帯域並列計算機上で量子アニーリングの性能評価。	○	超伝導パラメトロンダイナミクスの物理レベルでのシミュレーションを行う。

ニーリングの性能評価の研究開発 (NEC、大阪大学)	評価。			
-------------------------------	-----	--	--	--

(3) 成果の意義

<目標に対する達成状況と意義>

本研究開発プロジェクトの研究開始から2020年6月までの達成状況は、表2-3.2-で示したように、各研究開発項目とも概ね計画どおりに進捗している。一部試作に係わる課題は2020年9月までに解決する見込みである。ここまで獲得した要素技術が基盤となり、本研究開発プロジェクト後半において、量子ビット数を拡張した動作実証を達成可能と考えている。

一方、量子ビットに適用する3次元立体配線の分野では、超電導かつマイクロ波伝達特性に優れたTSVと量子ビットを劣化なく接続できる超電導バンプが世界的に研究・競争が活発化している(Google、IBM等)。3次元立体配線に係わる研究開発に関しては、本研究開発プロジェクトの国際競争上の優位性を維持、伸長するため、プロジェクト後半において強化が必要な分野と考えられる。

<成果の普及>

研究計画に「事業項目⑦成果最大化と普及促進に向けた取組」を期間中に追加し、展示会等における成果の発信を通じた、具体的な実用化につながるユーザの探索を実施した。展示会の展示においては、研究開発対象である量子アニーリングマシンのモックアップ機を製作して一般公開し、ハードウェアの構成や機能の説明を展示会来場者へ幅広く行うことで、ユーザ探索のツールとして活用を図った。

また、本研究開発プロジェクトの成果は、各参画機関が成果の発信に努めるとともに、参画する全機関で構成される知財運営委員会を組織して、論文発表、学会発表、講演等の発信活動や、特許出願等の知財化について情報共有を行っている。成果普及活動の実績は添付資料の表に記載した。

そのほか、本研究開発プロジェクトに関連する2件のプレスリリースを行った。

- ・ 事業採択に関してプレスリリース 2018年10月9日発表
 「高効率・高速処理を可能とする量子アニーリングマシンの研究開発に採択
 ～モビリティ・金融・創薬など多様な産業分野の組合せ最適化問題の解決へ～」
https://jpn.nec.com/press/201810/20181009_04.html 等
 (英文 2018年12月12日発表)
https://www.nec.com/en/press/201812/global_20181212_03.html 等
- ・ 日本電気株式会社が、本研究開発の進捗を含む取り組みに関してプレスリリース
 2019年12月20日発表
 「NEC、量子コンピューティング領域に本格参入
 ～スーパーコンピュータを活用したアニーリングマシンによる共創サービスを提供開始～」
https://jpn.nec.com/press/201912/20191220_01.html

なお、本研究開発プロジェクトに関連する受賞実績は下記のとおりである。

- ・ 西森秀稔, C&C 賞, 研究題目「量子アニーリングの提唱と、同概念に基づく計算機創出の基礎となったランダムスピン系の研究に関する功績」、
受賞日平成 30 年 11 月 28 日

個別の研究開発テーマにおける詳細は、事業項目ごとに 3.2.1～3.2.7 項に示す。

3.2.1 研究開発サブテーマ「高コヒーレンス超電導パラメトロンアニーリング素子の研究開発」

3.2.1.1 概要

(1) 平面回路 4 ビット動作

高い量子コヒーレンスを維持したまま集積化可能な超電導アニーリング素子を開発する。超電導アニーリングマシンはすでに D-wave 社が製品化を行っているが、D-wave 社の素子のようにジョセフソン接合を多層膜積層プロセスで作製した場合、現状では、絶縁層の誘電ロス等の影響により、高いコヒーレンスは望めない。一方、ゲート型量子計算機用の超電導量子ビットの作製方法として一般的に用いられるアルミニウムの斜め蒸着法を用いて高コヒーレンスの量子アニーリング素子を開発しようとする研究が北米を中心に行われている。アニーリング用素子においては、ゲート型と異なり、大きなダイナミックレンジで、なるべく多くのビット間を結合させる必要があるため、コヒーレンスの維持と集積化の両立が大きな課題である。

我々はこれを解決する手段として、超電導パラメトロンを用いたアニーリング素子の開発に取り組む。超電導パラメトロンは、我々が 2014 年に高精度の量子ビット読み出しデバイスとして開発したが、最近、超電導パラメトロン自体を量子ビットとしてアニーリング計算に用いることが出来るという理論提案がなされている。この方式では、量子ビット間の相互作用は、各パラメトロンへの注入マイクロ波で実装されるが、注入マイクロ波の強度とパラメトロンの光子の寿命やコヒーレンス時間は基本的には無関係である。加えて、各量子ビットは隣接する量子ビットとのみ結合出来れば十分である。従って、超電導パラメトロンを用いた本方式では、上記のコヒーレンスの維持と集積化のトレードオフは回避できると期待できる。

我々は、まず高コヒーレンス(必要条件として Q 値 $>10^5$)な超電導パラメトロン素子を用いて、4 ビットの動作実証を目指した研究開発に取り組んでいる。

(2) インターポーザを用いた立体配線による集積化技術開発

平面上に多数の量子ビットを配置したチップにおいては、各量子ビットへの制御、読み出し信号線の配線が問題となる。量子ビットの集合のうち周辺部に配置された量子ビットに対しては、同一平面内からの配線が可能だが、内部の量子ビットに対しては、何らかの立体的な配線を用いざるを得ない。本研究では、量子ビットとは別のインターポーザチップを準備し、それらをフリップチップボンディングにより接続するという方法で、立体配線を実現する(図 2-3.2.1-1)。インターポーザの表面(量子ビットチップ側)には、信号線以外はグランドプレーンを敷き、量子ビットを電磁場環境的に遮断する。信号線はインターポーザに形成された超電導 TSV を通って、インターポーザの裏面へ配線する。この技術により高コヒーレンスな量子ビットを集積化することが可能となる。このインターポーザの作製について、3.2.2 項において説明する。

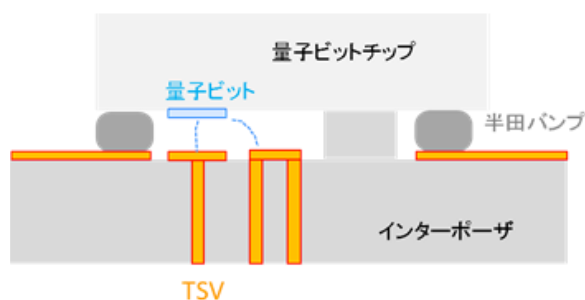


図 2-3.2.1-1 量子ビットチップとインターポーザからなる 3 次元配線の模式図

3.2.1.2 最終目標と根拠

最終目標(2022 年度末)	現状	達成見通し
立体配線を用いた 8 ビット回路の動作実証	平面回路結合 2 ビットパラメトロン試料の作製、評価を行い、パラメトリック発振のビット間の相関を確認した。	○
立体配線を用いた 100 ビット回路を用いて、各超電導パラメトロン ^Q 値(コヒーレンス)が、 10^5 を維持していることを実証	4 ビット回路の立体配線回路を試作中。大規模立体配線のための要素技術を検証。	○
チップ間接続による集積化技術開発において、パラメトロン ^Q 値の発振状態を、別チップの超電導パラメトロンに転写できることを実証	2020 年度後半より検討開始	○

最終目標(2022 年度末)	目標設定の根拠
立体配線を用いた 8 ビット回路の動作実証	本目標と事業項目②の目標を達成することで、2,000 以上の多ビット化の可能性を示せる。 LHZ 方式のユニットセルを動作させ、100 ビット積層構造を構築できれば、実際には設計、製造技術として 100 ビット以上に拡張するための技術を獲得できたと理解できるため、 妥当な目標である。
立体配線を用いた 100 ビット回路を用いて、各超電導パラメトロン ^Q 値(コヒーレンス)が、 10^5 を維持していることを実証	
チップ間接続による集積化技術開発において、パラメトロン ^Q 値の発振状態を、別チップの超電導パラメトロンに転写できることを実証	チップ間接続は量子チップを複数使用した多ビット化に必須の機能であり、発振状態の転写はこの機能の実証として妥当な目標である。

3.2.1.3 目標の達成度

中間目標	成果	達成度	今後の課題と解決方針
試作装置、測定系立ち上げ完了	産総研内 NEC ラボに量子ビット評価装置(希釈冷凍機、3He 冷凍機、自動運転が可能な測定システム等)、作製装置(斜め蒸着装置、室温接合抵抗評価システム等)を立ち上げ、作製から評価まで一貫して行うことが出来る環境を構築。	○	
立体配線を用いた単一パラメロン回路動作実証	作製プロセスの改善により、パラメロン共振器の内部 Q 値が 1.1×10^5 と、目標としていた 10^5 台を達成した。 平面回路結合 2 ビットパラメロン試料の作製、評価を行い、パラメトリック発振のビット間の相関を確認した。また、2 ビットイジング問題の求解についても予備的な結果を得た。	△	立体配線はコロナ禍が試作評価に影響。立体回路(基本構造サンプル)の磁場印加による共振周波数変動の測定により、構造実証を確認済。2020 年 9 月までに製造完了させる試作では、パラメロン回路の動作実証を達成見込み。

概ね計画通りに研究開発が進んでおり、最終目標は達成する見込みである。

3.2.1.4 成果と意義

(a) 量子ビット評価用装置類の導入

2018 年度から 2019 年度に産総研内に新規に設置した量子ビット評価装置の希釈冷凍機、3He 冷凍機それぞれについて、マイクロ波ケーブル、アンプ等の配線や計測機器のセットアップを行い、デバイス評価環境の立上げを完了した。なお、これら評価装置は自動運転が可能となっている。以下、これら装置を活用した超電導パラメロン素子の試作、評価状況を報告する。

(b) 平面回路超電導パラメロン素子の開発

素子設計では、分布乗数型パラメロン素子において、作製プロセスの改善により、内部 Q 値が 1.1×10^5 となり、目標としていた 10^5 台を達成した。

次にこの分布乗数型パラメロンをキャパシタンスで結合した 2 ビットパラメロン回路を設計し、試料の作製、評価を行った。

まずスペクトロスコピーの手法により、二つのビット間の相互作用に由来する反交差を確認した。相互作用の大きさはほぼ設計通りであった。次に二つのビットの共振周波数が等しくなる条件で、二つの量子ビットを同時に発振させたところ、二つのビットの発振位相が揃った状態が実現する確率が、発振位相が異なる状態が実現する確率よりも高くなるという、パラメトリック発振の相関を確認した。

以上の実験を二つのパラメロンに外部注入光を入力することで、イジング問題におけるビット間の相互作用に加えて、局所磁場を実現することができる。そのような 2 ビットイジングハミルトニアン of the 求解実験をすでに行い、現在その結果について定量的評価を行っている。

この 2 ビットパラメロン技術の開発成果は、本研究開発プロジェクトで取り組む立体配線を用いた 8 ビット回路の動作実証において不可欠な課題で、大規模集積化パラメロンアーキテクチャーの開発に適用できる。この成果を、次の目標である集積化ユニットセル(4 ビット)の開発に活かすことで、開発の加速をはかる。

またこの成果は、マイクロ波領域での高コヒーレンス量子回路をベースとする技術のため、ゲート型量子計算機開発に展開できる可能性があると考えられる。また、パラメロンのパラメトリック増幅器としての活用が、様々な高感度計測技術の開発につながることを期待できる。さらに量子コンピュータ分野に限らず、量子センシング分野にも本事業で開発した技術は利用可能である。

課題としては、まず 1 ビット発振特性が、まだ完全には定量的に理解できていない点である。共振周波数の磁場依存性の非線形性のために、ポンプ印加時に実効的な共振周波数が増加していることが一因と考えており、非線形性を抑制するデバイス構造をテストしている。

また、2 ビット結合回路において、制御信号のビット間クロストークが予想以上に大きく、定量評価を複雑にしている。今後エアブリッジ構造を導入してクロストーク低減を図る予定である。

(c) 平面回路超電導パラメロン素子の作製

超電導共振器やキャパシタなどの超電導薄膜回路パターンを作製する技術としては、産総研・GRAVITY の i 線ステップや反応性イオンエッチング装置を利用して作製する手法を確立した。i 線ステップの利用により従来よりも短時間で高解像度のパターン形成が可能になった。3 インチウェハ全面に量子回路パターンを形成する場合、従来のマスクレス露光機のステップアンドリピート方式で 80 分程度、同マスクレス露光機のスキャン方式で 20 分程度を要していた。これに対し現在の i 線ステップでは 1 分程度で露光が完了するため大幅な作業効率向上を実現した。これに加えて i 線ステップ利用により解像度も向上し、従来のマスクレス露光機では解像度 $1\mu\text{m}$ で設計値に対して $0.7\mu\text{m}$ 程度線幅が縮小していたのに対し、i 線ステップでは解像度 $0.5\mu\text{m}$ で線幅の縮小はほぼ無視できるようになった。

また微小なジョセフソン接合を作製する技術としては、産総研・NPF の電子線描画装置を用いて、超電導薄膜回路パターン形成済みのウェハ上に、ジョセフソン接合作製用レジストマスクをアライメント描画により形成する技術を確立した。従来自社で実施していた条件の 5 倍の電流値かつ 5 倍の速度で描画し、寸法・形状の異常なく描画できることを確認した。

これに加えて、ジョセフソン接合形成用斜め蒸着装置を産総研・GRAVITY に設置し、組立・動作確認を問題なく完了し量子ビットの試作を開始した。本装置の特徴としては清浄な超高真空環境での接合作製が効率よく実施できることである。従来の装置では一試料ずつ長時間真空引きするため作業効率が低かったが、本装置は真空保管室を保有しているため、多数の試料を同時に長時間真空引きした後連続して接合作製が可能であるため、ジョセフソン接合作製の効率が良い。また超電導パラメロン素子を作製するために適している酸素分圧でのダイナミック酸化ができる。従来のため込み式酸化と比較して清浄な環境でのトンネルバリア形成が可能となった。

また、素子作製関連装置として室温接合抵抗評価システムを立ち上げた。

以上のように素子作製から評価まで一貫して行うことが出来る環境を産総研内に構築した。

これらの素子作製装置類を利用して、新規に設計した超電導パラメロン素子の試作を開始し、従来自社で作製していた素子と比較して良好な特性を得ている。また後述する通り、素子評価の結果予想外に量子ビット間のクロストークが大きいこと、この抑制のため、チップ上で共振器や制御配線によって切断分離されたグランド電極間を電氣的に接続するエアブリッジの作製プロセス開発を新たに開始し、作製のめどをつけた。

上述の評価環境を用いて、産総研内で作製したデバイスの特性評価を行い、パラメロンデバイスの基本的な操作や読出しが行えることを確認した。特にパラメロン共振器の内部 Q 値が、作製プロセスの改善により我々のグループとしては初めて 1.1×10^5 と、目標としていた 10^5 台を達成したことを確認した。

結合 2 ビットパラメロン試料の作製、評価を行い、パラメトリック発振のビット間の相関を確認した。また、2 ビットイジング問題の求解についても予備的な結果を得た。

斜め蒸着法によるジョセフソン接合作製方法は高コヒーレンス超電導量子ビット素子を作製するための現在知られている唯一の方法であり、本研究開発プロジェクトで用いる高コヒーレンス超電導パラメロン素子の作製に欠かせない技術である。本技術は量子ビットの作製にとどまらず、微小ジョセフソン接合を用いる素子・回路の作製に広く役立つものである。

3.2.1.5 成果の普及

成果普及活動の実績は添付資料の表にリストに記載している。

3.2.2 研究開発サブテーマ多ビット化を支える 3 次元実装技術の研究開発 (a) 超電導 TSV を有するインターポーザの開発」

3.2.2.1 概要

当該研究項目では、超電導シリコン貫通電極(TSV)技術、チップ接合技術、熱設計技術について製造・計測環境構築を含め研究開発を行った。超電導 TSV 技術については、直径 $25\mu\text{m}$ 以下かつ深さ $300\mu\text{m}$ のホール形成に向けたドライエッチング条件を検討し、TSV ホールの側壁粗さ(スキャロップ)の発生条件について、ガス切り替え条件等を含め装置仕様に関わる条件について明らかにした。また電解アルミニウムめっきでの超電導金属充填を試行し、微細孔への超電導材料充填の課題を明らかにした。チップ接合技術については計測・接合装置の導入とともに超電導バンプ方式における材料・構造の検討を進め、並行して直接接合方式におけるスパッタリング条件と接合部の表面粗さの関係と接合を妨げる酸化膜の除去手法を確認できた。極低温における熱設計技術について、有限要素法による解析環境の構築を行い、外挿法により推定した材料特性と簡易解析モデルにより TSV による放熱特性検証を可能にした。

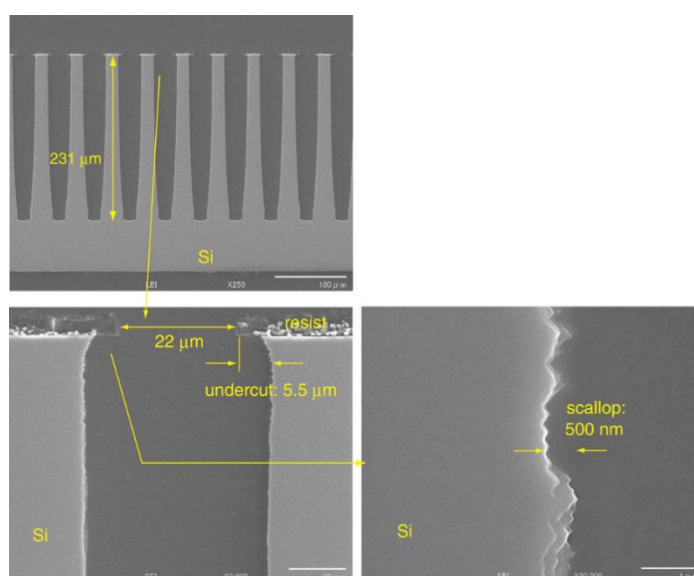


図 2-3.2.2-1 ドライエッチングによる TSV ホール形成条件確認結果

3.2.2.2 最終目標と根拠

最終目標(2022 年度末)	現状	達成見通し
立体回路 8 ビット動作実証	結合 2 ビットパラメロン試料の作製、評価を行い、パラメトリック発振のビット間の相関を確認した。	○
立体回路 100 ビット積層構造構築	4 ビット回路の立体配線回路を試作中。大規模立体配線のための要素技術を検証。	○

最終目標(2022 年度末)	目標設定の根拠
立体回路 8 ビット動作実証	本目標と事業項目①の目標を達成することで、2,000 以上の多ビット化の可能性を示せる。LHZ 方式のユニットセルを動作させ、100 ビット積層構造を構築できれば、実際には設計、製造技術として 100 ビット以上に拡張するための技術を獲得できたと理解できるため、妥当な目標である。
立体回路 100 ビット積層構造構築	

3.2.2.3 目標の達成度

中間目標	成果	達成度	今後の課題と解決方針
25um 径以下の TSV 工程が可能な超電導めっき技術や超電導材料による溶融金属充填法を検討し、プロセス立ち上げを完了	25um 径以下の超電導 TSV 工程が可能なプロセスの立ち上げ。超電導バンプと制御ポストを両立するチップ接合技術を構築。	○	2020 年 9 月までに量子ビットチップとインターポーザを接合するためのプロセス構築を達成見込み。
立体配線を用いた単一パラメロン回路動作実証	立体配線を用いた動作実証は、立体回路の磁場印加による共振周波数変動の測定を実施。	△	立体配線はコロナ禍が試作評価に影響。立体回路(基本構造サンプル)の磁場印加による共振周波数変動の測定により、構造実証を確認済。2020 年 9 月までに製造完了させる試作では、パラメロン回路の動作実証を達成見込み。

3.2.2.4 成果と意義

この多ビット化を支える 3 次元実装技術の開発成果は本プロジェクトで取り組む量子ビットの多ビット化に不可欠な課題であり、この TSV 製造技術・チップ接合技術の開発は本プロジェクトで取り組む超電導アニーリングマシンの多ビット化において不可欠な課題であり、超電導量子ビットチップ同士をつなぐ超電導結合経路を搭載する超電導インターポーザに適用

できる。この成果を超電導インターポーザとそれを用いた超電導アニーリングマシンの開発に活かすことで、スケーラブルな多ビット化が可能となり事業化の加速をはかることができる。

また熱設計における成果は量子ビットのみならず様々なデバイスに応用できるため、将来の古典超電導回路によるインターフェース回路部にも開発した技術を利用可能である。

研究開発上の課題としては、低温・低加重フリップチップ実装におけるさらなる高密度化、高アスペクト比 TSV におけるマイクロ波信号伝送の改善、製造後の試験の効率化に関する施策強化が必要である。

3.2.2.5 成果の普及

成果普及活動の実績は添付資料の表にリストに記載している。

3.2.3 研究開発サブテーマ「多ビット化を支える 3 次元実装技術の研究開発 (b) プローブピンによる信号取り出し技術の開発」

3.2.3.1 概要

超電導パラメロン素子を量子アニーリングマシンとして実際に動作させるため、極低温下で動作する超電導チップと室温に置かれる高周波エレクトロニクスの間で多数のマイクロ波信号の送受信が必要である。本目的実現に向け、超電導チップ、インターポーザ、プローブピンからなる立体的なモジュール化とする 3 次元実装技術の開発を進めている。なお、プローブピンの特性評価に関係を有するため、3.2.1 項に含まれている立体回路におけるインターポーザ評価/検討については、本項にて記載を行う。

それぞれの進捗は、以下の通り。

- ・超電導チップとインターポーザの接続は、Nb-Nb、Nb-In の構造を用い、低温プロセスでの接合状態を確認。特性評価のサンプル作製に適用した。
- ・常電導版のインターポーザ評価は、事前評価を通じ外注先を選定。特性評価のサンプル作製を進め、特性計測に着手した。
- ・プローブピンの検討では、ハウジングの位置精度とインターポーザへのプローブ接触を確認。特性評価用として 164 ピンのプローブピン・ソケットの試作を完了。

詳細は、3.2.3.4 に説明する。

3.2.3.2 最終目標と根拠

最終目標(2022 年度末)	現状	達成見通し
100 ビットインターポーザを用い、実チップと接続実証	プローブピン数 164 のソケットを設計し、TEG チップを用いて評価着手。	○

最終目標(2022 年度末)	目標設定の根拠
100 ビットインターポーザを用い、実チップと接続実証	プローブピンを用いて 100 ビットインターポーザと量子チップ接続を実証できれば、実際には設計、製造技術として 100 ビット以上に拡張するための技術を獲得できたと理解できるため、妥当な目標である。

3.2.3.3 目標の達成度

中間目標	成果	達成度	今後の課題と解決方針
4bit チップ用の TEG チップ、常電導 TSV インターポーザと組み合わせ評価。4 ビットチップの評価が行えるレベルのソケットを完成	<ul style="list-style-type: none"> ・インターポーザから、フリップチップボンディング接続された超電導チップ上の量子ビット(2 および 4 ビット)の制御、読出しを行う配線を試作評価。 ・プローブピン数 164 のソケットを設計し、TEG チップを用いて評価着手。 	○	

3.2.3.4 成果と意義

本節の説明は、超電導チップ、インターポーザ、プローブピン(ソケット)の検討連続性にあわせ、3.2.1 項の内容を含めて記載を行っている。

中間目標に向けた検討/評価としては、(1)超電導材料による超電導チップとインターポーザとの接続検討、(2)常電導版インターポーザの開発と高周波特性評価、(3)プローブピン性能評価(常電導版インターポーザとの組み合わせを含める)となる。以下、それぞれについて説明を行う。

(1) 超電導材料による超電導チップとインターポーザとの接続検討

超電導チップと 3.2.2 項に記載の超電導 TSV を用いたインターポーザにて実施する接続構造としては、接続部を超電導材料とすることが必要条件となる。このため、接続評価では、超電導チップとのプロセス親和性を主眼に置いた Nb-Nb 構造と、接続安定化を主眼に置いた Nb-In 構造の二つを候補として推進している。Nb は硬度が高いため接続面の高い平坦性を必要とすることから、延性のある In 構造を含めている。超電導チップとの接続構造としては、量子のコヒーレンスに関係する接続高さの制御性を考慮し、金属ポストを設け、その表面を超伝導材料とする構造を選択した。また、超電導チップの特性劣化を鑑み 100°C未満の低温プロセスを選定する。

Nb-Nb 構造は、金属結合を実現する基本評価から実施した。接続方法としては、低温プロセスの制約より表面活性化接合を選択。表面に Nb 膜を形成した初期評価サンプルにおいて、アモルファス層を介した接合を達成(図 2-3.2.3-1)した。本結果を受け、金属ポストを設けたダミーチップによる接続評価を実施し、引き剥がし評価にて接続部での金属破壊モード(図 2-3.2.3-2)を確認した。

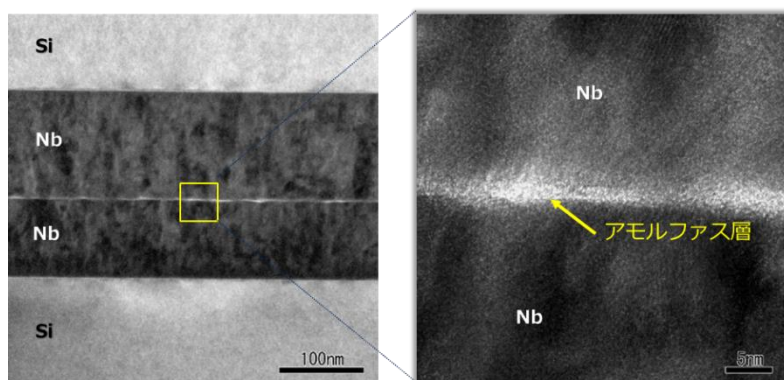


図 2-3.2.3-1 Nb-Nb 接続状態(TEM 像)



図 2-3.2.3-2 Nb-Nb 接続破断面

また、低温時の応力緩和や接続品質の安定化を狙いとした Nb-In 構造では、延性のある In を活かし、表面活性化接合のみではなく、超音波接合の検討も実施。表面活性化接合では、Nb と In 間におけるアモルファス層の生成を確認、金属ポストを設けたダミーチップでの引き剥がし評価にて接続部での金属破壊モードを確認した(図 2-3.2.3-3、図 2-3.2.3-4)。

超音波接合では、In と Nb、及び Ti 密着層間で反応層の生成を確認、金属ポストを設けたダミーチップでの引き剥がし評価にて接続部での金属破壊モードを確認した(図 2-3.2.3-5、図 2-3.2.3-6)。

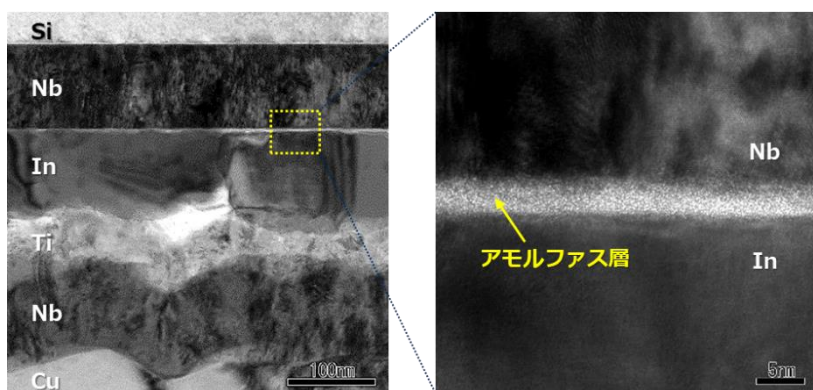


図 2-3.2.3-3 表面活性化接合による Nb-In 接続状態(TEM 像)



図 2-3.2.3-4 Nb-In 接続破断面

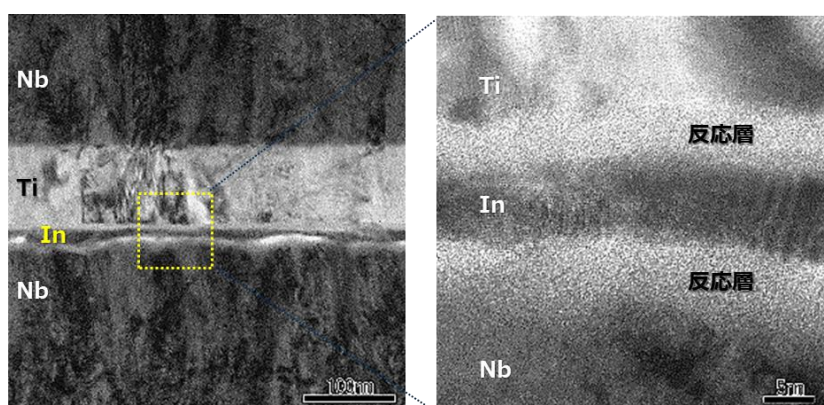


図 2-3.2.3-5 超音波接合による Nb-In 接続状態(TEM 像)

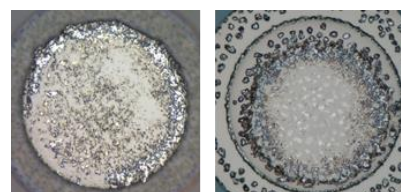


図 2-3.2.3-6 Nb-In 接続破断面

以上より、超電導材料を用いた接合を実現することができた。両接続構造とも、超電導チップを用いた特性評価用として試作を行っており、今後評価へと進む予定。

(2) 常電導版インターポーザの開発と高周波特性評価

3.2.2 項で説明を行っている超電導 TSV インターポーザの開発を実施した後に、他の項目の開発を進めると実現までの期間へのインパクトが大きいため、外部より入手可能である常電導 TSV(Cu)を用いた常電導版インターポーザを用い、(1)の接続検討とあわせて高周波特性の評価を推進した。当然ではあるが、3.2.2 項の超電導 TSV インターポーザへ結果を展開し、最終的に統合する予定である。

最初に外注先の常電導版インターポーザの実力把握として、2018 年度に二か所の外注企業(外注 A、外注 B)にて、事前評価のインターポーザ試作を実施した。外注 A は、TSV の Cu めっき埋め込みができない点、配線パターンの剥離が発生しやすい点を代表とした問題が確認された。一方、外注 B は、TSV の Cu めっき埋め込みが実施できる点、TSV をつないだ Daisy Chain パターンでの導通確認(図 2-3.2.3-7)などで外注 A より安定したパターン

形成が確認できた点に加え、各工程条件の開示や変更への柔軟な対応も可能であったため、特性評価用のインターポーザ作製先として選定した。

試作先選定後、事前評価で確認された結果より、グランド回路配置・プロセスチェックパターンなどの設計を施し、2019 年度下期に特性評価用の常電導版インターポーザ作製と(1)記載の表面活性化接合による試作を実施した。超電導チップとインターポーザにおける立体回路の基本構造(図 2-3.2.3-8)の開発に成功した。本基本構造サンプルを用いて、周波数特性の評価を進めている。

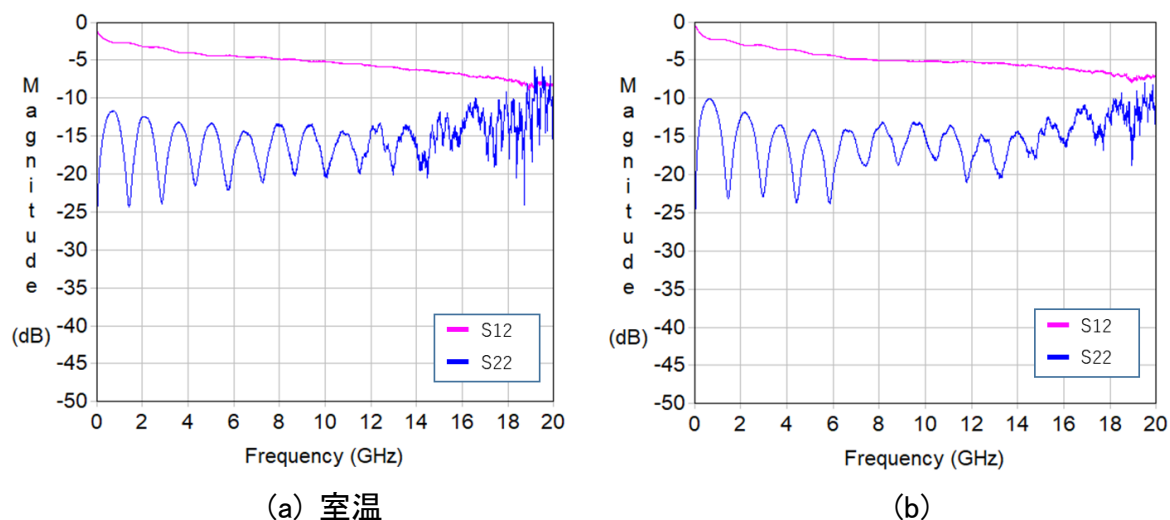


図 2-3.2.3-7 TSV 導通評価結果

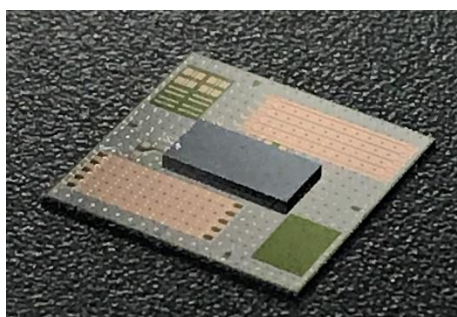


図 2-3.2.3-8 立体回路(基本構造サンプル)

(3) プローブピン(ソケット)性能評価

プローブピンとしての基本構造を検討するにあたり、セラミック製ハウジングにおける加工精度と仕上り評価を実施。プローブピンを設置する孔ピッチを計測し、 $\pm 10\mu\text{m}$ 以内に収まることを確認した。4bit の超電導チップサイズを想定した 5mm 角を模擬した評価サンプルを用い、ハウジングにプローブピンをセットした状態にて押し込みのストローク範囲と、インターポーザとの位置合わせ評価を実施し、プローブピンとしては非磁性となる BeCu を主体とした構造とすること、接続設定としてストロークの 60%を押し込んだ状態を基本とすることを選定した。また、位置合わせ精度は $\pm 50\mu\text{m}$ 以内となることを確認し、初期に設定した接続端子サイズに収まることを確認した。(2)で特性評価を開始した立体構造への 164 ピンとなるプローブピン、ハウジングの作製を完了(図 2-3.2.3-9)しており、今期の特性評価を見込んでいる。

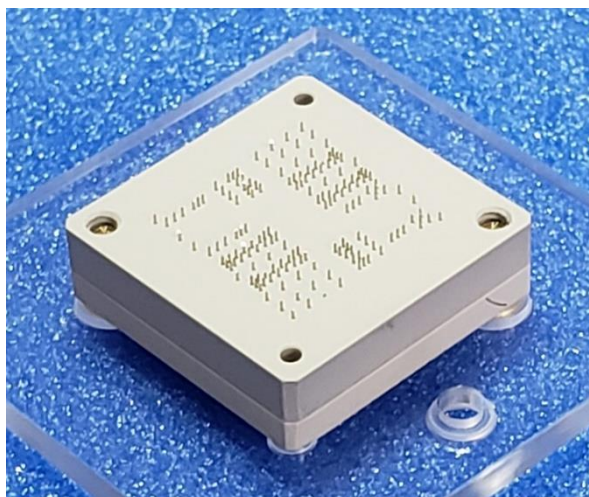


図 2-3.2.3-9 164 ピン(ソケット)外観

この超電導チップ、インターポーザ、プローブピンによる立体回路、モジュール化とする 3 次元実装技術の開発成果は、本プロジェクトで取り組む超電導パラメトロン素子を量子アニーリングマシンとして実際に動作することにおいて不可欠な課題である。超電導材料を用いた接続とインターポーザを立体的に活用し、電磁界影響を制御へつなげることで量子のコヒーレンスを長時間化への実現に発展させていくことができる。また、立体回路とする成果を、量子ビットの高集積化への開発に活かすことで、量子アニーリングマシンとして、より複雑な組み合わせが想定される交通サービス、都市設計、創薬、製造プロセスの最適化などの事業化展開に期待できる。

また、この成果は、常電導材料による特性評価が含まれており、常電導材料で代替できる構成を見出す成果が得られた場合、レアメタルなど限られた材料の利用低減を見出せる可能性を有する。また、3 次元実装構造、ソケットについては低温下における高周波接続要望を満たすこととなり、宇宙開発などへ利用可能である。

3.2.3.5 成果の普及

成果普及活動の実績は添付資料の表にリストに記載している。

3.2.4 研究開発サブテーマ「多体相互作用の高効率な表現方法の研究開発」

3.2.4.1 概要

長距離相互作用をハードウェア上で直接実現する代わりに、近接相互作用のみで同等の機能を実現できる LHZ 法の効率をより向上させるため、既存の RLB 法の評価や、LHZ 法における各係数の時間制御に関する新手法の開発を行う。理論的研究とシミュレーションによる数値検証を併用し、最終的には実機でのハードウェア性能評価により実効性を確認する。

3.2.4.2 最終目標と根拠

最終目標(2022 年度末)	現状	達成見通し
中規模問題における手法確立とハードウェア性能評価	理論的研究と中規模問題での数値シミュレーションが順調に進行している。	○

最終目標(2022 年度末)	目標設定の根拠
中規模問題における手法確立とハードウェア性能評価	LHZ 法とその拡張版のハードウェアでの実現は前例がなく、中規模問題での手法確立自体が大きな意義を持つ。

3.2.4.3 目標の達成度

中間目標	成果	達成度	今後の課題と解決方針
RBL 法の小規模問題における性能評価と課題抽出	・LHZ 法の拡張が RBL 法に限られるか、他に開発されている可能性を調査。LHZ-RBL 法の最適な形式の理論的説明。	○	

3.2.4.4 成果と意義

LHZ 方式の実装において、制約項の時間制御を問題項と独立に行うことにより、正解を得る確率が大幅に向上することを見出した(図 2-3.2.4-1 の青い破線の制御を赤い破線に)。

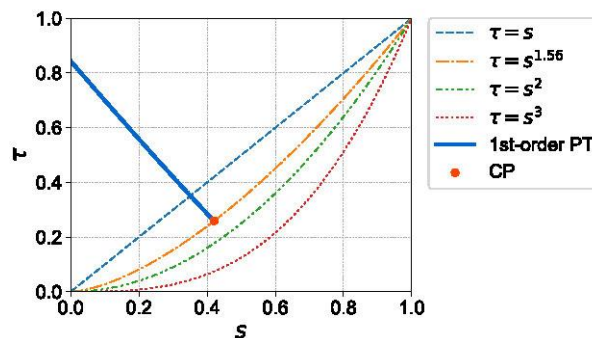


図 2-3.2.4-1

研究開発上の課題としては、理論解析と数値計算で得られた結果の物理的、直観的な説明は自明ではなく、今後の課題として取り組みを強化する。

3.2.4.5 成果の普及

成果普及活動に努め、研究開始時より新聞・雑誌等で 30 件の報道があり、国内外で約 50 件の招待講演を行った。論文、学会発表、新聞・雑誌報道の実績は添付資料の表にリストに記載。

3.2.4.6 その他

「3.2.4.4 成果と意義」の項目に記載した成果は、本研究開発の開始に先立つ研究成果に基盤を置いているが、該当の論文(Y. Susa, Y. Yamashiro, Y. Yamamoto, H. Nishimori, Exponential speedup of quantum annealing by inhomogeneous driving of the transverse field, J. Phys. Soc. Jpn. 87, 023022 (2018))が、Journal of the Physical Society of Japan(日本物理学会論文誌)の 2019 年高引用論文トップ 10 に選出された。

3.2.5 研究開発サブテーマ「量子アニーリング機構の設計最適化技術に関する研究開発」

3.2.5.1 概要

量子アニーリングは、原子のスピンなど量子レベルの現象を用いた計算機構で問題を解く手法である。しかし、その量子計算機構の設計および最適化においては、量子計算機構の通常の計算機構を用いたシミュレーションが必要不可欠である。本研究では、量子計算機構の通常のデジタル計算機構を用いたシミュレーションおよびその高速化の研究、ならびに量子計算機構アーキテクチャ最適設計に関する研究を行う。

3.2.5.2 最終目標と根拠

最終目標(2022年度末)	現状	達成見通し
ハードウェアアルゴリズムの研究では、計算性能をプロトタイプシミュレータと比べてソフトウェア上で2倍にすることを目標	圧縮した入力データを用いることにより、32地点の巡回セールスマン問題で2.6倍の高速化を達成した。他の問題に対してテストしている。	○
高速化に関する研究では、プロトタイプシミュレータと比較して100倍の量子を10倍の速度で処理することを目標	ソフトウェアのプロトタイプシミュレータに対して、ハードウェア化で2倍の高速化を達成した。解の精度が異なる場合があり調査している。	○
アーキテクチャ最適設計では、いくつかのアプリケーションを動作させ、実性能評価	巡回セールスマン問題や二次割り当て問題について、アーキテクチャをいくつか考え実行を試している。	○

最終目標(2022年度末)	目標設定の根拠
ハードウェアアルゴリズムの研究では、計算性能をプロトタイプシミュレータと比べてソフトウェア上で2倍にすることを目標	ハードウェア化で高速化は望めるが、元となるアルゴリズム自体の良さが重要である。比較の基準となるソフトウェアシミュレータの、他の研究期間での進歩を考え、通常より2倍の性能とすることで、ハードウェア化自体の価値を確立することとした。
高速化に関する研究では、プロトタイプシミュレータと比較して100倍の量子を10倍の速度で処理することを目標	量子は1ビットで表せるため、ハードウェアでの処理に適している。ただし扱えるメモリのサイズがハードウェアでは小さい場合が多いので、100倍程度が限度であると判断した。速度については、並列化の効果を10倍と予測した。
アーキテクチャ最適設計では、いくつかのアプリケーションを動作させ、実性能評価	量子アニーリングシミュレータ/エミュレータの実応用として、どのようなアーキテクチャが最適であるかの評価を実際のアプリケーションで行うこととした。

3.2.5.3 目標の達成度

中間目標	成果	達成度	今後の課題と解決方針
擬似量子機構実現	超伝導パラメロン素子に基づく手法のソフトウェア擬似量子アニーリングのシミュレーション方式の検討、プロトタイプシミュレータの開発。スピン間の係数の表現や符号化に関する研究により、データ量を 1/10 に削減。	○	データ量の削減率が元の入力のサイズに依存するため、問題によっては 1/10 にならない場合もある。データ削減手法に用いられているパターン検索手法の改良により改善を行う。
擬似量子機構高速化	シミュレーション方式の HW 化方式の検討、FPGA 向け HW モジュールを設計。種々の係数表現や符号化法に対する HW 演算器の設計を行い、実際の問題で高速化を評価。エミュレーションによる並列化で、速度を 2 倍に高速化。	○	高速化において、解の精度が異なる場合がみられた。現在原因を調査中であり、アルゴリズムの改善で解の精度を安定させる。

3.2.5.4 成果と意義

以下の 3 つのサブテーマについて研究を行った。

(a) 擬似量子アニーリングのハードウェアアルゴリズムの研究

量子アニーリング機構の計算機を用いたシミュレーションで、ハードウェア化時のメモリ量の制約を考慮し、係数行列のデータ量の削減法の提案を行った。本提案については、大規模問題において 1/10 あるいはそれ以上に削減できることを確認し、情報処理学会 DA シンポジウムで発表した(2019 年 8 月)。また、削減データを直接用いるシミュレータを開発し、係数行列をそのまま配列に記憶する通常方式に比べて大規模問題で 2.6 倍の高速化を確認した。

(b) 擬似量子アニーリングの高速化に関する研究

削減データをそのまま用いるソフトウェアのシミュレータをベースにエミュレータの開発を行った。Xilinx 社の Vivado 高位合成システムを用いるとともに、ハードウェア向けにループのアンローリングと、複数のスピンの同時トグルなどを用いて、ソフトウェアのプロトタイプに対して 2 倍の高速化を達成した。しかし、得られる解の精度が異なる場合があり、原因を調査している。

(c) ハードウェア面からの量子アニーリングマシンアーキテクチャ最適設計

種々の量子アニーリングマシンのアーキテクチャの調査を行うとともに、実際に動作させるなどして各々の特性をまとめた。スピンあるいはそれを処理するモジュールの接続関係に応じて性能に差がでることがわかっており、接続関係を考慮したシミュレータ/エミュレータの開発を検討している。また、ハードウェアエミュレーションを用いて超電導パラメロン素子の高コヒーレント時間と解の品質の関係の明確化を検討している。

この量子アニーリングシミュレーション/エミュレーション技術の開発成果は、本プロジェクトで取り組む超電導パラメロン素子の高コヒーレンス性の大規模問題での評価およびアーキテクチャ最適化において不可欠な課題で、大規模デバイスの実現前評価方式などの開発に適用できる。この成果を、超電導パラメロン素子を用いた量子アニーリングマシンの開発に活かすことで、事業化の加速をはかる。

またこの成果は、量子アニーリングの汎用シミュレータとしても利用できるため、量子アニーリングのテスト利用に展開できる可能性があると考えられる。また、高速エミュレータの活用が、FPGA サーバーを用いたサービスにつながることを期待できる。さらに量子アニーリングマシン設計に限らず、一般の最適化問題の解決にも本事業で開発した技術は利用可能である。

3.2.5.5 成果の普及

成果普及活動の実績は添付資料の表にリストに記載している。

3.2.6 研究開発サブテーマ「量子磁束回路を用いた量子ビット用制御・読出し回路の研究開発」

3.2.6.1 概要

高速かつ超低消費電力動作が可能な断熱型量子磁束パラメロン(AQFP)等の超電導集積回路を用いて極低温において多数の超電導パラメロン量子ビットを直接制御し、その状態を読み出すことが可能な制御・読出し回路を研究開発する。具体的には、量子ビットに個別に直流バイアスを印加するための静磁場バイアス制御回路、量子ビットに対してアニーリング用のポンプならびにシグナルマイクロ波を印加するためのマイクロ波スイッチ、量子ビットの状態を読み出すための信号読出し回路、ならびに多数の量子ビットと制御・読出し信号を切り替えるデコーダ/マルチプレクサを研究開発する。

3.2.6.2 最終目標と根拠

最終目標(2022年度末)	現状	達成見通し
マイクロ波制御回路と信号読出し回路を単一の量子ビットと統合し、AQFP回路を用いたパラメトリックオシレータの状態制御と読出しに関する動作検証を10mK～50mKの極低温において行う。	AQFPを用いた1対16デコーダ/マルチプレクサの4.2Kでの動作検証、AQFPならびにSFQ回路を用いた可変振幅マイクロ波スイッチの4.2Kでの動作検証を行った。また、マイクロ波信号読み出し回路の基本設計を行い、回路シミュレーションにより高い電流感度を得た。	○

最終目標(2022年度末)	目標設定の根拠
マイクロ波制御回路と信号読出し回路を単一の量子ビットと統合し、AQFP回路を用いたパラメトリックオシレータの状態制御と読出しに関する動作検証を10mK～50mKの極低温において行う。	マイクロ波制御回路の4.2Kでの基本動作検証とマイクロ波信号読み出し回路の基本設計は終わったので、今後はこれらの極低温における動作検証を行う。その後、量子ビットと集積化することで、目標を達成できる見通しである。

3.2.6.3 目標の達成度

中間目標	成果	達成度	今後の課題と解決方針
静磁場バイアス制御回路を設計試作し、4.2Kにおいて動作検証。電流分解能4ビット、バイアス電流を16個の量子ビットに個別供給を目標	静磁場バイアス制御回路を設計試作し、4.2Kにおける動作検証を実施。回路のレイアウト設計に誤りを確認。	△	回路のレイアウト設計の誤りを訂正し、2020年9月までに静磁場回路の動作実証見込み。
デコーダ／マルチプレクサを設計試作し、4.2Kにおいて動作検証。1対16出力を目標	1対16デコーダ／マルチプレクサを設計試作し、4.2Kにおいて動作を検証した。	○	
マイクロ波スイッチを回路シミュレーションにより性能評価。数GHz程度のマイクロ波をオンオフし、その最大振幅を連続的に可変し、位相を0- π 間で連続制御を目標	AQFPならびにSFQ回路を用いた可変振幅マイクロ波スイッチを提案した。 可変振幅マイクロ波スイッチを設計試作し、4.2Kにおいて基本動作を検証した。	○	

3.2.6.4 成果と意義

静磁場バイアス制御回路に関しては、基本設計を行い、回路シミュレーションによりその特性を評価した。デコーダ／マルチプレクサに関しては1対16デコーダ／マルチプレクサを設計試作し、4.2Kにおいて動作を検証した。

マイクロ波制御回路(マイクロ波スイッチ)に関しては、AQFPならびにSFQ回路を用いた可変振幅マイクロ波スイッチを提案した。4.2Kにおいて基本動作を検証した。

量子ビット出力信号読み出し回路に関しては、AQFP回路を用いた読み出し回路を提案し、その高感度化を図った。回路シミュレーションにより、約16nAの電流識別感度を得た。

これらの技術により、量子ビットへの制御用マイクロ波の印加や量子ビットの状態の観測を低温部で行えるようになり、室温から低温部への制御線の数的大幅に削減できる。以上により、量子ビットのスケールアップが可能となる。また、これらの技術を発展させることで、低温での高速な量子フィードバック制御につなげることが期待できる。

研究開発上の課題としては、今までの動作検証は全て4.2Kで実施されているため、極低温での機能評価が行われていないことである。そのため、今後は極低温での測定を行う。

3.2.6.5 成果の普及

成果普及活動の実績は添付資料の表にリストに記載している。

3.2.7 研究開発サブテーマ「量子ダイナミクス的高速並列シミュレーションによる量子アニーリングの性能評価の研究開発」

3.2.7.1 概要

本研究開発プロジェクトで計画されている超伝導パラメトロンを用いた量子アニーリングは既存の磁束量子ビットを用いた量子アニーリングに比べ高い量子コヒーレンスを有することが期待される。この高い量子コヒーレンスがあった場合に組み合わせ最適化問題をとく上で、どのような有効性があるかはまだ明らかとなっていない。この点を明らかにするためには、擬似的に量子性を取り込んだシミュレーションではなく、実際の量子ダイナミクスをシミュレーションする必要がある。本項目では並列計算機を用いて量子アニーリングの実時間ダイナミクスをシミュレーションするためのコード開発を行い、量子アニーリングにおける量子性に起因する優位性の検証や、実機との性能比較を行うことを目的とする。

3.2.7.2 最終目標と根拠

最終目標(2022年度末)	現状	達成見通し
超伝導パラメトロンダイナミクスのシミュレーションを実装し、実機との比較	量子ビットレベルのシミュレーションによる量子アニーリングの実時間シミュレーションコードが完成している。	○

最終目標(2022年度末)	目標設定の根拠
超伝導パラメトロンダイナミクスのシミュレーションを実装し、実機との比較	物理レイヤからのシミュレーションを引き続き開発することによって、実験に即したシミュレーションを実行することができる。

現在、すでに量子ビットレベルの量子アニーリングの高速シミュレーション環境は整っており、全結合イジングモデルのベンチマークを取得している。また、従来の量子アニーリングだけではなく、クエンチを導入して最適化問題を解く方法とその優位性の構築にむけた取り組みを進めている。実機のアプリケーションやその優位性を検証するうえではこのレベルで十分である。さらに、今後、超伝導パラメトロンを物理的にシミュレーションすることで、実機との比較を行うことができる、実機におけるノイズの影響の検証を行うことができるため、上記の最終目標が妥当であると考えられる。

3.2.7.3 目標の達成度

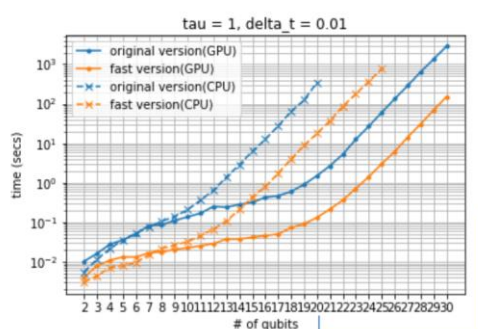
中間目標	成果	達成度	今後の課題と解決方針
量子アニーリングのコードを実装、高メモリ帯域並列計算機上での量子アニーリングのシミュレーション性能を評価。	並列計算機用のシミュレーションコードを開発。高メモリ帯域並列計算機上で量子アニーリングの性能評価。	○	超伝導パラメトロンダイナミクスの物理レベルでのシミュレーションを行う。

これまで、当初の目標である、量子アニーリングをシミュレーションするための高並列高速シミュレーションコード開発を行ってきた。30 量子ビットの全結合量子アニーリングを、シミュレーションアルゴリズムの改善(約 10 倍)、GPU を用いた並列化(約 10 倍)によって現実的な時間でシミュレーションが可能となっている。このため当初の目標が達成されている。また、クエンチという従来の量子アニーリングでは行わない機構を導入した量子アニーリングについても開発されたコードを用いて検証を開始しており、当初の計画を上回る進展が得られている。

ただし、現段階のシミュレータは量子ビットレベルからのシミュレーションにとどまっており、超伝導パラメトロンによって実装される実機の挙動とは異なる。この問題を解決するために、物理レベルからシミュレーションを行うコード開発を今後進め、実機における量子効果のノイズに対する堅牢性などを検証する。

3.2.7.4 成果と意義

量子アニーリングにおける量子性による計算の加速を検証するためには、量子性を完全に取り込んだ量子系の実時間ダイナミクスのシミュレーションが必要となる。実時間シミュレーションでは量子ビットに対して指数関数的に大きなメモリを確保し、それを更新するというメモリ帯域への要請が厳しい計算が必要となる一方、高い並列化効率のあるプロセスである。本事業項目ではこれまで、量子アニーリングを実時間シミュレーションするためのコード開発を行ってきた。また、その中で30量子ビットまでの量子アニーリングのシミュレーションを現実的な時間で行うためには既存のシミュレーション方法だけでは不十分であることが明らかとなった。それを解決するために、量子ダイナミクスを細かく刻み、かくステップにおいて対角な基底へと変換することでさらに並列化効率をあげる新規のシミュレーション方法を構築した。またこのシミュレーションコードを GPU 化することでさらに高速化し 30 量子ビットまでの量子アニーリングシミュレーションが可能となった。さらに、このコードを用いてクエンチを導入して組み合わせ最適化問題を古典アルゴリズムよりも高速に解く方法の構築とその優位性の検証を進めている。



- 初期状態: $|\psi_0\rangle = |+\dots+\rangle$
- イジング項の工夫により約10倍高速化
- CPUとGPUでは、各々100倍の高速化

20量子ビットにおける1サンプルあたりの実行時間(100step)

	qulacs(cpu)	qulacs(gpu)	高速化(cpu)	高速化(gpu)
実行時間(sec)	347.1376	1.5130	17.7991	0.1324

図 2-3.2.7-1 CPU と GPU を用いた量子アニーリングダイナミクスのシミュレーション時間の比較。従来手法(original)と本研究で最適化を行なった場合(fast)の比較。イジング項の性質を利用することによってやく約 10 倍、GPU を活用することで約 100 倍の高速化が達成された。

3.2.7.5 成果の普及

成果普及活動の実績は添付資料の表にリストに記載している。

3.3 研究開発テーマ「ディスアグリゲーション型次世代データセンタに適用する光電ハイブリッドスイッチを用いた高速低電力データ伝送システムの研究開発」

本研究開発項目では、「ポート数 1000 以上、伝送速度 1Tbps 以上を実現する新たな光スイッチと電気スイッチを組み合わせた光電ハイブリッドスイッチを用いた高速低電力データ伝送システムを開発する」という目標に対し、システムを構成する各要素技術、システム制御技術の基盤確立を達成し目覚ましい成果を上げつつある。

本研究開発テーマは、下記の研究開発項目で構成される。

- 1-1.光電ハイブリッドスイッチ制御技術および光電ハイブリッドスイッチシステム実証
- 1-2.光電ハイブリッドスイッチ制御アルゴリズム
- 1-3.光スイッチネットワークアーキテクチャの最適化
- 1-4.光波長送受信器
- 1-5.バースト多値プロセッサ
- 1-6.光コアスイッチ
- 1-7.国際標準化

1-1～1-3 は、システム関連技術、1-4～1-6 は、要素部品技術、1-7 は、技術を展開する標準化活動である。

1-1「光電ハイブリッドスイッチ制御技術および光電ハイブリッドスイッチシステム実証」の研究開発では、光コアスイッチと光 ToR の連携制御を実現する IF 構成の具体化と必要機能の提案を行った。またシステム検証系を構築して、その機能の有効性を実証した。

1-2「光電ハイブリッドスイッチ制御アルゴリズム」の研究開発では、制御アルゴリズムの選定・仕様定義および光部品表記法の設計を完了した。

1-3「光スイッチネットワークアーキテクチャの最適化」の研究開発では、スイッチで使用する各種部品の機能と得られるスイッチ特性を詳細に検討し、デバイス技術と整合する機能分割・アーキテクチャを考案し、シームレスに拡張可能な大規模光スイッチ構成基盤技術を確立した。

1-4「光波長送受信器」の研究開発では、光波長送受信器内で使用する波長可変光源の高速波長切替時間 100 μ s 以下という目標に対し、制御原理の事前検証によりその達成に目途が立った。

1-5「バースト多値プロセッサ」の研究開発では、光バースト信号に対応した新たな機能ブロック回路の設計・試作を実施して基本動作を確認するとともに、バースト多値プロセッサ全体の設計を行い、従来比約 1/10 の短縮となる 500 μ s の切り替え時間を確認した。

1-6「光コアスイッチ」の研究開発では、世界で初めてスイッチング時間が 100 μ s を下回る石英系 PLC 方式の光スイッチを作製・実証し、当該領域の技術課題をクリアする見通しを得た。

1-7「国際標準化」の活動では、データセンタ制御アルゴリズムをオープンにするプラットフォームとして最適な標準化団体の候補を選定できた。

個別の研究開発テーマにおける詳細は以下に示す。

3.3.1 研究開発サブテーマ「光電ハイブリッドスイッチ制御技術および光電ハイブリッドスイッチシステム実証」

3.3.1.1 概要

「光電ハイブリッドスイッチ制御技術」の開発では、今回開発する光コアスイッチと電気コアスイッチのハイブリッド構成を基本としたシステムにおいて、伝送トラフィックをそのフロー長に応じて光コアスイッチと電気コアスイッチに振り分ける制御方式の研究開発を行う。具体的には、ネットワークコントローラの開発、光コアスイッチおよび、光 ToR スwitchを構成する電気スイッチ、光波長送受信機の制御インタフェース機能、制御プロトコル等の検討を実施する。また、ネットワークコントローラに組み込む、振り分けアルゴリズムを検討し、ディスアグリゲーション型次世代データセンタに有効な方式の絞り込みを行い、それらの機能概要・仕様概要を明らかにする。さらに、ネットワークコントローラの実機試作を行い、振り分けアルゴリズムを実装し、「光電ハイブリッドスイッチシステム実証」の研究開発のもとで、試作したネットワークコントローラを用いて光コアスイッチ、光 ToR スwitchのトラフィック振り分け制御実験を実施し、光電ハイブリッドスイッチ制御技術を確立させる。

また、「光電ハイブリッドスイッチシステム実証」の開発では、システム実証の観点から課題を抽出し、その解決策を研究開発項目 1-2「光電ハイブリッドスイッチ制御アルゴリズム」及び 1-3「光スイッチネットワークアーキテクチャの最適化」のそれぞれの研究開発にフィードバックを行う。

さらに、研究開発項目 1-1～1-3 で開発したシステム関連技術を統合し、光電ハイブリッドスイッチシステムを試作し、ネットワークコントローラを用いて光コアスイッチ、電気コアスイッチ、光 ToR スwitchのトラフィック振り分け制御実験を行い、光電ハイブリッドスイッチシステムが目標通りの機能・電力効率を有することを確認する。

3.3.1.2 最終目標と根拠

「光電ハイブリッドスイッチ制御技術」の研究開発においては、研究開発項目 1-2「光電ハイブリッドスイッチ制御アルゴリズム」の研究開発で検討するコントロールアルゴリズムが動作するために必要なスイッチングハードウェアとなる「コントローラ」と、制御インタフェース方式を開発する。また、「光電ハイブリッドスイッチシステム実証」の開発で実施する連携実験の結果を踏まえてコントローラ制御のシーケンスなどの改良を行い、光電ハイブリッドスイッチ制御技術を確立することを最終目標とする。

システムとしての有効性を発揮するには、個々の装置の性能に加えて、それらを連携して制御する技術が不可欠である。

「光電ハイブリッドスイッチシステム実証」の研究開発では、光電ハイブリッドスイッチシステムを実際に試作し、フロー振り分け機能などの実証を行い、システム性能と電力削減効果がその目標値を達成可能であることを確認することを最終目標とする。

具体的な検証項目は以下のとおりである。

- ① 1Tbps、1,000 ポートまでの拡張性を実現する仕様および設計
- ② 光 ToR スwitch、光コアスイッチ、コントローラの試作、これらを統合した実証システム実現性
- ③ 光コアスイッチ、電気コアスイッチへのフロー振り分け機能
- ④ 動作速度、光信号の送受信性能などのシステム性能達成度
- ⑤ 電力削減効果

システムとしての実現性能および課題を明確化するには、実証システムにおいて、個々の開発装置を連携して制御し、装置単体性能では見えない、他装置からの影響や電気スイッチ等の既存装置が開発システムに及ぼす影響等、総合的な真の性能が明らかになるものと考えられ、最終目標に設定した。

3.3.1.3 目標の達成度

当初の計画通り順調に推移している。「光電ハイブリッドスイッチ制御技術」の研究開発においては、基本制御シーケンスの具体化と絞りこみを行い、それらを実現するための各装置の設定項目を定めた。また、制御プロトコルとして EtherCAT を用いることが有用であることを明らかにした。現在、コントローラの仕様策定を進めている。

また、「光電ハイブリッドスイッチシステム実証」の研究開発では電気スイッチおよびサーバを含めた検証を構築し、バースト多値プロセッサの課題抽出と解決策のフィードバックを行った。

進捗は計画通りである。

3.3.1.4 成果と意義

「光電ハイブリッドスイッチ制御技術」の研究開発：

システムを構成する光コアスイッチ、光 ToR スwitchなどの各構成要素を連携して制御し、フロー伝送経路を電気コアスイッチから光コアスイッチへ切り替える際の基本フローとして 2 案を作成した。その概略を以下に示す。

案1 サーバからの接続要求をコントローラにあげ、コントローラからサーバの送出する IP パケットのタイプオブサービス(光、電気どちらのスイッチを使用するかという情報)書き換えを行い、電気 ToR スwitchのフローテーブルに従って電気スイッチから光スイッチへ経路切り替えを行う

案2 サーバからの接続要求をコントローラにあげ、コントローラから電気 ToR スwitchのフローテーブルを書き換えることで経路切り替えを行う

また、上記切り替え処理を高速に行うため、コントローラと光コアスイッチおよび光 ToR スwitchの処理分担案を策定した。表 2-3.3.1-1 に分担案を示す。

表 2-3.3.1-1 切り替え処理分担案

実施装置	処理内容	通信対象
サーバ	接続要求(送受IPアドレス)	コントローラ
	ToS (Type of Service)書き換え	
	パケット送信完了通知	コントローラ
コントローラ	サーバ接続要求より経路計算	
	接続入出力ポート指示	光コアSW
	設定波長指示	光ToR-SW
	ToSの変更指示(案1)	サーバ
	フローテーブル変更指示(案2)	ToR-SW
光コアSW	光経路設定	
	設定完了通知	コントローラ
光ToR-SW (光波長送受信部)	波長設定	
	設定完了通知	コントローラ

また、上記分担案に基づき、各構成要素が行うべき設定を具体化した。具体的設定項目は以下のとおりである。

- ・システム立上げ時の各光スイッチにおける設定(波長、IP アドレス等)
- ・コントローラが具備する、光コアスイッチ接続ポートと光コアスイッチ内空間スイッチモジュール制御ポート対応表および光経路接続ログ
- ・光コアスイッチ接続ポートに対する光 ToR スwitch受信光波長設定対応表

さらに、制御コマンド様式について、他の関連研究項目と連携し、詳細検討を進めた。具体的には、コントローラが EtherCAT を用いて光コアスイッチに対して光経路指示を行う際の形式、および光 ToR-SW 内の光波長送受信器に対する設定波長を指示する際の形式について案を策定した。また、その案に基づいたフレーム長から EtherCAT のシステム制御への適用性について検討し、適用可能との認識を得た。

また、その結果にもとづき、研究開発項目 1-6「光コアスイッチ」と連携し 2020 年度に試作を行う動作検証用コントローラの仕様について検討を行い、そのハードウェア構成案と試作仕様を策定した。

「光電ハイブリッドスイッチシステム実証」の研究開発：

システム実証の観点から構成要素の特性調査を行い、光電ハイブリッドスイッチシステムを実現するための課題を抽出し、その課題を解決する手法をバースト多値プロセッサ仕様にフィードバックした。具体的には、電気スイッチから光スイッチへ高速で経路切り替えを行うには、バースト多値プロセッサに以下の機能が必要であることを明確にした。

- ・ 光コアスイッチからの入力信号が断状態となった際に、電気スイッチに対してアイドル信号を送出する機能(アイドルモード)
- ・ 光コアスイッチからの入力信号が入状態となった際に、光コアスイッチからの信号を電気スイッチへそのまま伝達する形態(スルーモード)へ切り替わる機能

また、光電ハイブリッドスイッチシステムにおける課題抽出と解決策の有効性を確認するため、100GbEther インタフェースを具備するサーバと OpenFlow 機能を有する電気(Ethernet)スイッチおよびバースト多値プロセッサの機能を模擬した評価ボードから構成される実験系を構築した。図 2-3.3.1-1 に実験系構成を示す。

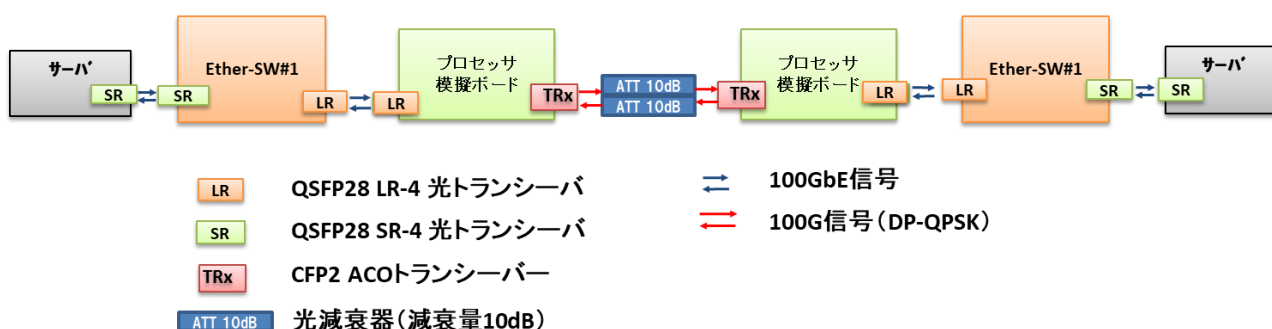


図 2-3.3.1-1 実験系構成

バースト多値プロセッサが具備すべき機能として提案を行ったアイドルモードとスルーモード切り替え機能をファームウェアによって模擬ボードで実現し、上記実験系を用いて、その有効性を確認した。すなわち、光断時には、バースト多値プロセッサよりアイドル信号を電気スイッチに送出することで電気スイッチポートの通信可能状態が維持でき、光信号入力時には、バースト多値プロセッサにおいて、光コアスイッチからの受信信号を電気スイッチへスルーさせることで通信可能状態の維持が可能であることを確認した。

しかしながら、新たな課題として、光断時のアイドル信号発出から光信号入力時の信号スルー状態に移行する際に、一時的に通信不可状態となる課題があることが明らかとなった。その対策としてアイドル信号発出/スルー両モードにおいて電気スイッチへの信号を送出する際に、同一の信号出力クロックを使用する方法を検討し、上記実験系を用いて、アイドル信号発出モードからスルーモードへ切り替わる際も電気スイッチにおいて通信可能状態が維持されることを確認した。

また、光断後に再び光信号が入力された際に、サーバ間でやり取りされる IP パケットの疎通確認を行った。その結果、光再入力時からサーバ間で IP パケットの疎通が回復するまで秒単位の時間を要することが判明し、疎通時間の短縮化が必要であることが明らかとなった。本課題の解決策について検討を開始した。

以上、成果について述べたが、「光電ハイブリッドスイッチ制御技術」の研究開発において、システムのグランドデザインとも言える基本方針を定めた。また、「光電ハイブリッドスイッチシステム実証」の研究開発においては、定めた基本方針に基づき、本研究で開発する各技術要素をシステムとして組み合わせるときに生じる課題抽出を行い、実システムの実現性を高めている。これらの検討によりスムーズな成果の普及に寄与するものとする。

3.3.1.5 成果の普及

「光電ハイブリッドスイッチ制御技術」の研究開発では、EtherCAT を用いた高速連携制御技術を検討している。この EtherCAT プロトコルは工場等において生産機械の制御に広く用いられているものであり、このプロトコルをもとに光デバイス制御を行う本成果は既存技術との整合性がよく、普及しやすい技術である。

また、「光電ハイブリッドスイッチシステム実証」の研究開発では、バースト多値プロセッサの電気スイッチとの接続性における課題を見出し、その対策を検討している。本成果はデータセンタ内に限らず、電気スイッチを用いた光伝送システム全般において、伝搬遅延の低減による接続性の改善に広く寄与するものであり、本プロジェクトで開発を行バースト多値プロセッサの普及範囲を拡大する重要要素となる。

3.3.2 研究開発サブテーマ「光電ハイブリッドスイッチ制御アルゴリズム」

3.3.2.1 概要

コントローラに組み込む振り分けアルゴリズムを各種比較検討し、ディスアグリゲーション型次世代データセンタ向けアーキテクチャに有効な方式の絞り込みを行い、それらの機能概要・仕様概要を明らかにする。また、多様な光部品の機能・状態・構成をコントローラから統一的に操作可能な表記法を開発する。さらに、既存のネットワークコントローラプラットフォームのオープンソースモジュールとしてその機能を実装し、光電ハイブリッドスイッチシステムとしての動作を実証・評価する。

3.3.2.2 最終目標と根拠

「光電ハイブリッドスイッチシステム実証」の研究開発と連携して、光電ハイブリッドスイッチシステムとしての動作確認を行い、トラフィック制御アルゴリズムを確立する。開発した成果物をオープンソースソフトウェアとして公開する。100 μ s 程度での高速切り替えを実現することを目指す。その根拠として、原理検証において 100 μ s の切り替え時間を達成できる目途を確認している。

3.3.2.3 目標の達成度

当初の計画通り順調に推移している。光電ハイブリッドスイッチのアルゴリズムの選定・仕様定義および光部品表記法の設計を完了した。現在、トラフィック振り分けアルゴリズムおよび光部品表記法の実装およびトラフィック振り分けアルゴリズムの原理実証について模擬ハードウェア環境上で開発に着手している。

3.3.2.4 成果と意義

コントローラに組み込む振り分けアルゴリズムとして、次世代コンピューティングにおける主要ワークロードと想定される大規模深層学習を念頭にトラフィック振り分けアルゴリズムを開発した。サーバがパケットにヒント情報を付加することで、深層学習のパラメータ交換通信（長いフロー）を光スイッチに振り分ける。深層学習のパラメータ交換の大容量フローを光スイッチに振り分けるリングベース AllReduce アルゴリズムを提案し、計算機シミュレーション上で性能評価を実施した。メッセージサイズに比例して性能が向上し、メッセージサイズ 128MB のときに、通信性能を約 30%高速化できることを確認した。本手法は次世代コンピューティングの主要ワークロードである深層学習の高速化に貢献するのみならず、人工知能や高性能計算などのワークロードに広く応用が可能であるという意義を持つ。

また、ネットワークコントローラプラットフォームとして、既存のネットワークコントローラのオープンソースプラットフォームである ONOS (Open Network Operating System) と OpenDayLight を比較検証した結果、その機能性やメンテナンス性などに優位性がある ONOS を研究開発プラットフォームに選定した。そして ONOS に基づく光電ハイブリッドスイッチ制御ネットワークの設計(図 2-3.3.2-1)を行った。機能性やメンテナンス性に優れるオープンソースプラットフォームを採用することで拡張が容易となることが期待されるほか、成果の導入が促進されるという意義を持つ。

上記の光電ハイブリッドスイッチ制御ネットワークの設計に基づいて、産業用リアルタイム Ethernet 規格 EtherCAT を用いた高速切替制御手法の開発を進めた。EtherCAT を用いることで、100 μ s 以内の高速切替を実現できる目処を確認した。1 x 2 の光ファイバスイッチ 2 基を用いた原理検証に成功し、原理検証段階においても 144 μ s の切替時間を達成した。

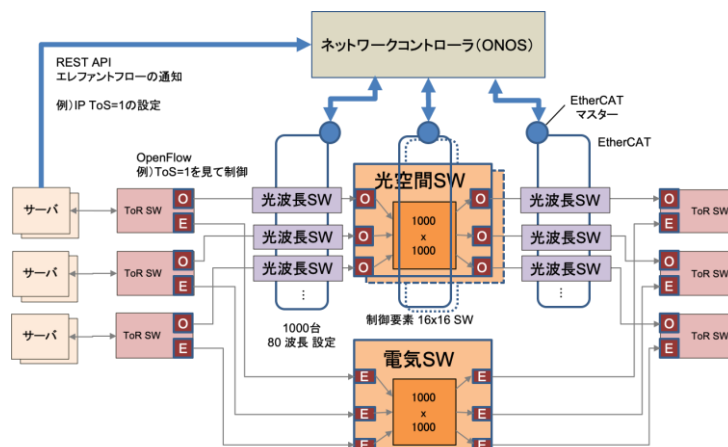


図 2-3.3.2-1 光電ハイブリッドスイッチ制御ネットワーク

多様な光部品の機能・状態・構成を統一的に管理するための表記法(モデル)開発に着手した。我々が提案する FBD (Functional Block based Disaggregation)モデルを用いることで、ネットワークコントローラやアプリケーションから、多数の光部品から構成される光スイッチおよび光ネットワークの統一的管理・制御・機能検証が容易になる。既存手法である YANG モデルとの互換性の検討や、FBD モデルで記述された小規模な光電ハイブリッドスイッチについて要求光パスに対し各部品の必要設定を計算する自動処理プログラムの動作検証を完了した。効率的な表記法の確立は、多数の光部品から構成される光スイッチおよび光ネットワークの実現に不可欠であり、その実現に寄与するという意義を持つ。

3.3.2.5 成果の普及

光電ハイブリッドスイッチの制御アルゴリズムは、既存のネットワークコントローラプラットフォームのオープンソースモジュールとしてその機能を実装することで、成果の導入を促進する。開発した成果物はオープンソースソフトウェアとして公開する。「国際標準化」の活動と連携しながら成果の普及を目指す。

3.3.3 研究開発サブテーマ「光スイッチネットワークアーキテクチャの最適化」

3.3.3.1 概要

次世代コンピューティングでは各種の AI 関連サービス、クラウド関連サービスを含む広範囲のアプリケーションが想定される。本研究開発テーマではディスアグリゲーション型次世代データセンタへの光スイッチの導入にあたり、様々なアプリケーション、並びに様々な規模のコンピューティング環境に最適化可能な効率的な光スイッチネットワークアーキテクチャを開発する。

光スイッチの導入により期待される低消費電力・高性能・経済性の最大化、開発光スイッチの導入の促進、並びに広範囲な導入を達成するためには、各種のアプリケーションに応じたアーキテクチャの最適化が必要になる。また、大規模スイッチの経済的な導入を可能にするためには、拡張性 (pay-as-you-grow) が重要となる。これらを達成するために、光スイッチを構成する 2 つの次元、波長と空間の組み合わせの最適化が重要である。また、提案光スイッチの外部仕様を実現する最適構成を得るために、各アーキテクチャにおける要素機能部品の最適化の検討を行う。

3.3.3.2 最終目標と根拠

異なるアプリケーション・規模に応じた、変調形式・ポート数・空間スイッチ／波長スイッチ機能分担等の最適化を行い、光スイッチネットワークアーキテクチャの最適化を実現するとともに、実証実験へ反映させる。

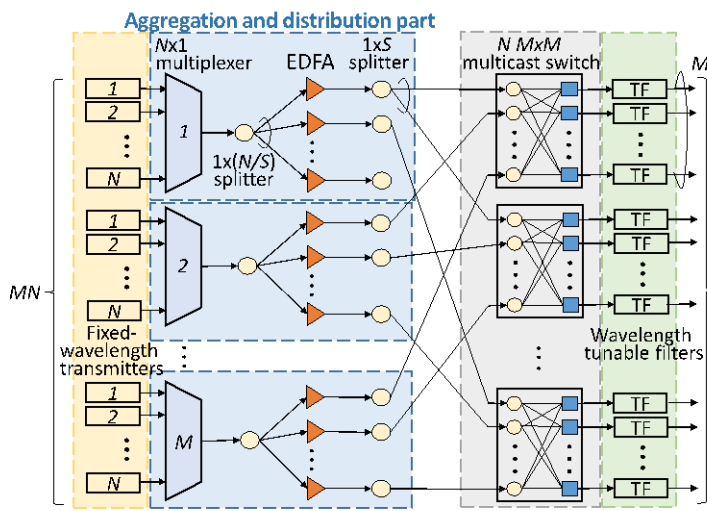
3.3.3.3 目標の達成度

スイッチで使用する各種部品の機能と得られるスイッチ特性を検討し、デバイス技術と整合する機能分割・アーキテクチャを明らかにすることにより、シームレスに拡張可能な大規模光スイッチ構成を可能とする基盤技術を確立し、当初の予定通りの目標を達成した。

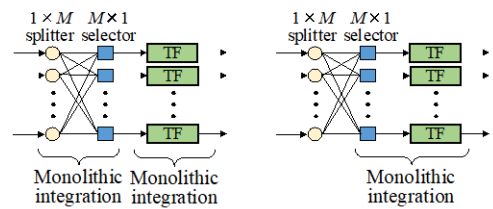
3.3.3.4 成果と意義

小規模から大規模にわたるデータセンタへの光スイッチの適合性を考える上で、波長選択性の持たせ方に応じて異なる、変調形式、送受信機などへの要求条件を明確にした。特に受信側で波長選択を行う光スイッチ構成に関し、特性評価のためのシミュレータを開発し、必要な光増幅器の増幅度、台数などをパラメータとして各条件に応じて達成可能なスイッチ規模を導出した。

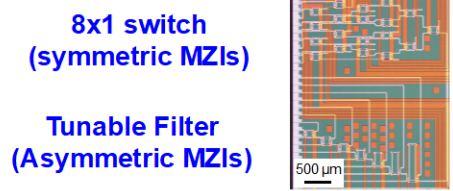
図 2-3.3.3-1 に光スイッチのモデル構成と試作した Si フォトニクス集積回路チップ (8 x 1 セレクタとチューナブルフィルタの集積チップ)、図 2-3.3.3-2 に各種変調形式における、光増幅器の増幅度、ポートあたりの増幅器数 (1/S) に対する達成可能なスイッチ規模の解析結果並びに、768 x 768 スイッチにおける 43-Gbps DQPSK 信号伝達特性、並びに試作した Si フォトニクス集積回路のスイッチ時間の評価結果を示す。5 μ s 程度のスイッチ時間が実現できることを実証した。



(a) スイッチモデル構成

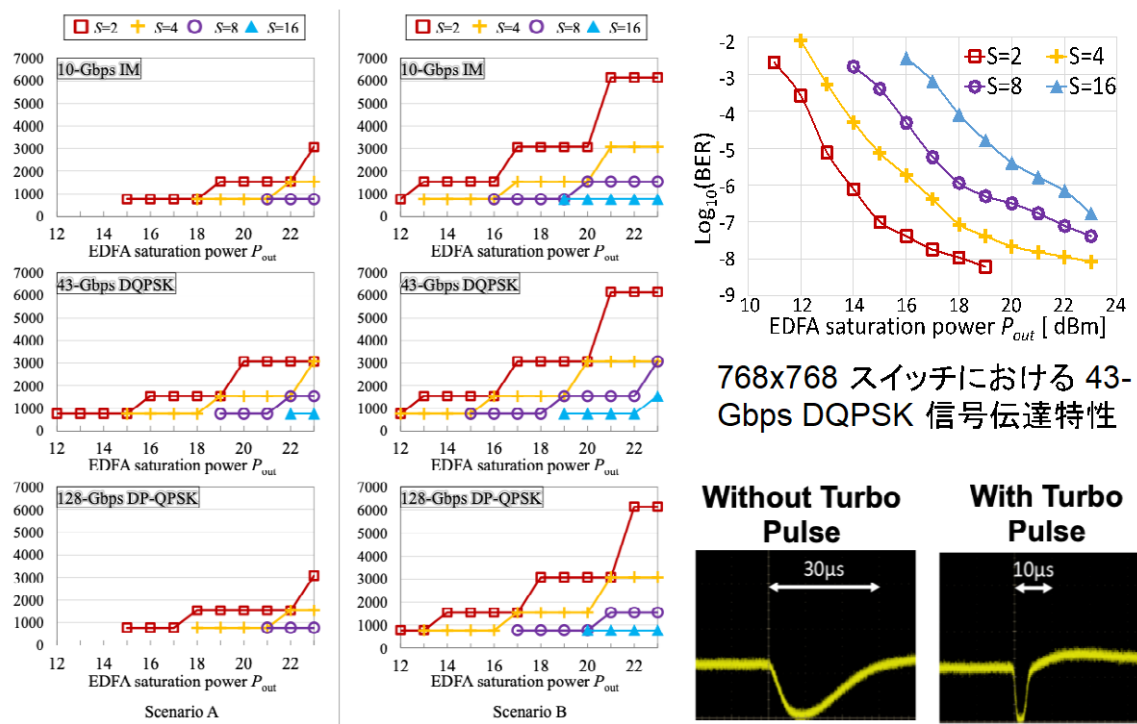


Scenario A Scenario B
(b) マルチキャストスイッチとチューナブルフィルタの機能分割構成



(c) 試作 Si photonics 集積回路

図 2-3.3.3-1 光スイッチモデル構成と試作 Si フォトニクス集積回路チップ (8 x 1 セレクタとチューナブルフィルタの集積)



光増幅器の増幅度、ポートあたりの増幅器数(S) に対する各変調形式で達成可能なスイッチ規模

光スイッチ切替時間

図 2-3.3.3-2 各種変調形式における、光増幅器の増幅度、ポートあたりの増幅器数(1/S) に対するスイッチ規模の解析結果並びに、768x768 スイッチを用いた特性評価結果

受信側で波長選択を行う光スイッチ構成に関し、各種コヒーレント光変調形式に対する異なる受信部構成を比較検討した。特に受信器の光パワーの飽和を防ぎつつ十分な SNR を得るためのチューナブルフィルタが省ける条件を明らかにした。また、受信部のローカル光源として波長バンクと波長可変フィルタで構成する方式(図 2-3.3.3-3(a)参照)を検討し、ス

イチ並びにローカル光源の各構成要素のパラメータ値がトータルのスイッチ規模に与える影響を定量的に評価するための、シミュレータの開発に着手した。

データセンタに適用する光スイッチの規模拡大に向け、送信側で波長選択を行う光スイッチ構成に関し、スーパーチャネルと並列光スイッチの組み合わせによる光スイッチ構成（図 2-3.3.3-3(b)参照）を提案し、これによりスイッチ総容量を大幅に拡大(2.1 Pbps)できることを伝送実験により実証した。

これらを含めた本研究開発におけるスイッチ規模拡大の進展を、図 2-3.3.3-4 にまとめる。Tunable LD タイプ、Tunable Filter タイプの各々において、本研究開発により1桁以上のスループット拡大が実現されていることが分かる。

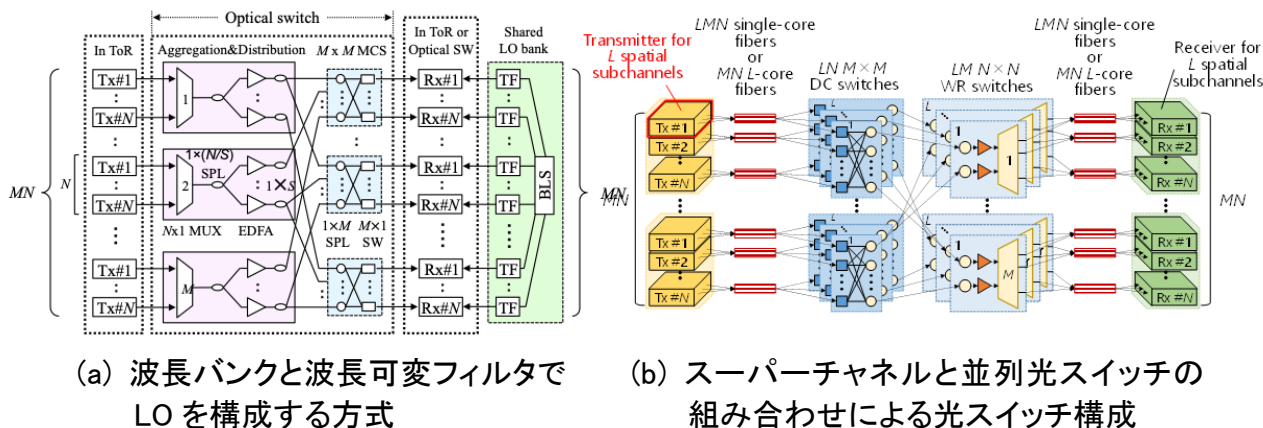


図 2-3.3.3-3 各種新提案スイッチ構成

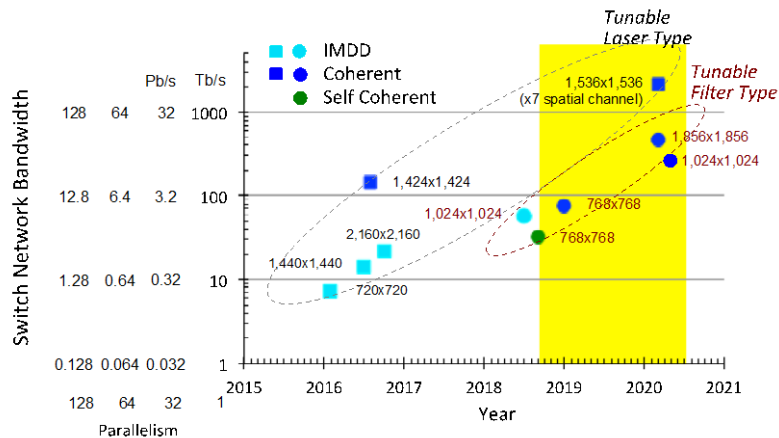


図 2-3.3.3-4 本研究開発におけるスイッチ規模拡大の進展(黄色部分)

3.3.3.5 成果の普及

光電ハイブッドスイッチを導入したディスアグリゲーション型次世代データセンタ技術は、将来のデータセンタ構成に大きなインパクトを与えるが、その成果の普及を図るためには、継続的な発展性を含めた正しい技術評価が必要である。現在、主要な国際会議・ジャーナル誌から多くの招待を受け、また自発的に発表を行い成果の普及に務めているが、今後は事業者との直接の議論を含め、開発成果の普及活動を促進していく予定で有る。

3.3.4 研究開発サブテーマ「光波長送受信器」

3.3.4.1 概要

光波長送受信器の構成を図 2-3.3.4-1 に示す。その実現に向けた各制御機能の研究開発のポイントとしては、

- ①高速波長可変光源の制御
- ②光・電気デバイスのバースト制御
- ③システム内の他の機能部との連携制御

の 3 つの観点からの制御があげられる。①については、100 μ s 程度で波長切替可能なレーザの選定および波長制御の高速化回路を開発し、光波長送受信器の切替時間の許容範囲と整合させることを目標とする。②については、バースト信号間の無信号時間への対応、バースト信号受信後の早期安定化の実現が開発要素である。高速切替と切替後の安定化時間は一般的にトレードオフの関係にあり、最適化させることが目標となる。③については、コントローラとの間で制御情報等を送受するインターフェースや通信プロトコルを規定することが目標となる。これらの検討・設計を完了した後に、制御回路について部分試作を行いレーザおよび他の光デバイスのバースト対応制御動作の原理検証を行う。その後、光波長送受信器の基本設計を実施し、設計結果に基づいてバースト多値プロセッサも含めて光波長送受信器の原理試作を行い、その組み込み動作の実証を行う。制御回路は主信号のボーレートには依存しないため、研究開発の内容は 1Tbps 級のシステムにも適用できるが、部品の入手性を考慮し、原理実証は 200Gbps で行うこととする。

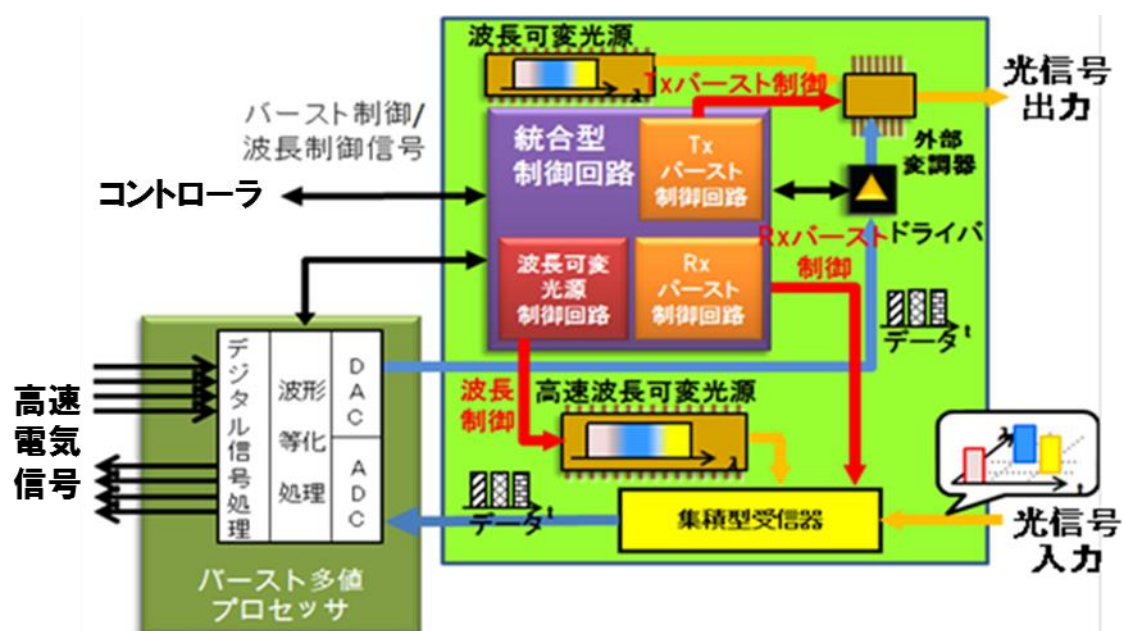


図 2-3.3.4-1 光波長送受信器の構成

3.3.4.2 最終目標と根拠

最終目標は、光波長送受信器の特性評価を行い、また、改善および最適化をすることで、光波長送受信器の技術を確立する、である。前節で述べたとおり、光波長送受信器は電気・光デバイスの高速制御と、コントローラとの通信制御が課題である。バースト通信では受信処理のタイミングが非常に重要であるため、その技術確立を行う。

3.3.4.3 目標の達成度

中間目標は、100 μ s 程度の光デバイスバースト対応制御部分動作実証、である。これまでに波長可変光源の高速波長切替 100 μ s 実現に向けて制御原理の動作検証を進め、高速制御と制御精度の両立が可能な PID (Proportional-Integral-Differential) 制御を適用することとした。また、波長可変光源の基本特性評価を実施してデバイスの選定を完了し、高速波長切替 100 μ s 実現の見通しを得た。光・電気デバイスのバースト制御は、集積型受信器のバースト応答を AGC (Automatic Gain Control) と MGC (Manual Gain Control) で評価した。その結果、バースト信号の受信には MGC が適していることが判明し、デバイスの制御方式を決定した。コントローラとの制御情報の通信については、コントローラから波長可変光源の波長と MGC の利得を受信することでバースト信号の受信が可能であると判断した。以上、中間目標に対する進捗は順調である。

3.3.4.4 成果と意義

波長可変光源の高速波長切替 100 μ s 実現に向けて、PID 制御による制御応答の高速化を検討した。検討した PID 制御の構成を図 2-3.3.4-2 に示す。PID 制御は主に比例ゲイン K_p 、積分ゲイン K_i 、微分ゲイン K_d を調整して、制御応答の高速化を図る。また、制御目標値と現在値の誤差を積分して制御偏差をゼロにしようとするが、デバイスの応答が遅い場合、積分を継続すると制御量が過大となり目標値に収束するまでの時間が長くなるという問題が生じる。これを解決するため、制御リミット到達時は積分動作を停止する機能を実装することとした。

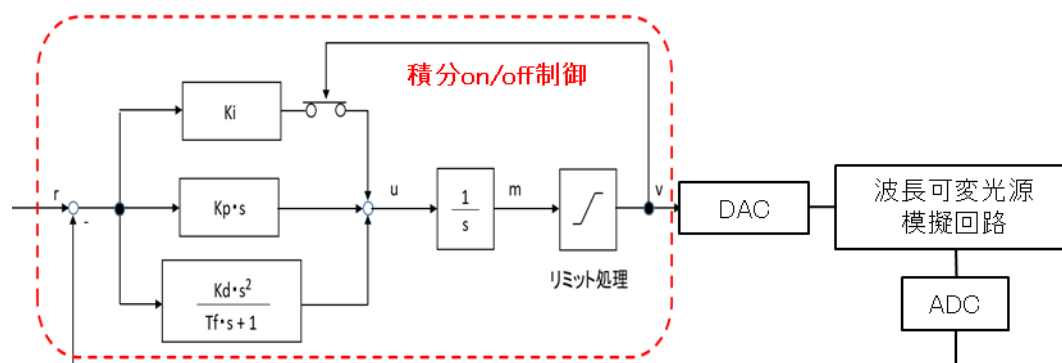


図 2-3.3.4-2 PID 制御の構成

まず、ソフトウェアで PID 制御の動作確認を実施したので、図 2-3.3.4-3 にその結果を示す。積分継続の場合、図(a)のヒータ電力が小さい波長はヒータ駆動電力が制御リミットに到達しない。波長可変光源のヒータ応答が遅いため、PID 制御器はヒータ駆動電力にプリエンファシスがかかったような制御量にしてヒータ応答の高速化を図っている様子が見て取れる。これにより、ヒータ応答はオーバーシュートが発生せず、15 μ s で目標値に到達している。図(b)のヒータ電力が大きい場合、ヒータ駆動電力がリミットに 25 μ s 張り付き、ヒータ応答にオーバーシュートが発生し、目標値に到達するまでに 40 μ s の時間がかかる。一方、図(c)のヒータ電力大で積分動作を停止した場合、ヒータ駆動電力がリミットに張り付いている時間は 10 μ s と短くなり、ヒータ応答のオーバーシュートが抑制され、20 μ s 程度で目標値に収束している。以上より、制御量がリミットに到達した場合の積分停止の有効性を確認した。

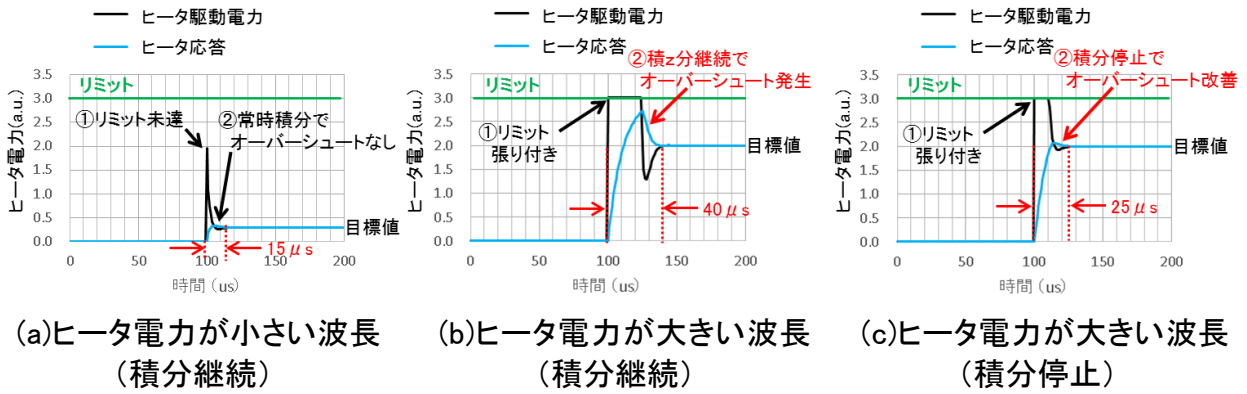
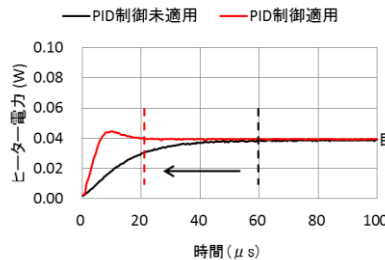


図 2-3.3.4-3 PID 制御ソフトウェアシミュレーション

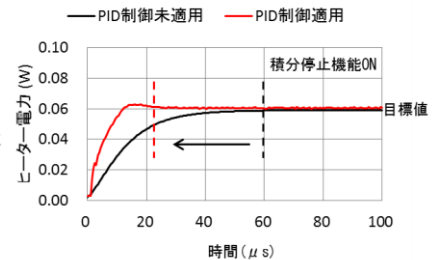
次に、ハードウェアを試作し、PID 制御による高速制御の確認を行った。試作したボードとハードウェアシミュレーションの結果を図 2-3.3.4-4 に示す。図(a)は試作ボードで、PID 制御器は FPGA(Field Programmable Gate Array)に実装し、その周辺回路に高速の ADC (Analog to Digital Converter)と DAC(Digital to Analog Converter)を搭載した。これらの部品選定により、制御周期 500ns で動作する制御器を実現した。また、試作ボードにはソフトウェアシミュレーションと同等の波長可変光源模擬回路を搭載した。図(b)はヒータ電力が小さい場合のハードウェアシミュレーション結果で、PID 制御を適用しないと目標値に収束するまで 60 μ s の時間を要するが、PID 制御の適用により 20 μ s まで応答時間を短縮した。ヒータ電力が大きい場合(図(c))も 25 μ s 程度までヒータ応答を短縮可能であり、ソフトウェアシミュレーションと同等の結果を得た。以上より、PID 制御のハードウェア技術を確立した。



(a)試作ボード



(b)ヒータ電力が小さい波長



(c)ヒータ電力が大きい波長

図 2-3.3.4-4 PID 制御事前検証用ボード試作とハードウェアシミュレーション

上記の通り、波長可変光源の応答を想定してシミュレーションによる制御原理の検証を進めてきたが、次に実際の波長可変光源を用いて、その基本応答特性を評価した。ここで用いた波長可変光源は、波長を 3 つのヒータで制御し、波長設定精度を確保するために波長ロッカーを内蔵している。波長ロッカーは光フィルタとフォトダイオードで構成されており、そのフォトダイオードの応答をモニタすることで波長切替応答を評価した。3 つのヒータ端子を同時にステップ波形で駆動したときのフォトダイオードの応答を図 2-3.3.4-5 に示す。フォトダイオードの応答は波長切替開始から 70 μ s 程度で安定しており、波長切替時間 100 μ s 実現の見通しを得た。以上より、波長可変光源の選定を完了した。今後、PID 制御を適用して波長切替時間と波長設定精度の評価を実施予定である。

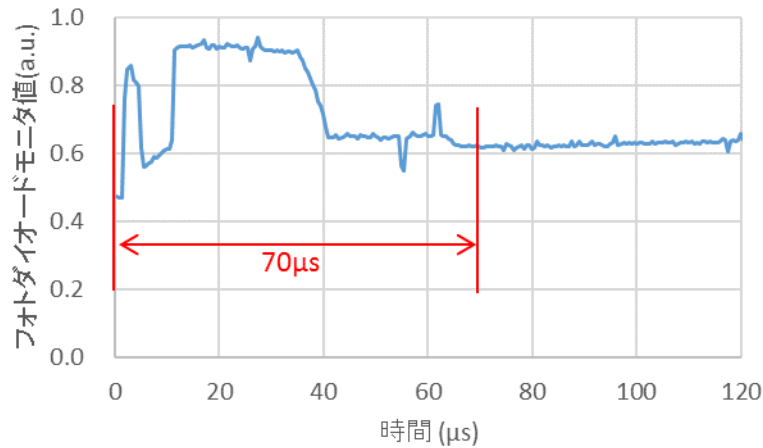


図 2-3.3.4-5 波長可変光源の波長切替応答基本評価

光・電気デバイスのバースト制御は、図 2-3.3.4-6 に示す評価系で 200Gbps (32Gbaud 対応) 集積型受信器のバースト応答を評価した。デジタル信号処理回路で 32Gbaud の偏波多重 16 値直交振幅変調 (DP16QAM: Dual Polarization 16 Quadrature Amplitude Modulation) の電気信号を生成し、その信号を CFP2-ACO (ACO: Analog Coherent Optics) を用いて光信号に変換する。この信号は連続信号であるため、バースト信号を生成するために音響光学変調器を用いた。任意波形発生器で電気バースト信号を生成し、電力分配器でその信号を 2 分岐、片方は電気バースト信号波形を確認するためにオシロスコープに接続した。もう片方は音響光学変調器が必要とする振幅に増幅するため、ドライバに接続した。ドライバの出力波形に応じて音響光学変調器 (AOM: Acousto-Optic Modulator) が光強度変調を行い、光バースト信号を生成する。その光バースト信号を光分岐器で 2 分岐、片方を光・電気変換後にオシロスコープに接続して光バースト信号が生成されていることを確認することとした。光分岐器のもう片方は評価対象である集積型受信器に入力し、その出力をオシロスコープに接続して集積型受信器のバースト応答を評価した。

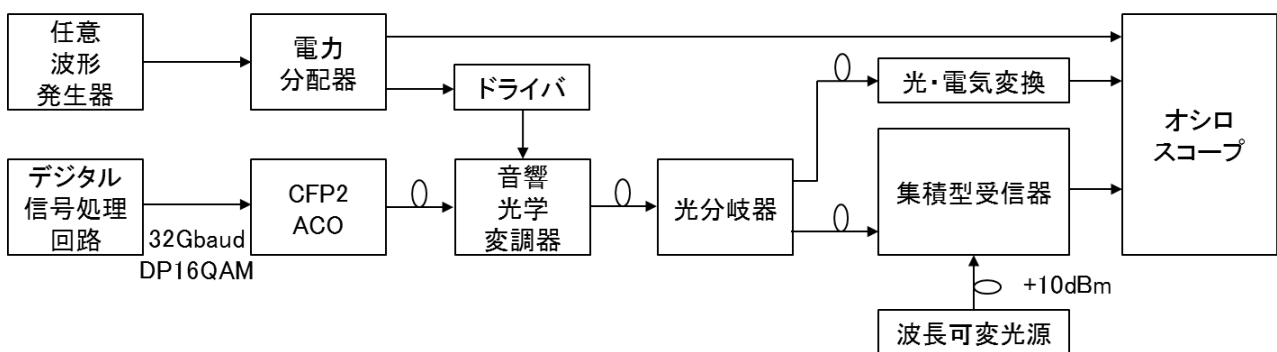


図 2-3.3.4-6 集積型受信器の光バースト信号受信制御

集積型受信器には、その出力振幅を制御するために AGC と MGC の 2 つのモードがあり、AGC モードの結果を図 2-3.3.4-7 に示す。光バースト信号として、有信号区間 9.9ms、無信号区間 100μs を想定した評価で、AOM 駆動電気信号に合わせて光信号がオフ・オンしており、光バースト信号が正しく生成されている様子が見て取れる。AGC は集積型受信器内部で自動的に利得調整を行い、その利得変化を集積型受信器の利得制御端子電圧でモニタ

可能である。信号断になると集積型受信器の出力振幅を一定に保持しようとし、利得電圧を高くて利得を上昇させるように動作する。しかし、その後、光バースト信号が入力されると利得が高すぎるため利得電圧を低下させて利得を下げる。AGC モードでは、無信号区間 $100\mu\text{s}$ の影響で集積型受信器の出力振幅が安定するまでに 1.05ms 程度かかっており、AGC はバースト信号受信には不向きであることが判明した。

一方、MGC は外部から利得電圧を印加するため、主信号系の出力端子をオシロスコープでモニタした。その結果を図 2-3.3.4-8 に示しており、光信号入力と同時に集積型受信器から電気信号が出力されている。MGC では利得設定を光波長受信器内で行う必要があるが、その利得設定値は光信号の伝送経路による損失に依存する。コントローラが伝送経路の設定を行うため、コントローラから波長情報と合わせて利得情報を受信し、MGC の利得設定を行うこととした。以上の通り、バースト受信制御方式について技術を確立した。

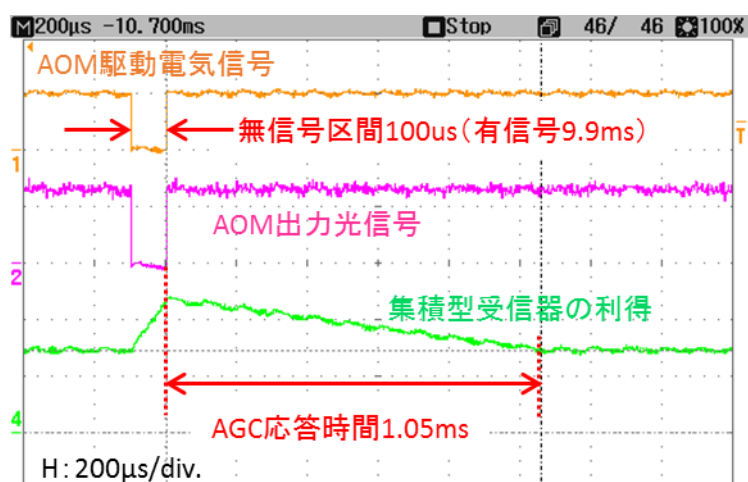


図 2-3.3.4-7 集積型受信器の光バースト信号応答評価 (AGC)

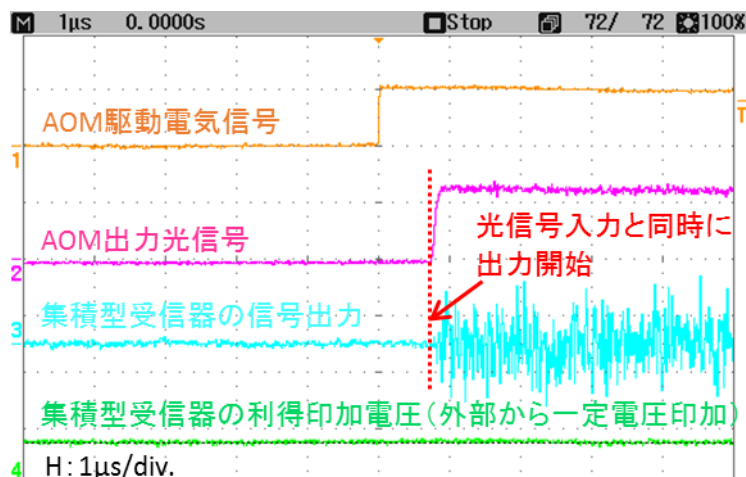


図 2-3.3.4-8 集積型受信器の光バースト信号応答評価 (MGC)

3.3.4.5 成果の普及

光波長送受信器は、光電ハイブリッドスイッチシステムの構成要素の一部である。システム実用化に向けて、他の研究開発テーマと連携して国際標準化、データセンタ事業者への提案に取り組んでいる。

3.3.5 研究開発サブテーマ「バースト多値プロセッサ」

3.3.5.1 概要

バースト多値プロセッサは、Tbps 級の光波長送受信器において、多値コヒーレント光信号を送信側で生成し、受信側でバースト状の信号を復調するための電気信号処理回路である。これまでバースト対応の電気信号処理回路としては、局舎と家庭・企業を結び最大 20km 程度伝送する光アクセスネットワーク用として、10Gbps までの技術が確立されている。また、多値コヒーレント信号対応の電気信号処理回路としては、大都市間を結び最大 2,000km 程度伝送する幹線ネットワーク用として、100Gbps 程度の技術が確立されている。開発するバースト多値プロセッサは、データセンタ内の信号伝送を主目的としているため、最大伝送距離は 10km 未満となるが、Tbps 級の超高速ビットレートと、高速な応答を行うバースト応答を両立させる必要がある。このため、従来には無い全く新しい信号処理回路技術を実現するための技術開発を行う。

3.3.5.2 最終目標と根拠

ア. ビットレート:1Tbps の基盤技術を確立(200Gbps での試作を通じて実証)

現状の半導体技術では Tbps 級のバースト多値プロセッサを現実的なコストと消費電力で実現し、下記(イ)のバースト応答速度を達成することは困難であるため、研究開発期間内に実現可能な 200Gbps 級のバースト多値プロセッサを開発試作し、特性評価を行う。ビットレート 200Gbps を達成するため偏波多重 16QAM 方式の実現が必要となるが、扱う信号は 3 種類の振幅(ゼロレベルを含めて 4 値)を取るため、信号振幅のリニアリティが特性上重要になる。複数の信号振幅を取る 16QAM 以上の多値度では、ADC/DAC、変調器/ドライバ、コヒーレント受信器の非線形劣化が伝送品質を左右する重要な要素となっており、16QAM での信号振幅のリニアリティと信号劣化量を評価することで、より多値度を向上させた 1Tbps 伝送時の伝送特性を見積もることができ、1Tbps の基盤技術を確立することが可能となる。

イ. バースト応答速度:100 μ s

バースト多値プロセッサは、光波長送受信器、光コアスイッチのスイッチング速度を損なうことのないバースト信号に対する高速追従性が必要となる。光波長送受信器内の波長可変光源の波長切替速度、光コアスイッチの切替速度の目標は 100 μ s 程度である。これらは、コントローラの指示でほぼ同時に切替処理を行う。光波長送受信器内の波長可変光源とバースト多値プロセッサの応答速度は同等で、波長切替とバースト多値プロセッサの応答がほぼ同時に行うことができれば、光電ハイブリッドスイッチシステム全体の切替時間目標が達成できる。

3.3.5.3 目標の達成度

光バースト信号に対応した新たな機能ブロック回路の設計・試作を実施して基本動作を確認するとともに、バースト多値プロセッサ全体の設計を行い、従来比約 1/10 の短縮となる 500 μ s の切り替え時間の確認を達成し、当初予定通りである。

3.3.5.4 成果と意義

バースト多値プロセッサの研究開発において、光バースト信号を安定に送受信するための新たな機能ブロックの回路検討から実施した。基本機能・性能を把握するため、基本回路設計を進めた。高速にバースト応答するためには、信号フレーム先頭位置を高速に検出し、信号の継続や収束を判定する①バースト信号推定回路、伝送路特性の高速なモニタ機能を実現するための②高速伝送路推定回路、バースト信号の到来・継続・収束に応じて各回路

ブロックを高速に制御する③バースト適応制御回路が必要となる(図 2-3.3.5-1)。これらについてアルゴリズムを検討し、アプリケーションで想定される入力信号を伝送路モデルから生成して回路シミュレーションを実施した。

バースト応答を詳細に評価するため、評価方法の検討に取り組んだ。目標である 200Gbps における 100 μ s のバースト応答達成に向け、バースト信号と伝送路特性の推定精度やバースト適応制御の安定性を重視したモードや、逆に高速応答性を重視して精度と安定性を緩和したモードについてシミュレーションによる検討を実施した。回路の基本動作を確認するとともに、理想的な条件下ではあるが、目標応答時間への目途を確認した。これらの結果を踏まえ、バースト適応制御回路の収束状態・同期状態・誤り訂正数の監視基本回路を設計し、既存 IP と合わせて詳細な設計を行った。さらに、バースト対応新規設計ブロックの機能を確認するため、部分試作のレイアウトおよび試作を進めた。部分試作は実績のある 16nm プロセスにて 2018 年度に実施した。

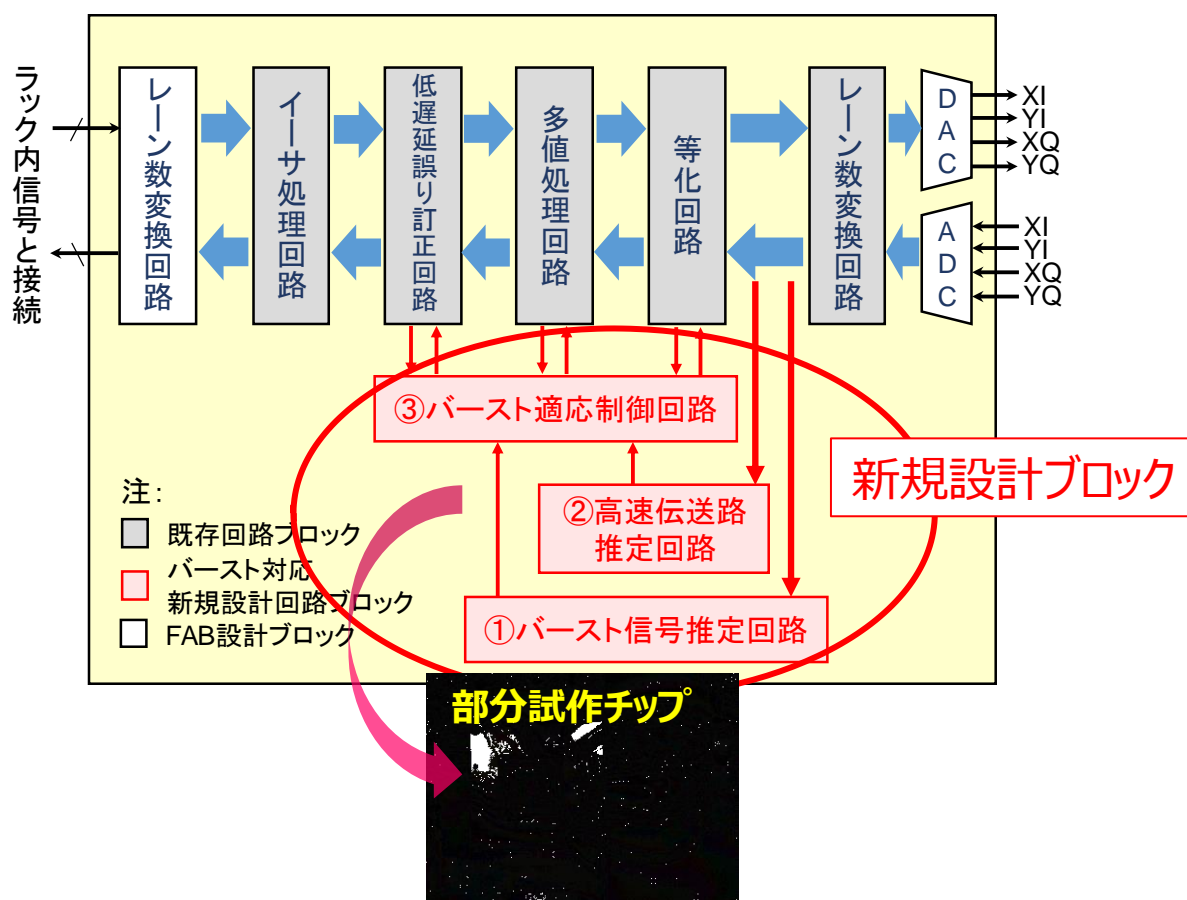


図 2-3.3.5-1 バースト多値プロセッサの主要ブロックと部分試作

2019 年度は試作した 16nm 部分試作チップのバースト特性を評価し、既存 IP とバースト対応新規設計ブロックをあわせた全体チップについて最先端の 7nm プロセスを用いた一次試作を実施した。

部分試作チップの評価では、従来のバースト非対応 LSI に比べ、約 1/10 の短縮となる 500 μ s の切り替え時間を達成した(図 2-3.3.5-2)。これにより、高速にバースト応答するため新たに導入した新規設計回路ブロックの基本的な効果を確認することができた。

一方、目標である 100 μ s の応答に対しては、さらなる切り替え時間の短縮が必要である。

バースト信号と伝送路特性の推定精度やバースト適応制御の安定性を重視したモードや、逆に高速応答性を重視して精度と安定性を緩和したモードについてシミュレーションによる検討を実施した。

また、変調方式の拡張検討により、現時点における 16QAM 変調に対し QPSK 変調での実現性を検討した。シンボルレートを当初の 2 倍に高速化するため、光波長スイッチなど光学デバイスの対応も課題となるが、高速応答性を重視したモード選択からさらに切り替え時間を約 1/2 に短縮できることが推定された(表 2-3.3.5-1)。

これらの結果を踏まえ、7nm プロセスによるバースト適応制御回路の収束状態・同期状態・誤り訂正数の監視基本回路を設計・検証し、これらの回路を統合して 7nm 化した既存 IP と合せ、詳細設計を行い試作を進めた。また、2020 年度の改良試作に向け、基本共通部分のレイアウトを前倒し実施した。

さらに、一次試作チップのバースト特性を評価するための評価ボードを設計、試作するとともに、クライアント側の出力信号におけるバースト対応の課題について検討を進めた。確認した課題への対応策は改良試作に反映する予定である。

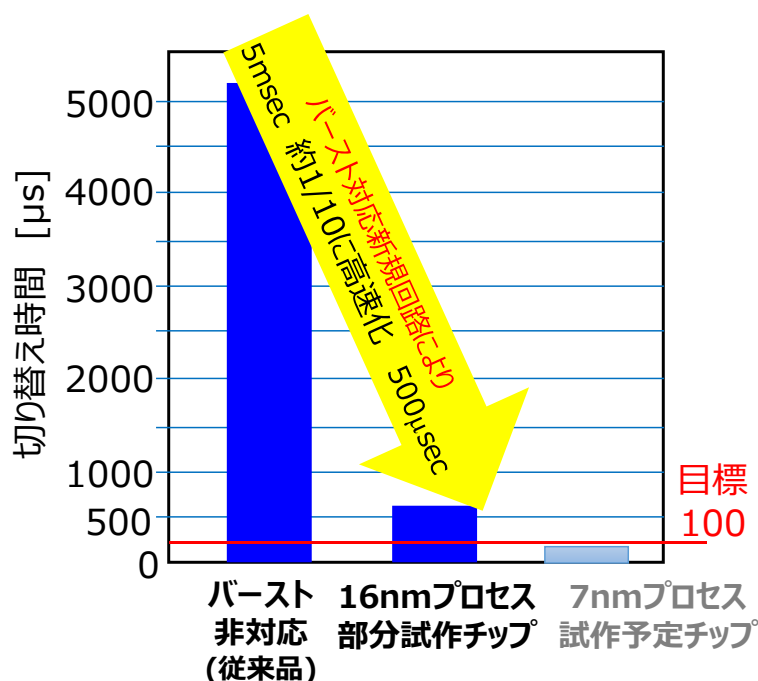


図 2-3.3.5-2 部分試作評価による切り替え時間短縮の達成度

表 2-3.3.5-1 変調方式の変更による切り替え時間の短縮

	200G 16QAM	200G 8QAM	200G QPSK
Baudrate [Gbaud]	~32	~43	~64
波長数@波長間隔	96@50GHz	76@62.5GHz	64@75GHz
応答時間相対値	1	0.75	0.5
受信感度改善量	0dB(基準)	~1.2dB	~3.5dB

これまでの研究開発により、最先端プロセスである 7nm プロセスによる光コヒーレントで、かつバースト対応の多値プロセッサを世界で初めて実現した。この成果は、本研究開発における光電ハイブリッドスイッチシステムの実現に不可欠な技術要素を提供しただけでなく、

Tbps 級の伝送速度をサポートする光スイッチの実現可能性に対して具体的な到達度を示すことができたものとする。すなわち、16nm 部分試作の評価において切り替え時間が 1/10 以下に短縮できることを確認し、最終目標である 100 μ s の切り替え時間達成に具体的な方針が明らかにできたと考えられる。また、変調方式の変更検討では動作方式の選択肢を拡張できることが判明し、切り替え時間のマージン獲得可能性や、方式の柔軟性について把握することができた。今後の研究開発においては一次試作の評価を推進し、課題解決策を改良試作に反映することで性能面、機能面の目標を達成し、スイッチシステムにコア・コンポーネントとして提供を見込んでいる。

3.3.5.5 成果の普及

バースト多値プロセッサは、光波長送受信器に組み込まれる光電ハイブリッドスイッチシステム実現の重要な要素部品のひとつである。システム実用化に向けて、他の研究開発テーマと連携して国際標準化、データセンタ事業者への提案に取り組んでいる。

3.3.6 研究開発サブテーマ「光コアスイッチ」

3.3.6.1 概要

光コアスイッチはシステム内に1台設けられ、各ラックに設けられた光 ToR スイッチから送出された光信号を、光電変換することなく、別のラックに向けて送信する機能を有する機能ブロックである。光電ハイブリッドスイッチシステムの目標性能から、入出力ポート数を 1000 ポート超に拡張可能であること、切替時間が 100 μ s 程度であること、1Tbps 級信号の透過が可能であることの3つの要件を満たす必要がある。これを実現する光回路構成として「光波長多重回路(光合波器)」「光スプリッタ」「光増幅器」「空間光スイッチ」からなる構成(図 2-3.3.6-1)を予定し、これを実装・原理検証した上でシステム実験に適用することが、本研究開発テーマの目標である。

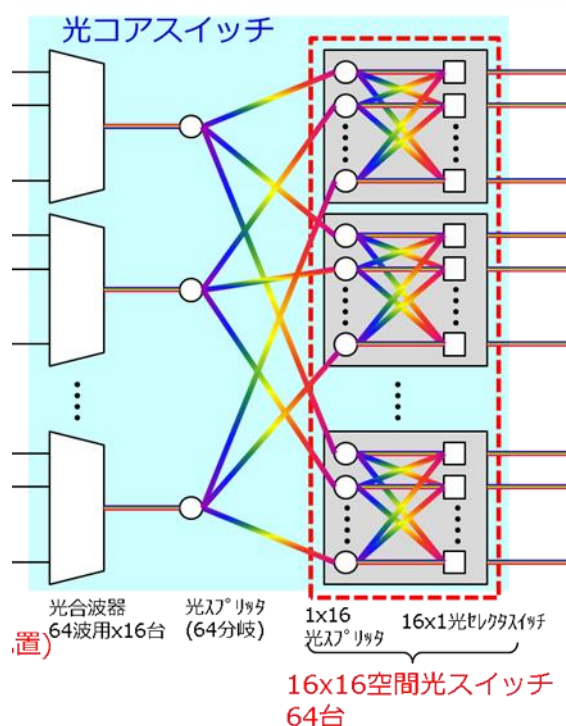


図 2-3.3.6-1 光コアスイッチ構成例

光コアスイッチの主要構成要素のうち、「光波長多重回路(光合波器)」「光スプリッタ」「光増幅器」については、既製デバイスの適用が可能と想定しているが、「空間光スイッチ」についてはポート数(1,000 ポート超への拡張性と整合する規模)、光学的動特性(切替時間 100 μ s 程度)、光学的静特性(1Tbps 級の信号透過と整合する挿入損失・偏波依存特性等)の要件を全て満たすデバイスが存在しないため、研究開発期間前半(～2020 年度)において、これら全ての要件を満たす空間光スイッチの研究開発を実施する。

3.3.6.2 最終目標と根拠

光コアスイッチの研究開発における最終目標は、システム実験に適用する 1,000 ポート超に拡張可能な光コアスイッチの設計および原理検証に必要な実装を行い、他機能部との連携動作検証を実施することにある。以下、設計に関する指針、実装に関する指針、連携動作に関する指針に分けて、各々について示す。

設計に関する指針は、特に光信号伝送の観点が重要である。具体的には、「光波長多重回路(合波器)」「光スプリッタ」「光増幅器」等の構成デバイスを選定するプロセスと、新たな取り組みとして実施する「空間光スイッチ」の研究開発プロセスを並行して進め、入力から出力までの OSNR ダイアグラム等の精度を高めながら、光 ToR スwitch内の光波長送受信器の許容範囲との整合を図る。精度の荒い初期検討状況を、空間光スイッチが最低限満たすべき要件として表現し直すと、内蔵する光セクタスイッチのポート数 16、過剰損失 13dB 以下、スイッチング時間 100 μ s 以下となる。

実装に関する指針は、フル実装時の装置サイズを実用上適切なサイズとなるよう定める必要がある。対象とする装置に必要な 1,000 ポート規模の入出力ポートの専有面積や、ファイバの挿抜を一般的な作業者が実施するための適度な間隔等を考慮して設計を実施する。精度の荒い初期検討状況として、光コアスイッチを 1 架に収容することを目安としている。

連携動作に関する指針については、コントローラとの間で制御情報等を送受するインタフェースや通信プロトコルを規定することが目標となる。システム全体を適切に動作させる観点から、特に遅延時間の低減に配慮して設計を実施する必要がある。精度の荒い初期検討状況として、コントローラと光コアスイッチの間の通信遅延を 100 μ s 以下に抑えることを目安としている。

以上の指針に沿って研究開発を推進し、進捗を踏まえて検討精度を高めることによって、着実に最終目標とする装置実装、連携動作検証が達成される。

3.3.6.3 目標の達成度

光電ハイブリッドスイッチシステムの重要な要素部品のひとつである光コアスイッチ実現に向けて、世界で初めてスイッチング時間が 100 μ s を下回る石英系 PLC 方式の光スイッチを作製し、その高速切替機能を実証した。当該領域の技術課題をクリアする見通しを得た。

現在、光コアスイッチへの適用を予定する、内蔵される光セクタスイッチのポート数が 16 の空間光スイッチの簡易モジュールの作製を進めており、期待通りの性能が得られれば、研究開発期間前半の目標を達成できる。また、連携動作に関する検討を他の研究開発テーマと共同で進めており、コントローラとの間の通信にトヨタ自動車の工場で採用されたことでも知られる EtherCAT の適用を有力候補としており、駆動信号生成回路(ドライバ回路)の EtherCAT 対応化も進めている。研究開発期間後半に予定する光コアスイッチの実装に向けても、順調に準備を進めている。

3.3.6.4 成果と意義

概要に記載の通り、研究開発期間前半(～2020 年度)では、光コアスイッチへの適用に必要な諸要件を満たす空間光スイッチの研究開発を実施している。最終目標を達成するため

には、空間光スイッチに内蔵される光セクタスイッチのポート数 16、過剰損失 13dB 以下、スイッチング時間 100 μ s 以下の要件を全て満たすデバイスを実現することが課題である。スイッチを実現するプラットフォームの候補として、まず光通信網にて豊富な適用実績のある石英系 PLC (Planar Lightwave Circuit) 方式で検討を進めた。石英系 PLC 方式で光セクタスイッチを作製する場合、ポート数 16、過剰損失 13dB 以下という2つの要件の達成は容易であるが、スイッチング時間は通常 ms 単位の時間を要するため、100 μ s 以下への短縮することが極めて高い課題であった。本研究開発テーマでは、石英系 PLC 方式の光セクタスイッチにおいて、スイッチング時間を 100 μ s 以下に抑える技術の確立を進めた。

これまでに、熱伝導効率を高める薄膜化、切替時間を短縮する駆動方法の工夫を通じて、2 入力 2 出力の光スイッチエレメントにおいて 100 μ s を下回る 84 μ s の切替を達成した(図 2-3.3.6-2、図 2-3.3.6-3)。本成果により、石英系 PLC 方式で「ポート数」「過剰損失」「スイッチング時間」の3要求条件を全て満足する光セクタスイッチを実現するための基礎データが得られたこととなり、スイッチを実現するプラットフォームに石英系 PLC 方式を採用するとの結論に至った。

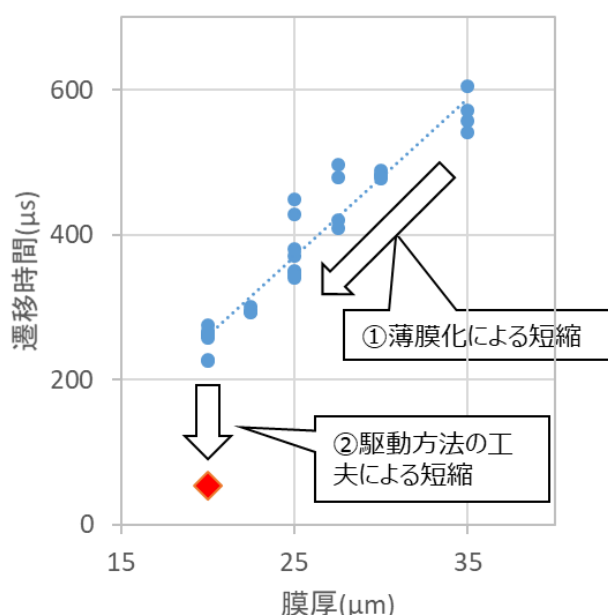


図 2-3.3.6-2 遷移時間の短縮効果概要

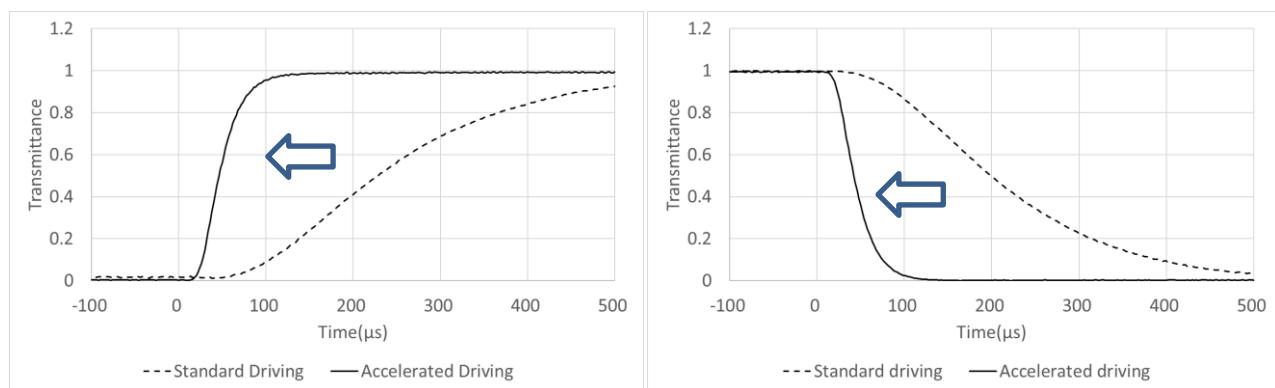


図 2-3.3.6-3 本研究で達成したスイッチング時間 100 μ s を切る応答の波形

更に上記検討を発展させて、石英系 PLC 方式で光スイッチの回路規模を 8 入力 8 出力に拡張して光ファイバ接続した簡易モジュールと、100 μ s を下回るスイッチングに最適化した駆動信号生成(ドライバ)回路を作製し、両者を組み合わせたの評価を現在実施中である。得られつつあるデータは、光スイッチエレメントの評価結果との整合性が保たれており、光コアスイッチへの適用に必要な諸要件を満足できる見通し精度が一層向上しているなど、目標達成に向けて順調に研究開発を進捗させている。

石英系 PLC 方式の光スイッチはキャリアネットワークにも適用されている実用的な光スイッチである。従って、これまでの研究開発期間で達成したスイッチング時間を 100 μ s 以下に抑える技術の開発は、実用的な光スイッチのスイッチング時間として最短レベルに位置づけられ、本成果については、光通信に関する世界最大の会議である OFC に投稿し、口頭発表で採択されるなど、対外的にも高く評価されている。

3.3.6.5 成果の普及

成果と意義の項にて言及したように、本研究開発成果がベースとしている石英系 PLC 方式の光スイッチは、キャリアネットワークにも適用される実績のある光スイッチであり、本研究開発成果が実用に供されるに当たって重要なパラメータとなる信頼性などは、基本的に既存の石英系 PLC デバイスに準じるものである。従って、本成果が市場に普及するための素地は十分に備わっていると考えられる。

光コアスイッチは、光電ハイブリッドスイッチシステム実現の重要な要素部品のひとつである。システム実用化に向けて、他の研究開発テーマと連携して国際標準化、データセンタ事業者への提案に取り組んでいる。

3.3.7 研究開発サブテーマ「国際標準化」

3.3.7.1 概要

光電ハイブリッドスイッチシステムの研究開発成果を、技術的優位を保ちながら広く普及させるために、国際標準化として以下の活動を行う。

光電ハイブリッドスイッチシステム制御アルゴリズムを普及させるため、標準化フォーラムを選定しオープンソースとしてソフトウェアを公開する。

光電ハイブリッド部品の標準化として、フォーラム標準化および国際標準化団体の標準化動向を調査し、活動に参画することで開発成果を反映する標準を獲得する。

3.3.7.2 最終目標と根拠

国際標準化における最終目標は、システム動作確認を終えたソフトウェアを技術成果として標準化団体に公開し提案を行い、また、光電ハイブリッドスイッチ部品の標準プロジェクト化をめざすことである。これにより、研究成果の技術的優位性を確保し、データセンタへの普及を促進させる。

3.3.7.3 目標の達成度

データセンタ関連のソフトウェア開発に関する標準化団体および光電ハイブリッドスイッチ部品の標準化団体での調査・働きかけを行って、標準化の賛同者獲得に向けた事前協議を行い、予定通り進捗している。

3.3.7.4 成果と意義

データセンタ制御アルゴリズムをオープンにするプラットフォームとして適している標準化団体の候補を選定し、データセンタ事業者へのプロモーション活動の基盤を築きつつある。

3.3.7.5 成果の普及

データセンタ制御アルゴリズムをオープンにするプラットフォームとして最適な標準化団体の候補を選定した。次のステップである具体的なオープンソフトウェアとしてのデータセンタ制御アルゴリズムの提案活動へ進む。

3.4 研究開発テーマ「イジングマシン共通ソフトウェア基盤の研究開発」

本研究開発項目では、イジングマシン共通ソフトウェア基盤の研究開発という目標に対し、イジングモデル変換のための理論構築や、理論に基づき共通ソフトウェア基盤のプロトタイププログラム・ライブラリを構築するなど目覚ましい成果を上げつつある。以下、主な成果を列挙する：

- ・物理イジングモデル変換の基本アルゴリズム設計として、理論的に最適性を保証する相互作用係数・外部磁場のビット幅削減を実現した。
- ・論理イジングモデル変換のための最適係数決定アルゴリズムを構築し、従来の係数設定に比較して2桁～3桁の高速化を実現した。
- ・イジング・バイナリ多項式に最適化された数式処理ライブラリの開発ならびに各社のイジングマシンを駆動するドライバの開発を行い、共通ソフトウェア基盤のプロトタイプソフトウェアを構築した。
- ・産業界との連携強化を促進するためのエコシステムやプラットフォーム構築のため、「次世代コンピュータが実現する革新的ビジネス」シンポジウムを開催し、関連事業を含め、本研究開発の成果を広く発表し、産業界に対する波及効果を得た。

個別の研究開発テーマにおける詳細は以下に示す。

3.4.1 研究開発サブテーマ「イジングマシン共通ソフトウェア基盤の研究開発」

3.4.1.1 概要

Society5.0の実現のため、先進的なモビリティサービスやスマートファクトリ、金融、創薬など多様な産業分野におけるデジタルイノベーションの進展と、これに伴う高性能コンピューティングに対する社会的要請が急激に高まっている。「最適化問題」とりわけ「組合せ最適化問題」は、Society5.0を実現する産業分野の至るところに内在し、NP 困難問題等、難しいクラスの組合せ最適化問題であっても高速に「最適解」を求めることが、Society5.0の実現の成否を決めることとなる。ここで組合せ最適化問題の超高速解法のブレークスルーとして期待されているのが「量子アニーリングマシン」をはじめとする「イジングマシン」である。いくつかのサンプルデータによれば、イジングマシンを活用することにより2桁～4桁以上の電力効率の向上が期待される。しかも量子アニーリングマシンを支える基盤技術、すなわち、超電導量子ビットやイジングモデルによる組合せ最適化問題の高速解法はいずれも90年代に我が国で提案され実証されたものであることは広く知られている。しかし、現時点で最も実用化が進んでいるのは事実上カナダ D-Wave Systems の量子アニーリングマシンであり、残念ながら我が国の研究開発は欧米に後れを取っていると言わざるを得ない。

こうした背景のもと、現在、我が国でも量子アニーリングマシンや半導体によるイジングマシンをはじめ、活発にイジングマシンの研究開発が行われて、さまざまなイジングマシンハードウェアが提案・開発されている。ところが、我が国ならびに世界のイジングマシン開発状況を俯瞰すると、巡回セールスマン問題やグラフ最大カット問題など、ごく単純かつ理想的な組合せ最適化問題のみが解法されているのにとどまり、複雑かつ多様な現実課題とのギャップが極めて大きい。ここに、現状のイジングマシン開発の最大の問題点があると言える。こうした問題点を生み出す本質的要因は、現実課題と、これを解法するイジングマシンハードウェアとの間に大きな「乖離」があることであり、いかにこの「乖離」を埋めるか、すなわち現実課題とイジングマシンとの間の中間層に、さまざまなイジングマシンアーキテクチャにとって共通的に動作する「ソフトウェア基盤」を構築するかが最大の課題となる。

本研究開発では、この問題を解決するため、現実課題とイジングマシンハードウェアの中間層として、ミドルウェア群および共通 API 等から構成される「共通ソフトウェア基盤」を研究開発する。その結果、現在までに開発された国内外のイジングマシンだけでなく、将来開発

されることが見込まれるさまざまなイジングマシンにとって、共通的なソフトウェア基盤を提供することを可能とし、現実課題とイジングマシンハードウェアとの間の「乖離」を解消、多様なイジングマシン上で「複雑かつ多様な現実課題の解法」を可能とする。

本研究開発は、[実施項目 1]イジング計算共通ソフトウェア基盤の研究開発(担当機関:早稲田大学、東京工業大学、国立情報学研究所、フィックスターズ、豊田通商、日本電気)、[実施項目 2]イジング計算アプリケーションの研究開発(担当機関:産業技術総合研究所、豊田通商)から構成され、各研究開発を通じて上記の目標を達成する。

3.4.1.2 最終目標と根拠

本研究開発の最終目標は、本研究開発と連携し、NEDO 事業で日本電気が研究開発する量子アニーリングマシンと相まって、これまで適用が困難であったさまざまな現実課題を「共通ソフトウェア基盤」によってイジングマシン上で解法することを可能とし、従来の現実課題の解法技術と比較して、少なくとも 2 桁を超える高速解法あるいは電力効率を達成することにある。

本研究開発に取り組む研究機関は、国内外でイジングマシン応用に数多く取り組んでおり、すでにいくつかの組合せ最適化問題において、イジングマシンを利用することで、従来技術と比較してすでに 1 桁以上の高速化(同精度の解に到達するまでの実行時間を 1 桁以上削減)を実現している。これらの知見をもとに最終目標の達成を目指す。

以下、研究開発の実施項目ごとに中間目標ならびに最終目標とその根拠を示す。

[実施項目 1]イジング計算共通ソフトウェア基盤の研究開発

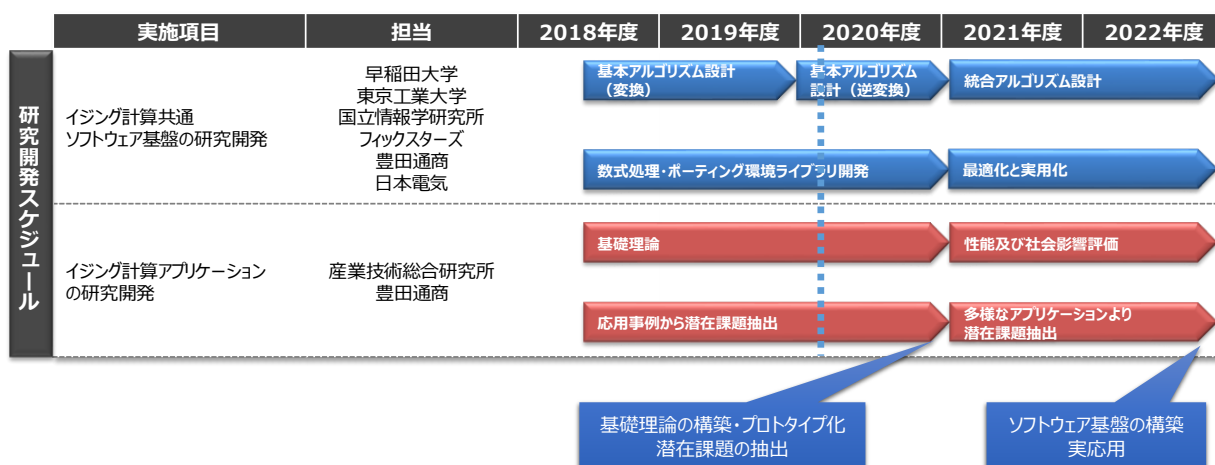
	2020年度の目標	2022年度の目標	妥当性
学校法人早稲田大学 1-1 共通ソフトウェア基盤のための基本アルゴリズムと要素技術	<ul style="list-style-type: none"> 論理・物理イジングモデル変換の統合化アルゴリズムの設計と評価 一部、論理・物理イジングモデル逆変換の評価 	<ul style="list-style-type: none"> 論理・物理イジングモデル変換/論理・物理イジングモデル逆変換の統合化アルゴリズム設計と評価 	<ul style="list-style-type: none"> 実問題とイジングモデルとの「ギャップ」を埋めるため、論理・物理イジングモデルとその間の変換・逆変換の概念を導入し、これらを最適に実現する各種基本アルゴリズムを開発する。
国立大学法人東京工業大学 1-2 共通ソフトウェア基盤の基盤理論	<ul style="list-style-type: none"> 量子と古典の比較のためのベンチマークとなる問題を設定し、その解析を行う。 高度な量子制御の理論を提案し、その有効性をテストする。 	<ul style="list-style-type: none"> 古典手法に対して量子手法が優位になる条件を明らかにする。高度な量子制御の理論の実証を行う。 	<ul style="list-style-type: none"> どのような場合に量子積が必要か、どのような場合に古典技術で十分かを明らかにすることにより、ソフト・ハードの開発方針の基盤を築く。
国立情報学研究所 1-3 共通ソフトウェア基盤評価のための古典アルゴリズム開発	<ul style="list-style-type: none"> グラフポロジと様々な実機等の比較 スピンの結合に制約の強いトポロジ (特に疎グラフ) をもつグラフに対する組合せ最適化問題 (TSPなど) に対して、古典計算機と実機のシミュレーションの計算速度、スペースそして計算精度対比評価 	<ul style="list-style-type: none"> 実ネットワークに対する組合せ最適化問題 (TSPなど) に関して、古典計算機と実機のシミュレーションの計算速度、計算スペース、計算効率そして計算精度対比評価。 	<ul style="list-style-type: none"> 現在のところ、それぞれの実機がすべてのグラフポロジ、あるいは組合せ最適化問題すべてに対応できるわけではない。 様々な実機とどの組合せが最も効果的かを見極める必要がある。
株式会社フィックスターズ 1-4 共通ソフトウェア基盤のためのライブラリ開発とAPI開発	<ul style="list-style-type: none"> イジング代数ライブラリにおける多項式処理システムのプロトタイプ開発 各種マシン向け論理変換アルゴリズム開発 	<ul style="list-style-type: none"> 主要マシンへのポーティングによる統合APIを含む開発プラットフォームの確立 	<ul style="list-style-type: none"> ユーザからの入力を高速に処理し各マシンへの入力データに適切に変換するためには、イジング代数に特化した数式処理及び論理変換システムの開発が必須。
豊田通商株式会社 1-5 共通ソフトウェア基盤のための0-1整数計画問題の抽出と適切な定式化に関する検討	<ul style="list-style-type: none"> 実課題からの0-1整数計画問題の抽出 冗長性除去、参照データセット化 	<ul style="list-style-type: none"> 論理イジングモデルへの変換容易性を考慮した抽出 定式化方針の確立 	<ul style="list-style-type: none"> 現実的な最適化課題の中から、論理イジングモデルへの変換が可能である問題に注意深く抽出し、0-1整数計画問題として、厳密に定式化し、ベンチマークデータセットとする。
日本電気株式会社 1-6 ソフトウェアと連携した量子アニーリングハードウェアのアーキテクチャ最適設計	<ul style="list-style-type: none"> トポロジパラメータが解品質に与える影響を評価し、代表的な問題クラスごとに適切なトポロジパラメータを選定する。 	<ul style="list-style-type: none"> 他の研究項目からのフィードバックに基づき、幅広いアプリケーション (問題クラス) に対応できる効率的なトポロジパラメータの導出を行う。 	<ul style="list-style-type: none"> 実問題に対する「超電導パラメトロン素子を用いた量子アニーリング技術の研究開発」プロジェクトで開発するHWの妥当性を事前に評価し、フィードバックを行う。

[実施項目 2]イジング計算アプリケーションの研究開発

	2020年度の目標	2022年度の目標	妥当性
産業技術総合研究所 2-1 セキュリティ・マテリアルデザインアプリケーション	<ul style="list-style-type: none"> セキュリティ・マテリアルデザインの理想的イジングモデルへの効果的マッピング手法探索 イジングマシンの基底探索状態をより効果的に計算するためのダイナミクス開発 	<ul style="list-style-type: none"> イジングマシンが情報セキュリティ安全性評価・マテリアルデザインに与える社会影響や要求されるハード仕様を分析、評価 	<ul style="list-style-type: none"> セキュリティ・マテリアルデザインの効率的マッピング・シミュレーション手法の確立は、社会影響評価やハード仕様の設計の提示によって、イジングマシン分野の普及に大きく貢献する。
豊田通商株式会社 2-2 次世代モビリティ・ロジスティクス・サプライチェーン	<ul style="list-style-type: none"> 渋滞情報サービスプラットフォームをテストベッドとした最適化問題の抽出と定式化の実施 	<ul style="list-style-type: none"> モビリティサービス、モビリティ以外のアプリケーションの適用可能性の検証 	<ul style="list-style-type: none"> 将来生まれてくるモビリティ領域における最適化課題を先取りし、さらにイジングマシンによる高速最適化を前提として初めて可能となるサービスモデルを検討する。
豊田通商株式会社 2-3 産業界との連携強化を促進するためのエコシステムやプラットフォーム構築	<ul style="list-style-type: none"> 有識者へのヒアリング、シンポジウム開催時のアンケート実施による意見の集約・分析、分析結果の研究開発への反映 	(2018年度・2019年度で目標達成)	<ul style="list-style-type: none"> 早期にシンポジウム等を開催して情報収集のみならず当該分野における情報の発信を行い、一連の事業の中で得られた情報を本研究開発に取り込むことで、研究開発の効率化と創出される成果の最大化を図る。

3.4.1.3 目標の達成度

本研究開発では、以下に示すような5年間の研究開発計画を立てている。現状、2年強が経過した段階で、すべての研究実施項目について研究目標を達成しており(一部については前倒しで実行)、5年間の研究開発目標を達成できる見込みである。



2018年度ならびに2019年度について、個別の目標の達成状況を以下の表の通りにまとめる(各項目の後ろの記号は、成果と意義の表中の番号に対応する)。

[実施項目1] イジング計算共通ソフトウェア基盤の研究開発

機関	2018年度の当初目標と達成状況	2019年度の当初目標と達成状況
学校法人早稲田大学 1-1 共通ソフトウェア基盤のための基本アルゴリズムと要素技術	(○) 物理イジングモデル変換の基本アルゴリズム設計と評価[1-1-A]	(○) 物理イジングモデル変換の基本アルゴリズム設計と評価[1-1-A] (○) 一部、論理イジングモデル変換の評価[1-1-B] (前倒し) 論理・物理イジングモデル変換の統合化アルゴリズム設計と評価の一部[1-1-D] (前倒し) 一部、論理・物理イジングモデル逆変換の評価[1-1-C]
国立大学法人東京工業大学 1-2 共通ソフトウェア基盤の基礎理論	(○) 内外の状況調査[1-2-A]	(○) プロトタイプ問題でのベンチマーク[1-2-A]
国立情報学研究所 1-3 共通ソフトウェア基盤評価のための古典アルゴリズム開発	(○) 密グラフでの各イジングマシンと古典計算機での比較実験[1-3-A]	(○) 「ランダムに近い疎グラフ」そして「平面に近いグラフ」に対して、各イジングマシンと古典計算機での比較[1-3-B]
株式会社フィックスターズ 1-4 共通ソフトウェア基盤のためのライブラリ開発とAPI開発	(○) 各社のイジングマシンを駆動するドライバを含むポータリング環境ライブラリのベースを開発[1-4-A],[1-4-B]	(○) 高次多項式・変数に対する四則演算や二変数多項式と論理イジングモデルとの間を変換・逆変換を含めた数式処理ライブラリ[1-4-A],[1-4-B],[1-4-C]
豊田通商株式会社 1-5 共通ソフトウェア基盤のための0-1整数計画問題の抽出と適切な定式化に関する検討	(○) 既存ベンチマークデータセットからの0-1整数[1-5-A]	(○) アプリケーション検討チーム及び外部連携組織の協力に基づく0-1整数計画問題の抽出[1-5-A],[1-5-B],[1-5-C],[1-5-D]
日本電気株式会社 1-6 ソフトウェアと連携した量子アニーリングハードウェアのアーキテクチャ最適設計	(○) 相互結合階調の基礎検討[1-6-A]	(○) 結合トポロジーの基礎検討[1-6-A],[1-6-B]

[実施項目2] イジング計算アプリケーションの研究開発

機関	2018年度の当初目標と達成状況	2019年度の当初目標と達成状況
産業技術総合研究所 2-1 セキュリティ・マテリアルデザインアプリケーション	(○) セキュリティ評価・マテリアルデザインに関する先行量子技術[2-1-A],[2-1-B]	(○) セキュリティ・マテリアルデザインの効果的マッピング方法の探索・ハードウェア実装のモデリング[2-1-A],[2-1-B]
豊田通商株式会社 2-2 次世代モビリティ・ロジスティクス・サプライチェーン	(○) 既存交通情報システムの要件分析と最適化問題の抽出[2-2-A]	(○) 既存交通情報システムから抽出した最適化問題の0-1整数計画問題への定式化[2-2-B],[2-2-C]
豊田通商株式会社 2-3 産業界との連携強化を促進するためのエコシステムやプラットフォーム構築	(○) 本事業者、大学・研究機関、企業から有識者へのヒアリングの実施と意見集約・分析[2-3-A]	(○) シンポジウム案の構想および仕様検討の事前準備、開催日の事務局運営の実施[2-3-A] (○) 有識者へのヒアリング、シンポジウム開催時のアンケート実施による意見の集約・分析。分析結果の研究開発への反映[2-3-A]

3.4.1.4 成果と意義

本研究開発は、[実施項目 1] イジング計算共通ソフトウェア基盤の研究開発ならびに[実施項目 2] イジング計算アプリケーションの研究開発のそれぞれについて、これまで顕著な研究成果をあげている。

以下、2018 年度と 2019 年度の成果をまとめ、その後、主な成果について記述する。

[実施項目 1] イジング計算共通ソフトウェア基盤の研究開発

機関	研究開発成果 (価値、解決できた課題)	苦労した点・新たに発見した課題
学校法人早稲田大学 1-1 共通ソフトウェア基盤のための基本アルゴリズムと要素技術	<ul style="list-style-type: none"> [1-1-A] 物理イジングモデル変換の基本アルゴリズム設計と評価 (理論的に最適性を保証する相互作用係数・外部磁場のビット幅削減) [1-1-B] 論理イジングモデル変換のための最適係数決定アルゴリズム [1-1-C] 論理イジング逆変換アルゴリズムー論理スピン解釈処理アルゴリズム [1-1-D] 統合化アルゴリズムの構築 (IsingLib) 	<ul style="list-style-type: none"> 各種基本アルゴリズムのユーザー拡大とホームページによる情報発信 基本アルゴリズムを利用した外部フィードバックによるエコシステムの確立
国立大学法人東京工業大学 1-2 共通ソフトウェア基盤の基盤理論	<ul style="list-style-type: none"> [1-2-A] 量子と古典の限界にある $p=3$ の p スピン模型の解析を進め、量子古典境界域の存在の普遍性の確立に向けて見通しを付けた。 	<ul style="list-style-type: none"> ギャップのランドスケープが極めて複雑な構造をしていることが明らかになり、数値精度の向上に相当の時間を要した。
国立情報学研究所 1-3 共通ソフトウェア基盤評価のための古典アルゴリズム開発	<ul style="list-style-type: none"> [1-3-A] TSPに関する予備実験 (古典アルゴリズムとSA) 完了 [1-3-B] グラフ上のTSPに関する予備実験 (古典アルゴリズムとSA) を実グラフで完了 	<ul style="list-style-type: none"> TSPとイジングモデルが本当に相性がいいのか、あるいは入力グラフとイジングモデルの相性がいいのか、引き続き検証の必要あり。
株式会社フィクスターズ 1-4 共通ソフトウェア基盤のためのライブラリ開発とAPI開発	<ul style="list-style-type: none"> [1-4-A] 数式処理システムの設計 (Pythonプロトタイプ版) [1-4-B] 各マシンへのポータビリティドライバの設計 (Pythonプロトタイプ版) [1-4-C] マシンの物理イジングモデルに対応するグラフ埋め込みの基本アルゴリズム構築 	<ul style="list-style-type: none"> エンタープライズ版 (C++による高速処理対応版) の設計及び実装フェーズの工数が今後大きくなるが見込まれる。 ユーザビリティの向上を重視するためにAPI再設計を繰り返す必要あり。
豊田通商株式会社 1-5 共通ソフトウェア基盤のための0-1整数計画問題の抽出と適切な定式化に関する検討	<ul style="list-style-type: none"> [1-5-A] MIPLIB及び公表論文からの0-1整数計画問題の抽出 [1-5-B] 抽出した各問題の概要/分類/定式化 (MIPモデル、QUBOモデル) の実施 [1-5-C] ベンチマークデータセットのウェブアプリケーションの開発と整備 [1-5-D] 研究メンバーによる整備データの活用のためのアプリ機能拡張を実施 	<ul style="list-style-type: none"> 研究メンバーおよび外部協カメンバーの利用拡大と情報発信 オンライン実行、入力・出力データの設計
日本電気株式会社 1-6 ソフトウェアと連携した量子アニーリングハードウェアのアーキテクチャ最適設計	<ul style="list-style-type: none"> [1-6-A] 評価対象のトポロジとして全結合、キメラ、LHZを選定。それぞれのトポロジに対し、相互結合係数の精度を変更可能な評価環境を開発。巡回セールスマン問題および最大カット問題を対象に評価 [1-6-B] 評価手法として、一般的な手法 (SA, SQA) に加え、運動方程式ベースの解法であるSimulated Bifurcation (SB) を試作評価。必要に応じ活用予定 	<ul style="list-style-type: none"> 評価手法のパラメータ (冷却スケジュール等) に加え、問題に含まれる制約項の強さや、キメラグラフ埋め込み時のパラメータ (チェーン強度等) などのハイパーパラメータ探索の重要性

[実施項目 2] イジング計算アプリケーションの研究開発

機関	研究開発成果 (価値、解決できた課題)	苦労した点・新たに発見した課題
学校法人早稲田大学 1-1 共通ソフトウェア基盤のための基本アルゴリズムと要素技術	<ul style="list-style-type: none"> [1-1-A] 物理イジングモデル変換の基本アルゴリズム設計と評価 (理論的に最適性を保証する相互作用係数・外部磁場のビット幅削減) [1-1-B] 論理イジングモデル変換のための最適係数決定アルゴリズム [1-1-C] 論理イジング逆変換アルゴリズムー論理スピン解釈処理アルゴリズム [1-1-D] 統合化アルゴリズムの構築 (IsingLib) 	<ul style="list-style-type: none"> 各種基本アルゴリズムのユーザー拡大とホームページによる情報発信 基本アルゴリズムを利用した外部フィードバックによるエコシステムの確立
国立大学法人東京工業大学 1-2 共通ソフトウェア基盤の基盤理論	<ul style="list-style-type: none"> [1-2-A] 量子と古典の限界にある $p=3$ の p スピン模型の解析を進め、量子古典境界域の存在の普遍性の確立に向けて見通しを付けた。 	<ul style="list-style-type: none"> ギャップのランドスケープが極めて複雑な構造をしていることが明らかになり、数値精度の向上に相当の時間を要した。
国立情報学研究所 1-3 共通ソフトウェア基盤評価のための古典アルゴリズム開発	<ul style="list-style-type: none"> [1-3-A] TSPに関する予備実験 (古典アルゴリズムとSA) 完了 [1-3-B] グラフ上のTSPに関する予備実験 (古典アルゴリズムとSA) を実グラフで完了 	<ul style="list-style-type: none"> TSPとイジングモデルが本当に相性がいいのか、あるいは入力グラフとイジングモデルの相性がいいのか、引き続き検証の必要あり。
株式会社フィクスターズ 1-4 共通ソフトウェア基盤のためのライブラリ開発とAPI開発	<ul style="list-style-type: none"> [1-4-A] 数式処理システムの設計 (Pythonプロトタイプ版) [1-4-B] 各マシンへのポータビリティドライバの設計 (Pythonプロトタイプ版) [1-4-C] マシンの物理イジングモデルに対応するグラフ埋め込みの基本アルゴリズム構築 	<ul style="list-style-type: none"> エンタープライズ版 (C++による高速処理対応版) の設計及び実装フェーズの工数が今後大きくなるが見込まれる。 ユーザビリティの向上を重視するためにAPI再設計を繰り返す必要あり。
豊田通商株式会社 1-5 共通ソフトウェア基盤のための0-1整数計画問題の抽出と適切な定式化に関する検討	<ul style="list-style-type: none"> [1-5-A] MIPLIB及び公表論文からの0-1整数計画問題の抽出 [1-5-B] 抽出した各問題の概要/分類/定式化 (MIPモデル、QUBOモデル) の実施 [1-5-C] ベンチマークデータセットのウェブアプリケーションの開発と整備 [1-5-D] 研究メンバーによる整備データの活用のためのアプリ機能拡張を実施 	<ul style="list-style-type: none"> 研究メンバーおよび外部協カメンバーの利用拡大と情報発信 オンライン実行、入力・出力データの設計
日本電気株式会社 1-6 ソフトウェアと連携した量子アニーリングハードウェアのアーキテクチャ最適設計	<ul style="list-style-type: none"> [1-6-A] 評価対象のトポロジとして全結合、キメラ、LHZを選定。それぞれのトポロジに対し、相互結合係数の精度を変更可能な評価環境を開発。巡回セールスマン問題および最大カット問題を対象に評価 [1-6-B] 評価手法として、一般的な手法 (SA, SQA) に加え、運動方程式ベースの解法であるSimulated Bifurcation (SB) を試作評価。必要に応じ活用予定 	<ul style="list-style-type: none"> 評価手法のパラメータ (冷却スケジュール等) に加え、問題に含まれる制約項の強さや、キメラグラフ埋め込み時のパラメータ (チェーン強度等) などのハイパーパラメータ探索の重要性

[実施項目 1] イジング計算共通ソフトウェア基盤の研究開発

1-1 共通ソフトウェア基盤のための基本アルゴリズムと要素技術

イジング計算アプリケーションとイジングマシンとの間隙を埋める共通ソフトウェア基盤の基本アルゴリズムとして、「論理・物理イジングモデル変換」と「論理・物理イジングモデル逆変換」から構成される共通ソフトウェア基盤アルゴリズムとそのための要素技術を開発する。

以下、これまでの主な成果を列挙する:

(1) 物理イジングモデル変換の基本アルゴリズム設計と評価

イジングマシンは、内部に「イジングモデル」を持ち、イジングモデルの基底状態を求めることで、等価的に組み合わせ最適化問題の解を得る。ここでイジングモデルは、スピン、2つのスピン間の相互作用、1つのスピンにかかる外部磁場によって構成されるが、スピン数、相互作用のためのビット数、外部磁場のためのビット数はイジングマシンハードウェアによって異なる。一方、実際に必要なスピン数やビット数は、組み合わせ最適化問題によって異なり、いかにこれらの間の整合をとるかが大きな課題となる。

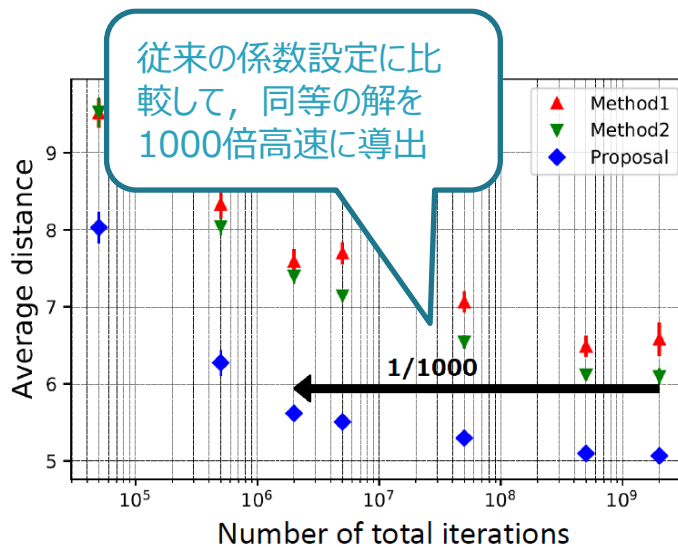
本実施項目では、世界に先駆けて、理論的に等価に相互作用係数ビット・外部磁場ビットとスピンとを置換する理論を構築した。

実問題をイジングマシンで解法する際に、大きな理論的枠組みを与えることになる。

(2) 論理イジングモデル変換の基本アルゴリズム設計と評価

イジングモデルを構築するとき、いかにハイパーパラメータを設定するかは、イジングマシンによって最適解を高速に得るために不可欠となる。これまで網羅的あるいは経験的に求められていたハイパーパラメータ設定に対して、理論的な枠組みを与え、特定のイジングマシンにとって、極めて高速に(準)最適解に到達するハイパーパラメータの設定手法を考案した。

いくつかのベンチマークアプリケーションによって評価した結果、従来のハイパーパラメータ設定に比較して、2桁~3桁の高速化が実現されている。今後のイジングマシン活用に大きく寄与する。



(3) 共通ソフトウェアプラットフォーム IsingLib と研究開発コミュニティの活性化

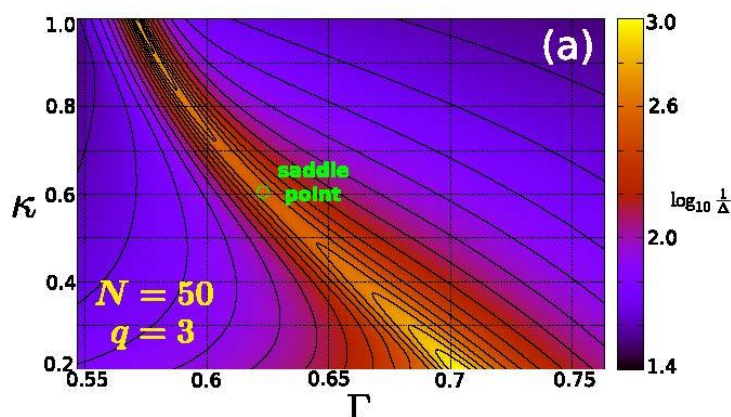
さらに、上記で示されるようなアルゴリズムをソフトウェアパッケージ化し、大学発のイジングマシン活用プラットフォームとして、IsingLib と呼ばれるライブラリ群を構築し、一部、研究コミュニティで活用している。

加えて、イジングマシン活用のため、アプリケーション分野で多くの産業界と「外部連携」し、いち早く研究開発成果の活用に取り組んでいる。

1-2 共通ソフトウェア基盤の基盤理論

組み合わせ最適化問題を専用機で解くに当たっては、各ハードウェアの特性に応じた使い分けが重要になる。そこで、量子アニーリングを直接実現した装置と古典アルゴリズムによる装置の特性を理論的に解明することが必要となり、量子と古典の詳細な比較対照を行う

研究が求められている。この視点から、理論解析が簡単かつ基本的で重要な問題である p スピン模型とその拡張の研究を実施した。量子効果を非摂動的に導入すると、エネルギーギャップのランドスケープに非自明な鞍点が生じ(下図参照)、その鞍点ではエネルギーギャップがべき的に減少すること、すなわち 2 次転移的な振る舞いをし、1 次転移に伴う計算の困難が解消することが明確に示された。こうして、量子効果を正しく取り入れることにより純粋な古典計算では見落してしまう高速化の例が少なくとも一つあることが明らかになった。



1-3 共通ソフトウェア基盤評価のための古典アルゴリズム開発

国立情報学研究所では、スピンの結合に制約の強いトポロジを持つイジングマシンのグラフトポロジに対して、古典計算機とアニーリングマシンの性能の対比評価を行った。とくグリッドグラフ、KING グラフ、道路ネットワークなどの平面グラフ、あるいは平面に数少ない交差で埋め込めるグラフなどに対して、「TSP 問題(巡回セールスマン問題)」および「グラフ的 TSP 問題」を古典計算機の最善のアルゴリズムと SA(シミュレーテッドアニーリング)との性能比較結果を行った。この性能比較においては、「解の正当性」とともに「計算時間」の比較を行った。TSP 問題は、有名な NP 困難問題であるが、グラフ的 TSP 問題も NP 困難問題であることが知られている。また実際の道路ネットワークは、グラフとして与えられることが多いため、一般の TSP 問題よりは、グラフそのものを入力として、頂点全点を回る最適なツアーを見つけるグラフ的 TSP 問題の方が、実用的にはニーズが大きい。

結果として、各社の SA は、100 点程度のグラフであれば、古典計算機におけるもっとも性能が良い近似アルゴリズムと同様な精度を残すこともあるものの、多くの場合において、古典アルゴリズムの精度に及ばなかった。これは、古典計算機の近似アルゴリズムで解く時間の 10 倍、SA に時間をかけても結果は全く変わらなかった。

また辺の重みの種類によっては、SA は、古典計算機の近似アルゴリズムに比べて非常に悪い精度の答えしか出さないことも多かった。

さらに 1,000-5,000 点程度のネットワークに対しては、SA は、さらに性能が悪い解しか出さないことが多かった。また、1,000 点以上のネットワークを各社イジングマシンのアルゴリズムを使ってマッピングすると、頂点 n に対して n^2 のスピン数を使うことが多く、各社のクラウドマシンのマッピングするのに時間を費やすこと多かった。この点は、ネットワーク依存のことが多いため、今後は、ネットワークの特徴を事前に把握して、マッピング手法を変える必要があると思われる。この点に関しても今後さらに詳しい解析を行う予定である。

1-4 共通ソフトウェア基盤のためのライブラリ開発と API 開発

イジングマシンハードウェアの違いを吸収する「各種変換ライブラリ(数式処理ライブラリとポータブル環境ライブラリ)」、これらの集合から構成される「ミドルウェア

群」、ミドルウェア群を外部プログラムから操作するための「共通 API」の開発を行う。
以下、これまでの主な成果を列挙する：

(1) イジング・バイナリ多項式に最適化された数式処理ライブラリの開発

各社のイジングマシンハードウェアの差異を吸収するために、汎用的な論理イジングモデルの構築を目的とした、高次多項式・変数に対する四則演算を実現するライブラリ及び、二値多変数多項式と論理イジングモデルとの間を変換・逆変換の機能を持つライブラリを開発した。また、後述の(2)の成果と連携することで、論理イジングモデルからハードウェア仕様固有の物理イジングモデルに変換するための基礎アルゴリズムであるグラフ埋め込みアルゴリズムの調査及びプロトタイプ開発を行った。

(2) 各社のイジングマシンを駆動するドライバの開発

各社のイジングマシンのハードウェア仕様とドライバを詳細に調査することで、D-Wave 2000Q、富士通デジタルアニーラ、東芝シミュレーテッド分岐マシン、日立 CMOS アニーリングマシンに対するポーティング環境ライブラリを開発した。これにより上記(1)とハードウェアの間を結ぶドライバの開発が可能となる。

(3) イジングマシンシミュレータにおける基礎アルゴリズムの検討

共通ソフトウェア基盤を開発及び検討する上で必要と思われる、理想イジングマシンのシミュレータについて、GPU を用いたソフトウェア実装の基礎アルゴリズム検討を行った。理想イジングマシンシミュレータの開発は(1)、(2)の成果に基づいており、共通ソフトウェア基盤の持つ機能の有効性の確認や、イジングマシンのハードウェア仕様へのフィードバックを行うための検証を行う役割を持つものである。

1-5 共通ソフトウェア基盤のための 0-1 整数計画問題の抽出と適切な定式化に関する検討

数理最適化分野で知られているベンチマークセットなどの既存データを対象に、その選別を行い、実際に変換、定式化し、データセットの整備を行った。ここで、ベンチマークセットとしては、(1)広く知られているデータセットであること、(2)イジングマシンへの論理イジングモデルに変換可能な 0-1 整数計画問題が含まれていること、(3)現実世界の課題に基づいたデータであることから、MIPLIB (<http://miplib2010.zib.de/>)を採用した。MIPLIB より 0-1 整数計画問題となるものを抽出し、検証用として、標準的なソルバーに直接入力可能な Python フォーマットにて整備した。また、抽出及び定式化した問題毎にサンプルの入力データを作成し、実際に解算の確認を行った。これらの整備したデータセットをウェブアプリケーションに格納し、共同提案者に共通ソフトウェア基盤の開発のための評価用データとして提供することで、各機関における研究開発の加速に寄与する。

1-6 ソフトウェアと連携した量子アニーリングハードウェアのアーキテクチャ最適設計

スピン数・相互結合係数ならびに外部磁場係数の階調・スピントポロジから構成される実物理イジングモデルについて、様々なパラメタを網羅的に列挙することで、アプリケーション群から見た「量子アニーリングマシン」のアーキテクチャ最適設計を行う。

以下、これまでの主な成果を列挙する：

(1) 相互結合階調と解精度の関係性の評価

ある問題クラスに対し、相互結合の階調が解品質に与える影響を比較評価し、必要な精度についての基礎検討を行った。

具体的には、スピン間の結合係数の階調を変更可能なプログラムを作成した上で、問題クラスとして巡回セールスマン問題を想定し、いくつかの問題サイズの問題を作成し、これらの問題を対象に物理スピン間の相互結合の階調を変化させ、得られる解品質(巡回セールスマン問題における経路長の長さ)の評価を通じて必要な階調を求めた。この結果、小さい問題サイズ(少ない都市数)の場合には数ビット程度でも効率的に解が求まるが、都市数が多いなど現実的な問題においては 10 数ビット程度の相互結合階調精度が必要なことを明らかにした。

(2) 結合トポロジと解精度の関係性の評価

物理スピン間の結合トポロジとして、知られている様々な結合トポロジを比較評価し、結合トポロジが解品質に与える影響についての基礎検討を行った。

具体的には、キメラトポロジおよび LHZ トポロジについて、シミュレーティッドアニーリングおよび量子モンテカルロのアルゴリズムで求解する評価プログラムを実装した上で、問題クラスとして巡回セールスマン問題および最大カット問題を対象に、いくつかの問題サイズの問題を作成し、得られる解品質(最大カット問題ではカット値またはエネルギー値、巡回セールスマン問題では経路長の長さ)を評価した。この結果、最適解への収束率は結合トポロジによって異なり、特に LHZ トポロジにおいては得られた物理スピン状態から元の問題の論理スピン状態へ復元するデコードアルゴリズムの改善や、4 体制約項の強さのチューニングが重要なことを明らかにした。

[実施項目 2] イジング計算アプリケーションの研究開発

2-1 セキュリティ・マテリアルデザインアプリケーション

イジング計算のセキュリティアプリケーションについては、計画に従い、暗号の安全性が依拠する数学的問題を基底状態探索として解くために必要となるリソース評価の研究を行った。因数分解型の問題については、積演算の回路規模を縮小する工夫として古くから知られる Karatsuba 法のアイデアをマッピングに導入、問題のサイズ n に対してアンシラビットのオーダー数が $O(n^2)$ から $O(n^{1.585})$ へ改善することを発見、その構造についても評価を行った。また、格子問題の一つである最短ベクトル問題についてはイジングモデルの基底状態探索として SA を利用して解く際に必要となるリソースについて、問題のサイズとの関係性を評価した。さらに、セキュリティ応用へ関連する話題として、イジングモデルを難読化する方法についても基本的な設計手法開発、現在安全性の理論的評価を実施している。

イジング計算のマテリアルアプリケーションについては、計画に従い、量子化学計算において必要とされる物理量を量子アニーリングによって計算する手法開発を行った。分子の基底状態に関する手法はいくつか既に開発されているが、励起状態に関連する物理量を計算する手法は開発が進んでいない。そこで、量子アニーリングを応用することで励起状態を出力する手法と遷移行列要素を量子アニーリングによって計算する手法の開発に着手した。励起状態を出力する手法に関しては、断熱時間発展に基づくプロトコルを考案し、これが動作することを確認した。また、量子化学計算とは別の文脈で開発されていた非断熱遷移に基づくプロトコルとの性能を比較し、我々が開発した断熱遷移に基づくプロトコルの方が高い正答率を持つことを発見した。以上の成果については、論文投稿を行った。また、遷移行列要素を計算する手法に関しては、前述の励起状態探索を行うプロトコルを応用し、複数回の量子アニーリングを実行することで遷移行列要素を計算できることを少数のスピンからなる系において確認した。さらに、より現実的な系における遷移行列要素の計算を数値シミュレーションによって行うことを予定している。以上の成果により、量子アニーリングマシンの応用範囲が、化学反応経路探索、色素増感型太陽電池の量子効率計算、レーザー材料の発光強度計算等へ格段に広がる可能性があることが明らかとなった。

2-2 次世代モビリティ・ロジスティクス・サプライチェーン

豊田通商の関連会社であるネクスティエレクトロニクスタイランドが提供する TSQUARE と呼ばれる交通情報配信システムをテストベッドに、要件分析と 0-1 整数計画問題の抽出を行った。当該サービスより、以下2つのサービスを共通ソフトウェア基盤での実験的検討として採用した。

- (1) タクシーの配車
- (2) 運送会社の配送スケジューリング

(1) タクシーの配車は、複数の顧客と複数のタクシーの位置関係から最適な配車の組み合わせを行うサービスであり、(2) 運送会社の配送スケジューリングは、配送場所、配送時間などの諸条件に基づき、荷物を配送する際の巡回ルート of の最適配送計画を提供するサービスとしてそれぞれ適用される。これらのサービスに関し、要件分析と最適化問題を抽出し、0-1 整数計画問題として定式化し、さらに共通ソフトウェア基盤での活用を目的とした、論理イジングモデルへの変換を行った。これらの成果は、実施項目 1-5 「共通ソフトウェア基盤のためのアプリケーションデータセットの整備とテスト環境開発」で MIPLIB から抽出したデータセットとともに、共同提案者に提供している。

2-3 産業界との連携強化を促進するためのエコシステムやプラットフォーム構築

当該技術の社会実装を見越した情報収集や、ユーザ企業との連携促進、並びに国民への本事業の研究目的、研究内容、取組みの理解促進、当該分野がもたらす次世代社会への波及効果のアピールを目的とした、シンポジウムの構想および事前準備、開催にかかる体制構築等の支援を実施した。開催したシンポジウムを活用し、技術の先導的な研究開発の方向性検証、及び並行して実用化を想定しての課題洗い出しを目的として、産業界、学术界、そして国の有識者へのヒアリングをアンケート形式にて行った。意見の集約分析を実施し、得られた情報等については、適宜研究開発計画の見直しや効率化に活用した。

2019年5月20日 『次世代コンピュータが実現する革新的ビジネス』シンポジウムを開催

目的

- 当該技術の社会実装を見越した情報収集、参加ユーザとの連携促進
- 国民への本事業の研究目的、内容、取組みの理解促進、当該技術分野がもたらす次世代社会への波及効果のPR

プログラム

13:00~14:20		セッション1 先進ユーザ企業のアニーリングビジネス戦略/ 量子コンピュータ・アニーリングマシンの可能性①	
<ul style="list-style-type: none"> ■ 開会挨拶 西山 圭太 経済産業省商務情報政策局長、田中 愛治 早稲田大学総長 ■ AI分野における量子コンピューターの可能性 濱田 俊貴 メルカリ取締役CPO ■ 基調講演 量子アニーリングの現状と展望 西森 秀稔 東京工業大学教授 	<ul style="list-style-type: none"> ■ 金融分野における次世代コンピューティング技術への期待 谷崎 勝教 三井住友銀行取締役兼専務執行役員CIO ■ 招待講演 Practical Quantum Computing Dan Cohrs CFO, D-Wave Systems 	<ul style="list-style-type: none"> ■ デジタルアニーラによる新市場の創出 堀江 健志 富士通理事 ■ ユーザ企業ハブにおける新ビジネス開拓の最前線 磁性材料 佐々木 智生 TDK ■ アニーリングマシン開発の最前線 アニーリングマシンハードウェアの開発動向 川畑 史郎 産業技術総合研究所研究グループ長 	<ul style="list-style-type: none"> ■ 早稲田大学におけるユーザ企業ハブ構築と基盤ソフトウェア開発 戸川 望 早稲田大学理工学術院教授 自動車 寺部 雅能 テンソー 材料×AI 田村 亮 NIMS/東京大学 超導量子アニーリングマシン 中村 祐一 NEC中央研究所理事 CMOSアニーリングマシン 山岡 雅直 日立製作所主任研究員
14:30~15:30		セッション2 量子コンピュータ・アニーリングマシンの可能性②	
<ul style="list-style-type: none"> ■ 基調講演 篠原 弘道 NTT取締役会長/ 日本経済団体連合会審議員会副議長 	<ul style="list-style-type: none"> ■ 招待講演 Pooya Ronagh Head of Hardware Innovation Lab, 1QBit 	<ul style="list-style-type: none"> デジタル広告 棚橋 耕太郎 リクルートコミュニケーションズ 	
		<ul style="list-style-type: none"> 15:35~16:45 セッション3 アニーリングマシンによる新ビジネス創出の最前線 	
		<ul style="list-style-type: none"> 登録者数：730名 当日参加者数：511名 	

3.4.1.5 成果の普及

上述の通り、大学発のイジングマシン活用プラットフォームとして、IsingLib と呼ばれるライブラリ群を構築し、一部、研究コミュニティで活用している。本研究開発で構築されたアルゴリズムやライブラリをいち早く利用することで、成果の普及を目指している。

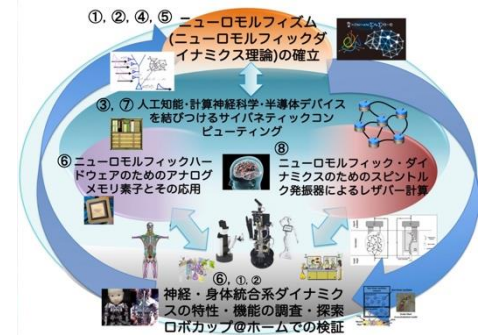
フィックスターズは D-Wave 2000Q、富士通デジタルアニーラ、東芝シミュレーテッド分岐マシン、日立 CMOS アニーリングマシン、イジングマシンシミュレータ(Fixstars GPU)への計算実行が可能な共有ソフトウェア基盤のプロトタイプの開発を進めている。これは、現在、早稲田大学、NEC に実際に利用されており、各研究機関においてベンチマーク評価などに役立てられている。今後はプロトタイプの開発から実用化に向けた開発作業へ継続的に移行していく。

3.5 研究開発テーマ「未来共生社会にむけたニューロモルフィックダイナミクスのポテンシャルの解明」

本研究開発項目では、「ニューロモルフィックダイナミクスのポテンシャルの解明」という目標に対し、以下のそれぞれの項目を達成し目覚ましい成果を上げつつある。

- (a)身体と脳神経系のカップリングダイナミクスによる効率的かつ多様な行動生成
- (b)ニューロモルフィックデバイスの探索
- (c)ロボカップ@ホームによる脳型アーキテクチャの実証実験

個別の研究開発テーマにおける詳細は以下に示す。



3.5.1 研究開発サブテーマ「身体と脳神経系のカップリングダイナミクスによる効率的かつ多様な行動生成」

3.5.1.1 概要

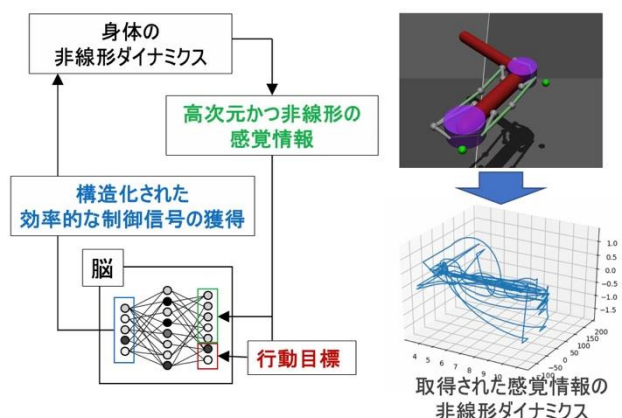
身体・脳神経系カップリングダイナミクスをモデル化し、カップリングダイナミクスの自発活動を利用して、未知で複雑な身体を制御する手法を開発し、複数の身体運動シミュレーションを通じて、構造化された効率的な制御信号の獲得を確認した。

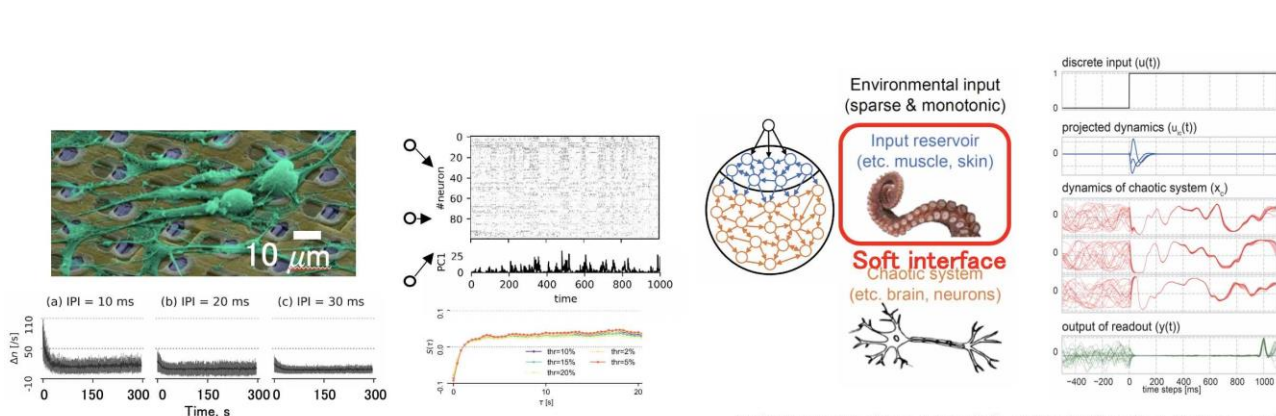
3.5.1.2 最終目標と根拠

現行の AI 手法は、与えられたデータに関する計算論を基盤とし、現行の AI 用プロセッサもこれを高速化するアーキテクチャである。これに対し、生体の知能は、環境・身体・神経系が三位一体となって適応性、ロバスト性、合目的性を創発する。IoT やロボットなど、現実の、何が起こるか事前に規定仕切れない物理世界と緊密に相互作用する系においては、後者の生体的原理に基づき、物理系の特性を活用しつつ、変化に即応し知的に振る舞う新たな方法論が求められる。これは、データセンター用プロセッサのスケールダウンではなく、埋め込みエッジコンピューティングならではの革新的なニューロモルフィックプロセッシングの提案につながる。そこで、「身体と脳神経系のカップリングダイナミクスによる効率的かつ多様な行動生成の研究開発」では、この提案に繋がる各種開発の理論的ベースとして「ニューロモルフィックダイナミクス理論」の構築、及びその検証用の脳・身体カップリングのシミュレーションプラットフォームの確立が最終目標となる。前者はプロジェクト全体の成果を統一的に説明するための理論的バックボーンとして必要であり、後者は各種応用に向けた検証実験のためのプラットフォームとして必要である。

3.5.1.3 目標の達成度

- (a) 身体・脳神経系カップリングダイナミクスの自発活動のシミュレーション:
カップリングダイナミクスの自発活動を利用する身体制御手法(図左)の実証検証を目的として、未知の固有ダイナミクスを持つ筋骨格アームモデル(図右上)を利用して自発運動を実現し、高次元かつ非線形の感覚情報(図右下)の取得を確認した。

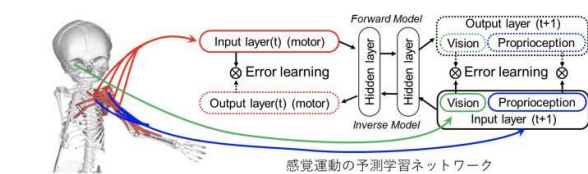




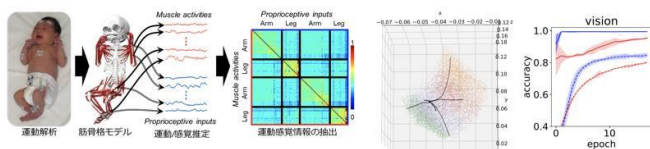
培養神経でEcho State Propertyを確認

柔軟物のカオス性によるリザーバ学習効率の向上や入力リザーバ間の自己組織化による記憶容量向上を解明

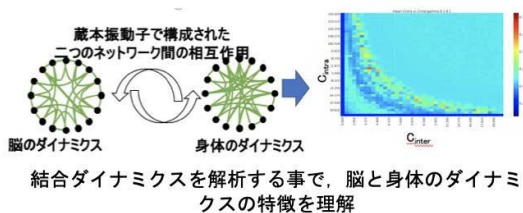
(b)脳と身体の新ニューロダイナミクス: 生体神経系の特性を明らかにするため、神経細胞の分散培養系の神経発火におけるスパイク特性を定量評価し、そのダイナミクスが持つカオス特性とレザバー性能(長時間の時系列入力に対して、初期値にかかわらず、最終的には同じ反応に収束する性質)を検証した(上図左)。高次元非線形力学系を基盤とするレザバー計算におけるカオスの有用性とその設計法を開発した。特に、複数の疑似アトラクタの設計とその疑似アトラクタ間の遷移確率の設計に成功した。また、柔軟インターフェースによってその学習効率や記憶容量が向上することを示した(上図右)。環境・身体・神経系の三位一体システムのダイナミクスの特性として、多自由度筋骨格モデルにおける身体性に基づいた運動基底の自動抽出可能性を確認するとともに、抽出した運動基底や生体を基にした拮抗抑制による感覚運動学習性能の向上を確認した(下図左上)。スパイクニューロンは生体内で使われているが、その意味や効果は必ずしも明らかではない。二足歩行の環境変動に対する安定化課題で、少数かつ時定数の小さいニューロン群で対応可能であることがシミュレーションで明らかになった(下図右上)。さらに、脳と身体をそれぞれ二つの振動子ネットワークとみなし、各種パラメータを変更による多様なダイナミクス生成のための拘束条件を探索した(下図左下)。また、レザバー内を拘束条件付き自己組織化することで複数の課題を逐次的に学習可能であることを確認した(下図右下)。



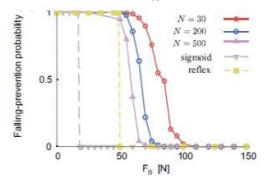
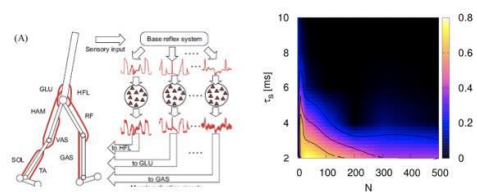
感覚運動の予測学習ネットワーク



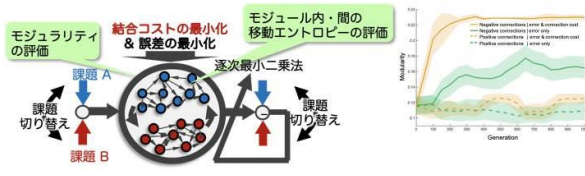
ヒト乳児における感覚運動情報構造の発達の变化を調査



結合ダイナミクスを解析する事で、脳と身体ダイナミクスの特徴を理解



スパイクニューロンによる二足歩行の動的安定化



レザバー内を拘束条件付き自己組織化することで複数の課題を逐次的に学習可能

3.5.1.4 成果と意義

プロジェクト全体では、脳や身体に宿る生物の神経機構に内在する本質を捉え、その工学的な実現を通じて、人工物を設計・作動させ、その経緯や結果を通して、生物系の神経機構の新たな理解を生み出し、さらに工学的再現にフィードバックするといった「科学と工学の微視的にも巨視的にも相互浸透的な動的循環による新たな学際的アプローチの理念」として、ニューロモルフズムを提唱しているが、「身体と脳神経系のカップリングダイナミクスによる効率的かつ多様な行動生成の研究開発」はその基盤を構成するのが目的であり、その第一段階の成果を上げたことになる。

(a)身体・脳神経系カップリングダイナミクスの自発活動のシミュレーションでは、ニューロモルフダイナミクス理論構築のための予備実験を実施し、理論構築の足がかりとなった。今後は、複雑な身体と脳の結合によるシミュレーションを通じて、理論構築に集中する。また、(b)とも連携して、理論を深化させる。

(b)脳と身体の新ニューロダイナミクスでは、生体、物理、脳・筋骨格シミュレーションを通じて、さらなる実際の新生児の運動計測も含めながら、神経系、物理・身体系を有機的に結合するためのプラットフォームを強化できた。また、スパイクニューロンの働きについて、二足歩行の安定化課題から、効率的探索、即応的な応答とその安定化に寄与していることが判明した。今後は、さらに(a)との密な連携を通じて、理論の強化及びその有効性検証の幅を広めていく。

3.5.1.5 成果の普及

身体・脳神経系カップリングダイナミクスの自発活動のシミュレーションと脳と身体の新ニューロダイナミクスの項目は、プロジェクト全体の理論的バックボーンであり、かつその検証シミュレーションのプラットフォームでもあり、以下のニューロモルフデバイス探索やロボカップ@ホームによる脳型アーキテクチャの実証実験で広くかつ深く利用される。これらへの応用が社会への実装に繋がり、結果として広く社会に普及する。

3.5.2 研究開発サブテーマ「ニューロモルフデバイスの探索」

3.5.2.1 概要

生体・物理レザバーの各種実現方式の探索においては、スピンレザバーで、既存技術の100倍の演算効率を仮説検証した。また、AIレザバーの計算方式で特許申請した。さらにレザバー大脳皮質仮説検証用オンライン学習機の開発に着手した。また、生物・物理レザバーの各種方式を実現し比較検討した。

アナログメモリ技術とその実装においては、最新デジタルAIチップの100倍超の演算効率を実現可能な「時間領域アナログ積和演算回路」に適用可能なアナログメモリ素子の候補として強誘電体ゲートFET(FeFET)を検討し、大サイズ素子で必要条件を満たすことを確認した。

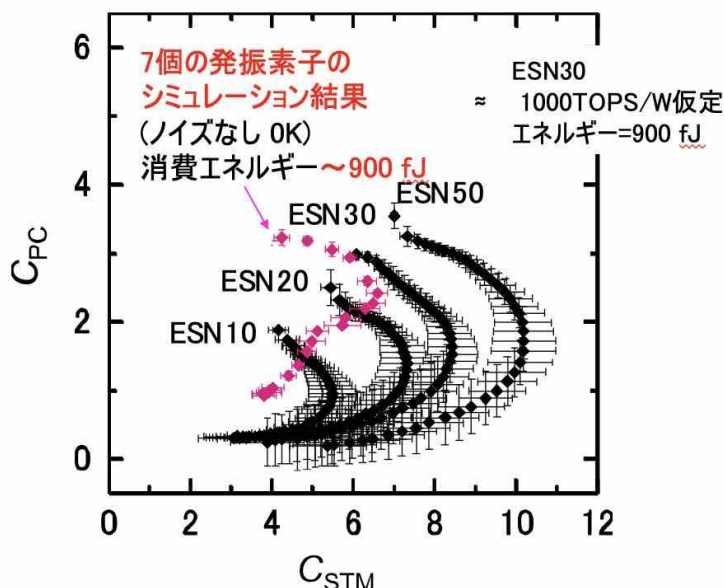
3.5.2.2 最終目標と根拠

現行のAI手法は、与えられたデータに関する計算論を基盤とし、現行のAI用プロセッサもこれを高速化するアーキテクチャである。これに対し、生体の知能は、環境・身体・神経系が三位一体となって適応性、ロバスト性、合目的性を創発する。IoTやロボットなど、現実の何が起こるか事前に規定仕切れない物理世界と緊密に相互作用する系においては、後者の生体的原理に基づき、物理系の特性を活用しつつ、変化に即応し知的に振る舞う新たな方法論が求められる。これは、データセンター用プロセッサのスケールダウンではなく、埋め込みエッジコンピューティングならではの革新的なニューロモルフプロセッシングの提案

につながる。そこで、「ニューロモルフィックデバイスの探索」では、実際のデバイスとして、各種レザバ方式の開発及び比較検討すること、さらにアナログメモリ素子においても数値目標の達成のみならず、ニューロモルフィックアーキテクチャによる各種応用に向けた設計仕様の提案・設計・試作・検証のサイクルが必要である。「ロボカップ@ホームによる脳型アーキテクチャの実証実験」項目との連携が必須であり、検証過程を含むことで、初めて設計仕様の根拠が担保される。これが本項目の最終目標と根拠である。

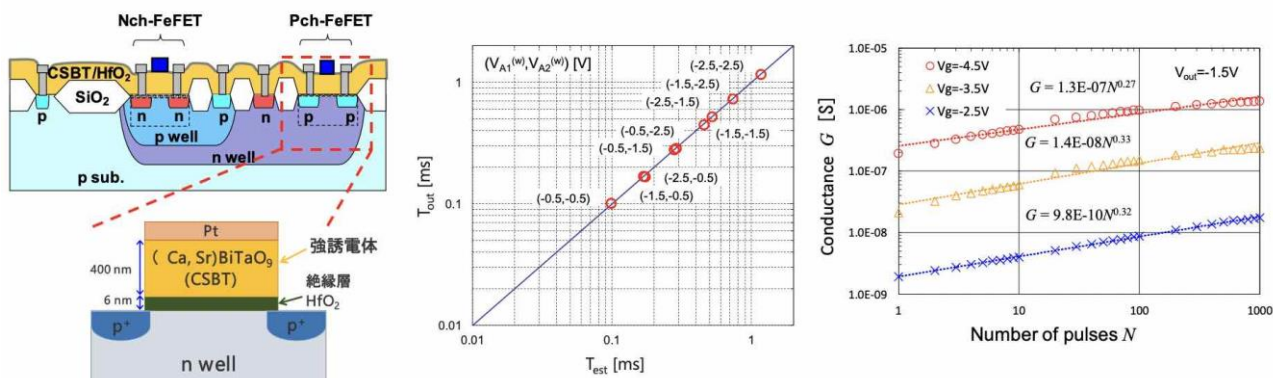
3.5.2.3 目標の達成度

(a)スピンレザバ計算機: スピンレザバの演算効率について考察するため、代表的な計算モデルである Echo-state-network(ESN)との比較を行った。シミュレーションより7素子のスピンレザバは30ノードのESNと同程度の演算能力があることが明らかとなった。7素子のスピンレザバの消費エネルギーは900fJであり、30ノードのESNにおいてこれと同じ消費エネルギーを仮定すると演算効率は1,000TOPS/Wになる。したがって、7素子スピンレザバの演算効率は1,000TOPS/W相当と見積もられる。この演算効率は現状のアナログ積和演算回路の演算効率(10TOPS/W)に対して、100倍の演算効率を持つとみなすことができ、今年度目標を達成した。



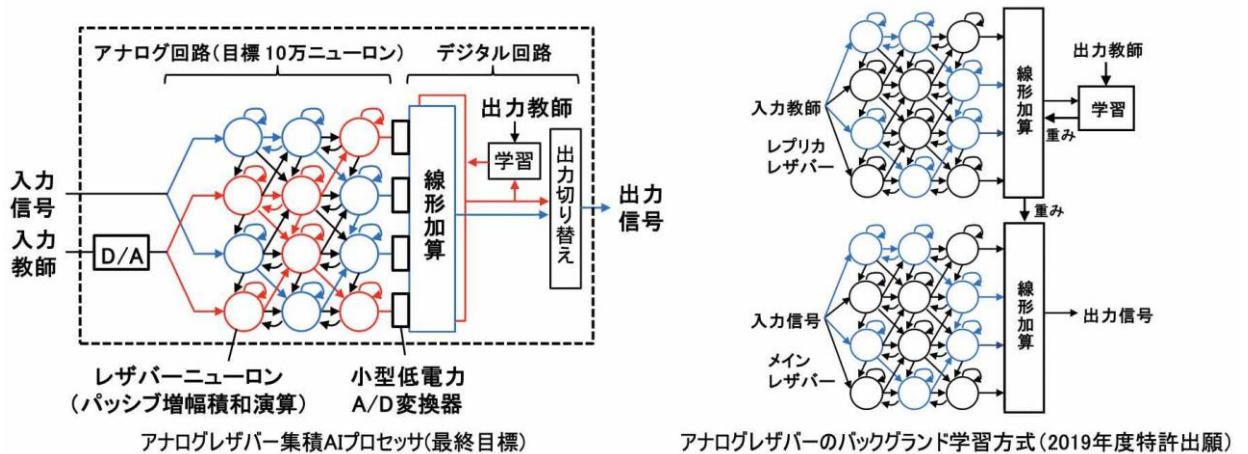
既存技術の100倍の演算効率を仮説検証

(b)アナログメモリ技術とその実装: 最先端デジタル方式 AI チップに対して電力効率 100 倍の性能を有するニューロモルフィック AI チップ実現の鍵となる新規アナログメモリ素子の実用化可能性を調査した(下図左)。特に、強誘電体ゲート電界効果トランジスタ(FeFET)を中心に検討し、必要条件を実デバイスで確認した。具体的には、FET の subthreshold 特性を利用して、3桁以上の ON/OFF 比を実現した。対数プロットで線形書込特性を検証し、積和演算精度 6 ビット相当以上を実証した(下図中央と右)。

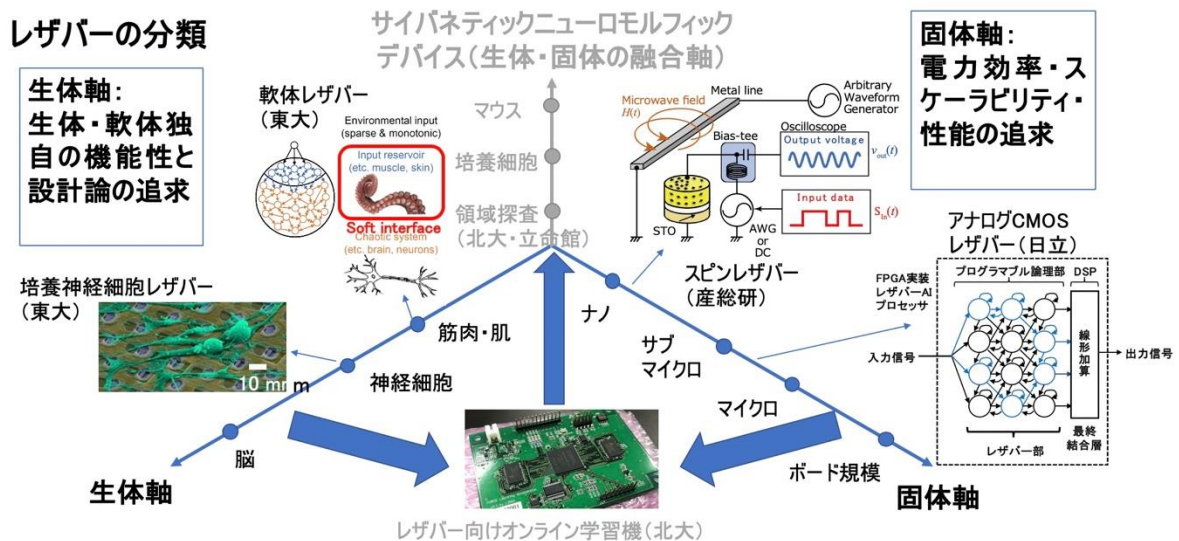


強誘電体ゲート電界効果トランジスタ(FeFET)を中心に検討、必要条件を実デバイスで確認。

(c)脳型ハードウェアの産業応用に向けた基礎検討: 日立保有の小型低電力 A/D 変換回路技術を生かした、アナログデジタル混載のレザバー集積回路を提案した。レザバーは、受動素子のみで構成したアナログニューロン回路により、極低電力で実装した(下図左)。極低消費電力の大規模アナログレザバー集積 AI プロセッサの実現に向け、アナログニューロン回路の特性変動に追従できるように、バックグラウンド常時学習方式を考案し、特許出願した(下図右)。また、脳型演算の FPGA 実装検討に関して、さまざまな工夫を重ねることで、レザバーコンピューティングのベンチマークタスクである NARMA10 タスクを十分な精度で行えることも確認した。



(d)サイバネティックコンピューティング基盤技術: 高性能アナログレザバーの実現に向けた原子スイッチの定性的数理モデルおよび SPICE モデル構築を行った。また、メモリキャパシティの大きい「近傍結合アナデジ混載レザバーモデル」を新たに発案し、そのアナログ回路化・試作を行った。小規模ノード(50 ノード)のボードが完成・納品済である。さらに、FORCE 学習アクレラレータの FPGA アーキテクチャを構築し、ボード設計と試作外注し。マイコンとの SPI 通信および FPGA コアと外部メモリの通信が設計どおり正しく行われること、設計通りの性能で学習動作ができることを確認した。また、本プロジェクトで開発されている各種レザバーとその関係を位置づけた(下図)。



3.5.2.4 成果と意義

本プロジェクトとして、提案時に募集要項に従った数値目標を呈示する意味で、スピンドルで、既存技術の 100 倍の演算効率を仮説検証、アナログメモリ技術とその実装においては、最新デジタル AI チップの 100 倍超の演算効率を実現可能なデバイスを検討し、大サイズ素子で必要条件を満たすことの確認を掲げ、これらの数値目標は達成したので、十分成果があったと判断される。特に、後者の「時間領域アナログ積和演算回路」(TACT)方式は本プロジェクトの九工大グループの新規技術で、他には UCSB のグループが追従しているのみである。また、FeFET のアナログメモリ素子利用技術も産総研・九工大の独自技術であり、世界に先駆けている。しかしながら、我々の主目的は単なる数値目標の達成ではなく、それらが実用に資するかを検証しなければならない。その意味では、現状成果はその準備が整ったことを意味する。

3.5.2.5 成果の普及

上でも述べたように、現状成果は実用に資するかを検証の準備段階であり、以下の「ロボカップ@ホームによる脳型アーキテクチャの実証実験」で進める検証実験の例に示すような既存の競技会のタスクでの検証に加え、さらに開発したチップ・デバイスを、応募条件を満たすチームに配布し、競い合う形式を追究して普及に努めて行く。

3.5.3 研究開発サブテーマ「ロボカップ@ホームによる脳型アーキテクチャの実証実験」

3.5.3.1 概要

脳と身体との相互作用による知能創出へ挑む脳型チップとソフトロボティクスを融合したホームロボットの研究プラットフォームを構築した。視覚(深層学習)と触覚(ソフトハンド)の融合により、ホームロボットによる片付けタスク等に必要不可欠な把持対象の物体認識性能を向上できる知見を得た。これらの成果をロボカップジャパン・オープン 2019 の競技会で披露し、優勝と同時に全審査員から最高評価を得た。

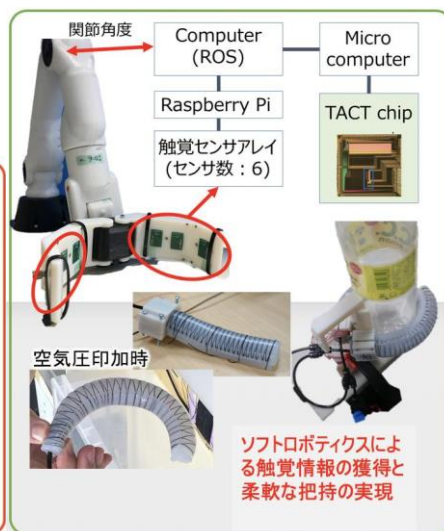
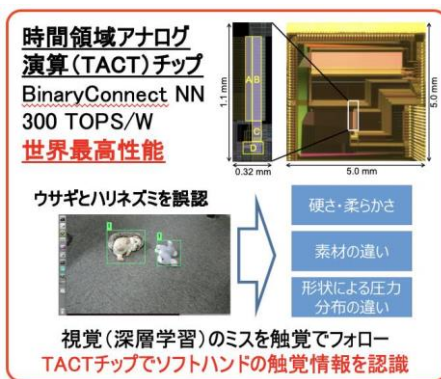
3.5.3.2 最終目標と根拠

現行の AI 手法は、与えられたデータに関する計算論を基盤とし、現行の AI 用プロセッサもこれを高速化するアーキテクチャである。これに対し、生体の知能は、環境・身体・神経系が三位一体となって適応性、ロバスト性、合目的性を創発する。IoT やロボットなど、現実の何が起こるか事前に規定仕切れない物理世界と緊密に相互作用する系においては、後者の生体的原理に基づき、物理系の特性を活用しつつ、変化に即応し知的に振る舞う新たな方法論が求められる。これは、データセンター用プロセッサのスケールダウンではなく、埋め込みエッジコンピューティングならではの革新的なニューロモルフィックプロセッシングの提案につながる。そこで、「ロボカップ@ホームによる脳型アーキテクチャの実証実験」では、本プロジェクトで開発されたチップ・デバイスを実際のロボットに搭載し、その実用性(処理速度、エネルギー消費)を確認すると同時に、脳型アーキテクチャとしての意味や価値を検証する。さらにこの脳型アーキテクチャに適合するソフトロボティクスによる身体との結合を図り、脳・身体カップリングのニューロモルフィックダイナミクスとして位置づける。ロボカップジャパン・オープンのみならず、国際大会にも競技会を提案・開催し、全世界的な活動として広げる。ロボカップ競技会データタスクを徐々に難度の高いものに設定することで、ロボカップから実社会の他の応用への道が拓ける。

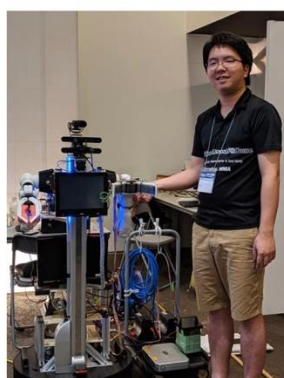
3.5.3.3 目標の達成度

脳神経系としては、世界最高性能(300TOPS/W)の時間領域アナログ演算(TACT)チップを実装して、視覚(深層学習)のみでは識別

できなかったウサギとハリネズミのぬいぐるみに対し、触覚を加えることで識別可能となった(上図左)。身体系では、ソフトロボティクスによる触覚情報の獲得と柔軟な把持を実現(上図右)することで、さきの識別感度向上に貢献した。これらを@ホームロボット Exi@(エクシア)にチップ・ハンド共に実装し、ロボカップ・ジャパン・オープン 2019 の@ホーム競技会において優勝した(次ページ図左)。電力消費が極小であることも示された(次ページ写真参照)。ただし、TACT チップに関しては、現状 300TOPS/W で世界最高水準だが、最終目標として1,000TOPS/W レベルで海馬・扁桃体・前頭前野からなる脳型アーキテクチャによる各種タスクの達成を最終目標とすると、現状は達成度 30%程度とみなせる。



これらを@ホームロボット Exi@(エクシア)にチップ・ハンド共に実装し、ロボカップ・ジャパン・オープン 2019 の@ホーム競技会において優勝した(次ページ図左)。電力消費が極小であることも示された(次ページ写真参照)。ただし、TACT チップに関しては、現状 300TOPS/W で世界最高水準だが、最終目標として1,000TOPS/W レベルで海馬・扁桃体・前頭前野からなる脳型アーキテクチャによる各種タスクの達成を最終目標とすると、現状は達成度 30%程度とみなせる。



触覚センサ付きソフトハンド(2種類)とTACTチップを搭載したExi@ロボット



把持による触覚情報獲得の様子



触覚情報認識時TACTチップの電流計。ほぼゼロ。



国際会議IEEE ISCAS2019にて受賞



LSIとシステムのワークショップで受賞

RoboCup Japan Open 2019 決勝戦

3.5.3.4 成果と意義

ロボカップ・ジャパン・オープン 2019 にて、@ホーム部門で圧倒的勝利を修めたこと(上図左)、また、国際会議 IEEE ISCAS2019 にて Best Demonstration Award 受賞、LSI とシステムのワークショップで研究賞受賞(上図右)しており、最終目標に向け、着実に成果を挙げているとみなせる。今後は、チップの性能向上はもとより、脳型アーキテクチャの深化、ボディ全体のソフト化、そして、脳・身体結合カップリングの進化が望まれる。

3.5.3.5 成果の普及

現在、九工大のグループが独自のチップ開発ならびにロボット開発を行っているが、開発されたチップを競技参加に配布可能な組織体制を構築し、ロボカップ@ホームのサブリーグとして、広く競技参加者を募り、競技会開催を通じて、チップの検証や応用範囲を広げる活

動を開始する。これにより最終的な実社会への普及が望めるとともに、競技会そのものがニューロモルフィックダイナミクスのみならず、この分野の若手人材育成に繋がると期待される。

3.6 研究開発テーマ「深層確率コンピューティング技術の研究開発」

本研究開発の目標は、①新しい深層確率コンピューティングのアルゴリズムを探求し、②それを確率プログラミング言語によって容易に利用できるようにし、さらに③最適化されたハードウェアによる加速・省電力化を実現することである。これにより、エッジ側での深層確率学習を低消費電力で実現し、通信帯域の削減等により新しい機械学習の応用可能性を切り開く。この目標に対し、以下の成果を達成し目覚ましい成果を上げつつある。

- ・ VAE と状態空間モデルの融合する新モデル「Model Identification NN (MINN)」を開発した。
- ・ カーネル法と深層学習の融合による効率的な確率推論の方法を開発した。
- ・ GAN の判別器を用いた異常検知法を開発した。
- ・ 確率論理プログラミング言語 PRISM に対し、深層ニューラルネットワークモデルを効率よく記述し、取り扱うための拡張の実装として T-PRISM を開発し公開した。
- ・ 深層確率プログラミング言語 Tars を PyTorch 上に移植・拡張し、Pixyz として公開した。
- ・ ハードウェアの基本設計を行い、関数評価器や乱数生成等の回路要素の設計を行った。

個別の研究開発テーマにおける詳細は以下に示す。

3.6.1 研究開発サブテーマ「深層確率コンピューティングに適した計算アルゴリズムの研究開発」

3.6.1.1 概要

深層確率コンピューティングのコアとなるアルゴリズムを開発する。具体的には、変分 Auto Encoder (Variational AE、以後 VAE) を状態空間モデルと融合するアルゴリズムを開発する。深層ニューラルネット (Deep Neural Network、以後 DNN) は識別モデルとして利用されるのが普通であるが、生成モデルに活用する研究もこの 2~3 年富に盛んである。その中でも VAE は、生成モデルの自動構築法としての汎用性から大きな期待が寄せられている。中央大学における研究開発の進め方においては、モデル探索とパラメータ学習に関するアルゴリズムの研究開発を両輪とする。前者では、変分オートエンコーダと状態空間モデルの融合 (実施項目①-(1)) を行う。後者では、パラメータの学習アルゴリズムおよびエッジクラウド間の計算バランシング法の開発 (実施項目①-(2)) を行う。情報・システム研究機構では、より要素的な研究開発として、カーネル法と深層学習の融合による効率的な確率推論の方法 (実施項目①-(3)(A)) と、敵対的生成ネットワーク (Generative Adversarial Network、GAN) を用いた確率推論法 (実施項目①-(3)(B)) に関する研究開発を行う。

3.6.1.2 最終目標と根拠

最終年度 (2022 年度) には、実施項目①-(1)、①-(2)、および①-(3) で開発した手法を、産業技術総合研究所、京都大学、東京大学のソフトウェア開発チームのソフトウェアに実装し、実データへの適用を行うことにより、エッジクラウド間の計算バランシングを評価する。深層学習によるサンプリングの高度化により、サンプルによる確率分布の表現を効果的に学習する方法を開発し、実施項目 3 (深層確率コンピューティングに適したハードウェアシステムの開発) で開発予定のハードウェアでその有効性を評価する。

中間目標となる 2020 年度までに、モデル探索とパラメータ学習に関するアルゴリズム開発各々に対して具体的目標を達成し、同時確率分布の表現精度を同程度に保持しつつ、エッジ側からクラウド側に転送するデータ量を、事業開始時点における同等の技術と比較し、1/100 以下とする可能性を示す。

3.6.1.3 目標の達成度

変分オートエンコーダと状態空間モデルの融合については、VAE と状態空間モデルの融合形のプロトタイプを複数検討し、Recurrent NN-VAE のエンコーダ部分のブロックモジュール間の配線を工夫することで、潜在的なモデルの同定可能性を担保しつつ、モデル学習が頑健である DNN「Model Identification NN (以後 MINN)」を考案した。

エッジクラウド間の計算バランシング法の開発については、MINN を用い人工時系列データを用いてパラメータ学習に関する数値実験を行った。

カーネル法と深層学習の融合による効率的な確率推論の方法については、カーネル法において単純な行列演算を深層学習に置き換える方法を考案し、より柔軟性の高いベイズ推論を可能にした。また GAN の判別器を用いた異常検知法を開発して有効性の検証を行った。

ソフトウェア開発チームとの連携については、すでに、VAE と状態空間モデルの融合形のプロトタイプの複数を、Pixyz(東大が主開発)に実装済みである。ハードウェアチームとの連携に関しては、VAE の枠組み内でのパラメータ学習で大きな役割を果たす、対数周辺尤度の下限である、Evidence Lower Bound(ELBO)を最大化に、ハードウェアの成果を取り込む検討を始めている。時系列データを対象とする ELBO の評価では、Filtering Variational Objectives(以後、FIVO)が用いられる。FIVO では、エンコーダの最終段ブロック部分における reparametrized sampling を N 回(粒子数)行い、それらの結果を、デコーダを通して loss(尤度)を見ることで粒子を resampling(粒子フィルタの言葉では、SIS 等で評価するアルゴリズムを実装)をしている。FIVO の良い推定には、大量の良質なガウス乱数が必要となる。この部分に、乱数発生にかかわるハードウェアの成果が生かせるのではないかと考えている。

これらを総合し、目標達成に向け順調に推移していると考えられる。

3.6.1.4 成果と意義

中央大学の研究開発項目のうち、モデル探索に関しては、深層学習を利用した生成モデルと状態空間モデルの融合に関して、理論的枠組みの十分な検討を行い、開発した基本アルゴリズムを VAE の枠組みで実現することを目標としている。これまでに、VAE と状態空間モデルの融合形のプロトタイプを複数検討した。Recurrent NN-VAE のエンコーダ部分のブロックモジュール間の配線を工夫することで、潜在的なモデルの同定可能性を担保しつつ、モデル学習が頑健である DNN、すなわち前述の MINN を考案した(図 2-3.6.1-1 参照)。なお各ブロックモジュールは、中間層数が 2~3 の密結合のシンプルなものとしている。MINN はその構造自体から多様な状態空間モデルが表現でき、実際の時系列データを確率表現する上での拡張性は大きい期待できるものである。

また、パラメータ学習に関しては、データが少ない場合のアルゴリズム、特に Stochastic Back Propagation (SBP)の改良を行い、双子実験(模擬データを発生させた既知のモデルをデータから逆推定する実験)を実施し、同定性能を評価することを目標としている。VAE の枠組み内でのパラメータ学習は、前述した ELBO を最大化することで実現する。ELBO およびその亜種は二つのパーツの和で表されている。一つは、Reconstruction Loss と呼ばれ、デコーダ最終段で規定される確率モデルで測った実際のデータの確率値(尤度)に対応する。もう一つは Latent Loss と呼ばれ、仮定した事前分布とプロポージアル分布の間の距離を測るものである。この二つの組み合わせにより、同じ DNN 構造でも複数のモデル同定(モデル学習)のスキームが考えられる。さまざまな MINN を具体的に計算機上に実装し、ネットワークの構造と評価関数の違いによるモデル同定の性能の違いを数値実験にて評価した。

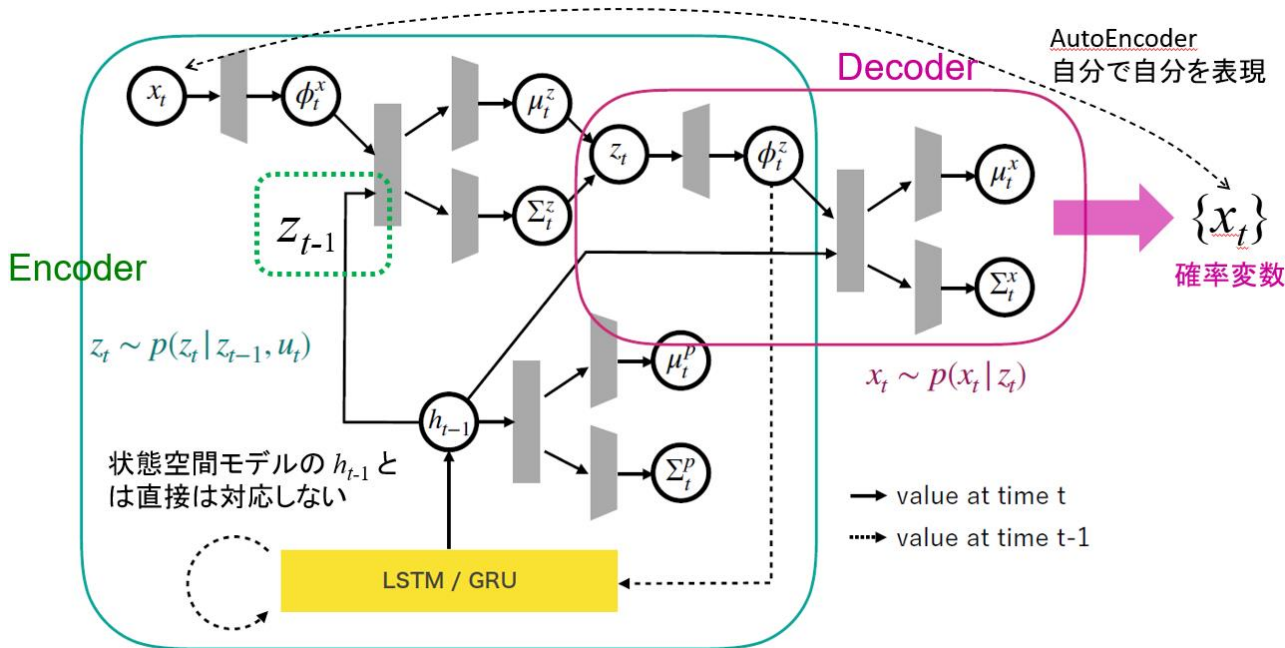


図 2-3.6.1-1 本プロジェクトで考案した Model Identification Neural Network の構成図

時系列データを対象とする ELBO に相当する FIVO では、モンテカルロ的に求めた対数尤度を参照するため、同じように対数尤度を利用する粒子フィルタの利用上のノウハウが直接的に役に立つ。これまで前述した MINN でもって、線形ではあるが非ガウス性を示す人工時系列データ、ただし異常値が観測データに時折混入する人工時系列データでもって、パラメータ学習に関する数値実験を行った。計測データに間欠的に混在する異常値の同定には成功したが、異常値の同定機能に特化した既存 DNN のパフォーマンスには残念ながら劣る。その理由は、我々の開発しているネットワークである MINN は、モデル同定を主たる機能とし、異常値同定が主たる目的でないためである。

次に、情報・システム研究機構の研究開発項目のうち、カーネル法と深層学習の融合による効率的な確率推論の方法に関しては、基礎的なアルゴリズムを開発し、その有効性を単純な問題で検証した。このアルゴリズムは、本事業に参加する福水らが研究を行ってきた、カーネル法によって重み付き粒子として確率分布を表現する方法を基礎としている。カーネル法による表現は、単純な行列演算によってベイズ推論を行うことを可能とし、ガウス性を仮定する推論法に比べてより柔軟に分布を表現可能であると同時に、モンテカルロサンプリングや変分近似など計算量の高い既存のベイズ推論法に比べ、演算量の点で優位性を持つ。その反面、推定精度がカーネルの選択に大きく依存するという弱点があった。そこで、単純な行列演算を深層学習に置き換える方法を考案し、より柔軟性の高いベイズ推論を可能にした(図 2-3.6.1-2)。今後、より大規模な問題への適用をはかり、計算量を削減する方法を探索する。また、カーネル法だけでなく Wavelet との融合の可能性を研究する。

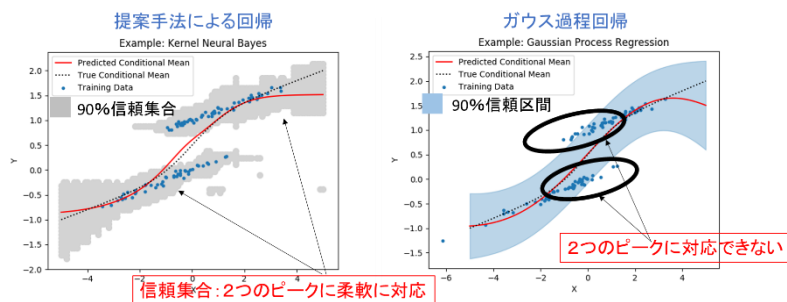


図 2-3.6.1-2 カーネル法+深層学習

また、GAN による確率推論法に関しては、正常画像のみが訓練データとして与えられるという設定のもとで、画像データからの異常検知の問題をターゲットとして、GAN の判別器を用いた異常検知法を開発して有効性の検証を行った。開発したアルゴリズムは、データとして与えられる正常画像に加えて、GAN の生成器で発生した人工異常画像を用いて正常／異常画像を識別する判別機を構成する。数字画像を用いた簡単な比較実験では、類似の異常検知法に比べて高い性能が得られた(AUPRC による比較で、提案法 0.898 / 比較手法 AnoGAN 0.873)。また、画像による異常検知用データベース MVTec AD の中の 10 タスクの異常検知タスクを用いて実験したところ、10 クラス中 8 クラスにおいて State-of-the-art を上回る AUPRC 値を示している。現在、効率的な学習を達成するためにメタ学習への拡張を研究開発中である。これらのアルゴリズムは東大の開発する Pixyz に実装を予定している。

本研究は深層学習と確率推論の融合において先駆的な意義をもつ。深層学習による非線形・ガウス型モデリングのパラダイムシフトを、状態空間モデルの枠組みに導入し、状態空間モデルの適用限界を突破することができる。具体的には、時系列データに適した、時変潜在ベクトル(状態ベクトルに対応)の自動同定、およびそれに基づいた観測モデルと近似事後分布(プロポーザル分布)を自動的に生成する計算の枠組みを確立できる。これにより、時系列モデリング利用上の匠(熟練者)の経験とノウハウ、つまり属人的スキルを自動化することで、状態空間モデルのコモディティ化に直接的に貢献する。

3.6.1.5 成果の普及

IoT の時代となり、人工物のモニタリングのために、膨大なセンサ情報をクラウドに集めることがさまざまな産業分野で企図されている。センサ情報をすべてクラウドで処理するのは、モニタリングの主たる目的(例えば異常値検知)からして非効率である。本研究開発では、上記のパラメータ学習をエッジ側でのみ実現し、学習されたパラメータのみをクラウドに送信するシステムを考えている。時系列の場合、パラメータベクトルの時間変化はあまりないと想定されるため、パラメータベクトルの時間差分が大きいものだけクラウドに送信するのが適当である。これにより、データそのものをクラウドに送信する場合に発生する個人特定の回避や、クラウドに送信する際の通信コストを大幅削減できる。あわせて、クラウドに集まるモデルバンク(パラメータベクトルバンク)のオンラインアップデートアルゴリズムの確立により、人工物のモニタリングシステムはより高度化される。具体的には、クラウドにある Digital Twin のシミュレータをデータ同化させることにより、空間分解能も時間分解能も高い予測シミュレータが構築するなど、効果的かつ低コストの人工物の管理システムが期待できる。

本プロジェクト内では行わないが、モニタリングシステムの実装例としては、IoT を用いた次世代空調システムの開発や、複数センサを統合化したビッグプラントの効果的モニタリングシステムの構築が考えられる。現在のビル空調システムでは、さまざまな場所に複数の専用の計測装置を設置し、そこからの情報をクラウド上に集め、ビル空調の集中管理を行っている。今後、自社開発の特殊な計測装置が構成する精密なシステムが、大量の安価な普通のセンサ群とベンダ等が提供するクラウド情報処理(その中では本プロジェクトで開発しているようなエッジ側での計算技術が大きな役割を果たす)の組み合わせに移行する可能性も十分あり得る。

石油プラントや化学工場等の巨大プラントシステムは、基本「一点物」であるため、そのモニタリングシステムは個別的にならざるを得ない。従来は、人手と予算をかけて、メンテナンス会社が一定の時間間隔および空間解像度で、人海戦術的に現状確認と対応を行ってきた。このような管理の業態にも、IoT や Digital Twin の観点で、業務形態を大幅に改善できるチャンスが到来している。プラントの管理においては、通常からの乖離、つまり異常状態に至る前兆をいかに早く捉えるかが最も重要である。従って、通常をよく知るとともに異常の特定に優れたセンサネットワークの構築を目指せねばならない。配管は外から見えない場所も

多々あるため、監視カメラによる画像・動画データだけでは状況の把握には不十分である。また、熱監視もプラント管理には欠かせない。人手による打音確認も自動化しなくてはならない。このように、通常のセンサ情報だけでなく、動画や音情報をセンサでエッジ計算し、クラウドに必要情報のみ送付する仕組み作りが求められる。送信された情報は、クラウドの Digital Twin 上でデータ同化のために活用される。これにより、リアルタイムで巨大プラントの状態を把握しながら、同時に異常をなるべく早く察知する、高度なモニタリングシステムが実現できる。そのシステムを活用し、ドローンによる詳細な直接モニタリングや、プラントを前もって予防的に制御するなど、効果的・効率的な対策が可能となろう。

3.6.2 研究開発サブテーマ「確率プログラミング言語の研究開発」

3.6.2.1 概要

本項目では、複雑な確率モデルを用いた学習および推論の計算を、ハードウェアシステムおよび基盤ソフトウェア上で容易に実現するための確率プログラミング言語およびそのプログラムの実行環境の開発を行う。こうしたプログラミング言語により、複雑な確率モデルの定義、すなわち確率変数の間の記述を可能にするとともに、そうしたモデルの記述をするだけで、様々な種類の学習・推定アルゴリズムが利用可能になる(図 2-3.6.2-1 参照)。

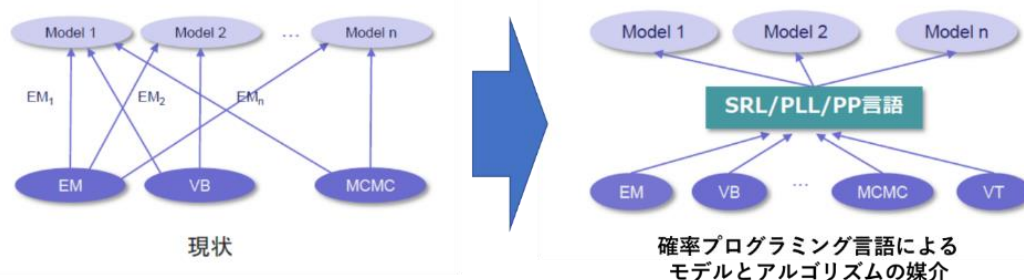


図 2-3.6.2-1 確率プログラミング言語の役割

これまでに、多くの確率プログラミング言語が研究開発されているが、そこでは、大きく二つのアプローチが取られている。一つは、汎用のプログラム言語に確率の扱いを導入して、汎用性の高い確率プログラミング言語へと拡張するアプローチ、もう一つは、深層学習のフレームワークに確率の扱いを導入して、深層学習を前提とした確率プログラミング言語へと拡張するアプローチである。本研究開発では、1つ目のアプローチとして、東京工業大学、産業技術総合研究所、および京都大学で開発された、強力な記述力を持つ確率的な論理プログラミング言語 PRISM を基盤とする ②-(1) 確率論理プログラミング言語の研究開発を、2つ目のアプローチとして、深層学習を前提とした確率プログラミング言語として東京大学で開発された Tars を基盤とする ②-(2) 深層確率プログラミング言語の研究開発を、並行して探索的に実施し、それぞれのアプローチの特徴および得失を明らかにするとともに、それぞれを相互参照しながら全体の改善を進めて、最終的には、②-(3) 確率論理プログラミングと深層確率プログラミングの評価と融合によって、融合によるさらなる高度化の可能性を探る。

3.6.2.2 最終目標と根拠

最終年度である 2022 年度に、以下の目標を達成することを目指している。

- 1) 実施項目①で検討する複雑な確率モデルを含む 2 種類以上の確率モデルが、拡張された PRISM および Tars を PyTorch 上に移植した Pixyz によって扱えることを示す。
- 2) PRISM および Pixyz の実施項目③で構築するハードウェアのシミュレータ上での実行効率のシミュレーションによる評価を完了させる。
- 3) PRISM と Tars の融合の方針を提案し、融合の可能性を示す。

これらの目標を達成することにより、世界的にも類のない、深層ニューラルネットワークを含む複雑なモデルの記述能力とハードウェアによる高速な実行速度を有する、深層確率プログラミング環境を実現し、深層確率生成モデルの研究開発を加速することが可能になる。

3.6.2.3 目標の達成度

中間目標となる 2020 年度には、以下の項目を達成し、開発する技術の電力効率(単位電力あたりの計算性能)が、事業開始時点における同等の技術と比較し、100 倍以上となる可能性を示すことを目指している。

- 1) PRISM を拡張し、深層ニューラルネットワークモデルを含む確率モデルが容易に記述できることを示す。また、線形計算を中心とした学習、推論の効率を向上させる。
- 2) Tars を PyTorch 上で効率よく実装する。また、正規分布等以外の確率分布や時系列データを扱うモデルへの対応の可能性を示す。

1)に関しては、PRISM に、深層ニューラルネットワークの計算に必要となるベクトル・テンソル変数を扱う機構を加えた T-PRISM を開発し、ベータ版を公開した。また、ハードウェアによる高速化に向けた検討として、既存の汎用エッジ向けデバイス(Jetson TX2)上での動作確認を行い、消費電力や通信量の見積り、計算速度のボトルネックの解析等も実施している。

2)に関しては、Tars を PyTorch 上で効率よく実装した深層確率プログラミング言語 Pixyz を開発し、ベータ版の ver.0.2 までを公開してきている。また Pixyz を用いて、様々な深層確率モデルを実装、性能評価を行い、Pixyz と一緒に公開している。

以上より、2020 年度末の中間目標は既に達成されており、最終目標の達成に向けた検討も進められている。

3.6.2.4 成果と意義

産業技術総合研究所と京都大学を中心に開発を進めている確率論理プログラミング言語 PRISM に対し、深層ニューラルネットワークモデルを効率よく記述し、取り扱うための拡張の実装として T-PRISM を開発し公開した(<https://github.com/prismplp/prism>)。類似のシステムは表 2-3.6.2-1 に示すように、近年多く提案されているが、T-PRISM は柔軟なモデリング能力を持つという点で他のシステムよりも優れたシステムである。具体的には、T-PRISM では、Python もしくは他のシステムで作成した多高次元データを直接入力する機構(HDF5, JSON, Google protocol buffer に対応)を実装し、GPU によるベクトル・行列計算の高速化を行った。これらの機構により従来の論理ベースのシステムでは難しかった現実的な大規模問題に対応することができるようになった。

表 2-3.6.2-1 深層学習と論理プログラムを組み合わせたシステムの比較

	ニューラルネットワークを設計可能	論理推論が可能	確率モデリング可能	論理式の構成要素が分散表現をもつ	論理プログラム
NTP [Rocktaschel+ 17]				○	Datalog
dILP [Evans+ 18]				○	Datalog
LTN [Serafini+ 16]	○			○	First-order logic (subset)
TensorLog [Cohen+ 17]		○			Datalog
DeepProbLog [Manhaeve+ 18]	○	○	○		Prolog
T-PRISM [Kojima+ 19]	○	○	○	○	Prolog



図 2-3.6.2-2 T-PRISM 概要: フロントエンドとバックエンドを分離することでバックエンドに依存しないインターフェースをユーザに提供できる

また、T-PRISM のスケーラビリティを評価するために、知識グラフを用いたサンプルプログラムの作成を行い、巨大なグラフに対してのモデルを実装することが可能なことを示した。また、深層確率時系列モデルに関しても代表的な Deep Kalman Filter の簡易的な実装を行い、実行効率などの評価を行った。このような成果の背景には、T-PRISM のバックエンドを Python によって実装し、バックエンドとして TensorFlow/PyTorch を採用することで、洗練された高速な学習ライブラリが利用できるようになったことが挙げられる(図 2-3.6.2-2)。実際の実行手順としては、図 2-3.6.1-1 に従って、ユーザが記述した T-PRISM コード(一階述語論理に対応)を T-PRISM で採用しているテンソル化意味論に従って、具体的な計算手続きに変換する操作を T-PRISM コンパイラによって行う。このコンパイルでは、論理推論エンジンを用いることで、抽象的な記述から具体的な計算手続きへのコンパイルを自動的に行っており、ユーザは複雑な計算手続きであっても簡潔に記述することができる。このコンパイルの結果、一種の計算手続きを表現した計算グラフ(PRISM では説明グラフと呼ぶ)が構築され、これを計算・学習エンジンに受け渡し、実際の計算は GPU などのハードウェアを活用して、高速に行うことが可能になっている。同時に、バックエンドとフロントエンドを分離することに

より、バックエンドをいれかえることで様々な環境に対応できるようになっている。これにより、新たなハードウェアへの対応等が容易に実装できることが期待できる。

オープンソースの深層学習プラットフォームである Torch は、独自の Lua 言語上で開発されていたが、機械学習・深層学習の分野での Python 言語の普及に伴い、2018 年度から Python 言語に移植されて PyTorch となった。現在、TensorFlow と並び、代表的な深層学習プラットフォームとして活発に利用と開発が継続されている。これに対応して、本研究開発では、まず、Torch 上で開発されていた深層確率プログラミング言語 Tars を PyTorch 上に移植することから開発を開始した。この移植は順調に進展し、2019 年 3 月には、最初のベータ版である Ver0.1 を、Pixyz と名称を改めて公開することに成功した。Pixyz の基本設計は、Google が開発している TensorFlow Probability や Uber が開発している Pyro と比較して、深層学習部分と、確率モデリング部分を分離して実装できる点に特徴がある。具体的には、3 つの API (Distribution API、Loss API、Model API) による階層的な実装が、プログラムの可読性と再利用性を向上させている。

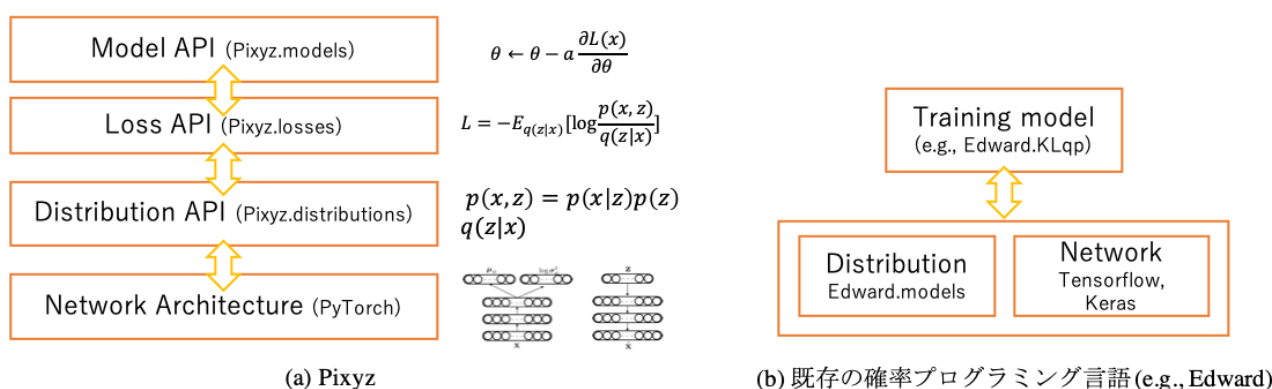


図 2-3.6.2-3 既存の確率プログラミング言語と Pixyz の比較

Distribution API では、正規分布やベルヌイ分布のような基本的な確率分布を扱うとともに、深層ニューラルネットワークを用いた確率分布の容易な定義を可能にしている。さらに、分布の掛け算によって定義される確率分布を直観的に扱うこともできる点は強力である。

Loss API では、Distribution API で定義された分布から計算される誤差関数を容易に定義することができる。対数尤度、エントロピー、分布間のダイバージェンス、敵対的損失関数、等の基本的な誤差関数が定義されていることに加えて、Distribution API と同様に、誤差関数インスタンス間の演算を可能にしているため、論文に書かれている損失関数を、ほぼそのままの形でプログラムにすることが可能である。

Model API では、Loss API で定義した誤差関数を用いて、指定したデータと最適化法によるモデルの学習とテストを容易に実行することができる。ここで、それぞれの API が相互に干渉しないため、その一部を入れ替えて再利用することが容易であり、プログラムの可読性と再利用性の大幅な向上につながっている。

その後、Distribution API で扱える確率分布の種類を増やす、Loss API の記述力を向上させる、等の改良を加えるとともに、チュートリアルやモデル実装例も追加して、現在は、Ver0.2 を公開している。Pixyz の公開は、Google TensorFlow Probability の主要開発者である Dustin Tran 氏から GitHub 上での評価を受けたことに加えて、PyTorch 関連の優れたソフトウェアを掲載する Awesome-pytorch-list で紹介される、など、世界的にも注目を集めて、現在、8,000 を超えるダウンロード数を記録している。

Pixyz による深層確率生成モデルの実装事例も、Variational Auto Encoder (VAE) とその変種から始まり、GQN のような世界モデル、DynaNet のような時系列モデルへと拡がって、多様なモデルをモデルリポジトリ Pixyzoo において公開している。これらの実装に対しても、代表的な世界モデルである GQN (Generative Query Network) 論文 (Science 誌に掲載) の第一著者である Ali Eslami 氏 (DeepMind) の Twitter に、Pixyz と共に紹介されて話題になるなど、世界的な評価を受けている。特に、GQN のような複雑なモデルの実装を誰もが可能にすることは、深層生成モデルや世界モデルの研究が、一部の巨大 IT 企業における研究開発を超えて「民主化」することに貢献している。

3.6.2.5 成果の普及

T-PRISM に関しては、GitHub 上 (<https://github.com/prismplp/prism>) で公開している。同サイト上ではサンプルプログラムとして、シンプルな手書き文字認識のニューラルネットワーク、知識グラフのモデル、Markov chain の確率計算、推移閉包の高速計算などのサンプルプログラムも公開している。多くの人がこのような論理ベースの深層学習を容易に利用できるようマニュアルの整備も合わせて実施した。

様々な環境で動作確認を行っており、Docker イメージ (<https://hub.docker.com/r/prismplp/prism>) の提供など利用しやすい環境の提供も行っている。産総研の AI 橋渡しクラウド (ABCI) 等のスケール可能なクラウド環境での実行可能性についても確認している。また、既に普及しているエッジデバイスである Raspberry pi 3 や Jetson TX2 での動作確認を行っており、ハードウェアに合わせた実装や評価についても検討を進めている。

深層確率プログラミング言語 Pixyz については、GitHub 上のサイト (<https://github.com/masa-su/pixyz>) において、チュートリアルも含めた ver.0.2 を公開中であり、これまでに、Dustin Tran 氏からのものを含む 338 の Star を獲得し、8,000 を超えるダウンロード数を達成している。

Pixyz による深層確率生成モデルの実装例も、同じく、GitHub 上のサイト Pixyzoo (<https://github.com/masa-su/pixyzoo>) において公開され、深層確率生成モデルの研究開発に利用されている。特に、本研究開発内においても、①深層確率コンピューティングに適した計算アルゴリズムの研究開発において、Pixyz の利用を進めており、新たなモデルの実装にもつながっている。

深層確率生成モデルは、今後、実世界のリスクの高い課題や、計算資源が限定される状況において、深層ニューラルネットワークを活用するための基盤技術として、自動運転、ロボット制御、医療応用、等の分野で利用されてゆくことが期待されており、そうした課題ごとに必要となる深層確率生成モデルの設計、開発、評価の基盤として、深層確率プログラミング言語 T-PRISM および Pixyz の普及も進むことが期待できる。今後、具体的な実用データへの適用と評価を進めるとともに、ハードウェアの開発とも連携を強めて、世界的にも競争力を持つ深層確率コンピューティングのプラットフォームとして普及させてゆきたい。

3.6.3 研究開発サブテーマ「深層確率コンピューティングに適したハードウェアシステムの開発」

3.6.3.1 概要

本テーマでは、統計数理研究所・中央大学で開発するアルゴリズム、産業技術総合研究所・京都大学・東京大学で開発するソフトウェアに適したハードウェアシステムの開発を行う。

本研究開発では、エッジ側で学習を行うことが前提となっており、エッジ側での計算量が多い。この問題を解決するためには、本方式に適した効率のよいハードウェアを開発する必要がある。アルゴリズムの汎用性が高いことを考慮すると、特定の精度・性能に限定した

ハードウェアを開発するのは適切でない。そこで、アルゴリズムに合わせて機能を設計するが、精度等は用途に合わせて変更可能なハードウェア基盤を構築する。回路の最適化により、現行 CPU に比べ 100 倍以上の電力性能の実現可能性を示す。

具体的には、ハードウェア要素およびオンチップネットワークを開発し、シミュレータおよび FPGA を用いた評価を行うと同時に、ソフトウェアシミュレータを提供する。これらとアルゴリズム・ソフトウェアを結合させ、全体としての設計環境を提供する。

3.6.3.2 最終目標と根拠

中間目標となる 2020 年度には、以下の項目を達成し、開発する技術の電力効率(単位電力あたりの計算性能)が、事業開始時点における同等の技術と比較し、100 倍以上となる可能性を示す。

- ・アルゴリズム・ソフトウェアに必要なハードウェア要素を特定し、実装を行う。また、最適なオンチップネットワークの設計を行う。
- ・ハードウェアのエミュレータ・シミュレータを整備し、ソフトウェアでの評価を可能とする。

最終年度(2022 年度)には、以下の目標を達成する。

- ・アプリケーションの性能評価とそれに基づく性能改善を行う。
- ・実アプリケーションでの電力見積もりを行い、1/100 以上のエネルギー効率が達成できる見通しを示す。

上記を通じ、エッジ側での学習を可能とし、通信量・電力削減を実現する。

3.6.3.3 目標の達成度

まず Bayes by Back-propagation を初期ターゲットとして選定し、ハードウェアの実装を開始した。必要なハードウェア要素として、まず設計のベースとなるプロセッサ設計環境として Chipyard 環境、演算要素として乱数や関数評価器の設計を行った。またプロセッサの拡張部の基本設計方針を決定し、詳細設計を行っている。オンチップネットワークについては、Chisel 言語で新規設計を行う方針を決定し、設計を開始している。今後は、詳細設計の完了と電力評価が課題となる。2020 年度内に、プロセッサ設計とその上での計算実行を行い、論文を投稿する計画である。

エミュレータの整備については、各種 FPGA 環境の整備を行った。テスト基板の立ち上げおよび Amazon Web Service 上の設計環境 Firesim を利用した評価環境の立ち上げを行っている。

上記を総合し、順調に推移していると考えられる。

3.6.3.4 成果と意義

これまでに、設計方針を確定させ詳細設計を行う段階に入っている。全体のブロック図を図 2-3.6.3-1 に示す。プロセッサは複数のプロセッサコアをオンチップネットワーク(Network on-Chip, NoC)で接続したものである。プロセッサコアとしては RISC-V を用い、乱数等の深層確率コンピューティングに必要な回路要素を拡張する。基本的には単一チップでの動作を前提とするが、オンチップネットワークを外部ネットワークに拡張することにより複数チップのシステムも可能である。

まずターゲットアルゴリズムの探索を行い、Bayes by Back-propagation(BbB)法を初期のターゲットとすることとした。BbB 法はネットワークの重みを平均 μ 、分散 σ の正規分布として表現し、そのサンプリングに VAE で多用される Reparametrization Trick 法を利用したベイズ深層学習アルゴリズムの一種である。BbB 法では確率分布評価をネットワークの重みのオーダーで実行する必要があるため、計算負荷が重く、ハードウェア加速の対象として適している。BbB 法による学習は原理的に通常の深層学習モデルに適用可能である点で汎用性の

高いアルゴリズムである。また、BbB 法による学習ではアルゴリズムチームで利用されている時系列データを対象とする ELBO に相当する FIVO と同様に、モンテカルロ的に求めた対数尤度の評価を行うなど、本プロジェクトで開発される他のアルゴリズムへの適用が容易である。

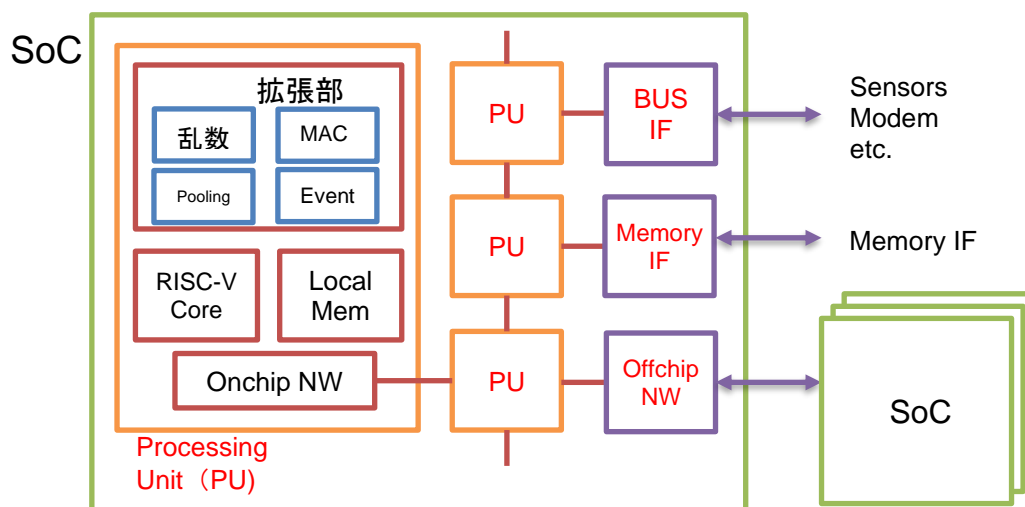


図 2-3.6.3-1 最終的な SoC のイメージ。複数の拡張されたプロセッサが NoC で接続されている。拡張部については一例である。

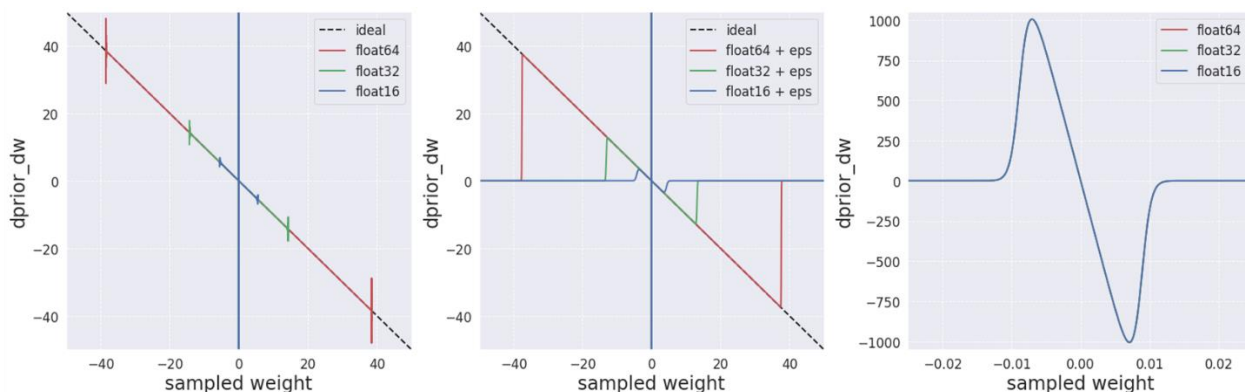
本アルゴリズムを実装し、計算精度を任意に可変可能なライブラリを用いて実装することで、計算精度の評価、計算の安定性評価、アルゴリズム比較を実施した。C 言語を用い、Deep Learning 向けライブラリに依存せずに実装を行うことで、開発するプロセッサの評価環境で動作させることができるコードとして開発している。

BbB 法におけるモンテカルロ的に求める対数尤度の数値計算評価を行った。BbB 法では対数尤度の評価の一部として、異なる分散を持った平均ゼロの二種類の正規分布を重ね合わせた ScaleMixture を重みの事前分布として利用し、学習時にはモンテカルロ的にサンプルされた重みパラメータ w に対して微分された式を利用する(式(1))。

$$\frac{d\text{Prior}}{dw}(w) = -w \frac{\left\{ \frac{a}{\sigma_\alpha^3} e^{-\frac{w^2}{2\sigma_\alpha^2}} + \frac{(1-a)}{\sigma_\beta^3} e^{-\frac{w^2}{2\sigma_\beta^2}} \right\}}{\frac{a}{\sigma_\alpha} e^{-\frac{w^2}{2\sigma_\alpha^2}} + \frac{(1-a)}{\sigma_\beta} e^{-\frac{w^2}{2\sigma_\beta^2}}} \quad (1)$$

式(1)を倍精度浮動小数点(float64)、単精度浮動小数点(float32)、半精度浮動小数点(float16)の計算精度で評価すると、分母の正規分布の両方の値がゼロになるタイミングで値が発散することが分かった(図 2-3.6.3-2(b))。BbB 法は学習が進むことによってパラメータが非数(NaN)となってしまう場合があることが複数の文献で報告されているが、事前分布の微分評価で落ちている可能性が極めて高いことが考えられる。発散を防ぐには微小の値 ε を追加することが対応策であるが、通常の深層学習のモデル設計では直接微分の式を変更することは滅多に無く、ネットワークの Forward のモデルを TensorFlow や Pytorch などで記述し、バックエンドで動く自動微分機能を利用して Backward の式(微分の式)が評価される。従って Forward としてパラメータ w を変数に持つ事前分布に ε を加算して対数を取った式を w について微分した式、つまり式(1)の分母にのみ ε を足した式が通常の深層学習フレームワーク上で構築できる式になる。結果として値が発散することはなくなったが途中で値がゼロに落ちてしまい、理想的な値の直線上から外れてしまっている(図 2-3.6.3-2(b))。このモン

テカルロ的に求める対数尤度の評価における数値計算的な問題は、ソフトウェアレベルで自動微分の機能拡張を行う、あるいはハードウェアレベルで式(1)を直接評価することで対応可能であり、ソフトウェアチームと連携を取りながら改善に取り組む。また、この問題は BbB 法だけではなく、モンテカルロ的に求める対数尤度の評価の問題として一般的な課題として拡張できる可能性があり、実用面における数値計算的な影響の考察に加えてアルゴリズムチームと連携し取り組んでいく。なお、式(1)のゼロ近傍の値については計算精度の違いによる致命的な数値計算誤差は確認されなかった(図 2-3.6.3-2(c))。



(a) 式(1)の分母にepsが入らないグラフ (b) 式(1)の分母にepsが入るグラフ (c) 式(1)の0近傍のグラフ

図 2-3.6.3-2 BbB で利用される事前分布の重み w に対する微分評価値の精度による違い。
eps は本文中の ϵ に対応する。

プロセッサの設計としては、RISC-V プロセッサおよびその周辺の設計環境の評価を行い、Chipyard 開発環境をベースに開発を進めることとした。Chipyard を利用することによって、NoC と統合する前に単体コアでの BbB 法による学習評価が Linux 環境で可能となる。プロセッサシステムは全て Chisel 言語で記述することで、パラメータ化が容易で構成を自在に変えられるように実現する。拡張部(並列演算エンジン)としては Gemini をベースとして、和積演算、畳み込み推論演算、非線形演算、乱数生成をベクトル方式での処理をサポートする(図 2-3.6.3-3)。並列演算エンジンへのアクセスは RISC-V で用意されている拡張命令セットを利用する。RISC-V コアの整数レジスタを通じて拡張部の内部パラメータ設定、外部メモリとスクラッチパッド間の DMA アクセス、各種ベクトル演算処理が実行される。

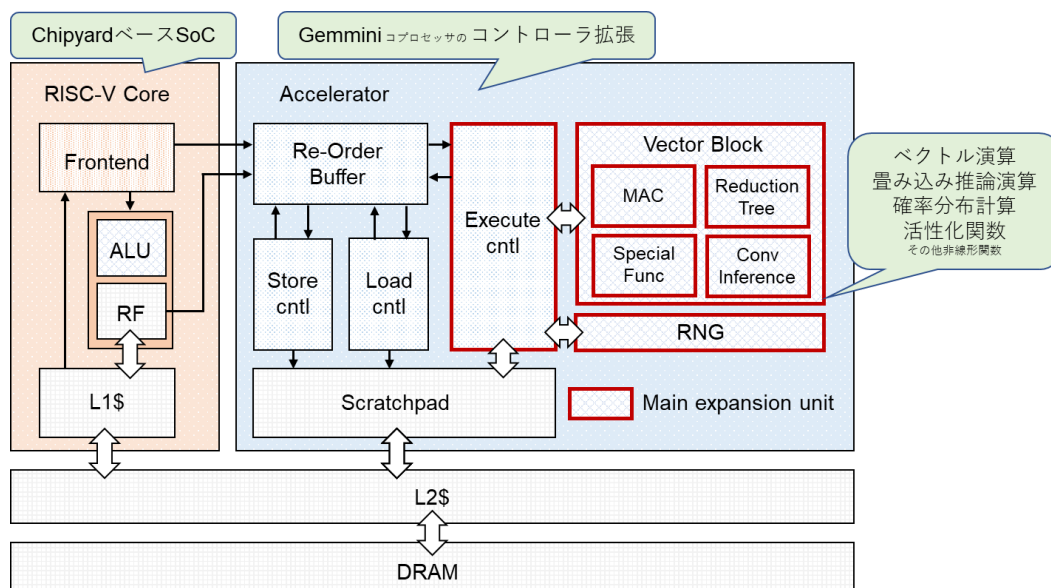


図 2-3.6.3-3 Chipyard ベース 並列演算エンジン ブロック図

並列演算エンジンにおける Re-Order Buffer(ROB)、Store コントローラ、Load コントローラ、スクラッチパッドは Gemmini 向けにサポートされていた機能を削除する程度で大幅な変更は行わない。一方で、実行コントローラは大まかなデータフローは踏襲するが本プロジェクト向けに演算ブロックについては大幅に変更する。実行コントローラの主なデータフローを図 2-3.6.3-4 に示す。実行コントローラは ROB から発行されたコマンドを受け取り、指定されたアドレスのデータに Read リクエストを送る。このレスポンスが返ってきた段階で Vector ブロックにデータが供給され、指定された命令に応じて処理が行われる。ベクトル処理には基本的な積和演算や、指数関数、対数関数、逆数、平方根といった処理に加えてシグモイド、ReLU(Rectified Linear Unit/ランプ関数)、ReLU の微分といったニューロンの活性化処理、ネットワークの出力に必要な Softmax 関数、BbB に必要な重みの生成処理といった機能が含まれる。Vector ブロックでの処理が終了されるタイミングで実行コントローラにデータと書き込みアドレス情報、ROB の管理 ID 情報が渡され、スクラッチパッドにデータを書き込むと同時に ROB に対して実行の終了を通知する。現状では学習のハードウェアサポートは全結合のみであるが、画像の特徴量抽出モデルとして広く利用されている畳み込みニューラルネットワークの VGG モデル(Simonyan, K., & Zisserman, A. (2014). arXiv:1409.1556.) の一部を利用できるように 3x3 フィルタにおける Winograd アルゴリズムによる推論フローをサポートする。乱数についてはベクトル的にスクラッチパッドへ書き込める他、直接 Vector ブロックに供給できるフローを持つ。以上の構成で詳細な設計を現在進めている。

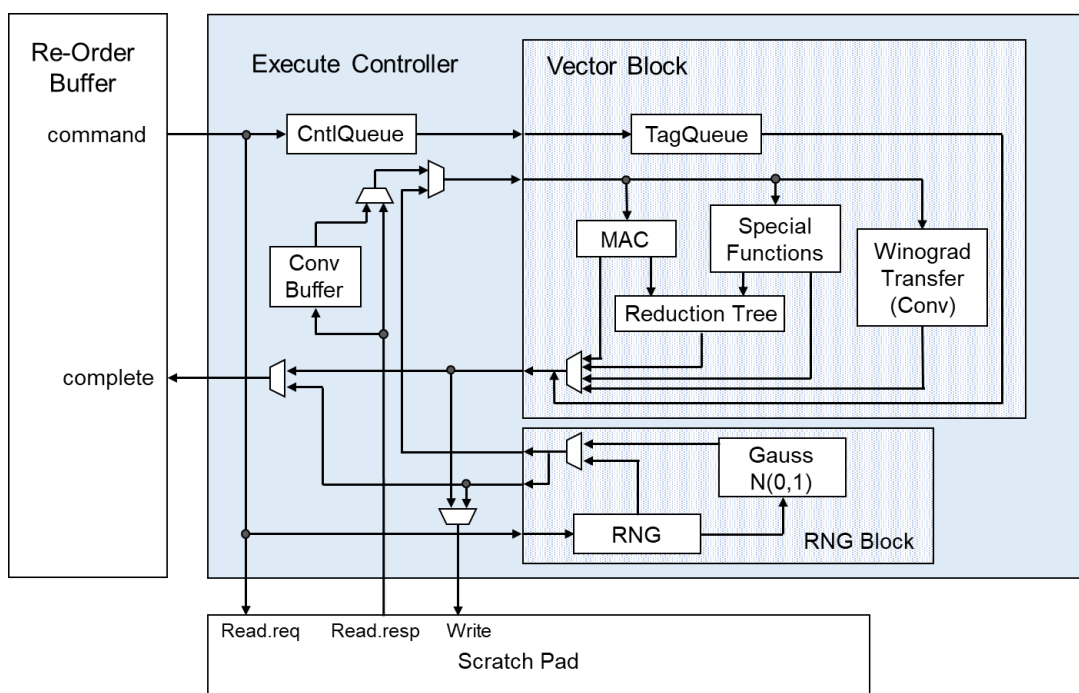


図 2-3.6.3-4 BbB アクセラレータの実行コントローラ部の主なデータフロー

また、演算加速部に用いる部品的设计を進めた。まず任意関数を区分多項式近似で求めるための回路を設計した。Chisel 言語の機能を活用し、関数と演算次数、演算器・係数テーブルの幅等を指定することで自動的にテーブルを生成する(図 2-3.6.3-5)。同時に精度評価を行いグラフの出力も行える。本機能は Kullback-Leibler 情報量およびその微分値の計算や、活性化関数の近似等に用いることができる。

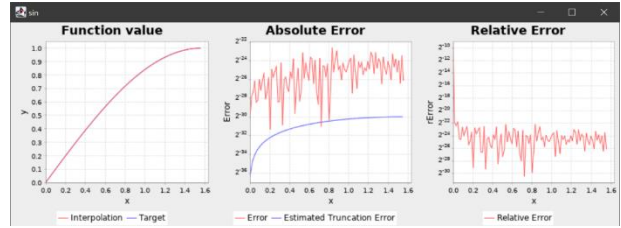

```

val xMin = 0.0
val xMax = 0.5*Pi
val nDiv = 64
val bp = 24
val cbit = Array(bp+2)

val t = new FuncTableDouble( sin, 3 )
+ addParams(xMin, xMax, nDiv)

```

Chisel 言語上の記述



回路とエラー等の確認

図 2-3.6.3-5 区分多項式近似による関数評価器の自動生成。Chisel の機能を活用し、単純な回路記述から誤差評価までを自動的に行うことができる。

乱数発生器の設計も行った。Mersenne Twister 法および Random123 Threefry 法による乱数発生器を設計した。また、Box-Muller 法による一様乱数から正規乱数への変換回路の設計を行った。

オンチップネットワークについては、アプリケーションに特化した最適な NoC を設計するために、Chisel 言語に基づく NoC を新規に開発する方針とし、NoC ジェネレータ EAGEN(Energy efficient Application-specific GEnerator for NoC)を開発している。プロセッサ同様、Chisel 言語の可塑性を活用した設計とする。EAGEN は (1) ターゲットアプリケーション仕様(例: BbB/VAE 等)、(2)実装面積やレイテンシなどの目標値、および(3)性能/消費電力に関する目標値を入力として受け取る。EAGEN はワークロードトレーサー(WT)、NoC Producer(NP)、NoC Explorer(NE)の 3 要素で構成される。図 2-3.6.3-6 にフレームワークと EAGEN のワークフローを示す。WT はアプリケーション仕様を受け取り、トラフィックをモデル化する。NP は多数のパラメタに依存し完全に構成可塑性を持つネットワーク生成部であり、Verilog コードを出力する。他の NoC ジェネレータにない要素として、電源管理モジュールの追加を検討している。

WT で生成されたトラフィックのモデルと NP で生成された NoC 設計のソースコードを、RTL シミュレータ・FireSim 等の FPGA ベースエミュレータで評価する。複数のパラメタに対するシミュレーションにより、性能・消費電力・面積の評価を行い、その結果を NE に供給する。NE はベイズ最適化または深層強化学習に基づいたランキングアルゴリズムで最適設計を迅速に探索するモジュールである。最適設計に基づき、最終的な設計を得ることができる。

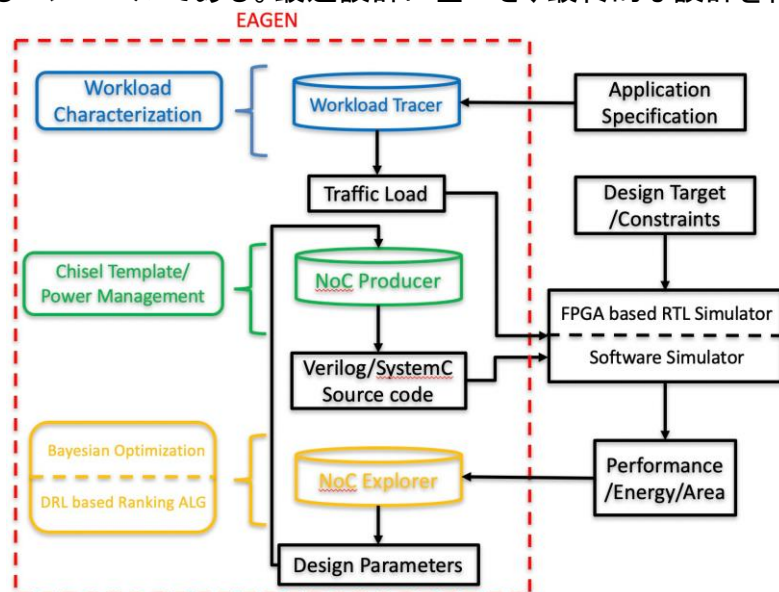


図 2-3.6.3-6 NoC ジェネレータ EAGEN の構成要素とワークフロー

3.6.3.5 成果の普及

実際の開発や応用の可能性に向けて、現在開発企業一社と協業の可能性を検討している。その検討次第ではあるが、今後設計をオープンにしていくことも含めて検討する。乱数や関数評価器はそれ単体でも再利用性が高く、深層確率学習以外の用途に対しても有用であると考えられる。また、NoC ジェネレータも再利用性が高く、他用途にも転用可能である。

3.7 研究開発テーマ「イン不揮発性メモリ分散 Approximate コンピューティングの研究開発」

本研究開発項目では、不揮発性メモリデバイス、アクセラレータ、分散処理、ネットワーク・プログラミングとハード・ソフトの全体に対して、最終的な推論結果の確度は落とさずにデータの処理や記憶の精度を落とす・エラーを許容する Approximate コンピューティングを適用し電力効率 100 倍以上を達成するという目標に対し、各要素技術で今年度の目標を達成し目覚ましい成果を上げつつある。

メモリレイヤでは、ReRAM を用いた Approximate 不揮発性メモリにより、消費電力が 90% 削減することを確認した。

Approximate 分散処理では、深層学習分散処理基盤環境を構築し、既存フレームワークを活用することで基本的な性能評価・分析を行い、誤差を許容した分散処理方式の基礎検討および、Approximate アクセラレータおよび Approximate プログラミングとの連携を実現するための分散処理フレームワークへの必要機能抽出を完了した。基礎方式の検討の中で、一部の深層学習モデルについて先行研究[大山 2018]と NW 誤差評価の結果を組み合わせることで約 2.1 倍の電力向上効果が得られる見込みを得た。

Approximate アクセラレータは、これまでにニューラルネットワークにおける学習部の IP を開発した。開発した IP を用いて FPGA で学習した結果、GPU での学習と比較して、約 2.3 倍の電力効率を達成することが確認できた。また、開発した IP を実際に従来型の FPGA に実装して、動作試験が完了している。加えて、すでに上流階層の Approximate 分散処理との連携に向け API も開発した。

Approximate ネットワークの高性能化のために拡張 SimGrid イベントドリブンシミュレーションの開発および、大規模並列アプリケーションにおける Approximate プログラミングの評価環境の構築を完了した。また、Approximate ネットワーク、メモリ、アクセラレータに備えるべき API の設計を完了した。

個別の研究開発テーマにおける詳細は以下に示す。

3.7.1 研究開発サブテーマ「イン不揮発性メモリ分散 Approximate コンピューティングの研究開発」

3.7.1.1 概要

データセンタに向けて、MRAM、ReRAM、フラッシュメモリ等の不揮発性メモリや不揮発性 FPGA など、不揮発性デバイスをデータ記憶・処理にフルに活用した、イン不揮発性メモリ分散コンピューティングを開発する。さらに、メモリデバイス、アクセラレータ、分散処理、ネットワーク、プログラミングとハード・ソフトの全体に対して、(最終的な推論結果の確度は落とさずに)データの処理や記憶の精度を落とす・エラーを許容する Approximate コンピューティングを適用し、電力効率 100 倍以上を達成する。従来は全体システムの一部(例えばアクセラレータ)にのみ Approximate コンピューティングを適用した事例はあるが、本研究はハード・ソフトの全階層を統合して Approximate コンピューティングを適用する。

3.7.1.2 最終目標と根拠

計算機の消費電力の指数関数的な増大により、ビッグデータ処理や AI などの演算需要に対して電力限界に達する。ムーアの法則による汎用プロセッサの性能向上の限界により、アクセラレータの専用プロセッサ化や不揮発性メモリの活用など多様なハードウェアを活用する。通常の CPU 技術は 10 年後に約 32 倍向上(2 年で 2 倍向上)するに留まる。本研究開発では、

-メモリレイヤのエラーを許容する記憶と計算により 4 倍

- 通信エラーや非同期制御を許容する分散処理により 3 倍
- 演算精度低下を許容する FPGA 化および不揮発性 FPGA の活用により 9 倍
- 各レイヤでのエラー許容制御パラメータの準最適解探索によるシステム全体の Approximate 性制御により 2 倍

により、ビッグデータ処理や AI 計算に対してシステム全体で電力効率 100 倍以上の性能向上を示し、明確な優位性のある計算機システムを実現する。

メモリレイヤの研究開発では、書き込みが高速・低電力であるほど信頼性が低いという不揮発性メモリの本質的トレードオフを解決することを目標にする。その結果、メモリのエラーを許容する記憶と計算により電力効率 4 倍を目指す。

Approximate 分散処理では、深層学習の分散処理機構部分に Approximate コンピューティング技術を適用することで、約 3 倍の消費電力向上効果を達成することを目標とする。深層学習や機械学習の分散処理においてノード間の同期やパラメータ交換の時間が大きなオーバーヘッドになっていることが IBM 社や Google 社らによる論文で触れられており、50-90% 程度の時間が計算ではなく同期待ち等に費やされている問題がある。これらを改善することで約 3 倍の効果が得られると予想した。Approximate アクセラレータと連携し、分散 FPGA での学習処理を実現し評価をしていくことで評価・実証を行う。

Approximate アクセラレータは 2020 年度には、システムに必要な FPGA のアーキテクチャを開発した上で FPGA-IP ライブラリを構築し、従来型の FPGA に実装し、上流階層の Approximate 分散処理及び Approximate プログラミングで IP を呼び出すための API を開発する。また、開発した IP を不揮発性 FPGA に移植して性能評価を行い、アクセラレータ単体で電力効率 9 倍以上となる可能性を示す。2021 年度からは上流階層と接続して一部の連携動作の実現やシステム全体での結合動作を実現し、アクセラレータ部分のみで電力効率が 9 倍以上となる技術を確認していく。

Approximate ネットワークで許容されるビットエラーレートを探求し性能評価し、また Approximate プログラミング手法を使用して、Approximate ネットワークおよび他の階層で開発される各デバイスおよびミドルウェアを用いた動作検証を行う。適切な最適化パラメータセットを Approximate プログラミングを用いて探索して発見することで、研究チーム全体で電力効率が 100 倍以上となる技術を確認する。

3.7.1.3 目標の達成度

メモリ・ストレージレイヤは、ReRAM を用いた Approximate 不揮発性メモリにより、従来技術と比較して消費電力が 90%削減することを確認した。さらにメモリタイプ SCM (M-SCM) およびストレージタイプ SCM (S-SCM) に記憶するストレージのデータ制御技術を統合することで、さらなる消費電力削減を見込む。

Approximate 分散処理では 2018 年度に深層学習分散処理基盤環境を構築し、既存フレームワークを活用することで基本的な性能評価・分析を行い、2019 年に誤差を許容した分散処理方式の基礎検討および、Approximate アクセラレータおよび Approximate プログラミングとの連携を実現するための分散処理フレームワークへの必要機能抽出を完了した。基礎方式の検討の中で、一部の深層学習モデルについて約 2.1 倍の電力向上効果が得られる見込みを得た。また、さらに実際に通信誤差を適用しても、適切にデータを保護することで学習精度に影響を受けないことを実機評価によって明らかにした。さらに計画から先行し、2021 年度に予定していた Approximate アクセラレータとの連携実装に着手し、FPGA の実機を用いて分散深層学習を現在最も一般的に利用されている PyTorch ベースで行えるソフトウェアの試作に着手した。2020 年度 7 月に初期版の実機検証を開始する。

Approximate アクセラレータは、これまでにニューラルネットワークにおける学習部の IP を開発した。また、開発した IP を実際に従来型の FPGA に実装して、動作試験が完了してい

る。加えて、すでに上流階層の Approximate 分散処理との連携に向け API も開発し、連携動作の確認も開始している。そのため、当初よりも前倒しで一部の目標を達成できると考えている。

Approximate ネットワークの高性能化のために拡張 SimGrid イベントドリブンシミュレーションの開発および、大規模並列アプリケーションにおける Approximate プログラミングの評価環境の構築を完了した。また、Approximate ネットワークに備えるべき API を設計し、Approximate プログラミング手法のアプリ対応を行い、加えて Approximate プログラミングから呼び出して使用するために Approximate メモリおよび Approximate アクセラレータで備えるべき API の設計を完了して、実装を開始し、その一部は完了した。引き続き実装および Approximate プログラミングを用いた最適パラメータセット探索を行うことにより、研究チーム全体で電力効率が 100 倍以上となる可能性を示すことができると見込んでいる。

3.7.1.4 成果と意義

メモリ・ストレージレイヤはこれまでに、Approximate 不揮発性メモリを提案した。不揮発性メモリの一種である ReRAM を用いたストレージのシステム、回路、メモリデバイスに対して、6 種類の Approximate 書き込み方式・読み出し方式を提案した。Approximate 技術を適用しない従来のストレージと比較して、Approximate 技術を適用した ReRAM ストレージシステムはストレージ性能 7 倍向上、消費電力 90%削減できることを確認した。この成果を電子デバイスのトップ学会である IEEE Symposium on VLSI Technology 2019 で発表し、プレスリリースを実施した。アプリケーション、システム、回路、デバイスの全体最適化のための設計プラットフォームである System, Circuit & Technology Co-design Platform を開発した。この設計プラットフォームはストレージのアプリケーション(ワークロード)に応じた様々なメモリセルエラーを取り込むことができ、不揮発性メモリの信頼性ばらつきを許容する Variability-aware Approximate Computing を設計、評価した。

	Error tolerance	ECC	Set/Reset	LRS Read
Conv. Computing	No error	Worst cell	Slowest cell	Smallest /CELL cell
V-AC	1-10 % errors	Typical cell	Typical cell	Typical /CELL cell

図 2-3.7.1-1 エラーを許容する Approximate ReRAM ストレージのターゲット

上記 System, Circuit & Technology Co-design Platform を用い、アプリケーションのデータの特徴に応じて、メモリタイプ SCM (M-SCM)およびストレージタイプ SCM (S-SCM)に記憶するデータ制御手法を設計し、信頼性と性能のトレードオフを解決した。頻繁にアクセスされるホットデータは M-SCM に記憶し、ホットデータを S-SCM に移動(evict)することによる性能劣化を抑制する。データへのアクセスが頻繁でないコールドデータは S-SCM に移動することで、M-SCM でのデータ保持エラーを抑制する。この成果を 25th Asia and South Pacific Design Automation Conference (ASP-DAC2020)で発表し、筆頭著者の学生は“IEICE VLD Excellent Student Author for ASP-DAC2020”を受賞した。

これらの成果によって不揮発性メモリの信頼性の犠牲にすることで、消費電力を削減できることを確認できた。つまり多少信頼性の悪い(エラーを発生する)不揮発性メモリをストレージに用いることができるという意味を持つ。

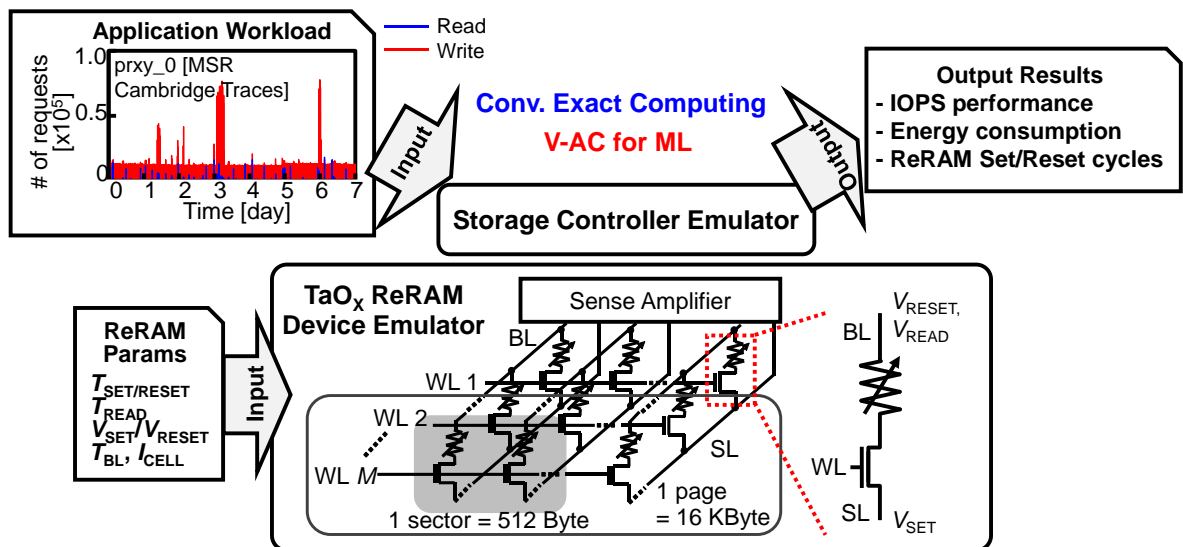


図 2-3.7.1-2 System, Circuit & Technology Co-design Platform

Approximate 分散処理では深層学習等の人工知能アルゴリズムを、複数の不揮発性 FPGA デバイスおよび不揮発性メモリで構成される超ヘテロジニアス計算機環境を活用して分散処理するための研究開発に取り組んでいる。Approximate アクセラレータおよび Approximate プログラミングと連携し、Approximate プログラミングで策定されたパラメータに基づいて Approximate アクセラレータの FPGA ロジックを組み合わせ、適切にスケジュールしながら実行する仕組みについて検討・開発を行う。分散処理ミドルウェアでは大きく 2 つの、リソース準備とスケジューリングの機能を必要とする。

- リソース準備: Approximate アクセラレータで用意される FPGA-IP パーツを用い、深層学習の分散処理に必要な計算機環境を構築
- スケジューリング: リソースの配置を考慮した分散処理スケジューリング、非同期通信制御

これらの分散処理ミドルウェアを開発し、本研究開発全体の技術を組み合わせた統合システムの試作を行うことで、システム全体へ Approximate コンピューティング技術を容易に適用可能なコンピュータシステムの実現技術を開発する。

深層学習処理において Approximate 性を採用した分散処理方式の基礎検討を行った。深層学習の分散処理方式には大きくデータ並列とモデル並列の 2 通り(とその組み合わせ)が存在するが、まずデータ並列方式について検討を行った。検討を行うため、深層学習ミドルウェアとして最も普及しているうちの 1 つである、TensorFlow における計算ワーカー間のデータ勾配交換に対して、Approximate ネットワーク技術を用いることを模擬できるツールを開発した。この模擬ツールを用いて実際に TensorFlow で現在深層学習処理において評価アプリケーションの業界標準的に扱われている ResNet による画像分類モデルの学習処理のベンチマークを動作させて通信誤差の学習への影響を評価した。転送データに対して完全にランダムにエラーを許容してしまうと勾配の値が極端に大きく変動してしまい学習が進捗しないものの、変数 1 個 32bits (4bytes) のうち上位 12bits を保護していれば全体の 50%の変数に通信エラーを含めても、エラーを入れない場合と同等に学習が進捗することを示した(図 2-3.7.1-3)。これにより、現在実際に利用されている汎用的な深層学習ソフトウェアに対しても適用可能なことを示した。

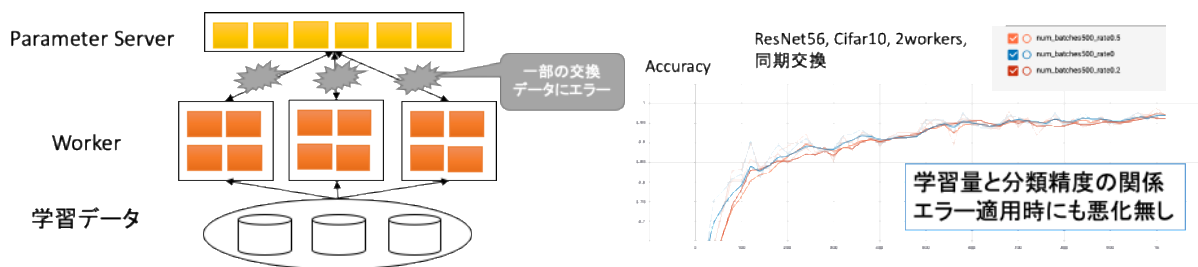


図 2-3.7.1-3 ApproximateNW 技術の TensorFlow 適用評価

Approximate アクセラレータでは、上流階層の Approximate 分散処理からの指令に応じて、FPGA 上で数学モデルや計算精度を再構成する。アクセラレータは、FPGA デバイスに従来型の FPGA と不揮発性 FPGA の両方を使用する「ハイブリッド構成」とする。従来型の FPGA に対しては、数学モデルおよび計算精度に応じた FPGA-IP を開発し、動作実証を行う。初めに簡単なニューラルネットワークを使った深層学習・アルゴリズムをターゲットとし、その後、実践的なニューラルネットワークをターゲットとする。さらに、データセンタ内でのサーバを省力化するため、サーバ上での動的再構成の技術を開発する。

ニューラルネットワークにおける学習部の IP の開発を行い、誤差逆伝播の処理の IP を新たに開発した。当社保有のニューラルネットワークモデルに開発した IP を適用し、推論・学習の処理全体を FPGA へ実装してデモを作成した。

この開発を通じて HW アーキテクチャ設計の知見を獲得すると同時に、学習部の IP 開発および FPGA 実装というほとんど前例のない成果が得られた。つまり、FPGA-IP ライブラリを構築するという計画が技術的に可能であることが証明された。

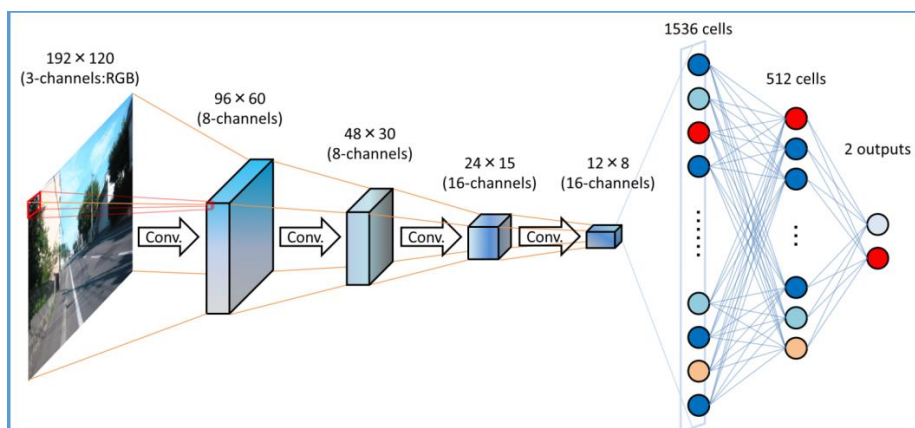


図 2-3.7.1-4 ターゲットとしたニューラルネットワーク(三栄ハイテックス所有)

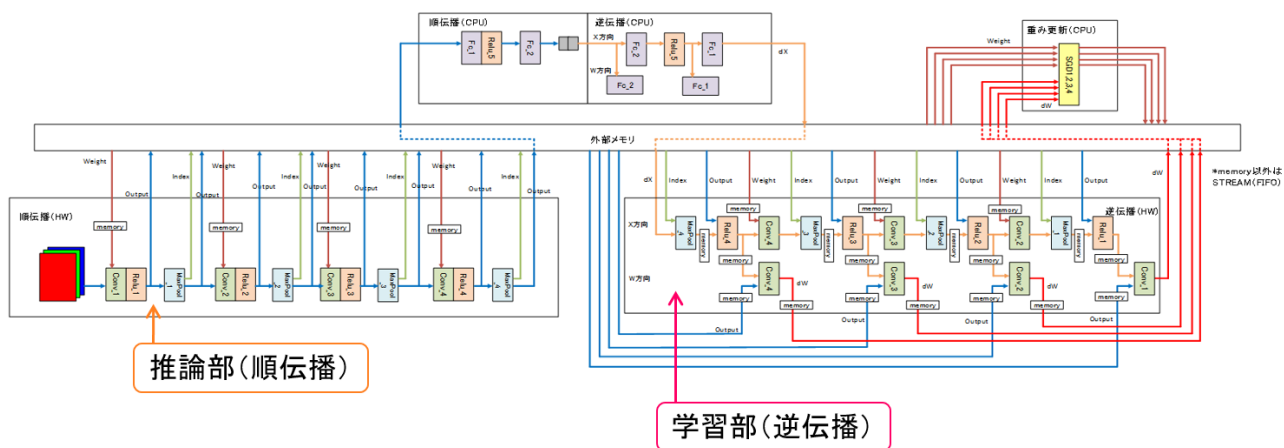


図 2-3.7.1-5 IP 開発時に設計した HW アーキテクチャ

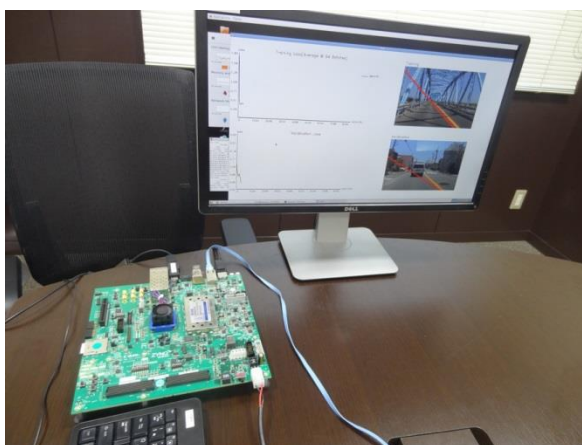


図 2-3.7.1-6 FPGA 上でのデモの様子

Approximate ネットワーク、Approximate 不揮発性メモリおよび不揮発性 FPGA を用いたイン不揮発性メモリ分散コンピューティングを用いてアプリケーションを実行する環境において、図 2-3.7.1-7 に例示するコードを、正しく動作することを保証した上で高速に実行できるパラメータセットを発見するプログラミング手法を開発する。これにより各実施項目で開発される省電力デバイスおよび分散処理ミドルウェアを統合的に活用することを可能とする。Approximate プログラミングの評価環境を構築完了できたことで、大規模な探索空間を効率的に探索することにより現実的に可能な時間内で評価可能とした。

既存プログラム + 自動でアノテーション

```

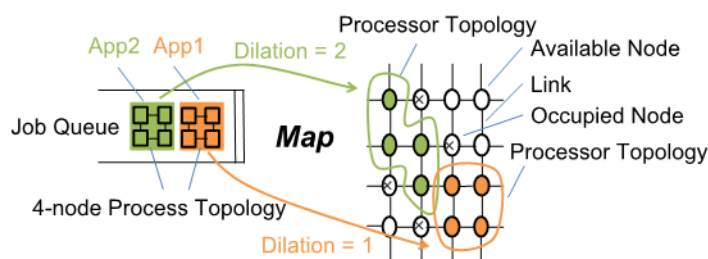
for (i = 0; i < MAX_ITER; i++)
  MPI_Send(&x, DATALEN, MPI_DOUBLE...);
for (i = 0; i < MAX_ITER; i++)
  MPI_Send(&x, DATALEN, A MPI_DOUBLE...);

```

精度と実行速度を
バランスして自動で
Approx型とPrecise型を決定

図 2-3.7.1-7 Approximate プログラミングによる探索の対象

また、Approximate ネットワークを高効率に活用できる、図 2-3.7.1-8 に示す Application Mapping 手法の開発を完了した。これにより、Approximate ネットワークを効率的に活用できるようになった。これらの知見をもとに、他の実施項目で開発されるデバイスおよびミドルウェアを効率的に活用する探索手法の開発に道筋を作ることができた



App 1: Dilation-1 Mapping, Shorter Communication → Longer Wait
 App 2: Dilation-2 Mapping, Longer Communication → Shorter Wait

図 2-3.7.1-8 Application Mapping に注目して開発した Job Scheduling 手法

3.7.1.5 成果の普及

学会発表・論文発表を積極的に行い合計 32 件発表した。さらにシンポジウム開催、デモ展示、プレスリリース 2 件を実施した。具体的には、2019 年 6 月に第 1 回 miniCANDAR シンポジウムを主催し、本研究開発テーマの講演を行った。2019 年 10 月に IoT/M2M 展【秋】にて白線検知 CNN の FPGA を用いた学習デモを行った。また、2018 年 10 月に合同会社リトルウイングが本プロジェクトへの採択されたことをプレスリリース、2019 年 6 月に IEEE Symposium on VLSI Technology 2019 の成果のプレスリリースをそれぞれ実施した。

今後は NEDO データマネジメントプランに従い、Approximate ネットワークおよび Approximate ネットワークの最適化実験により取得したデータおよび関連データの公開を進める予定である。研究講演による成果の公開を行いつつ、試作したミドルウェアの一部公開、デモ発表などを模索し、成果の普及に取り組む。2029 年度以降のインフラ不揮発性メモリサーバの販売を最終目標に、2022 年度までは引き続き開発と上流階層との連携動作試験を行っていく。そして、2023 年度から 2028 年度の間市場開拓と FPGA-IP の先行販売による普及を計画している。

3.7.1.6 その他

これまでの研究において、複数 GPU を用いた際には分散処理方式の先端技術[2018 大山]の適用(ビット精度を落としたデータ交換)により、通信負荷が大きいニューラルネットのモデル(例えば CaffeNet などでは)約 2.1 倍の計算時間向上が期待できることが分かった。しかしこの先行研究では、GoogLeNet のような計算時間に通信時間が隠蔽されてしまうモデルについては通信部分だけでは性能向上効果が得られないことが示されている。計算負荷が高いモデルやアクセラレータメモリに収まらないようなモデルの性能を向上させるためには、モデル並列を用いる必要がある。また、GPU ではなく FPGA を用いることによる特有の課題がある可能性も高い。そのため、2022 年度に計画していた連携実装を 2020 年度末から先行して行い研究活動を加速して行っている。開発中の連携実装構成を図 2-3.7.1-9 に示す。

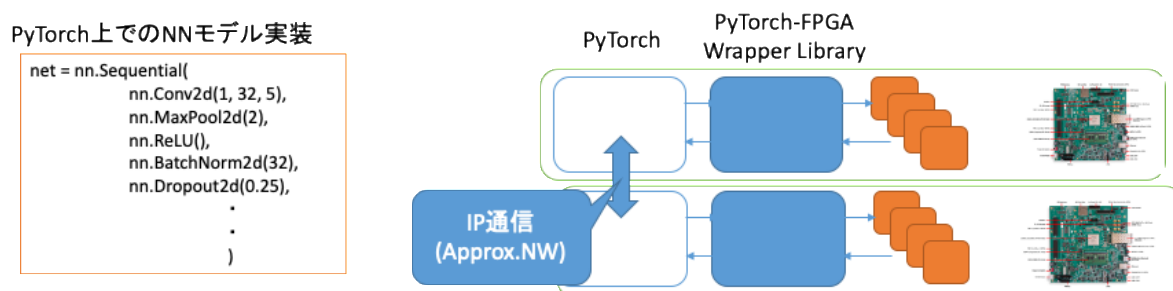


図 2-3.7.1-9 FPGA 連携実装版概念図

また、処理全体の中で演算時間よりもデータの通信時間がボトルネックになる部分が存在することが判明した。演算と通信を上流の分散処理ミドルウェアと役割分担することにより課題解決を狙う。

各ターゲットアプリケーションに対して Approximate ネットワークで許容されるビットエラーレートを探求し、また各不揮発性デバイスを利用したうえで分散処理フレームワークを用いた動作検証を行い、実施期間終了時において研究チーム全体で電力効率が 100 倍以上となる技術を確認する。

3.8 研究開発テーマ「物理ダイナミクスに基づく学習デバイスを備えた超高効率認知コンピューティングの研究開発」

本研究開発の目的は、画像・音声・言語などの非構造化データを高速かつリアルタイム、低消費電力、低コストで実現する機械学習デバイスを開発して、データセンター、ルーター、端末機器など、情報処理ネットワークの随所にハードウェアによる技術革新を行ない、ICT、IoT 社会を進展することである。これらを達成するために、リザーバーコンピューティングとよばれるニューラル・ネットワークの高いデータ処理能力と汎用性に着目し、その優位性を究極的に高めることが可能な集積機械学習デバイス「波動物理リザーバーコンピューティングデバイス」を提案して研究開発目標とした。現在、その研究開発において目覚ましい成果を上げつつある。

当初計画の5年間において、以下の研究開発テーマからなる。

- 1.物理リザーバーの数理・アルゴリズムの研究開発
- 2.物理リザーバーデバイス設計技術の研究開発
- 3.物理リザーバーのコンポーネント化の研究開発
- 4.物理リザーバー・エッジコンピューティングのミドルウェアの研究開発
- 5.物理リザーバー・エッジコンピューティングのインテグレーションの研究開発

研究開始から現時点までの期間(2年弱)において、計画通り1、2、3について実施をおこなった。個別の研究開発テーマにおける成果を以下に示す。

※3.8.1 は上記1、3.8.2 と3.8.3 は上記2、3.8.4 は上記3に該当する。

3.8.1 研究開発サブテーマ「物理リザーバーの数理・アルゴリズムの研究開発」

3.8.1.1 概要

レーザおよびスピン波を用いたリザーバーの数理モデルを構築し、数値シミュレーションによってデバイス実装時の計算性能および計算効率を最大化する。開発する物理リザーバーデバイスの基本特性と物理的制約を考慮して、実際のリザーバーデバイスのダイナミクスを再現する数理(物理)モデルを構築する。

具体的に開発する物理リザーバーデバイスの担当は以下となる。

- 光・リザーバー :日本アイ・ビー・エム株式会社
- スピン・リザーバー :東京大学

本研究開発テーマは各々のデバイスに密接に関係しており、個別開発と共同開発を適宜おこないながら遂行する。光・リザーバーに関しては信号処理の高速性、スピン・リザーバーに関しては信号入出力方法の多様性、という各々のリザーバーデバイスの特徴を發揮できる様にモデリングをおこなう。また、リザーバー応答をリードアウトにおいてリアルタイムで高速かつ効率的に学習するための機械学習アルゴリズムを複数検討する。

3.8.1.2 最終目標と根拠

最終目標

計算性能や処理速度を指標に、各リザーバーデバイスの特性を最大化するアルゴリズムを選定する。デバイス実装に最適な動作パラメータの設定指針を与える。開発テーマ1.2と密接に関わりながら遂行する。

根拠

物理リザバーコンピューティングは、物理ダイナミクスを直接用いて認知データ処理を行うため、所望の性能を得るためにはそのダイナミクスを適切に調整しなければならない。特に、従来とは異なる動作領域でのダイナミクスを積極的に利用して計算を行うため、その動作パラメータのチューニング手法を開発することは計算性能および計算効率を高めるためには非常に重要であるが、設計指針はこれまで報告されていない。こうした、波動物理リザバーの数理モデルを構築し、数値シミュレーションによってデバイス実装時の設計指針を得て、具体的なデバイスの作製開発につなげる。

3.8.1.3 目標の達成度

日本 IBM: 光リザバー

図 2-3.8.1-1 に示すレーザー系を用いた光リザバー・デバイスのアーキテクチャを提案した。さらに、その数理モデルを構築し、数値シミュレーションによってデバイス実装時の計算性能および計算効率の解析を達成した。具体的にはレーザー系のダイナミクスを表すレート方程式の時間領域での解析および非線形増幅器の周波数領域での解析を行い、その性能特性を評価した。特に光回路部品(増幅器など)の特性がリザバーの性能に及ぼす影響を明らかにした(図 2-3.8.1-2)。これらの結果により、研究計画に記載した技術開発を達成した。

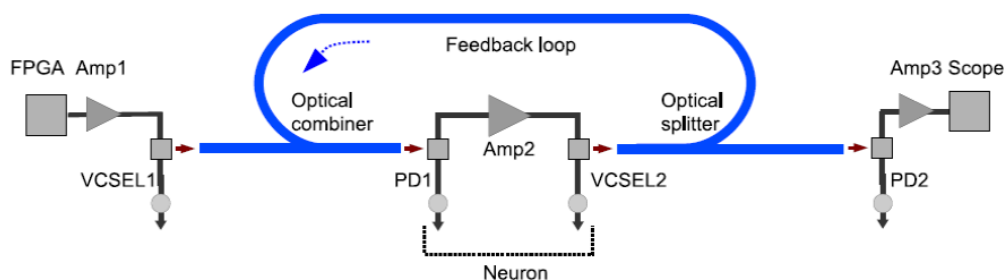


図 2-3.8.1-1 光リザバーデバイスの構造

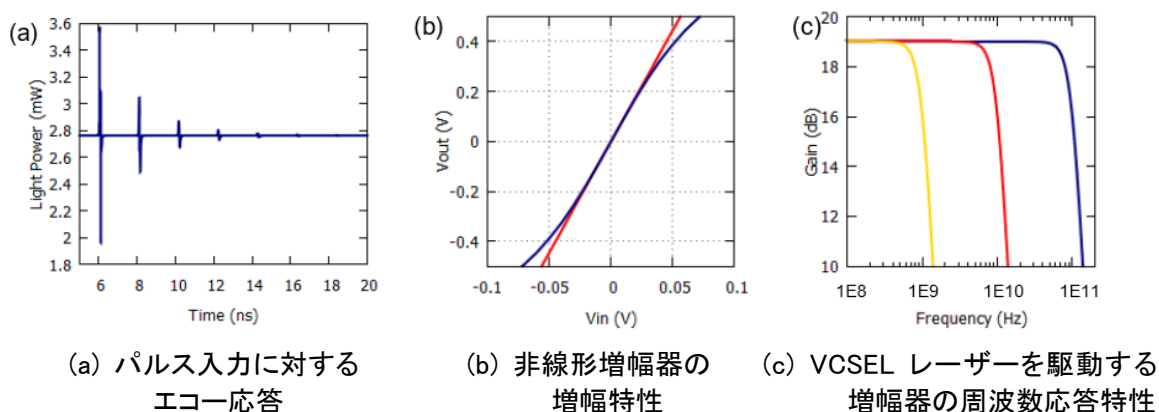


図 2-3.8.1-2 光リザバーデバイスの特性

東京大学: スピン・リザバー

一体となり遂行している研究開発サブテーマ 3.8.3 にまとめて記載する。

3.8.1.4 成果と意義

日本 IBM: 光リザバー

研究開発サブテーマ 3.8.2 にまとめて記載する。

東京大学: スピン・リザバー

一体となり遂行している研究開発テーマ 3.8.3 にまとめて記載する。

3.8.1.5 成果の普及

国内外の展示会におけるデモ出展や国内および国際会議での発表を通して、潜在的なビジネス・パートナーに対し成果の普及を行う。

3.8.2 研究開発サブテーマ「光リザバー・デバイス設計技術の研究開発」

3.8.2.1 概要

波動物理現象として光(レーザー)を利用した物理リザバー・コンピューティングを実現することにより、従来の機械学習デバイスを超える低消費電力動作・高速動作・デバイス上でのオンライン学習を目指す。

3.8.2.2 最終目標と根拠

最終目標

5-10Gbps 程度の高速動作、400mW 以下の低消費電力性を有し、エッジ・ネットワーク側に展開可能な集積化された光リザバーデバイスを実現する。

根拠

光リザバーコンピューティングの応用として念頭に置いている高速 5G・光ネットワークにおけるエッジ・コンピューティングは、超低遅延、超大容量が要求される。さらにエッジ側で動作には、GPU 等と比較して低消費電力での動作やコンパクトな実装が要求される。これらの市場動向を考慮し、最終目標を設定した。消費電力の目標値に関しては、現状のデモシステムの主要なコンポーネントである増幅器が 400mW、レーザー源が 20mW 程度であることから、これらの合計値を下回る値を設定した。

3.8.2.3 目標の達成度

汎用の光回路部品を用いたテーブルトップデモシステムを構築し(図 2-3.8.2-1)、時系列生成タスクや通信路における信号復元タスクなど様々なベンチマークタスクにより、その性能がシミュレーションから期待されるものとよく一致していることを確認した(図 2-3.8.2-2)。さらに、新規光受信器を導入し、高ゲインによるクリアな信号を実現し、デモシステムのタスクを性能向上させた。これらの結果により、研究計画に記載した技術開発を達成した。

3.8.2.4 成果と意義

光リザバー・デバイスの開発についていくつかの報告があるが、いずれも 100m 超の光ファイバーを必要としたり、損失が大きく、エッジやネットワークへ展開可能な集積化デバイスは開発途上である。これに対し、本研究開発で提案した光リザバー・デバイスのアーキテクチャは、光ファイバーを光導波路に置き換えて実装することができ、エッジ側に展開可能なサイズと消費電力を実現できる点に大きな意義がある。

3.8.2.5 成果の普及

国内および国際会議、国内および国際研究会における研究成果の発信をおこなっている。

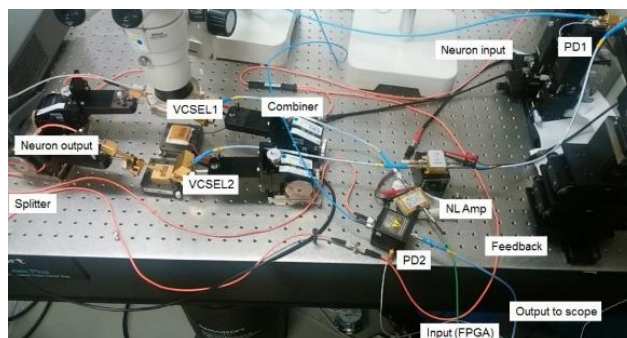


図 2-3.8.2-1 テーブルトップ・デモシステム

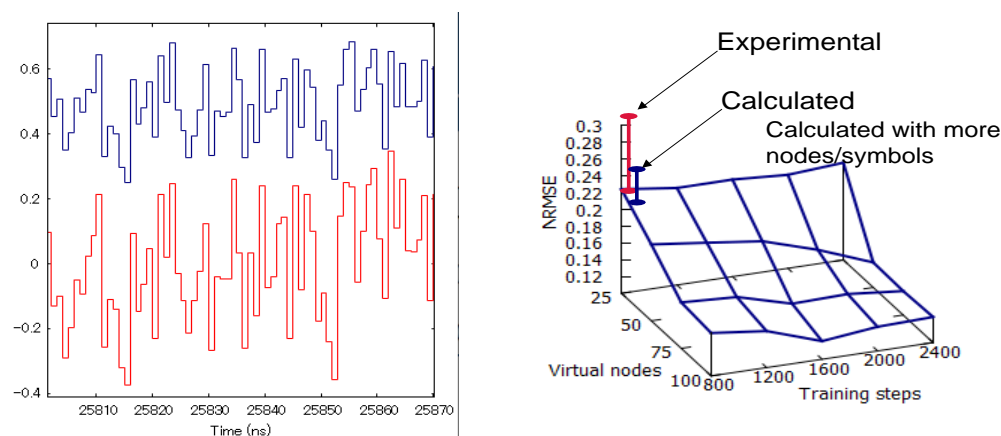


図 2-3.8.2-2 左: 光リザバー出力(赤)とシミュレーション出力(青)の比較。
右: 時系列生成タスクにおける仮想ノード数、学習ステップと誤差の関係。

3.8.3 研究開発サブテーマ「スピン・リザバー・デバイス設計技術の研究開発」

3.8.3.1 概要

以下の具体的項目からなる。

- (1)3.8.1 の開発テーマと一体となって、数値シミュレーションによってデバイス実装時の計算性能および計算効率を高めるための設計指針(物性定数、バイアス条件、入出力端子形状・配置・数)を得て、具体的なデバイスの設計技術開発につなげる。
- (2)プロトタイプデバイスの動作とリザバーコンピューティングの基礎原理の実証をおこなう。このためのデバイス加工プロセス技術を開発する。GHz 帯まで測定が可能なプローバと測定器からなる測定系構築もおこなう。
- (3)最終形態のチップデバイスを実現するために、高効率な磁気電気変換機能を持つ薄膜多層構造をスピン波の磁性体チャネル層上部に創製し、その機能性を実現する。これを利用して、多数の入出力端子を実現し、多入出力のデバイスの実装とその高い情報処理性能を実証する。

3.8.3.2 最終目標と根拠

最終目標

スピン・リザバーシステムでは、最エッジであるセンサなどの端末機器との融合により、取り込まれた様々な時系列データ処理をおこなう。このモデルケースとして、スピン波リザバーデバイスを用いて音声認識をおこない、高い認知能力を実証する。

根拠

スピン波リザバーコンピューティングデバイスの優位性は、磁性体連続媒質を伝搬するスピン波を利用することから、空間に多数の入出力端子を配置することで多様な出力波を得て次元を高め、高い計算性能が期待できることである。このデバイスは、波動伝搬過程を情報伝送と計算の両方に用いたため、入出力端子への配線のみが必要である。これにより、最小限の配線数となることから、配線のクロストーク問題を回避して高密度で多数の入出力端子が物理的に実現可能である。本提案デバイスは独創性が強く、類似の研究もないため、本開発テーマを遂行する必要がある。

3.8.3.3 目標の達成度

研究項目(1):これまでの研究遂行の中心

スピン波特性－計算性能の関係を解明する基礎特性の解析手法を構築、コンピューティング手法を確立、実装デバイス基本設計指針、基礎特性、制御手法を明確化、をおこない、スピン波デバイスのシミュレーション手法とコンピューティング手法の構築をほぼ達成した。また、音声認識に必要なデータ処理法の構築も達成した。これらは研究計画を前倒して達成した。

研究項目(2)

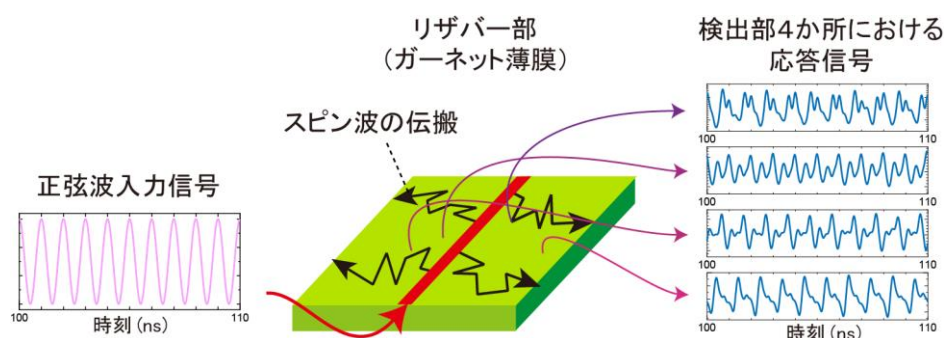
プローバーと測定器からなる測定系構築について、その基盤技術開発を計画通り達成した。

3.8.3.4 成果と意義

スピン波デバイスの優位性である出力の多次元化による高い情報処理能力を達成するための最重要課題として、多数の出力端子から多様な出力波形を得て、リザバーコンピューティングの基礎特性を実証する必要がある。基礎特性として、スピン波の非線形入出力特性、短期記憶容量の見積もり、線形分離不能タスクの実証、が挙げられる。それらの機械学習情報処理には、入力のエンコード手法、出力スピン波の特性を最大限に生かす波形の後処理、機械学習手法(アルゴリズム)の開発、も含まれる。

本研究の独創的な手法として、スピン波の媒質である磁性膜の物性や磁化分布を操作することをおこなった。これらにより、入力を行った時に多数の出力端子から異なる波形が得られ、それらが非線形入出力変換であることを実証した。また、メモリ容量の見積もりでは、様々なパラメータを試行して、スピン系リザバーコンピューティングでは最大の値を得た。さらに、線形分離不能タスクをおこない、リザバーコンピューティングに必要な特性を実証した。

上記により、研究手法の基盤が構築され、スピン波リザバーコンピューティングが高い情報処理につながるポテンシャルを有していることを実証したといえる。



3.8.3.5 成果の普及

国内および国際会議、国内および国際研究会における研究成果の発信をおこなっている。

3.8.4 研究開発サブテーマ「物理リザバーのコンポーネント化の研究開発」

3.8.4.1 概要

センサ機器と物理リザバーとのインターフェースおよび物理リザバーを制御するためのFPGA制御プラットフォームを設計・試作する。さらにミドルウェアから制御可能な物理リザバー・システムを構築し、コンポーネント化を行う。理論解析の実施項目で得られた知見をもとに、様々なベンチマーク問題やセンサデータに適用することで、動作確認および認識性能、電力削減効率や計算速度に関する性能評価を行う。

3.8.4.2 最終目標と根拠

最終目標

光リザバーはボードサイズ(スピンリザバーはさらに小さなサイズ)にデモ・システムをインテグレーションし、様々な分野のユーザーが実際に試用可能な実用最小限の製品(minimum viable product, MVP)の構築をおこなう。

根拠

様々な物理系による物理リザバーコンピューティングが提案されているが、その多くは実験室内のデモに留まっており、様々な分野のユーザーが自らのタスクに自由に適用できるというレベルには至っていない。そのため、本開発テーマを遂行する必要がある。

3.8.4.3 目標の達成度

・光リザバーコンピューティング

光リザバー・デバイスのコンポーネント化については、FPGAプラットフォームの設計を改良し、1測定あたりのデータ点数、仮想ノード数を倍増させ、タスク性能を向上させた。さらなる高性能化を図るため、5Gspsの高速ADC/DACを導入したFPGA制御プラットフォームのデザインをまとめ、国内ベンダーに委託してシステム開発を行っている。また、光マルチチップモジュールによる光リザバーデバイスの評価ボードデザインも並行して行っている。これらの結果により、研究計画に記載した技術開発目標を本年中に達成する見込みである。

・スピンリザバーコンピューティング

3.8.1と3.8.3において得られた結果から、機器の仕様選定に必要な数値が得られつつあり、今年度に更に具体的な仕様を明らかとする見込みである。現在まで、計画通りに目標を達成している。

3.8.4.4 成果と意義

・光リザバーコンピューティング

光リザバー・デバイスの特徴である高速性を十分にアピールするデモを行うためには、FPGA プラットフォームにおける DAC/ADC のデータ入出力レートを高速化する必要がある。また、現在のデモシステムはディスクリートな光部品を組み合わせて構成されており、光ファイバーのアライメント等を必要とするため、可搬性に欠けるという課題がある。従って、FPGA デモシステム高速化し、デモ・システム全体を評価ボードにインテグレーションすることは、MVP の構築に向けて重要なステップとなる。

・スピンリザバーコンピューティング

スピンリザバーコンピューティングでは、低消費電力なシステムの実装により、センサなど最エッジへ搭載する応用を目的としている。そのため、既存の安価かつ低消費電力な電子デバイスの利用を念頭に開発をおこなう必要がある。リザバーコンピューティングにおいて、スピン波リザバーデバイスの入力段(出力段)には、デジタルーアナログ(アナログーデジタル)変換器が必要であり、これが要求仕様のボトルネックとなりうる。これまでの 3.8.1 と 3.8.3 の研究開発テーマにおいて、実用を意識した動作周波数の低減を試みており、汎用電子デバイスのサンプリングレートを満たしつつある。

3.8.4.5 成果の普及

国内外の技術展示会において積極的にデモを行う。

3.9 研究開発テーマ「2028年に性能100倍を達成する汎用性の高い高性能計算機アーキテクチャとシステムソフトウェアの技術の探索」

本研究開発項目では、ポストムーア時代を迎える2028年に現在のハイエンド汎用CPUの100倍の性能を多くのアプリで達成するために、アーキテクチャ、システムソフトウェア、プログラミング等の技術探索を行い有望な指針を示すという目標に対し、現在の計算機システムの性能分析に加え性能モデリング技術を開発し、目覚ましい成果を上げつつある。

(1.1)ルーフラインモデルによる性能100倍を達成するノイマン型計算機の要求性能の定量的評価

(1.2)ベクトルデータフロー処理に適したアーキテクチャのエミュレーション環境を試作

(2) 多層化・複雑化するメモリ階層アーキテクチャの軽量シミュレーションツールを試作

(3) ユーザや実装メーカーから見た障壁を抑制しつつ、不連続アクセスを加速しうるMcIMという有望なニアメモリコンピューティングアーキテクチャを提案

各実施項目毎の詳細は以下の通りである。

3.9.1 研究開発サブテーマ「2028年に性能100倍を達成する汎用性の高い高性能計算機アーキテクチャとシステムソフトウェアの技術の探索」

3.9.1.1 概要

本事業では、ポストムーア時代を迎える2028年に現在のハイエンド汎用CPUの100倍の性能を多くのアプリで達成する画期的な帯域重視のFLOPS-to-BYTESアーキテクチャを提案し、それに対応したシステムソフトウェア・プログラミング・アルゴリズムの技術探索を行うことを目的としている。

このために、ポストムーア時代に向けたアーキテクチャシミュレータを構築し、スカラープロセッサと再構成可能ベクトルデータフローアーキテクチャ等を混合させるなどのアーキテクチャを種々のメモリシステムと組み合わせた場合について評価すると共に、多数のベンチマークを100倍程度加速するように、様々なアーキテクチャの構成チューニングや、コンパイラおよびメモリ配置・移動アルゴリズムを内在したランタイムのシステムソフトウェアを検討する。以上の事業内容を遂行するにあたり、大きく分けて下記の4つの研究項目を連携させながら推進する。

【実施項目 1.1】2028年ポストムーア時代の100倍の性能向上を示す性能モデリング及びシミュレータ環境(理化学研究所)

【実施項目 1.2】データフローによる特化型計算のための非ノイマン型計算機構とプログラミングモデル(理化学研究所)

【実施項目 2】メモリアーキテクチャ革新に対応するシステムソフトウェア技術(東京工業大学)

【実施項目 3】新アーキテクチャに基づく高性能プログラミングモデルと実装技術に関する研究(東京大学)

実施項目 1.1 では、本プロジェクトで検討するシステム・アーキテクチャの性能をモデル化し、シミュレーション環境を用いて様々な構成に対して性能を推定する。実施項目 1.2 では、1.1 で検討するシステムにおけるプロセッサ部分について、新しいアーキテクチャによる性能向上の可能性を調査し、1.1での性能推定に必要な情報を提供する。実施項目 2 では、1.1で検討するシステムにおけるメモリサブシステムについて、システムソフトウェア技術を中心

にその性能向上の可能性を調査し、1.1 の性能推定に必要となるパラメータ等を明らかにする。実施項目 3 では、将来の新アーキテクチャとしてニアメモリコンピューティングに着目し、そのプログラミングモデルや実装技術を考慮した性能推定・評価を行う。

3.9.1.2 最終目標と根拠

【実施項目 1.1】

2028 年ごろのアーキテクチャはポストムーア時代の入り口とも言え、あまねくプログラムで現状の 100 倍の実行効率が期待されるも、その最適な構成は、デバイス・ハードウェア・システムソフトウェア・プログラミング、更にはアルゴリズムに至るまで、コ・デザインが必須であり、そのために、様々なシステム構成を試す必要があるが、このためには、総合的なポストムーア時代へのシミュレータが必須であり、かつ、大量のケースを試す必要がある。そこで、各種汎用アプリケーションの特徴を抽出し、既存のスパコンを用いたシミュレーション環境を構築して、100 倍加速の達成を検証する。

【実施項目 1.2】

ムーア則の終焉以降にも向上が期待できるデータ転送能力を性能向上につなげることが可能な計算機アーキテクチャおよびそのプログラミングモデルの創成を目的として、アルゴリズムをデータフロー回路に展開して実行する非ノイマン型の新しい計算機アーキテクチャと、そのプログラミング手法の探求を行う。ムーア則の終焉以降にも向上が期待できるデータ転送能力を性能向上につなげることが可能な計算機を実現するためには、命令の逐次実行およびその並列化に基づいた従来のノイマン型プロセッサの限界を超えることができる新しいアーキテクチャが重要であるが、そのために、アルゴリズムをデータフロー回路に展開して実行する非ノイマン型の新しい計算機アーキテクチャと、そのプログラミング手法を探求する必要がある。そこで、(1)アーキテクチャ評価環境の構築、(2)アーキテクチャ設計空間の探索、を行い、ポストムーア時代の半導体技術の下でも性能をスケール可能な計算機アーキテクチャを明らかにすることを、期間全体の目標とする。

【実施項目 2】

本実施項目で焦点を置くのは、ポストムーア時代に性能向上を継続するためにますます多様化・複雑化が求められるメモリ階層を対象とした、アーキテクチャ探索と効率的活用である。メモリ階層の構成要素はキャッシュメモリ、メインメモリ、大容量不揮発メモリを基本とするが、それらの境界も多様化しうるとする。本分野の技術動向として、HBM などの三次元積層メモリ、プロセッサとメモリの積層実装による超広帯域接続や、キャッシュメモリがパッケージ内の複数チップに分散するチップレット化などが見られ、本項目でも重要視して研究開発を推進する。より具体的には(1)メモリアーキテクチャ探索のための性能推定ツール群の構築とアーキテクチャ空間探索、(2)ポストムーア時代のメモリ階層向けのデータ転送削減技術・システムソフトウェア技術。このようなアーキテクチャ・ソフトウェア連携により、2028 年後に多くのアプリについて性能 100 倍を可能とする方法の確立を、期間全体の目標とする。

【実施項目 3】

FLOPS-to-BYTE コンセプトを実現する新計算原理としてニアデータプロセッシングモデルを採用する方向性を探求する。その方向性で冷却およびピン数の限界の超越や、ユーザや実装メーカーから見たギャップ(障壁)を抑制できる新アーキテクチャを考案する。次に、これを高速に再現できる仮想環境を構築する。その仮想環境上で新アーキテクチャの支援システムソフトウェア群を開発し、それらの効果の性能評価を行うことで、ムーア則終焉後にも性

能向上できる汎用高性能計算機の正しい方向性の一つである証拠を取得することを期間全体の目標とする。

3.9.1.3 目標の達成度

【実施項目 1.1】

当初の研究計画通り目標を達成している。具体的には、(1)主要なアプリケーションの選定と特徴解析:評価ターゲットを様々な特性を持つ 30 本程度のアプリケーションに絞ることを目標に、HPC・ビッグデータ・AI アプリケーションのベンチマークや実アプリケーションの内容と基本要件を調査と選別を行った。現行マシンでの特性解析のために Xeon Phi を対象とした実験を行った。特に Xeon Phi の Knights Landing と Knights Mill という、二つのほぼ同時のアーキテクチャを持ちながら倍精度演算の性能がほぼ倍違うメニーコアプロセッサでの実行解析を行った。(2)性能モデリングおよびシミュレーション環境の構築:上記の成果を発展させ、メモリバンド幅やキャッシュ構成などを変化させた際に、どこまで性能の向上が期待できるかを分析し、プロセッサ設計の指針とするために性能モデルの構築を行なっている。

【実施項目 1.2】

中間評価に向けた目標は概ね達成している。(1)アーキテクチャ評価環境の構築については、粗粒度再構成可能アーキテクチャ(CGRA)を含むベクトルデータフロー処理に適したプロセッサアーキテクチャに関する調査を行い、本研究で探索の対象とするアーキテクチャの設計空間を定めた。次に、パラメタ化された VHDL 記述により、サイクル精度で評価が可能な CGRA のエミュレーション試作環境を構築した。これらにより、様々な構成やパラメータを持つアーキテクチャについて、その性能特性を解析・評価可能とする。(2)アーキテクチャ設計空間の探索については、手始めに、ストリームコピーと Conv 3x3 のベンチマークを CGRA エミュレータに移植した。ストリームコピーは良く知られた HPC カーネルであり、アーキテクチャと外部メモリに対してメモリスループットを評価するためのベンチマークである。Conv 3x3 は、VGGNet-16 等の近年のディープラーニングによる推論に見られるようなコンボリューション計算である。

【実施項目 2】

(1)メモリアーキテクチャ探索のための性能推定ツール群の構築とアーキテクチャ空間探索について、現世代のメニーコアアーキテクチャのメモリ特性詳細解析やメモリ階層性能推定ツールのプロトタイプの開発など、概ねスケジュール通りに進行している。推定ツールプロトタイプでは各メモリ階層の帯域、容量などを記述し、それに対し対象アプリから得られたメモリトレースを入力させることにより、階層内ボトルネックの所在と実行時間の推定下限値を出力するものである。水平的異種混合メモリを含めたアーキテクチャについて性能推定を可能とするものである。(2)データ転送削減技術・システムソフトウェア技術については、ビッグデータ処理の重要カーネルであるグラフ最短経路アルゴリズムを例題にとり、深いメモリ階層とメニーコアという現代のアーキテクチャの特性に適合した高速実装を開発した。メモリ階層間のデータ転送を削減するための再帰的ブロッキングを中核とし、Xeon Phi で 690GFlops、Xeon SkyLake 2socket で 1100GFlops と、類似の研究の約 2 倍の演算速度を達成した。

【実施項目 3】

FLOPS-to-BYTE コンセプトを推進しうるアプリケーション特性として Irregular access に着目し、それを内在する幾つかの重要なアプリケーションやベンチマークに関する調査および予備評価を行った。これと並行して、前節の特性を持つ新アーキテクチャ McIM(Massive cores in Memory Side)やその補助アーキテクチャを考案した。さらに、その上で間接参照と

いう典型的な Irregular access を大幅にニアメモリ側で改善するアルゴリズムの考案を行った。さらに、McIM が NUMA であることに着目し、現行の NUMA である 4 ソケットサーバを改造することで McIM を高速に再現できる仮想環境(エミュレータ)の構築方法を考案した。最大のネックだった BIOS 改造についてもマザーボードメーカー社からの協力を取り付けることに成功した。エミュレータやシステムソフトウェアの基礎となるソフトウェアも部分的にいくつかできつつある。総合的に判断して、プロジェクトスタート当初の予定を上回る目標の達成度が得られている。

3.9.1.4 成果と意義

【実施項目 1.1】

ベーシックブロック(プログラムの命令群)、ランタイムカウンタやパフォーマンスカウンタを抽出し、任意の(将来の)CPU アーキテクチャーを入力として与えた場合に、実際にアプリケーションを実行せずとも実行時間を見積もることのできる性能モデルを実装したフレームワークのテスト段階に来ている。これにより、実際に物理的に CPU を製造、使用しなくても、性能を見積もることが可能となるので、100 倍性能を達成する CPU アーキテクチャーの探索に非常に重要となる。

【実施項目 1.2】

粗粒度再構成可能アーキテクチャ(CGRA)に関するアーキテクチャに関する調査を行い本研究で対象とする設計空間を定めることができた。また、パラメタ化された VHDL 記述により、サイクル精度で評価が可能な CGRA のエミュレーション試作環境を構築できた。これらは、今後設計空間探索を行う上で必要でありその方向性を明確にできた他、探索を行うために必要なツールのプロトタイプを準備できた点で本課題を進める基盤として意義がある。

【実施項目 2】

メニーコアプロセッサのためのキャッシュ構造や異種メインメモリ等の先進的なメモリアーキテクチャ動向の詳細調査により、本研究で対象とするメモリアーキテクチャの探索空間をより具体化することができた。またメモリアーキテクチャ空間探索のためにメモリ性能を自由に設定可能な性能推定ツールの整備を行い、実施項目 1.2 や実施項目 3 との連携を含めたアーキテクチャ全体の探索の基盤とすることができた。

【実施項目 3】

冷却およびピン数の限界の超越やユーザや実装メーカーから見たギャップ(障壁)を抑制しつつ、大容量データに対する Irregular access を加速しうる McIM という有望な新アーキテクチャを提案した。本格的な評価はエミュレータ完成を待つ必要があるものの、McIM はプロジェクト開始当初には予測できていなかった発見であり、探索的研究プロジェクトとしては望ましい成果と考えられる。大容量データに対する Irregular access は HPC の反復解法だけでなく、グラフ解析や、最近では Deep learning の Inference を用いた Recommendation におけるボトルネックであることや、Facebook 社などのデータセンターにおけるエネルギー消費の大きな割合を占めることが知られるようになった。McIM はその加速や省電力に大きく貢献できる可能性がある。

3.9.1.5 成果の普及

【実施項目 1.1】

理研で開発されたアプリケーションのミニアプリ集である FIBER、米国 DoE の研究所が中心となり開発された Proxy Apps、HPC 系の基本ベンチマークである hpcg、AI 系のベンチ

マークとして DeepBench・MLPerf・Deep500、ビッグデータ系のベンチマークとして BigDataBench・Graph500 を中心に調査を行い、それらのベンチマークをポストムーア評価環境フレームワーク(J. Domke, PAStudy, “Post-moore evaluation framework”, <https://gitlab.com/domke/PAstudy>)として公開した。これまでの成果は、大変選別の厳しい国際学会 IPDPS2019 へ採択され発表を行った。また本 NEDO プロジェクトの成果発表のために LSPANC においても口頭発表を行なった。さらに、これらの実験結果をヒューレットパッカードエンタープライズやキオクシアとのミーティングを通して共有した。

【実施項目 1.2】

CGRA に関するアーキテクチャに関する調査結果、およびサイクル精度で評価が可能な CGRA のエミュレーション試作環境に関して、論文投稿を行った。前者は IEEE Access 誌に条件付きで採録され現在 2 次査読中であり、後者は歴史のあり同分野での主要カンファレンスの一つである国際会議 ASAP (Application-specific Systems, Architectures and Processors)に採録された。また、試作した CGRA エミュレーションツールについては、オープンソースとして公開する予定である。

【実施項目 2】

メニーコアや異種メインメモリを持つアーキテクチャの詳細性能評価結果について、国際学会でポスター発表するとともに、そのためのメモリ遅延性能測定ツールを公開(<https://github.com/yuki1024/ymlc>)した。また高性能グラフ最短経路カーネルについて、国際学会 HPC Asia で論文発表するとともに、このソフトウェアも公開(<https://github.com/toshioendo/hoalgos>)した。引き続き、メモリ階層性能推定ツールから得られた結果についても学術発表およびツール公開を計画している。

【実施項目 3】

現行のマシン上でも何らかの効果があり、かつ McIM を支援しうるソフトウェアに関しては、McIM を前面に出さない形で SC19 や ICPP2020 などの HPC 系の著名なカンファレンスで積極的に発表を行っている。一方、McIM はスーパーコンピュータや大規模データセンターへの成果の普及がゴールであり、その推進力を得るべく、アーキテクチャ系のトップカンファレンスでの採録を目指す。この分野のトップカンファレンスは永年に渡り日本人が数年に 1 件しか通らない非常に狭き門であるゆえに推進力となりうる。これを達成して積極的な普及フェーズに早く移行したいと考えている(申請している加速予算を獲得して、エミュレータによる大量評価ができる状況を早期に実現することが、そのための重要な要素となる)。

4. 実用化・事業化に向けての見通し及び取り組みについて

4.1 実社会の事象をリアルタイム処理可能な次世代データ処理基盤技術の研究開発における実用化・事業化の見通し（日本電気株式会社）

4.1.1 概要

開発されたデータベースをエンドユーザーに提供する。OSS として展開するため、直接のライセンス収入はないが、本技術を活用する新たなサービスの推進、本技術自体のサポートサービスの提供ならびにシステム・インテグレーションの提供により収益を獲得する。

4.1.2 実用化・事業化への課題と対応策

従来型の OSS ミドルウェアへの期待は商用製品に対し低コストでの導入によるシステムコストの低減等が主であり、ミドルウェア事業としての収益化はむづかしい。本プロジェクトの成果物は、既存商用製品の代替ではなくその高性能性・リアルタイム性にあり、次世代のアプリケーション開発による高度なシステムの実現が重要となる。

本プロジェクトにおける実施項目Ⅲに相当するアプリケーションを自社開発し、アプリケーションとデータベースを組み合わせて事業化を推進する。

4.1.3 実用化・事業化の体制

データベース自体については OSS 化することから、自社エンジニアに加えコミュニティでの開発も取りこみ、継続的に機能改善を実施する。社内における OSS のサポート体制等は他のシステムで構築済みのため、既存の事業枠組みの中で事業化を推進する。

アプリケーションについては本プロジェクトとは独立し自社内で研究開発を継続し、本プロジェクトの成果物であるデータベースは OSS 活動を通しての成熟度を考慮しながら採用する。

4.1.4 市場規模と経済効果

国内のエンタープライズ市場は、従来型 IT への投資が減少する一方で、データ駆動型ビジネス/デジタルトランスフォーメーションとモダナイゼーションが市場をけん引する形で IT 投資は増加が予測されている。特にビジネス/デジタルトランスフォーメーションは 2025 年には数兆円規模の市場になると想定され高い成長性が期待されている。この領域で出現する新たなアプリケーション向けに次世代データベースを提供し市場開拓を支える。

4.1.5 ベンチマーク

既存の製品・OSS に比べ、次世代 HW に対応する新たなアルゴリズムを実装した本プロジェクトの成果物は、高速性および更新と分析のリアルタイム性において大きなアドバンテージを持つ。また、内部のコンポーネントはプラグガブルな設計となっており、今後 OSS で連携されるエンジンを取り込んでいくことも可能である。これらにより、目的別に競争力の持つデータベースとすることができ、アプリケーションと一体となって新たな事業へ適用することにより競争力を持つ。

4.1.6 事業化までのマイルストーン

2019-2022 自社内アプリケーション開発

2023-2024 OSS 等による機能強化・品質改善、自社アプリケーションとの統合検証

2025 アプリケーションの基盤としてのデータベースの利用

OSS サポート事業の立ち上げ

4.2 実社会の事象をリアルタイム処理可能な次世代データ処理基盤技術の研究開発における実用化・事業化の見通し（株式会社ノーチラス・テクノロジーズ）

4.2.1 概要

開発されたデータベースをエンドユーザーに提供する。OSS として展開するため、直接のライセンス収入はないが、サポートサービスの提供ならびにシステム・インテグレーションの提供により収益を獲得する。

4.2.2 実用化・事業化への課題と対応策

OSS のミドルウェアのビジネスは、収益化が難しい。分散処理ミドルウェアである Asakusa で同様のビジネスを展開し、展開ノウハウや営業パスはすでに獲得しているとはいえ、データベースの導入には必ずシステム・インテグレーションが必要になる。これには営業のコストに加え、ユーザー内部・システムインテグレータ内部での調整が必須であり、この調整コストを吸収していく必要がある。

4.2.3 実用化・事業化の体制

事業化については、分散処理ミドルウェアである Asakusa で同様のビジネスを展開しているため、展開ノウハウや営業パスはすでに獲得している。このノウハウや営業パスを利用する。追加的に拡張する機能は、すでに存在するユーザー会の、各ユーザーからのヒアリングをもとに、ニーズをくみ取って、要望の多い機能から必要に応じて実装していく。当該開発プロジェクトではデータベース機能のユーザサイドのインターフェイスや機能については Postgres の実装を再利用するため、Postgres 上で使われている機能との接続や取り込みを行っていく。

4.2.4 市場規模と経済効果

前提:市場調査によると 2017 年の RDBMS の市場規模は約 2,600 億円になっている。データベース市場は成長市場であり、これをベースに市場規模を想定する(2024 年度以降は年間 3,000~3,500 億円程度)。また市場シェアについてはより現状のデータベースのシェアは OSS と商用 DB ではおおよそ 50:50 になっている。商用 DB では Oracle、SQLServer、DB2 が主製品になっており、それぞれのシェアは Oracle:50% SQLServer:42% DB2:7%となっている。今回の OLTP のターゲットは 1) Oracle についてはそのシェア 30%、2) SQLServer については 20%程度、3) DB2 については 100%及び OSS については、すべての OSS の 30%のリプレースが可能と見ており、2024 年度以降でのシェア獲得を目指す。

4.2.5 ベンチマーク

特に商用ベースでみたときには、Oracle/SQLServer にどう対応するかがポイントになるが、競合になる Oracle/SQLServer はプロプライエタリーなデータベースになり、そのため「One-fits-all」なデータベースとして提供せざるを得ない。これに対して、新規に開発するデータベースはプラグブルな仕組みをその特徴にもっており、また OSS ゆえに新規にデータベースエンジンを開発し、特定のワークロードに特化したデータベースを「作り上げる」ということが可能になる。この結果、各ユーザーの特定のワークロードに最適なデータベースを個々に提供することができ、商用のクローズドなデータベースに対して、パフォーマンスの観点から、常に競合優位を獲得することが可能となる。

4.2.6 事業化までのマイルストーン

2023~2024 年度:DBMS の周辺機能拡張

2024～2025 年度:追加機能実装

2025 年度～:販売・収益化

4.3 実社会の事象をリアルタイム処理可能な次世代データ処理基盤技術の研究開発における実用化・事業化の見通し（株式会社パスコ）

4.3.1 概要

大規模災害発生後に活用することを想定した、航空機オプリークカメラによる撮影データから 3DTin を高速に作成できるシステムを開発する。航空機オプリークカメラは直下方向と前後左右の斜め方向の写真と同時に撮影できるシステムであり、特に斜め方向から撮影した写真は、建物の被災状況の把握などに役立つ。これらの大量の写真は多方向から撮影されていることから三次元情報を抽出することができ、これを 3DTin データとして作成することができる。実用化のための最大の課題は航空機オプリークカメラによる大量の撮影データから 3DTin を作成する処理の高速化であり、内部処理の並列化による実現をめざし、実装を行っている。撮影完了後、従来は 22 日程度の時間を要している 3DTin 作成処理を、半日以下に短縮することを目標としている。

4.3.2 実用化・事業化への課題と対応策

大規模災害被災後における三次元情報実用化の最大の課題は、3DTin モデル作成処理の高速化である。処理内容は、撮影画像と位置情報から撮影時のカメラの位置姿勢取得および 3 次元点群構築を実施する SfM (Structure from Motion) 処理と、その処理結果である 3 次元点群からピラミッド構造をもった 3D Triangulated irregular network (3DTin) モデルを作成する処理 (3DTin 化処理) からなる。

これらの処理については、写真の撮影シーケンスを考慮しつつ、内部のマッチング処理などを並列処理化することで、半ストリーミング処理を実現し、処理時間を半日以下に短縮する。なお、実装においては、地理情報ソフトウェアとして実績があり、既に広大なエコシステムが形成されているオープン系ソフトを活用することで、研究開発段階における周辺ツール活用、更には、研究開発後の普及・展開が容易なシステムを構築する。

4.3.3 実用化・事業化の体制

実用化へ向けて、以下の体制で取り組んでいる。

- ・パスコ(担当:航空機オプリークカメラ撮影、3DTin 作成処理)
- ・ノーチラス・テクノロジーズ(担当:3DTin 作成処理の高速化)
- ・名古屋大学(担当:3DTin のデータベースへの入出力及び演算機能構築)
- ・DSI(担当:ドローン搭載センサ開発及び撮影)

4.3.4 市場規模と経済効果

近年の災害発生後の被害は尋常ではない規模のものが多くなってきている。こうした中、国は国土強靱化計画(3 カ年、約 7 兆円規模)を重要な施策として打ち出しており、今後もこうした動きは継続されていくものとする。

本取組は、これまでは不可能であった広域 3 次元モデルを高速に作成することによって、より詳細な被災後の情報を提供するプラットフォーム提供の可能性を示すものであり、災害発生後対応における新たなソリューション提供を目指していくものである。

また、3 次元モデル作成の高速化は、データ作成にかかる時間短縮だけでなく、コストの削減につながるものである。高速化プログラムの実行環境の構築・運用なども含め、データ作成に要する全体コストの削減を図ることができれば、災害のような緊急時だけでなく、さまざまな場面において、3 次元モデルが利用される可能性がある。現在、中央省庁を中心に、3 次元モデルの利用促進に向けた取組が活発化しており、今後、自治体に波及することが予想される。

本取組の成果を生かすことで、防災、都市計画、インフラ管理などさまざまな分野で新たなサービスが創出される可能性がある。

4.3.5 ベンチマーク

航空機(セスナ)に取り付けた多方向(直下方向、前後方向、左右方向)5台のカメラにより、地上画素寸法 12cm、80%のコース内重複率、60%のコース間重複率の設定で、400k m²程度の広さを撮影した、25,875 枚(ショット数は 5,175)という標準的なデータの 3DTin 作成処理に、現状では 22 日間を要している。

このデータの 3DTin 作成処理に対するパフォーマンス目標として、最大時間で災害救助の基準とされる 72 時間以内を設定し、かつ、最短目標としては、可能な限りセミリアルタイムに近いタイムスケール、すなわち航空機から撮像を開始したと同時にデータ転送・処理を開始し、撮像が完了したタイミングですべての処理が終わっている状態を目標として設定する。現在の性能を 2 桁オーダー改善できれば、例えば、午前中に航空機で撮影したデータを処理し、夕刻前には 3DTin モデルの作成を完了できるようになるので、災害救助や災害復旧への活用が可能となる。

4.3.6 事業化までのマイルストーン

実用化までに以下のマイルストーンが必要である。

- ・業務要件定義とシステム要件定義
- ・プロトタイプシステムの要件定義と試作
- ・プロトタイプシステムの性能チューニング
- ・物体検出の実用性の検証
- ・実証システム全体の実用性検証

4.4 超電導パラメトロン素子を用いた量子アニーリング技術の研究開発における実用化・事業化の見通し（日本電気株式会社）

4.4.1 概要

日本電気株式会社(NEC)では、本研究開発プロジェクトを通じた超電導パラメトロン素子およびその実装技術等の開発成果を活用し、2023年に量子アニーリングマシンの実用化をめざす。

本研究開発プロジェクトにおいて実用化は、本事業で獲得する要素技術を適用して開発される量子アニーリングマシンを核に、①AI ソリューション市場(クラウドにより量子アニーリングマシンを利用するサービス市場)あるいはまた②AI プラットフォーム市場(量子アニーリングマシンを組み合わせ最適化問題向けのコンピュータ製品として提供するハードウェア市場)において顧客へのサービスや製品の提供が開始されることであり、さらに自社および顧客企業の売り上げ等に貢献することを言う。

量子アニーリングマシンは、カナダ D-wave 社が当初 2011 年に市場投入した。既に D-Wave 社が事業化し、現在世界的にアニーリングマシンが注目されているとはいえ、量子アニーリングマシンに関する市場規模は 2019 年度においてもまだまだ限定的である。

一方、本研究開発プロジェクトにおいて実用化を目指す量子アニーリングマシンは、様々な社会課題に深く関わる組合せ最適化問題を高精度かつ極めて高速に計算できるポテンシャルを持っている。このため最適化問題を高精度かつ高速に解きたいという需要は今後益々大きくなることが予想されている。

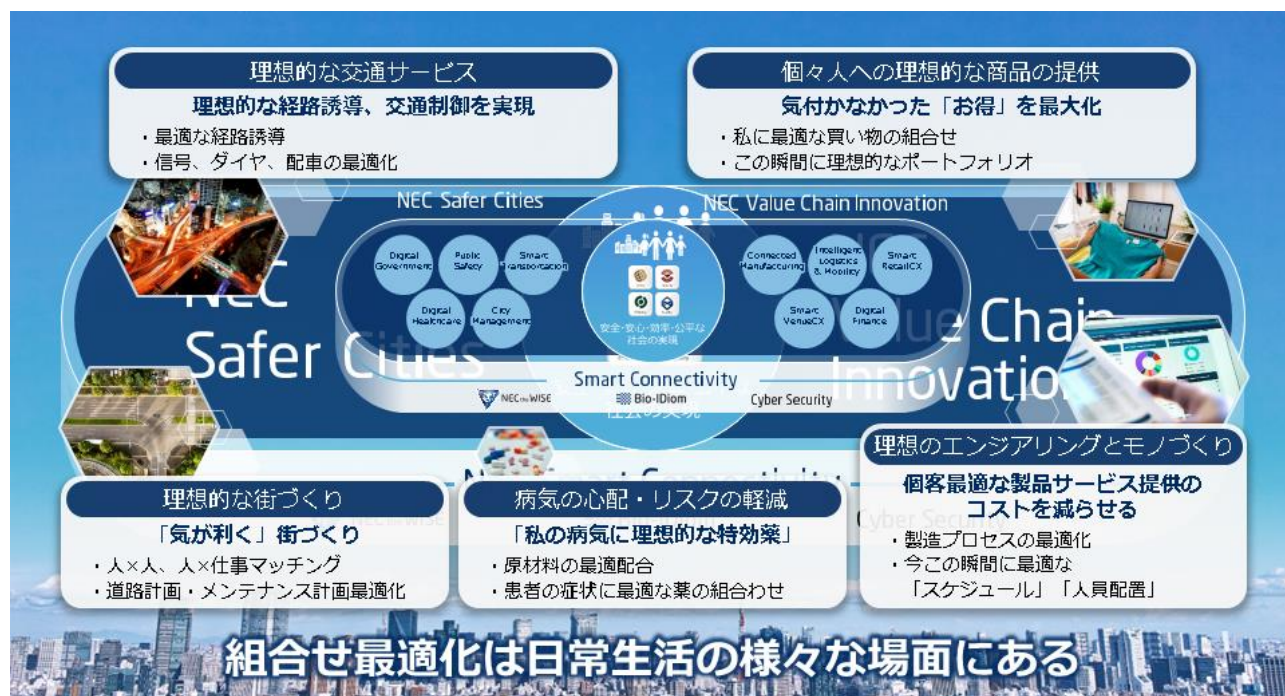
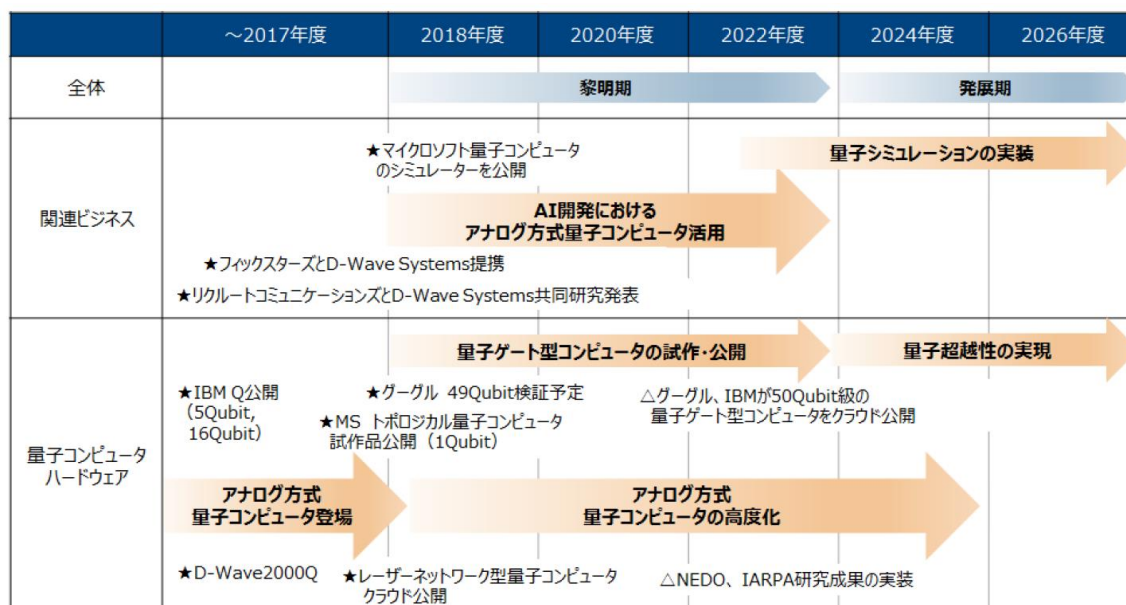


図 2-4.4.1-1 量子アニーリングマシンの適用先の例

野村総合研究所が発表した「IT ロードマップ 2018 年版」(*1)によれば、現在は量子アニーリングマシンの黎明期であり、2024 年頃から本格的な発展期が始まるとされる。NEC としては、この発展期に間に合うよう量子アニーリングマシンを実用化し、①AI ソリューション市場(クラウドによるサービス市場)と②AI プラットフォーム市場(組み合わせ最適化問題向けのコンピュータとしての HW 市場)をターゲットに獲得を目指す。



出展:野村総合研究所

図 2-4.4.1-2 量子コンピュータのロードマップ

(*1) <https://www.nri.com/jp/news/newsrelease/1st/2018/cc/0308>

4.4.2 実用化・事業化への課題と対応策

NEC はこれまで 20 年以上にわたって超電導量子ビット素子の研究を続けてきた。1999 年に世界で初めてとなる固体量子ビットを実現、2003 年にも世界初の固体結合量子ビットを実現するなど、万能型量子コンピューティングマシンの実現を目指し、研究成果をあげてきた。近年の研究で、この固体量子ビットを発展させた超電導パラメロン素子と全結合状態が可能となる方式の組み合わせが、量子アニーリングマシンで先行する D-wave 社の性能を将来的には凌駕するポテンシャルがあることが分かった。NEC は、この大きなポテンシャルを有する超電導パラメロン素子および周辺技術を開発し、量子アニーリングマシンを実用化したいと考えている。

量子アニーリングマシン実用化は大きく2つの市場、すなわち①AI ソリューション市場、②AI プラットフォーム市場をターゲットに想定している。これら市場における製品イメージ、および実用化における課題を説明する。

①AI ソリューション市場

量子アニーリングマシンを用いた、ほぼリアルタイムに組み合わせ最適化問題を解くエンジンを活用する、情報サービス事業としての事業化を目指す。その一例として、図 2.1.3 に示す物流ルート最適化を例に説明する。顧客価値(社会へのインパクト)は、リアルタイムでの交通渋滞の回避、運送業務の労働時間短縮、配送先への早期配達等である。顧客としては、コンビニ配達業者、物流業者、宅配業者、ナビゲーションアプリ等を利用する一般ユーザを想定する。

具体的には、機械学習により導き出した、ある時間帯にどの道が空いていて、どこへ運ぶ需要が多いか、同時に運ぶ荷物はどれとどれがよいか、等の情報をもとに、個々のトラックについて最適な配送ルートを決定する問題を高速かつ高品質に解くことを想定する。通常の物流最適化では、それぞれの道の「コスト」(距離、所要時間、ドライバー疲労度等により決定される)は時刻により不変として経路最適化を行う。しかしながら、現実には、朝夕のラッシュ時と昼間や夜間など、ある道の所要時間は通過時刻により異なる。そこで、機械学習で予測した、各地点の通過時刻毎の所要時間に基づき最適化することで、社会全体の高品質な最適化(消費エネルギー低減等)を実現できると考える。時刻により「コスト」が変化する経路最適化問題は、従来法では扱いづらい複雑な最適化問題であるが、量子アニーリングマシンであれば瞬時に解くことができる。また、刻一刻と変わる交通状況や配達要求(再配達依頼等)を考慮した最適化を行うためには、状況が変化する毎に再計算が必要であるが、最適化問題を瞬時に解くことができる量子アニーリングマシンであればこれも実現可能である。

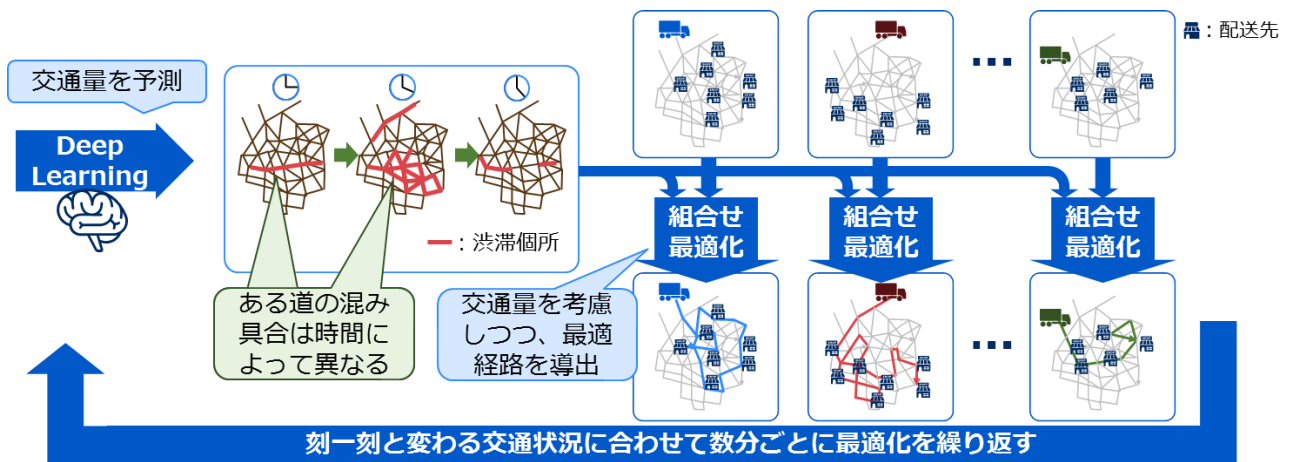


図 2-4.4.2-1 物流ルート最適化

AI ソリューション市場において、NEC はデジタルトランスフォーメーションを加速する最先端 AI 技術群「NEC the WISE」を開発・提供している。この AI は、見える化・分析・対応をするための複数の技術群によって構成されている。

複雑化・高度化する社会課題に対し、AI 処理における「見える化・分析・対応」の 3 つの要素を一つの汎用的な AI で全てに対応することは現実的ではなく、世界的に No.1、Only 1 の多様な AI 技術を組み合わせ、様々な社会・ビジネスのニーズに対応することを目指している。



図 2-4.4.2-2 AI による見える化・分析・対応

この AI 技術群に、新たに本研究開発プロジェクトで開発する量子アニーリングマシンをクラウドで動作させる専用エンジンを加える。量子アニーリングマシンの求解精度と求解速度によって、データから規則性や新しい価値を導き出す分析結果を利用して最適なアクションを促す AI 処理の「対処」要素の競争力を獲得する。この「対処」要素の強みを AI ソリューション市場で訴求し、売り上げ増につなぐ。

②AI プラットフォーム市場

解くべき組合せ最適化問題は同じであるが、①はクラウドサービスであるのに対し、組み合わせ最適化問題向けのコンピュータのハードウェア販売である点が異なる。

AI プラットフォーム市場の一部であるハイパフォーマンスコンピューティング市場において、NEC はベクトル型スパコンメーカーとして世界的に認知されており、高速の計算機を必要とするユーザへの強固なチャネルを保有している。そのチャネルをフル活用し、組合せ最適化問題向け専用のコンピュータとして販売を狙う。

実用化における課題は市場拡大のための市場構築・ユースケース開発、人材育成、エコシステム構築が考えられる。このうち市場構築・ユースケース開発は、外部機関連携で推進する。特に、NEDO「高効率・高速処理を可能とする AI チップ・次世代コンピューティングの技術開発」研究開発項目②:「次世代コンピューティング技術の開発」の研究開発テーマ「イジングマシン共通ソフトウェア基盤の研究開発」(代表事業者:早稲田大学)と本研究開発プロジェクトは密接に連携する。「イジングマシン共通ソフトウェア基盤の研究開発」のプロジェクトは、「イジングマシン共通ソフトウェア基盤」を設定し、共通ミドルウェアおよび共通 API (Application Programming Interface) の開発に取り組んでいる。ソフトウェア設計とハードウェア設計との密な連携により相互最適化を実現し、両者の強力な統合の実現を目指す。

人材育成、エコシステム構築に関しては、NEC では 2019 年度に新たに設置した量子コンピューティング推進室(*2)において、本研究開発プロジェクトによるハードウェアの完成に先行して実施する計画である。NEC の量子コンピューティング推進室では、ユーザとの共同実証を通じた用途開発および技術開発の推進において、大学機関やベンチャーとの連携も活用する。

(*2) https://jpn.nec.com/press/201912/20191220_01.html

4.4.3 実用化・事業化の体制

本研究開発プロジェクトで開発する量子アニーリングマシンの実用化は、本研究開発プロジェクトおよび「イジングマシン共通ソフトウェア基盤の研究開発」の各プロジェクトの参画機関との連携も活用して、NEC を中心に推進する。また NEC では新設した量子コンピューティング推進室において量子コンピューティングに関する活動を加速し、後述する 2024 年度の量子アニーリングマシンのクラウド利用サービス開始を目指す。

4.4.4 市場規模と経済効果

市場規模は、各社市場調査を参考として、量子力学的効果を使用していないイジングマシンを含めた市場全体について予測した。

2027 年度

イジングマシンのハードウェアおよびサービス領域市場 6,600 億円

- ・ CIR 社の量子コンピューティング市場予測(*3)を参考に、本研究開発プロジェクトによる市場活性化効果及びソフトウェア開発の加速効果を考慮し、量子コンピューティング市場を 120 億ドル@2027 年と予測

- ・ そのうち、ハードウェアおよび付帯サービス提供による収益が占める割合を 50%と仮定 (60 億ドル@2027 年)、およそ 6,600 億円(*4)。
- ・ 国内市場規模は、全世界市場規模の 1/10(660 億円@2027 年)

(*3)<https://cir-inc.com/news/quantum-computer-market-reach-us1-9-billion-2023-says-new-cir-report/>

(*4) 1 ドル=110 円と換算

2032 年度

イジングマシンのハードウェアおよびサービス領域市場 1 兆 5,400 億円

- ・ ポストンコンサルティンググループは、2032 年の量子コンピューティング市場は 280 億ドルと予測(*5)。
- ・ そのうち、ハードウェアおよび付帯サービス提供による収益が占める割合を 50%と仮定 (140 億ドル@2032 年)、およそ 1 兆 5,400 億円(*4)。
- ・ 国内市場規模は、全世界市場規模の 1/10(1,540 億円@2032 年)

2037 年度

イジングマシンのハードウェアおよびサービス領域市場 4 兆 5,100 億円

- ・ ポストンコンサルティンググループは、2037 年の量子コンピューティング市場は 820 億ドルと予測(*5)。
- ・ そのうち、ハードウェア及び付帯サービス提供による収益が占める割合を 50%と仮定 (410 億ドル@2037 年)、およそ 4 兆 5,100 億円(*4)。
- ・ 国内市場規模は、全世界市場規模の 1/10(4,510 億円@2037 年)

(*5) <https://www.bcg.com/publications/2018/coming-quantum-leap-computing.aspx>

4.4.5 ベンチマーク

本研究開発プロジェクトで開発を進める超電導パラメロン素子を用いた量子アニーリング素子のハードウェアとしての優位性には、次の 2 つが挙げられる。

1 つは 1us を越える長いコヒーレンス時間を実現することである。磁束量子ビットのコヒーレンス時間は 10ns オーダの報告もあることから、超電導パラメロン素子は 100 倍に相当する。これは、量子力学的効果を用いた処理が担保される時間が 100 倍であることを意味し、組合せ最適化計算の高精度化、高速化が期待される。

もう 1 つはハードウェアへのマッピングが容易であることである。NEC が採用する全結合方式は、イジングモデルが決定された時にハードウェアへのマッピングが一意に決まる。全結合方式ではなく部分結合方式を採用した場合は、組合せ最適化問題の課題により、このマッピングが一意に決定できず、問題に応じたマッピングを都度検討する必要がある。この結果、部分結合方式では社会課題における組合せ最適化問題を求解するための総作業時間に影響がある。

4.4.6 事業化までのマイルストーン

本研究開発プロジェクトは、2022 年度までで基本的な研究開発を完了する予定だが、本格的な社会実装に向けて、大規模化、頑健化、容易化をさらに進める必要がある。

2023 年度以降は、まず小規模な量子ビット数の量子アニーリングマシンを用いたクラウドサービス化のための技術開発を進め、2025 年度のサービス開始を目指す。平行して 2020 年

代後半のクラウドサービス開始を目標に 2,000 ビット級量子アニーリングマシンの研究開発を継続する。

本研究開発プロジェクトと外部連携する「イジングマシン共通ソフトウェア基盤の研究開発」においては、2022 年度までに各種イジングマシンに共通のソフトウェア基盤と API 提供、その後は共通のソフトウェア基盤を言語化したプログラム・ライブラリ提供を計画しており、クラウドサービス化においてこれら成果を活用していく。

4.5 ディスアグリゲーション型次世代データセンタに適用する光電ハイブリッドスイッチを用いた高速低電力データ伝送システムの研究開発 「光波長送受信器の研究開発」における実用化・事業化の見通し（技術研究組合参加組合員）

4.5.1 概要

当該技術研究組合参加組合員は、次世代コンピューティング向け超広帯域ネットワークを構成する光 ToR スwitchの主要構成要素である光波長送受信器の事業化を計画している。その機能は光トランシーバに高速光波長切替えおよび受信機能を付加したものである。本プロジェクトの最終年度にあたる 2022 年度に向けて新たな市場開拓/顧客創出を推進し、市場明確化後に、詳細設計、製品試作、製品レベルの品質にするための製品化開発を行う。あわせて、量産化技術開発を進めていき、2025 年度より本プロジェクトの光電ハイブリッドスイッチシステムが適用されると想定される大規模データセンタ事業者(Amazon, Google, Microsoft, Facebook など)を中心に光波長送受信器の販売を開始することを想定している。また、この光波長送受信器を部品として採用して装置を構成してネットワークプロバイダなどに販売するホワイトボックス装置ベンダも販売ルートになりうると想定している。また、本プロジェクトで開発する大容量コヒーレント送受信技術を用い、データセンタ間通信用の光トランシーバとしても販売することを想定している。

4.6 ディスアグリゲーション型次世代データセンタに適用する光電ハイブリッドスイッチを用いた高速低電力データ伝送システムの研究開発 「バースト多値プロセッサの研究開発」における実用化・事業化の見通し（技術研究組合参加組合員）

4.6.1 概要

当該技術研究組合参加研究員は、本研究開発で実現する光電ハイブリッドスイッチシステムの構成要素である空間光スイッチとバースト多値プロセッサを製品化し販売する。PETRA より光電ハイブリッドスイッチシステムの技術提案を大規模データセンタ事業者（Facebook、Google、Microsoft、Amazon 等）に向けて海外の競合に先駆けて実施し、同システムの早期導入を支援する。また、並行してオープンソース化団体へのオープンソフトの提供、業界標準化団体への標準化提案を通して同システムおよびそれを実現するための基盤技術が市場に受け入れられる土壌を醸成する。当該技術研究参加組合員から OEM ベンダ等に同システムのキーデバイスである空間光スイッチモジュール、バースト多値プロセッサを販売する。その際に技術研究参加組合員から OEM ベンダ等へ設計支援情報を併せて提供することで、同システムの大規模データセンタ事業者へのタイムリーな導入を図る。こうしたアプローチを光波長送受信器のサプライヤである技術研究組合参加研究員と連携して実施し、大規模データセンタ事業者の構築するサプライチェーン・エコシステムの中に入り込むビジネス戦略を進める。

4.7 イジングマシン共通ソフトウェア基盤の研究開発における実用化・事業化の見通し（豊田通商株式会社、株式会社フィックスターズ）

4.7.1 概要

豊田通商とフィックスターズは、研究開発の成果である「イジングマシン共通ソフトウェア基盤」の実用化・事業化を推進することで、イジングマシンを誰もが使うことのできる社会を目指す。イジングマシンを誰もが使うことのできる社会を実現することで、現実社会に内在する組合せ最適化問題を高速に解くことが可能となる。

これまで、ソルバーと呼ばれる数値最適化ソフトウェアを用いることで、組合せ最適化問題を解くこと自体は可能であった。しかし、その処理量・処理速度には限界があるため、たとえ組合せ最適化問題が内在する課題であっても、その解をリアルタイムに求めることはできず、ヒューリスティック法などを用いて「それらしい」解を作ることによって対応せざるを得なかった。

このような背景のもと、組合せ最適化問題の超高速解法のブレークスルーとして期待されているのが「量子アニーリングマシン」をはじめとする「イジングマシン」である。しかしながら、イジングマシンで解法可能な問題と現実課題との間には大きな乖離があるのが現状である。この乖離を埋めるべく、当該研究開発によって整備されるのが「イジングマシン共通ソフトウェア基盤」である。我々は、その実用化・事業化を通じて、イジングマシンによる組合せ最適化問題のリアルタイム処理が、Society5.0を構成する様々な産業の競争力の源泉となる社会を目指す。

4.7.2 実用化・事業化への課題と対応策

(1) - 1. キャズム理論に基づくイジングマシン実用化・事業化の全体方針

コンピュータ業界の歴史を振り返ると、いかに優れた技術を搭載したとしても、広く世の中に普及することなくその生涯を終える製品が多数存在する。マーケティング学者であるジェフリー・ムーアは、著書『Crossing the Chasm』で提唱した「キャズム理論」にて、この事象を説明している。キャズム理論とは、初期市場と主要市場の間に大きな谷（キャズム）が存在し、多くのハイテク製品はそのキャズムを越えることができずに消えていく事象を捉え、キャズムを乗り越えるためのマーケティングアプローチを示した理論である。つまり、ある製品を広く社会に普及させるためには、その製品の持つコアな機能だけではなく、ユーザが利用するに値するレベルまで、補完機能やサービスを拡充する必要があるといえる。

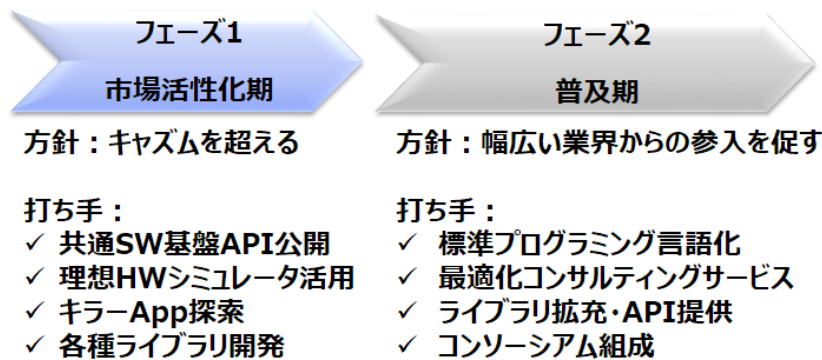
ここで、当該研究開発によって構築される「イジングマシン共通ソフトウェア基盤」は、イジングマシンが解法可能な問題と現実社会の抱える課題の間に存在する乖離を補完し、イジングマシンの実用化を促進するという意味で、キャズムを超えるための極めて重要な技術的要素となるといえる。そこで、我々の事業化・実用化に向けた活動は、「イジングマシン共通ソフトウェア基盤」をいかにして幅広いユーザに満足いく形で使って頂き、社会に普及させるかに焦点を当てた取り組みを実施する。

(1) - 2. 各フェーズにおける実用化・事業化計画

我々は、イジングマシン共通ソフトウェア基盤の実用化・事業化に向けた具体的な取り組みを、第一フェーズ：市場活性化期と、第二フェーズ：普及期の二つのフェーズに分けて実施する。

第一フェーズでは、①「イジングマシン共通ソフトウェア基盤」を極力使いやすい形で提供し、すそ野を広げる取り組みと、②イジングマシンの実用化をけん引するリードユーザとの連携により、実用に耐えうる製品・サービスを提供する取り組みを行う。これらの取り組みにより、「イジングマシン共通ソフトウェア基盤」の上に実用化を促進するコンテンツを整備し、キャズムを超える原動力とする。第二フェーズでは、より幅広い業界からの参入を促すべく、さらなるコンテンツの拡充・改善を行う。

各フェーズにおける取組の方向性と打ち手について、下図に示す。



以下、各フェーズにおける取組の方向性および具体策とその狙いについて記載する。

【フェーズ1：市場活性化期の取り組み】

市場活性化期の取り組みにおけるテーマは、上述した通り、①「イジングマシン共通ソフトウェア基盤」を極力使いやすい形で提供し、多くのユーザに体験頂くこと②リードユーザとの連携を通じて実用に耐えうる製品・サービスを開発することの二点である。

具体的には、以下4つの取り組みを予定しており、各項目について説明する。

フェーズ1ー① 共通ソフトウェア基盤の基本的機能のAPIの無償公開

フェーズ1ー② 理想イジングマシンシミュレータの活用

フェーズ1ー③ リードユーザの発掘、キラーアプリケーション向け製品・サービス開発

フェーズ1ー④ 各種ライブラリ開発・蓄積

フェーズ1ー① 共通ソフトウェア基盤の基本的機能のAPIの無償公開

イジングマシンをより多くのユーザに体験頂くべく、イジングマシン共通ソフトウェア基盤の基本的機能のAPI無償公開や、オープンソースでの公開を検討する。また、当該研究開発の協力プログラムである情報処理推進機構未踏ターゲット「次世代(非ノイマン型)計算機」プロジェクトと連携し、公開したAPIを用いてプログラミングコンテストを開催する。

フェーズ1ー② 理想イジングマシンシミュレータの活用

当該研究開発の成果である理想イジングマシンシミュレータの無償提供を実施する。この取り組みにより、ハードウェアの開発動向に左右されず、ソフトウェアの性能向上、機能拡充が可能となる。また、これまでイジングマシンに興味はあったものの、実用化までは程遠くビジネスにはならないと判断していたようなソフトウェアエンジニアに対して本シミュレータを提案することで、共通ソフトウェア基盤上に優秀なソフトウェアエンジニアの参入を促す。

フェーズ1ー③ リードユーザの発掘、キラーアプリケーション向け製品・サービス開発

このフェーズでは、(1)当該研究開発の外部連携企業への共通ソフトウェア基盤のプロトタイプ無償提供(2)豊田通商の事業機会を活用したアプリケーション開発の2つの取り組みを通じて、リードユーザの発掘とキラーアプリケーションの探索を実施する。

また、(1)(2)の取り組みとは別に、早期から当該研究開発によって生まれたプロトタイプを外部連携先のみならず広くユーザに公開することも検討する。幅広いユーザにプロトタイプを使ってもらうことで、我々の想像しないユースケースが発掘される可能性もあるため、この取り組みは極めて重要なものとする。

フェーズ1ー④ 各種ライブラリ開発・蓄積

上述したフェーズ1ー①、フェーズ1ー②、フェーズ1ー③の取り組みは、コミュニティを活性化させ、リードユーザとエンジニアをつなげることでイノベーションを起こし、キャズムを超える、いわば「縦のつながり」を意識した取り組みであったが、フェーズ1ー④の取り組みは、普及期を迎えるための準備として行う、「横のひろがり」を意識した取り組みである。具体的には、当該研究開発の成果を活用し、共通ソフトウェア基盤の活用を促進する各種ライブラリを開発・蓄積する。普及期を迎えるまでに、質の高いライブラリをいかに多く保有することで、普及期を迎えた際にタイムリーにサービスを提供することが可能になると考える。

【フェーズ2:普及期の取り組み】

市場活性化期における取り組みにより、イジングマシンの活用が普及期を迎えた時、社会に内在する組合せ最適化問題が次々と顕在化されることで、その市場は指数関数的に成長すると考えられる。

そこで、普及期における取組では、幅広い業界・レベルのユーザが参入しやすい環境を提供することで、強固なイジングマシンプラットフォームを構築することを目指す。強固なプラットフォームとは、社会課題～イジングマシン共通ソフトウェア基盤～イジングマシンハードウェアの各層が有機的につながり、多くのユーザを呼び込み、各層のさらなる改善が促され、また新たなユーザが呼び込まれるような、好循環が生み出されるプラットフォームのことである。

具体的には、以下4つの取り組みを予定しており、各取り組みについて説明する。

フェーズ2ー① 共通ソフトウェア基盤及び各種ライブラリの標準プログラミング言語化

フェーズ2ー② イジング計算最適化コンサルティングサービスの開始

フェーズ2ー③ 各種ライブラリ拡充、提供

フェーズ2ー④ イジングマシン最適化コンソーシアムの組成

フェーズ2ー① 共通ソフトウェア基盤及び各種ライブラリの標準プログラミング言語化

イジングマシンをより多くの人々に活用頂くためには、イジングマシンに特化したプログラミング言語に制約されるべきではなく、標準的なプログラミング言語に共通ソフトウェア基盤、及び各種ライブラリが組み込まれているような状態が望ましい。そこで我々は、当該研究開発成果を活用し、共通ソフトウェア基盤、および各種ライブラリが組み込まれた開発環境の整備を実施する。

フェーズ2ー② イジング計算最適化コンサルティングサービスの開始

実社会が抱える複雑な課題について、様々な制約条件を考慮してどのように定式化するかは、イジングマシンで組合せ問題を処理することにより所望の解を得るために極めて重要な要素となる。そこで、当該研究開発の成果を活用し、イジング計算最適化コンサルティングサービスとして定式化支援を行うことで、幅広い産業におけるイジングマシンの活用を促進する。そこで、当該研究開発における様々なユースケースの検討によって得た知見を活用し、内在するものの認識されていない組合せ最適化問題を顕在化するサービスも提供する。

フェーズ2ー③ 各種ライブラリ拡充、提供

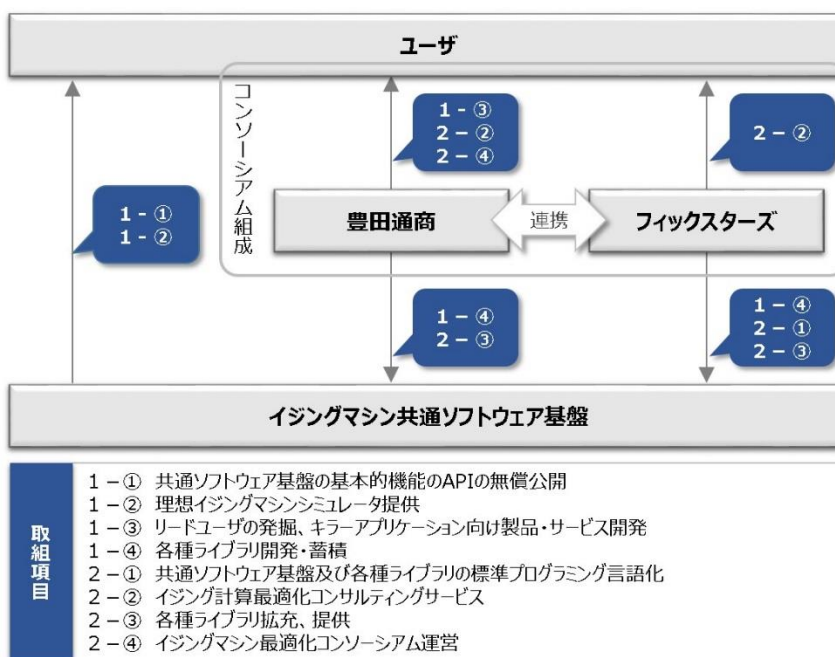
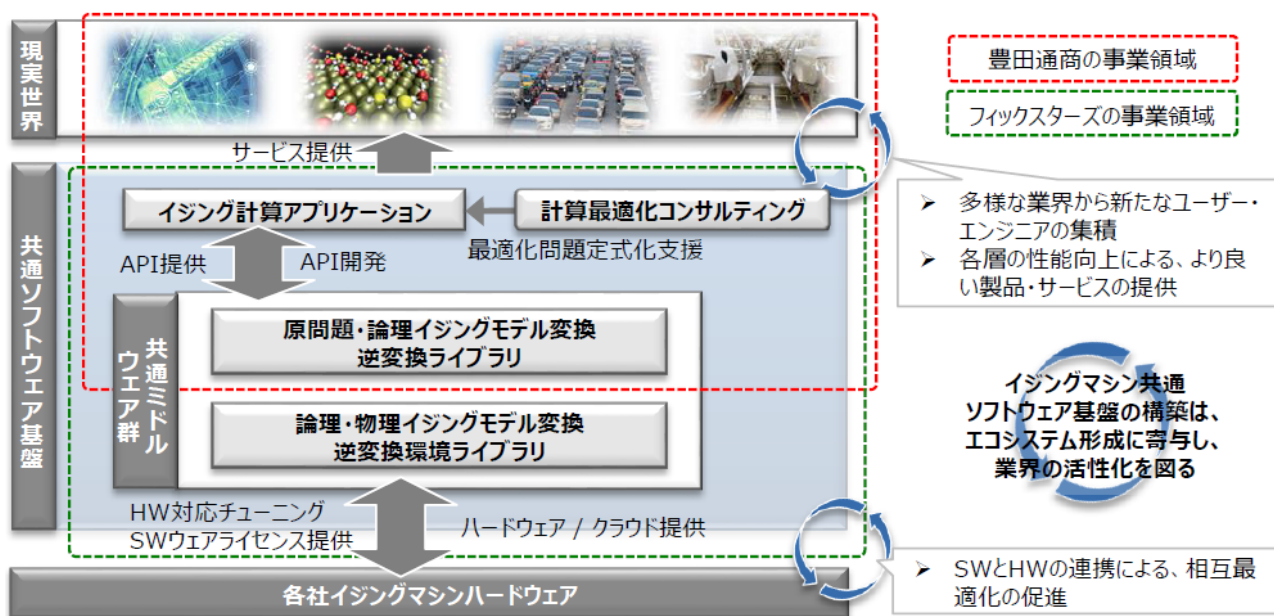
市場活性化期と比較し、普及期に参入を検討するユーザは、イジングマシンへの期待値よりも実際の費用対効果を重要視すると考えられるため、ユーザの知見に応じて様々なレベルのライブラリを用意し、ユーザの多様なニーズに適応する共通ソフトウェア基盤を構築することがより一層重要となる。そこで我々は、共通ソフトウェア基盤上で様々なライブラリの開発が行われるような取り組みを行う。具体的な方策は、自身の開発したライブラリの API 公開やオープンソース化などを含めて検討する。

フェーズ2-④ イジングマシン最適化コンソーシアムの組成

イジングマシンの活用が普及期を迎えた社会では、多様な産業でイジングマシンによる組合せ最適化問題処理の導入が検討され、日々新たなユースケースが生まれることが想像される。新たなユースケースの情報は、イジングマシン最適化アプリケーション、ミドルウェア群、イジングマシンハードウェアそれぞれにとって自らの製品を改善させる貴重な情報である。豊田通商及びフィックスターズは、効率よく各層が情報交換を行い、相互最適化を意識した製品開発を行う環境を創り出すべく、イジングマシン最適化コンソーシアムの組成を検討する。

4.7.3 実用化・事業化の体制

実用化・事業化にあたっての豊田通商とフィックスターズの事業領域について、また、取組み体制のイメージ図を下記に示す。



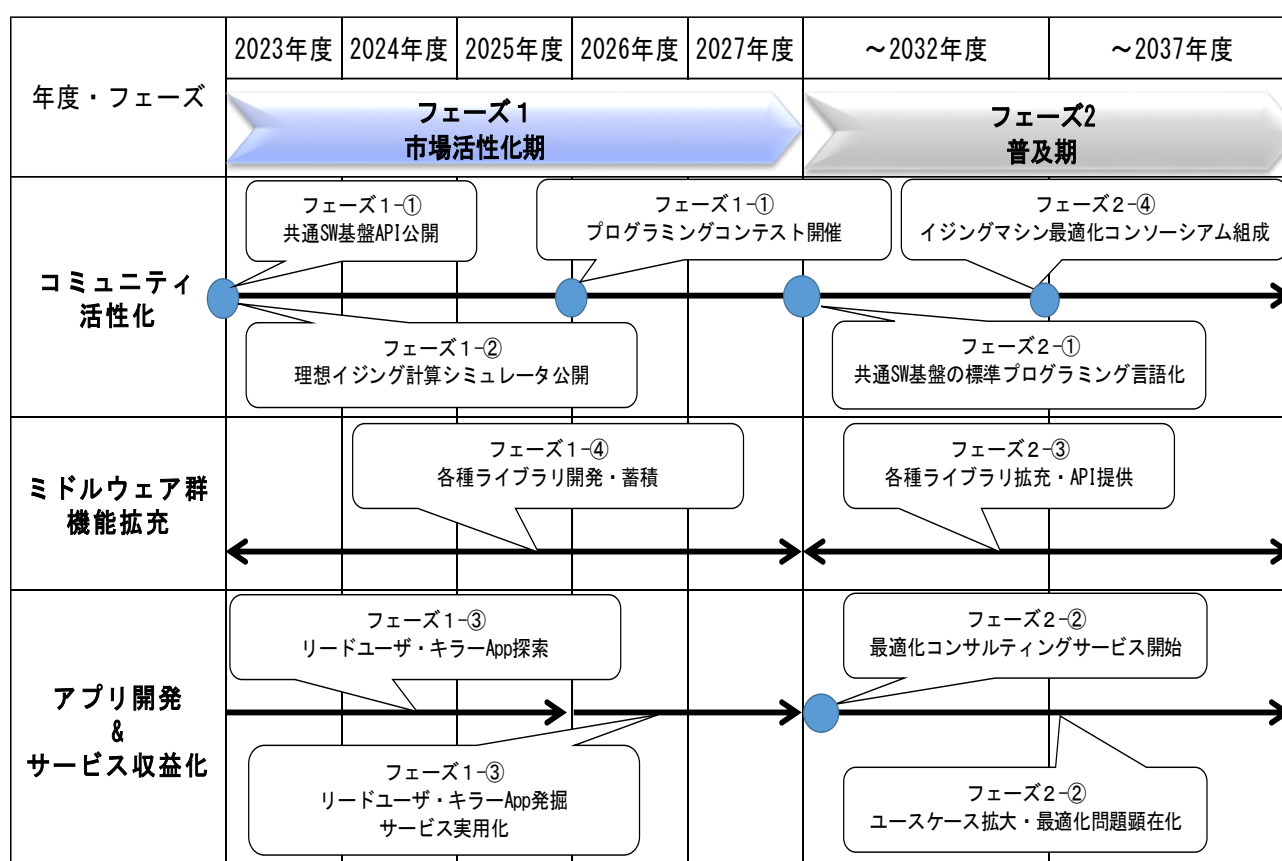
4.7.4 市場規模と経済効果

イジング計算領域におけるソフトウェア及び付帯サービス市場の規模は、プロジェクト期間終了時点(2027年)でおおよそ数百億円(国内)、数千億円(海外)と見積もられる。終了後5年目(2032年)にはそれぞれ1,000億円程度(国内)、1兆円程度(海外)と見積もられる。さらに終了後10年目(2037年)にはそれぞれ数千億円(国内)、数十兆円(海外)と見積もられる。このうち申請者は、国内で数十%、海外で数%のシェアの獲得を目指す。

4.7.5 ベンチマーク

産業界において、本研究開発と同様にイジングマシン向けAPI開発を進めているところがあるが、その多くは特定のハードウェアのために特定のアプリケーションのためのソフトウェア開発を主に行っているのに対し、本研究開発ではハードウェアや特定のアプリケーションによらないソフトウェア基盤の開発を行っている点に大きな優位性があると考えている。

4.7.6 事業化までのマイルストーン



予想される重大な障害:

サービス設計段階: ハードウェア側のスピン数が追従していない

サービス開始段階: ハードウェアが乱立し、主要なハードウェアが存在しない

販売段階: イジングマシンの計算量当たりの利用料がHPC*に比べて極端に高い

*HPC…High Performance Computing

4.8 未来共生社会にむけたニューロモルフィックダイナミクスのポテンシャルの解明「ニューロモルフィックデバイスの探索（レザバー）の研究開発」における実用化・事業化の見通し（株式会社日立製作所、産業技術総合研究所、北海道大学、東京大学）

4.8.1 概要

プロジェクト全体のレザバー関係の開発研究は、日立、産総研、北大、東大の4件であり、これに主要な物理レザバーを加えたベンチマークを4.8.5に示す。実用化・事業化に向けての見通し及び取り組みについては、4件のうち日立が最も力をいれているので、4.8.5を除き、以降は日立の研究開発について説明する。

日立は、本NEDO委託事業成果をもとに開発される、自社や他機関のレザバーAIプロセッサを、既に保有している超高感度振動センサ技術と組み合わせ、地下埋設管、橋梁、道路等の社会インフラ設備のモニタリング事業に適用する予定である。

4.8.2 実用化・事業化への課題と対応策

課題①：レザバーAIプロセッサの安定供給体制、品質保証体制の確立

対応策：半導体ベンダと共同で供給、品質保証体制を構築

課題②：SDK（ユーザのソフトウェア開発を支援するライブラリ、および、レザバーAIプロセッサ上にソフトウェアをマッピングするコンパイラ）の開発

対応策：ミドルウェアベンダと共同で開発

4.8.3 実用化・事業化の体制

日立の水・環境ビジネスユニット、研究開発グループの連携体制にて推進
レザバーAIプロセッサに関して、本NEDO委託事業の他機関と連携

4.8.4 市場規模と経済効果

インフラメンテナンス市場は、世界全体で年間200兆円（2018年時点）の巨大市場があり、国内でも、高度経済成長時代に建造されたインフラ設備の老朽化を受け、5兆円の市場がある。日立は、国内市場をビークルに、グローバルに事業展開予定。

4.8.5 ベンチマーク

物理レザバーの特徴およびスコア(高スコア 😊 > 😐 > 😞 低スコア)

	電圧・電流・電カスケール	読み出し容易性	空間スケールラビリティ	時間スケールラビリティ	製造難度・量産性	演算性能・容量
↑ 主要な物理レザバー	光レザバー [Nanophotonics 2017]	😞	😊	😊	😞	😊
	FPGA (CMOS) [IEEE Circ & Syst 2015]	😞	😊	😊	😊	😞
	分子レザバー [Nature Com 2018]	😊	😞	😊	😊	😊
↓ 本事業のレザバー	スピンレザバー (産総研)	😊	😊	😞	😊	😊
	アナログCMOSレザバー (日立)	😊	😊	😊	😊	😊
	培養神経細胞レザバー (東大)	😊	😊	😊	😊	😞~😊
	軟体レザバー (東大)	😊	😊	😊	😊	😊

(※スコアは、本事業におけるレザバー研究者らによる主観的評価の平均)

4.8.6 事業化までのマイルストーン

技術構築完了(2024/3)

レザバーAIプロセッサの供給, 品証体制の構築(2025/3)

社内事業化プロジェクト推進, 事業化承認(2025/3)

4.9 未来共生社会にむけたニューロモルフィックダイナミクスのポテンシャルの解明「ロボカップ@ホームによる脳型アーキテクチャの実証実験」における実用化・事業化の見通し（九州工業大学、大阪大学他）

4.9.1 概要

レザバーチップの ROS 制御によりロボカップ@ホームロボットに搭載して、ソフトハンド制御などをデモ検証する。これにより、超高効率レザバーチップとソフトロボティクスを融合したサービスロボットの産業化に貢献する。また、ロボカップを利用して、レザバーチップの ROS 制御の競技会を提案・設置し、若手の人材育成を進める。

4.9.2 実用化・事業化への課題と対応策

ロボカップ@ホームでの実績を踏まえて産業化に貢献すること、および人材育成のための ROS 制御の競技会を実現する上では、以下の課題と対応策が必要である。

- [1] ロボカップ日本委員会にロボカップ@ホームでの競技会で超高効率レザバーチップとソフトロボティクスを融合したサービスロボットの産業化に直結するタスク設定(現在でも十分だが、より実現可能性をあげるため)を提案する。
- [2] 新たな競技会(サブリーグ)として ROS 制御を競うタスク設定も同時に提案する。
- [3] 教育リーグに上記のサブリーグ参加のためのコースを設定し、参加チーム増を狙う。
- [4] 上記のプロセスを若干の遅れを伴って、徐々に国際大会にも同様の競技会や教育リーグによる普及に務める。

幸い、九工大チームはロボカップ@ホームでの国内大会、国際大会ともに優勝経験があり、本プロジェクトの代表者自身がロボカップ創設者の一人でもあるので、提案しやすい状況にあり、これらは事業を推進する上での優位な態勢にある。

4.9.3 実用化・事業化の体制

ロボカップ日本委員会の@ホーム技術委員会(委員長は九工大田向准教授で森江チームメンバー)に本提案のタスクフォースを設定し、以下の項目を達成する。

- [1] 超高効率レザバーチップとソフトロボティクスを融合したサービスロボットの産業化に直結するタスクの設計
- [2] ROS 制御を競うサブリーグの提案
- [3] 教育リーグに上記のサブリーグ参加のためのコース設計
- [4] 配布チップの段取りや有力な参加チームの勧誘
- [5] ロボカップ国際委員会への提案のドラフト作成

上記は、本領域全体の人材育成に繋がるので、[3,4]に関しては、領域全体で事務局を設置し、配布チップの選定、試作、配布などの業務を遂行してもらう体制をつくる。

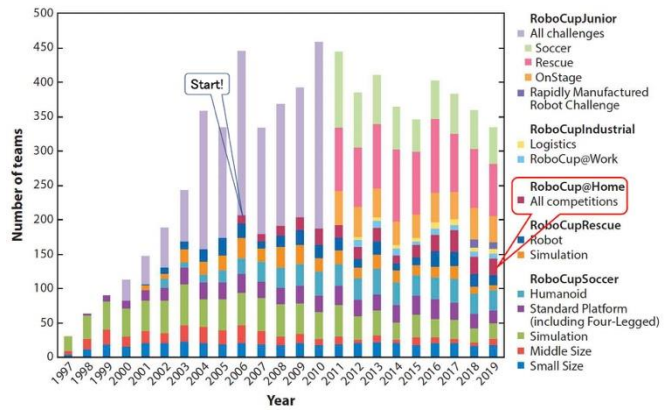
順調に教育リーグ並びに競技会が進行し、また、関連の国際会議や学会においてのデモンストレーションを通じて、企業を誘い込み、チップ・デバイスの改良設計・試作・販売、加えてサービスロボット関連のベンチャーなどとも連携して、社会実装に向けた活動を開始する。

4.9.4 市場規模と経済効果

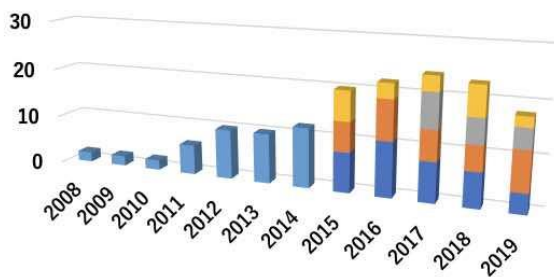
ロボカップ国際大会は 1997 年から開催されているが、ロボカップ@ホームリーグは、2005 年に提案され、2006 年から正式リーグとして毎年開催されている。現在では厳しい予選もあり、国際大会への参加チーム数は限られている(最大 30 チーム程度:次ページのグラフ参照)。国際大会に出場できない海外チームも多々あり、それぞれの地域での大会に参加している。

地域大会の代表例がジャパンオープンで 2008 年から@ホームリーグが開催されており、メジャーリーグの中では最多チーム数を誇る(下のグラフ参照)。九工大のチームを含め、国際大会での日本チームの優勝は多い。上記で提案したサブリーグや教育リーグの開催を国際大会にも拡張することで、参加者数は劇的に伸びると想定される。@ホームのみならず、サッカーやレスキュー、また産業応用の@ワークにも拡張できるであろうし、教育リーグの延長ではロボカップジュニアもプラットフォーム供給ができれば、可能性は高い。

ロボカップ国際大会での参加チーム数の遷移

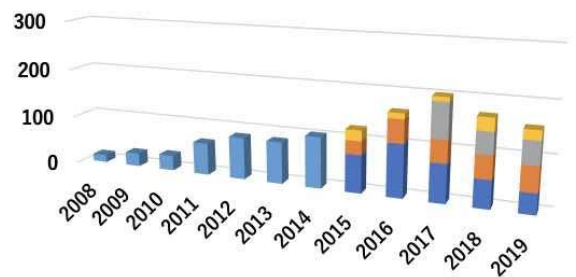


ジャパンオープン参加チーム数の遷移



■ OpenPlatform League ■ Education League ■ HSR League
■ Simulation ■ Home All

ジャパンオープン参加者数の遷移



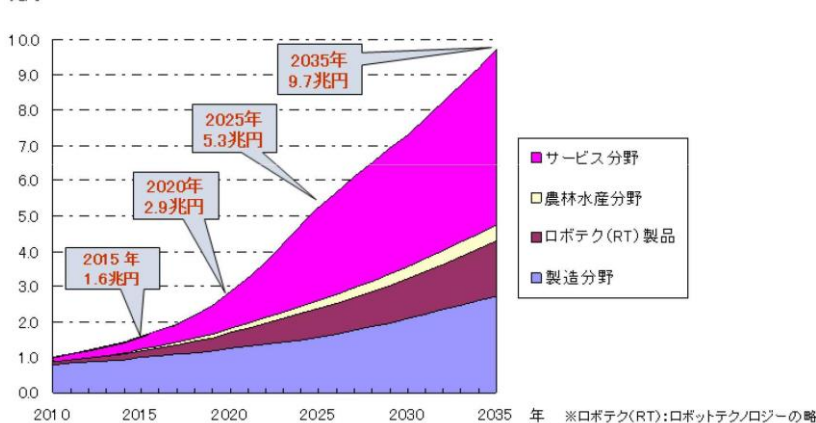
■ OpenPlatform League ■ Education League ■ HSR League
■ Simulation ■ Home All

このように、検証実験の場としてロボカップ(@ホーム)を活用することは、

- ニューロモルフィックデバイスの効率的かつ多様な検証実験が可能
- 公開競技として開催することで、プロモーション効果が高い
- ロボカップジュニアも巻き込んで、広範な世代幅の教育リーグに拡張できれば、非常に強力な人材育成基盤が構築できる。

これらの過程と並行して、関連企業との連携による社会実装を試みる。直接的応用としてはサービスロボットの市場であり、下に示す NEDO の予測では、サービスロボットの市場規模として 2035 年には 9.7 兆円とされている。@ホームでのタスクでは家庭内を想定しつつも、家事支

2035年までのロボット産業の将来市場予測



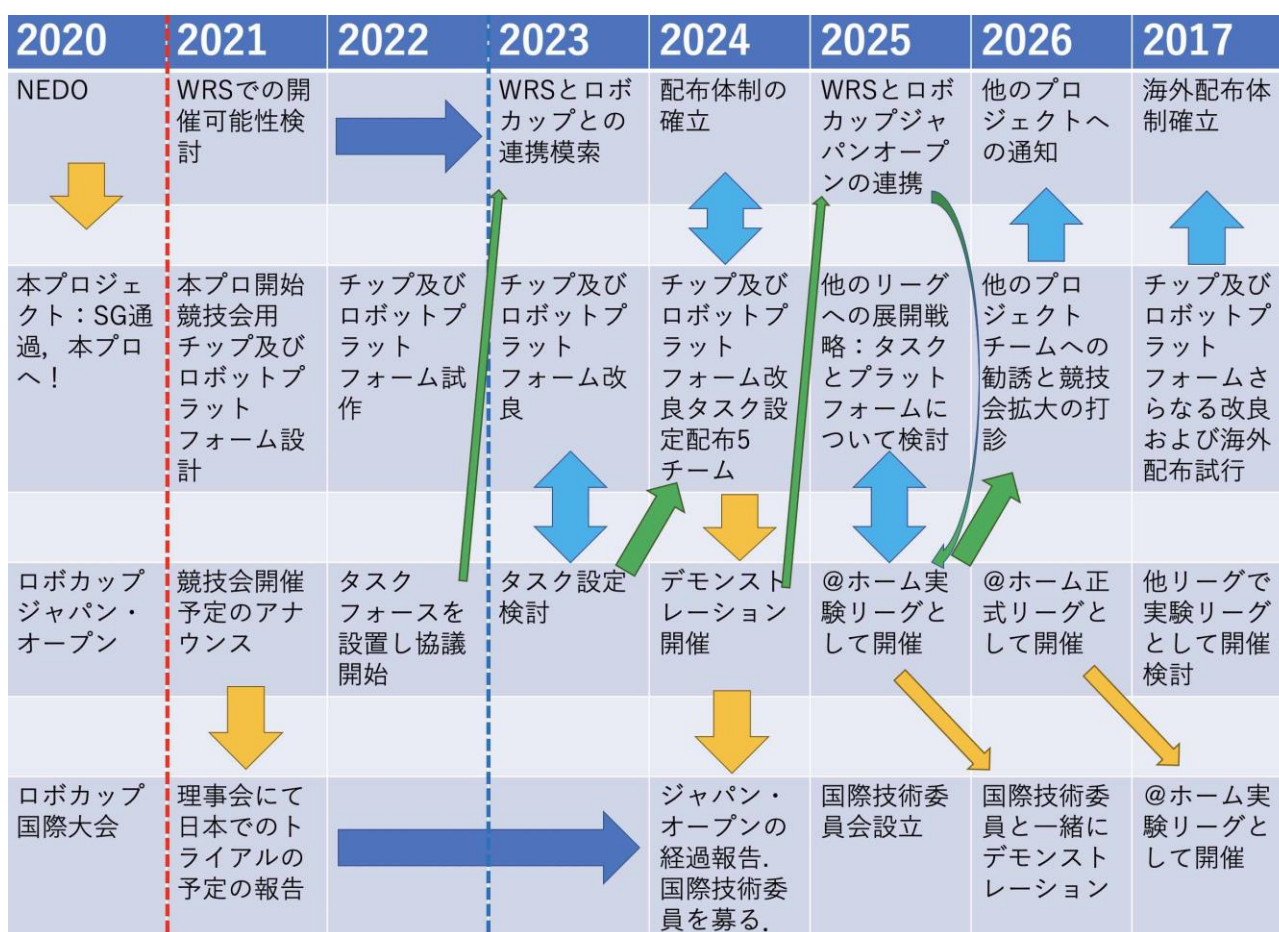
援、見守り・コミュニケーションのタスクが実現できれば、介護・福祉、受付案内、食品産業などの他のサービス分野は困難ではない。さらにロボカップのレスキューや@ワークにも波及できれば、災害救助、産業応用、さらに検査などの分野にも十分適用可能と推定され、その経済効果は大きい。

4.9.5 ベンチマーク

ロボットのコンテストは内外とも数多あるが、最先端研究を競う競技会としての比較対象はNEDO 主催の WRS が考えられる。ただし、WRS は毎年の開催ではないが、ロボカップは毎年、ジャパンオープンの国内大会及び国際大会が開催されるので、検証の場として利用しやすい。WRS 開催時には、共同して開催することも考えられる。幸い、WRS の関連競技の組織化に関しては、ロボカップ日本委員会のメンバーが深くコミットしているので、連携は十分可能と考えられる。

4.9.6 事業化までのマイルストーン

下図は、仮にステージゲートを通過し、開発プログラムに移行できたと想定した場合のマイルストーン図である。まずは、事業化への道筋を優先しており、教育リーグの拡充に関しては、明示的に示していないが、競技会を通じて、結果として育成に繋がると期待される。



4.10 深層確率コンピューティング技術の研究開発における実用化・事業化の見通し

4.10.1 概要

本研究成果の実用化においては、様々なレベルが考えられる。まずアルゴリズムやソフトウェアについては、本研究で開発するハードウェア上に留まらず、様々な計算機上で広く活用可能である。直接の事業化を行わないとしても、広く使われるアルゴリズムのインパクトは非常に大きく、社会に貢献する。

また本研究で開発するソフトウェアは、Google の TensorFlow Probability や Uber の Pyro 等と同様にオープンソース化する予定であり、既にベータ版を公開している。これによって、深層確率コンピューティングのソフトウェア開発効率の向上に大きく貢献できる。また、種々のアルゴリズムを簡易に実装できるようになり、基礎開発者から応用現場まで広く一般性の高い技術となる。

ハードウェアについては、基盤的な設計技術と実際のプロセッサ製造の2レベルでの実用化が可能である。基盤的な設計技術としてはソフトウェアと同様に、深層確率学習向けの専用・準汎用プロセッサ設計の容易化を実現するシステムとして提供が可能である。プロセッサ (LSI) 開発については事業化が必要であり、ユーザ・計算機ベンダ等のニーズを明確にして進める。

4.10.2 実用化・事業化への課題と対応策

アルゴリズムについては、3.6.1.5 の成果の普及で今後の展望と課題を既に詳細を述べた。特に IoT 時代の人工物のモニタリングにおいて、膨大なセンサ側情報をエッジ側で一次処理するために有用な手法となりうる。空調制御やプラント等における大規模なモニタリングの効率化のために、エッジ側での学習とクラウド上でのデータ同化を組み合わせ、高度な分散処理を実現することが目指される。このためには、適切なパイロットスタディが必要となる。

ソフトウェアについては、開発したソフトウェア T-PRISM/Pixyz は既に公開されており、実用が可能である状態である。また、開発アルゴリズムの一部実装、組み込み環境での動作試行等も既に行われており、準備が進んでいる。今後は、実用化・事業化に向けて、プログラミング言語としての機能を強化するとともに、本プロジェクトでの開発アルゴリズムを含めた、アルゴリズムの実装をさらに充実させる。また、本プロジェクトで開発するハードウェアとの連携を強めてゆく。

ハードウェアについては、プロセッサの製造には大きなコストがかかるため、アプリケーションを見極めて事業化を進める必要がある。ユーザ側の連携を強化する必要があり、今年度動作可能な実装に到達した段階で改めて意見交換を進めたい。現在、機械学習向けのプロセッサは各方面で開発されているが、確率機械学習向けのものは少なく、また本計画で進めているような本格的な専用回路を含むものも少ない。本開発の特徴が活きるような領域をさらに探索する。

4.10.3 実用化・事業化の体制

今後設計が確定した段階でワークショップ等の開催を企画したい。また、現在プロセッサの開発について、企業との連携を打診中である。

4.10.4 市場規模と経済効果

国内のみにおいても、2022 年の AI 向けサーバーラック数は 1 万を超えると見積もられており、年間 2 千ラック近くが導入されると考えられる (IDC の予測)。1 ラックのコストを 2 千万円とすると、サーバ投資額は 400 億円/年となり、世界的にはこの数十倍と想定される。仮に 1 兆円として、この 1%でも市場が得られれば 10 億円/年となり、継続的な開発が可能レベルとなる。これはサーバ系の話であるが、国内の広義の IoT 市場は 8 兆円程度であるので、世界レ

ベルでこの 0.01%程度の市場獲得が必須である。本開発の先にソリューション化を推進することにより、さらに大きな規模を得られる可能性がある。

4.10.5 ベンチマーク

アルゴリズム面でのベンチマークは、国際会議・論文等で様々なアルゴリズムの性能比較が行われており、今後その上で行われていくことになる。

ソフトウェア面でのベンチマークにおいても、同様にソフトウェアパッケージとしての比較が可能である。例えば、3.6.2 項の表 2-3.6.2-1 に T-PRISM の比較が示されている。また、実際の利用について、ダウンロード数や言及数、引用数で評価できる。これらについてはまだこれからであるが、3.6.2 項で示したように Pixyz については既に 8,000 以上のダウンロードがあり、著名研究者からの言及もなされている。

ハードウェア面でのベンチマークとしては、特定の計算の速度・電力性能を評価することになるが、競合と全く同じ条件は難しく、GPU を基準に比較していくことになる。Google TPUv2、Graphcore IPU 等が基準となると考えている。

4.10.6 事業化までのマイルストーン

- プロセッサの設計を完了し、FPGA 環境で開発ソフトウェアで書かれた開発アルゴリズムを動作させる。
- LSI 化した場合のより正確な性能・電力性能評価を行う。
- 実応用アプリケーションを動作させて実証を行う。

4.11 イン不揮発性メモリ分散 Approximate コンピューティングの研究開発における実用化・事業化の見通し

4.11.1 概要

本プロジェクト全体の最終的な事業化目標としては、2029 年以降にデータセンタ向けに Approximate コンピューティング・イン不揮発性メモリサーバを販売することを目指す。本研究期間完了後、実用化に向けた研究開発枠において、本格的な製品技術を開発し、事業化を行う。

その前段階として、三栄ハイテックスおよびリトルウイングは、最終目標以前の 2022 年度以降より順次 FPGA-IP 販売や分散処理まで含めた SI 事業化を目指している。これは、データセンタ事業者やコンピュータ・ストレージメーカーへ適用する前にオンプレミスでの利用から Approximate コンピューティング自体の市場を開拓する必要があるためである。そのために前段階として、三栄ハイテックスおよびリトルウイング両社で連携しながらオンプレミス環境での技術適用や顧客探索を行う。

4.11.2 実用化・事業化への課題と対応策

データセンタ事業者へ適用するためには、Approximate コンピューティング技術をオンプレミス環境で適用するなど、市場の啓発、ソフトウェア環境含めた整備が必要となる。

現在のデータサイエンティストは、PyTorch や TensorFlow といった高度に抽象化されたフレームワーク上で試行錯誤しながら深層学習のモデルを設計している。そのため、完成済みのモデルだけでなく、試行錯誤中のモデルの学習処理時間についても短縮する必要がある。しかし、データサイエンティスト自身が GPU 等よりもより高い省電力効果を得られる FPGA コードを個別に実装することは難しい(専門性の違いによるため)。また、Approximate 演算をどのように組み合わせるか、といった Approximate Computing 技術の適用を配慮して行うことはより困難である。そこで、リトルウイングと三栄ハイテックスとが連携し、Approximate 演算を行うための FPGA IP 群をコンポーネントとして予め用意しておきそれを柔軟に活用可能にする環境を提供する。さらに、独自のフレームワークを使ってもらうのは難しいため、使い慣れたデファクトのフレームワークで本研究の技術を利用できる必要がある。そのため、デファクトになりつつある PyTorch 上で書いた深層学習モデルを自動的に複数 FPGA/GPU で実行可能にするための技術を開発に着手している。

また、現時点の顧客は AI アルゴリズム自体の開発 PoC が主流であることから、高速化および省電力化は将来的な課題となると考える。そのため、三栄ハイテックス既存の事業の 1 つである AI アルゴリズム開発を通じて、高性能化や省電力化を必要とする案件を探索し、本研究技術の適用案件を模索する。併せて、展示会などに出展した際は、統合システムの展示デモ等による認知と新規顧客の探索を行い、実用化・事業化を目指していく。

4.11.3 実用化・事業化の体制

リトルウイング社および三栄ハイテックス社は、本研究の研究開発と並行して AI 関連の案件を個別に請け負っている。現時点での顧客は AI アルゴリズム自体の開発 PoC や、その周辺のシステム開発が主流であり、高速化 & 省電力化は将来的な課題である。ただ、この中で高いレベルでの高性能化・省電力化を必要とする案件が今後増加すると考えられるため、その中で本研究技術の適用を模索していく。また、展示会での展示などで新規顧客の探索結果と併せていくことで、本研究適用による課題の解決を検討していく。

4.11.4 市場規模と経済効果

Approximate コンピューティング型サーバ・ストレージの製品ターゲット市場である、世界におけるデータセンタ利用の市場規模は、クラウド・ICT 向けサービスの普及に伴って、2014 年時点で 177.7 億ドル(約 1 兆 9,547 億円)、2020 年度には 302 億ドル(約 3 兆 3,220 億円)に延びると予測されている。

(出典: <https://www.soumu.go.jp/johotsusintokei/whitepaper/ja/h30/html/nd111330.html>)

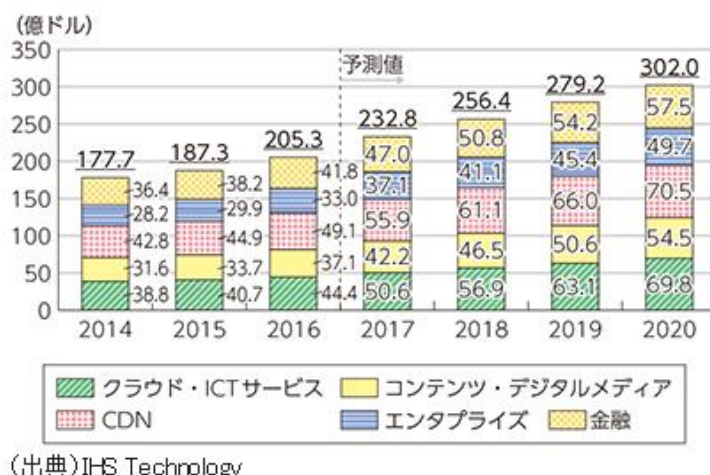


図 2-4.11.4-1 世界のデータセンター市場規模の推移及び予測(カテゴリ別)

また、世界におけるデータセンタ向けデバイスの市場予測では、2017 年には 77 億 1,890 万ドル(約 8,470 億円)と評価され、2025 年には 156 億 4,110 万ドル(約 1 兆 7,160 億円)に達すると予測されている(出典: <https://www.alliedmarketresearch.com/data-center-chip-market>)。世界規模で見てもデータセンタ向けのデバイスが市場の約 4 分の 1 を占めていることから、仮に、国内の市場規模が世界市場の 10 分の 1 ほどでも約 1,700 億円規模になる。今後もディープラーニングの発展が進むことを鑑みても、データセンタ向けのデバイスに対するアプローチは非常に大きな効果につながると思われる。

4.11.5 ベンチマーク

現在の分散処理フレームワークは、GPU については比較的容易に利用可能であるが、FPGA の利用は GPU に比べると普及していない。また、現在のミドルウェアの多くについては、推論処理は可能なものの、学習処理に FPGA を活用することは実現できていない。また、Approximate コンピューティング技術を利用できるツールはまだ一般的ではない。

現在、FPGA でニューラルネットワーク(ディープラーニング)における IP やライブラリ及び開発環境を提供・販売している企業はいくつかあるが、いずれも FPGA 上で推論を実行することに特化している。また、ターゲットとしている市場も、家電製品や建設機械(産業機器)、小型機械などエッジへの組み込みがメインとなっている。本研究発表はデータセンタを市場ターゲットとしており、三栄ハイテックス社は様々なニューラルネットワークの学習と推論を実行できる FPGA-IP の開発を行っている。特に、学習部を含む FPGA-IP の開発は前例のないものであり、競合にあたる企業が非常に少ないと考えている。そのため、売り上げ(利益)という観点でベンチマークを考えた際に、他の企業との具体的な比較はできないが、データセンタの市場規模が拡大していることを併せて考えても、FPGA-IP 販売の事業化は、弊社にとって利益拡大だけでなく、既存事業における新規顧客の獲得などより有益なものになっていくと思われる。

4.11.6 事業化までのマイルストーン

2022 年度までは引き続き開発と階層間との連携動作試験を行っていく。また、2023 年度から 2028 年度の間は Approximate コンピューティング市場の開拓に向けた探索作業をリトルウイングと協力しながら行い、並行して FPGA-IP の先行販売も模索する。本研究期間(2022 年度)終了後、実用化に向けた研究開発枠への移行を目指している。研究開発枠では、本探索研究で確立したハード・ソフト技術を盛り込み、データセンタ向け Approximate コンピューティング・イン不揮発性メモリサーバを開発する。2029 年度以前も FPGA-IP 販売や分散処理を含めた SI としての事業化を目指し、2029 年度にはメモリサーバの販売を見込んでいる。

4.12 物理ダイナミクスに基づく学習デバイスを備えた超高効率認知コンピューティングの研究開発における実用化・事業化の見通し（日本アイ・ビー・エム株式会社、東京大学）

4.12.1 概要

IoT 社会の進展に伴い、データセンター・ネットワーク・エッジにおける画像・音声・言語などの非構造化データ処理における技術革新が必要となっている。特に、エッジ・コンピューティングにおいては厳しい電力制約下での動作や高速処理などの高効率性、リアルタイム性、少量データによるオンライン学習などクラウド側とは大きく異なる性能要求があるにも関わらず、本来クラウド側の技術である深層学習や GPU アクセラレーションなどの技術をエッジ側に展開する例が多い。一方、本提案技術の物理リザーバー・コンピューティングはクラウド側・エッジ側双方において非構造化データを高効率で処理でき、その基本構造を変えることなく広範なタスクに応用可能であるという特長をもつ。従って、エッジ・コンピューティングにおいては、従来のアプローチに対して光やスピンによる物理リザーバーコンピューティングに高い優位性がある。

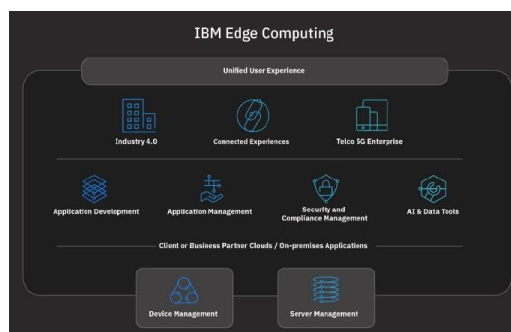
そこで、エッジコンピューティングにおける Proof-of-Concept デモを通して、実用化・事業化を目指す。具体的には、光の高速性を利用した5G・光ネットワークにおけるネットワーク内機械学習処理やスピンの低消費電力性を活かした M2M 上の機械学習処理等のエッジ・コンピューティングへの応用を幅広く探る。

4.12.2 実用化・事業化への課題と対応策

エッジ・コンピューティングはその技術領域が極めて多岐にわたることから、1社でソリューションを構築することは困難である。したがって、テレコム事業者や IoT 事業者と連携し、具体的なサービスに向けた Proof-of-Concept シナリオを構築して行くことが必要となる。

4.12.3 実用化・事業化の体制

Watson IoT プラットフォーム、パートナー・エコシステムとの協業を通して要件やビジネスパートナーを探る。さらに、IBM Edge Computing Manager などの IBM 製品への組み込みを目指す。



4.12.4 市場規模と経済効果

機械学習市場全体としては年平均成長率44%の成長により、2022年には881億ドルの市場規模に達すると見込まれる。一方で、大規模な機械学習モデルはその学習・推論過程において大量の電力を消費し、新たな二酸化炭素の排出源となる懸念もある。従って、本研究の目指す物理リザーバーコンピューティングによる高効率な認知データ処理技術は、従来の大規模機械学習に代わる選択肢を提供し、機械学習市場の発展に寄与すると期待される。

4.12.5 ベンチマーク

従来からリザーバーコンピューティングのベンチマークタスクとしては、音声認識が一般的に行われてきたため、音声データの入手が比較的容易であり、従来技術との比較が可能である。したがって、本技術を評価するために、単語の発話識別によるベンチマークを実施する。

4.12.6 事業化までのマイルストーン

本研究における事業化へのマイルストーンは以下の通りである。

1. アプリケーションの選定

本研究開発において、音声認識以外にもネットワーク内機械学習や、エッジにおけるセキュリティなどの様々な応用に関して探索をおこない、各デバイスの特性が最も活かされるアプリケーションを選定する。

2. システム要件の明確化

本研究開発において、選定されたアプリケーションに対し、要求されるスループット、消費電力、デバイスサイズなどのシステム要件の明確化をおこなう。

3. 事業化パートナーの特定

成果の普及を通してパートナー企業候補を選定し、それらの企業との事業計画を策定する。

4. プロダクトレベルのシステム開発

本研究開発によって基礎技術開発を終了し、物理リザーバー・コンピューティングの誤り率やデバイス動作の安定性などの項目について、製品レベルに要求される水準での検証を行う。

4.13 2028年に性能100倍を達成する汎用性の高い高性能計算機アーキテクチャとシステムソフトウェアの技術の探索における実用化・事業化の見通し（国内企業システムベンダー等）

4.13.1 概要

国内には、理研が運用するスーパーコンピュータ京、富岳を設計・製造し、同技術を使用した製品で事業化を行った企業である富士通を含め、富岳の次を請け負うことが可能なシステムベンダーが幾つか存在する。また、メモリ等のデバイス技術を開発する企業も存在する。これらの国内企業に加え国外（主に米国）の企業や研究所とも意見交換を行い、本課題で得られた知見を基に、将来における高性能計算機の実用化、事業化の道筋を模索している段階である。

4.13.2 実用化・事業化への課題と対応策

有望な要素技術を研究開発する国内企業はあるものの、実運用に耐える品質の製品化・システム化には長い道のりが必要となる。要素技術としては、例えば、デバイス製造技術、パッケージング技術、シミュレーション等による性能予測技術が挙げられる。また、富岳 Next のような新方式による次世代高性能計算機システムの構築に取り組む企業は少なく、産学で連携し、企業の観点での実現可能性の検討を行う必要がある。例えば、可能性のある新規アーキテクチャに対する実現可能性や、ソフトウェアのエコシステムを含めたシステム化の実現可能性について、企業自体も研究を行っているところではあるが、産学での連携によりそれを加速し、さらに事業化に繋げていく必要がある。

これに向けた対応策・取組として、以下を行っている。

- ・要素技術を研究開発する企業や国立研究所と意見交換
企業や研究所を訪問し、技術的な意見交換を実施。

意見交換企業・研究所：

米国 HPE（光インターコネクト技術）、富士通（高性能計算機システム、富岳）、
富士通セミコンダクタ（カーボンナノチューブメモリ）、
KIOXIA（NAND 型フラッシュメモリ）、
米国ローレンスバークレー研究所（新デバイスに対する性能予測、特化型計算等）、
米国アルゴンヌ国立研究所（CGRA コンパイラ・アーキテクチャ、特化型計算）、
AMD（一貫性維持リンクと DIMM I/F を有する chiplet）等

- ・産学間で必要な情報を共有し相乗効果を目指す。
 1. 次世代コンピューティングの最先端技術のロードマップやその性能パラメータの提供
 2. ロードマップや性能パラメータを参考に性能100倍達成のための性能推定
 3. アプリケーションの性能100倍達成するための数値目標の提供
 4. 企業のロードマップ作成や技術開発に寄与
- ・企業の参入障壁を低減する選択肢も準備
実績のある実装技術や CPU アーキとの Gap を抑制したアプローチ（McIM）も探索
Gap が原因でこぼれ落ちる市場規模を拾い上げ、企業の投資意欲を促進

4.13.3 実用化・事業化の体制

実用化・事業化の体制は、具体的に定まってははいない。

4.13.4 市場規模と経済効果

想定できる市場規模としては、HPC 市場(2020 年 280 億ドル)、データセンター(2020 年 3,000 億ドル)、FPGA 市場(2023 年 93 億ドル)の延びつつある市場が考えられ、これらを取り取ることができれば事業化の可能性は十分あり得る。また、McIM に関しては大容量のメモリに対応することで、HPC 向けプロセッサではカバーできないような領域の AI ユーザを取り込める可能性があり、その場合には、HPC 市場の 10 倍程度の規模が見込める。

4.13.5 ベンチマーク

HPC, データセンター・AI 等の想定市場におけるワークロードに対し性能評価を行うことで、潜在的な事業化の可能性や製品化した際のバリューを見積もれる可能性がある。これを行うには、そのような評価に長けた企業を連携して進めていく必要がある。

4.13.6 事業化までのマイルストーン

1. 国内企業との意見交換
2. 本研究課題への積極的参画を期待する企業との協議
3. 参画企業と、事業化を行う技術的ターゲットの絞り込み
4. 参画企業と、市場価値、事業化までのコストの見積り
5. 具体的な研究開発の開始

4.14 2028年に性能100倍を達成する汎用性の高い高性能計算機アーキテクチャとシステムソフトウェアの技術の探索「McIMの研究開発」における実用化・事業化の見通し

4.14.1 概要

Facebook社はSC19、HPCA'20などでグラフ解析やリコメンド処理(DLRM)の高速化など、同社のデータセンターワークロードの主要部分に関する高速化の研究開発を扇動している。事業規模が大きいため、自社特注のデータセンター構築を行う資金力も実力もある。現時点では双方に興味があることが確認できている段階。HPCA'20の会場にて当方の特任研究員が、Facebook社のAIインフラ研究責任者に、当方が不連続アクセスの高速化とDLRMの高速化に興味を持っていることをお伝えした際、グラフ解析の高速化への意思確認がなされた。その後、ISCA'20のFacebook社のNDP(RecNMP)の発表へのコメントの形で、当方の特任研究員がDIMM型のIrregular access用NDPのパイオニアで、ノウハウもあることをお伝えした段階にある。

4.14.2 実用化・事業化への課題と対応策

まだエミュレータの予算もついていない段階にあり、これを獲得し、実装し、説得力のある評価結果を得ることが課題である。それが成功すれば、重点アプリ二本柱であるリコメンドとグラフ解析を汎用的に加速する手段としてMcIMを将来ご採用いただける可能性はあると思われる。

4.14.3 実用化・事業化の体制

現時点では双方に興味があることが確認できている段階である。

4.14.4 市場規模と経済効果

AI系のユーザが欲しがると大容量メモリを搭載する構成にできるため、HPC市場の10倍程度の市場規模が見込める。

4.14.5 ベンチマーク

DLRMの高速化については同社独自のニアデータプロセッサRecNMPの研究を2020年6月に発表しているのがFacebook社が先行しているように一見見える。実機を作れば直面する問題が認識できていないことが読み取られ、試作経験も含め、DIMM上でのバンド幅向上技術などで当方は20年先行している。RecNMPは事実上Caffe2の特定の関数に専用化された回路なので応用範囲が狭い。McIMによるDLRMの高速化はRecNMPの専用回路をソフト的に実装することでも可能なので、応用範囲では大幅にMcIMが勝っている。先方はMcIM自体については何も知らない状況で、RecNMPには無くて当方にある加速要因がいくつかある。他にもNvidiaやIntelなどがそれぞれの現行製品ベースで案を出してくる状況なので、それらを現状で上回るか、ムーア則終焉時点で上回る伸び代を示す必要がある。

4.14.6 事業化までのマイルストーン

1. McIMエミュレータ用の予算獲得
2. McIMエミュレータの開発
3. McIMエミュレータ上でのDLRMやグラフ解析の評価
4. Facebook社への結果提示と本格的な協議・検討開始
5. 実装メーカーも交えた実用化への協議・検討開始

●特許論文等リスト（添付資料）

◎研究開発テーマ「実社会の事象をリアルタイム処理可能な次世代データ処理基盤技術の研究開発」

【論文】

番号	発表者	所属	タイトル	発表誌名、ページ番号	査読	発表年月
1	Yasuhiro Nakamura, Hideyuki Kawashima, Osamu Tatebe	筑波大学、慶應義塾大学	Integration of TicToc Concurrency Control Protocol with Parallel Write Ahead Logging Protocol	International Journal of Network Computing 9(2): 339-353 (2019)	有	2019/7
2	Harunobu Daikoku, Hideyuki Kawashima, Osamu Tatebe	筑波大学、慶應義塾大学	Skew-Aware Collective Communication for MapReduce Shuffling	IEICE Transactions on Information Systems 102-D(12): 2389-2399	有	2019/12
3	Kohei Hiraga, Osamu Tatebe, Hideyuki Kawashima	筑波大学、慶應義塾大学	Scalable Distributed Metadata Server Based on Nonblocking Transactions	Journal of Universal Computer Science, 26(1): 89-106	有	2020/1
4	Takayuki Tanabe, Takashi Hoshino, Hideyuki Kawashima, Osamu Tatebe	筑波大学、慶應義塾大学	An Analysis of Concurrency Control Protocols for In-Memory Database with CCBench	PVLDB (Proceedings of the VLDB Endowment) 13(13): 3531-3544 (2020).	有	2020/10

【外部発表】

(a) 学会発表・講演

番号	発表者	所属	タイトル	会議名	発表年月
1	神林 飛志	株式会社ノーチラス・テクノロジーズ	プロジェクトの概要	OLTP ユーザ会	2019/2
2	塩井 隆 円, 横田 治夫	東京工業大学	OLAP 用列指向データ構造への OLTP 用行指向データの変換方式 の検討	第 11 回データ工学と情報マネ ジメントに関するフォーラム	2019/3

番号	発表者	所属	タイトル	会議名	発表年月
3	諸岡 大輝, 塩井隆円, Le Hieu Hanh, 横田 治夫	東京工業大学	複数コア環境におけるアクセス範囲を考慮した OLTP/OLAP 同時実行手法	第 11 回データ工学と情報マネジメントに関するフォーラム	2019/3
4	杉浦 健人	名古屋大学	データストリーム管理システムに関する再考	第 11 回データ工学と情報マネジメントに関するフォーラム	2019/3
5	高尾 大樹	名古屋大学	確率モデルに基づく近似的な耐障害性の保証	第 11 回データ工学と情報マネジメントに関するフォーラム	2019/3
6	杉浦 健人	名古屋大学	データベース管理システムにおける 3D TIN 管理の検討	情報処理学会第 81 回全国大会	2019/3
7	笠井 雄太	名古屋大学	大規模点群データ分析のためのデータベースの検討	情報処理学会第 81 回全国大会	2019/3
8	松本 拓海, 佐々木 勇和, 鬼塚 真	大阪大学	大域的・局所的データ分析を両立した効率的なフレームワーク	データ工学と情報マネジメントに関するフォーラム	2019/3
9	涌田 悠佑, 善明 晃由, 松本 拓海, 佐々木 勇和, 鬼塚 真	大阪大学, 株式会社サイバーエージェント	Secondary index を活用する NoSQL スキーマ推薦によるクエリ処理高速化	The 3rd cross-disciplinary Workshop on Computing Systems, Infrastructures, and Programming	2019/5
10	神林 飛志	株式会社ノーチラス・テクノロジーズ	プロジェクトの概要	産総研 IMPULSE コンソーシアム	2019/6
11	高尾 大樹	名古屋大学	センサストリーム処理のための近似的耐障害性保証	第 169 回データベースシステム・第 136 回情報基礎とアクセス技術合同研究発表会	2019/9
12	神林 飛志	株式会社ノーチラス・テクノロジーズ	Project Tsurugi (“劔”)の概要	db tech showcase 2019	2019/9
13	神林 飛志	株式会社ノーチラス・テクノロジーズ	PostgreSQL の皮を被った次世代 RDBMS - Project Tsurugi (劔) について	PostgreSQL Conference Japan 2019 基調講演	2019/11
14	高尾 大樹	名古屋大学	Approximate Fault Tolerance for Sensor Stream Processing	Australasian Database Conference 2020	2020/2
15	諸岡 大輝, 塩井隆円, 引田 諭之, Le Hieu Hanh, 横田 治夫	東京工業大学	複数コア環境における HTAP を想定した OLTP 更新の OLAP への適用手法の検討・評価	第 12 回データ工学と情報マネジメントに関するフォーラム	2020/3

番号	発表者	所属	タイトル	会議名	発表年月
16	高尾 大樹	名古屋大学	チェックポイントリングを考慮した近似的耐障害性保証	第 12 回データ工学と情報マネジメントに関するフォーラム	2020/3
17	杉浦 健人	名古屋大学	並列ストリーム処理システムにおける DB を用いた内部状態の共有手法	第 12 回データ工学と情報マネジメントに関するフォーラム	2020/3
18	田中 玲吏	名古屋大学	RDBMS による 3D TIN データベース実装手法	情報処理学会第 82 回全国大会	2020/3
19	徳増 直紀	名古屋大学	メニーコアシステムにおける分散ストリーム処理システムの性能評価 - スループットに関する評価 -	情報処理学会第 82 回全国大会	2020/3
20	牧田 直樹	名古屋大学	メニーコアシステムにおける分散ストリーム処理システムの性能評価 - 遅延に関する評価 -	情報処理学会第 82 回全国大会	2020/3
21	葛木 優太, 伊藤 竜一, 中園 翔, 佐々木 勇和, 鬼塚 真	大阪大学, 日本電信電話株式会社	アボートの抑制を目的とするスレッド制御を用いたトランザクションへの資源割り当て	データ工学と情報マネジメントに関するフォーラム	2020/3
22	葛木 優太, 伊藤 竜一, 中園 翔, 佐々木 勇和, 鬼塚 真	大阪大学, 日本電信電話株式会社	アボートの抑制を目的とするスレッド制御を用いたトランザクションへの資源割り当て	The 4th cross-disciplinary Workshop on Computing Systems, Infrastructures, and Programming	2020/7
23	根本純、川島英之、遠山元道	慶應義塾大学	部分評価に基づくクエリコンパイラにおける SIMD 命令の活用	The 4th cross-disciplinary Workshop on Computing Systems, Infrastructures, and Programming	2020/7
24	四俣 徹, 藤原 紘子, 杉浦 健人, 石川 佳治, 神林 飛志, 埋金 進一, 川口 章, 佐藤 俊明	株式会社パスコ, 名古屋大学, 株式会社ノーチラス・テクノロジーズ	航空機オプリークカメラ撮影データからの 3D-TIN 高速作成	地理情報システム学会第 29 回学術研究発表大会	2020/10
25	神林 飛志	株式会社ノーチラス・テクノロジーズ	Project Tsurugi-中間報告	db tech showcase 2020	2020/11

(b) 新聞・雑誌等への掲載

番号	所属	発表内容	発表先	発表年月
1	株式会社ノーチラス・テクノロジーズ, 日本電気株式会社	本 PJ 概要紹介	日経 XTECH	2019/10/23
2	株式会社ノーチラス・テクノロジーズ, 日本電気株式会社	本 PJ 概要紹介	日経コンピュータ	2019/11/14
3	株式会社ノーチラス・テクノロジーズ, 日本電気株式会社	本 PJ 概要紹介	日本経済新聞電子版	2019/11/28

【受賞実績】

番号	発表者	所属	受賞種類	受賞内容	受賞年月
1	葛木 優 太, 伊藤 竜一, 中園 翔, 佐々木 勇和, 鬼塚 真	大阪大学, NTT	The 4th cross-disciplinary Workshop on Computing Systems, Infrastructures, and Programming において Outstanding Research Award を受賞	「アボートの抑制を目的とするス レッド制御を用いたトランザクシ ョンへの資源割り当て」の論文に関 して	2020/7
2	根本 潤, 川島 英 之, 遠山 元道	慶應義塾大学	The 4th cross-disciplinary Workshop on Computing Systems, Infrastructures, and Programming において Outstanding Research Award を受賞	「部分評価に基づくクエリコンパイ ラにおける SIMD 命令の活用」 の論文に関して	2020/7

◎研究開発テーマ「超電導パラメロン素子を用いた量子アニーリング技術の研究開発」

【特許】

特許件数 出願済 29 件

【論文】

番号	発表者	所属	タイトル	発表誌名、ページ番号	査読	発表年月
1	Yuxing He, Shiori Michibayashi, Naoki Takeuchi, Nobuyuki Yoshikawa	横浜国立大学	Sharp-selectivity in-line topology low temperature superconducting bandpass filter for superconducting quantum applications	Superconductor Science and Technology, Volume 33, Number 3	有	2020/2
2	Yuki Susa, Hidetoshi Nishimori	日本電気株式会社, 東京工業大学	Performance Enhancement of Quantum Annealing under the Lechner-Hauke-Zoller Scheme by Non-linear Driving of the Constraint Term	Journal of the Physical Society of Japan, Vol.89, No.4,	有	2020/3
3	Yasuharu Okamoto	日本電気株式会社	Finding a Maximum Common Subgraph from Molecular Structural Formulas through the Maximum Clique Approach Combined with the Ising Model	ACS Omega 2020, 5, 13064–13068	有	2020/5
4	Tomohiro Yamaji, Sota Kagami, A. Yamaguchi, Tetsuro Satoh, Kazuki Koshino, Hayato Goto, Lin Zhirong, Yasunobu Nakamura, Tsuyoshi Yamamoto	日本電気株式会社, 産業技術総合研究所, 理化学研究所, 医科歯科大, 株式会社東芝, 東京大学	Spectroscopic Observation of Crossover from Classical Durg Oscillator to Kerr Parametric Oscillator	Physical Review A 査読中 arXiv:2010.02621	有	2020/10

【外部発表】

(a) 学会発表・講演

番号	発表者	所属	タイトル	会議名	発表年月
1	山本 剛	日本電気株式会社	超伝導量子計算とパラメトリックデバイス	日本物理学会第 74 回年次大会	2019/3
2	西森 秀稔	東京工業大学	Quantum simulation of the Kibble-Zurek mechanism for the one-dimensional Ising model on the D-Wave machine	Seminar, 1Qbit, Canada	2019/4
3	西森 秀稔	東京工業大学	Quantum simulation of the Kibble-Zurek mechanism for the one-dimensional Ising model on the D-Wave machine	Seminar, D-Wave Systems Inc., Canada	2019/4
4	藤井 啓祐	大阪大学	NISQ 時代の量子コンピューティング	物性研究所スパコン共同利用・CCMS 合同研究会「計算物質科学の新展開」	2019/4
5	藤井 啓祐	大阪大学	NISQ 時代の量子コンピューティングと機械学習・量子化学への応用	量子コンピュータ&量子通信の最新動向と展望	2019/4
6	各務 惣太, 山道 智弘	日本電気株式会社	Dynamics of Josephson parametric oscillator with tunable Kerr nonlinearity	20 th Anniversary of superconducting qubits	2019/5
7	西森 秀稔	東京工業大学	Quantum Annealing: Current status and perspectives	ICT Research Initiative toward smart Society, China	2019/5
8	西森 秀稔	東京工業大学	量子コンピュータの今日と未来	新経営研究会イノベーションフォーラム	2019/5
9	藤井 啓祐	大阪大学	Applications of noisy-intermediate-scale quantum computing for machine learning and quantum simulation	20th Anniversary of Superconducting Qubits (SQ20th): Progress and Future Directions	2019/5
10	山本 剛	日本電気株式会社	Superconducting parametric devices	2019 Symposium on VLSI Technology	2019/6
11	各務 惣太, 山道 智弘	日本電気株式会社	Dynamics of Josephson parametric oscillator with large Kerr nonlinearity	Adiabatic quantum computing 2019	2019/6
12	西森 秀稔	東京工業大学	量子力学を使った計算の話	東工大、高校生のための先端科学技術フォーラム	2019/6

番号	発表者	所属	タイトル	会議名	発表年月
13	藤井 啓祐	大阪大学	Applications of noisy-intermediate-scale quantum computing for machine learning and quantum simulation	AQC2019	2019/6
14	西森 秀稔	東京工業大学	量子アニーリングの現状と展望	CRYPTREC シンポジウム 2019	2019/7
15	西森 秀稔	東京工業大学	量子アニーリング - 量子力学を使った計算の話 -	名古屋大学第 1 1 回 理学部コロキウム	2019/7
16	藤井 啓祐	大阪大学	NISQ 時代の量子コンピューティング : 量子・古典ハイブリッドアルゴリズム	量子イノベーション協創シンポジウム	2019/7
17	藤井 啓祐	大阪大学	量子コンピュータのためのソフトウェア	NICT オープンサミット 2019	2019/7
18	藤井 啓祐	大阪大学	NISQ 時代の量子コンピューティング	「先端ナノデバイス・材料テクノロジー第 151 委員会」令和元年度 第 2 回研究会	2019/7
19	西森 秀稔	東京工業大学	未来のコンピュータ ～量子コンピュータの礎を築く～	平成 31 年度全国理科教育大会	2019/8
20	西森 秀稔	東京工業大学	量子アニーリングを中心とした量子コンピュータ研究開発の現状と展望	第 42 回光通信研究会	2019/8
21	西森 秀稔	東京工業大学	量子アニーリングを中心とした量子コンピュータ研究開発の現状と展望	サイエンステクノフロンティアフォーラム・サイテックサロン	2019/8
22	西森 秀稔	東京工業大学	Quantum Computing by Quantum Annealing	SIAT Forum, Korea	2019/8
23	植田 圭, 戸川 望, 木村 晋二	早稲田大学	量子アニーリングエミュレータのためのデータ構造	情報処理学会 DA シンポジウム 2019	2019/8
24	西森 秀稔	東京工業大学	Performance enhancement of quantum annealing by non-traditional quantum driving	Japan-Netherlands Quantum Conference, Netherlands	2019/9
25	西森 秀稔	東京工業大学	量子アニーリングの理論と実装の現状	第 29 回 日本神経回路学会 全国大会	2019/9
26	藤井 啓祐	大阪大学	Methodologies for noisy intermediate-scale quantum (NISQ) computing for machine learning and quantum simulation	Japan-Netherlands Quantum Conference	2019/9
27	西森 秀稔	東京工業大学	Quantum Annealer as a Simulator of the 1d Transverse-Field Ising Model	East Asia Joint Symposium on Statistical Physics 2019, China,	2019/10

番号	発表者	所属	タイトル	会議名	発表年月
28	西森 秀稔	東京工業大学	Recent Developments in Quantum Annealing	Workshop on Selected Topics in Quantum Computation and Quantum Information	2019/10
29	西森 秀稔	東京工業大学	Acceleration of quantum annealing by non-traditional driving of quantum effects	International Workshop on Innovative Algorithm for Big Data, Japan, Invited talk	2019/10
30	藤井 啓祐	大阪大学	量子コンピュータが拓く未来	KEIS 量子コンピュータ講演会	2019/10
31	藤井 啓祐	大阪大学	State-of-the-art Quantum Computing Technology and Its Application for Machine Learning	The 1st AIRC-ISIR International Symposium	2019/10
32	西森 秀稔	東京工業大学	Quantum computing by quantum annealing	Tokyo Tech- IIT Guwahati Joint Workshop, Japan	2019/11
33	西森 秀稔	東京工業大学	量子アニーリングを中心とした量子コンピュータ研究開発の現状と展望 ～量子コンピュータは世界をどう変えるのか?～	アシストテクニカルフォーラム 2019	2019/11
34	西森 秀稔	東京工業大学	量子アニーリングを中心とした量子コンピュータ研究開発の現状と展望	UOS グループ関東支部例会	2019/11
35	河瀬 良亮、 藤井 啓祐	大阪大学	GPU を用いた量子ダイナミクスの高 速シミュレーション	電子情報通信学会 第 41 回量子情報技術 研究会(QIT41)	2019/11
36	山本 剛	日本電気株式会社	超伝導量子計算とパラメトリックデ バイス	第 5 回理研-産総研量子技術 イノベーション コア Workshop	2019/12
37	山道 智博	日本電気株式会社	高い Kerr 係数を持つ結合ジョセフ ソンパラメトリック発振器の測定	第 5 回理研-産総研量子技術 イノベーション コア Workshop	2019/12
38	渡辺 秀	日本電気株式会社	超電導パラメロン素子を用いた量 子アニーリングマシンのための三次元 実装構造の開発	第 5 回理研-産総研量子技術 イノベーション コア Workshop	2019/12
39	西森 秀稔	東京工業大学	量子アニーリングによる量子コンピ ュータの現状と展望	精密工学会 超精密加工専 門委員会 第 7 3 回研究会	2019/12
40	藤井 啓祐	大阪大学	Methodologies of noisy- intermediate-scale quantum computing for machine learning and quantum simulation	Topical Conference on Quantum Computing 2019	2019/12
41	藤井 啓祐	大阪大学	State-of-the-art quantum computing technology and quantum software	Moonshot International Symposium	2019/12

番号	発表者	所属	タイトル	会議名	発表年月
42	西森 秀稔	東京工業大学	量子アニーリングによる量子コンピュータ開発の現状と展望	蔵前工業会 新春講演会	2020/1
43	西森 秀稔	東京工業大学	量子アニーリングによる量子コンピュータ開発の現状と展望	暗号と情報セキュリティシンポジウム (SCIS2020)	2020/1
44	山本 剛	日本電気株式会社	超伝導量子計算とパラメトリックデバイス	第 8 回 CRAVITY シンポジウム	2020/2
45	西森 秀稔	東京工業大学	東工大研究ユニットフラッシュプレゼンテーション 量子コンピューティング研究ユニット	第 1 回東京工業大学 国際オープンイノベーションシンポジウム 2020	2020/2
46	西森 秀稔	東京工業大学	Quantum simulation of the Kibble-Zurek mechanism on D-Wave annealers	Meeting on Quantum Annealing of the LHZ Architecture and Related Topics	2020/2
47	藤井 啓祐	大阪大学	量子コンピュータ：宇宙最強のコンピュータへの挑戦	サイエンスカフェ 2019：計算機科学の最前線	2020/2
48	須佐 友紀, 西森 秀稔	日本電気株式会社, 東京工業大学	制約項の非線形ドライブによる LHZ 模型における量子アニーリングの効率向上	日本物理学会 第 75 回年次大会	2020/3
49	道林 詩織, 竹内 尚輝, 山梨 裕希, 吉川 信行	横浜国立大学	バイアス抵抗の削減による単一磁束量子マイクロ波スイッチの省電力化の検討	第 67 回応用物理学会 秋期学術講演会	2020/3
50	高川 佳大, 竹内 尚輝, 山梨 裕希, 吉川 信行	横浜国立大学	断熱量子磁束パラメロン回路を用いた位相判別回路の検討	第 67 回応用物理学会 秋期学術講演会	2020/3
51	西森 秀稔	東京工業大学	量子コンピュータ研究開発と日本の競争力強化	VISION2020	2020/8
52	西森 秀稔	東京工業大学	量子力学とそれを使った計算の話	東北大・理研 第 2 回連携ワークショップ 市民講演会	2020/9
53	高川 佳大, 吉川 信行, 竹内 尚輝, 山梨 裕希	横浜国立大学	断熱量子磁束パラメロン回路を用いた位相判別回路の感度向上方法の検討	第 81 回応用物理学会 秋季学術講演会	2020/9
54	道林 詩織, 竹内 尚輝, 山梨 裕希, 吉川 信行	横浜国立大学	可変振幅単一磁束量子マイクロ波スイッチの振幅制御特性の評価	第 81 回応用物理学会 秋季学術講演会	2020/9
55	藤井 啓祐	大阪大学	Applications of Noisy Intermediate-Scale Quantum Computer	2020 International Conference on Solid State Devices and Materials	2020/9
56	西森 秀稔	東京工業大学	量子アニーリングを中心とした量子コンピュータの現状と展望	第 39 回電子材料シンポジウム (EMS39)	2020/10

番号	発表者	所属	タイトル	会議名	発表年月
57	西森 秀稔	東京工業大学	Quantum simulation by quantum annealing	Conference on Quantum Annealing /AQC2020	2020/10
58	植田 圭, 戸川 望, 木村 晋二	早稲田大学	量子アニーリングシミュレータにおける疎行列表現方式の実行時間への影響	情報処理学会 量子ソフトウェア研究会	2020/10
59	藤井 啓祐	大阪大学	第三回ポストムーアを考える座談会～「量子コンピュータを知り、アーキテクチャを語ろう！」～	第 234 回 システム・アーキテクチャ研究発表会 (HotSPA2020)	2020/10
60	西森 秀稔	東京工業大学	量子アニーリングを中心とした量子コンピュータ研究開発の現状と展望	蔵前工業会兵庫県支部講演会	2020/11
61	西森 秀稔	東京工業大学	量子コンピュータ研究開発の現状と展望—量子アニーリングを中心として	日本国際工作機械見本市	2020/11
62	道林 詩織, 竹内 尚輝, 山梨 裕希, 吉川 信行	横浜国立大学	Power-controllable microwave switch using single-flux-quantum circuits	Applied Superconductivity Conference 2020	2020/11
63	高川 佳大, 竹内 尚輝, 山梨 裕希, 吉川 信行	横浜国立大学	Design and demonstration of a phase comparator using adiabatic quantum-flux-parametron logic	Applied Superconductivity Conference 2020	2020/11
64	宮崎 涼二	NEC	Spin representation of bifurcation-based quantum annealing with Kerr parametric oscillators	2021 APS March Meeting 発表予定	2021/3
65	Tomohiro Yamaji, Sota Kagami, A. Yamaguchi, Tetsuro Satoh, Kazuki Koshino, Hayato Goto, Lin Zhirong, Yasunobu Nakamura, Tsuyoshi Yamamoto	日本電気株式会社, 産業技術総合研究所, 理化学研究所, 医科歯科大, 株式会社東芝, 東京大学	Spectroscopic Observation of Crossover from Classical Durg Oscillator to Kerr Parametric Oscillator	2021 APS March Meeting 発表予定	2021/3

(b) 新聞・雑誌等への掲載

番号	所属	発表内容	発表先	発表年月
1	東京工業大学 西森 秀稔	科学の森：能力桁違い量子コンピューター開発競争激化、日本の巻き返しは	毎日新聞朝刊	2018/11
2	東京工業大学 西森 秀稔	量子コンピューター開発着々	河北新報	2019/1
3	東京工業大学 西森 秀稔	量子コンピューター基礎理論は日本発	高知新聞	2019/1
4	東京工業大学 西森 秀稔	「量子アニーリングマシン」はついに実用段階に達しようとしている	月間ニューメディア No.432	2019/1
5	東京工業大学 西森 秀稔	ゼロから分かる量子コンピューター Q&A	週間エコノミスト No.97-11	2019/3
6	東京工業大学 西森 秀稔	4年後、誰もが高性能コンピューターに手が届くように～「イジングマシン共通ソフトウェア基盤」開発順調	DG Lab Haus https://media.dglab.com/2019/03/14-ising-01/	2019/3
7	東京工業大学 西森 秀稔	量子コンピューター(Quantum Computer)	日経コンピュータ No.987	2019/4
8	東京工業大学 西森 秀稔	サイエンス 13年から論文引用急増	中国新聞	2019/4
9	東京工業大学 西森 秀稔	科学する人 「畑違い」の原理提唱	北国新聞	2019/4
10	東京工業大学 西森 秀稔	科学する人 「論理で完結」の数学好き	北国新聞	2019/4
11	東京工業大学 西森 秀稔	ホテル予約サイトの検索でも利用中 量子アニーリングの現状と活用例	DG Lab Haus https://media.dglab.com/2019/05/28-quantum-compute-01/	2019/5
12	東京工業大学 西森 秀稔	Ising Modelとアニーリングの考え方	マイナビニュース https://news.mynavi.jp/article/annealing-2/	2019/5
13	東京工業大学 西森 秀稔	科学する人 論文引用、一気に増加	北国新聞	2019/5
14	東京工業大学 西森 秀稔	科学する人 "畑違い"の提唱者/思いがけず扉開く	中部経済新聞	2019/5
15	東京工業大学 西森 秀稔	科学する人 講師バイトで話術鍛える/数学から理論物理学へ	中部経済新聞	2019/5
16	東京工業大学 西森 秀稔	科学する人 論文引用、一気に増加/退任後も研究続ける	中部経済新聞	2019/5
17	東京工業大学 西森 秀稔	科学 マイストーリー マシン 東北大に設置	河北新聞	2019/5
18	東京工業大学 西森 秀稔	科学する人 計算飛躍的に高速化 実用化向け研究今後も	福井新聞	2019/5
19	東京工業大学 西森 秀稔	科学する人 思いがけず扉開く	秋田さきがけ新聞	2019/6
20	東京工業大学 西森 秀稔	科学する人 バイトで話術鍛える	秋田さきがけ新聞	2019/6

番号	所属	発表内容	発表先	発表年月
21	東京工業大学 西森 秀稔	科学する人 論文引用、一気に増加	秋田さきがけ新聞	2019/6
22	東京工業大学 西森 秀稔	科学する人 思いがけず開いた扉	熊本日日新聞	2019/7
23	東京工業大学 西森 秀稔	量子コンピューティングは日本が世界をリードできる分野だ 連載・次世代計算機「量子アニーリング」の進展(1)	ニュースイッチ https://newswitch.jp/p/18251	2019/7
24	東京工業大学 西森 秀稔	量子コンピューティング「イジングマシン」が解決する課題(連載・次世代計算機「量子アニーリング」の進展(2))	ニュースイッチ https://newswitch.jp/p/18264	2019/7
25	東京工業大学 西森 秀稔	量子コンピュータって何? 動作の仕組みや開発ロードマップ、未来像を解説	CodeZin https://codezine.jp/article/detail/11616	2019/7
26	東京工業大学 西森 秀稔	科学技術政策 研究力の回復で経済成長を	読売新聞 https://www.yomiuri.co.jp/editorial/20190707-OYT1T50169/	2019/7
27	東京工業大学 西森 秀稔	グーグルなどが量子超越性実証に成功 従来型のスパコン上回る計算能力示す	毎日新聞	2019/10
28	東京工業大学 西森 秀稔	量子コンピューター「5~10年で実現」研究者、スパコン陣営に反論	毎日新聞	2019/10
29	東京工業大学 西森 秀稔	(革新の軌跡)量子計算機 基礎理論を提唱	日経産業新聞	2019/10
30	東京工業大学 西森 秀稔	東工大 西森 秀稔教授が語る「量子コンピューターの現在」、相次ぐ報道の考え方	ビジネス+IT https://www.sbbt.jp/article/cont1/37008	2019/11
31	東京工業大学 西森 秀稔	量子 2 強が競う門戸開放	日本経済新聞	2019/11
32	大阪大学 藤井 啓祐	「量子超越」社会変革も	日本経済新聞	2019/11
33	大阪大学 藤井 啓祐	革命技術生む超速計算	産経新聞	2019/11
34	日本電気株式会社	NEC、量子コンピューティングサービスを提供開始 アニーリングマシンを活用	IT media https://www.itmedia.co.jp/enterprise/articles/1912/23/news067.html	2019/12
35	日本電気株式会社	NEC、量子コンピューティング領域に本格参入	PC Watch https://pc.watch.impress.co.jp/docs/news/1225916.html	2019/12
36	大阪大学 藤井 啓祐	とにかくスパコン超え	東京新聞	2019/12
37	大阪大学 藤井 啓祐	とにかくスパコン超え	中日新聞	2019/12

番号	所属	発表内容	発表先	発表年月
38	大阪大学 藤井 啓祐	量子をめぐるエコシステム (特集 量子コンピュータ: 情報科学技術の新しいパラダイム)	現代思想	2020/1
39	東京工業大学 西森 秀稔	記者解説 量子コンピュータの胎動	朝日新聞	2020/2
40	大阪大学 藤井 啓祐	量子コンピュータを用いた量子超越実験	情報処理	2020/2
41	大阪大学 藤井 啓祐	Googleが作った量子コンピューター	日経サイエンス	2020/2
42	大阪大学 藤井 啓祐	Google が実証を発表した「量子超越性」とは何か	科学雑誌ニュートン	2020/2
43	大阪大学 藤井 啓祐	35歳で阪大教授、藤井さんは量子ブームをどう見る	朝日新聞デジタル	2020/2
44	大阪大学 藤井 啓祐	量子コンピューターの胎動	朝日新聞	2020/2
45	東京工業大学 西森 秀稔	科学の森 複雑な計算高速処理 量子コンピュータ研究のいま (上)	毎日新聞	2020/3
46	東京工業大学 西森 秀稔	米中のはざままで 安保条約60年 第2部/2 「究極の暗号」中国が先行	毎日新聞	2020/3
47	大阪大学 藤井 啓祐	量子コンピュータの現状と可能性	生産と技術	2020/3
48	大阪大学 藤井 啓祐	量子コンピュータを用いた量子超越実験で示されたこと	日本物理学会誌	2020/3
49	東京工業大学 西森 秀稔	変革のデンスー 「化学反応」飛躍のカギに	日本経済新聞電子版及び中部版	2020/4
50	東京工業大学 西森 秀稔	スパコン、8億年かかる問題を1秒で解決…「量子コンピュータ」時代くる	韓国 中央日報	2020/5
51	東京工業大学 西森 秀稔	量子コン 応用研究が加速 最速の物流探る・金融界も注目	読売新聞	2020/5
52	東京工業大学 西森 秀稔	ルート計算、速度500倍 東工大など開発 「量子コンピューター脅かす」	毎日新聞	2020/6
53	東京工業大学 西森 秀稔	最適化計算機でシミュレーション 不完全素子でも理論実証	化学工業日報	2020/9
54	東京工業大学 西森 秀稔	量子アニーリングマシンで量子シミュレーション実行	科学新聞	2020/9
55	東京工業大学 西森 秀稔	量子コンピューター実用へ前進 スパコン超え 分子研が新物質開発	中日新聞	2020/9
56	東京工業大学 西森 秀稔	ノーベル賞週間迫る！日本人3年連続なるか？有力候補者と研究成果をご紹介します	日刊工業新聞	2020/9
57	東京工業大学 西森 秀稔	D-Wave Systems unveils new hardware, business model in race to commercialize quantum computing	The Globe and Mail	2020/9

番号	所属	発表内容	発表先	発表年月
58	東京工業大学 西森 秀稔	東工大など、量子コンピューターで磁性体内の欠陥検証“実験装”	日刊工業新聞	2020/10
59	日本電気株式会社	カナダ D-Wave に 10 億円を投じた NEC、CTO が明かした狙い	日経クロステック https://xtech.nikkei.com/atcl/nxt/news/18/08157/	2020/11
60	東京工業大学 西森 秀稔	量子計算、勤務シフトや配送ルートにも 実用化の波	日本経済新聞	2020/11

(c) 展示会への出展

番号	所属	タイトル	展示会名	発表年月
1	日本電気株式会社	超電導パラメトロン素子を用いた量子アニーリングマシンの研究開発	経済産業省 政策シンポジウム 次世代コンピュータが実現する革新的ビジネス ～量子コンピュータ/アニーリングマシンが切り開く未来～	2019/5
2	日本電気株式会社, 産業技術総合研究所	超電導量子アニーリングマシン (NEDO ブース内)	CEATEC 2019	2019/10
3	日本電気株式会社	複雑な社会課題を解決する量子コンピュータ	C&C ユーザーフォーラム &iEXPO2019	2019/11
4	日本電気株式会社	量子技術を支えるナノテクノロジー	nano tech 2020 第 19 回 国際ナノテクノロジー総合展	2020/1
5	日本電気株式会社	Quantum computing activities in NEC, and collaboration with D-Wave	Qubits 2020	2020/9
6	日本電気株式会社	量子コンピューティングの可能性と、NEC の取り組み	第 1 回 量子コンピューティング EXPO【秋】	2020/10
7	日本電気株式会社	複雑な社会課題を解決する量子コンピューティングの活用	NEC Visionary Week	2020/11

◎研究開発テーマ「ディスアグリゲーション型次世代データセンタに適用する光電ハイブリッドスイッチを用いた高速低電力データ伝送システムの研究開発」

【特許】

番号	出願者	出願番号	国内 外国 PCT	出願日	状態	名 称	発明者
1	日本電信電話株式会社	特願 2020-002515	PCT	2020/1/24	出願中	導波路型光スイッチ回路およびその駆動方法	森脇 摂
2	産業技術総合研究所	特願 2020-024329	PCT	2020/2/17	出願中	電気光ハイブリッドスイッチネットワーク	松本怜典
3	富士通オプティカルコンポーネンツ株式会社	特願 2020-168252	国内	2020/10/5	出願中	受信装置及び受信方法	坂井良男

【論文】

番号	発表者	所属	タイトル	発表誌名、ページ番号	査読	発表年月
1	森 洋二郎, Mungun-Erdene Ganbold, 佐藤 健一	名古屋大学	Design and Evaluation of Optical Circuit Switches for Intra-Datacenter Networking	IEEE/OSA Journal of Lightwave Technology 2019 vol.37, No,2, P.330 - 337	有	2019/4

【外部発表】

(a) 学会発表・講演

番号	発表者	所属	タイトル	会議名	発表年月
1	佐藤 健一	名古屋大学	Role of Optical Circuit Switching and Realization Technologies for Datacenter Applicatio	PSC 2018	2018/9
2	Yojiro Mori, Mungun-Erdene Ganbold, Shu Namiki, Ken-ichi Sato	名古屋大学	Fast Optical Circuit Switch Using Monolithically Integrated Silicon-Photonic Space Switch and Wavelength-Tuneable Filter	ECOC 2018	2018/9

番号	発表者	所属	タイトル	会議名	発表年月
3	Mungun-Erdene Ganbold, 森 洋二郎, 佐藤 健一	名古屋大学	Performance evaluation of large-scale optical circuit switch for data centers	電子情報通信学会光通信方式研究会	2019/2
4	才田 隆志	光電子融合基板技術研究所	ディスプレイ型次世代データセンタに適用する光電ハイブリッドスイッチを用いた高速低電力データ伝送システムの研究開発	平成 30 年度光産業技術シンポジウム	2019/2
5	Truong Thao Nguyen	産業技術総合研究所	On the feasibility of Optical Circuit Switching for Distributed Deep Learning	PHOTONICS: Photonics-Optics Technology Oriented Networking, Information, and Computing Systems	2019/11
6	佐藤 健一	産業技術総合研究所	通信技術の進展 ーアーキテクチャの視点とネットワークの研究開発ー	第 33 回 光通信システムシンポジウム	2019/12
7	佐藤 健一	産業技術総合研究所	Role of Optical Technologies to Compensate the End of Moore's Law	IEEE 2019 The 2nd World Symposium on Communication Engineering (WSCE 2019)	2019/12
8	森 洋二郎, 長谷川 浩, 佐藤 健一	名古屋大学	波長分割多重および空間分割多重を用いた大容量光スイッチ	光通信システム研究会 (OCS)	2020/1
9	高野 了成, 清水 敏行, 岡崎 史裕, 石井 紀代, 並木 周, 佐藤 健一	産業技術総合研究所	Fast Control Plane Mechanism for an Optical and Electrical Hybrid Switch Network	Open Compute Project Future Technology Symposium	2020/3
10	佐藤 健一	産業技術総合研究所	Design and Performance of Optical Switching Technologies for Data Center Networks	OFC2020	2020/3
11	森脇 撰	光電子融合基板技術研究所	Fastest Switching of 84 us at Silica-based PLC Switch	OFC2020	2020/3
12	佐藤 健一	産業技術総合研究所	Design and Performance of Large Port Count Optical Switches for Intra Data Centre Application	International Conference on Transparent Optical Network 2020 (ICTON 2020)	2020/7
13	森脇 撰	光電子融合基板技術研究所	石英系 PLC スイッチにおけるスイッチング時間短縮	フォトニックネットワーク研究会	2020/8

番号	発表者	所属	タイトル	会議名	発表年月
14	本田 瑛士	名古屋大学	空間分割多重を用いたデータセンタ内光スイッチの性能評価	電子情報通信学会 ソサイエティ大会	2020/9
15	本田 瑛士	名古屋大学	Evaluation on High-Throughput Optical Circuit Switch for Intra-Datacenter Networks Based on Spatial Super-Channels	OptoElectronics and Communications Conference (OECC)	2020/10

(b) 展示会への出展

番号	所属	タイトル	展示会名	発表年月
1	光電子融合基板技術研究所	ディスアグリゲーション型次世代データセンタに適用する光電ハイブリッドスイッチを用いた高速低電力データ伝送システムの研究開発	インターオプト 2018	2018/10
2	光電子融合基板技術研究所	次世代データセンタ向け低消費電力スイッチシステムの開発 ～光電ハイブリッドスイッチシステム～	インターオプト 2020	2020/1

◎研究開発テーマ「イジングマシン共通ソフトウェア基盤の研究開発」

【論文】

番号	発表者	所属	タイトル	発表誌名、ページ番号	査読	発表年月
1	関 優也, 川畑 史郎	産業技術総合研究所	量子コンピュータと量子アニーリングマシンによる量子シミュレーション	数理科学 No. 667 (2019) 40-46	有	2019/1
2	Yang Wei Koh、西森 秀稔	東京工業大学	Reduction of the energy-gap scaling by coherent catalysis in models of quantum annealing	Physical Review A 101, 052304	有	2020/5

【外部発表】

(a) 学会発表・講演

番号	発表者	所属	タイトル	会議名	発表年月
1	河原林 健一	国立情報学研究所	疎グラフのアルゴリズム	第 11 回 Web とデータベースに関するフォーラム	2018/9
2	河原林 健一	国立情報学研究所	組合せ最適化問題に対する現代アルゴリズム	第 12 回アクセラレーション技術発表討論会「量子コンピュータ」電子情報通信学会	2019/1
3	竹原 康太, 於久 太祐, 松田 佳希, 田中 宗, 戸川 望	早稲田大学, 株式会社フィクスターズ	SA ベースのイジングマシンにより巡回セールスマン問題を高速解法するための多種軽量係数試行法	SA ベースのイジングマシンにより巡回セールスマン問題を高速解法するための多種軽量係数試行法	2019/3
4	戸川 望	早稲田大学	早稲田大学におけるユーザ企業ハブ構築と基盤ソフトウェア開発	経済産業省シンポジウム「次世代コンピュータが実現する革新的ビジネス」	2019/5
5	Kentaro Imafuku	産業技術総合研究所	Reconstruction of Model for Unknown Probabilistic Phenomena by Quantum Annealing	20th Anniversary of Superconducting Qubit	2019/5
6	Kota Takehara, Daisuke Oku, Yoshiki Matsuda, Shu Tanaka, and Nozomu Togawa	早稲田大学, 株式会社フィクスターズ	A Consideration on Multiple Coefficients Trial Method to Solve Traveling Salesman Problem for Simulated-Annealing-Based Ising Machine	Adiabatic Quantum Computing Conference (AQC-19)	2019/6

番号	発表者	所属	タイトル	会議名	発表年月
7	Daisuke Oku, Shu Tanaka, and Nozomu Togawa	早稲田大学	A Consideration on Multiple Coefficients Trial Method to Solve Traveling Salesman Problem for Simulated-Annealing-Based Ising Machine	Adiabatic Quantum Computing Conference (AQC-19)	2019/6
8	Tatsuhiko Shirai, Shu Tanaka, and Nozomu Togawa	早稲田大学	A Theoretical Model for Tuning of Embedding Algorithm in Ising Machines	Adiabatic Quantum Computing Conference (AQC-19)	2019/6
9	Kentaro Imafuku	産業技術総合研究所	Quantum Tomography based on Quantum Annealing Computation	Adiabatic Quantum Computing Conference (AQC-19)	2019/6
10	多和田 雅師, 田中 宗, 戸川 望	早稲田大学	低密度パリティ検査符号復号問題を制約なし二次形式二値変数最適化問題に変換した解法	情報処理学会 DA シンポジウム	2019/8
11	Kota Takehara, Daisuke Oku, Yoshiki Matsuda	早稲田大学, 株式会社フィックスターズ	A Multiple Coefficients Trial Method to Solve Combinatorial Optimization Problems for Simulated-annealing-based Ising Machines	IEEE International Conference on Consumer Electronics in Berlin (ICCE-Berlin)	2019/9
12	関 優也, 松崎 雄一郎, 川畑 史郎	産業技術総合研究所	量子アニーリングを用いた励起状態探索	日本物理学会 2019 年秋季大会	2019/9
13	関 優也, 松崎 雄一郎, 川畑 史郎	産業技術総合研究所	量子アニーリングを用いた励起状態探索	日本物理学会 2019 年秋季大会	2019/9

番号	発表者	所属	タイトル	会議名	発表年月
14	Kensuke Tamura, Tatsuhiko Shirai, Hosho Katsura, Shu Tanaka, and Nozomu Togawa	早稲田大学, 東京大学	Performance Comparison of Integer Encoding Methods in Ising Machines	Deep Learning and Physics (DLAP2019)	2019/10
15	Yuya Seki	産業技術総合研究所	Spin representation of problems and approach using quantum annealing	The 5th International Workshop on Innovative Algorithms for Big Data	2019/10
16	Yuya Seki, Matsuzaki Yuichiro, and Shiro Kawabata	産業技術総合研究所	Excited state search by quantum annealing	理研-産総研 第5回量子技術イノベーションコア Workshop	2019/12
17	Shu Tanaka, Yoshiki Matsuda, and Nozomu Togawa	早稲田大学, 株式会社フィックスターズ	Theory of Ising Machines and a Common Software Platform for Ising Machines	IEEE/ACM Asia South Pacific Design Automation Conference 2020 (ASP-DAC 2020)	2020/1
18	Masashi Tawada, Shu Tanaka, and Nozomu Togawa	早稲田大学	A New LDPC Code Decoding Method: Expanding the Scope of Ising Machines	International Conference on Consumer Electronics 2020 (ICCE-2020)	2020/1
19	田中 宗, 戸川 望	早稲田大学	イジングマシン分野の研究開発の現状と今後 ～ハード・ソフト・アプリケーション・理論～	2020年電子情報通信学会総合大会	2020/3
20	白井 達彦, 田中 宗, 戸川 望	早稲田大学	温度効果を用いたイジングマシンにおける埋込アルゴリズムの理論	2020年電子情報通信学会総合大会	2020/3
21	田村 健祐, 白井 達彦, 桂 法称, 田中 宗, 戸川 望	早稲田大学, 東京大学	イジングマシンにおける整数バイナリ変換の性能比較	日本物理学会第75回年次大会	2020/3

番号	発表者	所属	タイトル	会議名	発表年月
22	Yuya Seki, Matsuzaki Yuichiro, and Shiro Kawabata	産業技術総合研究 所	Excited-state search by quantum annealing	APS march meeting 2020	2020/3
23	松田 佳希	株式会社フィックス ターズ	イジングマシンにおける共通ソフトウ ェア基盤開発	2020 年電子情報通信学会総 合大会	2020/3
24	高田 淳司, 高橋 俊輔	株式会社ネクスティエ レクトロニクス, 豊田 通商株式会社	イジングマシン分野の研究開発の現 状と今後 ～イジングマシン共通ソフ トウェア基盤の開発加速を意図した 評価データセットおよび環境の整備～	2020 年電子情報通信学会総 合大会	2020/3
25	粟島 亨, 高橋 俊輔	豊田通商株式会社	イジングマシン分野の研究開発の現 状と今後 ～イジングマシンに関する 豊田通商の取り組みと狙い, および アカデミアへの期待～	2020 年電子情報通信学会総 合大会	2020/3
26	今福 健太 郎	産業技術総合研究 所	量子アニーリングを用いた量子トモグラ フィーについて	西森秀稔研究室セミナー	2020/6
27	Y. Matsuzaki, H. Hakoshim a, K. Sugisaki, Y. Seki, S. Kawabata	産業技術総合研究 所	Direct estimation of the energy gap between the ground state and excited state with quantum annealing	International Conference on Solid State Devices and Materials 2020 (SSDM2020)	2020/9
28	坂倉 佑季, 工藤 和恵, 白井 達彦, 田中 宗, 戸川 望	早稲田大学	アニーリングに基づくアルゴリズムによる 画像の多値分類	第 23 回情報論的学習理論 ワークショップ (IBIS2020)	2020/10
29	佐藤 由佳, 工藤 和恵, 白井 達彦, 田中 宗, 戸川 望	早稲田大学	アニーリングマシンを用いた乗り合いの マッチング最適化	第 23 回情報論的学習理論 ワークショップ (IBIS2020)	2020/10
30	朝岡 日向 子, 工藤 和恵, 白井 達彦, 田中 宗, 戸川 望	早稲田大学	辞書学習を利用した画像解析	第 23 回情報論的学習理論 ワークショップ (IBIS2020)	2020/10
31	白井 達彦, 田中 宗, 戸川 望	早稲田大学	温度効果に基づくイジング計算機に おける埋込アルゴリズム	情報処理学会研究報告	2020/10

(b) 新聞・雑誌等への掲載

番号	所属	タイトル	掲載誌名	発表年月
1	東京工業大学	「量子アニーリングマシン」はついに実用段階に達しようとしている	月間ニューメディア誌	2019/1
2	早稲田大学	4年後、誰もが高性能コンピューターに手が届くように～	DGLAB HAUS	2019/3
3	東京工業大学	ゼロから分かる量子コンピューターQ&A	週間エコノミスト誌	2019/3
4	東京工業大学	科学する人 「論理で完結」の数学好き	北国新聞	2019/4
5	東京工業大学	科学する人 「畑違い」の原理提唱	北国新聞	2019/4
6	東京工業大学	サイエンス 13年から論文引用急増	中国新聞	2019/4
7	東京工業大学	量子コンピューター(Quantum Computer)	日経コンピュータ誌	2019/4
8	東京工業大学	How quantum computers are transforming travel	Engineering and Technology	2019/4
9	早稲田大学	「量子コン」民間活用を支援…超高速計算で効率化	読売新聞	2019/5
10	東京工業大学	科学する人 計算飛躍的に高速化 実用化向け研究今後も	福井新聞	2019/5
11	東京工業大学	科学 マイストーリー マシン 東北大に設置	河北新聞	2019/5
12	東京工業大学	科学する人 論文引用、一気に増加/退任後も研究続ける	中部経済新聞	2019/5
13	東京工業大学	科学する人 講師バイトで話術鍛える/数学から理論物理学へ	中部経済新聞	2019/5
14	東京工業大学	科学する人 "畑違い"の提唱者/思いがけず扉開く	中部経済新聞	2019/5
15	東京工業大学	科学する人 論文引用、一気に増加	北国新聞	2019/5
16	東京工業大学	科学する人 論文引用、一気に増加	秋田さきがけ新聞	2019/6
17	東京工業大学	科学する人 バイトで話術鍛える	秋田さきがけ新聞	2019/6
18	東京工業大学	科学する人 思いがけず扉開く	秋田さきがけ新聞	2019/6
19	早稲田大学	量子コンピューティング、早大が開発する「共通ソフトウェア基盤」の役割	ニュースイッチ	2019/7
20	早稲田大学	子コンピューティング「イジングマシン」が解決する課題	ニュースイッチ	2019/7
21	東京工業大学	科学する人 思いがけず開いた扉	熊本日日新聞	2019/7

番号	所属	タイトル	掲載誌名	発表年月
22	東京工業大学	社説 科学技術政策 研究力の回復で経済成長を	読売新聞	2019/7
23	東京工業大学	グーグルなどが量子超越性実証に成功 従来型のスパコン上回る計算能力示す	毎日新聞	2019/10
24	東京工業大学	量子コンピューター「5～10年で実現」研究者、スパコン陣営に反論	毎日新聞	2019/10
25	東京工業大学	(革新の軌跡)量子計算機 基礎理論を提唱	日経産業新聞	2019/10
26	東京工業大学	量子2強が競う門戸開放	日本経済新聞	2019/11
27	東京工業大学	記者解説 量子コンピューターの始動	朝日新聞	2020/2
28	東京工業大学	米中のはざまで 安保条約60年第2部／2「究極の暗号」中国が先行	毎日新聞	2020/3
29	東京工業大学	科学の森 複雑な計算高速処理 量子コンピューター研究のいま（上）	毎日新聞	2020/3
30	東京工業大学	Fujitsu's CMOS Digital Annealer Produces Quantum Computer Speeds	IEEE Spectrum	2020/3
31	東京工業大学	変革のデンスー「化学反応」飛躍のカギに	日本経済新聞電子版及び中部版	2020/4
32	東京工業大学	Quantum Information Technologies: Approaches, Use Cases and Metrics	EETimes	2020/4
33	東京工業大学	量子コン 応用研究が加速 最速の物流探る・金融界も注目	読売新聞	2020/5
34	東京工業大学	スパコン、8億年かかる問題を1秒で解決…「量子コンピューター」時代くる	韓国 中央日報	2020/5
35	東京工業大学	ルート計算、速度500倍 東工大など開発 「量子コンピューター脅かす」	毎日新聞	2020/6

◎研究開発テーマ「未来共生社会にむけたニューロモルフィックダイナミクスのポテンシャルの解明」

【特許】

番号	出願者	出願番号	国内 外国 PCT	出願日	状態	名 称	発明者
1	株式会社日立製作所	特願 2020-024630	国内	2020/2/17	出願	リザーバー計算機	大島 俊
2	大阪大学	特願 2020-049840	国内	2020/3/19	調査中	流路式触覚センサ	石原 尚, 他 4 名

【論文】

番号	発表者	所属	タイトル	発表誌名、ページ番号	査読	発表年月
1	Kohei Nakajima, Taichi Haruna	The University of Tokyo	Spatiotemporal dynamics driven by the maximization of local information transfer	New Journal of Physics, 21(1), 013034.	有	2019/1
2	Jihoon Park, Koki Ichinose, Yuji Kawai et al.	Osaka University	Macroscopic Cluster Organizations Change the Complexity of Neural Activity	Entropy, 21(2), 214.	有	2019/2
3	Kohei Nakajima, Keisuke Fujii, Makoto Negoro et al.	The University of Tokyo	Boosting computational power through spatial multiplexing in quantum reservoir computing	Physical Review Applied, 11(3), 034021.	有	2019/3
4	Sumito Tsunegi, Tomohiro Taniguchi, Kohei Nakajima et al.	National Institute of Advanced Industrial Science and Technology	Physical reservoir computing based on spin torque oscillator with forced synchronization	Applied Physics Letters, 114(16) 164101.	有	2019/4
5	鹿山 敦至, 矢田 祐一郎, 高橋 宏知	東京大学	神経細胞の分散培養系における集団同期発火パターンとネットワーク構造の発達	電気学会論文誌 C 電子情報システム部門誌, 139(5), 570-578.	有	2019/5
6	三田 毅, Douglas Bakkum・Urs Frey 等	東京大学	高密度 CMOS アレイ上の分散培養系における活動電位波形に基づく興奮性及び抑制性神経細胞の分類	電気学会論文誌 C 電子情報システム部門誌, 139(5), 615-624.	有	2019/5

番号	発表者	所属	タイトル	発表誌名、ページ番号	査読	発表年月
7	石津 光太郎, 白松 (磯口) 知世, 小河原 康一 等	東京大学	ラットの聴覚タスク中のマイクロ皮質脳波計測	電気学会論文誌 C 電子情報システム部門誌 139(5), 625-631.	有	2019/5
8	Atsushi Kayama, Yuichiro Yada, Hirokazu Takahashi	The University of Tokyo	Development of network structure and synchronized firing patterns in dissociated culture of neurons	Electronics and Communications in Japan, 102(9), 3-11.	有	2019/7
9	高橋 宏知	東京大学	エンジニアのための脳科学のすすめ	電子情報通信学会誌, 102(9), 881-888.	有	2019/9
10	Tomohiro Taniguchi, Nozomi Akashi, Hirofumi Notsu et al.	National Institute of Advanced Industrial Science and Technology	Chaos in nanomagnet via feedback current	<i>Physical Review B</i> , 100: 174425	有	2019/11
11	常木 澄人, 谷口 知大, 三輪 真嗣 等	産業技術総合研究所	スピントルク発振器を用いた物理リザバー計算	日本磁気学会学会誌, No. 14, Vol. 6	有	2019/12
12	中嶋 浩平	東京大学	物理リザバー計算の射程—ソフトロボットを例に	システム/制御/情報, 63(12), 505-511.	有	2019/12
13	Terufumi Yamaguchi, Nozomi Akashi, Kohei Nakajima et al.	National Institute of Advanced Industrial Science and Technology	Synchronization and chaos in spin torque oscillator with perpendicularly magnetized free layer	Physics Review B, 100(22), 224422.	有	2019/12
14	Taichi Haruna, Kohei Nakajima	Tokyo Woman's Christian University	Optimal short-term memory before the edge of chaos in driven random recurrent networks	Physical Review E, 100(6), 062312.	有	2019/12
15	Hirokazu Takahashi	The University of Tokyo	Darwinian computation with functional map in auditory cortex	Acoustical Science and Technology, 41(1), 39-47.	有	2020/1

番号	発表者	所属	タイトル	発表誌名、ページ番号	査読	発表年月
16	Tomohiro Taniguchi	National Institute of Advanced Industrial Science and Technology	Synchronization and chaos in spin torque oscillator with two free layers	AIP Advances, 10(1), 015112.	有	2020/1
17	Terufumi Yamaguchi, Sumito Tsunegi, Tomohiro Taniguchi	National Institute of Advanced Industrial Science and Technology	Phase estimation of spin-torque oscillator by nonlinear spin-torque diode effect	Japanese Journal of Applied Physics, 59(2), 020903.	有	2020/1
18	Takuma Tanaka, Kohei Nakajima, Toshio Aoyagi	Shiga University	Effect of recurrent infomax on the information processing capability of input-driven recurrent neural networks	Neuroscience Research, (in press).	有	2020/2
19	Yutaro Ishida, Hakaru Tamukoh	Kyushu Institute of Technology	Semi-Automatic Dataset Generation for Object Detection and Recognition and its Evaluation on Domestic Service Robots	Journal of Robotics and Mechatronics, 32(1), 245-253.	有	2020/2
20	Mizuka Komatsu, Takaharu Yaguchi, Kohei Nakajima	Kobe University	Algebraic approach towards the exploitation of "softness": the input-output equation for morphological computation	The International Journal of Robotics Research, (in press).	有	2020/3
21	Tomoyo Isoguchi Shiramatsu, Hirokazu Takahashi	The University of Tokyo	Mismatch-negativity (MMN) in animal models: Homology of human MMN?	Hearing Research, (in press)	有	2020/3
22	窪田 智之, 中嶋 浩平, 高橋 宏知	東京大学	1次視覚野の過渡ダイナミクスの推定	電気学会論文誌 C 電子情報システム部門誌, 140(7), 723-729.	有	2020/3
23	Shota Hamaguchi, Takumi Kawasetsu, Takato Horii et al.	Mie University	Soft Inductive Tactile Sensor using Flow Channel Enclosing Liquid Metal	IEEE Robotics and Automation Letters, 5(3), 4028-4034.	有	2020/4

番号	発表者	所属	タイトル	発表誌名、ページ番号	査読	発表年月
24	Shogo Yonekura, Yasuo Kuniyoshi	The University of Tokyo	Spike-induced ordering: Stochastic neural spikes provide immediate adaptability to the sensorimotor system	Proceedings of the National Academy of Science	有	2020/4
25	Kohei Nakajima	The University of Tokyo	Physical reservoir computing---an introductory perspective	Japanese Journal of Applied Physics, 59(6), 060501.	有	2020/5
26	Yutaro Ishida, Takashi Morie, Hakaru Tamukoh	Kyushu Institute of Technology	A hardware intelligent processing accelerator for domestic service robots	Advanced Robotics, 34(14), 947-957.	有	2020/6
27	Hirokazu Takahashi, Tomoyo Isoguchi Shiramatsu, Rie Hitsuyu et al.	The University of Tokyo	Vagus nerve stimulation (VNS)-induced layer-specific modulation of evoked responses in the sensory cortex of rats	Scientific Reports, 10(1), 8932.	有	2020/6
28	Katsuma Inoue, Kohei Nakajima, and Yasuo Kuniyoshi	The University of Tokyo	Designing spontaneous behavioral switching via chaotic itinerancy	Science Advances, (in press)	有	2020/11
29	Terufumi Yamaguchi, Nozomi Akashi, Kohei Nakajima et al.	National Institute of Advanced Industrial Science and Technology	Step-like dependence of memory function on pulse width in spintronics reservoir computing	Scientific Reports, (in press)	有	2020/11
30	Kazutoshi Tanaka, Shih-Hsin Yang, Yuji Tokudome et al.	OMRON SINIC X Corporation	Flapping-Wing Dynamics as a Natural Detector of Wind Direction	Advanced Intelligent Systems, (in press)	有	2020/11

番号	発表者	所属	タイトル	発表誌名、ページ番号	査読	発表年月
31	Yuichiro Tanaka, Takashi Morie, and Hakaru Tamukoh	Kyushu Institute of Technology	An amygdala-inspired classical conditioning model on FPGA for home service robots	IEEE Access (in press)	有	2020
32	Ichiro Kawashima, Takashi Morie, and Hakaru Tamukoh	Kyushu Institute of Technology	FPGA implementation of hardware-oriented chaotic Boltzmann machines	IEEE Access (in press)	有	2020

【外部発表】

(a) 学会発表・講演

番号	発表者	所属	タイトル	会議名	発表年月
1	浅田 稔	大阪大学	未来共生社会を広げるニューロモフィックダイナミクス	NEDO フェスタ in 関西の TSC Foresight セミナー	2018/12
2	Sumito Tsunegi, Tomohiro Taniguchi, Shinji Miwa et al.	National Institute of Advanced Industrial Science and Technology	The effect of voltage on reservoir computing performance of a spin torque oscillator	応用物理学会春季学術講演会	2019/3
3	常木 澄人, 谷口 知大, 三輪 真嗣 等	産業総合研究所	スピントルク発振素子の短時間記憶容量	応用物理学会春季学術講演会	2019/3
4	原田 将敬, 森江 隆, 高橋 光恵 等	九州工業大学	FeFET を用いた時間領域アナログ積和演算回路の特性評価	応用物理学会春季学術講演会	2019/3
5	田向 権	九州工業大学	世界大会一位に3度輝いた生活支援ロボットが登場	九州工業大学×博多大丸タイアップイベント	2019/3
6	田向 権	九州工業大学	世界大会3連覇を達成した九工大のホームサービスロボット～九工大・明専会学生プロジェクト紹介と実機デモンストレーション～	明専会総会	2019/3
7	田向 権	九州工業大学	ホームサービスロボット実現に向けた取り組み	北九州プロバスクラブ	2019/3

番号	発表者	所属	タイトル	会議名	発表年月
8	久米 弘祐, 川節 拓実, 堀井 隆斗 等	奈良高専	三角格子状に配置したコイルと磁性 マーカを用いた柔軟触覚センサの基 礎特性評価	ロボティクス・メカトロニクス講演会	2019/6
9	水野海渡, 川節 拓実, 石原 尚 等	奈良高専	子供アンドロイドの接触反応実験に 向けた骨格と触覚を備える小型手部 の開発	ロボティクス・メカトロニクス講演会	2019/6
10	Minoru Asada	Osaka University	Neuromorphic Dynamics towards Symbiotic Society with AI/Robots	JST-MOST Workshop on "Nanoelectronics and System Integration for AI	2019/6
11	朴 志勲, 小椋 基弘, 河合 祐司 等	大阪大学	スパイクニューロンモデルの興奮性/抑 制性バランスが ネットワーク形成に及 ぼす影響	ニューロコンピューティング研究会	2019/6
12	鈴木 健太 郎, 朴 志 勲, 河合 祐司 等	大阪大学	スモールワールド性もたらす二つの 脳神経モデルの同期	ニューロコンピューティング研究会	2019/6
13	Kentaro Suzuki, Jihoon Park, Yuji Kawai et al.	Osaka University	Small-world networks enhance the inter-brain synchronization	Annual Computational Neuroscience Meeting	2019/7
14	Kaoruko Higuchi, Hoshinori Kanazawa, Yuma Suzuki et al.	The University of Tokyo	Musculoskeletal Bias on Infant Sensorimotor Development Driven by Predictive Learning	Joint IEEE International Conference on Development and Learning and on Epigenetic Robotics	2019/8
15	田向 権	九州工業大学	家庭用サービスロボットの実現に向け た競技会への参加・教育への応用	九州工業大学 110 周年記念 フォーラム	2019/8
16	森江 隆	九州工業大学	次世代人工知能のための脳型集積 回路技術とデバイス技術	半導体・集積回路技術シンポジ ウム	2019/8
17	山口 皓史, 明石 望洋, 中嶋 浩平 等	産業総合研究所	スピントルク発振器における強制同期 の理論	日本物理学会 2019 年秋季 大会	2019/9

番号	発表者	所属	タイトル	会議名	発表年月
18	Tomoyuki Kubota, Kohei Nakajima, Hirokazu Takahashi	The University of Tokyo	Echo State Property of Neuronal Cell Cultures.	International Conference on Artificial Neural Networks	2019/9
19	森江 隆, 原田 將敬, 高橋 光恵 等	九州工業大学	3 端子アナログメモリ素子としての FeFET の適用を目指した人工知能ハードウェアモデルと回路アーキテクチャ	応用物理学会秋季学術講演会	2019/9
20	Sumito Tsunegi, Tomohiro Taniguchi, Kohei Nakajima et al.	National Institute of Advanced Industrial Science and Technology	Physical reservoir computing based on spin torque oscillator	日本磁気学会学術講演会	2019/9
21	Yutaro Ishida, Hakaru Tamukoh	Kyushu Institute of Technology	High-Level Synthesis System to Integrate SoC and ROS	Asia Pacific Conference on Robot IoT System Development and Platform	2019/11
22	Tomohiro Taniguchi	National Institute of Advanced Industrial Science and Technology	Synchronization and chaos in spin torque oscillator with two free layers	Annual Conference on Magnetism and Magnetic Materials	2019/11
23	Sumito Tsunegi, Tomohiro Taniguchi, Kohei Nakajima et al.	National Institute of Advanced Industrial Science and Technology	Physical Reservoir Computing based on Spin Torque Oscillator with Synchronization	Annual Conference on Magnetism and Magnetic Materials	2019/11
24	Terufumi Yamaguchi, Nozomi Akashi, Kohei Nakajima et al.	National Institute of Advanced Industrial Science and Technology	Injection Locking of Spin-Torque Oscillator with Perpendicularly Magnetized Free Layer	Annual Conference on Magnetism and Magnetic Materials	2019/11

番号	発表者	所属	タイトル	会議名	発表年月
25	Katsuma Inoue, Kohei Nakajima, Yasuo Kuniyoshi	The University of Tokyo	Soft bodies as input reservoir: role of softness from the viewpoint of reservoir computing	International Symposium on Micro-NanoMechatronics and Human Science	2019/12
26	Nozomi Akashi, Kohei Nakajima, Yasuo Kuniyoshi	The University of Tokyo	Unpredictable as a dice: analyzing riddled basin structures in passive dynamic walker	International Symposium on Micro-NanoMechatronics and Human Science	2019/12
27	Jihoon Park, Yuji Kawai, Minoru Asada	Osaka University	Formation of Connectivity between Spiking Neural Networks with Balanced Excitation and Inhibition	脳と心のメカニズム冬のワークショップ	2020/1
28	浅田 稔	大阪大学	日本の次世代人工知能技術はロボットを中心に加速する	NEDO AI & ROBOT NEXT シンポジウム～人を見守る人工知能、人と協働するロボットの実現に向けて～	2020/1
29	Sumito Tsunegi	産業総合研究所	Physical Reservoir Computing based on Spin Torque Oscillator with forced synchronization	The 3rd Symposium for The Core Research Clusters for Materials Science and Spintronics	2020/2
30	石田 裕太郎, 田向 権	九州工業大学	ホームサービスロボットの物体検出・認識のための深層ニューラルネットワーク	電子情報通信学会スマートインフォメディアシステム研究会	2020/3
31	山口 皓史, 明石 望洋, 中嶋 浩平等	産業総合研究所	スピントルク発振器におけるカオスの理論	日本物理学会 第75回年次大会	2020/3
32	明石 望洋, 山口 皓史, 常木 澄人等	東京大学	スピントルク発振器における情報処理能力と分岐構造の関係	日本物理学会	2020/3
33	Kota Wakamatsu, Katsuma Inoue, Daiki Hagiwara et al.	Chuo University	Mixing State Estimation of Peristaltic Continuous Mixing Conveyor with Distributed Sensing System Based on Soft Intestine Motion	IEEE International Conference on Soft Robotics	2020/5

番号	発表者	所属	タイトル	会議名	発表年月
34	Ryo Sakurai, Mitsuhiro Nishida, Hideyuki Sakurai et al.	Bridgestone Corporation	Emulating a sensor using soft material dynamics: A reservoir computing approach to pneumatic artificial muscle	IEEE International Conference on Soft Robotics	2020/5
35	Shota Hamaguchi, Takumi Kawasetsu, Takato Horii et al.	Mie University	Soft Inductive Tactile Sensor using Flow Channel Enclosing Liquid Metal	IEEE International Conference on Soft Robotics	2020/5
36	水野海渡, 川節 拓実, 堀井 隆斗 等	奈良高専	触覚を備える子供アンドロイド用小型ハンドの骨格の改良と表面張力層の実装	ロボティクス・メカトロニクス講演会	2020/5
37	Jihoon Park, Yuji Kawai, Minoru Asada	Osaka University	Self-organization of connectivity in spiking neural networks with balanced excitation and inhibition	Annual Computational Neuroscience Meeting	2020/7
38	山口 皓史, 明石 望洋, 常木 澄人 等	産業総合研究所	遅延回路を含むスピントロニクス・リザバーの短時間記憶容量	応用物理学会秋季学術講演会	2020/9
39	谷口 知大, 明石 望洋, 野津 裕史 等	産業総合研究所	遅延回路を含むスピントロニクス素子におけるカオス	応用物理学会秋季学術講演会	2020/9
40	Akira Kamimaki, Sumito Tsunegi, Tomohiro Taniguchi et al.	National Institute of Advanced Industrial Science and Technology	Chaotic Behavior of Spin-Torque Oscillator with Feedback Circuit	応用物理学会秋季学術講演会	2020/9
41	Akira Kamimaki, Sumito Tsunegi, Tomohiro Taniguchi et al.	National Institute of Advanced Industrial Science and Technology	Physical Reservoir Computing by Spin-Torque Oscillator at the Edge of Chaos	応用物理学会秋季学術講演会	2020/9

番号	発表者	所属	タイトル	会議名	発表年月
42	Gabor Soter, Andrew Conn, Helmut Hauser et al.	University of Bristol	Shape reconstruction of CCD camera-based soft tactile sensors	IEEE/RSJ International Conference on Intelligent Robots and Systems	2020/10
43	徳野 将士, 田中 悠一朗, 川節 拓実 等	九州工業大学	柔軟触覚センサを搭載したロボットハンドによる触覚情報からの物体認識	日本ロボット学会 学術講演会	2020/10
44	Shoshi Tokuno, Yuichiro Tanaka, Takumi Kawasetsu et al.	Kyushu Institute of Technology	Object Recognition Using Flexible Tactile Sensor	Asia Pacific Conference on Robot IoT System Development and Platform	2020/11
45	Akira Kamimaki, Sumito Tsunegi, Tomoithiro Taniguchi et al.	National Institute of Advanced Industrial Science and Technology	Physical Reservoir Computing by Spin-Torque Oscillator at the Edge of Chaos	The 2020 Magnetism and Magnetic Materials Conference	2020/11
46	Masafumi Inada, Yuichiro Tanaka, Hakaru Tamukoh et al.	はこだて未来大学	A Reservoir Based Q-learning Model for Autonomous Mobile Robots	The 2020 International Symposium on Nonlinear Theory and Its Applications (NOLTA2020),	2020/11
47	Daichi Yamamoto, Ichiro Kawashima, Hakaru Tamukoh et al.	はこだて未来大学	FPGA Implementation and Verification of Reservoir Computing Based on Pseudo-Billiard Dynamics in Hypercube	The 2020 International Symposium on Nonlinear Theory and Its Applications	2020/11

番号	発表者	所属	タイトル	会議名	発表年月
48	Yuichiro Tanaka, Hakaru Tamukoh, Katsumi Tateno et al.	Kyushu Institute of Technology	A Brain-inspired Artificial Intelligence Model of Hippocampus, Amygdala, and Prefrontal Cortex on Home Service Robots	The 2020 International Symposium on Nonlinear Theory and Its Applications	2020/11
49	Pramanta Dinda, Hakaru Tamukoh	Kyushu Institute of Technology	Design and Implementation of Pulse-Coupled Phase Oscillators on a Field-Programmable Gate Array for Reservoir Computing	International Conference on Neural Information Processing	2020/11
50	大河原 昂也, 香取 勇一	はこだて未来大学	レザバー計算と深層強化学習を組み合わせた推論機構の研究	第 30 回日本神経回路学会 全国大会	2020/12

(b) 新聞・雑誌等への掲載

番号	所属	発表内容	発表先	発表年月
1	九州工業大学	WRS 本番直前, 「サプライズ」タスク前倒して公表	日刊工業新聞	2018/10
2	九州工業大学	散らかった部屋をロボットが片付けてくれる未来 WRS「サービスカテゴリ」ってどんな競技? 競技委員長に聞く	ロボット情報 WEB マガジン ロボスタ	2018/10
3	九州工業大学	【WRS 開催中】お片付けロボの動作, 成否を左右する人工知能	日刊工業新聞	2018/10
4	九州工業大学	WRS 受賞者, 喜びの声 成果, 次に引き継ぐ	日刊工業新聞	2018/10
5	九州工業大学	経産省が主催するロボット競技会「WRS」結果発表! 競い抜いた 5 日間	ロボット情報 WEB マガジン ロボスタ	2018/10
6	九州工業大学	九州工大、博多大丸と科学イベント ロボットや AI 紹介	日本経済新聞	2019/3
7	産業技術総合研究所	ナノ磁石を用いたレザバー計算の性能を向上	産総研ホームページ (プレス発表)	2019/4
8	東京大学	神経の確率的スパイク発火による秩序生成機能の発見	UTokyo FOCUS Articles	2020/6

◎研究開発テーマ「深層確率コンピューティング技術の研究開発」

【外部発表】

(a) 学会発表・講演

番号	発表者	所属	タイトル	会議名	発表年月
1	鈴木 雅大	東京大学	生成モデルとマルチモーダル学習および世界モデルについて	理研シンポジウム: 第2回ものづくりワークショップ	2018/10
2	R. Kojima	京都大学	A tensorized logic programming language for large-scale data	AAAI 2019 Workshop on Network Interpretability for Deep Learning	2019/1
3	麻生 英樹	産業技術総合研究所	自然知能と人工知能の共進化－「知の創生」に向けて－	東京大学先端人工知能学教育寄付講座公開シンポジウム	2019/3
4	中田 秀基	産業技術総合研究所	ニューラルネットワークを用いた任意人物・姿勢画像の生成	電子情報通信学会パターン認識・メディア理解研究会	2019/3
5	鈴木 雅大	東京大学	Pixyz: 複雑な深層生成モデル開発のためのフレームワーク	2019年度人工知能学会全国大会	2019/6
6	M. Suzuki	東京大学	Pixyz: a framework for developing complex deep generative models	Workshop on Deep Probabilistic Generative Models for Cognitive Architecture in Robotics	2019/11
7	M. Zhou	産業技術総合研究所	Image synthesis for one-shot classification with triplet network	第22回情報論的学習理論ワークショップ IBIS 2019	2019/11
8	L. Liu	産業技術総合研究所	Few-shot style transfer for handwriting chinese synthesis using conditional GAN	第22回情報論的学習理論ワークショップ IBIS 2019	2019/11
9	Y. Fu	産業技術総合研究所	An improvement on cycleGAN based symbolic music genre transfer	第22回情報論的学習理論ワークショップ IBIS 2019	2019/11
10	中田 秀基	産業技術総合研究所	少数のサンプル画像からの任意人物姿勢画像の生成	第22回情報論的学習理論ワークショップ IBIS 2019	2019/11
11	今泉 允聡	情報・システム研究機構 統計数理研究所	Statistical inference on M-estimators by high-dimensional Gaussian approximation	Workshop on Functional Inference and Machine Intelligence 2020	2020/2
12	Hao Zhang	理化学研究所	Implementing a Comprehensive Networks-on-Chip Generator with Optimal Configurations	IEEE Cluster 2020	2020/9

(b) 新聞・雑誌等への掲載

番号	所属	発表内容	発表先	発表年月
1	東京大学	深層生成モデルライブラリ「Pixyz」にかける思い	https://www.wantedly.com/companies/weblab/post_articles/156907	2019/3

◎研究開発テーマ「イン不揮発性メモリ分散 Approximate コンピューティングの研究開発」

【論文】

番号	発表者	所属	タイトル	発表誌名、ページ番号	査読	発表年月
1	竹内健	中央大学	機械学習向け Approximate 不揮発性メモリ	応用物理	無	2019/6
2	Yao Hu, Michihiro Koibuchi	情報・システム研究機構	Exploring Time space Trade off for Application Mapping onto 3 D Torus NoCs	The 22nd Workshop on Synthesis And System Integration of Mixed Information Technologies (SASIMI 2019)	有	2019/10

【外部発表】

(a) 学会発表・講演

番号	発表者	所属	タイトル	会議名	発表年月
1	鯉淵 道紘	情報・システム研究機構	Approximate Computing と関連する通信技術	ネットワーク産業・技術研究会, 第3回討論会公開ワークショップ	2018/11
2	鯉淵 道紘	情報・システム研究機構	Approximate HPC Networks for Imperfect Computing	CREST International Symposium on Big Data Application	2019/1
3	覺田 恭生, 鈴木 敦也, 木下 怜佳, 安達 優, 松井 千尋, 竹内 健	中央大学	ストレージ・クラス・メモリにおける TLM シミュレーションを用いた信頼性の評価	電子情報通信学会総合大会	2019/3
4	丹羽 直也, 平澤 将一, 鯉淵 道紘, 天野 英晴	情報・システム研究機構, 慶應義塾大学	Approximate 相互結合網を用いた巡回セールスマン問題の並列蟻コロニー最適化による解法の高速度化	情報処理学会 組込み技術とネットワークに関するワークショップ ETNET2019	2019/3
5	竹内 健	中央大学	Approximate 不揮発性メモリ	集積回路研究会【招待講演】	2019/4
6	鶴見 洸太, 鈴木 健太, 竹内 健	中央大学	パルス幅変調低電力ニューロモルフイック LSI	集積回路研究会	2019/4
7	竹内 健	中央大学	Approximate 不揮発性メモリ	第1回 miniCANDAR シンポジウム【招待講演】	2019/6

番号	発表者	所属	タイトル	会議名	発表年月
8	Chihiro Matsui, Shouhei Fukuyama, Atsuna Hayakawa, Ken Takeuchi	中央大学	Application-Induced Cell Reliability Variability-Aware Approximate Computing in TaOX-based ReRAM Data Center Storage for Machine Learning	IEEE Symp. on VLSI Technology	2019/6
9	Ken Takeuchi	中央大学	Non-volatile Memory Storage for Machine Learning	IEEE SSCS VLSIedu	2019/6
10	菅 真樹	合同会社リトルウイング	深層学習処理の高速化と省電力化に向けた Approximate 分散処理技術の開発	第 1 回 miniCANDAR シンポジウム【招待講演】	2019/6
11	平澤 将一	情報・システム研究機構	情報・システム研究機構 Approximate ネットワークと活用手法	第 1 回 miniCANDAR シンポジウム【招待講演】	2019/6
12	Chihiro Matsui, Ken Takeuchi	中央大学	TaOx-based ReRAM for Variability-Aware Approximate Computing	Flash Memory Summit	2019/8
13	Reika Kinoshita, Chihiro Matsui, Ken Takeuchi	中央大学	Maximizing Performance/cost of SSD Composed of Memory-type and Storage-type SCMs	Flash Memory Summit	2019/8
14	Koki Kamimura, Susumu Nohmi, Kenta Suzuki, Ken Takeuchi	中央大学	Parallel Product-Sum Operation Neuromorphic Systems with 4-bit Ferroelectric FET Synapses	IEEE European Solid-State Device Research Conference (ESSDERC)	2019/9
15	上村 公紀, 能美 奨, 竹内 健	中央大学	強誘電体トランジスタを用いた並列積和演算可能なニューロモルフィック集積回路	集積回路研究会, 信学技報	2019/11
16	Reika Kinoshita, Atsuya Suzuki, Shouhei Fukuyama, Chihiro Matsui, Ken Takeuchi	中央大学	Workload-aware Data-eviction Self-adjusting System of Multi-SCM Storage to Resolve Trade-off between SCM Data-retention Error and Storage System Performance	25th Asia and South Pacific Design Automation Conference (ASP-DAC 2020)	2020/1

番号	発表者	所属	タイトル	会議名	発表年月
17	Reika Kinoshita, Chihiro Matsui, Atsuya Suzuki, Shouhei Fukuyama, Ken Takeuchi	中央大学	Workload-aware Data-eviction Self-adjusting System of Multi-SCM Storage to Resolve Trade-off between SCM Data-retention Error and Storage System Performance	VLSI 設計技術研究会, 信学技報	2020/3
18	松井 千尋, 竹内 健	中央大学	アプリケーションに起因する ReRAM の信頼性ばらつきを考慮した近似計算ストレージ	応用物理学関係連合講演会	2020/3
19	橋本 峻吾, 高井 良貴, 松井 千尋, 竹内 健	中央大学	様々な遅延を考慮したストレージの性能評価	応用物理学関係連合講演会	2020/3
20	金田 凌賀, 木下 怜佳, 松井 千尋, 竹内 健	中央大学	2 種類のストレージ・クラス・メモリで構成したストレージシステムのデータ追出し間隔自動調整アルゴリズム	応用物理学関係連合講演会	2020/3
21	武石 滉大, 上村 公紀, 能美 奨, 竹内 健	中央大学	エッジコンピューティングに向けたニューロモルフィック回路	応用物理学関係連合講演会	2020/3
22	相田 息吹, 上村 公紀, 水品 圭汰, 竹内 健	中央大学	AI アクセラレータに向けたニューラルネットワーク	応用物理学関係連合講演会	2020/3
23	日根 優作, 覺田 恭生, 木下 怜佳, 竹内 健	中央大学	Double Asymmetric-latency SCMs SSD 向け書き込みと読み出しの頻度を考慮したデータ管理アルゴリズム	応用物理学関係連合講演会	2020/3
24	竹内 健	中央大学	FeFET を用いたニューロモルフィック・コンピューティング	応用物理学関係連合講演会 シンポジウム 不揮発性メモリ技術の最前線【招待講演】	2020/3
25	Chihiro Matsui, Ken Takeuchi	東京大学, 中央大学	ReRAM Cell Reliability Variation Tolerated High-Speed Approximate Storage for Machine Learning	IEEE Symp. on Low-Power and High-Speed Chips and Systems (Cool Chips 23)	2020/4
26	竹内 健	東京大学	AI 応用 Approximate メモリ	応用物理学会シリコンテクノロジー分科会	2020/5

番号	発表者	所属	タイトル	会議名	発表年月
27	Chihiro Matsui, Shun Suzuki, Ken Takeuchi	東京大学, 中央大学	Spatial Color-Perceived Data Control of NAND Flash for Image Detection	IEEE Silicon Nanoelectronics Workshop (SNW)	2020/6
28	Shun Suzuki, Hiroki Aihara, Keita Mizushina, Shin Yamaguchi, Ken Takeuchi	東京大学, 中央大学	Approximate 3D-TLC NAND Flash Write with Initial Error Injection for Application-level Reliability Improvement of Machine Learning-based Computing	IEEE Silicon Nanoelectronics Workshop (SNW)	2020/6
29	Keita Mizushina, Shun Suzuki, Hiroki Aihara, Ken Takeuchi	東京大学, 中央大学	3840x Reliability Enhanced Robust NAND flash Optimized to Store Weight Data for Object Detection and Semantic Segmentation of Self-driving Car at High Temperature	IEEE Silicon Nanoelectronics Workshop (SNW)	2020/6
30	竹内 健	東京大学	AI 時代：ソフトベンダが半導体を手掛ける時代の戦略	日本学術振興会シリコン超集積システム第 165 委員会 シリコン超集積システムの進化発展を支えるイノベーション論【招待講演】	2020/6
31	鯉淵 道紘	情報・システム研究機構	ネットワーク視点からの取り組み「不完壁なスーパーコンピュータ」	825 回マルチメディア推進フォーラム「ポスト・ムーアの切り札：Approximate Computing」	2020/7
32	菅 真樹	合同会社リトルウイング	Approximate 分散処理による深層学習処理の高速化に向けて	825 回マルチメディア推進フォーラム「ポスト・ムーアの切り札：Approximate Computing」	2020/7
33	Yoshiki Kakuta, Reika Kinoshita, Hiroshi Kinoshita, Chihiro Matsui, Ken Takeuchi	中央大学, 東京大学	Real-time Error Monitoring System Considering Endurance and Data-retention Characteristics of TaO _x -based ReRAM Storage with Workloads at Data Centers	IEEE International Symposium on VLSI Design, Automation and Test (VLSI-DAT)	2020/8

番号	発表者	所属	タイトル	会議名	発表年月
34	鯉淵 道紘	情報・システム研究機構	ポストムーア時代のスーパーコンピュータの結合網	電子情報通信学会研究会 (情報ネットワーク研究会/複雑コミュニケーションサイエンス研究会)	2020/8
35	竹内 健	東京大学	強誘電体 FET を用いた機械学習向け積和演算回路	応用物理学会秋季学術講演会【招待講演】	2020/9
36	松井 千尋, 竹内 健	東京大学	画像の空間的局所性と色のパターンに基づく 3D-TLC NAND 型フラッシュメモリ向けデータ制御技術	応用物理学会秋季学術講演会	2020/9
37	Ken Takeuchi	東京大学	Heterogeneously Integrated Adaptive Storage System for 5G Network	International Conference on Solid State Devices and Materials (SSDM) Short Course【招待講演】	2020/9
38	Chihiro Matsui, Ken Takeuchi	東京大学	SLC Flash & ReRAM Heterogeneous Memory System with Multi-Tier 5G Network & Device Co-Design for Smart Manufacturing	International Conference on Solid State Devices and Materials (SSDM)	2020/9
39	鯉淵 道紘	情報・システム研究機構	Approximate Computing と関連する通信技術	電子情報技術産業協会 (JEITA)「非ノイマン型情報処理へ向けたデバイス技術分科会」	2020/9

(b) 新聞・雑誌等への掲載

番号	所属	タイトル	掲載誌名	発表年月
1	中央大学	エラーを許容して 7 倍高速化と 90%消費エネルギーを低減	中央大学プレスリリース	2019/6

(c) 展示会への出展

番号	所属	タイトル	展示会名	発表年月
1	三栄ハイテックス	FPGA での学習デモ (白線検知 CNN)	第 5 回 IoT/M2M 展【秋】	2019/10

【受賞実績】

番号	発表者	所属	受賞種類	受賞内容	受賞年月
1	Chihiro Matsui and Ken Takeuchi	東京大学	IEEE Symposium on Low-Power and High-Speed Chips and Systems (COOL Chips 23) Best Poster Award	ReRAM Cell Reliability Variation Tolerated High-Speed Approximate Storage for Machine Learning	2020/4

◎研究開発テーマ「物理ダイナミクスに基づく学習デバイスを備えた超高効率認知コンピューティングの研究開発」

【論文】

番号	発表者	所属	タイトル	発表誌名、ページ番号	査読	発表年月
1	G. Tanaka	東京大学	Recent Advances in Physical Reservoir Computing: A Review	Neural Networks, Elsevier	有	2019/4

【外部発表】

(a) 学会発表・講演

番号	発表者	所属	タイトル	会議名	発表年月
1	中根 了昌	東京大学	スピン波リザーバーコンピューティングチップデバイス	第 66 回日本応用物理学会春季学術講演会	2019/3
2	廣瀬 明	東京大学	パターン情報表現およびパターン情報処理を物理的に実現するニューラルネットワークデバイス (招待講演)	電子情報通信学会総合大会	2019/3
3	市村 剛大	東京大学	スピン波を用いたリザーバーコンピューティングデバイスにおける荷重の空間分布	電子情報通信学会総合大会	2019/3
4	市村 剛大	東京大学	スピン波リザーバーコンピューティングにおける有用情報の空間分布	電子情報通信学会 ニューロコンピューティング研究会	2019/3
5	田中 剛平	東京大学	リザーバーコンピューティングの数理とハードウェア (招待講演)	阪大非線形数理セミナー	2019/6
6	R. Nakane	東京大学	Numerical Analysis on Wave Dynamics in a Spin-Wave Reservoir for Machine Learning	the International Joint Conference on Neural Networks (IJCNN)	2019/7
7	T. Akiyama	東京大学	Analysis on Characteristics of Multi-Step Learning Echo State Networks for Nonlinear Time Series Prediction	the International Joint Conference on Neural Networks (IJCNN)	2019/7
8	山根 敏志	日本アイ・ビー・エム株式会社	光技術を用いた物理リザーバー・コンピューティング (招待講演)	フォトニックネットワーク研究会 ワークショップ	2019/8
9	武田 征士	日本アイ・ビー・エム株式会社	Edge computing by physical reservoir device (招待講演)	電子情報通信学会ソサイエティ大会	2019/9
10	廣瀬 明	東京大学	「ニューロ的」ハードウェアと物理リザーバーコンピューティング	日本神経回路学会全国大会	2019/9
11	市村 剛大	東京大学	スピン波リザーバーコンピューティングチップにおける実空間情報分布	日本神経回路学会全国大会	2019/9
12	中根 了昌	東京大学	Machine-learning computation utilizing spin waves (招待講演)	日本磁気学会 学術講演会	2019/9

番号	発表者	所属	タイトル	会議名	発表年月
13	Jean Benoit Heroux	日本アイ・ピー・エム株式会社	Time Series Processing with VCSEL-based Reservoir Computer	The 1st International Workshop on Reservoir Computing (RC 2019)	2019/9
14	T. Akiyama	東京大学	Echo State Network with Adversarial Training	the 28th International Conference on Artificial Neural Networks	2019/9
15	市村 剛大	東京大学	スピン波リザバーコンピューティングチップにおける実空間情報分布	第 29 回日本神経回路学会全国大会	2019/9
16	田中 剛平	東京大学	リザバーコンピューティング (招待講演)	一般社団法人 電子情報技術産業協会(JEITA)	2019/10
17	中根 了昌	東京大学	チップ実装を指向したリザバーコンピューティング研究の現状 (招待講演)	JST リザバーコンピューティングワークショップ	2019/10
18	Jean Benoit Heroux	日本アイ・ピー・エム株式会社	Delayed Feedback Reservoir Computing with VCSEL (招待講演)	日本学術振興会 光ネットワークシステム技術第 171 委員会	2019/11
19	A. Hirose	東京大学	Physical reservoir computing devices and complex-valued neural networks (招待講演)	IEEE 2019 Int. Meeting for Future of Electron Devices (IMFEDK)	2019/11
20	田中 剛平	東京大学	物理リザバーコンピューティングの最新動向 (招待講演)	日本人工知能学会	2019/11
21	G. Tanaka	東京大学	Effect of Variability on Nonlinear Dynamics of Memristive Networks	the International Symposium on Nonlinear Theory and its Applications	2019/12
22	A. Hirose	東京大学	Physical Reservoir Computing Devices: Truly Neural Hardware in the AI and Sensor-Network Era (招待講演)	26th Int. Conf. Neural Information Processing (ICONIP)	2019/12
23	A. Hirose	東京大学	Physical Reservoir Computing: Possibility to resolve the inconsistency between neuro-AI principles and its hardware	26th Int. Conf. Neural Information Processing (ICONIP)	2019/12
24	G. Tanaka	東京大学	Echo State Networks Composed of Units with Time-Varying Nonlinearity	26th Int. Conf. Neural Information Processing (ICONIP)	2019/12
25	T. Yamane	日本アイ・ピー・エム株式会社	Application Identification of Network Traffic by Reservoir Computing	26th Int. Conf. Neural Information Processing (ICONIP)	2019/12

番号	発表者	所属	タイトル	会議名	発表年月
26	廣瀬 明	東京大学	光波による物理リザーブコンピューティング (招待講演)	Proc. Optics & Photonics Japan 2019	2019/12
27	田中 剛平	東京大学	リザーブコンピューティング：チュートリアル (招待講演)	学振 151 委員会	2020/1
28	G. Tanaka	東京大学	High-dimensional neurodynamics and its applications in neuro-based hardware	FY2019 RIEC Annual Meeting on Cooperative Research Projects	2020/2
29	Jean Benoit Heroux	日本アイ・ピー・エム株式会社	Time Delay Reservoir Computing with VCSEL (招待講演)	Photonic West	2020/2
30	市村 剛大	東京大学	Spatial distribution of information effective for logic function learning in spin-wave reservoir computing chip utilizing spatiotemporal physical dynamics	2020 IEEE World Congress on Computational Intelligence (WCCI)	2020/7
31	Z. Li	東京大学	Deep Echo State Networks with Multi-Span Features for Nonlinear Time Series Prediction,	2020 IEEE World Congress on Computational Intelligence (WCCI)	2020/7
32	Z. Li	東京大学	HP-ESN: Echo State Networks Combined with Hodrick-Prescott Filter for Nonlinear Time-Series Prediction	2020 IEEE World Congress on Computational Intelligence (WCCI)	2020/7
33	廣瀬 明	東京大学	Physical reservoir computing devices and complex-valued neural networks (基調講演)	ニューロモルフィック システム国際会議 (ICONS Conference) 2020	2020/7
34	田中 剛平	東京大学	Introduction to Physical RC," International Conference on Neuromorphic Systems (招待講演)	ニューロモルフィック システム国際会議 (ICONS Conference) 2020	2020/7
35	廣瀬 明	東京大学	超低消費電力情報処理実現のための物理リザーブコンピューティングチップと複素ニューラルネットワーク理論 (招待講演)	春季応用物理学学会	2020/7
36	Jean Benoit Hérroux	日本アイ・ピー・エム株式会社	Opto-Electronic Reservoir Computing for Signal Recovery (invited talk)	IEEE Photonics Society Summer Topical Meeting Series	2020/7

番号	発表者	所属	タイトル	会議名	発表年月
37	田中 剛平	東京大学	リザバーコンピューティングの現状と未来（招待講演）	応用物理学会 シリコンテクノロジー分科会システムデバイスロードマップ委員会（SDRJ）ワークショップ	2020/10
38	田中 剛平	東京大学	物理リザバーコンピューティングによる時系列パターン認識（招待講演）	電子情報通信学会 情報・システムソサイエティ第 41 回 IBISML 研究会	2020/10

(b) 新聞・雑誌等への掲載

番号	所属	タイトル	掲載誌名	発表年月
1	日本アイ・ピー・エム株式会社	エッジに最適、機械学習の高速・低消費電力化に期待の計算方式	日経 xTECH（クロステック）	2019/4
2	日本アイ・ピー・エム株式会社 山根 敏志	物理リザバー・コンピューティングによる機械学習デバイスとエッジ・コンピューティングへの応用	ProVISION	2019/6
3	東京大学 廣瀬 明	リザバーコンピューティングと複素ニューラルネットワーク（依頼執筆）	応用物理学会誌 88(8) p.559 (2019)	2019/8
4	東京大学 中根 了昌	スピン波を用いた機械学習デバイス（依頼執筆）	日本磁気学会誌 まぐね 14 巻 6 号 pp.329-334	2019/12
5	東京大学 田中 剛平	リザバーコンピューティング（依頼執筆）	映像情報メディア学会誌（知っておきたいキーワード）、Vol. 74, No.3, pp.532-534	2020/5

【受賞実績】

番号	発表者	所属	受賞種類	受賞内容	受賞年月
1	市村 剛大	東京大学 廣瀬明研究室	2019 年度 IEEE Computational Intelligence Society (CIS) Japan Chapter	Young Researcher Award	2020/5

◎研究開発テーマ「2028年に性能100倍を達成する汎用性の高い高性能計算機アーキテクチャとシステムソフトウェアの技術の探索」

【論文】

番号	発表者	所属	タイトル	発表誌名、ページ番号	査読	発表年月
1	Artur Podobus, Kentaro Sano, Satoshi Matsuoka	理化学研究所	A Template-based Framework for Exploring Coarse-Grained Reconfigurable Architectures	Proceedings of the 31st IEEE International Conference on Application-specific Systems, Architectures and Processors(ASAP), to appear	有	2020/7
2	Artur Podobus, Kentaro Sano, Satoshi Matsuoka	理化学研究所	A Survey on Coarse-Grained Reconfigurable Architectures from a Performance Perspective	IEEE Access, CONDITIONALLY ACCEPTED (条件付き採録)	有	2020/8

【外部発表】

(a) 学会発表・講演

番号	発表者	所属	タイトル	会議名	発表年月
1	Jens Domke	理化学研究所	Double-precision FPUs in High-Performance Computing: an Embarrassment of Riches?	IPDPS2019	2019/5
2	椎名 峻平	東京大学	Almost Deterministic Work Stealing	xSIG2019	2019/5
3	遠藤 敏夫	東京工業大学	メモリアクセスデータを用いた機械学習によるアプリケーションの類型化	SWoPP2019	2019/7
4	椎名 峻平, 田浦 健次郎	東京大学	Almost Deterministic Work Stealing	SC19	2019/11
5	田邊 昇	東京大学	ムーア則終焉直後に向けた高性能汎用計算機アーキテクチャの初期検討	第172回 HPC 研究発表会	2019/12
6	Jens Domke	理化学研究所	Double-precision FPUs in High-Performance Computing: an Embarrassment of Riches?	LSPANC	2020/1
7	幸 朋矢, 遠藤 敏夫	東京工業大学	Toward Latency-Aware Data Arrangement on Many-Core Processors	HPC Asia 2020	2020/1

番号	発表者	所属	タイトル	会議名	発表年月
8	遠藤 敏夫	東京工業大学	Integrating Cache Oblivious Approach with Modern Processor Architecture: The Case of Floyd-Warshall Algorithm.	HPC Asia 2020	2020/1
9	Jens Domke	理化学研究所	Counter-based Performance Extrapolation Toolchain ? How far can we look into the Future?	The 2nd R-CCS International Symposium	2020/2
10	Artur Podobas	理化学研究所	A Template-based Framework for Exploring Coarse-Grained Reconfigurable Architectures	ASAP 2020	2020/7
11	Helm Christian	東京大学	Automatic Identification and Precise Attribution of DRAM Bandwidth Contention	ICPP2020	2020/8
12	Jens Domke	理化学研究所	Scaling Distributed Deep Learning Workloads Beyond the Memory Capacity with KARMA	SC20	2020/11
13	Helm Christian, 穉山 空道, 田浦 健次朗	東京大学	Reliable Reverse Engineering of Intel DRAM Addressing Using Performance Counters	IEEE MASCOTS 2020	2020/11

(b) 新聞・雑誌等への掲載

番号	所属	タイトル	掲載誌名	発表年月
1	理化学研究所	Post-moore evaluation framework	PAStudy https://gitlab.com/domke/PAstudy	2019/ 5

以上

「高効率・高速処理を可能とする AIチップ・次世代コンピューティングの 技術開発」

研究開発項目① 革新的AIエッジコンピューティング技術の開発

研究開発項目② 次世代コンピューティング技術の開発

研究開発項目③ 高度なIoT社会を実現する横断的技術開発

事業原簿

担当部	国立研究開発法人 新エネルギー・産業技術総合開発機構 IoT 推進部
-----	--

【第3部】

研究開発項目③ 高度なIoT社会を実現する横断的技術開発

(事業期間:2016～2020 年度)

—目次—

プロジェクト用語集	(3-13)
1. 事業の位置付け・必要性について.....	3-1-1
1.1 事業実施の背景.....	3-1-1
1.2 政策的位置づけ	3-1-2
1.3 アウトカム効果	3-1-2
1.4 国際的なポジション	3-1-3
1.5 海外状況のまとめ.....	3-1-4
1.6 NEDO が関与する意義.....	3-1-4
1.7 今回の事業の位置づけ.....	3-1-5
2. 研究開発マネジメントについて.....	3-2-1
2.1 事業の目的.....	3-2-1
2.2 研究開発目標と根拠	3-2-1
2.3 研究開発スケジュール.....	3-2-6
2.4 プロジェクト費用.....	3-2-7
2.5 マネジメント体制.....	3-2-7
2.6 実施体制	3-2-10
2.7 動向・情勢の把握と対応.....	3-2-11
2.8 知財マネジメント.....	3-2-13
3. 研究開発成果について	3-3-1
3.1 研究開発テーマ	
「超高効率データ抽出機能を有する学習型スマートセンシングシステムの研究開発」.....	3-3-1
3.1.1 開発全体概要.....	3-3-2
3.1.2 研究開発項目の開発内容、最終目標、根拠、達成度.....	3-3-4
3.1.3 成果と意義.....	3-3-12
3.1.4 成果の普及.....	3-3-27
3.2 研究開発テーマ「超低消費電力データ収集システムの研究開発」.....	3-3-29
3.2.1 研究開発サブテーマ「超低消費電力 IoT 特化型統合 SoC の研究開発」.....	3-3-29
3.2.1.1 概要.....	3-3-29
3.2.1.2 最終目標と根拠.....	3-3-29
3.2.1.3 目標の達成度	3-3-29
3.2.1.4 成果と意義	3-3-30
3.2.1.5 成果の普及.....	3-3-30
3.2.2 研究開発サブテーマ「低消費電力 SiGe センサモジュールの研究開発」.....	3-3-30
3.2.2.1 概要.....	3-3-30
3.2.2.2 最終目標と根拠.....	3-3-30
3.2.2.3 目標の達成度	3-3-30
3.2.2.4 成果と意義	3-3-30
3.2.2.5 成果の普及.....	3-3-30

3.2.3	研究開発サブテーマ「高効率自立電源モジュールの研究開発」	3-3-31
3.2.3.1	概要	3-3-31
3.2.3.2	最終目標と根拠	3-3-31
3.2.3.3	目標の達成度	3-3-31
3.2.3.4	成果と意義	3-3-31
3.2.4	研究開発サブテーマ「低消費電力ボックスキャタセンシング技術の研究開発」	3-3-31
3.2.4.1	概要	3-3-31
3.2.4.2	最終目標と根拠	3-3-32
3.2.4.3	目標の達成度	3-3-32
3.2.4.4	成果と意義	3-3-32
3.2.4.5	成果の普及	3-3-32
3.2.5	研究開発サブテーマ「ボックスキャタ通信モジュールの研究開発」	3-3-32
3.2.5.1	概要	3-3-32
3.2.5.2	最終目標と根拠	3-3-32
3.2.5.3	目標の達成度	3-3-33
3.2.5.4	成果と意義	3-3-33
3.2.5.5	成果の普及	3-3-33
3.2.6	研究開発サブテーマ「超低消費電力バイタルセンシングモジュール」	3-3-33
3.2.6.1	概要	3-3-33
3.2.6.2	最終目標と根拠	3-3-33
3.2.6.3	目標の達成度	3-3-33
3.2.6.4	成果と意義	3-3-34
3.2.6.5	成果の普及	3-3-34
3.2.7	研究開発サブテーマ「ジャイロセンサモジュールの研究開発」	3-3-34
3.2.7.1	概要	3-3-34
3.2.7.2	最終目標と根拠	3-3-34
3.2.7.3	目標の達成度	3-3-34
3.2.7.4	成果と意義	3-3-34
3.2.8	研究開発サブテーマ「無線位置推定モジュールの研究開発」	3-3-35
3.2.8.1	概要	3-3-35
3.2.8.2	最終目標と根拠	3-3-35
3.2.8.3	目標の達成度	3-3-35
3.2.8.4	成果と意義	3-3-35
3.2.8.5	成果の普及	3-3-35
3.2.9	研究開発サブテーマ「事業モチーフ・回転機器状態監視システムの研究開発」	3-3-35
3.2.9.1	概要	3-3-35
3.2.9.2	最終目標と根拠	3-3-36
3.2.9.3	目標の達成度	3-3-36
3.2.9.4	成果と意義	3-3-36
3.2.9.5	成果の普及	3-3-36
3.2.10	研究開発サブテーマ「事業モチーフ・作業支援システムの研究開発」	3-3-36
3.2.10.1	概要	3-3-36

3.2.10.2	最終目標と根拠	3-3-37
3.2.10.3	目標の達成度	3-3-37
3.2.10.4	成果と意義	3-3-37
3.3	研究開発テーマ「トリリオンノード・エンジンの研究開発」	3-3-38
3.3.1	概要	3-3-38
3.3.2	最終目標と根拠	3-3-38
3.3.3	目標の達成度	3-3-42
3.3.4	成果と意義	3-3-43
3.3.5	成果の普及	3-3-43
3.4	研究開発テーマ「高速ストレージクラスメモリを用いた 極低消費電力ヘテロジニアス分散ストレージサーバシステムの研究開発」	3-3-45
3.4.1	概要	3-3-45
3.4.2	最終目標と根拠	3-3-45
3.4.3	目標の達成度	3-3-46
3.4.4	成果と意義	3-3-46
3.4.5	成果の普及	3-3-49
3.5	研究開発テーマ 「先進 IoT サービスを実現する革新的超省エネルギー型ビッグデータ基盤の研究開発」	3-3-50
3.5.1	概要	3-3-50
3.5.2	最終目標と根拠	3-3-52
3.5.3	目標の達成度	3-3-53
3.5.4	成果と意義	3-3-54
3.5.5	成果の普及	3-3-54
3.6	研究開発テーマ「省電力 AI エンジンによる人工知能プラットフォーム」	3-3-55
3.6.1	研究開発サブテーマ「省電力 GPU をベースとした AI エンジンの研究開発」	3-3-55
3.6.1.1	概要	3-3-55
3.6.1.2	最終目標と根拠	3-3-56
3.6.1.3	目標の達成度	3-3-59
3.6.1.4	成果と意義	3-3-59
3.6.1.5	成果の普及	3-3-63
3.6.2	研究開発サブテーマ 「推論エンジンの高効率設計・実装を可能にする設計プラットフォームの研究開発」	3-3-64
3.6.2.1	概要	3-3-64
3.6.2.2	最終目標と根拠	3-3-65
3.6.2.3	目標の達成度	3-3-66
3.6.2.4	成果と意義	3-3-66
3.6.2.5	成果の普及	3-3-74
3.7	研究開発テーマ「超高速・低消費電力ビッグデータ処理を 実現・利活用する脳型推論集積システムの研究開発」	3-3-76
3.7.1	概要	3-3-76
3.7.2	最終目標と根拠	3-3-76
3.7.3	目標の達成度	3-3-76

3.7.4	成果と意義	3-3-79
3.7.5	成果の普及	3-3-79
3.7.6	その他	3-3-79
3.8	研究開発テーマ「組合せ最適化処理に向けた革新的アニーリングマシンの研究開発」	3-3-80
3.8.1	研究開発サブテーマ「大規模 CMOS アニーリングマシンの開発」	3-3-80
3.8.1.1	概要	3-3-80
3.8.1.2	最終目標と根拠	3-3-80
3.8.1.3	目標の達成度	3-3-81
3.8.1.4	成果と意義	3-3-81
3.8.1.5	成果の普及	3-3-81
3.8.2	研究開発サブテーマ「超伝導量子アニーリングマシンの研究開発」	3-3-82
3.8.2.1	概要	3-3-82
3.8.2.2	最終目標と根拠	3-3-82
3.8.2.3	目標の達成度	3-3-82
3.8.2.4	成果と意義	3-3-85
3.8.2.5	成果の普及	3-3-85
3.8.3	研究開発サブテーマ「新原理量子アニーリング機械の研究開発」	3-3-85
3.8.3.1	概要	3-3-85
3.8.3.2	最終目標と根拠	3-3-85
3.8.3.3	目標の達成度	3-3-85
3.8.3.4	成果と意義	3-3-86
3.8.3.5	成果の普及	3-3-86
3.8.4	研究開発サブテーマ「超伝導量子コヒーレントイジングマシンの研究開発」	3-3-86
3.8.4.1	概要	3-3-86
3.8.4.2	最終目標と根拠	3-3-86
3.8.4.3	目標の達成度	3-3-86
3.8.4.4	成果と意義	3-3-87
3.8.4.5	成果の普及	3-3-87
3.8.5	研究開発サブテーマ「実世界のネットワークのマッピングに関する研究」	3-3-87
3.8.5.1	概要	3-3-87
3.8.5.2	最終目標と根拠	3-3-88
3.8.5.3	目標の達成度	3-3-88
3.8.5.4	成果と意義	3-3-88
3.8.5.5	成果の普及	3-3-88
3.8.6	研究開発サブテーマ「革新的アニーリングマシンにおける共通基盤に関する研究開発」	3-3-89
3.8.6.1	概要	3-3-89
3.8.6.2	最終目標と根拠	3-3-89
3.8.6.3	目標の達成度	3-3-89
3.8.6.4	成果と意義	3-3-89
3.8.6.5	成果の普及	3-3-90
3.9	研究開発テーマ	
	「高速ビジョンセンサネットワークによる実時間 IoT システムと応用技術開発」	3-3-91

3.9.1	概要	3-3-91
3.9.2	最終目標と根拠	3-3-92
3.9.3	目標の達成度	3-3-95
3.9.4	成果と意義	3-3-97
3.9.5	成果の普及	3-3-102
3.10	研究開発テーマ「Field Intelligence 搭載型大面積分散 IoT プラットフォームの研究開発」	3-3-104
3.10.1	概要	3-3-104
3.10.2	最終目標と根拠	3-3-106
3.10.3	目標の達成度	3-3-107
3.10.4	成果と意義	3-3-108
3.10.5	成果の普及	3-3-110
3.11	研究開発テーマ「Sensor-to-Cloud Security ～ビッグデータを守る革新的 IoT セキュリティ基盤技術の研究開発」	3-3-111
3.11.1	研究開発サブテーマ「計測セキュリティの研究開発」	3-3-111
3.11.1.1	概要	3-3-111
3.11.1.2	最終目標と根拠	3-3-112
3.11.1.3	目標の達成度	3-3-112
3.11.1.4	成果と意義	3-3-114
3.11.1.5	成果の普及	3-3-114
3.11.2	研究開発サブテーマ「高機能暗号の研究開発」	3-3-114
3.11.2.1	概要	3-3-114
3.11.2.2	最終目標と根拠	3-3-115
3.11.2.3	目標の達成度	3-3-115
3.11.2.4	成果と意義	3-3-118
3.11.2.5	成果の普及	3-3-124
3.12	研究開発テーマ 「複製不可能デバイスを活用した IoT ハードウェアセキュリティ基盤の研究開発」	3-3-125
3.12.1	研究開発サブテーマ「新原理を用いた PUF の研究開発」	3-3-125
3.12.1.1	概要	3-3-125
3.12.1.2	最終目標と根拠	3-3-126
3.12.1.3	目標の達成度	3-3-126
3.12.1.4	成果と意義	3-3-127
3.12.1.5	成果の普及	3-3-127
3.12.2	研究開発サブテーマ「PUF 標準評価基盤の構築」	3-3-127
3.12.2.1	概要	3-3-127
3.12.2.2	最終目標と根拠	3-3-128
3.12.2.3	目標の達成度	3-3-128
3.12.2.4	成果と意義	3-3-128
3.12.2.5	成果の普及	3-3-129
3.13	研究開発テーマ「次世代産業用ネットワークを守る IoT セキュリティ基盤技術の研究開発」	3-3-130
3.13.1	研究開発サブテーマ「IoT セキュリティ基盤のためのサービス提供技術の研究開発」	3-3-130
3.13.1.1	概要	3-3-130

3.13.1.2	最終目標と根拠	3-3-130
3.13.1.3	目標の達成度	3-3-131
3.13.1.4	成果と意義	3-3-131
3.13.1.5	成果の普及	3-3-131
3.13.2	研究開発サブテーマ	
	「IoTセキュリティ基盤のための自動的な通信管理ソフトウェア技術の研究開発」	3-3-132
3.13.2.1	概要	3-3-132
3.13.2.2	最終目標と根拠	3-3-132
3.13.2.3	目標の達成度	3-3-132
3.13.2.4	成果と意義	3-3-132
3.13.2.5	成果の普及	3-3-133
3.13.2.6	その他	3-3-133
3.13.3	研究開発サブテーマ「IoTセキュリティ基盤のためのネットワーク実装技術の研究開発」	3-3-133
3.13.3.1	概要	3-3-133
3.13.3.2	最終目標と根拠	3-3-133
3.13.3.3	目標の達成度	3-3-134
3.13.3.4	成果と意義	3-3-134
3.13.3.5	成果の普及	3-3-135
3.13.3.6	その他	3-3-135
4.	実用化・事業化に向けての見通し及び取り組みについて	3-4-1
4.1	超高効率データ抽出機能を有する学習型スマートセンシングシステムの研究開発における 実用化・事業化の見通し(株式会社日立製作所)	3-4-1
4.1.1	概要	3-4-1
4.1.2	実用化・事業化への課題と対応策	3-4-1
4.1.3	実用化・事業化の体制	3-4-1
4.1.4	市場規模と経済効果	3-4-1
4.1.5	ベンチマーク	3-4-1
4.1.6	事業化までのマイルストーン	3-4-2
4.2	超高効率データ抽出機能を有する学習型スマートセンシングシステムの研究開発における 実用化・事業化の見通し(東京電力ホールディングス株式会社)	3-4-2
4.2.1	概要	3-4-2
4.2.2	実用化・事業化への課題と対応策	3-4-2
4.2.3	実用化・事業化の体制	3-4-2
4.2.4	市場規模と経済効果	3-4-2
4.2.5	ベンチマーク	3-4-3
4.2.6	事業化までのマイルストーン	3-4-3
4.3	超高効率データ抽出機能を有する学習型スマートセンシングシステムの研究開発における 実用化・事業化の見通し(株式会社鷺宮製作所)	3-4-3
4.3.1	概要	3-4-3
4.3.2	実用化・事業化への課題と対応策	3-4-3
4.3.3	実用化・事業化の体制	3-4-3
4.3.4	市場規模と経済効果	3-4-3

4.3.5	ベンチマーク	3-4-4
4.3.6	事業化までのマイルストーン	3-4-4
4.4	超低消費電力データ収集システムの研究開発における実用化・事業化の見通し (株式会社デバイス&システム・プラットフォーム開発センター(DSPC))	3-4-5
4.4.1	概要	3-4-5
4.4.2	実用化・事業化への課題と対応策	3-4-5
4.4.3	市場規模と経済効果	3-4-5
4.4.4	ベンチマーク	3-4-5
4.5	超低消費電力データ収集システムの研究開発における 実用化・事業化の見通し(株式会社東芝)	3-4-5
4.5.1	概要	3-4-5
4.5.2	実用化・事業化の体制	3-4-6
4.6	超低消費電力データ収集システムの研究開発における 実用化・事業化の見通し(アルプスアルパイン株式会社)	3-4-6
4.6.1	概要	3-4-6
4.6.2	実用化・事業化への課題と対応策	3-4-6
4.7	超低消費電力データ収集システムの研究開発における 実用化・事業化の見通し(テセラ・テクノロジー株式会社)	3-4-6
4.7.1	概要	3-4-6
4.7.2	実用化・事業化への課題と対応策	3-4-6
4.7.3	実用化・事業化の体制	3-4-7
4.7.4	市場規模と経済効果	3-4-7
4.8	トリリオンノード・エンジンの研究開発における 実用化・事業化の見通し(東芝デバイス&ストレージ株式会社)	3-4-8
4.8.1	概要	3-4-8
4.8.2	実用化・事業化への課題と対応策	3-4-8
4.8.3	実用化・事業化の体制	3-4-8
4.8.4	市場規模と経済効果	3-4-8
4.8.5	ベンチマーク	3-4-8
4.9	トリリオンノード・エンジンの研究開発における 実用化・事業化の見通し(東芝インフラシステムズ株式会社)	3-4-8
4.9.1	概要	3-4-8
4.9.2	実用化・事業化への課題と対応策	3-4-9
4.9.3	実用化・事業化の体制	3-4-9
4.9.4	市場規模と経済効果	3-4-9
4.9.5	ベンチマーク	3-4-9
4.9.6	事業化までのマイルストーン	3-4-9
4.10	トリリオンノード・エンジンの研究開発における実用化・事業化の見通し(株式会社図研)	3-4-9
4.10.1	概要	3-4-9
4.10.2	実用化・事業化への課題と対応策	3-4-10
4.10.3	実用化・事業化の体制	3-4-10

4.11 トリリオンノード・エンジンの研究開発における	
実用化・事業化の見通し(株式会社 SUSUBOX)	3-4-10
4.11.1 概要	3-4-10
4.11.2 実用化・事業化への課題と対応策	3-4-10
4.11.3 実用化・事業化の体制	3-4-10
4.11.4 市場規模と経済効果	3-4-11
4.11.5 ベンチマーク	3-4-11
4.11.6 事業化までのマイルストーン	3-4-11
4.12 高速ストレージクラスメモリを用いた	
極低消費電力ヘテロジーニアス分散ストレージサーバシステムの研究開発における	
実用化・事業化の見通し(富士通株式会社、日本電気株式会社)	3-4-12
4.12.1 概要	3-4-12
4.13 先進 IoT サービスを実現する革新的超省エネルギー型ビッグデータ基盤の研究開発における	
実用化・事業化の見通し(株式会社日立製作所)	3-4-12
4.13.1 概要	3-4-12
4.13.2 実用化・事業化への課題と対応策	3-4-14
4.13.3 実用化・事業化の体制	3-4-15
4.13.4 市場規模と経済効果	3-4-17
4.13.5 ベンチマーク	3-4-17
4.13.6 事業化までのマイルストーン	3-4-18
4.14 省電力 AI エンジンによる人工知能プラットフォームにおける	
実用化・事業化の見通し(株式会社デジタルメディアプロフェSSIONAL)	3-4-19
4.14.1 概要	3-4-19
4.14.2 実用化・事業化への課題と対応策	3-4-19
4.14.3 実用化・事業化の体制	3-4-20
4.14.4 市場規模と経済効果	3-4-20
4.15 省電力 AI エンジンによる人工知能プラットフォームにおける	
実用化・事業化の見通し(日本電気株式会社)	3-4-21
4.15.1 概要	3-4-21
4.15.2 実用化・事業化への課題と対応策	3-4-22
4.15.3 実用化・事業化の体制	3-4-22
4.15.4 市場規模と経済効果	3-4-23
4.15.5 ベンチマーク	3-4-24
4.15.6 事業化までのマイルストーン	3-4-25
4.16 超高速・低消費電力ビッグデータ処理を実現・利活用する	
脳型推論集積システムの研究開発における実用化・事業化の見通し	
(ヌヴォトンテクノロジージャパン株式会社)	3-4-26
4.16.1 概要	3-4-26
4.16.2 実用化・事業化への課題と対応策	3-4-26
4.16.3 実用化・事業化の体制	3-4-26
4.16.4 市場規模と経済効果	3-4-26
4.16.5 ベンチマーク	3-4-27

4. 16. 6	事業化までのマイルストーン	3-4-27
4. 17	組合せ最適化処理に向けた革新的アニーリングマシンの研究開発における 実用化・事業化の見通し(株式会社日立製作所)	3-4-28
4. 17. 1	概要	3-4-28
4. 17. 2	実用化・事業化への課題と対応策	3-4-28
4. 17. 3	実用化・事業化の体制	3-4-28
4. 17. 4	市場規模と経済効果	3-4-28
4. 17. 5	ベンチマーク	3-4-28
4. 17. 6	事業化までのマイルストーン	3-4-29
4. 18	組合せ最適化処理に向けた革新的アニーリングマシンの研究開発における 実用化・事業化の見通し(産業技術総合研究所)	3-4-29
4. 18. 1	概要	3-4-29
4. 18. 2	実用化・事業化への課題と対応策	3-4-29
4. 18. 3	実用化・事業化の体制	3-4-29
4. 18. 4	ベンチマーク	3-4-29
4. 18. 5	事業化までのマイルストーン	3-4-29
4. 19	組合せ最適化処理に向けた革新的アニーリングマシンの研究開発における 実用化・事業化の見通し(理化学研究所)	3-4-30
4. 19. 1	概要	3-4-30
4. 19. 2	実用化・事業化への課題と対応策	3-4-30
4. 20	組合せ最適化処理に向けた革新的アニーリングマシンの研究開発における 実用化・事業化の見通し(理化学研究所)	3-4-30
4. 20. 1	概要	3-4-30
4. 20. 2	実用化・事業化への課題と対応策	3-4-30
4. 20. 3	実用化・事業化の体制	3-4-30
4. 20. 4	市場規模と経済効果	3-4-30
4. 20. 5	ベンチマーク	3-4-30
4. 20. 6	事業化までのマイルストーン	3-4-31
4. 21	組合せ最適化処理に向けた革新的アニーリングマシンの研究開発における 実用化・事業化の見通し(国立情報学研究所)	3-4-31
4. 21. 1	概要	3-4-31
4. 22	組合せ最適化処理に向けた革新的アニーリングマシンの研究開発における 実用化・事業化の見通し(早稲田大学)	3-4-31
4. 22. 1	概要	3-4-31
4. 22. 2	実用化・事業化への課題と対応策	3-4-31
4. 22. 3	実用化・事業化の体制	3-4-31
4. 22. 4	市場規模と経済効果	3-4-31
4. 22. 5	ベンチマーク	3-4-32
4. 22. 6	事業化までのマイルストーン	3-4-32
4. 23	高速ビジョンセンサネットワークによる実時間 IoT システムと応用技術開発における 実用化・事業化の見通し(株式会社エクスビジョン・日本電気株式会社・東京大学)	3-4-33
4. 23. 1	概要	3-4-33

4. 23. 2	実用化・事業化への課題と対応策	3-4-33
4. 23. 3	実用化・事業化の体制	3-4-34
4. 23. 4	市場規模と経済効果	3-4-34
4. 23. 5	ベンチマーク	3-4-36
4. 23. 6	事業化までのマイルストーン	3-4-37
4. 24	Field Intelligence 搭載型大面積分散 IoT プラットフォームの研究開発における 実用化・事業化の見通し(東京電力ホールディングス株式会社・東電設計株式会社・ 東洋インキ SC ホールディングス株式会社・双葉電子工業株式会社)	3-4-38
4. 24. 1	概要	3-4-38
4. 24. 2	実用化・事業化への課題と対応策	3-4-38
4. 24. 3	実用化・事業化の体制	3-4-39
4. 24. 4	市場規模と経済効果	3-4-40
4. 24. 5	ベンチマーク	3-4-40
4. 24. 6	事業化までのマイルストーン	3-4-41
4. 25	Sensor-to-Cloud Security ～ビッグデータを守る革新的 IoT セキュリティ基盤技術の研究開発における 実用化・事業化の見通し(三菱電機株式会社)	3-4-42
4. 25. 1	概要	3-4-42
4. 25. 2	実用化・事業化への課題と対応策	3-4-42
4. 25. 3	実用化・事業化の体制	3-4-42
4. 25. 4	市場規模と経済効果	3-4-42
4. 25. 5	ベンチマーク	3-4-43
4. 25. 6	事業化までのマイルストーン	3-4-43
4. 26	Sensor-to-Cloud Security ～ビッグデータを守る革新的 IoT セキュリティ基盤技術の研究開発における 実用化・事業化の見通し(電子商取引安全技術研究組合)	3-4-43
4. 26. 1	概要	3-4-43
4. 26. 2	実用化・事業化への課題と対応策	3-4-43
4. 26. 3	実用化・事業化の体制	3-4-43
4. 26. 4	市場規模と経済効果	3-4-44
4. 26. 5	ベンチマーク	3-4-44
4. 26. 6	事業化までのマイルストーン	3-4-44
4. 27	複製不可能デバイスを活用した IoT ハードウェアセキュリティ基盤の研究開発における 実用化・事業化の見通し(ヌヴォトンテクノロジージャパン株式会社)	3-4-46
4. 27. 1	概要	3-4-46
4. 27. 2	実用化・事業化への課題と対応策	3-4-46
4. 27. 3	実用化・事業化の体制	3-4-46
4. 27. 4	市場規模と経済効果	3-4-46
4. 27. 5	ベンチマーク	3-4-46
4. 27. 6	事業化までのマイルストーン	3-4-47
4. 28	複製不可能デバイスを活用した IoT ハードウェアセキュリティ基盤の研究開発における 実用化・事業化の見通し(産業技術総合研究所)	3-4-47

4. 28. 1 概要.....	3-4-47
4. 28. 2 実用化・事業化への課題と対応策.....	3-4-47
4. 28. 3 実用化・事業化の体制.....	3-4-48
4. 28. 4 市場規模と経済効果.....	3-4-48
4. 28. 5 ベンチマーク.....	3-4-48
4. 28. 6 事業化までのマイルストーン.....	3-4-48
4. 29 次世代産業用ネットワークを守る IoT セキュリティ基盤技術の研究開発における 実用化・事業化の見通し(株式会社 IIJ イノベーションインスティテュート).....	3-4-50
4. 29. 1 概要.....	3-4-50
4. 29. 2 実用化・事業化への課題と対応策.....	3-4-50
4. 29. 3 実用化・事業化の体制.....	3-4-50
4. 29. 4 市場規模と経済効果.....	3-4-51
4. 29. 5 ベンチマーク.....	3-4-51
4. 29. 6 事業化までのマイルストーン.....	3-4-52
4. 30 次世代産業用ネットワークを守る IoT セキュリティ基盤技術の研究開発における実用化・事業化の見通し (アラクサラネットワークス株式会社、共同研究：産業技術総合研究所).....	3-4-52
4. 30. 1 概要.....	3-4-52
4. 30. 2 実用化・事業化への課題と対応策.....	3-4-52
4. 30. 3 実用化・事業化の体制.....	3-4-53
4. 30. 4 市場規模と経済効果.....	3-4-54
4. 30. 5 ベンチマーク.....	3-4-54
4. 30. 6 事業化までのマイルストーン.....	3-4-55
4. 31 次世代産業用ネットワークを守る IoT セキュリティ基盤技術の研究開発における実用化・事業化の見通し (アラクサラネットワークス株式会社).....	3-4-55
4. 31. 1 概要.....	3-4-55
4. 31. 2 実用化・事業化への課題と対応策.....	3-4-55
4. 31. 3 実用化・事業化の体制.....	3-4-56
4. 31. 4 市場規模と経済効果.....	3-4-56
4. 31. 5 ベンチマーク.....	3-4-56
4. 31. 6 事業化までのマイルストーン.....	3-4-56
●特許論文等リスト(添付資料).....	3-添-1
◎研究開発テーマ 「超高効率データ抽出機能を有する学習型スマートセンシングシステムの研究開発」.....	3-添-1
◎研究開発テーマ「超低消費電力データ収集システムの研究開発」.....	3-添-11
◎研究開発テーマ「トリリオンノード・エンジンの研究開発」.....	3-添-28
◎研究開発テーマ「高速ストレージクラスメモリを用いた 極低消費電力ヘテロロジーニアス分散ストレージサーバシステムの研究開発」.....	3-添-36
◎研究開発テーマ 「先進 IoT サービスを実現する革新的超省エネルギー型ビッグデータ基盤の研究開発」.....	3-添-50
◎研究開発テーマ「省電力 AI エンジンによる人工知能プラットフォーム」.....	3-添-53

◎研究開発テーマ「超高速・低消費電力ビッグデータ処理を実現・利活用する 脳型推論集積システムの研究開発」.....	3-添-56
◎研究開発テーマ「組合せ最適化処理に向けた革新的アニーリングマシンの研究開発」.....	3-添-78
◎研究開発テーマ「高速ビジョンセンサネットワークによる実時間IoTシステムと応用技術開発」.....	3-添-114
◎研究開発テーマ「Field Intelligence 搭載型大面積分散 IoT プラットフォームの研究開発」.....	3-添-117
◎研究開発テーマ「Sensor-to-Cloud Security ～ビッグデータを守る革新的 IoT セキュリティ基盤技術の研究開発」.....	3-添-119
◎研究開発テーマ「複製不可能デバイスを活用した IoT ハードウェアセキュリティ基盤の研究開発」.....	3-添-128
◎研究開発テーマ「次世代産業用ネットワークを守るIoTセキュリティ基盤技術の研究開発」.....	3-添-141

プロジェクト用語集

用語	説明
Actuation アプリ	本稿では、センシングのデータをもとにユーザの課題を解決するため実際に動作する装置やシステムのことを指す。
Additive Manufacturing	従来の材料を除去する切削加工に対して、3D プリンタのように材料を添加する形の工法を「アディティブ・マニュファクチャリング」と言い、短納期・低コストを可能とする。
AlexNet	Alex Krizhevsky たち(トロント大学の研究者)が提案した CNN の代表的なネットワークモデル。2012 年に開催された大規模画像認識のコンペ ILSVRC(ImageNet Large Scale Visual Recognition Challenge)で AlexNet が圧倒的な成績で優勝して以来、ディープラーニングの手法が画像認識での主役に躍り出た。
API	Application Programming Interface の略。ソフトウェアコンポーネント同士が互いに情報をやりとりするのに使用するインターフェースの仕様。
Arduino	広く用いられているマイコンボードの 1 つ。製品情報等は Web サイト https://www.arduino.cc/ から調べることができる。
ASAC	Application Specific Annealing Computer の略。本プロジェクトの研究開発における独自技術の名称。
AXI	Advanced eXtensible Interface の略。システム LSI 向けのオンチップ・バス規格。
BLE	Bluetooth Low Energy の略。低電力消費・低コスト化に特化した Bluetooth の規格であり、Bluetooth 4.0 で追加された。
BNN	Binarized Neural Network の略で、浮動小数点を使わない(2 値化)ニューラルネットワークの総称。一般的に BNN 化することにより、精度は多少落ちるもののメモリ使用率が劇的に少なくなるという特徴を持つ。このため、FPGA への実装などに用いられることが多い。
CNN	Convolutional Neural Network(畳み込みニューラルネットワーク)の略。十分なデータ量があれば機械が自動的にデータから特徴を抽出してくれる Deep Learning(深層学習)におけるアルゴリズムの 1 つ。元々、手書き文字認識のために研究が進んだという経緯もあり、画像認識に使われる事が多いが、自然言語処理では、感情分析やテキスト分類、翻訳などにも応用されるようになってきている。
CWB	CyberWorkBench の略。NEC が開発した、ASIC・FPGA 設計向け C 言語ベース高位合成ツールの製品名。C 言語からの高位合成と、C 言語レベルの機能・タイミングデバッグや形式検証を行える統合設計ツール群である。

用語	説明
DNN	Deep Neural Network の略。十分なデータ量があれば機械が自動的にデータから特徴を抽出してくれる Deep Learning(深層学習)におけるアルゴリズムの 1 つ。ニューラルネットワークは、脳にある神経細胞(ニューロン)とその繋がりを、入力層、出力層、隠れ層という3つの層で表現するが、DNN では非常に多くの隠れ層が組み合わさっており、情報の複雑さに対応する上で重要な役割を担っている。
DSP	Digital Signal Processor の略。積和演算の高速な処理に特化したマイクロプロセッサのこと。
FabLab	Fabrication Laboratory の略。FabLab は、多様な工作機械を備え、個人が自らの必要性や欲求に応じて、「ほぼあらゆるもの」をつくることを目標とした実験的な市民工房。
FPGA	Field-Programmable Gate Array の略で、購入者や設計者が、集積回路の機能を何度も繰り返して再構成できる半導体チップ。FPGA では、製造後であっても、外部から設計情報を書き込むことによって、任意の論理回路を構成することができる。
FPGA Shield for Arduino (FPGA2I)	AI に特化したメモリアーキテクチャを持ち、また、FPGA の書き換えによって AI アプリケーションの変更が可能な、本プロジェクトで開発した Arduino 用の AI アクセラレータ。Shield とは、Arduino 用の機能拡張基板を示す呼称である。
Fused Operation	Fused Operation(融合操作)は、NVMe コントローラにおいて 2 つの同様のメモリ操作命令を単一処理サイクルの中で連続実行できる機能のこと。
Github	GitHub は、GitHub 社(サンフランシスコ)によって管理されているソフトウェア開発のプラットフォーム。ここにソースコードをホスティングすることで複数人のソフトウェア開発者と協働してコードをレビューしたり、プロジェクトを管理しつつ開発を行うことができる。
GPU	Graphics Processing Unit の略。当初 CG の描画処理用途で開発されたプロセッサであるが、エンジニアや研究者が描画に必要な強力な並列演算能力が、科学技術演算を行うのに適していることに気づき、やがて機械学習やディープラーニングを用いた AI 開発に応用されるようになった。
Hadoop	データを複数のサーバに分散し、並列して処理するミドルウェア(ソフトウェア基盤)のことであり、Java ベースのオープンソースフレームワークとして、ビッグデータの格納と処理に使用される。
ISA	Instruction Set Architecture の略。マイクロプロセッサ(CPU/MPU)を動作させるための命令語の体系を意味する。
Khronos Group	アメリカの非営利団体。様々なプラットフォームやデバイスの上で動作する、並列計算やグラフィックス、メディア用アプリケーションプログラミングインタフェース(API)のロイヤリティーフリーでオープンな標準規格を作成することを目的としている技術コンソーシアムである。

用語	説明
KING グラフ	アニーリングマシンにおいて、解きたい問題のイジング変数間の結合を表現・処理するため採用している物理グラフの種類の一つ。他には、全結合グラフ、キメラグラフがある。
LbSS	本プロジェクトの研究開発における独自システム” Learning based Smart Sensing System”(超高効率データ抽出機能を有する学習型スマートセンシングシステム)の略。
LIDAR	Laser Imaging Detection and Ranging の略。光を用いたリモートセンシング技術の一つで、パルス状に発光するレーザー照射に対する散乱光を測定し、遠距離にある対象までの距離やその対象の性質を分析するもの。
LUT	Look-Up Table の略。FPGA の重要な構成要素であり、任意の真理値表の入力と出力の組み合わせから選んだ1つを実行する回路の呼称。
Max-Cut 問題	組合せ最適化問題の一つ。「グラフの頂点を 2 つのグループに分けるときに、グループ間の辺の本数(または辺の重みの合計)が最大になるようにするにはどのように分ければ良いか」を解く。
MEMS	Micro Electro Mechanical Systems(微小電気機械システム)の略。機械要素部品、センサ、アクチュエータ、電子回路を一つのシリコン基板、ガラス基板、有機材料などの上に微細加工技術によって集積化したデバイス。
NMEMS	ネットワーク用の小型センサーMEMS であって、ナノレベルの微細加工等が必要な MEMS の総称。
NoSQL	GAFA 等で使用されているデータベース技術の総称で、従来の常識だった SQL データベースとは異なる仕組みとコンセプトでビッグデータに対応。
NVMe	Non-Volatile Memory Express の略。PCI Express (PCIe) を通じて不揮発性ストレージメディアを接続するための、論理デバイスインターフェースの規格。
OpenCL	Open Computing Language の略。マルチコア CPU や GPU、Cell プロセッサ、DSP などによる異種混在の計算資源(ヘテロジニアス環境など)を利用した並列コンピューティングのためのクロスプラットフォームな API。
OpenGL	Open Graphics Library の略。グラフィックスハードウェア向けの 2 次元/3 次元コンピュータグラフィックスライブラリ。
Posit arithmetic	Posit という浮動小数点数の表現方式を使用し、マシンラーニングの計算をより簡単に実行して性能を改善することを可能とする演算方式。
PyQUBO	量子アニーリングマシン等のコンピュータで「組合せ最適化問題」を解く際に必要となる専門的な形式「QUBO (Quadratic Unconstrained Binary Optimization: 二次制約なし二値最適化)」を自動で構築する、ある特定領域の問題の解決に特化したプログラミング言語。
QUIP	QUnit/Interposer/Package-substrate の略。本プロジェクトの研究開発における独自技術の名称。

用語	説明
RAND	Resistive Analog Neuro Device の略。本プロジェクトの研究開発における独自技術の名称。不揮発性抵抗変化メモリー(ReRAM)と同じ金属／酸化物／金属積層構造からなり、電圧パルスを印加する等により、酸化物層を挟んだ金属電極間の抵抗が連続的に変わり、神経を模した機能を備えた電子デバイス。
Regime ビット	マシンラーニングの計算性能を改善する Posit の数値表現構造で取り入れられたビット列。
ReRAM	Resistive Random Access Memory(不揮発性抵抗変化メモリー)の略。金属／酸化物／金属積層構造からなり、酸化物層を挟んだ金属電極間に、電圧(電流)を印加することにより生じる不揮発な抵抗変化を利用したランダムアクセスメモリーのこと。
RF-SQUID	SQUID (Superconducting Quatum Interference Device: 超伝導量子干渉素子)は、超伝導における磁束の量子化を行うものである。SQUID はジョセフソン接合(JJ)と超伝導ループから構成され、ジョセフソン結合を 1 つだけ含むループを用いる方式を RF-SQUID (Radio Frequency SQUID)という。
RISC-V	RISC-V(リスク ファイブ)は、確立された縮小命令セットコンピュータ(RISC)の原則に基づいたオープン標準の命令セットアーキテクチャ。
SA	Simulated Annealing の略。金属の焼きなまし(Annealing)という物理現象にヒントを得て開発された組合せ最適化問題に有効なアルゴリズム。
SDK	Software Development Kit の略。あるシステムに対応したソフトウェアを開発するために必要なプログラムや文書などをひとまとめにしたパッケージのこと。
SFE 回路	スマートセンシングフロントエンド回路。学習結果を基にセンサを自動調整し効率的に測定を行う。
SNAP	Stanford Network Analysis Project の略。大規模なソーシャルネットワークと情報ネットワークの分析における研究の結果として、SNAP ライブラリが公開されている。
SoC	System on a Chip (システム・オン・チップ)の略。ある装置やシステムの動作に必要な機能のすべてを、一つの半導体チップに実装する方式。
SSHI 回路	SSHI (Synchronized Switch Harvesting on Inductor)制御手法に基づき圧電電荷を増幅する回路。
TSV	Through Silicon Via の略。半導体基板を貫通して形成する貫通電極(TSV)でチップ間を最短距離で接続する三次元高集積化技術により、高機能、高速動作の LSI 実現が可能となる。
ULP	Ultra Low Power の略。超低消費電力のこと。

用語	説明
Wi-SUN	Wireless Smart Utility Network の略。日本では特定小電力無線と呼ばれる 920MHz 帯で使用され、2.4GHz や 5GHz 帯を使用する Wi-Fi と比べると、通信速度は遅いものの、通信距離が長い、障害物にも強くて繋がり易い、低消費電力という利点がある無線通信規格。
イジングモデル	磁石などの磁性体の性質を表す統計力学上のモデルのこと。イジングモデルは、上向きまたは下向きの二つの状態をとるスピンから構成される。
インターポーザ	貫通電極によって表裏の回路の導通をとるために用いられる基板のこと。
バックスキヤッタ	本稿では、バックスキヤッタ通信を指す。電磁波(RF)の反射信号(バックスキヤッタ信号)を活用することにより、電力消費の大きな RF 回路無しでセンサ情報の発信を可能とする。
フリップチップ接続	実装基板上にチップを実装する方法の 1 つ。ベアチップ(半導体をチップに切り出したもの)を電氣的に接続する際、ワイヤ・ボンディングのようにワイヤによって接続するのではなく、チップを反転(フリップ)してアレイ状に並んだバンプと呼ばれる突起状の端子によって接続する。

1. 事業の位置付け・必要性について

1.1 事業実施の背景

様々な物がインターネットを通じて繋がることにより新たなサービスやビジネスモデルを生み出す IoT(Internet of Things) 社会が現在、進展しつつある。今後モノがインターネットに繋がり、人の手を介さずに『サイバー空間』に情報を発信し、情報処理した結果が『実世界』の動きを制御する CPS(Cyber Physical System)の進展により、製造・産業、物流・小売、交通、社会インフラ、医療・ヘルスケア等、広範な分野において技術革新とこれまでに無い新たな価値を生み出し、産業社会の構造を大きく変える可能性がある。また、特に、製造業の国際競争力の維持・向上、少子高齢化・労働力不足、地球環境問題・エネルギー制約、社会インフラの維持・強化、地域経済活性化等、我が国における社会課題の解決への有効なアプローチとしても期待されている。

他方で、IoT 技術が社会のあらゆる分野に実装されることで、インターネットに繋がる機器は大幅に増大し、これまでデジタル化されていなかったデータがネットワークに加速度的に流入することで、情報の収集・蓄積、流通、解析、制御等のあらゆるプロセスにおいて機器が消費する電力が大幅に増大することが見込まれています。民間の試算では、世界で IoT でつながる機器の台数が 2025 年には 416 億台(2020 年との比較で約 1.5 倍)に達し、流通するデータ量も年間 79.4 兆 G バイト(2020 年との比較で約 4 倍)になると予測され、これに伴い機器の消費電力は増大していく。このため IoT 社会の実現を支える情報通信機器の省エネ化とシステム全体としての効率化が求められている。

また、その市場規模は産業用 IoT の世界市場においてだけでも 2025 年段階で 1106 億ドル(2020 年との比較で約 1.5 倍)に達するとの民間予測があり、経済効果においては IoT 技術の適用先と効果が非常に多岐の分野にわたるため、全体で 2025 年に 3.9~11.1 兆ドルに及ぶと試算されている。今後、日本が国際競争力を強化し、更なる成長を図るためには、IoT によるデータ駆動社会において予測される諸課題を世界に先駆けて解決し、社会実装を進め有効性を示していくことが極めて重要である。



図 3-3.1.1-1 IoT が実現する CPS(Cyber Physical System)

1.2 政策的位置づけ

政府においては、「日本再興戦略」改定 2015(2015 年 6 月 30 日閣議決定)において、IoT・ビッグデータ・人工知能時代の到来により、ビジネスや社会の在り方そのものを根底から揺るがす「第四次産業革命」とも呼ぶべき大変革が進みつつあり、未来の幅広い分野における産業創造や社会変革に対応するため、新たな時代を支える共通基盤技術(IoT、ビッグデータ解析、人工知能、センサー等)に関して研究開発等を実施することが期待されるとしている。また、「日本再興戦略」改定 2015 を受けて、2015 年 10 月に IoT 推進コンソーシアムが設置され、官民共同で IoT を活用した未来への投資を促すべく、新たなビジネスモデルの創出、IoT 推進のための技術開発・実証に係る、規制改革等の提言等の取組が推進されている。

さらに、2015 年 6 月に閣議決定された「科学技術イノベーション総合戦略 2015」においても、「現在発展しつつある個別のシステムが更に高度化し分野や地域を超えて結び付き、あらゆるものがネットワーク化されることにより、必要なもの・こと(サービス)を、必要な人に、必要な時に、必要なだけ提供でき、社会の様々なニーズに対し、きめ細やかに、かつ、効率良く対応できる「超スマート社会」ともいうべき社会が向かう方向性と考えられる」とした上で、「超スマート社会」の実現に向け、様々な分野での新たなビジネス創出において鍵となる共通基盤技術(例:IoT、ビッグデータ解析、AI、サイバーセキュリティ、センサー等)及び様々な事業やサービスに係る「システム化」の推進・高度化及びそれらの統合が重要であり、我が国の強み・弱み等を勘案し、関係府省の連携の下で戦略的に研究開発を推進することが期待されている。また、我が国が強みとする要素技術を強力に磨き、これを IoT の構成要素として組み込んだ社会経済システムから得られるビッグデータに対し AI 等の情報処理技術を適用し新たな価値を創造する仕組みを作り、国際競争力強化や生産性の向上を図り、持続的な社会基盤づくりにつなげていくことの重要性が指摘されている。

また、総合科学技術・イノベーション会議が策定に向けて検討を行ってきた 2016～20 年度の第 5 期科学技術基本計画について 2016 年 1 月に閣議決定されたが、ここでも超スマート社会サービスプラットフォームの構築に必要な技術のうち、特に国として速やかな強化を図る技術として、デバイス技術、エッジコンピューティング、ビッグデータ解析技術、AI技術、ネットワーク技術、サイバーセキュリティ技術、IoT システム構築技術等の IoT 関連の基盤技術が挙げられている。

また、本研究開発項目の開始後においても、2018 年 6 月閣議決定した「未来投資戦略 2018」ではデータ駆動型社会の基盤システム・技術への投資促進の具体的施策の一つとして IoT 共通基盤技術の確立が挙げられ、また、2019 年 6 月に IT 総合戦略本部が公表した「デジタル時代の新たなIT政策大綱」では、今後の IT 政策のひとつとして IoT 機器のセキュリティ対策の必要性が提示されている。さらに、2016 年 12 月に施行された「官民データ活用推進基本法(平成 28 年法律第 103 号)」では、我が国において官民データ活用に関する技術力を自立的に保持することの重要性を考慮し、国は AI や IoT、クラウドサービスをはじめとした先端技術の研究開発・実証推進・成果普及に向けた必要な措置を講ずることとされているところである。

1.3 アウトカム効果

本研究開発項目では、世界最先端の IoT 社会の実現のために不可欠となる横断的基盤技術(大量なデータの収集・蓄積・解析・セキュリティ等)の研究開発を幅広く実施するとともに、各基盤技術のシステム化に係る研究開発を一体的に推進する。これにより、次世代の IoT 社会を支える横断的基盤技術を幅広く強固なものにするとともに、IoT を活用した機器・システム、サービスの既存市場のシェア拡大と IoT 技術が適用されていなかった分野での新たなビジネスモデル・サービスを実現することで新規市場の創出を目指す。

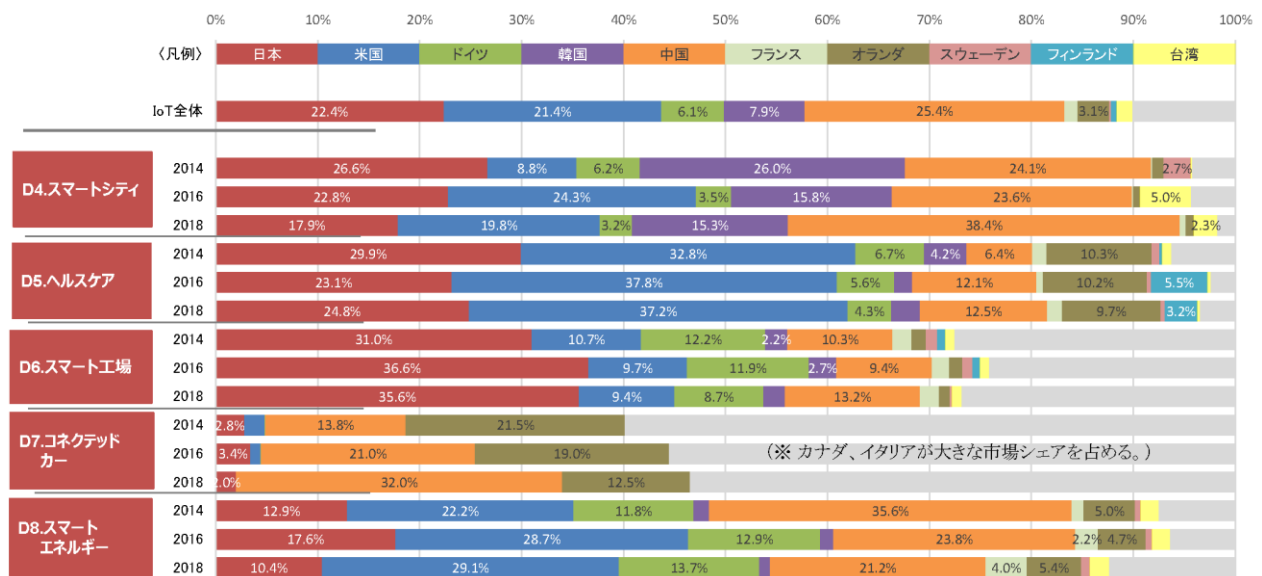
IoT が進展した社会に本事業により生まれた成果が広く実装されることにより、社会全体の生産性と効率性が最大限に向上し、2030 年時点における CO₂ 削減効果は、本研究開発項目全体で年約 1300 万トンが見込まれる。

1.4 国際的なポジション

我が国は IoT に関連する技術分野において、センサー、エッジ(端末デバイス)処理、メモリ・ストレージ、エネルギー(電池、環境発電・給電技術等)、材料、画像映像解析、大規模データ処理、アクチュエーター等に優位性の高いシーズ技術を有している。

経済産業省・国立研究開発法人新エネルギー・産業技術総合開発機構(以下「NEDO」という。)においても「低炭素社会を実現する超低電圧デバイス」(2010～2014)、「次世代プリントエレクトロニクス材料・プロセス基盤技術開発」(2010～2018)、「ノーマリーオフコンピューティング基盤技術開発」(2011～2015)、「IT 融合による新社会システムの開発・実証プロジェクト」(2012～2015)、「次世代スマートデバイス開発プロジェクト」(2013～2017)、「超低消費電力型光エレクトロニクス実装システム技術開発」(2013～2021)、「次世代半導体微細加工・評価基盤技術の開発(EUV)」(2010～2015)、「クリーンデバイス社会実装推進事業」(2014～2016)、「戦略的イノベーション創造プログラム(SIP)／重要インフラ等におけるサイバーセキュリティの確保」(2015～2019)等のプロジェクトが実施され、関連する低消費電力のデバイスやコンピューティング技術の開発、社会実装のための事業等を推進してきたところである。

一方、我が国の IoT 国際競争力の推移は図 3-3.1.1-1 のとおりである。足元においては、日本がスマート工場分野において世界トップシェアを占めるほか、全般的に高い又は一定の市場シェアを占めている状況にあるものの、激しい国際競争に晒されていることも読み取れる。



(出典:総務省「IoT 国際競争力指標(2018 年実績)」2020 年 3 月公表)

図 3-3.1.1-1 IoT 各分野の国・地域別市場シェアの推移

このような現況に対し、我が国が 2030 年代に目指すべき将来像として、我が国特有の強みである「多様で活用可能性の高いリアルデータの蓄積(現場や市場で起こっていることを丁寧に拾い上げる力)」「モノの強さ(先進技術をいち早く取り込み、ハードとソフトの融合などのモノを刷新し続ける力)」「グローバルに見た社会課題の先進性・大きさ」といった3つの特性を活かし、モノの強みの活用と課題解決の2つのアプローチを取りながら、図 3-3.1.1-1 において CPS として

掲出した「リアルデータの利活用サイクル」の創出、「リアルデータプラットフォーム」としての具現化・発展が提唱されているところである。

1.5 海外状況のまとめ

海外では IoT 分野において政府資金投入による大型プロジェクトが多数実施されている。例えば、欧州では「AUTONOMICS for Industry 4.0」(ドイツ、2013～2017)、「Smart Service World I」(ドイツ、2016～2019)、「Smart Service World II」(ドイツ、2018～2021)、「Internet of Things and Platforms for Connected Smart Objects」(欧州委員会、2016～2019)、「Large Scale Pilots」(欧州委員会、2017～2020)、「IoTUK」(英国、2015～2018)等のプロジェクトが実施され、製造プロセスにおけるエネルギーの削減や原料の消費における効率化および環境負荷の軽減、IoT による革新的な支援サービスを促進するための技術開発、業界横断型のソリューション開発、スマート製品向けプラットフォームのエコシステム構築、実社会での IoT の導入に向けた大規模なパイロット試験、産業分野および公共分野における IoT 技術やサービスの利活用推進等が行われている。また、米国では「Cyber-Physical Systems」(NSF、2009～)、「Big Data R&D Initiative」(NSF/NIH/DOD/DOE/DARPA/USGS、2012～2016)、「SMART AMERICA Challenge」(White House、2013～2014)、「Global City Teams Challenge」(NIST、2014～)、「Digital Manufacturing and Design Innovation Institute/MxD」(DoD、2014～)等のプロジェクトが実施され、科学、基盤技術の研究開発支援から BigData から知見を引出す技術開発、Smart Manufacturing、Smart City 等の実証、デジタル製造設計によるコスト削減のための開発等が行われている。また、中国では「中国製造 2025」(国務院、2015～2025)が実施されており、情報化と産業化の融合をその理念とし、スマート製造・グリーン製造を目標に推進されている。加えて、各国においては要素技術の研究開発に係るプロジェクトも実施されている。

これらの動きと相まって、ドイツの Industrie 4.0 においては 関係企業・団体等を構成員としたコンソーシアムが立ち上げられるとともに大手企業が旗振り役となり中小企業を含む産学官の垂直連携・水平連携 体制の構築が推進され、米国においては製造・IT 分野における企業が多数参画し、民間主導で業界をまたいで垂直・水平 連携 した IIC(Industrial Internet Consortium) が 2014 年に設立される等、垂直・水平連携 により製造業全体の生産性向上、製造と IT 技術の融合による新市場・新ビジネス創出のための取組、標準化に向けた取組等が行われている。この他、欧米における製造・IT 分野における多数の企業等においても独自の取組が進められている。

欧米は、IoT に関連する技術分野において、ユーザビリティ(インターフェース)、クラウド処理、コンピューティングアーキテクチャ、セキュリティディ/ペンダビリティ、ソフトウェア(プライバシー、データ形式標準化を含む)、垂直・水平連携等に強みを有し、上記のような各国の政府及び民間における取組みにより強化しつつあり、各国における開発競争が繰り広げられている。

1.6 NEDO が関与する意義

社会全体の生産性と効率性の最大限の向上が期待される IoT 推進のため、日本が強みを持つハードウェア技術に、組み込み、ソフトウェア等の技術を組み合わせ、データ収集システム、データストレージシステム、データ解析システム、セキュリティ技術といった IoT の基盤となる横断的な共通基盤技術を確立することは、産業競争力強化とエネルギー利用効率の向上が広く期待されることから、我が国全体として重要な事業である。

また、このような各分野へ展開可能な共通技術基盤は、個別分野の技術開発を行っている民間単独では実施が困難なため、産官学の事業者が互いのノウハウなどを持ち寄り、協調して研

究開発を行うことが必要であり、さらに実証推進においても様々な国の関与が必要と考えられることから、共通基盤技術として NEDO が実施すべきものである。

1.7 今回の事業の位置づけ

上記を踏まえ、本研究開発項目では、今後の IoT 推進において必要不可欠となる分野横断的な共通基盤について、従来に比べて格段に省エネルギーで高度なデータ利活用を可能とする次世代技術を産学官の連携体制で開発する。

具体的には低消費電力なデータ収集システム、データストレージシステム、データ解析システム、セキュリティの4分野に関し、横断的かつ具体的な用途やシステムを想定した、実用化への道筋をつけうる革新的な次世代の基盤技術の技術開発、及び、それらを統合して最適にデータ処理・制御を行う革新的な統合システム化技術やプラットフォーム基盤技術、実装技術等の研究開発を行うものである。

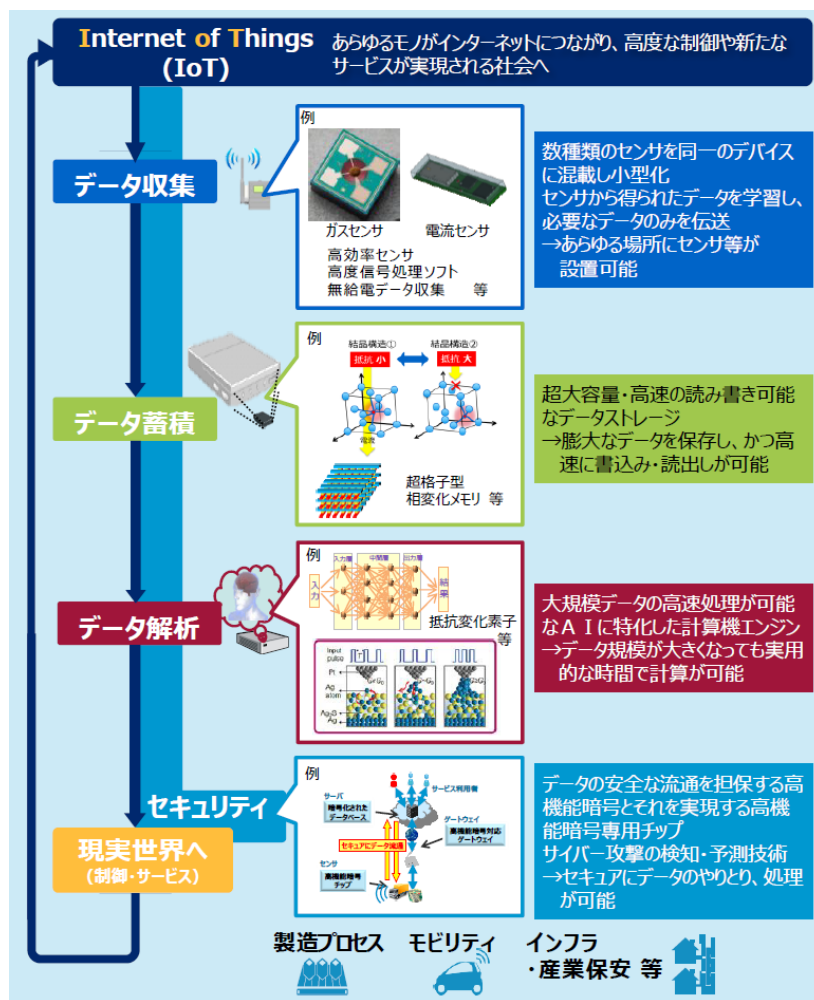


図 3-3.1.1-1 「高度な IoT 社会を実現する横断的技術開発」の事業イメージ

2. 研究開発マネジメントについて

2.1 事業の目的

本研究開発項目では、新たなサービスやビジネスモデルを生み出し、産業社会構造の革新を推進すべく、世界最先端の IoT 社会の実現のために不可欠となる横断的基盤技術(大量なデータの収集・蓄積・解析・セキュリティの研究開発を幅広く実施するとともに、各基盤技術のシステム化に係る研究開発を一体的に推進し、成果の社会実装を進める。これにより社会全体の生産性と効率性を最大限向上させた社会を実現し、我が国全体の産業競争力強化とエネルギー利用効率向上を強力に推進することを目的とする。

2.2 研究開発目標と根拠

研究開発項目全体としては、データ収集・蓄積・解析・セキュリティの 4 分野において、横断的な次世代の基盤技術、あるいは、それらを統合するシステム化技術等を研究開発し、システムレベルで確立すること、つまり、開発成果を組み込んだシステムレベルでの試作を行い、想定用途やシステムにおける実用性を検証すること等を、技術レベルに係る最終目標(2020 年度末)指針として設定している。

また、エネルギー効率に係る最終目標(2020 年度末)指針の設定は、IoT 社会の実現を支える情報通信機器の省エネ化及びシステム全体としての効率化を図るため、事業終了時点で想定用途やシステムにおいて求められると予測される諸性能を満たすことを前提に、事業開始時に広く普及している技術と比較して、エネルギー消費効率あるいは電力効率(単位電力あたり性能)が 10 倍以上にすることである。

本研究開発項目では、2020 年 8 月時点で合計 13 のテーマ(データ収集分野:3 テーマ、蓄積分野:2 テーマ、解析分野:5 テーマ、セキュリティ分野:3 テーマ)を実施しており、それぞれの目標等の詳細は表 3-3.1.1-1 の通りである。

表 3-3.1.1-1 研究開発テーマ一覧

分野	事業形態	研究開発テーマ	研究開発責任者	目標	根拠
収集	委託	超高効率データ抽出機能を有する学習型スマートセンシングシステムの研究開発	東京都市大学教授 藤田 博之	工場等において、生産効率・経営効率向上を実現する IoT システムの普及を目指し、多様な設備に対してセンシング方法を自動で学習、その学習結果を反映し、温度分布やにおいてデータを効率よく収集するセンシングシステムを研究開発する。 本システムにより、環境発電で収集可能な有価情報量を従来の 100 倍にする。	<ul style="list-style-type: none"> ・「スマートセンサモジュール(ガス、赤外線アレー)の開発」、 「連続的に高出力可能な自立電源の開発」、及び「スマートセンシングフロントエンド回路の開発」により、コンセントレータから動的センシング制御可能な無給電センサ端末(スマートセンサ端末)を実現。 ・スマートセンサ端末から超高効率に必要なデータだけの収集を行える「学習型スマートコンセントレータ」を開発。
	助成	トリリオンノード・エンジンの研究開発	東京大学名誉教授 桜井 貴康	2015 年比、①消費電力 1/10、②体積 1/100、③様々な用途向けにシステムの構成要素を工場外で簡便に変更できるプラットフォーム技術を研究開発する。 さらに、オープン・プラットフォームの研究開発や普及を推進する。	<ul style="list-style-type: none"> ・リーフと呼ぶ 20mm×20mm 程度の機能モジュール基板(センサリーフ、BLE リーフ、マイコンリーフ等)のフレキシブルな組合せを行うプラットフォーム・アーキテクチャを実現。 ・具体的なプラットフォーム技術として、簡便かつ小型な基板接続も含めたハードウェア小型実装技術技術、ハードウェア・ソフトウェア両面からの低消費電力化技術を研究開発。 ・オープンイノベーション推進の場としての「トリリオンノード研究会」を開設。
	助成	超低消費電力データ収集システムの研究開発	DSPC プロジェクトマネージャー 勝村 英則	CPSの社会実装において、運用・導入コストの大幅な低減が可能なデータ収集システムを研究開発する。 具体的には、電池交換不要で継続動作が可能なシステムを実現する。	<ul style="list-style-type: none"> ・センサシステムの消費電力 1/10 化の研究開発。 ・環境発電電源システムの発電効率 10 倍化の研究開発。 ・機能あたり占有体積を 1/10 以下とする高密度モジュール実装技術の研究開発。 ・さらに、上記を組み合わせることで、センサモジュールの小型化・自立電源化、及びそのモジュールを活用した超低消費電力なデータ収集システムを実現。

分野	事業形態	研究開発テーマ	研究開発責任者	目標	根拠
蓄積	委託	高速ストレージクラスメモリを用いた極低消費電力ヘテロジニアス分散ストレージサーバシステムの研究開発	東京大学 教授 竹内 健	異種メモリで構成される超高速かつ低電力な分散ストレージサーバシステムを研究開発する。 現在最速と考えられている All-Flash のストレージシステムに比べて、性能 10 倍、消費電力 1/10 を達成する。	<ul style="list-style-type: none"> ・特性の異なるメモリやストレージを高速ネットワーク上で組み合わせ、高性能、不揮発性、大容量といったそれぞれの利点を同時に得られる分散ストレージ構成の実現。 ・CPU、メインメモリ、ストレージ間のデータ移動を最小化する新アーキテクチャの確立。 ・集中処理から分散処理へという水平方向のアプローチ。
	助成	先進 IoT サービスを実現する革新的超省エネルギー型ビッグデータ基盤の研究開発	日立製作所 本部長 原 憲宏	「非順序型実行原理」(東京大学発の独自のソフトウェア実行原理)に基づき、従来技術と比べて飛躍的に高いエネルギー効率性を有する「超省エネルギー型ビッグデータ基盤」を実現する。 また、ビッグデータの利活用による先進的な IoT サービスを用いた実証実験を行い、有効性を明らかにする。	<ul style="list-style-type: none"> ・非順序型実行原理に基づく超省エネルギー型データベースエンジンの構成法の確立。 ・超省エネルギー型ビッグデータ基盤に於ける超精密性能・消費電力モデルの構築と高度制御手法を確立。
解析	委託	超高速・低消費電力ビッグデータ処理を実現・利活用する脳型推論集積システムの研究開発	産総研 総括研究主幹 秋永 広幸	脳型情報処理回路を搭載した AI 半導体を、消費エネルギーを 1/100 に低減できるアナログ型抵抗変化素子を集積することによって実現する。 さらに、この技術の普及促進やユーザーとの価値共創を目指したオープンイノベーションを推進する。	<ul style="list-style-type: none"> ・横断的基盤技術の実用化開発として、アナログ抵抗変化を用いた AI デバイス (RAND: Resistive Analog Neuro Device) を研究開発。 ・さらに将来的な革新的基盤技術として、In-situ オンライン学習を行う試行錯誤エンジンを研究開発。 ・オープンイノベーション推進のため、人材育成スクールを開催、および、研究開発環境プラットフォームを構築・公開運用。
	委託	組合せ最適化処理に向けた革新的アニーリングマシンの研究開発	日立製作所 主任研究員 山岡 雅直	IoT 社会において益々重要となる組合せ最適化問題を、従来の 1000 倍以上の高エネルギー効率で処理する「アニーリングマシン」の基盤技術を確立する。	<ul style="list-style-type: none"> ・半導体の特長を活かし使いやすさを重視した CMOS アニーリングマシンについて、規模をスケールさせる方式を研究開発。 ・量子効果により精度の高い処理が可能な超伝導量子アニーリングマシン方式の研究開発を行い、大規模化の可能性を動作実証にて確認。 ・実社会応用するために必要不可欠なアニーリングマシンのポテンシャル性能を引き出すチューニングの数理基盤技術を研究開発。

分野	事業形態	研究開発テーマ	研究開発責任者	目標	根拠
解析 (続き)	委託	高速ビジョンセンサネットワークによる実時間 IoT システムと応用技術開発	東京大学 教授 石川 正俊	生産現場への導入を目指して、工場等における検査・FAを対象に、従来のカメラを用いた IoT・AI に比し、処理・制御速度が 30 倍となる、リアルタイム・高速な IoT システムを実現する。	<ul style="list-style-type: none"> ・カメラのネットワーク化(同期)と高速フィードバックを可能にするシステムアーキテクチャを研究開発。 ・高速ビジョンのためのプラットフォームを研究開発。 ・さらに、応用技術として、高速検査・センサフュージョン・作業支援に関しても研究開発。
	助成	Field Intelligence 搭載型大面積分散 IoT プラットフォームの研究開発	大阪大学 教授 関谷 毅	エッジノードでの状態判断人工知能“Field Intelligence”を搭載した大面積分散 IoT プラットフォーム基盤技術の研究開発により、省電力化(1/10 以下)、情報処理の高効率化(10 倍)を実現する次世代構造物ヘルスケア技術を確立する。	<ul style="list-style-type: none"> ・長期信頼性と安定性を兼ね備えた炭素技術をベースとする「低消費・高効率電力配分システム」、「安定通信システム」、「面計測システム」を統合した、シート状の大面積分散型 IoT プラットフォームを研究開発。 ・ノイズの多い環境下においても有効に機能させるため、その場(Field=エッジノード)において「状態判断・診断知能」、「信号/ノイズ識別」等が可能な人工知能を活用してデータトラフィックを最小限に抑え、加えて、状態計測、状態認知、信号伝送を超間欠動作にて行うことなどにより電力消費低減を実現。
	助成	省電力 AI エンジンによる人工知能プラットフォーム	DMP 常務取締役フェロー 大淵 栄作	人工知能による高度なデータ処理の実現と、これに必要な消費電力の低減が IoT における差し迫った課題となっているため、10 倍の電力性能比を実現すべくエッジにおける人工知能処理の共通基盤技術を確立し、推論処理の省電力・省スペース化と実時間対応を実現する。	<ul style="list-style-type: none"> ・既存のソフトウェアを活用しつつも AI アルゴリズムを専用ハードウェア化した高効率な GPU ベースのエッジ AI 推論エンジンを研究開発。 ・電力・時間制約に対応した推論ロジック高位合成技術を研究開発。
セキュリティ	委託	Sensor-to-Cloud Security~ビッグデータを守る革新的 IoT セキュリティ基盤技術の研究開発	横浜国立大学 教授 松本 勉	IoT における計測、通信、蓄積、処理、制御、利用、保守管理の全ての側面でセキュリティを適切かつフレキシブルに実現でき、エネルギー効率に優れた技術を実現する。	<ul style="list-style-type: none"> ・データの計測および制御に伴う「計測セキュリティ」について、保証スキームの社会実装を目指し、評価技術・強化技術を研究開発。 ・大規模でセキュアな秘匿検索を、最先端ハードウェアにより、超高速・超低エネルギーで現実化し、かつ、IoT のセキュリティ管理の抜本的効率化を図るために、「高機能暗号(秘匿検索・属性ベース暗号・集約署名など)」を研究開発。

分野	事業形態	研究開発テーマ	研究開発責任者	目標	根拠
セキュリティ (続き)	委託	複製不可能デバイスを活用したIoTハードウェアセキュリティ基盤の研究開発	立命館大学 教授 藤野 毅	「IoT 末端系のハードウェアセキュリティ」に対して、機器の真正性・データの完全性や機密性を「物理複製不可能デバイス PUF」を用いることで飛躍的に向上させるための基盤技術を確立する。	<ul style="list-style-type: none"> ・新型 PUF 技術として「リコンフィグ型 PUF」、「カラーイメージセンサ PUF」、「印刷フレキシブル PUF」を開発し、それぞれ従来 PUF と比較して 10^N 倍(ある試算条件では $N=60$)の鍵攻撃コスト、従来不可能であったセンサデバイスへのセキュリティ機能付与、多用途なフレキシブルデバイスへの低コストセキュリティ機能搭載を実現。 ・PUF 技術が産業界で広く使われるよう、PUF の評価基準ならびに評価手順を ISO/IEC で国際標準化。
	助成	次世代産業用ネットワークを守るIoTセキュリティ基盤技術の研究開発	アラクサネットワークス 担当部長 新 善文	既設の産業用 IT/IoT ネットワークのセキュリティ強化に関し、コンピュータウィルスの蔓延等を防止する効果的な手段を提供するとともに、モニタリングにより感染や故障などの異常を従来の 10 倍以上の速度で検知可能とするセキュリティシステムを実現する。	<ul style="list-style-type: none"> ・既設の産業用 IT/IoT 機器自身でのセキュリティ対策は困難であるため、既設ネットワークにおいて管理用ソフトウェアと産業用セキュリティスイッチへの置き換えだけでセキュリティ強化が可能とすべく、サービス、制御ソフトウェア、ネットワーク機器の連携によるセキュリティ統合システム方式を研究開発。

2.3 研究開発スケジュール

研究開発スケジュールを図 3-3.1.1-1 に示す。

前半 3 年間の要素技術開発は、2030 年時点において高度な技術が浸透した社会を実現するために必要となる革新的基盤技術の確立を行うフェーズである。

具体的には低消費電力な データ収集システム(高速処理、知的処理、小型化、低コスト化等)、データストレージシステム(大量データ・高速処理等)、データ解析システム(人工知能、高速処理、知的処理、エッジ・ミドル・クラウド処理の最適化等)、セキュリティ(データ保護技術、攻撃の検知技術、脆弱性対処技術等の横断的基盤技術について、我が国と世界の状況に鑑み、また、具体的な用途やシステムをも想定し、実用化への道筋をつけうるハイリスクな要素技術の研究開発を委託事業として実施した。

後半 2 年間の応用開発(システム化)および個別用途向け実用化開発は、研究開発事業の出口に向け、実用化・事業化の目途を確実にするフェーズである。

具体的には、前述の要素技術開発を受け継ぎ、垂直・水平連携等の体制により複数の要素技術(必ずしも全て新規開発とは限らない)を統合するシステム化等について依然としてリスクを伴う研究開発を行う委託事業、もしくは、個別の用途に向けてユーザー側と連携し、開発・実証する等、技術の社会実装を進めるための実用化研究開発を行う助成事業を実施している。

各研究開発テーマの後半 2 年間について、委託事業として推進するのが適当か、助成事業として推進するのが適当かの判断は、2018 年 9 月に開催したステージゲート審査会にて行った。

	2016年度	2017年度	2018年度	2019年度	2020年度
基盤技術開発 (委託)	要素技術開発	要素技術開発	要素技術開発	応用開発(システム化)	応用開発(システム化)
		要素技術開発	要素技術開発	応用開発(システム化)	応用開発(システム化)
実用化研究 (助成)			ステージゲート	個別用途向け実用化開発	個別用途向け実用化開発

図 3-3.1.1-1 研究開発スケジュール

2.4 プロジェクト費用

2016年度から5年間のプロジェクト費用は、表3-3.1.1-1の通りである。2016年度～2019年度は執行ベースの金額であり、2020年度は契約ベースの金額としている。

表3-3.1.1-1 プロジェクト費用 [単位:百万円(四捨五入)]

		2016年度	2017年度	2018年度	2019年度	2020年度	
委託	収集分野	952	970	995	190	190	
	蓄積分野	754	748	841	109	109	
	解析分野	638	1,490	1,359	898	574	
	セキュリティ分野	401	530	763	442	476	
助成	収集分野	総事業費	—	—	—	323	319
		NEDO 負担	—	—	—	237	231
	蓄積分野	総事業費	—	—	—	299	279
		NEDO 負担	—	—	—	224	209
	解析分野	総事業費	—	—	—	274	267
		NEDO 負担	—	—	—	176	172
	セキュリティ分野	総事業費	—	—	—	98	98
		NEDO 負担	—	—	—	68	68
その他(先導研究*)		17	38	—	—	—	
合計	総事業費	2,762 (確定額)	3,776 (確定額)	3,957 (確定額)	2,633 (確定額)	2,312 (契約額)	
	NEDO 負担	2,762 (確定額)	3,776 (確定額)	3,957 (確定額)	2,344 (確定額)	2,029 (契約額)	

(*) 2016年度:「広域エネルギー制御の革新的セキュリティ基盤の研究開発」(制御システムセキュリティセンター・東北大学・電気通信大学)
 2017年度:「実社会ビッグデータ処理基盤を実現する大規模データセンター構築・運用技術の研究開発」(さくらインターネット・産総研)
 2017年度:「ノイズレス GI 型プラスチック光ファイバによる超高速 IoT 社会の実現」(慶應義塾大学)

2.5 マネジメント体制

本研究開発項目では、技術的成果及び政策的効果の最大化、産業社会への還元等を目指し、プロジェクト全体の企画・推進・管理を行うためにプロジェクトマネージャー(以下 PM という)およびサブ・プロジェクトマネージャー(以下 SPM という)を設置した。

加えて、効率的な研究開発の推進を図る観点から各実施者の研究開発能力を最大限に引き出し、性格の異なる各研究機関のベクトルを束ねるため、当事業には NEDO が指名する研究開発責任者(プロジェクトリーダー、以下 PL という)を設置し、各実施者はプロジェクトリーダーの下で研究開発を実施する体制をとっている。

PL は、プロジェクトをより効率的かつ効果的に遂行するために、プロジェクトの技術目標等の達成に向けた取り組み、研究開発の進捗状況の把握、プロジェクトの実施体制の構築・改変及び事業者間等の予算配分に係る助言、プロジェクトの成果の評価等に係る業務の全部又は一部について、月1回のペースで開催している PL 月例会議を通じて PM/SPM と緊密な連携を図っている。

また、研究開発スケジュールの節目のタイミングで、PL と事業者間の意思疎通を深める直接対話の取り組みも行っている。まず、研究開発が始まるタイミングの2016年7月(初回公募の採択決定直後)と2017年8月(追加公募採択の契約手続き直後)の「キックオフ会議」では、全事業者参加の集合形式にて、本研究開発項目全体の方向性について共通認識を形成すべく意見交換を行った。

次に、研究開発前半フェーズ「要素技術開発」の最終年度(図 3-3.1.1-1 参照)である 2018 年度の 5 月に、全テーマ合計で 2 日間の「PL 進捗確認会議」を開催し、研究開発テーマ毎に PL と事業者が直接議論する場を持ち、問題点のあぶり出しと共有を図った。

さらに、研究開発のフェーズが「要素技術開発」から「応用開発(システム化)および個別用途向け実用化開発」へ移行した 2019 年度の 7 月～8 月には、PL が全テーマの研究開発現場を個別に半日程度訪問する「PL サイトビジット」を開催し、各事業者と実用化・事業化の出口戦略についての議論を深めた後、フィードバックコメントを作成・発信して各事業者への助言・指導を行っている。

本研究開発項目は、「IoT(Internet of Things)」という共通の研究課題のもと、多岐にわたる研究開発を実施している。従って、有識者による定期的な集団指導体制を構築し(プロジェクト推進委員会の設置)、様々な観点から定期的に助言等を貰いながら推進することとした。プロジェクト推進委員会は年 1 回のペースで第 4 四半期に定期的実施しており、かつ、各研究開発テーマの初期成果が出始めたプロジェクト 2 年目の 2017 年 7 月～9 月には、全テーマの研究開発現場において 2 時間程度/テーマの所要時間を掛ける中間委員会を開催した。この中間委員会により、有識者には各研究開発テーマへの理解を深めていただくことができ、その後のプロジェクト推進委員会における限られた時間制約の中でも、充実した審議をいただくための土台作りが行えた。

また、基本計画にて掲げられた成果最大化の取り組み(個別テーマの推進に加え、複数テーマの連携、国際連携、人材育成、成果発信等を行い、事業成果の最大化のための取組を推進)について、本研究開発項目では、各研究開発テーマの事業内容の一部として研究開発の当初より実施計画を立案させ、各事業者における積極的な推進を図っているところである。しかしながら、特に「連携」に関しては、研究開発成果が出揃わない事業前半において、個別事業者のみによる推進に困難を伴うことから、PL・PM・SPM のプロジェクトマネジメント側においても全体統括的な支援の取り組みを行った。具体的には、プロジェクト外の潜在的連携先への早期の認知度向上を目的として、展示会併設型シンポジウム(ものづくり日本会議・第 16 回新産業技術促進会議“IoT 社会の実現に向けた基盤技術の開発”)を、プロジェクト 2 年目に当る 2017 年 11 月に開催すると共に、プロジェクト内の横連携に関しては、連携マインドの醸成を目的として、2017 年 8 月の「(追加公募採択に伴う)キックオフ会議」を「プロジェクト内の新連携先模索の懇談機会」と位置付け、全事業者参加にてグループワーク形式で、アイデアやヒントも含めた連携提案を検討する場を設けた。さらに、「要素技術開発」の成果が出揃ってきたタイミングになる 2018 年度には、モデルケースとして解析テーマ 2 件とセキュリティテーマ 1 件の成果物を連携させたコンセプト・デモ実現による成果の見える化を行い、その企画プロセスを事業者主導で行わせることにより、プロジェクト内におけるボトムアップ的な連携マインドの活性化を図った。これらの取り組みの結果、各研究開発テーマの当初計画にはなかった、解析テーマとセキュリティテーマの機能融合や、収集テーマと蓄積テーマの共同実証実験、収集テーマ間でのガイドラインや仕様策定といったプランが生まれてきている。

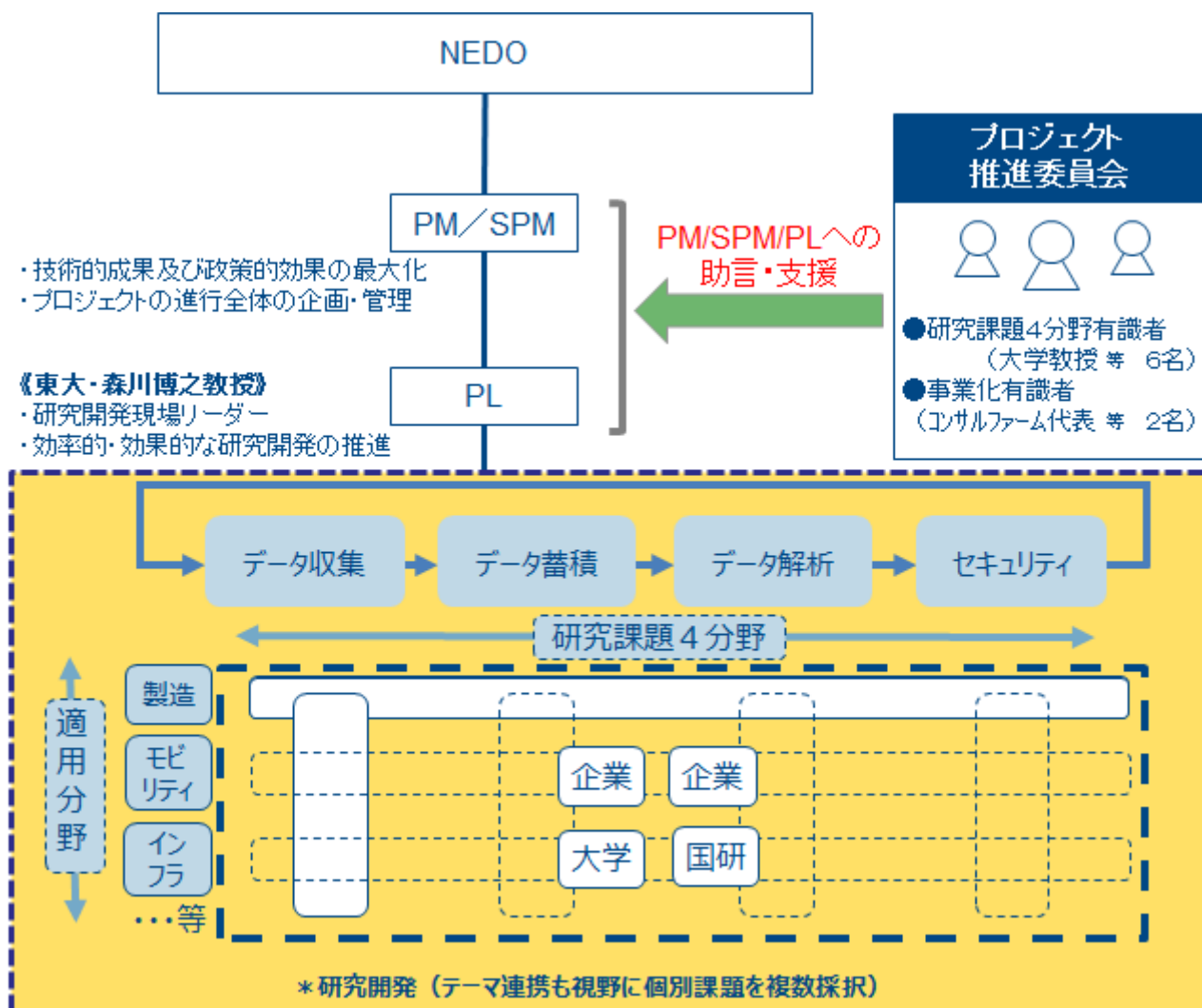


図 3-3.1.1-1 マネジメント体制

2.6 実施体制

本事業は、表 3-3.1.1-1 に示す実施体制にて推進している。

表 3-3.1.1-1 実施体制(2020年12月現在)

分野	事業形態	研究開発テーマ	委託先/助成先名		代表事業者	分野	事業形態	研究開発テーマ	委託先/助成先名		代表事業者			
				再委託先名・共同研究先名						再委託先名・共同研究先名				
収集	委託	超高効率データ抽出機能有する学習型スマートセンシングシステムの研究開発	NMEMS技術研究機構		○	蓄積	委託	高速ストレージクラスメモリを用いた極低消費電力ヘテロジョイント分散ストレージサーバシステムの研究開発	東京大学(中央大学より事業承継)		○			
			うち再委託	電力中央研究所					東京工業大学					
			うち再委託	東京大学 大学院工学系研究科					富士通(株)					
			うち再委託	東京大学 生産技術研究所					日本電気(株)					
	助成	トリオンノード・エンジンの研究開発	東芝デバイス&ストレージ(株)		○		助成	先進IoTサービスを実現する革新的超省エネルギー型ビッグデータ基盤の研究開発	(株)日立製作所		○			
			うち共同研究	東京大学					うち共同研究 東京大学					
			東芝インフラシステムズ(株)											
			うち共同研究	東京大学										
	助成	超低消費電力データ収集システムの研究開発	(株)図研		○	解析	委託	超高速・低消費電力ビッグデータ処理を実現・利活用する脳型推論集積システムの研究開発	産業技術総合研究所		○			
			うち共同研究	東京大学					スワートテクノロジージャパン(株)					
			(株)SUSUBOX						北海道大学					
			うち共同研究	東京大学					早稲田大学					
セキュリティ	委託	Sensor-to-Cloud Securityへビッグデータを守る革新的IoTセキュリティ基盤技術の研究開発	(株)デバイス&システム・プラットフォーム開発センター		○		委託	組合せ最適化処理に向けた革新的アニーリングマシンの研究開発	(株)日立製作所		○			
			うち共同研究	東京工業大学					産業技術総合研究所					
			うち共同研究	神戸大学					うち再委託	横浜国立大学				
			うち(再)委託	(株)東芝					理化学研究所					
			うち(再)委託	アルプスアルパイン(株)			国立情報学研究所							
			助成	複製不可能デバイスを活用したIoTハードウェアセキュリティ基盤の研究開発			立命館大学		○	委託	高速ビジョンセンサネットワークによる実時間IoTシステムと応用技術開発	東京大学		○
							うち再委託	名城大学				日本電気(株)		
							うち再委託	電気通信大学				オムロン(株)		
	産業技術総合研究所				(株)エクスビジョン									
	助成	次世代産業用ネットワークを守るIoTセキュリティ基盤技術の研究開発	アラクサラネットワークス(株)		○	助成	Field Intelligence搭載型大面積分散IoTプラットフォームの研究開発	東電設計(株)		○				
			うち共同研究	産業技術総合研究所				うち共同研究	大阪大学					
			うち共同研究	東京大学				うち共同研究	東京大学					
(株)IIIイノベーションインスティテュート			東京電力ホールディングス(株)											
助成	省電力AIエンジンによる人工知能プラットフォーム			○	助成	省電力AIエンジンによる人工知能プラットフォーム	(株)デジタルメディアプロフェッショナル		○					
							日本電気(株)							
							うち共同研究	兵庫県立大学						
							うち共同研究	名古屋大学						

2.7 動向・情勢の把握と対応

各研究テーマの個別動向・進捗把握に努め、適宜、既存テーマの加速や縮小を行うとともに、事業を推進しながら課題として見てきたものがあれば、新テーマの追加、既存テーマの実施形態変更や終了も行った。

詳細は表 3-3.1.1-1 のとおりである。

表 3-3.1.1-1 プロジェクト見直しの概要と狙い

対応	概要	狙い
研究テーマの追加	<p>2017 年度の追加公募において、解析分野は「収集～解析技術を幅広く活用し実世界制御に直結した解析技術の開発」に係る対象課題の例示と公募、セキュリティ分野は「ハードウェア・予測技術での攻撃検知、ネットワークセキュリティ等、二重・三重の防御」に係る対象課題の例示と公募を行った。</p> <p>その結果として、解析分野で 3 テーマ、セキュリティ分野で 2 テーマを追加採択した。</p>	<p>2016 年度初回採択の研究開発テーマ構成が、解析分野では「AI 処理を高速化・効率化する基盤開発中心」の 3 テーマ、セキュリティ分野は、1 テーマのみで「暗号チップ・計測面技術による単一手法のみでのセキュリティ開発」であった。</p> <p>これに対し、IoT 分野における解析・セキュリティについて、新たに必要性が高まりつつある「広範な要求」への対応をとるため、研究開発テーマの拡充を目指した。</p>
既存研究テーマの縮小	<p>①2017 年度プロジェクト費用</p> <ul style="list-style-type: none"> ・収集分野 2 テーマについて、合計 557 百万円の規模縮小 ・蓄積分野 2 テーマについて、合計 491 百万円の規模縮小 ・セキュリティ分野 1 テーマについて、119 百万円の規模縮小 <p>②2018 年度プロジェクト費用</p> <ul style="list-style-type: none"> ・収集分野 2 テーマについて、合計 248 百万円の規模縮小 ・蓄積分野 1 テーマについて、348 百万円の規模縮小 ・セキュリティ分野 1 テーマについて、20 百万円の規模縮小 	<p>プロジェクトの比較的初期(1 年目経過時および 2 年目経過時)の時点でのスクリーニングである。</p> <p>各研究開発テーマにおける実施項目毎の実績に基づき、全体システムへの貢献が期待しがたい実施項目を洗い出して実施内容の選択と集中による絞込みを行うことにより、個別の研究開発計画の最適化、ひいては、プロジェクト全体の効率化を目指した。</p>

対応	概要	狙い
既存研究テーマの加速	<ul style="list-style-type: none"> ①2016 年度プロジェクト費用 ・蓄積分野 1 テーマについて、 20 百万円の加速追加 ②2017 年度プロジェクト費用 ・収集分野 2 テーマについて、 合計 90 百万円の加速追加 ・蓄積分野 1 テーマについて、 24 百万円の規模縮小 ・解析分野 3 テーマについて、 合計 244 百万円の加速追加 ③2018 年度プロジェクト費用 ・収集分野 1 テーマについて、 30 百万円の加速追加 ・解析分野 3 テーマについて、 合計 189 百万円の加速追加 ④2019 年度プロジェクト費用 ・収集分野 1 テーマについて、 39 百万円の加速追加 ・解析分野 2 テーマについて、 合計 230 百万円の加速追加 ④2020 年度プロジェクト費用 ・収集分野 2 テーマについて、 合計 47 百万円の加速追加 ・解析分野 1 テーマについて、 17 百万円の加速追加 ・セキュリティ分野 1 テーマについて 50 百万円の加速追加 	<p>毎年度のプロジェクトの発展的見直しである。</p> <p>各研究開発テーマにおける実施項目毎の実績と世の中動向とに基づき、目覚ましい成果への更なる伸び代の確保、競合動向等の世の中の変化に対する対応、研究開発の進展により当初目論見の想定外の事象への対応等、当初計画以上の成果最大化が見込まれる研究開発テーマに対して、必要な研究開発費を追加投入した。</p>
委託事業から 助成事業への移行	<ul style="list-style-type: none"> ・収集分野 4 テーマ中 2 テーマを 助成事業へ移行 ・蓄積分野 3 テーマ中 1 テーマを 助成事業へ移行 ・解析分野 6 テーマ中 2 テーマを 助成事業へ移行 ・セキュリティ分野 3 テーマ中 1 テーマを 助成事業へ移行 	<p>2018 年 9 月に開催したステージゲート審査会にて、研究継続の必要性、成果の事業化見通し等を評価し、ゼロベースで後半 2 年間のプロジェクト計画の見直しを行った。</p> <p>その結果、個別の民間企業が、特定用途(アプリケーション、ソリューション)向けに実用化開発するフェーズへと移っている、または移るべきものを選定し、助成事業への移行とすることで、実用化・事業化の促進によるプロジェクト成果の最大化と、プロジェクト全体の費用対効果の向上を併せて図ることとした。</p>

対応	概要	狙い
研究テーマの終了	<ul style="list-style-type: none"> ・収集分野 4 テーマ中 1 テーマを終了判定 ・蓄積分野 3 テーマ中 1 テーマは事業者からの研究開発完了提案の妥当性を認めて終了 ・解析分野 6 テーマ中 1 テーマは事業者からの研究開発完了提案の妥当性を認めて終了 	<p>2018 年 9 月に開催したステージゲート審査会にて、後半 2 年間の研究継続の必要性、成果の事業化見通し等を評価し、ゼロベースでプロジェクト計画の見直しを行った。</p> <p>その結果、研究開発が大きく進展し共通基盤技術としては完成とみなすことができる、もしくは、残存するリスクが少ない等、個別の民間企業が、具体的な製品・サービス等の開発を行うフェーズへと移っている、または移るべきものを選定し、前半 3 年間のみで研究開発早期完了とすることで、実用化・事業化の促進によるプロジェクト成果の最大化と、プロジェクト全体の費用対効果の向上を併せて図ることとした。</p>

2.8 知財マネジメント

知財は、プロジェクト実施後の実用化に向けた出口戦略を構築・実現するにあたり鍵を握るとともに、戦略的な取組を関係者の合意の下で進める必要があり、その実現に向けた的確なマネジメントの実施が不可欠である。このため、本研究開発項目では NEDO プロジェクト知財基本方針を適用し、テーマ毎に実施者間での知財合意書の作成や知財運営委員会の設置を行った。

3. 研究開発成果について

本研究開発項目全体の中間目標に関し、技術レベル目標の「収集・蓄積・解析・セキュリティの横断的な次世代基盤技術、システム化技術等を要素技術レベルで確立し、実用化の可能性を見極める」に対し、2018年のステージゲート審査会時点で、全16の研究開発テーマが、ともに研究試作とその検証により、実用化へ向けた要素技術を確立しており、目標を達成した。

また、エネルギー効率目標の「事業開始時の普及技術と比較して、エネルギー消費効率あるいは電力効率が10倍以上となる見込みを示す」に対しても、2018年のステージゲート審査会時点で、収集分野において10～1000倍、蓄積分野において10～100倍、解析分野において10～1000倍、セキュリティ分野において10～10000倍の見込み値を得ており目標を達成した。

さらに、ステージゲート審査会を通過した全13の研究開発テーマは、ともに順調にシステム化実証試験等を計画どおり進捗中であり、特に大きな遅延はないため、基本計画に記された最終目標も達成できる見込みである。(新型コロナ禍による影響は、研究開発マネジメントの全体課題として別途対応を調整中)

以下に、各研究開発テーマにおける個別の成果詳細を示す。

3.1 研究開発テーマ「超高効率データ抽出機能を有する学習型スマートセンシングシステムの研究開発」

本研究開発項目では、システムエンジニアや熟練技術者が工場現場に入って、手間の掛かる無線センサ端末の設置・設定、複雑なデータ収集システムの構築を行うことなく、ユーザの現場技術者だけでこれらを実施でき、エッジ(センサ端末+コンセントレータ)処理だけで有価情報の自動抽出可能な学習型スマートセンシングシステム(LbSS: Learning based Smart Sensing System)の開発を行った。これを実現するために、手のひらサイズ程度の無線センサ端末に、環境発電モジュール(本開発の振動発電デバイス(世界最高性能)と市販光発電デバイスや市販熱発電デバイスを組み合わせてハイブリッド発電可能)とコンセントレータからの無線制御でセンサパラメータを自動調整するスマートセンサを実装し、無給電でセンシングと双方向通信を可能とした。さらに、限られた環境発電のエネルギーだけで、様々な工場設備の有価情報センシングを可能とするため、コンセントレータには、様々な産業分野のユーザヒアリング・ユースケース調査を基に汎用化した、装置や測定目的に最適かつ収集データ削減効果の大きい抽出方法を自動決定するアルゴリズムテンプレートを実装した。

本システムの開発目標値として、環境発電で収集可能な有価情報量を従来の環境発電の100倍に設定し、例えば、従来10分に1回程度の計測・データ送信の間隔であったものが、5秒に1回程度まで頻度を高めることができれば、工場設備の稼働状態モニタリングの様なりアルタイム性を求められるアプリケーションにも適用ニーズが出てくると想定した。

環境発電による稼働状態モニタリングの実証として、開発した赤外線アレーセンサ端末(高温部の温度データのみ自動抽出)による温度監視を工場内の蒸気タービンで実施し、全領域測定だと120秒に1回の頻度であったものが、送信データ量を5分の1以下に低減できることから、5秒に1回の頻度で有価情報だけを収集できることを見出した。さらに、ロボットアームの稼働状態(上下、左右)の抽出を、開発した音、電流センサ端末を用いてセンサ・フュージョンを自動で行った結果、動作に特徴的なピーク周波数の抽出により、送信データ量を1万分の1以下に削減でき、1秒に1回程度の頻度で有価情報収集が可能となった。

昨年度より、実際に稼働している生産設備にユーザ技術者だけで、本センサ端末・センシングシステムの構築実証を行い、問題なくシステム構築・運用できることが分かり、更にユーザの監視システムでのデータ表示・データ変換方法等について、ユーザの意見を基に改良を進めている。さらに、今年度は、ユーザでのフィールド実証を3ヶ所程度まで追加し、様々な対象設備のセン

シングで、汎用化されたアルゴリズムテンプレートの検証と有価情報の妥当性、現場環境(野外・屋内)に合わせた環境発電モジュールの最適化と耐久性検証を完了する見通しである。

個別の開発サブテーマにおける詳細は以下に示す。

3.1.1 開発全体概要

本研究開発テーマを行う必要性、求められるスペック等を以下に示す。

■なぜ開発するのか:工場のデジタル化が進展する中、IoT による生産性向上が喫緊の課題であり、既設ラインやレガシー設備(工作機械の 80%以上が導入から 10 年超^{*1})へのセンサ設置とネットワーク接続が必要だが、工場現場に専任の熟練センサ技術者・IoT システム技術者が居るとは限らないため、現場技術者だけで簡単に導入・運用できるシステムが必要

■何を開発するのか:学習機能を備えたエッジ処理によりデータ量・データ送信量を削減するスマートセンシングシステム、高信頼無線通信による動的センシングで自動最適化するスマートセンサ端末(赤外線アレー、ガスセンサ)、センサ端末の無給電動作を実現する環境発電(振動発電)

■必要なスペックは何か:多種多様な機器・設備から高効率に有用データを抽出(従来比 100 倍)、設備環境から高効率で振動発電(500 μ W)

■なぜそのスペックで十分なのか:工場の機器制御や状態判断を、環境を問わず取り出せるエネルギー(振動、光、熱)で実現するシステムを、機械停止なく軽い設備負担で構築可能

本研究開発項目①～③の全体像を以下の図 3-3.1.1-1 に示す。

研究開発項目①学習型スマートセンシングシステムの開発では、無線スマートセンサ端末のハードウェアとして、コンセントレータからの無線指示でセンサ測定パラメータを変更可能にするスマートセンシングフロントエンド(SFE)回路の開発、本センシングシステム用低消費電力・高信頼性サブ GHz 無線モジュールの開発、ハイブリット環境発電を可能にする蓄電・エネルギーマネジメント回路の開発、研究開発項目②で開発した産業向けスマートセンサや市販の各種センサ(振動、音等)を接続可能にする標準インタフェース^{*2}の組み込み、これらを手のひらサイズ程度の端末筐体の実装した端末ファームウェアの開発を日立製作所とロームで実施する。

次に、コンセントレータの開発として、市販の小型ボックス PC に搭載するソフトウェアとして、センサデータの分析に必要となる各種アルゴリズムとそれらを組み合わせて、装置や測定目的に最適な抽出方法を自動決定するアルゴリズムテンプレートの開発、スマートセンサ端末との双方向通信を行う FAN アダプタ、クラウドからコンセントレータへの最新アプリケーションのダウンロードやクラウドへのデータ転送を行う WAN アダプタ、ユーザが導入している既設のセンサや情報機器のデータをコンセントレータで受けて、他のデータと併せて分析・抽出を可能にするインタフェースの開発を日立製作所が実施する。

また、工場等の生産設備や受変電設備の状態監視に求められるスマートセンサ端末の仕様・機能抽出及び上記で開発する状態監視アルゴリズムのプロトタイプ試作・検証を東京電力ホールディングスが実施する。

研究開発項目②産業分野を対象としたスマートセンサの開発では、工場現場の作業者が五感を使って行う状態監視の代替として、低消費電力化・小型化・高性能化のセンサが必要となり、500 μ W の環境発電で、常時センシング・データクレンジング等の前処理・双方向通信を行えるようにするため、センサの消費電力を 500 μ W の半分以下、200 μ W に設定した。

すでに市販のマイクロフォン、振動センサ、電流センサ等でも、消費電力を満足するものが出ており、スマートセンサ端末に活用可能であることから、工場現場のガス漏れやオイル漏れ等の異臭(臭い)の監視を目的として、触媒を変えた MEMS ガスセンサをアレー化して1チップに集積し、それらのガスセンサの駆動切り替えやヒータ温度の変更で、複数の異臭を嗅ぎ分けられるマルチガスセンサの開発を富士電機が実施する。

さらに、設備・分電盤・配管等の温度(赤外線画像)の監視を目的として、測定画素、温度分解能を可変にすることで、熱源の変化部だけの温度データを抽出できる赤外線アレーセンサの開発をオムロンが実施する。

研究開発項目③産業分野における微小振動で連続的な高出力可能な自立電源の開発では、

長期間メンテナンスフリー(設備の精密点検サイクルである 5 年程度)とするため、現場で得られる環境エネルギー源に合わせ、例えば野外の太陽光や工場内の照明光、ポンプ・モーター等の振動、蒸気・温水配管から出る廃熱を用い、場合によってはそれらを組み合わせて安定的に発電・蓄電するハイブリッドで 500 μ W の自立電源が必要となる^{*3}。

上記の環境エネルギーを変換する素子として、光・熱発電素子は、電子機器・再生可能エネルギーとして開発・製品化が進んでおり市販品を活用することが可能である。本研究開発では、工場の数多くある回転機器からの微小外部振動の周波数(50Hz~100Hz)、加速度(0.15G) (G = 重力加速度)から 500 μ W 出力を得るため、小型の MEMS エレクトレット発電デバイスとその広帯域化機構の開発を鷺宮製作所、静岡大学、(一財)マイクロマシンセンター、【再委託先】東京大学、(一財)電力中央研究所が共同で実施する。

*1 生産設備保有期間等に関するアンケート調査～結果概要～、経済産業省、産業機械課、2013 年 5 月を基に 2018 年度の保有割合を推定

*2 スマートセンサ⇄端末モジュール間のインタフェース国際標準化 IEC 提案事業(経済産業省の国際標準化委託事業「グリーンセンサ・ネットワークシステムのセンサ及びプラットフォームのインタフェース等に関する国際標準化」技術研究組合 NMEMS 技術研究機構/(一財)マイクロマシンセンターが受託。

*3 NEDO 共同研究事業社会課題対応センサーシステム開発プロジェクト(2011-2014 年度、技術研究組合 NMEMS 技術研究機構が受託)において、100 μ W 以下で駆動する MEMS(電流磁界、塵埃、CO₂、VOC(揮発性有機化合物)、赤外線アレー)センサ、10cm² のサイズで 150 μ W 以上を発電する自立電源(室内光)を搭載した無給電センサ端末を開発し、無線センサ端末からの生データを片方向・間欠送信で、工場・オフィス・コンビニ・商業施設等を実証現場として、自立電源で可能な計測・データ送信頻度の確認を行った。これらの結果から、環境発電だけで十分なセンシングと高信頼性双方向通信を行うためには、500 μ W は必要と判断した。

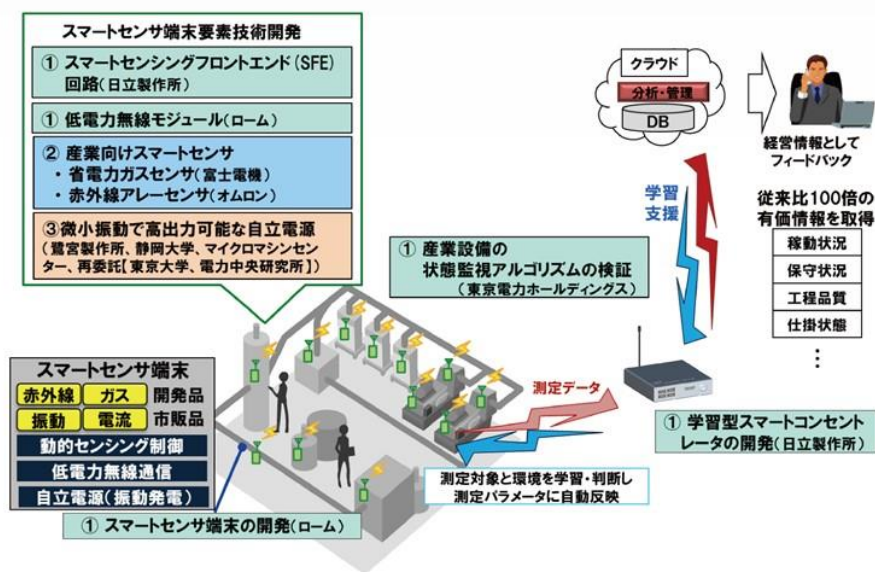


図 3-3.1.1-1 本研究開発項目①～③の全体像

図 3-3.1.1-2 には、本研究開発の実施体制を示す。本研究開発の目標達成とテーマ間連携の推進を図るため、研究開発責任者(東京都市大学教授/東京大学名誉教授 藤田博之)が全体を統括し、その下に研究開発テーマ毎にサブリーダーを置き、研究開発項目①を日立製作所高浦則克主管研究員、研究開発項目②、③を東京大学年吉洋教授(再委託先)が、開発計画の調整と技術的課題の検討・対方法の指示、競合技術動向を照らして常時評価を行う体制とした。

技術研究組合 NMEMS 技術研究機構は、開発計画全体のマネジメント及び成果最大化活動(ユーザヒアリング、ユースケース調査、成果展示・成果報告会、地方での技術 PR ワークショップ)、開発進捗確認のための委員会(プロジェクト推進連絡会)、本プロジェクトで創生される知的財産の管理・技術動向調査を検討する知的財産分科会、外部アドバイザー委員(IoT システムベンダー、ビル管理システム、交通インフラ、石油コンビナート等)による本システムの常時評価、社会実装に向けた課題の抽出を行う実証推進研究会の運営を行う。

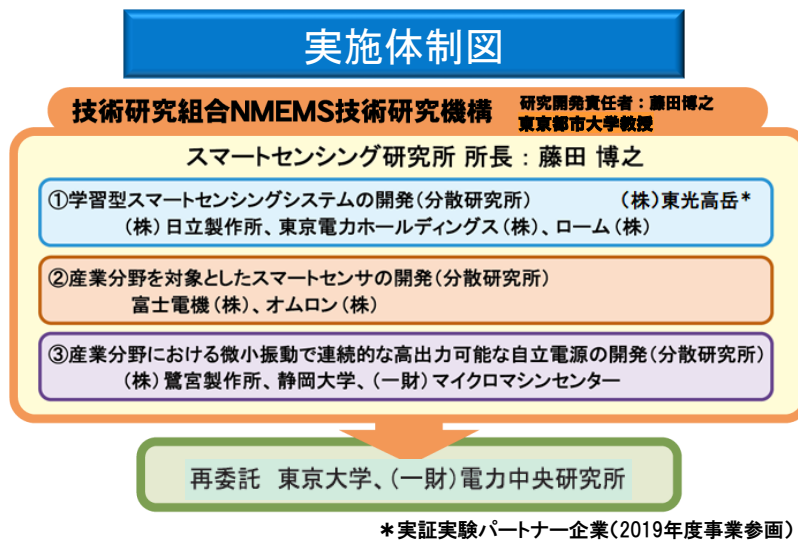


図 3-3.1.1-2 本研究開発の実施体制

3.1.2 研究開発項目の開発内容、最終目標、根拠、達成度

研究開発項目毎の開発内容を下記に示し、最終目標、根拠、達成度を表 3-3.1.2-2 に示す。

①学習型スマートセンシングシステムの開発

①-(1)超効率データ収集・抽出機能を行う学習型スマートコンセントレータの開発

センシングシステムの普及を実現する学習型スマートセンシングシステムを実現するために、その要素技術である、学習型スマートコンセントレータ及び、そのコンセントレータにおける学習結果から算出された測定パラメータを動的に反映可能なスマートセンサ端末を開発する。

学習型スマートセンシングシステムは、データ収集を行うコンセントレータとセンサ端末のそれぞれに自動でデータ解析、抽出等の調整を可能とする仕組みを入れて連携を行う。これにより、センサから収集されたデータのうち、装置や測定目的に最適な分析方法を自動で決定する。さらに、設置センサの測定パラメータを自動で調整を可能とする。これらにより、装置ごと、現場ごとに必要となっていたセンシングシステムの構築作業を自動化する。図 3-3.1.2-1 に学習型スマートコンセントレータとスマートセンサ端末を用いた機器の監視の例を示す。学習型スマートコンセントレータは、クラウドから測定環境に対応した解析パターンを入手し、2 個以上のスマートセンサ端末からのデータを統合し解析して、スマートセンサ端末が、環境発電の微小電力で測定するためのパラメータを算出する。その結果をスマートセンサ端末に反映する。スマートセンサ端末は、コンセントレータより指示された測定パラメータにより、測定対象の有価

情報を取得する構成へ動的に変更する。これらのコンセントレータとスマートセンサ端末の連携により収集データを有価な部分にのみ限定することで、測定および通信に必要なエネルギーを環境発電で動作可能な $500 \mu W$ 以下に抑えつつ、収集可能な有価情報量 100 倍を実現する。

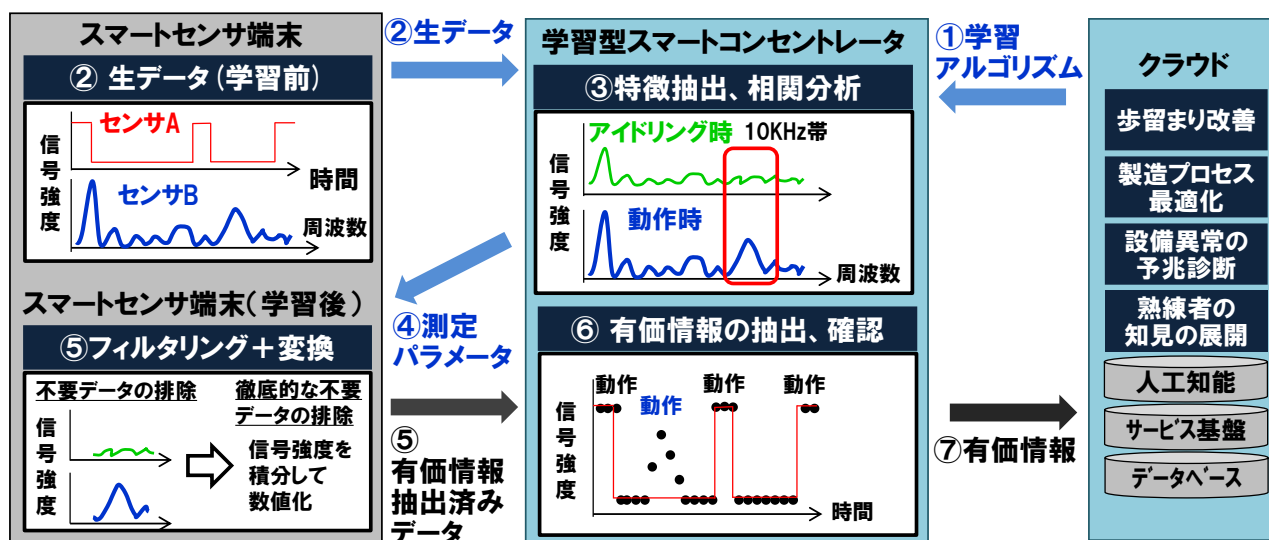


図 3-3.1.2-1 学習型スマートセンシングシステムにおける処理の流れ

①-(2)産業設備の状態監視アルゴリズムの検証

工場等にある産業設備には、工作機械など直接生産に関係する設備に加え、受変電設備や空調設備などの付帯設備も数多くある。こうした産業設備の保守や維持管理は、熟練技術者による五感を活用して実施されていたが、少子高齢化などによる後継者不足などから設備の維持管理のデジタル化が求められている。

設備の保守管理のデジタル化には、現場で日々、人が運転や保守時に確認をしている情報を含めた設備の稼働状況を自動で収集し、設備の稼働状態を常時監視できるセンシングシステムが必要となる。しかしながら従来のセンサでは、事前に設定された間隔で一方向的に情報を送信するだけであり、例えば設備の停止時など必要でないデータも送信してしまうことから、環境発電の限られたエネルギーでは必要な稼働情報を必要な時に得られにくいことがある。その解決のため、複数のスマートセンサを、コンセントレータを介して連携させる状態監視アルゴリズムを構築し、必要なタイミングで必要なデータのみを厳選して送信することで、有価情報を従来比で 100 倍以上とする学習型スマートセンシングシステムに実装する。

そのため、2016～2018 年度にかけて、実設備を対象に、オシロスコープや多機能測定器などの市販の計測器を用いて、設備の稼働状況、人が感覚で得ている情報(振動、発熱、におい等)、設備劣化兆候(放電等の現象)を測定し、センシングシステム実現に必要なスマートセンサの種類や仕様を決定し、設備の状態監視に資するアルゴリズムの構築を行う。

2019 年度以降は、試作した状態監視システムを、実際の工場などの産業設備に導入し、設備の状態監視アルゴリズムの検証や、従来比で 100 倍以上の有価情報が得られることを実証試験で確認する。

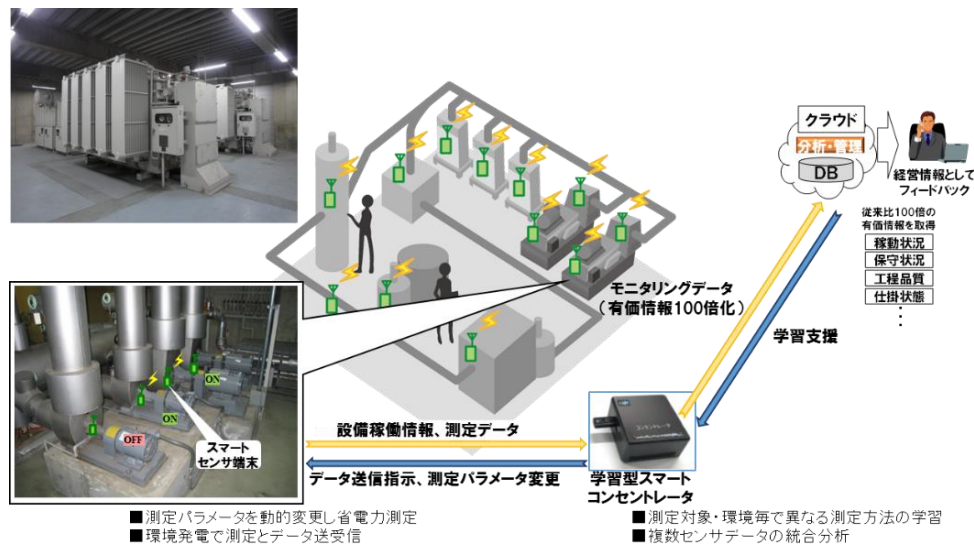


図 3-3.1.2-2 設備の状態監視システムの概念

①-(3)低消費電力・高信頼性長距離無線センサ端末の開発

学習型スマートセンシングシステムの実現においては、学習型スマートコンセントレータとスマートセンサ端末間の無線による動的センシング制御が重要であり、その為には高い信頼性を有する無線通信技術が必要であり、無線スマートセンサ端末の後付けを容易にする自立電源駆動には低消費電力であること、更には、大規模工場も視野に入れた長距離での低消費電力・高信頼性無線通信が必要になると考えられる。

特にファクトリでの学習型スマートセンシングに向けて、低消費電力・高信頼性スマートセンサ端末用無線モジュールを開発し(図 3-3.1.2-3)、複数の市販センサで動作検証後、本プロジェクトで開発されるスマートセンサモジュールを用い、参画企業と協働で無線スマートセンサ端末を開発する。さらに、学習型スマートコンセントレータからの指示に対応する通信プロトコルを協働で開発し、無線スマートセンサ端末に実装して、学習型スマートコンセントレータによるセンシング条件の変更や最適化を実現可能とする。

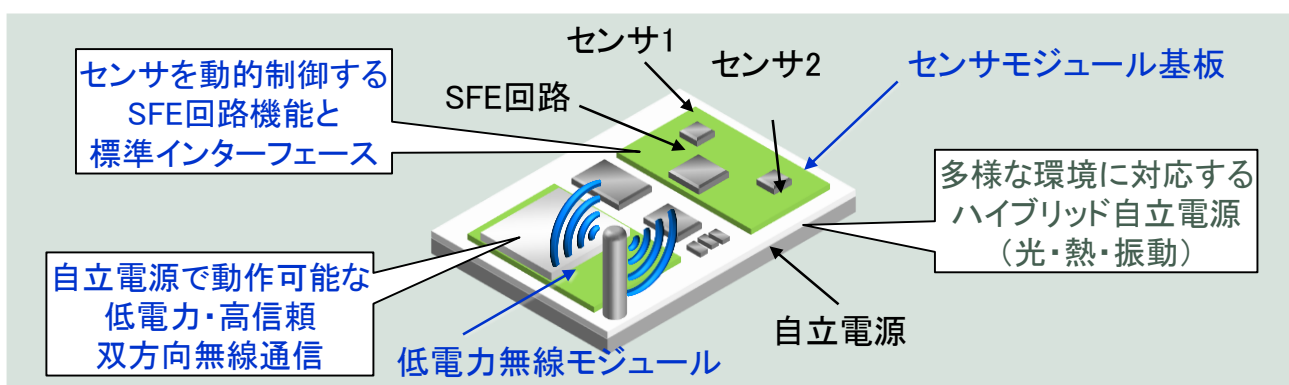


図 3-3.1.2-3 無線スマートマルチセンサ端末の概念図

これらを実現する無線通信技術としては、Sub-GHz 帯域(920MHz 帯)の近距離無線通信 LSI とその制御用マイコンにて開発する。メッシュネットワーク通信機能を実装したスマートセンサ端末用高信頼性無線モジュールを開発し、ネットワーク層の開発(図 3-3.1.2-4)により、既存の無線モジュールとの互換性を備えつつ低消費電力化を図り、本研究開発で想定される工場

でのユースケースを踏まえて、試作した高信頼性無線センサ端末を現場に投入し、学習型スマートセンシングシステムの検証に貢献する。

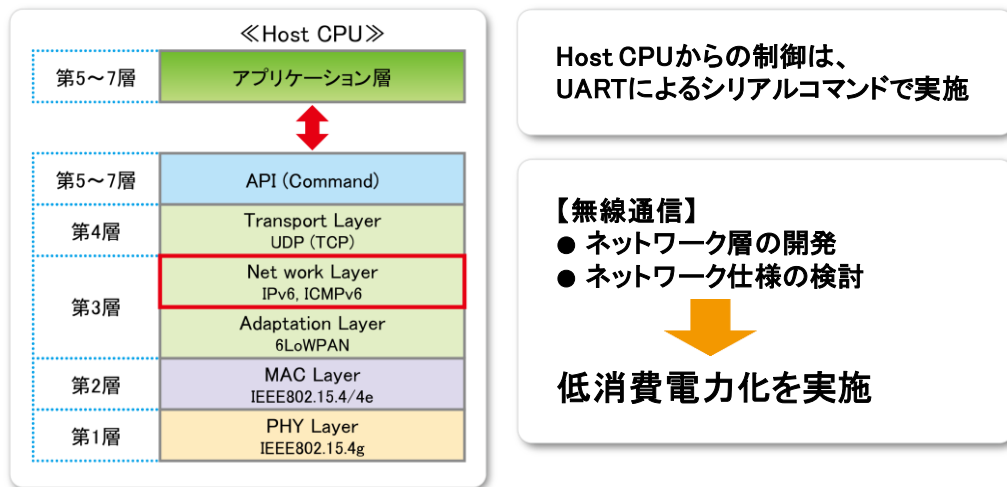


図 3-3.1.2-4 無線モジュールの低消費電力化のアプローチ

①-(4)生産設備における学習型スマートセンシングシステムの実証実験

生産設備の各種部位にスマートセンサ端末、学習型スマートコンセントレータを取り付け、その作業性および動作検証、適切なデータ計測方法、学習アルゴリズムの妥当性検証を目的とした学習型スマートセンシングシステムのフィールド実証実験を行う(表 3-3.1.2-1)。

当該の生産設備では、生産設備を構成する各種部位の詳細な稼働状況をスマートセンサ端末で監視できるようにすることで、将来的にはより安定的かつ効率的な生産へ貢献できる可能性もあることから、ユーザ企業として、その取り扱い性や有用性の視点を含め、実証実験を行う。

表 3-3.1.2-1 生産設備での実証実験内容

実証実験の目的	対象とする生産設備の装置構成	実証実験の内容
実際に稼働している生産設備を用いたフィールド実証実験での学習型スマートセンシングシステムの妥当性を検証する	<p>真空ポンプ</p> <p>温度用熱線油</p> <p>制御盤 (状態監視/制御) 寸法イメージ 幅3.5m × 奥行0.5m × 高さ2m</p> <p>材料タンク</p> <p>攪拌モーター</p> <p>油圧</p> <p>吐出</p> <p>オープン 寸法イメージ 幅3m × 奥行1.5m × 高さ2.5m</p>	<p>●生産設備に学習型スマートセンシングシステムを取り付け、その作業性および動作検証、適切なデータ計測方法を検討する。</p> <p>●スマートセンサ端末による計測を行い、学習期間データおよび学習後(有価情報)データを回収し、実際の設備動作/状態データとの比較により、その妥当性を評価する。</p> <p><測定対象候補 (調整中)> ・オープン扉 ・シリンダ ・真空ポンプ ・油圧ユニット 等</p> <p><スマートセンサ端末のセンサ候補 (調整中)> ・振動センサ ・音センサ ・電流センサ 等</p> <p>●振動発電等、環境発電を組み込んだスマートセンサ端末でのデータ計測と併せた自立電源による動作検証を行う。</p>

②産業分野を対象としたスマートセンサの開発

②-1)設備の異常を検出する省電力型ガスセンサの開発

国内の設備は老朽化が進んでおり、2013年現在で10年以上経過しているものが6割を占め、20年以上は3割を占める。老朽化した設備は、モーターなどの回転機では潤滑油劣化による効率低下や、冷媒を使った冷凍機では冷媒の漏洩により冷却効率の低下につながる。

これら設備の異常は、これまで人の五感(音・振動・においなど)による点検を実施してきており、常時監視することが難しく、人の五感に代わるセンサによってオンライン監視することが求められている。

そこで、人の五感の一つである嗅覚に変わりうる低消費電力のガスセンサを開発する。更には嗅覚では検出できないCOなども含め、ワイヤレスで、自立電源駆動可能、設置容易なセンシングシステムへの適用を目指す。また、現場での複数ガス種のセンサデータから正常なベース環境を学習・モデル化し、リアルタイムで収集したデータから異常の予兆を検出するアルゴリズムを検討する。

本開発では、図3-3.1.2-5に示した既存技術であるMEMSメタンガスセンサをベースに以下1)~3)の要素技術開発から、500 μ Wの環境発電で、常時センシング・データクレンジング等の前処理・双方向通信を行えるガスセンサを実現する(目標消費電力200 μ W以下)。

●要素技術開発項目

- 1) 現場に存在するガス種調査・検知ガス種の絞り込み
- 2) マルチガスセンシングの方式検討(マルチデバイス方式、マルチドライブ方式)
- 3) 上記2)の出力からのガス検出アルゴリズムの検討

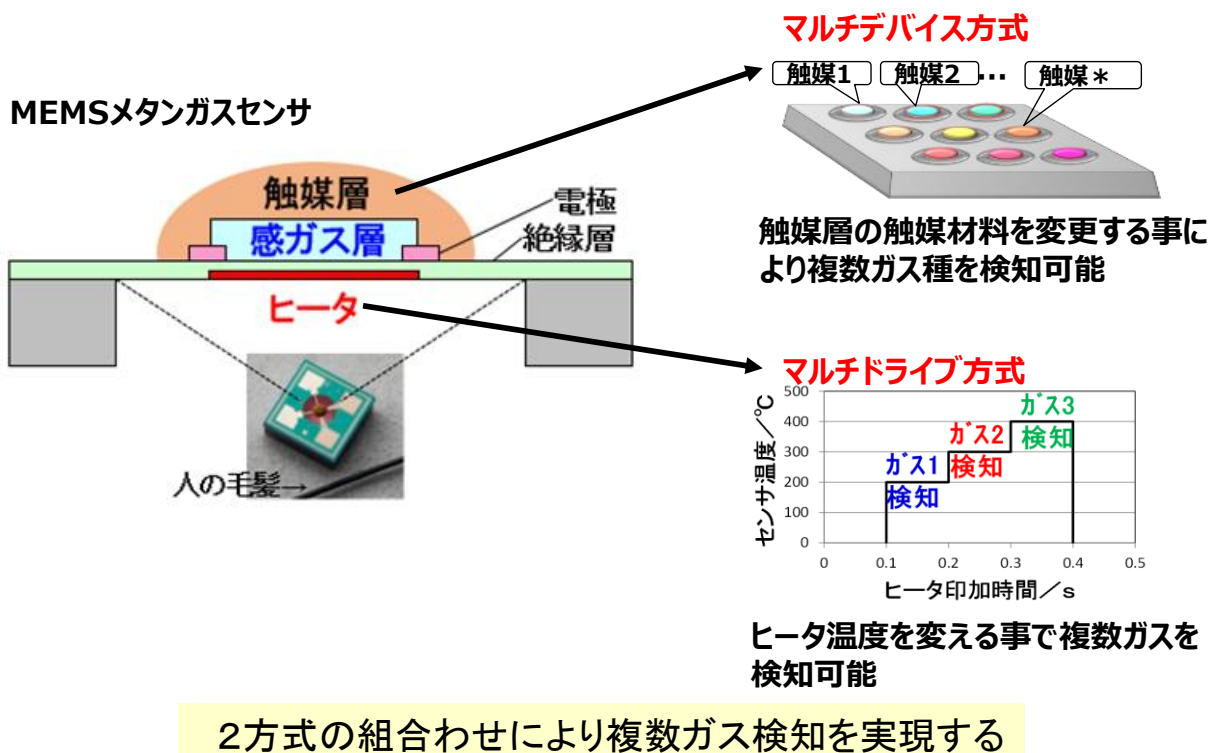


図3-3.1.2-5 ガスセンサ開発の概念図

②-(2)小型・低消費電力な赤外線アレーセンサの開発

工場内におけるモーターやボイラー等の設備や工場空間の熱だまり等の表面温度を連続的(分単位)に計測することは、各設備の稼働状況の最適化、エネルギーロス削減及び他のセンサの最適制御に有効である。現在利用されているサーモグラフィは、温度分布を非接触で計測できるが、一方で、高価で消費電力が高いため設置台数や測定頻度に制限が生じ、きめ細かな温度モニタリングが困難である。オムロンは、2011年度～2014年度に実施された NEDO 共同研究事業社会課題対応センサーシステム開発プロジェクト(技術研究組合 NMEMS 技術研究機構が受託)で、広範囲(90度)な温度分布を計測可能で、かつ自立電源で駆動可能な赤外線アレーセンサを開発した。更に、オフィス内でセンサネットワークの実証実験を行い、省エネ効果 10%以上を確認した。一方で、自立電源の限られた電力で有用情報を抽出するためには、測定画素、フレームレート及び温度分解能等の測定条件を、状況に応じて変更する機能が重要なことが分かった。

本開発では、2016～2017年度に参画し、設備や熱だまり等の表面温度の分布を、状況に応じて測定条件を変更して非接触で測定できる、低消費電力な赤外線アレーセンサを開発する。具体的には、サイズ 2cm×5cm 以下、消費電力 200μW 以下、及び測定条件変更機能(画素選択機能・可変フレームレート機能・温度分解能変更機能で構成される)を搭載した赤外線アレーセンサを開発する(図 3-3.1.2-6)。

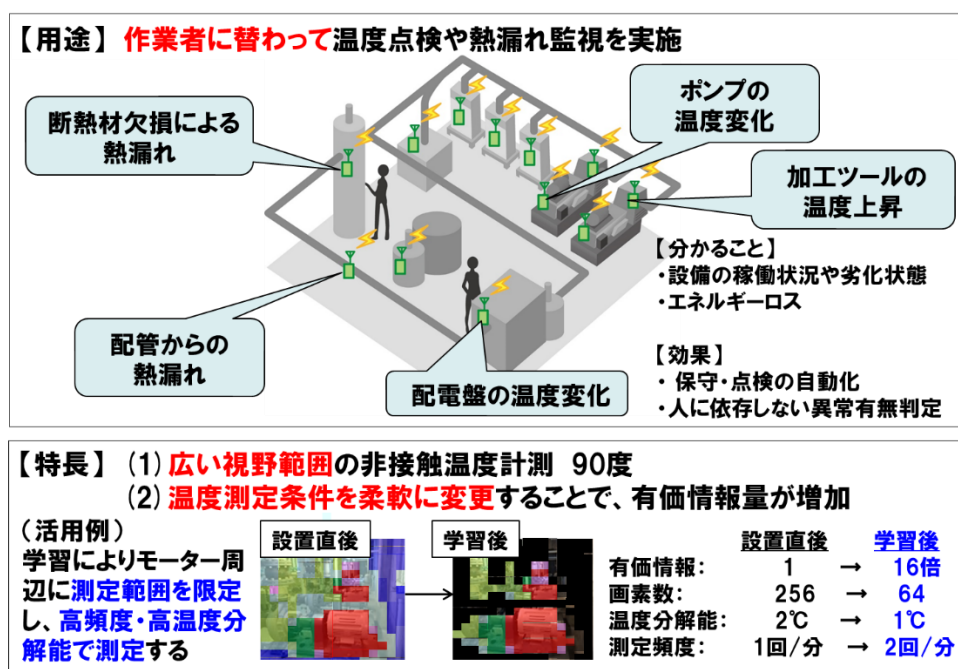


図 3-3.1.2-6 赤外線アレーセンサ開発の概要

③産業分野における微小振動で連続的な高出力可能な自立電源の開発

産業分野において想定される微小外部振動の周波数(50Hz～300Hz)、励振加速度(0.15G)(G=重力加速度)に適合した出力 500μW の高効率な発電素子を設計・製作、及び評価する。開発内容は、コインサイズの MEMS 振動発電デバイスと、そのパッケージ、及び整流回路を含む充電回路である。特に、MEMS デバイスは高効率なエネルギー変換のために高アスペクト比で加工した 10μm 以下の狭ギャップ櫛歯電極側壁を、独自開発したイオン・エレクトレット技術により帯電処理することが可能である。以下に、製作した MEMS デバイスの写真を示す(図 3-3.1.2-7)。

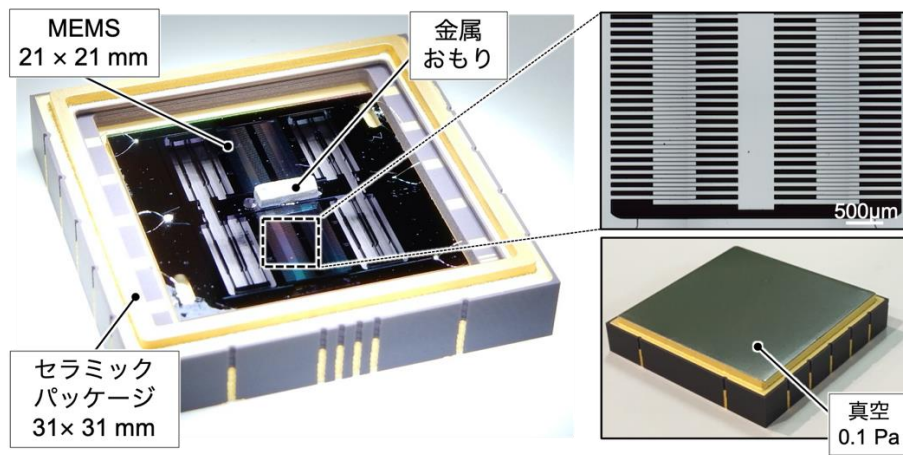


図 3-3.1.2-7 デバイス、及び真空パッケージ

最終目標としては、工場などの産業機器を振動源としてセンサ駆動、間欠的な無線送信を可能とする発電量を実現する。ここで、振動源を産業機器とする根拠であるが、以下のグラフに示す通り、工場の真空ポンプなど多くの機器では共通の振動数で振動しており、また非常に安定していることがわかってきた。これは、これらの機器は商用周波数(50Hz、60Hz)、及びその高調波(100Hz、150Hz、200Hz、...)の振動周波数が卓越しているためである(図 3-3.1.2-8)。

◆ 工場内真空ポンプ



【FFT解析結果】 周波数 [Hz]

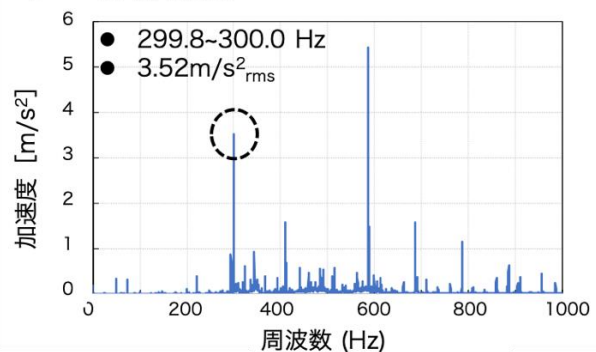


図 3-3.1.2-8 工場機器の振動例

そこで、MEMS デバイスの共振周波数をこれらの振動周波数に合わせ設計することで、共振現象を利用して、機器の小さな振動を内部で大きく増幅して発電量を大きくできる。現在の達成度としては、実際の機器の振動から 600 μ W 以上の発電量も得られており、実証実験による長期安定性、耐環境性の評価等を行なっている。

表 3-3.1.2-2 研究開発項目毎の最終目標、根拠、達成度

番号	研究開発項目	最終目標	目標の設定根拠	達成度
1	①学習型スマートセンシングシステムの開発			
	①-(1) 超効率データ収集・抽出機能の開発	学習型スマートセンシングシステムを用いた産業モニタリングシステムについて、実稼動中の工場でのフィールド実証する。学習機能により、従来比 100 倍以上の有価情報を収集できることを実証する。	フィールドにおける有価情報の 100 倍化フィージビリティを示し、IoT 基盤技術としての有効性を示す。さらに、収集情報に基づくモニタリングサービスの実用化に要求される仕様を抽出する。	2020 年度末に達成見込み
	①-(2) 産業設備の状態監視アルゴリズムの検証	工場での産業設備を対象にした実証試験を継続実施し、状態監視アルゴリズムの検証と、従来比で 100 倍以上の有価情報が得られることを確認する。	実際の需要家先での試験サービスのため。	2020 年度末に達成見込み
	①-(3) 低消費電力・高信頼性長距離無線センサ端末の開発	複数の市販センサないし開発されるスマートセンサを搭載し、メッシュネットワーク通信機能を実装したスマートセンサ端末用高信頼性無線モジュールを開発する。	学習型スマートセンシングシステムを検証するため。	2018 年度末に達成
	①-(4) 生産設備における学習型スマートセンシングシステムの実証実験	生産設備の各種部位でのデータ計測および取得データから自動解析する学習アルゴリズムの妥当性検証を行う。	実際の生産設備を用いたフィールド実証実験で学習型スマートセンシングシステムの妥当性を評価するため。	2020 年度末に達成見込み
2	②産業分野を対象としたスマートセンサの開発			
	②-(1) 設備の異常を検出する省電力型ガスセンサの開発	複数の対象ガスに対応したマルチガスセンサを実現する要素技術開発を行い、正常環境を学習して、異常の予兆を検出するアルゴリズムの原理確認を完了する。	省電力型マルチガスセンサモジュールが実現可能となる。	2018 年度末に達成
	②-(2) 小型・低消費電力な赤外線アレーセンサの開発	測定条件変更機能(*)を搭載した赤外線アレーセンサの開発完了。 -サイズ 2cm × 5cm -平均消費電力 200 μW 以下 (*)下記機能で構成される ・画素選択機能 ・可変フレームレート機能 ・温度分解能変更機能	無線スマートセンサ端末に搭載可能なサイズと、自立電源で駆動可能な消費電力を実現するため。	2017 年度末に達成
3	③産業分野における微小振動で連続的な高出力可能な自立電源の開発			
	③ 産業分野における微小振動で連続的な高出力可能な自立電源の開発	100Hz、0.15G(実効値)の振動において、発電電力 500μW 以上(24mm × 24mm 相当以下)。実用化に向けた構造設計の完了、量産プロセス・工法、信頼性を確立する。	無線スマートセンサ端末に搭載可能なサイズと、センサ端末の無給電動作を実現するため。	2020 年度末に達成見込み

3.1.3 成果と意義

①-(1)超効率データ収集・抽出機能を行う学習型スマートコンセントレータの開発

学習型スマートコンセントレータとスマートコンセントレータから構成される学習型スマートセンシングシステムを開発した。開発したシステムを工場設備の稼働状態監視するユースケースにおいて有価情報量 100 倍以上を実現可能なことを確認した。

開発したコンセントレータは、センサからのデータを収集し、そのデータから有価情報を抽出するための適切なアルゴリズムおよびセンサ測定パラメータを自動探索する機能を実装した。そして、探索結果をスマートセンサ端末に指示する機能を実装した。自動的なセンサデータの解析を行うため、解析に用いるアルゴリズムは容易に再利用および組み換え可能な形でテンプレート化した。機器稼働状態のモニタリングや、設備異常度の診断等のアプリケーションに応じて、クラウドからこれらのテンプレート化されたアルゴリズムのうち必要となるものをダウンロード、アップデート可能である。表 3-3.1.3-1 に実装したテンプレートおよびユースケースごとの適用例を示す。これらのユースケースに応じてアルゴリズムテンプレートをダウンロードし、動的に解析方法を選択、組み替え可能とした。そして、解析結果より選択した適切な測定パラメータをスマートセンサ端末に指示する。

表 3-3.1.3-1 学習型スマートコンセントレータの分析用アルゴリズムテンプレート

ユースケース		アルゴリズムテンプレート									
		A データ 整形	B 相関 分析	C 周波数 解析	D センサ 制御	E クラス タ解析	F 閾値 判定	G 真理 判定	H 最大 最小 判定	J 画素 選択	
1	ロボットアーム動作の見える化	実験室	○	○	○	○	○	○			
2	赤外線アレー温度モニタ	検証済	○			○		○		○	○
3	射出成型機の稼働モニタ	実証 予定	○	○	○	○	○	○			
4	受変電設備のモニタ		○	○	○	○	○	○	○	○	○

開発したスマートセンサ端末は、環境発電で動作し、スマートコンセントレータと双方向の無線通信によりセンサ測定パラメータを動的に変更する機能を実装した。図 3-3.1.3-1 に試作したスマートセンサ端末(音センサを接続)の例を示す。スマートセンサ端末のブロック図を図 3-3.1.3-2 に示す。センサのフロントエンド回路部分に動的再構成可能なアナログ回路を用いた。このアナログ回路を含めたセンサ測定全体の動作をスマートコンセントレータからの指示に従い設定可能としている。このような構成とすることで、多様な信号処理を低エネルギーのワンショット測定で完了することでセンサ測定に必要なエネルギーを低減した。図 3-3.1.3-3 に音センサ測定の消費エネルギー実測例を示す。特徴周波数の音域のみを測定するように測定パラメータを指定し 5 秒毎に測定した。1 回の測定に必要なエネルギーは約 0.99 mJ であった。5 秒に 1 回の測定に必要な平均消費電力は約 200 μ W であり、環境発電でも十分に実現可能なオーダーである。

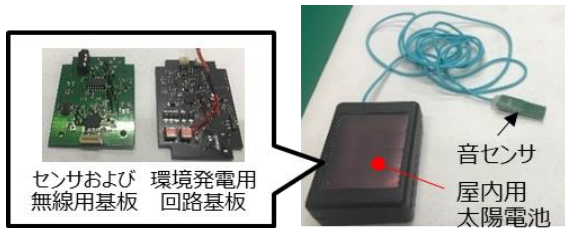


図3-3.1.3-1
試作したスマートセンサ端末

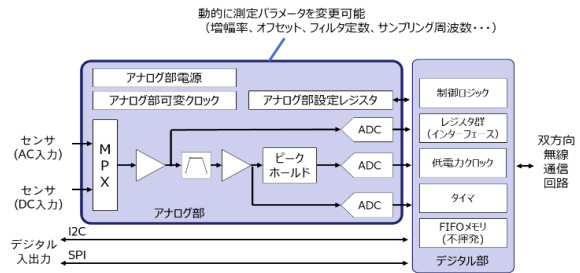


図 3-3.1.3-2
スマートセンサ端末のブロック図

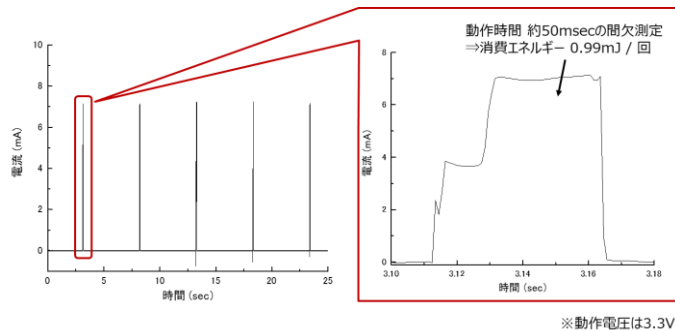


図 3-3.1.3-3 スマートセンサ端末の消費エネルギー実測例

開発した学習型コンセントレータとスマートセンサ端末により構築した学習型スマートセンシングシステムを、工場設備(ロボットアーム)の稼働状況モニタリングに適用し開発システムの動作検証を行った。

測定には音センサと電流センサを用いた。音センサはロボットアームの稼働部近傍に、動作を妨害しない位置に設置した。また、電流は主電源ケーブルを流れる電流を測定した。

まず、従来のデータ例として、オシロスコープを用いて音センサおよび電流センサの出力を観察した例を図 3-3.1.3-4 に示す。ロボットアームが起動後、5 回動作を行い、終了動作を行った約 1 分間のデータである。音センサについて、超音波まで含めた帯域を取得するためサンプリング周波数を 100kHz とすると、1 分間で約 12 メガバイトと巨大なデータとなってしまふ。また、電流はロボットアーム動作の瞬時値を観察できる十分な帯域とするため 1kHz でサンプリングした例であり、約 120 キロバイトのデータとなっている。いずれも、このままでは、環境発電のエネルギーで高頻度に観測し続けることはもちろん、電池を用いた無線センサ端末や、有線接続のセンサであっても膨大なデータ量となることから蓄積も解析も困難となる。

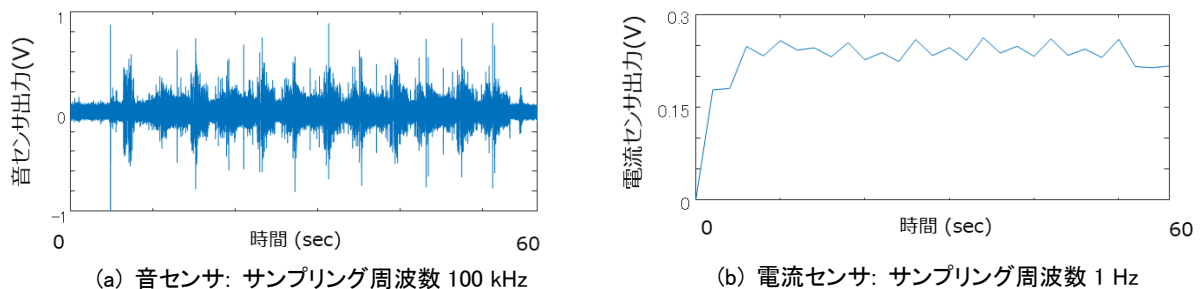


図 3-3.1.3-4 音センサと電流センサのオシロスコープによる観察波形(従来例)

図 3-3.1.3-5 に開発システムの稼働状態モニタリングにおける動作例を示す。

- ① コンセントレータは各センサ端末に全ての信号を収集するように指示する。この際、センサ信号の増幅率やサンプリング周波数は初期値を仮定して指示している。
- ② 各センサ端末はコンセントレータからの指示に従いセンサ測定を行う。この際はエネルギーの制限により、例えば 10 分に 1 回程度の測定を行う。
- ③ コンセントレータは収集した各センサからのデータの相関性を解析し、音センサデータと電流センサデータで相関の高い周波数成分を探索する。
- ④ 探索結果に基づき、音センサ端末に対し、特徴周波数帯(本例では 20kHz 前後であった)の音量のみを測定するようにパラメータ変更を指示する。(一定時間測定しても相関が全く見られない場合は、増幅率等のセンサ測定パラメータを再設定して測定を行う。)
- ⑤ 音センサ端末は、コンセントレータから指示された測定した結果を送信する。1 回の測定および送信に必要なエネルギーが小さくなるため、1 秒に 1 回の高頻度測定を行う。

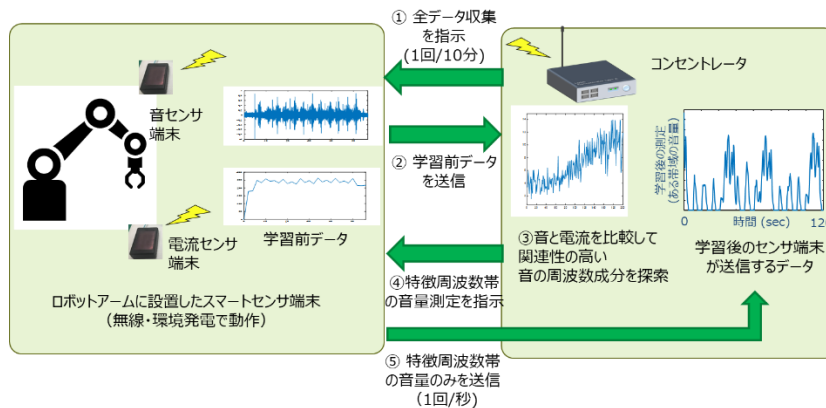


図 3-3.1.3-5 開発システムの稼働状態モニタリングにおける動作例

以上の動作により、最終的に得られたデータを図 3-3.1.3-6 に示す。図 3-3.1.3-6(a)はスマートセンサ端末から送信されるデータである。特徴周波数の音量のみを測定しているため、1 分間あたりのデータ量は 60 バイトである。図 3-3.1.3-6(b)は図 3-3.1.3-6(a)のデータを基に音の継続時間でラベル付けして表示したものである。ロボットアームの稼働状態を分離できていることが判る。図 3-3.1.3-6(a)の 1 分間あたりのデータ量と図 3-3.1.3-4(a)のデータ量の比較により、本開発システムを用いることで有価情報量は約 20 万倍に増加したことを確認した。

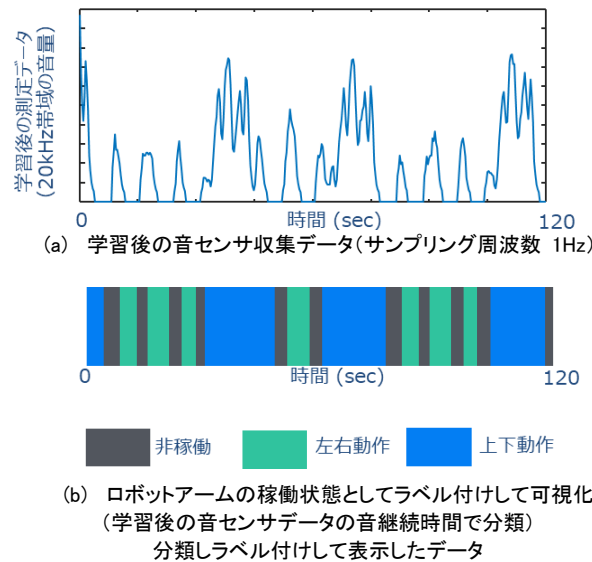


図 3-3.1.3-6 開発システムにより可視化されたロボットアームの稼働状態

①-(2)産業設備の状態監視アルゴリズムの検証

2016 年度は人間の五感を含め産業設備の保守管理で実施している点検内容を抽出し、その管理項目をセンシングシステム化するため、必要となるセンサ種類および仕様を抽出した。生産設備用のセンサとして、圧電式加速度ピックアップ、計測用マイクロフォン、赤外線アレー、クランプ式電流計、可視カメラ、においセンサを選定した。また受変電設備用のセンサとして、可視カメラ、赤外線アレー、漏洩電磁波センサ、温湿度センサ、臭いセンサを選定した。

表 3-3.1.3-3 生産設備用

センサ	用途
電流、振動	設備の稼働状況把握
マイクロホン	稼働音の把握、聴診代替
赤外線サーモカメラ	稼働時の設備温度
臭い、漏洩	設備の状態把握
塵埃、可視カメラ	設備外觀、汚れ、液量確認

表 3-3.1.3-2 受変電設備用

センサ	用途
可視カメラ	目視確認代替
赤外線熱画像センサ	機器過熱・温度上昇検出
漏洩電磁波センサ	部分放電検出
温度・湿度センサ	過熱・吸湿等の五感代替
におい(ガス)センサ	過熱・漏洩等に伴う臭気検出

2017 年度は、前年度に選定したセンサを用いて、実際の食品工場の生産設備であるコンプレッサや受変電設備、及び自社内の空調設備で計測を実施し、その解析結果から設備の状態監視を実現するためのアルゴリズムや、人間の五感を用いて実施している日常点検の代替となるアルゴリズムの検討を行った。



図 3-3.1.3-7 実食品工場内コンプレッサ測定

2018年度は、開発された赤外線アレセンサを搭載したスマートセンサ端末を用いて、回転機械模擬試験装置での計測を実施し、スマートセンサ端末が実験室レベルで動作することを確認した。またコンセントレータと連携させた試験では、モーター等の加熱部位を検出し、それ以外の部分は除外されることでデータ送信量が削減できることを確認した。さらに駆動モーターの電流値と稼働音の相関をとることで装置の駆動のタイミングや動作状態を捉えられることを確認した。受変電設備については、絶縁破壊前の兆候として発生する部分放電を監視するためのセンサとして、面電流センサとスマートセンサ端末の組み合わせによる試験を実施した。設備異常を放電模擬信号にて模擬し、実験室相当の設備で、設備の稼働状況や状態を「通常」、「警戒」、「異常」の3レベルに区分けして監視するアルゴリズムにより判断できること、また構築した監視アルゴリズムにより、実装前と比較して送信頻度やデータ量の省力化により通常状態では有価情報量が100倍以上となることを確認した。

★従来の設備監視とLbSSの自動監視との比較

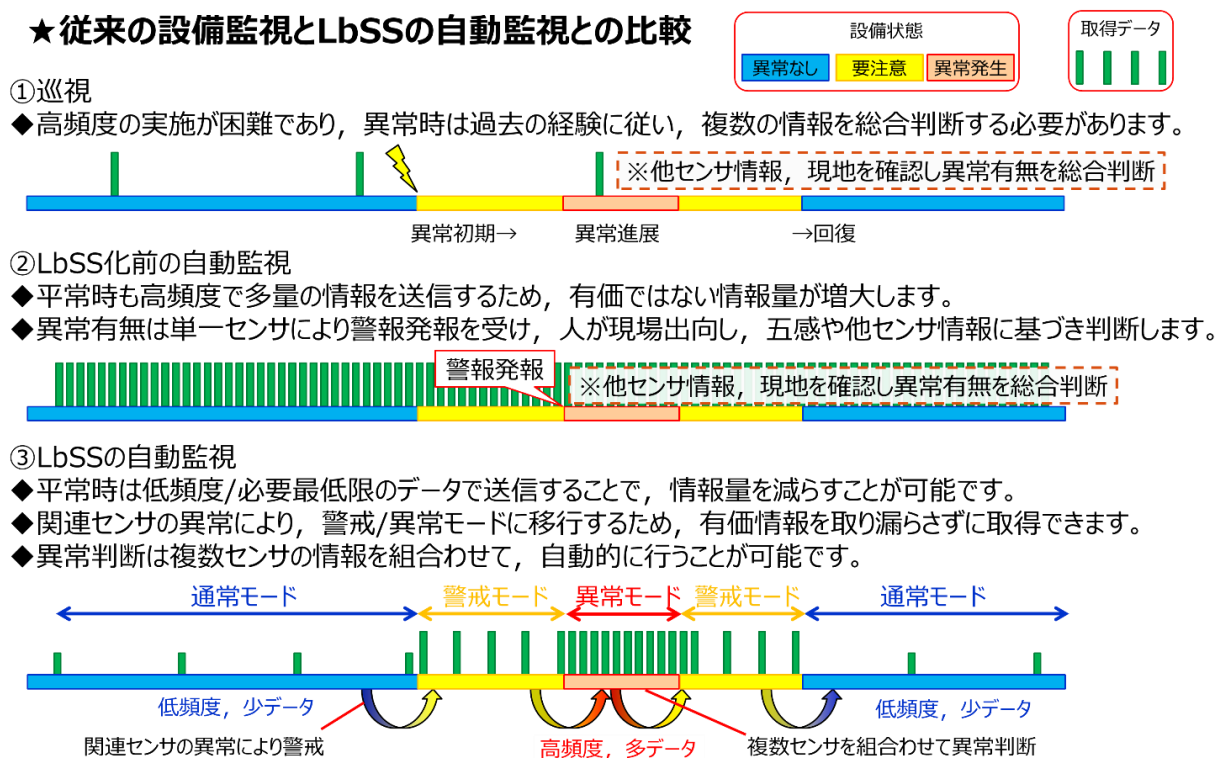


図 3-3.1.3-8 従来の監視手法と本研究(LbSS)における自動監視との比較

2019年度は、実際の工場設備を対象に、赤外線アレスマートセンサを用いたセンシングシステムを設置し、コンセントレータからの指令で赤外線アレセンサ端末からのデータ量が削減されること、また無線送信でデータがクラウドまで上がることを実証試験で確認した。さらに前年度試作した面電流センサ端末とコンセントレータを含むセンシングシステムを実工場の受変電設備に設置した。試験結果からアルゴリズムを改良し、実際の環境下でも設備の状態監視が可能なこと、またコンセントレータからクラウドへの送信頻度等を最適化することで有価情報量を100倍に高められる見通しを得た。

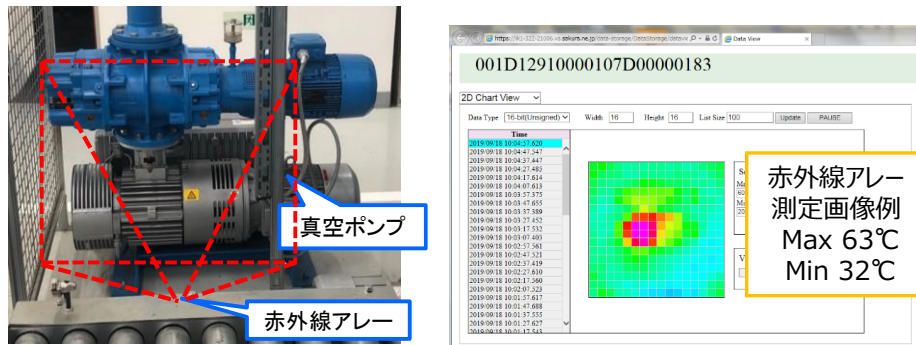


図 3-3.1.3-9 赤外線アレーセンサを用いた真空ポンプ測定例

2020 年度は実際の工場設備に、生産設備としては電流センサと振動センサを連携させたセンシングシステム、受変電設備には複数の部分放電検知センサを組み合わせたセンシングシステムを設置し、産業設備の状態監視システムの検証と従来システムと比べ 100 倍以上の有価情報が得られることを確認する。

①-(3)低消費電力・高信頼性長距離無線センサ端末の開発

2016 年度は、既存センサを複数(各 4 種)搭載した 2 種類のスマートマルチセンサ(28.5mm×18.5mm)を開発した。デジタル出力版(加速度/電流/気圧/温湿度)とアナデジ混載出力版(アナログ:加速度/電流、デジタル:加速度/温湿度)であり、Wi-SUN 無線モジュールと端末制御用マイコン(32 ビット)から構成される無線スマートマルチセンサ端末(70.0mm×32.0mm)を試作、評価した(図 3-3.1.3-10)。

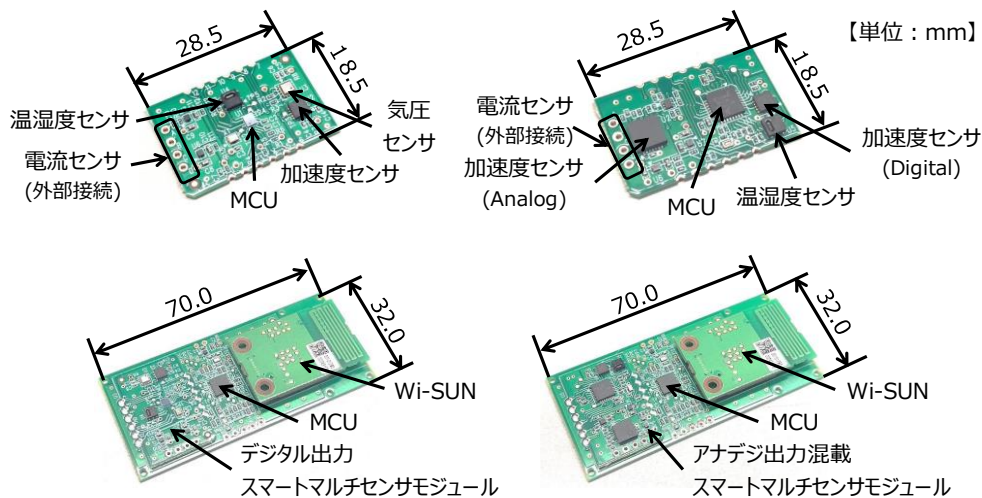
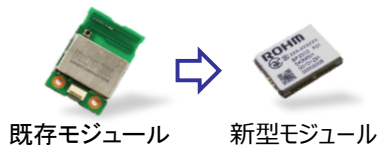


図 3-3.1.3-10 (上段)スマートマルチセンサ:[左]デジタル出力、[右]アナデジ出力
(下段)無線スマートマルチセンサ端末:[左]デジタル出力、[右]アナデジ出力

2017 年度には、無線通信の低消費電力動作に向けて、Wi-SUN モジュールのネットワーク層を開発し、低消費電力なマルチホップ通信の移植を行った。マルチホップ通信を実装した状態でも、受信時消費電流が 30mA から 24mA へ約 20%、スリープ時の消費電流が 9μA から 4μA へ約 55%削減した事を実測にて確認した(図 3-3.1.3-11)。さらに、メッシュネットワーク通信技術そのものに関しては、ネットワーク仕様の基本部分の検討を完了し、アルゴリズムを実証するためのソフトウェア開発を行い、メッシュネットワーク通信の評価環境の構築を完了した。



- 受信時消費電流が約20%削減 (30mA→24mA)
- スリープ時の電流が約55%削減 (9μA→4μA) を実測にて達成。

図 3-3.1.3-11 既存モジュールとの互換性を備えつつ低消費電力化

次に、赤外線アレーセンサ搭載無線端末仕様を策定し、ハードウェア試作とファームウェア実装を完了し、基本動作確認を実施した(図 3-3.1.3-12)。

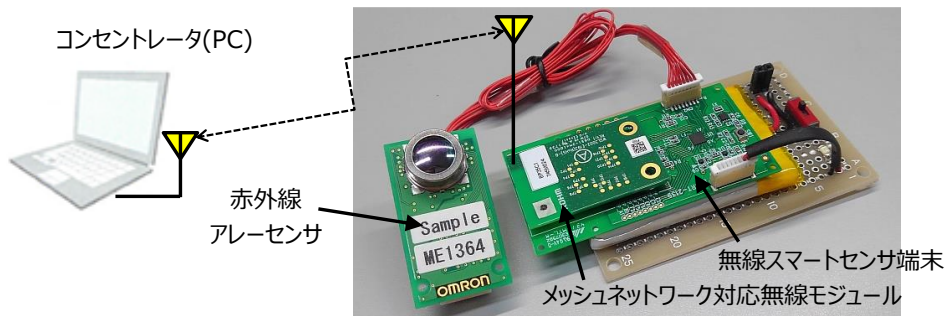


図 3-3.1.3-12 赤外線アレーセンサ搭載無線端末

また、2.4GHz 帯より回り込み特性に優れる Sub-GHz 帯の無線通信においては、より信頼性の高い通信システムを目指し、ネットワーク層の開発を中心にメッシュネットワーク通信を開発した。メッシュネットワーク組込仕様を検討し、端末と学習型スマートコンセントレータとの通信仕様(インターフェース)を協働で策定し、無線スマートセンサ端末への組込開発を実施し、無線通信モジュールとして必要な機能追加と検証を行った。

3 年目には、スマートフロントエンド回路を想定した無線スマートセンサ端末の開発を行い、赤外線アレーセンサ搭載のメッシュネットワーク無線端末と中継器、及び学習型スマートコンセントレータ間でのセンサデータの送受信評価を実施した。本評価においては、端末の低消費エネルギー化(26.0mJ→19.5mJ)を達成した(図 3-3.1.3-13)。期初の 43.1mJ からは 55%もの消費エネルギーの削減であり、自立電源駆動のユースケース拡大に寄与するものである。これらの成果により MEMS センシング&ネットワークシステム展 2018 において学習型スマートコンセントレータとのセンサデータの無線通信デモを実施すると共に、振動発電型自立電源での動作デモを実施した。

#	MCUクロック	平均消費エネルギー	エネルギー削減効果
1	48MHz	26.0mJ	基準
2	8MHz	19.5mJ	▲25.0%

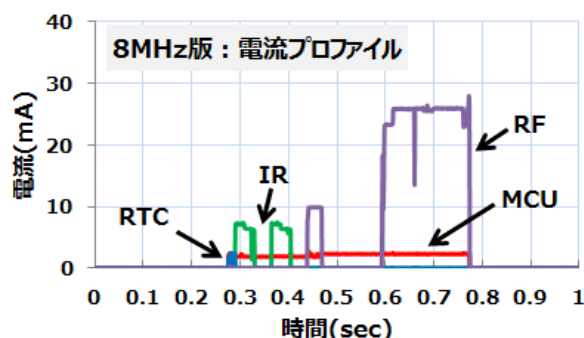


図 3-3.1.3-13 赤外線アレーセンサ搭載無線端末の低消費電力化

次にマルチガスセンサ搭載メッシュネットワーク無線端末を開発し、シングルガスセンサの動作確認後、マルチガスセンサの動作確認を完了した(図 3-3.1.3-14)。さらに、放電検出用の面電流センサ対応無線スマートセンサ端末も開発し、動作確認を完了した。

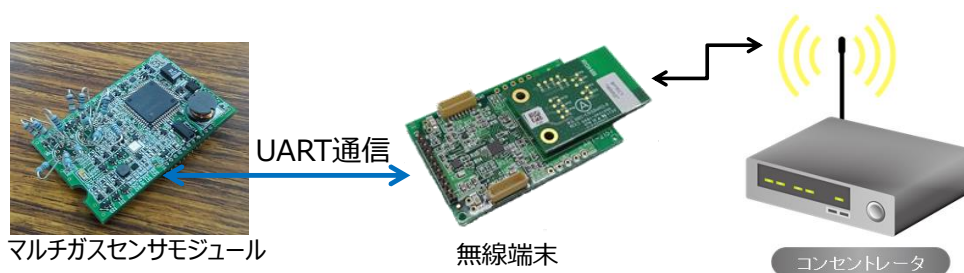


図 3-3.1.3-14 マルチガスセンサ搭載メッシュネットワーク無線端末

最後に実運用を想定し、専用コマンドや環境を構築し、通信エラー率の測定/評価を実施した。より詳細な通信経路の調査やネットワークの一部に支障が生じた際の柔軟性を検証するための機能を盛り込み、中継器の経路特定やメッシュネットワーク通信の妥当性を評価・確認する事が出来た。これらの結果、低消費電力化とメッシュネットワーク通信の優位性を両立した無線スマートセンサ端末を実現し、学習型スマートセンシングシステム検証用に提供するに至った。

①-(4)生産設備における学習型スマートセンシングシステムの実証実験

赤外線アレーセンサ及び無線モジュールを搭載したスマートセンサ端末と、クラウドシステムと公衆 LTE 回線とを連携動作させた学習型センシングシステムについて、工場内で実際に稼働している生産設備へ取り付け、動作確認、データ計測を行った。

生産設備に取り付けた赤外線アレーセンサ端末と工場電源盤内に設置したコンセントレータ間の通信(920MHz)、およびコンセントレータとクラウド間の通信(LTE)について、オフィス PC やモバイル端末からクラウド経由で赤外線アレーセンサのデータを常時リアルタイムで確認でき、工場内での実際の運用環境でも良好に通信できることを確認した(図 3-3.1.3-15)。

システム開発者が工場内に立ち入ることなく、ユーザ自身が単独で赤外線アレーセンサとコンセントレータを自社の現場に容易に設置可能であることを確認した。更に、ユーザ視点での

設置やデータ計測における作業性について、良好な点と現状での課題点について抽出を進めている(表 3-3.1.3-4)。

振動発電デバイスの実証実験では、稼働している生産設備や受電設備での振動測定を行い、振動発電素子の最適設計に必要な振動データの取得を完了した(図 3-3.1.3-16)。

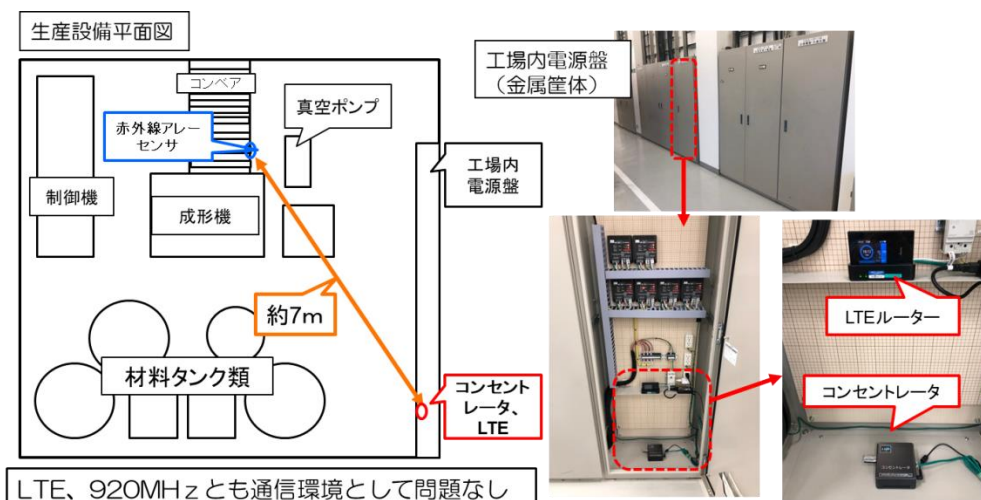


図 3-3.1.3-15 工場内生産設備における通信環境の確認

表 3-3.1.3-4 ユーザ視点での作業性に関するまとめ

	検証で確認できた良い点	確認された課題
設置作業性	<p>●ハード面</p> <ul style="list-style-type: none"> ・コンセントレータ1台、LTE端末、1ユニット化された赤外線アレー端末1台の検証では、機器は小型で設置の制約も少ないことから設置作業は非常に楽であった。 ・生産設備では電源ケーブルの引き回し、固定が問題となるが、環境発電等で電源線がない端末であれば、ハード取り付け作業は非常に楽であり、導入のハードルもより低くなる。 	<p>赤外線アレー端末の設置において、対象物や設置環境によっては適切な測定範囲とするための調整に時間を要する。</p>
	<p>●ソフト面（クラウド経由での接続設定面）</p> <p>マニュアルを参考にユーザーのみで簡便に可能、ハードの設置を含め約15分（電源ケーブルの引き回しは除く）で設置し、測定を開始できた（今回予め設定して頂いた部分があること、また、赤外線アレー端末が1台での条件）</p>	
データ計測、取り扱い面での作業性	<p>データ表示、データダウンロードとも操作は簡便に可能。</p> <p>PCだけでなく、モバイル端末からもいつでも簡単に見ることができる。</p> <p>赤外線アレーのデータは、マッピング表示で視覚的に表示され分かりやすい。また、10秒おきに画面更新され表示できるのも、装置の状態変化をリアルタイムで把握したいシーンでも活用できる。</p>	<p>データ数が多くなってしまうとダウンロードに時間と手間がかかる。</p> <ul style="list-style-type: none"> ・ダウンロードリストが多いと表示されるまでに約3分 ・赤外線サーモアレイ10秒ごとのデータ測定では、1か月で約26万データとなる。 ・一括DL選択範囲が1万データ(約5Mb)までのため、1か月分では約26回のDL作業（1DLで約1分）が必要 <p>学習前データであるため、データ量が大きくなっている。その分、有価データ化による圧縮効果がより期待されるため、学習のための測定期間の短縮も重要と思われる。</p> <ul style="list-style-type: none"> ・温度表示が単位やカンマがあると見やすい（3562-3562℃） ・ダウンロードデータがバイナリデータのため、変換ツールでの処理が必要

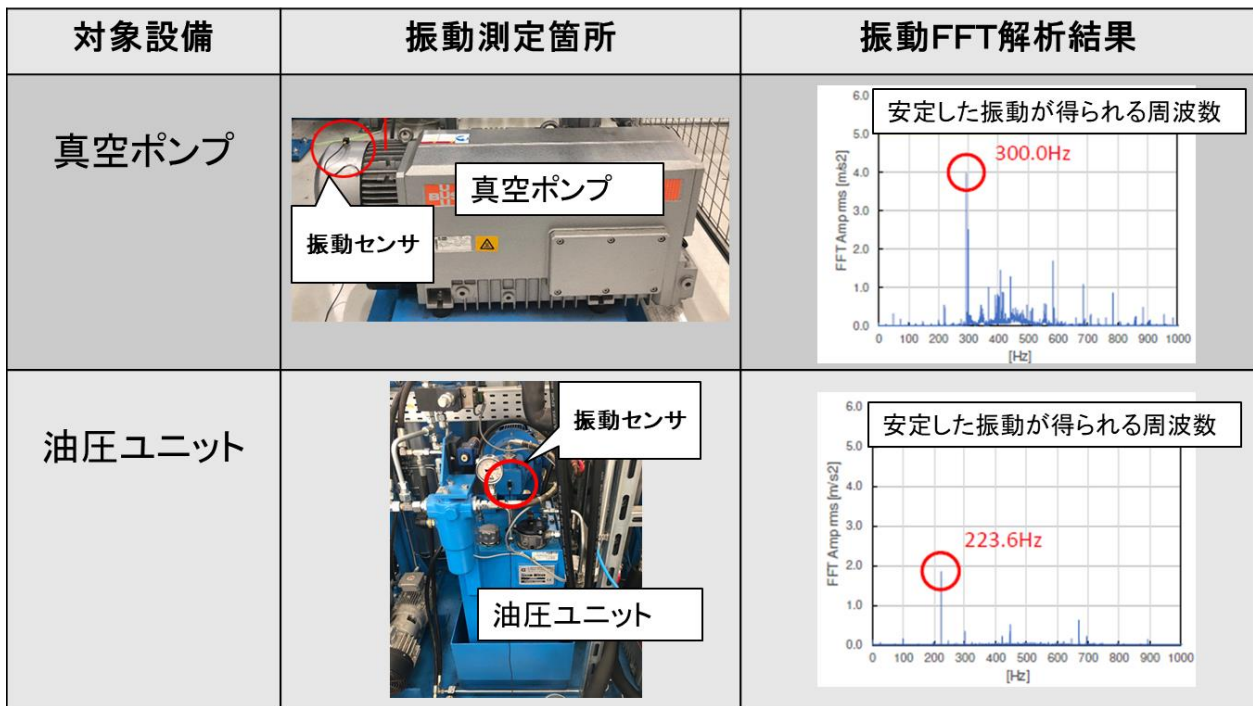


図 3-3.1.3-16 振動発電素子の設計に必要な振動データの取得

②産業分野を対象としたスマートセンサの開発

②-(1)設備の異常を検出する省電力型ガスセンサの開発

②-(1).1 現場に存在するガス種の調査および検知対象ガスの絞り込み

設備の異常監視として、5 つのシーンを想定し、ガス 12 種を検知対象として選定した。(表 3-3.1.3-5)。

表 3-3.1.3-5 設備異常に関する検知対象ガス

用途	対象ガス例
燃料ガスの漏洩	メタン, 水素, LP, ジメチルエーテルなどの可燃性ガス
火災初期の発生ガス	無煙熱分解/くすぶり燃焼:CO ₂ , CO の発生が多い その他, HCl, HCN など
薬品などの漏洩	溶剤:エタノール, IPA, アセトン, アセチレン, トルエン, ベンゼンなどの揮発性有機化合物(VOC)
発熱による におい	プラスチックの加熱:ベンゾチアゾール, スチレン, エチレン, エタン, プロパン, ブタンなど ケーブル等の加熱:2-エチルヘキサノール, 1-ブタノール, ブタンなど
設備の異常 監視	油のにおい成分:ヘプタナールなど 油入機器診断:メタン, 水素, エタン, エチレン, アセチレン

②-(1).2 マルチガスセンシングの方式検討

図 3-3.1.3-17 に 2 種類の触媒層およびヒータ温度を変えて動作したセンサによるガス感度特性を示した。燃料ガスの漏洩を想定した触媒 A を用いたセンサでは、高温から温度が低くなるに連れて、メタン、LP、水素が選択的に検知できている。一方、ケーブル類の発熱で発するにおいを想定した触媒 B を用いたセンサでは、絶縁材成分とケーブル被覆成分が選択的に検知できている。

これらの機能を活用し、1 台で複数の検知対象ガスに対応したマルチガスセンサモジュールを開発した。特徴は次に示した通りである。

(1)マルチデバイス方式

触媒を変えた複数のセンサをアレー状に配置し、複数のシーンを想定(表 1.1.3.②-(1).1)したガス検知に対応する。

(2)マルチドライブ方式

センサ駆動温度などの駆動条件を変え、シーン毎に複数ガス種の検知を可能にする。

■ 燃料ガスの漏洩(触媒A) ■ 発熱によるにおい(触媒B)

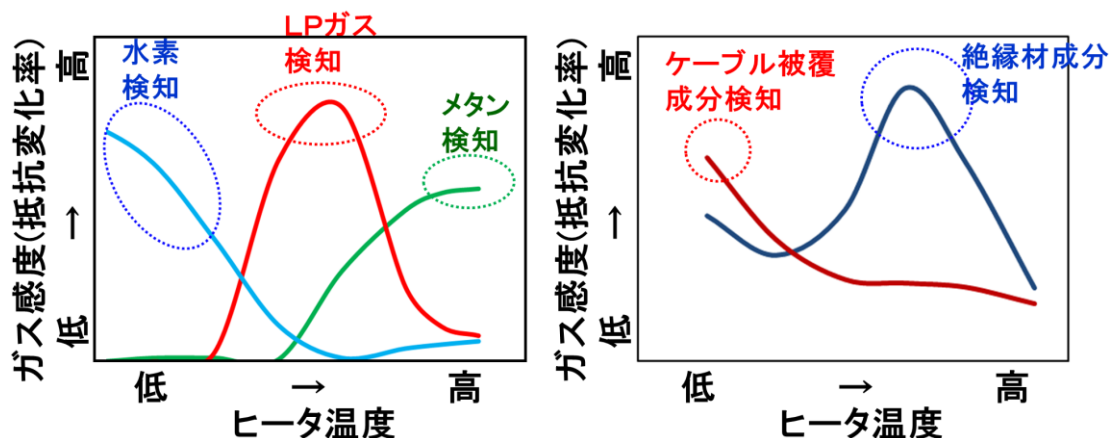


図 3-3.1.3-17 ガス感度特性例

②-(1).3. ガス検出アルゴリズムの検討

マルチガスセンサモジュールを配電盤などの設備が稼働する工場に設置し、正常時の環境をモニタした。また発熱によるにおい異常を想定して、絶縁材の加熱で生じる成分を曝露した際のデータを取得した(図 3-3.1.3-18)。

正常時は 6 種のセンサが一定範囲内で出力変動することを確認し、現場の正常時としてモデル化できた。また異常時は正常時の範囲を超えてセンサが動作することを確認した。従って、開発したマルチセンサにより複数の環境ガスをモニタし、学習により正常時をモデル化しながら、従来、点検者が感じていた異臭の検出や常時モニタリングが可能となる。

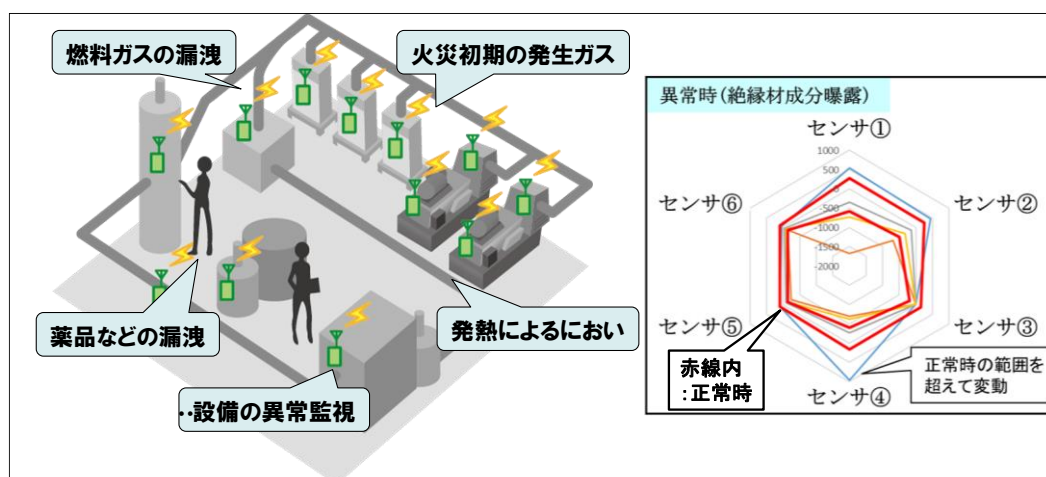


図 3-3.1.3-18 マルチガスセンサの適用シーンおよび検出アルゴリズム

今回、200 μ W の低消費電力で複数の対象ガスに対応したマルチガスセンサを開発した。

表 3-3.1.3-6 に開発品と従来技術の比較を示した。従来技術に対し、開発品は低消費電力・信頼性・マルチセンシングを兼ね備えており、自立電源で工場の異常を検知できる業界初のマルチガスセンサである。

表 3-3.1.3-6 開発品と従来技術の比較(ベンチマーク)

	開発品 (富士電機)	共振式	プラズモン 共鳴式	赤外分光式	赤外吸収式	接触燃焼式	固体電解質型	電気化学式
感度	○	○	○	◎	◎	○	○	○
選択性	○	×	○	◎	◎	○	○	○
消費電力	◎	◎	×	×	×	△	◎	◎
小型化	◎	◎	×	×	×	○	◎	◎
信頼性	◎	×	△	△	◎	○	○	◎
コスト	◎	◎	×	×	×	○	○	○
マルチセンシング	◎	△	◎	◎	◎	×	×	×
備考	製品・量産化 実績あり	基礎研究 段階	基礎研究 段階	基礎研究 段階	製品・量産化 実績あり	製品・量産化 実績あり	製品・量産化 実績あり	製品・量産化 実績あり

②-(2)小型・低消費電力な赤外線アレーセンサの開発

2016 年度は、測定条件変更機能を実現するため、上位システムからの制御命令に基づき、計測画素数と温度分解能、及びフレームレートを変更するアルゴリズムを設計した。画素選択機能は、上位システムからの命令に応じて、赤外線アレーセンサに搭載したマイコン(MPU)より、X 方向のデコーダーと Y 方向のデコーダーを任意に切り替えることで実現した。温度分解能変更機能は、同一画素で計測した値の平均回数を変更することで実現した。フレームレート可変機能は、上位システムから温度計測の命令を受けてから計測停止の命令を受け取るまで、周期的に温度計測を繰り返す仕様を改め、都度、上位システムから計測開始の命令を受けつける仕様とした(図 3-3.1.3-19)。

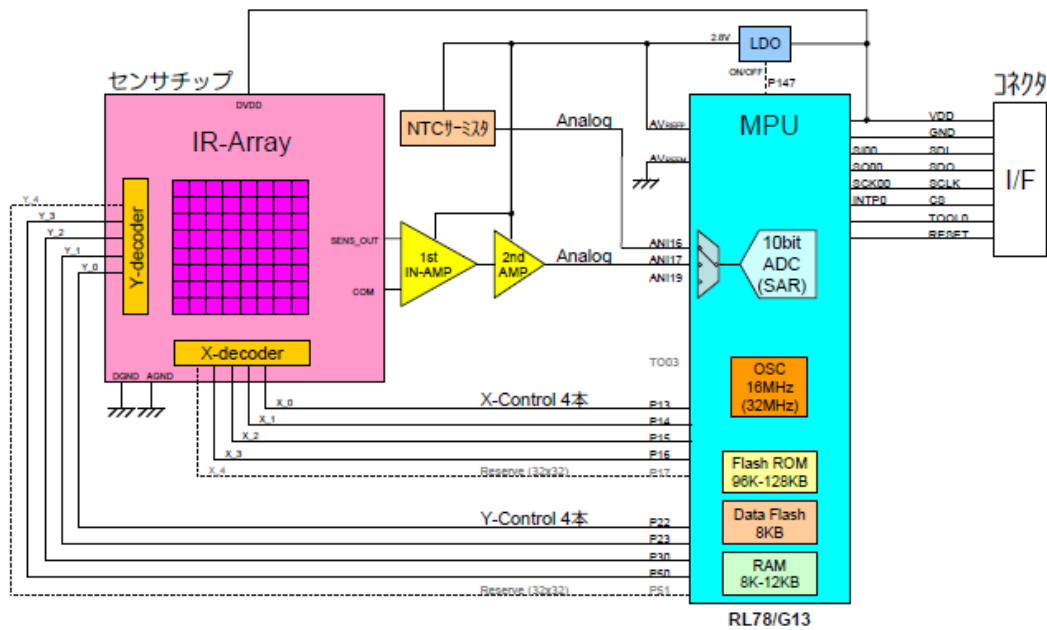


図 3-3.1.3-19 赤外線アレーセンサのブロック図

2017 年度は、サイズ 2cm×3.9cm の赤外線アレーセンサ端末を作製して、赤外線アレーセンサチップを制御する機能ブロックに、画素選択アルゴリズムと温度分解能調整アルゴリズムを実装した。測定条件変更機能を搭載した赤外線アレーセンサは、1回/分 全 256 画素の温度計測時において、平均消費電力 140 μ W を達成した(図 3-3.1.3-20)。

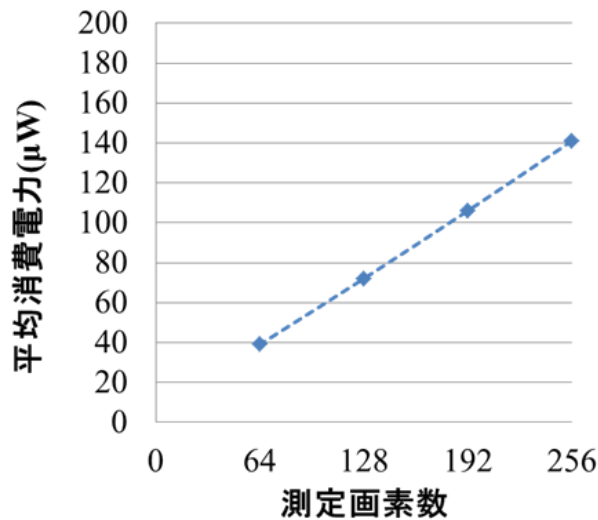


図 3-3.1.3-20 測定画素数と平均消費電力の関係

また、温度計測する画素数を限定することで、計測頻度を増加できる効果を、確認した。例えば、温度計測する画素数を 128 画素に限定することで、全画素計測時に比べて、温度計測の頻度を約 1.6 倍できることを確認した。開発した赤外線アレーセンサは、①広範囲な温度計測と、②画素選択機能・フレームレート可変・による状況に合わせた柔軟な温度計測、が可能な点で、他の赤外線アレーセンサに対して優れている(表 3-3.1.3-7)。

表 3-3.1.3-7 開発した赤外線アレーセンサと他の赤外線アレーセンサとの比較

	本開発	A社	B社	C社
方式	サーモパイル	サーモパイル	サーモパイル	マイクロボロメータ
画素数	256	64	2000	4800
視野範囲	90度	60度	33度	63.5度
画素選択	可	不可	不可	不可
駆動電圧	3V	←	←	←
駆動電流	4mA	4.5mA	5mA	50mA

学習型スマートセンシングシステムのフィールド実証にむけては、赤外線アレーセンサの設置位置や初期動作条件を検討するために、可視カメラの画像と赤外線アレーセンサの熱画像を、重ねて表示可能な、評価機を作製した。更に、ユースケース検討のために、計測対象の候補である、回転機器と冷却水循環用配管、および配電盤の温度計測を実施。実証に向けた課題を、事前抽出した。更に、スマートセンサ端末への搭載用に、赤外線アレーセンサ 100 台を作製した。

成果の最大化においては、2017 年 10 月 4 日～6 日の MEMS センシング & ネットワーク展 (CEATEC と同時開催)において、赤外線アレーセンサの開発成果に関するパネル展示、および赤外線アレーセンサでモーターの表面温度を監視するデモを実施した。3 日間の発表を通して、多くの来場者に赤外線アレーセンサの開発成果を訴求できた。また、IoT 推進のための横断技術開発プロジェクトのテーマ間連携の位置づけで、「組み合わせ最適化処理に向けた革新的アニーリングマシンの研究開発」に、MEMS センシング & ネットワーク展の期間中に収集した、デモ用回転機器の温度計測データを提供した。

表 3-3.1.3-8 開発した赤外線アレーセンサ



項目	値
消費電力	200 μ W 以下
サイズ	2cm \times 5cm 以下
計測温度範囲	0～100 $^{\circ}$ C
機能	<ul style="list-style-type: none"> ・画素選択機能 ・フレームレート可変 ・温度分解能変更機能

③産業分野における微小振動で連続的な高出力可能な自立電源の開発

本開発において、まず振動発電デバイスの設計理論を構築した。これまでも振動発電の発電量を最大化する理論は明らかではあったが、実際のデバイスには有限の大きさがあり、振

動できる振幅に制限がある場合の設計理論についてははっきりとしていなかった。下図に速度に比例したダンピングを持つ振動発電の単純なモデル(VDRG: Velocity-Damped Resonant Generator)を示す。

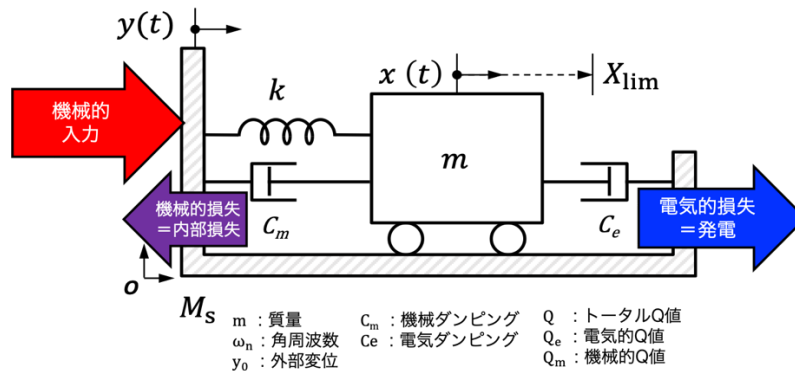


図 3-3.1.3-21 速度に比例する系の振動発電の単純なモデル

このモデルにおいて、従来は振幅制限があったとしても、機械的損失と電氣的損失(発電)は同じ場合に発電量が最大になる、と言われており、エネルギー回収効率は 50%が最大だと考えられていた。ところが、下に示すコンター図からもわかる通り、機械的損失と電氣的損失が同じ場合よりも、発電量が大きくなるのがわかった。

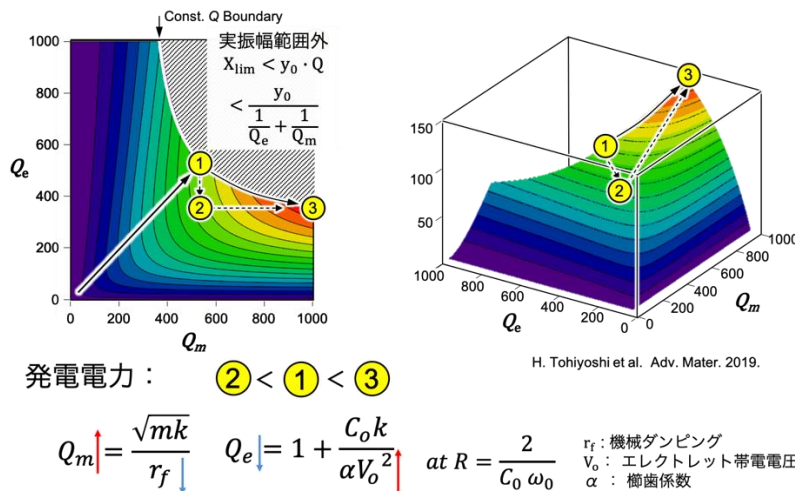


図 3-3.1.3-22 実デバイスの振幅制限を考慮したコンター図

横軸は機械的な応答を表す Q 値(Q_m)、縦軸は電氣的な Q 値(Q_e)である。ハッチングした部分は実際には実現不可能な振幅領域である。この場合は、 Q_m は極力大きく、かつ、 Q_e は小さくしたときに発電量が最大化できることが理論的にわかった。

この設計指針に従い、まず 400 V という高いエレクトレット電圧により、高密度エレクトレットの形成を行ない電氣的な Q_e 極力小さくした。また、電極間に残った空気による粘性流動による機械的損失は、振動発電素子の出力を低下させることがわかっているため、次に、真空パッケージによりこれを抑制し、 $Q_m > 1000$ を実現した。このデバイスを製作し、外部より振動を与えて発電量の評価を行なった。図 3-3.1.3-23 に各周波数(横軸)での発電量(縦軸)を示す。この結果、振動周波数 97.7Hz、加速度 1.8m/s^2 において発電電力 $682 \mu\text{W}$ (P_{exp}) が得られた。一方、

理論最大発電量、 $P_{rms} = 738.7 \mu\text{W}$ であり、エネルギー回収効率は $E_H = P_{exp}/P_{rms} = 0.92$ 、すなわち 92%のエネルギー回収を実現した。これは、ほぼ理論限界のエネルギー回収効率であり、従来の解釈では説明できない理論を実験値によって証明した意義は大きい。

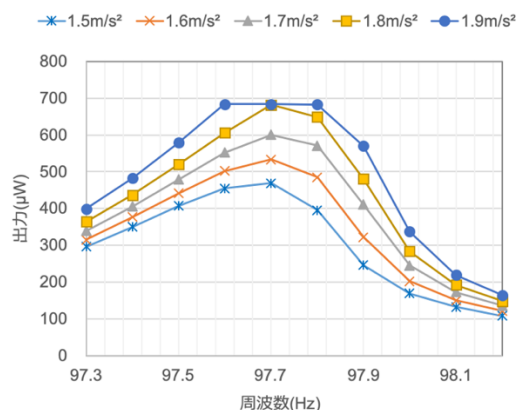


図 3-3.1.3-23 MEMS デバイスの発電量

また、本デバイスを用いて実証試験を行なった。ここでは、樹脂成形に用いる油圧のユニットであり、卓越周波数は 223Hz、振動加速度は 0.15G であった。この油圧機器に振動発電デバイスをセットして、発電実験をした結果を図 3-3.1.3-24 に示す。

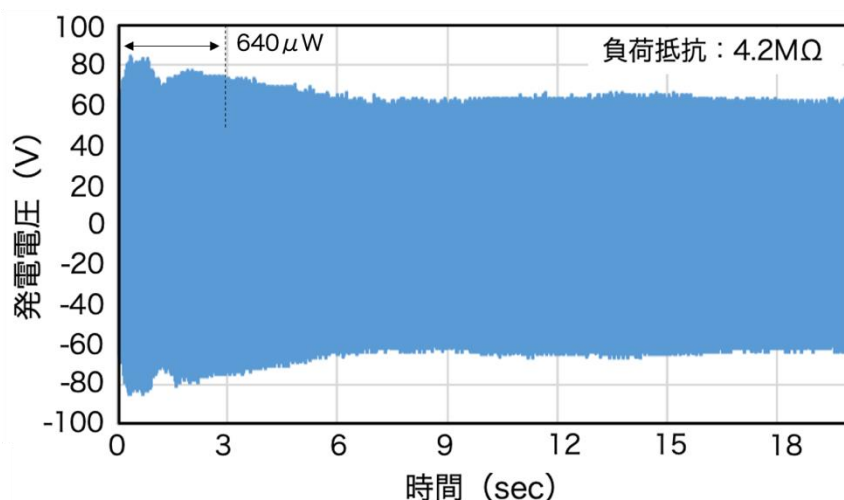


図 3-3.1.3-24 MEMS デバイスの発電電圧

図に示す通り、機器の振動から $640 \mu\text{W}$ 程度の発電量を得られた。本研究の目標である 100Hz ではなかったものの、0.15G と非常に微小な振動から目標の $500 \mu\text{W}$ 以上の発電を達成した。これにより、自立型無線センサ端末が駆動できれば、IoT 社会の実現に貢献できると考えられる。

3.1.4 成果の普及

展示会への出展や種々の講演会・セミナーでの成果報告ならびにホームページ、ブログ、ユーザとの技術交流を通じて本研究開発の普及・広報を図った。

(i)プロジェクトホームページ・展示会での研究開発成果の発信

プロジェクトのホームページ(<http://lbss.la.coocan.jp/>)で、研究アウトライン(研究開発概要、研究コンセプト、研究テーマ)、研究体制について紹介、さらに MEMS センシング&ネットワークシステム展(参加者数 3 日間で 1 万人規模、主催:技術研究組合 NMEMS 技術研究機構・(一財)マイクロマシンセンターにおいて、プロジェクトブースでのパネル・デモ展示、成果報告会を実施し、広報普及を図った(2017 年 10 月、2018 年 10 月、2020 年 1 月に実施)。

(ii) ブログによる情報発信

(一財)マイクロマシンセンターが管理するブログニュース(MEMS の波、<http://gsnpj.blogspot.jp/>)に成果展示や成果報告会、海外技術動向調査の内容を発信して、本プロジェクトの広報・普及を図った。

(iii) ユーザとの技術交流

本研究開発の委員会活動として、IoT システムベンダー、小売電力事業、ビル管理システム、交通インフラ、石油コンビナート、インフラモニタリング研究の大学、関連 IoT 横断テーマ研究機関等から成る外部アドバイザリー委員会を設置し、ユースケースを想定した、有価情報抽出のためのアルゴリズムに対する委員コメント反映、本システム・センサ端末の社会実装・検証先等の選定と実施協力のための情報交換を実施した。

また、ターゲットとする顧客との対話によるユースケースのヒアリングとして、2018 年度に石油コンビナート・プラント企業 3 社、製造企業 5 社、食品加工企業 1 社、電力インフラ企業 2 社、2019 年度には製造企業(中小企業を含む)20 社、ガス・電力インフラ・化学プラント企業 3 社、食品加工企業 4 社に実施した。

さらに、各都道府県や地元大学(産学連携を積極的に実施している大学)をハブとして、関連する企業を集めるセミオープン技術 PR ワークショップを、2019 年度に会津若松市で「センシング・エッジによる IoT 革新的ビジネスの潮流」の題名で実施した(中小企業庁 e-中小企業ネットマガジン(2019-11-13 号)で開催を配信)。

3.2 研究開発テーマ「超低消費電力データ収集システムの研究開発」

本研究開発項目では、IoT 電源の地産地消「スマート IoT」を実現する要素技術の確立と事業提案という目標に対し、消費電力 1/10 の IoT 特化型統合 SoC、慣性センサ、ボックスキャッタ通信モジュール、バイタルセンサ、発電効率 10 倍の自立電源モジュールの開発を達成するなど、目覚ましい成果を上げつつある。

(要素技術)

1. 超低消費電力 IoT 特化型統合 SoC
2. 低消費電力 SiGe センサモジュール
3. 高効率自立電源モジュール
4. 低消費電力ボックスキャッタセンシング技術
5. ボックスキャッタ通信モジュール
6. 超低消費電力バイタルセンシングモジュール
7. ジャイロセンサモジュール
8. 無線位置推定モジュール

(事業モチーフ)

9. 回転機器状態監視システム
10. 作業支援システム

個別の研究開発サブテーマにおける詳細は以下に示す。

3.2.1 研究開発サブテーマ「超低消費電力 IoT 特化型統合 SoC の研究開発」

3.2.1.1 概要

超低消費電力(Ultra-Low-Power, ULP)センサノード SoC(従来比 1/10 以下の消費電力)を設計し試作した。そのために低消費電力要素回路(スイッチトキャパシタ電圧降圧型コンバータ回路、ULP リアルタイムクロック回路、26/40MHz 水晶発振器、サブ GHz のノーマリオフ IoT トランシーバ回路および信号処理アクセラレータ)を開発し、それらの統合集積に加えてハーベスタの電力供給量に応じたセンシングデータ精度や RF 通信量の制御技術を開発した。この統合 SoC を事業モチーフ「回転機器状態監視システム」に実装し、高効率な IoT センサノードの開発を完了する。

3.2.1.2 最終目標と根拠

従来製品の消費電力 1/10 未満の統合 SoC 技術を完成させ、実証試験用プロトタイプ(統合 SoC を事業モチーフ「回転機器状態監視システム」に実装)に供し効果を確認する。商用化 SoC では世界最高レベルの超低消費電力である。

3.2.1.3 目標の達成度

2018 年度までの委託研究で統合 SoC 自体の低消費電力化技術は達成している。2019 年度に改訂設計と試作を完了し、SoC 内蔵の DSP アクセラレータを使ったエッジセンサノードでのデータ分析処理において、従来マイクロコントローラと比較して 1/10 未満の低消費電力動作を実現している。2020 年度は実証試験用プロトタイプ開発のために基板設計とともにファームウェア開発中であり、年度末までには目標達成の見込みである。

3.2.1.4 成果と意義

本技術開発により、可用時間の長い、また自立電源環境動作可能な IoT センサノード技術が実現できる。つまり、電池が利用できない、あるいは電池交換が困難な環境にまで、データ収集システムを拡大していくことが可能となる。また、電池の使用量や環境負荷、交換コストを削減できる。その結果、FA 応用におけるライン管理システムやウェアラブル応用のヘルス機器への展開が期待され、IoT 市場拡大とマーケットシェア拡大が期待できる。

3.2.1.5 成果の普及

本成果は IoT 応用に広く展開でき、IT 農業、デジタルヘルス、構造物ヘルスマモニタリング、物流管理、工場管理、環境モニタリングなど幅広い応用に適応可能である。

3.2.2 研究開発サブテーマ「低消費電力 SiGe センサモジュールの研究開発」

3.2.2.1 概要

2018 年度までの委託事業にて要素技術を確認した SiGe-MEMS センサプラットフォーム技術を最大限に活用し、超低消費電力なセンサモジュールを実現可能な振動検知向けの SiGe 加速度センサモジュールの実証を行う。

3.2.2.2 最終目標と根拠

ULP センサ AFE 回路と SiGe 加速度 MEMS センサを CMOS 混載 MEMS 技術で統合した消費電力 $1\mu\text{W}$ 以下の超低消費電力な振動センサモジュールを試作し、事業モチーフ「回転機器状態監視システム」プロトタイプに搭載し動作を確認し、最短 3 ヶ月の連続駆動実証試験を行う。2018 年度までの委託研究で確認した要素技術と同等の消費電力を、実用化の指針となる 3 ヶ月以上の連続試験で達成することを目標とする。

3.2.2.3 目標の達成度

SiGe センサモジュールの作製が完了し、同モジュールを用いた動作帯域の検証や $1\mu\text{W}$ 以下の低消費電力化の実証が完了している。現在、統合モジュールとの接続に向けた SiGe センサの基板を作製しており、実証試験開始までに作製完了する見込みである。以上から、目標達成に向けて予定通り進捗していると言える。

3.2.2.4 成果と意義

本研究開発の成果は、超低消費電力なセンサデバイス技術の確立に加え、同技術により実現したセンサの社会実装化技術である。本成果により、センサを含む既存のエッジ端末で課題となっている消費電力の課題解決に目処を立てることが出来、IoT 推進が加速されるという点で、大きな意義があると言える。

3.2.2.5 成果の普及

本研究開発の成果を取り込んだモジュールを作製し、コンソーシアムを通じて積極的に宣伝している。また、多数の著名な国内学会・国内学会にてその成果を発表しており、本技術成果の有用性や優位性を広くアピールしている。

3.2.3 研究開発サブテーマ「高効率自立電源モジュールの研究開発」

3.2.3.1 概要

IoT センサ端末を安定駆動できる高効率の自立電源モジュールを開発する。発電源はセンサ端末が設置される周辺環境に存在する微弱で不安定な振動、光、熱とし、商用電源の配線工事費用や電池交換の手間のないシステムを実現することでIoTの普及促進を図る。

3.2.3.2 最終目標と根拠

工場内に設置されるIoT センサ端末を想定し、以下の条件に対する発電電力最終目標値は、モジュール内蓄電デバイスへの充電電力換算で $50\mu\text{W}$ 以上とした。

- (1) 振動周波数が安定しないインバータ方式回転機器等による振動発電
- (2) 高温部の温度が一日平均 45°C 未満の回転機器等表面による熱発電
- (3) 1日平均 200lx 以下の暗い工場内環境下における光発電

低消費電力タイプのIoT センサ端末は間欠動作で低消費電力化を実現するため、スリープ時(クロックのみ動作)消費電流をいかに小さくするかがポイントとなり、本研究で開発しているような次世代型IoT 端末用MPU、SoCのスリープ時(クロックのみ動作)消費電流は $1\mu\text{A}$ 未満がトレンドである。これと駆動時の消費電力と合わせてIoT センサ端末の24時間あたりの消費電力を $10\mu\text{W}$ と仮定し、日稼働時間(8時間/24時間)、週稼働日数(5日/7日)から求めた稼働率23.8%から発電電力最終目標値は $50\mu\text{W}$ 以上とした。

3.2.3.3 目標の達成度

プロジェクト開始後3年間の委託研究期間で研究開発した高効率レクテナ(電波発電)技術に関しては、より実用化に近い研究開発テーマとするために、バックスキッタセンシング技術と統合した。振動発電、熱発電、光発電に関する達成度は以下の通りである。

振動発電: 振動する設備の表面に圧電セラミック板を貼り付け、その出力をSSH回路で効率的に増幅するシステムを提案し、インバータ方式回転機器等など卓越振動周波数が変化する設備に対しても、 $50\mu\text{W}$ 以上の発電電力が得られることを確認した。

熱発電: 国内外の市販熱電モジュール、昇圧ICを調査し、最適組み合わせした高変換効率の熱電変換モジュールを設計試作した。その結果高温 40°C 、室温無風冷却条件で発電充電電力 $50\mu\text{W}$ 以上を確認し、目標以上の成果を達成した。

光発電: オープンイノベーションとして低照度対応光発電素子を開発販売するシャープ社と、高効率の昇降圧ICを開発販売するリコー電子デバイス社とDSPCで協業し、 50lx の超低照度環境でもリチウムイオン二次電池への充電が可能な光発電電源モジュールを完成させ、目標以上の成果を達成した。

3.2.3.4 成果と意義

本研究の成果により、工場内環境の微弱で不安定な振動・光・熱の発電源環境であっても、IoT センサ端末を自立電源で安定駆動できるようになるため、IoT センサ設置時の配線コストや電池交換の手間などIoTの普及を阻害している要因を解消し、IoTの普及促進に大きく寄与すると考える。

3.2.4 研究開発サブテーマ「低消費電力バックスキッタセンシング技術の研究開発」

3.2.4.1 概要

IoT/AI時代では膨大な情報が消費され、その情報収集の一端を担うワイヤレスセンサネットワークではセンサ端末のメンテナンスフリー化(電池駆動の長寿命動作化や電池なし

での動作)が期待されている。RF バックスキャタリング(RFBS)技術は、多くの電力を消費する RF 回路を不要化できることから、従来のセンサ端末よりも大幅に消費電力を削減することができる。本研究開発では、RFBS による①低電力センサ端末の試作に成功し、②具体的アプリケーションを想定したセンシングシステムの構築を現在推進している状況にある。

3.2.4.2 最終目標と根拠

RFBS センサ端末回路の構成法、設計法の明確化、集積回路化したセンサ端末を試作し、①消費電力(100 μ W 以下)、②通信距離(5m 以上)、③設定可能チャネル数(8ch 以上)、④信号帯域(100kHz 以上)、⑤バッテリーレス動作(室内光 & 電磁結合)を目標とする。この目標は競合の BLE や RF-ID と同等またはそれより長い通信距離、同等機能を有するとともに、端末消費電力はこれらの 1/100 以下である。

3.2.4.3 目標の達成度

2019 年度に試作した集積回路、センサ端末により上記目標は既に達成している。今年度はシステム化技術の開発に注力しており、ソフトウェア無線技術によって低コストでのシステム化が可能となること確認した。さらに温度などの環境パラメータや電圧モニタリング等具体的アプリケーションを想定したセンシングシステムの構築に取り組んでおり、年度末までには完成する見込みである。

3.2.4.4 成果と意義

①電池駆動時の長寿命動作化や微弱な環境エネルギーやエネルギー伝送により電池なしでの動作が可能となりメンテナンスコストの大幅な削減が可能、②低速回路のみで集積回路化において先端技術は不要、低コストでの集積化センサ端末の開発が可能、③センサ端末ごとに異なる反射号周波数を設定することにより、複数のセンサ端末の情報を一括収集が可能である。これらの成果により IoT/AI 時代を牽引する次世代センシングシステムとしての普及が期待される。

3.2.4.5 成果の普及

大学として成果の学術的アピールは勿論のこと、本プロジェクトの筆頭である DSPC および参画しているアルプスアルパイン(株)、および、集積回路製造メーカーとの連携によるビジネス展開を推進中である。

3.2.5 研究開発サブテーマ「バックスキャッタ通信モジュールの研究開発」

3.2.5.1 概要

3.2.4 節で説明したバックスキャッタセンシング技術により、センサモジュールを超低消費電力化する事でセンサ端末の長寿命動作化、または、環境エネルギーにより動作するバッテリーレス動作化の確立を目指す。

3.2.5.2 最終目標と根拠

0.2cc 以下の 920MHz 帯バックスキャッタセンシング用アンテナ、0.5cc 以下の 920MHz 帯バックスキャッタモジュールの開発を目標とする。また本モジュールを事業化モチーフとして提案している回転機器状態監視システム、または類似した IoT システムに組み込み実証試験を実施する。アンテナ、モジュールの目標サイズの根拠は、組込部材の形状より 7mmx7mm 以下のアンテナサイズが必要とされるためである。

3.2.5.3 目標の達成度

920MHz 帯バックスキヤッタセンシング用アンテナは 0.2cc 以下の目標に対して、すでに 0.1cc 以下のアンテナを達成した。また 920MHz 帯バックスキヤッタモジュールは 0.5cc 以下の目標に対して、0.4cc 以下のモジュールを達成しており、実験環境での実証試験は 2020 年度に完了見込みである。なお適用ケース毎にチューニングが必要となる実フィールドでの運用試験はプロジェクト終了後に予定している。

3.2.5.4 成果と意義

バッテリーレスで無線電力伝送が可能な超小型のセンサモジュールの実現が可能となった。適用システムで使用される組込用部材に実装することで、モニタリングに必要な不可欠な物理量を無線給電で読取り可能となり、適用した構造物のヘルスマニタリングを可能とし、点検作業の大幅なコスト低減と点検作業の高精度化が可能になると考えられる。

3.2.5.5 成果の普及

まずはニーズが顕在化しているインフラ市場への普及を進め、市場実績及び出荷台数を着実に増やしながらコスト競争力をつけ、汎用の民生市場へ展開するとともにデファクト化を目指す。

3.2.6 研究開発サブテーマ「超低消費電力バイタルセンシングモジュール」

3.2.6.1 概要

光電式容積脈波(PPG)センサと加速度センサを中心に、アプリケーションごとに必要となる機能を組み込むことで作業支援、見守り、生活習慣病などの疾患のスクリーニングなど、幅広い応用分野への適用を進める。統合 SoC に実装したリストバンド型光電式容積脈波(PPG)センサを消費電力 $15\mu\text{A}$ 以下で完成させ実証試験を実施し効果を確認する。また自立発電デバイスによる駆動にも対応可能とする。

3.2.6.2 最終目標と根拠

統合 SoC に実装したリストバンド型光電式容積脈波(PPG)センサを消費電力 $15\mu\text{A}$ 以下で完成させ実証試験を実施し効果を確認する。また自立発電デバイスによる駆動にも対応可能とする。消費電力 $15\mu\text{A}$ は論文発表レベルで最も低消費電力の PPG センサと比較して 1/10 以下であり、これを実用化レベルで達成する。

3.2.6.3 目標の達成度

LED 照射時間 $150\mu\text{s}$ 、サンプリングレート 20Hz で動作し、平均心拍間隔誤差 6.2ms で $28.2\mu\text{A}@3.3\text{V}$ 動作可能な PPG 回路と信号処理技術を開発した。提案技術は光量積分回路と相関二重サンプリングを用いるフロントエンド回路と、自己相関を用いるサンプリング誤差低減アルゴリズムによって従来の 5 分の 1 以下の消費電力性能を達成した。今後、サンプリングレートのさらなる低減に向けて、二直線近似と加速度脈波を用いた改良型サンプリング誤差低減アルゴリズムを提案し、目標を達成できる見込みである。

また指先だけではなく、手首で市販 PPG センサと同等の計測が可能な低消費電力 PPG センサ回路の実現を目的とし、リファレンス回路と複数光源を用いる計測精度改善手法、及び時系列データを用いた心拍間隔誤差補正アルゴリズムを提案した。熱電発電素子を用いて、室温環境下で体温から PPG センサ動作に必要な電力を発電できることを確認した。

3.2.6.4 成果と意義

本技術開発により、実用的な作業支援システムの実現が可能となる。作業支援では心拍数、心拍変動、活動量、おおまかな位置情報により、リストバンド型の実装が可能となる。また生活習慣病の予防に対しては日常生活での活動量計測が重要であり、ここでもリストバンド型システムが実装可能となる。心拍数とその変動は活動量の評価だけでなく、ストレスモニタリングや自律神経の働きをモニタリングする用途にも使用できる。

3.2.6.5 成果の普及

さらに心拍数と加速度の変動から高精度な活動量推定を可能とする技術を保有しており、これを統合 SoC に組み込むことでより実用的なシステムを実現する。その他の計測対象信号の候補としては周辺環境(温湿度)と発汗量の組み合わせ、心拍数や活動量と組み合わせることで例えば屋内での熱中症予防(見守り)に有用である。

3.2.7 研究開発サブテーマ「ジャイロセンサモジュールの研究開発」

3.2.7.1 概要

ジャイロセンサを用いたウェアラブル ULP 端末による作業支援位置推定システムの実用性検証を行う。MEMS 振動型ジャイロセンサデバイス技術とモジュール化技術を統合し、作業者の位置推定可能なジャイロセンサモジュールを開発する。

3.2.7.2 最終目標と根拠

本テーマの最終目標として、共振周波数 20kHz 以上のジャイロセンサデバイスに対してフィードバック制御が可能なモジュールを試作し、ビルや工場などの実際の屋内環境での安定的なセンシング動作への効果を実証実験で確認する。センシング動作で外乱となる、実環境の音や振動下においても、安定動作可能なモジュール性能を目標に設定した。

3.2.7.3 目標の達成度

プロジェクト開始後3年間の委託事業期間においては、キャッチ & リリース技術を用いた MEMS 振動型ジャイロセンサデバイスの要素技術を確立した。続く助成事業期間の 2019 年度においては、この技術成果を応用し、社会実装に必要な安定的なセンシング動作が可能なジャイロデバイスを試作し、社会実装に必要なインターフェースと安定的なセンシング動作に必要なセンサ特性の補正調整機構を備えたジャイロセンサモジュールを試作した。最終年度である 2020 年度は、試作したジャイロモジュールを用いて実際のビルや工場などの屋内で位置推定の実証実験を行うことで、位置推定システムとしての実用性検証を進めている。コロナ禍の影響を受けつつも、今のところ研究は計画通り進捗しており、今年度末には最終目標を達成できる見込みである。

3.2.7.4 成果と意義

本研究の成果により GPS の届かない屋内や水中、ビルの谷間などの環境においても、対象物の位置推定の精度を飛躍的に向上させることができる。屋内位置データサービス市場は、国内だけでも 1.2 兆円(@2035)に達すると見込まれており、本研究はこれらの事業の発展に大いに寄与すると考える。

3.2.8 研究開発サブテーマ「無線位置推定モジュールの研究開発」

3.2.8.1 概要

本研究開発項目では、慣性センサを用いた屋内位置推定技術の実用性検証試験を行う。この際、株式会社東芝が保有する同社独自開発の Bluetooth を用いた無線位置推定技術を補完的に併用することで、システムトータルとしての位置推定精度の向上を目指す。また、両者の相互完結動作による省電力化の可能性についても検討を行う。実用性検証試験では、システムトータルとしての位置推定精度の向上を目指し、実際のウェアラブル端末、もしくは場合により無人搬送車(AGV)の利用シナリオを想定した実証実験を行う。

3.2.8.2 最終目標と根拠

6 軸の慣性センサからの出力を有効に利用して、無線技術と組み合わせた位置推定システムを試作し、それぞれを単独で利用した状態に対する推定精度の向上を実証実験により確認する。これは、角速度、加速度センサそれぞれからの 3 軸出力を全て活用することで位置推定精度を確実に向上させることを目標としたものである。

3.2.8.3 目標の達成度

角速度センサ及び加速度センサそれぞれの 3 軸出力から相対位置推定を行うアルゴリズムは開発。市販の民生機器用慣性センサを用いた実験評価も実施。一定時間(数十秒～数分)以上の連続動作時に、慣性センサのバイアスやドリフトの影響で数m以上の誤差が生じることを確認。また、同社独自開発の Bluetooth を用いた無線位置推定技術において、金属壁などによる見越し外環境では 1m 以上の誤差が生じることを確認。そこで、慣性センサの進行方向推定情報及びステップ幅推定情報と、無線位置推定情報を非線形型のカルマンフィルタで融合することで、累積誤差の相互補完を行う方式を開発。上記実験データを用いたオフライン検証で、センサ融合型位置推定は誤差 1m 以内となることを確認。今後、粒子型フィルタの応用による融合を検討して更なる高精度化とともに、店舗や工場など実際のサイトでのアルゴリズムを検証し、年度末には目標達成の見込みである。

3.2.8.4 成果と意義

カメラ、無線、慣性センサそれぞれを利用した測位システムは存在するが、明暗依存性、見越し外時のロス、センサのバイアス/ドリフトなどに課題があり決定的な測位システムは存在しない。本プロジェクトで研究開発する屋内測位技術は、店舗・工場など明暗状況や見越し外状況がダイナミックに変化する場合でも、安価な慣性センサと無線センサの融合により、環境に大きく左右されず、ユーザビリティの高い測位システムを提供できる。

3.2.8.5 成果の普及

店舗顧客の動線解析、工場でのロボット・AGV・作業員の位置把握による作業効率改善・省人化など測位データソリューション・サービスへ展開できる。また、プラントはじめとした過酷な環境での転倒者位置検知や危険エリア侵入検知など安心・安全にも寄与できる。

3.2.9 研究開発サブテーマ「事業モチーフ・回転機器状態監視システムの研究開発」

3.2.9.1 概要

本事業で開発した要素技術を組み合わせた事業モチーフ例として、回転機器状態監視システムを提案する。モーター、ファン、ポンプ、コンプレッサなど工場内に無数に存在する回転機器は、摺動部があることから必ず最後は壊れるため、何らかの手段による保全が必要

である。ここで提案する回転機器状態監視システムは、自立電源駆動の超低消費電力データ収集システムであることから、無線送信で電源配線工事が不要なため設置が簡単、超低消費電力駆動、自立電源駆動のため電池交換の手間が省けるという点が特徴である。

3.2.9.2 最終目標と根拠

超低消費電力 IoT 特化型統合 SoC、超低消費電力 Si-Ge 加速度センサ、バックスキュータ通信モジュールを統合化したシステムとし、高効率自立電源モジュール(振動、温度差、光)によって 3 ヶ月以上連続駆動させる実証試験を実施することを目標とする。実証試験を 3 ヶ月以上としたのは、本助成事業の限られた期間内で、長期間駆動による不具合を見いだすことができる最低限の期間と判断したためである。

3.2.9.3 目標の達成度

現在統合システムハード部は試作中であり 2020 年 7 月中には試作第 1 号機が完成予定である。また並行して統合 SoC に組み込むファームウェアの開発、およびセンサで収集したデータをクラウドへ転送するためのシステム、測定結果をブラウザ上で確認できる web アプリケーションの開発も進めており順調である。さらに加速度センサで収集した数 k バイトの振動データ群を、回転機器の予知保全にとって意味のある数バイトの特徴量に圧縮する技術が開発済みであり、統合システムの消費電力量の大半を占める無線送信データ量を大幅に低減できる見込みである。コロナ禍の影響も受けているが、9 月中に統合システム全体が完成、2020 年 10 月から 12 月の 3 ヶ月間で実証試験を実施する予定としている。目標達成の見込みである。

3.2.9.4 成果と意義

本研究の成果により、コストが低廉で設置、維持管理が簡単な回転機器状態監視システムを提供することができる。熟練作業者の低減により回転機器などの工場設備の監視、保全をリモート化するニーズは年々高まっていたが、コロナ禍による影響でさらにこの傾向は急拡大すると予想され、本研究開発成果はこの社会変革に対しても大いに貢献できると考える。

3.2.9.5 成果の普及

各要素技術の開発を待ってから本システムのニーズ調査をしては遅いと判断し、従来技術(MCU、電池、センサ)を組み合わせたニーズ調査品を試作、展示会等で無償貸与による事前実証試験の協力を呼びかけたところ多くの応募があり、現在 19 社の工場等で試験を実施中である。この試験に協力していただいている顧客の一部で上記本番実証試験を実施する予定である。またこの試験を通じてくみ取った顧客ニーズは来年度以降の事業化に活かす。

3.2.10 研究開発サブテーマ「事業モチーフ・作業支援システムの研究開発」

3.2.10.1 概要

近年成長が著しい製造業界向け IoT(IIoT)にターゲットにおいて、インフラ・工場向け回転機器故障予測システムと並んでニーズが高く、早期企業化が期待できるモチーフとして、ウェアラブル端末等を用いた作業支援システムが挙げられる。これを受け本事業で開発した要素技術を組み合わせた事業モチーフ例として、生体情報センシングシステムと位置推定システムによる作業支援システムを開発し、実証実験を行う。

3.2.10.2 最終目標と根拠

超低消費電力ウェアラブル端末が求められるユースケース 10 例以上について、バイタルセンシングおよび位置推定機能に求められるスペックを定量化し、そこから選定されたユースケースを想定したシステムを開発し、実証実験を実施する。これは、開発されたサブシステムの性能がフルに発揮されるユースケースを選んで実用性を検証するための目標である。

3.2.10.3 目標の達成度

委託事業期間中に、超低消費電力データ収集システムの顧客企業候補となる数社の代表による共通基盤検討委員会を組織し、その場でウェアラブル端末による作業支援システムのユースケース7例について分析を実施した。これをベースとして、更に助成事業期間中もベンチマーク調査を継続し、最終的に生体情報センシングシステムと位置推定システムそれぞれに求められる仕様を策定した。現在、それぞれの実証実験に向けた準備を進めており、年度末には目標を達成できる見込みである。

3.2.10.4 成果と意義

McKinsey&Company の IoT 市場予測レポートによると、2025 年のウェアラブルヘルスケアと作業支援分野の市場規模は、最も保守的に見積っても 2400 億ドルと見込まれる。また、前述のように、屋内位置データサービス市場は、国内だけでも 1.2 兆円(@2035)に達すると見込まれており、十分なマスの狙える市場だと言える。

3.3 研究開発テーマ「トリリオンノード・エンジンの研究開発」

本研究開発は、超小型、低消費電力、リーフ製作が簡単、オープンソース・ハード／ソフトの特長を持った IoT/CPS システムのプラットフォームの研究開発であり、アプリやサービスの開発効率を上げることを目的としている。委託研究開発が終了した時点で、完成度の高い成果が出たので、リーフの頒布会社が発立され、プラットフォームの普及の加速を行っている。

助成事業では、プラットフォームの地位を確立するために、企業用途向けの高機能マイコンやセキュリティの機能強化だけでなく、拡張コネクタの信頼性検証、Additive Manufacturing 適用設計環境の調査、実用教育カリキュラム等の研究開発を行う。詳細は、以下に示す。

3.3.1 概要

1 兆個の IoT 端末がインターネットに接続される時代では、従来の企業の枠に捉われない個々人のアイデアを活かせる社会が期待され、委託事業で個々人のアイデアを生かせるプラットフォームであるトリリオンノード・エンジンの開発を進めてきたが、本プラットフォームを企業ユース向けにも使うためには、機能面やソフトウェアの開発環境、信頼性の面でまだ不十分などところがある。そこで本助成事業では企業用途向けにも活用するための、機能拡張、高信頼性化、大規模で高品質なソフトウェア開発が可能となるソフトウェアプラットフォームの研究開発を行う。

3.3.2 最終目標と根拠

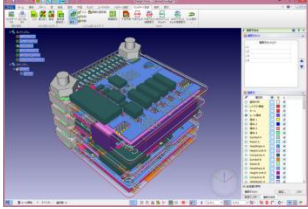
(1)最終目標

各社	実施項目	目標値
TDSC	①共通ハード	産業機器市場に適した拡張仕様の策定 拡張コネクタの信頼性検証
	②共通ソフト	高信頼性ソフトウェアプラットフォーム版トリリオンノード・エンジンへの開発
	③応用	産業用 Actuation アプリの仕様策定
	④普及／場	トリリオンノード研究会にて、上記技術②、③で開発したリーフの技術紹介を行い、研究会委員メンバーでの実証実験に繋げる。
TISS	③応用	セキュリティリスクを軽減するための生体認証リーフ・システムの開発（具体的には、当社認証技術のリーフへの組み込みなど）を行うことにより、セキュリティ機能を向上した IoT プラットフォームの実用化を目標とする。
図研	②共通ソフト	1)設計準備時間短縮 委託事業で作成したオープンモデル(メーカーズ向け)簡易設計環境をベースに、プレミアムモデル(企業向けの高性能版)への適用範囲を拡大するための研究開発を行い、設計準備時間を1/10以下にする(例:設計準備時間が15時間かかっていたものを、1.5時間に短工期化する)。 2)エレメカ設計環境の検証 委託事業の成果である複数のリーフ、29ピンコネクタ、電池ケース、筐体などをシステムレベルで短工期化を実現するためのエレメカ設計環境の検証を行う。また、オープンモデルで開発済みリーフ基板、開発済み電池ケースなど3Dモデル化を実施する。 3)AM適用設計環境の調査 Additive Manufacturing(以下、AMと表記)によるリーフ基板や電池ケース、筐体などの試作短工期化のための設計環境の適合調査を行う。

	④普及/場	<p>1)開発キット作製 IoT 向け簡易設計環境をパッケージ化した開発キットを作製し、アカデミック(主に厚労省系、文科省)向けに配布できるようにする。</p> <p>2)トリリオンノード研究会 開発キットを先行配布して完成度を高める。</p>
SUSUBOX	④普及/場	トリリオンノード・エンジンを活用し、H33年度以降に販売(事業化)可能なカリキュラムの開発を行う。また、H31～32年度中に秋葉原研究拠点にてトリリオンノード・エンジンの無償ワークショップなどを通じて、カリキュラムの有効性の検証、フィードバックを行い、H33年度以降の事業化に繋げる。
東大	①共通ハード	<p>1)現在まで開発してきたリーフの互換性を有し、さらなる低消費電力化のための低電圧デバイス対応、および画像データ転送を可能とする高性能化、IO ピン数拡張を実現し、サイズは現状のリーフよりも30%以下を実現するプラットフォームの開発。</p> <p>2)トリリオンノード・エンジンが、セキュリティ強化が必要とされる市場にも適用可能な IoT プラットフォームになることを目的とし、現在まで開発してきたリーフの互換性を有し、さらなる高性能、低電力化にも対応でき、かつ、セキュリティ対応リーフとの整合性を考慮したプラットフォームの開発を目標とする。</p>
	②共通ソフト	エレメカ設計環境の検証に必要なメカ(筐体含む)に関わるCADデータ作成、コネクタ、電池ケース、筐体などのメカデータの研究開発。
	④普及/場	<p>1)トリリオンノード研究会や、東大のネットワークを活用した企業ユーザー主体のコンソーシアムでの普及活動として、サンプルを50p以上提供し、成果普及と認知度向上を図る。また、本活動において得られたトリリオンノード・エンジン活用を検討している、産業機器市場関連企業情報を収集する。</p> <p>2)現リーフ及び新たな58pin リーフに組み入れるセキュリティ機能の要求仕様及び概念を検討し、IoT プラットフォームとして取りまとめる。また、各リーフ間およびリーフ内のセキュリティにつき整合性をどの様にとらえるべきか取りまとめ、TISS に仕様提示するとともに、評価用リーフを試作する。試作したリーフは、仕様確認、実用化の課題抽出のためのサンプルとして提供する(目標50リーフ)。</p> <p>3)トリリオンノード研究会の参加企業を分類し、狙いに対するマッチングを考えて配布し、効果を得られるような検討を行い、開発キットに必要なリーフ本体、サンプルアプリケーションプログラム、作業手順書などを配布できるように準備する。</p> <p>高性能、低電力、小型なプラットフォームの開発したサンプルを提供し、成果普及と認知度向上を図るため、サンプルを提供する(50P 以上)。</p>

(2)根拠

各社	実施項目	上記目標設定の理由
TDSC	①共通ハード	トリリオンノード研究会会員からのフィードバックとして、Actuation 制御や、屋外での十分耐えられる信頼性の要求があったことから
	②共通ソフト	トリリオンノード研究会会員からのフィードバックとして、大規模アプリ開発に適したソフトウェア開発環境と、信頼性の高いプラットフォームについての要求があり
	③応用	ターゲット市場に向けた Actuation アプリ開発に向けたプラットフォームとして、有効性を検証するためにサンプルを開発し、有効性の検証を行うためサンプルを提供する。
	④普及/場	将来ビジネス化する際の課題の収集および、有望顧客との早い段階でのビジネスコネクションを確立するため。
TISS	③応用	近年、IoT デバイスが取り扱うデータの盗難、改ざん防止などセキュリティ

		<p>ティの重要性が指摘されている。将来ビジネス化するにあたってはセキュリティ対応が重要なため。</p>
<p>図研</p>	<p>②共通ソフト</p>	<p>1)設計準備時間短縮 オープンモデル(メーカーズ)向け部品ライブラリ作成時間を1/10以下は達成できたが、プレミアムモデル(企業向けの高性能版)への適用および検証が必要なため。またライブラリ作成以外の設計準備時間も短縮する必要があるため。</p> <p>2)エレメカ設計環境の検証 設計初期段階の構想設計では、リーフ基板1枚のみの検証では見つけられないリーフ基板同士の干渉、電池ケースや筐体との干渉、メンテナンス性など3次元表示して確認できる内容が多く存在するため。</p>  <p>3)AM適用設計環境の調査 ここ数年で3Dプリンタを応用した立体回路基板製造の環境が整ってきた。また、3Dプリンタによる電池ケース、筐体の試作、3Dプリンタを応用した立体回路基板の装置を使うことで、リーフの試作が短工期かつ手元で試作が実現できるため。秘匿性の高いアプリケーションの試作にも効果がある。</p>
	<p>④普及/場</p>	<p>1)開発キット作製 アカデミックでトリリオンノード・エンジンを本格的に活用するには、設計環境のみでなく、リーフ本体、サンプルアプリケーションプログラム、作業手順書などが必須となる。さらに新しいリーフを設計するために、リーフ基板CADデータ、簡易設計環境などをまとめた開発者向けのキットを作製するのが効果的であるから。</p> <p>2)トリリオンノード研究会 トリリオンノード研究会向けに開発キットを展開して効果を上げるには、配布先の状況を考慮して、必要な情報を過不足なく準備する必要がある。まずはシステム系、総合電気系向けに一部先行配布してフィードバックを得ながら、完成度を高めるのが効果的であるから。</p>
<p>SUSUBOX</p>	<p>④普及/場</p>	<p>弊社では2011年より日本初の FabLab の一つを運営して来たが、その運営方法としてオープンスペースに主要事業で使用している基板製造装置などを設置し、機材の使い方を含む技術指導や簡単な技術コンサルティングを週1日限定で無償提供する代わりに、それらの来場者の中から関連する受託開発や技術コンサルティングを請け負う、新しいビジネスモデルを実施してきた。これは無償提供期間をプロモーション活動とするフリーミアム・モデルの一つと言える。本モデルにて FabLab Tsukuba は毎週日曜日にほぼ全ての高度な工作機械や測定装置を小学生からビジネスユーザまで無償で利用することができ、平日はビジネスユーザから得られた収益でスペースの維持費を確保することが可能であった。</p> <p>この8年間で FabLab は日本、世界共に10倍以上増加し、3D プリンタも家庭で容易に使える価格・性能となった。中国深センでの基板製造やサプライチェーンなどへのアクセスも以前に比べると容易になった。一方で、メーカーズと呼ばれる一人若しくは数名の極小規模な製品開発者、或いはハードウェア・スタートアップが当初の期待程伸びておらず、その要因が製品開発における知識、技術が追いついていないことであることも分かってきた。ラピッド・プロトタイピングが容易になったことで試作品だけでなく、製品に近いものを容易に製造できてしまい、品質管理、安全設計や PL 法を含む各種法規制などの知識のないまま販売してしまう素人が増えたのである。具体的には設計マージンが甘い為に製造数の増加に伴って歩留りが急激に低下し、予定通り販売を</p>

		<p>行えなくなるケース、TELEC 認証を受けていない海外の無線通信部品を組み込んで販売してしまうケース、リチウムイオン電池など高容量2次電池の危険性を把握せずに充放電回路を設計しているケースなどが見受けられた。</p> <p>Arduino をベースとしたオープンソース・モデルのトリリオンノード・エンジンはこれらのメイカーズ、ハードウェア・スタートアップ、さらにこれまでマイコンの導入が困難であった異業種への展開が期待される。しかし、これらの客層に今必要なのは、高度なラピッド・プロトタイプング装置やそれを使いこなす知識・技能ではなく、一足飛びで欠けてしまった回路設計の基礎知識と、日々進歩する無線通信、ネットワーク規格、IC 間通信プロトコル、メモリ規格、マイコン・アーキテクチャ、センサ、小型化の進む電子部品パッケージなどへ対応し続ける能力、さらに大手電機メーカーが長年掛けて確立し、常識化してきた製品製造の知識・ノウハウである。最後の製品製造の知識やノウハウについてはメーカー間の競争情報となる為、共有が難しいが、トリリオンノード・エンジンは前年度までの委託開発にて東芝を中心に我々のこれまでのプロとしての製品開発の手法で開発した為、信頼性、安全性、法規制、量産体制などはクリア済みである。従って、あとは目的に応じてトリリオンノード・エンジンを部品として組み合わせて回路、システムを構築する能力、不足部分の回路設計、製造を行う為の基礎知識や技術のみを習得すれば良い。その上でまだ不足する部分については、弊社にて受託開発や技術コンサルティングを行う。</p> <p>以上が本助成事業にて、教育カリキュラムの開発を行う主な理由である。</p>
東大	①共通ハード	<p>1) 現在までに開発してきたリーフの資産が生かせ、かつサイズもそれほど大きくならずに、Actuation アプリ開発にも適用できる性能や機能強化が図れ、かつプラットフォームとしての有効性が低下しないことを検証するため。</p> <p>2) 現開発リーフの機能上、更なる高性能・低電力・セキュリティを向上させ、新たなセキュリティ機能の検証を図る必要があり、ユーザ視点での問題点洗い出しと機能面の不足事項を明確化させるため。その結果、プラットフォームの有効性・事業性を高めることができると期待できる。</p>
	②共通ソフト	<p>委託事業で開発したコネクタや電池ケースの資産を生かすことができ、エレメカ協調設計環境の検証、AM適用設計環境の調査が効率よく行えるため。</p>
	④普及／場	<p>1) 当社の本研究成果の事業拡大のため、当社とビジネスコネクションがない企業への販路拡大を目的として、東京大学が有している幅広い技術ネットワークを通してトリリオンノード・エンジンの技術の有効性をそれらの企業に認知してもらい、その企業とのビジネスコネクションを確立するため。</p> <p>2) トリリオンノード・エンジンのプラットフォームが、実際にセキュリティ市場向けに有効か検証するため、サンプルを提供し、具体的な市場からのフィードバックを取得するため。</p> <p>3) 委託事業で開発したリーフ、コネクタ、電池ケースの設計資産やノウハウを生かすことができ、研究開発が効率よく行えるため。また、幅広い分野での交流を通して、大学/高専/職業能力開発施設での教育向け、中小セットメーカー向け、大企業の研究開発部門向けに要件を分類。またトリリオンノード研究会の参加企業をインフラ系、システム系、通信キャリア系、総合電機系、半導体系などに分類し、分野・目的別に提供することで期待値に対するフィードバックを得ることができ、さらなる改善が得られ実用的なサンプルに仕上げることができるから。</p>

3.3.3 目標の達成度

各社	研究開発項目	開発目標	研究開発成果	2020年6月末時点の達成度(%)	2021年2月末時点の達成度(%)
TDSC	①共通ハード	産業機器市場に適した拡張仕様の策定		60%	100%
	②共通ソフト	高信頼性ソフトウェアプラットフォーム版トリリオンノード・エンジンへの開発		70%	100%
	③応用	産業用 Actuation アプリの仕様策定		60%	100%
	④普及/場	研究会委員メンバーでの実証実験		60%	100%
TISS	③応用	セキュリティリスクを軽減するための生体認証リーフ・システムの開発	トリリオンノードエンジンを用いた BLE 対応指紋認証デバイスを開発した。また、同デバイスを用いて、承認、認証が必要なセキュア IoT システムへの応用可能性を示すデモシステムを構築した。 耐タンパ性の高いセキュアエレメントリーフを開発し、センサーデータの暗号化処理を簡易・セキュアに行えるセキュア IoT システムを構築した。	70%	100%
図研	②共通ソフト	1)②-2 設計準備時間短縮		95%	100%
		2)エレメカ設計環境の検証		80%	100%
		3)AM適用設計環境の調査		85%	100%
	④普及/場	1)開発キットを作製し、アカデミック系への認知度を上げる 2)トリリオンノード研究会のバックアップ		85%	100%
				90%	100%
SUSUBOX	④普及/場	秋葉原研究拠点にて、カリキュラムの有効性の検証・フィードバック	トリリオンノード・エンジンを用いたセンサエッジ・ノードのカリキュラムを開発し、さらに VR を活用したワークショップを実施するための基本システムを開発した。また図研と共同でセンサエッジ・ノードを構築するワークショップを実施し、カリキュラムの有効性を検証した。	60%	100%

東大	①共通ハード	プラットフォームの開発	高機能マイコンリーフの試作評価完了、問題点のフィードバック中。	60%	100%
	②共通ソフト	リーフのメカ CAD データの研究開発	エレメカ設計環境の検証に必要なリーフのメカ CAD データの作成完了。	80%	100%
	④普及/場	サンプル提供ほか活用企画	委託事業で完了した成果をまとめ、Web で一般公開を行った。また、トリリオンノード研究会メンバーに対して、一般公開したリーフのキットを配布。	70%	100%

3.3.4 成果と意義

トリリオンノード・エンジン研究開発の意義について下図に示す。トリリオンノード・エンジンおよびオープンイノベーション・プラットフォームを公共財として提供し、①メーカーズを巻き込みながら、IoT 市場を発展・拡大させるとともに、②企業が IoT 市場にアクセスする際の短工期化、容易化を達成し、産業力強化を図る。これによって、社会貢献、産業貢献を行う。その波及効果は国内の半導体産業だけで 2030 年に 3,500 億円規模あると推定される。また、CO2 削減効果は 2030 年で 217 万トンと見積もられる。

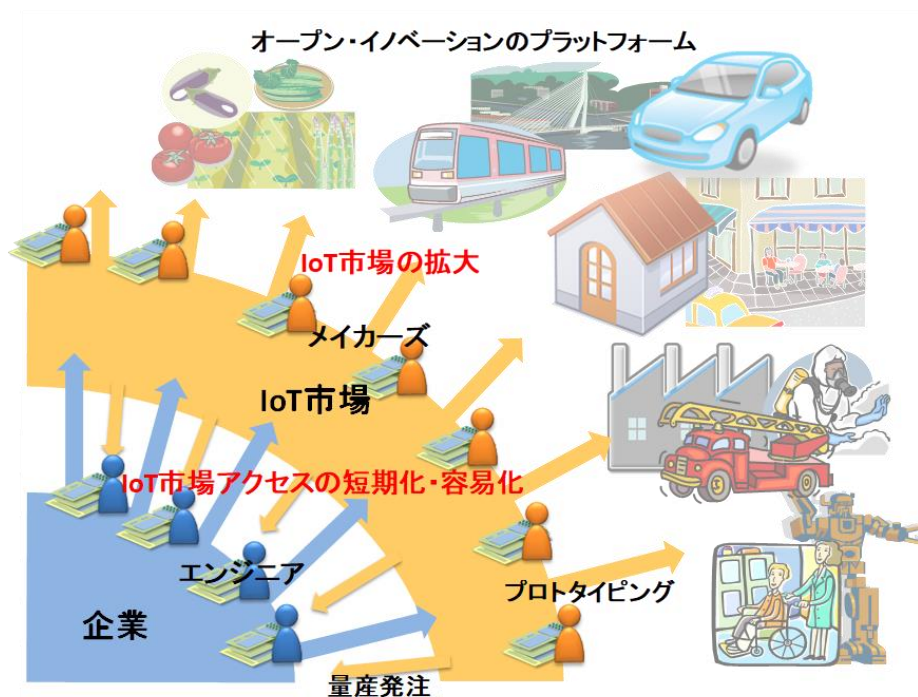


図 3-3.3.4-1 トリリオンノード・エンジン研究開発の意義

3.3.5 成果の普及

IoT のコンセプトは、センサノードの情報を多く集め、ビッグデータ技術を活用することで、工場、都市、社会システムなどの最適化ができるようになることである。それらは、社会の電力消費の削減、スマートな社会、スムーズな工場運営、データドリブンな経営、など、色々な言葉で解説されている未来につながる。トリリオンノード・エンジンは、(1)超低消費電力、(2)超小型、

(3)システムのフレキシビリティの確保の 3 点が実現される計画であり、多くの応用に適合できるプラットフォームができることとなる。

このようなトリリオンノード・エンジンのアプリケーションの想定例は、社会インフラからウェアラブルまで幅広い。ただし、このような想定アプリケーションを超えて、アプリケーションが生まれてくるメカニズムをトリリオンノード・エンジンは提供することを目指している。アプリケーションを立ち上げるために、少数のトリリオンノード・エンジンを使い、少量産程度までは、トリリオンノード・エンジンで対応する。その後、本格的に立ち上がり、本格量産が必要な場合は、従来型の量産手法を使えばよい。ただし、その際、デモや小規模実証で使用された部品などは開発リスクを減らすため、そのまま使われることが考えられるので、トリリオンノード・エンジンのリーフに自社の製品を載せておくことが重要となる。

3.4 研究開発テーマ「高速ストレージクラスメモリを用いた極低消費電力ヘテロジニアス分散ストレージサーバシステムの研究開発」

3.4.1 概要

高速で大容量なストレージクラスメモリ(SCM)や MLC(Multi-level cell、2 ビット記憶)、TLC(Triple-level cell、3 ビット記憶) NAND 型フラッシュメモリ等の異種メモリで構成される、高速かつ低消費電力な分散ストレージサーバシステムを開発する。各種メモリの利点を引き出し、弱点を隠ぺいするヘテロジニアス(非均質)分散データベースを構築する。革新的なメモリハードウェアに最適なソフトウェアに最適なソフトウェア(メモリ管理ミドルウェア、メモリコントローラ等)を開発し、ハード・ソフトの垂直連携を行う。また多種多様な IoT サービスに対応するため、データセンタにおいて各種メモリや CPU の構成を再構築することを可能にする共通プラットフォーム(ハードウェア、ミドルウェア、ネットワークの集合)上でアプリケーションに応じてオンデマンドで、アプリケーションに応じてメモリ構成を変えるなどの最適なハード・ソフト構成を構築する ICT システムを開発する。

半導体メモリシステム

分散データベース

自律再構成ストレージシステム

メモリ管理ミドルウェア

の各レイヤで垂直連携し、全体最適化を実現した。

半導体メモリシステムの要素技術では不揮発性メモリをヘテロ化することで、性能 10 倍、消費電力 1/10 を確認した。また、ビットコストの高い SCM を柔軟に使うため、アプリケーション(ワークロード)の変化に応じて不揮発性メモリ構成(特に不揮発性メモリ容量)を自動最適化するストレージを確立した。

分散データベースは、サーバ N 台(数台～数十台)で構成される分散データベースの性能を、サーバ1台の場合の N 倍にとすることが目標である。ストレージサーバシステムのプロトタイプ、および、それを仮に大規模化した場合にどういった性能となるのか、仮にデバイスを変更したらどういった性能になるのかを推定する技術を開発する。

自律再構成ストレージシステムは、複数のメモリデバイスから最適なストレージを構築するシステムアーキテクチャ、および、アプリケーションのデータアクセス特性を意識して最適なデータ配置を行うメモリ・ストレージ制御ソフトウェアを開発する。

分散システムにおいて必要となるサーバ間の通信回数と、ヘテロ SCM へのアクセス往復回数を可能な限り少なくするシステムアーキテクチャおよびメモリ管理ミドルウェアの研究開発に取り組み、実装レベルで目標の 10usec 以下のデータアクセスを実現した。

3.4.2 最終目標と根拠

インダストリ 4.0 や自動運転車などのリアルタイム応答が必要な多様なアプリケーションが出現するが、これらのデータ処理に必要なデータセンタの消費電力は約 10 年間で 5 倍と増大する。また、データ量は爆発的に増加(2 年で 2 倍)しているが、現在のメモリ技術の DRAM は容量限界に到達している。DRAM と比較すると低速だが大容量化・低コスト化が見込めるストレージクラスメモリや NAND 型フラッシュメモリを使いこなすことが必要である。NAND 型フラッシュメモリを活用した高速ストレージ(DSSD)に比べて、ストレージクラスメモリを用いることによる性能向上 10 倍、電力削減 1/10 のデータセンタスケール・ストレージと、不揮発性メモリ構成を自動最適化するインテリジェントなストレージシステムを開発する。本研究開発開始後に 3D XPoint メモリが登場したが、ソフトウェアまで含めて最適化ストレージはまだ出現していない。3D XPoint メモリをストレージタイプ SCM(S-SCM)としてシステムに組み込むことも検討する。メモリ・インターコネクタ・OS・ヘテロ分散データベースの個別技術で 10 倍高速化と電力 1/10

削減し、さらに性能を活かす分散データベースを活用することで、ユーザ視点の全体システムで 10 倍高速化と電力 1/10 削減を実現する。

3.4.3 目標の達成度

2016–2018 年度の期間に、メモリ、インターコネクト、OS の個別要素技術で性能 10 倍、電力 1/10 を確認した。さらに全体システムで性能 10 倍、電力 1/10 を確認した。2019–2020 年度は個別技術の統合したプロトタイプ開発に向け、要素技術間のコンフリクトを解消しつつ全体最適を行うシステム課題に取り組んでいる。これまでに S-SCM および TLC NAND 型フラッシュメモリを用いた再構成可能なストレージのプロトタイプを構築し、2019 年に登場した Intel 製不揮発性メモリ 3D XPoint DCPMM を組み込める制御ソフトを開発した。また、並列ファイルシステム (PFS) の全段に置く新たな GPU Burst Buffer により、キャッシュ機能で PFS への複雑なアクセスの衝突を回避し、GPU-SCM の直接結合により低遅延・高スループット転送を可能とするデモを実施した (SC19)。

3.4.4 成果と意義

半導体メモリシステムはこれまでに、メモリタイプ SCM (M-SCM)、ストレージタイプ SCM (S-SCM)、MLC/TLC NAND 型フラッシュメモリを混載したヘテロジニアスストレージシステムを評価するためのシミュレーションプラットフォームを構築した。システム C を用いてメモリコントローラや各種メモリをモデル化し、システムの性能、消費電力、寿命を評価する環境を構築した。不揮発性メモリ特性を考慮し、SCM は頻繁にアクセスされるホットデータを保存し、MLC および TLC フラッシュは、それぞれアクセスの少ないコールドデータおよびフローズンデータを保存する。SCM および MLC/TLC NAND 型フラッシュメモリを用いたトライハイブリッドストレージタイプ SCM を開発した。また、異なる特性を持つ二種の SCM および MLC NAND 型フラッシュメモリを用いたヘテロジニアスメモリシステムを提案した。ごく頻繁にアクセスされるデータを M-SCM、頻繁にアクセスされるデータを S-SCM、アクセスの少ないデータを MLC NAND 型フラッシュメモリに保存する。ストレージアプリケーション特性に応じて最適な不揮発性メモリの構成を明らかにし、性能が 10 倍以上向上することを示した。

データセンタにおいて複数のアプリケーションが併存するマルチテナントに向け、ビットコストの高い SCM を柔軟に使うため、アプリケーション (ワークロード) の変化に応じて不揮発性メモリ構成 (特に不揮発性メモリ容量) を自動最適化するストレージを確立した。NAND 型フラッシュメモリのデータアクセス頻度を用いることにより、SCM の容量を自律的に調整する手法を開発した。その結果、性能を大きく低下させることなく、ストレージ動作中のコストを低減できることを明らかにした。さらに不揮発性メモリのコストおよび性能の将来の変化にも柔軟に対応することを実証した。不揮発性メモリの書き換えによる信頼性低下も考慮したメモリ容量を最適化するシステムを確立した。

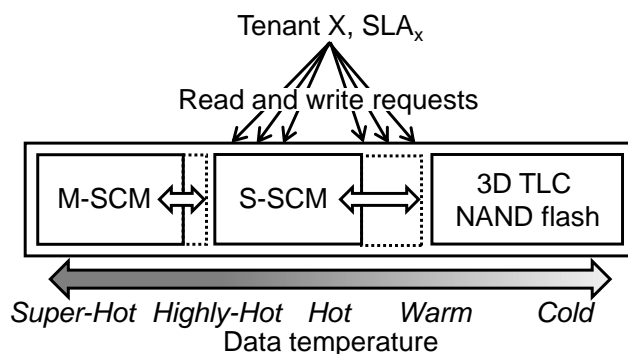


図 3-3.4.4-1 ワークロード(アプリケーション)の変化に応じメモリ容量を自動調整するストレージシステム

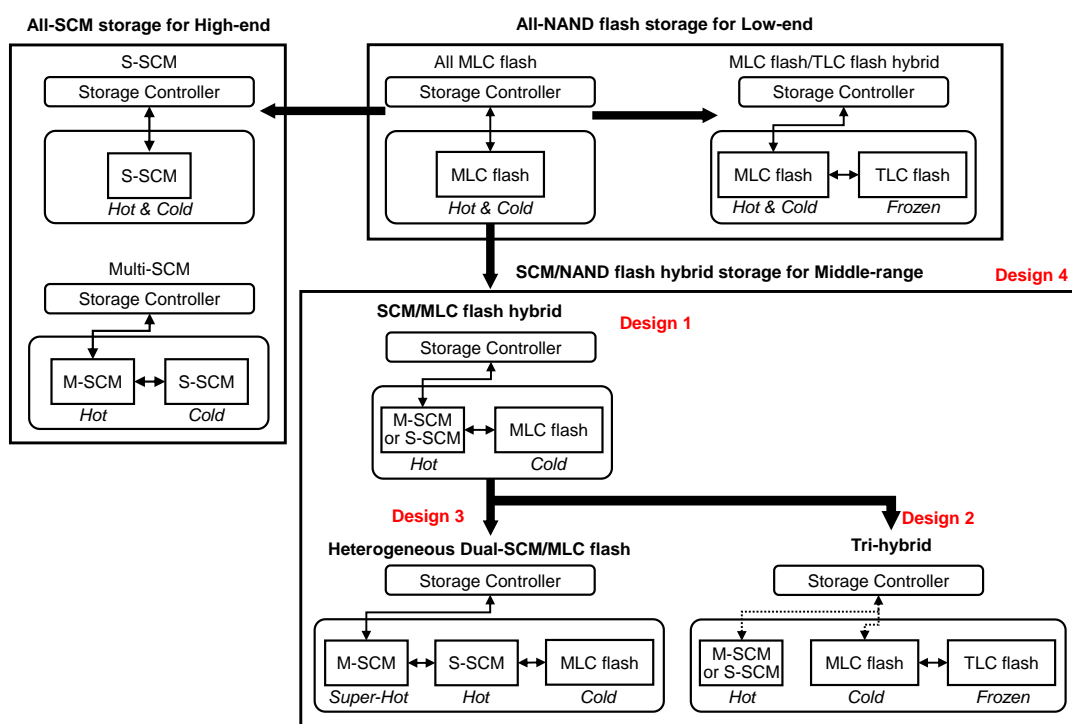


図 3-3.4.4-2 ストレージクラスメモリおよび NAND 型フラッシュメモリを使うストレージの Step-by-Step 設計手法

これらの成果をまとめ、M-SCM, S-SCM, MLC/TLC NAND 型フラッシュメモリで構成するヘテロニアスストレージの設計手法を確立した。All Flash ストレージと比較して 10 倍以上の性能と 1/10 の消費電力低減を実現するための Step-by-Step の設計手法を提案した。

各種 SLC/MLC/TLC NAND フラッシュを搭載したハードを試作し、NAND フラッシュを直接制御するソフトウェアを開発した。さらに、複数の異種メモリを単一のメモリとして扱えるミドルウェアを開発した。それらを用いて性能検証プロトタイプを構築し、目標性能を達成できることを確認した。制御ソフトウェアについて、複数のアプリケーションにメモリの種類と容量を指定して割り当てる機能を開発し、アプリケーションごとにデータ配置を変更することを可能にした。データセンターワークロードに対して、ストレージクラスメモリ、NAND フラッシュを使った動作まで確認した。

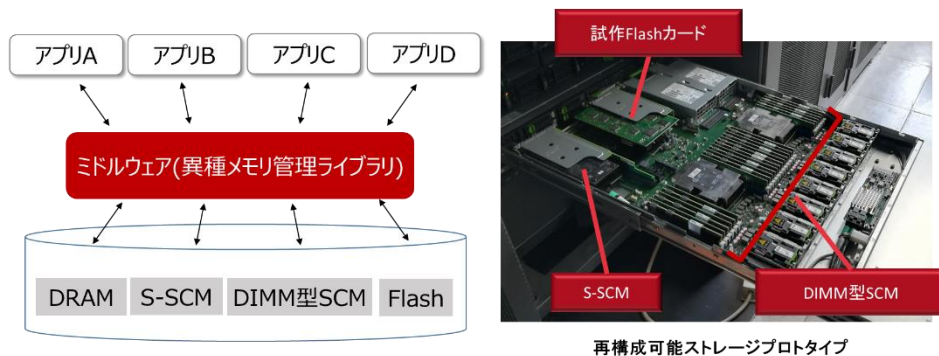


図 3-3.4.4-3 自律再構成可能ストレージのミドルウェアおよびプロトタイプ

複数台のサーバから構成される分散データベースの性能をスケールさせるための技術を開発している。そのために、分散データベースのテストベッド MyCassandra の整備、様々なデバイス(フラッシュメモリ、SCM 等)を用いた場合の性能を推定する技術の開発、深層学習といった有望なアプリケーションのワークロード測定に取り組んだ。

- ・分散データベースのテストベッド MyCassandra: 続く性能推定技術や、ワークロード測定を進めるための基盤である。
- ・性能推定技術: デバイスの種類や規模に応じた分散データベースの性能を推定する技術であり、構成を最適化して性能を引き出していく際の指針となる。
- ・ワークロード: ストレージサーバシステムでこれらのワークロードを発生させ、性能測定を行う。

メモリ管理ミドルウェアの研究では、遅延が 1usec 未満と高速になる SCM を用いてシステム・アプリケーションを構成した場合に、遅延が 1usec 以上あるインターコネクト・ネットワークのボトルネックを解消することを目的としている。具体的には分散システムにおいて必要となるサーバ間の通信回数と、ヘテロ SCM へのアクセス往復回数を可能な限り少なくするシステムアーキテクチャおよびメモリ管理ミドルウェアの検討に取り組んだ。

ノード間通信やデバイスアクセス回数を最小化する非インデックス型データ管理アルゴリズムの基本設計を行った。データの格納場所をハッシュによって定めノード間の問合せを不要にし、アクセス単位をページサイズ以上にして一度のアクセスで読み込み可能にした。ノード間の調整が必要なデバイス書きこみの排他制御を標準の Fused Operation を用いて実現した。さらに、OS のカーネル層でのメモリーコピーの遅延を減らすカーネル・バイパスの手法を実装した。実際に S-SCM デバイスの先陣を切って Intel 社より市場投入された 3D-XPoint メモリ、並びに、さらに低遅延な M-SCM として期待されている MRAM を用いた SSD カードを借りて性能評価を行った結果前者で $15\mu\text{s}$ 、後者で $5.3\mu\text{s}$ という低遅延を実機で実現した。State of the art である EMC 社 DSSD の上で走らせたデータ管理ミドルウェアでは $500\mu\text{sec}$ から 1msec 程度のアクセス時間がかかると見積もられることから、目標とする、基本データアクセス性能約 10 倍向上が実現できるとの見通しを得た。

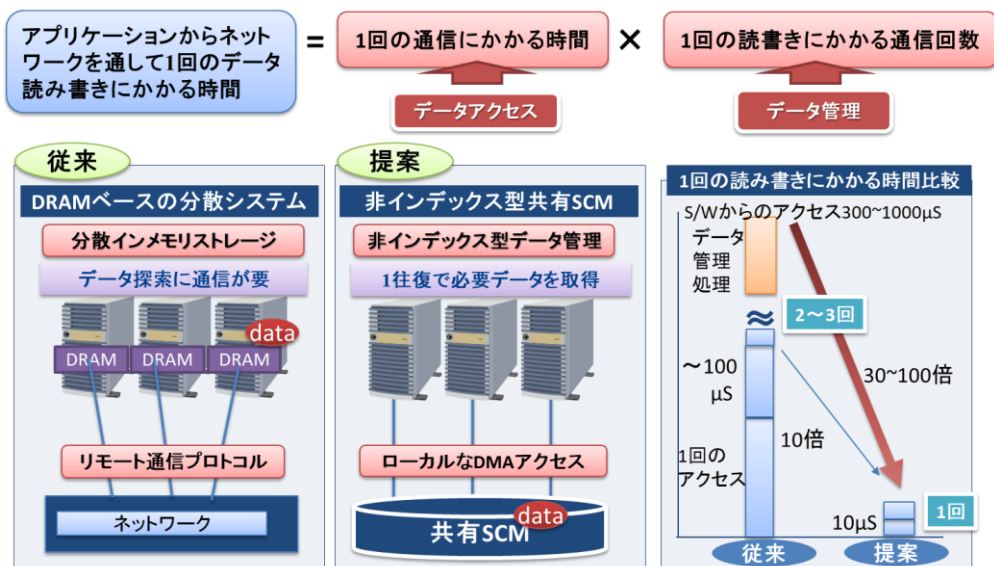


図 3-3.4.4-4 メモリ管理ミドルウェアにより共有 SCM へのデータアクセス性能を 10 倍向上

さらにスループットの向上のために NVMe 間, NVMe~GPU 間の直接続方式を検討して実装した. これを用いて二つの処理を続けて実行する際に有効なキャッシュストレージのアーキテクチャを検討し, 必要となる動作, インターフェースの実装を行った. 最終的にこれらを組み込んだアプリケーションを動作させていく.

3.4.5 成果の普及

学会発表・論文発表を積極的に行い, 論文 47 件(査読あり 27 件, 査読なし 20 件)学会発表 55 件を行った。また, 特許 4 件が審査請求中あるいは出願中である。さらに計算機業界最大のイベントである SC での展示, CEATEC でのデモ展示, SNIA のイベントを通して不揮発性メモリの普及に尽力した。研究期間にわたり, 超低消費電力データ収集システムの研究開発テーマでテーマ間連携を検討した。

具体的には, SC16, SC17(2016 年, 2017 年)において NEC ブースの事業部展示パネルの一部として「メモリ管理ミドルウェア」技術を紹介し, SC17, SC19(2017 年, 2019 年)の大阪大学のブースにて Resource Disaffregated Data Storage および本研究のアプリケーションの一つである GPU Burst Buffer をそれぞれ紹介した。

2017 年 10 月に CEATEC JAPAN の NEDO ブースにて, 開発した「3D パノラマ動画のリアルタイム処理・配信」デモを行い, 高速不揮発性メモリを用いたストレージで高速リアルタイム処理できることを実証した。

2017 年 11 月にものづくり日本会議主催の第 16 回新産業技術促進検討会において, 本プロジェクトに関する講演と研究紹介パネル展示を行った。

2018 年 8 月および 2019 年 8 月に IoT 横断スクールにてレクチャーを実施した。

2019 年 3 月に NEDO IoT 横断プロジェクトセミナー - AI/IoT の未来を知る- にて, 研究紹介のためポスター展示した。

2019 年 8 月に SNIA 技術トレンドセミナにて SCM 活用動向を紹介した。

2019 年 11 月に SNIA を通じ Persistent Memory ミートアップを主催し, PM の使い方をレクチャーした。

2019 年 12 月に Comsys2019 にてヘテロメモリの活用技術を 2 件紹介した。

今後, ストレージサーバシステムの性能向上に寄与することで, ストレージサーバシステムの競争力を高め, 普及を後押しする。

3.5 研究開発テーマ「先進 IoT サービスを実現する革新的超省エネルギー型ビッグデータ基盤の研究開発」

ビッグデータ分析において、「いかに高速に分析を行うか」から「いかにエネルギー消費を抑えて分析を行うか」という競争軸への転換を先取りし、実証レベルで 200 倍の高効率化という目標をもって本研究開発を進めている。事前評価実験を行い、現時点で一般的に利用されている従来型のデータベースエンジンに比して、記憶デバイスとして磁気ディスクドライブを用いた場合には 138 倍以上、フラッシュメモリを用いた場合には 55 倍以上のエネルギー高効率化を確認し、目覚ましい成果を上げつつある。

3.5.1 概要

いかに高速にビッグデータ分析を行うかから、いかにエネルギー消費を抑えて分析を行うかという競争軸への転換を先取りし、革新的な超省エネルギー型ビッグデータ基盤の研究開発を行う。2020 年度末までに日立製作所が東京大学と共同で、実証レベルで 200 倍の高効率化を目指す。事業期間中の研究開発日程は、下図の通りである。

事業項目	2019年度			2020年度	
② 非順序型実行原理に基づく本格版超省エネルギー型データベースエンジンの構成法の確立		設計 (本格版)		200倍以上高効率化 実装・評価 (本格版)	
	基本 方式 検討	実現 方式 検討	詳細設計	実装	評価
④ 本格版超省エネルギー型ビッグデータ基盤に於ける超精密性能・消費電力モデルの構築と高度制御手法の確立		モデル設計(フラッシュ)		モデル実装(フラッシュ)	
	基本 方式 検討	実現 方式 検討	詳細設計	実装	評価
		動的制御設計		動的制御実装	
⑦ エンタープライズへの適用を想定した本格版超省エネルギー型データベースエンジンの設計と実装	基本 方式 検討	実現 方式 検討	詳細設計	実装	評価
		設計 (本格版)		200倍以上高効率化 実装・評価 (本格版)	
⑨ エンタープライズへの適用を想定した本格版超省エネルギー型ビッグデータ基盤の超精密性能・消費電力の測定・制御機構の開発と高度制御機構の開発		測定・制御機構の設計		測定・制御機構の実装	
	基本 方式 検討	実現 方式 検討	詳細設計	実装	評価
		高度制御機構の設計		高度制御機構の実装	
⑩ エンタープライズへの適用を想定した超省エネルギー型ビッグデータ基盤を用いた先進IoT応用の実証		実証実験		実証実験	
			API・SDKの 詳細設計	API・SDKの 実装	API・SDKの 評価
⑪ ソフトウェアによる省エネ効果基準の国際標準化活動の推進	WD 策定・ 審議	CD策定・審議	DIS 策定・ 審議	FDIS,策定	IS承認
⑫ 研究開発プロジェクトの統括と総合的推進					
⑬ 成果最大化への取り組み					

図 3-3.5.1-1 事業期間中の研究開発日程

スピードの技術を省エネルギー化に適用拡大すると共に、静的電力制御だけでなく、消費電力のピークカットを実現する動的電力制御技術も開発する。日立製作所が得意なエンタープライズ顧客を対象に事業化を進め、ソフトウェア製品として2021年の正式リリースを目指す。

3.5.2 最終目標と根拠

3.5.1 で示した事業期間中の研究開発日程で示した各事業項目別の目標を示す。

表 3-3.5.2-1 各事業項目別の目標

項目	最終目標(2020年度末)
②非順序型実行原理に基づく超省エネルギー型データベースエンジンの構成法の確立	1,000 倍のエネルギー高効率化が見込まれる超省エネルギー型ビッグデータ基盤の非順序型実行原理に基づく超省エネルギー型データベースエンジンの構成法の確立により、実証レベルで200倍以上の高効率化を確認する。
④超省エネルギー型ビッグデータ基盤に於ける超精密性能・消費電力モデルの構築と高度制御手法の確立	1,000 倍のエネルギー高効率化が見込まれる超省エネルギー型ビッグデータ基盤の超省エネルギー型ビッグデータ基盤に於ける超精密性能・消費電力モデルの構築と高度制御手法の確立により、実証レベルで200倍以上の高効率化を実現する設計と実装を完成させる。
⑦エンタープライズへの適用を想定した超省エネルギー型データベースエンジンの設計と実装	エンタープライズにおいて1,000 倍のエネルギー高効率化が見込まれる超省エネルギー型データベースエンジンの設計と実装により、実証レベルで200倍以上の高効率化を確認する。
⑨エンタープライズへの適用を想定した超省エネルギー型ビッグデータ基盤の超精密性能・消費電力の測定・制御機構の開発と高度制御機構の開発	エンタープライズにおいて1,000 倍のエネルギー高効率化が見込まれる超省エネルギー型ビッグデータ基盤の超精密性能・消費電力の測定・制御機構の開発と高度制御機構の開発により、実証レベルで200倍以上の設計と実装を完成させる。
⑩エンタープライズへの適用を想定した超省エネルギー型ビッグデータ基盤を用いた先進IoT応用の実証	エンタープライズにおいて1,000 倍のエネルギー高効率化が見込まれる超省エネルギー型ビッグデータ基盤を用いた先進IoT応用の実証(有カユーザを最優先5業種に拡大し、5件/年以上の実証実験を行う)。
⑪ソフトウェアによる省エネ効果基準の国際標準化活動の推進	2021年度国際標準化制定に向け、定期的にメンバー国との意見交換を実施し、FDIS(最終国際規格案:Final Draft International Standard)への移行の承認を得て、IS(国際規格:International Standard)の発行を目指す。

上記目標設定の理由(内外における技術動向や既存の製品との関連等)

本プロジェクトは、従来性能一辺倒の競争であったITの新たな方向性として、省エネルギー化を世界に先駆けて打ち出すものである。東京大学の喜連川らが創案した「非順序型実行原理」と称する革新的ソフトウェア実行原理は、ビッグデータ処理の飛躍的なエネルギー高効率化を飛躍的に向上するポテンシャルを備えている。従前の省エネルギー化のアプローチ

がハードウェアの高効率化実装を追及することにより、定常的に消費電力を削減するものであったのに対して、本アプローチは、ソフトウェアの処理そのものを極限にまで高効率化することにより、飛躍的な省エネルギー化を目指すものであり、極めて革新性が高い。大規模環境に於いては 1,000 程度の高効率化の見込みを得ており、ソフトウェアの工夫によりこれ程のエネルギー高効率化を目指す研究は他に一切見当たらず、いち早く研究開発を推し進め、他国が容易に追従できない程の優位性を確保する所存である(ただし、検証・実証については 200 倍以上を目標にする。)

ビッグデータ基盤に掛かる他のソフトウェア技術としては、インメモリ技術、Hadoop 等の並列分散処理技術、NoSQL 技術を挙げることが出来る。インメモリ技術は、DRAM 価格の低下を背景として、巨大な DRAM 空間を調達し、当該空間にデータを配置することにより、処理の高速化を目指すものであり、即ち、フットプリントは DRAM 容量に律速され、ビッグデータを相手とした技術ではない。Hadoop 等の並列分散処理技術、NoSQL 技術は、コモディティハードウェアを用い、伝統的なデータベース管理システムの持つ機能を簡素化して実装したものであり、本プロジェクトとは直交する技術と言え、即ち、本プロジェクトの研究結果はそのまま適用可能であり、技術的に競合するものではない。なお、関連する技術として、ノーマリーオフコンピューティング技術を挙げたが、省電力化の対象は主にプロセッサと主記憶であり、莫大なストレージ資源を抱えるビッグデータ基盤の省エネルギー化には至らない。また、ハードウェアそのものの省エネルギー化は、重要であるものの、一般に肅々とした開発の積み重ねによるものであり、非連続的な省エネルギー化をもたらすものではない。このように、本プロジェクトで確立を目指す省エネルギー化に競合する技術は見当たらない。

3.5.3 目標の達成度

表 3-3.5.3-1 各事業項目別の達成状況

項目	最終目標(2020 年度末)	達成状況
②非順序型実行原理に基づく超省エネルギー型データベースエンジンの構成法の確立	1,000 倍のエネルギー高効率化が見込まれる超省エネルギー型ビッグデータ基盤の非順序型実行原理に基づく超省エネルギー型データベースエンジンの構成法の確立により、実証レベルで200倍以上の高効率化を確認する。	②④で検討した手法を用い、事前評価実験にて、磁気ディスクドライブを用いた場合には138倍以上、フラッシュメモリを用いた場合には55倍以上のエネルギー高効率化を確認
④超省エネルギー型ビッグデータ基盤に於ける超精密性能・消費電力モデルの構築と高度制御手法の確立	1,000 倍のエネルギー高効率化が見込まれる超省エネルギー型ビッグデータ基盤の超省エネルギー型ビッグデータ基盤に於ける超精密性能・消費電力モデルの構築と高度制御手法の確立により、実証レベルで200倍以上の高効率化を実現する設計と実装を完成させる。	②④で検討した手法を用い、事前評価実験にて、磁気ディスクドライブを用いた場合には138倍以上、フラッシュメモリを用いた場合には55倍以上のエネルギー高効率化を確認
⑦エンタープライズへの適用を想定した超省エネルギー型データベースエンジンの設計と実装	エンタープライズにおいて1,000 倍のエネルギー高効率化が見込まれる超省エネルギー型データベースエンジンの設計と実装により、実証レベルで200倍以上の高効率化を確認する。	⑦⑨で検討した手法を用い、事前評価実験にて、磁気ディスクドライブを用いた場合におよそ100倍を達成

⑨エンタープライズへの適用を想定した超省エネルギー型ビッグデータ基盤の超精密性能・消費電力の測定・制御機構の開発と高度制御機構の開発	エンタープライズにおいて1,000 倍のエネルギー高効率化が見込まれる超省エネルギー型ビッグデータ基盤の超精密性能・消費電力の測定・制御機構の開発と高度制御機構の開発により、実証レベルで200倍以上の設計と実装を完成させる。	⑦⑨で検討した手法を用い、事前評価実験にて、磁気ディスクドライブを用いた場合におよそ100倍を達成
⑩エンタープライズへの適用を想定した超省エネルギー型ビッグデータ基盤を用いた先進IoT応用の実証	エンタープライズにおいて 1,000 倍のエネルギー高効率化が見込まれる超省エネルギー型ビッグデータ基盤を用いた先進 IoT 応用の実証(有力ユーザを最優先5業種に拡大し、5 件/年以上の実証実験を行う)。	2019 年度に 5 件実証実験を実施 2020 年度は現時点で 3 件実証実験を実施中
⑪ソフトウェアによる省エネ効果基準の国際標準化活動の推進	2021 年度国際標準化制定に向け、定期的にメンバ国との意見交換を実施し、FDIS(最終国際規格案:Final Draft International Standard)への移行の承認を得て、IS(国際規格:International Standard)の発行を目指す。	2020/5 に CD2(委員会原案:Committee Draft2)承認、 2020/6～2020/11 にて DIS(国際規格案:Draft International Standard)投票実施中

3.5.4 成果と意義

データセンタのエネルギー消費増大に対する懸念は、Nature（2018年9月13日版）にて取り上げられる等、世界的な問題事項として認識されている。具体的には、無線通信の広帯域化(5G/6Gの普及)に伴うデータ量の爆発により、このままでは2050年にはIT機器の消費電力量がデータセンタ、ネットワーク等の各セクタ毎で、現在の200倍になるという試算がある。(出典: 国立研究開発法人科学技術振興機構 低炭素社会戦略センター, “情報化社会の進展がエネルギー消費に与える影響(Vol.1) - IT機器の消費電力の現状と将来予測-,” 平成31年3月, LCS-FY2018-PP-15)

従来のエネルギー消費削減手法はハードウェアの効率化により消費電力を下げるものであるが、本事業で研究開発する手法はIT機器で実行するソフトウェアの処理そのものを極限にまで高効率化することにより、飛躍的な省エネルギー化を目指すものである。これまでに、実証レベルで、記憶デバイスとして磁気ディスクドライブを用いた場合に130倍程度の極めて高い消費エネルギーの利用効率化を達成する技術を開発するという成果を出している。本技術の特徴として、従来のハードウェアの効率化による手法と直行しており、それらと組み合わせることにより更に消費エネルギーの利用効率を高めることができる。つまり、本事業の成果は極めて高い意義を有する。

3.5.5 成果の普及

本事業の実施項目の一つに、「ソフトウェアによる省エネ効果基準の国際標準化活動の推進」を挙げている。これは、ソフトウェアによる省エネ効果について全世界的に啓蒙することを目的の1つにしている。この標準化が発行されることによりソフトウェアによる省エネ効果がより広く知れ渡るところになるとともに、本事業の成果として開発した技術による高い省エネ効果を本基準により世界に広く認知させる。本事業の成果は、日立製作所が製品化することにより普及を図る。また、2018年7月に設立された組織を通じて本事業の成果として生み出されたIPを幅広くライセンスし、これにより日立製作所以外による幅広い普及を目指す。

3.6 研究開発テーマ「省電力 AI エンジンによる人工知能プラットフォーム」

「省電力 GPU をベースとした AI エンジンの研究開発」の研究開発項目では、競合 GPU (NVIDIA 社) に比べて電力性能比で 10 倍以上の目標に対し、21 倍以上の電力性能比の AI エンジン開発を行う事が出来た(同一プロセスノードで比較)。また、成果物を広く IP ライセンス及び FPGA モジュールとして提供を行った。IP ライセンスではデジカメ、テレビ、車載といったコンシューマ・車載製品へ採用が行われを 2021 年度以降の量産製品に搭載する予定である。また、FPGA モジュールについては 100 社以上の企業にて評価や量産に向けた設計・開発が進捗中である。さらに、本成果物をきっかけに、株式会社デジタルメディアプロフェッショナルでは、ヤマハ発動機社との業務資本連携を行い、共同で今後のモビリティ・ロボティクス(パーソナルモビリティ、2 輪、ドローン、農業機械など)分野への技術供用、製品適用を行っていく予定である。

個別の研究開発サブテーマにおける詳細は以下に示す。

3.6.1 研究開発サブテーマ「省電力 GPU をベースとした AI エンジンの研究開発」

3.6.1.1 概要

人工知能による高度なデータ処理の実現と、これに必要な消費電力の低減が IoT における喫緊の課題になっている。本事業では、センサーデバイス側(エッジ側)の効率化・省電力化を図り、既存技術と比較して 10 倍の電力性能比を実現するエッジデバイスにおける人工知能処理の共通基盤技術を開発する。弊社では、省電力 AI 推論学習エンジンの FPGA 実装及び、LSI シミュレーションにより、実システム上で電力性能比 10 倍以上を達成していることを確認する。

(A)アーキテクチャ開発

「推論・学習アクセラレータの開発」は、キックオフ以降ソフトウェアベースのシミュレーションの結果を元に、回路設計を開始する。設計した回路の性能評価用に FPGA 動作環境の立ち上げを 2016 年 10 月から開始し、本環境を用いて 2017 年 3 月末目標でアーキテクチャの方針を決定する。その後 FPGA 動作環境と回路シミュレータによる機能検証を進め、2017 年 9 月末までに FPGA 上での動作確認を行う。また、アプリケーションを用いた性能評価も行い、2018 年 3 月末までに RTL 実装を完了する。

「改善版ストリームプロセッサ実装」は、キックオフ以降既存品をベースとした改善版の回路設計を開始する。設計した回路の性能評価用に 2016 年 12 月末から FPGA 動作環境の立ち上げを開始し、本環境を用いて機能検証及び性能評価を行い、2017 年 3 月末目標でアーキテクチャの方針を決定する。その後、FPGA 上での動作確認を 2017 年 9 月末までに行う。また、アプリケーションを用いた性能評価も行い回路設計に反映し、2018 年 3 月末までに RTL 実装を完了する。

「システムバス技術の開発」は、既存 LSI の評価による現状アーキテクチャの課題抽出を 2016 年 9 月までに行う。本評価から得たフィードバックを元に開発方針を決定し、トライアルとして RTL 実装を開始、2017 年 3 月までに当該技術の確立を行う。その後、当該技術についてはシミュレータ上での動作確認を 2017 年 9 月までに完了、機能検証とストレス検証を行った上で 2018 年 3 月までに RTL 実装を完了する。

「低消費電力技術の開発」は、既存 LSI の評価による現状アーキテクチャの課題抽出を 2016 年 8 月までに行う。本評価から得たフィードバックを元に開発方針を決定し、トライアルとして RTL 実装を開始、2017 年 3 月までに当該技術の確立を行う。その後、当該技術についてはシミュレータ上での電力確認を 2017 年 9 月までに完了、機能検証を行った上で 2018 年 3 月までに RTL 実装を完了する。

上記、2019 年度中に開発した AI エンジンを活用し、より低コストな FPGA で動作させるために、機能特化及び、演算精度最適化を実施する。この、コア実装を 2020 年度中に行い、シミュレータを用いた各技術の確認を行い、2021 年 3 月までに競合と比較し電力性能比で 10 倍以上の効率が得られることを確認する。

(B) 小型 FPGA モジュール試作・評価

ASIC 開発を行った場合、競争力を確保するために先端半導体プロセスを使用した場合、開発コストが高く開発期間が長期となる事から、書き換え可能な半導体である FPGA を用い、開発した AI エンジンの試作及び、モジュール開発、評価を行う。

2019 年 4 月より、(A)の内容を試作モジュール搭載 FPGA 向けに RTL として用意すると同時に、シミュレータによる電力及び、性能評価用の検証環境の立ち上げを行い、本環境を用いて 2021 年 2 月までに試作モジュールで性能の評価を行う。

(C)ソフトウェアスタック開発

事前の性能検証((A)の 10 倍以上の効果確認)向けと(B)の試作モジュール向けに、FPGA 検証環境を利用しソフトウェアスタックの開発を進める。

スケジュールとしては AI エンジン向け SDK 開発を行い、(A)で開発するアーキテクチャの性能評価の準備を進めると共に、ベンチマークソフトや競合情報を収集し、(A)で行われる実装、最適化に必要なソフトウェアや検証用のソフトウェアの開発を行い、平成 33 年 2 月までに試作モジュール上での(A)の技術の有効性を確認する。

3.6.1.2 最終目標と根拠

No	研究開発項目	小項目・研究期間	中間目標 (2018年度末)	最終目標 (2020年度末)
1	省電力GPUをベースとしたAIエンジンの研究開発 (デジタルメディアプロフェッショナル)	(A)アーキテクチャ開発・2016.6～2021.3	シミュレーションを用いて、電力性能比で10倍以上の効率が得られていることを確認する。	開発済みの既存AIエンジンを活用し、低コストなFPGAで動作させるための機能特化、及び演算精度最適化を実施し、競合他社品と比べ、電力性能比で10倍以上の効率が得られるAIエンジンを開発する
2	省電力GPUをベースとしたAIエンジンの研究開発 (デジタルメディアプロフェッショナル)	(B)LSI試作検討・小型FPGAモジュール試作・評価・2016.6～2021.3	LSI試作検討のためSoCベンダの選定を行い、SoCの仕様の検討が完了しており、設計作業を開始している。	開発したAIエンジンの試作、及びモジュール開発を小型のFPGAを用いて行い、本モジュールを用いた性能確認用の検証環境も構築する

3	省電力GPUをベースとしたAIエンジンの研究開発（デジタルメディアプロフェッショナル）	(C)ソフトウェアスタック開発・2016.6～2021.3	SoC開発に向けて、事前の性能検証((A)の10倍以上の効果確認)のためのソフトウェアを準備する。また、当該ソフトウェアは既存のボードを活用して動作を確認する。	ベンチマークソフトや競合情報を収集し、AIエンジンの実装・最適化に必要なソフトウェア、及び検証用のソフトウェアの開発を行い、開発したアーキテクチャの有効性を確認する
---	---	-------------------------------	--	--

近年、ビックデータを用いた人工知能による処理を行う推論・学習の分野では、グラフィックスプロセッサ(GPU)が GPGPU(General Purpose GPU)として処理のアクセラレーションとして多く使われ、自動運転、囲碁対局などの様々な局面で、成果を挙げつつある。

これまで株式会社デジタルメディアプロフェッショナル(DMP)では、低消費電力かつ高性能な GPU をゲーム、モバイル機器などのコンシューマ機器分野に提供することで、省エネルギーかつ高性能なデバイスの普及に努めてきた。低消費電力と高性能の相反する要件を満たすために、DMP では創業以来、アルゴリズム上の工夫や、よく使う機能のハードウェア化、ハードウェアによる自動クロック制御機構などの技術開発を推進すると共に、ファブレス半導体ベンダとして CPU、GPU、メディア機能を統合した大規模 System on Chip(SoC)の開発を行ってきた(例:2012-2014 年度 NEDO 省エネ部助成の「低消費電力グラフィックスプロセッサ開発」プロジェクト)。

GPU の応用拡大が進む一方、現在多くの IoT 認識処理の実現に使用されているプロセッサ技術、ソフトウェアスタック技術は、国外からの技術をベースとしており、プロセッサなどの処理プラットフォームのコア技術を国内で開発、高度化させていく必要がある。特に海外技術においては、省電力性よりも高性能が重視されている傾向があり、これまで重要視されていなかった省電力性と高性能を両立する技術開発を行うことが、日本産業の競争力強化、発展につながると考える。

アーキテクチャの選択について、一般的に、IoT 認識処理では DSP コアベースと GPU コアベースのアプローチがある。(下図)



図 3-3.6.1-1 IoT 画像認識アーキテクチャ

DSP コアベースのアプローチでは固定小数点演算をベースとし、信号処理に特化したプロセッサを用いる。本アプローチは、ゲート数が小さく低消費電力な点が利点として挙げられるが、標準 API への対応が難しく、既存ライブラリを動作させるためには、新たに移植作業が必要となり、プラットフォームとしての標準化が難しい。一方、GPU コアベースのアプローチでは、GPU コア内部のシェーダプロセッサを活用することで、浮動小数点演算を高速化することが可能となる。GPU は元々グラフィックス描画処理の高速化が主な用途であったが、高速なテクスチャアクセスや大量の演算器をグラフィックス処理以外にも活用する GPGPU のトレンドが急速に広がっており、これに伴い様々な画像処理、画像認識に適用出来る API(例:OpenCL)が整備されてきている。API が標準化されることで、プラットフォームとしての標準化も容易に可能である。

以上の背景から、人工知能プラットフォーム向けの推論学習エンジンとして、今回省電力 GPU をベースとした AI エンジンの研究開発を行うことを選択した。

前述の通り、DSP や GPU を用いた AI、画像認識技術の開発が全世界規模で進んでいるが、これらプラットフォームで使われるプロセッサは海外の IP コア技術を使用している。一方 DMP は、GPU コアを独自の技術で開発し、国内のコンシューマメーカや産業メーカ、ゲームベンダに提供している、日本で唯一の最新のグラフィックスやコンピューティング API に対応した GPU コアを開発、ライセンス供給が可能なメーカである。本プロジェクトでは、実績のある GPU 内浮動小数点对応シェーダプロセッサを活用し、人工知能プラットフォーム向けエンジンの開発を行う。また本プラットフォームのソフトウェア向け切り口としては標準 API のサポート(例:OpenVX など)を行う。

なお、近年の画像処理や画像認識においては、GPU による画像処理、認識処理の高速化のアプローチに加え、FPGA を用いた実装も増えており、場合によっては GPU を上回る性能を出すケースも見受けられる。

一般 FPGA の特徴としては、ハードウェア実装後もハードウェアの中身をプログラミング可能といった点が挙げられる。このため、最適なハードウェアを処理の内容に応じて専用実装することで、特定の処理については、GPU に比べ高速に動作可能な場合がある。過去には FPGA の場合、機能を詰め込むためには、より大きな FPGA を用いることが必要で 10～100 倍程度のコスト高になることや、性能対電力の比で考えた場合 GPU などの LSI に劣る場合が多かったが、近年では半導体プロセスの微細化に伴う低コスト化、低消費電力により、エッジデバイスにおける量産アプリケーションでの採用事例が増えつつあり、平成 30 年度までの委託事業において、FPGA ベースの量産試作の実績ができつつあった背景もあり、より高効率な AI エンジン、特に小型化を行うことで、FPGA でも低コストに実現できるコア開発を推進する。また、将来、ASIC 化の要望が市場から来た場合のために、ASIC 向けのコア設計及び、性能・消費電力評価を行い、本助成事業の成果物を自社による投資で、タイムリーに ASIC を開発するための準備を進める。

3.6.1.3 目標の達成度

No	研究開発項目	小項目・研究期間	中間目標 (2018年度末)	最終目標 (2020年度末)	目標達成度(%)及び内容
1	省電力GPUをベースとしたAIエンジンの研究開発(デジタルメディアプロフェッショナル)	(A)アーキテクチャ開発・2016.6~2021.3	シミュレーションを用いて、電力性能比で10倍以上の効率が得られていることを確認する。	開発済みの既存AIエンジンを活用し、低コストなFPGAで動作させるための機能特化、及び演算精度最適化を実施し、競合他社品と比べ、電力性能比で10倍以上の効率が得られるAIエンジンを開発する	<u>達成度150%</u> 電力性能比については同一プロセスノード使用時、NVIDIA社のGPUに比べて21倍以上の効率を得られることがシミュレーション及びFPGAによる動作により確認。また、IPライセンスの形態で、デジカメ・テレビ・車載アプリケーション向けに展開済。
2	省電力GPUをベースとしたAIエンジンの研究開発(デジタルメディアプロフェッショナル)	(B)LSI試作検討・小型FPGAモジュール試作・評価・2016.6~2021.3	LSI試作検討のためSoCベンダの選定を行い、SoCの仕様の検討が完了しており、設計作業を開始している。	開発したAIエンジンの試作、及びモジュール開発を小型のFPGAを用いて行い、本モジュールを用いた性能確認用の検証環境も構築する	<u>達成度100%</u> FPGAモジュールとしては19万8千円の評価キットの開発を行い、多くの企業に提供を実施。その後、小型モジュールについては、いくつかの安価(2-3万)なFPGAボード上で動作確認を行い、今後製品として各社に提供を検討中
3	省電力GPUをベースとしたAIエンジンの研究開発(デジタルメディアプロフェッショナル)	(C)ソフトウェアスタック開発・2016.6~2021.3	SoC開発に向けて、事前の性能検証((A)の10倍以上の効果確認)のためのソフトウェアを準備する。また、当該ソフトウェアは既存のボードを活用して動作を確認する。	ベンチマークソフトや競合情報を収集し、AIエンジンの実装・最適化に必要なソフトウェア、及び検証用のソフトウェアの開発を行い、開発したアーキテクチャの有効性を確認する	<u>達成度120%</u> 上記、(A)(B)を動作させるソフトウェアスタックをSDKとして整備するとともに、本SDKをGithub上で公開し、ソフトウェア開発環境を一般に公開を実施。また、TensorFlow、Caffe、Kerasなどの業界標準のAIソフトウェア開発フレームワークをサポート。

3.6.1.4 成果と意義

省電力GPUをベースとしたAIエンジンの研究開発

本研究開発項目では、ディープラーニングの主要なアルゴリズムを高速化、高効率で処理を行うDNNアクセラレータの研究開発、ソフトウェアスタック開発、ベンチマークの実施、ASIC開発の為の見積もりを行った。また、ベンチマークに用いる走行画像データベースの整備も実施した。さらに、IoT横断プロジェクト全体の成果最大化活動として、リーフレット作成・ホームページ作成、セミナーの実施などを行った。

以下、各項目の詳細について述べる。

(A) 高効率ディープラーニングアクセラレータの研究開発

近年のディープラーニングを中心とした人工知能技術の進化に伴い、エッジ/クラウド分野において、多くのハードウェアアクセラレーション手法が提案されている。特にエッジコンピューティング向け推論ハードウェアアクセラレーションの手法としては、NVIDIA Jetson TX2[1]のように GPU をベースにした手法、回路サイズを小さくするために精度を下げたディープラーニングネットワークを実装する手法、DSP の様なプロセッサを複数並べて実現する手法などが提案されている。

今回、これらアプローチに対して、DMP が実装している半精度浮動小数点演算をベースにしたエッジコンピューティング向け推論ハードウェアの研究開発を行い DV700 コアとして事業化を推進している。

(A1) ディープラーニングアクセラレータ DV700 概要

DV700 は、エッジコンピューティングにおける推論ハードウェアとして設計した物で、その研究開発成果は IP として設計データを顧客にライセンスしている。実際の実装先は FPGA、ASIC などに対応しているソフトマクロであり、顧客は標準の合成、配置配線フローを用いて実装する事が出来る。

DV700 はコンボリューション演算部、プーリング処理部、アクティベーションファンクション、全結合演算部、内部共有メモリ、バスインターフェイス、そして制御用の CPU である RISC-V ISA のプロセッサからなる。

また、ソフトウェアスタックとしては、Caffe、Tensor Flow、Keras などよく使われるディープラーニングフレームワークから Export した学習済ネットワークを DV700 向けに変換するツールを用意しており、ユーザが使いたい学習済ネットワークを読みこませて、推論処理をさせる事が出来る。

標準のコンフィギュレーションでは、Convolution 内に 576 個の MAC、内部シェアメモリとして 640KB の容量を実装している。

学習済ネットワークとしては、GoogleNet、MobileNet、SqueezeNet、ResNet、SegNet、SSD、Yolo など、多く使われている画像認識に関わる主要なネットワークをサポートしている。また、ネットワークの切り替えにあたっては、ハードウェアを変更すること無く、RISC CPU 上の制御プログラムを変更するだけで切り替えられる。

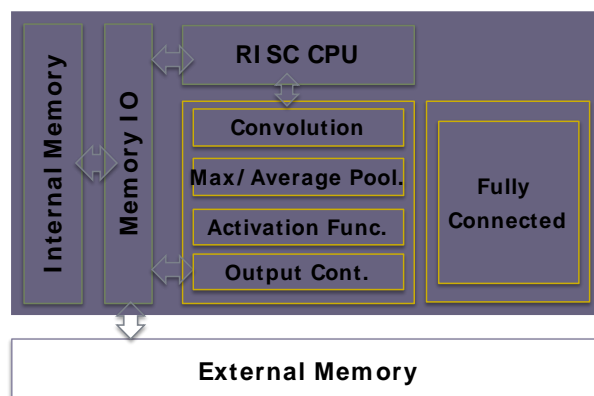


図 3-3.6.1-2 DV700 ブロックダイアグラム

また、コアの小型のため、ディープラーニングの処理精度を最適化するために Posit arithmetic の検討を行った。

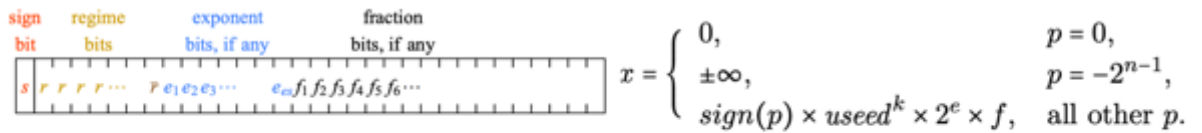
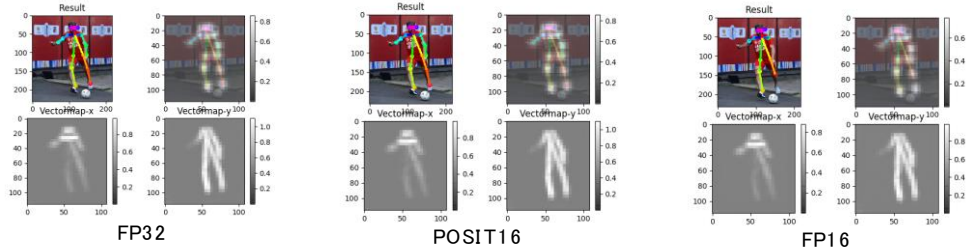


Figure 2. Generic posit format for finite, nonzero values

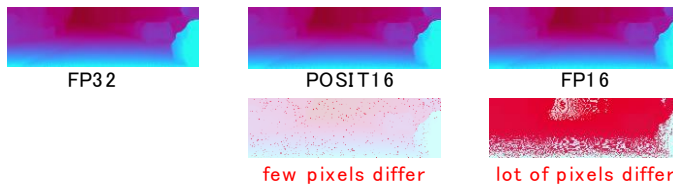


これは、上図のようにこれまでの浮動小数点フォーマット(符号部、指数部、仮数部)に加えて Regime ビットを加えることで、値の表現できる範囲を増やすフォーマットである。本フォーマットの実装検討・精度検証を行った。本フォーマットを用いることで 16 ビット幅のフォーマットで 32 ビット浮動小数点での演算相当の精度を得られることを確認した。これにより、Pose/Depth 推定といったアプリケーション(ディープラーニングネットワークモデル)でのエリア効率化を達成した(実行例: 下図)。

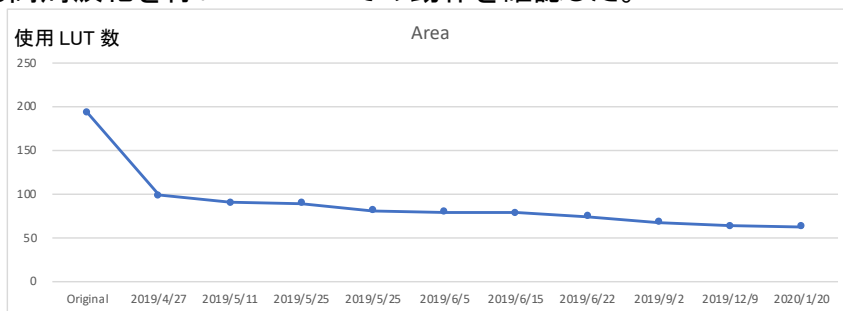
•tf-pose-estimation:



•Depth from Video:



また、DV700 コアの改善活動も行い、コアサイズ(エリア)の削減(下グラフ)とともに、FPGA 環境でも高周波化を行い 420MHz での動作を確認した。



(A2) DV700 の FPGA 実装

今回、DV700 コアを Xilinx 社の評価ボードである ZC706 に実装し評価した。本ボード上には Xilinx 社の 350 ロジックセルを搭載する ARM CPU 内蔵の SoC 型 FPGA である XC7Z045 が搭載されている。なお、内蔵 ARM は、画面生成、IP コアの制御用に使用しているがそのほかのディープラーニング処理は DV700 IP コア上で行っている。

(A3) DV700 性能評価

前章の環境で主要なディープラーニングネットワークアルゴリズムについて評価を行った性能の結果を表 3-3.6.1-1 に示す。

表 3-3.6.1-1 DV700 性能評価の結果

Deep learning network	Processing time [ms]@79MHz	Frame par second
VGG16	589.3	1.7fps
ResNet-50	182.0	5.5fps
GoogleNet	77.7	12.9fps
SSD	64.1	15.6fps

FPGA の動作周波数は 79MHz となっているが、Convolution などの演算部は周波数改善の余地がある。また、論理合成を行い、電力シミュレーション及び処理性能を測るシミュレーションを行い、競合との Power-Performance の評価を実施し、ASIC 化した場合 20 倍以上の動作効率が得られることが確認できた。

表 3-3.6.1-2 ASIC 化した場合の動作効率

Product	FPS	FPS/W
DMP	116	173.8
NVIDIA Tegra-X1	25	8.3

(DMP 条件: TSMC28 HPC+ @750Mhz 実装時)

また、ASIC 化の準備作業として ASIC コスト見積もりを行うとともに、ユーザ開拓を進めた。

(A4)DV700 搭載モジュールボード C1 の開発

DV700 の評価にあたっては、Xilinx 社標準ボードで当初は評価を行ったもののボードのサイズが大きいため顧客候補のセットでの PoC の推進を加速するために FPGA モジュールの開発を行い、顧客での評価、PoC や展示会でのデモの容易化を行った。

今回開発したボードの外観、仕様は以下の通りである。

表 3-3.6.1-3 FPGA モジュール仕様及び外観

FPGA device	Intel Arria V SX SoC (5ASXBB3D4F35I5N)
CPU	Dual-core ARM Cortex-A9
AI processor	DMP ZIA™DV700
Memory	2GB (DDR3L-1066)、 4.2GB/s
Storage	16GB (microSD)
Power	5V DC
Dimensions	90mm x 90mm



周辺インターフェイスボードからは画像出力を行う HDMI/DisplayPort 端子、カメラを繋げるための US3.0 端子に加えて、JTAG / I2C / GPIO 40pin / LVDS input(optional)らの周辺 I/O を出すことで実アプリでの PoC 向けに使用できるようにした。

(A5)ソフトウェアスタックの開発

DV700 コア搭載の FPGA ボードや IP コアとして実際のアプリケーションで使う際は、使いやすい開発環境、ソフトウェアスタックの整備が重要である。

本研究開発では、Keras、Caffe、TensorFlow といった一般的によく使われているディープラーニングのフレームワークをサポートする SDK の開発、FPGA ボード上の OS ポーティングを行い、ディープラーニングアクセラレータのユーザに提供を行っている。

この SDK には、ディープラーニングのアルゴリズム(ネットワーク)の DV700 向け変換ツール、サンプルディープラーニングモデル、ドキュメントが含まれる。

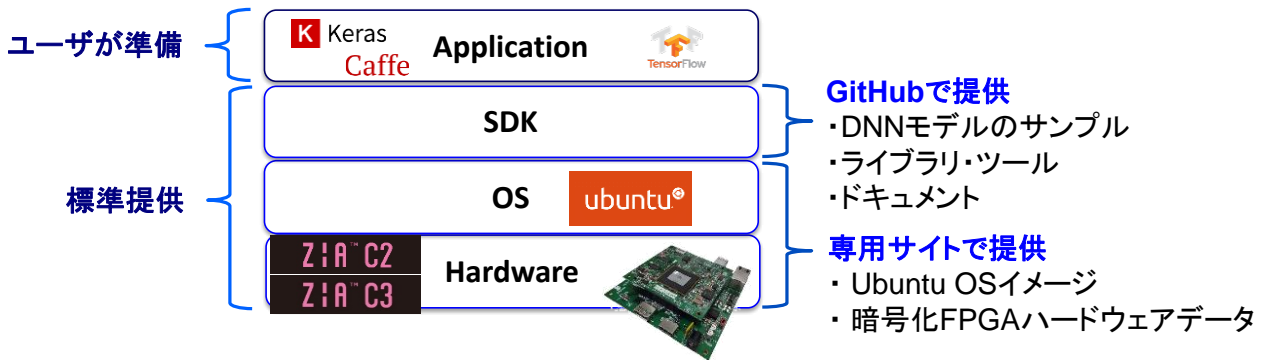


図 3-3.6.1-3 ソフトウェアスタック

また、これら SDK を Github 上に公開することで、ユーザの裾野を広げる施策を行った (<https://github.com/DigitalMediaProfessionals> にて公開)。

また、本 TensorFlow に加えて、画像処理高速化向け API である OpenVX のインターフェース実装、サンプルネットワーク(アルゴリズムモデル)の拡充を行い、ユーザにおける評価や量産に向けた製品開発を推進するためのソフトウェアスタックの開発を実施した。

3.6.1.5 成果の普及

開発を行った IP 及び FPGA モジュールを用いて、添付資料にある外部発表などを通して成果の社会実装の推進を行った。

事業の初期段階から、アドバイザリ委員会や NEDO 成果最大化委員会等との議論を通して、出口戦略を明確化すると共に、社会情勢や国内外の研究開発状況を常に踏まえつつ、常に情勢に適応して計画を見直しつつ、スピード感をもって研究開発を推進する。

以下に、具体的な取り組み例についてまとめる。

研究開発から社会実装までの一貫した戦略(技術、知財)の策定	実用化・事業化に向けた行動計画を策定、実施者と NEDO 等関係者間で共有する。さらに本事業全体打合せ等での議論を通して、適時見直しを行いつつ成果最大化に取り組む。
最新動向の調査	関連分野における国内外の会議・ワークショップ等に参加し、最新動向について調査を行う。

標準化・共通化の促進	<p>OpenGL、OpenCL などメディア、コンピューティング分野の業界標準 API を策定している Khronos Group の標準を活用する事で、アプリケーション、ミドルウェア、ツールなど当該エコシステムを活用する。また、追加で必要となる機能などについて、標準化に向けた提案をおこなう。</p> <p>開発した設計プラットフォームのライブラリは、より標準化が進むと判断できた場合、事業終了後にオープンソース化し、様々な AI アルゴリズムへの対応や保守の効率化を行い、組み込みソフトの標準化を推進している Toppers プロジェクト等で標準化を図る。</p> <p>共通基盤技術として異種エンジン統合クラウドに関する標準仕様の策定、及び参照実装を開発する。さらに事業終了後にコンソーシアムを設立し、普及・推進活動を開始する。</p>
国際連携の推進	<p>インテル、NVIDIA、AMD、Apple などが加盟するメディア、コンピューティングの業界標準を策定している Khronos group と連携し、成果物の展開を図る。なお、DMP 社は当該団体のワーキンググループチェアをつとめるなど、つながりが深いいため、業界標準化だけでなく、マーケティング活動など様々な方面での連携を進める。</p>
実施者間での研究開発成果(技術、知財)の共有・連携によるシナジー効果の創出	<p>事業者の全体会議を開催し、サブテーマ間での成果の共有・連携を推進する。また、プロジェクト内の他テーマ、具体的には「組合せ最適化処理に向けた革新的なアニリングマシンの研究開発」「高速ストレージクラスメモリを用いた極低消費電力ヘテロジニアス分散ストレージサーバーシステムの研究開発」等との連携も積極的に進める。</p> <p>また、2018 年度は、横断プロジェクトの各テーマの成果が出つつある状況にあるので、横断プロジェクト全体の水平連携によるシナジー効果創出を推進するとともに、当該成果等に対する市場からのフィードバック情報を獲得し、その後の研究開発推進に反映することで、本研究開発テーマは勿論のこと、横断プロジェクト全体の事業成果の最大化と普及促進を試みた。</p>
ユーザ企業との連携促進に係る支援	<p>アドバイザリ委員会の運営・活動を通して、成果をどのようにユーザ企業に繋げるか検討する。</p>
本プロジェクトの情報発信	<p>成果を国内外に向けて広く周知するために論文発表を行う。さらに 3 年目には、プロジェクトの成果報告と実用化に向けたパートナー作りを目的としたワークショップを開催する。</p>

3.6.2 研究開発サブテーマ「推論エンジンの高効率設計・実装を可能にする設計プラットフォームの研究開発」

3.6.2.1 概要

本研究項目では、原子移動型スイッチを利用した FPGA やルネサス社再構成可能チップやその他の低電力 FPGA 等を活用し、低電力、低レイテンシな処理を必要とする IoT 機器を、従来の RTL 設計よりも圧倒的な効率(100 倍)で設計できる設計プラットフォーム(愛称:N3)を開発している。本設計プラットフォームでは、既存の AI プラットフォーム(CAFFE 等)を活用

した学習結果から、推論のみを実施する FPGA 等の回路図とその FPGA をアクセラレータとして使う AI プログラムを作成する。

IoT 機器ではコスト、筐体サイズ(=使える電池)などの性能(推論精度、レイテンシ、電力)以外のシステム制約が大きいいため、高効率に FPGA にマッピングするハードウェア回路図を作成でき、何度も繰り返してハードウェア回路図を作成・評価して、最適なハードウェア回路図を採用できる設計プラットフォームが求められており、そのニーズに応えるものを目指した。本報告書対象の 2016 年度～18 年度においては、設計プラットフォームのプロトタイプを作成し、1 つの例題に対して適用することで、最終目標達成の見通しを立てるとともに、2019 年度～20 年度に行う実証実験とツールの汎用化の準備となることを目指した。

3.6.2.2 最終目標と根拠

No	研究開発項目	小項目・研究期間	中間目標 (2018年度末)	最終目標 (2020年度末)
1	④-1 低電力FPGA対応 高位合成ツールの研究開発(日本電気)	H28.6～H33.3	EVモータ制御を対象として、汎用のFPGAボードを利用して、AIアルゴリズムの選択からIoT機器の試作実装までの設計開発期間を1/100目指し、高位合成をこの新しい設計プラットフォームに適したものにすることによってその削減効果の8割に貢献する。	中間目標で実現したプラットフォームを、原子移動型スイッチFPGA等の低消費電力FPGAを利用して、アプリケーションに適用し、同一設計期間で手設計をしたものと比較して、電力効率1/2(2倍の設計最適化)を目指す。その最適化効果の8割に貢献する。
2	④-2 推論機能の導入のためのツール及びAIライブラリの研究開発(兵庫県立大学)	H28.6～H33.3	EVモータ制御を対象として、汎用のFPGAボードを利用して、AIアルゴリズムの選択からIoT機器の試作実装までの設計開発期間を1/5目指す。但し、利用可能とするアルゴリズム数と特徴量数等を限定する。	中間目標で実現したプラットフォームを、原子移動型スイッチFPGA等の低消費電力FPGAを利用して、アプリケーションに適用し、同一設計期間で手設計をしたものと比較して、実施項目④全体で、電力効率1/2(2倍の設計最適化)を目指す。但し、利用可能とするアルゴリズム数と特徴量数等を限定する。

3	④-3 システムレベル設計ツールと基本ライブラリ(ランタイム)の研究開発(～H32.3:名古屋大学, H32.4～:南山大学)	H28.6～H33.3	汎用のFPGAを対象としたシステムレベル設計ツールと基本ライブラリのランタイム部分を完成させて、実施項目④-2として開発したAIライブラリを用いて、IoT機器の試作実装までの設計開発期間1/100を目指す。	原子移動型スイッチFPGA等の低消費電力FPGAを対象としたシステムレベル設計ツールと基本ライブラリの拡充を行い、中間目標と同様のアプリケーションに適用し、汎用FPGAと比較して、実施項目④全体で、電力効率1/2(2倍の設計最適化)を目指す。
---	---	-------------	---	---

3.6.2.3 目標の達成度

No	研究開発項目	目標達成度(%)および内容
1	④-1 低電力FPGA対応高位合成ツールの研究開発(日本電気)	目標達成度100% C/C++言語を書き換えることなく合意合成ツールに入力し、FPGA化ができるようにした。さらに、AIライブラリなどを利用してAIをFPGA化することにより、設計開発効率を1/100とすることに成功した。 また、定数伝搬やメモリのマージ機能などC/C++記述を高位合成により最適化する機能を実現することによりAIライブラリの電力効率を1/2とすることに成功した。
2	④-2 推論機能の導入のためのツール及びAIライブラリの研究開発(兵庫県立大学)	目標達成度100% 定数伝搬等により電力効率1/2となったCWBのC++言語記述をAIツールで扱えるようになったため、結果的に電力効率1/2を達成した。また、AIプログラム生成ツールによりモデルのパラメタを自動埋め込みしているため、設計開発期間を1/100にすることが出来た。
3	④-3 システムレベル設計ツールと基本ライブラリ(ランタイム)の研究開発(～H32.3:名古屋大学, H32.4～:南山大学)	目標達成度100% 定数伝搬等により電力効率1/2となったCWBのC++言語記述をシステムレベル設計ツールから扱えるようになったため、結果的に電力効率1/2を達成した。また、プロセッサやメモリとのインターフェースは基本ライブラリを用いた記述が可能であるため、設計開発期間を1/100にすることが出来た。

3.6.2.4 成果と意義

④-1 低電力FPGA対応高位合成ツールの研究開発

本細目では、本プロジェクトで開発するAIライブラリそのものを高位合成し、C・C++記述のチューニングノウハウを蓄積し、それをツール化することを目指す。また、システムレベル

設計ツールとの連携を行い、CPU との通信等も簡便に行えることを目指した。具体的な成果は以下のとおり。

(A)ソフトウェア向き C/C++ 記述の修正を最小限とし、高位合成可能とする改良

本開発の基とした高位合成ツールは、ANSI-C で電子回路を設計するために C を記述するというスタンスをとっており、ANSI-C にビット幅指定やビット抽出やクロックタイミングの記述、入出力端子の指定、並列度、構造記述等、ANSI-C を拡張した言語(BDL または、Cyber-C 言語)を利用してきた。しかし、機械学習分野へ展開する場面では、従来 CPU で動作していた C/C++記述をそのまま、合成して電子回路化する必要がある。

これまで、C 記述からの自動インタフェース生成機能や C++ 記述サポートのための解析ツールの開発を行い、プロトタイプとして、関数レベルの並列化、パイプライン化機能を開発してきた。今年度は、これまでの検討に基づき、関数レベルの構造化記述表現形式を拡張し、広範囲な AI 回路構成のサポートを可能とした。また、AI 記述で重要となるストリーム処理のインタフェースをサポート、配列記述からストリーム処理への自動変換機能の開発を行った。さらに、より広範囲な C++ 記述のサポートを目指し、C++11 文法のサポート、C++ 標準ライブラリ(STL)における一部のクラス(std::min, std::max, std::array, std::for_each 等)のサポートを実施した。

(B)AI ライブラリの合成回路品質を向上させる機能の開発

合成回路品質の良い(低電力、低レイテンシ)回路記述を生成するための開発として、FPGA の DSP リソースの構造を最大限に利用する積和演算ライブラリを開発した。従来の RTL 設計では、各社の FPGA の DSP の構造を理解して、回路の仕様に合わせて適切な構造記述を作成する必要がある。また、AI 処理は最適な回路構成を探索するためには、ビット幅やチャンネル数など、多数のパラメタを探索する必要がある。このため、手作業で多数の RTL を作成することは、設計期間という観点では非常に工数を要するため、現実的ではないと考えられる。今回のライブラリサポートにより、C 記述からこれまでの高位合成において生成することができなかった複数の DSP を考慮した高性能なマッピングを実現可能とした。

また、畳み込み演算ライブラリを開発した。この処理は AI 処理における基本処理であり、本ライブラリの提供により、AI 処理を C/C++ で容易に作成できることが期待できる。

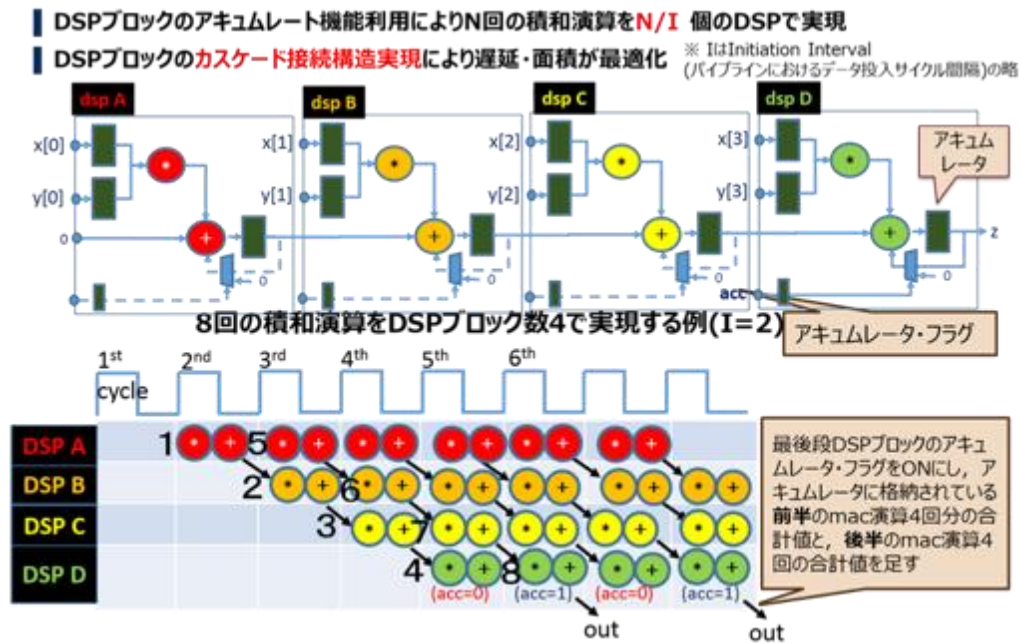


図 3-3.6.2-1 積和演算ライブラリが、FPGA 内蔵の限られた数の DSP ブロックの
パイプライン化を容易化することを示した図

(C) 合成回路の機能と性能の検証を容易とする検証ツールの開発

C/C++ 記述からの高位合成フローにおいて、生成した回路記述を容易に検証できるツールのプロトタイプを開発した。本開発の基とした高位合成ツールでは、これまでサイクルレベルで回路を検証するツールや RTL のテストベンチを自動で生成するツールを開発してきた。しかしながら、これらのツールは C のアルゴリズムレベルの検証結果であるテストベクタを必要とするため、ユーザーがテストベクタを用意する必要があった。今年度は、合成用の C/C++ 記述に加えて、C のアルゴリズムレベルのテストベンチ記述から、自動で検証用のテストベクタを生成するツールのプロトタイプを開発した。これにより、高位合成ツールの設計検証環境(GUI)から、ワンボタンで C 記述の合成、検証がシームレスに実行できるようになり、設計・検証期間の削減が期待できる。

(D) 電力量を削減する高位合成の最適化機能開発

Convolutional Neural Network(CNN)のハードウェア化では、電力使用量を削減する上で、メモリアクセスを削減することが重要である。メモリアクセスの削減という観点では、1 ビット配列をマージして 8 ビットメモリにマッピングしたり、8 ビット配列をマージして 32 ビットメモリにマッピングするなどにより、メモリアクセス回数を削減することが可能である。BNN の場合には、学習済みの重みデータを 1 ビットのデータとして保持することがあるため、これらをマージして保持することでメモリアクセス回数を削減して、全体のリソースを削減しつつ、高速に動作させることが可能となる。RTL 設計する場合には、このようなメモリアクセスの削減を手で実施していたが、高位合成では、C 言語で記述された配列から自動でメモリアクセスを削減する変換機能を実装した。例えば、8 ビット配列であれば、以下のような変換を高位合成で自動化した。

・ビットマージ変換前

```
signed mem(0:8) a1[256]/* Cyber array_bit_merge = m1,  
                        @port_org_name = a1[#] */; /* line# test.bdl:11 */  
signed mem(0:8) a2[256]/* Cyber array_bit_merge = m1,  
                        @port_org_name = a2[#] */; /* line# test.bdl:12 */
```

・ビットマージ変換後 (マージ後の変数の tno が 3 の場合)

```
signed mem(0:8) a1[256]/* Cyber @array_bit_merge = 3:0 */; /* line# test.bdl:11 */  
signed mem(0:8) a2[256]/* Cyber @array_bit_merge = 3:8 */; /* line# test.bdl:11 */  
mem(0:16) m1[256]/* Cyber @port_org_name = a1[#]:a2[#] */; /* line# test.bdl:11,12 */
```

Binary Neural Network(BNN)の場合には、1 ビットの重みデータをメモリから取得することが必要になるが、1 ビットのままメモリアクセスしては、メモリアクセス回数が増えて、電力使用量も大きくなることが想定される。1 ビットの重みデータを入力チャネル、出力チャネル分マージして保持することで、メモリアクセスを削減し、かつ、リソースの使用量も削減することができる。

④-2 推論機能の導入のためのツール及び AI ライブラリの研究開発

本細目では、推論機能アルゴリズムを AI ライブラリとして実現し、クラウドで作成した学習パラメータと合わせて AI プログラムを生成するツール等(AI ツール群)を実現し、実施項目④-3で作成するシステムレベル設計ツールと併用することで、AI プログラムの開発期間の短縮化と低レイテンシを実現する。具体的な成果は下記のとおり。

(A) AI プログラム生成ツール(AI ツール群1)、AI ライブラリ

AI プログラム生成ツールは C 言語による推論機能アルゴリズムプログラムを生成する。クラウドで AI プログラムの学習を行い、その学習結果から推論機能アルゴリズムの C プログラムを生成する。現在は、AI プログラムとして Convolution Neural Network(CNN)を対象としている。CNN は学習結果から各層のパラメータを読み込み、推論を実行する。CNN の各層に対応した関数を、昨年度開発した量子化したものを AI ライブラリとして用意している。AI ライブラリは④-3 のシステムレベル設計ツール、④-1 で作成した高位合成ツールを有効利用したものとなっている。AI プログラム生成ツールは AI ライブラリ中の関数に、パラメータを学習結果から抽出して、関数に埋め込み、認識プログラムを生成する。CNN のフレームワークとして、著名なフレームワークの一つである Caffe を採用し、学習結果は prototext 形式を採用している。

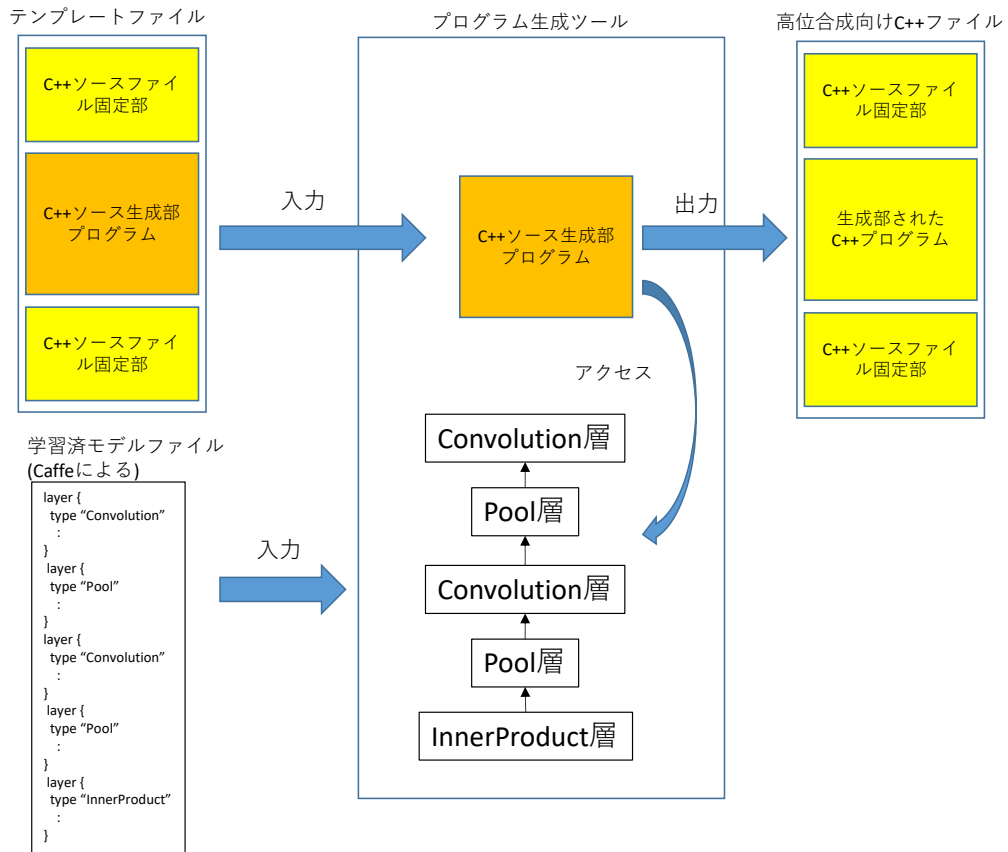


図 3-3.6.2-2 AI プログラム生成ツールの概要

また、本ツールで層情報追加変更機能を追加し、Convolution Neural Network の学習済みモデルのネットワーク層に量子化時にビット幅を指定、変更ができるようにした。

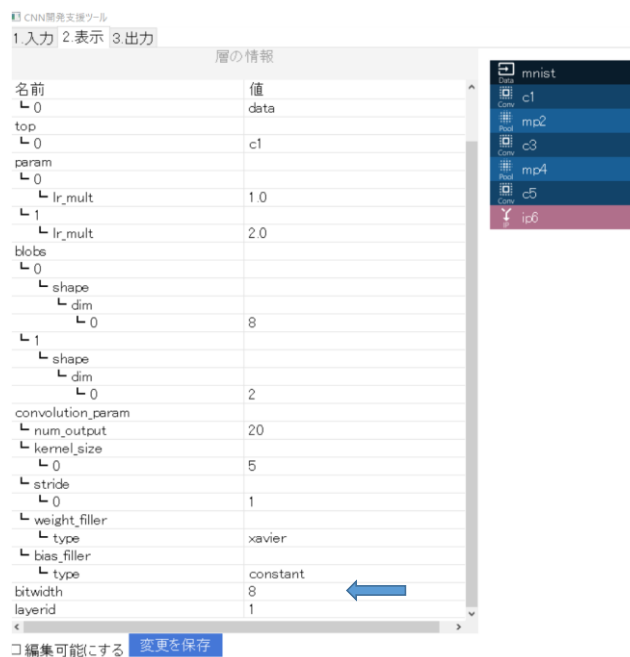


図 3-3.6.2-3 AI プログラム生成ツールで量子化ビットの指定

(B) アルゴリズム選択ツール(AI ツール群2)

AI 推論機能アルゴリズムプログラムは膨大な量の浮動小数点パラメタとそれらを用いた算術演算に依存しており、組込みシステムのような資源の限られた環境で実行するには消費電力、メモリ使用量、計算量等が課題となる。そのため膨大な量の量子化などの手法でパラメタを圧縮し、効率的な演算を行う事が必要不可欠である。本ツールはメモリ使用量を削減し、効率的な演算を行うために多数のパラメタを圧縮し、推論精度を測定する事でパラメタ圧縮に伴う影響を事前に評価し、アルゴリズムと実装方法の選択を支援する。例えば、CNN のネットワークの一つである AlexNet の各層(C_1, \dots, C_5)を P_{INTEGER1} 他の手法で圧縮した場合の、認識精度とそのときのメモリ使用量を提示することができ、認識精度とメモリ使用量のトレードオフが分かる。

	Layer	P_{INTEGER1}	P_{INTEGER2}	P_{INTEGER3}	sign
精度	C_1	51.5 %	51.5%	51.4%	39.3%
	C_2	71.5%	71.3%	71.6%	65.8%
	C_3	71.4%	71.8%	71.1%	66.6%
	C_4	72%	72.1%	71.3%	66.9%
	C_5	77.8%	77.7%	77.9%	78.4%
メモリ使用量		16.94MB	7.89MB	12.6MB	4.6MB

図 3-3.6.2-4 アルゴリズム選択ツールの実行結果

④-3 システムレベル設計ツールと基本ライブラリの研究開発

本細目では、本設計プラットフォームの中の高位合成技術を活用したシステムレベル設計ツールと、IoT ソフトウェアから利用する基本ライブラリを作成する。具体的な成果は以下のとおり。

(A) DNN の推論器向け高位合成用 C 記述の検討

システムレベル設計ツールを用いて、細目④-2の AI ツール群や AI ライブラリから効率のよい FPGA を生成するための高位合成用 C 記述の検討を手書き数字推論(NUM-class10)や RGB 画像推論プログラムを対象に実施した。実施の結果、ハードウェア向きの記述に変更することで大幅な高速化が実現できた。また、下記の(2)で実施した通信機構の評価を実施し、効果を確認した。

(B) システムレベル設計ツールの DNN 向け通信機構の実現

メモリが少ない小規模な FPGA 向けの通信機構や、並列化を容易化するための通信機構を検討し実現した。具体的には、バーストリードでプリフェッチ可能な FIFO であるプリフェッチリード FIFO や、ハードウェアモジュール間で 1:n の FIFO 通信を実現するマルチチャネル BC(Blocking Channel)を実現した。また、これらの通信機構をシミュレーションするための機構を実現した。

(C) 本研究テーマにおける AI アクセラレータチップへの対応

3.6.1 項の研究開発サブテーマにおいて、将来的にチップ化する可能性のある AI アクセラレータを FPGA にマッピングしている。その AI アクセラレータがサポートしている FPGA(Arria10SoC)上で、本システムレベル設計ツールが生成したソフトウェアとハードウェア

アが動作するよう拡張した。具体的には、バスとして AXI バスに対応し、プリフェッチリード FIFO 等で用いるバースト通信も AXI バスに対応させた。また、Linux が動作する ARM プロセッサと、本ツールにより生成したソフトウェアが動作する Nios2 プロセッサ間の通信機構を実現した。これにより AI アクセラレータ上の Linux のアプリケーションから本設計ツールで作成したシステムを駆動することが可能となった。

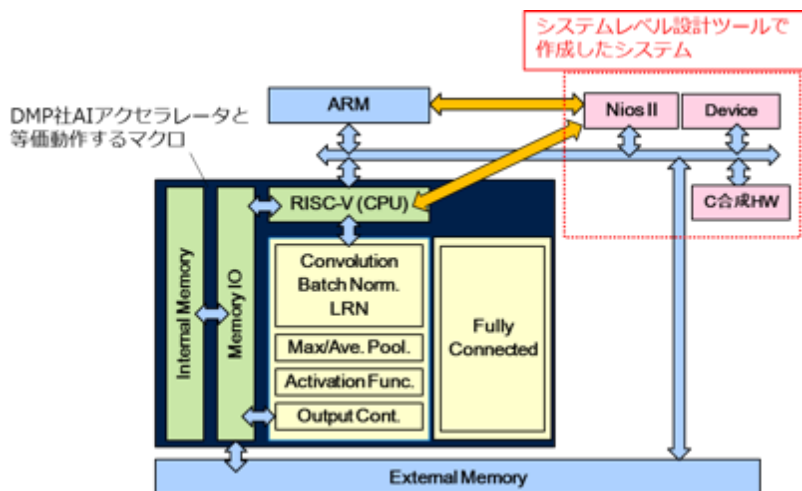


図 3-3.6.2-5 アクセラレータチップとの接続検討

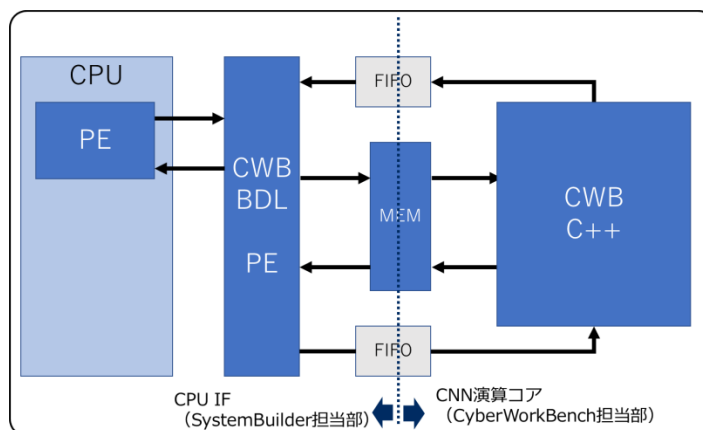
(専用 AI アクセラレータは高性能用、我々のツールで作る部分は低レイテンシ&低電力用に使い分けることを想定)

(D) システムレベル設計ツールの AI プログラムへの対応、車載応用への対応

DNN の重みを格納するためのサイズの大きなオンチップメモリや float のサポートするようシステムレベル設計ツールを拡張した。車載システムで用いられている AUTOSAR-OS をシステムレベル設計ツールで使用可能とした。

(E) CWB の C++ 記述との連携機構

これまでシステムレベル設計ツールがサポートしている CWB の BDL 記述と FIFO で接続することにより、CNN 演算は、性能及び電力効率のよい CWB C++ 記述による CNN 演算コアを利用することができ、CPU との通信や外部メモリへのアクセスは設計効率が高い BDL 記述を使用することが可能となる。



研究項目④全体のまとめと実証実験

全体のまとめ:

本設計プラットフォームは、設計効率を 100 倍に上げることで、低消費電力と低レイテンシが要求される組み込みシステムに特有のコストなどの制約条件を満たした中で AI の推論性能の最適化ができるようになっている。手書き文字認識では、この最適化探索において 100 倍以上の最適化ができることを確認した。(今回の探索は人間が行ったので、時間を要したが、すべてライブラリ化したため、次回からの探索は 100 倍以上高速化可能である。)図 3-3.6.2-6 は、手書き文字認識のメモリ通信機構の最適化探索検討を行った図である。より少ない回路規模で一定のフレームレート以上の性能を出すものを探索できる。現在、工場での製造装置の異常検知で AI が用いられる際に 1000fps を超える高フレームレートの画像認識が行われるが、そのような動作する機会を制御する AI システムの高性能化に期待される。

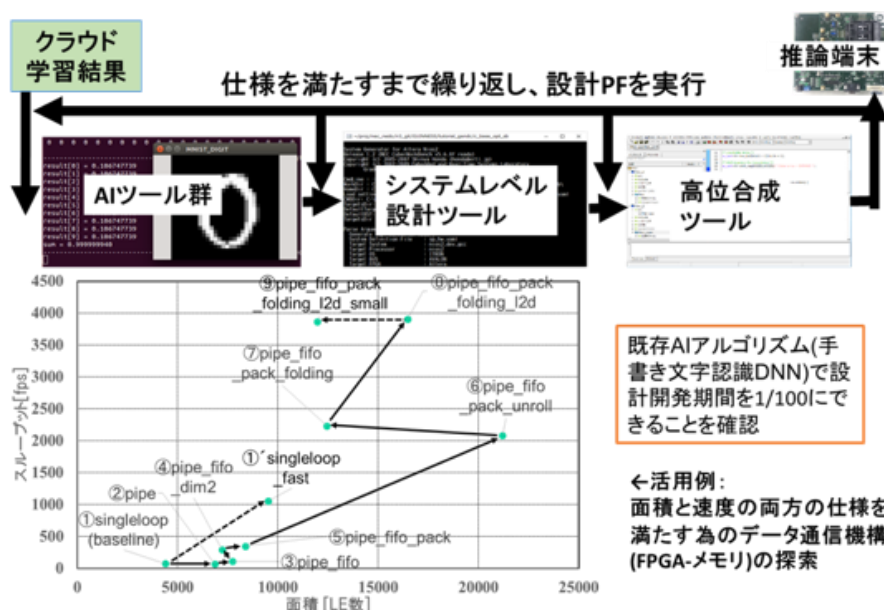


図 3-3.6.2-6 メモリ通信機構を最適化するための探索例

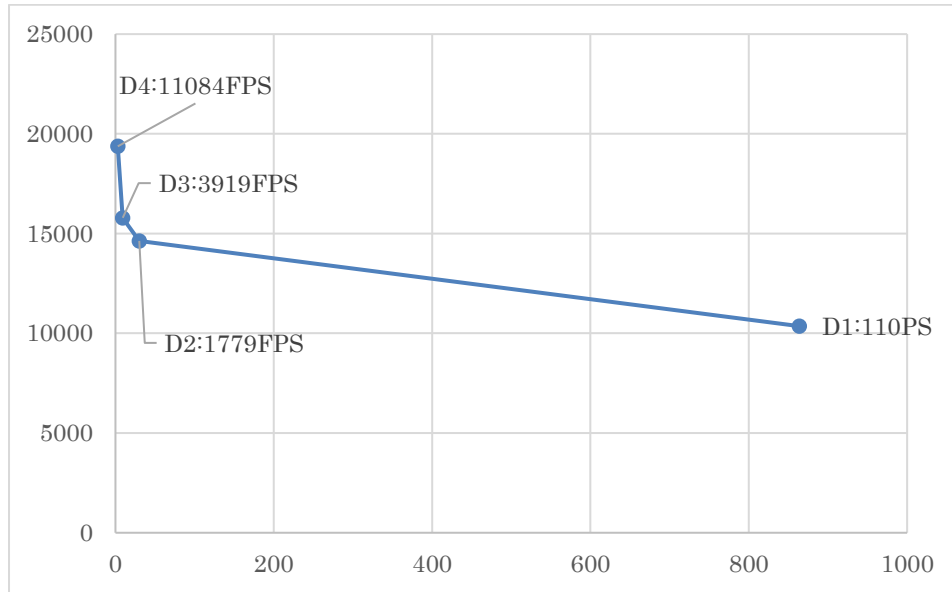
(組み込み機器では過剰な性能は不要であり、電力やコスト等の制約があるため、右上が最適とは限らない)

実証実験:

これまで開発を進めた成果を JAXA から提供された AI データを用いて、JAXA の指定デバイスに、要求性能を満たす設計が実装できるかを確認する実証実験を実施した。

ネットワークの詳細は省略するが、畳み込み層 7 層、FC 層 2 層などから構成される全 12 層のネットワーク構造で、入力された画像を 10 種類に分類する CNN 処理である。これを JAXA 指定の Xilinx ZYNQ7020 のデバイスに実装する実証試験を実施した。目標性能としては、60pixel x 60pixel の画像を 1 秒間に 2800 フレーム処理することが求められた。

開発した AI 設計フレームワークを用いた特徴として、CNN の1つの実装が実現できるだけでなく、面積と性能のトレードオフを探索するいくつかの実現バリエーションが得られ、これらの設計候補の中から面積、性能の両方を満たす最適な実装を選択できることがメリットになる。今回の実証実験では、要求性能を満たすグラフ中の D3,D4 デザインが得られ、この中で、面積が最小となる D3 のデザインを選択することができた。同じ目標性能に対して、設計者が設計したデータと比較して、性能で 2.3 倍程度、LUT の使用率を 70%にまで削減することに成功した。



3.6.2.5 成果の普及

NEC において、エッジ AI の市場に向けた製品として、機器制御など可能な小型のコントローラ BOX を製品化する計画がある。その1つ、「NEC AI Accelerator」と、その FPGA ボードを格納した BOX 型コントローラである「NEC AI Accelerator BOX」がある。この製品には、ARM CPU と Intel CycloneV の FPGA が搭載されており、エッジ AI 側で AI 処理を高速化するために FPGA を活用する。すでに FPGA ボードを試作している製品であり、今回の実証実験や、全体結合テストにおいて、ターゲット FPGA ボードとして活用した。

NEC AI Accelerator BOX

様々な AI エンジン を FPGA に搭載しアクセラレーション
 (例) NeoFace コアを使い 顔検出処理を高性能化

LTE

無線

筐体サイズ (屋内)
152 x 145 x 30 mm

外部I/F

LAN

WAN

micro SD

NEC AI Accelerator

ユーザ機器に組み込み可能なNEC AI Acceleratorを提供
 ARM CPU + FPGAを搭載

85mm

56mm

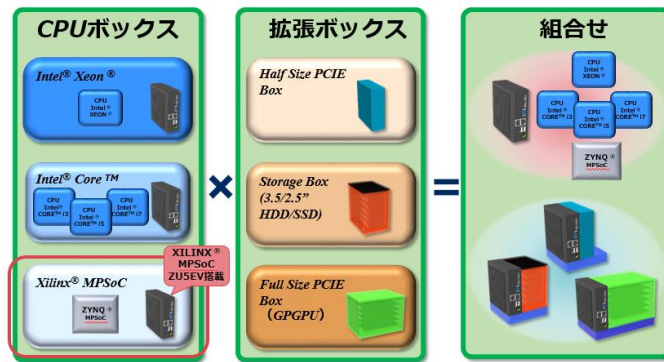
85mm

56mm

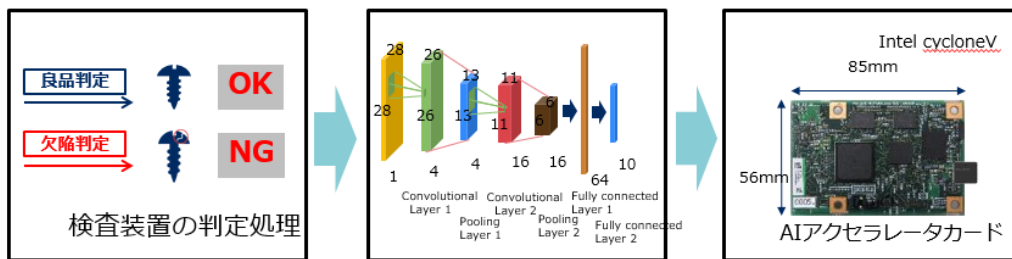
(参考) Raspberry Pi 2

外部I/F (カメラ用)	外部I/F
MIPI	USB3.0
	SDIO
	LVDS
	PCIe
	USB2.0
	I2C
	SGMII
	RGMI

もう1つは、CPU ボックスとして 3 つのバリエーション (Intel XeonCPU を搭載、Intel Core プロセッサを搭載、Xilinx MPSoC ZU5EV 搭載) のボックス型コントローラの製品発売が計画されている。ここでも、小型で、かつ、高速な処理を必要とする用途に向けては、ARM 搭載の FPGA を活用する計画である。



エッジ AI の高スループット、低レイテンシが要求される市場として、画像検査装置や工作機械等を想定しており、お客様側で AI を使った画像検査や機器制御を検討されて、製品化を検討される段階において、これらのハードウェア製品を紹介し、処理の高速化が必要な場合に、本助成事業で研究・開発した成果を適用して、FPGA 実現して、ハードウェア製品と共に提供するビジネスを立ち上げる準備を開始した。



FPGA向きの小規模ネットワークで
お客様の課題を実現

小規模FPGAで
高速動作する回路に実装する

すでに高速化することが必要な事業領域で、装置に AI を組み込むことを希望する顧客数社と FPGA 搭載の可否を確認する実証実験を始めている。また、NEC が保有する AI フレームワークと合わせて、お客様が AI 自体をお持ちでないケースに対しても、エッジ AI の高速化サービスを展開できるように準備を進めている。

2019 年 7 月 26 日には、これらの製品を展示した技術セミナー「FPGA でエッジ AI 技術セミナー & 展示会」を開催した。以下の募集チラシにより 200 名近くの申し込みがあり、150 名程度の来場者により、講演会と展示会、懇親会を実施した。このイベントでは、基調講演で慶應義塾大学の松谷先生にご講演いただくとともに、本プロジェクトの共同研究先である兵庫県立大の中本先生、本田先生にもプロジェクトの研究成果を中心に講演をいただき、また、AI の基礎から先端技術までを NEC の AI アナリティクス事業部から、高位合成による高速化の設計事例を NEC スマートインダストリー本部から発表することでお客様を集め、AI 向けのハードウェア製品である、「AI アクセラレータ BOX」や「ボックス型コントローラ製品」を展示し、AI アルゴリズムと設計から量産までの技術力を訴求した。

さらに、来年度以降、AI 向け設計プラットフォームとしても製品化して、お客様が自ら設計されるケースに、ハードウェア製品の付加価値ツールと位置付けるなどして、設計プラットフォームを販売することも計画之中である。

3.7 研究開発テーマ「超高速・低消費電力ビッグデータ処理を実現・利活用する脳型推論集積システムの研究開発」

3.7.1 概要

非連続に増大するビッグデータ“情報爆発”を利活用するために、それらの情報を処理する計算機の性能向上は喫緊の課題となっている。一方で、従来型計算機にそれを任せている、半導体テクノロジーにおけるスケーリングや3次元化による低消費電力化をもってしても、情報爆発のスピードに追い付けない。また、IoT (Internet of Things) 時代においては、実世界とITが緊密に結合され、実空間とサイバー空間の相互関連システムである CPS (Cyber Physical System) が進展していくことが予想され、工場間やバリューチェーンにおける連携強化や、ものづくり企業のサービス高度化などの産業構造の変革をもたらすことが期待されている。また、NEDO 動向調査は、「日本は、エンドポイントとユーザー周辺の技術領域を中心に、競争力の源泉となる強みを保有」している一方で、「上位階層では欧米勢が競争力を有するため、日本としては危機意識を持つ必要がある。」ことに警鐘を鳴らしている。そこで、本テーマでは、情報処理に要する消費エネルギーを非連続的に低減し、機能的にも従来型計算機の不得意な処理を補完する革新的情報処理である「脳型推論集積システム」の研究開発を行う。日本の強みとされているエッジ処理に「脳型推論集積システム」を適用することで、リアルタイムで画像映像解析やセンサーネットワークに係わる大規模データ処理を可能とする。さらに、この技術はエネルギーマネジメントシステムや交通を含む社会インフラの高度化等に対しても、広い波及効果を持つ。

3.7.2 最終目標と根拠

極低消費電力の脳型推論システムを構成する新アナログ型抵抗変化素子の、大規模集積化プロセス開発、エッジ側処理における機械学習器・アクセラレータの電力を大幅低減する技術開発と、ビッグデータ応用開拓のためのニューラルネット演算モデルを開発する。プロジェクト終了までに学習制御回路を含めた集積システム全体の機能実証を行い、従来技術と比較して、1/1000 を超える低消費電力化を実現する。また、高機能カメラジュールやセンサーモジュールなどのエッジ AI 用アプリの実用化性能を確立し、2025 年までにはその事業化を図る。これらの成果は、スマートメータへの実装等により快適空間を実現するパーソナライズドサービス用電力マネジメントシステム実用化に必要な革新的基盤技術となる。目標の設定根拠は、(1) 小型のバッテリー等での駆動が可能となること、(2) 既存のセンサーシステムなどへの実装を図れ、より小型化が進めば、モバイル端末も視野に入ることにある。3.1.3 以降に記載の通り、消費エネルギーを非連続的に低減し、従来型計算機の不得意な処理を補完する「脳型推論集積システム」を、ソフト・ハード一体で開発することに成功している。これは、微細化、信頼性確立、そして、エッジ領域における評価ツールの提供とキラーアプリケーションに関する課題が明確になったことによるものであり、最終目標の達成に向けた道筋が明確かつ妥当であることを示している。

3.7.3 目標の達成度

研究項目別に、成果の詳細と目標の達成度を述べる。

①効率的・適応的機械学習回路「試行錯誤エンジン」の研究開発

金属フィラメントの成長と収縮によって抵抗変化を示す素子について、機械学習回路で用いるために必要な多段階動作の検証を行った。その結果、6 桁の可変抵抗域 ($10^3 \sim 10^8 \Omega$) で抵抗値を多段階制御することに成功した(離算数: 30)。ベリファイ機能を追加することで、離算数のさらなる増加と制御抵抗値の精度向上が期待出来る。機能開発では、試行錯誤するフィラメント長を 70nm 程度と長くした素子を作製して、その動作特性を解析した。その結果、フィラメン

ト長がある臨界値を越えると、電圧印加を止めても自発的に成長して安定なオン状態に到達するという新しい試行錯誤動作を発見した。クロスバー回路の動作では、120 素子を連動して制御可能な学習回路システムを構築し、深層学習の基本動作を確認した。当初計画通りに目標が達成されている。

パルス電圧に対しアナログ抵抗値が線形的に応答しかつ確率的に動作する素子(早稲田大学開発の上記素子や産業技術総合研究所・ヌヴォンテクノロジー・ジャパン開発の Resistive Analog Neuro Device (RAND) 素子など)を $2n-1$ 個集積化することで、確率的に報酬が得られる $2n$ 個の選択肢の中から報酬確率が最大のものを小型・低消費電力で効率的に判断できる「試行錯誤型強化学習チップ」の基本構成を設計し、同チップの Proof of Concept を行える実証実験システムの開発を進めた。現時点で、同実験のために必要な問題設定と最適なパラメータが導出できており、7 個の RAND に所望の電圧信号を印加するシステムの設計、及び製作と、計測機器との接続テストを終えている。当初計画通りの目標達成、また予期せぬ成果も得られている。

②アナログ型抵抗変化素子の微細化開発

2017 年度までに、微細化 RAND 素子におけるアナログ抵抗変化の制御性を高めるためには非貴金属電極の採用が効果的であり、素子構造、特に抵抗変化層の膜厚、抵抗率がこのアナログ特性へ影響を与えることを把握した。2018 年度は、酸素蓄積層を金属から金属酸化物にかえることで、その抵抗率を大きく変化させてアナログ抵抗変化の様子を調べたところ、酸素蓄積層が比較的高抵抗の金属酸化物である場合に高抵抗化と低抵抗化が競合する領域があることを見出した。この領域においては、高抵抗領域におけるアナログ抵抗変化がなだらかになることから、RAND 素子の制御性向上とともに、低消費電力化を期待できた。そこで本年度は、これらの成果を元に、素子動作の信頼性向上を図るための素子構造を設計し、動作確認を開始した。また、新しい動作原理に基づいて RAND 素子評価を推進するために、評価装置の高度化改造を行った。

一方、RAND 素子の微細化に向けての取り組みの一つとして、RAND 素子における界面エンジニアリングの有効性について調べた。上述したように、RAND におけるアナログ抵抗変化は、素子中の酸素欠陥量が電圧印加によってなだらかに変化することを利用しており、界面エンジニアリングにより酸素欠陥の制御性を高められればアナログ抵抗変化の制御性向上が期待できる。新たに界面層を挿入することにより、アナログ抵抗変化の制御性の向上が確認できた。次に、2018 年度に設計を完了した 40nmRAND 回路の試作と評価を行い、微細化プロセスでのアレイ規模によるアナログ抵抗変化の基本特性確認、及び AI 演算の動作実証を行った。0.18 μm の前世代と同様に、RAND 素子への書込電流を制御することで、40nm 世代においてもアナログ抵抗値の制御が可能であることを確認し、ニューラルネットワーク AI 演算の動作実証を行った。一方、40nm 世代では 0.18 μm 世代と比べて、より低電流領域でのアナログ抵抗値制御による低消費電力動作を目標としているが、低電流領域へのアナログ抵抗書き込みは、書込電圧がばらついた場合の影響がより大きく、かつ書き込み後の抵抗値も安定しにくいという課題を抽出することができた。さらに、28nmRAND TEG に用いるアナログ素子のベースとなる 28nm 用デジタル素子についてプロセス条件・駆動条件の最適化を行い、アレイ動作および 40nm 素子と同等の信頼性が確認できた。当初計画通り、やや前倒しで目標の達成がなされている。

③ビッグデータ処理を目指したハードウェア指向深層学習とシステムアーキテクチャの構築

2017 年度はビッグデータ処理を目指したハードウェア指向(RAND 向け)重み符号固定学習法の開拓を行った。2018 年度は、エッジ AI・ビッグデータ処理に向けた応用開拓のために項目⑤で開発中の FPGA Shield for Arduino(FPGA2I)向けの深層学習アルゴリズム(低消費電力三値バックプロパゲーションアルゴリズム)の構築とそのシステムアーキテクチャの構築を行っ

た。その結果、FPGA2I における学習時の電力を 1~10 mW オーダまで低減できる見通しが立った。

2019 年度は、FPGA2I シールドの性能向上のためのネット構造・パラメータ探索等の性能向上のための研究を行った。その結果は、実施項目⑤「脳型推論集積システム社会実装に向けた成果最大化」の一部にて活かすことができた。さらに、RAND との接続検討およびアーキテクチャ課題洗い出しを可能とする FPGA ボードを開発した。並行して推論アルゴリズムの FPGA と RAND への実装、さらには学習アルゴリズムの検討に着手した。従来の連続的な活性化関数を前提としたバックプロパゲーションアルゴリズムに対して、RAND 特有の非連続的なステップ関数に適応したバックプロパゲーションアルゴリズムの検討も開始している。当初計画通り、やや前倒しで目標の達成がなされている。

④超微細化 RAND チップの信頼性確立及びアプリケーション動作実証

RAND の信頼性を確立するうえで重要である、アナログ素子における特性ばらつきがニューラルネットワークでの推論結果に与える影響について、シミュレーションおよび RAND チップを用いた実デバイス評価によりモデル化を進めている。2018 年度までに、素子特性の主分布の変化を制限することにより、抵抗値ばらつきが一定程度増加してもネットワークでの数字の認識率(MNIST)の低下を抑制できることを明らかにした。そこで本年度は、この特性ばらつきを内包したニューラルネットワークシミュレータを開発し、アナログ素子を室温放置した場合の“抵抗値ばらつきの増加”、および 85°C 1 年、10 年と保存した場合の“抵抗値の主分布の変化”がネットワークの認識率に与える影響について RAND チップにおける性能低下の傾向をシミュレーションで再現することに成功した。これにより、素子の特性ばらつきとネットワーク適用時の性能を直接紐づけることができ、RAND 信頼性の確立に向けた開発が加速可能となっている。その成果の一部を半導体の信頼性に関する最大規模の学会 IRPS2019 で発表し、RAND 信頼性の考え方の周知も並行して行っている。

RAND チップの実用化に向けて事業化開発に移行するためには、顧客へのプロモーション活動を通して、RAND チップ採用を検討いただくことが重要であり、顧客が RAND チップを実際に評価できるツールの開発を行った。RAND コンパイラ(ソフト)と RAND 評価キット基板(ハード)を開発し、Tensor Flow で開発した AI モデルを RAND コンパイラに入力することで、RAND チップに書き込むニューラルネットワーク構造情報と重み情報(RAND アナログ抵抗値)を自動生成し、RAND 評価キット基板に実装された RAND チップに簡単に書き込んで顧客が AI 動作を評価できる環境を構築した。さらに、顧客への低消費電力性能のデモのために、上記 RAND 評価キット基板がコイン電池で動作する RAND-AI デモも開発した。今年度開発した RAND 評価キットを活用して顧客プロモーション活動に着手し、低消費電力エッジ AI チップに興味のある顧客への RAND チップを用いた AI-POC 開発の検討にも着手している。このように、当初計画通り、やや前倒しで目標の達成がなされている。

⑤脳型推論集積システム社会実装に向けた成果最大化

本実施項目では、低電力・小型脳型推論ハードウェアの新規価値・利用機会を持続的に開拓するために、安価・柔軟・高速な共通ハードウェアボード、開発プラットフォーム、クラウドベースの情報共有システムからなる「ユースードリブン型価値創造プラットフォーム」を構築して、Makers や一般ユーザー、教育機関にそれを広く開放し、異視点・異環境において脳型推論ハードウェアが利活用される機会創出インフラ基盤構築を目指している。「ユースードリブン型価値創造プラットフォーム」については、2018 年度までに開発した画像認識を取り入れた FPGA シールド V3 を用いてシールド・モニター活動を行い、一層のユーザーの獲得と育成を行った。そして、それらユーザーのフィードバックをもとに改訂版 V4 を開発した。その一連の活動を経て、コミュニティサーバおよび開発サーバにユーザーの創発的アイデアを蓄積し、RAND を AI アクセラレータとしたシステムに提供する。また情報共有システムおよびコンテンツの多言語化を行い、展示会出展・ハードウェア提供を通してグローバル展開(欧州)を推進した。

さらに、本事業で開発した人材育成カリキュラムを高度化し、当該プロジェクト横断にて計5回の人材育成スクールを開催した。脳型推論デバイス試作環境に関しては、試作レシピを整備し、当該人材育成スクールの実習カリキュラムに適用するだけでなく、産学のユーザーへのレシピ公開を開始した。このように、当初計画通り、一部の実施項目においては前倒しで目標の達成がなされている。

3.7.4 成果と意義

本テーマで得られている研究成果のうち、以下の2件について、その意義と合わせて説明を行う。セキュリティ、個人情報等の理由から、学習した情報をクラウドに渡したくない事情がある、あるいは、オンライン学習が迫られた時(パソコン、サーバ側でその都度学習、個別装置毎に個別学習がネックになるとき。特に、通信に困難な環境下での利用が想定されるとき等)に、本テーマで得られた成果は産業利用の観点、さらには AI の社会実装の観点から、極めて大きなインパクトを持つことが期待できる。

- ① アナログ型抵抗変化素子 RAND の動作メカニズム解明、微細化プロセスの開発と信頼性に関するモデル構築が進展し、0.18um 世代では、お客様の課題を解決する提案をすることができ、引き続き実用化に向けた取り組みを行っている。本研究成果が、顧客の求める価値を速やかに提供できるという観点で優位性を持っていることを端的に示しており、40nm、22nm 世代に微細化を進め、エッジ学習技術を進化させることで、IoT 用途への本格拡大を図れる。
- ② ユーザードリブン型価値創造プラットフォームの運用を開始したことで、FPGA 2I の研究開発を前倒しで終了し、ビジネス準備を開始することができた。現在は、FPGA に RAND を実装するための設計・評価環境開発を進めている。ユーザーからのフィードバックがプールされ、新たな適用事例の創製を持続的に触発していることは、当初、想定されていなかった研究成果である。

3.7.5 成果の普及

本テーマでは、特許論文等リストに記載するように、多数の外部発表を実施するとともに、学会誌における解説記事執筆、さらには国際標準化提案など、成果を最大化する試みを多面的に行ってきた。特に、本テーマがハブとなって、「高度な IoT 社会を実現する横断的技術開発」事業に参画する他のテーマとともに、計5回の人材育成スクールを開催することで、研究開発と並行して、その開発技術のユーザーを育成している。

3.7.6 その他

本テーマを推進する、国立研究開発法人産業技術総合研究所(研究代表者所属機関)、ヌヴォトンテクノロジージャパン株式会社、国立大学法人北海道大学、学校法人早稲田大学、学校法人慶應義塾は、材料、デバイス、回路・アーキテクチャ、システムの開発を、それぞれの役割分担がオーバーラップ部分を持つことで一体的に推進することができる研究体制を構築しており、当初研究計画に対して前倒しで研究開発が進捗したことは、この研究手法が良好に機能したことを端的に示している。

3.8 研究開発テーマ「組合せ最適化処理に向けた革新的アニーリングマシンの研究開発」

本研究開発テーマでは、IoT 社会を実現する上で極めて深刻な技術課題を非連続的なハードウェアの革新により解決するため、膨大な選択肢の中から最適解を低消費電力かつ高速で探索する非ノイマン型計算機「アニーリングマシン(イジングモデル型デバイス)」の実用化を実現するための IoT ビジネスモデル構築および、最適化計算プラットフォームの創出をめざし、基盤理論・デバイス・回路・アーキテクチャ・アプリに跨がり横断的な研究開発を行うという目標に対し、以下の通りハード・アプリともに着実な開発目標を達成しており、実用化を見据えた目覚ましい成果を上げつつある。

- ・大規模 CMOS アニーリングマシンの開発(担当:株式会社日立製作所)
- ・超伝導アニーリングマシンの研究開発(担当:国立研究開発法人産業技術総合研究所、国立大学法人横浜国立大学)
- ・新原理量子アニーリング機械の研究開発(担当:国立研究開発法人理化学研究所)
- ・超伝導量子コヒーレントイジングマシンの研究開発(担当:国立研究開発法人理化学研究所)
- ・実世界のネットワークのマッピングに関する研究(担当:国立情報学研究所)
- ・革新的アニーリングマシンにおける共通基盤に関する研究開発(担当:学校法人早稲田大学)
- ・成果最大化に向けた取り組み(全機関)

個別の研究開発サブテーマにおける詳細は以下に示す。

3.8.1 研究開発サブテーマ「大規模 CMOS アニーリングマシンの開発」

3.8.1.1 概要

CMOS アニーリングマシンの最大の利点である大規模化が可能であることを実証し実用化をめざすとともに、プロトタイプを用いた実証実験を通じて異種アニーリングマシンの共通基盤の実現方法を検討する。アニーリングマシンで扱う最適化問題は、対象とするシステム規模が年々大きくなっており、実用化にむけてアニーリングマシンの大規模化が求められる。CMOS アニーリングマシンは、汎用の半導体プロセスを用いているという性質上、製造プロセスのさらなる微細化やチップの超並列化が極めて容易で、大規模化には適していると考えられる。しかし、微細化に伴う LSI 素子のばらつき増加や製造プロセスの微細化の鈍化など、実際に大規模化する際には多くの課題があるため、本事業においては、チップ内に搭載するイジングスピンの拡大と複数アニーリングチップを接続することによりシステム全体で大規模化するための、チップ間接続方式の検討を行っている。

CMOS アニーリングマシンの大規模化によりクラウドでのビッグデータの最適化処理への実用化を見据えるとともに、室温でも動作する特性により、小型のシステムを実現することも可能であり、エッジ側デバイスに組み込んだ実用をもめざしてプロトタイプを試作し、動作検証および実証を行う。

3.8.1.2 最終目標と根拠

2017 年度に 30k ビット搭載のチップを試作し、また 2018 年度にはこれを 2 チップ接続した名刺サイズの CMOS アニーリングマシンを試作し、組合せ最適化問題について従来のコンピュータに比べ約 2 万倍の高速処理が可能で、さらにエネルギー効率約 17 万倍の性能を実証した。最終目標として 2020 年度は、CMOS アニーリングチップを二次元状に無限に接続して大規模できることを実証する。そのために CMOS アニーリングチップの四辺方向に別の CMOS アニーリングチップを接続し 3×3 枚の 9 枚接続での動作を実証する。この課題を達成することにより、CMOS アニーリングマシンは接続すれば大規模化可能であることを示すことが出来る。実社会においては、最適化問題は大規模化すると、指数関数的に計算

時間や消費電力が増加するという課題があったが、その課題を解決する技術であることを示すことが出来る。これにより、アニーリングマシンの実社会での必要性を示すことが可能となり、アニーリングマシンの実用化に向けて前進する。また、大規模アニーリングマシンのプロトタイプを用いたクラウド環境を提供することで、最適化プラットフォーム構築に向けて検証を行い、IoT 社会への実装可能性を確認する。

3.8.1.3 目標の達成度

2018 年度に 30kビット搭載の CMOS アニーリングチップ 2 枚接続した CMOS アニーリングマシンの試作機は高速動作と低電力動作を実現し、USB ケーブルの給電で動作する。小型、かつ高速であることに加え省エネであることを確認し、エッジでのアニーリングマシンの活用が可能であることを実証した。また、本プロジェクトの最終目標である CMOS アニーリングチップを接続することで大規模化できることを確認した。

3.8.1.4 成果と意義

2018 年度までに、大規模化に必要な CMOS アニーリングチップを 2 チップ接続してのアニーリング動作を確認するとともに、CMOS アニーリングチップ内の演算回路共通化により集積度を高めることが可能であることを確認した。実際に CMOS アニーリングチップを 2 枚搭載した名刺サイズの試作機で低電力かつ 2 チップ接続された 60k ビット動作のアニーリングマシンの動作検証を行った。大規模化可能であることの実証に加え、CMOS アニーリングマシンのエッジ利用を現実的な段階で実証できたといえる。

研究開発と並行してユーザー企業との議論を盛んに進めており、この規模での最適化問題を解く実証実験のニーズが既に見込まれている。プロジェクト終了後もこの成果がアニーリングマシンの実用化に向けて重要な役割を果たし、5 年以内に実用化を果たすという指標を実現する見込みである。

3.8.1.5 成果の普及

2018 年度の成果である、30k スピン CMOS アニーリングチップを 2 枚接続した CMOS アニーリングマシンは、2019 年 ISSCC において発表し、デモを展示することにより成果を広くアピールした。また、同時にニュースリリースを行った。ISSCC は半導体のオリンピックと位置付けられ、プロジェクト計画においても成果アピールの1つの目安と位置付けている。また、この名刺サイズ CMOS アニーリングマシンをパートナーや日立社内のほかの研究チームに試用してもらうことによって、評価を進めると共に、実際にアプリケーションを探索して実用化に結び付けるとともに、成果普及と実用に向けた意見や知見の収集を進めている。

また、2018 年に当プロジェクトにより制作し公開を開始した Annealing Cloud Web で一般ユーザーへの認知を図り一般ユーザー層によりクラウドサービスを通じて実際に CMOS アニーリングマシンを利用頂いている。公開以降、これまで 23,000 人のユーザーが当ページを訪れている。

CEATEC JAPAN では NEDO ブースに CMOS アニーリングマシンを活用したデモを 2017 年度より 3 年連続で展示を行い、来場者への周知を促した。

また、これまでのプロジェクト期間において 50 件を超える講演のほか、デモ展示や論文発表など、当プロジェクトの成果を周知し、広く成果普及活動を実施している。

3.8.2 研究開発サブテーマ「超伝導量子アニーリングマシンの研究開発」

3.8.2.1 概要

先行する D-Wave マシンのアーキテクチャは量子ビット間の任意の結合をリコンフィギュラブルに実装できる汎用機方式であるが、そのため膨大なハードウェア量を必要とし、未だに高々1,000 量子ビットしか実現されていない。産総研が提案する専用機方式 ASAC においては、当座のリコンフィギュラビリティを排除し汎用性を求めないこととするが、専用化の結果として、現実的なハードウェア量で具体的な問題解決可能な量子アニーリングマシンの実現を目指す。超伝導量子アニーリングマシンの大規模化の鍵となるのは実装技術である。実社会が量子アニーリングマシンに期待する問題を解くためには最低でも百万ビット級の集積度が必要であるが、1 チップ上に集積できる超伝導量子ビットは最大でも十万個程度であり、高密度マルチチップ実装が必然となるためである。また、量子アニーリングマシンの高性能化のために、プロセス及び材料の改良による超伝導量子ビットのコヒーレンス時間改善についても検討と実証を行う。先行する D-Wave 社の量子アニーリングマシンよりも十分に長いコヒーレンス時間をニオブ量子ビットによって達成することで、2018 年度以降に製造する超伝導量子アニーリングチップの正答率が向上し、研究開発が加速的に進捗すると期待できる。さらに、コヒーレンス性能に優れたアルミニウム量子ビットの基盤技術を確立することで、正答率を著しく向上させた高性能量子アニーリングマシンの実現が可能となる。そこで、層間絶縁膜を必要としないアルミニウムジョセフソン接合を用いた(大規模超伝導量子アニーリングマシン用)アルミニウム量子ビット作製プロセス確立とコヒーレンス性能評価に取り組む。

3.8.2.2 最終目標と根拠

スケーラブルな超伝導量子アニーリングマシンを実現するためには、三次元実装技術、量子アニーリングチップ製造・評価技術、熱設計技術、量子コヒーレンス評価技術を確立する必要がある。そこで、最終年度目標として以下を設定した。

- (1) 三次元実装技術: 2 個以上の複数の磁束量子ビットチップがフリップチップ接続されたインターポーザをブリッジインターポーザを介して接続した QUIP 構造を作製し、超伝導リングを介して異なるチップ上の磁束量子ビットが結合できる技術を開発する。
- (2) 量子アニーリングチップ: バンプによるインダクタンスへの影響を考慮して再設計された固定結合磁束量子ビットを用いて因数分解専用量子アニーリング回路(70 量子ビット程度)を作製し、動作の確認を行う。
- (3) 熱設計: 熱設計を考慮して QUIP 構造の具体的なバンプ数および貫通ビア数を決定する。
- (4) 可変結合型量子アニーリングチップ: 横浜国立大学が開発するクラウド公開用可変結合量子アニーリングチップの製造を行う。
- (5) クラウド基盤技術 2022 年度のクラウド公開のためのミドルウェア・ソフトウェアを開発する。
- (6) 量子ビットのコヒーレンス評価: アルミニウム量子ビット(1及び2量子ビット)を製造して、先行する D-Wave 社の量子アニーリングマシン(約10ナノ秒)よりも2桁以上長いコヒーレンス時間(2 マイクロ秒以上)を実証する。

3.8.2.3 目標の達成度

(1)三次元実装技術

我々が目指す大規模量子アニーリングチップでは 1mm² 当たり約 1000 個の超伝導半田バンプの接続が必要である。そこで 1200/mm² 個の密度をもつサンプル(バンプ数 16000

個)を作製し、それらを図 3-3.8.2-1 の上図のような数珠繋ぎ(デージーチェーン)で直列接続して抵抗—温度特性を評価した。図 3-3.8.2-1 の下図に示すようにバンプの数に比例して抵抗が増加していることでショートや短絡なく接続されているがわかる。次に5K での半田バンプの超伝導転移がはっきりと観測されていることから、バンプ接続が極めて均質で良好な超伝導接続であることも同時に分かった。我々が実現した超伝導量子回路用フリップチップのバンプ数(16000 個)は、世界的量子コンピュータ開発企業 Google(1600 個)や世界的超伝導量子コンピュータ製造拠点 MIT(2700 個)を一桁以上越える世界トップデータを誇っている。

このように、産総研は超伝導量子回路用三次元実装要素技術に関して、世界をリードする成果をあげてきた。

フリップチップ量子ビットのチップ試作と動作実証については、今年度中に達成見込みである。

達成度:○

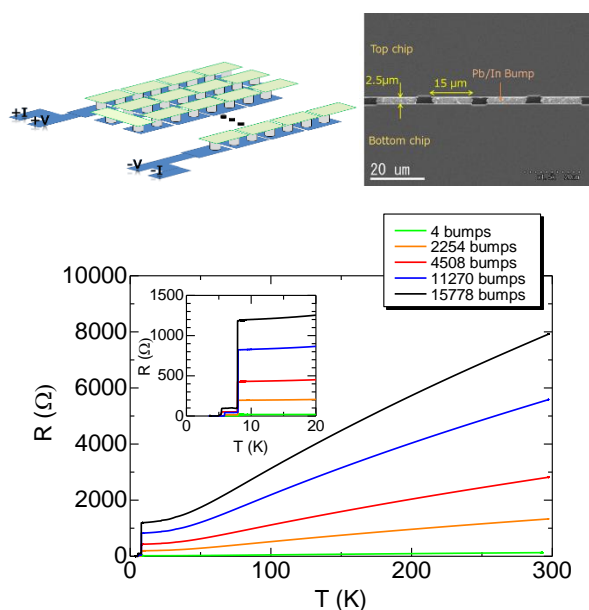


図 3-3.8.2-1 超伝導接続評価用のデージーチェーンの模式図とフリップチップ接続後の断面図(上図) 接続したチップの抵抗—温度特性(下図)

(2)量子アニーリングチップ

固定結合磁束量子ビットを用いた因数分解専用量子アニーリング回路については、2020年6月段階でテストチップ作製および希釈冷凍機を用いた10mK測定を行い、量子アニーリング動作確認および出力を固定した逆演算が行えることを実証した。また、各量子ビットに与える電流とアニーリング結果に関する測定結果を理論とシミュレーションを用いて解析し、測定結果の妥当性を示した。以上によって、日本初の超伝導量子アニーリングマシンの実現と量子アニーリング動作実証に産総研が成功した。

一方、量子アニーリング回路は古典デジタル回路と比べてより詳細な動作解析が必要なアナログ回路であるため、基本ユニットと基本ユニット間結合の動作詳細を明らかにすることが今後の拡張に向けて極めて重要な課題であることがこれまでの研究で明らかとなった。

達成度:△

(3)熱設計

QUIP 構造について有限要素法による熱伝導解析を行い、量子ビットチップが安定動作するための熱設計技術について開発を行った。発熱する能動インターポーザチップ層から冷却面への熱伝導を考慮し、Si 基板より熱伝導率が高い PbIn(9:1)のバンプと CuSn(1:9)のシリコン貫通ビア(TSV)を配置した。熱伝導解析結果より、TSV を能動インターポーザチップ層とパッケージ基板の両方に配置することで、積極的に熱を冷却面に熱伝導できることが分かった。熱設計を考慮した QUIP 構造について、バンプ数および TSV 数を検討し、バンプと TSV をそれぞれ 5 つずつ能動インターポーザチップ層やパッケージ基板に配置することで、能動インターポーザチップ層の古典超伝導回路の発熱量が $1.56\text{nW}/\text{mm}^2$ と仮定すると、量子ビットチップの最高冷却温度が 16.6mK になることが分かった。その結果、チップ接続用バンプや TSV 数を増加させることで、量子ビットチップの安定動作に必要な 20mK 以下の冷却を達成できると考えられる。また、熱設計に関して今年度中に特許を出願予定である。

現段階の達成度:○

(4)可変結合型量子アニーリングチップ

横浜国立大学が開発するクラウド公開用可変結合量子アニーリングチップの製造については、2020 年 6 月の段階で、2 量子ビット間の結合強度を外部磁場で調整できる可変結合器として臨界電流値の大きな磁束量子ビットを用いる方法と、RF-SQUID の入出力磁束特性の非線形な応答特性を用いる方法の 2 種類を検討した。それぞれの回路方式において回路シミュレーションを行い、2 量子ビットを可変な強度で結合できることを確認し、回路パラメータを決定し、回路の設計までを終了した。実験による動作実証については、今年度中に達成見込みである。

達成度:○

(5)クラウド基盤技術

クラウド公開のためのミドルウェア・ソフトウェア開発については、2020 年 6 月の段階で量子アニーリングデバイスへの入力制御と出力解析を行う LabView プログラムの作成を行い、実デバイス測定においてその動作検証を行った。今後は大規模化に対応するために AD 変換機や DA 変換機から構成される任意波形発生源、および読出しのためのボードを制御するためのプログラム開発を行う。また、希釈冷凍機で冷却された量子アニーリングデバイスをネットワークを介して制御するためのインターフェイスプログラムの開発も併せて行い、クラウド公開のための準備を整える。これらのプログラム開発および量子アニーリングデバイスを用いた基本動作実証は、今年度中に達成見込みである。

達成度:○

(6)量子ビットのコヒーレンス評価

量子アニーリングチップに組み込まれている Nb 製磁束型量子ビットの寿命 (T_1) とコヒーレンス時間 (T_2)を独立に評価するために、評価用の専用デバイスを新たに設計し、弊所 CRAVITY 施設にて作製を行った。希釈冷凍機における極低温 ($\sim 10\text{mK}$) 測定の結果、ラビ振動を観測した。Nb 型磁束量子ビットに関しては、当初の目標を達成することが出来た。また、この成果は、我々のデバイスが D-Wave Systems 社より高性能であるという事実を裏付けている。一方、アルミニウム量子ビット(1及び2量子ビット)の製造とコヒーレンス評価については、2020 年 6 月の段階で実験装置のインストールと動作確認を完了した。現在、デバイス設計に向けた数値計算を行っている。本デバイスの極低温評価については、今年度中に達成見込みである。

達成度:○

3.8.2.4 成果と意義

超伝導量子アニーリングマシンは、組合せ最適化問題を高速処理する可能性を秘めた新原理コンピュータである。2011年にカナダのベンチャー企業 D-Wave Systems が、超伝導 Nb 磁束型量子ビットを利用した超伝導量子アニーリングマシンを商用化して以来、そのビジネス利用に向けた研究開発が大きく進展してきた。また、2016年にアメリカ IARPA において、Quantum Enhanced Optimization プロジェクトが始動し、D-Wave Systems よりも高性能な超伝導量子アニーリングマシンの開発が米国企業や大学を中心にすすめられていた。このように、超伝導量子アニーリングマシンのハードウェア開発は、本プロジェクト開始当初は欧米を中心に実施されていた。本プロジェクトにおいて、産総研が日本初の超伝導量子アニーリングマシンハードウェアの開発に成功したことは、今後量子技術の国産化・産業化において極めて大きな意義がある。特に、D-Wave Systems や QEO とは大きく異なる独自の特定最適化問題専用アーキテクチャ ASAC と三次元実装技術 QUIP を採用することで、M 量子ビット級にスケール可能な製造技術の基盤を確立することが出来た。

3.8.2.5 成果の普及

成果の普及に向けて積極的に、イベント出展や取材対応を行ってきた。実際、日経エレクトロニクス、ニュートン等において、本プロジェクトの成果が報道された。また、量子アニーリングマシンのクラウドサービス展開を目指して、企業と協議を行ってきた。さらに、量子アニーリングハードウェアの事業化を目指して、産総研内に NEC-産総研量子活用テクノロジー連携研究ラボが設置された。本プロジェクトで産総研が世界に先駆けて開発した製造・実装・設計技術を NEC が開発する量子アニーリングマシンハードウェアに展開することで、国産量子アニーリングマシンの商用化に繋がると期待できる。

3.8.3 研究開発サブテーマ「新原理量子アニーリング機械の研究開発」

3.8.3.1 概要

この研究では、我々は量子ビット間を直接結合させるのではなく、共振器を中間に介してそれらを結合する方式を採用することにより、更に長距離にわたる量子ビット間の結合を実現させる方式を研究する。また集中定数型の共振器を採用することで、定在波の分布形状に制限されない、遠距離のビット同士の結合が可能な、大規模な結合スピンスステムの実現を目指す。

3.8.3.2 最終目標と根拠

超伝導共振器を介した磁束量子ビットの結合実験を行い、量子ビットが設計通りに結合するか確認する。強磁性／反強磁性結合のオンオフ、およびその強さを評価し、量子アニーリング回路に適するか評定する。最終的には 8 ビット以上のアニーリング回路の実現を目指す。

3.8.3.3 目標の達成度

本計画の達成目標は、年度別に 10 マイクロ秒のコヒーレンスを持つ磁束量子ビットの作成、集積化に適した集中定数素子共振器の作成、2 ビット結合の実現、3 ビット結合の実現、8 ビット回路の基本動作であった。

この内、15 マイクロ秒のコヒーレンスを持つ容量シャント磁束量子ビットを実現し、長い腕を持つ集積可能な集中定数素子共振器の評価を H29 年度までに行った。その後、共振器を介した量子アニーリングの実装方法を理論的に解析し、そのアーキテクチャを論文として

発表した。この理論に従い、磁束量子ビットと共振器の超強結合回路の評価を行い、またアニーリングに必要な共振器同士の強磁性/反強磁性結合の評価も行った。現在では、今年度中に、2量子ビットのアニーリング動作および、8量子ビット回路の基本回路動作を評価すべく、試作に取り組んでおり、これらの回路の動作評価を行うことで、全体の目標は大まかに達成されると考えている。

3.8.3.4 成果と意義

最初の成果として、深強結合を用いることで、全結合のアニーリング回路が構築できるアーキテクチャを開発したことである。従来のスパースな結合回路に比べ、全結合アニーリングは、問題を非常に効率よく埋め込むことができるため、より実用的な使用が可能になる。またこれは、深強結合という超伝導回路特有の現象を量子計算に応用する初めての試みである。

そして、このアーキテクチャが実現可能であることを、個々の要素回路の試作を通して、実証してきている。

3.8.3.5 成果の普及

2019年に発表された、アーキテクチャの論文は一年足らずで3件の論文に引用されている。またこの全結合型の超伝導量子回路方式は、NISQ(小型量子コンピュータ)などへの展開が可能で、その研究も今後進むと予想される。

3.8.4 研究開発サブテーマ「超伝導量子コヒーレントイジングマシンの研究開発」

3.8.4.1 概要

超伝導回路におけるパラメトリック発振現象を利用した量子コヒーレントイジングマシンの構築を目指した研究を行ってきた。2次の非線形性を持つ広帯域の導波路伝搬型超伝導パラメトリック増幅器(TWPA: Travelling Waveguide Parametric Amplifier)が組み込まれた超伝導導波路リング型共振器を作製し、時分割パルスモードの縮退パラメトリック発振現象における位相0及び π の2つの状態を1スピンとみなしたイジングマシンを構成する。これを最適化問題ソルバーとして動作させ、その評価を行う。

3.8.4.2 最終目標と根拠

産総研で開発予定の量子クラウド上で公開するための基盤技術として、多モードパラメトリック発振を用いた組み合わせ最適化問題ソルバー開発を最終目標として掲げた。光パラメトリック発振器を用いた同様なコヒーレントイジングマシンがすでに実証されている。それに対して、小規模ながらもマイクロ波領域で散逸の少ない超伝導回路を用いて同様の実装をすることにより、そのダイナミクスに対する量子性の寄与を明らかにし、高性能化を図れるのではと期待した。

3.8.4.3 目標の達成度

多数のジョセフソン接合列から構成されるTWPA作製プロセスの開発が遅れており、代替策としてやはり2次の非線形性を持ち広帯域の3光波混合を可能にするインピーダンス整合型ジョセフソンパラメトリック増幅器を開発した。パラメトリック発振まで実現しており、今後並行して開発した長尺マイクロ波線路と組み合わせるとリング共振器での発振を目指す。

3.8.4.4 成果と意義

ジョセフソン接合の持つ 2 次の非線形性に基づく 3 光波混合を利用した縮退パラメトリック増幅器による位相敏感マイクロ波増幅器を開発した。インピーダンス整合型のジョセフソンパラメトリック増幅器の改良を行い、増幅器の共振回路を SQUID とコプレーナ型のスタブの組み合わせで構成し、増幅器の広帯域化のために大きなキャパシタを持つ集中定数型共振器を容易に設計・作製できるようにした。また小さいポンプマイクロ波パワーで大きいダイナミックレンジを確保できるように、SQUID ループの持つカイネティックインダクタンスを利用して、ポンプマイクロ波と SQUID の結合を強めた。さらにポンプポートに、ポンプ周波数付近に共鳴周波数を持つ共振器構造を設け、効率的にポンプができるようにした。この構造はさらに信号マイクロ波のポンプポートへのリークも抑制する。これらの改善により、帯域幅 1 GHz、利得 20 dB、飽和入力電力 -110 dBm 程度の性能を達成した。本研究で開発したインピーダンス整合型ジョセフソンパラメトリック増幅器は、広帯域かつ高ゲイン、大きいダイナミックレンジを有し、高速低雑音のマイクロ波信号計測など様々な応用が期待される。

3.8.4.5 成果の普及

最適化問題ソルバーとしての、超伝導量子コヒーレントイジングマシンの普及は今後の課題である。本研究で開発したインピーダンス整合型ジョセフソンパラメトリック増幅器は、広帯域かつ高ゲイン、大きいダイナミックレンジを有し、高速低雑音のマイクロ波信号計測に用いられ様々な分野で応用が始まっている。

3.8.5 研究開発サブテーマ「実世界のネットワークのマッピングに関する研究」

3.8.5.1 概要

国立情報学研究所は、革新的アニーリングマシンにおける共通技術基盤研究開発の一環として、実世界ネットワークのマッピングに関する課題およびアニーリングマシンの性能評価に取り組む。

本研究で扱うアニーリングマシンは、現状ある種の制限されたトポロジ上でのみで適用可能である。これまでの検討では最も単純なネットワークのマッピング方法として「2 次元格子を二つ重ねた 3 次元格子状」を基本的なトポロジとして、その上に実世界のネットワークをマップすることを試みてきた。この場合、 n 頂点の完全グラフをこの 3 次元格子にマップすると、 $n \times n$ の 2 次元格子を二つ重ねた 3 次元格子が必要になることが、グラフ理論で重要な概念である「木幅」「セパレイター」「マイナー」の概念を組み合わせることにより証明できる。さらに、完全グラフのみでなく、ある程度「疎」なグラフでかつ、ランダムに近いグラフに対しても、同程度の 2 次元格子の大きさが必要となることが数学的に証明できる。つまり、 n 頂点のグラフをマッピングするためには最低でも $n \times n \times 2$ 個のスピンの必要になってくる。このマッピングの課題を洗い出し、アニーリングマシン・システムに貢献することをめざす。

2030 年に現在の 100 倍以上にもなると見込まれるビッグデータの処理を、現行のノイマン型計算機のみで実施するのは、計算能力及びエネルギー消費の両観点より困難となると考えられる。そこで、現行のノイマン型計算機の限界を見定め、アニーリングマシンとの対比も明確化するため、実世界のある種のネットワーク問題をベンチマークとして、現行のノイマン型計算機とアニーリングマシンとの定量的な比較を行う。この比較を通じてアニーリングマシンの将来的なポテンシャルを明らかにするとともに、どのようなスケジュールで現行のノイマン型計算機を凌駕していくかを見通すことによって、将来のアニーリングマシンの適用領域を見極める。

3.8.5.2 最終目標と根拠

マッピングに関しては、100万頂点以上のグラフに相当する現実世界のネットワークをマップさせるには、1兆個のスピンを有するアニーリングマシンが必要になるということであり、きわめて非現実的である。これは D-Wave 社の量子アニーリングマシンにおいても同様に指摘されている課題である。このマッピングの課題を洗い出し、アニーリングマシン・システムに貢献する。

現行のノイマン型計算機とアニーリングマシンとの定量的な比較に関しては、国立情報学研究所で、現在までに得られている計算機科学の知見とアルゴリズム構成技術を生かし、ベンチマークとなるネットワーク問題に対して、ノイマン型計算機において理論的にその限界を達成する高速かつ効率的な近似アルゴリズムを開発し、これを適用して、計算時間・正確性、計算効率等の観点から「アニーリングマシン」との性能比較をステップバイステップに行う。併せて、現在、世の中で提案されている高速なヒューリスティックベースのアルゴリズムも比較対象とし同様の観点から評価を行い、アニーリングマシンの将来的なポテンシャルを明らかにするとともに、将来のアニーリングマシンの適用領域を見極める。

3.8.5.3 目標の達成度

マッピングに関する課題に対しては、CMOSアニーリングマシンへのマッピング可能なネットワークと、マッピング不可能なネットワークを見極める判断基準をグラフ理論における「木幅」から判断することを理論的に説明することができた。この理論的な根拠にした、CMOS マシンに埋め込み可能なネットワーク(とくに地図ネットワーク、グリッドネットワークなど)に対するマッピング手法に関しても開発した。

現行のノイマン型計算機とアニーリングマシンとの定量的な比較に関しては、アルゴリズム分野で最も有名でかつ難解だといわれている「グラフ彩色問題」に関して、この実装における結果と、古典計算機によるヒューリスティックのアルゴリズムとの比較を行い、CMOS マシンの精度の目標値を設定することができた。

3.8.5.4 成果と意義

上記のマッピングに関する成果、「平面的」ネットワーク(とくに地図ネットワーク、グリッドネットワークなど)に対する「グラフ彩色問題」を実装が可能になった。また昨年度の開発したマッピング手法を応用し、CMOS トポロジを、「平面」ネットワークに埋め込み、上記のアルゴリズム実装を行った。

また、この実装における結果と、古典計算機によるヒューリスティックのアルゴリズムとの比較を行い、CMOS マシンの精度の目標値を設定することができた。特にグラフ彩色問題に関しては、以下の知見を得ることができた。

1. D-wave で公開している PyQUBO は、全くスケールしない。定式化のプログラムがメモリと時間を非常に食うため、実用的ではない。
2. SA は厳密解を求められたものもあるが、局所解にはまりやすくなっている可能性が高い。とくに大きなグラフのベンチマークである SNAP データでは、古典の最善のアルゴリズムに対して、性能がかなり悪くなっている。
3. 現在の古典最善の FastColor アルゴリズムが、常に最善ではなく、SA の性能が良いものもある。特に平面に近いネットワークなどでは性能が非常に良い。

3.8.5.5 成果の普及

上記の実装における結果と、古典計算機による最善アルゴリズムの比較により、CMOS マシンの精度目標値を設定することができた。とくにグラフ彩色問題に関しては、上記の通り、平面ネットワークは、あるいは平面に近いネットワークに関しては、古典計算機の最善

アルゴリズムと変わらない性能があることは、今後大きな知見として成果を実用サイドにフィードバックできる。

またマッピングに関しては、上記の通り、すべてのネットワークで共通の基盤を作る(ネットワークの超点数を n とすると、KING グラフにマップするためには、 n^2 のスピンの必要になる)ことは、できないことが数学的に証明できる。したがって、最初から平面に近いネットワークに限定して、CMOS 利用を推奨することを実用サイドにフィードバックできる。

3.8.6 研究開発サブテーマ「革新的アニーリングマシンにおける共通基盤に関する研究開発」

3.8.6.1 概要

本研究開発項目では、理論物理学で培われた理論的解析や大規模シミュレーションを通じ、CMOS アニーリングマシン及び、超電導量子アニーリングマシン双方に共通する性質を検討し、これらの性能を向上させる方策を理論的に提案する。更に、双方のアニーリングマシンの応用事例を探索し、アニーリングマシン実装方法を構築する。また、IoT 分野における実応用課題のニーズ抽出を外部連携先企業へのヒアリングをもとに実施する。更に、CMOS アニーリングマシンと超電導量子アニーリングマシンの両者のハイブリッドシステムのアルゴリズムを構築する。

3.8.6.2 最終目標と根拠

2019 年度までに行った IoT 分野における実応用探索の検討を元に、革新的アニーリングマシンに最も適した IoT 分野における実応用につながる組合せ最適化問題や機械学習処理に絞り込み、アニーリングマシンやアニーリングマシンシミュレータを用いた検討を行う。また 2019 年度までに得られた成果を元に Annealing Cloud Web のクラウドコンテンツの充実について検討する。また、IoT 社会におけるより複雑な組合せ最適化問題に対応するため、CMOS アニーリングマシンと超電導量子アニーリングマシンの両者のハイブリッド使用アルゴリズムの構築を行う。現段階では、世界的に見ても IoT 分野における実応用探索は殆ど行われておらず、IoT 分野における実応用探索を着実に進めることで、アニーリングマシンの利用シーンの明確化が可能になると想定される。

3.8.6.3 目標の達成度

90%(2020 年度末に 100%となる予定)

3.8.6.4 成果と意義

本研究開発テーマでは、以下の 3 つの観点から研究開発を進めてきた。(ア) CMOS アニーリングマシンのポテンシャルを引き出す手法の構築、(イ)超電導量子アニーリングマシンのポテンシャルを引き出す手法の構築、(ウ)IoT 社会において、アニーリングマシンを利用すべき組合せ最適化問題や機械学習処理の抽出、の 3 つである。それぞれについて以下に述べる。

(ア)については、まず、CMOS アニーリングマシンシミュレータを用いて CMOS アニーリングマシン計算処理時の挙動調査を行い、その結果を踏まえ、CMOS アニーリングマシンを用いる際に不可欠な問題埋込手法の開発、またその手法を用いて具体的問題(グラフ分割問題、矩形パッキング問題)に対する CMOS アニーリングの性能評価を日立製作所作成のシミュレータを用いて実行した。特に矩形パッキング問題について、従来のシミュレーテッドアニーリング法に比べ、CMOS アニーリングマシンを用いることで計算量の低減を確認した。更に、CMOS アニーリングマシン対応の全結合グラフ埋込手法の開発と、提案手法と既存グ

ラフ埋込手法との性能比較を Max-Cut 問題を対象として実施した。提案手法は既存グラフ埋込手法に比べ計算時間が短く、かつ得られる解精度についても優位性があることを確認した。これは、CMOS アニーリングマシンの適用領域を拡大することに成功したという意義がある。

(イ)については、まず、超伝導量子アニーリングマシン計算処理時の挙動調査を行うためのシミュレーションプログラムを開発し、量子アニーリングマシンに対する新規揺らぎ導入による性能向上に関するシミュレーション研究を行った。従来型量子アニーリングに比べ、計算精度が向上する可能性があることを具体的な問題に対して確認した。この成果の一部は産業技術総合研究所との共同の取り組みである。またそれを踏まえ、量子アニーリングマシンでは困難とされる問題に対し、一般化イジングモデルと新しい量子揺らぎ効果を導入することにより、計算性能が向上することをシミュレーション並びに解析的手法にて確認した。これは、超電導量子アニーリングにおけるボトルネックを明確化し、それを回避する手法を提案したという意義がある。

(ウ)については、まず、ユーザ候補となる複数の企業の研究開発担当者(IT エンジニア、データサイエンティスト)に対し、アニーリングマシン理論について説明し、準備段階の議論を進め、また、IoT 分野における重要な問題として挙げられる回路設計や配送管理システムにおける重要な組合せ最適化問題であるスロット配置問題について、CMOS アニーリングの性能評価を日立製作所作成のシミュレータ等を用いて実行した。その結果、既存解法に比べ CMOS アニーリングの優位性を確認した。これは、IoT 分野におけるアニーリングマシンの適用事例の探索を行なったという意義がある。

3.8.6.5 成果の普及

学術論文や学術会合における発表を通じ、研究開発成果を公開した。また、産業界の特に新規事業探索関連部署の方々向けの各種イベントに登壇し、研究開発成果やその意義についてわかりやすく説明することにより、アニーリングマシンに対する興味喚起を行った。

3.9 研究開発テーマ「高速ビジョンセンサネットワークによる実時間 IoT システムと応用技術開発」

3.9.1 概要

現存する IoT、AI はリアルタイム性に対応できていない。実世界には従来のビデオレート (30fps や 60fps) では不十分な高速な事象・現象 (例えば生産現場における検査システム、機械システム等) があり、従来システムではリアルタイム性が保証できない。実世界の多くのシステムは、具体的には 1000 分の 1 秒の高速性を必要としており、本研究開発テーマではリアルタイム・高速な IoT システムを実現するため、1ミリ秒のサンプリングレートをターゲットとする。これにより従来の IoT や AI 等に対してシステム性能を飛躍的に向上させる技術が提供でき、この結果、実世界におけるいかなる場合・場面でも対応できる新しい高速知能システムが可能となる。

本研究開発テーマにおける研究の価値と意義は、特に高速ビジョンを用いた実時間 IoT システムを実現することにより、リアルタイム性と高速性を突き詰める点にある。高速性は、環境および対象やシステムのリアルタイムでの完全把握を実現した上で、その結果を様々な知能システムへ高速フィードバックすることにより、環境の動的変化に対応すると同時に、様々な状況に対してロバストな知能システムが実現でき、制御性能の向上、作業の時短化、信頼性の向上に貢献する。サンプリングレート 1 kHz という高い時間密度による量的変化が得られるとともに、これに依拠した様々な性能向上といった質的变化も得ることができる。

本研究開発テーマで創出される研究成果に基づき、実世界の物理現象を完全にカバーし、人間の認識・行動をサポートするシステム (高速・低遅延の実世界知能) による新しい高速知能システムが実現できる。この結果、本研究開発テーマでターゲットとしている検査や FA の応用に限らず、映像メディア、ヒューマンインタフェース、バイオ・医療、セキュリティ、自動車・交通、高速 3D 入力、高速ロボット等急速に拡大する応用分野にも展開可能となり、横断技術として基盤となるシステム開発を行うことができる。

本研究開発テーマでは、高速ビジョンおよび高速画像処理を基盤技術として、特に開発するビジョンプラットフォームをベースに、全体システムのアーキテクチャを構成するとともに、FA、検査等における具現化およびその検証を行う。

具体的な実施項目として、①カメラのネットワーク化 (同期) と高速フィードバックを可能にするネットワーク構造および全体アーキテクチャの提案 (東京大学)、②高速ビジョンチップを汎用的に使用可能にし、広く活用していくためのプラットフォーム開発 (エクスビジョン) を行う。また①、②の技術をベースに、③微小物体の高速検査を可能にする高速画像特徴抽出技術の開発 (日本電気)、④高速 FA システムを可能にする多種センサを用いたセンサフュージョン技術の開発 (オムロン)、⑤高速フィードバックと高速アクチュエーション技術によって革新的セル生産を目指した超高速超精密システムの開発 (東京大学) を行う。

日本の技術の強みの 1 つである「デバイス」としての高速ビジョンチップの開発とともに、応用システムを世界に先駆けて開発することにより、「システム」としての強みを打ち出す。これにより高速ビジョンをベースとした新しい高速知能システムの導入による、工場のトータルコスト低減、自動化率の飛躍的向上を達成する革新的生産システムを実現することで、例えば労働集約型産業の国内回帰といった経済効果をもたらす、この結果、Society 5.0 への展開など技術政策面への効果も望める。

研究成果の成果最大化への取り組みとして、WINDS ネットワーク (Network for World Initiative of Novel Devices and Systems) を活用し、可能な限りオープンにして広く発信するとともに、WINDS フォーラム・セミナー参加者からの評価や意見を集約し、ユーザーニーズや性能要求を整理しながら研究開発を促進させ、プロジェクト全体としての実用化・事業化を加速させる。さらに、開発技術の幅広い応用展開も目指しつつ、標準化や共通化を促進させるためにも、WINDS ネットワークを積極的に利用する。

3.9.2 最終目標と根拠

実施項目①(センサネットワーク構造および全体システムのアーキテクチャの提案)

本実施項目では、実世界においてリアルタイムフィードバックが可能な実時間 IoT システムを実現するために、高速ビジョンのネットワーク化と高速フィードバックを可能とし、また複数かつ多種センサを包括的に扱うためのネットワーク構造の構築および全体システムアーキテクチャの提案を目標としている。従来の IoT や AI システムは、カメラおよび画像処理が低速のためリアルタイム性に乏しく、また TCP/IP など従来型のネットワーク階層構造(アプリケーション層・ネットワーク層が独立)に起因するネットワーク遅延があり、高速ビジョンデータをネットワーク上で扱う場合の課題であった。さらに、複数のビジョンやセンサを同時に扱うネットワーク構造は提案されておらず、例えば3次元計測の際の各センサノード間の同期問題は解決されていない。加えて、従来のシステムはデータ解析に留まり、実世界へのリアルタイムフィードバックも実現されていない。

本実施項目では、新しい実時間 IoT システムの中で、センサフュージョン技術をベースとして、センサデータとこれをコントロールする(情報処理構造を有する)センサネットワーク構造を構築し、さらに、センサデータの取得だけでなく、実時間でのフィードバックを機能させるため、感覚系、処理系、運動系を統合し、機能ごとの処理モジュールが階層的かつ並列に接続された分散処理構造(階層的並列分散処理構造)をベースに、全体システムとしてリアルタイムセンサフィードバックが可能なアーキテクチャを提案する。これにより、局所的なシステム最適化を実現するとともに、入出力の高速フィードバック機能により、高い知能と高速性を有した、大域的なシステム最適化が可能となる。

上記の提案技術に基づき、最終成果目標としては、高速ビジョンを含むセンサネットワークシステムにおいてサブミリ秒の同期精度を実現するシステムの提案と、1kHz のフィードバック系を目標とした評価システムを構築し、サンプリング時間、フィードバックレート、システムの拡張性、情報伝送等について最終評価を行うこととする。

実施項目②(高速画像処理を用いた知能システムを推進するプラットフォームとソリューションパックの開発)

研究開発項目	最終目標	根拠
高速ビジョンプラットフォームの開発	HSV SDK 及び HSV-MC1 を FA 分野の複数ユーザーに提供し、かつユーザーと協業して、さまざまな分野での HSV SDK MC1 を使ったユースケースの開発、ソリューションパックの提供によって高速ビジョンプラットフォームとしての普及を目指す。	高速ビジョンチップの優位性・独自性を以て高速画像処理技術の応用が可能になり、より事業化への基盤が整うものとなる。
不良品検査パック	FA 分野において、生産時の速度向上に比べ検査の速度が相対的に遅延する為、不良品の検査は抜き取り方式で行われているケースが多い。高速画像処理技術を用い高速検査を実現できるソリューションパックを適用する事で、生産スループットを落とすことなく全数検査を実現し、生産品質の向上を計る。	FA ラインにおける高速検査の実現には、非整列時に高速搬送されるワークの個体認識が必要であり、そのために 1000fps で画像処理を行い、互いに接触と離脱を繰り返す対象物を個体認識すると同時に各個体の欠損、変形、の有無を検査する機能を開発した。

FA ネットワーク対応	ホスト機器の命令によるカメラ制御や、カメラから抽出したセンシング情報のホスト機器への送信を可能とする。	高速ビジョンカメラを EtherCAT クライアント機器と連携して動作するシステムをユーザーが容易に実装できるので、高速ビジョンのリアルタイムセンシングを FA システム上で容易に環境構築できる。
ステレオソリューション	2 台の HSV-MC1 を用い、1000fps での 3 次元座標を検出・解析するアプリケーションを開発し、ロボット制御に適用させる。	この技術で高速に移動する物体の 3 次元座標位置を検出し、リアルタイムに 3 次元の物体トラッキングが可能となるはず。
ミラー制御ソリューション	2 台のカメラで 1000fps の撮像画像をリアルタイムに解析、その結果を用いてミラーの角度を制御することにより常に移動物体を撮像エリアの中心に捉えることを実現する。	この技術開発によって、広い移動範囲での物体トラッキングをリアルタイムで高速に行うことが可能故、移動範囲の検知の広範化を実現でき、室内から屋外までの幅広いユースケースに適用できる。
極座標系を用いた高速移動物体トラッキング	蛍光灯下で輝度の変化が大きい条件でも、1000fps でのトラッキングを可能とし、高速な球形移動物体トラッキングを実現するソリューションの1つとして、FA およびスポーツサイエンス分野に活用する。	フレームの画像を極座標系の画像に変換し、画像の各ラインにおける形状と背景の境界点を機械学習で推論する事が可能であるので、中心点がどちらにどれだけ移動したかを算出出来るという根拠によるもの。
パターン照射による 3 次元計測システム	測定に使用する投影パターンを既存のものに比べ1観測点あたり 12%小型化、それを高精細に撮像することで解像度を大幅に向上させる。それに伴う計算量の増加に対してはプログラムコードを最適化することで、高速性も同時に確保すること。	この技術を FA 分野に展開し、同分野での不良品検査等が高速で高精度に行える様になり、システム全体の小型化がロボットの制御適用への移行を促す。

実施項目③(粒状混合物の高速仕分け技術の研究開発)

ものづくりに新しい価値(スループットや信頼性の向上)を生み出す、実時間 IoT システムを実現するために、多くの現場では目視で行われている物体の選別や仕分けの、生産性を向上させる高速仕分けを目標としている。高速ビジョンセンサを活用することで、カメラ 1 台当たり直径約 1 cmの錠剤に出来た約 100um の欠陥や汚れを 1 秒間に 100 粒検査し不良品を仕分け装置開発を行い、欠陥検知精度 90%以上を目指す。従来の錠剤検査装置はカメラ 6 台を利用して装置 1 台当たり 1 秒間に 150 粒検査可能な性能であり、これに対して装置規模を大幅に削減することが可能となる。

大量の個体を目視で検査し、その種類別に仕分けたり、異常や規格外のものを発見選択し取り除いたりする作業を行っている事業者に対して、その検査や仕分け作業を高速かつ高精度に自動化する技術ならびに製品を提供する。自動化の対象となる作業としては、例えば、製造現場における原材料や製品への異物混入検査、廃棄物のリユース・リサイクル事業におけるシュレツダダストや分解部品等の素材別仕分け作業などが挙げられる。また、本件は、大量の微小な物体の認識識別を行うものであり、特に、従来のFA技術では困難だった、混合した細胞や微生物、形状が同一で違いは表面のラベリングによるもの(例えば、薬品の錠剤)、粉碎された粒状の混合物などを、対象自体が変質するような影響を与えず、物理的な特性の違いに着目し分類や区別を行う機能や装置を提供するものである。すなわち、対象に対して非侵襲な手段で観察し分類や区別を行うことを目的とする。

実施項目④(高速な FA システム実現に向けた高速センサフュージョン技術の研究開発)

今後の AI 技術にとって重要な要素となる実時間でのフィードバック構造および高速データ入力を有した IoT システムの実現に向けて、本事業では、複数種類の高速なセンサから得られるマルチモーダル情報を統合する技術の研究開発、およびその実アプリケーションでの実用性の確認を行う。最終目標は以下の通りである。

1. 高速なマルチモーダル情報統合化技術:

複数種類のセンサから得られるマルチモーダル情報を統合し、制御や判断に必要な状態量を高速(ミリ秒オーダー)に抽出する技術を開発する。

2. 実アプリケーション応用:

上記の高速なマルチモーダル情報統合化技術の有用性を確認するために、FA システムの一応用例として、ラフに置かれたワークを高速にピックアップするアプリケーションを対象に、複数種類のセンサを有する高速把持システムによりピックアップ動作が可能であることを確認する。

上記最終目標の根拠としては、近年、FA システムにおいては柔軟性と高速性が両立した自動化が望まれており、その実現のためには、両立の阻害要因を排除可能な新技術の開発と、ものづくりの現場を預かる生産技術者がリアリティをもって感じられる実証システムの構築が必要である。それぞれが、最終目標の項目1と2にあたる。項目1は、従来の単一センサの計測精度と自動機の絶対精度に頼った自動化が阻害要因と捉え、高速な複数センサによる欠落のない相対状態量の推定と制御によって解決を目指すものである。項目2は、実証システムを介した生産技術者との議論を通じて、技術の事業化に向けた要件の洗い出しができるようにすることを目指すものである。

実施項目⑤(高速 ASM(Active Support Mechanism)システム)

近年、人間と機械システムとが協調して作業を行う形態のシステムが注目されている。これは、臨機応変な対応を得意とする人間に、機械システムの高速性および高精度性といった機能を統合することにより、全体としてそれらの特性を兼ね備えた協調システムを実現するというものである。通常、人間の動きと機械システムをリアルタイムで連動させるには高速な認識・処理が必要となり実現が困難だが、高速カメラと高速な処理系からなる高速ビジョンシステムと高速な駆動部を用いることで、人間の動きに対して低遅延で機械システムを制御することが可能となる。

本研究では、高速ビジョンを用いた人間機械協調システムを応用し、高い精度を要求する作業を精度補償によって支援するシステム(高速 ASM(Active Support Mechanism)システム)の開発を目的とする(図 3-3.9.2-1)。具体的には、ロボットによる精度補償により、幅 50 マイクロメートルのペグ(凸部)と幅 70 マイクロのホール(凹部)のはめあいタスクの達成を支援するようなシステムである。このような微細作業の実現には、これまで熟練者の経験、ノウハウと勘によって行われてきたが、本研究のような超高精度な作業支援システムを実現することにより、初心者のような作業員でも熟練者と同等の作業が可能となり、近年熟練者の人口減少が問題視されている中で、技能伝承やスキル向上の観点から大きく貢献するものである。

自動精密はめあいシステムの研究など、はめあいタスクを達成するようなロボットシステムも開発されているが、そのような一連の作業をロボットが行うシステムは使用するペグやホールの形状や大きさが異なる場合や、挿入に失敗した場合などに対応できず、機能不全に陥ることが考えられる。しかしながら、本研究で目的とするシステムはあくまで人間の主体的動作を支援する形態であるため、そのような場合にも対応が可能であると推察できる。また、通常の 30 fps などの低速なカメラを用いたビジョン制御では、トラッキング対象とカメラの位置関係、および世界座標系におけるカメラと制御対象の位置関係からアクチュエータに与えるトルクを算出するが、本研究におけるタスクのように数十マイクロメートルオーダーの精度を要求する場合、システムが機能するためにはカメラの設置に対してそれ以上の精度を必要としてしまう。そのた

め、高速ビジョンシステムと提案している Dynamic Compensation のような制御方法を利用する必要がある。

姿勢を含む位置決めは組み立て工程やはめあい作業等における代表的かつ基本的なタスクであり、高い精度が要求されるもののため、本タスクを実現することにより、様々な作業タスクへ応用展開できると考えられ、最終目標として妥当と考える。

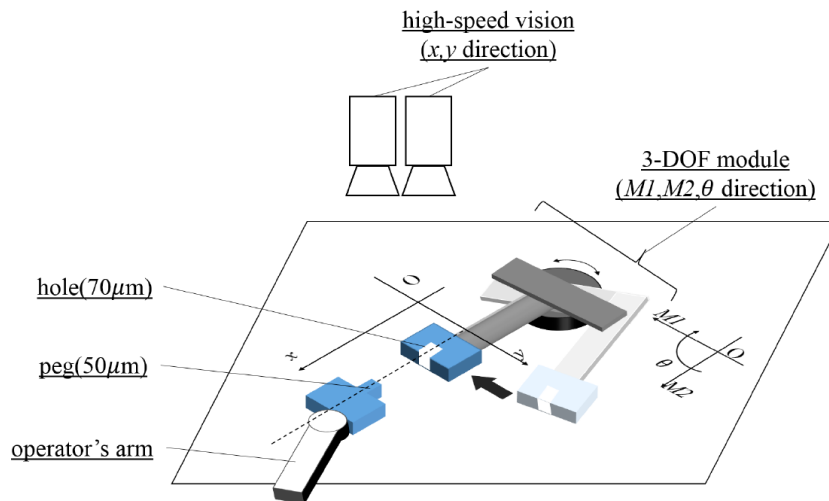


図 3-3.9.2-1 システム構成

3.9.3 目標の達成度

実施項目①(センサネットワーク構造および全体システムのアーキテクチャの提案):

複数ビジョンや多種センサを用いたセンサネットワークシステムの構築に関しては、センサノードの時刻同期を保証するため、PTP と呼ばれる精密時刻同期プロトコル (Precision Time Protocol、IEEE1588) を導入し、これにより各センサノードの時間同期が実現できている。PTP のソフトウェアタイムスタンプを用いると、同期精度は数 μ ~ 数十 μ s 程度であるが、サンプリング時間 1ms の要求に対して十分な精度を有している。3次元計測に必要なステレオマッチングにおいては、フレーム同期も重要であり同じ手段によりで目標精度を達成できている。

フィードバックレート 1 kHz を実現するための評価システムに関しては、例えば、実施項目③ (粒状混合物の高速仕分け技術の研究開発) においては、高速フィードバック機能の実現に資する「高速画像選別処理(Data Cleansing)」と「軽量認識処理(Data Ensemble)」が技術開発され、デモ装置においてリアルタイムフィードバックの実装・検証が行われている。また、実施項目⑤ (高速 ASM システム) において、動的補償 (Dynamic Compensation) という手法を導入することにより、階層的並列分散処理構造の実装が行われ検証が進んでいる。

実施項目②(高速画像処理を用いた知能システムを推進するプラットフォームとソリューションパックの開発):

本研究開発テーマでは現時点に至るまで、高速ビジョンプラットフォームの開発、そのソリューションパックの開発、双方ともに当初目標に対する成果は 100% 近い達成率となっている。そのうち高速ビジョンプラットフォーム開発においては、カメラユニットの一部改良を行っており、最小サイズの演算 CPU を新たに採用する事によってさらなる小型化、高機能化を実現することで不良品検査パックでの不良品抽出精度と速度の向上を目指し、検査対象物の種類によって適切なアルゴリズムを自動選択して適用が可能になる事を目指している。さらに、この検査ソリューションをユーザーのシステムに直接導入する事を想定し、標準的なハードウェア

ンターフェースをパッケージ化しておく事によって導入コストを軽減できると考えており、その為の開発を継続して行っている。

実施項目③(粒状混合物の高速仕分け技術の研究開発):

1cm の球に外接する正多面体(2 種類、5 色、文字刻印 36 種類)を粒状物体とし、自由落下している粒状物体の仕分けを実現するため、以下の項目に取り組んだ。

- 1) 粒状物体を自由落下させて 1000fps 高速カメラで映像入力を行うための基本実証装置を小型化し、自由落下している粒状物体の仕分けを実現する仕分け装置を組み込んだ粒状体仕分けデモ装置を設計・製造を行った。これまで高速演算装置にて推論させることで、高速化を実現していたが、前年度開発した認識適合画像選択処理と深層学習の高速化により、識別速度および識別精度を維持したまま 1 台の演算装置(PC)で粒状物体の検知から仕分けまで一連の動作を実行させることに成功した。
 - 2) 高速カメラ画像から認識処理に適した画像だけを選別するために、前年度開発した高速軽量の識別器(認識適合画像識別器)の選択精度を向上させた認識適合画像選択器を開発し、次に述べる深層学習の高速化による識別精度向上へ貢献できることを確認した。
 - 3) 深層学習(DNN)の高速化に関する研究開発を行い、認識適合画像選択器から出力される画像に特化することで、高速かつ高精度な認識が可能となるパターン認識処理を開発し、従来法と比較して識別率が同じ条件で約 60%(3.5msec→2.0msec)の高速化を実現した。
- 1)の実験装置及び2)及び3)の技術開発により、目標の識別速度 150fps、計数誤差±5%以下、パターン認識精度 95%以上を達成し、仕分け機構動作により自由落下中の識別から仕分けまで一連の動作を実現した。

実施項目④(高速な FA システム実現に向けた高速センサフュージョン技術の研究開発):

各年度の開発内容は図 3-3.9.3-1 の通りである。2019 年度までの目標は達成し、現在は最終目標の実現に向けて開発を実行中である。

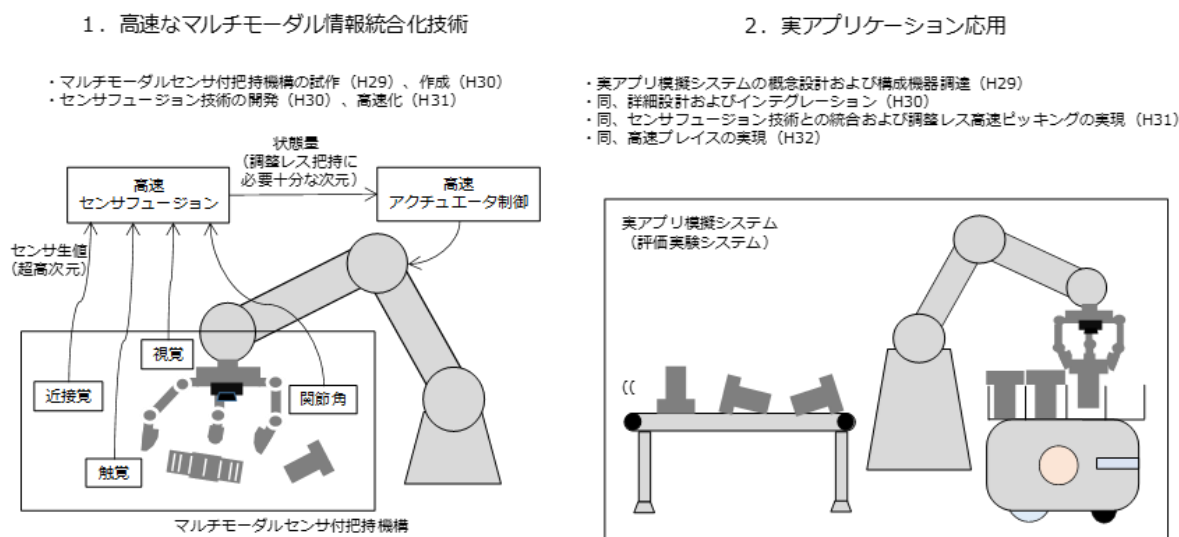


図 3-3.9.3-1 最終目標に向けた各年度の開発項目

実施項目⑤(高速 ASM システム):

実際に支援システムを構築するとともに、目標とする高い精度が要求されるタスク(幅 50 マイクロメートルのペグ(凸部)と幅 70 マイクロメートルのホール(凹部)のはめあい)を実現して

おり、十分な達成度に到達していると考えられる。しかしながら、補償範囲の課題が残っており、これに対して新規にハードウェア開発を行い、その課題解決に向けて研究が着実に進捗している状況である。

3.9.4 成果と意義

実施項目①(センサネットワーク構造および全体システムのアーキテクチャの提案):

ネットワーク越しの情報統合はディレイを伴う。例えば複数カメラを用いて3次元画像を取得する場合や、多種センサデータの統合のためには、時刻同期が不可欠である。これにより視覚・近接覚・触覚を統合した、非接触状態から接触状態へのシームレスなデータ取得によるセンサフュージョンが可能となる。本実施項目では、PTP を用いて各種センサの時刻同期およびステレオカメラのフレーム同期を実現した。図 3-3.9.4-1 に複数台カメラによるネットワークのシステム構成例として、指先動作の正確な認識により高速高精度なジェスチャ認識等が可能なシステム例を示す。同様の基本構成で、高速カメラと近接覚センサおよび触覚センサを組み合わせたシステムも実現している。また図 3-3.9.4-2 に、階層的並列分散処理構造の実装としての動的補償(Dynamic Compensation)の説明図を示す。実施項目⑤(高速 ASM システム)において試作した新規高速3軸ステージを用いて、その有効性が実証されている。

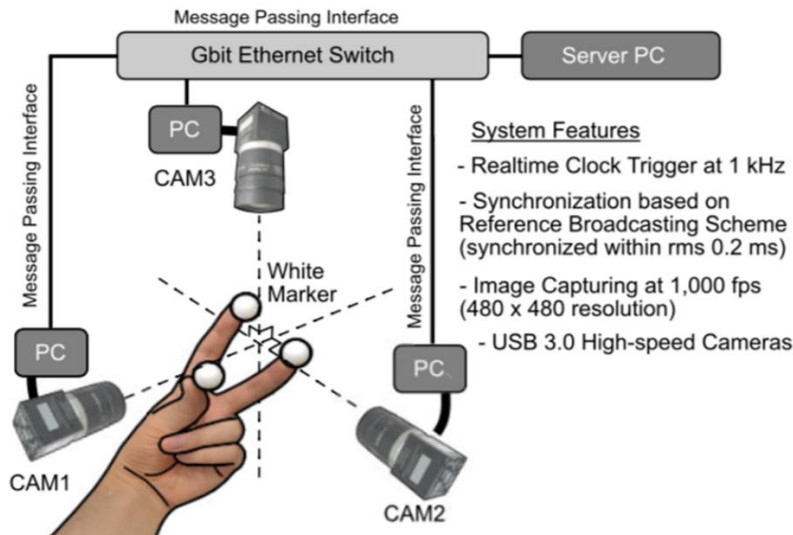


図 3-3.9.4-1 複数カメラによるセンサネットワークシステム例

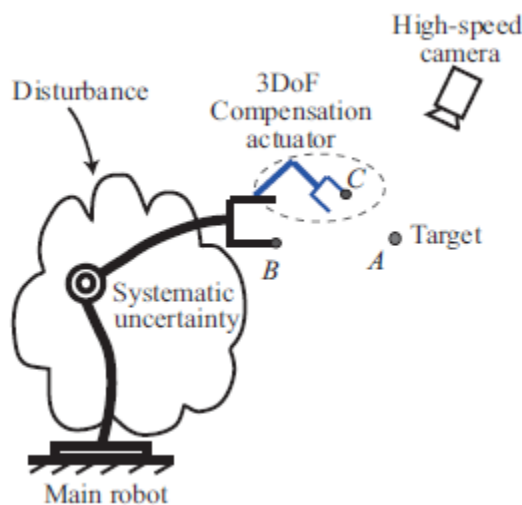


図 3-3.9.4-2 動的補償(B:メインロボット、C:補償アクチュエータ)

実施項目②(高速画像処理を用いた知能システムを推進するプラットフォームとソリューションパックの開発):

市場では高速な事象や現象を捉えるために様々な高速カメラが開発されているが、得られた高速な画像はメモリ上でオフラインにて画像処理・解析することが一般的である。本研究開発成果の様な実時間性をもった高速画像処理を提供するプラットフォームやソリューションパックを提供する事により、本成果が幅広い高速画像処理技術の応用分野において標準的な開発プラットフォームと、標準ソリューション群として市場を創出し、これまで高価な設備を使い、開発に時間がかかり、結果として開発される高速画像処理ソリューションの数は限定的であった現場での設備開発スピードが格段に加速されると共に、これらの効果により、高速画像処理技術が既存の産業分野において活用が促進される事に意義があると考えます。

実施項目③(粒状混合物の高速仕分け技術の研究開発):

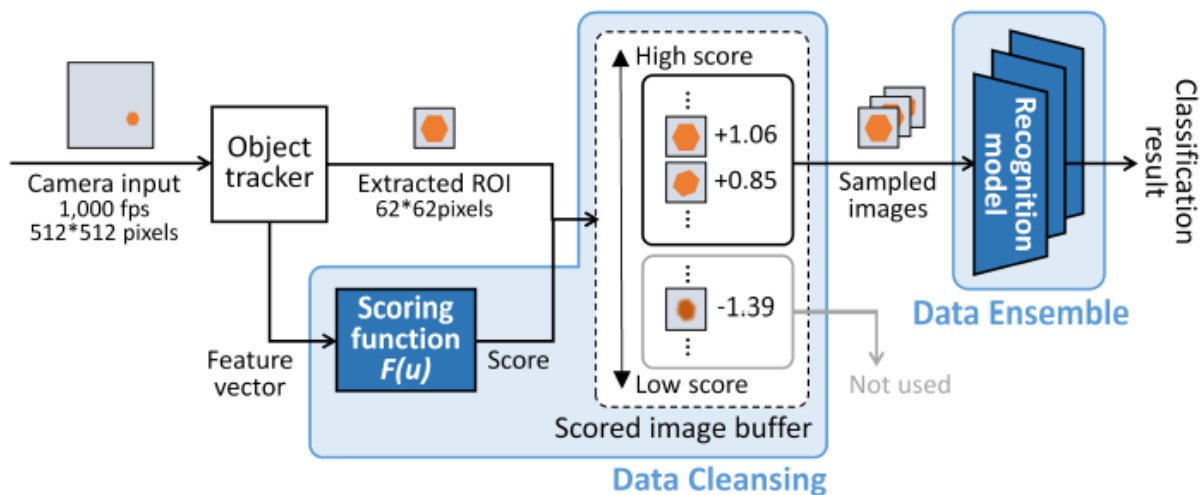
(1) CEATEC へのデモ機の出展

CEATEC2019 でリアルタイムデモシステムを展示し、自由落下する粒状物体に刻まれた文字を下記写真に示す高速カメラで撮影、識別装置で選択対象の文字を認識後に、仕分け機構から取り出すデモを実施した。



(2) 高速画像選別・認識処理技術

高速ビジョンセンサでは膨大な量の画像が PC に入力されるが、認識したい物体を追跡し、その中から識別に容易な物体の画像領域のみを選択する「高速画像選別処理(Data Cleansing)」と選択された複数画像データを高速かつ高精度に認識する「軽量認識処理(Data Ensemble)」を開発することにより、実現した。本成果は実環境で時々刻々と変化のある環境を実時間で理解して対応するための基本技術となる。



実施項目④(高速な FA システム実現に向けた高速センサフュージョン技術の研究開発) :

技術的には狙い通りの性能が達成可能な目処がついている。また、実証システムも目論見通り、事業化に向けた要件洗い出しが実施可能なレベルのものが構築されつつある

1. 高速なマルチモーダル情報統合化技術

視覚、近接覚、触覚を有するマルチモーダルセンサ把持機構を開発し、各センサからリアルタイム(1ms)にセンサ値が取得できている事を確認した。また、条件変動(ワーク形状および位置姿勢の変動)がある中でも機械が自律的にピッキングするための状態量を定義し、マルチモーダルセンサ把持機構の各センサ値から高速(ミリ秒オーダー)で抽出できることを確認した(図 3-3.9.4-3)。

	ワークへのアプローチ時	ピックアップ時
直方体ワーク	<p>「(状態量1)把持安定化ベクトル」に従いロボットの位置姿勢を制御し把持安定性を向上</p>	<p>「(状態量2)把持安定度」が閾値以上になる事でピックアップ可否を判断</p>
円柱ワーク	<p>(同じ状態量1を用いた制御)</p>	<p>(同じ状態量2を用いた制御)</p>

図 3-3.9.4-3 状態量ベースピッキングのワーク非依存性確認実験例

2. 実アプリケーション応用

キットिंगアプリを模擬するシステム(実アプリ模擬システム)を構築し(図 3-3.9.4-4)、高速マルチモーダル情報統合化技術を結合した。評価実験を通じて判明した課題(ワーク対応性等)に対応するためのアップデートを行い、目標となる複数ワークの高速調整レスピッキングを達成した。現在は、プレイスする場所の位置姿勢に変動がある中でも調整レス高速プレイスを実行するための開発を実施中であり、計画通りの達成を見込んでいる。

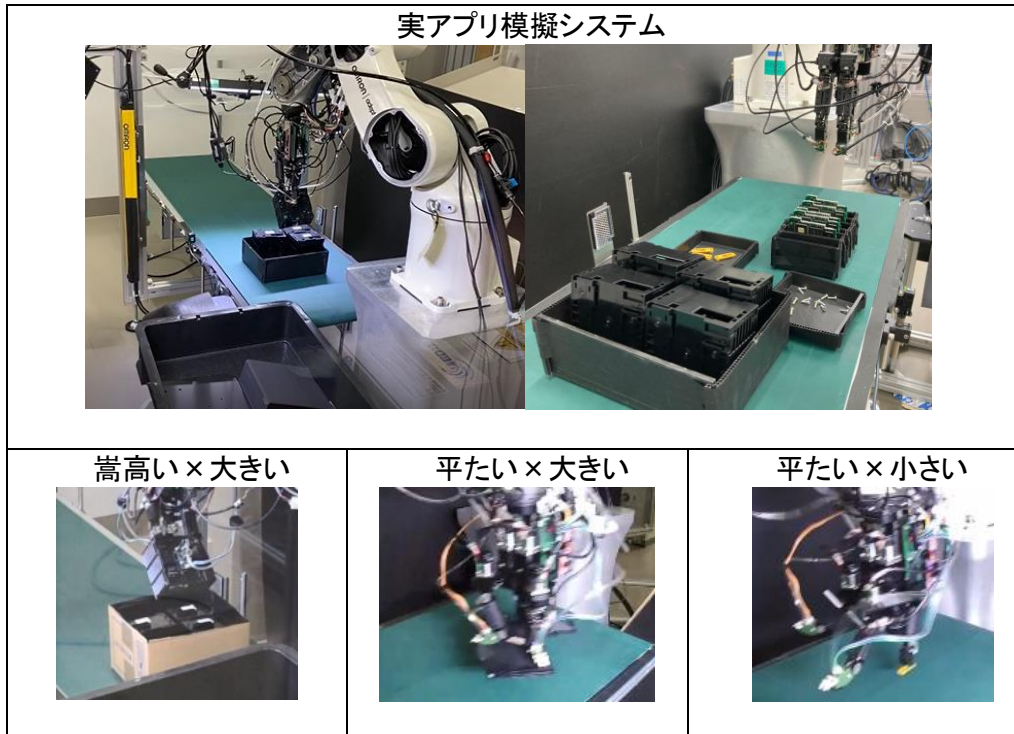


図 3-3.9.4-4 実アプリ模擬システムと複数ワーク高速調整レスピッキングの例

実施項目⑤(高速 ASM システム):

実際に構築したシステムを図 3-3.9.4-5 に示す。高速カメラシステムには、センサネットワークシステムの技術を応用することにより、高い画像分解能を維持しつつ、広い視野を確保している。高速カメラシステムの使用方法には2通りあり、1つ目は同じ画角で単純に視野を2倍にするもの、もう1つは異なる倍率で広視野と狭視野を利用してペグとホールの相対位置関係から使用する画像情報を選択するものである。どちらのカメラシステムにおいても今回のタスクを実現することができ、実応用の際にはそれぞれの特徴を活かしたシステム構成を可能にした。

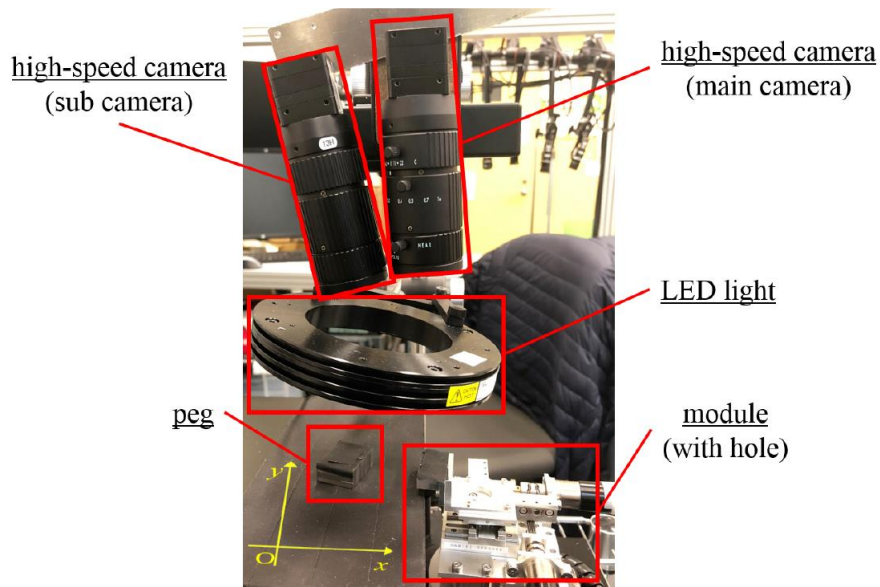


図 3-3.9.4-5 構築した支援システムの外観

駆動部の制御は完全なビジュアルフィードバックだけで実装されており、1kHz の高速画像処理によって得られる画像情報から高速かつ高精度での駆動部の制御に成功している。これにより、幅 $50 \mu\text{m}$ のペグ(凸部)と幅 $70 \mu\text{m}$ のホール(凹部)のはめあいタスクを実現している。タスク実行時における駆動部の応答を図 3-3.9.4-6 に、また駆動部のステップ応答の制御性能を表 3-3.9.4-1 に示す。これらの結果から、駆動部の視覚制御が適切に行われていることが分かり、かつ即応性の高い応答を示していることもわかる。

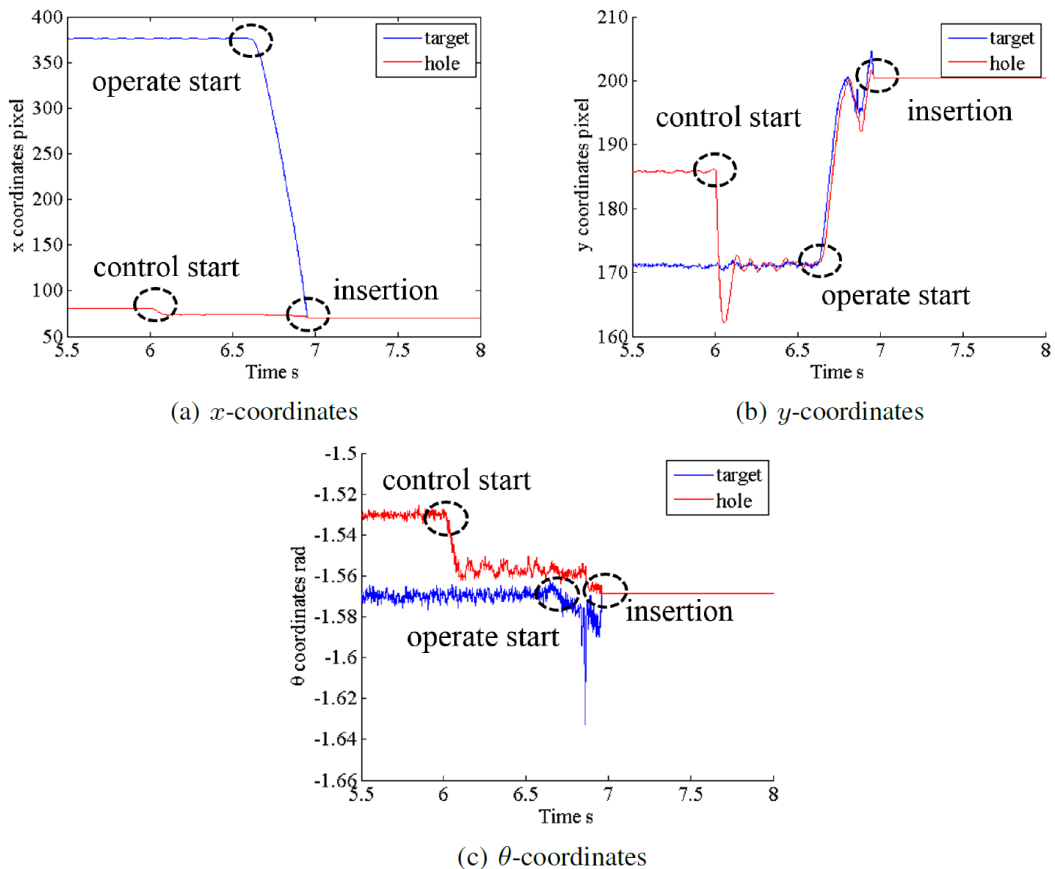


図 3-3.9.4-6 支援システムの時間応答

表 3-3.9.4-1 支援システムの制御性能

	オーバーシュート [%]	5%整定時間 [s]
parallel1	2.07	0.021
parallel2	2.07	0.013
rotation	2.31	0.006

図 3-3.9.4-5 で使用した駆動部は即応性といった点において十分な性能を示しているが、ストローク(補償範囲)が 20 mm と狭いことが欠点として挙げられる。実際の実応用を考えると、人間は 20 mm 以内の誤差までアプローチする必要があり、十分な補償範囲とは言い難い。そこで、ストロークを 50 mm まで拡張することを目指し、新規に高速 3 軸ステージを設計、開発した。そのシステムを図 3-3.9.4-8 に示す。また、高速 3 軸ステージの可動範囲をシミュレーションした結果を図 3-3.9.4-7 に示す。設計仕様通り、50 mm のストロークを実現するとともに、構築した支援システムの駆動部と同程度の制御性能を有していることを確認している。

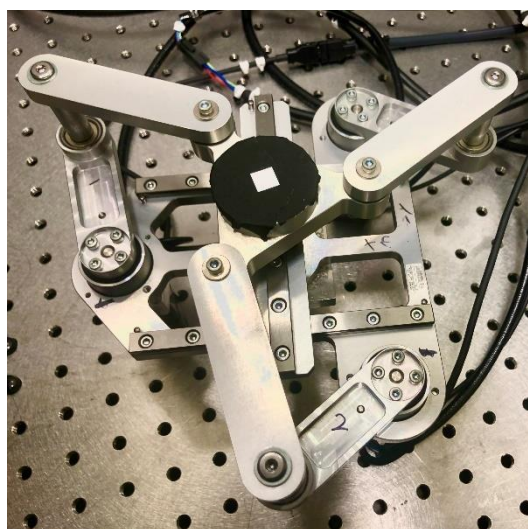


図 3-3.9.4-8 新規高速3軸ステー

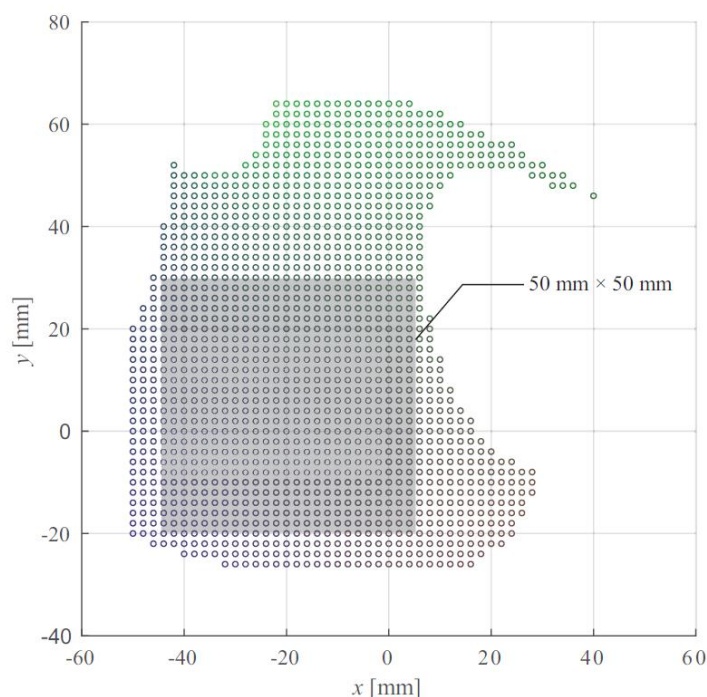


図 3-3.9.4-7 高速3軸ステージの可動範

3.9.5 成果の普及

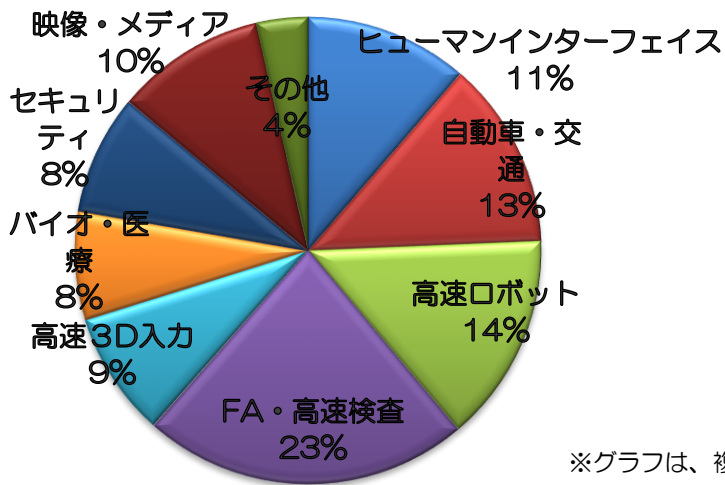
1) 成果最大化に向けた活動(WINDS ネットワーク)

高速画像処理技術は、本プロジェクトで研究開発を行っている FA・高速検査分野だけでなく、高速ロボット、自動車・交通、ヒューマンインターフェイス、映像・メディア、高速 3D 入力、バイオ・医療、及びセキュリティなど様々な分野での横断的技術応用が可能である。「WINDS ネットワーク」は、こうした高速画像処理の更なる普及と用途拡大、新規産業を目指すコンソーシアム形式の取り組みである。高速画像処理技術を飛躍的に進化(高速化、高精度化、省エネ化)させ、あらゆる産業分野の企業等に対して、セミナー活動等を通じて情報発信や意見・情報交換を行い、当該技術の応用展開に関する討議を行うことにより、広く事業化に至る研究・技術開発のサポートを推進している。

※WINDS ネットワーク WEB サイト URL: <http://www.winds-network.org>

(WINDS ネットワークの主な活動状況)

・会員数及び会員による想定応用分野の分布(2020年5月13日現在)
会員数：209 組織 (189 法人)



※グラフは、複数回答を含む

・WINDS フォーラム・セミナー

8回開催(2017年度～2019年度)

参加者数:各 100～130 名程度



WINDS フォーラム・セミナー風景

・ワークショップ(小規模セミナー形式) 2回開催

・会員企業との個別相談 等

2) 成果の発信状況

・エキスポビジョン

2017年12月のHSV SDKの成果発表と提供開始については、NEDOと共同でニュースリリースを配信したのをはじめ、高速画像処理技術のさらなる普及と用途拡大、新産業創出を目指したWINDSネットワーク主催のフォーラム、セミナーやワークショップでも積極的に発表やデモンストレーションを実施するなど、本成果の活用やその実装化につなげる為の普及活動を続けている。また、CEATECをはじめメーカーや販社が主催する展示会への出展やニュースリリースの配信を行い、多方面へ向けて広く情報発信をしながら普及に努めている。

・東京大学

特許論文等リストに記載するとおり、査読付き国際会議1件、査読付き国内学会1件、査読なし国内学会1件、講演1件を本研究の成果として発表し、国内外に発信している。また、うち1件の講演に対しては、日本機械学会若手優秀講演フェロー賞を受賞しており、本研究成果が高く評価されている。

3.10 研究開発テーマ「Field Intelligence 搭載型大面積分散 IoT プラットフォームの研究開発」

本研究開発項目では、「Field Intelligence 搭載型大面積分散 IoT (FIELD-IoT) プラットフォーム 基盤技術」を開発し、これによる次世代構造物ヘルスケア技術を確立するという目標に対し、①センサ開発、②診断アルゴリズム開発、③監視システム開発を達成し目覚ましい成果を上げつつある。

3.10.1 概要

(1) 研究開発の動機・背景

社会インフラ設備の維持管理では、限られた予算で老朽化していく設備を適切に維持管理していくために、効率的で効果的な維持管理手法の導入が急がれている。

国内のインフラ構造物の状況に目を向けると、国土交通白書等に記載されていますが、社会インフラ設備の高経年化に伴う更新費と維持管理費用の増大に対する費用抑制・平準化は、我が国の喫緊の課題となっている(図 3-3.10.1-1 参照)。

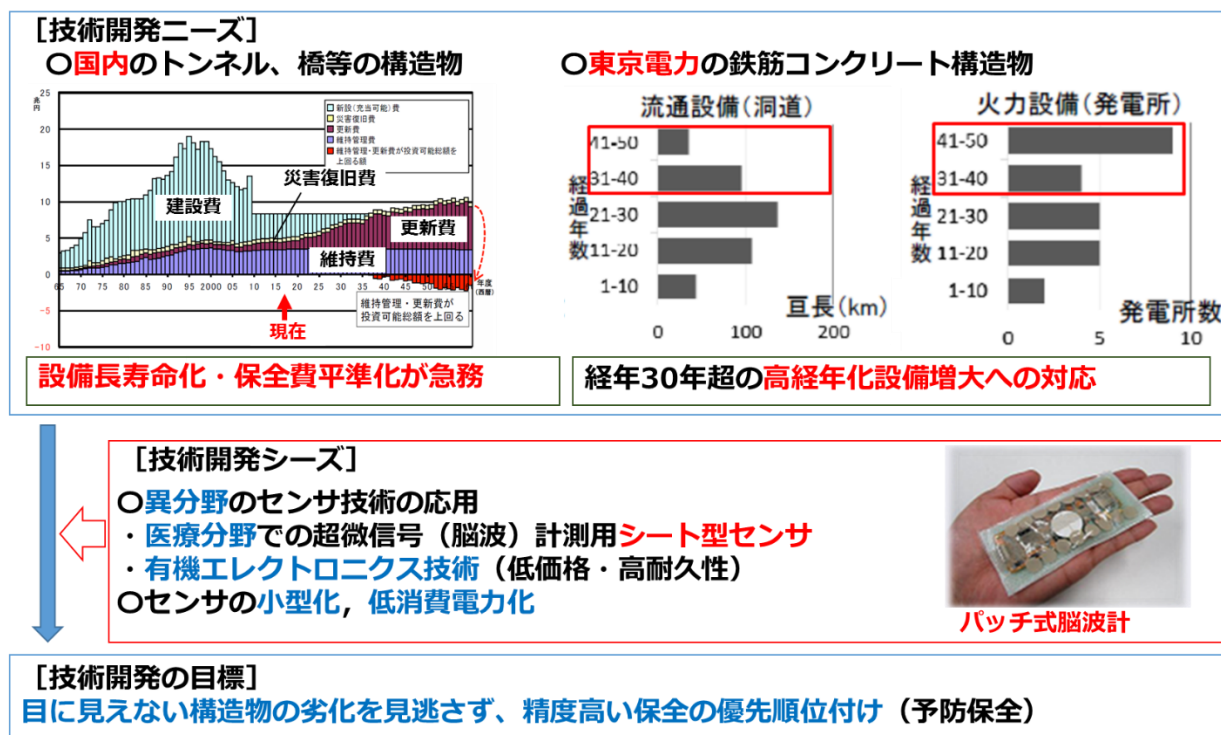


図 3-3.10.1-1 研究開発の背景

これまでの維持管理では外観目視点検が中心であり、すべてのインフラ設備に対応するためには膨大な人的な労力、費用が必要となってしまう。外観目視に依存していることから、変状が顕在化してからの対処となってしまう、予防的な措置を施すことが出来ない。結果として、変状が進んだ段階で対処することから、維持管理の費用も高価となってしまう。計測システム等を活用して、インフラ設備の異常を検知する方法も考えられるが、現状の計測システムは高価であり、容易に導入することが出来ない現状がある。

また、計測システムを導入しても、得られたデータが膨大であることから有効に活用できていないのが現状である。

そのため、その対策としては、高経年化設備の保全の最適化のため、目に見えない段階でのインフラの劣化を見逃さず、保全優先度を高精度で評価することが可能な予防保全の導入の実現が必要と考えられる。

一方、この課題解決で重要となる目に見えない内部の変化を把握するセンサ技術については、医療分野での体内の変化を把握するセンサ技術やセンサ自体の小型化・低消費電力化の技術が進化し、応用可能な状況にある。

上記のことから、社会インフラ設備の異常をとらえるための低コストのセンサシステムが必要であり、予防的な措置を施すことも可能とするセンサシステムが必要である。

そこで、本研究では、現状の「ヒトによる定期的点検」から「IoT活用による常時監視」へ転換するため、高経年化した設備から、多面的な設備状態の情報をより効率的に取得・評価することを実現して、設備保守業務の省力化と、インフラ設備管理コストの削減につなげることを目標として、開発に着手した。

この目標実現のためには、劣化検知センサを多種・多数設置した遠隔から常時モニタリング、潜在的劣化の可視化と補修・補強の優先順位付けの自動判定化、センサシステムの低コスト、長寿命化が重要と考えられる。(図 3-3.10.1-2 参照)。

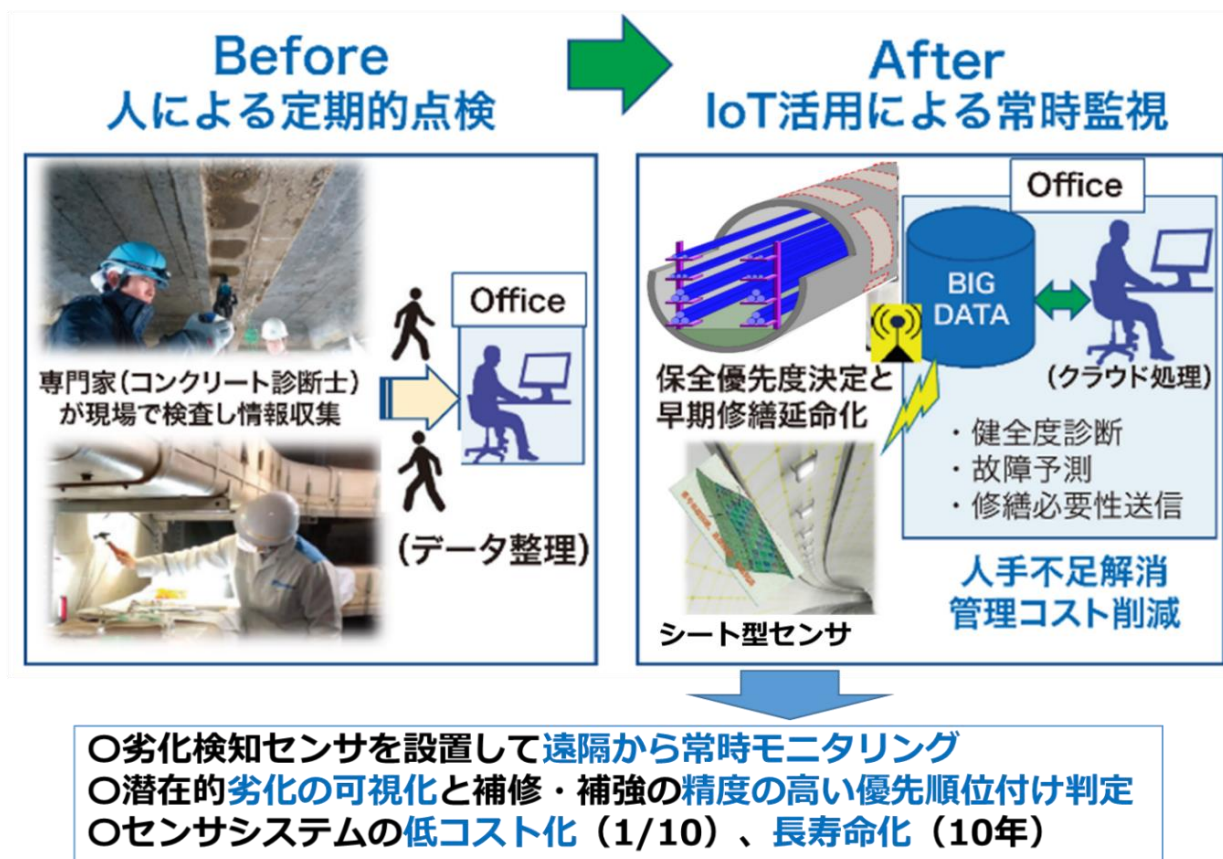
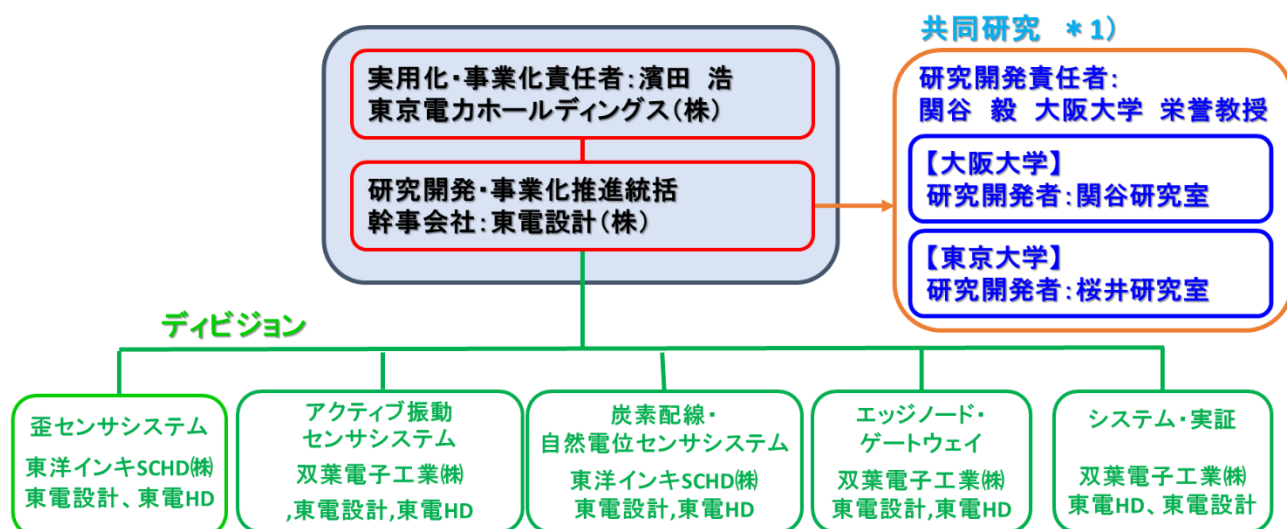


図 3-3.10.1-2 研究開発の目指す姿

(2) 研究開発の推進体制

「Field Intelligence 搭載型大面積分散 IoT (FIELD-IoT) プラットフォーム基盤技術」の研究開発については、2017 年～2018 年を受託研究として、2019 年～2020 年を助成事業として研究開発を推進し、2020 年現在の研究推進体制が、図 3-3.10.1-3 に示す通りとなる。



*1) 各企業はNEDOと直接契約、大学は東電設計と共同研究契約（継続）

図 3-3.10.1-3 研究開発の推進体制(2020年)

3.10.2 最終目標と根拠

(1) 研究開発の目標

本研究の開発内容は、①センサ開発、②診断アルゴリズム開発、③監視システム開発に大別できる。

各研究開発項目の目標を表 3-3.10.2-1 に示す。

これらの開発目標に合わせて、歪、振動、自然電位、塩化物イオン濃度のセンサ及びシステムについても、表 3-3.10.2-1 に示した目標が不可欠である。本プロジェクトでは、研究開発目標をシステムとして満足するために、参加機関が相互に協力して研究開発を進める必要がある。

表 3-3.10.2-1 研究開発の目標

項目	最終目標(2020年度末)
センサ開発	・開発センサの耐久性を10年とする
診断アルゴリズム開発	・設備の変状とセンサの異常を判定するアルゴリズムの開発 ・多種の面的なデータから設備の健全性を評価するシステムの開発
監視システム開発	・低消費電力化

(2) 目標設定の理由

センサ開発では、従来の歪み等のセンサは電気洞道等のトンネル内の高湿度環境、橋梁等の風雨にさらされる環境下においては、数週間～1年未満程度の耐久性しかなかったものを、今回の開発センサでは10年の耐久性を確保することを目標とする。また、歪みや振動センサについては、従来のセンサの適用範囲を大きく上回る測定範囲を確保可能とする。また、センサシステムの費用は従来費用の1/10を目標とする。

診断アルゴリズム開発では、得られたセンサのデータに基づいて、設備の変状とセンサの異常を判定するアルゴリズムと、多種の面的なデータから設備の健全性を評価するシステムを開発することを目標とする。

監視システムでは、社会インフラ設備の大半が外部から電源の供給がない場所に設置されることを踏まえ、間欠計測を動作において電池を用いた場合、従来計測センサでは数日で電池切れとなることに対し、バッテリーのメンテナンス間隔が長期間となるシステムを開発することを目標とする。

3.10.3 目標の達成度

表 3-3.10.2-1 の研究開発の目標の各項目に対する、現段階の達成度は、以下の通りである。

○センサ開発(目標:耐久性を10年とする)

炭素を主とした配線、歪センサ、自然電位、塩化物イオン濃度については塩水噴霧耐久試験により耐久性10年に目処を付けた(目標に対する達成度80%)。

歪センサに関してはセンサ形状について検討中。(2020年6月現在)

一方、振動センサ部材、計測システム部の試作を完了し、高精度化を図るための検討と耐久性を確保するための検討を現在実施中である(2020年6月現在)。

炭素配線は積層構成と通信・伝送系システムとのマッチングを検討中である(2020年6月現在)。

○診断アルゴリズム開発

(目標:設備の変状とセンサの異常を判定するアルゴリズムの開発)

センサ信号取得から商用通信を利用してクラウドに情報を展開するデータフローの構築に目途をつけた(目標に対する達成度80%)。

一方、設備変状とセンサ異常を判定するアルゴリズムの開発は現在も継続中である(2020年6月現在)。

(目標:多種の面的なデータから設備の健全性を評価するシステムの開発)

コンクリート亀裂(歪)、鉄筋腐食、塩化物イオン濃度、振動センサ、それぞれの個別センサのデータからの設備の異常の検出に目途をつけた(目標に対する達成度80%)。

一方、それらの各センサからの検出情報を総合した設備の健全性評価のシステム化を進めており、2020年9月頃から実証試験を実施予定である(2020年6月現在)。

○監視システム開発(目標:低消費電力化)

バッテリーの充放電条件に着目した劣化抑制技術の開発により、シミュレーションにより低消費電力化の目標達成に目途をつけた(目標に対する達成度80%)。

初期システムと比較し約70%の消費電力削減に目途をつけたシステムとバッテリー劣化抑制技術の融合を行った実証試験用システムを開発中である。(2020年6月現在)。

また、本プロジェクトの2020年度の取り組みについては、表3-3.10.3-1に示す通りであり、2020年度末までに当初の開発目標を達成する予定である。

表 3-3.10.3-1 本プロジェクトの 2020 年度の取り組み

項目	実施項目	最終目標	担当と具体的な取組み事項	
			担当	内容
センサ開発	歪	耐久性 10 年、コスト 1/10	東洋インキ SCHD 大阪大学	新素材を用いた微細歪から数 mm クラックに至るまでの広域レンジ歪計測用センサ開発
	自然電位	自動測定 耐久性 10 年、コスト 1/10		新素材を用いた鉄筋腐食電位計測用センサ開発
	塩化物イオン濃度	自動測定 耐久性 10 年、コスト 1/10		新素材を用いたコンクリート中の塩化物イオン濃度計測用センサ開発
	振動	自動測定 耐久性 10 年、コスト 1/10		東電設計 大阪大学
診断アルゴリズム	Field AI クラウド AI	設備の変状とセンサ劣化・異常の区分け 多種・面的データによる設備変状のスコア化	東京電力 HD 東電設計	現場におけるセンサ自己診断や設備変状の緊急性判定 データ収集中央における設備の健全性診断
監視システム	省電力化 AI を活用した環境ノイズ キャンセリング ワイヤレス通信	遠隔・断続監視 屋外・屋内・トンネル内設置可 帯域、方式の決定	東京電力 HD 東電設計	センサシステムの検証・実証
			東電設計 大阪大学 東洋インキ SCHD	センサ、炭素配線、エッジノード、ゲートウェイ、それぞれ開発、システムの統合化 接合封止技術の開発
			東電設計 双葉電子工業 東京大学	長寿命化電源システム開発
			双葉電子工業	モジュール周辺機器開発
			東洋インキ SCHD	新素材を用いた積層炭素配線シートの開発

センサ開発については、2019 年度までに各種センサについて基本性能の確認を実施した。監視システム開発については、2019 年度までに、炭素配線シート、エッジノード、ゲートウェイの試作を実施した。

3.10.4 成果と意義

本研究開発の成果としては、省エネルギーに繋がる①CO₂ 削減への効果と、②設備・メンテナンスのトリアージによるコスト削減効果を想定している。

CO₂ 削減への効果としては、開発を行って来た Field Intelligence 機能を有したセンシングシステムの実構造物への適用結果による CO₂ 削減効果を算出するとともに、本技術を広く社会へ展開した場合についての削減効果を推定することで、2030 年時点における CO₂ 削減効果が事業全体として年約 90 万 t を実現し得ることを想定している。

設備・メンテナンスのトリアージによるコスト削減効果としては、例えば、電力送電用洞道へ展開することで、図 3-3.10.4-1 に示すような実際の洞道の補修および新設工事の抑制効果を想定している。

**研究開発内容：Field Intelligence 機能を有する炭素配線大面積シート型センサを用いた
インフラ設備点検システム**

キーワード：低コスト（炭素配線）、大面積、常時監視、Field Intelligence（簡易診断、センサ故障検知）、
クラウド連携（検査物全体の高精度健全性診断）

開発目標：予防保全による設備延命化
⇒ 2037年度以降も「設備投資費＞設備更新費＋維持管理費」の真現に貢献

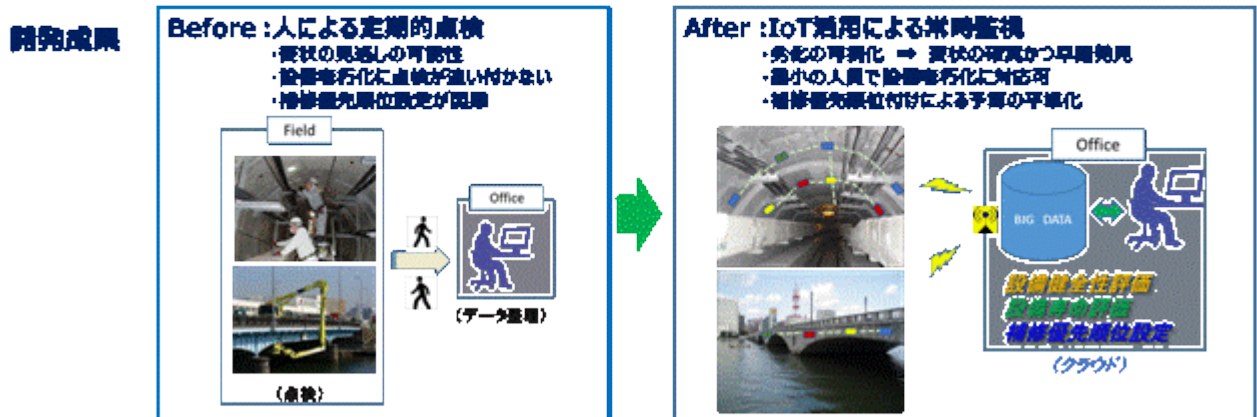


図 3-3.10.4-1 開発成果のイメージ

また、多くの社会インフラ設備に用いられている鉄筋コンクリート構造は、単一メカニズムで劣化進行するだけでなく、複合的な劣化を生じている場合もあり、設備が置かれている環境条件によって、劣化速度が異なることから、劣化の将来予測には未だ技術的な課題が多い。開発センサシステムが実用化されてデータが蓄積されて、それらのデータの分析等を行うことによって、さらなる劣化速度の高精度化を図ることが出来、コンクリートの予防保全技術の発展に寄与するものと考えている（図 3-3.10.4-2）。

センサ開発

鉄筋コンクリート構造物の内部劣化から表面に発生する劣化まで把握するための4種類のセンサ（塩化物濃度、自然電位、振動、歪み）を開発



図 3-3.10.4-2 コンクリートの予防保全に寄与するセンサ開発の概要

本研究で取り組む①センサ開発、②診断アルゴリズム開発、③監視システム開発の技術の新規性・優位性・成果の意義については、表 3-3.10.4-1 に示す通りとなる。

表 3-3.10.4-1 開発技術の新規性・優位性・成果の意義

開発項目	新規性・革新性	技術の優位性	成果の意義
センサ開発(1)	<p>人力調査を自動化 (塩化物、自然電位センサ) 潜在的な微細な変化も検知 (振動センサ)</p>	<p>自動検知 アクティブ型</p>	<p>緊急措置判断の対応が可能 潜在的な変状の把握による戦略的な維持管理</p>
センサ開発(2)	<p>有機素材のセンサ適用</p>	<p>低コスト、高耐久性</p>	<p>他の用途への展開による産業活性化</p>
診断アルゴリズム	<p>AI技術導入による設備診断ノウハウと蓄積データの融合</p>	<p>熟練技術者に代わる、及び進化する診断</p>	<p>蓄積データの更なる活用による土木技術の発展に貢献</p>
監視システム	<p>多様なフィールドへの実装</p>	<p>省電力、耐ノイズ性</p>	<p>多様な環境で適用可能 社会インフラ設備以外の分野においても、省電力化に貢献</p>

3. 10. 5 成果の普及

研究開発成果の普及については、プロジェクトメンバーのうち、東電設計では、高速道路事業者のグループ会社と共同で道路橋の床版の劣化監視技術の開発を行っている。

この技術は、監視方法として技術的には実用化レベルに達しているが、市販の振動センサを用いることから、市販センサが高価であることと大量データに対応できないために、システム化が図れていないために普及を妨げている。

そこで、この技術を活用すると共に、本プロジェクトの開発成果と組み合わせることで、より良い維持管理システムが開発でき、東電設計を通じて、開発成果の普及が実現できるものと考えている。

3.11 研究開発テーマ「Sensor-to-Cloud Security～ビッグデータを守る革新的 IoT セキュリティ基盤技術の研究開発」

本研究開発項目の内「計測セキュリティの研究開発」では、2018 年度までの研究成果を得て、「高効率・高速処理を可能とする AI チップ・次世代コンピューティングの技術開発／革新的 AI エッジコンピューティング技術の開発／AI エッジデバイスの横断的なセキュリティ評価に必要な基盤技術の研究開発」の実施項目①に発展的に継承された。

当該研究プロジェクト実施項目①においては、本研究開発の 2018 年度までの成果を活用し、「AI エッジ入出力セキュリティ評価シミュレータの開発」を行うこととなった。

本研究開発項目の内「高機能暗号の研究開発」では、高機能暗号をスケーラブルにハードウェアとして構築するため、アーキテクチャ、回路システム、デバイス集積、セキュア実装、を垂直統合する研究開発を推進し、

- ① 高機能暗号を 10 ミリワット以下で実現する低電圧・省電力デバイス(65 nm SOTB デバイス等)による末端ノード向け暗号モジュール技術
- ② 高機能暗号を 10,000 並列以上のスケーラビリティで具現する超並列・多積層デバイス(TSV ベースの 3D デバイス等)による中間・上位ノード向け暗号モジュール技術

を確立した。

これにより、市場における高機能暗号実用化への道を切り拓くことが可能となった。

個別の研究開発テーマにおける詳細は以下に示す。

3.11.1 研究開発サブテーマ「計測セキュリティの研究開発」

3.11.1.1 概要

新しい情報社会の概念が Cyber Physical System や Internet of Things (IoT) といった言葉で語られ、物理世界および論理世界からのデータの計測、その通信、蓄積、処理を踏まえた利用(物理世界の制御を含む)とその結果の確認、さらには保守管理などの全ての側面に関し、適切なセキュリティが求められる時代が到来しようとしている。研究開発項目Aではセンサ、データ取得・収取部分すなわち「計測」に着目する(図 3-3.11.1-1)。

2020 年にはセンサ 1 兆個、IoT 機器 250 億台の時代が到来する。センサ(一般的には計測システム)で「計測」した情報が信用できることは、IoT が健全に展開されるための大前提となる。

センサにおける「計測」に対する攻撃は、(1) 誤った計測結果(偽のセンサ出力)を出力させようとする攻撃、すなわち計測のインテグリティ(Integrity)を脅かす攻撃、および、(2) 計測をできなくする DoS(攻撃サービス不能)攻撃、すなわち計測の可用性(Availability)を脅かす攻撃に大別できる。

自律制御や自動運転やロボットや医療機器や社会インフラなどのあらゆるシステムを含む今後の IoT において、これらの攻撃に由来する誤動作や停止は、人命・身体・社会システムの深刻な危険にもつながる大きな脅威である。

このように考えると、この近未来の脅威によるリスクを低減するために、データ取得・収集段階(制御結果の確認段階を含む)におけるセキュリティ(インテグリティ、可用性)、すなわち「計測セキュリティ(Instrumentation Security)」の分野の研究開発が極めて重要であることがわかる。

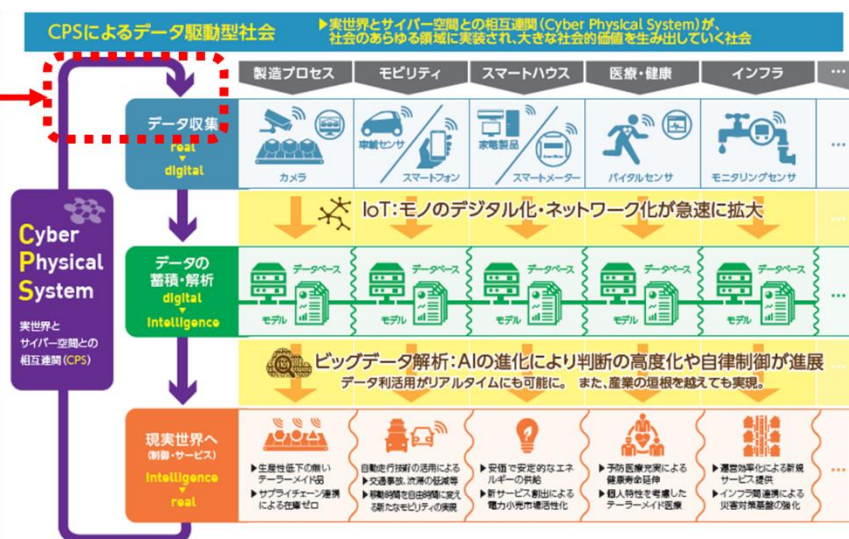
しかし、既によく認知されている、サイバーセキュリティの諸分野である、ネットワーク上のセキュリティ、記録のセキュリティ、機器・ソフトウェアのセキュリティ、クラウドデータ処理のセキュリティ、サービスのセキュリティなどに比べ、計測セキュリティはほとんど研究が進んでいない状況である。今後の IoT において計測セキュリティを確保・強化するために必要である、

- (a) 計測セキュリティを評価する技術、要求水準の基準、保証スキーム等の開発、

(b) 重要な計測システムの計測セキュリティを強化する方法の開発
 において組織的な研究開発の取り組みが圧倒的に不足している。特にセンサ入力に対して直接作用するタイプの攻撃には、他のセキュリティ分野で有効とされた技術が効力を発揮しえない場合も多い。

A. 計測セキュリティ

●未開拓課題：データ取得・収集における情報・物理セキュリティ



経済産業省・産業構造審議会商務流通情報分科会・情報経済小委員会「中間取りまとめ ～CPSによるデータ駆動型社会の到来を見据えた変革～」2015年5月21日
http://www.meti.go.jp/committee/sankoushin/shojo/johokeizai/report_001.html

図 3-3.11.1-1 計測セキュリティの重要性は明白である

3.11.1.2 最終目標と根拠

【セキュリティ評価技術】

センサにおける脅威や脆弱性の具体化のため、産学連携を活用して攻撃用テストベッドを構築し、対策が必要な攻撃を網羅的に把握する。(実施項目A-1、A-2)

【セキュリティ要件抽出】

具体化されたセンサへの脅威を共有し、対策の必要性を機能要件にブレイクダウンして業界標準化を推進する。(実施項目A-4)

【セキュリティ機能開発】

機能要件を満たす、かつセンサ IC などのアナログ IC からマイコンまでを幅広くサポート可能な対策技術を開発する。コストが普及の妨げになる点を考慮し、それぞれの IC でチップコストにインパクトを与えない方式を開発する。(実施項目A-3)

【技術展開及び事業化】

抽出した機能要件とその評価技術は IoT システムのコンポーネントとなるセンサ IC、アナログ IC、マイコン等で不可欠なセキュリティ機能の確認技術として標準化する。当該機能を満たす IC は高付加価値製品とし差別化する。

3.11.1.3 目標の達成度

本研究開発は、2018 年度までの研究成果を得て、「高効率・高速処理を可能とする AI チップ・次世代コンピューティングの技術開発／革新的 AI エッジコンピューティング技術の開

発／AI エッジデバイスの横断的なセキュリティ評価に必要な基盤技術の研究開発」の実施項目①に発展的に継承された。

よって、2018 年度までの研究成果による、目標達成の状況を以下に記す。

(1) 2018 年度までの成果概要

研究開発項目A.「計測セキュリティ」に関して、各種センサ等の計測セキュリティの実態解明、計測セキュリティの評価方法、強化策ならびに保証スキームについて、参加組織を跨いで有機的に研究開発した。

(2) A-1. 受動的計測のセキュリティ評価技術

センサとクラウドの連携システムとして、ロボットの位置情報をクラウドで監視可能なシステムを想定し、超音波による遠隔攻撃の再現環境の構築と攻撃の影響度に関するセキュリティ分析を実施した。また、センサを搭載したドローンに対する超音波による遠隔攻撃の再現環境の構築し、センサへの攻撃がシステム全体に波及することを確認した。本テストベッドを簡略化したデモシステムを開発し広報発表を行った。

(3) A-2. 能動的計測のセキュリティ評価技術

センサ自身から信号を発信して能動的に計測するセンサ／計測システムを対象として、脅威に対するセキュリティを評価する技術を確立する。信号の飛行時間を用いて距離を計測する Time of Flight (ToF)方式と、三角測量方式とを主な対象としている。

A-2-1. ToF 測距センサのセキュリティ評価技術

単一方向からの攻撃に対するセキュリティ評価技術の開発を行い、ToF 距離画像カメラに関する評価システムおよびそれを用いた評価方法をとりまとめた。

A-2-2. 三角測量のセキュリティ評価技術

光切断法を用いた三次元距離・形状測定手法に対する攻撃に関し、代表的な 2 次元パターン光投影手法である位相シフト法に対する攻撃手法や、攻撃光強度と測距誤差に関する評価による攻撃耐性の評価手法を確立し、A-3. 計測セキュリティ強化技術研究に活用した。

(4) A-3. 計測セキュリティ強化技術

A-2で示される、能動的な測距手法に対する攻撃耐性評価基準に則って、攻撃耐性を有するセンサおよびそれを用いた測距システムの開発を行う。

A-3-1. 計測セキュリティ強化方式

実用的計測セキュリティ強化方式の開発を行い、LIDAR に関する実証システムを構築した。

A-3-2. セキュリティ強化センサ

固定長符号をピクセル内で検波可能なセンサ回路を設計し検証を行った。

A-3-3. セキュア時間回路

アナログデジタル変換器の偽装攻撃応答モデル及び偽装攻撃対策回路を開発した。

(5) A-4. 計測セキュリティ保証スキーム

産業技術総合研究所 CPSEC の設立を受けて、当該機関を中心とするセキュリティ保証スキーム構築活動の一環として、計測セキュリティ保証スキームを構築していく方針をとりまとめた。

3.11.1.4 成果と意義

本研究開発は、2018 年度までの研究成果を得て、「高効率・高速処理を可能とする AI チップ・次世代コンピューティングの技術開発／革新的 AI エッジコンピューティング技術の開発／AI エッジデバイスの横断的なセキュリティ評価に必要な基盤技術の研究開発」の実施項目①に発展的に継承された。

当該研究プロジェクト実施項目①においては、本研究開発の 2018 年度までの成果を活用し、「AI エッジ入出力セキュリティ評価シミュレータの開発」を行うこととなった。

3.11.1.5 成果の普及

「AI エッジ入出力セキュリティ評価シミュレータ」は、2023 年度以降、産業技術総合研究所に提供され、同機関において、セキュリティ評価分析技術基盤として活用される予定である。

3.11.2 研究開発サブテーマ「高機能暗号の研究開発」

3.11.2.1 概要

近年、IoT に代表されるように、さまざまな情報の高度利活用が検討されている。それに従い、プライバシー保護の観点などから、それらの情報のセキュアな管理が一層重要となっている。しかしながら、従来の暗号技術を単純に適用した場合、暗号化状態のままでデータ処理・管理を行うことが困難であるため、情報の高度利活用を行う上で問題となる。たとえば、通常の公開鍵暗号において、受信者Aの公開鍵を用いてデータの暗号化を行いクラウドストレージ上で保管する場合、この暗号化データの復号は受信者Aだけしか行えないため、このデータの広範な利用は困難となる。また、単一のデータに対して、受信者毎に個別の暗号化を行った場合、元々は単一のデータであるにもかかわらず、受信者毎に異なる個別の暗号文を生成する必要があるため、計算コストと記憶容量のいずれもが膨大となる。これは、クラウドを通じたビッグデータの広範な相互利活用が期待される近未来において、極めて憂慮すべき問題である。暗号化されたデータは、一見すると無意味なデータの羅列とみえるため、上記の例に留まらず、通常想定されるデータ処理・管理の多くが極めて厳しい制限を受けることになる。

これらの問題に対し、単にデータの秘匿性を保証するだけでなく、高度なセキュリティを保ったまま、データの高度利活用を可能とする暗号技術は、**高機能暗号**と呼ばれている。高機能暗号とは、単一の暗号技術の呼称ではなく、従来の暗号技術の単純な利用が問題となるさまざまな状況に対応するための個別の新規暗号技術の総称であり、主として公開鍵暗号の機能を究極に近い形で発展された暗号技術と位置づけられる。

そのような高機能暗号の代表例として、検索可能暗号、属性ベース暗号(可変復号条件暗号)、ID ベース暗号、無効化機能付き ID ベース暗号、関数暗号、準同型暗号、代理再暗号、閾値暗号、放送暗号、グループ署名、属性ベース署名、アグリゲート署名(集約署名)、準同型署名などが挙げられる。たとえば、上記の例においては、属性ベース暗号(可変復号条件暗号)を用いることで、暗号化の際に復号を許可された利用者属性の条件を指定し、その条件を満足する属性をもつ利用者だけに復号が可能であるようにすることができる。これにより、クラウドストレージ上には、受信者毎の個別の暗号文を保管する必要はなく、単一の暗号文だけを保管すれば十分となる。

上述の通り、高機能暗号はさまざまな個別技術を包含するものとなっているが、興味深いことに、それらのほとんどにおいて、その最も核となる基本演算部分は共通しており、これは**ペアリング**と呼ばれる演算である。したがって、ペアリングの計算を高速かつ省エネルギーに実行することにより、上記のさまざまな高機能暗号が一括して、同様に高速かつ省エネルギーに実現可能となる。

3.11.2.2 最終目標と根拠

本研究開発項目では、高機能暗号をスケーラブルにハードウェアとして構築するため、アーキテクチャ、回路システム、デバイス集積、セキュア実装、を垂直統合する研究開発を推進し、下記の技術を確認する。従来型の半導体トランジスタの超微細化を前提とせずに、セキュア暗号モジュールの性能を先端設計・実装技術によりスケーリングするシナリオの獲得を目指している。

- ① 高機能暗号を 10 ミリワット以下で実現する低電圧・省電力デバイス(65 nm SOTB デバイス等)による末端ノード向け暗号モジュール技術
 - ② 高機能暗号を 10,000 並列以上のスケーラビリティで具現する超並列・多積層デバイス(TSV ベースの 3D デバイス等)による中間・上位ノード向け暗号モジュール技術
- これにより、市場における高機能暗号実用化への道を切り拓くことが可能となる。

3.11.2.3 目標の達成度

B-1-1 高機能暗号ユースケース

本項目では、高機能暗号のフィールドネットワークにおける有望なユースケースを明確にすることを目標とした。多数の末端ノード(例えばセンサや監視カメラ)からデジタル署名付きでデータを送信し、ネットワークの上位ノードにおいてそれらのデータとデジタル署名が整合することを検証する機能の効率化はニーズが高い。これを高機能暗号のキラーアプリケーションの一つと位置付けた。多数の末端ノードからの多数のデジタル署名を中間ノードにおいて集約してひとつの署名に変換し、上位ノードにおいて多数のデータ群とひとつの集約署名との整合性を検証する、集約署名方式で、不正ノード追跡機能を有するもののニーズが高いことを示し、そのフィジビリティを実証評価した。以上から、当初の目標を達成したといえる。

B-1-2 高機能暗号アルゴリズム

本研究項目において、利用についての検討が進められてきた集約署名について、有用な付加機能が追加された拡張方式のプロトタイプ設計を推進した。具体的には、電子署名の対象となる通信データとは独立に生成可能な情報を電子署名の生成に先行して事前に生成し、予め署名検証サーバに送信しておくことで、実際に署名生成を行う際の処理性能を高める手法についての設計を行った。

B-1-3 高機能暗号運用

高機能暗号は、従来の暗号にはなかった様々な機能が実現することが特長である。それを実現するために、システムで発行された複数の鍵は相互に独立ではなく、鍵の間に一種の相関が存在している。このような特性をもった鍵を生成する最も簡単な方法は、鍵管理を担当する唯一のセンターを想定することである。鍵管理とは、鍵を発行し、運用し、使用停止する、という鍵のライフサイクルに責任を持つ機能である。鍵管理はシステムの実際の安全性を左右する重要な機能であるため、鍵の発行などの処理は安全で管理された環境下で行う必要がある。また鍵管理を行うセンターは大きな権限を有するので、決して不正を行わない仮定が必要である。この仮定がおけない場合には、相互に牽制力をもつ複数主体が分担して鍵管理を担当するという方法が考えられる。高機能暗号の実運用にあたっては実際のリスクに応じてこのような鍵管理の実現方法に対する配慮も必要になる。

上記の観点から、本研究項目においては、下記3種類の高機能暗号について、鍵管理の役割を整理し、特定した。

属性ベース暗号の場合:この方式では個々のユーザと、そのユーザがどのような属性を有するかに対応付けと、その対応付けに従った鍵の発行が必要となる。これを鍵管理セン

ターが行う。センターはユーザと属性の対応付けが変わった場合には、それを常に鍵に反映させる必要がある。

集約署名の場合：この方式は属性ベース暗号の場合よりも単純であるが、複数の署名を集約して1回の処理で検証できるために、複数の署名ノードの鍵の間に相関を持たせている。相関をもった鍵を発行するために鍵管理センターが必要である。

検索可能暗号：この方式の場合にはセンターが必ず必要という訳ではないが、暗号化したままの情報を検索が可能とするためにユーザが作成した検索用鍵が用いられる。検索用鍵が検索を実行するサーバに悪用されかつ検索ワード空間が小さい場合には、検索ワードに関する攻撃用辞書を作ることが可能となる。検索鍵が意図しない使われ方をしないように管理する必要がある。

2020 年度、本プロジェクトが開発する高機能暗号モジュール(クラウドネットワーク用)を用いて、上記検索可能暗号の内、秘匿検索システムについて、ネットワーク上の運用シミュレーションを行い、当初の目標を達成する見込みである。

なお、このような短・中期の課題に加えて、長期的に一定の安全性を維持するために鍵のサイズを大きくする対応も必要になる。このことは従来の暗号にも共通する課題であり高機能暗号特有の課題という訳ではない。しかし将来の鍵サイズの置き換えを想定したシステム更新計画も実運用上の大きな課題である。

B-2-1 高機能暗号のスケラブル・アーキテクチャ

本研究項目では、10,000 倍という途方もない性能向上を到達目標として掲げている。そのベンチマークとしては、研究提案時に当時最速と考えられていた、Intel Core-i7(22nmCMOS)を用いた実装で、1回のペアリングの実行に計算時間 341us(840,000 クロック)、消費電力 80W(見積もり)を用いている。秘匿検索を用いるための一例として、7座標に対するマルチペアリングを想定すると、ベンチマークでは、2.4ms(5,880,000 クロック)となる。これを複数回の試作により、3コアを並列に動作させ、5スレッドのデータを同時に実行することで、7-マルチペアリング当たり 56us(11,258 クロック)により実現できるペアリングエンジンを開発し、速度性能に関して 40 倍の性能向上を実現している。また、消費電力は、typical 200mW を実現しており、おおよそ 400 倍の電力削減を実現している。本実現は 65nm プロセスを用いたものであり、22nm プロセスの性能と校正に比較を行うためには、22nm もしくは先端プロセスによる見積もりが不可欠であり、例えば 12nm プロセスでの実装見込みではクロック速度 5 倍の見込みを得ており、結果的に動作速度 200 倍の見込みが得られ、また、その際の消費電力見込みは 4 倍程度であることから、消費電力的に 100 倍程度の削減の見込みとなる。本ペアリングエンジンは、プロセスに関してスケラブルであるため、先端プロセスを使用することで、さらなる速度向上と電力削減効果が見込まれる。以上より、当初の目標を十分に達成している。

B-2-2 暗号回路システムのセキュア設計開発プラットフォーム

本研究項目では、暗号回路システムのセキュア設計開発プラットフォーム構築に関して、①高機能暗号向け機能回路ライブラリ、②高機能暗号向けセキュア物理設計環境、③高機能暗号向けセキュア物理シミュレーション、④高機能暗号向けシステム実装環境の確立を目標とした。高機能暗号の高速化・並列化実装に向けた低位の演算構造体の回路ライブラリとして、国内製造可能な 130 nm CMOS 技術による高機能暗号システム ASIC チップを設計開発し、また、秘密検索分散処理向けマルチチップ高機能暗号モジュールの構築に成功した。ここで、マルチチップの面内並列化構成とシリコンインタポーザへの 2.5 次元実装による三次元積層の模擬構造を構築することで、高機能暗号回路システムのセキュア物理設計環境およびセキュア物理シミュレーション技術を確立するとともに、三次元積層実装技術開発の

効率化した。さらに、秘匿検索アプリケーションとマルチチップ高機能暗号モジュールのハードウェア・ソフトウェア統合によるセキュアシステム実装開発プラットフォームの確立に応用した。以上の取組みにより研究目標を十分に達成した。

B-2-3 高機能暗号向け先端デバイス集積

本研究項目では、高機能暗号チップの 2.5D 及び 3D 物理実装に向けた小径シリコン貫通電極(TSV)プロセスと裏面厚膜配線プロセスの両立する製造プロセス技術を構築することで高機能暗号向け暗号回路システムによる秘匿検索分散処理プロトタイプの実現を目標とした。まずは各要素の基盤技術を構築し、それらを統合したプロセス技術を開発した。このプロセス技術を国内製造可能な 130nm CMOS 技術による高機能暗号システム ASIC ウェーハに適用するプロセス技術の構築を行った。この小径 TSV および裏面厚膜配線を適用した 130nm CMOS 技術による高機能暗号システム ASIC ウェーハから取り出される高機能暗号システム ASIC チップを用いてマルチチップ高機能暗号モジュールの構築に向け 3 次元積層実装技術の開発を行うことで、高機能暗号向け暗号回路システムによる秘匿検索分散処理プロトタイプの実現を可能とした。以上の取組みにより研究目標を十分に達成した。

B-2-4 暗号回路システムのセキュア実装

本研究項目では、アルゴリズムレベルおよびデバイスレベルのサイドチャネル攻撃対策技術の開発を目標とした。アルゴリズムレベルでは、高機能暗号モジュールについて単純解析攻撃および平文選択型単純解析攻撃に対する耐性を実現した。

また、デバイスレベルでは、高機能暗号に向けたデバイス集積技術による耐タンパー性能についてシミュレーション評価するとともに最先端評価技術により定量化した。以上より、当初の目標を十分に達成した。

B-3 高機能暗号を用いたゲートウェイ向けソフトウェア開発

高速な秘匿検索の達成を目指して、検索ワードの登録処理と検索処理の高速化アルゴリズム検討およびソフトウェア開発を実施した。それぞれの要素演算である楕円曲線上の固定点を用いた複数回のスカラー倍算、マルチペアリング演算に特化した実装アルゴリズムを検討し、ソフトウェア開発を実施した。また前者はゲートウェイ等の省リソースな IoT 機器での実装を行った。以上により、計画時に想定していた実施内容の実行を完遂した。

B-4 高機能暗号を用いた秘匿情報処理ソフトウェア開発

クラウド上に保管されたプライバシー情報を暗号化して保護するとともに、その利活用を可能とするために、高機能暗号の 1 種である暗号化したまま検索することが出来る秘匿検索が存在するが、ペアリング処理の重さから検索に時間を要するという課題があった。

本課題を解決するため、以下の開発項目を実施し、計画した実施内容を完遂した。

➤ クラウド向け高機能暗号ライブラリ

ペアリング処理をソフトウェアで実装した高機能暗号ライブラリでは、BN 曲線上の optimal ate ペアリングとし、ペアリング内部は、ミラーループと最終べきに分解されるが、7 回の最終べきを 1 回に共通化した。さらに、ミラーループ内部を line 関数と乗算に分割し、乗算部を共通化するアルゴリズムを開発し、8 コアを用いたマルチスレッド、Intel Xeon E5-2620 v4 2.1GHz 上で 0.41 ミリ秒の速度を達成した。また、研究項目 B-2 で開発したペアリング処理実装の高機能暗号ハードウェアを搭載した高機能暗号ライブラリを開発し、高機能暗号ミドルウェアとの連携を実現した。

- 高機能暗号ミドルウェア
 - ペアリングを実装した高機能暗号ライブラリとデータベースを連携する高機能暗号ミドルウェアを実装し、検索処理の分散化により台数に比例した高速化を実現した。
- 秘匿情報処理ソフトウェア
 - 検索処理、登録処理を受け付ける秘匿情報処理ソフトウェアを開発し、研究項目 B-3 で開発した DB 登録用ソフトウェアを搭載した登録向けクライアントライブラリの登録連携動作と、ゲートウェイ向け高機能暗号ライブラリを搭載した検索向けクライアントライブラリの検索連携動作を確認した。
- クライアントライブラリ
 - 研究項目 B-3 で開発したゲートウェイ向け高機能暗号ライブラリを搭載した登録向けクライアントライブラリと、高機能暗号ライブラリの性能を測定することが可能な検索向けクライアントライブラリを開発し、秘匿情報処理ソフトウェアとの連携動作を実現した。

B-5 高機能暗号の実用化戦略

本プロジェクトにおいて研究開発した、ペアリング演算器を内装し、IoT システムの末端ノードにおいて用いる高機能暗号実装システム LSI チップの最適仕様について検討を行った。具体的には、ハードウェアペアリング演算器の実装を前提として、秘匿検索、集約署名等のアルゴリズムの実装位置と方法、末端ノードの環境においてセキュリティ耐性を持たせるための実装方法について検討を続けている。また、試作検証のための方法論(ASIC、FPGA、ソフト実装によるシミュレーション等)についても検討を進めている。2020 年度に最適仕様についての研究結果をまとめる予定である。

3.11.2.4 成果と意義

B-1-1 高機能暗号ユースケース

本項目では、多数の末端ノードからの多数のデジタル署名を中間ノードにおいて集約してひとつの署名に変換し、上位ノードにおいて多数のデータ群とひとつの集約署名との整合性を検証する、集約署名方式において、上位ノードにおいて検証が失敗した場合にどの末端ノードが不正であるのかを効率よく追跡することが必要であるため、不正ノード追跡機能を有する集約署名方式を考案し、特許出願するとともに、ペアリング暗号を用いてこれを実装する適用仕様を作成した。ペアリング暗号を利用して集約署名を実装する場合の高速署名検証のフィジビリティを確認するために、末端ノードと中間ノードはソフトウェア実装を用い、また、上位ノードはペアリング計算と Map-to-Point 計算を FPGA 上におけるパイプライン乗算を活用したハードウェアを用いた方式で実証評価し、十分な性能が達成可能であることを示した。上記の計算方式については新規性があり、国際会議[*]に採択するなど、評価されている。この成果により、これまでフィールドネットワーク高機能暗号のキラーアプリケーションの一つとして不正ノード追跡機能付き集約署名が明確に位置づけられたという意義がある。

[*] J. Sakamoto, Y. Nagahama, D. Fujimoto, Y. Okuaki, and T. Matsumoto, “Low-Latency Pairing Processor Architecture Using Fully-Unrolled Quotient Pipelining Montgomery Multiplier,” Proc. of 2019 IEEE Asian Hardware-Oriented Security and Trust, pp.1-6, Dec. 2019.

B-1-2 高機能暗号アルゴリズム

設計手法は、類似の先行方式と比較して署名長を約 50%削減することに成功し、また、安全性の根拠となる数学的困難性仮定の強さについても大幅な緩和を実現した。さらに、同手

法について厳密な安全性評価を行い、妥当な仮定のもとで安全性が保証されることを数学的に証明した。したがって、集約署名について効率性と安全性を同時に高めたものと考えられ、高機能暗号の社会実装に向けて有用な手法が得られたものと思われる。

B-1-3 高機能暗号運用

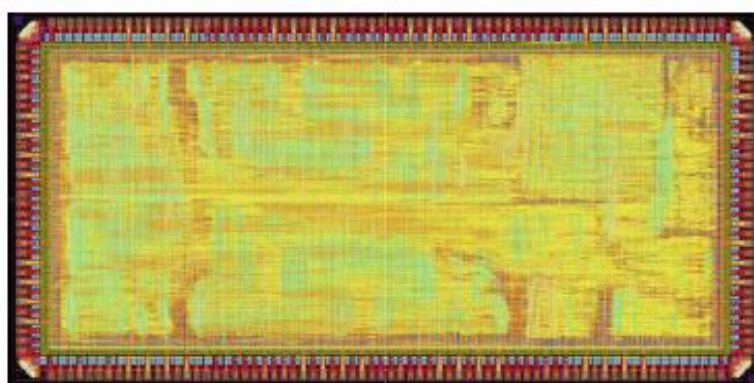
一般に、高機能暗号はまだ市場に於いて十分実用化されているとは言えない状態なので、同暗号を運用するためのビジネスモデルは、まだ確立していない。本研究開発の成果は、今後高機能暗号が市場に普及していく過程で、高機能暗号向け認証局(センター)を事業化していく上での技術課題と、それを解決していくための方向性を明らかなものとした。

B-2-1 高機能暗号のスケラブル・アーキテクチャ

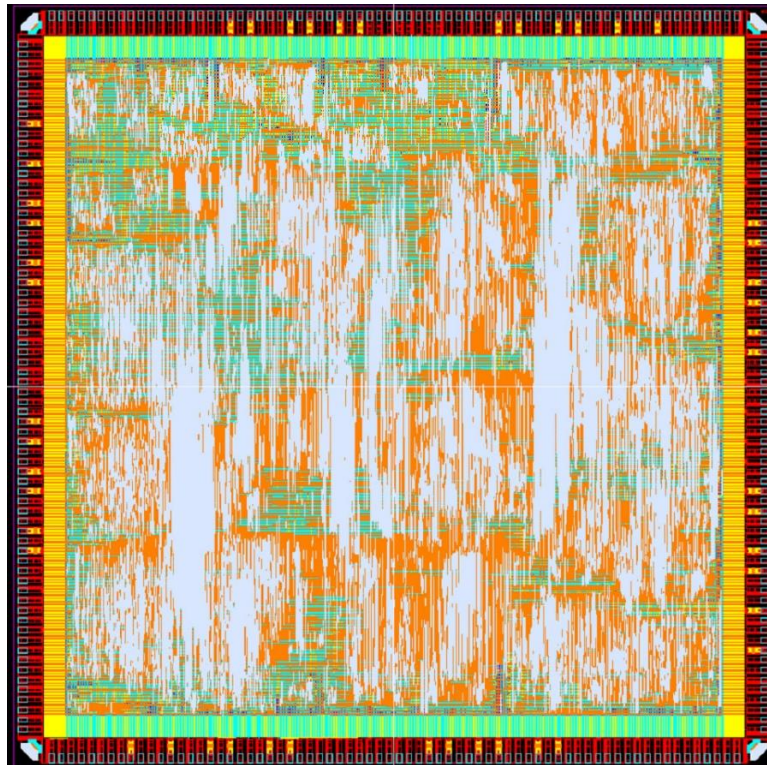
本研究では、単体コアとして、世界最速のペアリングエンジンの実現(Version 2)し、ペアリング1回の実行を 8,175 クロック、最高動作周波数時点において 33us による速度性能を実現している。また、電力効率最高点において1ペアリング当たり 13.7uJ を実現している。さらに、秘匿検索を用いるための一例として、7座標に対するマルチペアリングを想定し、その高速化を目指して、マルチコア型の実装を行い、スケジューリングの最適化などと合わせ、3コアを並列に動作させ、5スレッドのデータを同時に実行することで、7-マルチペアリング当たり 56us(11,258 クロック)により実現できるペアリングエンジンを開発し、速度性能に関して 40 倍の性能向上を実現している。また、消費電力は、typical 200mW を実現している。本ペアリングエンジンは、プロセスに関してスケラブルであるため、先端プロセスを使用することで、さらなる速度向上と電力削減効果が見込まれる。例えば 12nm プロセスでの実装見込みではクロック速度 5 倍の見込みを得ており、また、その際の消費電力見込みは 4 倍程度となっている。

関連する外部発表

- [1] M. Ikeda, T. Ichihashi, H. Awano, “33us, 94uJ Optimal Ate Pairing Engine on BN Curve Over 254b Prime Field in 65nm CMOS FDSOI,” 2019 IEEE Proceedings of Asian Solid-State Circuits Conference (A-SSCC 2019), pp. 263–266, Nov. 2019.
- [2] H.Awano, and M.Ikeda, “Four@ on ASIC: Breaking Speed Records for Elliptic Curve Scalar Multiplication,” 2019 Design, Automation and Test in Europe Conference(DATE), pp. 1733–1738, March 2019.



Version 2 のチップレイアウト: 1ペアリング実行で 33us を実現



Version 4 のチップレイアウト:7 ペアリング実行で 56us を実現

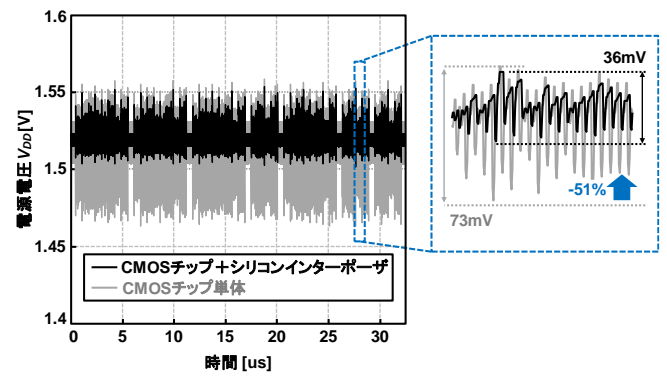
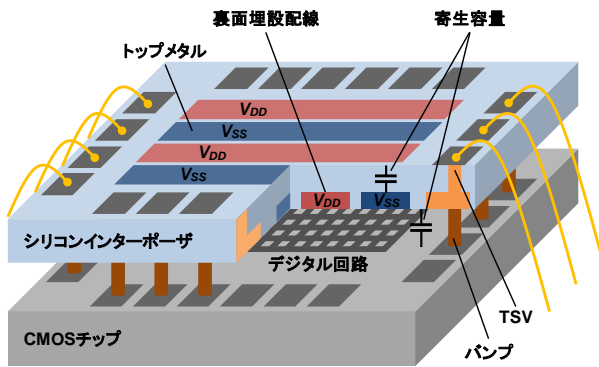
B-2-2 暗号回路システムのセキュア設計開発プラットフォーム

暗号回路システムのセキュア設計開発プラットフォーム構築に関して、高機能暗号を高速化・並列化する演算構造体物理ライブラリを用いた高機能暗号システム ASIC チップを 130 nm CMOS 国内製造ラインにて試作した。ハードウェア・ソフトウェア・インタフェース機能とあわせて FPGA ボードに実装してサーバ計算機に搭載するとともに、高機能暗号ソフトウェア (B-3、B-4) と連携したアプリケーションレベル機能統合試験に向けて、秘匿検索分散処理プロトタイプの実験プラットフォームを構築し、正常動作を確認した。当該 ASIC チップ(130 nm CMOS プロセス)を 2.5 次元実装技術にて 4 並列化した模擬ハードウェアによる事前実験を完了した。

秘匿検索分散処理プロトタイプシステムにおいて、計算機クラスタのサーバ台数を L 、各サーバに搭載する FPGA ボード台数を M 、FPGA ボード上の高機能暗号モジュールにおける ASIC チップ数を N と定義すると、 $L \times M \times N$ 個の高機能暗号演算回路について並列動作環境を構築でき、10,000 並列に向けたスケラビリティの見通しを得た。

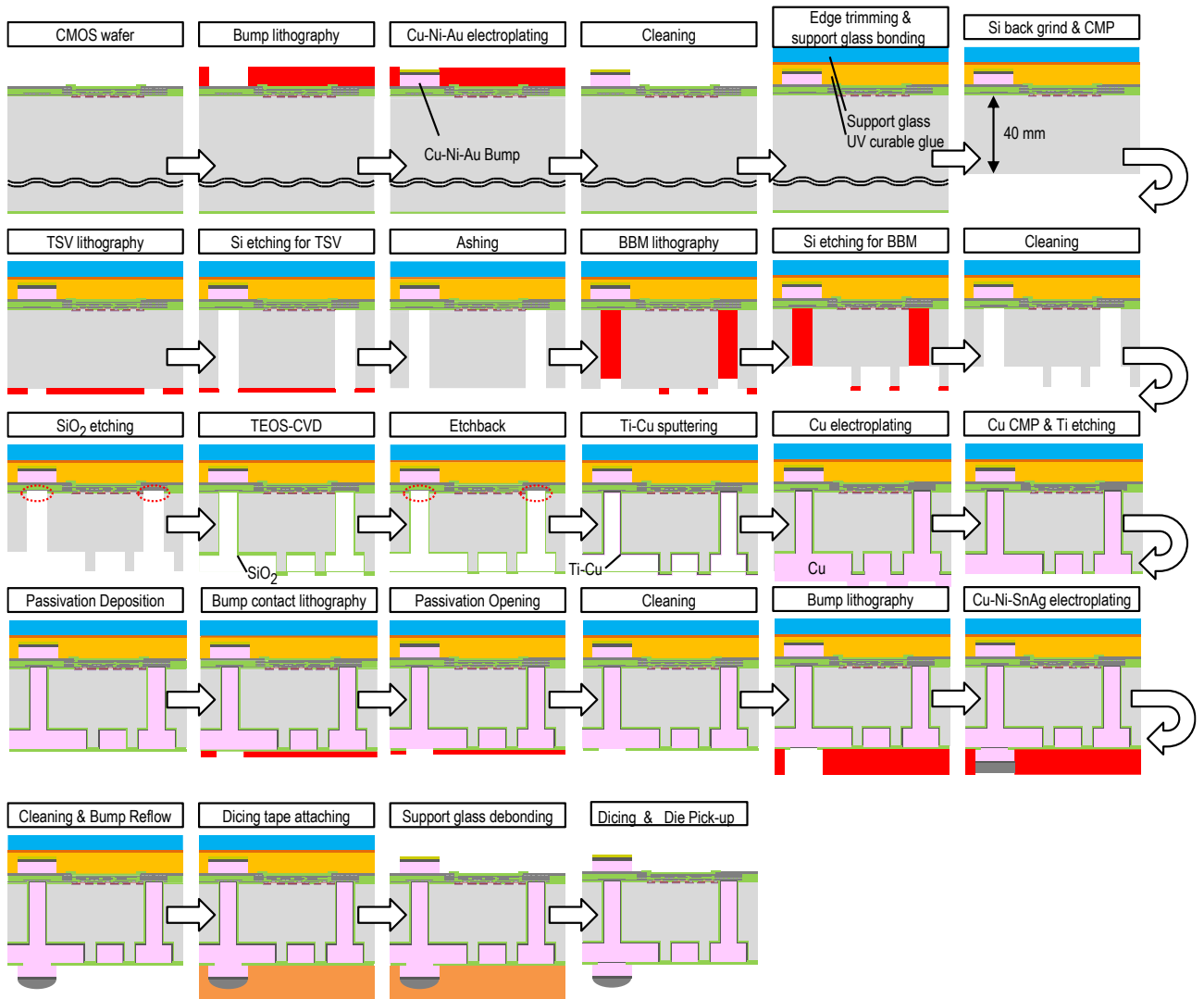
セキュア暗号回路システムに向けた三次元積層構造を含む先端パッケージングの研究開発を効率化するため、暗号機能 ASIC チップを裏面埋設配線付きシリコンインタポーザ(B-2-3)と積層実装した模擬デバイスを試作し、実測評価により電気特性データを取得した。これにより、暗号回路の電源配線抵抗を 30%、グランド配線抵抗を 56%、それぞれ低減することを確認し、暗号化回路動作中の電源ノイズ 50%以上削減されることを確認した。三次元積層技術による高並列暗号プロセッサの安定動作とサイドチャネル漏洩の低減効果を達成する世界初のデバイス構造(特願 2017-203848)であり、三次元積層構造の国際会議にて発表した(3DIC 2019)[1]。

[1] Takuji Miki, Makoto Nagata, Akihiro Tsukioka, Noriyuki Miura, Takaaki Okidono, Yuuki Araga, Naoya Watanabe, Haruo Shimamoto, Katsuya Kikuchi, "Over-the-top Si Interposer Embedding Backside Buried Metal PDN to Reduce Power Supply Impedance of Large Scale Digital ICs," IEEE 2019 International 3D Systems Integration Conference (3DIC 2019), #B5L-B, pp.1-4, Oct. 2019.

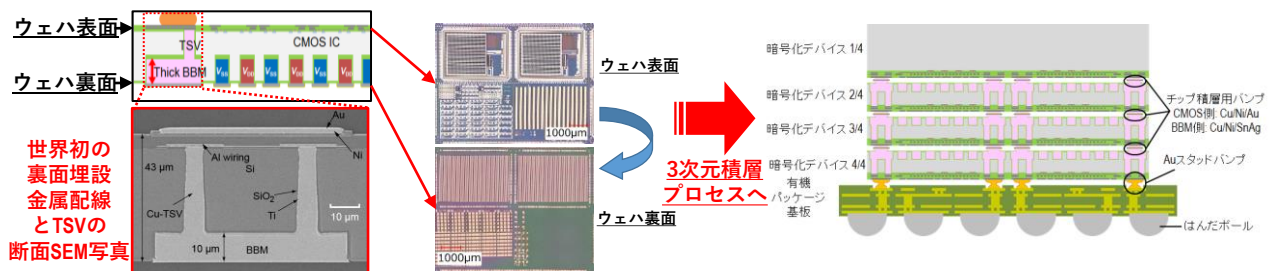


B-2-3 高機能暗号向け先端デバイス集積

世界初の小径 TSV プロセスと裏面厚膜配線プロセスの両立する製造プロセス技術を構築した外部発表[42][48]。この構築したプロセスを 130 nm CMOS 国内製造ラインにて試作したウェーハに適合するプロセス技術を開発した。この小径 TSV および裏面厚膜配線を適用した 130 nm CMOS 技術による高機能暗号システム ASIC ウェーハから取り出される高機能暗号システム ASIC チップによる 3 次元積層実装技術を開発することで、最大 4 層のマルチチップ高機能暗号モジュールを開発した。さらに 2020 年度末までには最大 8 層のマルチチップ高機能暗号モジュールを完成させる。最終的には B-2-1 高機能暗号のスケラブル・アーキテクチャの研究項目で得られたペアリングエンジンを先端プロセス製造したウェーハに、本研究項目で構築した小径 TSV および裏面厚膜配線を適用することで、さらなる速度向上と電力削減効果が見込まれる外部発表[49]。以上より、当初の目標を十分に達成している。



開発した小径 TSV と裏面埋設配線の製造フロー



開発した小径 TSV と裏面埋設配線によるマルチチップ高機能暗号モジュールの構築

B-2-4 暗号回路システムのセキュア実装

本研究項目では、サイドチャネル情報の高精度な測定・評価が可能な環境(図 3-3.11.2-1)を構築し、本プロジェクトで開発した高機能暗号モジュールのサイドチャネル攻撃の可能性を明らかにするとともにアルゴリズムレベルとデバイスレベルで協調して対策法を開発した。

アルゴリズムレベルの取組みでは、高機能暗号モジュールに対する新たなサイドチャネル攻撃評価手法を開発し、これに基づき攻撃リスク評価および効果的な対策の開発を行った。一方、デバイスレベルの取組みでは、暗号ハードウェアの動的消費電流を論理ゲートレベルで高速解析したシミュレーション波形についてサイドチャネル評価を実施し、IC チップの製造前にセキュア実装の選択肢を探索する手法を開発した。また、これに基づき暗号回路システムのセキュア設計のフローを構築した。

以上により、本プロジェクトで開発した高機能暗号モジュールのサイドチャンネル攻撃耐性を実現するとともに暗号回路システムを安全に設計・実装するうえでのフローを確立した。

これは、今後の耐タンパー性暗号回路を設計する上で指針となる重要な成果と言える。対外的にも、国際会議[1]に採択されるとともに、国内学会で当該発表が受賞[2]するなど、国内外で高く評価されている。

[1] Makoto Nagata, "Deployment of EMC-Compliant IC Chip Techniques in Design for Hardware Security: Invited Paper," in Proceedings of the 9th International Conference on Security, Privacy, and Applied Cryptography Engineering (SPACE 2019), Lecture Notes in Computer Science 11947, pp.1-5, Dec. 2019.

[2] 門脇悠真, 上野嶺, ヴィツレ・ウリマウル, 藤本大介, 林優一, 永田真, 池田誠, 松本勉, 本間尚文, "ペアリング暗号ハードウェアの相関電磁波解析に関する検討," 電子情報通信学会ハードウェアセキュリティ研究会(大阪), vol.119, No. 260, HWS2019-59, pp. 13-18, November 2019.

(電子情報通信学会ハードウェアセキュリティ研究会若手優秀賞受賞)

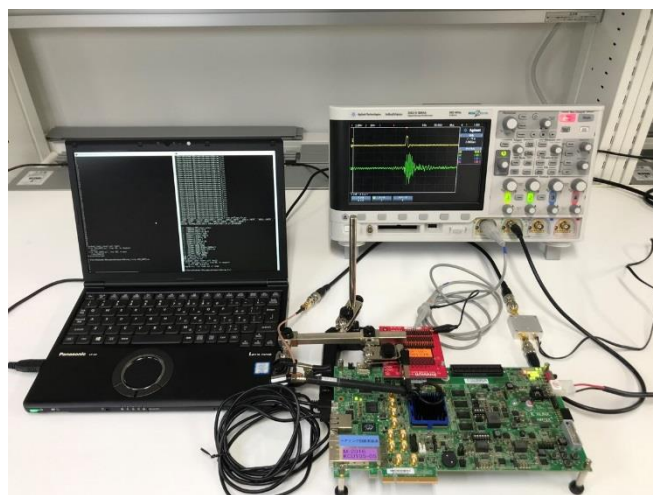


図 3-3.11.2-1 サイドチャンネル攻撃評価システムの概観

B-3 高機能暗号を用いたゲートウェイ向けソフトウェア開発

秘匿検索において、検索ワードの登録処理と検索処理の高速化を実現することができた。これにより IoT 機器のような省リソースデバイスから高速に大量の暗号化データを収集し、サーバ上での高速な検索が実現可能となる。また本開発で作成した楕円スカラー倍算およびマルチペアリング演算は秘匿検索だけでなく他の高機能暗号でも多数用いられる演算処理であるため、本成果はそれらの一部としても利用することが可能となる。

B-4 高機能暗号を用いた秘匿情報処理ソフトウェア開発

ペアリング処理の重さから検索時間を要するという秘匿検索の課題に対し、クラウド向け高機能暗号ライブラリと高機能暗号ミドルウェア、秘匿情報処理ソフトウェア、クライアントライブラリを開発した。本開発により、検索処理の分散化により台数に比例した高速化や高速なペアリング処理を実現する高機能暗号ハードウェアとの連携を確認し、秘匿検索の課題であるペアリング処理時間についての有効性を確認することができた。本成果は、IT システムで取り扱う個人情報など、そのデータ保護および検索性の確保を両立する必要がある場合に利用することが可能となる。

B-5 高機能暗号の実用化戦略

本研究開発全体の成果は、要約すれば次の2点となる。

- 1) 秘匿検索システムにおいて、市場に於いて十分実用化可能な程度の秘匿検索サーバシステムの処理速度を達成したこと。
- 2) 集約署名システムにおいて、末端ノード及びアグリゲータに使用可能な程度の、高機能暗号モジュールの技術的可能性を実証したこと。

これを踏まえて、高機能暗号実用化戦略としては、

- 1) 秘匿検索システムについては、金融、医療、教育、地方自治等巨大な個人情報データベースを暗号化してクラウド上に保管し、これらの個人情報の一部だけを検索してダウンロードし更新するアプリケーションを中心に実用化を進める。
- 2) 集約署名システムについては、末端ノード、アグリゲータに於いて本研究成果を用いた高機能暗号処理を、よりセキュアに行うことが可能となるように、研究を進める。

との方針を提起し、本研究成果を活用した高機能暗号の実用化に向けた方向を示した。

3.11.2.5 成果の普及

高機能暗号が市場に普及する基礎的な条件は、IoT ネットワークが、垂直型のやや閉じたネットワークから、オープンなネットワークに移行することであり、2020 年度の段階では、本研究開発発足時の想定通り、それは未だ実現していない。世界的なパンデミック等予期していなかった事情も加わり、オープンな IoT ネットワークへの移行にはやや時間を要するものと思われる。

そのような状況下で、本研究開発の成果を普及させるために、より実用化に近い段階に向けての研究を、さらに、進めていく。

そこで、上記 B-5 の実用化戦略にのっとり、

- 1) 秘匿検索システムについては、三菱電機株式会社が自社事業展開の中で
- 2) 集約署名システムについては、電子商取引安全技術研究組合が、今後の研究活動の中で

各々、本研究開発の成果普及を目指して、次の段階での研究を進めていく。

あわせて、本研究終了後、高機能暗号ユーザ、各層ベンダの候補先を集めた仮称ワールドネットワーク用製品化コンソーシアムの結成を進める。

3.12 研究開発テーマ「複製不可能デバイスを活用した IoT ハードウェアセキュリティ基盤の研究開発」

本研究開発項目では、物理複製不可能デバイス Physically Unclonable Function (PUF)を用いることで IoT 末端系機器のセキュリティを飛躍的に向上させる基盤技術を開発し、PUF 技術を産業界に広く普及させることを目標に研究開発を進めてきた。PUF の基盤技術開発では、(1)ReRAM ではリコンフィグ可能な PUF のユニーク性目標を達成し、(2)CMOS Image Sensor (CIS) PUF では想定以上に早く研究計画を達成して繰り上げ終了し、(3)印刷フレキシブル PUF では世界で始めて小規模印刷 PUF 回路を実現し実用化に向けた長期間の動作を実証するなど、目覚ましい成果を上げつつある。また、PUF 技術の産業界への普及活動では、PUF のセキュリティ要件や評価手法の国際標準化が順調に進んでおり、ISO/IEC 20897-1(セキュリティ要件)は現在 Final Draft International Standard (FDIS) と発行目前、ISO/IEC 20897-2(試験・評価手法)は 2nd Committee Draft (CD2) に進むなど、大きな成果を上げつつある。

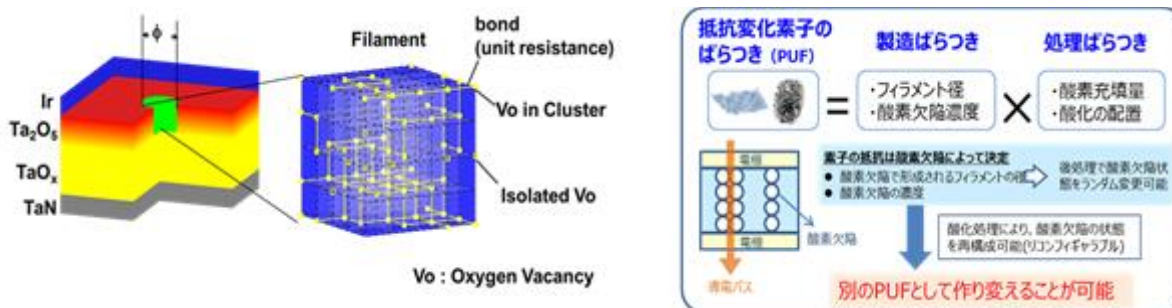
個別の研究開発テーマにおける詳細は以下に示す。

3.12.1 研究開発サブテーマ「新原理を用いた PUF の研究開発」

3.12.1.1 概要

本研究開発テーマでは、IoT のセキュリティ基盤を強固にするための、日本独自の新しい PUF の要素技術(リコンフィギャラブル PUF、カラーイメージセンサ PUF、フレキシブル印刷 PUF)を研究開発する。これらは、従来の PUF にはなかった PUF のリコンフィギャラブル性によるセキュリティ能力の飛躍的向上、従来セキュリティを実装することが非常に困難であったセンサデバイスへのセキュリティ機能の新搭載、さらに、フレキシブル印刷 PUF により、モノの真贋判定を従来と比較して高精度にかつ非常に安価に実現できる技術の開発を目指す。

リコンフィギャラブル PUF とは、更新可能な PUF のことである。従来型のメモリを使用した PUF では、デバイス製造のサプライチェーンにおける内部犯行者によって PUF 領域のメモリ内容(鍵生成に使用されるレスポンス領域)を不正に読み出す攻撃に対して脆弱であった。ReRAM は抵抗変化素子の抵抗状態により情報を記憶する。ReRAM-PUF は、この抵抗変化素子のバラツキを用いる。このバラツキは製造のプロセスバラツキと電気的なストレスバラツキの掛け合わせで発生する。本提案の ReRAM を利用したリコンフィギャラブル PUF では、電気的なストレスの印可手法を工夫し、製造後においても PUF レスポンスを再構成することができる。この特性を利用して、サプライチェーンを構成する製造者ごとに再構成した PUF レスポンスを利用することで過去の PUF 情報が漏洩しても、下流の製造者へセキュリティリスクが伝搬することを防止し、従来にない強固なサプライチェーンを提供する。



カラーイメージセンサ PUF(以下 CIS-PUF)は既存のイメージセンサから固有の特性バラツキを取り出すことにより PUF 機能を持たせるものである。これにより既存のイメージセンサに最低限の回路追加でセキュリティ機能を持たせることが可能となる。そのためこれまで IoT

に接続されるセンサからセキュリティ機能を有するマイコンまでのデータの安全性確保や、センサの真正性を保証する手段を低コストで実現することが可能となる。

印刷フレキシブル PUF は印刷技術を用いて PUF を作製するものである。包装紙などに PUF を印刷し、開封時には PUF が破壊されることで、低コストかつ不正再利用を防止できる IC タグを実現できる。印刷フレキシブル PUF はチップを用いた PUF と比べて簡便で安価に製造することが可能であり、これまで電子的なセキュリティの適応が想定されていなかった様々なモノに対してセキュリティを付与することが可能となる。

3.12.1.2 最終目標と根拠

リコンフィギャラブル PUF の最終目標は、従来方式では更新することが出来なかった PUF を、ReRAM の物性を用いて更新(つまり、リコンフィグ)可能なものにするのである。PUF がリコンフィグできるようになると製造の上流者が製造途中で知りえた PUF 情報とは、全く別の PUF を用いて下流であるユーザーが運用することが出来る。つまり、BtoB における最終ユーザーだけで閉じた PUF 情報の管理が行え、製造途中の業者からの漏洩リスクが解消される。しかしながら更新前後でデータが、どの程度変化したかが重要となる。変化するデータビットが少量であれば、リコンフィグ前のデータやリコンフィグ後のデータを簡単に予測されてしまう。本研究ではリコンフィグ前後のユニーク性の指標として、ハミング距離の最終目標を 0.26 以上とおいた。これにより所定の変化率のランダム変化ビット数が 269bit (有効 bit 幅 256bit 相当)となり、十分な攻撃耐性があるとした。

カラーイメージセンサ PUF の最終目標は監視カメラ搭載を想定した CIS PUF システムのプロトタイプを開発し、通常 CIS と同等の画質を達成しながら、センサの(1)セキュリティの認証機能、(2)真正性およびデータの完全性保証ができることを確認し、CIS PUF の有用性を証明する。

印刷フレキシブル PUF の最終目標は、IoT エッジデバイスの安価な PUF を製造し、ユースケースに合わせた多様な用途に対応可能な新規のハードウェアセキュリティを実現することである。そのために印刷 PUF の特徴的なバラつきを付与する技術、低電圧駆動化する技術、基板の多様性に適応するための製造技術等を開発している。最終目標としては、小規模の回路で安価な印刷 PUF を実現できるよう、任意バラつきを 10%付与する技術、128bit 規模の印刷 PUF でエラー率 1%、ユニーク性 50%±5%の誤差を実現させ、5 年以上 PUF として動作すること等、実用化に向けた数値目標を設定した。この目標値の根拠としては、印刷トランジスタの性能としても世界最高レベルを設定しており、このトランジスタ製造技術を用いた小規模回路の印刷 PUF を世界で始めて実現し、同時に実用化に向けた長期間の動作を実証することとしている。

3.12.1.3 目標の達成度

リコンフィギャラブル PUF は、テストビークルを試作し評価を行った。本研究において目標としているリコンフィグ前後のハミング距離が、書込み電流制限回路の改良と制御手法の最適化により 0.48 を達成しており、目標である 0.26 を大幅に上回った。これによりリコンフィグ前後において十分なユニーク性をもつリコンフィギャラブル PUF が提供できると考える。

カラーイメージセンサ PUF は、ブリルニクスジャパンでチップを開発し、立命館大学と共同で開発した FPGA を用いたデバイス認証機能の開発を完了した。顧客訪問、講演、デモ展示を通じて、チップ実装への興味を多く頂いた。H29, H30 年度の計画を達成し、早期事業化のため、繰り上げ終了となった。

印刷フレキシブル PUF は 2019 年度の目標として、印刷デバイス製造ラインにて印刷 PUF 量産化の予備検討を実施し、電極形成等の量産化の目途をつけた。さらに実用化において重要なデバイスの経時劣化に関しては、昨年度までに保護膜形成技術を確立し、劣化

加速試験により1年間で特性劣化 10%以内を確認するという目標を達成した。2020 年度の最終目標では、エラー率 1%、ユニーク性 5%、経時劣化を 5 年で 10%以下という数値目標としており、達成できる見込みを得ている。また実用化を目指してユーザー企業にて PoC を実施するため、エンジニアサンプル、カスタマーサンプルの提供と PoC を年度内に実施することを目標としており、その達成を目指す。

3.12.1.4 成果と意義

リコンフィギャラブル PUF は、リコンフィグ前後で目標とするユニーク性が確保できる確認が得られたことから、製品への搭載が十分可能となった。研究開始当初の目論見であったように、製造の上流者が製造途中で知りえた PUF 情報とは、全く別の PUF を用いて下流であるユーザーが運用することが出来るよう製品版へのアーキテクチャ開発に移行できる。

カラーイメージセンサ PUF は、CIS-PUF として生成した ID を用いた真正性認証の信号処理をデモボードに実装し、動作を確認した。さらに、認証空間拡大し初期鍵交換を低コストで実現する方式を考案した。暗号用エラー訂正効率改善方式の理論モデルを提案し、また、暗号鍵に用いる CIS 乱数生成方式を考案し原理実証した。これらの開発技術をもって、イメージセンサのデバイス認証が可能となる目処がたったため、事業化に向けてブリルニクス自社品でのチップ開発へと進むことになった。

有機 TFT PUF を印刷プロセスで製造するための高静電容量絶縁体薄膜の形成技術の開発、またバラつきの経時変化を抑制するための保護膜形成技術の開発を行い、実用化に向けての量産化に関する製造の要素技術を確立した。また更なる製造コスト削減のため、よりシンプルな構造の新規の印刷 PUF を印刷デバイス製造ラインで試作し、PUF としての動作を確認した。これらの成果を展示会で 2 件出展を行う等、ユーザーとの意見交換を実施してきており、ユースケースにマッチしたサンプルを提供するための情報を収集することができた。

3.12.1.5 成果の普及

リコンフィギャラブル PUF は、前述したように ePassport の製品カテゴリーでグローバル展開を目指している。社内で営業部を含めたタスクフォース組織を立ち上げ、海外政府高官に対して本技術のプレゼンを展開するとともに、各国仕様へのスペックインを実現するためヒアリングを重ねている。

カラーイメージセンサ PUF は、ブリルニクス社のカスタム開発へ方向転換し、自社センサーとして CIS-PUF 技術を組み込むため、自社品でのチップ開発を計画している。また、監視カメラ、ドラレコ各社と協議を実施している。既に監視カメラ関連事業者とは話し合いを継続中である。

印刷フレキシブル PUF に関しては、成果発信として論文 3 報、学会発表 6 件を行い、国内外で新規印刷 PUF の認知度を高めることを行ってきた。また展示会2件で展示を行う等、新しいユースケースの情報収集とユーザーとの連携に向けての情報発信を行った。現状ではまだ決定していないが、年度内には展示会出展とプレスリリースを行い新規ユーザーを探索する。

3.12.2 研究開発サブテーマ「PUF 標準評価基盤の構築」

3.12.2.1 概要

本研究開発テーマでは、PUF の性能やセキュリティを定量的に示すための評価基準を開発し、その評価基準を ISO/IEC 国際標準化する。上記新原理 PUF の優位性を示すためには、ベンチマーキングのための評価基準が不可欠である。また、PUF を製品に搭載し使用するためには、PUF がその製品におけるセキュリティ要件を満たしていることを客観的に示

す必要がある。しかし、現状では PUF の性能やセキュリティレベルに関する共通の評価基準は存在しない。そこで本研究開発テーマでは、PUF のセキュリティ要件や評価手法を ISO/IEC で国際標準化することを目指す。我が国の産業界の意向を国際標準に取り入れるため、産学官の有識者から成る「PUF 標準評価基盤検討委員会」(略称: PUF 検討委員会)を設置し、国際標準化の方針について議論を行う。

また、PUF の評価手法の研究開発に必要なベンチマーキングを可能にするため、様々な PUF を搭載したテストビークルを含む評価プラットフォームを開発する。この評価プラットフォームを用いて「PUF の攻撃・防御手法の研究開発」を行い、その結果開発される評価基準・評価手順を国際標準に反映させる。

3.12.2.2 最終目標と根拠

PUF の国際標準化は、セキュリティ要件を ISO/IEC 20897-1 (Physically Unclonable Functions--Part1: Security)で、試験・評価手法を ISO/IEC 20897-2 (Physically Unclonable Functions--Part2: Test and evaluation methods)で進めている。2020 年度末までに Part1 を International Standard (IS)ステージ、Part2 を 2nd Committee Draft (CD2) ステージまで進めることを最終目標とする。これは、前述の新原理 PUF の事業化検討フェーズにおいて、この国際標準を用いて PUF を評価することができるスケジュールとして設定する。この最終目標が達成されれば、Part1 については 2021 年、Part2 については 2023 年に国際標準文書として発行されることが見込まれる。

セキュリティ・モジュールである PUF も他の暗号処理回路と同様、セキュリティ評価により要求されるセキュリティレベルを達成しているかを客観的に示す必要が近い将来必ずでなくてはならない。「PUF の攻撃・防御手法の研究開発」は、ISO/IEC 20897-2 以降で議題となりうる「PUF のセキュリティ評価」に向けた前準備との位置づけで、脅威となりうる攻撃や実装時に潜む脆弱性といった新たな知見を得るための研究開発を最終目標としている。

3.12.2.3 目標の達成度

PUF の国際標準化については、2020 年 4 月の ISO/IEC SC27 WG3 会議で Part1 は Final Draft International Standard (FDIS) に、Part2 は 2nd Committee Draft (CD2) に進むことが承認された。次回 2020 年 9 月の ISO/IEC 国際会議において、Part1 は IS に、Part2 は DIS 進むことを提案する予定である。ゆえに、Part1 は 2020 年 9 月に目標を達成見込みであり、Part2 は現時点で目標を達成することができた。

PUF の攻撃・防御手法の研究開発は、モデリング攻撃とサイドチャネル攻撃、フォールト攻撃の観点で研究開発を実施した。モデリング攻撃に関しては、既存の Support Vector Machine (SVM)や Linear Regression (LR)を用いた機械学習攻撃に、遺伝的アルゴリズムや近年になって目覚ましい成果を上げているディープラーニングを取り込むことで攻撃が高度化できることがわかった。また、サイドチャネル攻撃の一種である電磁界解析攻撃によって、良く知られた既存 PUF の一種である Ring-Oscillator PUF のレスポンスがリアルタイムで読み取れることがわかり、本プロジェクトを通して新たな知見を得る目標が達成できた。

3.12.2.4 成果と意義

PUF の国際標準化は、2020 年度内に Part1 が IS ステージ、Part2 が DIS ステージに進む見込みであり、国際標準の発行をほぼ確実とする成果を上げた。本委託事業が始まった 2017 年の時点では PUF の国際標準文書は内容に乏しかったが、本委託事業が参画するようになってからは、文書を「Part1: セキュリティ要件」と「Part2: 試験・評価手法」に分割してそれぞれの内容を具体的に記述し、国際標準化に大きく貢献した。PUF 検討委員会の委員に Part1 のコエディタおよび Part2 のエディタを勤めてもらい、国際標準文書の取りまとめの

中心的役割を果たしてきた。本プロジェクトが開始されてから現在までに ISO/IEC 20897 シリーズに提出された 390 個のコメントのうち、186 個は本プロジェクトの PUF 検討委員会が提案したものである。ゆえに作成された国際標準は我が国の産業界の意向が強く反映されているため、国内企業が PUF を事業化する際に有効に活用することができる。前述の新原理 PUF の事業化を目指す際も、この国際標準に従って PUF を評価し性能の優位性をアピールすることができるようになる。

PUF の攻撃・防御手法の研究開発により、PUF の実装に潜む脅威に対する理解が進んだ。得られた知見は事業化を目指して PUF を設計する際に大いに役立つ。また、機械学習攻撃やサイドチャネル攻撃に既存 PUF が脆弱であることを示すことで、前述の新原理 PUF の優位性がアピールできるようになる。

3.12.2.5 成果の普及

PUF の国際標準の内容や開発経過については、本委託事業が主催する PUF 技術シンポジウムや依頼講演において公表できる範囲で発表してきたほか、PUF の評価手法に関する論文を国際会議で発表してきた。国際標準文書が公式に発行されれば、国内の企業のみならず、世界中のセキュリティ企業がこの国際標準を用いて PUF を評価することができるようになる。また、PUF の攻撃・防御手法の研究開発で得られた研究成果は、国内学会の研究会や国際会議で発表してきた。

3.13 研究開発テーマ「次世代産業用ネットワークを守る IoT セキュリティ基盤技術の研究開発」

本研究では、工場や病院などにおける産業用 IT/IoT ネットワークのセキュリティを強化するため、サービス、管理ソフトウェア、ネットワーク機器を連携させることにより、セキュリティ統合システムの実現に関する研究開発を行なった。

背景として、病院、工場等における IoT 機器が外部サービスとつながる時代であり、その多種多様な機器の接続は複雑化し、管理・運用が難しくなっている。および、今までの運用は、ファイアウォールとエンドポイント対策ソフトウェアに頼るセキュリティであるが、内部感染拡大の防止が不可能、ほとんどの産業用 IoT 機器はエンドポイント対策ソフトウェアに未対応、IoT 機器数の増加によりファイアウォールに頼ったセキュリティには限界があるといった課題がある。

この課題解決に、新たなセキュリティ・コンセプトとして「ネットワークで守るセキュリティ」を提案し、その実証をおこなった。

「ネットワークで守るセキュリティ」は、既存のネットワーク構成や運用をできるだけ変えずに既存機器をそのまま利用可能とし、内部感染対策を可能とし、かつサービス情報をすべて把握して自動的に連携するセキュリティシステムという3つの特徴を持つ。

本研究開発は「正しい通信のリストを管理すること」と、「ネットワークで守ること」について、従来形式に対しどちらも優位性があるという結論を得ることができた。

最後に本研究開発の成果として、サービス情報の抽出（サービス情報管理のためのインタフェースの実装とサービス情報自動抽出のための基本アルゴリズム）、管理ソフトウェアの開発（サービス情報から通過制御情報を生成する管理ソフトウェアと連携インタフェースを実装）、および産業用セキュリティスイッチの開発（通過制御を実現するネットワーク機器のプロトタイプ開発）をおこない、各機能連携による「ネットワークで守るセキュリティ」の効果を確認できた。

個別の研究開発テーマにおける詳細は以下に示す。

3.13.1 研究開発サブテーマ「IoT セキュリティ基盤のためのサービス提供技術の研究開発」

3.13.1.1 概要

産業用 IoT サービスを提供するにあたり、提供に必要な通信要件をサービス情報から抽出する技術、および研究開発サブテーマ「IoT セキュリティ基盤のための自動的な通信管理ソフトウェア技術の研究開発」で管理する通信制御機能に対して指示する機能を、論理情報の収集・管理機能とインターフェースソフトウェアとして実現した。また、サービス情報と研究開発サブテーマ「IoT セキュリティ基盤のための自動的な通信管理ソフトウェア技術の研究開発」からもたらされる情報を元に、異常時の適切な対処を提示し迅速な対処を実現した。

3.13.1.2 最終目標と根拠

産業用 IoT サービスのセキュリティを考える上で基本的なことは、提供に必要な通信のみを通し、必要でない通信を通さないことである。産業用 IoT 機器を専用線で接続すれば、設計時のセキュリティ要件をシステムに反映しセキュリティを守れるが、接続の変更が困難となり利便性に欠ける。現状のように共有ネットワークで接続すると、産業用 IoT 機器の接続は容易となり利便性が向上するが、設計時のセキュリティ要件をシステムに反映することができず、必要なセキュリティが守られていない。ネットワークの機能として通信を管理する技術は提供されているが、詳細なセキュリティ要件をシステムに反映するほどの性能は検討されておらず、また反映するための手段は管理者の手動による管理に任されており、IoT により発生する膨大な通信量の管理は不可能である。

上記の課題をふまえ、次世代産業用 IoT サービスを安全に提供するために、以下の課題に取り組む。

- (1) 産業用 IoT サービスを提供するにあたり必要となる、セキュリティ要件に関する情報の分析・収集技術を確立する。セキュリティ要件が実現されているかを検証する技術についても検討する。
- (2) 産業用ネットワークの論理的な構成情報、サービス情報を収集し管理する仕組みを構築する。研究開発サブテーマ「IoT セキュリティ基盤のための自動的な通信管理ソフトウェア技術の研究開発」との連携のため、ネットワーク機器・機能を抽象化し横断的な展開をめざす。
- (3) 産業用ネットワークの共通基盤に対するサービス要件の指示技術を確立する。研究開発サブテーマ「IoT セキュリティ基盤のための自動的な通信管理ソフトウェア技術の研究開発」との連携機構であり、さまざまなセキュリティ要件の実現可能性を検証する。

3.13.1.3 目標の達成度

上記の(1)～(3)の目標はすべて達成した。

3.13.1.4 成果と意義

次世代産業用 IoT サービスを安全に提供するため、サービス実現に必要な要件を抽出してネットワーク基盤に指示し、また要件が実現されていることを検証するため、以下の技術を確立した。

- (1) 安全なネットワーク基盤を提供するため、IoT 機器を接続するにあたって作成する設計情報をもとに、ネットワークで確保すべきセキュリティ要件を収集・分析する技術を確立した。これにより、共有されるネットワーク環境においても、サービスに必要な通信のみを確立し他の通信を遮断するための要件を定義することが可能となる。本要件をもとに研究開発サブテーマ「IoT セキュリティ基盤のための自動的な通信管理ソフトウェア技術の研究開発」および研究開発サブテーマ「IoT セキュリティ基盤のためのネットワーク実装技術の研究開発」と連携することで、安全なネットワーク基盤の構築が実現できる。
- (2) ソフトウェアで収集できるネットワークの論理的な構成情報、およびサービス提供に必要な情報を自動的に収集し、管理する仕組みを確立した。これにより、稼働中のサービスに対して、セキュリティ要件の実現性を検証することが可能となる。また、研究開発サブテーマ「IoT セキュリティ基盤のための自動的な通信管理ソフトウェア技術の研究開発」との連携により、異常通信等のフィードバックを受けて攻撃を切り離すなどの対応も実現できるようになる。
- (3) サービス分析により抽出されたセキュリティ要件に従い、研究開発サブテーマ「IoT セキュリティ基盤のための自動的な通信管理ソフトウェア技術の研究開発」で実現される管理機構を通じて、要件に対応するネットワーク基盤を構築する技術を確立した。これにより、IoT 機器はネットワーク基盤の再構築などの影響を受けることがなくなり、基盤の高速化・最適化などの恩恵を受けやすくなる。

3.13.1.5 成果の普及

- (1) IoT 機器に対するセキュリティ対策は、ファイアウォールなどの主にインターネットからの攻撃を防御する技術だけでは不十分であることが知られてきており、IoT ネットワーク内部の対策技術が求められている。サービスレベルの情報を利用した要件定義は、安全なネットワークを構築するための基礎技術であり、今後、さまざまな機器への応用を進めていくことを考えている。

- (2) 稼働中のサービス情報を収集し分析することは、安定したサービス運用に欠かせない技術であり、IoT ネットワークのみならずクラウド運用においても応用が期待されている。今後、実クラウド環境での検証を進める予定である。
- (3) ネットワーク管理機能を通じてネットワーク機器を制御する技術は、サービスに応じて異なる要件をもつネットワークを構築するために必要となる。今後の 5G ネットワークにおいてネットワークスライスを実現するためにも期待されている。これまでは 1 社での独占が多かったが、本課題によりサービス・ネットワークを分離して API 化したことで、多業種での利用が可能となったため、これからの普及が期待される。

3.13.2 研究開発サブテーマ「IoT セキュリティ基盤のための自動的な通信管理ソフトウェア技術の研究開発」

3.13.2.1 概要

産業用ネットワークの上で起こる通信の流れを、研究開発サブテーマ「IoT セキュリティ基盤のためのサービス提供技術の研究開発」で把握する IoT サービスの提供状況から計算し、研究開発サブテーマ「IoT セキュリティ基盤のためのネットワーク実装技術の研究開発」の通信機器に対する具体的な通信可否制御の指示にまで具体化するための情報収集・分析・判断の機能を、通信管理ソフトウェアとして実現した。また、通信機器からもたらされる異常通信に関するフィードバック情報を元に、ネットワークの状態と合わせて原因サービスの情報まで逆方向に追跡・推定し、サービス提供側に戻すことで異常事態への速やかな対処を実現した。

3.13.2.2 最終目標と根拠

現状の産業用構内ネットワークの IP/IoT 通信について、その全体を把握して通信制御を実現するための情報収集・分析・判断の機能を一通り実現する。具体的には、産業機器のもたらす通信(サービス)のリストが与えられたとき、構内ネットワークに設置された配下の各ネットワーク機器において実際に通過する通信パケットの内容を、現状の構内ネットワークにおけるネットワーク細分化より詳細な機器レベル・サービス内容(プロトコル)レベルで推定し、ネットワーク機器に対する具体的な通信制御指示を生成する。また、ネットワークの構成(繋がり方・トポロジー)やサービス状況の変化に伴い、推定内容を自動的・逐次的に更新し、ネットワーク機器に対してもリアルタイムにその更新内容を変更できる仕組みを構築する。これにより、異常検知技術の基本設計とその他の機能の一通りの実装を完成させ、その後、実証実験のためのソフトウェアを提供し、産業用ネットワークにおける実用性をシミュレーションあるいは実験により検証する。

さらに実証実験において上記の実装を検証し、必要な機能拡張や修正を行い、実用性を高める。さらに、異常通信のフィードバック情報から具体的な異常発生源を点(機器)レベルで特定し、当該機器を利用するサービスに通知する仕組みを実現し、従来の 10 倍以上の速度で検知できるようにする。

3.13.2.3 目標の達成度

上記の目標はすべて達成した。

3.13.2.4 成果と意義

IoT サービスの提供状況から通信機器に対する具体的な通信可否制御の指示にするための通信管理ソフトウェア技術として実現した。また、通信機器からもたらされる異常通信に関するフィードバック情報を元に、ネットワークの状態と合わせて原因サービスの情報まで逆

方向に追跡・推定し、サービス提供側に戻すことで異常事態への速やかな対処を実現できるようになった。産業システムにおいてもネットワーク接続はなくてもならない、止まってはいけないものになってきており、本技術により、ネットワークの管理の自動化がすすみ、さらなるネットワーク利用の高度化や運用の低コスト化が可能となる。

3.13.2.5 成果の普及

産業用構内ネットワークの IP/IoT 通信について、その全体を把握して通信制御を実現するための情報収集・分析・判断の機能を一通り実現することにより、サービス基盤と連動する広域セキュア IoT 基盤やカタログサービスと連動して広域の情報流通を仲介し、機器間の連携状況をデータとしてインフラに反映するといったネットワークのさらなる活用が可能となる。また、ネットワークポリシーと動的な連携状況に基づき広域通信モデルを自動生成・インフラ制御に反映できるようになり、End-to-End の広域通信路を必要な場所にだけ、必要なときにだけ確立し、異常な通信はインフラで検知し、隔離等の対処も自動化するといったネットワークによるセキュリティの確保が可能となるため、本技術は産業システムで世代を重ねる毎に広く使われていくと考えている。

3.13.2.6 その他

通信管理ソフトウェア技術は、アラクサラで通信管理コントローラとして、IIJ-II にてサービス制御技術として事業化を推進する。

3.13.3 研究開発サブテーマ「IoT セキュリティ基盤のためのネットワーク実装技術の研究開発」

3.13.3.1 概要

次世代産業用ネットワークを守る IoT セキュリティ基盤技術ために以下の課題に取り組んだ。

- (1) コントローラと API などにより連携するためにはそれを支える装置制御機構および管理ソフトウェアの性能の確保と情報交換のためのモデル化が必要となる。
- (2) 産業用システムの制約に伴う環境性能(温度、湿度、気圧、埃など)と長寿命化を実現するためには、省電力化をはかり部品の劣化を抑えることや、冷却機構の簡略化し小型で安価にしていく必要がある。
- (3) 現状の産業用ネットワークは L2 での接続性の確保だけで、細かなパケット制御機構は実装されてないが、次世代産業用ネットワークにおいてもセキュリティを確保するためには、通信を制御し、サービス毎に分離したり、特定のトラフィックの通過・廃棄の制御、あるいは優先度をつけるといったことを行う必要がある。
- (4) 現状の産業用ネットワークは接続性の確保だけで、監視・計測機能を実装しているものがほとんどないが、次世代産業用ネットワークにおいてはセキュリティを確保するためには、トラフィックの内容を分析できるように監視・計測ができるようにしていく必要がある。

そこで、本研究では、システムの連携をはかるための管理・装置制御ソフト技術および高機能・省電力技術の研究開発に取り組んだ。また、ネットワーク機器の高度化を行うべく、通信アクセス制御・防御技術とネットワーク監視・計測技術の研究開発を行った。

3.13.3.2 最終目標と根拠

現状の産業用ネットワーク機器は、主にイーサネットでの L2 接続をしており、セキュリティを考慮すると IP レベルでの細かい制御やそのモニタリングに課題がある。また、細かなセキュリティレベルを実現するためには上位のサービスと連携し、通信制御を実現するための

ソフトウェアインターフェース(API)を実装していく必要がある。さらにネットワーク機器の実装という点では過酷な環境で長期間使われるために長寿命化が必要であり、そのためには部品の劣化を避けるために省電力化をしていかなければならない。

そこで、次世代産業用ネットワークを守る IoT セキュリティ基盤技術のためのネットワーク実装技術の研究開発として、以下のように最終目標を設定した。これらの目標は、それぞれの項目において技術的に世界最高レベルというだけでなく、実用化をめざしてその基本となる性能を十分に考慮したものである。

(1) 管理・装置制御ソフト技術

API によりネットワーク機器の設定を動的に変更できるようにする。ネットワーク機器単体で 100 回/秒で更新が実現できることを確認する。

(2) 高機能・省電力技術

ネットワーク機器の制御部位において、転送性能あたりの消費電力(W/Gbps)を 1/10 にする制御方式を提案する。

(3) 通信アクセス制御・防御技術

通信アクセス制御性能として、ネットワーク機器単体で 10 万エントリ、10Gbps、遅延 100 μ S 以下(フィルタ、QoS) を実現できることを確認する。

(4) ネットワーク監視・計測技術

モニタリング方式の詳細設計を行い、ネットワーク機器単体で 10 万フロー、10Gbps での監視・通知を実現できることを確認する。

3.13.3.3 目標の達成度

上記、(1)~(4)の目標はすべて達成した。

3.13.3.4 成果と意義

次世代産業用ネットワークを守る IoT セキュリティ基盤技術における IoT セキュリティ基盤のためのネットワーク実装技術について、以下のような技術を確立することができた。

(1) 管理・装置制御ソフト技術では、サービスと連携するための API 技術を確立し、これによりアプリケーションやサービスを制御するときにネットワークの機能を自在に使うことが可能となる。

(2) 高機能・省電力技術では、省電力およびソフトウェアの効率的な実行する技術により、ネットワーク機器の管理制御部の効率化につながり、安価な部品を使うことができるようになり、あるいは長寿命化による長期保証サービスを実現することができるようになる。

(3) 通信アクセス制御・防御技術では、イーサネットを扱う L2 ネットワーク機器において、アクセス制御の柔軟性と拡張性を実現できるようになり、これによりセキュリティ対策やユーザ毎のサービス品質を担保できるようになる。これは 5G と呼ばれる第5世代携帯電話を支えるネットワークやマルウェアによる被害が目立ちつつある工場や病院において既存機器を使いつつ、ネットワーク機器の更新や管理強化でセキュリティ対策が可能となる。

- (4) ネットワーク監視・計測技術では、ネットワークを流れるパケットを全数、ノンサンプリングで監視および計測できる技術を確認し、これにより障害検知やインターネットの品質測定が可能となる。

3.13.3.5 成果の普及

次世代産業用ネットワークを守る IoT セキュリティ基盤技術における IoT セキュリティ基盤のためのネットワーク実装技術の成果の普及については、以下のように考える。

- (1) 管理・装置制御ソフト技術では、サービスと連携するための API 技術の応用により、インターネットアプリケーションやサービス事業の中で利用できると考えている。たとえば、第 5 世代携帯電話ではアプリケーションの特性により、スライスといったネットワークを使いわけののに、この API を使うと実現が容易となる。
- (2) 高機能・省電力技術では、ネットワーク機器の管理制御部の効率化と省電力化であり、安価な部品の使用や長寿命化につながることから、製品開発にかかせない技術となり、世代を重ねる毎に広く使われていくと考えている。
- (3) 通信アクセス制御・防御技術では、イーサネットを扱う L2 ネットワーク機器において、アクセス制御の柔軟性と拡張性の実装であり、これにネットワークでのホワイトリスト管理が可能となる。これにより産業用システムである工場や病院でのセキュリティ対策を安価で広範囲に行うことができる。特に内部感染を防ぐ技術として普及していくと考えている。
- (4) ネットワーク監視・計測技術では、ネットワークを流れるパケットを全数、ノンサンプリングで監視および計測できるため、これまでにわからなかった細かい粒度のネットワークの状況が把握できる。これをビッグデータ解析として AI と連携させることにより、障害検知やサービス品質の把握の自動化につながり、今後の普及が期待できる。

3.13.3.6 その他

2020 年 6 月にホンダの社内ネットワークが大規模にマルウェアに感染したことにより、世界中の工場が止まり大きな被害となった。また、新型コロナウイルスの影響により、医療機関では院内においてもチームをわけての遠隔会議やほんの数メートルでも非接触のためにネットワーク接続された医療機器や IoT 機器、タブレットをはじめとする IT 機器の導入が急速にすすんでおり、セキュリティやサービス品質の確保が課題となってきている。このように我々の開発した技術が役立つ場面が増えているため、できることから製品化を急いでいる。

4. 実用化・事業化に向けての見通し及び取り組みについて

4.1 超高効率データ抽出機能を有する学習型スマートセンシングシステムの研究開発における実用化・事業化の見通し（株式会社日立製作所）

本項では、「学習型スマートセンシングシステムの開発における実用化・事業化の見通し」について述べる。

4.1.1 概要

我が国の産業分野の国際競争力強化、社会課題解決に対し、生産性向上と少子高齢化対策は喫緊の課題となっている。その対策として、IoT で収集するセンシング情報量の拡大と有効活用が必須とされているが、センサ設置とメンテナンスのコストが高価なことや、測定対象毎に特化したセンサ開発が必要という課題があり、収集可能な情報は限定的となっている。本研究成果を活用することで、既存のサービスプラットフォームに当該技術を社会実装し、革新的生産性向上、社会課題解決を可能とする、社会イノベーション事業を実現する。一例として、自社製品のセンサソリューションとして、本研究開発の成果である LbSS スマートコンセントレータを取り込むことで、現状の主に有線接続されたセンサによるサービスに対して、将来は本研究開発成果による無線センサソリューションを導入することにより、スマートファクトリ等での機器モニタリングなどへ適用を見込んでいる。

4.1.2 実用化・事業化への課題と対応策

- ・ユースケースの拡大や特徴量抽出法の強化
 - スマート工場以外の新しいユースケースをユーザ訪問や実証推進研究会で検討。
- ・マネタイズの拡大
 - シンクタンク等を利用し、多く存在する既存の汎用センサと組み合わせる案件での訴求ポイントを探す。また、コンセントレータアルゴリズムのパッケージ化を議論。

4.1.3 実用化・事業化の体制

IoT による社会イノベーション実現は日立の事業方針として推進中である。本研究開発成果であるセンシングシステムは見える化の中核技術として、当初より日立製作所の事業部門と研究部門の共同で早期事業化実現を目指して取り組み中。また、プロジェクト開始当初よりユーザ企業と連携し仕様策定・実用化を目指した開発と実証実験を実施している。

4.1.4 市場規模と経済効果

120 億ドル@2021 年のスマートファクトリ市場をターゲットとしている。

本研究により開発の技術は、エッジコンピューティングの分野である。エッジコンピューティング市場は年率 30～50%で成長中であり、波及効果として、本システムの学習分析アルゴリズムは、エネルギー、スマートシティ、社会インフラのモニタリングにも展開が可能である。本開発の学習型スマートセンシングシステムは、産業分野における機器稼動状況や、労働性などの、従来は人手により把握していた事象の”見える化”を実現するものであり、多様な産業分野のスマート化を容易に実現できる。これにより、我が国の革新的な生産性向上・省エネ化による産業競争力の強化と、少子高齢化対策などの社会課題解決を同時に実現し、Society5.0 実現に貢献することができる。

4.1.5 ベンチマーク

技術視点、および、ユーザ視点でのベンチマークは、以下のとおりである。

・技術視点でのベンチマーク

- 複数のセンサ端末とコンセントレータ間の学習や測定最適化で有価情報を圧縮収集
- 多様な機器を対象としたセンシングシステムで生産工程の変化にも柔軟に対応
- ・収集する情報量を飛躍的に増加し、工場全体を最適化する手段へ昇華・ユーザ視点でのベンチマーク
 - 学習型センシングシステムにより、設備毎の調整を不要とすることで導入・PoC 期間を約 1/8 に削減
 - 無線・自立電源化で必要十分なデータ量を収集可能にし、導入・運用コストを約 1/10 に削減
 - 立ち入りが制限される工場へのユーザだけでのセンサ設置可能

4.1.6 事業化までのマイルストーン

IoT センシングシステムの製品化について、本研究開発が終了後、市場調査を継続しつつ 2021 年度より商用化準備を行い、顧客提案および現場実証による評価状況を見て 2024 年度より事業化を目指す。開発成果を IoT サービスプラットフォームへ組み込み、国内の産業やインフラ事業者を顧客としたサービス事業分野をターゲットの一つとする

4.2 超高効率データ抽出機能を有する学習型スマートセンシングシステムの研究開発における実用化・事業化の見通し（東京電力ホールディングス株式会社）

本項では、「学習型スマートセンシングシステムの開発における実用化・事業化の見通し」について述べる。

4.2.1 概要

東京電力グループが 2017 年度から実施している法人のお客さま向けの「電気の省エネサービス」事業のコンテンツ拡大のため、学習型スマートセンシングシステムを用いたお客さま設備の保守・状態管理マネージメントサービスを追加で設定することで、工場全体のマネージメントサービスとして提供する。

4.2.2 実用化・事業化への課題と対応策

法人のお客さまには様々な業種があり、その工場設備や設置環境も多種多様の条件があることから、実際にサービスとして提供可能かの見極めが必要。そのため 2022 年度から複数のお客さまを対象に先行試験サービスとして提供し、評価を行う。

4.2.3 実用化・事業化の体制

東京電力エナジーパートナー株式会社や東京電力グループの関連会社での産業設備のマネージメントサービス事業の一つとして実施する。

4.2.4 市場規模と経済効果

市場規模としては旧東京電力管内の製造業などの電力多消費工場（約 25,000 件）をターゲットとする。経済効果は、国内に設備の保守・状態管理サービスを提供することにより、工場設備の計画外停止の 10%が回避できると仮定すると、全製造業の出荷額ベースで約 500 億円の損失回避効果が見込める。

4.2.5 ベンチマーク

従来のセンシングシステムと学習型スマートセンシングシステムとを先行試験サービス内で比較評価し、お客さま設備の稼働状態を同等レベルで検出できること、及び有価情報量が100倍以上であることを確認する。

4.2.6 事業化までのマイルストーン

センシングシステムハードウェアの供給先、体制の確保。システム価格。

4.3 超高効率データ抽出機能を有する学習型スマートセンシングシステムの研究開発における実用化・事業化の見通し(株式会社鷺宮製作所)

本項では、「産業分野における微小振動で連続的な高出力可能な自立電源の開発における実用化・事業化の見通し」について述べる。

4.3.1 概要

産業用学習型スマートセンシングシステムのために、連続的に500 μ W以上の電力を供給可能な振動型自立発電デバイスの実用化を目指す。それにより各種センサの電池交換が不要となり、長期間(10年程度)のメンテナンスフリーを実現する。また、小型化、及びウエハレベルパッケージにより高効率な振動発電デバイスを安価に実用化することで、道路や鉄道の交通インフラ維持管理、工場・オフィス等での省エネルギー、またウェアラブルセンサによる健康維持などIoTの普及を目指す。

4.3.2 実用化・事業化への課題と対応策

エネルギーハーベスタの市場が大きいことから、今後も競合他社によるさまざまなエネルギーハーベスタの開発が予想される。しかしながら、環境振動は低周波数、低加速度であるため、本研究以外の手法で効率良く振動エネルギーを回収することは難しい。また、弊社ではエレクトレット材料、MEMS振動発電素子の構造、および、電源管理回路において基本特許と周辺特許を押さえてあることから、圧電・電磁および静電方式による他の競合技術が台頭しても、それに打ち勝つことができる。

4.3.3 実用化・事業化の体制

弊社技術本部のR&Dセンターが主体となりエネルギーハーベスタの研究進めるとともに、高いMEMS技術を有する大学群、研究機関、また複数の実証企業群とコンソーシアムを組んでの研究開発も進めてきている。その成果を弊社生産本部に移管して事業化を目指す。

4.3.4 市場規模と経済効果

エネルギーハーベスタの将来市場は非常に大きい。マーケティング調査の結果によると、低炭素社会実現のためのスマートグリッドや物流管理のための可視化、省エネ制御センサ用電源として応用が期待されており、2017年において0.5兆円の市場が、2030年には1.3兆円、2050年には3.2兆円に拡大するものと見られている。また、なかでも本研究の振動発電方式に関しては、エレクトレット材料の形成手法、MEMS機構の設計・プロセス技術ノウハウ、また、発生した電流の整流・蓄電回路に関してそれぞれ競争力のある独自の技術を研究グループ(東京大学、静岡大学、鷺宮製作所)の共同出願として戦略的に獲得している。このことから、将来市場において本研究グループの事業はかなり有意な立ち位置を確保できる。

4.3.5 ベンチマーク

振動発電の性能を比較するベンチマークでは、体積・入力加速度あたりの発電量(規格化パワー)をY軸にとり、周波数をX軸にとった表示方法が一般的である。2011年以降に報告・販売されている各種振動発電素子30件の特性を比較したところ、発電方式(静電、電磁、圧電)に関わらず、弊社開発中のデバイスは規格化パワーにおいて世界トップクラスの性能を誇っている(2020年6月現在)。これを可能にしたのは、弊社がシリコン製の電極を高アスペクト比(高さ>>幅)で加工するシリコンマイクロマシニングの技術を有していることと、その表面に高密度・高電圧でエレクトレット膜を形成する技術を有していることが挙げられる。また、振動発電素子の構造を振動方向に対して対称性を高めることで静電拘束力を抑制し、微弱な環境振動でも高効率の発電を可能にしたデバイス設計技術が挙げられる。

4.3.6 事業化までのマイルストーン

本プロジェクト終了後の2021年から、実用化のための設計を開始する。同時に、少量生産が可能な生産ラインの準備に入り、2023年の上市を目指す。その際にエレクトレット化メカニズムをはっきりとさせ、高スループット化技術の構築が不可欠である。またその後大量生産に向け、大口径ウエハ技術の構築をしコストダウンを目指す。

4.4 超低消費電力データ収集システムの研究開発における実用化・事業化の見通し（株式会社デバイス&システム・プラットフォーム開発センター（DSPC））

4.4.1 概要

デバイス&システム・プラットフォーム開発センターでは、まず、本研究開発において事業モチーフとして開発した回転機器状態監視システムの事業化に注力する。本事業で提案する回転機器状態監視システムは、自立電源駆動の超低消費電力データ収集システムであることから、無線送信で電源配線工事が不要なため設置が簡単、超低消費電力駆動、自立電源駆動のため電池交換の手間が省けるという点を特徴としている。

4.4.2 実用化・事業化への課題と対応策

回転機器状態監視システムを広く普及させるためには、回転機器の稼働状態を可視化するだけでなく、機器の異常、故障の予兆を予知できるシステムが望まれる。そのためにはいかに多くの異常発生時データを収集し、解析することが必要である。そこで従来技術(MCU、電池、センサ)を組み合わせたニーズ調査品をポテンシャルユーザーに無償貸与し、異常が発生しやすい機器に優先して設置しデータを収集し始め、既に複数の異常発生時のデータを収集し解析を進めている。

4.4.3 市場規模と経済効果

McKinsey&Company のレポートによれば工場、作業現場系の IoT 端末のグローバル市場規模は 2025 年度には 37.5 兆円に達すると予想されている。国内における市場の立ち上がりは遅れているが、2021 年度以降には本格的な成長期に入ると予測されている。弊社が目指しているシステムはユーザーの既存のシステムに容易に実装でき、かつ実装期間、実装コストを大幅に削減できる。したがってこれまで一部の専門知識のある大企業しか導入できなかった IoT システムが、企業全体の 99.7%を占める中小企業にも実装できるようになり、新たな市場が創出できると考える。

4.4.4 ベンチマーク

振動センサによる回転機器状態監視システムとしては、有線配線・常時監視タイプのものが数十年前から実用化されているが、1000 万円以上する高価なシステムであるため発電所のタービンなど特に重要な設備への導入にとどまっていた。ここ数年比較的安価で電池駆動、無線送信タイプのシステムが国内外で事業化されているが、広く普及されるには至っていない。価格が高いこと、電池寿命が 1 年程度と短いこと、電池寿命が長いものは電池が大きい、または毒性物質を含む電池を使っていることなどが普及を阻害している。

4.5 超低消費電力データ収集システムの研究開発における実用化・事業化の見通し（株式会社東芝）

4.5.1 概要

本研究開発においては、CMOS 混載 SiGe-MEMS センサの製造プロセス技術及び超低消費電力回路技術、キャッチ&リリース型 MEMS ジャイロセンサの技術を委託研究期間中に確立し、開発目標となる消費電力 1/10 のセンサモジュール実現を達成した。助成事業期間においては、これらの慣性センサ技術を高精度化の方向へと応用し、東芝グループが独自に開発していた無線位置推定技術とのフュージョンにより、高精度な屋内位置推定の実証実験を実施する計画である。

これらの成果を元に、東芝グループ内での事業展開を図っていく。

4.5.2 実用化・事業化の体制

本研究成果は、東芝グループ内にて事業展開を図っていく。

4.6 超低消費電力データ収集システムの研究開発における実用化・事業化の見通し（アルプスアルパイン株式会社）

4.6.1 概要

熟練作業者の減少といった喫緊の課題が顕在化している分野への適用を最初の実用化ターゲットし、市場実績を積み上げながら、より汎用性の高い製品に仕上げながら、適用市場を拡大、デファクト化していく。開発した技術による低消費、小型、高性能化により、他社製品への優位性を実現していく。

4.6.2 実用化・事業化への課題と対応策

インフラ等の点検用途で実用化するためには、設置後電池交換せずに動作することが必要となる。また事業化には、組み込みを容易にするために、超小型のモジュール形状とする必要がある。この対応のためにボックスキャッタによる超低消費電力で、電波発電により動作する超小型のセンサモジュールを提供する

4.7 超低消費電力データ収集システムの研究開発における実用化・事業化の見通し（テセラ・テクノロジー株式会社）

4.7.1 概要

テセラ・テクノロジーでは 2016 年度から 2018 年度の委託事業において、圧電振動発電向け SSHI 増幅自立電源モジュールの研究開発を実施した。その結果、土台とモーターのような設備との相対振動を利用するような規模の大きい振動発電機用途として、従来技術の 10 倍以上の発電変換効率を有する自立電源モジュールの開発に成功し、当初の目標をクリアした。しかし上記のような規模の大きな振動発電機を事業化している企業が現状存在しないことや、発電機の設置や運用の方法など研究開発とは別の課題が残されていることから、一旦研究開発と事業化に向けた調査はペンディングしている。そこで当社の組み込みシステム開発を主たる業務にしている強みを生かし、振動発電用 SSHI 増幅自立電源モジュールに拘らず、デバイス & システム・プラットフォーム開発センター(DSPC)が 2019 年度からの助成事業で研究開発している振動、熱、光による自立電源モジュール全般の事業化検討を進める。それにより、環境発電用電源回路全般の know-how を今後更に積み重ね、高効率自立電源設計のオーソリティー集団を目指す。

4.7.2 実用化・事業化への課題と対応策

自立発電用電源モジュールは、発電変換効率を少しでも高くするために、発電方式と用途に応じて電源回路をそれぞれ個別最適化する必要があるため、事業として拡大しにくいという課題が存在する。また発電デバイス、電源回路、無線センサモジュール、ソリューション、サービスそれぞれを得意とする企業間同士の連携が弱く、顧客が本当に困っている製品開発ができていないという課題がある。そこで本委託事業および助成事業で培ってきたネットワークを活かしたオープンイノベーションにより、潜在ニーズを掘り起こすことで事業を拡大していく。

4.7.3 実用化・事業化の体制

テセラ・テクノロジーは DSPC 社の出資企業の一社である。テセラ・テクノロジーは高効率電源回路モジュールの設計、製造、販売を担当し、発電デバイスやソリューションなどのその他の領域については DSPC、テセラ・テクノロジーを核としたオープンイノベーション体制を構築する。またテセラ・テクノロジー独自の営業も行い顧客を確保する。

4.7.4 市場規模と経済効果

IDTechEx 社の調査によると、2022 年の自立電源デバイス市場は 5000 億円以上と予測されている。またサービスまで含んだ市場規模は数 10 兆円に達すると言われている。現時点では太陽光発電が過半を占めている状況であるが、IoT の進展にともなって無線センサモジュールの設置個数が増えるにつれ、電源問題(配線コスト、電池交換コスト)を避けて通れなくなるため、振動、熱、室内光発電による自立電源モジュールの市場は、今後 10 年間で一気に普及が進む可能性が高い。

4.8 トリリオンノード・エンジンの研究開発における実用化・事業化の見通し（東芝デバイス&ストレージ株式会社）

4.8.1 概要

トリリオンノード・エンジンの技術を採用した MCU リーフの開発および販売。および関連するソフトウェアのロイヤリティ販売。

4.8.2 実用化・事業化への課題と対応策

事業化にはグローバル展開できる条件がまだ整っていないところが課題であり、海外も含めた認知度向上およびトリリオン関連部品をワールドワイドで取り扱う企業が必要である。本件については、現在ホームページの英語化や、販路の拡大を図っている。

また、技術開発領域については拡張版コネクタの信頼性検証がまだであり、本件については 20 年度の研究で検証中。

4.8.3 実用化・事業化の体制

検討中

4.8.4 市場規模と経済効果

	2025年度	2030年度
IoT Node/Gateway向け半導体部品市場規模	約4兆円	約7兆円
日系半導体シェア	21% (+3%)	23% (+5%)
市場獲得規模	8400億円 (+1200億円)	1.6兆円 (+3500億円)

4.8.5 ベンチマーク

Leafonyの特徴比較

	価格	組立性	開発容易性	オープン性	小型	電池	特徴
トリリオンノード・エンジン	△→ ○	○	○	○	○	○	周辺が充実し、独自ボード作製容易、小型・低電力アプリに対応
Arduino	○	○	△	○	×	×	普及している標準製品、サイズ・電力に難、周辺機能が限定的
Mbed	○	△	△	○	△	×	物理的な寸法規格なくIOの相互物理接続に難、ソースコード少
LittleBits	×	○	×	○	×	×	遅く、初等教育向けで低機能ブロックの改造が困難
TinyDuino	○	×	△	○	○	×	小型のプラットフォームだが、低電力性、組立性に難
RaspberryPi	○	○	×	×	△	×	ハードウェアは非オープンLinuxで低電力は困難
フルカスタム自作基板	×	△	×	×	○	○	何でもできるが、開発コスト大や開発期間長が課題

● 超小型、低消費電力、オープン、リーフ製作簡単、組立簡単

© 2020 Trillion-Node Engine Project

13

4.9 トリリオンノード・エンジンの研究開発における実用化・事業化の見通し（東芝インフラシステムズ株式会社）

4.9.1 概要

セキュリティ強化が必要とされる市場にトリリオンノード・エンジンを普及拡大するために、生体認証機能、セキュアデータの保存機能、暗号化機能を含めたセキュリティ対応トリリオンノード

ド・エンジンの試作・開発などを行う。また、サンプルを10式以上提供して実用性検証を行うとともに、必要に応じた改善を実施することで、スムーズな企業化計画の実行を目指す。

4.9.2 実用化・事業化への課題と対応策

生体認証機能を実現するために指紋認証リーフを新規開発し、既存リーフとの組み合わせによる BLE 通信に対応した指紋認証デバイスを開発した。同デバイスを用いて、承認や認証が必要な IoT システムのデモシステムを構築した。また、暗号化鍵をセキュアに保持するとともに暗号処理を行うことができるセキュアエレメントリーフを新規開発し、既存リーフと組み合わせによるセキュア IoT デバイスを開発した。同デバイスを用いてセンサリーフが取得したデータを暗号化し、クラウド側に送信するセキュア IoT システムのデモシステムを構築した。

これらの開発品の貸出評価、PoC のフィードバックを受け、実用化・事業化に向けた仕様・性能改善などを行う計画を立てているが、コロナウィルスの影響により展示会などでの PR 機会が減り、現時点で貸出評価・PoC 件数が少ないことが課題となっている。具体的な対応策は検討中ではあるが、PoC 機会が増えるよう、プロモーション活動にも注力していく。

4.9.3 実用化・事業化の体制

弊社セキュリティ・自動化システム事業部が主体となり、本研究の実用化、事業化を目指す。

4.9.4 市場規模と経済効果

売り上げ規模としては、数千万円規模からスタートし、徐々に拡大していく計画である。但し、PoC フィードバックの遅れ等により、実用化、事業化時期が遅れる可能性はある。

4.9.5 ベンチマーク

PoC 実施企業様から「セキュリティ対策をするにあたって、セキュリティチップを自社で取り扱うことは困難であったが、トリリオンノード・エンジンは PoC システムの構築に非常に有効」とフィードバックを受けている。少量産程度まではトリリオンノード・エンジンで対応し、その後、本格的に立ち上がり、本格量産が必要な場合は、従来型の量産手法を使う、というトリリオンノード・エンジンのアプローチは、他アプローチと比較して優位性がある。

4.9.6 事業化までのマイルストーン

PoC/実証研究を通じて、実用レベルまでの仕様・性能改善を行った上で、事業化を目指す。

4.10 トリリオンノード・エンジンの研究開発における実用化・事業化の見通し（株式会社図研）

4.10.1 概要

●研究開発を行う製品・サービス等の概要

本研究開発の成果を用い、IoT 向け簡易設計環境をパッケージ商品化し、アカデミックプライスで既存の職業能力開発施設向けツールとしてリプレイスしていく。(ライセンス販売)また、プレミアムモデル(企業向けの高性能版)向けの成果により、企業の研究開発部門の新規開拓ビジネスを行う。合わせて、アカデミックプライスレベルの価格で、ベンチャー企業、異業種への新規拡販(ライセンス販売)を行い、最終的には非図研顧客のメーカーズ向けの拡販(ライセンス販売)を目指す。

4.10.2 実用化・事業化への課題と対応策

図研の基幹 CAD の CR-8000 は次世代エレクトロニクス設計プラットフォームとして、全世界に販路を拡げている。世界の電子機器産業では、100 万台を超えるような大ヒット商品が少なくなり、様々な用途別の電子機器が多くなってきている。この時代では、より早く市場にモノを投入し、より早くフィードバックをもらい、良いものに市場に提供していくことは、電子機器業界の大命題であり、その突破口を取り込み支援することは設計メソドロジーを司る図研にとっては重要課題となっている。

トリリオンノード・エンジンは、そのベースと成るハードウェアプラットフォームとしてフォームファクタ的にも、使用環境性能的にも優れており、設計環境として取り込まない手はない。いち早くモノにするには、電子プラットフォームはもちろん、筐体(エレメカ設計環境の検証)やインクジェットプリンタなど 3D プリンタの活用(AM適用設計環境の調査)も必要な技術であり、この組合せを検証することにより、顧客にフィットした設計環境プラットフォームが提供できる。

4.10.3 実用化・事業化の体制

CR-8000 はシステム設計と 3 次元グラフィックスのポテンシャルを最大限に活用し、外部解析環境と組み合わせで高度な解析・設計プラットフォームを構築することが可能になっている。筐体や 3D プリンタの活用も範疇内なので、親和性が良い。この助成事業の研究開発でしっかり検証を行うことにより、商品化のためのハードルが低くて済むと考えている。(既存の CAD 技術の軽度な改版や、販売パッケージの組み換えなどビジネスモデルの改版など)

4.11 トリリオンノード・エンジンの研究開発における実用化・事業化の見通し (株式会社 SUSUBOX)

4.11.1 概要

トリリオンノード・エンジンを用いた教育カリキュラムの開発を行う。カリキュラムの内容は大学のような基礎を中心とするのではなく、業務で直接利用可能な実践的な内容とする。具体的には委託事業で開発を進めて来たトリリオンノード・エンジンを使用した IoT センサノードの開発方法、ニーズが高いがメーカーズにとって開発困難な DDR メモリを用いた回路設計方法に加え、サーバ/クラウド・サイドを含むシステム構築方法などが挙げられる。また開発するカリキュラムは従来の講義形式ではなく、ワークショップを中心に、動画像、CG、VR、ライブ配信などを活用したインタラクティブ性の高いカリキュラムを開発する。また、カリキュラムは販売用だけでなく、宣伝用に無償提供するものも開発する。

4.11.2 実用化・事業化への課題と対応策

本カリキュラムは、秋葉原拠点で実施するワークショップを中心にすることを前提に進めてきた為、今回の新型コロナウイルス蔓延の影響が最も課題である。具体的な影響はまだわからないが、数名ではあっても半日以上に渡って密空間で実施することは今後一般的なワークショップでは無くなることが予想される。ただ、加速予算を中心に VR を活用することで事業規模をスケールすることを並行して進めて来た為、今後は実空間ではなく、VR 空間を中心に、あるいは VR やリモート会議システムのみを用いてワークショップを実施することも検討の予定である。

4.11.3 実用化・事業化の体制

本事業は、2つの階層構造となっている。つまりトリリオンノード・エンジンを使った受託開発事業がベースとしてあり、その上に教育事業を展開するものである。従って、弊社が独自に進

める受託事業がベースになっており、付随する教育事業は受託開発事業との相乗効果が期待できる。受託事業についてはまず、弊社の Kariomon System の課題であった、サイズと消費電力が大幅に改善され、これらの性能が要求される実装が可能となったことが最大の利点である。さらに既に弊社の持つ FPGA の回路設計技術、資産に加えて、Arduino のオープンソース資産がそのまま利用可能となることと、拠点を秋葉原の好立地に置いたことがある。

それに加えて、今回の教育カリキュラムを開発することで、自社製品が増え、先に述べたようにマーケットを拡大するだけでなく、人材確保へ繋がると考えている。さらに、一部のカリキュラムを無料で配信することにより、トリリオンノード・エンジン、教育カリキュラム、受託開発の 3 つについて同時に営業・宣伝効果が期待できる。

4.11.4 市場規模と経済効果

本事業で対象とする、回路設計、組み込み分野のみの教育事業規模の算出は難しいが、矢野経済研究所算出の 2017 年度の国内の教育産業全体の市場規模は、2 兆 5,623 億円とされる。うち、BtoB 向けの e ラーニング市場は 620 億円、個人向けが 1,380 億円となっている。本事業は BtoB 向けの技術教育の中の IT 分野の回路設計教育に当たる。従って BtoB の中の IT 分野を 1/3 とすると 206 億円、その中の大半をソフトウェア開発が占めることを考えて、回路設計分野を 15%程度と想定すると、約 30 億円程度の小さな市場規模となる。ただし、反面シェアは獲得できる可能性がある。また、主要事業である受託開発事業の売上や、その相乗効果も期待できる。

4.11.5 ベンチマーク

他社との差別化、優位性については、そもそも Arduino はホビー用、若しくは大学などでの教育用と捉えられており、実業務での利用、製品への組み込みはその信頼性の問題から想定されていない。この為、BtoB を対象とした本カリキュラムと完全に競合する教育カリキュラムはほとんど見当たらない。一方、専門性の高いワークショップについては BtoB を前提としたものが多く開講されている。安価に開講されているものも多く、価格競争の面からは不利と言えるが、その分有用性の高いカリキュラムとすることで差別化を図る。その有用性を示す為に、無料配信のカリキュラムも開発する。

4.11.6 事業化までのマイルストーン

2021 年度より販売を開始する予定であるが、2025 年度までのマイルストーンは下記の通りである。

- 2021 年度: 開発した教育カリキュラムの販売と無償配信を開始
- 2022 年度: 前年度カリキュラムの実施継続と新規カリキュラムの開発
- 2023 年度: 2022 年度開発カリキュラムの販売と無償配信の拡充

4.12 高速ストレージクラスメモリを用いた極低消費電力ヘテロロジーニアス分散ストレージサーバシステムの研究開発における実用化・事業化の見通し（富士通株式会社、日本電気株式会社）

4.12.1 概要

IoT時代の大量データを蓄積し、高速処理するデータセンタ用ストレージとして実用化する。次に、実施企業や研究協力機関などが運営するデータセンタ内で各種IoTサービスを支える基盤として実用化する。現在は開発技術の基盤となるIntel製SCM搭載したサーバを製品化、次にストレージとしての実用化を進める。

4.13 先進IoTサービスを実現する革新的超省エネルギー型ビッグデータ基盤の研究開発における実用化・事業化の見通し（株式会社日立製作所）

4.13.1 概要

Gartnerの調査では、ビッグデータ・AIによる需要拡大、年率10%以上の電力コスト上昇など、電力管理はデータセンタ運用の最優先課題とされている。データセンタのエネルギー効率競争への突入は必至であり、日立製作所では4.13.4で示すように2030年度12.1兆円市場へ急成長するものと試算している。

日立製作所はエンタープライズストレージ世界市場30%を確保しており、Fortune Global 100の80%以上が顧客である。エンタープライズストレージを核として、利益率の高いシステム開発ビジネスを獲得している。図3-4.13.1-1に示すように日立製作所の得意市場（エンタープライズ顧客）をターゲットとする早期事業立上げにより優位性を確保する。

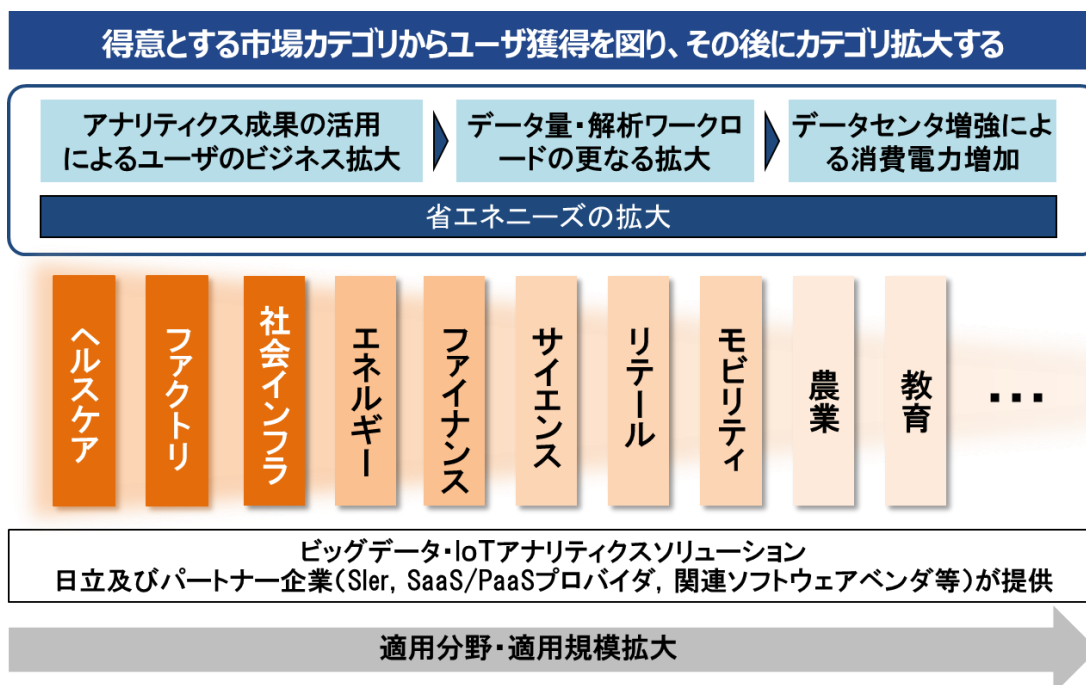


図 3-4.13.1-1 得意市場をターゲットとする早期事業立上げ

IT のグリーン化が必要な背景から、実証実験ユーザ(エネルギー業)から本技術に期待する声が実際にあがっている。ビッグデータアナリティクス市場を刺激し、先進事例の開拓や標準化によりエネルギー効率性への転換を促進する。そして転換期にタイムリーに製品を投入していくとともに、Lumada のユースケース蓄積による市場創生・ユーザ獲得を図る。ここで、Lumada とは日立製作所のビッグデータ・IoT プラットフォームビジネスのブランド名称であり、Lumada のユースケースとは顧客との協創で新たな価値を創出したデジタルソリューションをモデル化したものである。この Lumada の IoT プラットフォームで中核となる製品に本技術を適用する。

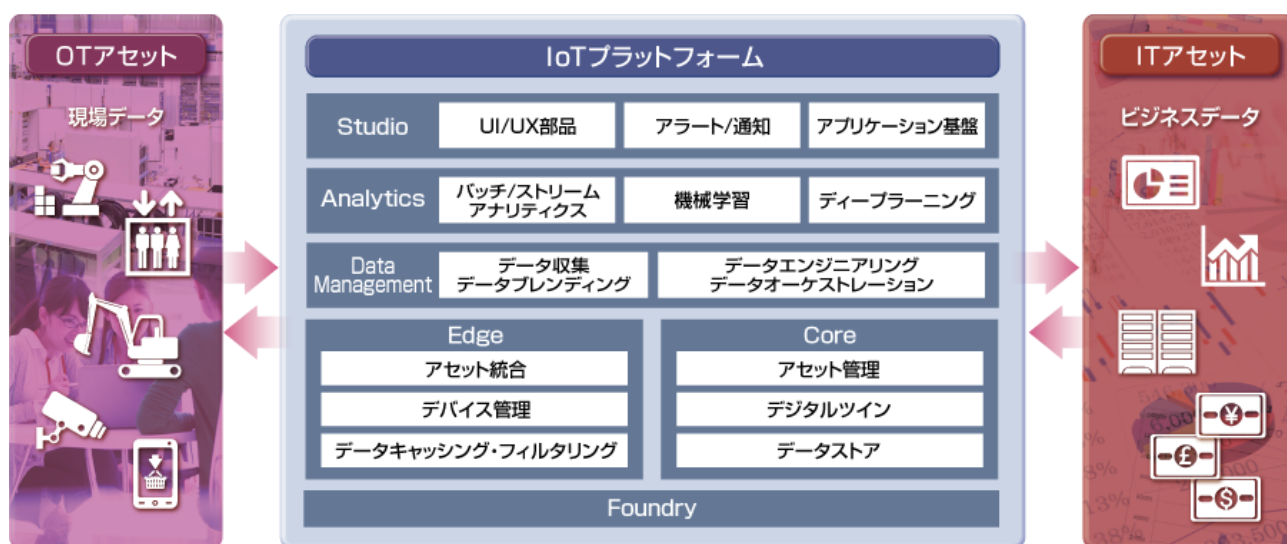


図 3-4.13.1-2 Lumada の IoT プラットフォーム

日立製作所では全社的なコミットメントを確立済であり、ソフトウェア、ハードウェア、ソリューション・サービス等、複数の事業部が参画し、経営層も認知して推進を後押ししている。中期経営計画にも織込みである。得意市場に営業資源を集中して競争を創出し、トップ顧客を獲得しながら市場を先導・波及させていく。

さらに市場拡大に向け、広汎なライセンス体制を構築することにより非競争技術化を図る。

次に市場・社会へのインパクトについて記載する。本技術は、ソフトウェアアプローチによって、ビッグデータ基盤のエネルギー効率性を飛躍的に向上可能な技術であり、本技術に匹敵するエネルギー高効率化効果を有する他のソリューションは見当たらない。以下にソリューション観点及び技術的観点で比較した表を示す。

表 3-4.13.1-1 ソリューション観点での比較

競合するソリューション	本技術との相違点
エネルギーの安価な地域へのデータセンタの移動	技術者の確保、セキュリティ規制等により適用性が限定的、コスト削減効果は7割程度 (本技術: 場所を問わず効率性向上が可能)
代替エネルギーのデータセンタへの導入	有力な代替エネルギーは現時点でなし (本技術: エネルギー種別に寄らず効率性向上が可能)
大規模クラウド事業者への委託	最終的にはコストに転嫁、大規模クラウド事業者は潜在的に有力な顧客 (本技術: 基盤の種別によらず効率性向上が可能)

表 3-4.13.1-2 技術的観点での比較

競合技術・製品		本技術との差異
データ管理・ 処理技術	インメモリ技術	非ビッグデータを対象
	フラッシュメモリ/ ストレージクラスメモリ技術	本技術は適用可能 フラッシュメモリに於ける有効性を確認済
	Hadoop/NoSQL	技術的な先進性はない 本技術は適用可能、有効性を確認済
他のソフトウェア技 術	仮想化サーバ技術/ 仮想化ストレージ技術	本技術とは相補的 エネルギー効率化効果は2倍程度
エネルギー効率性 向上技術	CPU/メモリ省電力制御技術	本技術とは相補的 エネルギー効率化効果は1.7倍程度
	ハードウェア・設備自体の 省電力化技術	ソフトウェアによる省電力化とは直交 エネルギー効率化効果は1.8倍程度

類似の事業(省エネルギー型ビッグデータソフトウェア事業)は他に一切見当たらないことから、市場・社会へのインパクトは大きいといえる。本技術により、ビッグデータを主な対象とするデータセンタ全体において 30 倍程度のエネルギー高効率化効果を見込んでいる。

今後、本プロジェクトの委託が終了する 2020 年度には、SDGs、温暖化問題への意識の高まりや、ソフトウェアによる省エネ効果指標 APEE(APEE:Application Energy Effectiveness)の国際標準化などにより、データセンタのエネルギー効率性への関心が進展していくと考えられる。また正式リリース時期には実証実験を通じ有望顧客の認知度向上を進める。

この事業分野におけるビジネスの競争優位は、ビッグデータ解析の量・深さによって決まる。ビッグデータ解析の量・深さは使えるエネルギーによって律速される。ビッグデータ解析のエネルギー効率性がビジネスにおける競争の雌雄を決することから、本技術を取り込んだ製品に優位性があると考えられる。

4.13.2 実用化・事業化への課題と対応策

事業化に向けた取り組みにおけるユーザ事例の開拓状況としては、日立の有力顧客ベースから業種別に随時選定し、実証実験に向け協議しており、2019 年度は 5 件実証実験を実施した。2020 年度は現時点で 3 件実証実験を実施中である。

自社内ビジネスへの適用実証実験を推進し、結果を顧客誘引に活用する。また現在構築中のエネルギー効率性体感テストベッドプラットフォームにより顧客認知を獲得していく。

今後の事業化に向けて、エネルギー高効率化データベースソフトウェア技術の確立とユーザ事例の開拓が必須であり、本プロジェクト事業に於いて推進中である。

事業化に向けた課題としては、データセンタのエネルギー効率性への顧客関心が低迷し続ける可能性があげられる。(脅威1)

また、顧客が既存の技術・製品に執着し続ける可能性があげられる。(脅威2)

脅威1及び脅威2の課題を克服するための対処方針の一つとして、ソフトウェアによる省エネ効果基準(APEE)を策定するための標準化活動を推進する。本標準化活動は ISO/IEC JTC 1/SC39 において、経済産業省、NEDO、JEITA のご支援を受けて進めており、2019 年度に CD 承認された。今後、2020 年度の DIS 承認を経て 2021 年度に IS 発行となる目途が立ったため、2021 年度には、APEE を活用した顧客の省エネ意識の向上、省エネ化ソフトウェア市場の創生をはかる。合わせて、製品の実用化の優位性を示すことにより、圧倒的な事業競争力を確保する計画である。

さらに、日立製作所の得意顧客および執着の弱い市場・顧客への訴求に営業資源を集中し、エネルギー効率性を訴求するためのサービス普及コンソーシアムの立ち上げ(主にトップ企業を対象とした招待ベース)や、経営層コミュニティを通じたトップセールスの徹底を図るとともに、先進的応用事例の掘起し(PoC)、プロモーション活動の強化、非データベース市場の顧客発掘などに取り組む。ソフトウェア市場では開発・運用の継続性確保は不可欠であり、有力顧客に対しては日立製作所が検証・導入に直接参加、新ニーズを取込み、継続的アップグレードを実施していく。

4.13.3 実用化・事業化の体制

日立製作所における実用化体制について以下に示す。

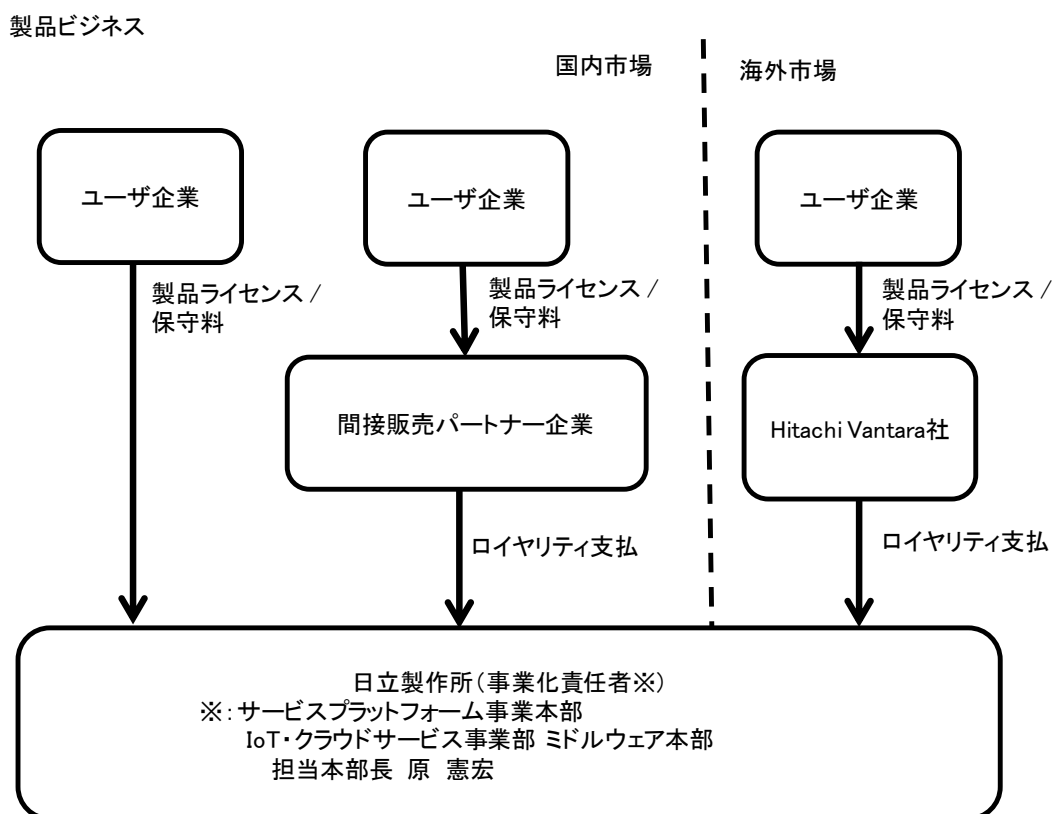


図 3-4.13.3-1 日立製作所における製品ビジネスに関する実用化・事業化の実施体制

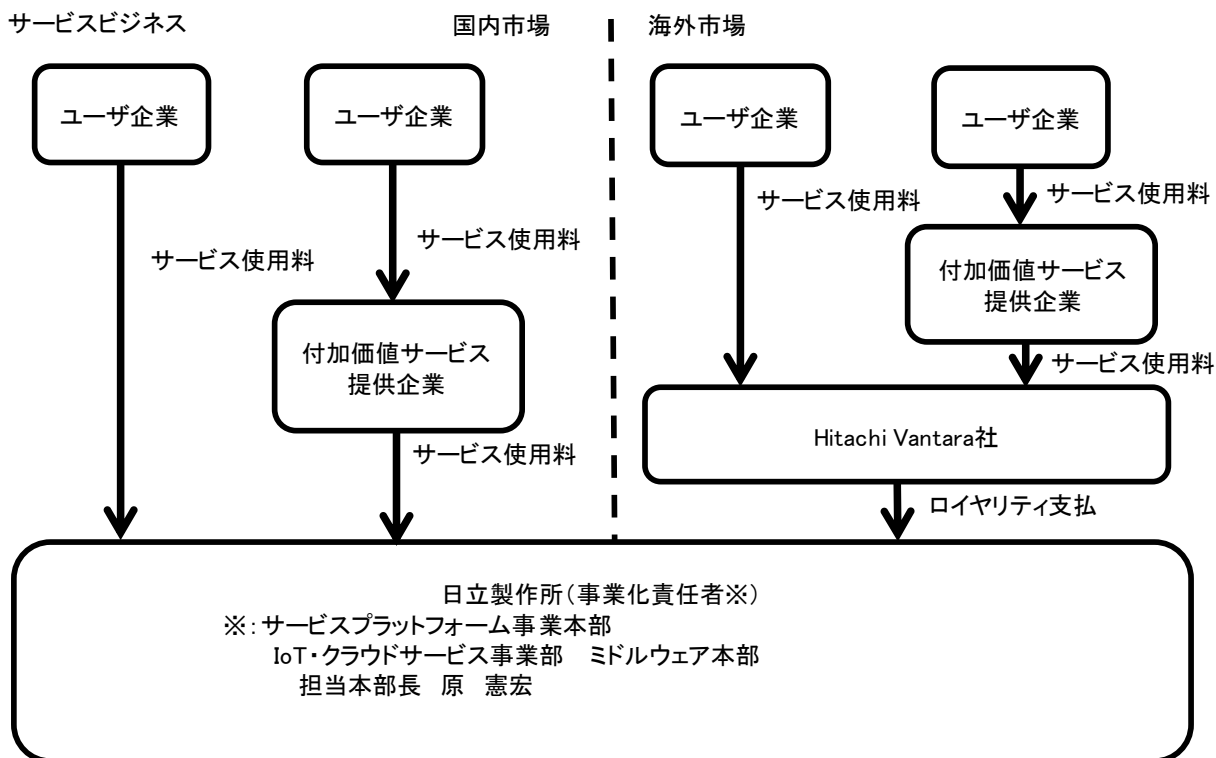


図 3-4.13.3-2 日立製作所におけるサービスビジネスに関する実用化・事業化の実施体制

【日立製作所における実施体制図の説明】

製品ビジネスにおいて、日本国内市場では日立製作所からユーザ企業に対する直接販売、及びパートナー企業を介した間接販売、海外市場では Hitachi Vantara 社を経由してユーザ企業に製品および保守サービスを提供する。Hitachi Vantara 社は、エンタープライズ向けストレージシステムの分野において、世界市場で約 30%のシェアを有しており、この顧客ベースを活かして海外における事業展開を図る。ユーザ企業は製品のライセンス料及び保守料を製品及び保守サービス提供元に支払う。間接販売の場合は、間接販売元がロイヤリティを日立製作所に支払う。国内、海外に係わらず、ユーザ企業には他のユーザにサービスを提供するサービス提供企業も含まれる。

サービスビジネスにおいては、日本国内では日立製作所からユーザ企業に対し直接サービス提供を行う、あるいは日立製作所が提供するサービスに付加価値を付けたサービスを提供するパートナー企業経由でユーザ企業にサービス提供を行う。海外では、製品ビジネスと同様 Hitachi Vantara 社を経由し、直接あるいは付加価値サービス提供企業経由の間接サービス提供を行う。サービス提供においても Hitachi Vantara 社が有する顧客ベースを活かした事業展開を図る。

製品ビジネス、サービスビジネスとも製品開発及びサービス提供環境構築のために初期投資が必要であり、さらに製品の保守・サポート、サービス提供のランニングコストが掛かる。これを、数多くのユーザからのライセンス/保守料、サービス使用料、および間接販売あるいは付加価値サービス提供企業からのサービス使用料で回収するというビジネスモデルである。

4.13.4 市場規模と経済効果

(1)市場規模(現状と将来見通し)／産業創出効果

表 3-4.13.4-1 市場規模

	市場規模(海外含む)
プロジェクト開始時点(2016 度)	2.6 兆円
プロジェクト期間終了時点	5.9 兆円
終了後 5 年目(2025 年度)	9.5 兆円
2030 年度	12.1 兆円

市場規模算出の根拠: IDC Worldwide Big Data Technology and Services Forecast,2015-2019 October 2015 より、2020 年度以降の市場成長率については、2018 年度から 2019 年度の成長率と同じ成長率と仮定して試算した。なお、上記市場はサービス以外にもハードウェアおよびソフトウェアの市場も含む。

4.13.5 ベンチマーク

①開発製品・サービスの競合製品に対する優位性(性能及び価格等の比較)

本プロジェクトは、成熟期に突入しつつある IT 産業に於いて、従来の性能一辺倒の競争から本格的な省エネルギー化への「ゲームチェンジ」を世界に先駆けて打ち出すものである。非順序型実行原理と称する独自のソフトウェア実行原理を基に、基盤ソフトウェアの根幹アルゴリズムを同期から非同期へ抜本的に革新することにより、ビッグデータ基盤のエネルギー効率性を飛躍的に向上することを目指す。単一のソフトウェア技術が 1,000 倍の効率化もたらすことは稀であり、技術としての革新性、優位性は極めて高い。当該技術を世界に先駆けて確立し、国際市場に於ける早期実用化を貫徹する。日立製作所が、先ずは同社が得意とするエンタープライズ市場に於いてソフトウェア製品の実用化を行い、東京大学が IP ライセンシングなる戦略的フレームワークを立ち上げ、技術の広汎な展開を推し進め、当該技術を「世界中のビッグデータビジネスプレイヤーが実施せざるを得ない」「非競争的」技術へ進化させる。

本研究開発は、高い研究能力・実績を誇り、技術シードを有する東京大学と、高い製品開発能力・実績を備え、国際市場で認知されている日立製作所とが、強力なタッグを組んで研究開発を推し進めることによって将来にわたって優位性を維持することができるかと確信している。

②製造に関する優位性

日立製作所は我が国で唯一、本格的なデータベースシステム製品を開発してきており、内閣府 FIRST に於いては、東京大学の考案した独自の「非順序型実行原理」に基づく超高速データベースエンジンの迅速な製品化に成功し、国際市場で事業展開を進めている。また、同社のストレージシステムは国際市場で高い認知を得ており、エンタープライズ向け製品は EMC 社に次いで世界シェア 2 位を獲得している。即ち、ビッグデータ基盤の開発ならびに製品事業化に於いて圧倒的な実績を誇っている。本提案による実用化を目指した研究開発を推し進める機関として、同社は最も相応しく、自製のソフトウェアを開発することで競合他社に対して優位性がある。また、日立製作所は、研究開発、ハードウェア開発、ソフトウェア開発ならびにビジネスソリューションに跨る広汎な事業部門が参画しており、強力な連携体制で製品開発・販売を行っている。

③販売力に関する優位性

データセンター市場の成長は明らかであり、当該市場に対し、他社に先行して超省エネルギー型ビッグデータ解析サービスを投入することに加えて、同じく日立製作所が NEDO に提案

している別テーマ「学習型スマートセンシングシステムの研究開発」及び「組合せ最適化処理に向けた革新的アニーリングマシンの研究開発」の成果も取り込むことで、他社競争力のあるサービスを提供できると考えている。

また、上記研究開発の成果を製品やオープンな API や SDK として広く社会に提供し、他データセンター事業者も含めたクラウド市場の拡大、及びユーザの持つデータを自社利用のみならず、販売可能な形にすることで、データ市場と言う新しい市場を開拓し、わが国ビッグデータ市場全体の活発化を期待できると考えている。日立製作所は、15 年以上にわたり 20 ヶ国以上約 57,000 社の会員企業に対し、設計、調達、生産、販売などにおける企業連携をサポートするサービス「ビジネス SaaS TWX-21 (<https://www.twx-21.hitachi.ne.jp/index.html>)」を提供しており、この運用ノウハウを活かしてデータ市場の創生ができると考える。

付け加えると、日立製作所がビッグデータ解析基盤の省エネルギー性を定量的に計測可能な指標の標準化を制定することにより、製品の実用化の優位性を確立し、広範囲に啓蒙することで省エネ化ソフトウェア市場を創生し、圧倒的な事業競争力を確保する。

(3) 価格競争力

4.13.5①に記載。

4.13.6 事業化までのマイルストーン

本研究のベースとなるデータベース製品「超高速データベース Hitachi Advanced Data Binder」(以下、HADB)およびサービスとして販売する。日立製作所の有する販売網を駆使して、上記製品・サービスの販売を進める予定である。国内は主に日立製作所ならびにパートナーが販売し、海外については Hitachi Vantara 社ならびにそのパートナーが販売を担当する。

日立の有力顧客ベースから業種別に選定・開拓し、顧客の実システムにおける省エネ効果予測の実証実験を推進中である。2020 年度もさらなる顧客開拓を推進する予定である。

4.14 省電力 AI エンジンによる人工知能プラットフォームにおける実用化・事業化の見通し（株式会社デジタルメディアプロフェッショナル）

本項では、「省電力 GPU をベースとした AI エンジンの研究開発における実用化・事業化の見通し」について述べる。

4.14.1 概要

(1)内容

今後広がるエッジコンピューティングの中で、今回の成果物によって、画像・動画の認識を高効率に実現することが出来る。この成果物を、エッジ AI プロセッサコアとして FPGA モジュールに実装したモジュールビジネス、顧客とともに SoC として製品を行うデザインサービス・OEM 事業化、及びコア部分を IP としたライセンスビジネスとして行う。

(2)用途(販売予定先)

IP ライセンスは、これまで当社 IP 製品のコンシューマエレクトロニクス、ゲーム、車載関連企業へのライセンス実績を活用し、これら顧客に対して拡販活動を行う。

FPGA モジュールについては、これまでの当社 FPGA モジュール開発の実績や FPGA 商社との協業実績を活用し、FPGA モジュールに AI コアをバンドルし、FA 分野などに拡販活動を行う。

SoC 製品は、顧客に本プロジェクトで試作する小型 FPGA モジュールを事前評価してもらった上で、車載や FA 向けに SoC を開発している企業との協業を通じ、各分野向けの SoC 製品を共同開発し拡販することを想定している。

(3)具体的ニーズと、使用が予定される環境(マーケットの現状及び将来の規模、競争環境)

現在協議している主なビジネスケースは以下の通りである。

分野	企業	現状	今後の方向
コンシューマエレクトロニクス	大手デジカメベンダ	IP 採用決定	製品適用を支援していく
カメラモジュールベンダ	大手商社	IP 採用決定	FPGA ベースモジュールの拡販を推進
モビリティ	大手メーカー	IP, FPGA モジュール採用検討	PoC 向けに FPGA モジュールの販売を推進

前表ビジネスケースの顧客に対して、顧客要望に応じた共通 FPGA ベースの評価ボードの提供・販売を行っている。

4.14.2 実用化・事業化への課題と対応策

当社は、GPU 技術を核にしたビジュアルコンピューティング分野において、IP コアライセンス、SoC 製品の研究開発・販売、プロフェッショナルサービス事業を推進している。近年高効率なコンピューティングを実現できる GPU 技術を AI 分野に応用することで、ディープラーニングを始めとした高精度な画像認識の実現及び、これら技術を用いた自動運転、産業機器応用、ロボット制御など、多くのアプリケーション応用が進んでる。当社においても 16 年以上の実績をもつ、GPU 技術を AI 分野に展開し、今後の事業拡大を目指している。

現状のエッジコンピューティングは、静止画認識、工場における異常予見などのようにプリミティブな認識処理が中心であり、多くのシステムでは AI スピーカーのようにクラウド側で認識、学習処理を行い、端末に送るような構成で、エッジライトなシステムとなっている。しかしながら、

今後エッジコンピューティングの進化に伴い、多くの認識処理や学習処理がエッジ側に機能として移り、より多くのエッジデバイスが普及していく潮流が見えてきている中、この分野に対するキーデバイス・コア技術の要求が増加していくと考えられる。

一方、我が国は FA 分野、車載分野といったエッジコンピューティングに関わる基幹産業がある中、これらのデバイスで必要とする頭脳に当たるキーデバイス・技術は NVIDIA、Intel などの海外企業のデバイス・技術が使われている一方、エッジコンピューティングの要件である低消費電力、低サイズなどの要件を満たすことが出来ていない。この点を本プロジェクトで解決を行い、得られた成果を社会実装する事で、我が国の産業をさらに発展させていく。

4.14.3 実用化・事業化の体制

実用化体制は以下の通りである。

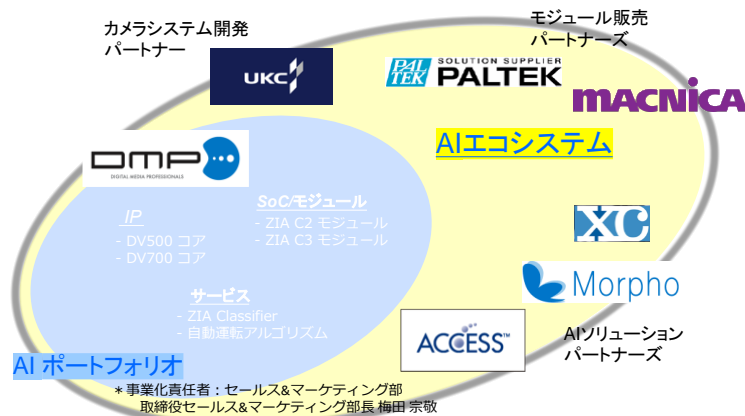


図 3-4.14.3-1 実用化体制図

実用化にあたっては、DMP が本プロジェクトで開発した AI エンジンを中心としたコア技術に加えて、エコシステムパートナーとして開発パートナー、モジュール販売パートナー、ソリューションパートナーと密に連携を行い、顧客にアプローチをしていく。

4.14.4 市場規模と経済効果

アプリケーションの一つである、ロボット市場（製造業、ロボテック製品、農林分野）の予測データは以下の通りである。

ロボット市場	市場規模(国内/世界)	技術適用シェア(国内/海外)
現状(2018 年度)	22,261 億円	0%
プロジェクト期間終了時(2023 年度)	42,962 億円	3%
終了後 1 年目(2024 年度)	47,771 億円	10%
終了後 2 年目(2025 年度)	52,581 億円	10%
終了後 5 年目(2028 年度)	65,937 億円	10%
2035 年度	97,100 億円	10%

市場規模算出の根拠: NEDO 2035 年に向けたロボット産業の将来市場予測 (<http://www.nedo.go.jp/content/100080673.pdf>) から算出

シェア見通しの根拠: 市場規模のおおよそ 3 割が製造分野向けロボット市場となっており、この我が国が強い製造分野向けにシェアを 1/3 以上取ることを目標とした。

4.15 省電力 AI エンジンによる人工知能プラットフォームにおける実用化・事業化の見通し（日本電気株式会社）

本項では、「推論エンジンの高効率設計・実装を可能にする設計プラットフォームの研究開発における実用化・事業化の見通し」について述べる。

4.15.1 概要

NEC が保有する高位合成ツールは、ASIC 等の専用設計、各社の FPGA、ルネサス社の動的再構成チップ等あらゆるデバイスに対応することにより、社内外の大手装置設計事業者やデバイスメーカーなど多くのユーザを獲得し、ビジネスの実績を持っている。これらの商流を活かして、あらゆるデバイスに対応した AI 設計フレームワークとしてビジネスを進めることを最終目標としている。さらに、現在ビジネス化を進めている原子スイッチを用いた新しいタイプの再構成可能チップにも対応を進めている。総合電機メーカーの特徴を活かし、開発した AI 設計フレームワークを、さまざまなビジネスに活用することで事業貢献することを目指している。

販売する製品を軸にして、ビジネスを分類すると、以下の5分類することができる。

1. 「AI 設計フレームワーク」を販売するビジネス
 2. 「AI 設計フレームワーク」を使った設計サービスを提供するビジネス
 3. 「AI 設計フレームワーク」を使った装置の部品 (FPGA カード等) を販売するビジネス
 4. 「AI 設計フレームワーク」を使った装置を販売するビジネス
 5. 上記部品や装置を使って、AI を利用したサービスを影響するビジネス
- それぞれのカテゴリで想定される製品やサービスを簡単にまとめる。

1. 「AI 設計フレームワーク」を販売するビジネス

NEC が進めている高位合成ツールを販売するビジネスに対して、さらに上流として「AI 設計フレームワーク」を付加することにより、高位合成ツールの付加価値を高めるツールを追加し、「AI 設計フレームワーク」の収益を上積みすることに加え、この「AI 設計フレームワーク」を追加することによる差別化により高位合成ツールの新規ユーザ獲得に貢献する。ツール自体を FPGA デバイスメーカーにサブライセンス権を提供して、デバイスの販促製品としてデバイスユーザに提供することも考えられる。

2. 「AI 設計フレームワーク」を使った設計サービスを提供するビジネス

こちらも NEC やグループ会社が進めている高位合成ツールを使った設計サービスに対して、さらに上流の「AI 設計フレームワーク」を追加することにより、既存の設計サービスの設計生産性を向上させることができる。さらに、AI 系の設計を検討している顧客に対しては、この「AI 設計フレームワーク」が差別化の技術となり、新しい顧客を獲得することにつながる。

3. 「AI 設計フレームワーク」を使った装置の部品 (FPGA カード等) を販売するビジネス

上記設計サービスでは、差別化の技術を保有していたとしても、日本の商慣行上、設計工数以上のビジネスにならない場合がある。「AI 設計フレームワーク」を使った部品を開発し、「AI 設計フレームワーク」を使ったことによる付加価値により部品販売を拡大する。

4. 「AI 設計フレームワーク」を使った装置を販売するビジネス

NEC の装置事業では、例えば、衛星設計に対して、高位合成ツールを利用して設計し、低コスト化、短 TAT 化を進めて、製品の付加価値を高めている。今後、衛星など NEC が手掛ける製品にもリアルタイムの AI 処理を搭載するニーズがあるため、これらの製品に「AI 設計フレームワーク」を使って製品開発を進め、付加価値を高めた製品として売り上げを拡大する。

5. 上記部品や装置を使って、AI を利用したサービスを影響するビジネス

3. の部品、4. の装置を提供するビジネスにおいても、サービス化の流れが加速しており、「AI 設計フレームワーク」は、サービス化の付加価値向上に直結させて、サービスの付加価値向上につなげることが期待される。例えば、お客様の装置に AI 処理を付加するために「AI 設計フレームワーク」を使って AI 処理を FPGA 基板に実装し、お客様装置に組み込み、その AI サービスの利用料として対価を頂くことが考えられる。このようなサービスの保守において、AI 部分を更新する作業が伴うことが想定される。AI 部分の更新において、FPGA は開発コストが膨大になる問題が、「AI 設計フレームワーク」を利用することで解決でき、サービスの付加価値が向上する。また、従来 FPGA ボードが利用できなかった領域でも FPGA カードの利用が広がることなどが想定される。近年、クラウド事業者がハードウェアプラットフォームとして FPGA を採用する事例が増えており、これらクラウド環境に「AI 設計プラットフォーム」を採用して、サービス事業を立ち上げることなども考えられる。

これら1. ～5. の分類の中で、まず、「AI 設計フレームワーク」を自社の FPGA 基板に対応して、実用化を目指し、自社 FPGA 基板を使った製品化サービス(2. に相当)や、自社 FPGA 基板を販売するビジネス(3. に相当)として事業化を始めることを目指す。

4. 15.2 実用化・事業化への課題と対応策

ディープラーニングに活用できるソフトウェアは、AI フレームワークとも呼ばれ、世界的に著名な大学や IT 企業、日本のベンチャー企業なども含め、様々な AI フレームワークが、オープンソースの形で公開されている。オープンソースで公開することにより、多くのユーザが利用し、また、改良して公開され、新たなユーザを獲得するというエコシステムが構築され、進化を進めている。本プロジェクトで大学などと共同で開発した AI ライブラリについても、今後、一企業が更新、改良を進めていくことには限界があり、AI フレームワークのオープン化の流れにも乗り、2018 年度後半に、オープンソース化の方針を決定した。一部の高性能なライブラリをプレミアムライブラリとして企業向けに有償で提供することとして、大部分のライブラリについては、オープンソースとして公開する方針である。AI フレームワークについても、一部、開発中止などの決定がなされており、オープンソース化を成功させることに課題はあるが、名古屋大学は、組み込み機器の OS をオープンソースとして公開して、普及させた実績があり、これと同様の仕組みを利用することで、ユーザを拡大し、エコシステムを構築することを目指す。

4. 15.3 実用化・事業化の体制

概要にまとめた1～5. に分類したビジネスを事業化する体制を図 3-4.15.3-1 にまとめる。

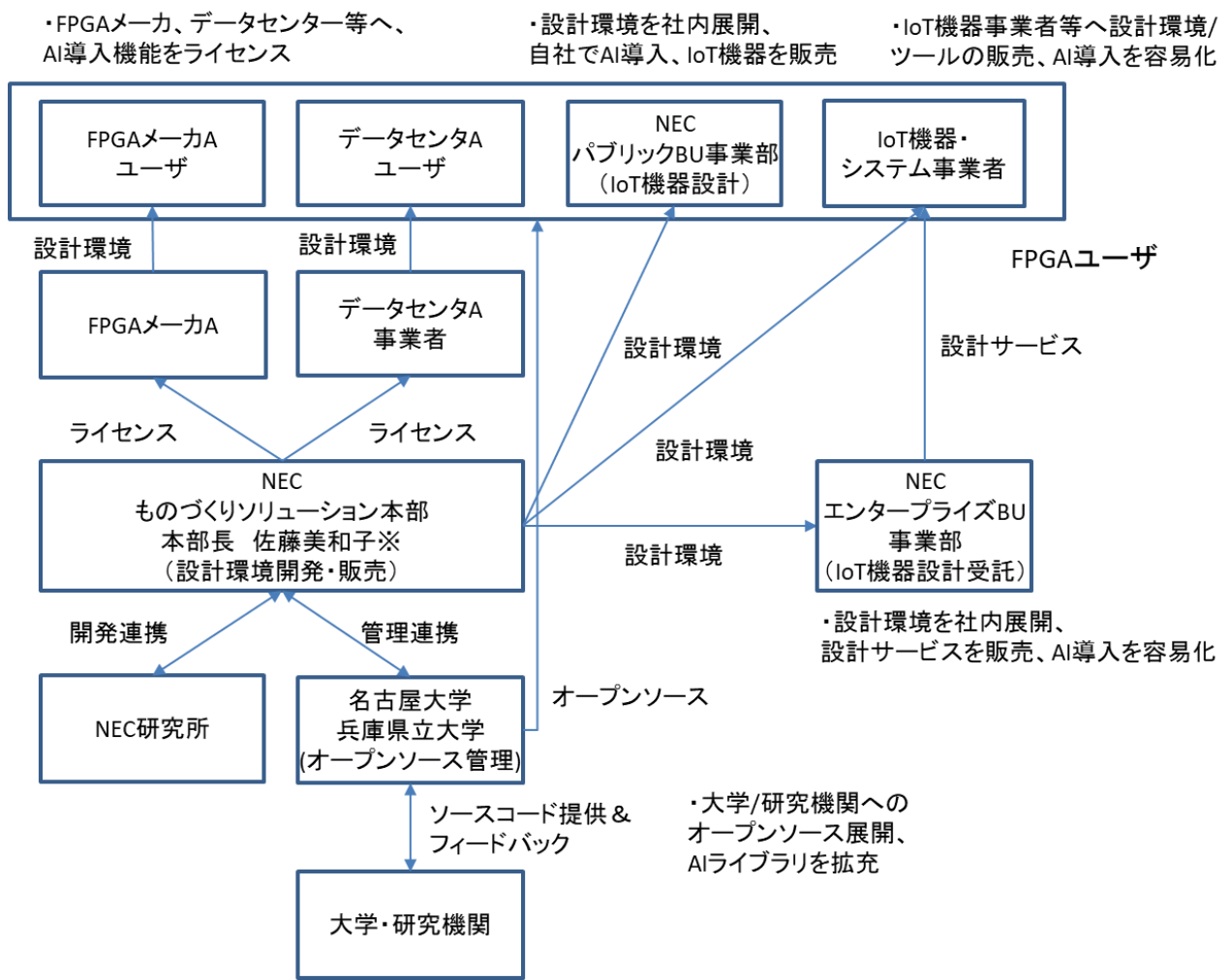


図 3-4.15.3-1 事業化の体制

4. 15. 4 市場規模と経済効果

IoT 設計環境、SI サービス、IoT サーバ、クラウド応用(合算)

(1) 市場規模(現状と将来見通し)／産業創出効果

	市場規模	シェア
プロジェクト期間終了時点	300 億円	8%
終了 1 年目	350 億円	10%
終了 2 年目	420 億円	12%
終了 3 年目	500 億円	14%
終了 4 年目	600 億円	18%
終了 5 年目	720 億円	22%
2025 年	1000 億円	23%
2030 年	1500 億円	25%

市場規模:システムレベルの合成ツールやライブラリ事業は、現在200億円程度あり、これらに関連事業であるサーバ事業、クラウドサービス事業、また、原子スイッチや STP チップを利用した日本独自の再構成可能チップの販売等は 1000 億円以上あり、当プロジェクトの関連製品は 10%程度にはなると判断した。

シェア:現在、高位合成の国内シェアは、25%程度と考えており、他の関連事業のシェアを10%程度とみて、換算した。

4.15.5 ベンチマーク

①開発製品・サービスの競合製品に対する優位性(性能及び価格等の比較)

- ・ 5年間のプロジェクト内で、AI分野に対するFPGAの優位性を示すライブラリと利用技術、ツールの概略を開発した。今後は、ツール性能だけでなく、所望のライブラリがそろっているツールやFPGAを選択する傾向が増大するため、このライブラリを利用して、ツールの販売、新型FPGAや日本独自FPGAの強みとして販売する。
- ・ AIライブラリと基本ライブラリ(AIライブラリをCPU上のRTOSから操作する等様々なシステム構築に必要なライブラリ)は、限られた資金により大学で開発したものであり、製品化にあたって品質向上と機能向上(いろいろなAIアルゴリズムへの対応等)が必要。ここが事業化における最大の障害である。
- ・ バグの発見や新機能の導入には、オープンソース化が有効であるため、NECとして、費用対効果を考慮したうえで、ライブラリ関連はオープンソース化する予定。
- ・ オープンソース化して、内容を充実させないと世界的な競争に勝てない可能性がある。一方、名古屋大学は組み込み機器用のOSをオープンソース化して、普及させた実績あり、同様の仕組みを導入することを現時点では想定している
- ・ 高位合成ツールと、一部の高機能なライブラリをプレミアライブラリとしてクローズドにして、大学等はフリーユーザとなっただけ機能を追加していただき、企業は有料ユーザとして収益に貢献していただくことを目指す。

②販売力に関する優位性

- ・ 高位合成ツール等の販売自体は、NECがすでに事業化を進めており、AIライブラリはその事業の上にとって進行できるので、上述の品質向上、機能向上部分以外に、事業開始に必要な初期費用は少なく障害はない。
- ・ 自社で行う設計受託事業の場合は、ライブラリやツール等の新開発のものは社外へ出ていかないため、プロジェクト終了後に直ぐに事業を開始できる。

4.15.6 事業化までのマイルストーン

年度	2021 年度	2022 年度	2023 年度	2024 年度	2025 年度
製品設計： 品質/機能向上	オープンソース化を判断 品質向上	機能向上	特定用途向け開発		
開発技術の設計プラットフォーム販売 (対 IoT 機器メーカー)		ライセンス販売			
開発技術のライセンス販売 (対 FPGA メーカー)				ライセンス販売	
開発技術利用の設計サービス、SI	サービス提供				
開発技術利用の機器販売 (サーバ等)	機器開発 クラウドサービスへの適合技術開発			機器販売	
開発技術利用のクラウドサービス				サービス提供	

4.16 超高速・低消費電力ビッグデータ処理を実現・利活用する脳型推論集積システムの研究開発における実用化・事業化の見通し（ヌヴォトンテクノロジージャパン株式会社）

4.16.1 概要

アナログ型抵抗変化素子 RAND に関して、メモリとして実績のある 180nm 世代の成熟したプロセスで、低消費電力を武器としたセンサー応用をターゲットに早期に事業を立ち上げる。h 並行してアプリ探索、AI ソリューションベンダーとの連携などを視野に事業拡大を目指す。さらに、40nm、22nm 世代へと微細化を進め、エッジ学習技術を進化させることで、IoT 用途への本格拡大を図る。

●波及効果について:3.7.5 に記載したように、本テーマでは、すでに計5回の人材育成スクールを開催している。実施主体は、産業技術総合研究所である。日本工学会によって、AI2oT (Artificial Intelligence and IoT) ECE(Engineering Capacity Enhancement、高度技術者教育)プログラムとしての認定を受けている。

4.16.2 実用化・事業化への課題と対応策

3.1.4 に記載のようにアナログ型抵抗変化素子 RAND の動作メカニズム解明、微細化プロセスの開発と信頼性に関するモデル構築が進展し、0.18um 世代では、顧客からのデータの提供を受け、顧客の課題を解決する提案をすることができた。このことは、本テーマで開発した研究成果が、ユーザーのニーズに合致していることを示している。以下に、今後の課題と、その対応策を記載する。

- (1) 学会発表、自社デモでたくさんの顧客に興味を持っていただいたが、顧客が肌触り感を持って、自分で評価したいという要望に対応できていない。コアの RAND 開発に加えて、周辺技術の開発が必要となっている。この対応策として、RAND 評価ツールを開発している。
- (2) 現行の CNN ベースとした AI を活用する担当者は、直近事業においては、「低コスト」、「高精度」を重視する傾向があり、次世代で必須の「低消費電力」の新しい価値を深く検討できていない。この課題に関しては、ユーザードリブンプラットフォームなどから広くアプリ情報収集を進める。
- (3) 新情報処理としての RAND 活用することを深く掘り下げると、アプリごとに種々のアーキテクチャーが必要となる可能性がある。ユーザー自身で 2nd, 3rdRAND を設計できる環境の提供が必要となる。この課題に関しては、RAND デバイスのモデル化を進め、設計用プロセス・デザイン・キットの提供を図ることとしている。

4.16.3 実用化・事業化の体制

ヌヴォトンテクノロジージャパンが RAND チップの設計、チップ信頼性の保証、顧客への販売を担う。チップの製造においては、0.18um 世代においては、タワーパートナーズセミコンダクターにて、40nm 以細の世代においては、ReRAM のメモリで既に連携中の大手ファウンダリの UMC での製造を予定している。

4.16.4 市場規模と経済効果

脳型チップ RAND は、高速通信・IoT センサーネットワーク・ビッグデータ・超微細 LSI の技術をつなげるキーデバイスとして、新しいライフスタイルの確立を加速する。エッジ AI ソリューションの市場規模は 2025 年を境に急速に伸び、2030 年にはチップ市場としては 2000 億円、そのチップが搭載されるエッジ AI ソリューション市場は 11 兆円に拡大する見通しであり、AI 市場全体の 10%に相当する。RAND の事業見通しとしては、2025 年に 50 億円、2030 年には 500 億円の市場規模を見込む。また、RAND を FPGA2I に実装して社会に提供できるようになれば、

まずは、教育現場からの利用が進み、ひいては、社会の多くの方々が AI プログラミングを用いたアイデア実証を体験でき、事業の裾野を広げる良いアピールにもつながると考える。

4.16.5 ベンチマーク

脳型情報処理のトレンドは、クラウド経由でデータを集約し、圧倒的な計算能力で推論を行うところにある。ひるがえって、本研究成果は、小型・低消費電力であることを特徴とし、エッジにおいて学習と推論を行うものである。既存の研究開発トレンドは、競合するものではなく、相補的であると考えられる。新型不揮発メモリのニューロ応用という視点においても、ReRAM はより低消費電力、コスト面、重みを取りうるダイナミックレンジが大きいなど、メモリーコンピューティングと親和性も極めて高い。

4.16.6 事業化までのマイルストーン

アナログ型抵抗変化素子 RAND チップの事業化は、ヌヴォトンテクノロジージャパン株式会社が担う。まずは 0.18 μm の世代において、2020 年度に顧客からの受注を確認し、2021 年度の量産化を図りたいと考える。更なる事業拡大のために、ファウンダリと構築中の 40nm 混載 ReRAM のビジネスプラットフォームを徹底活用するとともに、IP 技術を他社に供給し、RAND ビジネスを幅広く展開して、成果最大化を図る。

4.17 組合せ最適化処理に向けた革新的アニーリングマシンの研究開発における実用化・事業化の見通し（株式会社日立製作所）

本項では、「大規模 CMOS アニーリングマシンの開発における実用化・事業化の見通し」について述べる。

4.17.1 概要

アニーリングマシンは、特殊な計算機のためすぐになんにも使えるというわけではない。そこで、日立では CMOS アニーリングマシンの実用化にあたっては特定の分野にむけて実用化・事業化を行う。さらに、最初の事業化で培った技術、および、本プロジェクトで開発した技術をプラットフォーム化し、適用分野を N 倍化し、さらに大きな事業へ育てていく。このプラットフォームには、本プロジェクトにおいて、国立情報学研究所や早稲田大学が開発した共通基盤技術も取り込む予定である。

4.17.2 実用化・事業化への課題と対応策

アニーリングマシンは、特殊な計算機のため、計算機を提供すればそのまま実用化・事業化可能とは言えない。特に、計算機をクラウド化して、クラウドサービスとして事業化する動きもあるが、これは実際に世の中に広まる形ではなく、これまでにクラウド提供したアニーリングマシンも実験に使われているという話はあるが、実際に実用化して顧客の事業につながっている話は聞かない。これは、実際の顧客の課題をアニーリングマシンで解いて、顧客価値を創出するところ、つまり顧客課題とアニーリングマシンでの実際の計算のギャップを埋めることが最も難しいところだからであると言え、アニーリングマシンの実用化に向けた課題と言える。

そこで、日立では、特定の分野の顧客課題を抽出しアニーリングマシンで実際に解く部分の技術開発を、顧客と協創するとともに、顧客に近い日立の事業部の SE(System Engineer)が入って顧客の実課題を用いて実証実験を行うことで、実際に CMOS アニーリングマシンが性能を発揮するアプリケーションを見つけるとともに、実用化に向けたギャップを埋め、実用化・事業化につなげる。

4.17.3 実用化・事業化の体制

前述の通り事業部との連携によりユーザーとの実証実験を加速し、実際の顧客課題に対してアプローチし、実用化を進める。また、CMOS アニーリングの実行環境に関しては、ハードおよびソフトを提供する事業部と連携して、顧客へのデリバリ体制を整える。さらに、新たなアプリケーションを見つけるため、研究開発グループでも引き続き顧客協創を行い顧客課題を探索するとともに、大学との連携によりアニーリングマシンの新たな価値を探索して実用範囲を拡大する。

4.17.4 市場規模と経済効果

日立 IoT プラットフォーム Lumada の市場規模は 3 年間で約 50%成長を見込んでおり 2021 年には 16,000 億円に達する。この Lumada に CMOS アニーリングマシンを組み込むことで 1,000 億円の市場規模が見込まれる。

4.17.5 ベンチマーク

カナダの D-Wave Systems や富士通は、量子アニーリングマシンおよび半導体を用いたアニーリングマシンの有償のクラウドサービスを提供している。一方で、そのクラウドサービスを用いて、実証実験以上の顧客価値を創出しているという発表はない。顧客協創によって、顧客価値創出を進め、実用化を加速する。

4.17.6 事業化までのマイルストーン

さらに、事業をN倍化するために、日立のIoTプラットフォームにCMOSアニーリングマシンを組み込み、広く顧客にアプローチする基盤を形成する。この過程では、さまざまな実装のCMOSアニーリングマシンを組み込むこととなり、本プロジェクトで開発した技術を事業化に耐えられる品質保証を行った後に、プラットフォームに取り込む。さらに現在本プロジェクトで技術開発を進めるASICによる大規模化技術を用いて顧客価値を生むアプリケーションの探索を進め、5年以内に本プロジェクトの成果を事業化し、顧客へのデリバリーを開始する。

4.18 組合せ最適化処理に向けた革新的アニーリングマシンの研究開発における実用化・事業化の見通し（産業技術総合研究所）

本項では、「超伝導量子アニーリングマシンの研究開発における実用化・事業化の見通し」について述べる。

4.18.1 概要

超伝導量子アニーリングマシンの実用化・事業化に向けて、量子アニーリングマシンのクラウドサービスに向けた研究開発を実施してきた。特に、産総研LAN内での量子アニーリングマシンクラウド環境の構築を行い2020年度末までに実施する予定である。将来的には、大規模な超伝導量子アニーリングマシンをクラウドへ搭載すると同時に、外部アクセス可能なネットワーク環境構築を行う。

4.18.2 実用化・事業化への課題と対応策

有償で量子クラウドサービスを実施するためには、D-Wave Systems及びクラウド関連特許を有する企業に対して、膨大な特許ライセンス料を支払う必要があることが判明した。ライセンス料の支払いを避けるために、今後、教育・非営利目的のサービス提供を前提に量子クラウド構築を進める予定である。

4.18.3 実用化・事業化の体制

量子クラウドサービスについては、産総研がハードウェアを提供し、ユーザーインターフェースを含めたシステム構築を専門企業に外注する形で実施する。将来的に、日立が提供しているアニーリングクラウドへの融合も検討する。クラウド環境の構築のために、今後IT系企業との協議を進める予定である。

4.18.4 ベンチマーク

D-Wave Systemは量子アニーリングマシンクラウドサービスLEAPを提供しており、富士通や東芝は古典アニーリングマシンクラウドサービスを提供している。量子アニーリングマシンとCMOSアニーリングマシンが融合した最適化プラットフォームは、本プロジェクト独自のものである。

4.18.5 事業化までのマイルストーン

2022年度までに、無償の量子クラウドシステムの公開を目指す。その後、資金調達の状況に応じて、有償あるいは無償のクラウドサービス提供を維持する。

4.19 組合せ最適化処理に向けた革新的アニーリングマシンの研究開発における実用化・事業化の見通し（理化学研究所）

本項では、「超伝導量子アニーリングマシンの研究開発における実用化・事業化の見通し」について述べる。

4.19.1 概要

現在の D-wave マシンのようなスパースなアニーリング機械は、問題の埋め込みコストが高く、また特殊なグラフに埋め込むために、問題を機械側に合わせてマッピングのし直しを行わなくてはならず、ボトルネックとなっており、全結合型はこれに代わる新しいアニーリングマシンとして需要の高いものである。

4.19.2 実用化・事業化への課題と対応策

実用化する上での一番の課題は、回路のスケールアップである。全結合型は、大量の結合器を実装しなくてはならず、そのため 2 次元でのスケールは難しい。

この点に関しては、今後同プロジェクトで産業技術総合研究所が開発した三次元集積技術に、全結合を載せる方法を検討していくことで大規模化を進めていく。

4.20 組合せ最適化処理に向けた革新的アニーリングマシンの研究開発における実用化・事業化の見通し（理化学研究所）

本項では、「超伝導量子コヒーレントイジングマシンの研究開発における実用化・事業化の見通し」について述べる。

4.20.1 概要

少数モードの時分割多重超伝導量子コヒーレントイジングマシンが実現し次第、産総研で開発予定の量子クラウド上で公開することを目指している。

4.20.2 実用化・事業化への課題と対応策

基盤技術としての実証が成功した後に、実用化へ向けてより大規模化が課題となる。そのためには広帯域化・高速化および共振器の長尺化が必要となる。

4.20.3 実用化・事業化の体制

最初の段階では、産総研で開発を予定している量子クラウドに載せることを想定している。

4.20.4 市場規模と経済効果

未知数であるが、最適化問題ソルバーが求められる市場は大きいと考えられる。

4.20.5 ベンチマーク

現段階では困難である。将来的には、従来型コンピュータはもとより、超伝導アニーリングマシンや、CMOS アニーラー、光を用いたコヒーレントイジングマシン、シミュレーテッド分岐マシンなどとの比較が必要である。

4. 20. 6 事業化までのマイルストーン

小規模なプロトタイプを産総研で開発予定の量子クラウドに搭載する。次に大規模化を目指すと同時に量子効果による性能の優位性の検証を目指す。

4. 21 組合せ最適化処理に向けた革新的アニーリングマシンの研究開発における実用化・事業化の見通し（国立情報学研究所）

本項では、「実世界のネットワークのマッピングに関する研究における実用化・事業化の見通し」について述べる。

4. 21. 1 概要

日立の実用化方針に含む。

4. 22 組合せ最適化処理に向けた革新的アニーリングマシンの研究開発における実用化・事業化の見通し（早稲田大学）

本項では、「革新的アニーリングマシンにおける共通基盤に関する研究開発における実用化・事業化の見通し」について述べる。

4. 22. 1 概要

アニーリングマシンを IoT 分野のどのような場面で利用すべきかを明確化すべく、応用探索においてはオープン開発的な思想のもと研究開発を進めていく。

4. 22. 2 実用化・事業化への課題と対応策

ユーザ層から見たとき、アニーリングマシンを IoT 分野のどのような場面で利用すべきかが必ずしも明確でないことが実用化・事業化における課題である。それに対する対応策として、アニーリングマシンの先導的ユーザ層との緊密かつオープンな連携活動を通じて、アニーリングマシンを用いるべき IoT 分野の組合せ最適化処理、機械学習処理を明確化する取り組みを継続することが挙げられる。

4. 22. 3 実用化・事業化の体制

実用化・事業化に関し、本研究開発テーマが貢献できる点は、上記項目に挙げたとおり、アニーリングマシンの先導的ユーザ層との緊密かつオープンな連携活動を通じて、アニーリングマシンを用いるべき IoT 分野の組合せ最適化処理、機械学習処理を明確化する取り組みを継続することである。すなわち産学共同研究を通じて、国際会議、国内学会、学術論文等各種学術的な情報公開や、解説記事やコード公開等学術的な情報公開とは異なるタイプの情報公開を継続的に実行する。

4. 22. 4 市場規模と経済効果

当機関（早稲田大学）自体が事業化主体とはなり得ないため、市場規模や経済効果の定量値を提示することは不可能だが、上記記載のオープン開発的な思想のもとユーザ層の飛躍的拡大が成功することにより、市場規模は拡大すると考えられる。

4.22.5 ベンチマーク

オープン開発的な思想のもと研究開発を進める方策として、産学共同研究を積極的に推進している。実際、当該研究開発の最も著名な国際会議(Adiabatic Quantum Computing Conference)では毎年、世界の著名な研究機関並びに企業群に引けを取らないほどの多数の産学共同研究成果の発表を行なっている。

4.22.6 事業化までのマイルストーン

想定ユーザ層に対し、オープン開発的な思想のもと進めた研究開発成果の情報を提供し、緊密な議論を行うことで、アニーリングマシン使用を促進する活動を推進する。

4.23 高速ビジョンセンサネットワークによる実時間 IoT システムと応用技術開発における実用化・事業化の見通し（株式会社エクスビジョン・日本電気株式会社・東京大学）

4.23.1 概要

(1) 株式会社エクスビジョン

高速ビジョンプラットフォームは、2019 年初に HSV SDK 及び HSV-MC1 の開発を完了、市場への提供を開始した。具体的には、複数の代理店の協力を得る事で FA 分野を中心とした 200 社強の会社に HSV SDK, HSV MC1 の採用提案を開始、そのうちの 20 社以上とは彼らの課題を高速ビジョンプラットフォームを使って解決するための PoC 開発を進め、以下の分野においてのソリューションパックを利用した事業化を進めている。

1. 製造ラインの不良品検査パックを使った高速 FA 検査
2. 製造業での省人化、自動化のための高速ロボティクスによる制御へのパターン照射を用いた高速三次元計測技術
3. VR、AR 分野へのステレオソリューション(高速 3 次元トラッキング技術)応用
4. 高速移動物体トラッキングによる物体速度、軌跡、その他特徴量を高精度で取得するソリューション応用

(2) 日本電気株式会社

大量の個体を目視で検査し、その種類別に仕分けたり、異常や規格外のものを発見選択し取り除いたりする作業を行っている事業者に対して、本件技術が広範囲に適用可能と見込まれる。例えば、これら検査や仕分け作業を日常的に実施している、製造業(食品、素材、機械、家電など)、鉱業、微生物や種子などを扱う農林水産系企業、粒状(穀物、ペレット等)の製品を扱う商社、医薬品・医療機器メーカ、産業廃棄物回収業者などが代表例として挙げられる。また、認識機能をクラウド上でサービス化することで、さらに広い領域の事業者や産業に対して、大量の微小物体の分類や仕分け機能を提供する事も可能となり、将来の販売予定先はほぼ全産業に拡大すると見込まれる。

4.23.2 実用化・事業化への課題と対応策

(1) 株式会社エクスビジョン

高速画像処理技術を FA 分野へ適用する事を最優先に提供を開始してきたが、実際は FA 現場における課題の特定、PoC を経て試作機の評価から実装フェーズへ移行する為には予想以上に時間を要する事がわかった。そこで、高速で画像を検知・処理する要望が存在する他の市場の需要にも対応すべく、スポーツサイエンスとエンターテインメント産業においても PoC 及びその成果を踏まえた試作機の開発を進め、市場のニーズ需要に対応できるシステムソリューションや機器(カメラユニット)で動作する共通コアモジュール群の開発を終え、実用化が実現した。今後も量産時の Scalability を優先し、時間軸での事業化優先度を決定しつつ、産業間でも横断して展開可能なコアモジュールを開発し複数産業での実用化への道を加速させる努力をしていく。

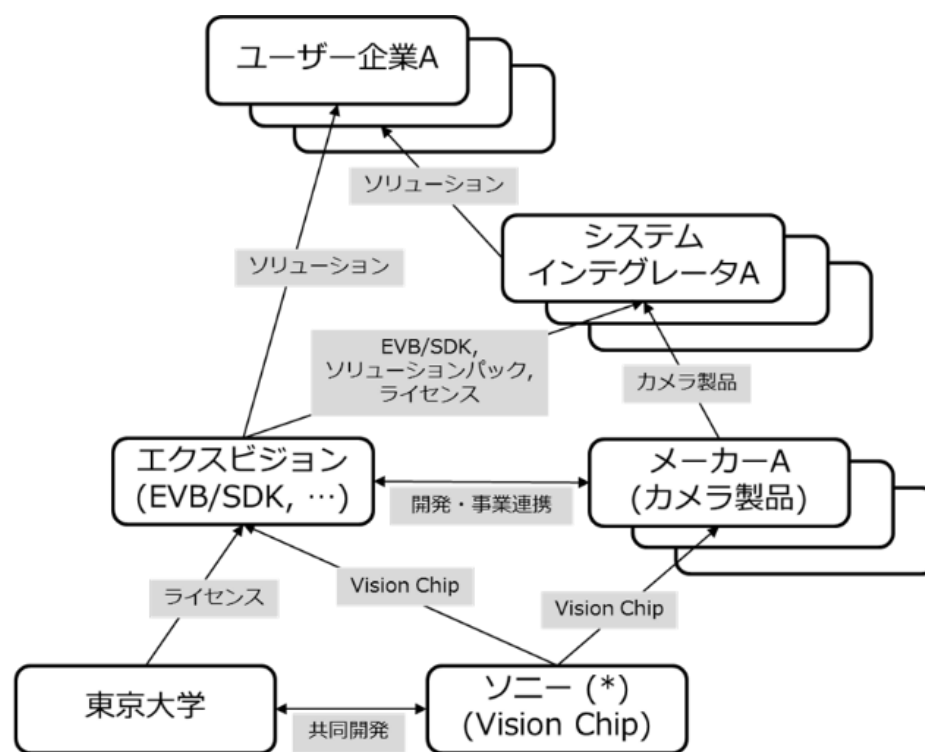
(2) 日本電気株式会社

錠剤の欠陥検査や異物混入を防止する検査装置では、安全を担保する必要があり良品検査基準の設定が厳しくなり、不良品として判定した錠剤の内 50%以上が良品であり、良品巻き込み防止が大きな課題となっている。さらにコンベア上で錠剤が高速に移動している検査装置ではコンベアに接触している面の検査は出来ないという課題がある。

4.23.3 実用化・事業化の体制

(1) 株式会社エクスビジョン

事業化に於いては、以下の図の様な業界連携によるエコシステムを構築し、市場の創出・拡大を行う。どの市場のユーザー企業であっても、初段階ではエクスビジョンが課題を特定し、ユーザー企業と共同でソリューションを開発することにより、後々ユーザーは高速ビジョンプラットフォーム上でソリューションパックやコアモジュールをベースにした開発を容易にし、量産化を図る。



(*)ソニーセミコンダクタソリューションズ株式会社

図 3-4.23.3-1 事業化の体制図

(2) 日本電気株式会社

実用化に向け社内事業部との連携を開始した。社内では高速ビジョンチップからの入力に対して画像処理を実施するAI部を事業化する予定である。

4.23.4 市場規模と経済効果

(1) 株式会社エクスビジョン

高速画像処理技術は、FA・検査分野を中心としたユーザーの課題解決に有効な技術であることが、これまで 200 社を超える潜在ユーザーとユーザーの課題解決の検討と、さらにその中の 20 社以上のユーザーとの PoC そして製品化を共同で開発する過程で明らかになった。今後は、製品化の実績を増やし、さらに同様の課題を抱えた潜在ユーザーへ高速ビジョンプラットフォーム、ソリューションパックを提供することにより、課題解決需要の新規市場として高速画像処理技術の応用技術市場を創出してゆく考えである。市場規模の目安として、表 3-4.23.4-1 には画像処理システムの市場性を示し、表 3-4.23.4-2 にてエクスビジョンが高速画像処理技術の適用分野と認識している潜在市場を示す。

表 3-4.23.4-1 画像処理システムのエリア別・カテゴリ別市場性

単位:百万円

年次 カテゴリ	エリア	2018年(実績)							2022年(予測)						
		日本	中国	その他 アジア	欧州	米州	その他	合計	日本	中国	その他 アジア	欧州	米州	その他	合計
単体機器	処理装置	48,240	61,740	33,290	48,430	39,620	12,280	243,600	52,400	68,930	36,090	50,340	43,570	11,970	263,300
	カメラ	26,950	31,005	18,475	46,190	58,890	3,740	185,250	31,060	37,910	21,790	51,210	68,410	4,670	215,050
	キーコンポーネント	29,720	10,120	6,590	13,300	12,450	1,460	73,640	32,070	10,880	7,130	14,160	13,460	1,540	79,240
検査アプリケーション	デバイス関連	34,000	92,000	149,500	24,500	41,500	0	341,500	34,200	90,000	144,500	26,000	40,200	0	334,900
	基板実装関連	15,490	30,050	16,200	18,200	17,000	2,610	99,550	16,000	29,500	14,650	19,650	15,750	2,250	97,800
	自動車関連	1,480	130	0	1,580	600	0	3,790	5,330	930	120	3,080	1,770	0	11,230
	製紙・印刷関連	22,000	12,600	9,650	17,100	14,500	1,450	77,300	25,700	14,350	10,250	18,200	16,450	2,050	87,000
	食品・薬品・化粧品関連	26,600	24,410	20,730	36,550	29,200	2,510	140,000	27,900	34,460	30,090	39,900	34,800	6,050	173,200
観察・測定関連機器	36,990	38,910	27,320	45,950	31,120	5,600	185,890	40,150	49,460	34,600	48,240	35,590	7,030	215,070	
AI/ディープラーニング応用製品	1,010	660	345	750	1,115	20	3,900	5,900	5,150	2,700	4,640	7,160	50	25,600	
合計		242,480	301,625	282,100	252,550	245,995	29,670	1,384,420	270,710	341,570	301,920	275,420	277,160	35,610	1,802,390

富士経済推計

表 3-4.23.4-2 高速ビジョンプラットフォーム及びソリューションパック適用エリアの市場性

	適用する当社技術	売り上げ (単位:億円)		成長率
		2018年	2022年	
薬品、食品関連	錠剤・顆粒剤検査装置	87	107	123.0%
	飲料容器外観検査装置	160	210.5	131.6%
AI/ディープラーニング関連	ディープラーニング活用 画像処理ソフトウェア	31	204	658.1%
画像処理装置	3Dロボットビジョン	99	131	132.3%
自動車関連	自動車部品外観検査装置	14	55	389.3%
	自動車ボディ塗装検査装置	12	36	300.0%

富士経済推計

上記表 3-4.23.4-2 のうち、以下の市場に向けて現在進めている具体的な活動内容を下に示す。

1. 食品、薬品、化粧品検査市場

食品・薬品・化粧品業界は景気の影響が小さいことから、今後も市場は拡大する見込みである。その食品・薬品・化粧品業界では省人化ニーズが高まっており、外観検査装置市場の拡大が見込まれる。これら市場の動向を鑑み、現在当社では、錠剤検査メーカーと不良品検査パックをベースとした高速錠剤検査機の開発を進めている

2. 3D ロボットビジョン市場

人手不足を背景に、手となりうるロボット、また人の目の代わりになるビジョンシステムを組み合わせた当該製品のニーズが 拡大している。3D ロボットビジョンが、人の手、目の代わりとなり生産性の向上を図るためには、高速の 3D 計測技術が必須である。この実現に向けて、当

社はパターン照射を用いた高速三次元計測技術の開発を、ロボティクスメーカーと協業を進めている

(2) 日本電気株式会社

2017 年実績ベースで錠剤検査市場は 8,800 百万円。2021 年予測で 11,000 百万円。

中国・アジアが急成長するとみられている。

市場性の展望としては、まず第一に、高速ビジョンセンサを活用した仕分けシステムにより、これまでであった検査装置を安価に提供できるとともに、機器の部品点数が大幅に削減可能で、運用メンテナンスコストの削減も期待できる。そのため、これまでは、錠剤の検査などはコスト要因であり、新興国では全く実施されてこなかった品質管理を実現し、より安価に安全な医薬品を提供できるようになる。国内の医薬品錠剤製造ラインでは当たり前に行われていた全数検査を、医薬品外の錠剤(サプリメントなど)への展開と、国外(特に新興国)への検査機器の導入による安全な錠剤の提供を可能とする検査機器として普及が期待できる。

さらに本研究成果は、高速ビジョンにより実環境で得られた大量の情報を理解し実環境にフィードバックできるシステムを構築するフレームワークとなるため、錠剤検査にとどまらず様々な検査や仕分けシステムへの応用が可能である。

(3) 東京大学(高速 ASM システム)

高速 ASM システムを用いた支援システムは、セル生産システムへの導入や高い技能が要求される精密な組み立て作業等への実用化・事業化が考えられ、これらの市場規模としては数十億円が期待できる。また、高速 ASM システムとしての基盤技術である、高速画像処理および機械システムの高速度視覚制御という観点から、上述以外にも FA・産業用ロボットへの応用も考えられ、これらと合わせると数百億円規模の市場が見込める。

高速性と高精度性を有する高速 ASM システムは現存するシステムの性能をはるかに超えるものであるため、従来システムから脱却し、高速 ASM システムを導入することが期待できる。そのため、これらの市場規模に対して、高いシェアを有することができ、その経済効果は数十億円規模と考えられる。

4.23.5 ベンチマーク

(1) 株式会社エクスビジョン

1. 不良品検査パック

非整列で高速搬送される対象物を、1000fps の高速ビジョンセンサと画像処理で識別、検査を行うことにより、現在の市場検査システムと比較してセンサー1 台当たりで 20 倍の数の対象物を処理することが可能である。

装置	検査処理数	センサー台数	センサー1 台当りの処理数
A 社	72 万個/時	40	1.8 万個/時
B 社	18 万個/時	13	1.4 万個/時
C 社	144 万個/時	24	6 万個/時
D 社	216 万個/時	12	17.7 万個/時
E 社	50 万個/時	10	5 万個/時
Exvision	360 万個/時	1	360 万個/時

2. パターン照射による 3 次元計測 vs 既存の 3 次元計測

非接触でシーンの 3 次元情報を得る方法は受動的手法と能動的手法に大別できる。

受動的手法は、テレオ画像における両眼視差や単眼画像での奥行きの手がかりを利用する手法で、対象に対してなんら影響を与えることがなく、画像データが取得可能な環境であれば適用できるという意味で汎用性が高いが、対象のテクスチャ情報に依存し、計測精度が低い、計

算時間がかかるといった問題を抱えている。能動的手法は、光源を利用し、対象のテクスチャ情報に依存しない。Time of Flight に代表される、光の飛行時間を利用する方法や、プロジェクタから投影したパターンとカメラ画像上の対応する点を用いて三角測量を行う光切断法や、構造化光法がある。

Time of Flight の代表としては Microsoft Kinect が有名だが、パターンの解析に時間を要するため処理時間は 30fps 程度。一方、光切断法や、構造化光法は、プロジェクタから投影したパターンと高速カメラで撮像した画像上の対応する点を用いて三角測量を行う手法なので、数 100fps という処理速度を実現できる。本研究では、構造化光法を高速カメラと市販のプロジェクタを用いることで、安価にシステムを構築しながら、高解像度(既存システムに比べて 4 倍)、かつ高速性(200fps)を維持したままで3次元計測が可能である。

3. ステレオソリューション vs 既存ステレオシステム

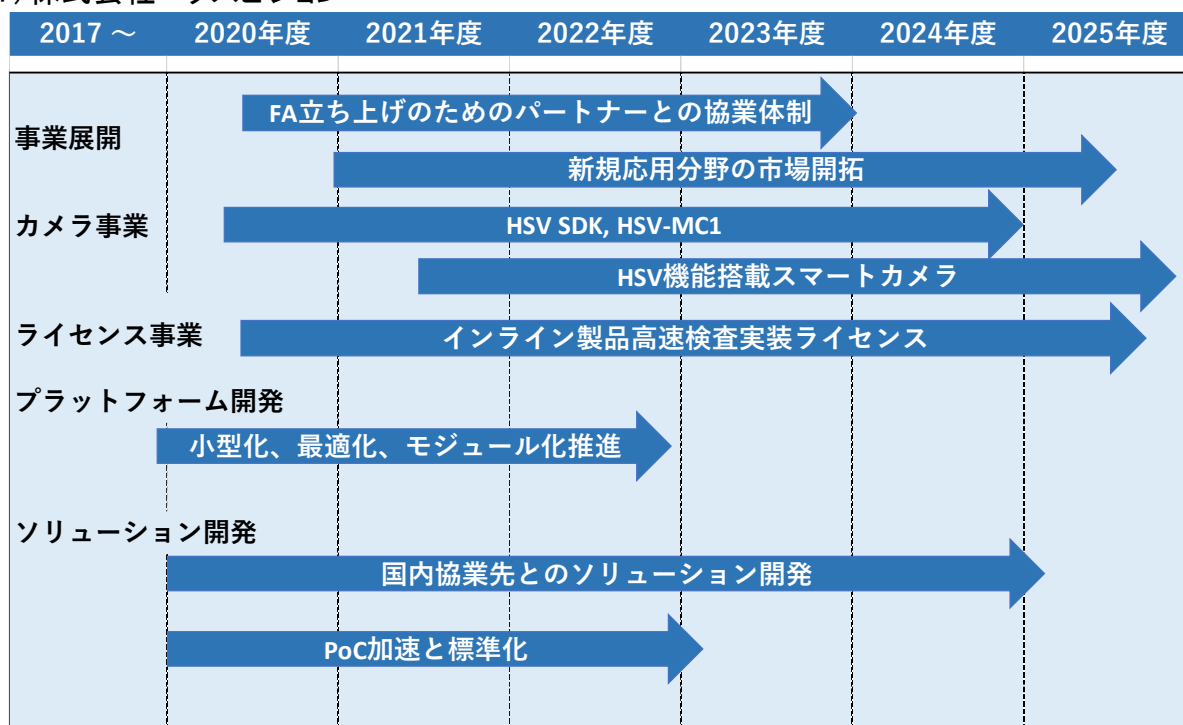
既存ステレオシステムでは、2 台のカメラで撮像した画像を解析する必要があるため、スループットは数 100fps にとどまっていた。一方、本ステレオソリューションは、2 台の HSV-MC1 でマーカーを撮像し、1000fps でそれぞれの座標を検出。その座標をもとに、3次元位置を求める手法であり、1000fps というスループットを持つ。

(2) 日本電気株式会社

錠剤検査装置は池上通信機、第一実業ビスウィル、ライオンエンジニアリングがあり、例えば A 社では装置内に検査用カメラを 8 台設置し、600,000 錠/時の処理を実現していた。1000fps の高速ビジョンセンサーと高速画像処理の組み合わせにより検査用カメラ 1 台で約 120,000 錠/時の検査が実現可能となる。

4. 23.6 事業化までのマイルストーン

(1) 株式会社エクスピジョン



(2) 日本電気株式会社

2021 年度に錠剤検査精度 95%以上を達成し AI 部の製品化、2025 年度に錠剤検査装置としてバリデーションを完了し製品化を目標とする。

4.24 Field Intelligence 搭載型大面積分散 IoT プラットフォームの研究開発における実用化・事業化の見通し（東京電力ホールディングス株式会社・東電設計株式会社・東洋インキ SC ホールディングス株式会社・双葉電子工業株式会社）

4.24.1 概要

(1) 内容

当該プロジェクトでは、社会インフラ設備の異常を早期に検知するセンサシステムを開発し、社会インフラ設備保有事業者販売展開する。トンネルや橋などのインフラ設備に多種のセンサを複数設置することで、専門家による定期的点検によらず、潜在的に進行する劣化を遠隔地から長期かつ常時モニタリングができる。これにより劣化の状態を可視化し、補修・補強の優先順位づけに利用することで、限りある維持・管理予算を効率的に活用できることになる。その中で、東京電力HDは、グループ会社の東電設計(株)のインフラ事業拡大において、他電力の土木インフラ設備への展開に協力して、東京電力HDグループとしての収益の拡大を図っていく。

(2) 用途(販売予定先)

販売予定先は、橋梁、トンネル等のインフラ設備を保有する、国土交通省、地方自治体、高速道路、鉄道、電力、通信等の各事業者である。国や自治体を除く社会インフラ保有事業者は、グループ会社と一体となって、設備の管理を行っていることから、販売予定先には各事業者のグループ会社も対象に含める。

社会インフラ設備のうち、電力洞道等、すでに劣化が進行して変状が顕在化している設備に対しては、変状の進行や突然の危険な状態についても監視が可能となる。また、現在、変状が顕在化していない設備に対しては、健全状態を常に監視することが出来、潜在的な変状の進展が生じた場合でも検知が可能なることから、戦略的な維持管理の実践が可能となる。これらの実践を通じ、当社の事業展開の中で他インフラ設備(高速道路、鉄道、自治体、等)への活用を図る。

4.24.2 実用化・事業化への課題と対応策

実用化・事業化への課題と対応策については表 3-4.24.2-1 に示す通りとなる。

表 3-4.24.2-1 実用化・事業化に向けた課題と対応策

項目	課題	対応方針
開発システムの信頼性	実証や実績が伴わない開発製品は、公共性が高い社会インフラ設備には展開され難い	助成事業において、東電設備を対象として実証・検証を行い、その結果を対外的にPR活動を実施していく
目視点検の代替	近接目視点検を削減できなければ、より一層の省人化が可能とならない	実績に基づいて、監督官庁等行政との連携を進め、近接点検の代替手段として、現在の規制の緩和と標準化をすすめ、維持管理の省人化を目指す
海外事業への展開	海外の国別の具体的なニーズがまだ把握できていない	東電HDを中心として、主要な国へのヒアリングに基づく、開発製品の具体的な展開方法を検討中(2カ国の調査まで実施)
知的財産とビジネスモデル	プロジェクトの知的財産に関する戦略は、継続検討 各企業の事業の具体的な仕分け、ビジネスモデルの具体化は継続検討。	助成事業のなかで知的財産とビジネスモデルの具体案について協議予定

4. 24. 3 実用化・事業化の体制

事業化・実用化に関しては、東京電力HDの基幹事業会社が保有する電気洞道等さまざまなインフラ設備に開発システムを適用して実績事例を蓄積すると共に、同様の設備を有する他の国内電力会社に対しても東電設計(株)と協力してシステムの展開を図る。

道路・鉄道等の社会インフラ事業者に対しては、道路、鉄道事業者からの社会インフラ設備の調査、診断やモニタリングの依頼を受けてコンサルティング業務を行っている東電設計株式会社と協力して、システムの展開を図る。東京電力HDのグループ会社の東電設計(株)は、保全技術分野での共同研究実績が有ることから、これらの共同研究実績と開発システムの組み合わせも考慮しながら、東電設計を通じての道路・鉄道分野への東京電力HDグループとしての展開を図る。

製品提供の概要は、社会インフラ設備保有事業者とセンサシステムの配置計画等を東京電力HDのグループ会社の東電設計(株)がコンサルティングし、システムの設置計画を提案する。システムを構成するセンサ材料については、圧電フィルム材料メーカー、東洋インキ SC ホールディングスが提供し、センサ材料を用いたデバイスを双葉電子工業が製造を行う。システムの現地への設置やメンテナンスについては、東京電力HDのグループ会社の東電設計(株)等が設備保有事業者のグループ会社と提携して行う。

研究開発成果として得られた新素材やセンサ等のデバイスについては、東洋インキ SC ホールディングス、双葉電子工業の各社が製造販売を行い、開発成果の活用を図る。具体的には、東洋インキ SC ホールディングスは炭素配線の銀配線代替や新規用途の開拓を、双葉電子工業は工作機械、生産設備向け IoT デバイスへの展開を図る。

上記の実用化・事業化に向けた体制による取り組みの全体の概要については、図 3-4.24.3-1 に示す通りとなる。

なお、海外への開発成果の展開としては、東京電力HDが、海外電力との関係や海外部門を通じた海外展開も図っていく。また、東電設計、東洋インキ SC ホールディングス、双葉電子工業は、企業の海外部門を活用して海外への展開を図る。

東電グループのサービスメニュー ※サービス提供事業者：東電設計

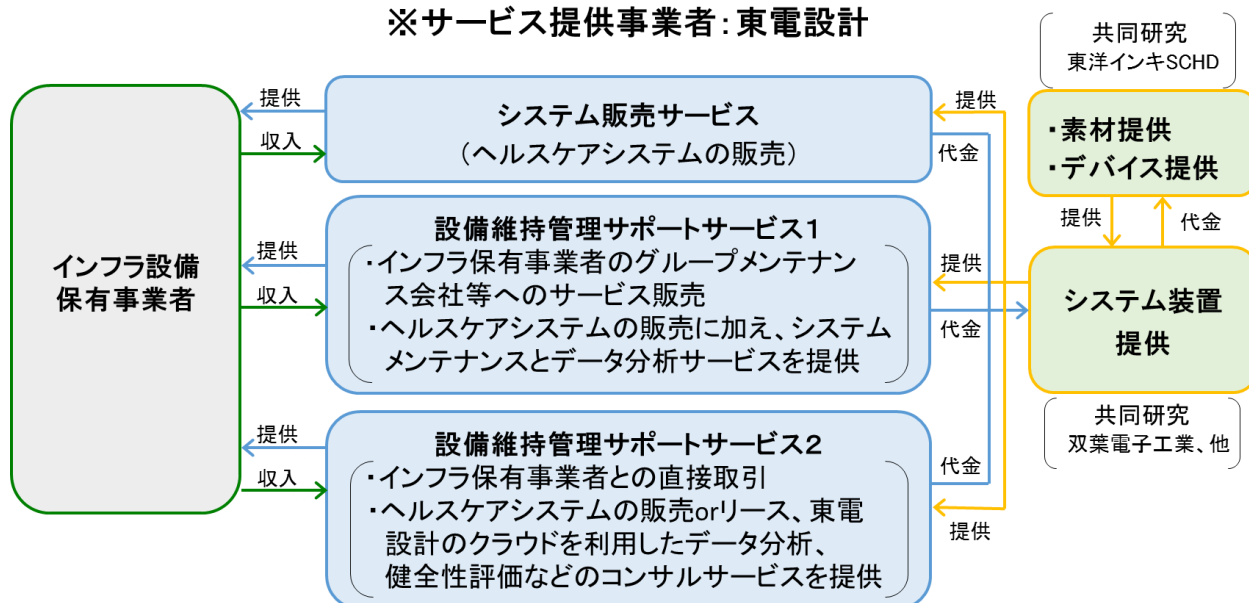


図 3-4.24.3-1 事業化に向けた取り組み

4. 24. 4 市場規模と経済効果

国内の社会インフラ設備の維持管理にかかわる費用は、2018 年度が 5.1 兆円であり、2060 年度には 9.3 兆円に増加すると想定されている。本研究成果の反映は、直接的には維持管理費用のうち、点検、診断等にかかわる費用が市場対象となり、今後のさらなる高齢化社会における労働者、専門技術者の減少による不足を開発システムで補うことになる。本研究成果が反映できると想定される市場規模は、図 3-4.24.4-1 に示す通りとなる。

開発システムが普及することで、予防保全を前提とした維持管理体系への移行も考えられる。予防保全を行うための小規模な工事が増加して産業が活性化されると共に、あらたな劣化の早期段階での補修を効率的に行うあらたな材料や工法が開発されることも期待される。

また、予防保全の効果は、設備の耐用年数を長くすることに寄与しており、開発センサを活用した予防保全が実践されることで更新費用の削減も可能になるものと考えられる。

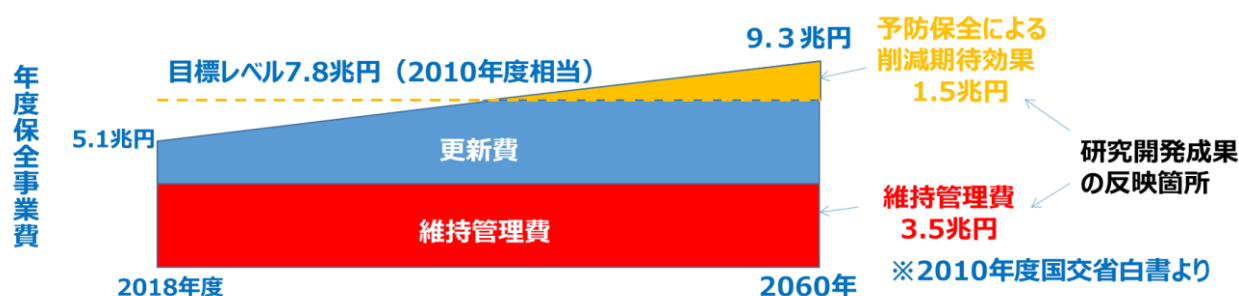


図 3-4.24.4-1 想定される市場規模

上記の国内市場から将来的な海外市場への展開に向けて、開発技術のニーズ等の把握のため、我が国同様に社会インフラ設備の経年劣化が進行している欧州と、今後、経年劣化が進行すると想定される東南アジアに対して調査を実施した。

4. 24. 5 ベンチマーク

開発製品の顧客視点・技術視点でのベンチマークについて取りまとめると、表 3-4.24.5-1 の通りとなる。

開発製品の選択理由は、自動化されていることと低コストであること、複数のセンサで面的に長期連続計測が可能なこと(コストには、単なる他のシステムとの比較だけではなく、調査等の人的作業に係わるコストも含む)

また、最近の研究動向を見る限り、委託事業終了時点と事業化時点においても、事業者ニーズの選択肢に大きな変化はないと考えられる

表 3-4.24.5-1 顧客視点・技術視点でのベンチマーク

事業者ニーズ	ニーズの対応選択肢	開発製品の選択理由
表面のひびわれの記録をとりたい	点検者による確認・記録 ドローン、点検ロボット等 画像監視技術	なし
すでにあるひびわれの進行や動きを監視したい (例えば、地中インフラ設備の近接施工等)	市販システム ・変位(ひずみ)センサ+データロガー 画像監視システム	既存のシステムの費用が高い (数百万オーダー) 開発製品は100万以下目標
電気洞道の塩害の進行を把握したい (漏水に起因)	人力によるコア抜き、室内試験での塩化物イオン濃度測定 人力による鉄筋腐食調査、自然電位の計測	既存の調査は、人力作業のため高コスト 進行把握のために測定頻度を上げられない
変状が目立たないが気になるところを監視しておきたい (例えば、複雑な構造で設計上苦勞した箇所、電気洞道近接施工箇所、地震時被災判定等)	変状が顕在化していない場合(部材内部の変状進行等を含む)、一般的な既存技術では対応ができない 振動活用監視技術は内部の変状進展の監視が可能	既存の振動センサシステムの費用が高い (数百万オーダー) 開発製品は100万以下目標

4. 24. 6 事業化までのマイルストーン

プロジェクト実施期間中は、東京電力HD及び基幹事業会社の設備を活用したシステムの実証を行う。プロジェクト終了後は、道路・鉄道分野のトンネル構造物に対して試行を行い、システムの改良を加えていく。同時に道路鉄道分野の橋梁についても、順次試行を行い、システムの改良を続けていく(図 3-4.24.6-1)。

2020 年～2023 年の試行段階で各企業が設備投資の判断を行うと共に、2023 年以降順次量産化のための設備投資を行い、開発システムの普及を図る。2025 年には事業化を実現するような計画とする。

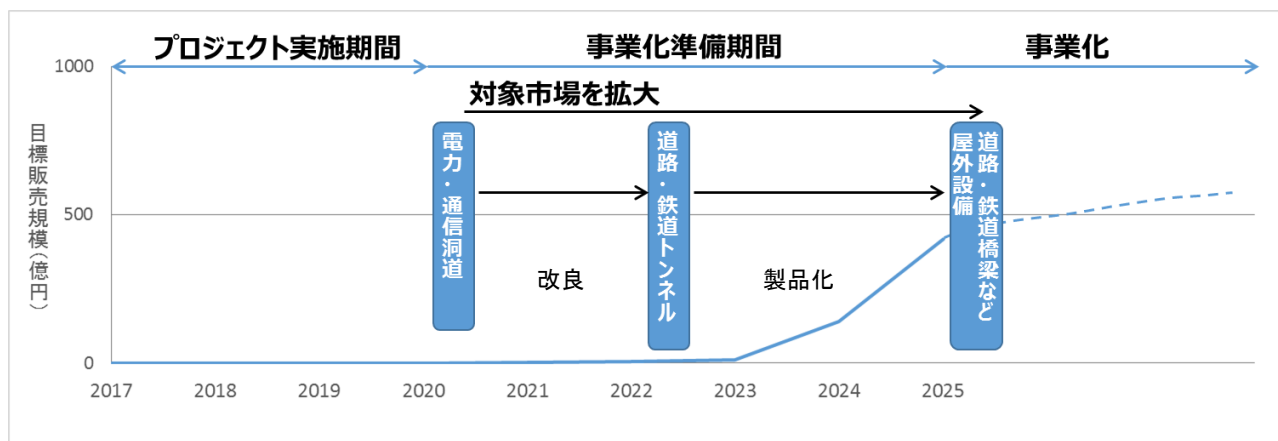


図 3-4.24.6-1 事業化スケジュール

4.25 Sensor-to-Cloud Security～ビッグデータを守る革新的 IoT セキュリティ基盤技術の研究開発における実用化・事業化の見通し（三菱電機株式会社）

本項では、「高機能暗号（秘匿検索システム）の研究開発における実用化・事業化の見通し」について述べる。

4.25.1 概要

秘匿検索システムに関わる本成果の実用化・事業化は、三菱電機株式会社によって実施を進めていく。具体的には、2022 年度までを目途に社会実装・評価を実施するとともに、事業化に向けて必要となるシステム化技術や運用技術の蓄積を実施する。その後、ハードウェアエンジンが製品化されたタイミングで、実データを用いた性能評価やソフトウェアの充実化などのパイロットシステム開発を行い、実用化・事業化のめどをつける。

4.25.2 実用化・事業化への課題と対応策

秘匿検索システムが市場に普及するためには、複数のステークホルダーがクラウドシステムを共用してデータをシェアするようなオープンなネットワークの構築と企業横断的に利用者の権限が管理できる環境の構築や、秘匿検索性能を大幅に向上させるハードウェアエンジンの市場への提供、また利用者用者の属性が変わった場合に旧秘密鍵を失効して検索権限を無効化するなどの運用技術の開発が必要である。

そこで、機密情報を管理するデータベースの構築や、利用者の権限情報を一括管理できる他社クラウドサービスとの連携を図る。また、本研究開発、並びに他研究開発プロジェクトなどの成果を活用して運用技術の開発を進めていくと同時に、運用を容易化するソフトウェアの開発も進めていく。更に、本開発成果に基づき製品化される秘匿検索ハードウェアエンジンとの連携を行い、実用化・事業化へつなげる。

4.25.3 実用化・事業化の体制

三菱電機株式会社及び当該子会社が連携して、将来的にクラウドサービスを提供することを目指し、2022 年までにクラウドサービスの社会実装・評価を実施するとともに、システム化技術や運用技術の蓄積を進めてゆく。また、電子商取引安全技術研究組合および当該組合の後継法人の働きかけによって設立されるクラウドネットワーク用製品化コンソーシアムから、コンソーシアムにより製品化されるハードウェアエンジンの供給を受け、当該サービスの性能向上と実用化を目指していく。

4.25.4 市場規模と経済効果

国内 IoT 市場は 2022 年には 3 兆円の市場規模であり、年率 30%程度の高い成長が期待されている。そのうち 7,040 億円がセキュリティ関連のマーケットと予想されている（2016 年、野村総研予想）。そのため、本技術が実用化に至るまでには市場規模は 1 兆円を超えるものと予想される。特に、官公庁、金融、医療などの分野では極めて高いプライバシー情報を扱うため、セキュリティに対する投資意欲は高いと予想される。

本成果が対象とする市場は、既存のクローズ環境で使われるセキュリティ製品のマーケットのみならず、新たに創造されるオープンなネットワーク環境を活用したマーケットである。本成果により、複数のステークホルダーで安全に情報共有できるインフラが実現できるため、オープンなネットワーク環境への移行が進み、プライバシー情報の保護と利活用の両立が可能な新しいユースケースの創造などが活発化されると考えており、前述の市場規模に比べ、その経済効果は大きい。

4. 25. 5 ベンチマーク

本成果である秘匿検索システムは、既存の製品や他社開発技術に比べ、クラウドサーバ側でデータを復号する必要が無く(高セキュリティ)、複数のステークホルダーでデータを共用可能(オープンなネットワーク環境対応)という特徴を持つ。また、ハードウェアエンジンによって演算処理の高速化が図られることから、大規模なデータベースにも対応可能という特徴を持つ。このようなサービスはいまだ実用化はされておらず、高セキュリティが求められる市場では本成果が優位であると考えている。

4. 25. 6 事業化までのマイルストーン

本開発で得られた成果をもとに、三菱電機株式会社では 2022 年までに事業化を想定した社会実装・評価を実施するとともに、事業化に向けて必要となるシステム化技術や運用技術の蓄積を実施する。その後、クラウドネットワーク用製品化コンソーシアムにて製品化されたハードウェアエンジンと組み合わせ、ビジネス化に向けて性能向上やソフトウェアの充実化などパイロットシステムの開発を実施し、クラウドサービスのビジネス化を図っていく。

4. 26 Sensor-to-Cloud Security～ビッグデータを守る革新的 IoT セキュリティ基盤技術の研究開発における実用化・事業化の見通し（電子商取引安全技術研究組合）

本項では、「高機能暗号(集約署名システム)の研究開発における実用化・事業化の見通し」について述べる。

4. 26. 1 概要

本項目の実用化、事業化は、電子商取引安全技術研究組合及び当該組合の後継法人(2022 年 4 月発足予定)が責任を持って、2023 年度の社会実装開始を目指して、所要の継続研究と技術実証実験を進める。

具体的には、本研究開発終了後、ハードウェアペ어링演算器の実装を前提として、集約署名アルゴリズムの実装、末端ノードの環境においてセキュリティ耐性を持たせるための実装方法について試作検証を行い、本研究成果について実用化のめどをつける。

4. 26. 2 実用化・事業化への課題と対応策

課題:高機能暗号が市場に普及する基礎的な条件は、IoT ネットワークが、垂直型のやや閉じたネットワークから、オープンなネットワークに移行することであり、2020 年度の段階では、本研究開発発足時の想定通り、それは未だに実現していない。世界的なパンデミック等予期していなかった事情も加わり、オープンな IoT ネットワークへの移行にはやや時間を要するものと思われる。

対応策:上記移行までの期間中に、本研究開発、並びに他国プロ研究等の成果を活用し、より社会実装に近い技術実証を進める。

4. 26. 3 実用化・事業化の体制

電子商取引安全技術研究組合及び当該組合の後継法人(2022 年 4 月発足予定)が責任を持って、2023 年度の社会実装開始を目指して、所要の継続研究と技術実証実験を進める。

技術実証のパートナーとして、高速道路管理企業、ならびに同企業のシステム開発を行うインテグレータを想定している。

これと平行して、本プロジェクト終了後、ユーザ候補、各層ベンダー等による仮称フィールドネットワーク用製品化コンソーシアムの結成を進める。

4.26.4 市場規模と経済効果

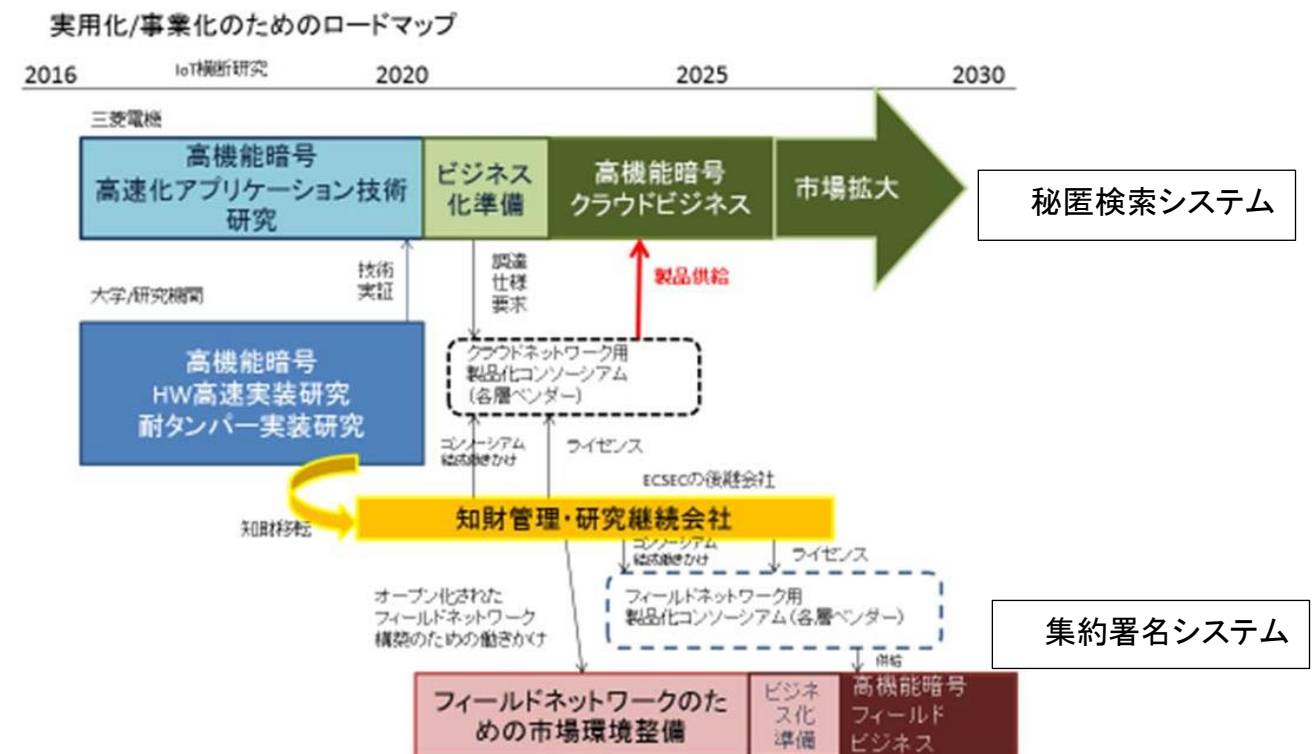
集約署名システムについては、末端ノード、アグリゲータに於いて本研究成果を用いた高機能暗号処理を、よりセキュアに行うことが可能となる。

対象となる市場は、IoT ネットワークの広範な分野にわたり、特定は困難である。また、高機能暗号の需要は、今後の水平統合化の動向によるが、2020 年代中頃には、すくなくとも数十億台規模の機器が、暗号機能、それもより効率の高い暗号機能を利用するようになるものと想定される。世界市場規模は数兆円とみられる。

4.26.5 ベンチマーク

- ・オープンな IoT ネットワークへの移行・・・2024～25 年頃を想定
- ・高機能暗号アプリケーションの市場での普及・・・2023 年頃からを想定
- ・高機能暗号を搭載した IoT 向け製品の普及・・・2024～25 年頃を想定

4.26.6 事業化までのマイルストーン



- ・フィールドネットワークのための市場環境整備 2021～2024 年度
- ・知財管理・研究継続会社の発足・・・2022 年 4 月
(「戦略的イノベーション創造プログラム(SIP)第2期/IoT社会に対応したサイバー・フィジカル・セキュリティ/(A1)IoTサプライチェーンの信頼の創出技術基盤の研究開発」との連携。)2021～2022 年度
- ・具体的な社会アプリケーションを用いた、集約署名システムの技術実証・・・2022 年度中を想定
(対象として、高速道路管理システムの一部などを想定)
- ・一部ユーザによる集約署名システム社会実装の開始。・・・2023 年度～想定

- ・ 仮称フィールドネットワーク用製品化コンソーシアムの結成と活動開始 2023～24 年度を想定
- ・ 末端ノード用集約署名アプリケーション搭載チップの製品化と普及開始・・・2024～2025 年度を想定

4.27 複製不可能デバイスを活用した IoT ハードウェアセキュリティ基盤の研究開発における実用化・事業化の見通し（ヌヴォトンテクノロジー ジャパン株式会社）

本項では、「リコンフィギャラブル PUF 技術の研究開発における実用化・事業化の見通し」について述べる。

4.27.1 概要

従来から事業実績のある公共交通用 IC カードや NFC タグにおいては、微細 ReRAM によってコスト力をあげ、更に PUF による真贋判定とセキュアメモリの効果を新たに付加することにより競争力の維持を図り安定して事業を継続する。そして、事業規模の拡大にむけて、サプライチェーンにおいてより強固なセキュリティが求められる分野や地域に対する IC カード等の事業に展開する。以上を踏まえ、リコンフィギャラブル PUF の要素技術を確認するとともに、量産適用が可能なことを実証し早急な事業化を目指す。

4.27.2 実用化・事業化への課題と対応策

リコンフィギャラブル PUF を用いたデバイス物流経路のセキュア保護に高い関心があることは、知見として得たもののサプライチェーンは地域や製品分野ごとに異なる。各々の事情を十分に理解したうえで、仕様を詰めスペックイン活動を進めなければ採用されることはない。このため 4.27.3 項に示すタスクフォースを立ち上げ、各地域や製品分野におけるヒアリングを重ねることで事業化および製品の採択を進めている。

4.27.3 実用化・事業化の体制

製品開発体制とは別に、営業部を含むタスクフォース体制を社内で設立し、事業化に向けたマーケティング活動を推進中である。

4.27.4 市場規模と経済効果

IC カードチップのグローバルな市場規模は、2016 年約 1800 億兆円である。そして、2030 年の市場規模は 5500 億円超が予想されると大きく飛躍する成長市場である。この中でも特にサプライチェーンのセキュリティ強化が求められる用途への事業展開を図り、数十億円規模の市場獲得を目指す。

用途		2016年度	2025年度	2030年度	CAGR(%)
SIM	SIM	73,690	94,729	104,588	2
Payment and loyalty	銀行、クレジット	43,445	67,997	95,370	7
Government	国民ID、パスポート	13,477	57,237	125,488	17
Access control	M2M	12,018	31,918	53,783	11
Pay TV	BCAS	14,158	23,167	29,567	5
Retail	小売、電子マネー	10,034	28,000	47,182	11
Transportation	交通	9,519	37,702	79,187	16
Healthcare	健康、医療	1,885	3,029	3,866	5
Other	その他	7,043	9,437	10,941	3
Total		185,269	353,215	549,971	77

4.27.5 ベンチマーク

ほとんどの IC カードは国際標準規格の製品である。従って、外部仕様の性能は各社同じ性能である。外部仕様のベンチマークでは特徴を表せないため割愛する。しかし、チップの大部

分をしめる搭載メモリにより、消費電力やアクセス時間など規格化されていない性能差が生まれるため、メモリに着目したベンチマークについて記載する。

ReRAM は消費電力が IC カードで主流の EEPROM にくらべ1/3の電力であり、非接触通信においてスマートフォンといった通信アンテナ出力の小さな機器においても安定した通信を提供できると考える。書込時間や消去不要な特徴から、増加するデータ量の更新作業を時短が図れる。

	消費電力	書込時間 @64Byte	消去時間	Data Update※
ReRAM	1.9mW	200us	0s (Erase 不要)	0.4s
Flash	5.0mW	250us	5ms (Sector Erase)	1.8s
EEPROM	5.6mW	1400us	5ms (Page Erase)	10s 以上

※Estimated data size 128kByte(Face data+fingerprint data+VISA data)
2017 年時点

4. 27. 6 事業化までのマイルストーン

前述のマーケティング活動をもとにリコンフィギュラブル PUF の製品化・事業化のターゲットとなる分野・地域を2021年度までに決定し、2023年度までに事業化を行う計画である。

4. 28 複製不可能デバイスを活用した IoT ハードウェアセキュリティ基盤の研究開発における実用化・事業化の見通し（産業技術総合研究所）

本項では、「フレキシブル印刷 PUF の研究開発における実用化・事業化の見通し」について述べる。

4. 28. 1 概要

フレキシブル印刷 PUF は、製造コストの低減が期待できる印刷プロセスで PUF を製造するものであり、製品の梱包材等、これまでコスト的に電氣的動作によるセキュリティを付与することができなかった様々なモノにそれを付与できる技術である。また印刷プロセスを適応することにより、さまざまな基材に対して PUF を製造することができるようになることから、紙状の PUF 等も製造できるため、文書用封筒や製品の包装紙などで開封時に PUF が破壊され不正再利用を防止できるといったセキュリティ用途にも活用することができる。本技術はさまざまなエッジデバイスに対応可能ではあるが、まず初めのターゲットとしては機密文書管理用の「壊すことができる紙状の印刷 PUF」の実用化を目指し、医療、健康、見守りのサービスをターゲットとしたフレキシブル PUF の実用化を目指す。

4. 28. 2 実用化・事業化への課題と対応策

産総研としては事業化の母体にはなれないが、印刷デバイス製造技術に関しては産総研柏センターに設置してある印刷デバイス製造ラインを用いて量産化の予備検討を行ってきた。この製造技術を部品サプライヤーに技術移転することで、デバイスの事業化を目指す。また新しいセキュリティのサービス導入のためには、低コスト化が必須であることから、印刷 TFT PUF

と並行して、さらなる低価格化を目的として、構造が単純で製造プロセス数が少ない新規印刷 PUF の試作と動作確認を行ってきた。

またサービス事業化のためには、エンドユーザーにカスタマーサンプルを提供し、PoC の検討が必須である。既に話し合いを続けているサービス企業にエンジニアサンプルを早期に提供して PoC を実施し、そのフィードバックを受けてカスタマーサンプルの製造を進める。また展示会に出展等で新しいユースケースと新規のユーザー企業の発掘を行う。

4. 28.3 実用化・事業化の体制

H30 年度まで実施していた NEDO プロジェクト「次世代プリントドエレクトロニクス材料・プロセス基盤技術開発」事業にて使用していた印刷製造ラインが、昨年度産総研に資産譲渡されたため、本 PJ においてこの製造ラインを活用し、量産化の予備検討を行ってきた。本事業終了時にはこの量産化技術を大日本印刷、凸版印刷、日本写真印刷等に技術移転する。またエンドユーザーとしては、これまで話し合いを続けてきたセコム、メイクウェーブ・ジャパン、キャノン IT ソリューション等と PoC を実施し、実サービスに向けて実証実験と事業化に展開していく。

4. 28.4 市場規模と経済効果

本事業では IoT 社会におけるセンサー等のエッジデバイスをターゲットとし、そのデータの真正性を担保するこれまでにないハードウェアセキュリティ分野を開拓する。現状で一貫印刷製造技術を保有している企業は世界で産総研が保有する印刷デバイス製造ラインしか存在せず、参画企業が事業化を行うことでそのシェアを独占でき、デファクトスタンダードとして市場を牽引できる。大日本印刷、凸版印刷は国内でシェアは大日本印刷とならんでほぼ約 30%の市場を獲得しており、世界的に見ても米国の RR ダネリー社と日本の2社で市場をほぼ独占している。また凸版印刷は PUF で事業を開始した日本で唯一の企業でもある。さらに既に独自の印刷トランジスタ試作装置を整備しており、技術移転のスピードが速いことが想定される。また日本写真印刷も国内第四位のシェアで小型のタッチパネルでは世界の 80%のシェアを有する等、微細パターン形成技術を有しており、本技術との親和性が高い。

各サービスにおけるデバイス市場としては、まず物流セキュリティ市場(50 億円)への導入を目指し、プロジェクト終了 5 年後にはヘルスケア機器市場(約 1,700 億円。富士キメラ総研調べ)及び IoT エッジデバイスとして印刷センサー市場(2025 年時点でグローバルで約 1 兆円規模)への展開を目指す。IoT 機器でセキュリティの対策は 20%しかほどこされておらず脆弱性が指摘されており、今後も IoT 機器が増加に伴って、セキュリティ対策の導入率は逆に減少傾向になると予想されることから、印刷 PUF によるセキュリティの導入を目指す。

4. 28.5 ベンチマーク

印刷 PUF のベンチマークとしては、これまでのパッケージやアッセンブルのコストが高い RFID チップ等のシリコン系 PUF と比較し、印刷により安価に製造できるというコストメリットがある。また機能の面でもフレキシブル化やさまざまなモノに PUF を適応することが可能となるため、電子機器でないあらゆるモノにセキュリティを付与する場合のコストを抑えることができる。この印刷 PUF 製造技術は唯一産総研のみ有しており、これまでにない新しい市場としてデファクトスタンダードを取ることが可能である。

4. 28.6 事業化までのマイルストーン

印刷 PUF の製造に関しては、産総研が保有する印刷デバイス製造ラインにて量産化の予備検討を完了し、プロジェクト終了後に大日本印刷、凸版印刷、日本写真印刷等に技術移転し、製造プロセスの移植を行う。販売に関しては既に会話を続けているサービス企業(セコム、キャ

ノン IT ソリューション、メイクウェーブ等)と連携し、PoC、仕様設定等を本プロジェクト期間内に行い、実証実験とコスト試算等のステージまで進め事業化の最終判断を行う。それと並行して、エンジニアサンプルをその他のユーザー企業に展開すべくプロジェクト期間中に展示会等で顧客候補の探索を行う。

4.29 次世代産業用ネットワークを守る IoT セキュリティ基盤技術の研究開発における実用化・事業化の見通し（株式会社 IIJ イノベーションインスティテュート）

本項では、「IoT セキュリティ基盤のためのサービス提供技術の研究開発における実用化・事業化の見通し」について述べる。

4.29.1 概要

本研究で研究開発を行う、次世代産業用ネットワークを守る IoT セキュリティ基盤を実用化することにより、大量の産業用 IoT 機器を安全に運用し、大量のデータを省電力かつセキュアに利活用するためのネットワークサービスを事業化する。IoT システムにおいて必要不可欠であるセキュリティ対策に関し、インフラ制御により安全性を高めることで、安心してデータを利用できるサービスを実現可能とする。また、分野横断的に拡張可能なサービスとすることで、データの柔軟に利活用できる基盤を提供する。

4.29.2 実用化・事業化への課題と対応策

本研究開発で開発した機能をサービスとして企画し、インターネットイニシアティブとの協業により既存のインフラに構築し、サービスの新機能として製品化していく。本プロジェクトの期間終了後に、改良し運用体制を整えた上でサービスとして提供を行う予定である。製品化に関しては、既存インフラ上での構築設計、検証、可用性検証、障害対応等の品質向上のための追加開発を必要とする。これにより、IoT セキュリティ基盤アーキテクチャの革新につなげていく。

また、ユーザの利便性向上のため、複数インフラにおけるサービス連携機能の実現を検討する。

産業用 IoT 機器は多種多様に及ぶため、インフラでの統合的な制御を実現するには標準化が不可欠である。標準化活動に関しては、産業用 IoT サービスの提供・運用・監視機能について ISO/IEC や IETF を想定し提案を行うとともに、他の標準化団体とも連携する。

IoT 市場は、2021 年には 11 兆円規模になると予測されている(IDC Japan,国内 IoT 市場産業分野別・ユースケース別予測, 2017-2021 年)。それに伴い、IoT セキュリティ市場は 2021 年に 3 兆円を超えると予測されている(Global Information, Inc.,IoT セキュリティの世界市場予測 2021 年)。本提案は、現在専用ケーブルで接続されている産業用 IoT 機器を安全にネットワークに接続していくにあたって、ウイルスソフトウェアなどの導入が難しい機器を、専用ケーブルと同じセキュリティ要件を確保する技術であり、すでに稼働している産業用機器からネットワーク化に移行する需要が大きいと考えられる。IoT 事業の基盤の一つであるクラウド事業は年間 19.2%の成長率があり、今後 IoT サービスのクラウド化も進むと予想される。また、IoT 市場が 2020 年以降も成長するためには、産業分野の開拓や新興企業との提携を進めることが必要とされている(IDC Japan,国内 IoT 市場産業分野別・ユースケース別予測, 2017-2021 年)。本提案は分野に関わらず利用可能であり、標準化戦略をとることで、提携するための基礎技術となることが期待される。インターネットイニシアティブのカスタマーサーベイによると、クラウドサービスの顧客の 7 割は複数のクラウドを利用しているという結果であり、IoT サービスも横断的な利用が求められると考えられる。市場を特定の巨大企業に支配されないために、横断基盤の構築と標準化は必須である。

4.29.3 実用化・事業化の体制

IIJ イノベーションインスティテュートは販売部門を持たないため、本研究開発の成果は親会社であるインターネットイニシアティブへ技術移転を行う。IIJ イノベーションインスティテュートの

代表取締役社長はインターネットイニシアティブの本部長と兼務しており、本研究開発の内容・成果について関連する事業部に展開している。

4.29.4 市場規模と経済効果

インターネットイニシアティブは、インターネット接続サービス(モバイル含む)、クラウドサービス、セキュリティサービス、およびサービスインテグレーション事業を展開している。クラウド市場は年間 19.2%の伸び率で 2019 年に 3252 億円程度になると予測されている。インターネットイニシアティブはエンタープライズ向けの市場市場 500 億のうち、13.8%のシェアをもつ。

また、セキュリティサービス市場は 2017 年に 4000 億円規模であり、2025 年には 6000 億円規模になると予想されている。IoT セキュリティについては 2021 年に世界で 3 兆円という予測もある。インターネットイニシアティブは、ネットワークセキュリティから診断、コンサルティングまで横断的に手がけており、製品ごとに発表されるデータからシェアを明確に出すことはできないが、およそ 10%程度であると考えている。

以下に、クラウドとセキュリティ市場を合算した市場規模とシェアの予想を示す。

	市場規模(国内／海外)	申請者シェア(国内／海外)
プロジェクト期間終了時点	550,000 百万円	12%
終了後 1 年目(2021 年度)	590,000 百万円	12%
終了後 2 年目(2022 年度)	640,000 百万円	12%
～～		
終了後 5 年目(2025 年度)	820,000 百万円	15%

市場規模算出の根拠:エンタープライズ向けクラウド市場は 2017 年に約 500 億円で、PaaS/IaaS 市場規模推移の CAGR(2014-2019 年度)は 19.2%。この伸び率は今後も続くと思われ。セキュリティサービス市場は 2017 年に約 4000 億円であり、前年比 5.6%の伸び率である。セキュリティ市場は今後さらに伸び率が期待されるが、現状ではデータがないため 5.6%で算出した。

シェア見通しの根拠:現在、エンタープライズ向けクラウド、セキュリティともにシェアは約 10%である。他サービスと合わせるとさらに伸びることも期待されるが、どちらの市場も巨大であるためサービス全体のシェアとして大きな成長が数字には現れないと思われる。しかし本提案に関わる技術については現在競合がないため、サービス開始時には大きなシェアを獲得できると見込んでいる。

4.29.5 ベンチマーク

本提案は、すでに稼働している産業用サービスからの移行が可能であり、インターネットイニシアティブが持つ接続回線提供を含めた SI 事業の実績を生かしての導入が可能である。また、既存の産業用機器との対応がわかりやすく、ネットワークに接続した結果どう接続されているかわからず管理できなくなる、という事態は起こらないため安心して利用できる。新規 IoT サービスに参入する企業がネットワークとセキュリティの事業者を調査した場合も、本技術の高度なセキュリティ機能、および横断的な柔軟性は他になく、選択されやすいと考える。

4. 29. 6 事業化までのマイルストーン

年度	2021 年度	2022 年度	2023 年度	2024 年度	2025 年度
IoT セキュリティ基盤の開発	▲開発・評価		▲サービス提供		
セキュアな IoT サービス提供		▲開発・評価	▲サービス提供		

4. 30 次世代産業用ネットワークを守る IoT セキュリティ基盤技術の研究開発における実用化・事業化の見通し（アラクサラネットワークス株式会社、共同研究：産業技術総合研究所）

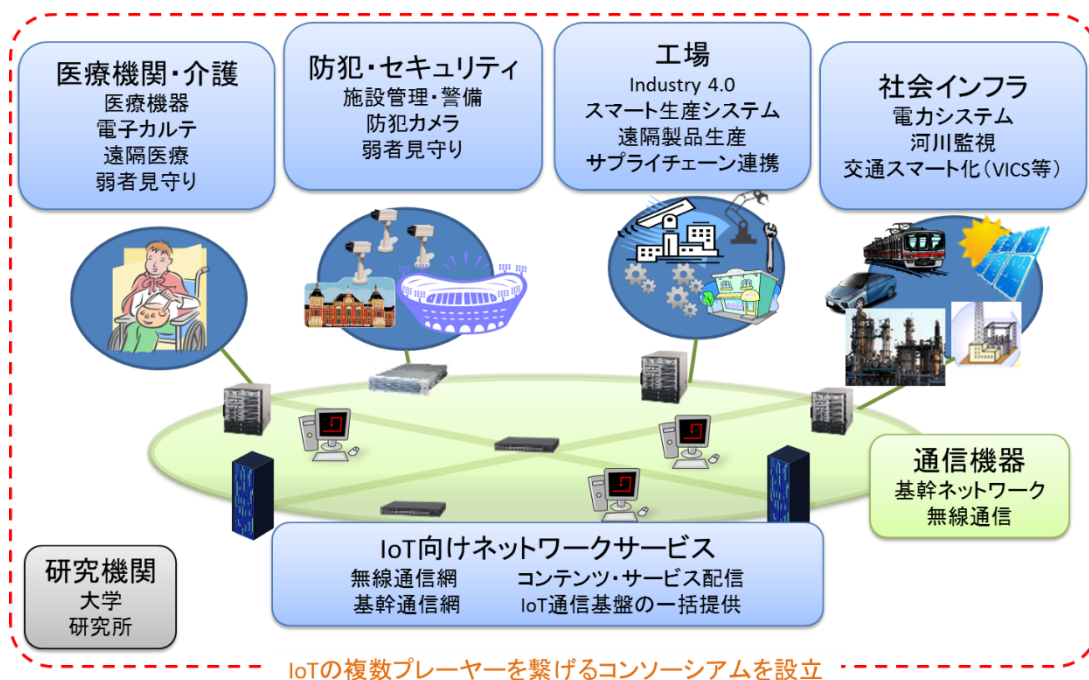
本項では、「IoT セキュリティ基盤のための自動的な通信管理ソフトウェア技術の研究開発における実用化・事業化の見通し」について述べる。

4. 30. 1 概要

産総研は、IIJ イノベーションインスティテュートおよびアラクサラネットワークスと連携して次世代用産業用ネットワークを守る IoT セキュリティ基盤技術の実用化に取り組む。国立研究開発法人としての立場を活かし、本技術の実用化において協調領域である企業間・製品間・応用領域間の相互運用性の確保のための取り組みとして、共通仕様の策定とその標準化の推進、動作の基準となる参照実装としてのソフトウェアのライセンス提供（基本部分のオープンソース提供を含む）、コンソーシアムなどの企業間連携プラットフォームの結成推進、産業領域を横断する技術展開の支援等を、自己資金プロジェクト、企業共同研究、受託研究などの複数の取りうる手段を駆使して推進する。

4. 30. 2 実用化・事業化への課題と対応策

プロジェクトの成果を元に、産総研は技術の標準化仕様策定など協調領域で行うべき研究開発に継続して取り組むほか、技術の普及啓発活動やコンソーシアム準備などにも産官共同で取り組んでいく。また、2030 年を目指した広域 IoT 基盤への技術拡大についても、新たなプロジェクトの立案など、技術開発の継続へ向けた取り組みを行う。さまざまな応用分野の技術研究の取り組みを行っている組織の特性を活かし、今回実証の対象とする工場と医療機関分野についてはサプライチェーンや遠隔医療など応用の拡大を、更に他分野では社会インフラなどを含む IoT 応用全般への横展開・普及を図る。



技術の標準化については、主にインターネット分野の標準を策定する IETF を主なターゲットとして想定し、今回開発の 3 社担当領域の全てについて標準化の推進を行う。また、Industrial Internet Consortium など、IoT サービス分野のフォーラム標準についても、今回開発するサービス管理層の更に上の層として情報連携の可能性の検討を行う。

4. 30. 3 実用化・事業化の体制

今回の研究開発の期間内では、工場や医療機関など、現在の比較的閉じたネットワーク構成の構築がなされており、直近のセキュリティ脅威と IoT 的応用拡大の板挟みになっている産業分野を対象に、既存のネットワークスイッチ等を順次置き換えるような形で、30 万弱～200 万円未満程度の通信機器ハードウェアと、通常の産業用ワークステーションやサーバなどで動作するソフトウェアの協調により動作する実装を行うこととした。これは、実際の産業分野においては、このような実装形態が直近の技術展開先としての要求に合致する可能性が高いと考えているからである。まずこの規模の産業応用については、アラクサラネットワークス株式会社および株式会社 IJ イノベーションインスティテュートによる事業展開のために、研究終了後直ちに取り組みを始める。

その後の応用先拡大の段階においては、このような規模の実装の他にも、下表に挙げるような様々な応用規模が想定される。特に小規模なソフトウェアベースの実装については、ある程度汎用なソフトウェアを参照実装として用意しライセンス提供などを行うことで、実際の企業への導入支援を行う SI 企業等が、展開先に合わせたカスタマイズを行いハードウェア・サービス一体形のパッケージとして一体納入するような形態も想定できる。

応用規模	配下機器台数 通信リスト規模 通信速度	実現手段	想定コスト帯
単一センサー	1台・数エントリ 10Mbps	ワンチップコンピュータのOSに 制御機能組込み	数千円
小規模工場・診療所 レベル	1～数台 100エントリ 100Mbps	100%ソフトウェアで実現可能 ルーター・通信制御ソフトウェアなどと 一体製品化(IIJ Seil 等)して導入を容易に	数万円 IIJの守備範囲
工場の1ライン・ 大病院の1部門	10～20台程度 500エントリ 100Mbps	現行の通信機器用半導体チップに 独自ソフトで実現	30万円程度
制御情報NW	100台 数万エントリ 1Gbps	現行チップ + FPGA + メモリ追加 (現行上位製品をベースに改良)	50万円程度
工場の基幹NW	1000～1万台 数十～100万エントリ 最大10Gbps	FPGA + マルチコアチップ 機構を新規開発・改良	百万円台
将来の広域網 基幹の通信事業者	100万台 数百～千万エントリ 100Gbps	専用ASIC + 新特殊メモリ回路を新規開発 (「次のステップ」で後述)	千万円台～

今回の対象領域

アラクサラの守備範囲

また、通信管理ソフトウェアそのものについても、今回の研究で実装する現場サーバ導入型の単体ソフトウェアの他にも、ソフトウェア内蔵のアプライアンス(ハードウェア・サービス一体型製品)なども考えられる他、クラウドなどに Software as a Service (SaaS) の形で実装し、仮想LAN 等を用いて管理ソフトウェア運用そのものをサービス展開することも考えられる。今回提案の通信管理ソフトウェアは、動作の信頼性や安定性については高いレベルが求められ、全体のスループットもある程度求められるが、動作の遅延については 0.1～1 秒程度の遅延があっても問題なく動作するため(実際の機器間通信そのものは通信機器が制御し、リアルタイムに通信管理ソフトウェアが関与しないため。)、研究提案本文で比較対象とした OpenFlow と異なり、このようなクラウドなどへの収容も十分に可能である。このような管理と制御の分離した形態を取ることで、ネットワーク通信の管理機能全体を外部にアウトソースし、運用を専門的技術を持った企業が担当することも、将来の IoT 基盤の管理の手法として考えられる。このようなビジネス形態は IIJ イノベーションインスティテュートの親会社である IIJ などが既に行われている事例があり、有望な可能性と考えている。

4. 30. 4 市場規模と経済効果

(1) 市場規模(現状と将来見通し)／産業創出効果

ルーター・スイッチの国内市場規模は約3000億円。(IDC Japan, 2014 年)

<http://www.idcjapan.co.jp/Press/Current/20150525Apr.html>

アラクサラネットワークスの国内市場シェア実績は

7～10%の範囲(2005～2014)

本技術開発成果のシェア目標

プロジェクト期間終了時点から標準化等を実施し、終了後 5 年でのアラクサラの目標シェア

15～20%に加え、他者やクラウドによる仮想実装などを含めたライセンス普及率 20～25% (+5%)を目指す。

4. 30. 5 ベンチマーク

今回の提案においてはこれまでのアラクサラネットワークスによる既存ハードウェアの開発経験や、IIJ イノベーションインスティテュートのこれまでのネットワーク管理技術の検討分析などから、必要となる開発規模の見積もりや技術的困難さのメドが(挑戦的ではありながらも)

判っており、実際に研究開発で技術が実現できた際には、続けて競争力のあるサービス・製品として世に出していくための準備が整っていると考えている。残る標準化など協調領域について研究所が支援することで、相互接続性が重要な IoT・インターネットの世界において大切なオープン・クローズ戦略を完成させ、事業化を大きく進めることができると考える。

4.30.6 事業化までのマイルストーン

年度	2021 年度	2022 年度	2023 年度	2024 年度	2025 年度
標準化	▼デファクト標準提案				
	▼デジュレ標準との整合性確保			(▼必要であれば標準案)	
	▼フォーラム標準との連携		(▼必要であれば標準案提案)		
ソフトウェア開発	▼研究開発成果の公開		▼ライセンス開始		
	▼実装の拡張・改良 (広域対応)			▼改良版公開	

4.31 次世代産業用ネットワークを守る IoT セキュリティ基盤技術の研究開発における実用化・事業化の見通し (アラクサラネットワークス株式会社)

本項では、「2.3 IoT セキュリティ基盤のための自動的な通信管理ソフトウェア技術の研究開発における実用化・事業化の見通し」について述べる。

4.31.1 概要

今回研究開発を行う、次世代産業用ネットワークを守る IoT セキュリティ基盤を実用化することにより、次世代産業用ネットワークにおいて大量の機器を安全に利活用するために、エネルギー効率に優れ、安心安全な IoT システムの構築を可能にするネットワーク機器(ルータ、スイッチ等のネットワーク機器)を事業化する。次世代産業用ネットワークにおいて必要不可欠となるセキュリティ対策について、ネットワーク機器において DDoS(高負荷攻撃)対策、侵入の試みに対する防御(監視、計測、対処)、サービスの状況に応じた柔軟な通信アクセス制御(転送、廃棄、QoS)、なりすまし対策、書き換え対策を効率的に組み合わせることで実現可能とする。

4.31.2 実用化・事業化への課題と対応策

実用化・事業化に向けた計画等既存アーキテクチャの製品に改良を加え、新モデルを製品化するなど、本研究開発の成果を盛り込んだネットワーク機器を製品化していく。本プロジェクト期間終了後、そのような製品化を行い出荷開始する予定である。製品化に際しては本研究開発の成果を盛り込むだけでなく、運用機能の追加や障害発生時の対応機能追加、及びソフトウェアの品質保証試験等を実施する。これにより機能検証が進み、信頼性が向上し、これからの IoT セキュリティ基盤として各種サービスとの連携基盤を作っていく、さらなる IoT セキュリティ基盤のアーキテクチャ革新に繋げていく。また、ネットワーク機器の新しいアーキテクチャによる新設計のハードウェア、ソフトウェアを作成し、実証実験を行い、その効果を確認する。そしてそのハードウェア、ソフトウェアを見直してさらに製品化を進めていく。

4.31.3 実用化・事業化の体制

アラクサラネットワークスが、本研究開発の成果を搭載したネットワーク機器（ルータ、スイッチ等のネットワーク機器）を製品化する。アラクサラネットワークスのビジネスパートナーを販売ルートとして、IoT システムの SIer やインフラ事業者販売される。また、本研究の成果(特許など)をライセンスすることも考えられる。

4.31.4 市場規模と経済効果

(1) 市場規模(現状と将来見通し)／産業創出効果

ルータ・スイッチの国内市場規模は約3000億円。(IDC Japan, 2014 年)

<http://www.idcjapan.co.jp/Press/Current/20150525Apr.html>

共同提案者であるアラクサラネットワークスの国内市場シェア実績は7～10%の範囲(2005～2014)

本技術開発成果のシェア目標

プロジェクト期間終了時点から標準化等を実施し、終了後5年でのアラクサラの目標シェア15～20%に加え、他者やクラウドによる仮想実装などを含めたライセンス普及率20～25%(+5%)を目指す。

4.31.5 ベンチマーク

IoT セキュリティ基盤におけるネットワークセキュリティを実現するには、コントローラと密に連携するためのAPI技術、効率的に計測・監視する技術、通信を制御(転送、廃棄、QoS)・防御する技術が必要不可欠であり、更に高速転送性能と省電力を同時に実現し製品化するには、従来の技術では困難であり、API技術、トラフィック識別、計測・監視、制御・防御技術の革新が必要となる。また、アラクサラネットワークスは、通信事業者向け100Gb/sクラスの通信をリアルタイムに観測・監視・制御するネットワーク機器実装の先端技術、ネットワーク機器における省電力技術を有し、これらの技術を元に製品化を行い販売ルートを確立する体制を有しているため、事業として成功すると考えている。

4.31.6 事業化までのマイルストーン

年度	2021 年度	2022 年度	2023 年度	2024 年度	2025 年度
ネットワーク機器 既存アーキテクチャ 製品開発	開発(評価)	▲出荷開始(事業化)			
	▲事業化判断	▲販売判断		▲販売継続判断	
ネットワーク機器 新規アーキテクチャ プロトタイプ開発			設計	実証実験	
ネットワーク機器 新規アーキテクチャ 製品開発					開発(評価) ▲事業化判断

●特許論文等リスト（添付資料）

◎研究開発テーマ「超高効率データ抽出機能を有する学習型スマートセンシングシステムの研究開発」

【特許】

番号	出願者	出願番号	国内 外国 PCT	出願日	状態	名 称	発明者
1	(株)日立製作所	特願 2017-101536	国内	2017/5/23	公開	センサデータセットの出力を制御する装置、システム及び方法	山口和也 松木譲介
2	静岡大学 (株)鷺宮製作所	特願 2017-154474	国内	2017/8/9	公開	MEMS 振動発電素子の製造方法および MEMS 振動素子	橋口原 古賀英明
3	静岡大学 (株)鷺宮製作所	PCT/JP2018/029842	PCT	2018/8/8	公開	MEMS 振動発電素子の製造方法および MEMS 振動素子	橋口原 古賀英明
4	(株)日立製作所	特願 2018-105915	国内	2018/6/1	公開	無線センサシステム	出川宗里 藤森司
5	(株)日立製作所	特願 2018-142430	国内	2018/7/30	公開	センサシステム、データ収集装置及びデータ収集方法	藤森司 森下真年 大熊康介
6	(株)日立製作所	16/523552	米国	2019/7/26	公開	Sensor System, Data Collection Apparatus, and Data Collection Method	FUJIMORI; Tsukasa MORISHITA; Masatoshi OKUMA; Yasuyuki
7	(株)鷺宮製作所 東京大学	特願 2018-090196	国内	2018/5/8	公開	振動発電素子および振動発電装置	芦澤久幸 森田将裕 年吉洋
8	(株)鷺宮製作所 東京大学	PCT/JP2019/016865	PCT	2019/4/19	公開	振動発電素子および振動発電装置	芦澤久幸 森田将裕 年吉洋
9	(株)鷺宮製作所 東京大学	特願 2018-090197	国内	2018/5/8	公開	振動発電装置	芦澤久幸 森田将裕 年吉洋
10	(株)鷺宮製作所 東京大学	PCT/JP2019/017653	PCT	2019/4/25	公開	振動発電装置	芦澤久幸 森田将裕 年吉洋
11	(株)鷺宮製作所 東京大学	特願 2018-105434	国内	2018/5/31	公開	振動発電装置および振動発電素子	芦澤久幸 森田将裕 年吉洋

番号	出願者	出願番号	国内 外国 PCT	出願日	状態	名 称	発明者
12	(株)鷺宮製作所 東京大学	PCT/JP2019/020928	PCT	2019/5/27	公開	振動発電装置および 振動発電素子	芦澤久幸 森田将裕 年吉洋
13	(株)鷺宮製作所 東京大学	特願 2018-105435	国内	2018/5/31	公開	電源回路、および振動 発電装置	芦澤久幸 森田将裕 年吉洋
14	(株)鷺宮製作所 東京大学	PCT/JP2019/021615	PCT	2019/5/30	公開	電源回路、および振動 発電装置	芦澤久幸 森田将裕 年吉洋
15	(株)鷺宮製作所 東京大学	特願 2018-105436	国内	2018/5/31	公開	電源回路、および振動 発電装置	芦澤久幸 森田将裕 年吉洋
16	(株)鷺宮製作所 東京大学	PCT/JP2019/021616	PCT	2019/5/30	公開	電源回路、および振動 発電装置	芦澤久幸 森田将裕 年吉洋
17	富士電機(株)	特願 2018-165017	国内	2018/9/4	公開	監視装置、電気設備 およびガスセンサ	岡村誠
18	(株)日立製作所	特願 2019-018137	国内	2019/2/4	公開	一つ以上の機器におい て処理を実行するシス テム及び方法	松木謙介 相見眞男
19	東京大学 (株)鷺宮製作所	特願 2018-215630	国内	2018/11/16	公開	振動発電素子	本間浩章 年吉洋 三屋裕幸
20	東京大学 (株)鷺宮製作所	PCT/JP2019/044860	PCT	2019/11/15	公開	振動発電素子	本間浩章 年吉洋 三屋裕幸
21	東京大学 (株)鷺宮製作所	特願 2018-215631	国内	2018/11/16	公開	楕歯型素子の製造方 法	本間浩章 年吉洋 三屋裕幸
22	東京大学 (株)鷺宮製作所	PCT/JP2019/044861	PCT	2019/11/15	公開	楕歯型素子の製造方 法	本間浩章 年吉洋 三屋裕幸
23	富士電機(株)	特願 2019-101654	国内	2019/5/30	出願	ガス検出装置	岡村誠
24	東京大学 (株)鷺宮製作所	特願 2019-008337	国内	2019/1/22	出願	振動発電素子	本間浩章 年吉洋 三屋裕幸
25	東京大学 (株)鷺宮製作所	PCT/JP2020/001967	PCT	2020/1/21	公開	振動発電素子	本間浩章 年吉洋 三屋裕幸
26	東京大学 (株)鷺宮製作所	特願 2019-106230	国内	2019/6/6	出願	静電型デバイスおよび 静電型デバイス製造方 法	本間浩章 年吉洋 三屋裕幸

番号	出願者	出願番号	国内 外国 PCT	出願日	状態	名 称	発明者
27	東京大学 (株)鷺宮製作所	PCT/JP2020/012458	PCT	2020/3/19	出願	静電型デバイスおよび 静電型デバイス製造方 法	本間浩章 年吉洋 三屋裕幸
28	東京大学 (株)鷺宮製作所	特願 2019-106231	国内	2019/6/6	出願	静電型デバイス、静電 型デバイス中間体およ び製造方法	本間浩章 年吉洋 三屋裕幸
29	東京大学 (株)鷺宮製作所	PCT/JP2020/012459	PCT	2020/3/19	出願	静電型デバイス、静電 型デバイス中間体およ び製造方法	本間浩章 年吉洋 三屋裕幸
30	(株)日立製作所	特願 2020-006356	国内	2020/1/17	出願	センシングシステム及び センシング制御方法	藤森司 森下真年
31	東京大学 (株)鷺宮製作所	特願 2020-057713	国内	2020/3/27	出願	発電素子の製造方 法、及び、発電素子	年吉洋 下村典子 芦澤久幸

【論文】

番号	発表者	所属	タイトル	発表誌名、ページ番号	査読	発表年月
1	今本浩史	NMEMS 技術研究 機構	総論：「人と技術との融和」 心豊かな社会を目指して	電気学会誌 2017 年 2 月号特集記事 1	有	2017/2
2	三屋裕幸	(株)鷺宮製作所	A Broad-band Vibrational Energy Harvester Utilizing Symmetrical Comb-Drives Coupled with Strong Charged Electret	Design, Test, Integration & Packaging of MEMS and MOEMS (DTIP2017)	有	2017/5
3	年吉洋	東京大学	エレクトレット MEMS 振動・トライ ポロジー発電	応用物理学会 第 45 回 薄膜・表面物理セミナー	無	2017/7
4	年吉洋	東京大学	MEMS Vibrational Energy Harvesters using High Density Solid-Ion Electret	2017 IEEE International Conference on Mechatronics and Automation (ICMA)	有	2017/8
5	古賀英明 ¹ 三屋裕幸 ¹ 年吉洋 ² 外山裕士 ³ 杉山達彦 ³ 橋口原 ³	1(株)鷺宮製作所 2 東京大学 3 静岡大学	「Development of a Metal- Cantilever Electrostatic Vibration Power Generator Combined with Potassium Ion Electret Technique」	Micromechatronics for Information and Precision Equipment (MIPE 2018)	有	2018/8
6	今本浩史	NMEMS 技術研究 機構	「IoT 社会に向けた MEMS 産業 の動向とスマートセンサシステム開 発」	電気学会全国大会「ス マート社会に向けた高機 能・高感度センサに関する シンポジウム」	無	2019/3

番号	発表者	所属	タイトル	発表誌名、ページ番号	査読	発表年月
7	三屋裕幸	(株)鷺宮製作所	AN ELECTROSTATIC VIBRATIONAL MEMS ENERGY HARVESTER OF LARGE POWER RECOVERY EFFCTIVENESS OVER 92%	DTIP2019	有	2019/5
8	高浦則克	(株)日立製作所	IoT/AI/エッジコンピューティングの動向	第 83 回半導体・集積回路シンポジウム	無	2019/8
9	三屋裕幸	(株)鷺宮製作所	エネルギー回収効率 92%の MEMS 振動エナジーハーベスタ	第 36 回「センサ・マイクロマシンと応用システム」シンポジウム (センサシンポ)	有	2019/11
10	逆水登志夫	NMEMS 技術研究機構	超高率データ抽出機能を有する学習型スマートセンシングシステムの研究開発 (2016-2020 年度実施) の成果概要	JRCM NEWS/399 号	無	2020/1
11	高浦則克	(株)日立製作所	スマートセンシングシステムの動向	日本磁気学会 第 226 回研究会/第 74 回スピントロニクス専門研究会	無	2020/1
12	藤田博之 ¹ 年吉洋 ² 高浦則克 ³ 藤森司 ³ 井樋雅行 ⁴ 照元幸次 ⁵ 奥良彰 ⁵ 田中純一 ⁶ 村田尚義 ⁷ 岡村誠 ⁷ 三屋裕幸 ⁸	1 東京都市大学 2 東京大学 3(株)日立製作所 4 東京電力 HD(株) 5 ローム(株) 6 オムロン(株) 7 富士電機(株) 8(株)鷺宮製作所	高効率データ抽出機能を有するスマートセンシングシステムの取り組み紹介	電気学会誌 5 月号 2020 Vol.140 No.5	有	2020/5
13	三屋裕幸 ¹ 芦澤久幸 ¹ 下村典子 ¹ 本間浩章 ² 橋口原 ³ 年吉洋 ²	1(株)鷺宮製作所 2 東京大学 3 静岡大学	A Method for Optimizing the Output Power of MEMS Vibrational Energy Harvester	DTIP2020	有	2020/6
14	藤田博之	NMEMS 技術研究機構	MEMS 環境発電デバイスとスマート IoT システムへの応用	「ネイチャーインタフェース」誌・第 80 号	無	2020/12

【外部発表】

(a) 学会発表・講演

番号	発表者	所属	タイトル	会議名	発表年月
1	青柳桂一	(一財)マイクロマシンセンター	MMC25 年と IoT 時代を迎える MEMS イノベーション	次世代センサ協議会	2017/1

番号	発表者	所属	タイトル	会議名	発表年月
2	今本浩史	NMEMS 技術研究機構	「IoT 社会に向けた MEMS センサとセンサシステムの取り組み」	先進実装・電子部品研究会第 2 回公開研究会	2017/2
3	高浦則克	(株)日立製作所	IoT System and MEMS technology for Social Infrastructure and Industry	MEMS Engineer Forum 2017	2017/4
4	今本浩史	NMEMS 技術研究機構	「IoT 社会・トリリオンセンサ社会に向けた高効率振動発電デバイスの開発」	異業種交流型勉強会(主催：日比谷総合設備(株))、HIBIYA E&S PLAZA(日比谷)	2017/5
5	藤田博之	東京大学	「学習により有価情報を厳選し環境発電で無線収集するシステム次世代 IoT 横断技術の実現へ」	Smart Sensing 2017, 東京ビッグサイト	2017/6
6	高浦則克	(株)日立製作所	学習型スマートセンシングシステムの開発	APET イブニングセミナー	2017/6
7	年吉洋	東京大学	高効率 MEMS 振動発電デバイスの開発	APET イブニングセミナー	2017/6
8	藤田博之	東京大学	「スマートセンシングシステムの動向と将来展望」 MEMS 応用センサ端末から学習型データ収集システムまで	APET イブニングセミナー	2017/6
9	藤田博之	東京大学	MEMS Opportunities in IoT Sensing Nodes	ASRC(Advanced Storage Research Co 2017 Summer Review Meeting,	2017/6
10	年吉洋	東京大学	An Electret MEMS Energy Harvester for Wireless IoT Applications	NANO KOREA 2017	2017/7
11	高浦則克	(株)日立製作所	データセンターや IoT 向けメモリ技術の動向	技術講演会、日立国際電気 富山工場	2017/7
12	今本浩史	NMEMS 技術研究機構	「IoT 社会に向けた MEMS センサとセンサシステムの取り組み」	新化学技術推進協会電子情報部会次世代エレクトロニクス分科会 講演会	2017/8
13	藤田博之	東京大学	トリリオンセンサ社会を支える高効率 MEMS 振動発電デバイスの研究	イノベーション・ジャパン 2017	2017/8
14	今本浩史	NMEMS 技術研究機構	「IoT 社会に向けたスマートセンサ開発の取り組み」	有機系太陽電池技術研究組合、学会名:第 14 回用途開拓懇談会	2017/9
15	藤田博之 ¹ 高浦則克 ² 年吉 洋 ¹	1 東京大学 2(株)日立製作所	「超高効率データ抽出機能を有する学習型スマートセンシングシステムの開発」	MEMS センシング & ネットワーク システム展 2017 セミナー	2017/10
16	今本浩史	NMEMS 技術研究機構	「IoT 社会に向けたスマートセンサ開発の取り組み」	第 2 回人材育成スクール、早稲田大学西早稲田キャンパス 55 号館 N 棟第 2 会議室	2017/10

番号	発表者	所属	タイトル	会議名	発表年月
17	三屋裕幸 ¹ 芦澤久幸 ¹ 穴井大輔 ¹ 本間浩章 ² 藤田博之 ² 橋口原 ² 年吉洋 ²	1(株)鷺宮製作所 2 東京大学 3 静岡大学	左右対称エレクトレットくし歯電極による広帯域振動エネルギーハーベスタ応用	第 34 回「センサ・マイクロマシンと応用システム」シンポジウム	2017/10
18	高浦則克	(株)日立製作所	Fog in Smart Factories Featuring Deep, Machine, and Reinforcement Learning, 2. Dynamic Learning of Smart Sensing System	Fog World Congress 2017	2017/10
19	三屋裕幸 ¹ 芦澤久幸 ¹ 穴井大輔 ¹ 本間浩章 ² 藤田博之 ² 橋口原 ² 年吉洋 ²	1(株)鷺宮製作所 2 東京大学 3 静岡大学	左右対称エレクトレットくし歯電極による広帯域振動エネルギーハーベスタ応用	第 34 回「センサ・マイクロマシンと応用システム」シンポジウム	2017/10
20	藤田博之	東京大学	「超高効率データ抽出機能を有する学習型スマートセンシングシステムの研究開発」	第 16 回新産業技術促進検討会	2017/11
21	年吉洋	東京大学	MEMS Vibrational Energy Harvesters for Wireless IoT Applications	LIMMS Energy Harvester Workshop、IIS、Univ. of Tokyo	2017/11
22	今本浩史	NMEMS 技術研究機構	「IoT 社会に向けた自立型 MEMS センサとセンサシステムの取組」	センサ&IoT コンソーシアム公開シンポジウム	2017/11
23	藤田博之	東京大学	学習により有価情報を厳選し環境発電で無線収集するシステム	(一財)生産技術研究奨励会特別研究会 RC52 バイオ・マイクロ・ナノテク研究会	2017/12
24	今本浩史	NMEMS 技術研究機構	「IoT 社会に向けたセンサ動向調査と産業動向調査」	2017 年度第 6 回海外調査報告会	2018/1
25	今本浩史	NMEMS 技術研究機構	「IoT 社会に向けた MEMS&センサシステム開発の取組みと今後の期待」	第 128 回化学工業 MIS 研究会	2018/6
26	今本浩史	NMEMS 技術研究機構	「IoT 社会に向けた MEMS センサ&システム開発」	IoT 推進のための横断技術開発プロジェクト第 1 回人材育成スクール	2018/8
27	今本浩史	NMEMS 技術研究機構	「IoT 社会に向けた、スマートセンサシステム開発」	2018 年度第 2 回電子デバイス事業化フォーラム	2018/9
28	三屋裕幸	(株)鷺宮製作所	「MEMS 振動発電デバイスの産業化」	第 10 回 IEC/TC47/WG7 振動発電デバイスプロジェクト	2018/10

番号	発表者	所属	タイトル	会議名	発表年月
29	藤田博之 ¹ 高浦則克 ²	1 東京大学 2(株)日立製作所	「超高効率データ抽出機能を有する学習型スマートセンシングシステムの開発」	MEMS センシング&ネットワークシステム展 2018 プロジェクト成果報告会	2018/10
30	三屋裕幸 ¹ 芦澤久幸 ¹ 森田将裕 ¹ 本間浩章 ² 橋口原 ³ 年吉洋 ²	1(株)鷺宮製作所 2 東京大学 3 静岡大学	「共振維持回路による高効率 MEMS 振動エネルギーハーベスタ」	第 35 回「センサ・マイクロマシンと応用システム」シンポジウム	2018/10
31	三屋裕幸 ¹ 橋口原 ² 年吉洋 ³	1(株)鷺宮製作所 2 東京大学 3 静岡大学	「エレクトレット型 MEMS 振動発電素子の実用化」	JST 戦略的創造研究推進事業「微笑エネルギーを利用した革新的な環境発電技術の創出」CREST・さきがけ複合領域公開シンポジウム	2018/11
32	三屋裕幸 ¹ 芦澤久幸 ¹ 森田将裕 ¹ 本間浩章 ² 橋口原 ³ 年吉洋 ²	1(株)鷺宮製作所 2 東京大学 3 静岡大学	「A Resonance-Maintaining Circuit for High-Efficiency Electret-based MEMS Vibrational Energy Harvesters」	The 18th International Conference on Micro and Nanotechnology for Power Generation and Energy Conversion Applications (Power MEMS 2018)	2018/12
33	今本浩史	NMEMS 技術研究機構	「IoT 社会に向けた MEMS センサ&システム開発」	IoT 推進のための横断技術開発プロジェクト第 2 回人材育成スクール	2019/1
34	三屋裕幸 ¹ 芦澤久幸 ¹ 本間浩章 ² 藤田博之 ² 橋口原 ³ 年吉洋 ²	1(株)鷺宮製作所 2 東京大学 3 静岡大学	「MEMS エレクトレット振動発電デバイスの産業化」	応用物理学会春季学術講演会	2019/3
35	逆水登志夫	NMEMS 技術研究機構	「超高効率データ抽出機能を有する学習型スマートセンシングシステムの開発」	NEDO IoT 横断プロジェクトセミナー AI/IoT の未来を知る	2019/3
36	高浦則克	(株)日立製作所	「学習型スマートセンシングシステムデモ展示」	NEDO IoT 横断プロジェクトセミナー AI/IoT の未来を知る	2019/3
37	三屋裕幸 ¹ 芦澤久幸 ¹ 本間浩章 ² 橋口原 ³ 年吉洋 ²	1(株)鷺宮製作所 2 東京大学 3 静岡大学	「A Method to Determine the Electret Charge Potential of MEMS Vibrational Energy Harvester using Pure White Noise」	32nd IEEE International Conference on Microelectronic Test Structures	2019/3
38	高浦則克	(株)日立製作所	「エッジコンピューティング向け AI/IoT プラットフォーム/スマートセンシングの技術動向」	東北大学ナノ・スピン工学研究会	2019/3

番号	発表者	所属	タイトル	会議名	発表年月
39	本間浩章 ¹ 山田駿介 ¹ 三屋裕幸 ² 橋口原 ³ 年吉洋 ¹	1 東京大学 2(株)鷺宮製作所 3 静岡大学	「高パワー密度 (31mW/cm ³ /G2) を実現した MEMS 環境振動発電素子とその IoT 応用」	第 35 回「センサ・マイクロマシン と応用システム」シンポジウム、優 秀ポスター発表賞	2019/3
40	HONMA; Hiroaki ¹ MITSUYA; Hiroyuki ² HASHIGU CHI;Gen ³ FUJITA; Hiroyuki ¹ and TOSHIYOS HI;Hiroshi ¹	1 東京大学、 2(株)鷺宮製作所 3 静岡大学	“Power Density Enhancement of Electret Based Energy Harvester with Symmetric Comb-Electrode Structure”	Taiwan-Japan Joint Symposium 優秀ポスター賞	2019/3
41	高浦則克	(株)日立製作所	エッジコンピューティング向け AI/IoT プラットフォーム/スマートセンシングの 技術動向	ES・IoT 春 19 専門セミナー	2019/4
42	高浦則克	(株)日立製作所	AI チップを用いたエッジコンピューティ ングとスマートセンシング	LSI とシステムのワークショップ 2019	2019/5
43	高浦則克	(株)日立製作所	スマートセンシングと AI チップを用いた エッジコンピューティングの動向	第 196 回高度実装技術定例 会	2019/5
44	伊藤寿浩	産業技術総合研究 所	Dynamic Learning of smart sensing system with ultra- efficient data extraction capability (LbSS)	第 25 回国際マイクロマシンサ ミット	2019/5
45	三屋裕幸 ¹ 芦澤久幸 ¹ 橋口原 ² 本間浩章 ³ 年吉洋 ³	1(株)鷺宮製作所 2 静岡大学 3 東京大学	「未利用環境振動で IoT センサを駆 動する MEMS エナジーハーベスタ」	第 33 回独創性を拓く先端技 術大賞、経済産業大臣賞	2019/7
46	藤森司	(株)日立製作所	IoT 社会を実現する電池不要な環 境発電型センシングシステム	NEDO IoT 推進のための横断 技術開発プロジェクト 2019 年 度第 1 回 (通算第 5 回) 人 材育成スクール	2019/8
47	高浦則克	(株)日立製作所	エッジコンピューティングを支えるスマ ートセンシングと AI チップの動向	NPO 法人サーキットネットワーク 定期講演会第 16 回	2019/8
48	三屋裕幸	(株)鷺宮製作所	MEMS 振動エナジーハーベスタ	CEATEC2019、つながるエネル ギー : コネクテッド社会を支える 振動発電技術	2019/10

番号	発表者	所属	タイトル	会議名	発表年月
49	三屋裕幸 ¹ 芦澤久幸 ¹ 本間浩章 ² 橋口原 ³ 年吉洋 ¹	1(株)鷺宮製作所 2 東京大学 3 静岡大学	MEMS 振動エナジーハーベスタ	第 9 回 CSJ 化学フェスタ 2019	2019/10
50	逆水登志夫	NMEMS 技術研究 機構	「超高効率データ抽出機能を有する 学習型スマートセンシングシステムの 開発」プロジェクトの概要及び各テー マの研究成果について紹介（パネ ル）	IoT ワークショップ「センシング・ エッジによる IoT 革新的ビジネス の潮流」	2019/11
51	本間浩章 ¹ 芦沢久幸 ² 三屋裕幸 ² 橋口原 ³ 年吉洋 ¹	1東京大学 2(株)鷺宮製作所 3 静岡大学	第 36 回センサ・マイクロマシンと応用 システムシンポジウム優秀技術論文 賞	エネルギー回収効率 92%の MEMS 振動エナジーハーベスタ	2019/11
52	藤田博之	NMEMS 技術研究 機構	学習型スマートセンシングシステムの 開発と実証実験	IoT ワークショップ「センシング・ エッジによる IoT 革新的ビジネス の潮流」	2019/11
53	藤田博之 ¹ 高浦則克 ² 年吉洋 ³	1 東京都市大学 2(株)日立製作所 3 東京大学	「超高効率データ抽出機能を有する 学習型スマートセンシングシステム」プ ロジェクトの概要及び各テーマの研究 成果について紹介	MEMS センシング&ネットワーク システム展 2020 プロジェクト 成果報告会	2020/1
54	高浦則克	(株)日立製作所	IoT プラットフォームとスマート社会の 動向	日本応用物理学 2020 年春 季学術講演会/超スマート社 会のためのエネルギーハーベスティ ングの展開	2020/3
55	三屋裕幸 ¹ 芦澤久幸 ¹ 下村典子 ¹ 本間浩章 ² 橋口原 ³ 年 吉洋 ²	1(株)鷺宮製作所 2 東京大学 3 静岡大学	A Method for Optimizing the Output Power of MEMS Vibrational Energy Harvester	DTIP2020	2020/6
56	藤田博之	NMEMS 技術研究 機構	MEMS 環境発電デバイスとスマート IoT システムの応用	東京都市大学総合研究所 2019 年度報告会	2020/8
57	藤田博之	NMEMS 技術研究 機構	MEMS 技術の振動発電とスマートセ ンシングシステムへの応用	第 81 回 WIN 定例講演会・第 36 回人間情報学会講演会	2020/9
58	三屋裕幸 ¹ 芦澤久幸 ¹ 下村典子 ¹ 本間浩章 ² 年吉洋 ² 橋口原 ³	1(株)鷺宮製作所 2 東京大学 3 静岡大学	MEMS 振動エナジーハーベスタの実 機における発電量最大化技術	第 37 回「センサ・マイクロマシン と応用システム」シンポジウム Web 会議	2020/10/26 ~28

番号	発表者	所属	タイトル	会議名	発表年月
59	高浦則克	(株)日立製作所	第 5 編市場動向と展望・標準化第 1 章 IoT 時代に向けて第 2 節 (応用研究の側から)	『新訂版環境発電ハンドブック 2021 (仮)』 株式会社エヌ・ティー・エス	2021/6
60	藤田博之	NMEMS 技術研究機構	MEMS 応用 IoT センサードとスマートセンシングシステムへの展開	インフラ先端技術コンソーシアム 会議特別講演	2020/11/26

(b) 新聞・雑誌等への掲載

番号	所属	発表内容	発表先	発表年月
1	(株)鷺宮製作所	「一円玉大で 1 mW 振動発電、液体使う新原理で 10mW も〜エレクトレットと MEMS で実現、広い周波数振動を変換〜」	・日経エレクトロニクス、 2017 年 2 月号 pp. 20-21. ・日経クロステック、2017-1-19	2017/1
2	NMEMS 技術研究機構	2030 年の IoT 環境に適応し進化するセンサー、次世代 IoT 基盤へ」	日経クロステック、2017-1-23	2017/1
3	(株)鷺宮製作所	「経産大臣賞に鷺宮製作所・三屋さんら 先端技術大賞」	産経新聞、2019 年 6 月 11 日、朝刊 13 版、10 面	2016/6

(c) 展示会への出展

番号	所属	タイトル	展示会名	発表年月
1	NMEMS 技術研究機構	「超高効率データ抽出機能を有する学習型スマートセンシングシステムの研究開発」の概要 (パネル)	MEMS センシング&ネットワークシステム展 (2016)	2016/9
2	NMEMS 技術研究機構	「超高効率データ抽出機能を有する学習型スマートセンシングシステムの開発」の概要及び各テーマの研究成果 (パネル、配布物)	MEMS センシング&ネットワークシステム展 (2017)	2017/10
3	NMEMS 技術研究機構	「超高効率データ抽出機能を有する学習型スマートセンシングシステムの開発」の概要及び各テーマの研究成果 (パネル、配布物)	MEMS センシング&ネットワークシステム展 (2018)	2018/10
4	NMEMS 技術研究機構	「超高効率データ抽出機能を有する学習型スマートセンシングシステムの開発」の概要及び各テーマの研究成果 (パネル、配布物)	MEMS センシング&ネットワークシステム展 (2020)	2020/1

【受賞実績】

番号	発表者	所属	受賞種類	受賞内容	受賞年月
1	本間浩章 ¹ 芦沢久幸 ² 三屋裕幸 ² 橋口原 ³ 年吉洋 ¹	1 東京大学 2 (株)鷺宮製作所 3 静岡大学	第 33 回独創性を拓く先端技術大賞、経済産業大臣賞	「未利用環境振動で IoT センサを駆動する MEMS エナジーハーベスタ」	2019/7
2	本間浩章 ¹ 芦沢久幸 ² 三屋裕幸 ² 橋口原 ³ 年吉洋 ¹	1 東京大学 2 (株)鷺宮製作所 3 静岡大学	第 36 回センサ・マイクロマシンと応用システムシンポジウム優秀技術論文賞	エネルギー回収効率 92% の MEMS 振動エナジーハーベスタ	2019/11

◎研究開発テーマ「超低消費電力データ収集システムの研究開発」

【特許】

番号	出願者	出願番号	国内 外国 PCT	出願日	状態	名 称	発明者
1	アルファルイ(株) 東京工業大学 神戸大学	特願 2018-105836	国内	2018/6/1	公開	センサノード、ホスト、及びセンサネットワークシステム	菅原潤、 岡田健一、 吉本雅彦、 矢野祐二
2	(株)東芝	特願 2018-046967	国内	2018/3/14	公開	MEMS 素子及びその製造方法	齋藤友博、 富澤英之、 藤本明、 久留井慶彦、 小島章弘
3	(株)東芝	特願 2017-178170 15/908501	国内 米国	2017/9/15 2018/2/28	放棄 放棄	接続構造およびその製造方法ならびにセンサ	富澤英之、 齋藤友博、 藤本明、 久留井慶彦、 小島章弘
4	(株)東芝	特願 2018-037719 18189510.3	国内 欧州	2018/3/2 2018/8/17	公開 公開	MEMS 素子	久留井慶彦 藤本明 富澤英之、 齋藤友博、 小島章弘
5	(株)東芝	特願 2018-158387	国内	2018/8/27	公開	センサ、構造および電気機器	久留井慶彦、 藤本明、 富澤英之、 齋藤友博、 小島章弘、 前中一介

番号	出願者	出願番号	国内 外国 PCT	出願日	状態	名 称	発明者
6	(株)東芝	特願 2018-145204 16/352376	国内 米国	2018/8/1 2019/3/13	公開 公開	MEMSデバイス	藤本明、 久留井慶彦、 富澤英之、 齋藤友博、 小島章弘
7	アルファイン(株) 京都工業繊維大学	特願 2019-023055	国内	2019/2/12	公開	振動発電装置	小林秀和 木内慎 増田新
8	京都工業繊維大学	特願 2019-134540	国内	2018/1/30	公開	振動発電装置および 非線形振動子	増田新
9	東京工業大学	特願 2018-034546	国内	2018/2/28	公開	無線センサおよびセンサ ネットワークシステム	石原昇
10	アルファイン(株) 金沢工業大学	特願 2018-158661	国内	2018/8/27	公開	電力変換装置	村田眞司、 嶋原亮、 野口啓介
11	アルファイン(株) 金沢工業大学	特願 2018-071691	国内	2018/4/3	公開	電力変換装置、及び、 折返しダイポールアンテナ	村田眞司、 嶋原亮、 野口啓介、 伊東健治
12	アルファイン(株) 金沢工業大学	特願 2017-152368	国内	2017/8/7	公開	電力変換装置、及び、 折り返しダイポールアンテナ	村田眞司、 嶋原亮、 野口啓介 伊東健治 古田貴大、 岸本大輝
13	(株)東芝	特願 2016-238626 15/705223	国内 米国	2016/12/8 2017/9/14	登録 登録	振動装置	畠山庸平、 板倉哲朗
14	(株)東芝	特願 2016-238903 15/705202	国内 米国	2016/12/8 2017/9/14	登録 登録	振動装置	池橋民雄、 前田舜太、 丸藤竜之介、 富澤泰
15	(株)東芝	特願 2017-059892 特願 2018-000269 15/705229	国内 国内 米国	2017/3/24 2018/1/4 2017/9/14	みなし 取下 登録 登録	ジャイロセンサシステム	池橋民雄
16	(株)東芝	特願 2018-011930 16/125982	国内 米国	2018/1/26 2018/9/10	登録 登録	電圧電流変換回路	畠山庸平、 板倉哲朗
17	(株)東芝	特願 2017-177060 15/908730 18158580.3	国内 米国 欧州	2017/9/14 2018/2/28 2018/2/26	登録 登録 公開	センサ装置	丸藤竜之介、 池橋民雄、 富澤泰、 小川悦治、 前田舜太

番号	出願者	出願番号	国内 外国 PCT	出願日	状態	名 称	発明者
18	(株)東芝	特願 2018-011926	国内	2018/1/26	公開	物理量検出装置	畠山庸平, 板倉哲朗
19	(株)東芝	特願 2018-011924 16/119744	国内 米国	2018/1/26 2018/8/31	公開 公開	検出器	畠山庸平, 板倉哲朗
20	(株)東芝	特願 2018-035637 16/119696	国内 米国	2018/2/28 2018/8/31	公開 公開	振動装置	畠山庸平, 板倉哲朗
21	(株)東芝	特願 2018-000252 16/112961	国内 米国	2018/1/4 2018/8/27	公開 公開	振動装置及び振動装 置の制御方法	丸藤竜之介、 池橋民雄、 小川悦治、 板倉哲朗、 畠山庸平、 富澤泰
22	(株)東芝	特願 2019-42469 16/565719	国内 米国	2019/3/8 2019/9/10	公開 公開	センサ	加治志織 丸藤竜之介 富澤泰 増西桂 池橋民雄
23	(株)デバイス&シ テム・プラットフォーム 開発センター	特願 2020-170146	国内	2020/10/7	公開	異常推定方法、異常 推定装置、異常推定 システム	勝村英則 小野大騎

【論文】

番 号	発表者	所属	タイトル	発表誌名、ページ番号	査読	発表年月
1	吉田聖也	神戸大	Energy-Efficient Spectral Analysis Method Using Autoregressive Model-Based Approach for Internet of Things," Oct. 2019.	IEEE Transaction on Circuit and Systems I: Regular Papers, volume:66, Issue:10, pp.3896-3950,	有	2019/10
2	吉本雅彦	神戸大	Recent progress of biomedical processor SoC for wearable healthcare application: A Review,	IEICE Vol.E102-C, No.4, pp.245-259	有	2019/4
3	中西基文	神戸大	Estimating metabolic equivalents for activities in daily life using acceleration and heart rate in wearable devices	BioMedical Engineering OnLine, Vol. 17, No. 1, pp.100-	有	2018/7
4	中西基文	神戸大	A 11.3- μ A Physical Activity Monitoring System Using Acceleration and Heart Rate	IEICE Transactions on Electronics, E101.C, No. 4, pp.233-242	有	2018/4

番号	発表者	所属	タイトル	発表誌名、ページ番号	査読	発表年月
5	Hanli Liu	東京工業大学	A Sub-mW Fractional-N ADPLL with FOM of -246dB for IoT Applications	IEEE Journal of Solid-State Circuits, Dec. 2018.	有	2018/12/1
6	Hanli Liu	東京工業大学	A DPLL-Centric Bluetooth Low-Energy Transceiver with a 2.3-mW Interference-Tolerant Hybrid-Loop Receiver in 65nm CMOS	IEEE Journal of Solid-State Circuits, Dec. 2018.	有	2018/12/1
7	Bangan Liu	東京工業大学	A 0.4-ps-Jitter – 52-dBc-Spur Synthesizable Injection-Locked PLL With Self-Clocked Nonoverlap Update and Slope-Balanced Subsampling BBPD	IEEE Solid-State Circuits Letters	有	2019/4/11
8	富澤泰	(株)東芝	インフラ IoTと機械工学	日本機械学会誌 12月号	有	2018/12/5
9	富澤英之	(株)東芝	慣性センサの超低消費電力化に向けた CMOS 混載 SiGe-MEMS 技術の開発	電気学会論文誌 E 2019年7月号	有	2019/7/1
10	渡辺健斗	神戸大	Heartbeat Interval Error Compensation Method for Low Sampling Rates Photoplethysmography Sensors,	IEICE, Vol. E103-B, No. 6, pp. -,	有	2020/6
11	渡辺健斗	神戸大	Low-Noise Photoplethysmography Sensor Using Correlated Double Sampling for Heartbeat Interval Acquisition	IEEE Transactions on Biomedical Circuits and Systems, vol. 13, no. 6, pp. 1552-1562	有	2019/12
12	岡野孝昭	神戸大	Multimodal Cardiovascular Information Monitor Using Piezoelectric Transducers for Wearable Healthcare	Journal of Signal Processing Systems, pp.1-10	有	2018/12
13	富澤泰	(株)東芝	角度直接検出型高精度ジャイロセンサ	東芝レビュー, 2020年3月号	有	2020/3/2
14	富澤泰	(株)東芝	High Precision Rate Integrating Gyroscope	TOSHIBA REVIEW Science and Technology Highlights 2020	有	2020/8/1

【外部発表】

(a) 学会発表・講演

番号	発表者	所属	タイトル	会議名	発表年月
1	矢野裕二	神戸大学	An IoT Sensor Node SoC with Dynamic Power Scheduling for Sustainable Operation in Energy Harvesting Environment	A-SSCC	2019/11
2	吉田聖也	神戸大学	A Heartbeat Interval Error Compensation Method Using Multiple Linear Regression for Photoplethysmography Sensors	IEEE Biomedical Circuits and Systems Conference	2019/10
3	吉田聖也	神戸大学	AR モデルを用いた心拍変動解析のための低消費電力アーキテクチャの検討	電子情報通信学会 ソサイエティ大会 2019	2019/9
4	吉田聖也	神戸大学	ユールウォーカー法を用いた IoT センサ向け低消費電力周波数解析手法	LSI とシステムのワークショップ 2019	2019/5
5	梶原弘一	神戸大学	Hardware Implementation of Autoregressive Model Estimation Using Burg's Method for Low-Energy Spectral Analysis	IEEE International Workshop on Signal Processing Systems	2018/10
6	渡辺健斗	神戸大学	A 5-ms Error, 22 μ A Photoplethysmography Sensor using Current Integration Circuit and Correlated Double Sampling	The 40th International Engineering in Medicine and Biology Conference	2018/7
7	西川有貴	神戸大学	Sampling Rate Reduction for Wearable Heart Rate Variability Monitoring	IEEE International Symposium on Circuits & Systems	2018/5
8	中西基文	神戸大学	A Metabolic Equivalents Estimation Algorithm using Triaxial Accelerometer and Adaptive Sampling for Wearable Devices	The 1st IEEE Life Sciences Conference	2017/12
9	塚原美緒	神戸大学	A 19- μ A Metabolic Equivalents Monitoring SoC Using Adaptive Sampling	IEEE Asia and South Pacific Design Automation Conference (ASP-DAC) University LSI Design Contest	2017/1

番号	発表者	所属	タイトル	会議名	発表年月
10	塚原美緒	神戸大学	A 15-uA Metabolic Equivalents Monitoring System using Adaptive Acceleration Sampling and Normally Off Computing	IEEE International Conference on Electronics, Circuits, and Systems (ICECS)	2016/12
11	塚原美緒	神戸大学	加速度センサを用いた低消費電力運動強度推定アルゴリズム	IEICE ソサイエティ大会	2016/9
12	塚原美緒	神戸大学	加速度センサを用いた低消費電力運動強度推定アルゴリズム	電気学会 C 部門大会	2016/9
13	塚原美緒	神戸大学	Low-Power Metabolic Equivalents Estimation Algorithm Using Adaptive Acceleration Sampling	38th Annual International Conference of the IEEE Engineering in Medicine and Biology Society (EMBC)	2016/4
14	辻佑斗	神戸大学	極低入力電圧エネルギーハーベ스팅に向けた昇圧コンバータの設計	電子情報通信学会 集積回路研究専門委員会 LSI とシステムのワークショップ, 東京大学, 2017 年 5 月 15-16 日	2016/10/25
15	佐藤孝憲	神戸大学	超低電力・環境発電デバイスに向けた最大発電量予測システム	電子情報通信学会 集積回路研究専門委員会 学生・若手研究会, 東京工業大学, 2016 年 12 月 15-16 日	2016/12/15
16	Junjun	東京工業大学	An ultra-low-power digital GMSK demodulator for sub-GHz IoT applications	2017 年電子情報通信学会ソサイエティ大会 (東京都市大学) 2017 年 9 月 12~15 日	2017/9/12
17	佐藤孝憲	神戸大学	An Ultra-Low-Power Supercapacitor Voltage Monitoring System for Low-Voltage Energy Harvesting	IEEE International Conference on Electronics, Circuits and Systems, Batumi, Georgia, December 5-8, 2017.	2017/12/5
18	辻佑斗	神戸大学	A 0.1-0.6 V Input Range Voltage Boost Converter with Low-Leakage Driver for Low-Voltage Energy Harvesting	IEEE International Conference on Electronics, Circuits and Systems, Batumi, Georgia, December 5-8, 2017.	2017/12/5
19	Hanli Liu	東京工業大学	An ADPLL-Centric Bluetooth Low-Energy Transceiver with 2.3-mW Interference-Tolerant Hybrid-Loop Receiver and 2.9-mW Single-Point Polar Transmitter in 65nm CMOS	IEEE International Solid-State Circuits Conference (ISSCC), 米国サンフランシスコ, 2018/2/11-15	2018/2/11

番号	発表者	所属	タイトル	会議名	発表年月
20	Hanli Liu	東京工業大学	A 0.98mW Fractional-N ADPLL Using 10bit Isolated Constant-Slope DTC with FoM of -246dB for IoT Applications in 65nm CMOS	IEEE International Solid-State Circuits Conference (ISSCC), 米国サンフランシスコ、2018/2/11-15	2018/2/11
21	Bangan Liu	東京工業大学	A 1.2ps-Jitter Fully-Synthesizable Fully-Calibrated Fractional-N Injection-Locked PLL Using True Arbitrary Nonlinearity Calibration Technique	IEEE International Solid-State Circuits Conference (ISSCC), 米国サンフランシスコ、2018/2/11-15	2018/2/11
22	Hongye Huang	東京工業大学	Current-reuse LNA for Low Power 2.4-GHz Receivers	2018年電子情報通信学会総合大会、東京、2018年3月20-23日	2018/3/6
23	Zheng Sun	東京工業大学	An ADPLL-based High Interference Tolerant BLE Receiver with DAC Feedback Loop	2018年電子情報通信学会総合大会、東京、2018年3月20-23日	2018/3/6
24	Dexian Tang	東京工業大学	An Isolated Constant-slope Digital-to-Time Converter	2018年電子情報通信学会総合大会、東京、2018年3月20-23日	2018/3/6
25	Bangan Liu	東京工業大学	A 1.2ps-Jitter Fully-Synthesizable Fully-Calibrated Fractional-N Injection-Locked PLL Using True Arbitrary Nonlinearity Calibration Technique	The IEEE Custom Integrated Circuits Conference, 米国サンディエゴ、2018/4/8-11	2018/4/8
26	中澤勇一郎	神戸大学	Analytical Study of Multi-stage Switched-Capacitor Voltage Boost Converter for Ultra-low Power Energy Harvesting	IEEE International Symposium on Circuits and Systems, Florence, Italy, May 27-30, 2018.	2018/5/6
27	Bangan Liu	東京工業大学	A Fully-Synthesizable Fractional-N Injection-Locked PLL Using True Arbitrary Nonlinearity Calibration Technique	LSIとシステムのワークショップ 2018 (LSIWS), 東京大学 生産技術研究所 総合研究実験棟(An棟) 2階 コンベンションホール, 2018/5/14-15	2018/5/14
28	Zheng Sun	東京工業大学	An ADPLL-Centric Bluetooth Low-Energy Transceiver with 2.3mW Interference-Tolerant Hybrid-Loop Receiver in 65nm CMOS	LSIとシステムのワークショップ 2018 (LSIWS), 東京大学 生産技術研究所 総合研究実験棟(An棟) 2階 コンベンションホール, 2018/5/14-15	2018/5/15

番号	発表者	所属	タイトル	会議名	発表年月
29	Hongye Huang	東京工業大学	An Ultra-Low-Power Fractional-N All-Digital PLL Using 10-bit Isolated Constant-Slope Digital-to-Time Converter	LSIとシステムのワークショップ 2018 (LSIWS), 東京大学 生産技術研究所 総合研究実験棟(An棟) 2階 コンベンションホール, 2018/5/14-15	2018/5/15
30	山手浩樹	神戸大学	低電圧・微弱エネルギー利用に向けたパワーマネジメントシステム	LSIとシステムのワークショップ 2018, 東京大学 生産技術研究所 総合研究実験棟 (An棟) 2階 コンベンションホール, 2018年5月14-15日.	2018/5/15
31	神崎脩斗	神戸大学	最大効率点追従制御を用いたスイッチトキャパシタ型降圧コンバータの高効率化	第31回 回路とシステムワークショップ, 北九州国際会議場, 2018年5月17-18日.	2018/5/17
32	松本香	神戸大学	アクティブダイオードに向けたヒステリシスコンパレータの設計	第31回 回路とシステムワークショップ, 北九州国際会議場, 2018年5月17-18日.	2018/5/17
33	LEE YOUNG GYUN	神戸大学	過電流制御技術を用いた自己バイアス型シリーズレギュレータ	第31回 回路とシステムワークショップ, 北九州国際会議場, 2018年5月17-18日.	2018/5/17
34	西河有貴	神戸大学	Sampling Rate Reduction for Wearable HeartRate Variability Monitoring	International Symposium on Circuits and Systems (ISCAS), : Florence, Italy, May 27-30, 2018	2018/5/27
35	Kenichi Okada	東京工業大学	High-Performance CMOS Frequency Synthesizer for WLAN Applications	IEEE International Microwave Symposium (IMS), 米国フィラデルフィア, 2018/6/10-15	2018/6/9
36	Zheng Sun	東京工業大学	A 0.85mm ² BLE Transceiver with Embedded T/R Switch, 2.6mW Fully-Passive Harmonic Suppressed Transmitter and 2.3mW Hybrid-Loop Receiver	48th European Solid-State Device Research Conference, DRESDEN, Germany, 2018/9/3-6	2018/9/3
37	上杉晃生	神戸大学	Si膜とSiGe膜の疲労特性比較	日本機械学会年次大会、関西大学、2018.9.10, 13:45	2018/9/3
38	Bangan Liu	東京工業大学	A 1.2 ps-Jitter Fully-Synthesizable DTC-based Fractional-N Injection-Locked PLL using True Arbitrary Nonlinearity Calibration	2018年電子情報通信学会ソサイエティ大会, 金沢大学 角間キャンパス (金沢市), 2018/9/11-14	2018/9/11

番号	発表者	所属	タイトル	会議名	発表年月
39	Hongye Huang	東京工業大学	A 2.6mW BLE Transmitter Front-End with Fully-Passive Harmonic Suppression	2018年電子情報通信学会ソサイエティ大会, 金沢大学 角間キャンパス(金沢市), 2018/9/11-14	2018/9/11
40	Hanli Liu	東京工業大学	Loop Latency Compensation Technique for Wide Loop Bandwidth	2018年電子情報通信学会ソサイエティ大会, 金沢大学 角間キャンパス(金沢市), 2018/9/11-14	2018/9/11
41	Zheng Sun	東京工業大学	A High Dynamic Range BLE Front-End with On-Chip Matching Network	2018年電子情報通信学会ソサイエティ大会, 金沢大学 角間キャンパス(金沢市), 2018/9/11-14	2018/9/11
42	廣瀬哲也	神戸大学	微弱環境エネルギー利用に向けた電源回路技術	電子情報通信学会ソサイエティ大会, 金沢大学角間キャンパス, 2018年9月13日	2018/9/11
43	松本香	神戸大学	An ultra-low power active diode using a hysteresis common gate comparator for low-voltage and low-power energy harvesting systems	IEEE International Conference on Very Large Scale Integration, Verona, Italy, October 8-10, 2018.	2018/10/8
44	神崎脩斗	神戸大学	Switched-Capacitor Voltage Buck Converter with Step-Down-Ratio and Clock-Frequency Controllers for Ultra-Low-Power IoT Devices	IEEE International Conference on Electronics Circuits and Systems, Bordeaux, France, December 9-12, 2018.	2018/12/10
45	Bangan Liu	東京工業大学	An HDL-described Ring Oscillator based Sub-GHz IoT Transceiver with Digital Background EVM and Blocker Rejection Calibration	IEEE International Solid-State Circuits Conference (ISSCC), Student Research Preview, San Francisco, CA, USA, 2019/2/17-21	2019/2/17
46	Hanli Liu	東京工業大学	A 265-uW Fractional-N Digital PLL with a Seamless Automatic Switching Subsampling/Sampling Feedback Path and a Duty-Cycled Frequency-Locked Loop in 65nm CMOS	IEEE International Solid-State Circuits Conference (ISSCC), San Francisco, CA, USA, 2019/2/17-21	2019/2/17

番号	発表者	所属	タイトル	会議名	発表年月
47	Hanli Liu	東京工業大学	A 265-uW Fractional-N Digital PLL with a Seamless Automatic Switching Subsampling/Sampling Feedback Path and a Duty-Cycled Frequency-Locked Loop in 65nm CMOS	International Solid-State Circuits Conference (ISSCC)2019 報告会、神戸大学 梅田インテリジェントラボラトリ、2019/3/4	2019/3/4
48	Yuncheng Zhang	東京工業大学	A Low-Power Area Efficient Sub-GHz IoT Receiver without Off-Chip Components	電子情報通信学会 集積回路研究会 (ICD), 石垣島, 2019/3/14-15	2019/3/15
49	Zheng Sun	東京工業大学	A 0.85mm ² BLE Transceiver with Embedded T/R Switch, 2.6mW Harmonic Suppressed Transmitter and 2.3mW Hybrid-Loop Receiver	電子情報通信学会 集積回路研究会 (ICD), 石垣島, 2019/3/14-15	2019/3/15
50	Junjun Qiu	東京工業大学	A Fully Synthesizable Symbol Timing Recovery Circuit for Low Power Wireless Receiver (低電力無線受信機のための完全合成可能シンボルタイミング回復回路)	電子情報通信学会 集積回路研究会 (ICD), 石垣島, 2019/3/14-15	2019/3/15
51	Hongye Huang	東京工業大学	An Energy-Saving Digital-to-Time Converter for Ultra-Low-Power Digital PLLs	電子情報通信学会 集積回路研究会 (ICD), 石垣島, 2019/3/14-15	2019/3/15
52	Bangan Liu	東京工業大学	A Fully-synthesizable Ring Oscillator Based Frequency Synthesizer for Sub-GHz IoT Application	電子情報通信学会 集積回路研究会 (ICD), 石垣島, 2019/3/14-15	2019/3/15
53	岡田健一	東京工業大学	極低消費電力 IoT 機器実現に向けた BLE/AD-PLL 回路技術	電子情報通信学会 総合大会、早稲田大学 西早稲田キャンパス、2019/3/19-22	2019/3/20
54	Bangan Liu	東京工業大学	An HDL-described Fully-synthesizable Sub-GHz IoT Transceiver with Ring Oscillator based Frequency Synthesizer and Digital Background EVM Calibration	IEEE Custom Integrated Circuits Conference (CICC), Austin, TX, U.S.A., 2019/4/14-17	2019/4/16
55	Zheng Sun	東京工業大学	A T/R Switch Embedded BLE Transceiver with 2.6mW Harmonic-Suppressed Transmitter and 2.3mW Hybrid-Loop Receiver	LSI とシステムのワークショップ 2019、東京大学、2019 年 5 月 13 日(月)~5 月 14 日(火)	2019/5/13

番号	発表者	所属	タイトル	会議名	発表年月
56	Dingxin Xu	東京工業大学	A 265 μ W Fractional-N Digital PLL with Switching Subsampling/Sampling Feedback	LSIとシステムのワークショップ 2019、東京大学、2019年5月13日(月)~5月14日(火)	2019/5/14
57	Dingxin Xu	東京工業大学	A Time-Amplifier Gain Calibration Technique for ADPLL	2019年電子情報通信学会ソサイエティ大会、2019年9月10日~13日	2019/9/10
58	Zheng Sun	東京工業大学	A 78 fs RMS Jitter Injection-Locked Clock Multiplier Using Transformer-Based Ultra-Low-Power VCO	2019年電子情報通信学会ソサイエティ大会、2019年9月10日~13日	2019/9/10
59	Junjun Qiu	東京工業大学	Digital Baseband Design for Sub-GHz Transceiver	2019年電子情報通信学会ソサイエティ大会、2019年9月10日~13日	2019/9/10
60	Hongye Huang	東京工業大学	A 2.4GHz Low-Power Subsampling/Non-Subsampling-Mixed Fractional-N All-Digital PLL	2019年電子情報通信学会ソサイエティ大会、2019年9月10日~13日	2019/9/10
61	Bangan Liu	東京工業大学	A 21.7% System Power Efficiency Fully-Synthesizable Transmitter for sub-GHz IoT Applications	2019年電子情報通信学会ソサイエティ大会、2019年9月10日~13日	2019/9/10
62	富澤英之	(株)東芝	High-sensitivity and low-power inertial MEMS-on-CMOS sensors using low-temperature-deposited poly-SiGe film for the IoT era	2018 Symposia on VLSI Technology and Circuits, HONOLULU, Hawaii, USA, June 18-22, 2018	2018/6/19
63	富澤英之	(株)東芝	慣性センサの超低消費電力化に向けた CMOS 混載 SiGe-MEMS 技術の開発	ITE-IST/SDM/ICD 研究会、北海道大学、2018年8月7日~2018年8月9日	2018/8/1
64	小島章弘	(株)東芝	超低消費電力データ収集システム実現に向けた CMOS 混載 SiGe-MEMS センサの開発	2018年電子情報通信学会ソサイエティ大会、金沢大学 角間キャンパス(金沢市)、平成30年9月11日~平成30年9月14日	2018/9/11
65	黒部篤	(株)東芝	東芝のスマートセンシング技術	SSN 研究会公開シンポジウム、幕張メッセ国際会議場、2018年10月19日	2018/10/19
66	富澤英之	(株)東芝	慣性センサの超低消費電力化に向けた CMOS 混載 SiGe-MEMS 技術の開発	第35回センサシンポジウム、札幌市民交流プラザ、2018年10月30日~2018年11月1日	2018/10/23

番号	発表者	所属	タイトル	会議名	発表年月
67	富澤英之	(株)東芝	A study of membrane patterning and sacrificial-layer removal process for SiGe MEMS enabling high-sensitivity and low-power inertial sensors	31st. International Microprocesses and Nanotechnology Conference、札幌パークホテル、2018年11月13日～2018年11月16日	2018/11/13
68	久留井慶彦	(株)東芝	SUB- μ W OPERATION AND NOISE REDUCTION OF MONOLITHIC 3-AXISACCELEROMETERS USING A SIGE-MEMS-ON-CMOS TECHNIQUE	The 33rd International Conference on Micro Electro Mechanical Systems (IEEE MEMS 2020)、2020年1月18日～2020年1月22日	2020/1/18
69	Norihiko Kitamura	京都工業繊維大学	Global stabilization control of high-energy responses of a nonlinear wideband piezoelectric vibration energy harvester using a self-excitation circuit	SPIE SmartStructures/NDE 2017, Portland, Oregon, United States	2017/3/25
70	勝村英則	(株)デバイス&システム・プラットフォーム開発センター	エネバ導入支援ソリューションの紹介	2018年度第4回エネルギーハーベスティングコンソーシアム総会	2019/3/12
71	勝村英則	(株)デバイス&システム・プラットフォーム開発センター	超低消費電力データ収集システムへの挑戦	東京工業大学インテリジェントIoTプラットフォームシンポジウム	2019/3/5
72	増田新	京都工業繊維大学	広帯域振動発電デバイスの実設備環境への適用	日本機械学会 2019年度年次大会,秋田大学,2019年9月9日～9月8日	2019/9/9
73	勝村英則	(株)デバイス&システム・プラットフォーム開発センター	エネルギーハーベスティング駆動に対応した回転機器予知保全小型モジュール	日本機械学会 2019年度年次大会,秋田大学,2019年9月9日～9月8日	2019/9/9
74	勝村英則	(株)デバイス&システム・プラットフォーム開発センター	回転機器予知保全を実現する超低消費電力無線センサモジュールの開発、実証試験とその課題	(社)日本機械学会 IIP 部門「IoT 技術に関する分科会」2019年第1回研究会, 関西大学東京センター,2019年12月11日	2019/12/11
75	勝村英則	(株)デバイス&システム・プラットフォーム開発センター	振動発電などのエネルギーハーベスティング駆動に対応した回転機器予知保全ソリューションの開発	第11回振動技術展セミナー	2020/2/7
76	渡邊伊織、石原昇、伊藤浩之	東京工業大学	インピーダンス変換回路によるRFバックスキッピング信号レベルの改善	2020年 電子情報通信学会総合大会、B-18-3	2020年3月

番号	発表者	所属	タイトル	会議名	発表年月
77	石原昇, ZiXuan LI, 伊藤浩之, Chindanai Ratanapor ncharoen, 田畑美幸, 宮原裕二	東京工業大学 東京医科歯科大学	ワイヤレス給電による Ir/IrOx pH センサモジュール	平成 31 年度生体医歯工学共同研究拠点成果報告会	2020 年 3 月
78	伊藤研究室	東京工業大学	IoT/AI 時代に向けた低電圧・低電力 RF CMOS 集積回路/モジュールに関する研究開発	Microwave Workshops & Exhibition MWE 2019, 大学展示	2020 年 11 月
79	ZiXuan LI, Chindanai RATANAP ORNCHAR OEN, Miyuki TABATA, Yuji MIYAHAR A, Hiroyuki ITO, Noboru ISHIHARA	東京工業大学 東京医科歯科大学	Battery-less Wireless Ir/IrOx pH Sensor Module using RF Resonant Electromagnetic Coupling	The 4 th International Symposium on Biomedical Engineering No.P1-36	2019 年 11 月
80	Zixuan Li, Yifan Wang, Kaede Miyouchi, Noboru Ishihara, Hiroyuki Ito	東京工業大学	Battery-less Wireless Sensor Module using RF Resonant Electromagnetic Coupling	2019 年 電子情報通信学会総合大会、B-18-3	2019/3
81	石原昇	東京工業大学	RF バックスキヤットリングによる低電力ワイヤレスセンシング(Invited)	平成 30 年度生体医歯工学共同研究拠点成果報告会	2019/3
82	石原昇, ZiXuan LI, 伊藤浩之, Chindanai Ratanapor ncharoen, 田畑美幸, 宮原裕二	東京工業大学 東京医科歯科大学	低電力小型ワイヤレス Ir/IrOx pH センサモジュール	平成 30 年度生体医歯工学共同研究拠点成果報告会	2019/3

番号	発表者	所属	タイトル	会議名	発表年月
83	伊藤研究室	東京工業大学	IoT/AI 時代に向けた低電圧・低電力 RF CMOS 集積回路/モジュールに関する研究開発	Microwave Workshops & Exhibition MWE 2019, 大学展示	2018/11
84	Shodai MORITA, Ryo UMEOKA, Taichi TAGUCHI, Hiroyuki ITO, Noboru ISHIHARA / Chindanai RATANAPORNCHAROEN, Miyuki TABATA, Yuji MIYAHARA	東京工業大学 東京医科歯科大学	Low-Power Wireless Ir/IrOx pH Sensor Module using RF Backscattering	The 3 rd International Symposium on Biomedical Engineering No.P1-36	2018/11
85	宮内楓, 田口泰地, 石川洋介, 伊藤浩之, 伊藤浩之, 益一哉, 石原昇	東京工業大学	RF バックスキャットリングによる低電力ワイヤレスセンサ端末モジュールの試作評価結果	2018 年 電子情報通信学会総合大会	2018/3
86	田口泰地, 石川洋介, 宮内楓, 伊藤浩之, 道正志郎, 益一哉, 石原昇	東京工業大学	RF バックスキャットリングによる低電力 CMOS センサインタフェース回路	2018 年 電子情報通信学会総合大会	2018/3
87	石原昇	東京工業大学	振動型エネルギーハバスティングデバイスのため SPICE 系統合設計の検討	第 64 回応用物理学会春季学術講演会	2017/3
88	西尾拓哉	金沢工業大学	3 および 5 導体からなる折返しダイポールアンテナの高インピーダンス	28 年電気関係学会北陸支部連合大会	2016/9/13
89	岩田潤平	金沢工業大学	高効率環境 RF 発電に向けた Hi-Z アンテナと最適化 Gate Controlled Diode を使ったレクテナ試作	2016 年電子情報通信学会ソサイエティ大会	2016/9/23

番号	発表者	所属	タイトル	会議名	発表年月
90	柳原世周	金沢工業大学	整流器を用いるアンテナインピーダンスの推定法の提案	電子情報通信学会 マイクロ波研究会	2016/11/2
91	伊東健治	金沢工業大学	(招待) 高インピーダンスアンテナを用いた高効率レクテナ技術	第 64 回応用物理学会春季学術講演会	2017/3/16
92	伊東健治	金沢工業大学	(招待) 高インピーダンスアンテナを用いた高効率レクテナ技術	2017 年電子情報通信学会総合大会	2017/3/25
93	柳原世周	金沢工業大学	整流器を用いるアンテナインピーダンスの推定法の提案	2017 年電子情報通信学会総合大会	2017/3/25
94	古田貴大	金沢工業大学	CFDA を用いた 500MHz 帯小形レクテナ	2017 年電子情報通信学会総合大会	2017/3/25
95	笹井香菜	神戸大学	光量積分回路を用いた低消費電力光電式容積脈波センサ	第 36 回センサ・マイクロマシンと応用システムシンポジウム	2019/11
96	渡辺大輔	神戸大学	ウェアラブル生体情報センサのための学習推論アルゴリズムの検討	ヘルスケア・医療情報通信技術研究会	2019/11
97	笹井香菜	神戸大学	A Low-Power Photoplethysmography Sensor using Correlated Double Sampling and Reference Readout Circuit	IEEE SENSORS	2019/10
98	和泉慎太郎	神戸大学	[奨励講演] ウェアラブル生体情報計測における計測精度とユーザビリティの向上	電子情報通信学会技術研究報告, MICT2017-8 pp.37-41	2017/5
99	和泉慎太郎	神戸大学	(招待講演) 日常生活の常時モニタリングを実現する生体情報計測技術	第 33 回「センサ・マイクロマシンと応用システム」シンポジウム	2016/10
100	丸藤竜之介	(株)東芝	AN INTERMITTENT FREE-VIBRATION MEMS GYROSCOPE ENABLED BY CATCH-AND-RELEASE MECHANISM FOR LOW-POWER AND FAST-STARTUP APPLICATIONS	IEEE MEMS 2017, Las Vegas, NV 89103 USA, 2017/1/22-26	2017/1/22
101	丸藤竜之介	(株)東芝	A CATCH-AND-RELEASE DRIVE MEMS GYROSCOPE WITH ENHANCED SENSITIVITY BY MODEMATCHING	IEEE Inertial Sensors 2017, Kauai, Hawaii, USA, 2017/3/28-30	2017/3/28
102	前田舜太	(株)東芝	間欠駆動型 MEMS ジャイロセンサにおけるキャッチ及びリリース条件の最適化検討	第 34 回「センサ・マイクロマシンと応用システム」シンポジウム、広島国際会議場、2017/10/31~11/2	2017/10/31

番号	発表者	所属	タイトル	会議名	発表年月
103	丸藤竜之介	(株)東芝	A MEMS RATE INTEGRATING GYROSCOPE BASED ON CATCH-AND-RELEASE MECHANISM FOR LOW-NOISE CONTINUOUS ANGLE MEASUREMENT	IEEE MEMS 2018 BELFAST, UK, 2018/1/21-25	2018/1/21
104	丸藤竜之介	(株)東芝	A Catch-and-Release Drive MEMS gyroscope for Low-Power Applications	ICEP2019, 新潟朱鷺メッセ, 2019年4月17日~4月19日	2019/4/19
105	湯澤亜希子	(株)東芝	A 3-AXIS CATCH-AND-RELEASE GYROSCOPE WITH PANTOGRAPH VIBRATION FOR LOW-POWER AND FAST START-UP APPLICATIONS	Transducers 2019, Berlin, Germany, 2019/6/23-27	2019/6/23
106	湯澤亜希子	(株)東芝	超低消費電力間欠駆動型 MEMS 3軸ジャイロセンサの実証	第36回センサシンポジウム、アクトシティ浜松、2019年11月19日~2019年11月21日	2019/11/12
107	丸藤竜之介	(株)東芝	A COMPACT MICROCONTROLLER-BASED MEMS RATE INTEGRATING GYROSCOPE MODULE WITH AUTOMATIC ASYMMETRY CALIBRATION	IEEE-MEMS2020, バンクーバー, 2020年1月18日~22日	2020/1/18
108	加治志織	(株)東芝	A <100 PPB/K FREQUENCY-MATCHING TEMPERATURE STABILITY MEMS RATE INTEGRATING GYROSCOPE ENABLED BY DONUT-MASS STRUCTURE	IEEE-MEMS 2020, バンクーバー, 2020年1月18日~22日	2020/1/18
109	小野大騎	(株)東芝	Demonstration of Trajectory Estimation using A Mobile MEMS Rate Integrating Gyroscope Module	IEEE International Symposium on Inertial Sensors and Systems (INERTIAL 2020), グランドプリンスホテル広島, 2020年3月23日~2020年3月26日	2020/3/25

(b) 新聞・雑誌等への掲載

番号	所属	タイトル	新聞・雑誌名	発表年月
1	東京工業大学	世界最小電力で動作する BLE 無線機を開発 - デジタル化で実現、IoT の普及を加速 -	プレスリリース	2018/2/12

番号	所属	タイトル	新聞・雑誌名	発表年月
2	東京工業大学	極低消費電力のデジタル位相同期回路を開発-IoT 社会を支える電子部品-	プレスリリース	2019/2/7
3	東京工業大学	265μW で動作する新型デジタル PLL を開発-エネルギー効率の高いシステムの実現に貢献-	プレスリリース	2019/2/17
4	(株)東芝	超低消費電力センサ向け SiGe-MEMS 技術の開発	東芝研究開発センター RDCレポート (Web 公開) 2019 年 3 月号	2019/3/10
5	(株)東芝	角度を直接検出する高精度ジャイロセンサの小型モジュールを開発	プレスリリース	2019/1/9

(c) 展示会への出展

番号	所属	タイトル	展示会名	発表年月
1	(株)デバイス&システム・プラットフォーム開発センター	超スマート社会に向けて 超低消費電力 IoT データ収集システム	CEATEC JAPAN 2017	2017/9/28
2	(株)デバイス&システム・プラットフォーム開発センター	エネルギーハーベスティング支援ツール "Ekologia"	第 8 回 IoT/M2M 展[春]、 東京ビッグサイト 2019 年 4 月 10 日~12 日	2019/4/10
3	(株)デバイス&システム・プラットフォーム開発センター	環境発電対応(エネルギーハーベスティングによる動作) 回転機器予知 保全ソリューション	"ET 2019 (Embedded Technology 2019) ", "IoT Technology 2019", パシフィコ横浜、2019/11/20~22	2019/11/20
4	(株)東芝	超低消費電力 MEMS ジャイロセンサ	東芝グループ社内展示会 (顧客向け)	2017/3/10
5	(株)東芝	慣性センサと無線の融合による位置 推定技術	東芝社内の特定期間向け展示会、2020/2/20~21	2020/2/20
6	(株)デバイス&システム・プラットフォーム開発センター	回転機器状態監視ソリューション Vibnexus	CEATEC 2020 ONLINE	2020/10/20 ~23

◎研究開発テーマ「トリリオンノード・エンジンの研究開発」

【特許】

番号	出願者	出願番号	国内 外国 PCT	出願日	状態	名 称	発明者
1	東芝デバイス&ストレージ	特願 2019-169209	国内	2019/09/18	公開	清掃キット及び収納キット	阿川謙一、 二宮良次、 滝澤稔
2	東芝デバイス&ストレージ	特願 2018-154779 16/292505	国内 米国	2018/8/21	公開 公開	コネクタ及び積層基板モジュール	阿川謙一、 滝澤稔
3	東芝デバイス&ストレージ	特願 2018-004773	国内	2018/1/16	公開	中間基板及び積層プリント基板	阿川謙一、 二宮良次
4	一般社団法人 生産技術研究奨励会	特願 2018-116019	国内	2018/6/19	公開	電気装置	桜井貴康貴 高宮真 森時彦
5	一般社団法人 生産技術研究奨励会	特願 2018-563950	国内	2018/11/26	公開	電気装置	桜井貴康貴 高宮真 森時彦

【論文】

番号	発表者	所属	タイトル	発表誌名、ページ番号	査読	発表年月
1	桜井貴康	東京大学 大学院工学系研究 科電気系工学専攻	Trillion-node engine: open-innovation IoT/CPS platform—pioneering future of IoT/CPS for everyone, by everyone	Japanese Journal of Applied Physics	無	2020/3/4
2	館洞康平	慶應義塾大学 理工 学研究科 電子工学 科 石黒研究室	DCDC コンバータ ソフトウェア的な電圧同期サンプリング 間欠動作 小型 IoT デバイス 省電力	IEEE sensors2019	無	2019 年

【外部発表】

(a) 学会発表・講演

番号	発表者	所属	タイトル	会議名	発表年月
1	阿川謙一	東芝デバイス&ストレージ	Connection Structure Using Rubber Connectors in the IoT Edge Platform, Trillion Node Engine]	ICSJ 2018 (IEEE CPMT Symposium Japan)	2018/11/19
2	阿川謙一	東芝デバイス&ストレージ	「はんだがいらない組立構造の IoT トリリオンノード・エンジンの研究」	JIEP ワークショップ 2018	2018/10/11
3	阿川謙一	東芝デバイス&ストレージ	「IoT エッジプラットフォーム”トリリオンノード・エンジン”におけるゴムコネクタ接続構造の研究」	MES 2018 (第 28 回 マイクロエレクトロニクスシンポジウム)	2018/9/7

番号	発表者	所属	タイトル	会議名	発表年月
4	図研	技術本部 EL 開発部	進化する CR-8000 : 3D だから、ここまで出来る！エレメカ協調による基板設計	部品内蔵技術委員会 2020 年度 第 1 回 公開研究会	2020/6
5	図研	技術本部 EL 開発部	システム設計 (MBSE/MBD) を見据えたモジュール化設計の検討とアディティブ・マニファクチャリング技術の活用	エレクトロニクス実装技術	2020/6
6	図研	EDA 事業部 EL 開発部	システム設計 (MBSE/MBD) を見据えたモジュール化設計とアディティブ・マニファクチャリング向け設計環境の検討	第 34 回エレクトロニクス実装学会講演大会	2020/3
7	図研	EDA 事業部 EL 開発部	Prototyping IoT modules and assembling by additive manufacturing	16th International Conference and Exhibition on DEVICE PACKAGING	2020/3
8	図研	EDA 事業部 EL 開発部	アディティブ・マニファクチャリング、MID、FO-WLP、三次元積層など最先端実装技術のための設計環境	修善寺ワークショップ	2019/10
9	図研	EDA 事業部 EL 開発部	アディティブ・マニファクチャリング技術を活用した Arduino フル互換リーフモジュールの設計	第 30 回マイクロエレクトロニクスシンポジウム 秋季大会	2019/9
10	図研	EDA 事業部 EL 開発部	トリオンノード・エンジンを使った実践教育の可能性	実践教育研究発表会	2019/8
11	図研	EDA 事業部 EL 開発部	3D プリントを応用した立体回路基板のための設計環境	エレクトロニクス実装技術	2019/6
12	図研	EDA 事業部 EL 開発部	三次元電子モジュールの国際標準化	プリント配線板 EXPO2017 PWB-6	2017/1
13	相部範之	SUSUBOX	VRChat と動画ストリーミング配信を用いたワークショップの VR 配信の可能性について	電子情報通信学会 第 44 回サイバーワールド(CW)研究会, 中央大学	2020/3/3
14	相部範之	SUSUBOX	トリオンノード・エンジンの研究開発	電子情報通信学会 2018 年ソサイエティ大会 依頼シンポジウムセッション	2018/9/13
15	相部範之	SUSUBOX	FPGA-CAFE のその後とメイカーズ向け IoT プラットフォーム	CEATEC PD プラザ (FPGA コンソーシアム主催)	2017/10/5
16	相部範之	SUSUBOX	トリオンノード・エンジンが創るオープンイノベーションの未来	Zuken Innovation World 2016 Yokohama	2016/10/13
17	桜井貴康	東京大学 大学院工学系研究科、特任 (上席) 研究員 (東京大学 生産技術研究所 名誉教授)	IoT 向けオープンイノベーション・プラットフォーム「Leafony」	【チップワンストップ オンライン展示会 2020 春】ウェビナー	2020/6/9

番号	発表者	所属	タイトル	会議名	発表年月
18	桜井貴康	東京大学 大学院工学系研究科電気系工学専攻	シーズ発掘と社会実装に向けた発展的展開（先導研究プログラム成果報告会/エネ環成果報告会）での講演報告 トリオンノードの実現に向けての先導研究	エネ環成果報告会 2019 講演報告 [詳細：シーズ発掘と社会実装に向けた発展的展開（先導研究プログラム成果報告会/エネ環成果報告会）]	2020/2/20
19	桜井貴康	東京大学 大学院工学系研究科電気系工学専攻	チップとアプリ・サービスをつなぐオープンプラットフォーム Leafony	AI チップ設計拠点フォーラムでの講演	2020/1/31
20	桜井貴康	東京大学 大学院工学系研究科電気系工学専攻	ew movement of digital gate technology toward network connected PE system	2nd New-generation Power Electronics Symposium（国際ワークショップ）での講演	2020/1/29
21	桜井貴康	東京大学 大学院工学系研究科電気系工学専攻	「トリオンノード・エンジン」が創るオープンイノベーション・プラットフォーム -みんなで作る IoT/CPS の未来-	EPFC 講演	2020/1/14
22	桜井貴康	東京大学 大学院工学系研究科電気系工学専攻	センサとアプリ、サービスを繋ぐオープンプラットフォーム	第1回 センシングシステムシンポジウム での講演	2019/12/10
23	森時彦	東京大学 大学院工学系研究科電気系工学専攻	トリオンノード・エンジンの開発と実証実験	IoT ワークショップ「センシング・エッジによる IoT 革新的ビジネスの潮流」/2019 年度第1回 産業・インフラ向け IoT デバイス・システムの進展と活用事例での講演	2019/11/27 ~28
24	桜井貴康	東京大学 大学院工学系研究科電気系工学専攻	デバイスや技術をアプリ・サービスに繋ぐオープンソース・プラットフォーム Leafony	FMIT 講演	2019/11/25
25	桜井貴康	東京大学 大学院工学系研究科電気系工学専攻	IoT 人材育成~Things を駆使して答えの得られていない課題に立ち向かえる人材を創る~	ET&IoT Technology2019 パネルディスカッション	2019/11/22
26	森時彦	東京大学 大学院工学系研究科、学術支援専門員	「トリオンノード・エンジン」が創るオープンイノベーション・プラットフォーム -みんなで作る IoT/CPS の未来-	エレクトロニクス実装学会 ワークショップ 修善寺ワークショップ(WS)での講演	2019/10/24 ~25
27	桜井貴康	東京大学 大学院工学系研究科電気系工学専攻	IoT システムを簡単に創れるプラットフォーム「Leafony」を 一般公開	記者会見	2019/9/25
28	桜井貴康	東京大学 大学院工学系研究科電気系工学専攻	「Leafony プラットフォームが拓くナノコン・オープンイノベーションの未来」	MCPC 勉強会での講演	2019/9/19

番号	発表者	所属	タイトル	会議名	発表年月
29	桜井貴康	東京大学 大学院工学系研究科電気系工学専攻	[M-1-01 (Invited)] Trillion-Node Engine: Open-Innovation IoT/CPS Platform-Pioneering Future of IoT for Everyone, by Everyone -	招待講演	2019/9/3
30	桜井貴康	東京大学 大学院工学系研究科電気系工学専攻	トリオンノード・エンジンの概況	2019 年度第一回トリオンノード研究会での講演	2019/8/30
31	中川修哉	慶應義塾大学理工学部 電子工学科 石黒研究室	「トリオンノード・エンジン」が創るオープンイノベーション・プラットフォーム トリオンデバイスにおける WebBluetooth の活用について (仮題)	電気情報通信学会主催、2019 年集積回路研究会における研究発表	2019/7/10 ~12
32	桜井貴康	東京大学 大学院工学系研究科	「トリオンノード・エンジン」が創るオープンイノベーション・プラットフォーム -みんなで作る IoT/CPS の未来-	慶応大学 SFC、学会講演 主題【IoT センサ開発の最前線と産業応用への展望】	2019/6/14
33	桜井貴康	東京大学 大学院工学系研究科	「トリオンノード・エンジン」が創るオープンイノベーション・プラットフォーム -みんなで作る IoT/CPS の未来-	一般社団法人エレクトロニクス実装学会主催、最先端実装技術シンポジウム講演	2019/6/7
34	桜井貴康	東京大学 生産技術研究所 第3部	「トリオンノード・エンジン」が創るオープンイノベーション・プラットフォーム	EHC 総会	2018/12/14
35	桜井貴康	東京大学 生産技術研究所 第3部	「トリオンノード・エンジン」が創るオープンイノベーション・プラットフォーム	MCPC 技術委員会	2018/12/7
36	桜井貴康	東京大学 生産技術研究所 第3部	「Connection Structure Using Rubber Connectors in the IoT Edge Platform, Trillion Node Engine」	ICSJ 2018 (IEEE CPMT Symposium Japan)	2018/11/19
37	桜井貴康	東京大学 生産技術研究所 第3部	「トリオンノード・エンジン」が創るオープンイノベーション・プラットフォーム	産総研 WS (早大)	2018/11/12
38	桜井貴康	東京大学 生産技術研究所 第3部	「トリオンノード・エンジン」が創るオープンイノベーション・プラットフォーム	エレクトロニクス実装学会	2018/10/ 12
39	桜井貴康	東京大学 生産技術研究所 第3部	「はんだがいない組立構造の IoT トリオンノード・エンジンの研究」	JIEP ワークショップ 2018	2018/10/11
40	桜井貴康	東京大学 生産技術研究所 第3部	トリオンノード・エンジンの研究開発	電子情報通信学会 2018 年ソサイエティ大会 依頼シンポジウムセッション	2018/9/13
41	桜井貴康	東京大学 生産技術研究所 第3部	「IoT エッジプラットフォーム“トリオンノード・エンジン”におけるゴムコネクタ接続構造の研究」	MES 2018 (第 28 回 マイクロエレクトロニクスシンポジウム)	2018/9/7

番号	発表者	所属	タイトル	会議名	発表年月
42	桜井貴康	東京大学 生産技術研究所 第 3部	「トリオンノード・エンジン」が創る オープンバージョン・プラットフォーム	平成 31 年度第 1 回トリオン ノード研究会	2018/7/3
43	桜井貴康	東京大学 生産技術研究所 第 3部	「トリオンノード・エンジン」が創る オープンバージョン・プラットフォーム	ハッカソン	2018/8/31
44	桜井貴康	東京大学 生産技術研究所 第 3部	「トリオンノード・エンジン」が創る オープンバージョン・プラットフォーム	EHC 総会	2018/6/29
45	桜井貴康	東京大学 生産技術研究所 第 3部	「トリオンノード・エンジン」が創る オープンバージョン・プラットフォーム	2018 年度第 1 回トリオンノ ード研究会	2018/6/28
46	桜井貴康	東京大学 生産技術研究所 第 3部	「トリオンノード・エンジン」が創る オープンバージョン・プラットフォーム	MCPC 勉強会	2018/6/14
47	桜井貴康	東京大学 生産技術研究所 第 3部	「トリオンノード・エンジン」が創る オープンバージョン・プラットフォーム	生産技術研究所	2018/6/8
48	桜井貴康	東京大学 生産技術研究所 第 3部	「トリオンノード・エンジン」が創る オープンバージョン・プラットフォーム	ナノコン WG	2018/4/20
49	桜井貴康	東京大学 生産技術研究所第 3部	「トリオンノード・エンジン」が創る オープンバージョン・プラットフォーム	エッジコンソーシアム	2017/12/12
50	桜井貴康	東京大学 生産技術研究所第 3部	「トリオンノード・エンジン」が創る オープンバージョン・プラットフォーム	モノづくり日本会議	2017/11/10
51	桜井貴康	東京大学 生産技術研究所第 3部	「トリオンノード・エンジン」が創る オープンバージョン・プラットフォーム	JEITA 講演	2017/10/6
52	桜井貴康	東京大学 生産技術研究所第 3部	FPGA-CAFE のその後とメーカーズ向 け IoT プラットフォーム	CEATEC PD プラザ FPGA コン ソーシアム主催	2017/10/5
53	桜井貴康	東京大学 生産技術研究所第 3部	社会に実装される NEDO の IoT 技 術 ～社会をつなぐ、未来へ紡ぐ～	CEATEC JAPAN 2017 CEATEC JAPAN 実施協議会 他 主催	2017/10/3 ～6
54	桜井貴康	東京大学 生産技術研究所第 3部	「トリオンノード・エンジン」が創るオー プンバージョン・プラットフォーム	エレクトロニクス実装学会最先端 実装技術シンポジウム	2017/6/9

番号	発表者	所属	タイトル	会議名	発表年月
55	桜井貴康	東京大学 生産技術研究所第 3部	IoT時代のイノベーションを加速する、個人の創造力と先端的な量産技術との懸け橋に	http://www.zuken.co.jp/ir/upload_images/AR2017_J.pdf	2017/6/1
56	桜井貴康	東京大学 生産技術研究所第 3部	「トリオンノード・エンジン」が創るオープンイノベーション・プラットフォーム	Zuken Innovation World 2016	2016/10/13
57	桜井貴康	東京大学 大学院工 学系研究科電気系 工学専攻	「トリオンノード・エンジン」が創るオープンイノベーション・プラットフォーム - みんなで作るIoT/CPSの未来 -	2020年度第1回トリオンノード研究会での講演	2020/8/31
58	桜井貴康	東京大学 大学院工 学系研究科電気系 工学専攻	IoT/CPS向けオープン・プラットフォーム「Leafony」の進展	チップワンストップ主催ウェビナー	2020/10/6
59	桜井貴康	東京大学 大学院工 学系研究科電気系 工学専攻	IoTの新しい応用やサービスをみんな で開拓するオープン・プラットフォーム 「Leafony」の事例紹介	I-TOP 横浜 プロジェクト創出 事務局（事務局運営機関： 三菱UFJリサーチ&コンサルティング株式会社）主催ウェビナー	2020/10/8
60	桜井貴康	東京大学 大学院工 学系研究科電気系 工学専攻	Leafony が拓く IoT の未来	JMID ウェビナー 日本 MID 協会 主催	2020/11/13
61	桜井貴康	東京大学 大学院工 学系研究科電気系 工学専攻	～Leafony（リーフォニー）、みんな で創る IoT の未来～	東京都 IoT 研究会セミナー （ウェビナー） 東京都立産業技術研究セン ター 主催	2020/12/4
62	阿川 謙一	東芝デバイス&スト レージ	「IoT エッジプラットフォーム“トリオン ノード・エンジン”における ゴムコネクタ接続構造のピン数拡張」	MES 2020（第30回マイク ロエレクトロニクスシンポジウム）	2020/9/17 ～18
63	松澤浩彦	図研	超小型/コイン電池で動く IoT プラ ットフォーム「Leafony」	2020実践教育研究発表 会	2020/9
64	長谷川清久	図研	第4次産業革命対応基礎研修① 職業訓練指導員のための第4次産 業革命の考え方	職業能力開発総合大学校	2020/9
65	長谷川清久	図研	「電子機器が作れる複合 3D プリ ンター」向け設計環境	第30回マイクロエレクトロニクス シンポジウム 秋季大会（論 文）	2020/9
66	長谷川清久	図研	電子機器が作れる 3D プリンター FPM-Trinity のご紹介～3D デバイ スのデジタルファブリケーション～	株式会社 F U J I 主催 Webinar	2020/7
67	松澤浩彦	図研	「情報と職業」	埼玉大学（前期）「情報と職 業」IT系の職業に関する講義	2020/7
68	相部範之	SUSUBOX	VRChatと動画ストリーミング配信を 用いたワークショップの VR 配信の可 能性について	電子情報通信学会 第44回 サイバーワールド(CW)研究会	2020/3/3

(b) 新聞・雑誌等への掲載

番号	所属	タイトル	掲載誌名	発表年月
1	東芝デバイス&ストレージ	IoT エッジプラットフォーム“トリオンノード・エンジン”プロジェクト	東芝デバイス&ストレージホームページ テクニカルレビュー	2019/5
2	東芝インフラシステムズ	第2回 MCPC ナノコン応用推進WGの取り組み ～ハッカソン開催とハトブック発行～	図研メルマガ「Club-Z」	2019/11/28
3	図研	第1回「Leafony プラットフォーム」が遂に一般公開！	図研メルマガ「Club-Z」	2019/9/26
4	図研	第2回 MCPC ナノコン応用推進WGの取り組み ～ハッカソン開催とハトブック発行～	図研メルマガ「Club-Z」	2019/11/28
5	図研	第3回 半導体作りの「手軽に、早く」を目指す、ミニマルファブ構想との親和性	図研メルマガ「Club-Z」	2020/1/30
6	図研	第4回 どんどん充実、会員皆で考える「Leafony 活用事例」がアツい！	図研メルマガ「Club-Z」	2020/3/26
7	図研	第5回：電子工作ナレッジの共有サイトから、イノベーションを起こしたい！	図研メルマガ「Club-Z」	2020/4/15
8	図研	第6回：Leafony bus に準拠した加速度センサ基板のご紹介	図研メルマガ「Club-Z」	2020/5/28
9	図研	第7回：Leafony を用いたデータロガーシステムの構築 -学生たちが挑む企画から製品化まで-	図研メルマガ「Club-Z」	2020/6/11
10	東京大学 大学院工学系研究科電気系工学専攻	トリオンノード・エンジンの研究開発「IoT アプリの開発促進」	日刊工業新聞	2020/3/12
11	東京大学 大学院工学系研究科電気系工学専攻	Premier ANALOG 第7号 P41「センサー1 兆個時代に向けてアイデア実装を加速するトリオンノード・プラットフォーム」	アナログ・デバイスズ(株)	2020年
12	東京大学 生産技術研究所 第3部	「IoT 装置 簡単に作製 東大・東芝など、キット開発」	日経産業新聞	2018/12/4
13	東京大学 生産技術研究所 第3部	「トリオンノード研究会」モノづくりに新風、自由な発想で製作	電子デバイス新聞	2018/5/10

(c) 展示会への出展

番号	所属	タイトル	展示会名	発表年月
1	東芝デバイス&ストレージ	社会に実装される NEDO の IoT 技術 ～社会をつなぐ、未来へ紡ぐ～	CEATEC JAPAN 2017 CEATEC JAPAN 実施協議会 他 主催	2017/10/3 ～6
2	東芝インフラシステムズ	トリリオンノード・エンジンの開発と実証実験	IoT ワークショップ「センシング・エッジによる IoT 革新的ビジネスの潮流」/2019 年度第 1 回 産業・インフラ向け IoT デバイス・システムの進展と活用事例での講演	2019/11/27 ～28
3	図研	IoT センサモジュール向け設計環境、電子デバイスプリンター向け設計環境	インターネットコン、半導体・センサパッケージング技術展	2020 年 1 月
4	図研	はんだ付け不要で組立てできる IoT センサモジュールのプロトタイプング～アディティブ・マニファクチャリング技術を使ったセンサモジュールの試作～	日本 EDA ベンチャー連絡会 (JEVeC)	2019 年 12 月
5	図研	トリリオンノード・エンジンの開発と実証実験	IoT ワークショップ「センシング・エッジによる IoT 革新的ビジネスの潮流」/2019 年度第 1 回 産業・インフラ向け IoT デバイス・システムの進展と活用事例での講演	2019/11/27 ～28
6	図研	アディティブ・マニファクチャリングを使ったセンサーフの設計・試作・評価	2019 年度第 1 回 産業・インフラ向け IoT デバイス・システムの進展と活用事例	2019 年 11 月
7	図研	社会に実装される NEDO の IoT 技術 ～社会をつなぐ、未来へ紡ぐ～	CEATEC JAPAN 2017 CEATEC JAPAN 実施協議会 他 主催	2017/10/3 ～6
8	SUSUBOX	トリリオンノード・エンジンの開発と実証実験	IoT ワークショップ「センシング・エッジによる IoT 革新的ビジネスの潮流」/2019 年度第 1 回 産業・インフラ向け IoT デバイス・システムの進展と活用事例での講演	2019/11/27 ～28
9	SUSUBOX	社会に実装される NEDO の IoT 技術 ～社会をつなぐ、未来へ紡ぐ～	CEATEC JAPAN 2017 CEATEC JAPAN 実施協議会 他 主催	2017/10/3 ～6

番号	所属	タイトル	展示会名	発表年月
10	東京大学 大学院工学系研究科 電気系工学専攻	トリオンノード・エンジンの開発と実証実験	IoT ワークショップ「センシング・エッジによる IoT 革新的ビジネスの潮流」/2019 年度第 1 回産業・インフラ向け IoT デバイス・システムの進展と活用事例での講演	2019/11/27 ～28
11	東京大学 生産技術研究所第 3 部	社会に実装される NEDO の IoT 技術 ～社会をつなぐ、未来へ紡ぐ～	CEATEC JAPAN 2017 CEATEC JAPAN 実施協議会 他 主催	2017/10/3 ～6
12	東芝インフラシステムズ	トリオンノード・エンジンを用いたセキュア IoT システムのご提案	第 1 回トリオンノード研究会	2020/8/31
13	東芝インフラシステムズ	指紋認証でイフる	ifLink オープンコミュニティフェスティバル	2020/8/31
14	東京大学 大学院工学系研究科 電気系工学専攻	社会に実装される NEDO の IoT 技術 ～つながる社会、共創する未来～ トリオンノードエンジンの研究開発	CEATEC JAPAN 2020 CEATEC JAPAN 実施協議会 他 主催	2020/10/20～23

◎研究開発テーマ「高速ストレージクラスメモリを用いた極低消費電力ヘテロジーニアス分散ストレージサーバシステムの研究開発」

【特許】

番号	出願者	出願番号	国内 外国 PCT	出願日	状態	名 称	発明者
1	富士通	特願 2017-068585	国内 外国	2017/3/30	公開	情報処理装置、方法、及びプログラム	風間哲, 桑村慎哉, 吉田英司, 小川淳二
2	富士通	特願 2018-093154	国内 外国	2018/5/14	公開	メモリ制御装置、メモリ制御プログラムおよびメモリ制御方法	風間哲, 桑村慎哉
3	富士通	特願 2019-006936	国内 外国	2019/1/18	公開	情報処理装置、記憶制御装置および記憶制御プログラム	風間哲
4	富士通	特願 2020-042130	国内 外国	2020/3/11	出願	情報処理装置およびメモリ制御プログラム	風間哲, 桑村慎哉

【論文】

番号	発表者	所属	タイトル	発表誌名、ページ番号	査読	発表年月
1	Chihiro Matsui, Tomoaki Yamada, Yusuke Sugiyama, Yusuke Yamaga and Ken Takeuchi	中央大学	Optimal memory configuration analysis on tri-hybrid solid-state drive with storage class memory (SCM) and multi-level cell (MLC)/triple-level cell (TLC) NAND flash memory	Japanese Journal of Applied Physics (JJAP), vol. 56, no. 4S, pp. 04CE02	有	2017/4
2	Tomoaki Yamada, Chihiro Matsui and Ken Takeuchi	中央大学	Workload-Based Co-design of Non-Volatile Cache Algorithm and Storage Class Memory Specifications for Storage Class Memory/NAND Flash Hybrid SSDs	IEICE Transactions on Electronics, vol. E100-C, no. 4, pp. 373-381	有	2017/4
3	Chihiro Matsui, Chao Sun and Ken Takeuchi	中央大学	Design of Hybrid SSDs with Storage Class Memory and NAND Flash Memory	Proceedings of the IEEE, vol. 105, no. 9, pp. 1812-1821	有	2017/9
4	Chihiro Matsui, Reika Kinoshita and Ken Takeuchi	中央大学	Analysis on applicable ECC strength of SCM and NAND flash in hybrid storage	Japanese Journal of Applied Physics (JJAP), vol. 57, no. 4S, pp. 04FE01	有	2018/4
5	Yukiya Sakaki, Tomoaki Yamada, Chihiro Matsui, Yusuke Yamaga and Ken Takeuchi	中央大学	Performance analysis of 3D-triple-level cell and 2D multi-level cell NAND flash hybrid solid-state drives	Japanese Journal of Applied Physics (JJAP), vol. 57, no. 4S, pp. 04FE03	有	2018/4

番号	発表者	所属	タイトル	発表誌名、ページ番号	査読	発表年月
6	Yusuke Yamaga, Chihiro Matsui, Yukiya Sakaki and Ken Takeuchi	中央大学	Reliability Analysis of Scaled NAND Flash Memory based SSDs with Real Workload Characteristics by Using Real Usage-Based Precise Reliability Test	IEICE Transactions on Electronics, vol. E101-C, no. 4, pp. 243-252	有	2018/4
7	Hirofumi Takishita, Yutaka Adachi, Chihiro Matsui and Ken Takeuchi	中央大学	Analysis of SCM-based SSD Performance in Consideration of SCM Access Unit Size, Write/Read Latencies and Application Request Size	IEICE Transactions on Electronics, vol. E101-C, no. 4, pp. 253-262	有	2018/4
8	Chihiro Matsui and Ken Takeuchi	中央大学	Dynamic Adjustment of Storage Class Memory (SCM) Capacity in Memory-Resource Disaggregated Hybrid Storage with SCM and NAND Flash Memory	IEEE Transactions on VLSI Systems, vol. 27, no. 8, pp. 1799-1810	有	2019/8
9	Chihiro Matsui and Ken Takeuchi	中央大学	Step-by-Step Design of Memory Hierarchy for Heterogeneously-integrated SCM/NAND Flash Storage	Integration, the VLSI Journal, vol. 69, pp. 62-74	有	2019/8
10	Kazuyuki Shudo, Yuya Kato, Takahiro Sugino, Masatoshi Hanai	東京工業大学	Parallel Discrete-Event Simulation on Data Processing Engines	Proc. IEEE/ACM DS-RT 2016, pp.69-76	有	2016/9/21 ~23
11	Takafumi Kawaguchi, Ryohei Banno, Masashi Hojo, Masaaki Ohnishi, Kazuyuki Shudo	東京工業大学	Self-Refining Skip Graph: Skip Graph Approaching to an Ideal Topology	Proc. 14 th IEEE CCNC 2017, pp.441-448	有	2017/1/8 ~11

番号	発表者	所属	タイトル	発表誌名、ページ番号	査読	発表年月
12	青木優介, 大西真晶, 首藤一幸	東京工業大学	Ballistic Skip Graph: Skip Graph 型定数次数構造化オーバーレイ	電子情報通信学会 技術研究報告, Vol.116, No.490, pp.197-202	無	2017/3/3~4
13	大西真晶, 首藤一幸	東京工業大学	Skip Delaunay network 上の1 ホップ通知群を用いた ID/Locator 解決システムの検討	電子情報通信学会 技術研究報告, Vol.116, No.490, pp.191-196	無	2017/3/3~4
14	岩崎謙汰, 首藤一幸	東京工業大学	後戻りなし Metropolis-Hastings Random Walk によるソーシャルネットワークのグラフサンプリング	DEIM 2017 予稿集	無	2017/3/6~8
15	高橋良希, 首藤一幸	東京工業大学	P2P ネットワーク上のデータに対する偏りのない機械学習手法	DEIM 2017 予稿集	無	2017/3/6~8
16	松村俊樹, 岩崎謙汰, 首藤一幸	東京工業大学	ランダムウォークを用いたソーシャルネットワークの平均距離推定	DEIM 2017 予稿集	無	2017/3/6~8
17	Kazuyuki Shudo	東京工業大学	Message Bundling on Structured Overlays	Proc. IEEE ISCC 2017, pp.424-431	有	2017/7/3~6
18	Kazuyuki Shudo, Takashi Yaguchi	東京工業大学	Causal Consistency for Data Stores and Applications as They are	Journal of Information Processing (JIP), Vol.25 (2017), pp.775-782	有	2017/8/15
19	Kenta Iwasaki, Kazuyuki Shudo	東京工業大学	Estimating the Clustering Coefficient of a Social Network by a Non-Backtracking Random Walk	Proc. IEEE BigComp2018, pp.114-118	有	2018/1/15 ~18
20	Toshiki Matsumura, Kenta Iwasaki, Kazuyuki Shudo	東京工業大学	Average Path Length Estimation of Social Networks by Random Walk	Proc. IEEE BigComp2018, pp.611-614	有	2018/1/15 ~18
21	大西真晶, 大和田泰伯, 首藤一幸	東京工業大学	Inter mesh network : 無線メッシュ網間相互接続による広域網の検討	電子情報通信学会 技術研究報告, Vol.117, No.239, IA2017-21, pp.13-18	無	2017/10/13
22	中嶋一貴, 岩崎謙汰, 松村俊樹, 首藤一幸	東京工業大学	ランダムウォークを用いた媒介中心性上位ノードの推定	DEIM 2018 予稿集	無	2018/3/ 4~6

番号	発表者	所属	タイトル	発表誌名、ページ番号	査読	発表年月
23	岩崎謙汰, 首藤一幸	東京工業大学	クエリ数に着目したグラフサンプリング手法の比較	DEIM 2018 予稿集	無	2018/3/ 4~6
24	松村俊樹, 首藤一幸	東京工業大学	グラフ構造の成長と減退を表す指標の提案	日本ソフトウェア学会 第35回大会講演論文集	無	2018/8/31
25	高橋賢, 首藤一幸	東京工業大学	周波数に着目した Adversarial Examples に対する頑健性の向上	日本ソフトウェア学会 第35回大会講演論文集	無	2018/8/31
26	高橋良希, 浅原理人, 首藤一幸	東京工業大学	複数の機械学習実装にまたがって予測モデルを探索する分散処理フレームワーク	日本ソフトウェア学会 第35回大会講演論文集	無	2018/8/31
27	Yusuke Aoki, Masaaki Ohnishi, Kazuyuki Shudo	東京工業大学	Ballistic Skip Graph: A Skip Graph-Style Constant-Degree Structured Overlay	Proc. IEEE ISCC 2018	有	2018/6/27
28	Kenta Iwasaki, Kazuyuki Shudo	東京工業大学	Comparing Graph Sampling Methods Based on the Number of Queries	Proc. IEEE SocialCom 2018, pp.1136-1143	有	2018/12/11
29	Kazuki Nakajima, Kenta Iwasaki, Toshiki Matsumura, Kazuyuki Shudo	東京工業大学	Estimating Top-k Betweenness Centrality Nodes in Online Social Networks	Proc. IEEE SocialCom 2018, pp.1128-1135	有	2018/12/11
30	Masaaki Ohnishi, Kazuyuki Shudo	東京工業大学	Distributed ID/Locator Resolution System for Inter Mesh Networks	Proc. ICOIN 2019, pp.203-208	有	2019/1/10
31	高橋良希, 首藤一幸	東京工業大学	複数の機械学習手法にまたがって予測モデルを探索する分散処理フレームワーク	DEIM2019 予稿集	無	2019/3/6
32	松村俊樹, 首藤一幸	東京工業大学	自己遷移回数を減らした Metropolis-Hastings Random Walk	DEIM2019 予稿集	無	2019/3/5

番号	発表者	所属	タイトル	発表誌名、ページ番号	査読	発表年月
33	中嶋一貴, 首藤一幸	東京工業大学	プライベートなノードを含むソーシャルネットワークの統計量推定	DEIM2019 予稿集	無	2019/3/5
34	小国英明, 高橋良希, 首藤一幸	東京工業大学	広域分散を想定した深層学習手法の比較	DEIM2019 予稿集	無	2019/3/5
35	金子孟司, 坂野遼平, 青木優介, 首藤一幸	東京工業大学	Detouring Skip Graph: 迂回経路を活用する構造化オーバーレイ	電子情報通信学会 技術研究報告, Vol.118, No.481, IA2018-78, pp.343-350	無	2019/3/8
36	Yoshiki Takahashi, Masato Asahara, Kazuyuki Shudo	東京工業大学	A Framework for Model Search Across Multiple Machine Learning Implementations	Proc. 15h Int'l eScience Conference (eScience 2019), pp.331-338	有	2020/9/25
37	Toshiki Matsumura, Kazuyuki Shudo	東京工業大学	Metropolis-Hastings Random Walk with a Reduced Number of Self-Loops	Proc. IEEE ISPA/BDCloud/Social Com/SustainCom 2019, pp.1468-1475	有	2019/12/16
38	Ryohei Banno, Kazuyuki Shudo	東京工業大学	Skip Suffix Array: A Partial Match Retrieval Method on Structured Overlay Networks	Proc. 34th Int'l Conf. on Information Networking (ICOIN 2020), pp.487-492	有	2020/1/9
39	Takeshi Kaneko, Ryohei Banno, Kazuyuki Shudo, Yusuke Aoki, Kota Abe, Yuuichi Teranishi	東京工業大学	Detouring Skip Graph: A Structured Overlay Utilizing Detour Routes	Proc. 17th IEEE Consumer Communications & Networking Conference (IEEE CCNC 2020)	有	2020/1/11
40	Ryohei Banno, Kazuyuki Shudo	東京工業大学	An Efficient Routing Method for Range Queries in Skip Graph	IEICE Transactions on Informations and Systems, Vol.E103-D, No.03, pp.516-525	有	2020/3/1
41	中嶋一貴, 首藤一幸	東京工業大学	ランダムウォークサンプリングによるソーシャルグラフの復元	DEIM2020 予稿集	無	2020/3/3

番号	発表者	所属	タイトル	発表誌名、ページ番号	査読	発表年月
42	小国英明, 首藤一幸, 高橋良希	東京工業大学	広域分散の非均質性を考慮した 深層学習手法	DEIM2020 予稿集	無	2020/3/4
43	福田萌斐, 中嶋一貴, 首藤一幸	東京工業大学	精度とそのばらつきに着目したグラフ 生成モデルの比較	DEIM2020 予稿集	無	2020/3/4
44	金子孟司, 坂野遼平, 首藤一幸	東京工業大学	double sweep に基づく P2P ネットワークの経路長短縮	電子情報通信学会 技術 研究報告, Vol.119, No.460, NS2019-186, pp.53-58	無	2020/3/5
45	Kazuki Nakajima, Kazuyuki Shudo	東京工業大学	Estimating High Betweenness Centrality Nodes via Random walk in Social Networks	Journal of Information Processing (JIP), Vol.28 (2020)	有	2020/7
46	Ryohei Banno, Kazuyuki Shudo	東京工業大学	Adaptive Topology for Scalability and Immediacy in Distributed Publish/Subscribe Messaging	Proc. 44th IEEE Computer Society Int'l Conference on Computers, Software and Applications (IEEE COMPSAC 2020)	有	2020/7/13 ~17
47	Kazuki Nakajima, Kazuyuki Shudo	東京工業大学	Estimating Properties of Social Networks via Random Walk considering Private Nodes	Proc. 26th ACM SIGKDD Int'l Conf. on Knowledge Discovery & Data Mining (KDD 2020)	有	2020/8/23 ~27

【外部発表】

(a) 学会発表・講演

番号	発表者	所属	タイトル	会議名	発表年月
1	Chihiro Matsui, Yusuke Yamaga, Yusuke Sugiyama and Ken Takeuchi	中央大学	8.9-times Performance Improvement by Tri-Hybrid Storage System with SCM and MLC/TLC NAND Flash Memory	International Conference on Solid State Devices and Materials (SSDM)	2016/9/29
2	竹内健	中央大学	Storage Class Memory/NAND Flash Hybrid Storage System	ImPACT International Symposium on Spintronic Memory, Circuit and Storage 【招待講演】	2016/9/30

番号	発表者	所属	タイトル	会議名	発表年月
3	Hirofumi Takishita, Yutaka Adachi and Ken Takeuchi	中央大学	ReRAM-based SSD Performance Considering Verify-program Cycles and ECC Capabilities	8th Non-Volatile Memories Workshop (NVMW)	2017/3/14
4	松井千尋, 山賀祐典, 杉山佑輔, 竹内健	中央大学	半導体ストレージシステムにおける SCM, MLC/TLC NAND フラッシュメモリの最適な構成の設計	集積回路研究会	2016/11/29
5	安達優, 瀧下博文, 竹内健	中央大学	ストレージ・クラス・メモリで構成した SSD の信頼性を考慮した性能の評価	集積回路研究会	2016/12/15
6	榊佑季哉, 山賀祐典, 竹内健	中央大学	NAND 型フラッシュメモリの世代間におけるエラーパターンの解析	集積回路研究会	2016/12/15
7	鈴木敦也, 杉山佑輔, 竹内健	中央大学	SCM を用いたハイブリッド SSD の性能評価	集積回路研究会	2016/12/15
8	Yusuke Yamaga, Chihiro Matsui, Yukiya Sakaki, Atsuro Kobayashi and Ken Takeuchi	中央大学	Real Usage-based Precise Reliability Test by Extracting Read/Write/Retention-Mixed Real-life Access of NAND Flash Memory from System-level SSD Emulator	IEEE International Reliability Physics Symposium (IRPS)	2017/4/5
9	Tomoaki Yamada, Atsuya Suzuki, Yusuke Sugiyama, Chihiro Matsui and Ken Takeuchi	中央大学	Comprehensive Analysis on SCM Specifications for High-Performance SCM/NAND Flash Hybrid SSD with Through-Silicon Via	International Conference on Electronic Packaging (ICEP)	2017/4/20

番号	発表者	所属	タイトル	会議名	発表年月
10	Yusuke Sugiyama, Tomoaki Yamada, Chihiro Matsui and Ken Takeuchi	中央大学	Reconfigurable SCM Capacity Identification Method for SCM/NAND Flash Hybrid Disaggregated Storage	IEEE International Memory Workshop (IMW)	2017/5/15
11	Chihiro Matsui, Tomoaki Yamada, Yusuke Sugiyama, Yusuke Yamaga, and Ken Takeuchi	中央大学	Tri-Hybrid SSD with SCM and MLC/TLC NAND Flash Memories	Flash Memory Summit	2017/8/8
12	Chihiro Matsui and Ken Takeuchi	中央大学	22% Higher Performance, 2x SCM Write Endurance Heterogeneous Storage with Dual Storage Class Memory and NAND Flash	IEEE European Solid-State Device Research Conference (ESSDERC)	2017/9/12
13	Chihiro Matsui and Ken Takeuchi	中央大学	Error-correction & set/reset verify strategy of storage class memory (SCM) for SCM/NAND flash hybrid and all-SCM storage	International Conference on Solid State Devices and Materials (SSDM)	2017/9/21
14	Chihiro Matsui and Ken Takeuchi	中央大学	Heterogeneous Storage with Storage Class Memories and NAND Flash Memory for Big and Fast Data Processing	Phase Change Oriented Science (PCOS) 【招待講演】	2017/11/17
15	松井千尋, 杉山佑輔, 竹内健	中央大学	ストレージクラスメモリおよび NAND フラッシュを用いたハイブリッドストレージのアプリケーション依存性	DA シンポジウム 2017	2017/8/31
16	木下怜佳, 松井千尋, 山賀祐典, 安達優, 竹内健	中央大学	SCM・NAND フラッシュハイブリッド SSD のワークロード特性に応じた SCM のエラー救済手法	第 29 回コンピュータシステム・シンポジウム (ComSys2017)	2017/12/6
17	山賀祐典, 松井千尋, 榊佑季哉, 竹内健	中央大学	リアルワークロードを用いた NAND 型フラッシュメモリの信頼性評価	第 65 回応用物理学会春季学術講演会	2018/3/17

番号	発表者	所属	タイトル	会議名	発表年月
18	榊佑季哉, 松井千尋, 山賀祐典, 竹内健	中央大学	3D-TLC NAND 型フラッシュを用いたハイブリッド SSD の性能評価	第 65 回応用物理学会春季学術講演会	2018/3/17
19	鈴木敦也, 杉山佑輔, 松井千尋, 竹内健	中央大学	TSV を用いた SCM/NAND 型フラッシュメモリのハイブリッド SSD における SCM の仕様の評価	第 65 回応用物理学会春季学術講演会	2018/3/17
20	木下怜佳, 松井千尋, 杉山佑輔, 安達優, 竹内健	中央大学	2 階層のストレージ・クラス・メモリステムの性能評価	電子情報通信学会総合大会	2018/3/21
21	中西優, 安達優, 松井千尋, 杉山佑輔, 竹内健	中央大学	ストレージ・クラス・メモリで構成した SSD の寿命を考慮した性能評価	電子情報通信学会総合大会	2018/3/21
22	福地守, 松井千尋, 榊佑季哉, 竹内健	中央大学	3 次元構造チャージトラップ型メモリで構成されるハイブリッド SSD の特性解析	電子情報通信学会総合大会	2018/3/21
23	Yutaka Adachi, Chihiro Matsui, and Ken Takeuchi	中央大学	Double Asymmetric-latency Storage Class Memories (SCMs) for Fast-Write SCM, Fast-Read SCM & NAND Flash Hybrid SSDs	International Symposium on VLSI Design, Automation and Test (VLSI-DAT)	2018/4/19
24	Masaru Nakanishi, Yutaka Adachi, Chihiro Matsui, Yusuke Sugiyama, and Ken Takeuchi	中央大学	Application-oriented Wear-leveling Optimization of 3D TSV-integrated Storage Class Memory-based Solid State Drives	International Conference on Electronics Packaging and iMAPS All Asia Conference (ICEP-IAAC)	2018/4/19
25	松井千尋, 竹内健	中央大学	ヘテロジニアスストレージにおけるアプリケーションに応じた不揮発性メモリ構成の最適化	集積回路研究会	2018/4/19

番号	発表者	所属	タイトル	会議名	発表年月
26	Chihiro Matsui and Ken Takeuchi	中央大学	3ASCA: Application-Aware Autonomous SCM Capacity Adjustment for SCM and NAND Flash Pooled Storage	IEEE International Symposium on Circuits and Systems (ISCAS)	2018/5/29
27	Mamoru Fukuchi, Yukiya Sakaki, Chihiro Matsui, and Ken Takeuchi	中央大学	20% System-performance Gain of 3D Charge-trap TLC NAND Flash over 2D Floating-gate MLC NAND Flash for SCM/NAND Flash Hybrid SSD	IEEE International Symposium on Circuits and Systems (ISCAS)	2018/5/30
28	Yusuke Sugiyama, Chihiro Matsui, and Ken Takeuchi	中央大学	75% Performance Boost of RAID-5 Storage with SSDs by Garbage Collection Overhead Reduction for 3D NAND Flash Memory	Silicon Nanoelectronics Workshop (SNW)	2018/6/17
29	Reika Kinoshita, Chihiro Matsui, Shinpei Matsuda, Yutaka Adachi, and Ken Takeuchi	中央大学	Maximizing Performance/cost Figure of Merit of Storage-type SCM based SSD by Adding Small Capacity of Memory-type SCM	Non-Volatile Memory Technology Symposium (NVMTS)	2018/10/22
30	Atsuya Suzuki, Chihiro Matsui, and Ken Takeuchi	中央大学	Periodic Data Eviction Algorithm of SCM/NAND Flash Hybrid SSD with SCM Retention Time Constraint Capabilities at Extremely High Temperature	Non-Volatile Memory Technology Symposium (NVMTS)	2018/10/22
31	木下怜佳, 松井千尋, 安達優, 竹内健	中央大学	メモリアイプ・ストレージタイプのストレージ・クラス・メモリで構成されたマルチSSDの書き換え耐久性を考慮した性能評価	第30回コンピュータシステム・シンポジウム (ComSys2018)	2018/11/29
32	福地守, 榑佑季哉, 松井千尋, 竹内健	中央大学	4種のNAND型フラッシュメモリを用いたSCM/NAND型フラッシュハイブリッドSSDの性能評価	第30回コンピュータシステム・シンポジウム (ComSys2018)	2018/11/29

番号	発表者	所属	タイトル	会議名	発表年月
33	松井千尋, 竹内健	中央大学	SCM/NAND フラッシュハイブリッドストレージにおけるアプリケーション特性に応じた SCM 容量の自律最適化手法	集積回路研究会	2018/12/7
34	Chihiro Matsui and Ken Takeuchi	中央大学	Design of Heterogeneously-integrated Memory System with Storage Class Memories and NAND Flash Memories	24th Asia and South Pacific Design Automation Conference - University Design Contest (ASP-DAC UDC)	2019/1/22
35	安達優, 松 井千尋, 竹 内健	中央大学	非対称な書き込み・読み出しレイトンを持つ ReRAM を用いた半導体ストレージシステム	第 66 回応用物理学会春季学術講演会	2019/3/11
36	高井良貴, 福地守, 松 井千尋, 竹 内健	中央大学	大容量フラッシュメモリを用いたハイブリッド SSD の性能評価	電子情報通信学会総合大会	2019/3/20
37	Chihiro Matsui and Ken Takeuchi	中央大学	Workload-based Dynamic SCM Capacity Management of SCM/NAND Flash Hybrid Storage	IEEE Symp. on Low-Power and High-Speed Chips and Systems (Cool Chips 22)	2019/4/18 ~19
38	Yoshiki Takai, Mamoru Fukuchi, Reika Kinoshita, Chihiro Matsui and Ken Takeuchi	中央大学	Analysis on Heterogeneous SSD Configuration with Quadruple-Level Cell (QLC) NAND Flash Memory	IEEE International Memory Workshop (IMW)	2019/5/15
39	Chihiro Matsui and Ken Takeuchi	中央大学	Self-Determining Resource Control in Multi-Tenant Data Center Storage with Future NV Memories	IEEE International Symposium on Circuits and Systems (ISCAS)	2019/5//28
40	Ken Takeuchi	中央大学	Non-volatile Memory Storage for Machine Learning	IEEE SSCS VLSIedu	2019/6/13
41	高井良貴, 福地守, 松 井千尋, 木 下怜佳, 竹 内健	中央大学	QLC NAND 型フラッシュメモリを用いたハイブリッド SSD における最適な不揮発性メモリ構成の設計	集積回路研究会	2019/11/15
42	首藤一幸	東京工業大学	データ処理エンジン上での分散システムシミュレーション	ビッグデータ基盤研究会	2016/12/22

番号	発表者	所属	タイトル	会議名	発表年月
43	大西真晶, 首藤一幸	東京工業大学	Skip Delaunay network 上の1 ホップ通知群を用いた ID/Locator 解決システム	第9回 広域センサネットワーク とオーバーレイネットワークに関する ワークショップ	2017/6/10 ~11
44	青木優介, 大西真晶, 首藤一幸	東京工業大学	Ballistic Skip Graph: Skip Graph 型定数次数構造化オーバー レイ	第9回 広域センサネットワーク とオーバーレイネットワークに関する ワークショップ	2017/6/10 ~11
45	高橋良希, 首藤一幸	東京工業大学	P2P ネットワーク上のデータに対する 偏りのない機械学習手法	第9回 広域センサネットワーク とオーバーレイネットワークに関する ワークショップ	2017/6/10 ~11
46	首藤一幸, 加藤裕也, 杉野好宏, 華井雅俊	東京工業大学	データ処理エンジン上での分散システ ムシミュレーション	第9回 広域センサネットワーク とオーバーレイネットワークに関する ワークショップ	2017/6/10 ~11
47	金子孟司, 大西真晶, 首藤一幸	東京工業大学	ドローンオーバーレイネットワーク構築シ ミュレータの実装	第10回 広域センサネットワー クとオーバーレイネットワークに関す るワークショップ	2018/9/7~8
48	小国英明, 首藤一幸	東京工業大学	構造化オーバーレイネットワーク上にお ける機械学習手法	第10回 広域センサネットワー クとオーバーレイネットワークに関す るワークショップ	2018/9/7~8
49	坂野遼平, 首藤一幸	東京工業大学	Skip Graph における範囲検索クエ リのルーティング手法	第10回 広域センサネットワー クとオーバーレイネットワークに関す るワークショップ	2018/9/7~8
50	大西真晶, 大和田 泰 伯, 首藤一 幸	東京工業大学	Inter mesh network アーキテク チャの解説	第10回 広域センサネットワー クとオーバーレイネットワークに関す るワークショップ	2018/9/7~8
51	金子孟司, 坂野遼平, 首藤一幸, 青木優介, 安倍広多, 寺西裕一	東京工業大学	Detouring Skip Graph: 迂回経 路を活用する構造化オーバーレイ	第11回 広域センサネットワー クとオーバーレイネットワークに関す るワークショップ	2020/3/23
52	金子孟司, 坂野遼平, 首藤一幸	東京工業大学	double sweep に基づく P2P ネット ワークの経路長短縮	第11回 広域センサネットワー クとオーバーレイネットワークに関す るワークショップ	2020/3/23
53	小国英明, 首藤一幸, 高橋良希	東京工業大学	広域分散の非均質性を考慮した深 層学習手法	第11回 広域センサネットワー クとオーバーレイネットワークに関す るワークショップ	2020/3/23
54	福田萌斐, 中嶋一貴, 首藤一幸	東京工業大学	精度とそのばらつきに着目したグラフ 生成モデルの比較	第11回 広域センサネットワー クとオーバーレイネットワークに関す るワークショップ	2020/3/23

番号	発表者	所属	タイトル	会議名	発表年月
55	中嶋一貴, 首藤一幸	東京工業大学	ランダムウォークサンプリングによるソーシャルグラフの復元	第 11 回 広域センサネットワークとオーバレイネットワークに関するワークショップ	2020/3/23
56	Ken Takeuchi	東京大学	Heterogeneously Integrated Adaptive Storage System for 5G Network	International Conference on Solid State Devices and Materials (SSDM) Short Course	2020/9/27
57	Wei Liang, Kazuyuki Shudo	東京工業大学	Adaptive Allocation of Computing Resources for Multiple Distributed Deep Learning Tasks	第 177 回 ハイパフォーマンスコンピューティング (HPC) 研究会	2020/12/21 ~22 (予定)

(b) 展示会への出展

番号	所属	タイトル	展示会名	発表年月
1	日本電気(株)	分散管理ミドルウェア (NECブースにて、高速ストレージ製品の参考展示としてスライド展示)	SuperComputing16 (SC16)	2016/11/13 ~18
2	日本電気(株)	Resource Disaggregated Data Store (大阪大学ブースにて、HiIaaSの一部としてポスター展示)	SuperComputing16 (SC16)	2016/11/13 ~18
3	中央大大・東京工業大学・富士通(株)・日本電気(株)	次世代高速メモリ型ヘテロストレージ (NEDOブースにて動態デモ展示)	CEATEC2017	2017/10/3 ~6
4	日本電気(株)	分散管理ミドルウェア (NECブースにて、高速ストレージ製品の参考展示としてスライド展示)	SuperComputing17 (SC17)	2017/11/11 ~17
5	日本電気(株)	GPU Burst Buffer (大阪大学ブースにてポスター展示)	SuperComputing19 (SC19)	2019/11/17 ~22

◎研究開発テーマ「先進 IoT サービスを実現する革新的超省エネルギー型ビッグデータ基盤の研究開発」

【特許】

番号	出願者	出願番号	国内 外国 PCT	出願日	状態	名 称	発明者
1	東京大学 (株)日立製作所	特願 2017-064267	国内	2017/3/29	登録	データベース管理システム及びデータベース管理方法	土田隼之 茂木和彦 西川記史 合田和生 早水悠登 喜連川優
2	東京大学 (株)日立製作所	特願 2017-229890	国内	2017/11/30	登録	データベース管理システム及び方法	藤本太郎 磯崎卓也 清水晃 合田和生 早水悠登 喜連川優
3	東京大学 (株)日立製作所	15/832800	米国	2017/12/6	公開	Database management system and database management method	土田隼之 茂木和彦 西川記史 合田和生 早水悠登 喜連川優
4	東京大学 (株)日立製作所	特願 2018-146963	国内	2018/8/3	公開	データベース管理システム及び方法	磯田有哉 茂木和彦 木村耕治 早水悠登 合田和生 喜連川優
5	東京大学 (株)日立製作所	16/135000	米国	2018/9/19	公開	Database management system and database management method	藤本太郎 磯崎卓也 清水晃 合田和生 早水悠登 喜連川優
6	東京大学 (株)日立製作所	特願 2019-025453	国内	2019/2/15	登録	データベース管理システム、及び、データベース管理方法	清水晃 木村耕治 茂木和彦 喜連川優 合田和生 早水悠登

番号	出願者	出願番号	国内 外国 PCT	出願日	状態	名 称	発明者
7	東京大学 (株)日立製作所	16/282342	米国	2019/2/22	公開	Database management system and method	磯田有哉 茂木和彦 木村耕治 早水悠登 合田和生 喜連川優
8	(株)日立製作所 東京大学	16/576947	米国	2019/9/20	公開	Database management system and database management method	清水晃 木村耕治 茂木和彦 喜連川優 合田和生 早水悠登

【論文】

番号	発表者	所 属	タイトル	発表誌名、ページ番号	査読	発表年月
1	早水悠登 合田和生 喜連川優	東京大学	分析的データベース問合せ処理を 対象とするディスクストレージの消 費エネルギーコスト推定手法	電子情報通信学会論文 誌 D,J102-D(1),13- 24,2019.01.01	有	2019/01
2	西川記史 高田実佳 茂木和彦 早水悠登 合田和生 喜連川優	東京大学	産業ビッグデータアプリケーションモデ ルを用いた RDBMS と NoSQL の 電力効 率の初期比較	日本データベース学会和文 論文誌, 17-J(3),1- 8,2019.03	有	2019/03

【外部発表】

(a) 学会発表・講演

番号	発表者	所属	タイトル	会議名	発表年月
1	Ryota Hinami Shin'ichi Satoh	東京大学	Large-scale R-CNN with Classifier Adaptive Quantization	ECCV'16	2016/10/12
2	早水 悠登 合田 和生 喜連川 優	東京大学	ストレージ消費電力特性に基づく関 係データベース演算子の省電力指向 コストモデル	DEIM2017	2017/3/6
3	西川 記史 高田 実佳 山崎 潤	東京大学	送電系統向け類似事例検索手法の 提案と評価	DEIM2017	2017/3/6

番号	発表者	所属	タイトル	会議名	発表年月
4	佐藤 佑紀 早水 悠登 合田 和生 喜連川 優	東京大学	最近の磁気ディスクドライブに於ける 高遅延特性の観測とデータベース処理 性能への影響の考察	DEIM2017	2017/3/7
5	合田和生 早水悠登 喜連川優	東京大学	ストレージシステムの消費エネルギーを 考慮したコストベース型のデータベース 問合せ最適化手法の提案	xSIG2017	2017/4/24
6	川道 亮治 早水 悠登 合田 和生 喜連川 優	東京大学	関係データベースシステムにおける時 系列イベント分析処理ベンチマークの 検討	FIT2017	2017/9/12
7	五十嵐 和 人 大田原 実 原 聖宣	(株)日立製作所	アプリケーションを含めた IT サービスの エネルギー効率指標の提案	DEIM2018	2018/3/6
8	西川 記史 高田 実佳 茂木 和彦 早水 悠登 合田 和生 喜連川 優	東京大学 (株)日立製作所	産業ビッグデータアプリケーションモデル を用いた RDBMS と NoSQL のエネ ルギー効率の比較	DEIM2018	2018/3/6
9	Yuto Hayamizu, Ryoji Kawamichi Kazuo Goda Masaru Kitsurega wa	東京大学	Benchmarking and Performance Analysis of Event Sequence Queries on Relational Database	TPCTC 2018	2018/8/31

【受賞実績】

番号	受賞年月日	受賞名	受賞対象の研究題目名等	受賞者
1	2016/10/3	レジオン・ドヌール勲章シエバリエ	日仏交流への貢献と一連の研究関連の調整役や戦略 的役割による	喜連川優
2	2017/4/26	xSIG 2017 Outstanding Research Award	ストレージシステムの消費エネルギーを考慮したコストベ ース型のデータベース問合せ最適化手法の提案	合田和生 早水悠登 喜連川優
3	2017/6/24 ※受賞対象論 文の発表は 2017/3/6	DEIM2017 優秀論文賞	ストレージ消費電力特性に基づく関係データベース演算 子の省電力指向コストモデル	早水悠登 合田和生 喜連川優

番号	受賞年月日	受賞名	受賞対象の研究題目名等	受賞者
4	2018/5/23	Outstanding Contributions Award	DASFAA2018 会議に大きく貢献	喜連川優
5	2019/6/6	電子情報通信学会 第 80 回 功績賞	電子工学及び情報通信に関する学術に対し特別の功労がありその功績が顕著である	喜連川優
6	2020/1/11	中国計算機学会 名誉会員	日中交流への貢献と一連の研究関連の調整役や戦略的役割による	喜連川優
7	2020/4/6	令和 2 年度「日本学士院賞」	大規模高性能データベースシステムの理論と応用に関する先駆的研究の業績による	喜連川優
8	2020/5/15	2020 年 IEEE Innovation in Societal Infrastructure Award	For contributions to big data collection and analytics of real-world problems with advanced data engineering technologies.の業績による	喜連川優
9	2020/6/26	2019 年度 日本データベース学会 若手功績賞	日本データベース学会の活動に多大なる貢献による	合田和生

◎研究開発テーマ「省電力 AI エンジンによる人工知能プラットフォーム」

【特許】

番号	出願者	出願番号	国内 外国 PCT	出願日	状態	名 称	発明者
1	(株)デジタルメディアプロフェッショナル	特願 2017-149969	国内	2017/8/2	登録	機械学習用教師データ生成装置及び生成方法	シュミット ベンジャミン

【論文】

番号	発表者	所属	タイトル	発表誌名、ページ番号	査読	発表年月
1	大淵栄作	(株)デジタルメディアプロフェッショナル	大学発国内ベンチャーで開発した国産 GPU 技術と今後の展望	電子情報通信学会技術研究報告, vol. 116, no. 364, ICD2016-93, pp.129-130	無	2016/12
2	岡本	名古屋大学	DNN の推論器向け高位合成用 C 記述の検討	TECHNICAL REPORT OF IEICE	有	2018/2
3	山本	名古屋大学	FPGA を用いた組み込みシステム向け DNN 不ワークワーク構想	TECHNICAL REPORT OF IEICE	有	2018/3
4	趙	兵庫県立大学	A Compact and Efficient Inference Technique for Deep Neural Networks on FPGAs,	Proc. of IEEE International Symposium on low-power and high-speed chips 21	有	2018/4

番号	発表者	所属	タイトル	発表誌名、ページ番号	査読	発表年月
5	中本	兵庫県立大学	Convolution neural network development support system using approximation methods to evaluate inference accuracy and memory usage in an embedded system	Proc. of 2019 IEEE SmartWorld, Ubiquitous Intelligence & Computing, Advanced & Trusted Computing, pp.1312-1317	有	2019/8

【外部発表】

(a) 学会発表・講演

番号	発表者	所属	タイトル	会議名	発表年月
1	Eisaku Ohbuchi	(株)デジタルメディア プロフェッショナル	Low power AI hardware platform for deep learning in edge computing	IEEE CPMT Symposium Japan	2018/11
2	大淵 栄作	(株)デジタルメディア プロフェッショナル	エッジディープラーニングアクセラレータによる画像認識の実際	Design Solution Forum 2019	2019/10
3	山本	名古屋大学	A Concept of Deep Learning Framework for Embedded System Using FPGA	組込みシステムワークショップ	2017/12
4	松本	兵庫県立大学	組込みシステムにおける深層学習フレームワークによる学習結果を用いた認識機能の自動生成の試み(学生奨励賞)	情報処理学会第 80 回全国大会	2018/3
5	酒井	日本電気(株)	積和演算ライブラリを用いた CyberWorkBench 高位合成フロー	DA シンポジウム 2018	2018/8
6	山本	名古屋大学	FPGA を用いた 3 値 DNN の推論ハードウェアの設計	組込み技術とネットワークに関するワークショップ ETNET2019	2019/3
7	松本	兵庫県立大学	組込みシステム向け DNN 開発支援システムの開発(学生奨励賞)	情報処理学会第 80 回全国大会	2019/3
8	山本	名古屋大学	NEC (兵庫県立大学、名古屋大学) 企業デモ展示のご紹介 ~AI 設計フレームワーク : N3 のご紹介~	DA シンポジウム 2019	2019/8
9	山本, 本田	名古屋大学	C 言語設計による DNN の推論高速化のための 外部メモリ アクセスレイテンシの隠蔽化手法	第 19 回複雑系マイクロシンポジウム	2020/3

(b) 新聞・雑誌等への掲載

番号	所属	タイトル	掲載誌名	発表年月
1	(株)デジタルメディアプロフェッショナル	「NEXT1000」で、自動運転に関連する企業として	日本経済新聞 (2019年6月25日号)	2019/6
2	(株)デジタルメディアプロフェッショナル	「AIチップで沸騰! 半導体」で、社長インタビュー	週刊エコノミスト (2020年2月4日号)	2020/1

(c) 展示会への出展

番号	所属	タイトル	展示会名	発表年月
1	(株)デジタルメディアプロフェッショナル	「ZIA プラットフォーム」	画像センシング展 2017	2017/7
2	(株)デジタルメディアプロフェッショナル	「ZIA プラットフォーム」	Prometech Simulation Conference 2017	2017/9
3	(株)デジタルメディアプロフェッショナル	「ZIA プラットフォーム」	自動認識総合展	2017/12
4	(株)デジタルメディアプロフェッショナル	「ZIA プラットフォーム」	Security Show 2017	2018/3
5	(株)デジタルメディアプロフェッショナル	「ZIA プラットフォーム」	画像センシング展 2018	2018/6
6	(株)デジタルメディアプロフェッショナル	「ZIA C2 Kit」	インテル® FPGA テクノロジー・デイ 2018 (IFTD)	2018/9
7	(株)デジタルメディアプロフェッショナル	「ZIA C3 Kit」	CEATEC2018 UKC ブース出展	2018/10
8	(株)デジタルメディアプロフェッショナル	「ZIA C3 Kit」	Inter BEE PALTEK ブース出展	2018/11
9	(株)デジタルメディアプロフェッショナル	「ZIA C2/C3 Kit」	国際画像機器展 2018	2018/12
10	(株)デジタルメディアプロフェッショナル	「ZIA C2 Kit」	DeepLearning on Edge ソリューションセミナー	2018/12
11	(株)デジタルメディアプロフェッショナル	「ZIA C3 Kit」	オートモーティブワールド UKC ブース出展	2019/1
12	(株)デジタルメディアプロフェッショナル	「ZIA C2 Kit」	インテル®FPGA AI ソリューションセミナー	2019/3
13	(株)デジタルメディアプロフェッショナル	「ZIA プラットフォーム」	第一回 NEDO IoT 横断 成果最大化セミナー	2018/10
14	(株)デジタルメディアプロフェッショナル	「ZIA プラットフォーム」	第二回 NEDO IoT 横断 成果最大化セミナー	2019/1
15	(株)デジタルメディアプロフェッショナル	「ZIA プラットフォーム」	第三回 NEDO IoT 横断 成果最大化セミナー	2019/3
16	(株)デジタルメディアプロフェッショナル	「ZIA C3 Kit」	ZIA C3 Kit トレーニングセミナー	2019/3
17	(株)デジタルメディアプロフェッショナル	「ZIA C3 Kit」	AI 人工知能 EXPO	2019/4

番号	所属	タイトル	展示会名	発表年月
18	(株)デジタルメディアプロフェッショナル	「ZIA C3 Kit」	ZIA C3 Kit トレーニングセミナー	2019/6
19	(株)デジタルメディアプロフェッショナル	「ZIA プラットフォーム」	画像センシング展 2019	2019/6
20	(株)デジタルメディアプロフェッショナル	「ZIA C3 Kit」	ET & IoT 展 2019	2019/11
21	(株)デジタルメディアプロフェッショナル	「ZIA C3 Kit」	PALTEK セミナー	2019/12
22	(株)デジタルメディアプロフェッショナル	「ZIA C3 Kit」	カーエレクトロニクス技術展	2020/1
23	日本電気(株)	AI・IoT をアクセラレーションする 「FPGA 統合開発プラットフォーム」	ET2018	2018/11
24	日本電気(株)	AI を組込む！エッジコンピューティング ソリューション	IoT/M2M 展 2019	2019/4
25	日本電気(株)	AI を組込む！エッジコンピューティング ソリューション	技術セミナー	2019/7
26	日本電気(株)	AI 設計フレームワーク：N3	DA シンポジウム 2019	2019/8
27	日本電気(株)	学習済み AI (CNN) を超小型、 省電力、高速な FPGA にします	ET2019	2019/11
28	日本電気(株)	学習済み AI (CNN) を超小型、 省電力、高速な FPGA にします	JVeC DAY 2019	2019/12

◎研究開発テーマ「超高速・低消費電力ビッグデータ処理を実現・活用する脳型推論集積システムの研究開発」

【特許】

番号	出願者	出願番号	国内 外国 PCT	出願日	状態	名 称	発明者
1	慶應義塾	特願 2017-063895	国内	2017/3/28	公開	クロスバー構造および最適化問題解探索システム	青野真士
2	パナソニック(株)	特願 2017-171846 PCT/JP2018/031899	国内 PCT	2017/9/7 2018/8/29	みなし 取下 公開	不揮発性半導体記憶素子を用いたニューラルネットワーク演算回路	河野和幸、他
3	パナソニック(株)	特願 2017-171952 PCT/JP2018/032676	国内 PCT	2017/9/7 2018/9/3	みなし 取下 公開	不揮発性半導体記憶素子を用いたニューラルネットワーク演算回路	持田礼司、他
4	パナソニック(株)	特願 2017-171953 PCT/JP2018/031298	国内 PCT	2017/9/7 2018/8/24	みなし 取下 公開	半導体記憶素子を用いたニューラルネットワーク演算回路及び動作方法	早田百合子、他

番号	出願者	出願番号	国内 外国 PCT	出願日	状態	名 称	発明者
5	パナソニック(株)	特願 2017-172094 PCT/JP2018/030862	国内 PCT	2017/9/7 2018/8/21	みなし 取下 公開	半導体記憶素子を用いたニューラルネットワーク演算回路	中山雅義、他
6	パナソニック(株)	特願 2017-255138 PCT/JP2018/044775	国内 PCT	2017/12/29 2018/12/5	みなし 取下 公開	抵抗変化型不揮発性記憶装置	持田礼司、他
7	北海道大学	特願 2017-048421 PCT/JP2018/004786	国内 PCT	2017/3/14 2018/02/13	みなし 取下 公開	重み符号固定学習装置	浅井哲也
8	慶應義塾	特願 2019-000307	国内	2019/1/4	出願	機械学習装置、及びその制御方法、	金成主, 青野真士
9	慶應義塾, 産業技術総合研究所	特願 2018-174258	PCT	2018/9/18	出願	意思決定方法およびその装置	金成主, 青野真士, 秋永広幸, 島久, 内藤泰久
10	パナソニック(株)	特願 2020-010097	国内	2020/1/24	出願	半導体装置及びその駆動方法	三河 巧、他

【論文】

番号	発表者	所属	タイトル	発表誌名、ページ番号	査読	発表年月
1	H. Shima, M. Takahashi, Y. Naitoh, and H. Akinaga	産業技術総合研究所	Electrode material dependence of resistance change behavior in Ta2O5 resistive analog neuromorphic device	IEEE Journal of the Electron Devices Society, 6, 1220-1226 (2018)	有	2018/10/17
2	H. Shima, M. Takahashi, Y. Naitoh, and H. Akinaga	産業技術総合研究所	High-Speed Analog Resistance Change in TaOx Synthesized By Reactive Sputtering	ECS Transactions 86 (3), 3-10 (2018)	有	2018/7/20
3	P. Achararit, I. Hida, T. Marukame, T. Asai, and Y. Hara-Azumi	北海道大学	Structural exploration of stochastic neural networks for severely-constrained 3D memristive devices	Nonlinear Theory and Its Applications, vol. E9-N, no. 4, (2018)	有	2018/10/1

番号	発表者	所属	タイトル	発表誌名、ページ番号	査読	発表年月
4	A. Tanibata, A. Schmid, S. Takamaeda- Yamazaki, M. Ikebe, M. Motomura, and T. Asai	北海道大学	Proto-computing architecture over a digital medium aiming at real-time video processing	Complexity, vol. 2018, pp. 3618621-1-11 (2018)	有	2018/2/5
5	I. Hida, S. Takamaeda- Yamazaki, M. Ikebe, M. Motomura, and T. Asai	北海道大学	An energy-efficient dynamic branch predictor with a two-clock-cycle naive Bayes classifier for pipelined RISC microprocessors	Nonlinear Theory and Its Applications, vol. E8-N, no. 3, pp. 235-245 (2017)	有	2017/5/19
6	I. Hida, S. Takamaeda- Yamazaki, M. Ikebe, M. Motomura, and T. Asai	北海道大学	A high performance and energy efficient microprocessor with a novel restricted dynamically reconfigurable accelerator	Circuits and Systems, vol. 8, no. 5, pp. 134-147 (2017)	有	2017/5/19
7	C. Lutz, T. Hasegawa, T. Tsuchiya, C. Adelsberger, R. Hayakawa, T. Chikyow	早稲田大学	P-type polymer-based Ag ₂ S atomic switch for “tug of war” operation	Jpn. J. Appl. Phys., 56, 06GF03 (2017)	有	2017/4/25

番号	発表者	所属	タイトル	発表誌名、ページ番号	査読	発表年月
8	A. Nayak, S. Unayama, S. Tai, T. Tsuruoka, R. Waser, M. Aono, I. Valov, T. Hasegawa	早稲田大学	Nanoarchitectonics for controlling the number of dopant atoms in solid electrolyte nanodots	Adv. Mater., 30, 1703261 (2018)	有	2018/1/3
9	Y. Shigeoka, T. Tsuruoka, T. Hasegawa	早稲田大学	The rate limiting process and its activation energy in the forming process of a Cu/Ta2O5/Pt gapless atomic switch	Jpn. J. Appl. Phys., 57, 035202 (2018)	有	2018/2/19
10	W. Hiraya, N. Mishima, T. Shima, S. Tai, T. Tsuruoka, I. Valov, T. Hasegawa	早稲田大学	Resistivity control by electrochemical removal of dopant atoms from a nanodot	Faraday Discussions, 213, 29-40 (2019)	有	2018/6/15
11	C. Arima, A. Suzuki, A. Kassai, T. Tsuruoka, T. Hasegawa	早稲田大学	Development of a molecular gap-type atomic switch and its stochastic operation	J. Appl. Phys., 124, 152114 (2018)	有	2018/9/26
12	S.-J. Kim, K. Ohkoda, M. Aono, H. Shima, M. Takahashi, Y. Naitoh, H. Akinaga	慶應義塾	Reinforcement learning system composed of resistive analog neuromorphic devices	Prof. of 2019 IEEE International Reliability Physics Symposium (IRPS), (2019)	有	2019/5/22

番号	発表者	所属	タイトル	発表誌名、ページ番号	査読	発表年月
13	T.Kaneko, K.Orimo, I.Hida, S.Takama eda- Yamazaki , M.Ikebe, M.Motomu ra, and T.Asai	北海道大学	A study on a low power optimization algorithm for an edge-AI Device	Nonlinear Theory and Its Applications, vol. E10-N, no. 4, pp. 373-389 (2019)	有	2019/10/1
14	T.Kaneko, M.Ikebe, S.Takama eda- Yamazaki, M.Motomu ra, and T.Asai	北海道大学	Hardware-oriented algorithm and architecture for generative adversarial networks	Journal of Signal Processing, vol. 23, no. 4, pp. 151-154 (2019)	有	2019/7/20
15	A. Suzuki, T. Tsuruoka, T. Hasegawa	早稲田大学	Time-dependent operations in molecular gap atomic switches	Phys. Status Solidi B, 256, 19000068 (2019)	有	2019/4/15
16	K. Hara, N. Takeuchi, M. Aono, Y. Hara- Azumi	慶應義塾	Amoeba-inspired stochastic hardware SAT solver	International Symposium on Quality Electronic Design (ISQED) (2019)	有	2019/4/23
17	A. H. Ngoc Nguyen, M. Aono, Y. Hara- Azumi	慶應義塾	FPGA-Based amoeba-inspired SAT solver for cyber-physical systems	ACM/IEEE International Conference on Cyber-Physical Systems (ICCPS), 316-317 (2019)	有	2019/4/16
18	N. Takeuchi, M. Aono, N. Yoshikawa	慶應義塾	Superconductor amoeba-inspired problem solvers for combinatorial optimization	Physical Review Applied 11, 044069 (2019)	有	2019/4/22
19	Takeuchi, M. Aono, Y. Hara- Azumi, C. L. Ayala	慶應義塾	A circuit-level amoeba-inspired SAT solver	IEEE Transactions on Circuits and Systems II: Express Briefs (accepted)	有	2019/11/4

番号	発表者	所属	タイトル	発表誌名、ページ番号	査読	発表年月
20	C. Arima, Y. Naitoh, H. Shima, H. Akinaga, T. Hasegawa	早稲田大学	Reliable operation of a molecular-gap atomic switch in vacuum achieved by covering with an ionic liquid	Japanese Journal of Applied Physics, https://doi.org/10.35848/1347-4065/ab80a1 .	有	2020/5/1
21	A. Kassai, T. Hasegawa	早稲田大学	Stable analog resistance change of a molecular-gap atomic switch over a wide range	Japanese Journal of Applied Physics, https://doi.org/10.35848/1347-4065/ab7f59 .	有	2020/4/1
22	A. Araki, T. Hasegawa	早稲田大学	Development of a metal oxide-based molecular-gap atomic switch for unconventional computing	Japanese Journal of Applied Physics, https://doi.org/10.35848/1347-4065/ab8026 .	有	2020/4/6
23	Y. Hara- Azumi, N. Takeuchi, K. Hara, M. Aono	慶應義塾	Digital bio-inspired satisfiability solver leveraging fluctuations	Japanese Journal of Applied Physics 59, 040603 DOI: 10.35848/1347-4065/ab7ade	有	2020/3/30
24	H. Momose, T. Kaneko, T. Asai	北海道大学	Systems and Circuits for AI Chips and Their Trends	Selected Topics in Applied Physics (STAP) in Japanese Journal of Applied Physics (JJAP), vol. 59, No. 5, 050502 (2020).	有	2020/4/21
25	M. Aono	慶應義塾	Amoeba-inspired combinatorial optimization machines	Japanese Journal of Applied Physics 59, 060502 DOI: 10.35848/1347-4065/ab8e05	有	2020/5/12
26	K. Ojima, T. Hasegawa , Y. Naitoh, H. Shima, H. Akinaga	早稲田大学	Formation and dissolution of conductive channels in an Ag ₂ S-islands network	Japanese Journal of Applied Physics, https://doi.org/10.35848/1347-4065/ab922d .	有	2020/5/26

番号	発表者	所属	タイトル	発表誌名、ページ番号	査読	発表年月
27	河野 和幸	パナソニックセミコンダクタソリューションズ(株) [現 ヌヴォオンテクノロジー・ジャパン(株)]	抵抗変化形メモリ	電子情報通信学会 100年史, pp.298-299, 一般社団法人 電子情報通信学会 2017	有	2017/9/15
28	浅井 哲也	北海道大学	人工知能のシンギュラリティ到達を加速する情報科学とものづくりの融合研究にむけて	超精密, vol. 23, no. 1, pp. 4-7 (2017)	有	2017/12/7
29	青野真士	慶應義塾	自然計算から拡張生命へ	電子情報通信学会誌 (創立 100 周年記念特集「基礎・境界」が支えた 100 年, これからの 100 年), Vol.100 (6), pp.499-505 (2017)	有	2017/6/1
30	青野真士, 大古田香織	慶應義塾	ケミカルスペースを旅するアメーバ計算モデル	現代化学 9 月号, pp.30-36, 東京化学同人社 (2017)	無	2017/8/19
31	百瀬 啓, 浅井 哲也	北海道大学	Deep learning chips and AI computing	人工知能学会誌, vol. 33, no. 1, pp. 23-30 (2018)	有	2018/1/5
32	島 久, 高橋 慎, 内藤泰久, 秋永広幸	産業技術総合研究所	スパッタリングによる酸化物・窒化物薄膜の成膜: デジタルメモリからニューロモルフィック素子への展開	日本真空学会誌, vol. 33, No.2, pp.21~30 (2018)	無	2018/6
33	青野真士, 鯨井悠生, 野崎大幹	慶應義塾	サイバー空間とフィジカル空間を癒合するアメーバ計算パラダイム	人工知能学会誌 9 月号, vol.33, pp.561-569 (2018)	有	2018/9/1
34	(解説記事) 秋永広幸, 浅井哲也	産業技術総合研究所, 北海道大学	アナログ抵抗変化素子を用いた脳型回路	応用物理, vol. 89, no. 1, (2020), p. 41-45	有	2020/01/10
35	藤井英治, 三河 巧, 滝波浩二, 笹子勝	パナソニックセミコンダクタソリューションズ(株) [現 ヌヴォオンテクノロジー・ジャパン(株)]	データドリブンサービスを支える混載メモリ技術とその応用	電子情報通信学会論文誌 C Vol. J102-C No. 12 pp. 366-373, 一般社団法人電子情報通信学会 2019	有	2019/12
36	河野和幸	パナソニックセミコンダクタソリューションズ(株) [現 ヌヴォオンテクノロジー・ジャパン(株)]	不揮発性メモリを用いた AI チップの実装技術	電子情報通信学会誌 2020 年 5 月, Vol.103 No.5, pp.543-548, 一般社団法人 電子情報通信学会 2020	有	2020/5/1

番号	発表者	所属	タイトル	発表誌名、ページ番号	査読	発表年月
37	A. H. Ngoc Nguyen, M. Aono, Y. Hara-Azumi	慶應義塾	FPGA-based hardware / software co-design of a bio-inspired SAT solver	IEEE Access, DOI: 10.1109/ACCESS.2020.2980008	有	2020/3/11
38	青野真士, 大古田香織	慶應義塾	アメーバ型組合せ最適化マシン：並行性と揺らぎを活用する計算システム	応用物理学会機関誌『応用物理』2020年89巻10号 p.580-584	有	2020/10/10

【外部発表】

(a) 学会発表・講演

番号	発表者	所属	タイトル	会議名	発表年月
1	T. Asai, M. Ikebe, and M. Motomura	北海道大学	Cognitive motion processing in imager/neural processor 3D stacked systems (Invited)	The 5th Japan-Korea Joint Workshop on Complex Communication Sciences	2016/10/20 ~23
2	T. Asai	北海道大学	Cognitive motion processing in imager/neural processor 3D stacked systems (Invited)	2016 HU/SNU Joint Symposium / International Workshop on New Frontiers in Convergence Science and Technology	2016/11/24 ~25
3	M. Aono	慶應義塾	Amoeba-inspired Computing Architectures (Invited)	MANA International Symposium 2017, International Center for Materials Nanoarchitectonics (WPI-MANA), National Institute for Materials Science (NIMS)	2017/2/28 ~3/3
4	T. Hasegawa	早稲田大学	New types of gap-type atomic switches using molecular layers (Invited)	21st International Conference on Solid State Ionics	2017/6/20
5	T. Hasegawa	早稲田大学	Molecular gap-based atomic switch (Invited)	International Materials Research Congress 2017	2017/8/23
6	T. Asai	パナソニックセミコンダクタソリューションズ(株) [現 スヴオントクノロジージャパン(株)]、北海道大学	More-than-Neumann and beyond-Neumann architectures (Invited)	International Conference on Solid State Devices and Materials	2017/9/19 ~22

番号	発表者	所属	タイトル	会議名	発表年月
7	T. Asai	パナソニックセミコンダクタソリューションズ(株) [現 ヌヴォンテクノロジージャパン(株)]、北海道大学	Emerging research architectures for brain-morphic AI (Invited)	SNU-HU 2017 International Workshop on New Frontiers in Convergence Science and Technology	2017/11/24
8	H. Akinaga and T. Asai	産業技術総合研究所、北海道大学	AI Hard- and Soft-Synchronized Developments (Invited)	The 3rd Workshop on Bio-inspired Energy-Efficient Information Systems	2018/3/12
9	M. Aono	慶應義塾	Amoeba-Inspired Problem Solvers (Invited)	Short Course 1 (Material and Device Evolution for Artificial Intelligence), 2nd Electron Devices Technology and Manufacturing (EDTM) Conference 2018	2018/3/13
10	S.Ito, Y.Hayakawa, Zhiqiang Wei, S.Muraoka, K.Kawashima, H.Kotani, K.Kouno, M. Nakayama, T.Mikawa, and S.Yoneda	パナソニックセミコンダクタソリューションズ(株) [現 ヌヴォンテクノロジージャパン(株)]	ReRAM technologies for embedded memory and further applications (Invited)	International Memory Workshop 2018	2018/5/16
11	H. Momose	北海道大学	AI Chips and their Computing (Invited)	Seminar on Development of Future AI Chips	2018/5/21
12	T. Asai	北海道大学	Unconventional AI and neuromorphic computing driven by emerging devices and materials (Invited)	2018 IEEE Silicon Nanoelectronics Workshop	2018/6/17 ~18

番号	発表者	所属	タイトル	会議名	発表年月
13	T. Asai	北海道大学	Brain-morphic AI hardware evolved from integration of information science and manufacturing technologies (Invited)	2018 Symposia on VLSI Technology Short Course (Hardware and device technology requirements for Artificial Intelligence/Machine Learning)	2018/6/18
14	T. Hasegawa	早稲田大学	Development of molecular gap-type atomic switches and their operating characteristics (Invited)	MEMRISYS 2018	2018/7/3
15	H. Akinaga	産業技術総合研究所	Resistive Analog Neuromorphic Devices for Edge AI Computing (Invited)	The 2019 Riken International Workshop on Neuromorphic Computing Kobe	2019/3/12
16	R. Yasuhara, T. Ono, R. Mochida, S. Muraoka, K. Kouno, K. Katayama, Y. Hayata, M. Nakayama, H. Suwa, Y. Hayakawa, T. Mikawa, Y. Gohou, S. Yoneda	パナソニックセミコンダクタソリューションズ(株) [現 ヌヴォンテクノロジージャパン(株)]	Reliability Issues in Analog ReRAM Based Neural-Network Processor (Invited)	International Reliability Physics Symposium 2019	2019/4/2
17	H.Momose	北海道大学	CMOS and main-stream technologies for AI chips and neuromorphic computing (Invited)	The 2019 International Symposium on VLSI Technology, Systems and Applications (short course: Neuromorphic computing hardware: from CMOS to beyond)	2019/4/22 ~25

番号	発表者	所属	タイトル	会議名	発表年月
18	T. Mikawa, R. Yasuhara, K. Katayama, K. Kouno, T. Ono, R. Mochida, Y. Hayata, M. Nakayama, H. Suwa, Y. Gohou and T. Kakiage	パナソニックセミコンダクタソリューションズ(株) [現 ヌヴォトンテクノロジージャパン(株)]	Neuromorphic computing based on Analog ReRAM as low power solution for edge application (Invited)	International Memory Workshop	2019/5/13
19	H. Akinaga	産業技術総合研究所	The Role of Nanotechnology in Resistive Analog Neuromorphic Devices for Edge AI Computing (Invited)	The 17th International Nanotech Symposium & Exhibition NANO KOREA 2019	2019/7/4
20	T. Hasegawa	早稲田大学	Mechanism of STM and LTM-based learning of molecular gap atomic switches (Invited)	MEMRISYS 2019	2019/7/8
21	T. Mikawa, R. Yasuhara, K. Katayama, K. Kouno, T. Ono, R. Mochida, M. Nakayama, H. Suwa, Y. Gohou and T. Kakiage	パナソニックセミコンダクタソリューションズ(株) [現 ヌヴォトンテクノロジージャパン(株)]	Neuromorphic computing based on Highly reliable Analog ReRAM by filament control (Invited)	International Conference on Solid State Devices and Materials	2019/9/4
22	M. Aono	慶應義塾	Amoeba-based computing and its electronic circuit implementations (Invited)	Santa Fe Institute Workshop "What is Biological Computation ?	2019/9/13

番号	発表者	所属	タイトル	会議名	発表年月
23	T.Asai and H.Momose	北海道大学	Make AI: Hardware-driven open innovation platform for Edge-AI(Invited)	The 32nd International Microprocesses and Nanotechnology Conference	2019/10/28 ~31
24	T. Hasegawa, A. Suzuki, T. Tsuruoka	早稲田大学	Control of analog change in resistance and its characteristics using atomic switches(Invited)	MNC 2019	2019/10/29
25	T. Hasegawa, A. Kassai, A. Suzuki, T. Tsuruoka	早稲田大学	Analog resistance change in molecular-gap atomic switches (Invited)	IEEE International Workshop on Future Computing 2019 (IWOFC 2019)	2019/12/15
26	T. Mikawa	パナソニックセミコンダクターソリューションズ(株) [現 ヌヴォンテクノロジー・ジャパン(株)]	Embedded ReRAM technology and neuromorphic application (Invited)	China Semiconductor Technology International Conference (CSTIC)	2020/6/27
27	百瀬 啓	北海道大学	ディープラーニング及びニューロチップの最新動向 (招待講演)	JEITA マイクロプロセッサ専門委員会 第2回 IoT 懇談会, JEITA, 東京, 日本	2016/11/4
28	青野真士	東京工業大学	自然知能システム: 粘菌の計算パワーを活用する (招待講演)	シンポジウム「人工生体プログラムブルシステム ~精密構造設計から分子ロボティクスへ~」, 第54回日本生物物理学会年会, つくば国際会議場	2016/11/27
29	浅井 哲也	北海道大学	ニューラルネットワーク集積回路の概要 ~歴史と流派、近年の動向と可能性のある未来~ (招待講演)	超精密加工専門委員会第70回研究会, メルパルク大阪, 大阪, 日本	2016/12/16
30	青野真士	東京工業大学	粘菌アメーバに学んだ自然計算デバイス (招待講演)	第70回研究会「脳型コンピューティングの最前線~生物、ニューロモルフィックから人工知能まで~」, 超精密加工専門委員会, 精密工学会, メルパルク大阪	2016/12/16
31	青野真士	東京工業大学	アメーバ型アルゴリズムから自然計算デバイスへ (招待講演)	シンポジウム「ナチュラルコンピューティングとレーザーカオス」, レーザー学会学術講演会第37回年次大会, 徳島大学	2017/1/8
32	百瀬 啓	北海道大学	ディープラーニングおよびニューロチップの最新動向 (招待講演)	九州大学システム情報科学府 情報知能工学専攻セミナー, 九州大学, 福岡, 日本	2017/1/10

番号	発表者	所属	タイトル	会議名	発表年月
33	青野真士	東京工業大学	粘菌アメーバに学んだナノアーキテクトニクス計算 (招待講演)	応用物理学会 有機分子・バイオエレクトロニクス分科会 2月研究会「生命知能が紡ぐ次世代コンピューティング ～分子エレ・バイオエレへの展開は可能か?～」東京大学駒場キャンパス	2017/2/21
34	百瀬 啓, 浅井 哲也	北海道大学	ニューロチップの動向と未来 (招待講演)	第64回応用物理学会春季学術講演会シンポジウム「ニューロモルフィックハードウェアにおける機能性酸化物の役割」, パシフィコ横浜, 横浜, 日本	2017/3/16
35	植吉 晃大, 高前田 伸也, 池辺 将之, 浅井 哲也, 本村 真人	北海道大学	ハードウェアディープラーニングアクセラレータの研究動向 (招待講演)	2017年電子情報通信学会総合大会 シンポジウムセッション「神経回路ハードウェア研究の最前線」, 名城大学, 名古屋, 日本	2017/3/22
36	長谷川剛	早稲田大学	電気化学反応を利用した情報処理デバイス (招待講演)	電気化学会第84回大会	2017/3/27
37	百瀬 啓	北海道大学	ディープラーニングチップ実装の勘所と最新動向 (招待講演)	LSIとシステムのワークショップ 2017「ロボティクス、AI、IoTによる快適社会の実現に向けたLSIとシステム」, 東京大学, 東京, 日本	2017/5/16
38	浅井 哲也	北海道大学	情報科学とデバイス・ものづくり融合研究による人工知能のシンギュラリティ到達加速 (招待講演)	JSTセミナー「革新的コンピューティングに資する新探求アーキテクチャ」, JST 東京本部別館, 東京, 日本	2017/6/15
39	浅井 哲也	北海道大学	AIのハードウェア: イントロダクション (招待講演)	日本学術振興会 151委員会研究会、理化学研究所、和光、日本	2017/7/10
40	青野真士	慶應義塾	粘菌アメーバに学んだ計算パラダイム (招待講演)	日本学術振興会「シリコン超集積システム第165委員会」7月研究会「AI時代の超越を目指す計算機技術」, 東京大学生産技術研究所	2017/7/19
41	青野真士	慶應義塾	粘菌アメーバの計算原理に学んだアルゴリズムとアーキテクチャ (招待講演)	電気学会ナノエレクトロニクス新機能創出・集積化技術専門委員会「新材料・新原理トランジスタ, 新コンピューティング」, 早稲田大学	2017/7/21
42	青野真士	慶應義塾	粘菌アメーバに学ぶ自然計算パラダイム (招待講演)	第21回 SFC フォーラム経営サロン, 大磯プリンスホテル	2017/9/1

番号	発表者	所属	タイトル	会議名	発表年月
43	肥田 格, 植吉 晃大, 高前田 伸 也, 池辺 将之, 本村 真人, 浅井 哲也	北海道大学	不揮発アナログシナプスデバイスの素 子数を半減する重み符号固定事前 学習法とその深層学習への適用	日本神経回路学会第 27 回全 国大会, 北九州国際会議場, (福岡)	2017/9/20 ~22
44	百瀬 啓	北海道大学	AI マシンの性能/電力比を急増させ るディーラーニングチップ (招待講 演)	SPI フォーラム「IoT と AI のコン バージェンス時代」, 機械振興 会館, 東京, 日本	2017/10/20
45	青野真士	慶應義塾	アメーバ計算パラダイム: ウェットウエ ア、ソフトウェア、ハードウェアによる自然 計算 (招待講演)	日立北大ラボ「社会創造数学セ ミナー」, 北海道大学電子科学 研究所	2017/11/2
46	長谷川剛	早稲田大学	Molecular Gap-based Atomic Switch (招待講演)	ナノ学会 構造・機能-機能・応 用部会合同シンポジウム、セレクト ロイヤル八代	2017/11/26
47	青野真士	慶應義塾	粘菌アメーバに学んだ計算モデルでケ ミカルスペースを旅する (招待講演)	第 31 期 CAMM フォーラム合 宿研究会, 小淵沢リゾナーレ 八ヶ岳, 山梨県北杜市	2017/12/7
48	百瀬 啓	北海道大学	AI Chip と自動運転の可能性(招 待講演)	東北大学国際集積エレクトロニ クス研究開発センター (CIES) 技術講演会、東北大学、仙 台、日本	2017/12/15
49	青野真士	慶應義塾	粘菌アメーバに学ぶモノを使ったコン ピューターの可能性 (招待講演)	山梨大学教養教育センター講 義「ものといのち」, 山梨大学	2017/12/20
50	青野真士	慶應義塾	粘菌アメーバにインスパイアされた自然 計算モデル ~ウェットウェア、ソフト ウェア、ハードウェアによる実装~ (招 待講演)	東北大学電気通信研究所	2017/12/22
51	百瀬 啓	北海道大学	AI Chip の最新情報とその進化(招 待講演)	日本学術振興会シリコン超集積 システム第 165 委員会第 88 回研究会「突き抜けるデバイスの 進化」, 東京大学、東京、日本	2018/1/10
52	長谷川剛	早稲田大学	原子スイッチを用いたシナプス動作 (招待講演)	応用物理学会 薄膜・表面物 理分科会 第 23 回電子デバイ ス界面テクノロジー研究会	2018/1/19
53	青野真士	慶應義塾	時空間相関をもつ揺らぎの探索能力 を活用するアメーバ型コンピューティ ング (招待講演)	第 23 回電子デバイス界面テク ノロジー研究会, 企画セッション 「ポストディーラーニングに向けた ニューロチップの基盤技術」, 東 レ総合研修センター, 静岡県三 島市	2018/1/19

番号	発表者	所属	タイトル	会議名	発表年月
54	秋永 広幸、 島 久	産業技術総合研究 所	機能性酸化物アナログ抵抗変化デ バイスをを用いたニューロモルフィックコン ピューティング研究開発の動向～材 料・デバイス・回路・アーキテクチャの 一体型開発～ (招待講演)	日本学術振興会「分子系の複 合電子機能第 181 委員会」 第 28 回研究会	2018/1/22
55	青野真士	慶應義塾	粘菌アメーバに学ぶマテリアル知能 (招待講演)	日本学術振興会「分子系の複 合電子機能第 181 委員会」第 28 回研究会, 東京大学本郷 キャンパス	2018/1/22
56	浅井 哲也	北海道大学	ニューロモルフィックハードウェアの過去 と現在および可能性のある未来像 (招待講演)	第 65 回応用物理学会春季講 演会シンポジウム「ニューロモル フィックハードウェアとはどんなもの だろうか」、早稲田大学、東京、 日本	2018/3/17 ～20
57	三河 巧	パナソニックセミコンダク ターソリューションズ (株) [現 ヌヴォンテクノ ロジージャパン(株)]	More than Moore 時代のデバイス 開発イノベーション (招待講演)	第 65 回応用物理学会春季学 術講演会	2018/3/19
58	青野真士	慶應義塾	粘菌アメーバに学ぶ自然計算モデル とデバイス (招待講演)	2018 年電子情報通信学会総 合大会, 企画公演セッション複 雑コミュニケーションサイエンスと ネットワーク科学, 東京電機大 学	2018/3/22
59	青野真士	慶應義塾	アメーバ計算と化学反応 (招待講 演)	電子情報通信学会複雑コミュニ ケーションサイエンス研究会 2017 年度第 4 回研究会, 東 京理科大学	2018/3/26
60	秋永広幸, 島久, 内藤 泰久, 浅井 哲也	産業技術総合研究 所	アナログ型抵抗変化ニューロデバイス・ システムのソフト・ハード一体型研究 開発 (招待講演)	電子情報通信学会, 集積回路 研究会, 機械振興会館	2018/4/19
61	秋永広幸	産業技術総合研究 所	ECE プログラムの挑戦～Artificial Intelligence and IoT 分野におけ る事例紹介～ (招待講演)	平成 30 年度第 1 回 CPD 協 議会公開シンポジウム～工学に おける基盤技術の重要性～, 地盤工学会	2018/5/30
62	島 久, 高 橋 慎, 内 藤泰久, 秋 永広幸	産業技術総合研究 所	スパッタリングによる酸化物・窒化物 薄膜の成膜: デジタルメモリから ニューロモルフィック素子への展開(招 待講演)	日本真空学会: スパッタリングお よびプラズマプロセス技術(SP)部 会 2018 年度第 1 回定例会, 機械振興会館	2018/6/1
63	浅井 哲也	北海道大学	今後の AI デバイス研究開発の勘所 (招待講演)	TDK セミナー「近未来 AI の可 能性と将来におけるニューロモー フィックの姿」, TDK Technical Center, 八幡, 日本	2018/7/4

番号	発表者	所属	タイトル	会議名	発表年月
64	青野真士	慶應義塾	Amoeba-inspired Computing (招待講演)	第8回ビッグデータ基盤研究会, 慶應義塾大学独立館	2018/8/7
65	島久、高橋慎、内藤泰久、秋永広幸	産業技術総合研究所	酸化物材料を用いた抵抗変化素子の研究動向 ～ 不揮発性メモリとニューロモルフィック素子への応用～ (招待講演)	電子情報通信学会シリコン材料・デバイス研究会、北海道大学	2018/8/7-9
66	青野真士	慶應義塾	粘菌アメーバに学ぶ柔らかいコンピュータとロボット (招待講演)	武蔵野大学「数理工学シンポジウム 2018」, 武蔵野大学有明キャンパス	2018/8/27
67	百瀬 啓	北海道大学	AI チップ : ディープラーニングからニューロモルフィック (招待講演)	第82回半導体・集積回路技術シンポジウム, 東京理科大学森戸記念館, 東京, 日本	2018/8/30 ～31
68	長谷川剛	早稲田大学	イオンの拡散と酸化還元反応を利用したニューロデバイス (招待講演)	第79回応用物理学会秋季学術講演会シンポジウム「超スマート社会に向けての固体イオニクスデバイス」, 名古屋国際会議場	2018/9/18
69	持田礼司	パナソニックセミコンダクターソリューションズ(株) [現 ヌヴォンテクノロジー・ジャパン(株)]	A 4M Synapses integrated Analog ReRAM based 66.5 TOPS/W Neural-Network Processor with Cell Current Controlled Writing and Flexible Network Architecture (招待講演)	電子情報通信学会 集積回路研究会 メモリ技術と集積回路技術一般, 機械振興会館, 東京	2019/4/23
70	浅井 哲也	北海道大学	人工知能チップによる未来社会(招待講演)	北海道大学・道民カレッジ連携 公開講座「人工知能とビッグデータ」, Sapporo Convention Center, 札幌, 日本	2019/5/26
71	青野真士	慶應義塾	粘菌アメーバに学ぶ Domain-Specific な計算アーキテクチャとロボット (招待講演)	第2回サステナブルコンピューティング特別研究会, 慶應義塾大学日吉キャンパス来往舎	2019/8/10
72	三河 巧, 安原 隆太郎, 片山幸治, 持田礼司, 小野貴史, 早田百合子, 諏訪仁史, 中山雅義, 河野和幸	パナソニックセミコンダクターソリューションズ(株) [現 ヌヴォンテクノロジー・ジャパン(株)]	エマージング不揮発性メモリ技術とそのニューロモルフィック応用 (招待講演)	第83回半導体・集積回路技術シンポジウム, 東京理科大学森戸記念館	2019/8/29
73	秋永広幸, 島久, 高橋慎, 内藤泰久	産業技術総合研究所	アナログ型抵抗変化ニューロデバイスの実用化研究開発 (招待講演)	2019年電気学会電子・情報・システム部門大会、沖縄	2019/9/6

番号	発表者	所属	タイトル	会議名	発表年月
74	浅井 哲也	北海道大学	ものづくりを中心とした AI オープンイノベーション：エッジ AI デバイスの新価値創出に向けた北大の取り組み (招待講演)	Multiple Innovative Kenkyu-kai Association for wireless communications 2019 (MIKA2019), 北海道大学, 札幌, 日本	2019/10/2 ~4
75	青野真士	慶應義塾	組合せ最適化と自然計算 (招待講演)	JEITA 電子材料・デバイス技術専門委員会「非ノイマン型情報処理へ向けたデバイス技術分科会」, 大手センタービル	2019/10/16
76	青野真士	慶應義塾	粘菌アメーバに学んだやわらかいコンピュータとロボットを創る (招待講演)	「細胞を創る」研究会 12.0, セッション 2「やわらかいロボットを創る」, 愛媛大学	2019/10/17
77	浅井 哲也	北海道大学	AI チップ：研究開発の動向とエッジ AI アプリ創出に向けた取り組み(招待講演)	第 6 回先端イメージングデバイス・技術分科会, JEITA, 東京, 日本	2019/11/22
78	Hiroyuki Akinaga, Hisashi Shima, Makoto Takahashi, and Yasuhisa Naito	産業技術総合研究所	Resistive Digital and Analog Devices for Novel Edge Computing (招待講演)	PCOS2019 (相変化研究会シンポジウム), 熱海	2019/11/28 ~29
79	浅井 哲也	北海道大学	エッジ AI の新価値創出に向けたハードウェア指向オープンイノベーションプラットフォーム (招待講演)	エレクトロニクス実装学会春季講演大会, 横浜国立大学, 横浜, 日本	2020/3/3~5
80	I. Hida, M. Ikebe, T. Asai, and M. Motomura	北海道大学	A two-clock-cycle naive Bayes classifier for dynamic branch prediction in pipelined RISC microprocessors	2016 IEEE Asia Pacific Conference on Circuits and Systems, Ramada Plaza Jeju Hotel, Jeju, Korea	2016/10/25 ~31
81	K. Orimo, K. Ando, K. Ueyoshi, M. Ikebe, T. Asai, and M. Motomura	北海道大学	FPGA architecture for feed-forward sequential memory network targeting long-term time-series forecasting	2016 International Conference on Reconfigurable Computing and FPGAs, Iberostar Cancun hotel, Cancun, Mexico	2016/11/30 ~12/2

番号	発表者	所属	タイトル	会議名	発表年月
82	K. Kouno	パナソニックセミコンダクタソリューションズ(株) [現 ヌヴォトンテクノロジージャパン(株)]	ReRAM device and circuit design for memory and future beyond-memory applications	The 7th imec-Stanford International Workshop on Resistive Switching Memories, imec Leuven, Belgium	2017/9/7
83	I. Hida, K. Ueyoshi, S. Takamaeda-Yamazaki, M. Ikebe, M. Motomura, and T. Asai	北海道大学	Sign-invariant unsupervised learning facilitates weighted-sum computation in analog neural-network devices	2017 International Symposium on Nonlinear Theory and Its Applications, Cancun International Convention Center, Cancun, Mexico	2017/12/4 ~7
84	H. Shima, M. Takahashi, Y. Naitoh, and H. Akinaga	産業技術総合研究所	Electrode Material Dependence of Resistive Switching Behavior in Ta ₂ O ₅ Resistive Analog Neuromorphic Device	2018 IEEE Electron Devices Technology and Manufacturing Conference, 神戸, 日本	2018/3/13 ~16
85	Hisashi Shima, Makoto Takahashi, Yasuhisa Naitoh, and Hiroyuki Akinaga	産業技術総合研究所	Impact of Oxygen Reservoir Layer on Analog Resistance Change Behavior in TaO _x Resistance Analog Neuromorphic Device	3rd Electron Devices Technology and Manufacturing, Singapore	2019/3/14
86	R.Mochida, K.Kouno, Y.Hayata, M.Nakayama, T.Ono, H.Suwa, R.Yasuhara, K.Katayama, T.Mikawa, Y.Gohou	パナソニックセミコンダクタソリューションズ(株) [現 ヌヴォトンテクノロジージャパン(株)]	A 4M Synapses integrated Analog ReRAM based 66.5 TOPS/W Neural-Network Processor with Cell Current Controlled Writing and Flexible Network Architecture	2018 Symposia on VLSI Technology and Circuits, Honolulu, Hawaii	2018/6/21

番号	発表者	所属	タイトル	会議名	発表年月
87	I. Hida	北海道大学	Embedding a Naive Bayes Classifier as a Dynamic Branch Predictor into a Pipelined Microprocessor	The 2nd GI-CoRE GSQ, GSB, & IGM Joint Symposium -Quantum, Informatics, Biology & Medicine-, 北海道大学, 札幌, 日本	2018/8/7~8
88	M. Mikami, N. Tanahashi, T. Tsuruoka, T. Hasegawa	早稲田大学	Diffusion barrier height-controlled reduction of an operating bias of a Ag/Ta ₂ O ₅ /Pt gapless-type atomic switch	MNC 2019, International Conference Center Hiroshima, 広島, 日本	2019/10/31
89	T.Kaneko, H.Momose, and T.Asai	北海道大学	An FPGA accelerator for embedded microcontrollers implementing a ternarized backpropagation algorithm	2019 International Conference on Reconfigurable Computing and FPGAs (ReConFig 2019), Grand Park Royal Cancun Caribe, Cancun, Mexico	2019/12/9 ~11
90	三河 巧	パナソニックセミコンダクターソリューションズ(株) [現 ヌヴォンテクノロジー・ジャパン(株)]	ReRAM technology and Future beyond-memory application	応用物理学会関西支部セミナー「脳型素子としての抵抗変化素子開発の最前線」、関西大学	2017/11/18
91	長谷川剛	早稲田大学	STM and LTM-based learning by a molecular gap atomic switch	応用物理学会関西支部セミナー「脳型素子としての抵抗変化素子開発の最前線」、関西大学	2017/11/18
92	島 久、高橋 慎、内藤泰久、秋永広幸	産業技術総合研究所	Ta ₂ O ₅ 抵抗変化素子のアナログ抵抗変化特性	第 65 回応用物理学会春季学術講演会、早稲田大学	2018/3/18
93	金子 竜也、折茂 健太郎、池辺 将之、高前田 伸也、本村 真人、浅井 哲也	北海道大学	敵対的生成ネットワークのハードウェア指向アルゴリズムとそのアーキテクチャの検討	2018 年電子情報通信学会 NOLTA ソサイエティ大会, 京都テルサ, (京都)	2018/6/9

番号	発表者	所属	タイトル	会議名	発表年月
94	池上 高広, 池辺 将之, 高前田 伸也, 本村 真人, 浅井 哲也	北海道大学	前庭動眼反射を考慮した初期聴覚モデル～有毛細胞への雑音印加による音圧評価～	2018 年電子情報通信学会 NOLTA ソサイエティ大会, 京都テルサ, (京都)	2018/6/9
95	池上 高広, 池辺 将之, 高前田 伸也, 本村 真人, 浅井 哲也,	北海道大学	前庭動眼反射を考慮した初期聴覚モデルの考察と回路評価	電子情報通信学会 SDM/ICD/ITE 合同研究会, 北海道大学, (札幌)	2018/8/7～9
96	島久、高橋 慎、内藤泰久、秋永広幸	産業技術総合研究所	TaOx 薄膜を用いたアナログ抵抗変化素子中の酸素分布に依存して観測される競合的な抵抗変化	第 66 回応用物理学会春季学術講演会, 東京工業大学	2019/3/10
97	金子 竜也, 高前田 伸也, 本村 真人, 浅井 哲也	北海道大学	オンライン学習を行う階層型ニューラルネットワークハードウェアの低電力化に向けた三値バックプロパゲーション法の提案	LSI とシステムのワークショップ 2019, 東京大学生産技術研究所, (東京)	2019/5/13 ～14
98	金子 竜也, 山岸 善治, 百瀬 啓, 浅井 哲也	北海道大学	エッジ AI に向けた三値バックプロパゲーション法とその FPGA 実装	電子情報通信学会 非線形問題研究会, 宮古島マリンターミナル, (沖縄)	2020/1/23 ～25
99	金子 竜也, 浅井 哲也	北海道大学	エッジ AI コンピューティングに向けた低電力・低リソース化学習アルゴリズムとその FPGA 実装	東北大学電気通信研究所共同プロジェクト研究会, 東北大学電気通信研究所, (仙台)	2020/2/5
100	秋永広幸	産業技術総合研究所	Brain-inspired ReRAM Devices for AI-edge Computing	2020 IEEE 70th Electronic Components and Technology Conference (ECTC)	2020/5/28
101	浅井 哲也, 百瀬 啓	北海道大学	Programming artificial intelligence: A reconfigurable AI shield for embedded microcontrollers	2020 International Conference on Solid State Devices and Materials (SSDM 2020)	2020/9/29

(b) 新聞・雑誌等への掲載

番号	所属	タイトル	掲載誌名	発表年月
1	新エネルギー・産業技術総合開発機構	世界最高水準の低消費電力化を実現する AI 半導体向け「脳型情報処理回路」を開発	https://www.nedo.go.jp/news/press/AA5_100977.html	2018/6/18

番号	所属	タイトル	掲載誌名	発表年月
2	百瀬啓, 浅井哲也	学習も推論も! 人工知能スターキット AI Arduino	CQ 出版: トランジスタ技術	2018年 11月号
3	北海道大学	Maker Spotlight, Make Community,	Make: Magazine	2019/9/23
4	北海道大学	Maker Faire Rome Blog, "PROGRAMMING ARTIFICIAL INTELLIGENCE: FROM JAPAN AN ACCELERATOR FOR ARDUINO, "	Maker Faire Rome	2019/9/24
5	北海道大学	特集 テクノロジ解剖 ハードウェア AI の研究 第1部	CQ 出版: トランジスタ技術	2020年 10月号
6	北海道大学	連載 学習と推論をリアルタイム処理! ハードウェア AI 入門<1>	CQ 出版: トランジスタ技術	2020年 11月号

(c) 広報活動等の実績・件数

番号	主催者	会議名	会場	発表年月
1	産業技術総合研究所	第1回 人材育成スクール	産業技術総合研究所	2017/2/23 ~24
2	北海道大学	人工知能による二者対談システム	Maker Faire 東京	2017/8/5~6
3	北海道大学	あらゆるモノを智能化! Makers 向け AI 搭載プラットフォーム	CEATEC JAPAN 2017	2017/10/3 ~6
4	産業技術総合研究所	第2回 人材育成スクール	早稲田大学 / 産業技術総合研究所	2017/10/10 ~11、 10/24~25、 12/21~22
5	新宮原正三 (関西大学)、長谷川剛 (早稲田大学)	応用物理学会関西支部セミナー「脳型素子としての抵抗変化素子開発の最前線」	関西大学	2017/11/18
6	青野真士 (慶應義塾大学)	第1回アメーバ計算ワークショップ	慶應義塾大学湘南藤沢キャンパス	2017/12/8
7	北海道大学	FPGA シールド for Arduino : パブリックベータ体験	北海道大学東京オフィス	2018/3/23 ~24
8	T. Asai	Neuromorphic AI hardware evolved from integration of information science and manufacturing technologies	2018 Symposia on VLSI Technology and Circuits, VLSI Technology Short Courses & Workshops, Device and Integration Technologies for Sub-5nm CMOS and Next Wave of Computing, Hawaii	2018/6/18
9	北海道大学	誰でも使える人工知能: FPGA2I シールド	Maker Faire 東京	2018/8/5~6

番号	主催者	会議名	会場	発表年月
10	産業技術総合研究所	第3回 人材育成スクール	早稲田大学 / 産業技術総合研究所	2018/8/9 ~10、 8/28~29、 9/20~21
11	百瀬啓, 浅井哲也	学習も推論も！人工知能スタートキット AI Arduino	CQ 出版：トランジスタ技術	2018年 11月号
12	産業技術総合研究所	第4回 人材育成スクール実習	早稲田大学 / 産業技術総合研究所	2019/1/8 ~9、 2019/1/28 ~29
13	北海道大学	FPGA シールド For Arduino : パブリックベータ体験 2	北海道大学東京オフィス	2019/3/17 ~18
14	産業技術総合研究所	第5回 人材育成スクール実習	産業技術総合研究所	2019/8/8 ~-9、 2019/8/29 ~30
15	北海道大学	大阪大学 SEEDS プログラム 12.人工知能と遊ぼう！人工知能を育ててみよう！	大阪大学	2019/8/26 ~27
16	北海道大学	Maker Spotlight, Make Community,	Make: Magazine	2019/9/23
17	北海道大学	Maker Faire Rome Blog, "PROGRAMMING ARTIFICIAL INTELLIGENCE: FROM JAPAN AN ACCELERATOR FOR ARDUINO, "	Maker Faire Rome	2019/9/24
18	百瀬 啓	組込マイコン用の AI アクセラレータ：FPGA2I シールド、"NoMaps NEDO Dream Pitch" with 起業家万博	札幌市研修施設 ACU-A	2019/10/16
19	北海道大学	RECONFIGURABLE AI SHIELD FOR EMBEDDED MICROCONTROLLERS	Maker Faire Rome	2019/10/18 ~20
20	北海道大学	Maker of Merit, Maker Faire Rome Award,	Maker Faire Rome	2019/10/20
21	H. Momose, T. Kaneko, T. Asai	Demo: An FPGA Accelerator for Arduino implementing a Ternarized Backpropagation Algorithm	Reconfig 2019: 2019 International conference on Reconfigurable Computing and FPGAs, Cancun, Mexico	2019/12/9 ~11
22	北海道大学	ユーザドリブン型価値創造プラットフォーム、NEDO フェスタ in 関西	グランフロント大阪ナレッジキャピタルコングレコンベンションセンター	2019/12/17 ~18

番号	主催者	会議名	会場	発表年月
23	北海道大学	fpga2i コンソーシアム (Twitter 作品投稿イベント)	Maker Faire Tokyo	2020/10/4

◎研究開発テーマ「組合せ最適化処理に向けた革新的アニーリングマシンの研究開発」

【特許】

番号	出願者	出願番号	国内 外国 PCT	出願日	状態	名称	発明者
1	(株)日立製作所	特願 2018-032961	国内	2018/2/27	公開	情報処理装置および 半導体集積回路装置	林真人,山岡雅直
2	(株)日立製作所	特願 2019-058983	国内	2019/3/26	公開	半導体装置	林真人
3	産業技術総合研究所	特願 2017-079583 PCT/JP2018/009994	国内 PCT	2017/4/13 2018/03/14	みなし 取下 公開	量子アニーリングのための 処理方法	今福健太郎
4	産業技術総合研究所	特願 2017-097658 PCT/JP2018/017962	国内 PCT	2017/5/16 2018/5/9	みなし 取下 登録	量子ビットデバイス	日高睦夫、前澤 正明
5	産業技術総合研究所	特願 2020-146970	国内	2020/09/01	出願	三次元積層構造	菊地克弥, 馮 ウェイ, 荒賀 佑 樹, 川畑 史郎, 山森 弘毅

【論文】

番号	発表者	所属	タイトル	発表誌名、ページ番号	査読	発表年月
1	T. Takemoto, M. Hayashi, C. Yoshimura , M. Yamaoka	(株)日立製作所	A 2×30k-Spin Multichip Scalable Annealing Processor Based on a Processing-In-Memory Approach for Solving Large- Scale Combinatorial Optimization Problems	IEEE Journal of Solid- State Circuits volume: 55, issue: 10	有	2020/1
2	Chihiro Yoshimura , Masato Hayashi, Takashi Takemoto and Masanao Yamaoka	(株)日立製作所	CMOS Annealing Machine: A Domain-Specific Architecture for Combinatorial Optimization Problem	ASP-DAC2020 https://aspdac2020.github.io/aspdac20/	無	2019/11/11

番号	発表者	所属	タイトル	発表誌名、ページ番号	査読	発表年月
3	山岡雅直	日立製作所	組合せ最適化処理を加速する半導体 CMOS アニーリングマシン	精密工学会誌 2019 年 12 月号 vol.85, No.12,2019 p.1044	有	2019/12
4	山岡雅直	日立製作所	CMOS アニーリング	日本表面真空学会誌「表面と真空」2020 年 3 月号 p.29	有	2020/3/10
5	山岡雅直	日立製作所	CMOS アニーリングマシンの概要と開発状況	電子情報通信学会誌 3 月号小特集 3-1	有	2020/3
6	山岡雅直	日立製作所	CMOS アニーリングマシンの概要	電子情報通信学会 和文論文誌 Vol.J103-C, No.09, pp. -, Sep. 2020.	有	2020/9/1
7	M. Maezawa, K. Imafuku, M. Hidaka, H. Koike, S. Kawabata	産業技術総合研究所	Design of Quantum Annealing Machine for Prime Factoring	Proceedings of the 16th International Superconductive Electronics Conference (ISEC 2017), pp. 1-3 doi: 10.1109/ISEC.2017.8314195	有	2018/3
8	関優也、川畑史郎	産業技術総合研究所	量子コンピュータと量子アニーリングマシンによる量子シミュレーション	数理科学 No. 667 (2019) 40-46	有	2019/1
9	川畑史郎	産業技術総合研究所	量子コンピュータと量子アニーリングマシンの最新研究開発動向—Quantum 2.0 時代の幕開け—	低温工学 Vol. 53 No. 5 (2018) 271-277	有	2018/5
10	川畑史郎	産業技術総合研究所	量子アニーリングのためのハードウェア技術—超伝導エレクトロニクスと超伝導量子回路—	オペレーションズ・リサーチ 63 (2018) No.6 335-341	有	2018/6
11	川畑史郎、日高睦夫、牧瀬圭正、藤井剛、日置雅和、浮辺雅宏、菊地克弥	産業技術総合研究所	超伝導量子アニーリングマシンの設計・製造・実装技術	エレクトロニクス実装学会誌 Vol. 22 No. 6 (2019) 535-541	有	2019/6
12	川畑史郎	産業技術総合研究所	イジングマシンの過去・現在・これから	表面と真空 Vol. 63 No. 3	無	2020/3
13	渡部昌平、関優也、川畑史郎	東京理科大、産業技術総合研究所	量子アニーリングの現状と未来	理大科学フォーラム Vol. 416 No. 4 (2020) 12-15	有	2020/4

番号	発表者	所属	タイトル	発表誌名、ページ番号	査読	発表年月
14	M. Maezawa, G. Fujii, M. Hidaka, K. Imafuku, K. Kikuchi, H. Koike, K. Makise, S. Nakagawa, H. Nakagawa, M. Ukibe, S. Kawabata	産業技術総合研究所	Toward Practical-Scale Quantum Annealing Machine for Prime Factoring	J. Phys. Soc. Jpn. 88 (2019) 061012	有	2019/4
15	Y. Seki, S. Tanaka, S. Kawabata	産業技術総合研究所	Quantum Phase Transition in Fully-Connected Quantum Wajnflasz-Pick Model	J. Phys. Soc. Jpn. 88 (2019) 054006	有	2019/1
16	S. Watabe, Y. Seki, S. Kawabata	東京理科大、産業技術総合研究所	Enhancing quantum annealing performance by a degenerate two-level system	Sci. Reports 10 (2020) 146	有	2020/1
17	Z.H. Peng, J.H. Ding, Y. Zhou, L.L. Ying, Z. Wang, L. Zhou, L.M. Kuang, Yu-xi Liu, O.V. Astafiev, J.S. Tsai	Hunan Normal Univ., Tsinghua Univ., Tokyo U. of Sci., Beijing N. Res. Center for Inf.Sci. and Technology, Univ.of London, Nat. Phys. Lab., Moscow Ins. of Phys. and Tech.	Vacuum-induced Autler-Townes splitting in a superconducting	Phys. Rev A 97, 063809, pp.1-8	有	2018/6

番号	発表者	所属	タイトル	発表誌名、ページ番号	査読	発表年月
18	J.T. Peltonen, P.C.J.J. Coumou, Z.H. Peng, T.M. Klapwijk, J.S. Tsai, O.V. Astafiev	RIKEN, Aalto Univ., Delft University, Hunan Normal Univ., Moscow State Pedagogical Univ., Tokyo U. of Sci., Univ. of London, Moscow Ins. of Phys. and Tech.	Hybrid rf SQUID qubit based on high kinetic inductance	Scientific Reports, 8, 10033, pp.1-8	有	2018/7
19	向井 寛人、朝永 顕成、蔡 兆申	理化学研究所、東京理科大学	超伝導量子コンピュータの基礎と最先端、低温工学	Vol.53、No.5	有	2018/6
20	H. Mukai, A. Tomonaga, J.S. Tsai	RIKEN, Tokyo Univ. of Science	Superconducting Quantum Annealing Architecture with LC Resonators	J. Phys. Soc. Japan, 88, 661011	有	2019/4
21	Y. Zhou, Z.H. Peng, Y. Horiuchi, O.V. Astafiev, J.S. Tsai	RIKEN, Tokyo U. of Sci., Hunan Normal Univ., Skolkovo Ins. of Sci. and Tech. Univ. of London, Nat. Physical Lab., Moscow Ins. of Phys. and Tech.	Tunable Microwave Single-Photon Source Based on Transmon Qubit with High Efficiency	Phys. Rev. Applied, 13, 034007	有	2020/3
22	H. Mukai, K. Sakata, S.J Devitt, R. Wang, Y. Zhou, Y. Nakajima, J.S. Tsai	RIKEN, Tokyo U. of Sci., Univ. of Technology Sydney	Pseudo-2D superconducting quantum computing circuit for the surfacecode: proposal and preliminary tests	NEW JOURNAL OF PHYSICS 22, 043013, 2020	有	2020/4

番号	発表者	所属	タイトル	発表誌名、ページ番号	査読	発表年月
23	S.-P. Wang, G.-Q. Zhang, Y. Wang, Z. Chen, T. Li, J.S. Tsai, S.Y. Zhu, J.Q. You	RIKEN, Beijing Comput.Sci.Res. C., Zhejiang Univ., Army Eng. Univ., Tsinghua Univ., Frontier Science C. for Quantum Inf., Beijing Academy of Quantum Inf. Sci., Tokyo Univ. of Science	Photon-Dressed Bloch-Siegert Shift in an Ultrastrongly Coupled Circuit Quantum Electrodynamical System	Physical Review Applied, 13, 054063, 2020	有	2020/5
24	田中 宗	早稲田大学	イジングマシンに関するソフトウェア開発およびアプリケーション探索動向	『量子コンピュータ/イジング型コンピュータ研究開発最前線』（情報機構）第4章第2節	無	2019/2
25	田中 宗、松田 佳希	早稲田大学、フィックスターズ	量子アニーリングの動作原理と応用探索	計測と制御、Vol. 58, No. 03, 203-208	有	2019/3
26	Yuya Seki, Shu Tanaka, and Shiro Kawabata	National Institute of Advanced Industrial Science and Technology, Waseda University	Quantum Phase Transition in Fully Connected Quantum Wajnflasz-Pick Model	Journal of the Physical Society of Japan, Vol. 88, 054006-1-12.	有	2019/5
27	Daisuke Oku, Kotaro Terada, Masato Hayashi, Masanao Yamaoka, Shu Tanaka, and Nozomu Togawa	Waseda University, Hitachi	A Fully-Connected Ising Model Embedding Method and Its Evaluation for CMOS Annealing Machines	IEICE Transactions on Information and Systems, E102.D, 1696-1706	有	2019/9
28	白井蒼太郎 吉岡輝昭 蔡兆申	理化学研究所、東京理科大学	ゲート方式超伝導量子コンピュータの要素技術	電子情報通信学会誌 Vol.103, No.3, 2020	有	2020/3

番号	発表者	所属	タイトル	発表誌名、ページ番号	査読	発表年月
29	S. Kwon, A. Tomonaga, G.Lakshmi Bhai S.J. Devitt, J.S. Tsai	RIKEN, Tokyo U. of Sci., Univ. of Technology Sydney	Tutorial: Gate-based superconducting quantum computing	arXiv:2009.08021v1 [quant-ph]	有	2020/9

【外部発表】

(a) 学会発表・講演

番号	発表者	所属	タイトル	会議名	発表年月
1	山岡雅直	日立製作所	An Ising Computing to Solve Combinatorial Optimization Problems	5th Berkeley Symposium on Energy Efficient Electronic Systems & Steep Transistors Workshop	2017/10/19
2	山岡雅直	日立製作所	Natural Computing with Ising Model for Combinatorial Optimization	IEEE International Solid-State Circuits Conference 2018	2017/2/11
3	山岡雅直	日立製作所	組合せ最適化処理に向けた革新的アニーリングマシンの研究開発	電子情報通信学会 2018 年度ソサイエティ大会	2018/9/13
4	-	日立製作所	組合せ最適化問題に特化したクラウド型計算サービスの無償提供を開始	日立製作所ニュースリリース	2018/9/19
5	山岡雅直	日立製作所	CMOS アニーリングマシンの概要	NICT 量子 ICT フォーラム	2018/10/12
6	山岡雅直	日立製作所	組合せ最適化処理に向けた革新的アニーリングマシンの研究開発	一般財団法人マイクロマシンセンター MEMS センシング&ネットワークシステム展 2018	2018/10/12
7	山岡雅直	日立製作所	CMOS アニーリングマシンの概要	日本オペレーションズ・リサーチ学会 第 2 回 OR セミナー	2018/11/9
8	山岡雅直	日立製作所	日本オペレーションズ・リサーチ学会 第 2 回 OR セミナー	ルネサスエレクトロニクス講演会	2018/10/29
9	山岡雅直	日立製作所	CMOS アニーリングマシン	電子情報通信学会 第 12 回 アクセラレーション技術発表討論会	2019/1/28
10	竹本享史, 林真人, 吉村地尋, 山岡雅直	日立製作所	A 2×30k-Spin Multichip Scalable Annealing Processor Based on a Processing-In-Memory Approach for Solving Large-Scale Combinatorial Optimization Problems	ISSCC 2019	2019/2/18

番号	発表者	所属	タイトル	会議名	発表年月
11	-	日立製作所	IoT 機器に実装可能な名刺サイズの CMOS アニーリングマシンを開発	日立製作所プレスリリース	2019/2/19
12	山岡雅直	日立製作所	日立 CMOS アニーリングマシンの概要と開発状況	量子コンピューティング技術シンポジウム	2019/3/11
13	山岡雅直	日立製作所	CMOS アニーリングマシンの概要	Quantum Summit Tokyo 2019	2019/3/13
14	竹本享史	日立製作所	北大・日立新概念コンピューティングコンテスト 2018	情報処理学会 全国大会	2019/3/15
15	山岡雅直	日立製作所	CMOS アニーリングマシンの概要	電子情報通信学会 全国大会	2019/3/21
16	竹本享史	日立製作所	社会システム最適化のための CMOS アニーリングマシンの開発	AIMap 非ノイマン型計算、理論と応用	2019/3/26
17	山岡雅直	日立製作所	半導体を使用した CMOS アニーリングマシン	マルチメディア推進フォーラム PART790	2019/4/4
18	-	日立製作所	所長プレゼン	日立製作所 中央研究所 協創棟オープニングイベント	2019/4/11
19	竹本享史	日立製作所	A 2x30k-Spin Multichip Scalable Annealing Processor Based on a Processing-in-Memory Approach for Solving Large-Scale Combinatorial Optimization Problems	集積回路研究会	2019/4/22
20	山岡雅直	日立製作所	工場のデジタル化と日立的取り組み	デジタルツインに関する IoT セミナー	2019/5/23
21	竹本享史	日立製作所	産学連携プログラミングコンテストを活用した CMOS アニーリングマシン向け前処理アルゴリズムの開発	OR 学会「量子コンピュータと次世代計算機活用」研究グループ 5 月研究会	2019/5/23
22	山岡雅直	日立製作所	CMOS アニーリングマシンの概要	日立 IT ユーザ会	2019/5/24
23	林真人	日立製作所	A Cloud-ready Scalable Annealing Processor for Solving Large-scale Combinatorial Optimization Problems	Symposium on VLSI Circuits	2019/6/12
24	林真人	日立製作所	A Cloud-ready Scalable Annealing Processor for Solving Large-scale Combinatorial Optimization Problems	VLSI シンポジウム報告会	2019/7/5
25	Mertig Normann	日立製作所	Research and Open Innovation at Hitachi Hokkudai Laboratory	Mertig Normann	2019/6/30
26	西村信治	日立製作所	CMOS アニーラの展開	量子イノベーション協創シンポジウム	2019/7/2

番号	発表者	所属	タイトル	会議名	発表年月
28	山岡雅直	日立製作所	CMOS アニーリングマシンの概要と開発状況	AITC オープンラボ	2019/7/3
29	山岡雅直	日立製作所	An In-memory Computing Accelerator, CMOS Annealing Machine, to Solve Combinatorial Optimization Problems	19th International Forum on MPSoC	2019/7/11
30	山岡雅直	日立製作所	CMOS アニーリングマシンの概要と開発状況	(独) 日本学術振興会 先端ナノデバイス・材料テクノロジー第151 委員	2019/7/30
31	山岡雅直	日立製作所	次世代 IT が拓く新ビジネス創出セミナー-2019	港区企業間連携支援事業 第2 回交流会・文科会	2019/8/2
32	林真人	日立製作所	大規模な組合せ最適化問題に向けたスケーラブルな CMOS アニーリングプロセッサ	ITE-IST/SDM/ICD 研究会	2019/8/7
33	奥山拓哉	日立製作所	CMOS アニーリングの最新技術	日立、さくらインターネット主催 ワークショップ	2019/8/30
34	吉村地尋	日立製作所	CMOS Annealing for In-Memory Computing	2019 International Conference on Solid State Devices and Materials	2019/9/4
35	奥山拓哉	日立製作所	日立 CMOS アニーリングの最新開発状況	第3 回 MCPC 量子コンピュータ推進セミナー	2019/9/20
36	高橋由泰	日立製作所	熟練者の知見を活用した計画立案技術	スケジューリング学会・スケジューリングシンポジウム	2019/9/20
37	山岡雅直	日立製作所	CMOS アニーリングマシンの概要と開発状況	日立アカデミックシステム研究会	2019/9/26
38	山岡雅直	日立製作所	A Computing Accelerator, CMOS Annealing Machine, to Solve Combinatorial Optimization Problems	CP2019	2019/9/30
39	矢川雄一	日立製作所	Expanding Open Innovation at Hitachi	RISC-V Day Tokyo 2019	2019/9/30
40	吉村地尋	日立製作所	CMOS Annealing Machine: An In-memory Computing Accelerator to Solve Combinatorial Optimization Problems	4th International Symposium on Research and Education of Computational Science (RECS)	2019/10/2
41	吉村地尋	日立製作所	最適化問題向け計算機「CMOS アニーリングマシン」の概要とその応用	Design Solution Forum 2019	2019/10/3
42	吉村地尋	日立製作所	最適化問題向け計算機「CMOS アニーリングマシン」の大規模 FPGA 実装とそのクラウド運用	Avnet-Xilinx Data Center Acceleration Seminar 2019 Autumn	2019/10/10
43	山岡雅直	日立製作所	CMOS アニーリングマシン	日立 返仁会	2019/10/29

番号	発表者	所属	タイトル	会議名	発表年月
44	山岡雅直	日立製作所	社会インフラの最適運用に向けた日立 CMOS アニールマシン	北大部局横断シンポジウム	2019/10/31
45	Normann Mertig	日立製作所	The CMOS Annealing Machine	Cambridge 大	2019/11/11
46	Chihiro Yoshimura, Masato Hayashi, Takashi Takemoto and Masanao Yamaoka	日立製作所	CMOS Annealing Machine: A Domain-Specific Architecture for Combinatorial Optimization Problem	ASP-DAC2020 https://aspdac2020.github.io/aspdac20/	2019/11/11
47	吉村地尋	日立製作所	CMOS アニールマシンの概要と応用について	量子 ICT フォーラム	2019/11/13
48	山岡雅直	日立製作所	CMOS アニールマシンと次世代コンピュータ	(株) リオン講演会	2019/12/12
49	吉村地尋	日立製作所	社会インフラの最適運用に向けた日立 CMOS アニールマシン	第 19 回 PC クラスタシンポジウム	2019/12/13
50	山岡雅直	日立製作所	最適化処理を加速する CMOS アニールマシンの概要	AI チップ設計拠点フォーラム (第 7 回)	2019/12/23
51	林真人	日立製作所	大規模な組合せ最適化問題に向けたスケーラブルな CMOS アニールプロセッサ	MCPC 量子コンピュータ WG で発行するアニールマシン紹介冊子	2020/1/24
52	山岡雅直	日立製作所	エッジデバイス向け名刺サイズ CMOS アニールマシンの開発	MEMS センシング&ネットワークシステム展 2020	2020/1/30
53	林真人	日立製作所	組合せ最適化処理に向けた CMOS アニールマシンの開発と評価	第 1 回 Cloud Testing Service ユーザ会	2020/2/21
54	-	日立製作所	パートナーとの協創で CMOS アニールマシンの可能性を広げる	日立ホームページ内「新たな協創のカたち」	2020/4
55	川畑史郎	産業技術総合研究所	Quantum applications of superconductor junctions: superconductor/ferromagnet hybrids & quantum annealing	National Research University Higher School of Economics, Moscow Institute of Electronics and Mathematics セミナー	2016/9/29
56	川畑史郎	産業技術総合研究所	量子コンピューティングとイジング型コンピューティング	電気学会ナノエレクトロニクス新機能創出・集積化技術専門員会 「新原理コンピューティング」	2017/3/22
57	川畑史郎	産業技術総合研究所	量子コンピュータ・量子アニール研究の最前線 量子技術産業の曙	上智大学理工学部機能創造理工学科 物性セミナー	2016/10/24

番号	発表者	所属	タイトル	会議名	発表年月
58	川畑史郎	産業技術総合研究所	Large scale superconducting quantum circuits: Quantum metamaterials & quantum annealing	Loughborough University Landau Seminar	2016/11/4
59	川畑史郎	産業技術総合研究所	量子アニーリングの最新研究動向と将来展望	パナソニック技術セミナー	2016/7/26
60	川畑史郎	産業技術総合研究所	量子コンピュータ・量子アニーリング研究の最前線	北海道大学大学院工学研究院応用物理学部門数理物理工学研究室セミナー	2016/12/13
61	小池帆平	産業技術総合研究所	第五世代コンピュータから量子アニーリングまで	日立研究討論会「半導体プロセスのためのデバイス最新動向」— IEDM2016 報告会—	2017/1/31
62	M. Hidaka & S. Nagasawa	産業技術総合研究所	Controllability and Reliability of Fabrication Process for Digital Circuits in CRAVITY	Superconducting SFQ VLSI Workshop	2017/2/20
63	日高睦夫	産業技術総合研究所	超電導エレクトロニクス	第 64 回応用物理学会春季学術講演会シンポジウム「超伝導応用技術開発ロードマップと現状」	2017/3/14
64	川畑史郎	産業技術総合研究所	はじめに：基礎物理学と最先端テクノロジーの融合「イジング型コンピュータ」	2016 年日本物理学会秋季大会シンポジウム「次世代情報処理技術：イジング型コンピュータ」	2016/9/15
65	川畑史郎	産業技術総合研究所	IoT・人工知能時代に向けた超伝導量子アニーリングマシンの開発	産総研－理研 第 2 回量子技術イノベーションコアワークショップ	2016/11/22
66	今福健太郎、片下敏宏、川畑史郎、小池帆平、前澤正明	産業技術総合研究所	Application of Quantum Annealer to Circuit Satisfiability Problem and Cryptanalysis	産総研－理研 第 2 回量子技術イノベーションコアワークショップ	2016/11/22
67	川畑史郎	産業技術総合研究所	量子情報ビジネス“Quantum 2.0”の夜明け：量子コンピュータと量子アニーリング	第 46 回インターネットコンジャパンエレクトロニクス製造・実装技術展	2017/1/19
68	H. Koike, M. Maezawa, K. Imafuku, M. Hioki, S. Kawabata	産業技術総合研究所	ASAC: Application Specific Annealing Circuit – A New Approach Towards Designing a Quantum Annealing Superconductor Integrated Circuit	The 30th International Symposium on Superconductivity(ISS2017)	2017/12/13

番号	発表者	所属	タイトル	会議名	発表年月
69	M. Maezawa, M. Hioki, K. Imafuku, T. Katashita, S. Kawabata, H. Koike, T. Nakagawa, T. Sekigawa	産業技術総合研究所	Simulation of Thermal Annealing of Superconducting Bits	2017 International Workshop on Superconducting Quantum Technology (FLUXONICS)	2017/6/18
70	S. Kawabata	産業技術総合研究所	Towards scalable superconducting quantum annealer	AIST Post Moore Computing Mini Workshop, The International Conference for High Performance Computing, Networking, Storage and Analysis (SC2017)	2017/11/15
71	K. Imafuku, M. Hioki, T. Katashita, S. Kawabata, H. Koike, M. Maezawa, T. Nakagawa, Y. Oiwa, and T. Sekigawa	産業技術総合研究所	Annealing Computation with Adaptor Mechanism and its Application to Property-Verification of Neural Network Systems	Quantum Techniques in Machine Learning (QTML 2017)	2017/11/6

番号	発表者	所属	タイトル	会議名	発表年月
72	M. Hidaka, S. Nagasawa, M. Maezawa, T. Yamada, K. Inomata, G. Fujii, H. Yamamori, M. Ukibe, S. Kawabata	産業技術総合研究所	Novel Fabrication Process and Device Structure for Scalable Superconducting Quantum Annealing Machines	Adiabatic Quantum Computing Conference (AQC 2017)	2017/6/27
73	M. Maezawa, K. Imafuku, M. Hidaka, H. Koike, S. Kawabata	産業技術総合研究所	Technology Integration for Practical-Scale Quantum Annealing Machine	Adiabatic Quantum Computing Conference (AQC 2017)	2017/6/27
74	M. Maezawa, M. Hioki, K. Imafuku, T. Katashita, S. Kawabata, H. Koike, T. Nakagawa, T. Sekigawa	産業技術総合研究所	Simulation of Thermal Annealing of Superconducting Bits	Adiabatic Quantum Computing Conference (AQC 2017)	2017/6/27
75	M. Maezawa, K. Imafuku, M. Hidaka, H. Koike, S. Kawabata	産業技術総合研究所	Design of Quantum Annealing Machine for Prime Factoring	The 16th International Superconductive Electronics Conference (ISEC 2017)	2017/6/12

番号	発表者	所属	タイトル	会議名	発表年月
76	G. Fujii, M. Ukibe, K. Makise, M. Hidaka, S. Nagasawa, H. Yamamori, K. Inomata, T. Yamada, S. Kawabata	産業技術総合研究所	Fabrication of Sn-filled superconducting through-silicon vias (SC-TSV) for large-scale superconducting quantum circuits	APS March Meeting 2018	2018/3/8
77	M. Hidaka, M. Maezawa, K. Makise, S. Nagasawa, T. Yamada, K. Inomata, G. Fujii, H. Yamamori, M. Ukibe, S. Kawabata	産業技術総合研究所	Scalable device structure for large-scale superconducting quantum annealing machines	APS March Meeting 2018	2018/3/8

番号	発表者	所属	タイトル	会議名	発表年月
78	S. Kawabata, K. Endo, G. Fujii, M. Hidaka, M. Hioki, K. Imafuku, K. Inomata, V. Karanikolas, T. Katashita, K. Kikuchi, H. Koike, S. Kohjiro, M. Maezawa, K. Makise, S. Nagasawa, H. Nakagawa, T. Nakagawa, T. Sekigawa, M. Ukibe, C. Watanabe, T. Yamada, H. Yamamori	産業技術総合研究所	Towards large-scale superconducting quantum annealers: 2.5D packaging technology and application specific architecture	APS March Meeting 2018	2018/3/8
79	K. Makise, M. Maezawa, M. Hidaka, H. Nakagawa, K. Kikuchi	産業技術総合研究所	Superconducting solder bumping technology for scalable quantum annealing machines	APS March Meeting 2018	2018/3/8
80	S. Kawabata	産業技術総合研究所	Introduction to superconducting quantum annealing machine	Moscow Institute of Electronics and Mathematics Seminar	2017/11/7

番号	発表者	所属	タイトル	会議名	発表年月
81	S. Kawabata	産業技術総合研究所	Intoroduction to quantum computatiopn	Moscow Institute of Electronics and Mathematics Seminar	2017/11/2
82	川畑史郎	産業技術総合研究所	量子コンピュータ技術の基礎と最新研究開発動向	未踏科学技術協会特別講演会	2018/2/1
83	川畑史郎	産業技術総合研究所	超伝導量子アニーリングマシンの研究開発	理研-産総研合同シンポ	2018/1/31
84	川畑史郎	産業技術総合研究所	量子計算機の研究開発動向とビジネス展開	第 51 回 ISS スクエア水平ワークショップ	2018/1/31
85	川畑史郎	産業技術総合研究所	汎用量子コンピュータの最新研究開発動向	JEITA 第 4 回非ノイマン型情報処理へ向けたデバイス技術分科会	2017/11/22
86	前澤正明	産業技術総合研究所	超伝導量子アニーリングマシンの実用化に向けて	理研-産総研 第三回 量子技術イノベーションコア Workshop	2017/11/13
87	前澤正明	産業技術総合研究所	超伝導量子アニーリングの基礎と応用	日本学術振興会 146 委員会 通信情報処理分科会	2017/8/3
88	川畑史郎	産業技術総合研究所	量子コンピュータの技術動向について	第 1 回つくば応用超電導コンステレーションズセミナー	2017/7/25
89	川畑史郎	産業技術総合研究所	量子コンピュータと量子アニーリング入門：基礎から最先端まで	東京電機大学 鳩山サイエンスフォーラム	2017/6/8
90	川畑史郎	産業技術総合研究所	量子コンピュータと量子アニーリング超入門	山梨大学 学術研究会	2017/6/1
91	川畑史郎	産業技術総合研究所	組合せ最適化処理のための量子アニーリングマシンの研究開発	量子 ICT フォーラム 2017	2017/10/6
92	川畑史郎	産業技術総合研究所	量子コンピュータと量子アニーリングの基礎と最先端	岡山大学理学部物理学科セミナー	2017/12/12
93	川畑史郎	産業技術総合研究所	量子コンピュータ・量子アニーリングの基礎と最新研究開発動向	北海道大学理学部数学科日立北大ラボカフェ	2017/12/19
94	川畑史郎	産業技術総合研究所	量子コンピュータ研究開発最前線	大阪大学大学院基礎工学研究科セミナー	2017/12/25
95	日高睦夫、前澤正明、牧瀬圭正、永沢秀一、山田隆宏、猪股邦宏、藤井剛、山森弘毅、浮辺雅宏、川畑史郎	産業技術総合研究所	拡張可能な超伝導量子アニーリングデバイス構造	電気学会金属・セラミックス/超電導機器合同研究会	2018/1/17

番号	発表者	所属	タイトル	会議名	発表年月
96	日高睦夫、 前澤正明、 牧瀬圭正、 永沢秀一、 山田隆宏、 猪股邦宏、 藤井剛、山 森弘毅、浮 辺雅宏、川 畑史郎	産業技術総合研究 所	超伝導アニーリングマシンに向けたス ケラブルデバイス構造	産総研－理研 第3回量子技 術イノベーションコアワークショップ	2017/11/13
97	Vasilios Karanikola s、田中宗、 前澤正明、 川畑史郎	産業技術総合研究 所	Theory of classical and quantum hybrid annealing	産総研－理研 第3回量子技 術イノベーションコアワークショップ	2017/11/13
98	小池帆平、 前澤正明、 今福健太 郎、日置雅 和、川畑史 郎	産業技術総合研究 所	特定最適化問題専用超伝導量子 アニーリング回路 ASAC	産総研－理研 第3回量子技 術イノベーションコアワークショップ	2017/11/13
99	今福健太 郎、日置雅 和、片下敏 宏、川畑史 郎、小池帆 平、前澤正 明、中川 格、大岩 寛、関川敏 弘	産業技術総合研究 所	量子アニーリングマシンにはニューラル ネットワークの内なる声が聞こえるか	産総研－理研 第3回量子技 術イノベーションコアワークショップ	2017/11/13
100	K. Imafuku	産業技術総合研究 所	Application of Quantum Annealing Mechanism to von Neumann Measurement in Collective Space	Adiabatic Quantum Computing Conference 2018 (AQC-18)	2018/6/26
101	Hanpei Koike, Masaaki Maezawa, Kentaro Imafuku, Masakazu Hioki, Shiro Kawabata	産業技術総合研究 所	Demonstration of A Portable Application-Specific Annealing Circuit (ASAC) for Integer Factoring without Refrigerator	Adiabatic Quantum Computing 2018	2018/6/26

番号	発表者	所属	タイトル	会議名	発表年月
102	Hanpei Koike, Kentaro Imafuku, Masaaki Maezawa, Shiro Kawabata	産業技術総合研究所	AIST Analog Annealer: An Experimental Application-Specific Annealing Circuit Dedicated To Integer Factoring	IEEE International Conference on Rebooting Computing	2018/11/7
103	Hanpei Koike, Kentaro Imafuku, Masaaki Maezawa, Shiro Kawabata	産業技術総合研究所	AIST Analog Annealer: 因数分解専用アニーリングマシン	産総研-理研 第4回 量子技術イノベーションコア Workshop	2018/11/12
104	Hanpei Koike, Kentaro Imafuku, Shiro Kawabata	産業技術総合研究所	Development of a Scalable Annealing Machine Dedicated to Integer Factoring	APS March Meeting 2019	2019/3/6
105	S. Nagasawa, M. Maezawa, M. Hidaka	産業技術総合研究所	Fabrication process for Nb-based quantum annealing devices	International Workshop on Superconducting Sensors and Detectors (IWSSD2018)	2018/7/24
106	S. Nagasawa, K. Hinode, M. Hidaka	産業技術総合研究所	Degradation of Superconducting Contacts depending on Integrated Circuit Layout Design	Superconducting SFQ VLSI Workshop (SSV 2019)	2019/1/17
107	関優也, 田中宗, 川畑史郎	産業技術総合研究所、早稲田大学	Phase transitions in quantum annealing on a qudit system	th Summer School on Semiconductor/Superconductor Quantum Coherence Effect and Quantum Information	2018/9/4
108	牧瀬圭正、前澤正明、仲川博、日高睦夫、菊地克弥、川畑史郎	産業技術総合研究所	Development of superconducting connection by flip-chip bonding for a multilayer superconducting quantum annealing machines	APS March meeting 2019	2019/3/7

番号	発表者	所属	タイトル	会議名	発表年月
109	G. Fujii, M. Ukibe, K. Makise, M. Hidaka, S. Nagasawa, H. Yamamori, K. Inomata, T. Yamada, S. Kawabata	産業技術総合研究所	Fabrication of Sn-Cu alloy superconducting films for filled superconducting through-silicon vias	APS March Meeting 2019	20019/3/7
110	S. Kawabata	産業技術総合研究所	Engineering for scalable superconducting quantum annealers	Superconducting SFQ VLSI Workshop (SSV 2019)	2019/1/17
111	S. Kawabata	産業技術総合研究所	Scalable superconducting quantum annealer based on 2.5D packaging technology and application specific architecture	The 30th International Symposium on Superconductivity (ISS2018)	2018/12/13
112	S. Kawabata	産業技術総合研究所	Integration technology for scalable superconducting quantum annealer	Workshop on Innovative Nanoscale Devices and Systems (WINDS018)	2018/11/27
113	V. Karanikolas, S. Kawabata	産業技術総合研究所	Pulsed Quantum Annealing for Enhanced Success Probability	5th International Conference on Materials Science and Nanotechnology For Next Generation (MSNG-2018)	2018/10/5
114	S. Kawabata	産業技術総合研究所	Large-scale superconducting quantum annealing machine based on 2.5D packaging technology and application specific architecture	The International Conference on Superconducting Quantum Technology (SQT)	2018/8/1
115	S. Kawabata, Vasilios Karanikolas	産業技術総合研究所	Theory of quantum annealing with diabatic pulse	Adiabatic Quantum Computing Conference 2018 (AQC-18)	2018/6/27

番号	発表者	所属	タイトル	会議名	発表年月
116	M. Hidaka, M. Maezawa, K. Makise, S. Nagasawa, T. Yamada, K. Inomata, G. Fujii, H. Yamamori, M. Ukibe, S. Kawabata	産業技術総合研究所	Expansion of fabrication process from superconducting digital to quantum annealing devices	International Workshop of High-Temperature Superconductors in High Frequency Field (HTSHFF 2018)	2018/6/6
117	川畑史郎	産業技術総合研究所	量子アニーリング：ハードウェア開発の現状と課題	第12回アクセラレーション技術発表討論会「量子コンピュータ」	2019/1/28
118	川畑史郎	産業技術総合研究所	超伝導量子アニーリングマシンの大規模化に向けて	新世代コンピューティングシンポジウム/第8回電子光技術シンポジウム	2019/1/25
119	川畑史郎	産業技術総合研究所	超伝導テクノロジーを利用した量子コンピュータと量子アニーリングマシン	研究産業・産業技術振興協会 第3回研究産業技術懇談会,	2018/12/14
120	川畑史郎	産業技術総合研究所	超伝導テクノロジーが拓く革新的コンピュータ：量子アニーリングと量子コンピュータ	産業技術総合研究所テクノブリッジフェアセミナー「量子コンピュータと量子センシングが拓く未来社会」	2018/10/26
121	川畑史郎	産業技術総合研究所	量子コンピュータと量子アニーリングマシンのための三次元実装技術	エレクトロニクス実装学会 次世代配線板研究会「材料・システムから量子コンピュータまで～次世代配線板の姿を探る～」	2018/10/23
122	川畑史郎	産業技術総合研究所	イントロダクション：量子コンピュータ及び関連ハードウェアの研究開発動向	量子 ICT フォーラム 2018	2018/10/11
123	川畑史郎	産業技術総合研究所	量子コンピュータの基礎と最新技術および将来展望～量子コンピュータ、量子アニーリングにおける研究開発、ビジネス展開および今後の展開～	日本テクノセンターセミナー	2018/9/26
124	川畑史郎	産業技術総合研究所	量子コンピュータと量子アニーリングの研究開発最前線	量子コンピューティングビジネスフォーラム 2018	2018/7/30
125	川畑史郎	産業技術総合研究所	量子コンピュータの最新研究開発動向	大阪大学産業科学研究所 量子情報・機械学習セミナー	2018/4/20

番号	発表者	所属	タイトル	会議名	発表年月
126	Shohei Watabe, Yuya Seki, Shiro Kawabata	産業技術総合研究所、東京理科大学	Energy gap scaling of quantum annealing based on Wajnflasz--Pick model	APS March Meeting 2019	2018/3/7
127	川畑史郎	産業技術総合研究所	超伝導量子回路を用いた量子アニーリングマシンと量子シミュレータ：動向・展望・課題	第 79 回応用物理学会秋季学術講演会「量子コンピュータと量子シミュレーションの現状と展望 II」	2018/9/20
128	川畑史郎	産業技術総合研究所	量子力学を利用した革新的コンピュータ：量子コンピュータと量子アニーリングマシン	パナソニックセミナー	2018/12/20
129	川畑史郎	産業技術総合研究所	量子コンピュータと量子アニーリングマシン：基礎から最先端まで	SONY 先端技術セミナー	2018/10/4
130	Y. Matsuzaki, Y. Seki, S. Kawabata	産業技術総合研究所	Quantum annealing with capacitive-shunted flux qubits	International Conference on Solid State Devices and Materials 2019 (SSDM2019)	2019/9/2
131	W. Feng, K. Kikuchi, M. Hidaka, H. Yamamori, Y. Araga, K. Makise, S. Kawabata	産業技術総合研究所	Efficient Heat Transfer by Through Silicon Via in 3D Packaging for Practical-scale Quantum Annealing Machine	International Conference on Solid State Devices and Materials 2019 (SSDM2019)	2019/9/2
132	M. Hidaka	産業技術総合研究所	Japanese activities for superconducting circuits using flip-chip configurations	International Superconductive Electronics Conference (ISEC2019)	2019/7/29
133	M. Hioki, S. Kawabata	産業技術総合研究所	esign Verification of Superconducting Quantum Annealing Integrated Circuits Using EDA tools for VLSI	20th Anniversary of Superconducting Qubits (SQ20th)	2019/5/14

番号	発表者	所属	タイトル	会議名	発表年月
134	G. Fujii, M. Ukibe, K. Makise, M. Hidaka, S. Nagasawa, H. Yamamori, K. Inomata, T. Yamada, S. Kawabata	産業技術総合研究所	Development of Sn-filled superconducting through-silicon vias (SC-TSV) for large-scale superconducting quantum circuits	20th Anniversary of Superconducting Qubits (SQ20th)	2019/5/14
135	H. Koike, K. Imafuku, S. Kawabata	産業技術総合研究所	AIST Analog Annealer: An Experimental Application-Specific Annealing Circuit Dedicated To Integer Factoring,	20th Anniversary of Superconducting Qubits (SQ20th)	2019/5/14
136	S. Watabe, Y. Seki, S. Kawabata	産業技術総合研究所、東京理科大	Quantum annealing based on Wajnasz-Pick model	20th Anniversary of Superconducting Qubits (SQ20th)	2019/5/14
137	川畑史郎	産業技術総合研究所	イジング型コンピュータハードウェアの最新研究開発動向	経済産業省政策シンポジウム「次世代コンピュータが実現する革新的ビジネス～量子コンピュータ/アニーリングマシンが切り開く未来～」	2019/5/20
138	日高睦夫	産業技術総合研究所	超伝導集積回路作製技術の現状と将来展望	応用物理学会超伝導分科会第 60 回研究会	2019/12/12
139	牧瀬圭正、 日高睦夫、 仲川博、菊地克弥、 藤井剛、浮辺雅宏、 川畑史郎	産業技術総合研究所	スケーラブル超伝導量子アニーリングマシンのためのフリップチップボンディングによる超伝導接続と評価	第 80 回応用物理学会秋季学術講演会	2019/9/19
140	蔡 兆申	理化学研究所	Single Microwave Photon Creation and Detection	International Symposium on Dynamics in Artificial Quantum Systems (DQIS), Tokyo	2016/1

番号	発表者	所属	タイトル	会議名	発表年月
141	蔡 兆申	理化学研究所	Superconducting Quantum Electronics	Canadian-Japanese Scientific & Culture Exchange meeting: Quantum Computing via Quantum Annealing (D-Wave Meeting), Tokyo	2016/5
142	蔡 兆申	理化学研究所	超伝導量子情報処理：量子計算、アニーリングとシミュレーション	日本物理学会 シンポジウム、「次世代情報処理技術：イジング型コンピュータ」、金沢	2016/9
143	蔡 兆申	理化学研究所	Quantum chemistry simulation with superconducting boson sampling circuits	MIPT Conference & International School on Superconducting Hybrid Nanostructure: Physics and Application, Russia	2016/9
144	蔡 兆申	理化学研究所	超伝導量子情報処理	IoT 横断：脳型推論集積システム第 1 回人材育成スクール、つくば	2017/2
145	蔡 兆申	理化学研究所	コヒーレント位相滑り素子と量子電流標準	電子通信学会総合大会・名古屋	2017/3
146	J.S. Tsai	理化学研究所	Coherent quantum phase slip in superconducting thin wire	Electron, Ion, and Photon Beam Technology and Nanofabrication 2017 (EIPBN2017), Orlando, USA	2017/6
147	J.S. Tsai	理化学研究所	Superconducting Circuit QED for Quantum Annealing, Computing, & Simulation	Adiabatic Quantum Computing Conference 2017 (AQC2017), Tokyo	2017/6
148	J.S. Tsai	理化学研究所	Superconducting Circuit QED for Quantum Computing, Simulation, & Annealing	Conference on Quantum Computation and Simulation, Kavli Institute for Theoretical Science, Beijing	2017/7
149	蔡 兆申	理化学研究所	新原理量子アニーリング機械の研究開発	平成 29 年度第 2 回中間技術推進委員会およびワークショップ、北海道大学、北海道	2017/9
150	蔡 兆申	理化学研究所	超伝導量子情報と光子を使ったスケールアップ	理研・産総研量子技術イノベーションコア Workshop, 秋葉原 UDX, 東京	2017/11
151	J.S. Tsai	理化学研究所	Coherent superconducting circuits and quantum information – 30 years' advancements	ISS2017 The 30th International Symposium on Superconductivity, Iino Hall and Conference Center, Tokyo	2017/12

番号	発表者	所属	タイトル	会議名	発表年月
152	蔡 兆申	理化学研究所	超伝導万量子計算機に向けた取り組み	理化学研究所・産業技術総合研究所合同シンポジウム, 日本科学未来館, 東京	2018/1
153	蔡 兆申	理化学研究所	超伝導量子情報と光子を使ったスケーリング	次世代配線板研究会公開研究会, エレクトロニクス実装学会, 東京	2018/2
154	Y. Zhou	理化学研究所	[ポスター発表] Tunable Microwave Single Photon Source Based on Transmon Qubit with High Emission Efficiency	International Conference on challenges in Quantum Information Science (CQIS2018), Tokyo	2018/4
155	A. Tomonaga	理化学研究所	[ポスター発表] Superconducting Quantum Annealing Architecture with LC Resonators	International Conference on challenges in Quantum Information Science (CQIS2018), Tokyo	2018/4
156	蔡 兆申	理化学研究所	Superconducting Circuit QED for Quantum Annealing, Computing, & Simulation	IWSSQC, China	2018/5
157	A. Tomonaga	理化学研究所	Qubit-resonator coupling system for quantum annealing	International Conference on Solid State Devices and Materials 2018, Sendai	2018/9
158	蔡 兆申	理化学研究所	超伝導エレクトロニクス技術を利用した量子情報処理: 量子コンピュータと量子アニーリングマシン	低温工学・超電導学会 2018 年度第 3 回冷凍部会例会、東京	2018/9
159	蔡 兆申	理化学研究所	超伝導量子回路と量子コンピュータ	第 79 回応用物理学会秋季学術講演会チュートリアル、名古屋国際会議場、名古屋市	2018/9
160	I. Zotova	理化学研究所	[ポスター発表] Investigation of a microwave beam splitter for quantum experiments	Okinawa School in Physics 2018: Coherent Quantum Dynamics, Okinawa	2018/9
161	Y. Zhou	理化学研究所	[ポスター発表] Tunable Microwave Single Photon Source Based on Transmon Qubit with High Emission Efficiency	The 31 st International Symposium on Superconductivity (ISS2018), Tsukuba, Japan	2018/12
162	G. Lakshmi Bhai	理化学研究所	[ポスター発表] Characterization of C-shunt flux qubit and its further applications in circuit-QED	The 31 st International Symposium on Superconductivity (ISS2018), Tsukuba, Japan	2018/12

番号	発表者	所属	タイトル	会議名	発表年月
163	I. Zotova	理化学研究所	[ポスター発表] Development of a Superconducting Microwave Beam Splitter for Boson Sampling Experiments	The 31 st International Symposium on Superconductivity (ISS2018), Tsukuba, Japan	2018/12
164	I. Zotova	理化学研究所	Interference experiments with superconducting microwave beam splitter	APS March Meeting 2019, Boston, USA	2019/3
165	H. Mukai	理化学研究所	Packaging large-scale superconducting quantum computer with airbridge	APS March Meeting 2019, Boston, USA	2019/3
166	A. Tomonaga	理化学研究所	Superconducting Quantum Annealing Architecture with LC Resonators	APS March Meeting 2019, Boston, USA	2019/3
167	A. Tomonaga	理化学研究所	[ポスター発表] Superconducting lumped element resonator for quantum annealing	20 th Anniversary of Superconducting Qubits (SQ20th), Tsukuba, Japan	2019/5
168	H. Mukai	理化学研究所	[ポスター発表] Pseudo-2D superconducting quantum circuit for the surface codes	20 th Anniversary of Superconducting Qubits (SQ20th), Tsukuba, Japan	2019/5
169	I. Zotova	理化学研究所	[ポスター発表] Tunable superconducting microwave beam splitter and switch on chip	20 th Anniversary of Superconducting Qubits (SQ20th), Tsukuba, Japan	2019/5
170	Y. Zhou	理化学研究所	[ポスター発表] Tunable Microwave Single-Photon Source Based on Transmon Qubit with High Efficiency	20 th Anniversary of Superconducting Qubits (SQ20th), Tsukuba, Japan	2019/5
171	D. Zhang	理化学研究所	[ポスター発表] Hybrid Flux Qubit for Engineering the Couplings in a superconducting Quantum Circuit	20 th Anniversary of Superconducting Qubits (SQ20th), Tsukuba, Japan	2019/5
172	R. Wang	理化学研究所	[ポスター発表] Versatile vacuum gap crossovers (VGCs) for use in compact and low lossy quantum integrated circuit	20 th Anniversary of Superconducting Qubits (SQ20th), Tsukuba, Japan	2019/5
173	蔡 兆申	理化学研究所	技術・芸術・科学、そして量子～複雑適応系の最前線	第2回研究会芸術と量子とナノテクノロジー, 早稲田大学, 東京	2019/6

番号	発表者	所属	タイトル	会議名	発表年月
174	Y. Zhou	理化学研究所	Efficient Tunable Microwave Single-photon Source Based on Transmon Qubit	ISEC2019, Riverside, USA	2019/7
175	I. Zotova	理化学研究所	[ポスター発表] Tunable microwave beam splitter and switch on-chip	2019 RIKEN Summer School, Chiba, Japan	2019/10
176	R. Wang	理化学研究所	[ポスター発表] Versatile Vacuum Gap Crossovers (VGCs) for Use in a Compact Quantum Integrated Circuit	International School and Symposium on Nanoscale Transport and Photonics 2019 (ISNTT2019), Atsugi, Japan	2019/11
177	T. Miyanaga	理化学研究所	[ポスター発表] Tunable coupling of lumped element resonators for scalable annealing architecture	理研—産総研 第5回量子技術イノベーションコア Workshop, 秋葉原, 東京	2019/12
178	I. Zotova	理化学研究所	[ポスター発表] Tunable microwave beam splitter using planar capacitance technology	理研—産総研 第5回量子技術イノベーションコア Workshop, 秋葉原, 東京	2019/12
179	R. Wang	理化学研究所	[ポスター発表] Large dimensional vacuum gap crossovers (VGCs) for use in a compact quantum integrated circuit	EU-USA-Japan International Symposium on Quantum Technology, Kyoto, Japan	2019/12
180	H. Mukai	理化学研究所	[ポスター発表] Pseudo-2D superconducting circuit for the universal quantum computing – for the implementations of the surface code and the 3D cluster state	EU-USA-Japan International Symposium on Quantum Technology, Kyoto, Japan	2019/12
181	J.S. Tsai	理化学研究所	New Architectures for Superconducting Quantum Computer	2020 International Symposium on Superconductor Electronics, Yokohama, Japan	2020/1
182	G. Lakshmi Bhai	理化学研究所	Phase noise of a Josephson parametric oscillator	APS March Meeting 2020, Denver, USA (Conference was cancelled due to COVID-19)	2020/3

番号	発表者	所属	タイトル	会議名	発表年月
183	Z.R. Lin	理化学研究所	Dynamics of flux-driven Josephson Parametric Oscillator	10th International Symposium on Intrinsic Josephson Effects and Plasma Oscillations in High-Tc Superconductors (Plasma+2016)	2016/10
184	Z.R. Lin	理化学研究所	Quantum limited measurement using superconducting circuits	Quantum Innovators Workshop	2016/10
185	中村 泰信	理化学研究所	超伝導量子エレクトロニクス研究の進展：巨視的量子機械の実現に向けて	産総研－理研 第2回量子技術イノベーションコアワークショップ	2016/11
186	Z.R. Lin	理化学研究所	Josephson parametric amplifier/oscillator and its application to quantum information processing	29th International Superconductivity Symposium (ISS2016)	2016/12
187	中村 泰信	理化学研究所	超伝導量子計算研究の進展	第10回量子科学技術委員会	2017/4
188	中村 泰信	理化学研究所	巨視的量子機械の実現へ向けて	光電子融合研究センターシンポジウム－光電子融合の新たな展開	2017/4
189	Z.R. Lin	理化学研究所	Single microwave-photon detector using superconducting circuits	Forum on Frontiers of Quantum Computation	2017/4
190	K. Inomata	理化学研究所	Single microwave-photon detector based on superconducting quantum circuits	17th International Workshop on Low Temperature Detectors (LTD17)	2017/7
191	中村 泰信	理化学研究所	超伝導量子コンピュータ	日本学術振興会シリコン超集積化システム第165委員会第86回研究会	2017/7
192	Y. Nakamura	理化学研究所	Microwave single-photon detectors	Okinawa School in Physics: Coherent Quantum Dynamics (CQD2017)	2017/10
193	中村 泰信	理化学研究所	超伝導量子計算	デザインガイア2017～VLSI設計の新しい大地～	2017/11
194	中村 泰信	理化学研究所	超伝導量子コンピュータの実現に向けて	応用物理学会システムデバイスロードマップ委員会 ERM/BC 合同ワークショップ	2017/11
195	中村 泰信	理化学研究所	超伝導回路を用いた量子計算の実現に向けて	応用物理学会超伝導分科会第56回研究会『量子情報処理技術～超伝導回路から量子ニューラルネットワークまで～』	2017/12

番号	発表者	所属	タイトル	会議名	発表年月
196	Y. Urade	理化学研究所	[ポスター発表] Designing broadband flux-driven Josephson parametric amplifiers based on impedance engineering	2nd CEMS International Conference on Dynamics in Artificial Quantum Systems (DAQS2018)	2018/1
197	中村 泰信	理化学研究所	超伝導量子コンピュータ	第 19 回情報セキュリティ・シンポジウム	2018/3
198	中村 泰信	理化学研究所	超伝導量子コンピュータの実現への取り組み	第 2 回 AI・人工知能 EXPO	2018/4
199	中村 泰信	理化学研究所	超伝導量子ビット集積化に向けた課題	日本学術振興会超伝導エレクトロニクス 146 委員会第 97 回研究会	2018/4
200	浦出 芳郎	理化学研究所	[ポスター発表] 環境インピーダンス制御による広帯域ジョセフソンパラメトリック増幅器の開発	ImPACT 未来開拓研究会	2018/5
201	Y. Nakamura	理化学研究所	Microwave single photon detectors	International Workshop on "Fundamental Problems in Mathematical and Theoretical Physics"	2018/7
202	中村 泰信	理化学研究所	超伝導量子ビットと量子コンピュータ	特別シンポジウム「物理学と量子情報」	2018/8
203	中村 泰信	理化学研究所	超伝導量子コンピュータの実現に向けた取り組み	NOMURA スピーカーシリーズ	2018/8
204	Y. Nakamura	理化学研究所	Macroscopic quantum machines	Japan-EU Joint Workshop on Advanced Quantum Technology for Future Innovation	2018/9
205	Y. Nakamura	理化学研究所	Superconducting quantum circuits: quantum computing and other applications	18th Asian Quantum Information Science Conference (AQIS'18)	2018/9
206	中村 泰信	理化学研究所	超伝導量子コンピュータ	日本物理学会 2018 年秋季大会	2018/9
207	中村 泰信	理化学研究所	超伝導量子コンピュータハードウェアの開発動向	量子 ICT フォーラム	2018/10
208	Y. Nakamura	理化学研究所	Superconducting quantum computing research in Japan	Applied Superconductivity Conference 2018 (ASC2018)	2018/11
209	Y. Nakamura	理化学研究所	Superconducting quantum circuits: quantum computing and other applications	KIAS 2018 Workshop on Superconducting Quantum Information	2018/11

番号	発表者	所属	タイトル	会議名	発表年月
210	中村 泰信	理化学研究所	超伝導量子コンピュータの実現に向けて	新世代コンピューティングシンポジウム／第 8 回電子光技術シンポジウム	2019/1
211	Z.R. Lin	理化学研究所	Real-time detection of an itinerant microwave photon using dressed-state engineering	APS March Meeting 2019	2019/3
212	中村 泰信	理化学研究所	超伝導量子ビット—20 年とこれから	応用物理学会	2019/3
213	中村 泰信	理化学研究所	量子情報科学の世紀	2019 年電子情報通信学会総合大会	2019/3
214	Y. Urade	理化学研究所	[ポスター発表] Development of broadband flux-driven Josephson parametric amplifiers based on external impedance engineering	20th Anniversary of Superconducting Qubits (SQ20th)	2019/5
215	Y. Urade	理化学研究所	Broadband Josephson Parametric Amplifiers	Seminar at Center for Axion and Precision Physics Research, IBS	2019/7
216	浦出 芳郎	理化学研究所	超伝導量子ビットの読み出し多重化に向けた広帯域ジョセフソンパラメトリック増幅器	超伝導エレクトロニクス研究会 (SCE)	2019/10
217	浦出 芳郎	理化学研究所	[ポスター発表] インピーダンス整合に基づく広帯域磁束駆動型ジョセフソンパラメトリック増幅器の開発	理研—産総研 第 5 回量子技術イノベーションコア Workshop	2019/12
218	Y. Urade	理化学研究所	[ポスター発表] Broadband Josephson parametric amplifier for multiplexed readout of superconducting qubits	Topical Conference on Quantum Computing 2019 (TCQC2019)	2019/12
219	Y. Urade	理化学研究所	Impedance-matched Josephson parametric amplifier using open stubs as shunt capacitance	APS March Meeting 2020, Denver, USA (Conference was cancelled due to COVID-19)	2020/3
220	田中 宗	早稲田大学	量子アニーリング：基礎研究から応用展開まで	日本物理学会 2016 年秋季大会	2016/9
221	田中 宗	早稲田大学	次世代量子情報処理技術「量子アニーリング」の現状と展望 -- 統計力学と量子技術が織りなす夢の架け橋 --	近畿大学理工学部セミナー	2016/9
222	田中 宗	早稲田大学	量子アニーリングが拓く機械学習と計算技術の新時代	埼玉大学理学部物理学科セミナー	2016/11

番号	発表者	所属	タイトル	会議名	発表年月
223	田中 宗	早稲田大学	次世代量子情報処理技術「量子アニーリング」の基礎と応用	名古屋大学多自由度コロキウム	2016/12
224	田中 宗	早稲田大学	次世代量子情報技術 量子アニーリングが拓く新時代	(株)ブレインパッド社内勉強会	2016/12
225	田中 宗	早稲田大学	最適化処理の高精度化・高速化を促進する量子アニーリングの基礎・ビジネス展開への応用	日本テクノセンター特別講座	2017/2
226	田中 宗	早稲田大学	量子アニーリングのこれまでとこれから -- ハード・ソフト・アプリ三方向からの協調的展開 --	電気学会ナノエレクトロニクス新機能創出・集積化技術専門委員会「新原理コンピューティング」	2017/3
227	田中 宗	早稲田大学	量子アニーリングのこれまでとこれから -- ハード・ソフト・アプリ三方向からの協調的展開 --	第 19 回 全脳アーキテクチャ勉強会 ～ 脳・人工知能とアナログ計算・量子計算、	2017/5
228	寺田 晃太郎、田中 宗、林 真人、山岡 雅直、柳澤 政生、戸川 望	早稲田大学、日立製作所	20K スピン CMOS アニーリングマシンを対象とした 完全結合イジングモデルマッピング手法と評価	DA シンポジウム 2017 - システムと LSI の設計技術 -	2017/9
229	寺田 晃太郎、田中 宗、林 真人、山岡 雅直、柳澤 政生、戸川 望	早稲田大学、日立製作所	20K スピン CMOS アニーリングマシンを対象とした 完全結合イジングモデルマッピング手法	日本物理学会 2017 年秋季大会	2017/9
230	田中 宗	早稲田大学	組合せ最適化処理の高速化を目指したアニーリング研究開発の現状と展望	NEDO IoT 推進のための横断技術開発プロジェクト 第 2 回人材育成スクール	2017/10
231	田中 宗	早稲田大学	量子アニーリング及び周辺類似技術の研究開発最前線	量子コンピューティング実用への招待	2017/10
232	田中 宗	早稲田大学	量子アニーリングの研究開発最前線	一般社団法人データサイエンティスト協会 4th シンポジウム	2017/10
233	田中 宗	早稲田大学	量子アニーリング及び周辺技術の現状と課題、将来展望	システムデザイン・インテグレーション第 177 委員会 第 43 回 (第 3 期第 11 回) 研究会	2018/1
234	田中 宗	早稲田大学	量子アニーリング技術の基礎と応用 探索事例の最新動向	一般社団法人未踏科学技術協会特別講演会量子計算利用シリーズ 第 1 回人工知能・IoT 時代の量子コンピュータ、量子アニーリング、量子ニューラルネットワーク～量子ビジネスの幕開け～	2018/2

番号	発表者	所属	タイトル	会議名	発表年月
235	Shu Tanaka	Waseda University	Basics and Applications of Quantum Annealing	2nd Electron Devices Technology and Manufacturing (EDTM) Conference 2018 (EDTM2018),	2018/3
236	田中 宗	早稲田大学	量子アニーリング技術の最前線	平成 30 年電気大会全国大会	2018/3
237	Kotaro Terada, Daisuke Oku, Sho Kanamaru, Shu Tanaka, Masato Hayashi, Masanao Yamaoka, Masao Yanagisawa, and Nozomu Togawa	Waseda University, Hitachi	An Ising Model Mapping to Solve Rectangle Packing Problem	2018 VLSI-DAT Symposium	2018/4
238	田中 宗	早稲田大学	量子アニーリングの基礎と応用事例探索研究の現状	大阪大学産業科学研究所量子情報・機械学習セミナー	2018/4
239	田中 宗	早稲田大学	量子アニーリングや周辺技術の研究開発の現状と展望	OBCI プレミアムセミナー「2018 年知っておきたい次世代テクノロジーと OSS」	2018/4
240	田中 宗	早稲田大学	量子アニーリングの理論と応用	xSIG	2018/5
241	田中 宗	早稲田大学	イジングマシンの基礎と矩形パッキング最適化	第一回 QCX	2018/6
242	金丸 翔、於久 太祐、多和田 雅師、田中 宗、林 真人、山岡 雅直、柳澤 政生、戸川 望	早稲田大学、日立製作所	イジング計算機によるスロット配置問題の解法	VLSI 設計技術研究会	2018/6

番号	発表者	所属	タイトル	会議名	発表年月
243	Kotaro Terada, Daisuke Oku, Sho Kanamaru, Shu Tanaka, Masato Hayashi, Masanao Yamaoka, Masao Yanagisawa, and Nozomu Togawa	Waseda University, Hitachi	A Fully-Connected Ising Model Embedding Method and Its Evaluation for CMOS Annealing Machines	2018 Design Automation Conference (DAC)	2018/6
244	Kotaro Terada, Daisuke Oku, Sho Kanamaru, Shu Tanaka, Masato Hayashi, Masanao Yamaoka, Masao Yanagisawa, and Nozomu Togawa	Waseda University, Hitachi	An Ising Model Mapping to Solve Rectangle Packing Problem	AQC2018	2018/6
245	田中 宗	早稲田大学	量子アニーリング及び周辺技術の現状と展望	未来社会経済研究会	2018/7
246	田中 宗	早稲田大学	産学共同研究による量子アニーリング応用探索	量子コンピューティングビジネスフォーラム、	2018/7
247	田中 宗	早稲田大学	アニーリング技術開発の現状と将来展望	NEDO IoT 推進のための横断技術開発プロジェクト 2018 年度第一回人材育成スクール、	2018/8
248	田中 宗	早稲田大学	量子アニーリングや周辺技術の現状と展望：組合せ最適化処理の高速化・高精度化を目指して	サイエンティフィックシステム研究会 HPC フォーラム 2018	2018/8

番号	発表者	所属	タイトル	会議名	発表年月
249	Yuya Seki, Shu Tanaka, Shiro Kawabata,	National Institute of Advanced Industrial Science and Technology, Waseda University	Phase transitions in quantum annealing on a qudit system	第 8 回半導体/超伝導体量子 効果と量子情報の夏期研修 会	2018/9
250	田中 宗	早稲田大学	組合せ最適化問題のための量子ア ニールングの現状と展望：量子技術 を用いた新計算技術の挑戦	平成 30 年度電気関係学会東 北支部連合大会	2018/9
251	田中 宗	早稲田大学	量子アニールングの現状と将来展望	第 39 回日本公認会計士協会 研究大会徳島大会 2018	2018/9
252	田中 宗	早稲田大学	アニールングマシンの研究開発現状と 使い方入門	IPA 次世代計算機講座	2018/9
253	田中 宗	早稲田大学	物理学と情報科学の架け橋：量子 アニールングや周辺技術の最近の話 題	群馬県教育委員会セミナー	2018/10
254	田中 宗	早稲田大学	量子アニールングや周辺技術の研究 動向	MCPC AI・量子コンピュータセミ ナー	2018/10
255	田中 宗	早稲田大学	アニールング技術の基礎と応用発掘の 取り組み事例	第五回電子状態理論シンポジ ウム	2018/10
256	田中 宗	早稲田大学	量子アニールング及び関連技術の研 究開発の現状と展望	超スマート社会を切り拓く技術ト レンドを探る 第 5 回：人工知 能時代のコンピューティング基盤	2018/11
257	田中 宗	早稲田大学	量子アニールングや周辺技術の研究 動向	MCPC 技術委員会勉強会	2018/12
258	田中 宗	早稲田大学	アニールング技術開発の現状と将来 展望	NEDO IoT 推進のための横断 技術開発プロジェクト 2018 年 度第 2 回人材育成スクール、	2019/1
259	Sho Kanamaru , Daisuke Oku, Masashi Tawada, Shu Tanaka, Masato Hayashi, Masanao Yamaoka, Masao Yanagisaw a, Nozomu Togawa	Waseda University, Hitachi	Efficient Ising Model Mapping to Solving Slot Placement Problem	2019 IEEE International Conference on Consumer Electronics (ICCE)	2019/1

番号	発表者	所属	タイトル	会議名	発表年月
260	Shu Tanaka	Waseda University	Recent Development and Future Perspective of Quantum Annealing	ASP-DAC2019	2019/1
261	田中 宗	早稲田大学	量子コンピュータの現状俯瞰と量子アニーリングの基礎及び応用探索事例	サイエンス&テクノロジー	2019/1
262	田中 宗	早稲田大学	量子アニーリング研究開発の現状と展望	量子コンピュータセミナー ～量子技術とビジネス活用の可能性～	2019/2
263	Yuya Seki, Shu Tanaka, Shiro Kawabata	National Institute of Advanced Industrial Science and Technology, Waseda University	Control of Phase Transitions in Wajnflasz–Pick model	American Physical Society March Meeting 2019	2019/3
264	田中 宗	早稲田大学	産学共同研究で拓くイジングマシンの可能性 —ハード・ソフト・アプリ探索の三側面より—	Quantum Summit Tokyo 2019	2019/3
265	関 優也、田中 宗、川畑 史郎	産業技術総合研究所、早稲田大学	量子 Wajnflasz--Pick 模型の相転移現象	日本物理学会 第 74 回年次大会	2019/3
266	田中 宗	早稲田大学	イジングマシンの研究動向とアプリケーション事例の探索	マルチメディア推進フォーラム	2019/4
267	田中 宗	早稲田大学	次世代コンピュータ「イジングマシン」の応用探索の現状と今後の可能性 — 組合せ最適化問題の高速高精度処理技術 —	第 2 回放射線治療人工知能研究会	2019/6
268	田中 宗	早稲田大学	量子アニーリングや周辺技術の研究開発の現状と今後の展開	日本応用数学会：応用数理ものづくり研究会第 30 回講演会	2019/6
269	田中 宗	早稲田大学	量子アニーリングや周辺技術の現状と展望 — 高速・高精度の組合せ最適化処理を目指した次世代計算技術 —	2019-1 光センシング技術部会	2019/6
270	Kazushi Kawamura, Shu Tanaka, and Nozomu Togawa	Waseda University	Ising Formulations for Solving Grid-based LSI Routing Problems	Adiabatic Quantum Computing Conference (AQC2019)	2019/6

番号	発表者	所属	タイトル	会議名	発表年月
271	Yuya Seki, Shu Tanaka, and Shiro Kawabata	National Institute of Advanced Industrial Science and Technology, Waseda University	Phase Transition Phenomena in Fully Connected Wajnflasz-Pick Model	Adiabatic Quantum Computing Conference (AQC2019)	2019/6
272	田中 宗	早稲田大学	量子アニーリングや類似技術の将来展望～組合せ最適化処理の高速化、高精度化を目指して、	NPO KnowledgePool 8月 特別オープンセミナー	2019/8
273	田中 宗	早稲田大学	アニーリングマシンの原理と応用探索、今後の課題	NEDO IoT 推進のための横断技術開発プロジェクト 2019年度第1回 人材育成スクール	2019/8
274	田中 宗	早稲田大学	アニーリングマシンの現状と課題 – 動作原理から応用探索まで –	第三回 MCPC 量子コンピューティング推進セミナー	2019/9
275	田中 宗	早稲田大学	次世代コンピューティング技術「量子アニーリング」の産学共同研究から得られた気づき	早稲田大学理工学術院総合研究所若手研究者支援事業 アーリーバードセミナー	2019/10
276	田中 宗	早稲田大学	量子アニーリング等イジングマシンの現状と展望	2019年度第4回「非ノイマン型情報処理へ向けたデバイス技術分科会」、	2019/11
277	Shu Tanaka	Waseda University	Quantum Annealing Accelerates Materials Discovery	MANA International Symposium 2020 Jointly with ICYS	2020/3
278	川村 一志、田中 宗、戸川 望	早稲田大学	グリッド配線問題に対するイジングモデルマッピング手法	2020年電子情報通信学会総合大会 依頼シンポジウムセッション「組合せ最適化専用イジングマシン周辺技術の現状と展望」	2020/3
279	川畑史郎	産業技術総合研究所	超伝導集積回路作製技術と量子コンピュータへの適用	応用物理学会シリコンテクノロジー分科会第224回研究集会	2020/11
280	吉岡 輝昭 蔡 兆申	理化学研究所	SINIS を用いた超伝導量子ビットと共振器の高速初期化	日本物理学会 2020年秋季大会（オンライン開催）	2020/9
281	朝永 顕成 向井 寛人 蔡 兆申	理化学研究所	超強結合系における回路パラメータ揺らぎとその要因	日本物理学会 2020年秋季大会（オンライン開催）	2020/9
282	Y. Nakamura	理化学研究所	Superconducting circuits for quantum technologies	India-Japan Webinar on Quantum Technologies	2020/7
283	Y. Nakamura	理化学研究所	Superconducting circuits for quantum technologies	International Workshop on Quantum Computing	2020/8
284	田中 宗	早稲田大学	5年後のDXに欠かせぬ相棒、量子アニーリングの大きな可能性	Digital Twin & Transformation Forum 2020 on web	2020/9

番号	発表者	所属	タイトル	会議名	発表年月
285	田中 宗	早稲田大学	量子アニーリング等イジングマシンの研究開発の現状と展望	情報処理学会・量子ソフトウェア研究会第6回月例セミナー	2020/9
286	田中 宗	早稲田大学	量子アニーリングやイジングマシンの位置づけ	AIの次に必要な量子コンピューティング技術 ～イジングマシンの本質に迫る	2020/10

(b) 新聞・雑誌等への掲載

番号	所属	タイトル	掲載誌名	発表年月
1	日立製作所	CMOS チップでアニーリングマシンを製作、組合せ最適化問題を解く	テレスコープマガジン https://www.tel.co.jp/museum/magazine/017/interview01/	2018/4/28
2	日立製作所	CMOS アニーリングマシンの概要	リオン(株) 技術情報誌 Shake Hands	2019/8/6
3	日立製作所	CMOS アニーリングマシンの概要	MM 総研『M&D Report』	2019/9/2
4	産業技術総合研究所	最適化問題を超高速で解く、量子計算機に新手法が急迫	日経エレクトロニクス	2017/3
5	産業技術総合研究所	知的情報処理の最前線：日本の逆転劇「量子アニーリング」研究が盛り上がる	WirelessWire News	2016/9
6	産業技術総合研究所	技術で未来拓く・産総研の挑戦（16）量子力学による計算機	日刊工業新聞	2018/2
7	産業技術総合研究所	1年で集積度が驚異的に向上した量子コンピュータ -実用化は早くて2035年？ 研究者が語る技術の現状、課題、展望-	JB Press	2018/12
8	早稲田大学	知的情報処理の最前線：日本の逆転劇「量子アニーリング」研究が盛り上がる	WirelessWire News	2016/9/6
9	早稲田大学	6章：量子コンピュータ革命	世界を変える7つの次世代テクノロジー	2016/12/23
10	早稲田大学	量子技術が世界を変える（1）量子コンピュータ	Yano E Plus	2017年1月号
11	早稲田大学	「次世代情報処理技術「量子アニーリング」を用いたデータ駆動型社会イノベーション」	早稲田大学研究シリーズ冊子「Technology Offers - ロボット・AI・IoT -」	2017年4月号
12	早稲田大学	「次世代情報処理技術「量子アニーリング」を用いたデータ駆動型社会イノベーション」	早稲田大学研究シリーズ冊子「国際ナノテクノロジー総合展・技術会議」	2018年2月号
13	早稲田大学	量子アニーリング応用研究 http://dw.diamond.ne.jp/articles/-/23605	週刊ダイヤモンド	2018/5/28

番号	所属	タイトル	掲載誌名	発表年月
14	早稲田大学	2018 年知っておきたい次世代テクノロジーと OSS (前編) 量子コンピューティングと AR/VR https://thinkit.co.jp/article/14093	Think IT	2018/5/30
15	早稲田大学	なぜ次世代コンピューターの開発競争が起きているのか、「国産マシン」の現状 https://www.sbbit.jp/article/cont1/34820	ビジネス+IT	2018/6/7
16	早稲田大学	日本人「量子」研究者が挑む“組み合わせ最適化”という難問 https://diamond.jp/articles/-/171051	DIAMOND ONLINE	2018/7/12
17	早稲田大学	ビジネス応用への一歩を踏み出す量子コンピュータ http://jbpress.ismedia.jp/articles/-/53812	JBpress Digital Innovation Review	2018/8/16

(c) 展示会への出展

番号	所属	タイトル	展示会名	発表年月
1	NEDO	交通や物流の経路を最適に！ 組合せ最適化問題を高速に解くコンピュータ	CEATEC Japan 2017	2017/10/14 ～17
2	日立製作所	Superconducting Quantum Annealer	SC2017	2017/11/13 ～16
3	NEDO	はたらく／画像認識×ルート最適化×安全	CEATEC Japan 2018	2018/10/16 ～19
4	日立製作所	A 2×30k-Spin Multichip Scalable Annealing Processor Based on a Processing-In-Memory Approach for Solving Large-Scale Combinatorial Optimization Problem	ISSCC 2019	2019/2/17 ～22
5	日立製作所	CMOS アニーリングマシン展示ポスター	日立製作所 協創棟 オープニングセレモニー	2019/4/11
6	日立製作所	新しい原理のコンピュータを体感しよう!	北海道大学 電子研一般公開	2019/6/8
7	日立製作所	CMOS アニーリングマシン	日立製作所 2019 研究開発 IR	2019/6/26
8	日立製作所	CMOS アニーリングマシンデモおよびパネル展示	Super City/Smart City Forum 2019 in 大阪	2019/6/29

番号	所属	タイトル	展示会名	発表年月
9	日立製作所	CMOS アニールマシン	テクノロジコミュニティ (日立の顧客向け展示会)	2019/8/6
10	日立製作所	CMOS annealing technology	Hitachi NEXT	2019/10/8
11	NEDO	CEATEC JAPAN 展示	CEATEC JAPAN 2019	2019/10/15 ～18
12	早稲田大学	量子アニールや周辺技術の研究開発 - ハードウェア、ソフトウェア、アプリケーション探索、人材育成の観点から -	第 16 回情報セキュリティ EXPO	2019/5

◎研究開発テーマ「高速ビジョンセンサネットワークによる実時間IoTシステムと応用技術開発」

【特許】

番号	出願者	出願番号	国内 外国 PCT	出願日	状態	名称	発明者
1	日本電気(株)	特願 2018-228849	PCT	2018/12/5	出願	情報処理装置、制御方法、及びプログラム	横山恵子
2	日本電気(株)	特願 2019-005778	PCT	2019/01/17	出願	情報処理装置、制御方法、及びプログラム	横山恵子, 柴田剛志, 谷内田尚司
3	(株)エキスビジョン	特願 2020-041456	国内	2020/3/11	出願	エッジ検出システムおよびそのプログラム	Muhammad Sakti Alvissalim, 田畑友啓

【外部発表】

(a) 学会発表・講演

番号	発表者	所属	タイトル	会議名	発表年月
1	宮野博義	日本電気	高速画像処理+認識技術による新たな価値の創出	第 8 回 WINDS フォーラムセミナー	2018/10
2	横山恵子, 谷内田尚司, 柴田剛志, 宮野博義, 石川正俊	日本電気 東京大学	高速カメラでのリアルタイム画像認識に適した認識適合画像の選別	DIA2019	2019/3

番号	発表者	所属	タイトル	会議名	発表年月
3	並木重哲, 谷内田尚 司, 柴田剛志, 宮野博義, 石川正俊	日本電気 東京大学	高速カメラを活用したデータアンサンブルに基づくリアルタイム画像認識	MIRU2019	2019/7
4	横山恵子	日本電気	高速カメラを用いたリアルタイム物体認識	第10回 WINDS フォーラムセミナー	2019/7
5	小島治, 黄守仁, 村上健一, 石川正俊, 山川雄司	東京大学	高速ビジョンを用いた支援システムにおけるはめあいタスクの実現	ロボティクス・メカトロニクス講演会 2018	2018/6
6	Osamu Kojima, Shouren Huang, Kenichi Murakami, Masatoshi Ishikawa and Yuji Yamakawa	東京大学	Human-robot interaction system for micromanipulation assistance	The 44th Annual Conference of the IEEE Industrial Electronics Society	2018/10
7	山川雄司	東京大学	高速ビジョンのネットワーク化と超精密作業支援への応用	第8回 WINDS フォーラム・セミナー	2018/10
8	長谷川雄 大, 黄守仁, 石川正俊, 山川雄司	東京大学	動的補償ロボットのための新しい平面3軸機構の設計	第25回 ロボティクスシンポジア	2020/3
9	Hyuno Kim, Yuji Yamakawa, Masatoshi Ishikawa	東京大学	Robust hand tracking method by synchronized high-speed cameras with orthogonal geometry	2020 IEEE Sensors Applications Symposium	2020/3
10	加治佐俊一	エクスビジョン	高速ビジョン開発プラットフォーム「HSV SDK」の誕生	第5回 WINDS フォーラム・セミナー	2017/12
11	藤井照穂	エクスビジョン	高速ビジョンセンサネットワークによる実時間IoTシステムと応用技術開発	IoT 横断・成果最大化活動に伴う第3回セミナー ((株)DMP)	2019/3
12	羽原恭寛	エクスビジョン	高速ビジョン実装プラットフォームの概要と、エンターテインメント・スポーツへの展開	第10回 WINDS フォーラム・セミナー	2019/7

(b) 新聞・雑誌等への掲載

番号	所属	タイトル	掲載メディア	発表年月
1	日本電気	アジア最大級家電 IT 見本市開幕へ 近未来技術の実力は!?	ワールドビジネスサテライト (テレビ東京)	2019/10
2	日本電気	CEATEC の映像技術最前線	おはよう日本 (NHK総合・東京)	2019/10
3	エキスポビジョン	東大発ベンチャー、毎秒1000枚の高速画像処理 生産ライン異常検出に威力	Sankei Biz	2017/12
4	エキスポビジョン	エキスポビジョンと NEDO、工場自動化などのシステムに組み込み容易に応用できる新プラットフォームを製品化	日本経済新聞	2017/12
5	エキスポビジョン	毎秒 1000 枚の高速画像処理が可能なシステム開発プラットフォームを発表	MONOist	2017/12
6	エキスポビジョン	〔開発環境〕高速ビジョン開発プラットフォーム (加治佐俊一著)	画像ラボ (日本工業出版)	2018/3
7	日本電気	高速な外観検査のための物体認識技術	画像ラボ (日本工業出版)	2020/4
8	日本電気	外観検査ラインを変える高速カメラ物体認識技術	光技術コンタクト (日本オプトメカトロニクス協会)	2020/10
9	エキスポビジョン	「非整列錠剤を 500/秒以上で正確に高速計数」(エキスポビジョン)	画像ラボ (日本工業出版)	2020/10

(c) 展示会への出展

番号	所属	タイトル	展示会名	発表年月
1	日本電気	1000fps のカメラで認識!! 高速ビジョンセンサーによる仕分け装置	CEATEC2019	2019/10
2	エキスポビジョン	1/1000 の高速ビジョン技術によるリアルタイム制御	CEATEC2017	2017/10

◎研究開発テーマ「Field Intelligence 搭載型大面積分散 IoT プラットフォームの研究開発」
【外部発表】

(a) 学会発表・講演

番号	発表者	所属	タイトル	会議名	発表年月
1	植村隆文, 荒木徹平, 吉本秀輔, 野田祐樹, 和泉慎太郎, 関谷 毅	大阪大学	Field Intelligence 搭載型大面積分散 IoT プラットフォームの研究開発	電子情報通信学会ソサイエティ大会	2018/9
2	関谷毅	大阪大学	シート型センサシステムの開発と社会実装」～炭素配線シートシステムによる構造物ヘルスケア～	第 14 回新産業技術促進検討会 (IoT 社会に必要とされるシステム・デバイス技術開発)	2017/9
3	関谷毅	大阪大学	IoT、AI を活用した大規模構造物ヘルスケア技術の研究開発	第 157 回 有機エレクトロニクス研究センター講演会	2018/9
4	田邊史夏, 吉本秀輔, 植村隆文, 根津俊一, 秋山実邦子, 大田裕, 荒木徹平, 野田祐樹, 関谷毅	大阪大学	インフラ構造物モニタリングに向けたコンクリート内塩化物イオン濃度の電気的計測に関する検討	第 35 回「センサ・マイクロシントと応用システム」シンポジウム	2018/10
5	関谷毅	大阪大学	シート型センサシステムによる豊かな社会	公益社団法人日本工学アカデミー主催「次世代マテリアルシステム」～超微小信号計測の汎用化により“Well-Being2050”を導く～	2018/10
6	Tepei Araki, Shusuke Y oshimoto, Yuki Noda, Takafumi Uemura, Yuko Kasai, Shintaro Izumi, Tsuyoshi Sekitani	大阪大学	Printable strain gauge of high sensitivity and wide range for simple structural health monitoring implemented with wireless measurement system	2018 Materials Research Society (MRS) fall meeting & exhibit, Symposium	2018/11

番号	発表者	所属	タイトル	会議名	発表年月
7	関谷毅	大阪大学	シートセンサシステムで創る「豊かなIoT・AI 社会」	NEDO フェスタ in 関西	2018/12
8	関谷毅	大阪大学	コンクリート構造物の劣化を調べ予測する シート型 IoT・AI 技術	塗料講演会『保守・補修に関する塗料と塗装および診断技術』	2019/5
9	植村隆文	大阪大学	大面積シート型インフラモニタリングシステムの開発	有機分子・バイオエレクトロニクス分科会 3 月研究会「IoT/AI に応える有機分子・バイオエレクトロニクスデバイス」	2019/3
10	関谷毅	大阪大学	Field Intelligence 搭載型分散 IoT センサシステムの研究開発と応用	研究所間交流研究会	2019/3
11	関谷毅	大阪大学	シート型センサで創る未来社会	平成 30 年度 経営・技術研修講演会	2019/3
12	関谷毅	大阪大学	微小信号計測のための素材設計 脳・構造物センサを実例に	東レ(株)	2019/2
13	植村隆文	大阪大学	大面積シート型インフラモニタリングシステムの開発	平成 30 年度第 4 回 PE 研究会	2019/1
14	関谷毅	大阪大学	『最先端半導体デバイスの技術動向』 シート型センサシステムで創る豊かなIoT・AI 社会 ～脳・構造物センサを実例に～	平成 30 年度第 4 回電子デバイス事業化フォーラム	2019/1
15	滝野晶平、 植村隆文、 福原克郎、 小林保之、 塚田智之、 関谷毅	東京電力 HD 大阪大学 東洋インキ SCHD	鉄筋腐食検知センサの開発	令和元年度土木学会全国大会 第 74 回年次学術講演会	2019/9

(b) 展示会への出展

番号	所属	タイトル	展示会名	発表年月
1	大阪大学	はたらく・トンネルや橋の維持・管理 NEDO の IoT 技術でこう変わる！	CEATEC JAPAN 2018 (幕張メッセ)	2018/10/16 ～19
2	大阪大学	目に見えないインフラの劣化を IoT 技術で常時監視	NEDO フェスタ in 関西 (グランフロント)	2018/12/18 ～19
3	大阪大学	Field Intelligence 搭載型大面積分散 IoT プラットフォームの研究開発	nano tech 2019 (東京ビッグサイト)	2019/1/30 ～2/1
4	双葉電子工業	構造物 IoT モニタリングシステム	双葉電子工業(株)2019 年度事業説明会 (ホテルスプリングス幕張) (取引先 108 社参加)	2019/5/28

5	東洋インキ SCHED	IoT 技術でトンネルや橋の維持管理 が変わる	東洋インキ SCHED プライベ ートショー-TIG EXPO2019 (東京国際フォーラム) (1700 名参加)	2019/4/24
6	東京電力	鉄筋コンクリート構造物のヘルスケア システムの開発状況について	東京電力(株)技術開発報告会 (東京電力本社) (東電グ ループ会社参加)	2019/6/4
7	東洋インキ SCHED	炭素導電配線シート インフラモニタリングセンサ取組み事例	東洋インキグループ主催共創 フォーラム 2020 (ウェブ展示 470 名参加)	2020/9/28 ~10/9

◎研究開発テーマ「Sensor-to-Cloud Security ~ビッグデータを守る革新的 IoT セキュリティ
基盤技術の研究開発」

【特許】

番号	出願者	出願番号	国内 外国 PCT	出願日	状態	名 称	発明者
1	電子商取引安全技 術研究組合	特願 2017-203848	国内	2017/10/20	公開	半導体装置	永田 真、三浦 典之、三木 拓司
2	電子商取引安全技 術研究組合	特願 2017-214644	国内	2017/11/7	公開	逐次比較型 AD 変換 装置、半導体装置及 び電子機器	永田 真、三浦 典之、三木 拓司
3	電子商取引安全技 術研究組合	特願 2018-207412	国内	2018/11/2	公開	送信装置、受信装 置、送受信システム、 送信方法及び受信方 法	池田 誠、ガッデ ヴィノーダ ヴィシュ ワ
4	三菱電機(株)	PCT/JP2018/048531	PCT	2018/12/28	出願	秘匿検索システムおよ び秘匿検索方法	早坂 健一郎、川 合 豊
5	電子商取引安全技 術研究組合	特願 2019-202025	国内	2019/11/7	出願	デジタル署名システム 及びデジタル署名方法	松本 勉、四方 順司

【論文】

番号	発表者	所属	タイトル	発表誌名、ページ番号	査読	発表年月
1	Shingo Sato, Junji Shikata, and Tutomu Matsumoto	横浜国立大学	Aggregate Signature with Detecting Functionality from Group Testing	IACR Cryptology ePrint Archive: Report 2020/1219	無	2020/10/4

【外部発表】

(a) 学会発表・講演

番号	発表者	所属	タイトル	会議名	発表年月
1	櫻澤 聡 藤本 大介 松本 勉	横浜国立大学	ToF 距離画像カメラに対するパルス光なりすまし攻撃の実証	SCIS2017 暗号と情報セキュリティシンポジウム	2017/1/25
2	相馬 一樹 藤本 大介 松本 勉	横浜国立大学	反射光なりすまし攻撃に対する測距 LIDAR の計測セキュリティ	SCIS2017 暗号と情報セキュリティシンポジウム	2017/1/25
3	野平 浩生 藤本 大介 宮崎 光太郎 松本 勉	横浜国立大学	超音波距離計に対する反射波打消し攻撃の実証	SCIS2017 暗号と情報セキュリティシンポジウム	2017/1/25
4	梨本 翔永 菅原 健 鈴木 大輔	三菱電機(株)	隠しチャネルを用いたセンサなりすまし攻撃対策	SCIS2017 暗号と情報セキュリティシンポジウム	2017/1/25
5	菅原 健 梨本 翔永 鈴木 大輔	三菱電機(株)	センサフュージョンを備えた慣性計測ユニットのセンサなりすまし攻撃に対する安全性評価	SCIS2017 暗号と情報セキュリティシンポジウム	2017/1/25
6	山田 古都子 ^{1,2} Nuttapong Attrapadung ² 江村 恵太 ³ 花岡 悟一郎 ² 田中 圭介 ¹	1 東京工業大学 2 産業技術総合研究所 3 情報通信研究機構	適応的安全な無効化可能属性ベース暗号の一般的構成	SCIS2017 暗号と情報セキュリティシンポジウム	2017/1/25
7	市橋忠之 池田 誠	東京大学	126 ビットセキュリティにおけるペアリング演算器の設計	SCIS2017 暗号と情報セキュリティシンポジウム	2017/1/27
8	池田 司 池田 誠	東京大学	楕円曲線に基づく公開鍵暗号向け汎用暗号プロセッサの設計	SCIS2017 暗号と情報セキュリティシンポジウム	2017/1/27
9	長浜 佑介 藤本 大介 松本 勉	横浜国立大学	DSP ブロック利用を最適化したペアリング暗号向け FPGA 高速剰余乗算器	SCIS2017 暗号と情報セキュリティシンポジウム	2017/1/27
10	山田 古都子 ^{1,2} Nuttapong Attrapadung ² 江村 恵太 ³ 花岡 悟一郎 ² 田中 圭介 ¹	1 東京工業大学 2 産業技術総合研究所 3 情報通信研究機構	適応的安全な無効化可能属性ベース暗号の一般的構成	LA シンポジウム 2017	2017/2/1

番号	発表者	所属	タイトル	会議名	発表年月
11	市橋 忠之 池田 誠	東京大学	254ビット標数のBN曲線における 拡大体演算器の最適スケジューリ ング	HWS研究会(弘前)	2017/6/12
12	山田 古都 子 ^{1,2} Nuttapong Attrapadu ng ² 江村 恵太 ³ 花岡 悟一 郎 ² 田中 圭介 ¹	1 東京工業大学 2 産業技術総合研 究所 3 情報通信研究機 構	Generic Constructions for Fully Secure Revocable Attribute-Based Encryption	ESORICS 2017 (European Symposium on Research in Computer Security 2017), Oslo, Norway	2017/9/11
13	長浜 佑介 藤本 大介 松本 勉	横浜国立大学	パイプライン型剰余乗算器で構成す る254ビット素数BN曲線上の optimal ate ペアリング計算ハード ウェアのFPGA実装評価	HWS研究会(東京)	2017/9/15
14	G.V. Vinod 池田 誠	東京大学	A secure Analog-to-Digital conversion scheme based on delta-sigma ADC architecture	HWS研究会(東京)	2017/9/15
15	市橋 忠之 栗野 皓光 池田 誠	東京大学	BN曲線におけるOptimal Ate ペアリング向け演算ハードウェアの最 適化	デザインガイア2017(熊本) VLD2017-30	2017/11/6
16	川村信一	電子商取引安全技 術研究組合/(株)東 芝	特殊な平方数を法とする積和演算の 一方法とRNS Montgomeryリダク ションへの応用	SCIS2018(新潟)1B1-4	2018/1/23
17	水田 健人 三木 拓司 三浦 典之 永田 真	神戸大学	電荷再配分型SAR-ADCの変換 基準電圧入力を悪用した情報改竄 攻撃	SCIS2018(新潟)1D1-4	2018/1/23
18	櫻澤 聡 藤本 大介 松本 勉	横浜国立大学	ToF距離画像カメラの計測セキュリ ティを評価する一方法	SCIS2018(新潟)2D3-1	2018/1/24
19	相馬 一樹 坂本 純一 藤本 大介 松本 勉	横浜国立大学	測距対象への光照射を用いたパルス LIDARの計測セキュリティ評価方法	SCIS2018(新潟)2D3-3	2018/1/24
20	長浜 佑介 藤本 大介 松本 勉	横浜国立大学	254ビット素数BN曲線上 optimal ate ペアリングの圧縮自乗 算による高速計算法のFPGA実装 評価	SCIS2018(新潟)2D4-1	2018/1/24
21	栗野 皓光 市橋 忠之 池田 誠	東京大学	2次拡大体上の汎用演算器を用い た254bit素数ペアリング向けASIC コプロセッサ	SCIS2018(新潟)2D4-3	2018/1/24

番号	発表者	所属	タイトル	会議名	発表年月
22	梨本 翔永 ¹ 鈴木 大輔 ¹ 菅原 健 ² 崎山 一男 ²	1 三菱電機(株) 2 電気通信大学	センサフュージョンの攻撃耐性に関するセキュリティ評価	SCIS2018 (新潟) 3D4-1	2018/1/25
23	市橋 忠之 粟野 皓光 池田 誠	東京大学	65nm プロセスを用いた Optimal Ate ペアリング向け 12 次拡大体演算器の評価	HWS 研究会 (沖縄)	2018/3/3
24	G.V. Vinod 池田 誠 粟野 皓光	東京大学	Scrambling and Signing during Analog-to-Digital Conversion for Sensing Security	HWS 研究会 (沖縄)	2018/3/3
25	三木 拓司 三浦 典之 永田 真	神戸大学	逐次比較型 AD 変換器に対するサイドチャンネル攻撃とその対策	電子情報通信学会総合大会 (東京)	2018/3/20
26	長浜 佑介 藤本 大介 坂本 純一 松本 勉	横浜国立大学	パイプライン型剰余乗算器を用いたペアリング計算器の FPGA 実装による消費エネルギー評価	電子情報通信学会 ハードウェアセキュリティ研究会 (福岡) 信学術報 HWS2018-5	2018/4/13
27	三木 拓司 水田 健人 三浦 典之 永田 真	神戸大学	Physical-Cyber 境界におけるアナログ計測セキュリティ技術	電子情報通信学会・HWS 研究会	2018/4/13
28	水田健人 三木拓司 三浦典之 永田真	神戸大学	IoT デバイス用センサノード向けアナログ/デジタル変換機能 (ADC) におけるハードウェアセキュリティ向上に関する研究	電子情報通信学会・LSI とシステムのワークショップ 2018	2018/5/15
29	梨本 翔永 ¹ 鈴木 大輔 ¹ 菅原 健 ² 崎山 一男 ²	1 三菱電機(株) 2 電気通信大学	Sensor CON-Fusion: Defeating Kalman Filter in Signal Injection Attack.	ACM AsiaCCS2018	2018/6/6
30	櫻澤 聡 藤本大介 松本 勉	横浜国立大学	ToF 距離画像カメラの測定パルス光なりすましに対する計測セキュリティ評価システム	電子情報通信学会 ハードウェアセキュリティ研究会 (札幌) 信学技報 HWS2018-15	2018/7/25
31	Shinichi Kawamura ^{1,2} , Yuichi Komano ² , Hideo Shimizu ² , Tomoko Yonemura ²	1 電子商取引安全技術研究組合 2(株)東芝	RNS Montgomery reduction algorithms using quadratic residuosity	Journal of Cryptographic Engineering	2018/9/3

番号	発表者	所属	タイトル	会議名	発表年月
32	郡義弘 ¹ 藤本大介 ¹ 林優一 ¹ 本間尚文 ²	1 奈良先端科学技術大学院大学 2 東北大学	Q-RNSMR アルゴリズムの FPGA 実装時における最適な基底探索と評価	電子情報学会ハードウェアセキュリティ研究会, HWS2018-51	2018/10/29
33	Vinod. V. Gadde, Hiromitsu Awano, Makoto Ikeda	東京大学	An Encryption-Authentication Unified A/D Conversion Scheme for IoT Sensor Nodes	IEEE Asian Solid-State Circuits Conference 2018	2018/11/7
34	寛雄也 川村信一	電子商取引安全技術研究組合	RNS 表現における効率的な符号判定方法の計算機実験	IEICE ハードウェアセキュリティフォーラム (ポスター発表)	2018/12/13
35	末廣 達也 櫻澤 聡 吉田 直樹 松本 勉	横浜国立大学	パルス方式測距 LIDAR の計測セキュリティ強化技術の評価するシステム	電子情報通信学会ハードウェアセキュリティフォーラム 2018 (東京) ポスター講演	2018/12/13
36	郡義弘 ¹ 藤本大介 ¹ 林優一 ¹ 本間尚文 ²	1 奈良先端科学技術大学院大学 2 東北大学	RNS Keyed モンゴメリリダクションアルゴリズムの FPGA 実装による基礎評価	2018 年電子情報通信学会ソサイエティ大会, A-20-10	2018/9/14
37	川村信一 ^{1,2} 駒野雄一 ² 清水秀夫 ²	1 電子商取引安全技術研究組合 2(株)東芝	級数展開を利用した RNS 表現向けの効率的な符号判定アルゴリズム	暗号と情報セキュリティシンポジウム (SCIS2019)	2019/1/22
38	早坂健一郎 小関義博 川合豊	三菱電機(株)	内積述語暗号を用いる部分一致検索可能暗号における検索の高速化	SCIS2019 暗号と情報セキュリティシンポジウム	2019/1/24
39	Takuji Miki, Noriyuki Miura, Hiroki Sonoda, Kento Mizuta, Makoto Nagata	神戸大学	A Random Interrupt Dithering SAR Technique for Secure ADC Against Reference-Charge Side-Channel Attack	IEEE Transactions on Circuits and Systems II: Express Briefs	2019/2
40	櫻澤 聡 藤本 大介 松本 勉	横浜国立大学	ToF 距離画像カメラの計測セキュリティ評価のための一指標	電子情報通信学会 ハードウェアセキュリティ研究会 (那覇) 信学技報 HWS2018-104	2019/3/2

番号	発表者	所属	タイトル	会議名	発表年月
41	井上 侑哉 野平 浩生 吉田 直樹 藤本 大介 松本 勉	横浜国立大学	超音波距離計に対する距離偽装攻撃の成立条件	電子情報通信学会 ハードウェアセキュリティ研究会 (那覇) 信学技報 HWS2018-106	2019/3/2
42	荒賀佑樹 ¹ 永田真 ² 三木拓司 ² 三浦典之 ² 渡辺直也 ¹ 島本晴夫 ¹ 菊地克弥 ¹	1 産業技術総合研究所 2 神戸大学	A Thick Cu Layer Buried in Si Interposer Backside for Global Power Routing	IEEE Transactions on Components, Packaging and Manufacturing Technology	2019/3/13
43	Hiromitsu Awano, Makoto IKEDA	東京大学	FourQ on ASIC: Breaking Speed Records for Elliptic Curve Scalar Multiplication	IEEE Design, Automation and Test in Europe (DATE) 2019	2019/3/23
44	川村信一 ^{1,2} 駒野雄一 ² 清水秀夫 ²	1 電子商取引安全技术研究組合 2(株)東芝	RNS 表現によるバイナリ拡張ユークリッド互除法の改良と剰余復号法	電子情報通信学会技術研究報告、vol.119, no.2 HWS2019-1, pp.1-6	2019/4/12
45	山崎満文 坂本純一 奥秋陽太 松本勉	横浜国立大学	パイプライン型剰余乗算器を用いたペアリング計算 FPGA のサイドチャンネルセキュリティ評価	電子情報通信学会技術研究報告、vol. 119, no. 143, HWS2019-24, pp. 151-156	2019/7
46	奥秋陽太 坂本純一 藤本大介 松本勉	横浜国立大学	パイプライン型剰余乗算器を用いたペアリング暗号の FPGA 実装 ～ 集約署名の場合 ～	電子情報通信学会技術研究報告、vol. 119, no. 143, HWS2019-25, pp. 157-162	2019/7
47	Makoto Nagata	神戸大学	Power Noise Simulation of IC Chips for Hardware Security	2019 IEEE International Symposium on Electromagnetic Compatibility, Signal & Power Integrity (EMC+SIPI 2019), Tutorial, FR-AM-3-2 (New Orleans)	2019/7/26

番号	発表者	所属	タイトル	会議名	発表年月
48	Naoya Watanabe, Yuuki Araga, Haruo Shimamoto, Katsuya Kikuchi, Makoto Nagata	産業技術総合研究所	Development of Backside Buried Metal Layer Technology for 3D-ICs	Proceedings of 52nd International Symposium on Microelectronics, pp.268-273	2019/10/2
49	Takuji Miki, Makoto Nagata, Akihiro Tsukioka, Noriyuki Miura, Takaaki Okidono, Yuuki Araga, Naoya Watanabe, Haruo Shimamoto, Katsuya Kikuchi	神戸大学	Over-the-top Si Interposer Embedding Backside Buried Metal PDN to Reduce Power Supply Impedance of Large Scale Digital ICs	IEEE 2019 International 3D Systems Integration Conference (3DIC 2019), #B5L-B, pp.1-4	2019/10/9
50	門脇 悠真、上野 嶺、ヴァイル・ウリマウル、藤本 大介、林 優一、永田 真、池田 誠、松本 勉、本間 尚文		ペアリング暗号ハードウェアの相関電磁波解析に関する検討	電子情報通信学会ハードウェアセキュリティ研究会（大阪）、vol. 119, No. 260, HWS2019-59, pp. 13-18	2019/11
51	Makoto Ikeda, Tadayuki Ichihashi, Hiromitsu Awano		33us, 94uJ Optimal Ate Pairing Engine on BN Curve Over 254b Prime Field in 65nm CMOS FDSOI	Proc. of IEEE Asian Solid-State Circuits Conference (A-SSCC 2019)	2019/11

番号	発表者	所属	タイトル	会議名	発表年月
52	Makoto Nagata	神戸大学	Deployment of EMC-Compliant IC Chip Techniques in Design for Hardware Security: Invited Paper	Proceedings of the 9th International Conference on Security, Privacy, and Applied Cryptography Engineering (SPACE 2019), Lecture Notes in Computer Science 11947, pp. 1-5	2019/12
53	奥秋 陽太 坂本 純一 藤本 大介 松本 勉	横浜国立大学	パイプライン型剰余乗算器を用いたペアリング計算器の Virtex-6 上における実装評価	電子情報通信学会、ハードウェアセキュリティフォーラム 2019	2019/12/6
54	Junichi Sakamoto, Yusuke Nagahama, Daisuke Fujimoto, Yota Okuaki, Tsutomu Matsumoto	横浜国立大学	Low-Latency Pairing Processor Architecture Using Fully-Unrolled Quotient Pipelining Montgomery Multiplier	IEEE Asian Hardware Oriented Security and Trust Symposium (AsianHOST) 2019, 中国、西安 (Xi'an)	2019/12/16 ~17
55	竹牟禮薫 ^{1,2} 坂井祐介 ¹ Bagus Santoso ² 花岡 悟一郎 ¹ 太田和夫 ^{1,2}	1 産業技術総合研究所 2 電気通信大学	事前通信モデルにおけるペアリングを用いない集約署名	暗号と情報セキュリティシンポジウム、2020	2020/1/29
56	奥秋 陽太 坂本純一 藤本 大介 松本 勉	横浜国立大学	低レイテンシペアリング計算プロセッサによる集約署名検証の Virtex-6 上における評価	暗号と情報セキュリティシンポジウム、2020	2020/1/29

番号	発表者	所属	タイトル	会議名	発表年月
57	川村信一 ^{1,2,3} 駒野雄一 ³ 清水秀夫 ³ 大須賀彩希 ⁴ 藤本大介 ⁴ 林優一 ^{2,4} 今福健太郎 ²	1 電子商取引安全技術研究組合 2 産業技術総合研究所 3(株)東芝 4 奈良先端科学技術大学院大学	逆数テーブルを用いた効率的な RNS 符号判定アルゴリズム	暗号と情報セキュリティシンポジウム、2020	2020/1/31
58	川村 信一	電子商取引安全技術研究組合	RNS 表現による Montgomery 乗算の基本性能の評価モデル	電子情報通信学会 ハードウェアセキュリティ研究会	2020/4/7

(b) 展示会への出展

番号	所属	タイトル	展示会名	発表年月
1	横浜国立大学、東京大学、東北大学、神戸大学、産業技術総合研究所、電子商取引安全技術研究組合、奈良先端科学技術大学院大学、三菱電機(株)	計測セキュリティ、高機能暗号に関するポスター展示	(電子情報通信学会・ハードウェアセキュリティ時限研究専門委員会) ハードウェアセキュリティフォーラム 2016	2016/12
2	横浜国立大学、東京大学、東北大学、神戸大学、産業技術総合研究所、電子商取引安全技術研究組合、奈良先端科学技術大学院大学、三菱電機(株)	計測セキュリティに関するデモ展示	CEATEC 2017 (NEDO ブース)	2017/10
3	横浜国立大学、東京大学、東北大学、神戸大学、産業技術総合研究所、電子商取引安全技術研究組合、奈良先端科学技術大学院大学、三菱電機(株)	計測セキュリティ、高機能暗号(秘匿検索)に関するポスター展示、デモ展示	ものづくり日本会議 NEDO 成果報告会	2017/11
4	横浜国立大学、東京大学、東北大学、神戸大学、産業技術総合研究所、電子商取引安全技術研究組合、奈良先端科学技術大学院大学、三菱電機(株)	計測セキュリティに関するデモ展示	(電子情報通信学会・ハードウェアセキュリティ専門委員会) 計測セキュリティフォーラム 2018	2018/4

◎研究開発テーマ「複製不可能デバイスを活用した IoT ハードウェアセキュリティ基盤の研究開発」

【特許】

番号	出願者	出願番号	国内 外国 PCT	出願日	状態	名 称	発明者
1	プリニクス ジャパン(株) 学校法人立命館	特願 2018-008399	国内	2018/1/22	公開	固体撮像装置、固体撮像装置の駆動方法、および電子機器	大倉俊介、白畑正芳、藤野毅、汐崎充、久保田貴也
2	プリニクス ジャパン(株) 学校法人立命館	特願 2018-008400	国内	2018/1/22	公開	固体撮像装置、固体撮像装置の駆動方法、および電子機器	大倉俊介、白畑正芳、藤野毅、汐崎充、久保田貴也
3	プリニクス ジャパン(株) 学校法人立命館	特願 2018-067705	国内	2018/3/30	公開	固体撮像装置、固体撮像装置の駆動方法、および電子機器	大倉俊介、白畑正芳、藤野毅、汐崎充、久保田貴也
4	プリニクス ジャパン(株) 学校法人立命館	特願 2018-212194	国内	2018/11/12	出願	カメラシステム およびカメラシステムの駆動方法	大倉俊介、森 賢右、高柳功、中村淳一、白畑正芳、藤野毅、汐崎充、久保田貴也、
5	パナソニック(株)	特願 2018-241679	国内	2018/12/25	公開	不揮発性メモリ装置およびチャレンジ・レスポンス方法	吉本裕平、加藤佳一
6	プリニクス ジャパン(株) 学校法人立命館	特願 2019-039240	国内	2019/3/5	公開	固体撮像装置、固体撮像装置の駆動方法、および電子機器	大倉俊介、石川賢一郎、白畑正芳、藤野毅、汐崎充、久保田貴也

【論文】

番号	発表者	所属	タイトル	発表誌名、ページ番号	査読	発表年月
1	R. Yashiro, T. Sugawara, M. Iwamoto, and K. Sakiyama	電気通信大学	Q-class Authentication System for Double Arbiter PUF	IEICE Trans. Fundamentals, Vol. E101-A, No.1, pp.129-137	有	2018/1

番号	発表者	所属	タイトル	発表誌名、ページ番号	査読	発表年月
2	栗原一徳、植村聖、吉田学	産業技術総合研究所	セキュリティタグのための物理的複製不能な有機薄膜回路	電子情報通信学会 エレクトロニクスサイエティ和文論文誌 C J102-C No. 3 pp.54-60	有	2019/3
3	栗原一徳、延島大樹、武居淳、小笹健仁、植村聖、吉田学	産業技術総合研究所	Wettability control with self-assembler patterning for printed electronics	Japanese Journal of Applied Physics, Vol.58, 041002 pp1-5	有	2019/3
4	野崎佑典、吉川雅弥	名城大学	フィードフォワードアービター-PUF に対するハイブリット機械学習攻撃とその評価	電気学会論文誌 C, vol.139, no.6, pp.692-700, 2019	有	2019/6
5	Kouji Suemori, Yuichi Watanabe, Nobuko Fukuda, and Sei Uemura	産業技術総合研究所	Voltage Contrast in Scanning Electron Microscopy to Distinguish Conducting Ag Nanowire Networks from Nonconducting Ag Nanowire Networks	ACS Omega ACS Omega, Vol.5, pp.12692-12697	有	2020/5
6	Toshiki Higashino, Kazunori Kuribara, Naoya Toda, Sei Uemura, Hiroaki Tachibana, and Reiko Azumi	産業技術総合研究所	Direct Preparing Mixed Self-Assembled Monolayers Based on Common-Substructure-Tailored Phosphonic Acids for Fine Control of Surface Wettability	Chemistry Letters, Vol.49, pp.1302-1305	有	2020/8
7	Mitsuru Shiozaki, Takeshi Fujino	立命館大学	Simple Electromagnetic Analysis Attack based on Geometric Leak on ASIC Implementation of Ring-Oscillator PUF	Journal of Cryptographic Engineering (JCEN), pp.1-12, 2020	有	2020/9
8	竹本修、柴垣和也、野崎佑典、吉川雅弥	名城大学	小面積・低遅延を指向した NN PUF とその評価	電気学会論文誌 C, Vol. 140, No. 12 (予定)	有	2020/12

番号	発表者	所属	タイトル	発表誌名、ページ番号	査読	発表年月
9	野崎佑典, 梅田大知, 竹本修, 吉川雅弥	名城大学	リングオシレータ PUF に対する遺伝的アルゴリズムを用いたハイブリッドモデリング解析とその評価	電気学会論文誌 C, Vol. 140, No. 12 (予定)	有	2020/12
10	八代理紗, 堀洋平、片下敏宏、 崎山一男	産業技術総合研究所 電気通信大学	意図的なエラーを付与することによる深層学習を用いた Arbiter PUF へのクローニング攻撃の対策	情報処理学会論文誌, Vol.61, No.12 (予定)	有	2020/12
11	T. Kubota, K. Yoshida, M. Shiozaki, and T. Fujino	立命館大学	Deep Learning Side-Channel Attack against Hardware Implementations of AES	Journal of Microprocessors and Microsystems (accepted Nov. 2020)	有	2020/12

【外部発表】

(a) 学会発表・講演

番号	発表者	所属	タイトル	会議名	発表年月
1	野崎佑典、 吉川雅弥	名城大学	耐タンパ PUF に対する電磁波解析の基礎検討	情報処理学会研究報告	2017/8
2	堀 洋平	産業技術総合研究所	Physically Unclonable Function (PUF) とその応用	電子情報通信学会ソサイエティ大会	2017/9
3	Yuki Nakura, Shunsuke Okura, Masayoshi Shirahata, Mitsuru Shiozaki, Takaya Kubota, Kenji Ishikawa, Isao Takayana gi, and Takeshi Fujino	プリルニクス ジャパン(株) 立命館大学	A Proposal of PUF utilizing Pixel Variations in the CMOS Image Sensor	IWSEC 2017 (The 12th International Workshop on Security)	2017/9

番号	発表者	所属	タイトル	会議名	発表年月
4	吉本裕平、 加藤佳一、 吉岡和樹	パナソニック セミコンダクター ソリューションズ(株) [現 ヌヴォトンテクノ ロジージャパン(株)]	耐タンパセキュリティ技術と ReRAM へのセキュア応用	NEDO IoT 推進のための横断 技術開発プロジェクト 第 2 回 人材育成スクール	2017/10
5	白畑 正芳、 名倉 優輝、 一色 良太、 高野 将平、 大倉 俊介、 汐崎 充、 久保田 貴 也、石川 賢 一郎、高柳 功、藤野 毅	立命館大学 ブリルニクス ジャパン(株)	複製不可能デバイスを活用した IoT ハードウェアセキュリティ基盤の研究開 発 - カラーイメージセンサ PUF の 研究 -	平成 29 年電気関係学会関西 連合大会	2017/11
6	Masaya Yoshikawa 、Yusuke Nozaki	名城大学	Helper Data Aware Cloning Method for Physical Unclonable Function	Proc. 2nd IEEE International Conference on Smart Cloud 2017 (SmartCloud 2017)	2017/11
7	Yusuke Nozaki、 Masaya Yoshikawa	名城大学	EM Based Machine Learning Attack for XOR Arbiter PUF	Proc. 2017 Asia Conference on Machine Learning and Computing (ACMLC 2017)	2017/12
8	堀 洋平	産業技術総合研究 所	Physically Unclonable Function の基礎と IoT のセキュリ ティへの応用	日本銀行 第 36 回情報セキュ リティ・セミナー	2017/12
9	栗原 一徳、 東野 寿樹、 延島 大樹、 小笹 健仁、 植村 聖、吉 田 学	産業技術総合研究 所	自己組織化分子の混合による極薄 絶縁膜の濡れ性改善	次世代プリントドエレクトロニク ス技術セミナー	2017/12
10	井上菜、一 色良太、名 倉優輝、白 畑正芳、大 倉俊介、汐 崎充、久保 田貴也、石 川賢一郎、 高柳功、藤 野毅	立命館大学 ブリルニクス ジャパン(株)	CMOS イメージセンサの特性バラツキ を利用した PUF(CIS-PUF)の Challenge & Response 認証の 検討	暗号と情報セキュリティシンポジウ ム (SCIS) 2018	2018/1

番号	発表者	所属	タイトル	会議名	発表年月
11	一色良太、 名倉優輝、 白畑正芳、 大倉俊介、 汐崎充、久 保田貴也、 石川賢一 郎、高柳 功、藤野毅	立命館大学 ブリルニクス ジャパン(株)	CIS-PUF における出力信号の特性 を利用した PUF ID の誤り訂正手法 の検討	暗号と情報セキュリティシンポジウ ム (SCIS) 201	2018/1
12	栗原一徳	産業技術総合研究 所	塗布型トランジスタと 有機物理複製 困難回路	有機エレクトロニクス研究会	2018/2
13	Yusuke Nozaki、 Masaya Yoshikawa	名城大学	Genetic Programming Based Attack for RO PUF	Proc. 2018 RISP International Workshop on Nonlinear Circuits, Communications and Signal Processing (NCSP'18)	2018/3
14	栗原 一徳、 堀 洋平、片 下 敏宏、植 村 聖、吉田 学	産業技術総合研究 所	親撥制御技術を用いた 印刷有機 物理複製困難回路の作製と評価	第 65 回応用物理学会春季学 術講演会	2018/3
15	Yusuke Nozaki and Masaya Yoshikawa	名城大学	Power Consumption Aware Machine Learning Attack for Feed-Forward Arbiter PUF	ICIS 2018	2018/6
16	後藤 裕太、 汐崎 充、藤 野 毅	立命館大学	Fuzzy Extractor の誤り訂正回路 に対するサイドチャネル攻撃	電子情報通信学会 HWS 研究 会	2018/7
17	野崎佑典、 吉川雅弥	名城大学	XOR 型 PUF のサイドチャネル対策 手法とその評価	電子情報通信学会 HWS 研究 会	2018/7
18	吉本裕平、 加藤佳一、 吉岡和樹	パナソニック セミコンダクター ソリューションズ(株) [現 ヌヴォンテクノ ロジージャパン(株)]	耐タンパセキュリティ技術と ReRAM へのセキュア応用	NEDO IoT 推進のための横断 技術開発プロジェクト 第 3 回 人材育成スクール	2018/8
19	八代 理紗、 菅原 健、 崎山 一男	電気通信大学	Arbiter PUF に対する攻撃手法に 関する一考察	DA シンポジウム 2018	2018/8
20	野崎佑典、 吉川雅弥	名城大学	検定を用いた PUF に対するサイド チャネル解析の安全性評価手法	第 23 回 CDS 研究会	2018/8

番号	発表者	所属	タイトル	会議名	発表年月
21	八代 理紗, 藤 聡子, 菅原 健, 崎山 一男	電気通信大学	Arbiter PUF へのサイドチャネルモデ リング攻撃の実装と応用	2018 年電子情報通信学会ソ サイティ大会	2018/9
22	Takaya Kubota, Mitsuru Shiozaki, and Takeshi Fujino	立命館大学	A Side-Channel Attack Method against Truncated MAC CAN Message based on AUTOSAR Specification	CHES 2018 (poster)	2018/9
23	Masayoshi Shirahata, Shunsuke Okura, Takaya Kubota, Mitsuru Shiozaki,K enichiro Ishikawa, Isao Takayangi , and Takeshi Fujino	立命館大学 ブリルニクス ジャパン(株)	A Proposal of Efficient Error Recovery Method Utilizing Output Characteristics of CMOS Image Sensor PUF	CHES 2018 (poster)	2018/9
24	栗原一徳、 小笠原泰 弘、植村 聖、吉田学	産業技術総合研究 所	Study of Organic Buskeeper- type Physically Unclonable Function	SSDM 2018	2018/9
25	栗原 一徳、 延島 大樹、 武居 淳、小 笹 健仁、植 村 聖、吉田 学	産業技術総合研究 所	塗布型 n 型半導体の熱安定性評 価	第 79 回応用物理学会秋季学 術講演会	2018/9

番号	発表者	所属	タイトル	会議名	発表年月
26	Shunsuke Okura, Ryota Ishiki, Masayoshi Shirahata, Takaya Kubota, Mitsuru Shiozaki, Kenichiro Ishikawa, Isao Takayana gi, and Takeshi Fujino	ブルニクス ジャパン(株) 立命館大学	A Dynamic Soft Decision Fuzzy Extractor for a CMOS Image Sensor PUF	ISPACS 2018	2018/11
27	Nicolas Bruneau, Jean-Luc Danger, Adrien Facon, Sylvain Guilley, Soshi Hamaguchi, Yohei Hori, Yousung Kang, Alexander Schaub	産業技術総合研究所	Development of the unified security requirements of PUFs during the standardization process	SecITC 2018	2018/11
28	Yusuke Nozaki and Masaya Yoshikawa	名城大学	Countermeasure of Lightweight Physical Unclonable Function against Side-Channel Attack	ICCSCS 2018	2018/12

番号	発表者	所属	タイトル	会議名	発表年月
29	井上菜、一色良太、高野将平、白畑正芳、大倉俊介、汐崎充、久保田貴也、石川賢一郎、高柳功、藤野毅	立命館大学 ブリルニクス ジャパン(株)	CIS PUF を用いたセキュリティシス ムの提案	電子情報通信学会 ICD 研究 会	2018/12
30	栗原一徳	産業技術総合研究 所	有機物理複製困難関数の安定性	フレキシブル・ハイブリッド・エレクト ロニクスセミナー (JFlex 展内)	2019/1
31	堀洋平	産業技術総合研究 所	Physically Unclonable Function (PUF)の基礎、応用と標 準化について	NEDO IoT 推進のための横断 技術開発プロジェクト 第4回 人材育成スクール	2019/1
32	楠, 吉田 康太, 久保 田貴也, 汐 崎 充, 藤 野 毅	立命館大学	MDR-ROM PUF/AES を用いて鍵 生成したセキュア AI エッジデバイスの 提案	SCIS 2019	2019/1
33	久保田貴 也, 吉田 康太, 汐崎 充, 藤野 毅	立命館大学	ハードウェア実装 AES に対する深 層学習サイドチャネル攻撃	SCIS 2019	2019/1
34	Y.Nozaki, M.Yoshika wa	名城大学	Side-Channel Resistance Evaluation Method using Statistical Tests for Physical Unclonable Function	ICAIIC 2019	2019/2
35	Risa Yashiro, Takeshi Sugawara, Mitsuru Shiozaki, Takeshi Fujino and Kazuo Sakiyama	電気通信大学 立命館大学	A TEG Chip of Arbiter PUF for Efficient Simulation Model	ICCCS 2019	2019/2

番号	発表者	所属	タイトル	会議名	発表年月
36	一色 良太, 白畑正芳, 大倉俊介, 汐崎充, 久保田貴也, 石川賢一郎, 高柳 功, 藤野 毅	立命館大学 ブリルニクス ジャパン(株)	CMOS イメージセンサの画素ばらつきを活用した PUF(CIS-PUF)の誤り訂正手法の検討	電子情報通信学会 HWS 研究会	2019/3
37	野崎佑典, 吉川雅弥	名城大学	ASIC で実装したリングオシレータ PUF の性能と安全性評価	電子情報通信学会 HWS 研究会	2019/3
38	松見進, 野崎佑典, 吉川雅弥	名城大学	改良されたアービタ PUF に対する線形モデルによる攻撃	電子情報通信学会 HWS 研究会	2019/3
39	栗原一徳、延島大樹、武居淳、植村聖、吉田学	産業技術総合研究所	フレキシブル基板上の有機物理複製困難関数の安定性評価	第 66 回応用物理学会春季学術講演会	2019/3
40	S.Matsumi, Y.Nozaki, M.Yoshikawa	名城大学	Linear Model Based Attack for Improved Arbiter PUF	NCSP 2019	2019/3
41	K.Shibagaki, Y.Nozaki and M.Yoshikawa	名城大学	LUT-Network based Physical Unclonable Function and its Evaluation	NCSP2020	2019/3
42	T.Umeda, Y.Nozaki and M.Yoshikawa	名城大学	Hierarchical GA based Modeling Analysis for RO PUF	NCSP2020	2019/3
43	Tatsuya Oyama, Masayoshi Shirahata, Mitsuru Shiozaki, Shunsuke Okura, and Takeshi Fujino	立命館大学	Dependency Evaluation between Performance Metrics and Response-Bit Length of a CIS-PUF	NCSP2020	2019/3

番号	発表者	所属	タイトル	会議名	発表年月
44	柴垣和也, 野崎佑典, 吉川雅弥	名城大学	ニューラルネットワーク PUF 向けアー ビター回路の実装と評価	電気学会全国大会	2019/3
45	梅田大和, 野崎佑典, 吉川雅弥	名城大学	リングオシレータ PUF に対する階層 的進化戦略を用いた解析手法	電気学会全国大会	2019/3
46	野崎佑典	名城大学	複製不可能デバイス PUF の機械学 習を用いた安全性評価	日本知能情報フাজィ学会東海 支部講演会 (招待講演)	2019/4
47	Takeshi Fujino, Shunsuke Okura, Mitsuru Shiozaki, Takaya Kubota, Masayoshi Shirahata	立命館大学	PUF (Physical Unclonable Functions) devices for IoT applications	Photomask Japan 2019 (招待講演)	2019/4
48	汐崎充, 久 保田貴也, 白畑正芳, 堀洋平, 片 下敏宏, 藤 野毅	立命館大学 産業技術総合研究 所	180nm CMOS プロセスを用いた Physically Unclonable Functions の実装と評価	電子情報通信学会 HWS 研究 会	2019/4
49	S.Okura, R.Ishiki, S.Takano, M.Shirhata , T.Kubota, M.Shiozaki , K.Ishikaw a, I.Takayan agi and T.Fujino	立命館大学 ブリルニクス ジャパン(株)	A 2-Mpixel CMOS Image Sensor with Device Authentication and Encryption Key Generatio Based on Physically Unclonable Function	International Image Sensor Society (IISS)	2019/6

番号	発表者	所属	タイトル	会議名	発表年月
50	K. Kuribara, T. Nobeshima, A. Takei, T. Kozasa, S. Uemura, and M. Yoshida	産業技術総合研究所	Long-term stability of organic physically unclonable function for IoE security	Compound Semiconductor Week 2019	2019/5
51	Y.Nozaki and M.Yoshikawa	名城大学	Security Evaluation of Ring Oscillator PUF against Genetic Algorithm Based Modeling Attack	Proc.IMIS 2019, vol.994, pp.338-347	2019/7
52	汐崎充, 藤野毅	立命館大学	ASIC 実装した Ring-Oscillator PUF への電磁界解析攻撃	電子情報通信学会 HWS 研究会	2019/7
53	T. Kubota, K. Yoshida, M.Shiozaki, and T. Fujino	立命館大学	Deep Learning Side-Channel Attack against Hardware Implementations of AES	Euromicro DSD, pp. 261-268	2019/8
54	吉本裕平、加藤佳一、吉岡和樹	パナソニック セミコンダクターソリューションズ(株) [現 ヌヴォトンテクノロジー・ジャパン(株)]	耐タンパセキュリティ技術と ReRAM へのセキュア応用	NEDO IoT 推進のための横断技術開発プロジェクト 2019 年度 第 1 回人材育成スクール	2019/8
55	Kazuo Sakiyama	電気通信大学	Deep Learning for Security Evaluation of Physically Unclocable Function	The 1st ECTI UEC Workshop on AI and Application (ECTI-UEC2019) (招待講演)	2019/9
56	野崎佑典, 吉川雅弥	名城大学	ASIC 実装した疑似線形帰還シフトレジスタ PUF の性能評価	電気学会大会, no. GS12-7, pp. 1300-1303	2019/9
57	小沼竜也, 李陽, 菅原健	電気通信大学	クロック操作による Time-to-Time-to-Digital Converter への情報改ざん攻撃	IEICE2019 年ソサイエティ大会	2019/9
58	Y.Nozaki and M. Yoshikawa	名城大学	Quantitative Performance Evaluation of PL PUF and RO PUF with ASIC Implementation	Proc. IEEE GCCE 2019, pp.1151-1152	2019/10
59	T.Umeda, Y.Nozaki, and M.Yoshikawa	名城大学	Scalability and Performance Evaluation of GA Based Modeling Analysis for RO PUF	Proc. IEEE GCCE 2019, pp.1157-1158	2019/10

番号	発表者	所属	タイトル	会議名	発表年月
60	R. Yashiro, Y. Hori, T. Katashita, and K. Sakiyama	電気通信大学 産業技術総合研究所	A Deep Learning Attack Countermeasure with Intentional Noise for a PUF-based Authentication Scheme	International Conference on Information Technology and Communications Security (SecITC 2019)	2019/11
61	M. Shiozaki, and T. Fujino	立命館大学	Simple Electromagnetic Analysis Attacks based on Geometric Leak on an ASIC Implementation of Ring-Oscillator PUF	Attacks and Solutions in Hardware Security ASHES, pp. 13-21	2019/11
62	大山達哉, 白畑正芳, 汐崎充, 大倉俊介, 堀洋平, 藤野毅	立命館大学 産業技術総合研究所	計算機モデルを用いた PUF 評価指標とレスポンス bit 長の依存性に関する一考察	電子情報通信学会 ICD 研究会	2019/11
63	堀洋平	産業技術総合研究所	Physically Unclonable Function (PUF) の研究・標準化動向について	ハードウェアセキュリティフォーラム 2019	2019/12
64	堀洋平	産業技術総合研究所	Physically Unclonable Function (PUF) とその応用	電子情報通信学会会誌	2020/1
65	大山達哉, 白畑正芳, 汐崎充, 大倉俊介, 藤野毅	立命館大学	CMOS イメージセンサ PUF(CIS-PUF)における評価指標のレスポンス bit 長依存性評価及び考察	暗号と情報セキュリティシンポジウム (SCIS)	2020/1
66	前田悠磨, 吉田康太, 久保田貴也, 汐崎充, 藤野毅	立命館大学	サイドチャネル攻撃対策を施した AES 暗号回路に対する深層学習を用いたサイドチャネル攻撃	暗号と情報セキュリティシンポジウム (SCIS)	2020/1
67	八代理紗, 堀洋平, 片下敏宏, 汐崎充, 崎山一男	電気通信大学 産業技術総合研究所 立命館大学	RG-DTM PUF に対する Deep Learning を用いたクローニング攻撃	暗号と情報セキュリティシンポジウム (SCIS)	2020/1
68	汐崎充, 堀洋平, 大倉俊介, 白畑正芳, 藤野毅	立命館大学 産業技術総合研究所	Non-IID PUF のエントロピー低下要因とエントロピー見積もり手法 (1)	電子情報通信学会 HWS 研究会	2020/3

番号	発表者	所属	タイトル	会議名	発表年月
69	汐崎充, 堀洋平, 大倉俊介, 白畑正芳, 藤野毅	立命館大学 産業技術総合研究所	Non-IID PUF のエントロピー低下要因とエントロピー見積もり手法 (1)	電子情報通信学会 HWS 研究会	2020/3
70	野崎佑典, 竹本修, 吉川雅弥	名城大学	低遅延暗号を利用したグリッチ PUF の検討	電気学会全国大会	2020/3
71	Takeshi Sugawara, Tatsuya Onuma, and Yang Li	電気通信大学	Signal Injection Attack on Time-to-Digital Converter and Its Application to Physically Unclonable Function	IWSEC 2020	2020/9
72	竹本修, 池崎良哉, 野崎佑典, 吉川雅弥	名城大学	NN PUF に対する最適ハイパーパラメータ下での機械学習攻撃	電気・電子・情報関係学会 東海支部連合大会	2020/9
73	野崎佑典, 竹本修, 池崎良哉, 吉川雅弥	名城大学	Virtex-7 上に実装した PRINCE をベースとしたグリッチ PUF の評価	2020 年度電気・情報関係学会北陸支部連合大会	2020/9
74	山下晃平, 李陽, 菅原健	電気通信大学	Time-to-Digital Converter へのシグナルインジェクションによる PUF ステート復元攻撃の難易度評価	2020 年電子情報通信学会ソサイティ大会	2020/9
75	M. Shiozaki, Y. Hori, T. Oyama, M. Shirahata, and T. Fujino	立命館大学 産業技術総合研究所	Cause Analysis Method of Entropy Loss in Physically Unclonable Functions	ISCAS 2020	2020/10
76	山下晃平, 李陽, 菅原健	電気通信大学	TDC の操作による PUF ステート復元攻撃の難易度評価のためのシミュレーション	コンピュータセキュリティシンポジウム 2020 (CSS2020)	2020/10
77	Mitsuru Shiozaki, Takeshi Sugawara, Takeshi Fujino	立命館大学 電気通信大学	Exploring Effect of Residual Electric Charges on Cryptographic Circuits	Workshop on Attacks and Solutions in Hardware Security (ASHES 2020)	2020/11

(b) 新聞・雑誌等への掲載

番号	所属	タイトル	掲載誌名	発表年月
1	産業技術総合研究所	社会インフラを守る - PUF 研究にまい進	上越タイムス社	2018/12/25
2	産業技術総合研究所	PUF で半導体の「ばらつき」利用 CMOS センサーなどへ活用期待	電子デバイス産業新聞	2020/3/5

(c) 展示会への出展

番号	所属	タイトル	展示会名	発表年月
1	産業技術総合研究所	塗布型トランジスタと有機物理複製困難回路	プリンタブルエレクトロニクス展	2018/2
2	産業技術総合研究所	有機物理複製困難関数の安定性	JFlex 展 2019	2019/1
3	名城大学	サイバーフィジカルセキュリティにおける耐タンパ技術	名城大学テクノフェア	2019/8
4	産業技術総合研究所	PUF 認証デモ	セミコンジャパン	2019/12
5	産業技術総合研究所	フレキシブルセキュリティ回路の研究	InterOpt/MEMS 展 2020	2020/1
6	産業技術総合研究所	ディープレーニングによるセキュリティ回路 PUF への攻撃とその対策	SAT テクノロジーショーケース	2020/1

◎研究開発テーマ「次世代産業用ネットワークを守るIoTセキュリティ基盤技術の研究開発」

【特許】

番号	出願者	出願番号	国内 外国 PCT	出願日	状態	名 称	発明者
1	アラクサラネットワークス(株)	特願 2018-228475	日本	2018/12/5	公開	ネットワーク異常検知装置、ネットワーク異常検知システム及びネットワーク異常検知方法	石川有一、松山信仁
2	アラクサラネットワークス(株)	16/680757	米国	2019/11/12	公開	NETWORK ANOMALY DETECTION APPARATUS, NETWORK ANOMALY DETECTION SYSTEM, AND NETWORK ANOMALY DETECTION METHOD	石川有一、松山信仁

【外部発表】

(a) 学会発表・講演

番号	発表者	所属	タイトル	会議名	発表年月
1	新 善文	アラクサラネットワークス(株)	IoT セキュア情報基盤のためのネットワーク機器向けの検索デバイス技術の研究	第 14 回新産業促進検討会	2017/9/15
2	新 善文	アラクサラネットワークス(株)	IIoT セキュリティの現実と可能性 ～ネットワークによる IoT システムの防御～	IoT World Conference 東京 2017	2017/10/23
3	大岩 寛	産業技術総合研究所	産業 IoT インフラのセキュリティを守るための研究開発の取り組み	IoT とセキュリティ 2017	2017/12/20
4	大岩 寛 新 麗 新 善文 朝比奈 徹	産業技術総合研究所、他	産業 IoT 機器のセキュリティを守るネットワーク制御機構の設計	電子情報通信学会	2018/6/25
5	胡 思己 坂本 龍一 近藤 正章 中村 宏	東京大学	Rump kernel の通信性能の評価と改善手法の検討	情報処理学会システムソフトウェアとオペレーティング・システム研究会	2018/7/30
6	大岩 寛	産業技術総合研究所	次世代産業用ネットワークを守る IoT セキュリティ基盤技術の研究開発	電子情報通信学会通信ソサイエティ大会	2018/9/13
7	新善文 新 麗 大岩 寛	アラクサラネットワークス(株)、他	ネットワークによる IoT セキュリティのための機器管理手法	電子情報通信学会インターネットアーキテクチャ研究会	2019/10/4
8	新善文	アラクサラネットワークス(株)	情報社会を支えるギャランティードネットワーク 2.0 ～社会インフラとしてのインターネットと日本のモノづくり～	Network World 2020 (主催 (株)ナノオプトメディア)	2020/10/6

(b) 展示会への出展

番号	所属	タイトル	展示会名	発表年月
1	アラクサラ (株)IIJ イノベーションインスティテュート 産業技術総合研究所	AI 画像認識×ルート最適化技術で次世代モビリティサービスを実現!	CEATEC	2018/10/16 ～19
2	(株)IIJ イノベーションインスティテュート	次世代 IoT セキュリティ	IIJ Technical DAY 2018	2018/11/22

以上

2. 分科会公開資料

次ページより、プロジェクト推進部署・実施者が、分科会においてプロジェクトを説明する際に使用した資料を示す。

「高効率・高速処理を可能とするAIチップ・次世代コンピューティングの技術開発」 (中間評価)

評価対象期間：2016年度～2020年度（5年間）

事業期間：2027年度まで

プロジェクトの概要 **(公開)**

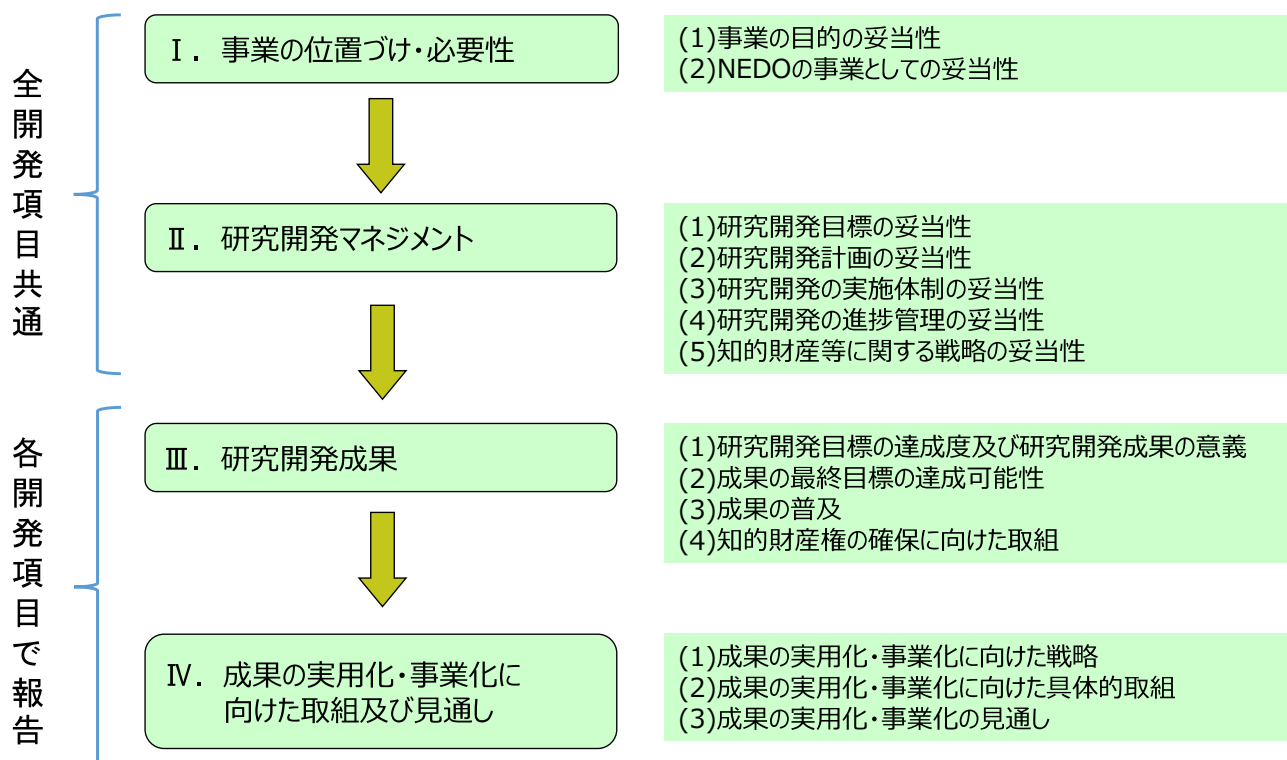
NEDO

IoT推進部

2020年12月18日

0

発表内容



◆事業実施の背景と事業の目的

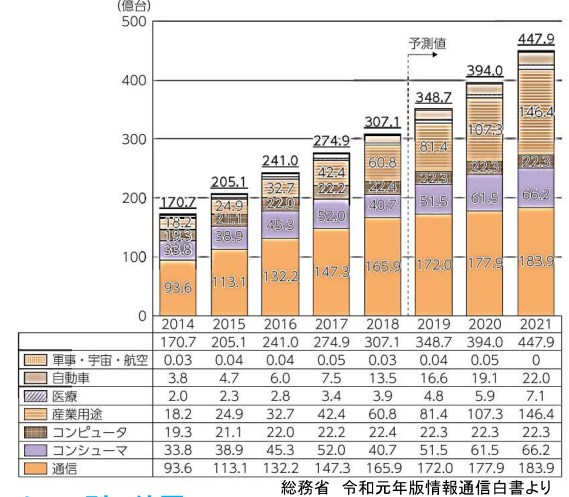
社会的背景

【IoT社会の到来と課題】

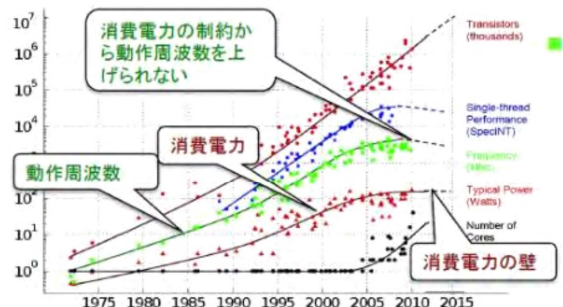
- ・IoT端末(デバイス)から得られる**大量データ(情報)の利活用により、高度な制御や新たなサービスを実現する**「IoT社会」を支えるIoT情報処理基盤が必要 (短期)
- ・IoT社会の到来により、**急増するデータを即時的・効率的に処理するため**、コンピュータの情報処理は、サーバー(クラウド)集約型から、エッジ分散処理型へシフトが必要 (中期)
- ・ムーア則の終焉が叫ばれ、半導体微細化による情報処理性能の向上は限界を迎えつつある。一方で、社会全体が扱う情報量は更に増加する。エッジやクラウド等において、既存技術の延長にない新原理の技術により、**著しく増加するデータの処理に要する電力の劇的な低減が必要** (長期)

それぞれの時間軸において、IoT社会の高度化に資する、革新的な技術の実現が求められる。

IoT社会の到来 世界のIoTデバイス数の推移及び予測



ムーア則の終焉



Qcon Tokyo 2016基調講演 国立情報学研究所アーキテクチャ化学研究系教授/所長補佐 佐藤一郎氏講演資料より

◆事業実施の背景と事業の目的

事業の目的

社会課題の解決と我が国の情報産業の再興を目的とし、**ポストムーア時代のコンピュータ技術開発を行う。**

【研究開発項目①】革新的AIエッジコンピューティング技術の開発

PL: 東京工業大学 教授 本村真人

・エッジにおけるAI処理を実現するための小型かつ省エネながら高度な処理の能力を持った専用チップ及びコンピューティング技術等を開発する。(期間:2018-2022年度)

【研究開発項目②】次世代コンピューティング技術の開発

PL(1): 産業技術総合研究所 デバイス技術研究ユニット長 川畑史郎

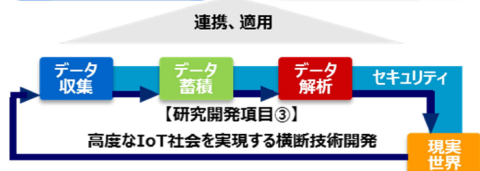
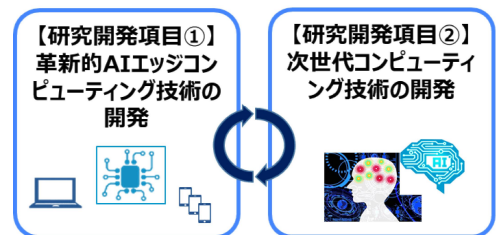
PL(2): 産業技術総合研究所 特別顧問 金山敏彦

・既存の技術の延長にない、新原理等による高速かつ低消費電力化を実現する次世代コンピューティング技術を開発する。(期間:2018-2027年度)

【研究開発項目③】高度なIoT社会を実現する横断技術開発

PL: 東京大学 教授 森川博之

IoT社会を支えるIoT情報基盤を築くため、**大量データの効率的かつ高度な利活用を可能とする収集、蓄積、解析、セキュリティ等に関する横断的技術開発を行う。** (期間:2016-2020年度)



※研究開発項目②は、
②-(1)量子コンピューティング関連技術
②-(2)新原理コンピューティング技術(非量子関連技術)
に分類する。

また、長期間の開発を行うにあたり、現時点では術的に有効性が証明されているものの、産業応用を見据える上で不足のある技術については、探索型研究として、課題調査などを含む小規模な開発を行う。

1. 事業の位置付け・必要性 (1) 事業の目的の妥当性

◆事業実施の背景と事業の目的：それぞれの時間軸における革新的技術の実現

本事業における短期・中期・長期の課題設定イメージ

FY2016 2017 2018 2019 2020 2021 2022 2023 2024 2025 2026 2027

③ 高度なIoT社会を実現する
横断的技術開発

センシング、メモリ、情報解析、セキュリティ等システム開発、IoT社会の基盤を構築。IoTをベースとした新たなサービスやビジネスの創出。
(スマートセンシング、インフラ劣化予測など)

IoT社会の到来による情報量増大。
IoT社会の高度化を支える技術の実用化。
リアルタイムデータ取得、効率的活用を後押し。

IoT社会の到来による、さらなる情報量増大。クラウド側の情報量、情報処理増加に伴う対策が必要。

① 革新的AIエッジコンピューティング技術の開発

クラウド集約型のコンピューティングから、エッジ領域へ分散。リアルタイム情報処理をエッジ側で一部実施することで、低消費電力化、高度化を実現。
(自動運転高度化、高度なセキュリティシステムなど)

エッジ並びにクラウド両領域における既存技術での情報処理能力上昇限界が到来。(ムーアの則の終焉)

AIエッジコンピューティング開発と並行し、日本に技術や知見の種があり、将来的にエッジ、クラウド両領域を高度化可能な、次世代コンピューティング技術の開発を進める。

② 次世代コンピューティング技術の開発

②-1 量子関連コンピューティング、②-2 新原理コンピューティング

クラウド領域想定：量子アニーリング技術、次世代データセンタ技術
エッジ領域想定：脳型コンピューティング

両領域のさらなる高度化、領域に縛られない革新的な技術開発。これにより増大を続ける次世代の情報社会の情報量に対応。日本独自の技術による、産業競争力強化、国内外市場の獲得に資する、新たなサービスの創出を目指す。

(次世代データセンタによる高度な情報整理。量子コンピュータで新たに処理可能となる情報が生み出す医療、交通、経済分析などの新ビジネス。脳型コンピューティングによるロボット技術の高度化、など。)

1. 事業の位置付け・必要性 (1) 事業の目的の妥当性

◆政策的位置付け 各種閣議決定文書で、本事業に関連する技術開発が重要な位置づけに

	政策	概略	'15~'20	'25~'50
内閣府	統合イノベーション戦略2020 (2020.7.17)	・コロナ禍、国内外の変化を踏まえた我が国の課題(危機感とスピード化を持ち、デジタル化を加速、イノベーションを創出) に対して、重点的に取り組むべき施策(Society5.0)の具体化を提示。 ・戦略的に進めていくべき主要分野=基盤技術(AI、バイオ、量子技術、マテリアルなど世界最先端の研究開発、人材育成他)、応用分野(安全安心、環境エネルギー、健康・医療ほか)	2019	2020
経済産業省	産業技術ビジョン2020 (2020.5.29)	・2050年に向けた5つのグローバルメカトレンドと世界動向を踏まえ、日本が抱える本質的課題を仮説として特定し、2050年の産業技術の方向性、2050年までに実現すべきことを取りまとめ ・R&D投資の重点化(デジタルにおいては、全ての基盤となるポストムーア時代の次世代コンピューティング技術(エッジ)とIntelligence of Thingsを支えるキーテクノロジー群のR&Dを強化)		ターゲット時期 (中长期：2025、次の30年)
内閣府	AI戦略 (2019.6.11)	AI社会原則を踏まえ、Society 5.0の実現を通じて世界規模の課題の解決に貢献するとともに、我が国自身の社会課題も克服するため、さらには、その先の我が国の産業競争力の向上に向け、“人、産業、地域、政府全てにAIを”普及させるために策定。		
経済産業省	Connected Industries (2017.10.2)	・「Society5.0」実現に向け、様々な業種、企業、人、機械、データなどがつながり、AI等によって、新たな付加価値や製品・サービスを創出、生産性を向上させることにより、高齢化、人手不足、環境・エネルギー制約などの社会課題を解決。これらを通じて、産業競争力の強化を目指す。		
	Society5.0 (2016.1.22)	・サイバー空間とフィジカル(現実)空間を高度に融合させたシステムにより、経済発展と社会的課題の解決を両立する人間中心の社会 ・IoTで全ての人とモノがつながり、様々な知識や情報が共有され、新たな価値が生まれる社会など4つの社会像の実現を目指す		
内閣府	第5期科学技術基本計画 (2016.1.22)	10年先を見通した5年間の科学技術の振興に関する総合的な計画。基本方針・4本柱のひとつとして「超スマート社会の実現(Society5.0)」を掲げる		ターゲット時期 (10年先)
	日本再興戦略改定2015 (2015.6.30)	未来投資による生産性革命の実現に向け、ビジネスや社会の在り方そのものを根底から揺るがす「第四次産業革命」とも呼ぶべき大変革に対し、生産性向上のための施策として、鍵となる施策として“IoT、ビッグデータ解析、AI、センサー等による産業構造・就業構造の変革の検討”を掲げた。		
	科学技術イノベーション総戦略2015 (2015.6.19)	「未来の産業創造・社会変革」に先行し、あるべき経済・社会システムを構想し、SIPを含め研究開発を組み合わせ(システム化)、産業競争力を生み出す価値の連鎖(バリューチェーン)を形成。社会実装に向け2020年までの成果目標を設定。我が国の強みを活かしIoT、ビッグデータ等を駆使した新産業の育成を施策の一つとした。		ターゲット時期 (5年先)

1. 事業の位置付け・必要性 (1) 事業の目的の妥当性

◆ 国内外の研究開発の動向と比較 (政策的位置づけの例)

AI戦略2019 我が国の産業競争力の向上に向けて、AIを取り巻く「教育改革」「研究開発」「社会実装」などを含む統合的な政策パッケージを策定

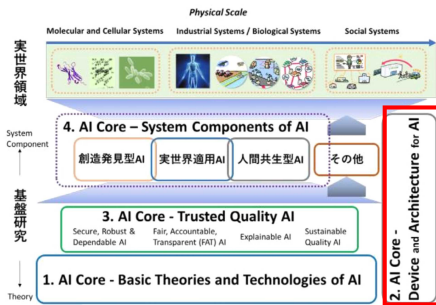


図1 AI研究開発の全体構成図

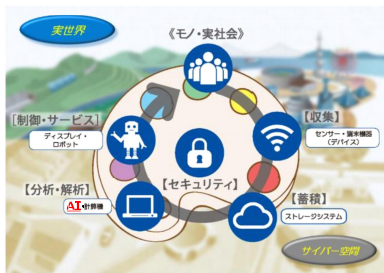


図2 AI+IoTが実現するCPS

(別表1) 中核基盤研究開発

今後の研究開発重点項目

AI-Core -Device and Architecture for AI

個別項目	具体的取組内容	達成時期(年度)	担当
エッジ向けコンピューティング・デバイス	自立型フレキシブルモジュールへ向けた革新的センサ・アクチュエータ等の開発	2022	文部科学省
	情報処理に係る消費電力性能を従来比10倍以上に向上させる革新的AIチップ技術の確立	2022	経済産業省
クラウド型コンピューティング・デバイス	消費電力がDRAMの数分の1以下、記憶容量は100倍以上のストレージクラスメモリの開発	2025	文部科学省
次世代型コンピューティング・デバイス	量子情報処理による質的にセキュアな情報処理技術の創出	量子戦略で検討	総務省
	量子コンピューティング技術による超並列・大規模情報処理技術の創出、AIへの適用	量子戦略で検討	文部科学省
	量子コンピュータ等、情報処理に係る消費電力性能を従来比100倍以上に向上させる技術の確立	2027	経済産業省
	脳を模倣した情報処理を実用的な時間で実現するアーキテクチャの開発	2050	総務省

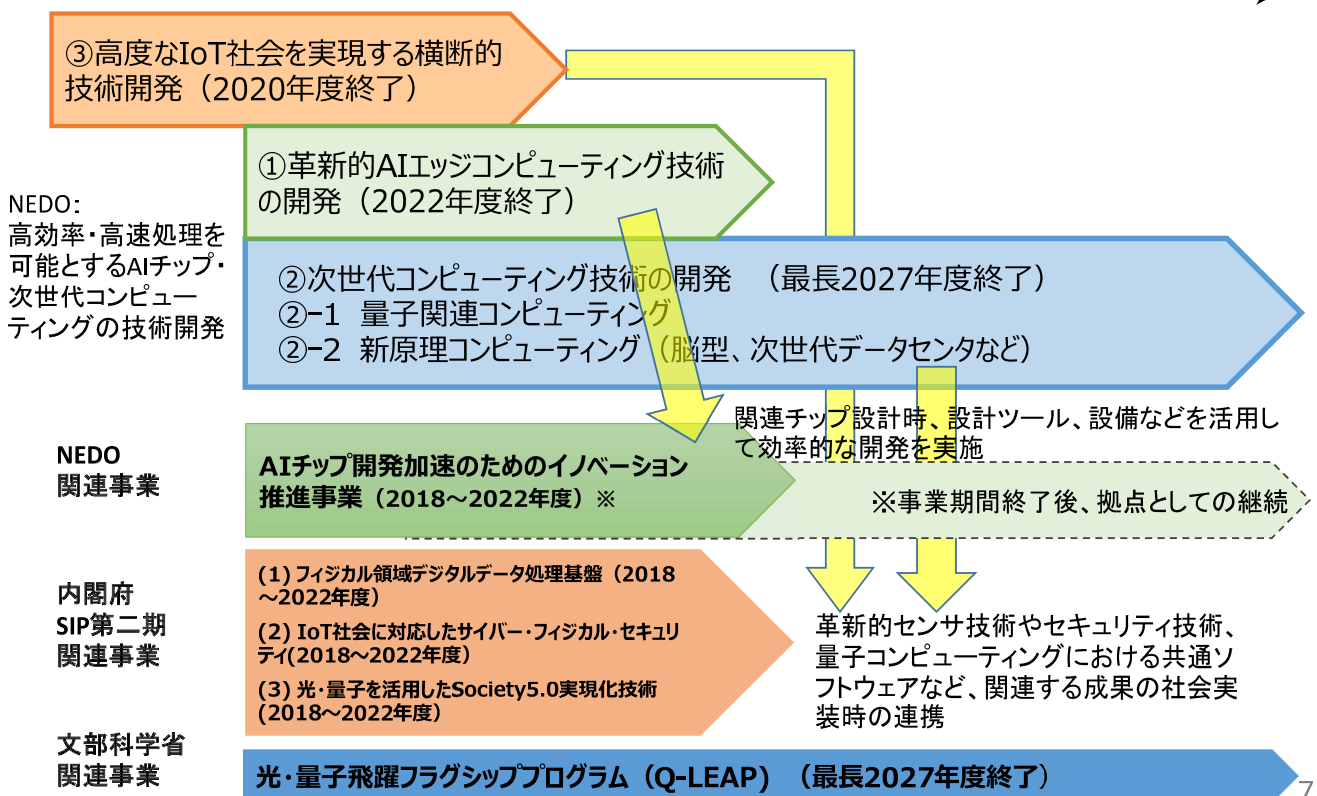
解決を目指す社会課題を絞った上で、ベンチャー企業までを含んだ産学官連携体制によって、ハードウェアのみならず、ミドルウェア(アーキテクチャ)、ソフトウェア、セキュリティも含めてコンピューティング技術開発を行う。また、CPS(Cyber Physical System)においてAIを取り巻くIoT要素の横断的技術開発を研究開発項目③として行う。

1. 事業の位置付け・必要性 (1) 事業の目的の妥当性

◆ 国内外の研究開発の動向と比較 (国内他事業との関係)

FY2016

2027



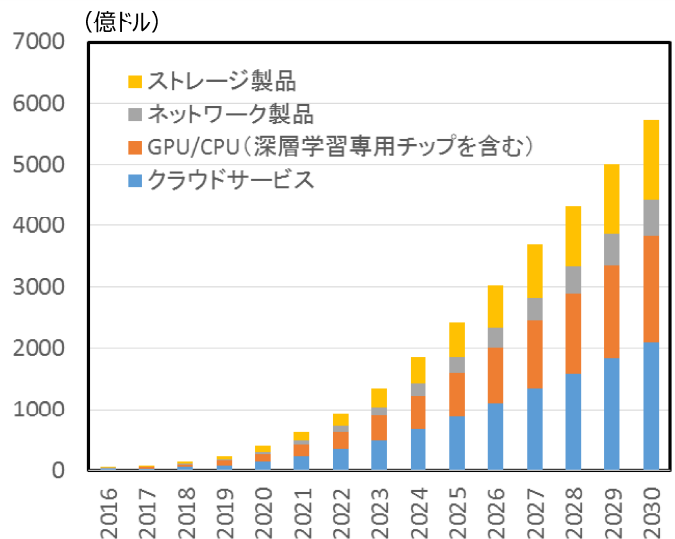
1. 事業の位置付け・必要性 (1) 事業の目的の妥当性

◆国内外の研究開発の動向と比較 (各国のAI関連の政策動向)		※その他、政策、戦略等に関する情報は補足資料に記載。														
	2016	2017	2018	2019	2020	2021	2022	2023	2024	2025	2026	2027	2028	2029	2030	
日本	2015.6.30 日本再興戦略	2017.3 人工知能技術戦略会議(戦略・産業化ロードマップとりまとめ)	2018.8 実行計画	2019.6 AI戦略2019(国主体で直ちに実行すべき施策とりまとめ)	2020.6 産業技術ビジョン2020					2025					2050	
米国	2015 改訂 米国イノベーション戦略	2017 イノベーション競争力法	2018.5 AIサミット	2019.2 AIイニシアチブに関する大統領令	2019.3 AI.gov開設	2019.7 行政管理予算局(OMB)：政府所有データ/モデルの利用しやすさと品質についての調査覚書	2019.8 国立標準技術研究所(NIST)：AIの信頼性に関する技術標準の策定計画									
EU	2018.4 AI活用政策指針 AIに関する協力宣言			2018.6 次期研究及びイノベーションのための助成プログラム(Horizon Europe)	2018.12 AI協調計画	2019.6 信頼性を備えるAIのための政策と投資の宣言										
英独仏	2018.4 AI Sector Deal(英)	2018.3 AI国家戦略(仏)	2017.12 経済成長産業戦略(英)	2018.7 ハイテック戦略2025	2018.11 AI国家戦略(独)	2018.11 国家AI研究戦略(仏)	2019.5 取組成果報告：AI Sector Deal One Year On(英)									
中国	2017.7 次世代人工知能発展計画	2017.12 次世代AI産業の発展促進に関する三か年計画(2018-2020)		2019.5 次世代人工知能発展報告	2019.6 次世代AIガバナンス原則											
韓国	2017 「革新成長に向けた人中心の第4次産業革命計画(I-KOREA4.0)	2018.5 人工知能R&D戦略		2019 AI国家戦略	2019-2029 AI投資戦略											
台湾	2017.1 AI台湾行動計画	2017.8 人工知能に関する科学研究戦略(5年間・五大戦略)	2017.9 AI On Chipモデル計画準備立上げ													

1. 事業の位置付け・必要性 (1) 事業の目的の妥当性

◆国内外の研究開発の動向と比較 (AIコンピュータの世界市場予測)

巨大なAI関連ハードウェア潜在市場
2030年世界市場3600億ドル (約40兆円)



AI関連ハードウェア
約40兆円。
クラウドサービス市場
を含む場合約60兆
円の潜在市場が見
込まれる。

(出典：日経エレクトロニクス記事 (2017.01、元データTractica社) を基にNEDO TSC作成 (2017))

AI関連ハードウェア (プロセッサ、ストレージ、ネットワーク) の中では、プロセッサとストレージの伸びが大きい

◆国内外の研究開発の動向と比較（グローバルポジショニング）

- 米国系企業（Google、Amazon、Apple等）が世界を牽引。第4次産業革命の第1幕にあたる、これまでのネット上のデータ（バーチャルデータ）競争では、プラットフォームを海外に握られている。
- 第4次産業革命の第2幕として、健康・医療・介護、製造現場、自動走行等、現実世界の「リアルデータ」を巡る競争へ突入しており、このため、欧米で大規模で長期的な政府系プロジェクトも進行中。

<ICT分野におけるプロジェクト>

プロジェクト等	Funding機関	金額(期間)	期間
NITRD	NSF / DOD / DOE / NIH / DARPA / NIST / NASA / DHS / NOAA	3,886 M\$ ('14)	1991-
		3,967 M\$ ('15)	
		4,091 M\$ ('16)	
		4,500 M\$ ('17)	
Horizon 2020 (内、ICT関連)	European Commission	7,600 M€(総額)	2014-2020

NITRD : Networking and Information Technology Research and Development

<脳科学分野におけるプロジェクト>

プロジェクト等	Funding機関	金額(期間)	期間
SyNAPSE	DARPA	103 M\$ (総額)	2008-2013
BRAIN 2025	NIH / DARPA / NSF / FDA / IARPA / DOE	100 M\$ ('14)	2014-2025
		200 M\$ ('15)	
		300 M\$ ('16)	
		434 M\$ ('17)	
Human Brain Project	European Commission	1,190 M€(総額)	2013-2022

SyNAPSE : Systems of Neuroomorphic Addaptive Plastic Scalable Electronics
 BRAIN : Brain Research through Advaning Innovative Neurotechnologies

- 上記に対し、我が国特有の強みである多様で活用性の高いリアルデータの蓄積等を活かし、日本にイノベーションを生み出す「リアルデータプラットフォーム」を創出・発展させるため、IoT推進の横断的技術開発、AIエッジコンピューティング技術開発、次世代コンピューティング技術開発の各成果を次々に具現化していくことが重要。 10

◆NEDOが関与する意義（研究開発項目① 2018~2022fy）

【研究開発項目①】革新的AIエッジコンピューティング技術の開発

- データトラフィックの爆発的な増加を支えてきたムーアの法則が終焉を迎えつつあるなか、従来の微細化の進展に依拠したCPU中心のコンピューティングアーキテクチャが見直されつつある。
- 5Gから6Gへ向かうモバイル技術の進展に伴い、クラウドに加えてエッジコンピューティングの重要性が増している。
- コンピューティングとネットワークを融合したシステム全体で最適化する方向性が強まっている。今後のアーキテクチャーの抜本的変革を想定し、このゲームチェンジを日本がマーケットを獲得する契機とすべき。
- ハイパースケール企業が不在の日本において一企業でこのゲームチェンジを担うことは難しい。



NEDOが関与し、国策として推進することが重要

◆NEDOが関与する意義 (研究開発項目② : 2018~2027fy)

【研究開発項目②】次世代コンピューティング技術の開発

- ムーアの法則が終焉を迎えつつあるなか、中長期的な視点で技術動向を見ると、既存技術の延長にない、全く新しい発想でのハードウェア、ソフトウェアの技術確立が必要となることは明らか。
- 量子コンピューティング、脳型コンピューティング、光コンピューティングなどの次世代の技術確立に向けた研究開発は、国際的にも競争が加速しつつある。
- 高いリスクを伴う、次世代の技術確立については、国策としての後押しが重要。オールジャパン体制の構築が求められる。

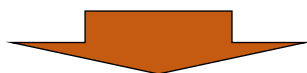


NEDOが関与し、国策として推進することが重要

◆NEDOが関与する意義 (研究開発項目③ : 2016~2020fy)

【研究開発項目③】高度なIoT社会を実現する横断技術開発

- 様々な物がインターネットを通じて繋がることにより新たなサービスやビジネスモデルを生み出すIoT社会が現在進展しつつある。今後、日本が更なる成長を図るためには、IoT社会で予測されるデータ爆発や、これに伴う機器の消費電力増大等の諸課題を世界に先駆けて解決し、社会実装を進め有効性を示すことが極めて重要。
- 日本が強みを持つハードウェア技術に、組み込み、ソフトウェア等の技術を組み合わせて、データ収集システム、データストレージシステム、データ解析システム、セキュリティ技術といったIoTの基盤になる各分野で横断的共通基盤技術を確立することは、産業競争力強化とエネルギー利用効率の向上が広く期待されることから、我が国全体として重要な事業。
- 上述の各分野へ展開可能な共通技術基盤は、個別分野の技術開発を行っている民間単独では実施が困難なため、産官学の事業者が互いのノウハウなどを持ち寄り、協調して研究開発を行うことが必要であり、さらに実証推進においても様々な国の関与が必要。



NEDOが関与し、国策として推進することが重要

◆実施の効果 (費用対効果)

・プロジェクト費用の総額 約760億円 (2027年度までの想定総額)

・売上予測	(2027年)	(2032年)	(2037年)
年間売上額	5,340億円	8,224億円	10,594億円
累計売上額	13,616億円	48,535億円	79,062億円

※売り上げ予測に関するイメージ

2027年: 研究開発項目①の一部および③の成果が社会実装され、事業化。センサ、クラウド、セキュリティなどのIoT社会の基盤となる技術が普及。エッジコンピューティングの高度化も推進。

2032年: 研究開発項目①、③の成果および②の一部の成果が社会実装され、事業化。次世代コンピューティングのうち、データセンタ向け技術などが普及。

2037年: 研究開発項目①②③の成果が社会実装。ただし①③については多くが技術として枯れており、開発項目②の成果が主体。次世代のコンピューティング技術が大きなビジネス効果を発揮。

◆事業の目標 (プロジェクト全体)

□ アウトプット目標

各研究開発項目の下で実施する個別の研究開発テーマ毎に、エネルギー消費効率あるいは電力効率 (単位電力あたり性能) について、事業開始時点における同等の技術と比較した目標を設定する。(電力効率で10倍~100倍以上を達成。)

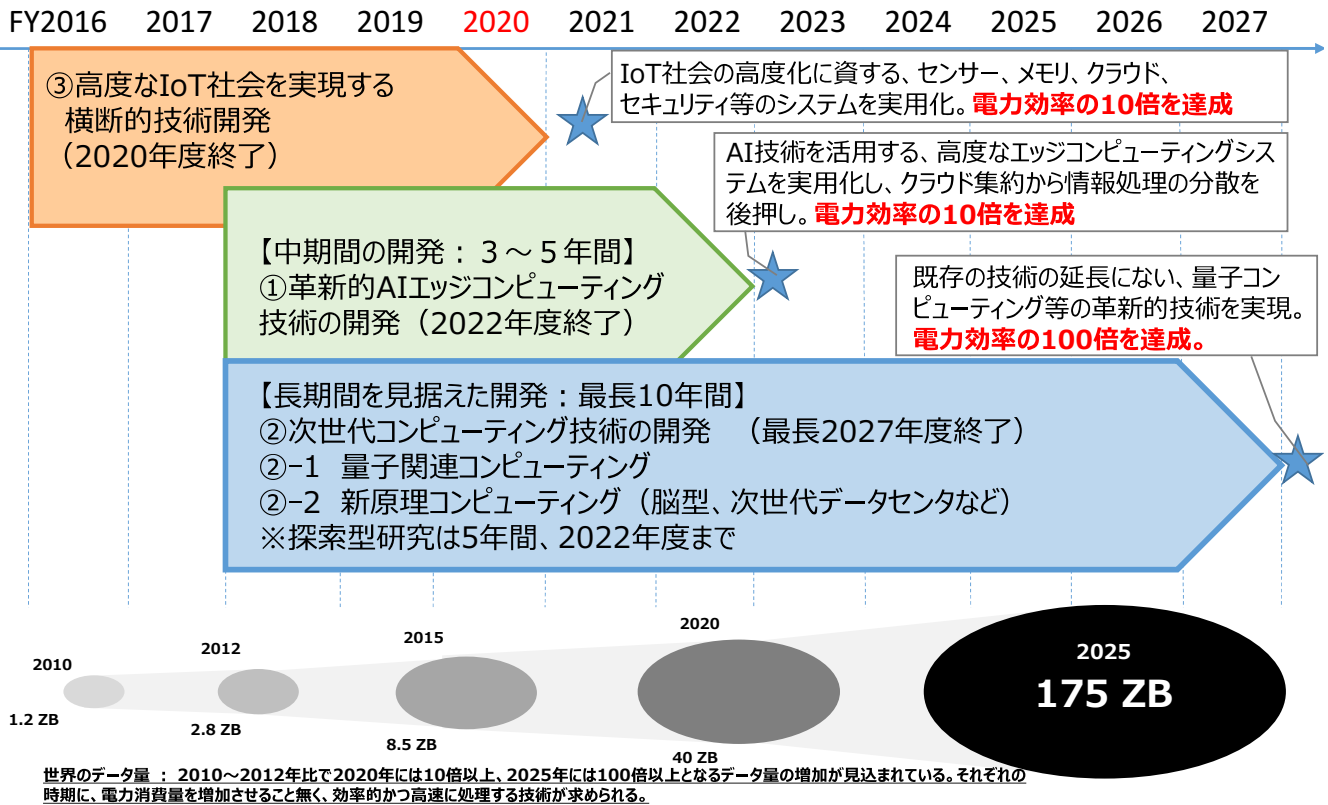
□ アウトカム目標

想定する社会実装先 (自動運転、産業機械、医療・福祉等) でのAI関連ハードウェア世界市場において、研究開発成果の一部が市場に出る2032年に約7,500億円、さらに成果の普及が加速する2037年に約1.6兆円の市場獲得し、それに付随するソフトウェア及びサービス等により更なる波及効果の創出を目指す。さらに、エッジやクラウド等の省電力化を実現し、2037年において約2,729万t/年のCO₂削減を目指す

2. 研究開発マネジメント (1) 研究開発目標の妥当性

◆事業実施の背景と事業の目的：それぞれの時間軸における革新的技術の実現

本事業における短期・中期・長期の課題設定イメージ



2. 研究開発マネジメント (1) 研究開発目標の妥当性

◆研究開発目標と根拠 (研究開発項目① 2018~2022fy)

<中間目標 (2020年度)>

開発成果を組み込んだ要素技術に係る検証あるいはシミュレーションにより、エネルギー消費効率あるいは電力効率 (単位電力あたりの性能) が、事業開始時点における同等の技術と比較し、10倍以上となる見込みを示す。

<最終目標 (2022年度)>

開発成果を組み込んだシステムレベルでの検証を行い、エネルギー消費効率あるいは電力効率 (単位電力あたりの性能) が、**事業開始時点における同等の技術と比較し、10倍以上**になることを示す。

◆研究開発目標と根拠 (研究開発項目② : 2018~2027fy)

＜中間目標 (2020年度)＞

開発成果を組み込んだ要素技術に係る検証あるいはシミュレーション等により、エネルギー消費効率あるいは電力効率 (単位電力あたり性能) が、事業開始時点における同等の技術と比較し、100倍以上となる見込みを示す。

＜中間目標 (2022年度)＞

開発成果を組み込んだ要素技術に係る検証等を行い、エネルギー消費効率あるいは電力効率 (単位電力あたり性能) が、事業開始時点における同等の技術と比較し、100倍以上となる見込みを示す。

＜中間目標 (2024年度)＞

開発成果を組み込んだシステムレベルでの検証あるいはシミュレーション等により、エネルギー消費効率あるいは電力効率 (単位電力あたり性能) が、事業開始時点における同等の技術と比較し、100倍以上となる見込みを示す。

＜最終目標 (2027年度)＞

開発成果を組み込んだシステムレベルでの検証等を行い、エネルギー消費効率あるいは電力効率 (単位電力あたり性能) が、**事業開始時点における同等の技術と比較し、100倍以上となることを示す。**

◆研究開発目標と根拠 (研究開発項目③ : 2016~2020fy)

＜中間目標 (2018年度)＞

(技術レベル) 収集・蓄積・解析・セキュリティの横断的な次世代基盤技術、システム化技術等を要素技術レベルで確立し、実用化の可能性を見極める。

(エネルギー効率) 事業開始時の普及技術と比較して、エネルギー消費効率あるいは電力効率が10倍以上となる見込みを示す。

＜最終目標 (2020年度)＞ [*]

(技術レベル) 収集・蓄積・解析・セキュリティの横断的な**次世代基盤技術、システム化技術等を、システムレベルで確立**する。

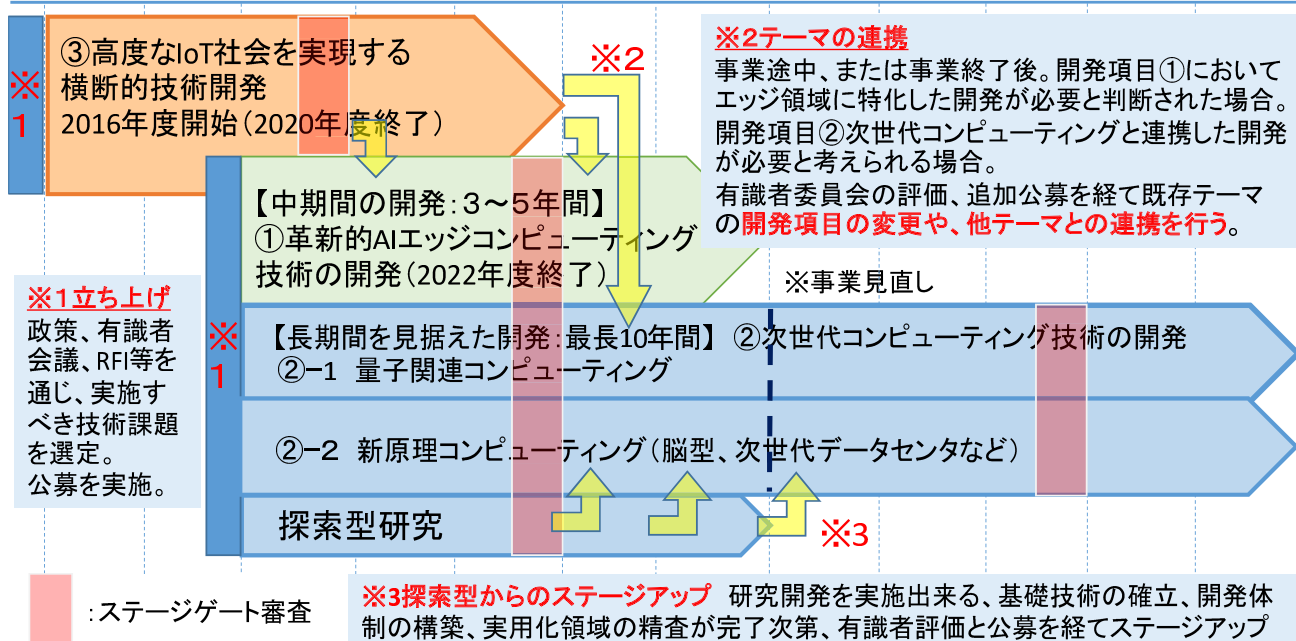
(エネルギー効率) 事業開始時の普及技術と比較して、**エネルギー消費効率あるいは電力効率を10倍以上**とする。

[*]IoT分野は、「デジタル変革(DX)」の世界的な潮流により、2016年の事業開始から現時点に至るまで、高い市場成長予測および年間生成データ量の増大予測が継続しているため、目標の途中変更は行っていない。

2. 研究開発マネジメント (2) 研究開発計画の妥当性

◆研究開発計画の妥当性（プロジェクト立ち上げから事業期間中の連携）

FY2016	2017	2018	2019	2020	2021	2022	2023	2024	2025	2026	2027	予算額 億円
28.5	39.2	85.7	87.4	100	(109)	--	--	--	--	--	--	



研究開発: 基盤の開発から中長期的な研究開発で、実用化・事業化を目指す。
 探索型研究: 長期的な研究開発を行うにあたり、学術的に有効性が確認されている技術に対して、産業界のニーズ把握や本格的な研究開発に向けた体制構築、技術の確度を高める開発を実施。最長5年。2022年度までにステージアップを検討。

2. 研究開発マネジメント (2) 研究開発計画の妥当性

◆プロジェクト費用 (直近前後5カ年)

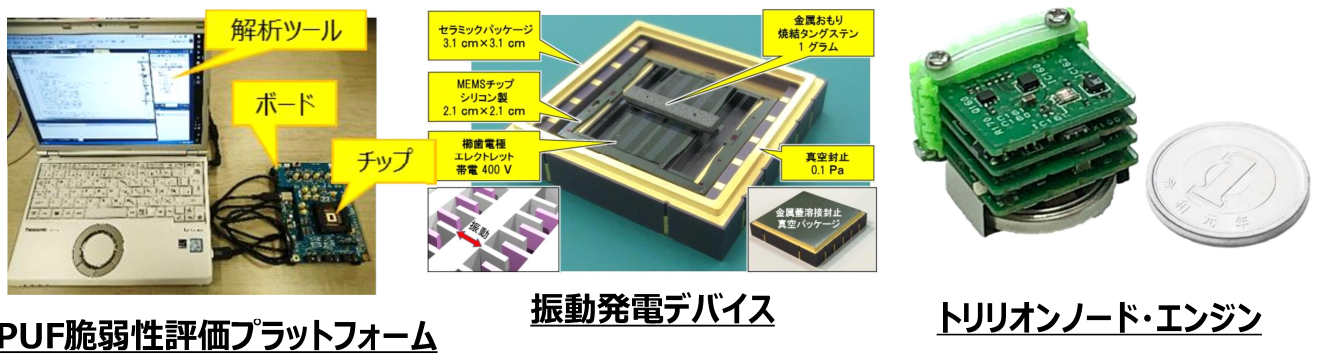
～2019年度: 実績額 ※ステージゲート後に通過案件の契約延長を実施。
 2020年度～: 契約額 (現時点では大多数が未定)

研究開発項目	年度	2018	2019	2020	2021	2022	合計
	①革新的AIエッジコンピューティング技術の開発		2,282	4,393	4,512	300※	300※
②次世代コンピューティング技術の開発		1,866	2,021	3,324	1,519※	937※	9,667
③高度なIoT社会を実現する横断的技術開発		4,093	2,344	2,029	0	0	8,466
その他調査事業等		149	121	147	-	-	417
合計		8,390	8,879	10,012	1,819	1,237	30,337
予算見直し	加速	367	278	530	-	-	1,175
	減額	616	0	505	-	-	1,121

2020年11月時点 (単位: 百万円)

ステージゲート審査委員会や技術推進委員会において、研究開発進捗や事業化への取り組み状況等を基に、予算の加速・減額を行い、成果の最大化に向けたマネジメントを実施。

研究開発項目②：研究開発プロジェクトの強化（加速による成果発信、試作事例）



PUF脆弱性評価プラットフォーム：

試験チップの試作・評価を実施。実証実験を通じたデータ取得に加えサンプル提供による市場評価等にも活用し、実用化・事業化に向けた動きを加速。

振動発電デバイス：

実サンプルを作成し、実証試験や成果の発信に活用。複数の技術表彰を得て、ビジネス化を後押し。（2020年表彰：第33回独創性を拓く先端技術大賞・経済産業大臣賞、CEATEC AWARD 2020・オープン部門グランプリ）

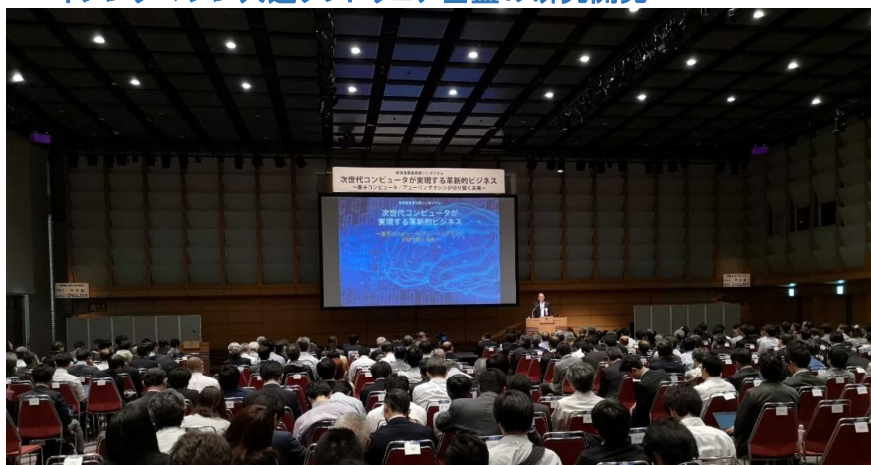
トリリオンノードエンジン：

実サンプルを作成。サンプル提供やシステムの実証実験を経て、成果を切り出して事業化を開始。「Leafony」としてキットの販売も行っている。

研究開発項目②：研究開発プロジェクトの強化（加速による基盤整備）

- ・研究開発項目②次世代コンピューティング技術の開発は、既存の延長にない新原理の技術開発として、最長10年間、要素技術の確立から研究開発を実施。
- ・開発する技術の中には、学術的には理論が証明されているものの、産業応用については有効性や、アプリそのものが存在しない技術もある。（量子コンピュータ、脳型コンピュータ）
- ・研究開発と並行し、ニーズの発掘、将来的なユーザーの取り込みを狙い、加速予算によるシンポジウムの開催等積極的なPRを実施。

**例：超電導パラメロン素子を用いた量子アニーリング技術の研究開発
イジングマシン共通ソフトウェア基盤の研究開発**

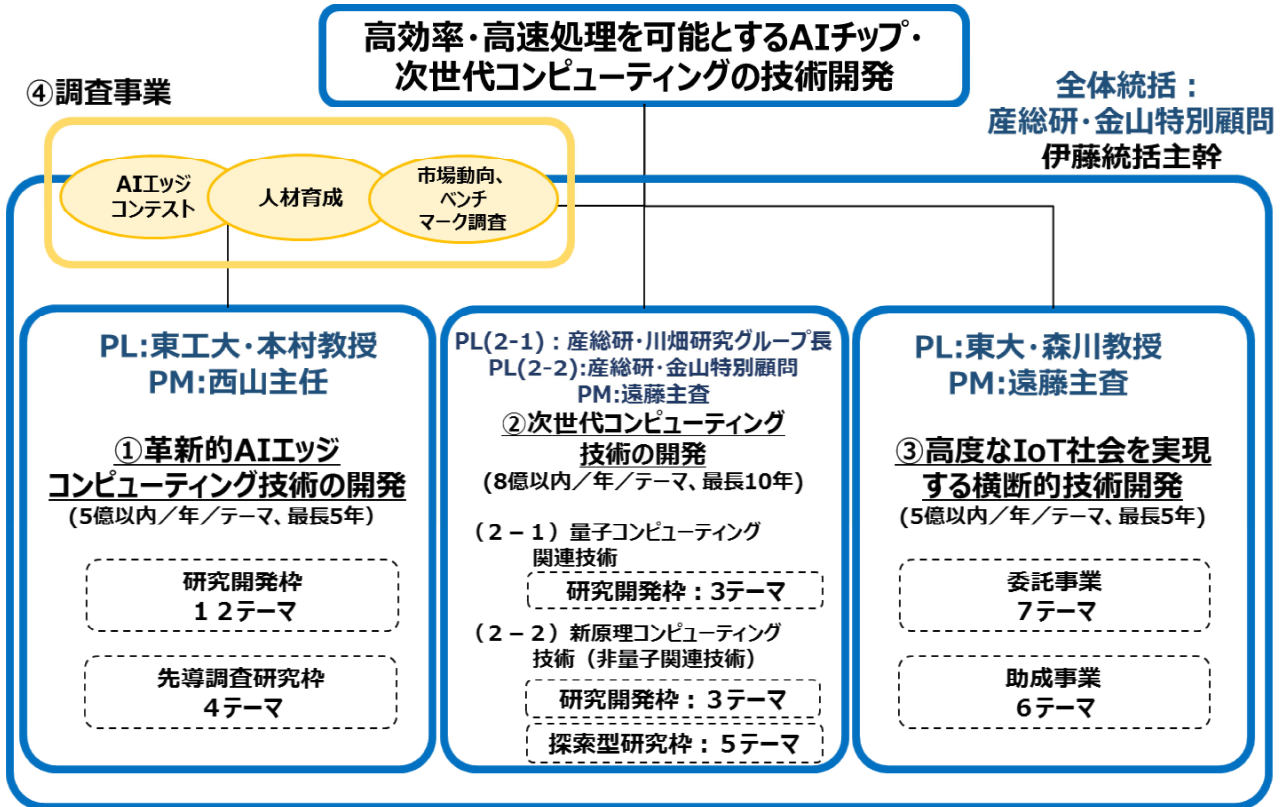


国内外の研究者、ユーザー想定企業を招き、シンポジウムを開催（2019年5月）



量子アニーリングコンピュータのモックアップを作成。展示会等で活用。今後は、実機によるクラウド上での試行環境公開等も見据える。

◆研究開発の実施体制



◆研究開発の実施体制

量子コンピューティングの開発において、オールジャパン体制を構築

ハード、ソフト、周辺技術の開発において、開発拠点を共有するなど密に連携。カバーされていない、新たに生じた領域と技術課題に関しても追加公募を実施して体制を強化。



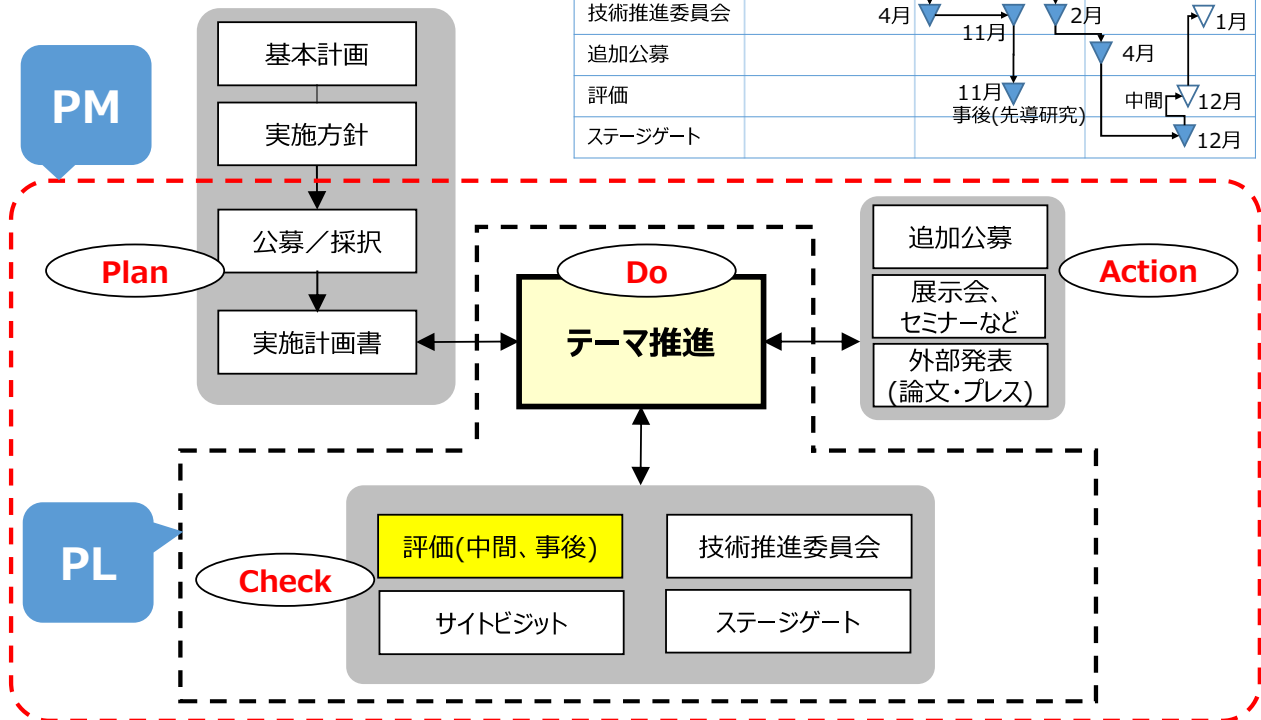
2. 研究開発マネジメント (4) 研究開発の進捗管理の妥当性

◆研究開発の進捗管理

PM, PLにて役割分担並びに連携しながら、プロジェクト推進のマネジメント支援を行っている。

※以下、図は研究開発項目①の例

	2018年度	2019年度	2020年度
公募	4月 9月		
サイトビジット		7-9月	
技術推進委員会		4月 11月	2月 1月
追加公募			4月
評価		11月 事後(先導研究)	中間 12月
ステージゲート			12月



2. 研究開発マネジメント (4) 研究開発の進捗管理の妥当性

◆研究開発の進捗管理スケジュール①

研究開発のマネジメントツール:

技術推進委員会、ステージゲート審査、事業見直し、公募、調査

FY2016 2017 2018 2019 2020 2021 2022 2023 2024 2025 2026 2027

③ 高度なIoT社会を実現する
横断的技術開発
(2020年度終了)

※①～③は、1年に1度、技術推進委員会を開催し、外部有識者によるアドバイス、次年度計画や予算額の見直しを実施。

【中期間の開発：3～5年間】
① 革新的AIエッジコンピューティング
技術の開発 (2022年度終了)

技術調査：国内外のAI、次世代コンピューティング関連技術動向について調査を実施。事業のマネジメント、全体計画にかかる指標とする。

【長期間を見据えた開発：最長10年間】
② 次世代コンピューティング技術の開発 (最長2027年度終了)
②-1 量子関連コンピューティング
②-2 新原理コンピューティング (脳型、次世代データセンタなど)

ステージゲート審査：研究開発の継続可否判断。次年度以降の研究計画や体制の見直しを行う。

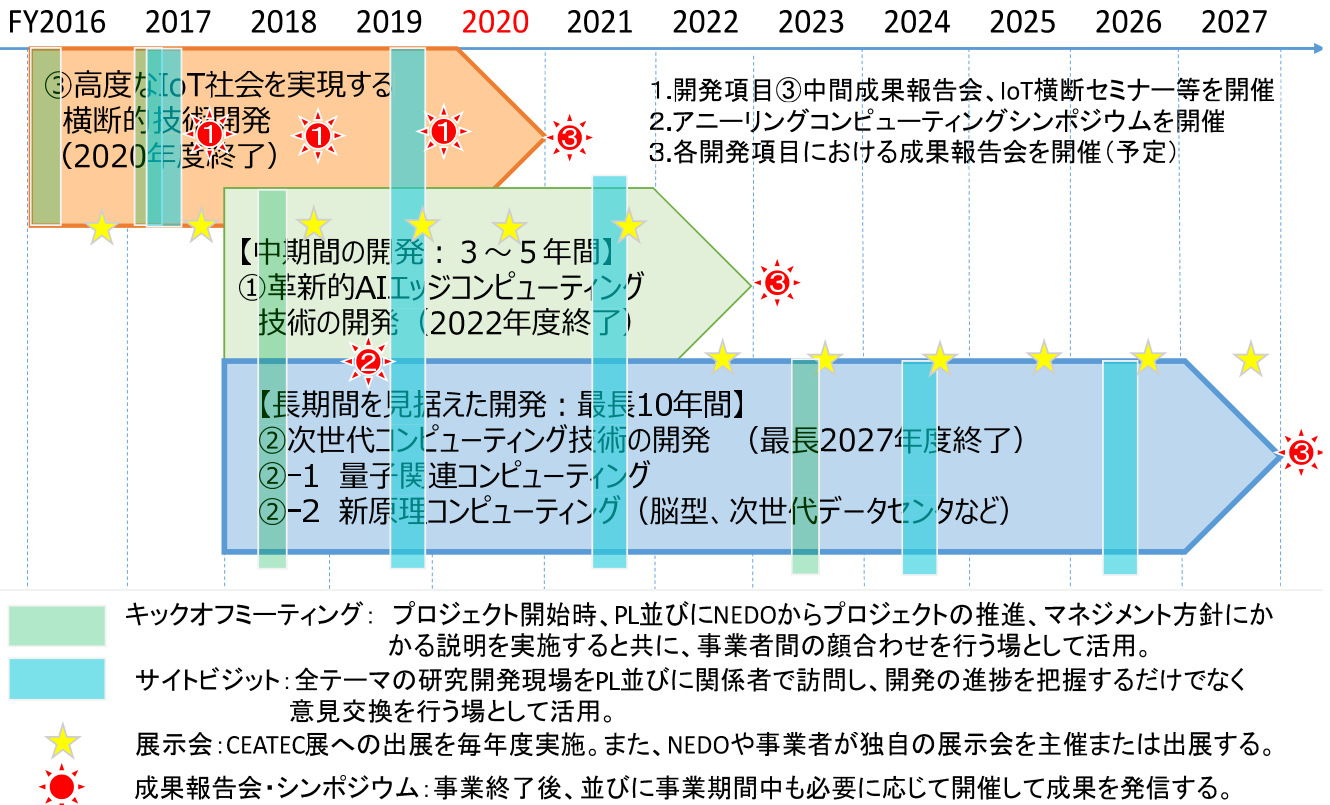
事業見直し：長期的な開発を行うに当たり、研究開発成果に加え、社会情勢や技術動向などを考慮し、有識者評価を踏まえて2022年度以降開発を継続する技術分野を判断する。

事業見直しに伴う公募：事業見直しを経て継続すべきと判断された技術課題、新たに実施すべきと判断された技術課題について、公募を行いテーマを募集する。

2. 研究開発マネジメント (4) 研究開発の進捗管理の妥当性

◆研究開発の進捗管理スケジュール②

研究開発のマネジメントツール：
キックオフ、サイトビジット、シンポジウムや展示会など



2. 研究開発マネジメント (4) 研究開発の進捗管理の妥当性

◆研究開発の進捗管理 (1)

委員会の開催：

- 外部有識者で構成する**技術推進委員会、ステージゲート審査委員会等を組織**し、定期的に技術的評価を受け、目標達成の見通しを常に把握することに努めている。各テーマの進捗、成果の事業化の見通し等を踏まえ、毎年、テーマ毎の予算配分を精査するとともに、必要に応じ、予算の増加や縮小、実施体制の再構築を行っている。
- 委員会は、開発内容の専門性を考慮し、必要に応じて研究開発項目内に複数設置した。(例：研究開発項目②、量子関連委員会、新原理関連委員会)
- ステージゲート審査の結果により、次年度以降の事業の通過・不通過に加え、研究開発体制の見直しやテーマの統合、事業規模の拡大、縮小等の包括的な事業の見直しを行った。
※非公開補足資料あり

事業の見直し：

- 2022年度から2023年度にかけて、**本事業全体の見直しを実施**する。最長10年間の研究開発期間としてプロジェクトを実施するに当たり、特に有効であると考えられる技術開発に支援を集約する。
- 見直しに際しては、国内外における研究開発の動向や政策動向等を調査すると共に、外部有識者の審査を経た上で実施する。

◆研究開発の進捗管理 (2)

キックオフミーティングの開催：

- プロジェクト開始時、PL並びにNEDOからプロジェクトの推進、マネジメント方針にかかる説明を実施すると共に、事業者間の顔合わせを行う場として活用。NEDO事業経験者による事例紹介や、各テーマのポスターセッションなどを実施。
研究開発項目③は、2016年度、2017年度、公募後にそれぞれ開催。
研究開発項目①②は、2018年度の公募後に開催。

サイトビジットの開催：

- 全テーマの研究開発現場をPL並びに関係者で訪問し、開発の進捗を把握するだけでなく意見交換を実施。事業開始後に実施するだけでなく、一定期間経過後に継続して実施することで、研究現場の声をプロジェクトマネジメントに反映させることも狙う。
- 2017年度、2019年度に実施。今後は2021年度、2024年、2026年度に開催予定。

展示会、シンポジウムの開催：

- NEDOがとりまとめとなり、毎年度展示会に出展し、成果のPRを行う（CEATEC展）。
- その他、事業者が中心となって出展する展示会（例：MEMS展）や、独自のシンポジウム（例：量子コンピュータ／アニーリングコンピューティングシンポジウム）等で、成果の発信を行っている。
- 研究開発項目③については、中間成果報告会を2018年度に開催。成果報告会は2021年度に予定。その他開発項目についても成果報告会を節目の時期に開催。



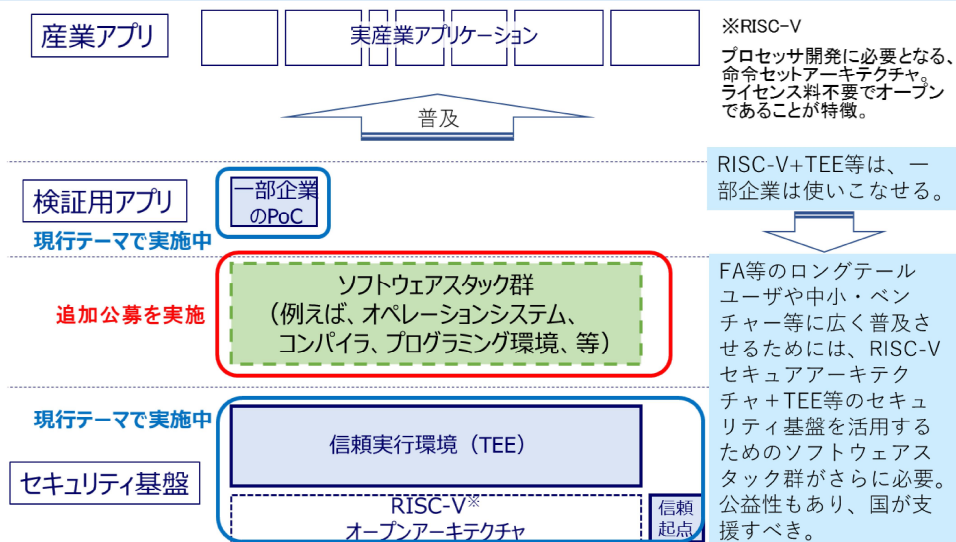
◆ 動向・情勢の把握と対応

各研究テーマの個別動向・進捗把握に努め、適宜、既存テーマの加速や縮小を行うとともに、事業を推進しながら課題として見えてきたものがあれば、新テーマの追加、既存テーマの実施形態変更や終了を実施。

研究開発項目①：研究開発プロジェクトの強化

2019年度に実施した技術推進委員会において、RISC-Vの課題について議論。

現行研究開発テーマのスコープに含まれていない、エコシステム形成のためのソフトウェアスタックについて、2020年度に追加公募を実施。



◆ 知的財産権等に関する戦略

基本事項：

NEDOプロジェクト知財基本方針を適用し、テーマ毎に実施者間での知財合意書の作成や知財運営委員会の設置を実施。同委員会での議論や有識者によるアドバイスを元に、各開発チームが独自の戦略を展開。

事例①：基本特許の取得と国際標準化

研究開発成果における基本的な知財の基本特許を率先して取得することで、関連開発を実施するグループをリードする。また、取得した特許に基づく技術の評価指標に関する国際標準化の取得も進めることで、関連技術についても囲い込みを狙う。

事例②：他社保有知財に関する対応

関連領域の開発を実施する企業との連携を研究開発と並行して実施し、産業応用を見据えた協力関係構築を実現することで、先行して取得されている知的財産の問題を解決。

事例③：オープンプラットフォームの構築

研究開発成果を元にオープンプラットフォームを構築し、知財の取得と並行して、社会実装を見据えた学術、産業界との関係を構築することで、実用化・事業化を見据えた動きを後押し。

◆知的財産管理

● **標準化施策等との連携**

得られた研究開発成果については、標準化等との連携を図ることとし、評価手法の提案、データの提供、標準化活動等を積極的に行う。

● **知的財産権の帰属、管理等取扱い**

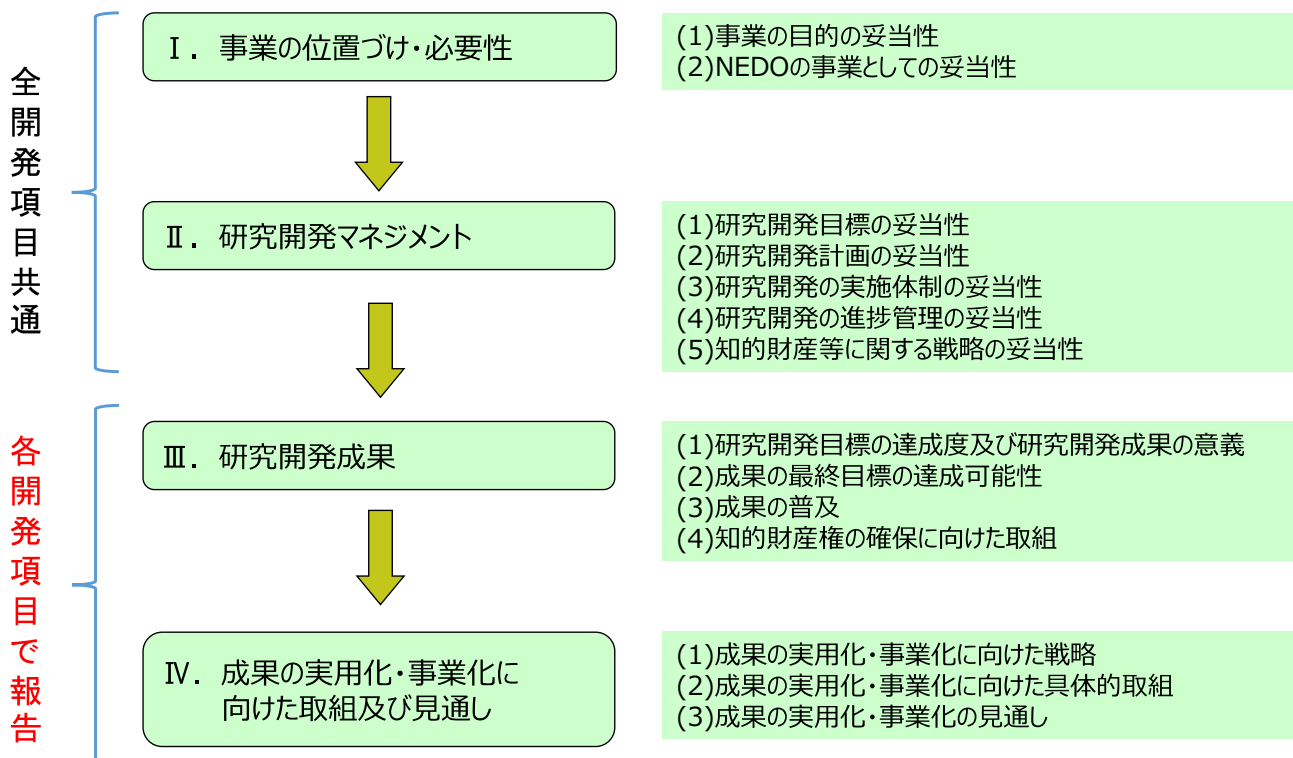
研究開発成果に関わる知的財産権については、「国立研究開発法人新エネルギー・産業技術総合開発機構 新エネルギー・産業技術業務方法書」第25条の規定等に基づき、原則として、全て委託先に帰属させることとする。なお、プロジェクト初期の段階から、事業化を見据えた知財戦略を構築し、適切な知財管理を実施する。

● **知財マネジメントに係る運用**

本プロジェクトは、「NEDOプロジェクトにおける知財マネジメント基本方針」を適用する。

- なお、プロジェクト初期の段階から、事業化を見据えた知財戦略を構築し、適切な知財管理を実施する。

発表内容 ※再掲



3. 研究開発成果

4. 成果の実用化・事業化に向けた取組及び見通し

研究開発期間2016～2020年度

研究開発項目③

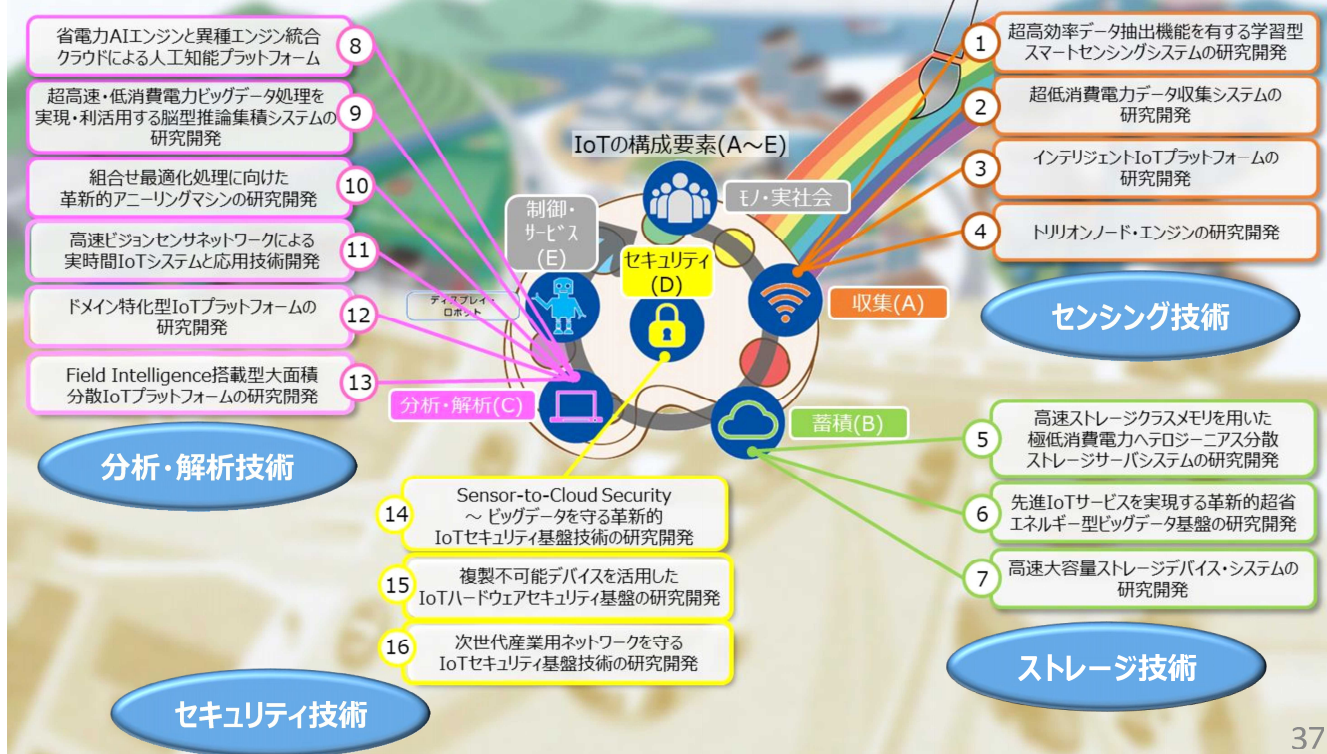
高度なIoT社会を実現する横断的技術の開発

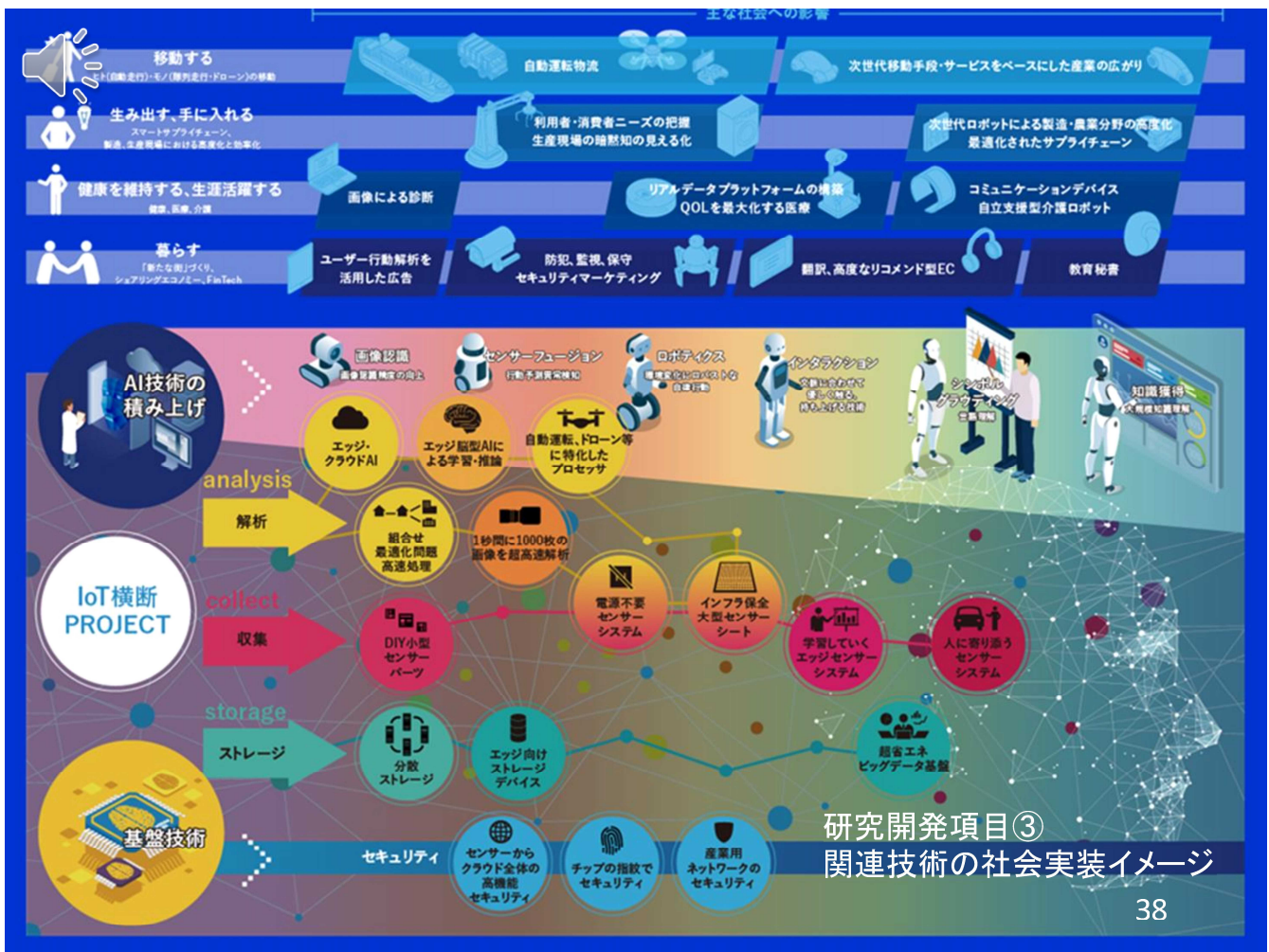
PL 森川 博之

東京大学 教授

【補足説明】 研究開発項目③ 事業の位置づけ

- IoT (Internet of Things) の構想。全ての物がインターネットにつながる社会が到来
- インターネットに繋がる機器が増える = 情報量のさらなる増加から、消費電力の増加が問題。
- IoT社会において軸となる技術課題を「収集」、「蓄積」、「解析」、「セキュリティ」の4分野において設定。





【補足説明】 研究開発項目③ 事業全体の流れとマネジメントイメージ

研究開発項目③: 研究開発プロジェクトの強化と進捗管理等(加速、ステージゲート評価、PR)

2016年度: 公募実施※、事業開始。(10テーマを採択)

※政策的視点から重要と考えられる技術課題、および先導的開発を経た成果に基づく課題を選定。

2017年度: 追加公募実施(6テーマを採択)。一部テーマにサンプル作成等のための加速を実施。

2018年度: 16テーマ全てに対し、PLによる進捗確認会議を開催。その後、ステージゲート審査を実施。

成果PRのため独自の展示会等を開催。

- 2020年度までの研究開発継続可否判断。(16テーマ中、13テーマが事業を継続)

- 研究開発体制等の見直し。実用化段階にあるテーマについては委託から助成に移行。企業を主体とした研究開発体制で事業化を促進。(13テーマ中6テーマを助成事業化。補助率1/2 or 2/3)

例: トリリオンノードエンジンの研究開発

IoT向けのシステムを誰でも簡単に創れる小型プラットフォーム「Leafony」。

事業体制: 東京大学、東芝D&S、東芝インフラシステムズ、図研、SUSUBOX

公募期間

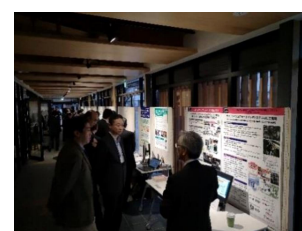
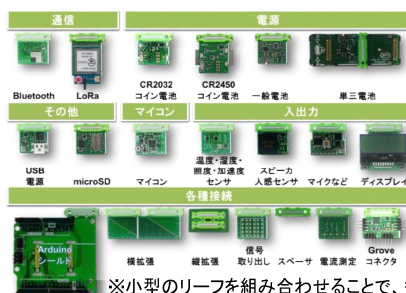
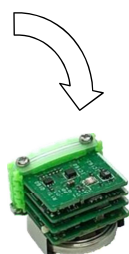
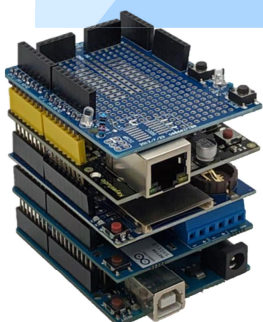
研究開発期間: 2016~2020年度

※2017年度: 市場投入を見据えたモデル開発のための加速

※2018年度: ステージゲート審査で助成化

代表機関を東大→東芝D&S社

研究成果のPR (2018~)



展示会等での事業者へのPR

※小型のリーフを組み合わせることで、多機能なセンシングシステムを構築可能。2017~2018年時点でNEDOの加速を受けてサンプルを整備、希望者への提供を開始。

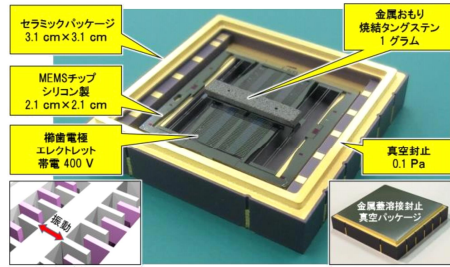
3 研究開発成果 (1) 研究開発目標の達成度及び研究開発成果の意義 / (2) 成果の最終目標の達成可能性

◆研究開発項目毎の中間目標と達成状況 (試作事例)

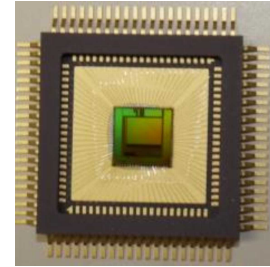
本PJは、シミュレーション等での性能検証を中間目標に、サンプル等を用いた実システムによる実証試験での検証を最終目標に設定して実施。各PJで必要な試作が行われている。



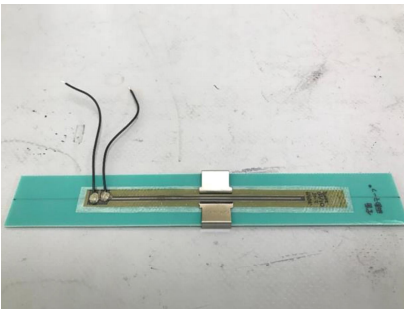
トリリオンノード・エンジン



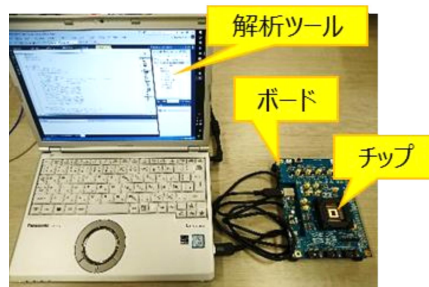
振動発電デバイス



RAND(Resistive Analog Neuro Device) TEG



歪みシートセンサ



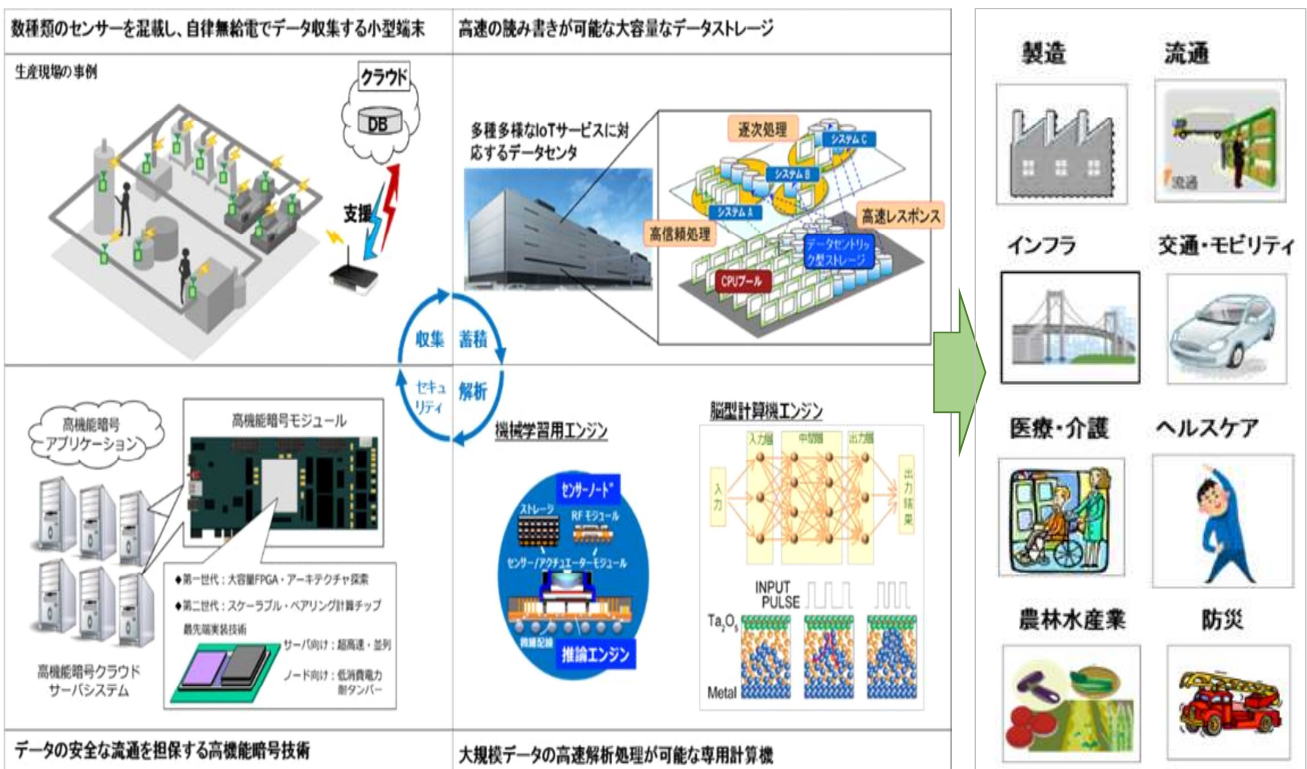
PUF脆弱性評価プラットフォーム



省電力AIエンジン

3 研究開発成果 (1) 研究開発目標の達成度及び研究開発成果の意義

【成果の意義】 開発成果をシステムに組み込み、産業応用シーンを見据えた性能検証を各テーマで実施。IoT社会において新たなサービスを展開する基盤技術として、事業終了後は速やかな産業応用を進める。



3 研究開発成果 (1) 研究開発目標の達成度及び研究開発成果の意義 / (2) 成果の最終目標の達成可能性

◆研究開発項目毎の中間目標と達成状況 (まとめ)

研究開発項目	中間目標(2018年度末)	成果	達成度(*1)	今後の課題と解決方針
③高度なIoT社会を実現する横断的技術開発	(技術レベル) 収集・蓄積・解析・セキュリティの横断的な次世代基盤技術、システム化技術等を要素技術レベルで確立し、実用化の可能性を見極める。	全16の研究開発テーマ(*2)は、ともに研究試作とその検証により、実用化へ向けた要素技術を確立。(2018年ステージゲート審査会時点。試作事例を次ページに示す。)	○	(課題) 各テーマとも、技術面では高い性能を得たが、技術を顧客価値の創造につなげる点に関し、技術視点に偏重の傾向。 (解決方針) 各テーマが成果の最適解を出すべく、技術視点のベンチマークに加え、顧客視点のベンチマーク(顧客の選択肢は何か等)も要求し、研究者の気付きを誘起。
	(エネルギー効率) 事業開始時の普及技術と比較して、エネルギー消費効率あるいは電力効率が10倍以上となる見込みを示す。	4分野の見込値は次のとおり。 (収集) 10~1000倍 (蓄積) 10~100倍 (解析) 10~1000倍 (セキュリティ) 10~10000倍	○	

(*1) ◎大きく上回って達成、○達成、△達成見込み(中間) / 一部達成(事後)、×未達

(*2) 2016年度初回採択11テーマ+2017年度追加採択5テーマ。個々の研究開発テーマ概要は、本資料巻末のAppendix-2を参照。

◆成果の最終目標の達成可能性 (まとめ)

研究開発項目	最終目標(2020年度末)	現状	達成見通し
③高度なIoT社会を実現する横断的技術開発	(技術レベル) 収集・蓄積・解析・セキュリティの横断的な次世代基盤技術、システム化技術等を、システムレベルで確立する。	ステージゲート審査会を通過した全13の研究開発テーマは、ともに順調にシステム化実証試験等を計画どおり進捗中。(現時点の各テーマにおける成果概要をAppendix-3に示す。)	○ (特に大きな遅延(*3)はないため、最終目標も達成見込み)
	(エネルギー効率) 事業開始時の普及技術と比較して、エネルギー消費効率あるいは電力効率を10倍以上とする。		

(*3) 新型コロナ禍による影響は、研究開発マネジメントの全体課題として別途対応を調整中。

3 研究開発成果 (1) 研究開発目標の達成度及び研究開発成果の意義

◆各個別テーマ実施のポイント (テーマ毎の成果状況と意義の詳細一覧はAppendix-3を参照)

分野	研究開発テーマ名と事業形態(*1) (*1)ステージゲート後、一部テーマは委託事業から助成事業に移行	研究開発テーマ実施のポイント
収集	(1) 超高効率データ抽出機能を有する学習型スマートセンシングシステムの研究開発 [委託事業]	「機器に貼るだけ! 自立給電無線センサで楽々IoT!」配線不要で工場に誰でも導入でき、現場の自動処理で計測の最適化やデータ解析を行い、有意な情報のみクラウドに伝送。
	(2) 超低消費電力データ収集システムの研究開発 [助成事業]	消費電力1/10以下の統合SoC、発電効率10倍以上の自立電源モジュール、消費電力1/10以下・精度10倍以上のセンサを実現し、導入が容易で革新的なIoTソリューションを実現。
	(3) トリオンノード・エンジンの研究開発 [助成事業]	一円玉大で電池動作可能なIoT/CPS向けオープン・プラットフォームでソフトウェアはArduino準拠、エッジAIにも対応できアプリ開発効率を大幅アップ可能。
蓄積	(4) 高速ストレージクラスメモリを用いた極低消費電力ヘテロジニアス分散ストレージサーバシステムの研究開発 [委託事業]	ストレージクラスメモリを使った性能10倍、電力10分の1のデータセンタスケール・ストレージとメモリ構成を自動最適化するインテリジェントなストレージシステムを開発。
	(5) 先進IoTサービスを実現する革新的超省エネルギー型ビッグデータ基盤の研究開発 [助成事業]	非順序型実行原理によりビッグデータ基盤において135倍以上のエネルギー効率化を達成、ソフトウェアによりサステナブルなデータセンターを実現する技術を世界に先駆けて確立。
解析	(6) 省電力AIエンジンによる人工知能プラットフォーム [助成事業]	低コスト・省電力なエッジAIハードによって、スマホ・監視カメラ・自動運転・ドローン・宇宙衛星においてインテリジェントな頭脳の搭載を実現し、安心安全な社会を目指す。
	(7) 超高速・低消費電力ビッグデータ処理を実現・利活用する脳型推論集積システムの研究開発 [委託事業]	「みんなのAI」を目指し、エッジで使える超低消費電力脳型チップRANDと、それをユーザー自身で高度化・実装できるプラットフォームを提供し、「モノを知能化」した。

◆各個別テーマ実施のポイント

分野	研究開発テーマ名と事業形態(*1) (*1)ステージ後、一部テーマは委託事業から助成事業に移行	研究開発テーマ実施のポイント
解析 (続き)	(8) 組合せ最適化処理に向けた革新的ア ニールンマシンの研究開発 [委託事業]	CMOS・量子アニールンプラットフォームを構築し、データ量が爆発するIoT社会でのリアルタイム最適化処理により、産業や交通など多分野での自動化を促進します。
	(9) 高速ビジョンセンサネットワークによる実時 間IoTシステムと応用技術開発 [委託事業]	1ミリ秒のレートを持つ高速ビジョンネットワーク構造の提案、高速ビジョンプラットフォームの提供、及びこれを用いた検査、FA、セル生産など各システムへの応用を実現。
	(10) Field Intelligence搭載型大面積分 散IoTプラットフォームの研究開発 [助成事業]	環境耐性の高い炭素ベースの配線シートを骨格に、シート型センサを2次元的に多数配置し、構造物ヘルスケア用途向けのインテリジェント・プラットフォームを実現する。
セキュリティ	(11) Sensor-to-Cloud Security〜ビッグ データを守る革新的IoTセキュリティ基盤技 術の研究開発 [委託事業]	暗号化された大規模DBの秘匿検索を行う超高速・低消費電力システム実現技術、通信量を大幅削減しつつ不正ノードも追跡できる集約署名方式等、高機能暗号の基盤技術を確立
	(12) 複製不可能デバイスを活用したIoTハー ドウェアセキュリティ基盤の研究開発 [委託事業]	ハードウェアのばらつきを利用した複製不可なPUFで、ICチップの超高セキュア化及びセンサやフレキシブルデバイスへのセキュリティ付与を実現し、国際標準化で普及を支援。
	(13) 次世代産業用ネットワークを守るIoTセ キュリティ基盤技術の研究開発 [助成事業]	正しい通信だけを通す技術でゼロトラストアーキテクチャを実現し、工場や病院等での産業用IoT機器導入時の最大の課題であるセキュリティをネットワークインフラで守る。

◆成果の普及

- 産学連携の強みとして、産学それぞれの研究機関の得意領域を活かし、全方位的に積極的な普及活動を展開

	2016 年度	2017 年度	2018 年度	2019 年度	2020 年度	計
論文	15	31	46	51	34	177
研究発表・講演	106	228	331	241	53	959
受賞実績	1	5	4	4	3	17
新聞・雑誌等への掲載	6	10	16	18	5	55
展示会への出展等 広報活動	17	31	35	49	4	136

※2020年10月31日現在

3. 研究開発成果 (3) 成果の普及

◆ 成果の普及

NEDOニュースリリース

● プロジェクト成果を多面的に採り上げ発信

- **【途中成果の製品化】** 2017年12月14日 発表
『工場自動化 (FA) などのシステムに組み込み、容易に応用できる新プラットフォームを製品化』
—さまざまな分野に応用可能な横断的基盤技術を目指す—

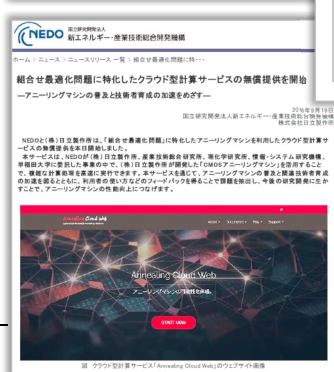
https://www.nedo.go.jp/news/press/AA5_100886.html

- **【基盤技術の確立】** 2018年6月18日 発表
『世界最高水準の低消費電力化を実現する AI半導体向け「脳型情報処理回路」を開発』
—クラウドではなくユーザー側のAI処理で、プライバシーや安全、快適さを実現へ / AI新価値の共創を目指しオープンイノベーション環境を整備—

https://www.nedo.go.jp/news/press/AA5_100977.html

- **【普及環境の整備】** 2018年9月19日 発表
『組合せ最適化問題に特化したクラウド型計算サービスの無償提供を開始』
—アニーリングマシンの普及と技術者育成の加速をめざす—

https://www.nedo.go.jp/news/press/AA5_101025.html



3. 研究開発成果 (3) 成果の普及

◆ 成果の普及

シンポジウム

- プロジェクト外の初期段階(2年目)の開催により、研究開発活動自体の認知度向上
- 展示会併設型シンポジウムの形態をとり、研究開発者とプロジェクト外の対話の機会

【ものづくり日本会議 (第16回新産業技術促進会議) ~ テーマ: "IoT社会の実現に向けた基盤技術の開発"】

- ・日時: 2017年11月10日(金)10:15~17:20
- ・場所: ベルサール汐留 2F HALL A(講演), B(展示)
- ・主催: モノづくり日本会議 / 日刊工業新聞社 ・共催: NEDO
- ・参加者数: 205名 (業種: 電気機器, サービス, 化学, 機械, 情報・通信, 卸売, 建設等)



講演会場



展示会場

展示会出展者ポスター例 (左肩に来場者へのメッセージ記載のフォーマット)

◆成果の普及

NEDO IoT横断プロジェクトセミナー

- **プロジェクト前半3年間の成果発信 および 市場との双方向コミュニケーション機会を設定**
- **研究開発者の肌感覚として市場とのすれ違いの発見・問題意識が形成**
 - ✓ 我々の活動は2～3年後を目標としているのに対し、ユーザは直近の課題解決を求める所の難しさ
 - ✓ マス相手ではマッチする可能性が低いので、ユーザを決めてそことマッチする要件を繋いでいくことの重要性

**【NEDO IoT横断プロジェクトセミナー
～ テーマ：“AI/IoTの未来を知る”】**

- ・日時：2019年3月13日(水)14:00～18:00
- ・場所：TECH PLAY SHIBUYA
- ・主催：NEDO
- ・参加者数：103名
(属性：研究開発・エンジニア, SI, 営業・マーケティング, コンサル, 経営 等)

・プログラム構成

- 招待講演1:(株)hapi-robo st 代表取締役社長 富田直美氏
- 招待講演2:(株)テカナリE 代表取締役CEO 清水洋治氏
- Fast forward形式 各研究開発テーマ概要・成果紹介
- ポスターセッション
- プロジェクト関係者向け内部セッション (セミナー総括)



研究開発テーマ
概要・成果紹介



ポスター
セッション

◆知的財産権の確保に向けた取組

- 研究開発テーマ毎に、それぞれ定めた戦略・合意に基づき、実用化・事業化を念頭に
出願活動を推進
- 着実に件数を積み上げており、基盤技術等の知財集約の促進に期待

	2016 年度	2017 年度	2018 年度	2019 年度	2020 年度	計
特許出願 (うち外国出願)	14 (4)	50 (21)	76 (27)	24 (14)	6 (0)	170件 (66件)

※2020年10月31日現在

◆本プロジェクトにおける「実用化・事業化」の考え方

実用化については、当該研究開発の成果が社会的利用が可能となる段階※まで技術的な水準を確立することであり、事業化については、実用化段階を経た研究開発成果が、知的財産（IPコア等）、部品・モジュール・システム、サービス等の販売や提供により、企業活動(売り上げ等)に貢献することをいう。

※ 社会的利用が可能となる段階の例：IoTセンサやAIチップ等の試作品提供、次世代データベース、量子コンピュータ等のクラウド環境での公開など



PL指導のもと、技術推進委員会、サイトビジットなど、各種マネジメントシーンにおいて、**実用化事業化に向けた戦略**を徹底

◆実用化・事業化に向けた戦略

- 本プロジェクトでは「成果最大化」を掲げ、最重要マネジメント事項として、①研究開発テーマ内実用化・事業化戦略のレビュー、および、②研究開発テーマ間連携の推進に取り組んでいる。

①研究開発テーマ内 実用化・事業化戦略のレビュー

- PDCA(Plan・Do・Check・Action)型ではなく、OODA型デザイン思考視点の導入
 - Observation：観察
 - Orientation：気づき
 - Decision：判断
 - Action：行動
- 自己のシーズ視点に偏重した戦略を立案(Plan)する傾向の研究者に対し、『気づき』を誘起するための設問設定
 - ✓ 技術視点のベンチマーク：「なぜ開発するのか／何を開発するのか／必要なスペック・要件は何か／なぜそのスペック・要件で十分なのか」
 - ✓ 顧客視点のベンチマーク：「顧客の選択肢は何か／顧客がこの製品・サービスを求める理由は何か／顧客がこの製品・サービスに躊躇するならば理由は何か」

※ 「何を作っているのか?」という質問に対して、日本では「〇〇機能を作っている」という答えが多いのに対し、欧米では「新しいビジネスを作っている」という答えが多い。欧米型の思考を研究者に意識して持ってもらうよう意図。
- 技術開発と実用化・事業化は車の両輪と位置づけ、過去のNEDOプロジェクトと比べて研究者に『気づき』を与えられるように実施
 - ✓ プロジェクト推進委員会では初年度から実用化・事業化を重要審議事項に位置付け
 - ✓ ほぼ全てのテーマが『産学連携のチーム構成』であるため、プロジェクト当初より「研究開発責任者」に加えて事業化主体出身の『実用化・事業化責任者』(*)を設置、テーマ内研究者間の討論を活性化 (*本資料巻末のAppendixを参照。

※ 各テーマにおいては、顧客訪問等にもかなりのリソースをかけ事業化検討を進めているものの、想定以上に事業化の厳しい案件も有り。困難の度合いを理解できれば、次のステップにてより事業化に近づくことが可能になるため、本プロジェクトの活動においては、厳しさの現状を理解したことも最終成果の一つとして評価すべきポイントであると考えている。

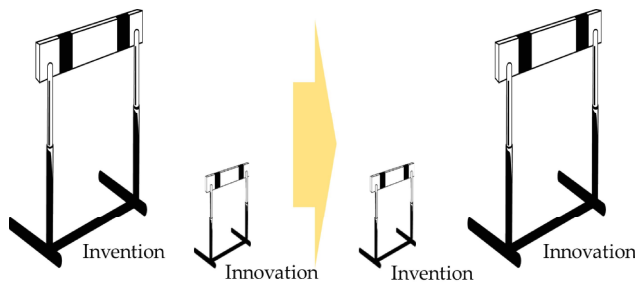


◆ 実用化・事業化に向けた戦略

② 研究開発テーマ間連携の推進 (1/2) - プロジェクト方針

- IoTは、単に技術開発をするだけだと、単なる一つの製品となってしまう、ビジネスがスケールしない。ビジネススケールのためには、ステークホルダーを結び付けてエコシステムを構築することが必要。

このような観点から、プロジェクト内においても、**分野・組織・企業・事業部の壁を越えて多様性を持たせることが大切**との認識。

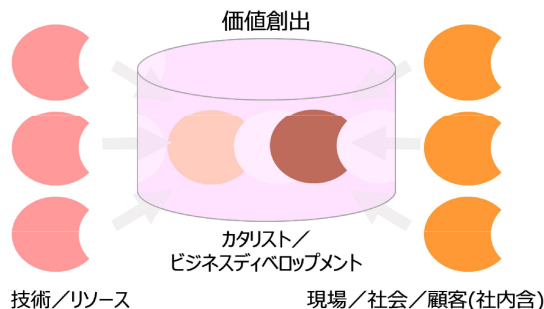


インベンション (技術) とイノベーション (顧客)

従来は技術のハードルが高かったが、今は顧客のハードルの方が相対的に高くなった。この環境変化を意識。

《参考》イノベーションのポイントは「共感」と「利他」

- ✓ 共感：こうしたいという「感性」とこうすれば良いはずという「論理」の橋渡し
- ✓ 利他：例えば、飲み会で他の人に酒を注ぎまくれば、誰かが自分にも注いでくれるだろうというものと同様の文脈



製品開発と事業開発

各テーマ提案の製品開発に加え、プロジェクトとして事業開発を推進すべく研究チームにプレッシャー。

《参考》ファウエイ成功の一つの理由は、研究開発、生産、営業、マーケティングなど、すべての部署を経験させる人事マネジメント。これが「気づき」や「意識の変革」につながる。

◆ 実用化・事業化に向けた戦略

② 研究開発テーマ間連携の推進 (2/2) - 全体取組み事例

- プロジェクト初盤は研究成果が出揃わず、実施者のみによる連携推進には困難を伴うことから、マネジメント側にて共創意識醸成の仕掛け

→2017年度追加採択者を交えたキックオフ会議を単なる研究開発テーマ紹介に止めず、連携可能性探索の場として設定

(『3000億円の事業を生み出す「ビジネスプロデュース」戦略』[*]などの書籍も参考にしながら事業開発の視点も取り込んだワークショップ)

[*] 三宅孝之・島崎崇著 著/PHP研究所 刊



- 研究成果が整ってきたプロジェクト中盤は、モデルケースとして解析テーマ2件とセキュリティテーマ1件を連携させたコンセプト・デモをCEATEC JAPAN 2018に出展。

→その企画プロセスを実施者主導で行わせることにより、プロジェクト内でボトムアップ的に共創意識を活性化

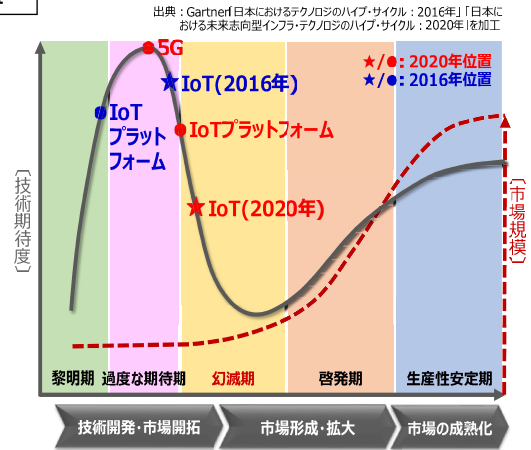


4 成果の実用化・事業化に向けての取組及び見通し (2) 成果の実用化・事業化に向けた具体的取組

◆ 本研究開発項目における「実用化・事業化」の取組

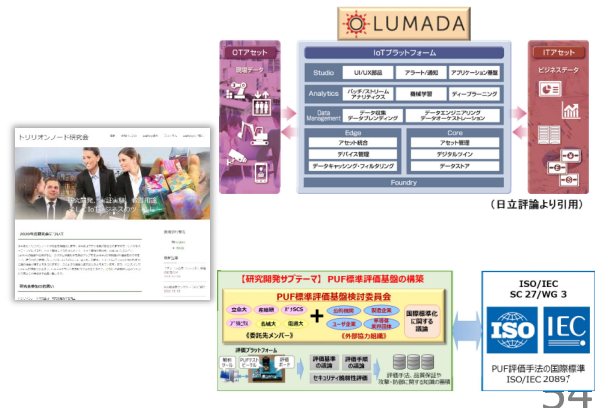
IoT技術・市場の状況

- Gartner社によると、IoT技術の成熟度は2016年のプロジェクト開始時に「過度な期待時期」であったものが、現在は「**幻滅期**」に入った立ち位置。
- これを市場形成の観点で見ると、単にテクノロジーに対する期待を抱いていたところから、技術の現実的な部分に目が向けられ始め**確固たる市場を形成する入口**。
- プロジェクト終了(2020年度)後の市場拡大期を見据え、**研究開発と並行して「実用化・事業化」プランの具体化も**、技術推進委員会等を通して推進。



各研究チームの具体的取組

- 基本的には、研究チーム内の企業が自社事業を土台とし、**研究開発成果を新価値としてアドオン、事業展開**する計画。(ex. 日立・Lumada)
- 加えて、研究開発と並行し、**無償PoCの実施、コンソーシアム活動**により、**ユーザーとの共創、市場開拓**を図る。(ex. トリオンノード研究会)
- また、研究開発と連携した**標準化活動**により、研究開発成果へ**グローバル・スタンダード品の付加価値を付与**。(ex. ISO/IEC20897 PUF評価手法の国際標準)



4 成果の実用化・事業化に向けての取組及び見通し (2) 成果の実用化・事業化に向けた具体的取組

● 各研究開発テーマとも実用化・事業化主体を定め、それぞれの戦略に従って実用化・事業化を推進中。(詳細はAppendix-4参照)

分野	事業形態	研究開発テーマ	委託先/助成先名	再委託先名・共同研究先名	実用化・事業化主体	
収集	委託	超高性能データ抽出機能を有する学習型スマートセンシングシステムの研究開発	NMEMS技術研究機構	再委託先	(日立製作所、東京電力HD、日立製作所)	
				再委託先		電力中央研究所
				再委託先		東京大学 大学院工学系研究科
	助成	トリオンノード・エンジンの研究開発	東芝デバイス&ストレージ(株)	共同研究	東京大学	○
				共同研究	東京大学	○
				共同研究	東京大学	○
助成	超低消費電力データ収集システムの研究開発	(株)SUBOX	共同研究	東京大学	○	
			共同研究	東京大学	○	
			共同研究	東京大学	○	
セキュリティ	委託	Sensor-to-Cloud Securityへビッグデータを守る革新的IoTセキュリティ構築技術の研究開発	横浜国立大学	再委託先	三菱電機(株)	
				再委託先		東京大学
				再委託先		東北大学
	助成	超高速・低消費電力ビッグデータ処理を実現する新型推論集積システムの研究開発	アトロンテクノロジー(株)	共同研究	北海道大学	○
				共同研究	早稲田大学	○
				共同研究	慶應義塾大学 (東京工業大学と事業承継)	○
IoT	委託	IoTデバイスを活用したIoTノード向けセキュリティ構築の研究開発	日立製作所	再委託先	産業技術総合研究所	
				再委託先		産業技術総合研究所
				再委託先		産業技術総合研究所
	助成	次世代産業用ネットワークを守るIoTセキュリティ構築技術の研究開発	アラクサネットワークス(株)	共同研究	産業技術総合研究所	○
				共同研究	産業技術総合研究所	○
				共同研究	産業技術総合研究所	○

分野	事業形態	研究開発テーマ	委託先/助成先名	再委託先名・共同研究先名	実用化・事業化主体	
蓄積	委託	高速ストレージクラスメモリを用いた超低消費電力メモリキャッシュ分散ストレージシステムの研究開発	東京大学 (中央大学と事業承継)	再委託先	富士通(株)	
				再委託先		日本電気(株)
解析	助成	先組IoTサービスを実現する革新的蓄電エネルギー貯蔵データ駆動の研究開発	(株)日立製作所	共同研究	東京大学	○
				共同研究	東京大学	○
	委託	超高速・低消費電力ビッグデータ処理を実現する新型推論集積システムの研究開発	アトロンテクノロジー(株)	共同研究	北海道大学	○
				共同研究	早稲田大学	○
				共同研究	慶應義塾大学 (東京工業大学と事業承継)	○
				共同研究	慶應義塾大学 (東京工業大学と事業承継)	○
助成	組合せ最適化処理に向けた革新的データマニングの研究開発	日立製作所	再委託先	横浜国立大学	○	
			再委託先	産業技術総合研究所	○	
IoT	委託	高選別センサネットワークによる実時間IoTシステム活用技術の開発	日本電気(株)	再委託先	オムロン(株)	
				再委託先		オムロン(株)
				再委託先		(株)エクスビジョン
	助成	Field Intelligence搭載型大規模分散IoTプラットフォームの研究開発	東電設計(株)	共同研究	大阪大学	○
				共同研究	東京大学	○
				共同研究	東京電力ホールディングス(株)	○
助成	省電力AIエンジンによる人工知能プラットフォーム	アラクサネットワークス(株)	共同研究	産業技術総合研究所	○	
			共同研究	産業技術総合研究所	○	

◆波及効果

- 各研究開発テーマでは、研究開発と並行して、それぞれの出口戦略に適した波及効果拡大（成果最大化）に取り組んでいる。
次に、①人材育成、②コンソーシアム、③国際標準化の代表事例を示す。

①人材育成

— NEDO IoT推進のための横断技術開発プロジェクト 人材育成スクール —

(実施テーマ:超高速・低消費電力ビッグデータ処理を実現・利活用する脳型推論集積システムの研究開発)

- 当該テーマがハブとなり、研究開発項目③「高度なIoT社会を実現する横断的技術開発」に参画する他のテーマとともに、人材育成スクール (<https://www.iot-aidevice.org/>) を開催し、研究開発成果の将来ユーザを育成。

- 第1回：2017年2月23日（実習）
2017年2月24日（講習）
- 第2回：2017年10月10～11日（講習）
2017年10月24～25日（実習）
- 第3回：2018年8月 9～10日（講習）
2018年8月28～29日（実習1）
2018年9月20～21日（実習2）
- 第4回：2019年1月 8～ 9日（講習）
2019年1月28～29日（実習1）
2019年3月17～18日（実習2）
- 第5回：2019年8月 8～ 9日（講習）
2019年8月29～30日（実習1）
2020年3月10～11日（実習2）

NEDO IoT推進のための横断技術開発プロジェクト

2019年度第1回 人材育成スクール (通算第5回)

プログラム詳細と参加申込はこちら

<講習>
2019年8月8日(木)・9日(金)
産業技術総合研究所 独海副都心センター別館11階 会議室1
<実習1>
実習1は定員に達しましたので、締め切りとさせていただきます。
2019年8月29日(木)・30日(金)
産業技術総合研究所 つくば中央階5事業所



講習



実習

◆波及効果

②コンソーシアム

— トリリオンノード研究会 —

(実施テーマ:トリリオンノード・エンジンの研究開発)

- 設立趣旨：本研究会は超小型・低消費電力のトリリオンノード・プラットフォームを関連企業の皆様と一緒に作り上げて行く研究会として発足しました。
(中略) 一部開発に成功した部分に関しては、2019年9月にLeafony (リーフォニー) という名称で、仕様、回路図、パターン図、応用例、ソフトウェアなどを一般公開しました。商業的にも自由に無償で各種データを利用できます。(以降略)

■ 発足年：2017年

■ HPアドレス：<https://trillion-node.org/>

■ 研究会メンバー (67社)

IAOKI, FUJI, IoT-EX, KDDI, LEAFONY SYSTEMS, Mouser Electronics, Quest7, Sohwa&Sophia Technologies, STマイクロエレクトロニクス, SUSUBOX, WDS, ケイ・ピー・ディ, サーキットデザイン, センシスト, ソーラー・リノベーション, ソニーセミコンダクタソリューションズ, ディー・クルー・テクノロジーズ, デバイス&システム・プラットフォーム開発センター, ネクステイレクトロニクス, パナソニック, ファナティック, プロトラス, リコー電子デバイス, リサシステム, 旭化成エレクトロニクス, 夏目光学, 近畿日本鉄道, 金沢大学, 金沢大学IoT開発グループ, 群馬大学大学院, 慶応大学SFC, 慶應義塾大学SFCソーシャルアプリケーション・ラボ, 計画工学研究所, 古野電気, 埼玉大学, 三菱ケミカルエンジニアリング, 三菱電機エンジニアリング, 産業技術総合研究所, 新光電気工業, 新日本無線, 図研, 青葉電子, 川崎重工業, 創成電子, 双葉電子工業, 太陽誘電, 大日本印刷, 大和無線電機, 中部電力株式会社, 長野県協同電算, 長野県工業技術総合センター, 東京大学, 東京大学協創プラットフォーム, 東京都立産業技術センター, 東芝インフラシステムズ, 東芝テック, 東芝デバイス&ストレージ, 東芝デバイス&ストレージ, 東芝開発エンジニアリング, 東電設計, 日昭無線, 日本航空電子工業, 日立製作所, 半導体エネルギー研究所, 富士通クライアントコンピューティング, 明光電子, 立野電脳

トリリオンノード研究会

活動 参加申し込み Leafony資料 フォーラム Leafonyのご購入

研究開発、実証実験、教育用途
そしてIoTビジネスのツールに

2020年度研究会について

言語切り替え
English
日本語

最新記事
「オノコン応用コンテスト」開催のお知らせ
2020-07-06

研究会参加のお話し
トリリオンノード研究会は、研究開発効率を向上

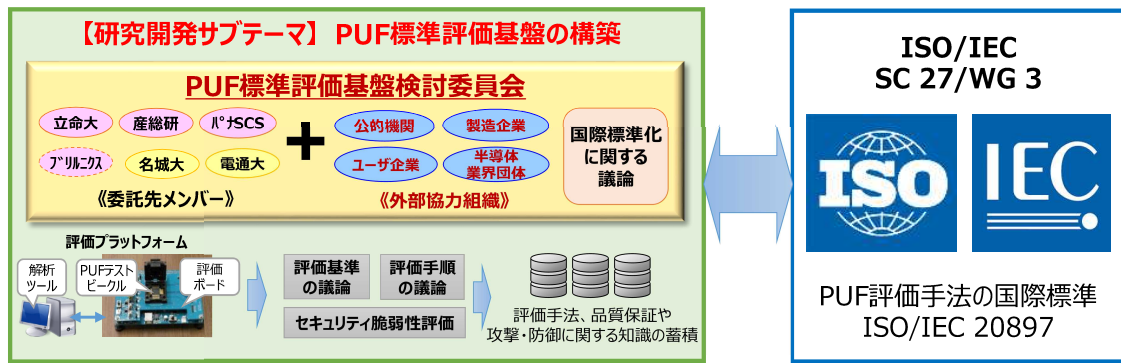
◆波及効果

③国際標準化

— ISO/IEC 20897 —

(実施テーマ:複製不可能デバイスを活用したIoTハードウェアセキュリティ基盤の研究開発)

- 研究チームによるPUFの性能指標や脆弱性評価結果を、委託先以外の組織を含む「PUF標準評価基盤検討委員会」で議論し、PUFの評価基準ならびに評価手順をISO/IECの標準とすることで、PUF技術が産業界で広く使われることを意図。
- 対象標準
 - ISO/IEC 20897-1 “Physically Unclonable Functions--Part1: Security” : セキュリティ要件 →2020年度内にISステージ(国際規格発行段階)に進む見通し
 - ISO/IEC 20897-2 “Physically Unclonable Functions--Part2: Test and evaluation methods” : 試験・評価手法 →2020年度内にDISステージ(国際規格原案照会段階)に進む見通し【規格発行がほぼ確実】



◆実用化・事業化へ向けた実装事例

- エッジ側・クラウド側ともに、計画どおりIoT基盤技術をシステムレベルで確立。NEDOプロジェクトの終了後は、各企業が順次商品化を図り、事業として立ち上げていく予定。(以下、一部事例)

LUMADA

IoTプラットフォーム

OTアセット (可視データ)

ITアセット (ビジネスデータ)

Studio UI/UX構築 アラート通知 アプリケーション構築

Analytics パンクストリーム アナリティクス 機械学習 データブレンディング

Data Management データ収集 データモニタリング データクレンジング/フィルタリング

Cloud データ管理 アセット管理 デジタルサイン データストア

Factory

(日立評論より引用)

超省エネルギー型データベースエンジン (先進IoTサービスを実現する革新的超省エネルギー型ビッグデータ基盤の研究開発)

チップ写真

USB接続ボード

コンセントレータ

赤外線アレーセンサ

音センサ

面電流センサ

マルチガスセンサ

振動発電

マルチガスセンサ 無線+MPUモジュール

チップ面積: 23.65mm², コア部: 10.42mm², IF部: 13.23mm²

名刺サイズCMOSアニールマシン (組合せ最適化処理に向けた革新的アニールマシンの研究開発)



3. 研究開発成果

4. 成果の実用化・事業化に向けた取組及び見通し

研究開発期間2018～2022年度

研究開発項目①

革新的AIエッジコンピューティング技術の開発

PL 本村 真人

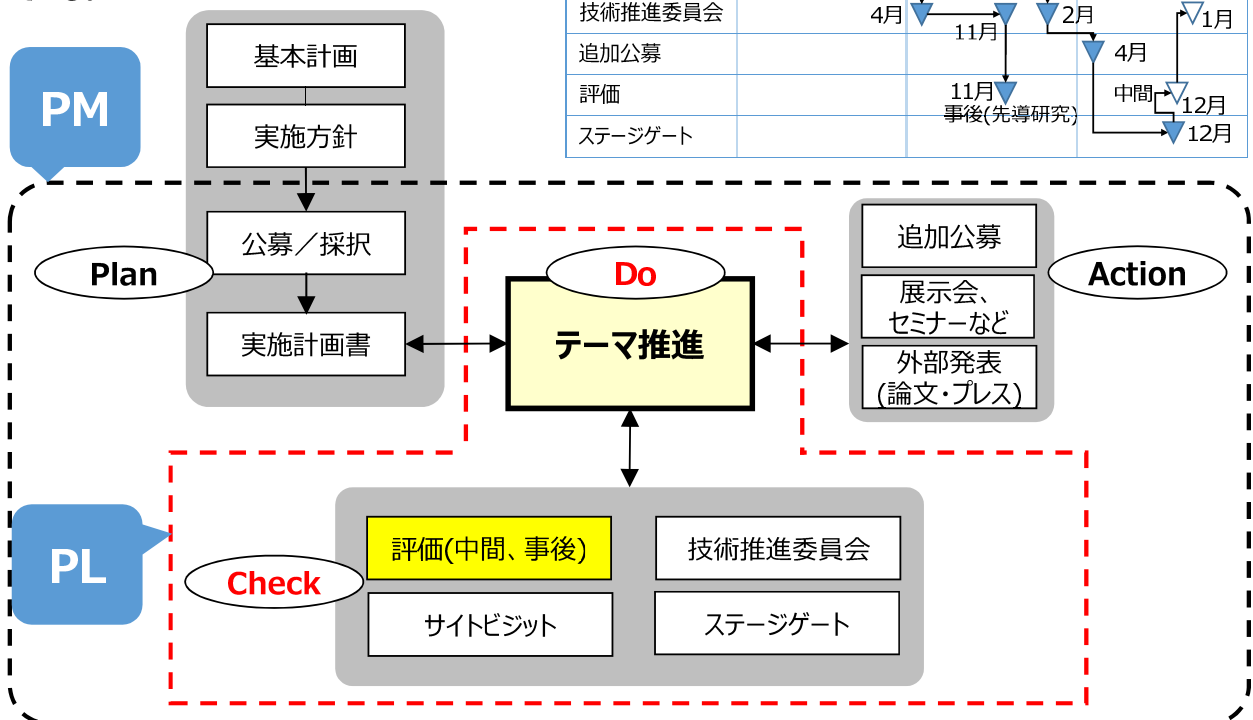
東京工業大学 教授

3. 研究開発成果 プロジェクトマネジメント方針とマネジメントイベントの実施について

◆研究開発の進捗管理

PM,PLにて役割分担並びに連携しながら、プロジェクト推進のマネジメント支援を行っている。

	2018年度	2019年度	2020年度
公募	4月 9月		
サイトビジット		7-9月	
技術推進委員会	4月	11月 2月	1月
追加公募			4月
評価		11月 事後(先導研究)	中間 12月
ステージゲート			12月



3. 研究開発成果 プロジェクトマネジメント方針とマネジメントイベントの実施について

◆マネジメント方針・実施

- 研究開発の推進、方針および予算配分の見直しなどについて、各種マネジメント・イベントを実施。
- 2018年度～2020年度は、プロジェクトを実施するための**体制構築**や実用化・事業化のもととなる**研究開発**を実施。
- 2021年度～2022年度は、**実用化・事業化をより意識した研究開発**を実施しつつ、**社会実装に向けた計画のブラッシュアップ**を実施する予定。その一環として、**実用化・事業化に重きを置いたステージート審査**を2020年度に実施し、2021年度以降の研究開発の実施の可否について判断。

	2018年度	2019年度	2020年度
公募	4月 9月		
サイトビジット		7-9月	
技術推進委員会	4月	11月 2月	1月
追加公募			4月
評価		11月 事後(先導研究)	中間 12月
ステージート			12月

マネジメントイベント	内容	効果・成果
技術推進委員会 1	各事業者や技術推進委員を含め、 本事業の関係者が一堂に会し、意見交換。	今後の円滑な事業推進に向け、コミュニケーションの強化。
サイトビジット	各テーマの 研究現場訪問 し、進捗確認・意見交換。	直近の進捗状況、課題の認識、出口イメージなど実際の研究開発者と活発に議論。
技術推進委員会 2	先導調査研究 4 案件のテーマ事後評価。	事後評価が優良な案件について、ユーザー企業とのマッチングを促進。
技術推進委員会 3	各テーマの成果、実用化に向けた取り組みの審議。追加公募に関する審議。	政府予算に応じ来年度予算査定⇒ 減額を指示。 委員会の結果を踏まえ、 追加公募 へ。
追加公募	誰もが使いやすい組み込みシステム向けRISC-Vのソフトウェアスタック群の研究開発に関する追加公募を実施。	公募の目的と合致した事業者を選定。本事業の更なる成果普及を図る。
ステージート	各テーマの研究開発成果を技術面と実用化・事業化面から審査し、方針転換や継続可否を判断。	成果に対して、 メリハリをつけた予算配分を実施。
評価（事後、中間）	マネジメント評価、代表事業者から報告。	評価結果を基にプロジェクトの 内容、方向性を見直す。

62

3. 研究開発成果 (1) 研究開発目標の達成度及び研究開発成果の意義

◆プロジェクトとしての達成状況と成果の意義 (技術課題の設定)

- IoT社会の到来による**データ量の爆発的な増加**に対応し、急増したデータの高度な利活用を促進するために、ネットワークの末端（エッジ）で高度かつ低消費で情報処理を行う「**エッジコンピューティング**」の**確立が必要**。
- また、エッジ領域における、省電力化や高性能化、ハード・ソフトを組み合わせたコンピューティング技術の最適化は、**いまだ手探り状態**であり、**日本が強みを有する「現場」で生成されるデータを処理する技術**に関する研究開発を実施し、成果を社会実装することにより、**我が国の産業競争力の向上**が見込まれる。
- そのため、**エッジにおけるAI処理を実現するための小型かつ省エネながら高度な処理の能力を持った専用チップ及びコンピューティング技術等**を開発することを目的とし、情報提供依頼（RFI）を実施。その結果、以下の(A)～(F)を開発課題として設定。その後、公募の結果、以下の13テーマの研究開発を実施。（2020年11月時点）

取組区分	実現区分	既存ハード	新アーキテクチャ	新デバイス
1. 専用チップ (AIアクセラレータ、SoCの開発)	CPU・FPGA等 ※開発対象外	ルネサス PFN	(B) リンクフィギュラブルデバイスによるコンピューティング技術 エヌエスアイテクス 東京大学	(A) 不揮発性素子等のスイッチング機構を用いたコンピューティング技術 NEC
			(C) 演算処理量の軽量化を実現するAI組み込みコンピューティング技術 ソシオネクスト 沖 KDDI フィックスターズ	
			(D) エッジコンピューティング向けリアルタイムソフトウェア制御技術 イーソル	
2. コンピューティング技術 (OS、コンパイラ、ツール等、開発環境の開発)			(E) 多数の分岐ノードを有するAIアルゴリズム処理を高性能化するコンピューティング技術 イーソル	
			(F) エッジデバイスのセキュリティ技術及びその評価技術 イーソル	
3. セキュリティ基盤 (エッジ向けセキュリティ)			TRASIO 産総研	

63

3 研究開発成果 (1) 研究開発目標の達成度及び研究開発成果の意義

◆ 研究開発項目毎の目標と達成状況

研究開発項目	目標	成果	達成度	今後の課題、解決方針
①革新的AIエッジコンピューティング技術の開発	中間目標(2020年度)開発成果を組み込んだ要素技術に係る検証あるいはシミュレーションにより、エネルギー消費効率あるいは電力効率(単位電力あたり性能)が、事業開始時点における同等の技術と比較し、10倍以上となる見込みを示す。	<p>【2018年度】</p> <p>本研究開発項目の実施体制を構築すべく、情報提供依頼(RFI)の結果や政策的観点から以下の重点課題例を設定し、2回の公募を実施した。結果、研究開発枠12テーマ等を採択し、研究開発に着手した。</p> <p>【2019年度】</p> <p>各事業者のサイトビジットおよび技術推進委員会を通じて進捗状況を確認し、最終目標である、開発成果を組み込んだシステムレベルでのエネルギー消費効率あるいは電力効率10倍以上の達成に向けて外部委員等による助言等を行った。また、先導調査研究として開始した4テーマについては、研究開発期間終了に伴う事後評価を実施した。</p>	○	技術推進委員会での指摘事項、進捗状況を踏まえた事業への加速・減額を実施し、目標達成に向け、推進する。

達成度：◎ 大きく上回って達成、○達成、△達成見込み(中間)／一部達成(事後)、×未達

開発課題	12テーマの代表事業者
(A) 不揮発性素子等のスイッチング機構を用いたコンピューティング技術	NEC
(B) リンフィギャラブルデバイスによるコンピューティング技術	ルネサス/Preferred Networks(※以下PFN)
(C) 演算処理量の軽量化を実現するAI組込みコンピューティング技術	ソシオネクスト/沖/KDDI/フィクスターズ
(D) エッジコンピューティング向けリアルタイムソフトウェア制御技術	イーソル
(E) 多数の分岐ノードを有するAIアルゴリズム処理を高性能化するコンピューティング技術	エヌエスアイテクス/東京大学
(F) エッジデバイスのセキュリティ技術及びその評価技術	TRASIO/産総研/イーソル

64

3 研究開発成果 (1) 研究開発項目の達成度及び研究開発成果の意義

◆ 開発課題毎の概要と研究開発テーマ毎の達成度

開発課題	概要	研究開発テーマ代表事業者	達成度
(A) 不揮発性素子等のスイッチング機構を用いたコンピューティング技術	フラッシュメモリとは異なる原理でON/OFF状態を保持する新構造の不揮発性素子を用いたスイッチング機構を、メモリ、通信回路、デジタル信号処理回路等に導入することで、低消費電力のAI処理を可能とするコンピューティング技術を開発。	NEC	○
(B) リンフィギャラブルデバイスによるコンピューティング技術	与えられたタスクや設置環境に合わせて、チップ内の回路構成を動的に変更することにより、常に高速かつ低消費電力での動作を実現する技術等を開発。	ルネサス	○
		PFN	△ 新型コロナウイルスの影響により、一部実施項目で遅延が発生。
(C) 演算処理量の軽量化を実現するAI組込みコンピューティング技術	チップがデータ処理する際に、データを軽量化してから処理するよう、チップに入力される計算プログラムを自動的に変更することにより、チップでの情報処理量を可能な限り軽減する技術等を開発。	ソシオネクスト	◎ 一部実施項目を前倒しで完了。
		沖	○
		KDDI	○
		フィクスターズ	○
(D) エッジコンピューティング向けリアルタイムソフトウェア制御技術	多数のプロセッサを高い実行効率で制御できるのみならず、エッジコンピューティングで要求されるリアルタイム性を満足し、かつ省エネ性能に優れたOS技術等を開発。	イーソル	○
(E) 多数の分岐ノードを有するAIアルゴリズム処理を高性能化するコンピューティング技術	与えられたタスクを小さな処理単位に分解・整列し、プロセッサの利用状況と処理単位の実行優先度を動的に判断して実行制御できる並列プロセッサ技術等を開発。	エヌエスアイテクス	○
		東京大学	○
(F) エッジデバイスのセキュリティ技術及びその評価技術	オープンアーキテクチャのCPU命令セットであるRISC-Vを用いて、産業用途で多用されているデータ格納方式に対応したプロセッサや、当該プロセッサ上でアプリケーションをセキュアに動作させる実行環境、当該プロセッサ上でAI処理・並列処理などで多用されるライブラリを活用可能にする技術等を開発。 エッジデバイスへの攻撃に対するセキュリティ技術等を開発するとともに、既存の技術も含めて、その性能を横断的に評価するための評価技術等を開発。 また、RISC-Vコアやそれをベースとしたセキュリティ基盤技術等に関するソフトウェアスタック群の開発。	TRASIO	○
		産総研	○
		イーソル	○

達成度：◎ 大きく上回って達成、○達成、△達成見込み、×未達

65

3 研究開発成果 (1) 研究開発目標の達成度及び研究開発成果の意義

◆プロジェクト成果の意義

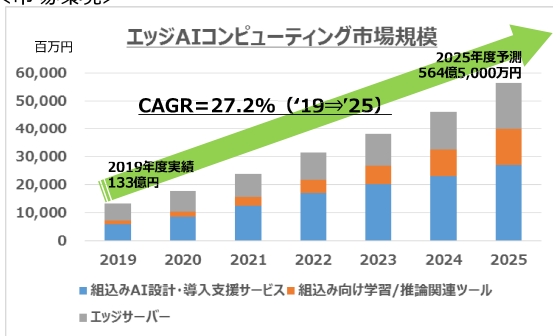
社会課題の中心となる重点5分野※を支える“産業領域へのAI組み込みによる生産性向上”へ貢献する

1. 小型かつ省エネルギーながら高度な処理能力をもった**専用チップ**
⇒AIアクセラレータやSoCの開発 (NEC、ルネサス、PFN、エヌエスアイテクス、東京大学)
2. エッジ領域における**コンピューティング技術**に関する研究開発
⇒OS、コンパイラ、ツール等、開発環境の開発 (ソシオ、沖、KDDI、フィックスターズ、イーソル)
3. エッジコンピューティングにおける**セキュリティ基盤**技術や評価技術
⇒エッジ向けセキュリティ (TRASIO、産総研、イーソル)

※重点5分野

- 健康医療介護
- 農業
- 国土強靱化
- 交通物流
- スマートシティ

<市場環境>



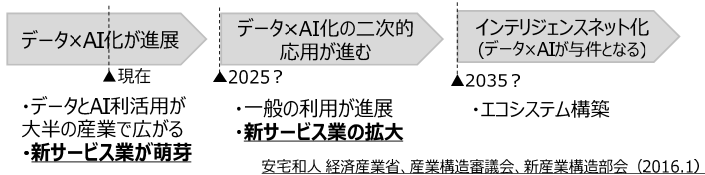
エッジ環境を前提とした AI モデル開発ツールやサービス、量子化/圧縮化技術が充実しつつある。2021年度以降、AIが組み込まれた機器の量産化やアプリケーション開発が本格化する見込み。エッジ AI は、自動運転に不可欠な技術であり、大手自動車メーカーや大手自動車部品メーカーと AI ベンダーが、自動運転の高度化に向けた共同開発を加速させていくとみられる。
2020.8.21 富士キメラ総研 調査レポート

<政策>

【AI戦略2019：2020年以降の取組の方向性(2020.6フォローアップ)】

・重点5分野※1の社会実装に向けて「サービス・ものづくり」において、AI等による生産性革新を進める観点から、現場で活用できる技術開発やAIを導入しやすい環境整備が必要

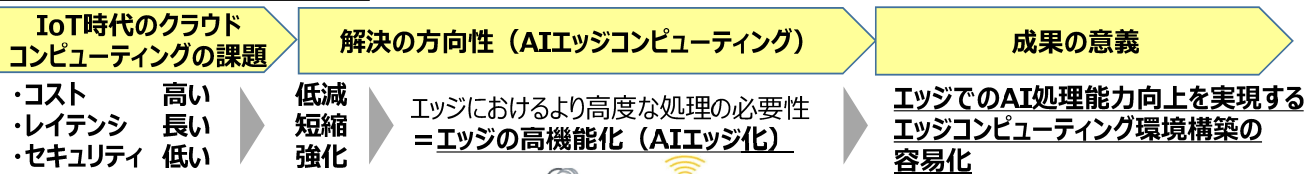
【データ×AI化における産業化の大局観】



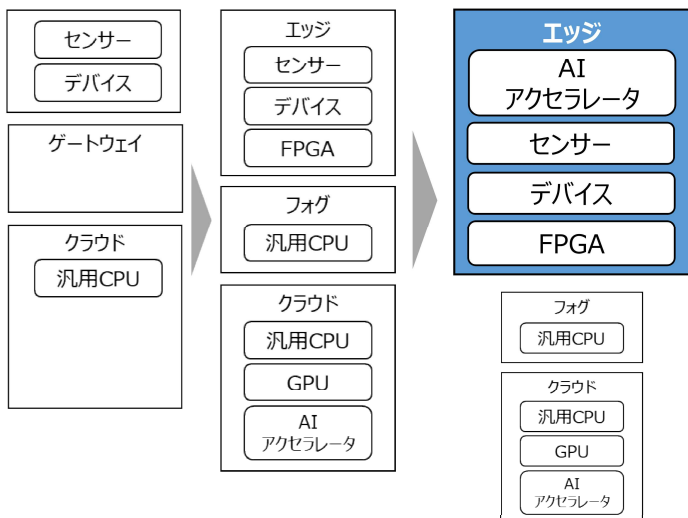
市場拡大と政策支援により「データ×AI化」が着実に浸透する産業界の競争力向上に向け「エッジコンピューティング技術」の成果が下支える

3 研究開発成果 (1) 研究開発目標の達成度及び研究開発成果の意義

◆各個別テーマの成果の意義



IoTの高度化によるデータ量の増大に伴い、エッジヘビー化へ



電力効率の制約 (大から小)

各個別テーマ	
「革新的AIエッジコンピューティング技術の開発」	
専用チップ	(A) 不揮発性素子等のスイッチング機構を用いたコンピューティング技術(NEC)
	(B) リンクフィジブルデバイスによるコンピューティング技術(ルネサス、PFN)
	(E) 多数の分岐ノードを有するAIアルゴリズム処理を高性能化するコンピューティング技術(エヌエスアイテクス、東京大学)
コンピューティング技術	(D) エッジコンピューティング向けリアルタイムソフトウェア制御技術(イーソル)
	(C) 演算処理量の軽量化を実現するAI組込みコンピューティング技術(ソシオネクスト、沖、KDDI、フィックスターズ)
リセキユ	(F) エッジデバイスのセキュリティ技術及びその評価技術(TRASIO、産総研)

3. 研究開発成果 (2) 成果の最終目標の達成可能性

◆成果の最終目標の達成可能性

研究開発項目	現状 (2020年度取組み)	最終目標(2022年度末)	達成見通し
①革新的AIエッジコンピュティング技術の開発	誰もが使いやすい組み込みシステム向けRISC-Vのソフトウェアスタック群の研究開発に関する 追加公募を実施 。 既存の研究開発テーマの進捗は、最終目標に向けて概ね順調に進捗。 ステージゲート審査等をもって、2021年度以降への研究開発の継続可否に加え、研究開発体制の見直しや、事業規模の拡大、縮小等の包括的な事業の見直しを行い、最終目標の達成に向けてより一層邁進。	開発成果を組み込んだシステムレベルでの検証を行い、エネルギー消費効率あるいは電力効率（単位電力あたり性能）が、事業開始時点における同等の技術と比較し、10倍以上となることを示す。	計画通り進捗し、達成見込み

取組区分	実現区分	既存ハード	新アーキテクチャ	新デバイス	
1. 専用チップ (AIアクセラレータ、SoCの開発)		CPU-FPGA等 ※開発対象外	(B) リンクシフト可能なデバイスによる コンピューティング技術 ルネサス PFN	(E) 多数の分岐ノードを有する AIアルゴリズム処理を 高性能化する コンピューティング技術 エヌエスアイテクス 東京大学	(A) 不揮発性素子等の スイッチング機構を用いた コンピューティング技術 NEC
2. コンピューティング技術 (OS、コンパイラ、ツール等、開発環境の開発)			(C) 演算処理量の軽量化を実現するAI組み込みコンピューティング技術 ソシオネクスト 沖 KDDI ファイクスターズ		
			(D) エッジコンピューティング向けリアルタイムソフトウェア制御技術 イーソル		
			(F) エッジデバイスのセキュリティ技術及びその評価技術 イーソル		
3. セキュリティ基盤 (エッジ向けセキュリティ)			TRASIO 産総研		

68

3. 研究開発成果 (3) 成果の普及

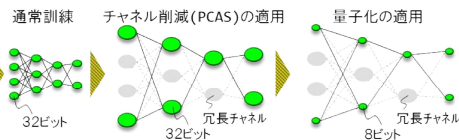
◆成果の普及

	2018年度	2019年度	2020年度
展示会、新聞掲載	9	13	20

件数
2020年10月現在

◆研究開発成果 (2019年度)

2Q: 沖電気工業 DNN圧縮技術



- ・認識精度1%劣化に抑え演算量8割削減。
- ・採択率4%の国際学会に採択。
- ・2019/9/9にNEDOと共同ニュースリリース実施。

3Q: アラヤ 深層学習圧縮ツール事業化



- ・深層学習用のモデル自動圧縮ツールについて、認識精度を維持したまま最大1/30に圧縮する技術を確立。
- ・研究開発成果を踏まえた汎用自動ネットワーク圧縮ツール(Perssai)を2020年3月に事業化。
- ・2019/11/18にNEDOと共同プレスリリースを実施。
- ・2019/11/21に『ET / IoT Technology Award 2019』 Edge Technology 優秀賞を受賞。

◆研究開発成果 (2020年度)

1Q: ソシオネクスト ArchiTek 豊田自動織機 AIエッジLSIの試作

- ・AI認識処理を行うハイブリッド量子化DNN技術、画像処理を行う進化型仮想エンジンアーキテクチャ技術 (aIPE) およびリアルタイムSLAM処理技術を開発。
- ・これらの技術を導入した進化型・低消費電力AIエッジLSIを試作評価。AI認識・画像処理効率10倍、SLAM時間1/20を達成。
- ・2020/6/18に共同ニュースリリース実施。

69

◆知的財産権等の確保に向けた取組

・標準化活動、オープンコミュニティの推進

テーマ名	実施者	成果概要
スケーラブルなエッジHPCを実現するOS統合型プラットフォームの研究開発	イーソル	研究開発と並行して、国際標準化活動に注力。IEEE/Computer Society/Design Automation/Software-Hardware Interface for Manycore (IEEE/C/DA/SHIM)としてP2804 SHIM WGを設置('19/2)、SHIMがIEEE Std 2804-2019として発行 ('20/2)。いち早くSHIM準拠に対応。既に プロジェクト目標であったIEEEでの標準化を2020年1月に完了し、IEEE Std. 2804としてIEEEから発行済み。 現在は本仕様のアップデートに関する議論を段階的に進めている。 また、IEEE 2804をIECとのDual logo標準とするために、IEC TC91にて提案中。11月に開催されるTC91 Web meetingにて、本件における審議を行う予定。
セキュアオープンアーキテクチャ基盤技術とそのAIエッジ応用研究開発	TRASIO	2021年度初めにオープンコミュニティ活動開始をアナウンス予定。市場向け活動の第一歩として 2020年8月、第一回オープンフォーラム実施。 TRASIO研究成果(協調領域の技術基盤)に対するユーザの認知を高め、産業システムのユーザの声を集めることにより、市場ニーズを積極的に取り込んだオープンシステムの開発を推進。 セキュリティ基盤PoCが実装完了後、オープンコミュニティにおけるユーザ試行に供し、ハンズオン可能なプラットフォームを軸とした更なる活動拡大を図る。研究成果のグローバルな標準化提案活動も強力に推進し、オープンコミュニティの中でその成果を開示する予定。

	2018年度	2019年度	2020年度
学会発表・講演	6	64	59
論文	0	14	19
特許	0	8	12
受賞	0	3	3

件数
2020年10月現在

4 成果の実用化・事業化に向けた取組及び見通し

◆本プロジェクトにおける出口戦略（実用化・事業化）

- ハードウェア開発にとどまらず、社会課題への適用を見据えた **ソフトウェア基盤開発も一体的に推進する。**
⇒効率よいエッジ処理環境の構築
・実製品へのAI組込みを容易化するツール(事例1：ルネサスエレクトロニクス)
- 想定する社会実装先をターゲットに、事業期間中から試作品を用いた **ユーザ評価**を行い、スムーズに実用化等に移行できるよう**スペックへのフィードバック**を行う。
⇒ユーザーを巻き込んだ評価・フィードバックによりLSI試作(事例2：ソシオネクスト)
- ステージゲート審査等により研究開発の成果を見極め、実用化が近く企業主体で実施すべきテーマについては、**早期卒業等を実施**することで、**実用化を進める。**

「実用化」: 当該研究開発の成果が社会的利用が可能となる段階*まで技術的な水準を確立すること

「事業化」: 実用化段階を経た研究開発成果が、知的財産(IPコア等)、部品・モジュール・システム、サービス等の販売や提供により、企業活動(売り上げ等)に貢献すること

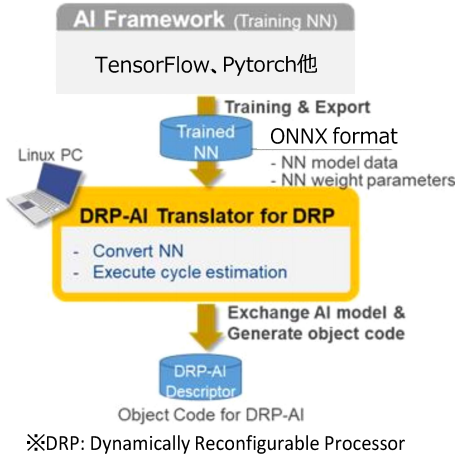
*社会的利用が可能となる段階の例: IoTセンサやAIチップ等の試作品提供、次世代データベース、量子コンピュータ等のクラウド環境での公開など

◆本プロジェクトにおける「実用化・事業化」の考え方（出口戦略の事例1）

- ・組込技術者が、AI組込を容易化するAIモデル圧縮ツール・DRP-AI実装ツールを開発
- ・ツールを含めたビジネスモデルにて急成長、多様化する組み込みAI事業をリード

実製品へのAI組込みを容易化するツールの研究開発成果(ルネサスエレクトロニクス)

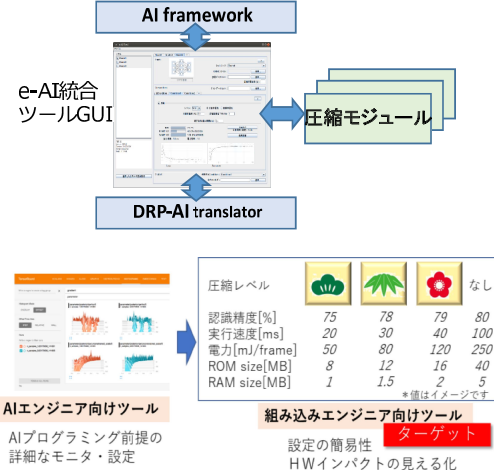
■ DRP-AIトランスレータ



※DRP: Dynamically Reconfigurable Processor

- ・各種AIフレームワークの学習結果をDRP-AI推論用に交換するツールをプロトタイプ開発。ONNX形式でニューラルネットワークのモデルや重みデータを入力、DRP-AI用へ出力
- ・一般物体認識YOLO、クラス分類Resnet、VGGなどでTEG1上の動作を確認

■ e-AI統合ツール



- プロジェクト各社(ルネサス、三菱、SOINN、東工大)で開発した各ソフトウェアを接続し、組み込みユーザ向けに機能拡張したAI圧縮ツールの機能仕様と要素開発を完了。
- ・ONNX変換インターフェース設計
 - ・複数の圧縮モジュールの接続/選択機能
 - ・圧縮効果見える化

◆本プロジェクトにおける「実用化・事業化」の考え方（出口戦略の事例2）

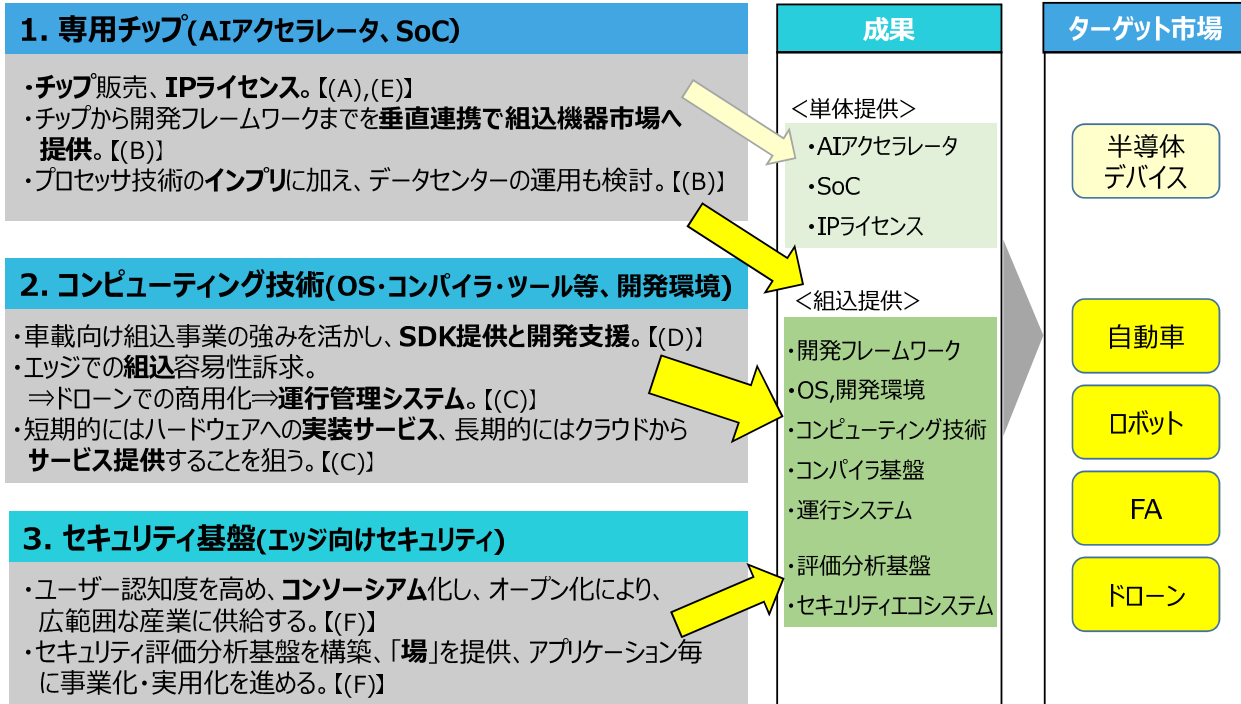
AIエッジLSIのユーザ評価（ソシオネクスト）

- ・2019年10月に設計データをテープアウト、LSI/ボードを2020年1月末に入手。その後、基本動作検査後、ボードを2020年2月末から順次プロジェクト体制内の豊田自動織機とArchiTekに提供開始。
- ・チップ構想のプロモーションを行い、ユーザ企業の発掘を実施。LSI試作のために予算を加速し、試作LSI評価並びにターゲット分野顧客からフィードバックを得て、成果の最大化を図った。

用途	使用目的	分野、顧客	効果
外部評価	アプリケーション評価	総合家電系顧客	・実アプリケーションでの実践的な評価、課題抽出 ・実用化確認を行うことで、早期の事業化が可能
		車載系顧客	
	画像処理やAI推論の実証実験	カメラ系顧客	
		大学	
PoC、デモ開発		海外販社	・実アプリケーションでの実践的な評価、課題抽出
		ソフト開発系	・センサーデータ処理やAI処理の性能確認

◆実用化・事業化に向けた戦略

AIチップやSoC単体だけではなく、ソフトウェアを含む開発環境等もあわせてシステム／サービスとして提供することにより、高度なエッジコンピューティング環境構築の容易化を実現



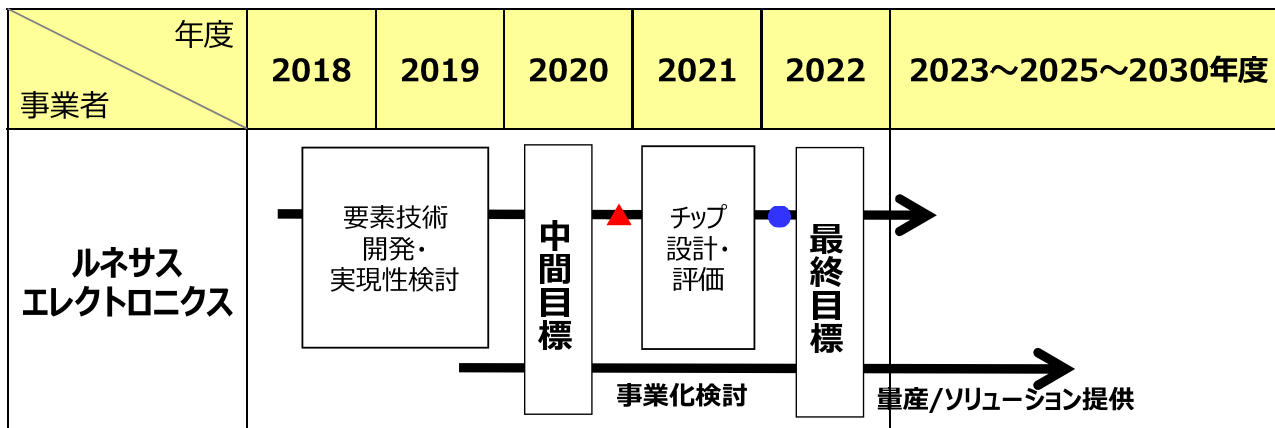
◆実用化・事業化に向けた具体的取組

実用化・事業化を担う企業をプロジェクト体制に組み込み、研究開発成果のシステムとしての社会実装を推進。



◆成果の実用化・事業化の見通し

- ・基本原理を2020年度中に確認、2021年度はチップ設計・評価し、基本技術を確立すると共に、事業化検討を並行して行う。
- ・2022年度に最終目標の成果を達成し、量産移行・ソリューション提供を推進する。



▲ : 基本原理確認

● : 基本技術確立

「高効率・高速処理を可能とするAIチップ^o・ 次世代コンピューティングの技術開発」 (中間評価)

3. 研究開発成果

4. 成果の実用化・事業化に向けた取組及び見通し

研究開発期間2018~2027年度

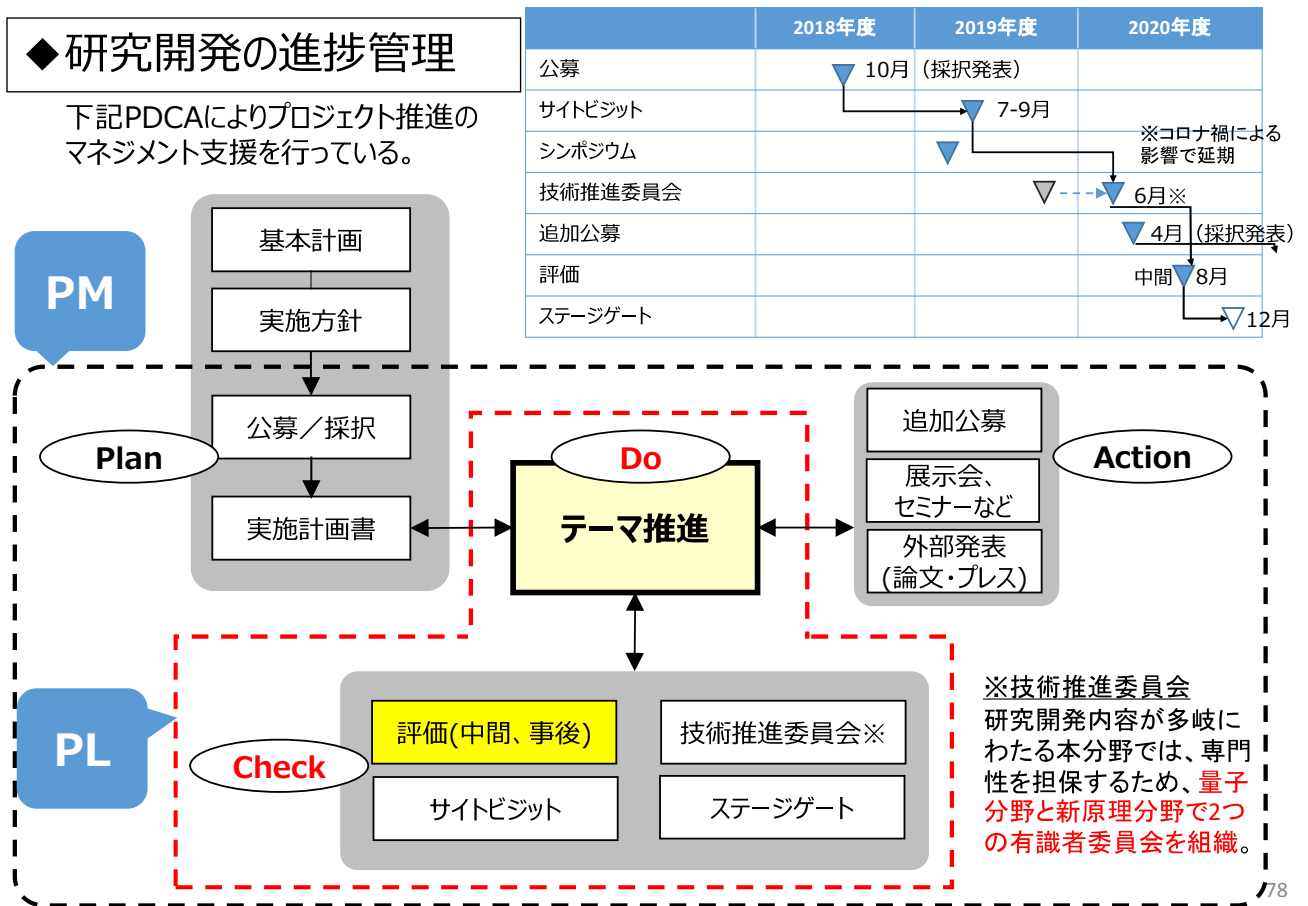
研究開発項目②

次世代コンピューティング技術の開発

PL 金山 敏彦

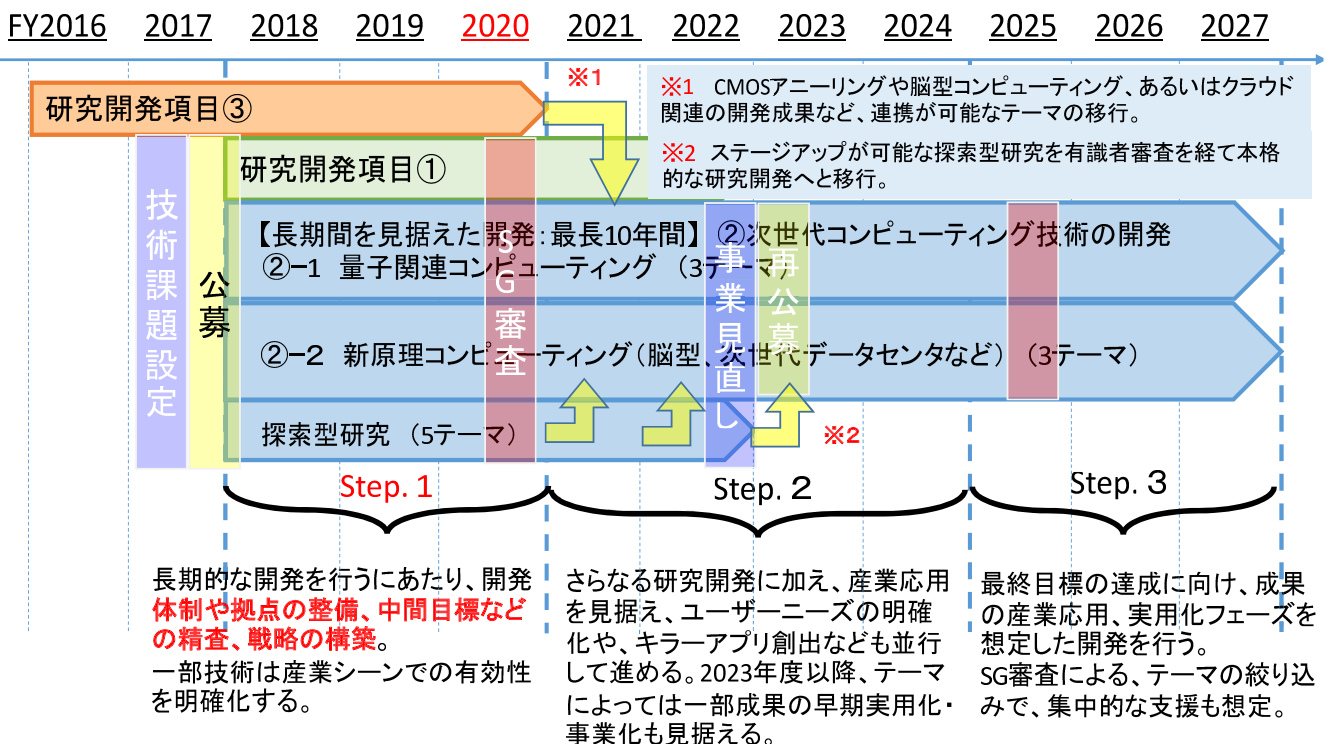
産業技術総合研究所 特別顧問

2. 研究開発マネジメント 研究開発の進捗管理の妥当性



3. 研究開発成果

◆研究開発項目② 長期間の研究開発におけるマネジメント方針



研究開発: 基盤の開発から中長期的な研究開発で、実用化・事業化を目指す。
 探索型研究: 長期的な研究開発を行うにあたり、学術的に有効性が確認されている技術に対して、産業界のニーズ把握や本格的な研究開発に向けた体制構築、技術の確度を高める開発を実施。最長5年。2022年度までにステージアップを検討。

◆プロジェクトとしての達成状況と成果の意義 (技術課題の設定)

目的：**ポストムーア時代を見据え、既存の技術の延長にない、新原理等による高速かつ低消費電力化を実現する次世代コンピューティング技術**を開発する。

主要技術課題(RFI結果)	補足
アニーリングマシンコンピューティング技術	従来型のコンピューティング技術では解くことが困難な組合せ最適化問題を解くための量子アニーリングマシンの開発や、各種アニーリングマシン上で共通的に動作するソフトウェア基盤技術等の確立に向けた研究開発。 日本には同技術の創始者や独自技術など、関連するシーズが存在。
ディスアグリゲーション型次世代データセンタ技術	複数種類のプロセッサやメモリをネットワークで分離(ディスアグリゲーション)させ、大容量データを効率的に処理可能とする、スケーラブルな分散ソフトウェア技術、不揮発性を高度に利用したメモリシステム、それらの間を接続するスケーラブルな高速低電力データ伝送技術等の確立に向けた研究開発。 光コンピューティングにかかる技術、成果は日本が有する独自技術有り。
ニューロモルフィックコンピューティング技術	ヒトの脳神経モデルを模した信号処理プロセス等を組み込んだ電子回路構造を用いる、高速化と低消費電力化を両立するコンピューティング技術について、研究開発の方向性を定める。 日本が持つロボット関連技術、エッジ領域における優位性のある領域。
確率モデルコンピューティング技術	深層学習に多数の潜在変数を持つ確率モデリング等を融合させる、データ構造やアルゴリズム、それらを実装するためのハードウェアアーキテクチャ等に関するコンピューティング技術について、研究開発の方向性を定める。 AI学習の高度化、効率化に期待でき、日本は研究拠点と知見を有する。

※その他、次世代データセンタ等、新原理のコンピューティング技術による情報処理の高度化を必要とする技術の開発を実施する。既存の指標である半導体の微細化による情報機器の高性能化が限界を迎える時代に、日本の情報産業を支える新たな技術の種を育て、次世代の産業競争力の基礎とする。

ステージゲート審査 次世代コンピューティング技術の開発 ※研究開発枠 (2020年度開始時点)

◆各テーマの概要

課題	事業者	概要
超電導パラメロン素子を用いた量子アニーリング技術の研究開発 量子アニーリングハードウェア	NEC 早稲田大 東工大 横国大	高い量子性を持つ超電導パラメロン素子開発、3次元実装技術、信号読出・生業、およびそれらを支える理論研究・シミュレーションを通じて、世界トップの演算性を実現する量子アニーリングマシンを開発する。
イジングマシン共通ソフトウェア基盤の研究開発 量子アニーリング共通ソフトウェア	早稲田大 東工大 産総研 フィックスターズ NII・豊田通商	現実課題とイジングマシンハードウェアの中間層として、ミドルウェア群および共通API・ドライバからなる「共通ソフトウェア基盤」を開発し、将来開発が見込まれるさまざまなイジングマシンにとって共通的なソフトウェア基盤を提供する。
ディスアグリゲーション型次世代データセンタに適用する光電ハイブリッドスイッチを用いた高速低電力データ伝送システムの研究開発 光スイッチ次世代データセンタ	PETRA	複数種類のプロセッサやメモリをネットワークで分離(ディスアグリゲーション)させ、大容量データを効率的に処理可能とする、スケーラブルな分散ソフトウェア技術、不揮発性を高度に利用したメモリシステム、それらの間を接続するスケーラブルな高速低電力データ伝送技術等の確立に向けた研究開発。
実社会の事象をリアルタイム処理可能な次世代データ処理基盤技術の研究開発 次世代データセンタ(次世代データベース)	NEC ノーチラステック ロジーズ 東工大 大阪大 名古屋大 慶應大 パソコ	これまでのRDB(リレーショナルデータベース)やNoSQLでは直接解決できなかった課題を解決するため、新しいハードウェア環境(メモリーコア・大容量メモリ・不揮発メモリ)を活用するデータベース技術を研究開発するとともに、これまでできなかった新しい業務に適用し提案するデータベースの有用性を実証する。

課題	事業者	概要
未来共生社会にむけたニューロモルフィックダイナミクスのポテンシャルの解明 脳型コンピューティング	大阪大 九工大 日立 産総研	ヒトの脳神経モデルを模した信号処理プロセス等を組み込んだ電子回路構造を用いる、高速化と低消費電力化を両立するコンピューティング技術について、研究開発の方向性を定める。
深層確率コンピューティング技術の研究開発 AI学習効率化	理研 産総研 NII 京都大 中央大	深層学習に多数の潜在変数を持つ確率モデリング等を融合させる、データ構造やアルゴリズム、それらを実装するためのハードウェアアーキテクチャ等に関するコンピューティング技術について、研究開発の方向性を定める。
イン不揮発性メモリ分散 Approximateコンピューティングの研究開発 その他：イン不揮発性メモリコンピューティング	東京大 NII 三菱ハイ テックス	データセンタに向け、不揮発性デバイスをデータ記憶・処理にふる活用したメモリを中心としたイン不揮発性メモリコンピューティングを開発し、メモリデバイス、AIアクセラレータ、分散処理等とハード・ソフトの全体に対し、処理やデータ制度を劣る・部分的にエラーを許容するApproximateコンピューティングを開発する。
物理ダイナミクスに基づく学習デバイスを備えた超高効率認知コンピューティングの研究開発 脳型(リザバーコンピューティング)	日本IBM 東京大	波動物理現象を利用した物理リザバー・デバイスを開発し、従来の半導体ベースの機械学習デバイスの抱える問題を解決する。世界に先駆け、物理リザバーを集積化されたデバイスとして実現する。
2028年に性能100倍を達成する汎用性の高い高性能計算機アーキテクチャとシステムソフトウェアの技術の探索 次世代データセンタ	理研 東工大 東京大	ポストムーア時代を迎える2028年に現在のハイエンド汎用CPUの100倍の性能を多くのアプリで達成する画期的な帯域重視のFLOPS-to-BYTESアーキテクチャを提案し、それに対応したシステムソフトウェア・プログラミング・アルゴリズムの技術探索を行う。

3. 研究開発成果 (1) 研究開発目標の達成度及び研究開発成果の意義

研究開発項目② 目標達成に向けたマネジメント方針 (Step.1)

■ 長期的な研究開発実施にあたる基礎の構築

- ・研究開発体制・開発拠点の整備、中間目標などの精査、産業を見据えた戦略の構築を重視。
- ・探索型研究のテーマは、研究開発計画や開発体制の模索に加え、産業シーンでの有効性を明確化し、どの領域でどのような性能が必要とされているのか、バックキャスト的視点でも検討する。

■ 必要な要素の取り込み、柔軟な計画変更

- ・新たな課題や研究開発方法については、追加公募や加速を実施し、体制や計画の拡充を重視。
- ・国内外の情報やユーザーニーズ把握のため、シンポジウムや調査などの取り組みも後押し。
- ・ステージゲート審査においては、研究計画の見直しにも重きを置き、有効な研究開発として継続できるようマネジメントを実施する。

マネジメント・イベント	内容	効果・成果
サイトビジット	各テーマの 研究現場訪問 し、進捗確認・意見交換。	直近の進捗状況、課題の認識、出口イメージなど実際の研究開発者と活発に議論。
シンポジウム	国内外の有識者、研究者、ユーザー想定企業を集め、情報収集並びに早期の市場形成に向けたシンポジウムを開催	量子コンピューティング関連のシンポジウム開催。500名以上が参加。研究開発課題として、ニーズ発掘とアプリの形成を目指す上で有用な情報や繋がりを得ることが出来た。
技術推進委員会	技術の専門性から量子と新原理、2つの委員会を組織 。コロナ禍の影響を受け、2020年6月に延期して開催（WEB開催）。全テーマについて2019年度の成果並びに2020年度の計画、2020年度の加速希望についての議論、評価を実施。	専門性を担保した委員による議論で、各テーマの見直すべき事項、2020年度のステージゲート審査の実施に向けて整理すべき情報等を各事業者が把握。加速については、希望6件中5件を承認。
追加公募	量子コンピューティング、並びに新原理（ニューロモルフィック）コンピューティングにおいて、 新たな課題や事業化を見据えて不足する課題に関する追加公募を実施 。	公募の目的と合致した事業者を選定。 研究体制を強化 。本事業における関連要素技術の確立に向け、後押しを行う。
評価（事後、中間）	マネジメント評価、代表事業者から報告。	評価結果を基にプロジェクトの 内容、方向性を見直す 。
ステージゲート	研究開発内容の将来性、技術潮流とのマッチング、投資効率の観点から各テーマの研究開発成果を精査。	成果に対して、 研究計画や目標の見直しを重点 。探索型研究枠の ステージアップ を議論。

3. 研究開発成果 (1) 研究開発目標の達成度及び研究開発成果の意義

◆研究開発項目毎の目標と達成状況		②次世代コンピューティング技術の開発	
目標	成果	達成度	今後の課題、解決方針
<p><中間目標(2020年度)> 開発成果を組み込んだ要素技術に係る検証あるいはシミュレーション等により、エネルギー消費効率あるいは電力効率(単位電力あたり性能)が、事業開始時点における同等の技術と比較し、100倍以上となる見込みを示す。 ※探索型研究枠については、100倍以上となる可能性を示す。</p>	<p>2018年度 本研究開発項目の実施体制を構築すべく、情報提供依頼(RFI)の結果や政策的観点から以下の重点課題例を設定し、公募を実施した。結果、研究開発枠4テーマ、探索型研究枠5テーマを採択し、研究開発に着手した。 2019年度(一部コロナ禍による影響を鑑み、2020年度に実施。) 各事業者のサイトビジットおよび技術推進委員会を通じて進捗状況を確認した。 年度途中には、加速によるシンポジウムの開催を実施するなど、研究開発のみならず、関連技術の認知度向上やユーザーニーズ把握のための活動を実施。</p>	○	技術推進委員会での指摘事項、進捗状況を踏まえた事業への加速・減額を実施し、目標達成に向け、推進する。

達成度：◎ 大きく上回って達成、○ 達成、△ 達成見込み(中間) / 一部達成(事後)、× 未達

分類	開発課題(テーマ)	代表事業者
研究開発枠	実社会の事象をリアルタイム処理可能な次世代データ処理基盤技術の研究開発	日本電気株式会社
研究開発枠	超電導パラメロン素子を用いた量子アニーリング技術の研究開発	日本電気株式会社
研究開発枠	イジングマシン共通ソフトウェア基盤の研究開発	早稲田大学
研究開発枠	ディスアグリゲーション型次世代データセンタに適用する光電ハイブリッドスイッチを用いた高速低電力データ伝送システムの研究開発	光電子融合基盤技術研究所
探索型	未来共生社会にむけたニューロモルフィックダイナミクスのポテンシャルの解明	大阪大学
探索型	深層確率コンピューティング技術の研究開発	理化学研究所
探索型	イン揮発性メモリ分散Approximateコンピューティングの研究開発	中央大学(東京大学)
探索型	2028年に性能100倍を達成する汎用性の高い高性能計算機アーキテクチャとシステムソフトウェアの技術の探索	理化学研究所
探索型	物理ダイナミクスに基づく学習デバイスを備えた超高効率認知コンピューティングの研究開発	日本アイ・ビー・エム株式会社

3. 研究開発成果 (1) 研究開発目標の達成度及び研究開発成果の意義 ※研究開発枠

テーマ名	代表事業者	研究開発項目	2019~2020年度達成状況説明	
実社会の事象をリアルタイム処理可能な次世代データ処理基盤技術の研究開発	日本電気株式会社	OLTPおよびOLAPの高速化や統合などの基礎研究	○	予定通り目標を達成見込み。
		実行エンジンの開発などの実用化研究	○	予定通り目標を達成見込み。
		災害発生後対策への活用やe-Scienceへの適用などの実証研究	○	予定通り目標を達成見込み。
超電導パラメロン素子を用いた量子アニーリング技術の研究開発	日本電気株式会社	高コヒーレンス超電導パラメロンアニーリング素子の研究開発	○	予定通り目標を達成見込み。
		多ビット化を支える3次元実装技術の研究開発	○	予定通り目標を達成見込み。
		多体相互作用の高効率な表現方法の研究開発	○	予定通り目標を達成見込み。
		量子アニーリング機構の設計最適化技術に関する研究開発	○	予定通り目標を達成見込み。
		量子磁束回路を用いた量子ビット制御・読出し回路の研究開発	○	予定通り目標を達成見込み。
		量子ダイナミクスの高速並列シミュレーションによる量子アニーリングの性能評価の研究開発	○	予定通り目標を達成見込み。
イジングマシン共通ソフトウェア基盤の研究開発	早稲田大学	イジング計算共通ソフトウェア基盤の研究開発	○	予定通り目標を達成見込み。
		イジング計算アプリケーションの研究開発	○	予定通り目標を達成見込み。
ディスアグリゲーション型次世代データセンタに適用する光電ハイブリッドスイッチを用いた高速低電力データ伝送システムの研究開発	光電子融合基盤技術研究所	コントロールシステムと光スイッチシステムアーキテクチャの研究開発	◎	一部項目については、予定以上の目標達成、前倒しを実施。
		光ToRスイッチの研究開発	◎	一部項目については、予定以上の目標達成、前倒しを実施。
		光コアスイッチの研究開発	◎	一部項目については、予定以上の目標達成、前倒しを実施。
		国際標準化	○	予定通り目標を達成見込み。
		光電ハイブリッドスイッチシステム実証	○	予定通り目標を達成見込み。

3. 研究開発成果 (1) 研究開発目標の達成度及び研究開発成果の意義 ※探索型研究枠

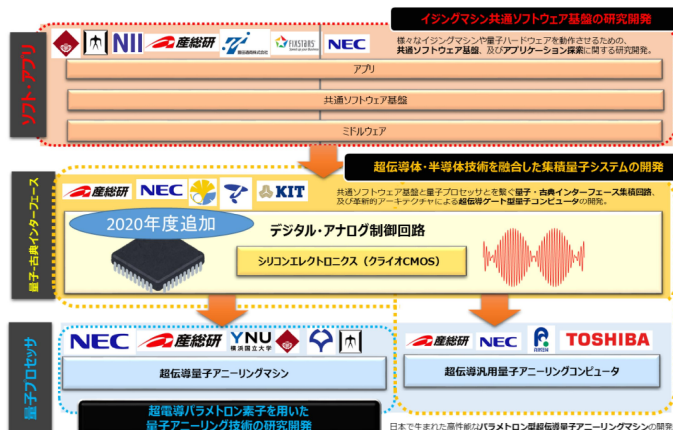
テーマ名	代表事業者	研究開発項目	2019～2020年度達成状況説明	
未来共生社会にむけたニューロモルフリックダイナミクスのポテンシャルの解明	大阪大学	身体と脳神経系のカップリングダイナミクスによる効率的かつ多様な行動生成	○	予定通り目標を達成見込み。
		ニューロモルフリックデバイスの探索	○	予定通り目標を達成見込み。
		ロボカップ@ホームによる脳型アーキテクチャの実証実験	○	予定通り目標を達成見込み。
深層確率コンピューティング技術の研究開発	理化学研究所	深層確率コンピューティングに適した計算アルゴリズムの研究開発	○	予定通り目標を達成見込み。
		確率プログラミング言語の研究開発	○	予定通り目標を達成見込み。
		深層確率コンピューティングに適したハードウェアシステムの開発	○	予定通り目標を達成見込み。
イン揮発性メモリ分散 Approximateコンピューティングの研究開発	中央大学(東京大学)	Approximateメモリ	◎	2019年度は前倒して進められた。
		Approximate分散処理	○	予定通り目標を達成見込み。
		Approximateアクセラレータ	○	予定通り目標を達成見込み。
		Approximateネットワークプログラミング	○	予定通り目標を達成見込み。
2028年に性能100倍を達成する汎用性の高い高性能計算機アーキテクチャとシステムソフトウェアの技術の探索	理化学研究所	2028年ポストムーア時代の100倍の性能向上を示す性能モデリング及びシミュレータ環境	○	予定通り目標を達成見込み。
		データフローによる特化型計算のための非ノイマン型計算機構とプログラミングモデル	○	予定通り目標を達成見込み。
		メモリアーキテクチャ革新に対するシステムソフトウェア技術	○	予定通り目標を達成見込み。
		新計算原理に基づく高性能プログラミングモデルと実装技術に関する研究	○	予定通り目標を達成見込み。
物理ダイナミクスに基づく学習デバイスを備えた超高効率認知コンピューティングの研究開発	日本アイ・ビー・エム株式会社	物理リザバーの数理・アルゴリズムの研究開発	○	予定通り目標を達成見込み。
		レーザーリザバー・デバイス設計技術の研究開発	○	予定通り目標を達成見込み。
		スピンリザバー・デバイス設計技術の研究開発	◎	一部項目については、予定以上の目標達成
		物理リザバーのコンポーネント化の研究開発	○	予定通り目標を達成見込み。
		物理リザバー・コンピューティングのミドルウェアの研究開発	○	予定通り目標を達成見込み。
		物理リザバー・コンピューティングのアプリケーションの研究開発	○	予定通り目標を達成見込み。

86

3. 研究開発成果 (2) 成果の最終目標の達成可能性

◆成果の最終目標の達成可能性 ②次世代コンピューティング技術の開発

現状(2020年度取組み)	最終目標(2027年度末)	達成見通し
<p>・クライオCMOSや、ニューロモルフリックチップを用いたコンピューティングの開発等、既存テーマにないものの、当該分野における技術の確立に向けて必要と考えられるテーマの追加公募を実施※</p> <p>・既存の研究開発テーマの進捗は、最終目標に向けて概ね順調に進捗。ステージゲート審査等をもって、2021年度以降への研究開発の継続可否に加え、研究開発体制の見直しや、事業規模の拡大、縮小等の包括的な事業の見直しを行い、最終目標の達成に向けてより一層邁進。</p>	<p><最終目標(2027年度)> 開発成果を組み込んだシステムレベルでの検証等を行い、エネルギー消費効率あるいは電力効率(単位電力あたり性能)が、事業開始時点における同等の技術と比較し、100倍以上となることを示す。</p>	<p>○ 計画通り進捗。引き続き、達成に向けてマネジメントを実施する。</p>



※追加したテーマと既存テーマの位置づけ
量子コンピューティング関連技術(左図)
既存の研究開発として実施していたハード、ソフトの開発の間を繋ぐと共に、新たな研究開発課題の解決に資する技術の開発を実施する。
また、テーマ関連性を促進し、当該技術におけるオールジャパン体制の構築を目指す。

ニューロモルフリックコンピューティング関連技術
既存テーマ(リザバーコンピューティング)よりも、早期の段階で実用化・事業化を見据えるVC-MRAMチップを用いたコンピューティング技術の開発を実施し、当該技術の社会実装を目指す。

87

3. 研究開発成果 (3) 成果の普及

◆成果の普及

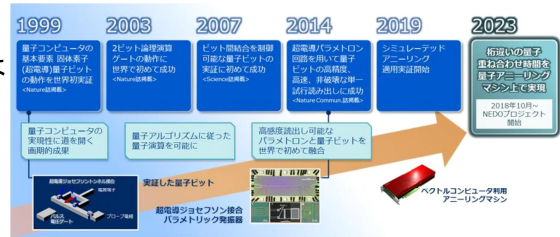
	2018年度	2019年度	2020年度
展示会、新聞掲載	44	28	3

件数
2020年11月1日現在

◆研究開発成果

「NEC、量子コンピューティング領域に本格参入
～スーパーコンピュータを活用したアニーリングマシンによる共創サービスを提供開始～」(2019年12月)

NECが量子コンピューティング推進室の立ち上げに加え、ビジネスプランや社内体制の構築、NEDO事業における研究開発状況・今後の予定等を発表。
(※スライドNo.93を合わせて参照)



◆取材対応

- ・NEDOが25億円投じ日の丸RDBを開発中、「国産にも勝機あり」と自信を見せる理由(2019年10月) 日経xTECH/日経コンピュータ
- ・25億円投じ日の丸DB開発へ 産学連合、技術革新に「勝算」(2019年11月) 日経xTECH/日経コンピュータ

ノーチラステクノロジーおよびNEDOが取材対応。開発中のRDB(リレーショナルデータベース)の概要、設計、そしてOSSとして公開する計画などについて特集された。



画像引用: <https://xtech.nikkei.com/atcl/nxt/mag/nc/18/020800017/110800291/> 88

3. 研究開発成果 (4) 知的財産権等の確保に向けた取組

◆知的財産権の確保に向けた取組

・標準化活動、オープンコミュニティの推進

テーマ名	実施者	成果概要
実社会の事象をリアルタイム処理可能な次世代データ処理基盤技術の研究開発	NEC、ノーチラステクノロジー、など	研究開発と並行して、国内外の市場獲得に向けた活動を実施。 IEEE/Computer 2019年2月 ユーザ会開催 2019年11月 PostgreSQL Conference Japan 2019 基調講演 2020年10月 ユーザ会オンライン開催
ディスアグリゲーション型次世代データセンタに適用する光電ハイブリッドスイッチを用いた高速低電力データ伝送システムの研究開発	PETRA	2020年3月 Facebookが主導のオープン化プロジェクトであるOCP(Open Compute project)にてシステム制御の技術提案実施

	2018年度	2019年度	2020年度
学会発表・講演	6	132	71
論文	0	26	23
特許	0	15	19
受賞	0	4	4

件数 2020年11月1日現在

◆本プロジェクトにおける「実用化・事業化」の考え方

「実用化」: 当該研究開発の成果が社会的利用が可能となる段階※まで技術的な水準を確立すること

「事業化」: 実用化段階を経た研究開発成果が、知的財産(IPコア等)、部品・モジュール・システム、サービス等の販売や提供により、企業活動(売り上げ等)に貢献すること

※社会的利用が可能となる段階の例: IoTセンサやAIチップ等の試作品提供、次世代データベース、量子コンピュータ等のクラウド環境での公開など

出口戦略

- ハードウェア開発にとどまらず、社会課題への適用を見据えた**ソフトウェア基盤開発も一体的に推進**する。
- 想定する社会実装先の探索やキラーアプリの創出に加え、事業期間中から**ユーザー想定企業等との連携を模索し**、スムーズに実用化等に移行できるよう実施する。
- ステージゲート審査により研究開発の成果を見極め、一部実用化が可能なテーマについては該当する成果をプロジェクトから切り出し、前倒しの事業化も検討する。

◆実用化・事業化に向けた戦略

Stage 1: 長期的な開発を行うにあたり、体制・開発拠点の整備、中間目標などの精査、戦略の構築。

関連課題	実用化・事業化に向けた戦略	想定事業化分野
アニーリングマシン コンピューティング 技術	<p>実用化、事業化に向けては、初期段階として、関連するハードウェア、ソフトウェア技術を連携しながら開発を推進可能なオールジャパンの研究開発体制に加え、研究設備等の資源を集中する研究開発拠点を構築する。</p> <p>加えて、キラーアプリの創出につながるユーザーニーズの発掘や、関連技術が更なる有効性を発揮する分野と指標を検証し、産業応用を見据えた戦略的展開を進める。既存コンピューティング技術に対する有効性とブランドを確立しつつ、技術的には先行するメーカー・や研究機関が提唱する関連技術を2030年度以降に超越することを見込む。</p>	<p>金融・創業 交通管理 等</p> <p>分析・解析 システムのさ らなる高度化。</p>
ディスアグリゲー ション型次世代 データセンタ技術	<p>次世代コンピューティング技術の中では早期の技術の確立を見込み、開発初期段階からユーザーとなる想定事業者との連携に加え、類似技術との差別化や、既存技術に対して有効性を証明できる指標を模索し、国内外の市場へのPRを実施する。また、必要に応じて性能指標等については国際標準を取得する。</p>	<p>次世代ネット ワークおよび データセンタ における劇的 な高度化。</p>
次世代データ処理 基盤技術(次世代 データベース)		

※探索型研究枠実施テーマ、課題について:(ニューロモルフィック)

産業応用の有効性を含めて、要素技術の確立を目指すと共に、事業化を担う民間企業との連携、共同での研究開発体制を模索すると共に、**早期のステージアップを実施する**。

4. 成果の実用化・事業化に向けた取組及び見通し (2)成果の実用化・事業化に向けた具体的取組

◆本プロジェクトにおける「実用化・事業化」を見据えた活動（量子コンピューティングの事例）

- ・研究開発項目②次世代コンピューティング技術の開発は、既存の延長にない新原理の技術開発として、最長10年間、要素技術の確立から研究開発を実施。
- ・開発する技術の中には、学術的には理論が証明されているものの、産業応用については有効性や、アプリそのものが存在しない技術もある。（量子コンピュータ、脳型コンピュータ等）
- ・研究開発と並行し、ニーズの発掘、将来的なユーザーの取り込みを狙い、加速予算によるシンポジウムの開催等積極的なPRを実施。

例：超電導パラメロン素子を用いた量子アニーリング技術の研究開発
イジングマシン共通ソフトウェア基盤の研究開発



国内外の研究者、ユーザー想定企業を招き、シンポジウムを開催（2019年5月）

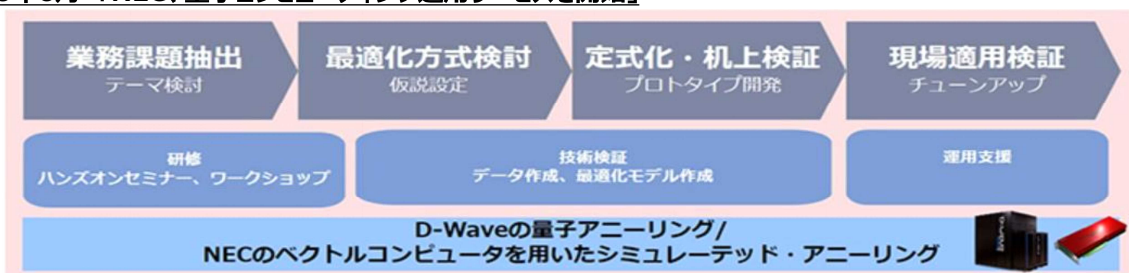


量子アニーリングコンピュータのモックアップを作成。展示会等で活用
今後は、実機によるクラウド上での試行環境公開等も見据える。

4. 成果の実用化・事業化に向けた取組及び見通し (3)成果の実用化・事業化の見通し

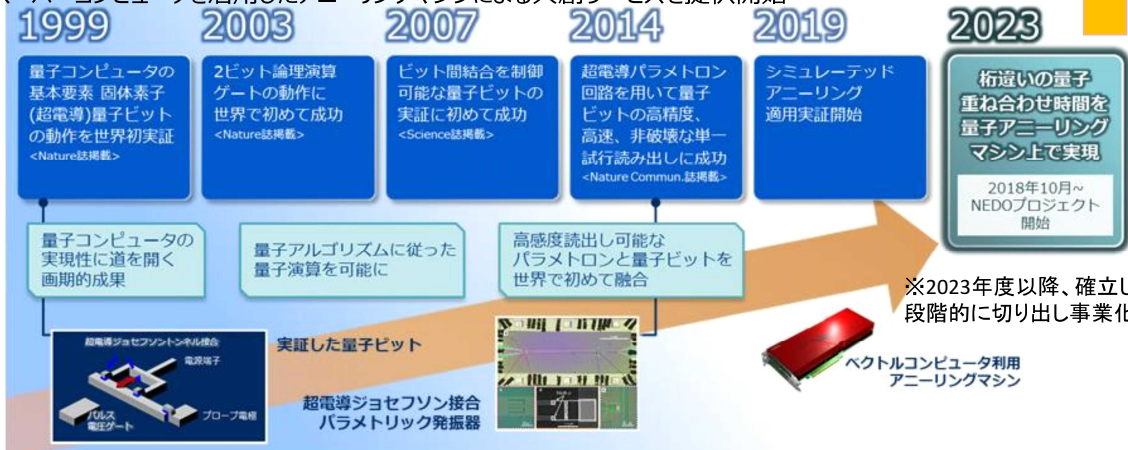
◆本プロジェクトにおける「実用化・事業化」を見据えた活動（量子コンピューティングの事例）

2020年6月「NEC、量子コンピューティング適用サービスを開始」



2019年12月 NEC、量子コンピューティング領域に本格参入

～スーパーコンピュータを活用したアニーリングマシンによる共創サービスを提供開始～



※2023年度以降、確立した成果を段階的に切り出し事業化を見据える

Appendix-1

「事業の目的の妥当性」および「研究開発目標の妥当性」 補足資料

- NEDOにおける技術戦略の有無
- データ増加と電力量の関係

1. 事業の位置付け・必要性 (1) 事業の目的の妥当性 補足：NEDOにおける技術戦略の有無

◆技術戦略上の位置付け（未来の人工知能を支えるハードウェア研究の加速）

多様化の時代に突入した人工知能を支えるハードウェア、関連ソフトウェアの開発

- 人工知能の社会への実装が進むに従い、自動運転車、製造や輸送の自律的な最適制御、人と協働等、人工知能の適用の多様化に対応したハードウェアの進展が不可欠になる。
- 現在のディープラーニングに加え、次世代コンピュータ研究開発が進行。
 - ・言語理解や意味理解等を行う脳型コンピュータ ⇒人工知能によるデータ処理のアクセラレータへ
 - ・スーパーコンピュータを凌駕する量子コンピュータ ⇒特定用途向けや汎用向け等、人工知能を支えるハードウェアが多様化の時代を迎える。

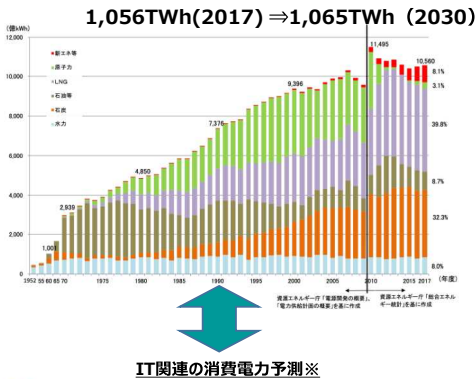
- 人工知能を支える多様なハードウェア開発は、次世代コンピュータを始め、各企業での取組みに**限界**があり、**国レベルの支援と戦略が必要**である。

- またハードのみならず、**ソフトウェアの視点による開発も重要**。コンピューティングとして高効率かつ高速処理を可能とする技術が**ゲームチェンジの鍵**。



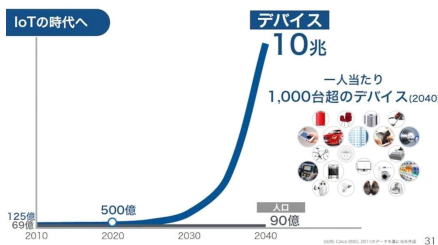
【語句定義】
ノイマン型コンピュータ：メモリにデータとプログラムを内蔵、メモリの命令を逐次取り出しプロセッサで実行
非ノイマン型コンピュータ：ノイマン型以外
AIコンピュータ：機械学習、組合せ最適化等の演算処理を行う（プロセッサ、メモリ等の集合体）
脳型コンピュータ（ニューロモフィック）：ニューロン・シナプスのような脳機能を模倣するデジタル素子やアナログ素子で演算処理を行う
量子コンピュータ（ゲート型）：ロジック演算を行う
量子コンピュータ（イジングマシン型）：アニーリング等、組合せ最適化問題に特化した演算を行う

◆ 国内外の研究開発の動向と比較 (データ処理に関わる低消費電力)



IT関連消費電力予測	2016年	2030年	2050年
IPトラフィック (ZB/年)	4.7	170	20,200
消費電力 (国内: TWh/年)	41	1,480	176,200
消費電力 (世界: TWh/年)	1,170	42,300	5,030,000

※: JST 情報化社会の進展がエネルギー消費に与える影響 (Vol.1)
-IT機器の消費電力の現状と将来予測- 2019.3



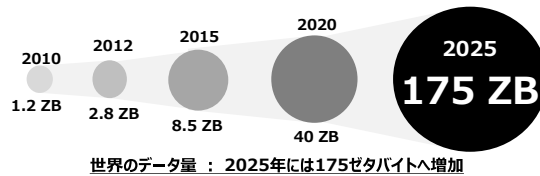
SDGs実現に向け今後、発電量の大きな変動は見込まれていない(約1,000TWh)

- 一方、IoT社会到来、AI技術の台頭等からデータ量増大に伴いIPトラフィックが増大し、データ処理に関わる消費電力は、2030年に1,480TWhが見込まれている。
- データ処理消費電力 > 発電量

データ処理に関わる低消費電力化は必須

IoTデバイスの増大⇒エッジデータ処理の増大

- 2025年には世界で生成されるデータの約30%がリアルタイムデータになる (IDC)
- 消費者はデータをすぐに出先で、パーソナライズされた形で求めるようになる。



Appendix-2

「研究開発項目③ 高度なIoT社会を実現する横断的技術開発」における各研究開発テーマ (革新的基盤技術の開発採択16テーマ) の概要



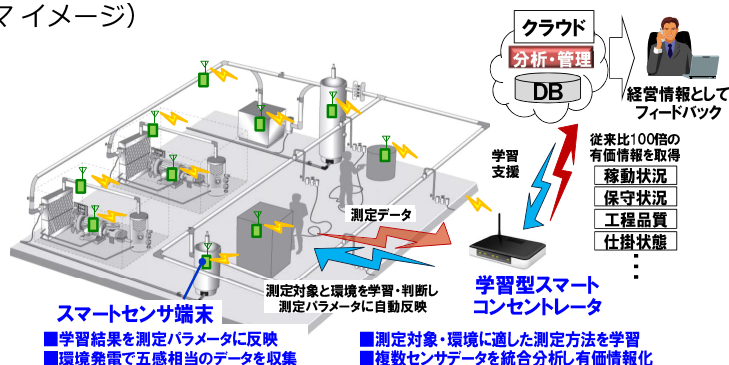
①【2016年度採択・収集】 超高効率データ抽出機能を有する学習型スマートセンシングシステムの研究開発

無給電／無線でデータ収集可能な学習型スマートセンシングシステムの開発

実施者名(*)	技術研究組合NMEMS技術研究機構 (●東京都市大学、■株式会社日立製作所、■東京電力ホールディングス株式会社、■ローム株式会社、■富士電機株式会社、■オムロン株式会社、■株式会社鷺宮製作所)
概要	・工場等の設備の稼働状況・生産品質の把握を目的として、無給電／無線で取得できる有価情報量を100倍にする学習型スマートセンシングシステムを開発する。
ポイント	<ul style="list-style-type: none"> ・「スマートセンサモジュール（ガス、赤外線アレー）の開発」、「連続的に高出力可能な自立電源の開発」、及び「スマートセンシングフロントエンド回路の開発」により、コンセントレータから動的センシング制御可能な無給電センサ端末（スマートセンサ端末）を実現する。 ・それらのスマートセンサ端末から超高効率に必要なデータだけの収集を行える「学習型スマートコンセントレータの開発」との連携により、従来の環境発電で収集可能な有価情報量を100倍化することを可能とする学習型スマートセンシングシステムの基盤開発と実証を行う。

*有価情報量：センサで取得した生データから不要なデータを排除した情報

(テーマイメージ)



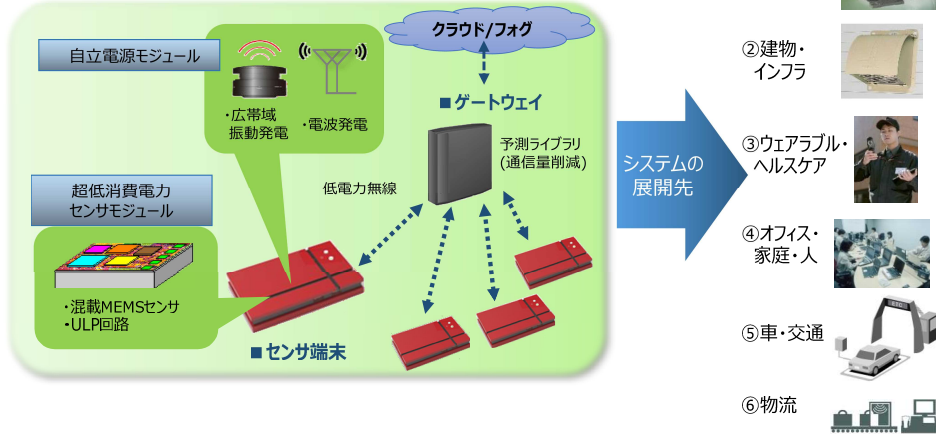
(*) 実施者構成はステージゲート審査会時点。●:研究開発責任者所属機関 / ■:実用化・事業化責任者所属機関

②【2016年度採択・収集】超低消費電力データ収集システムの研究開発

センサモジュールの小型化・自立電源化、及びそのモジュールを活用した超低消費電力なデータ収集システム

実施者名 ^(*)	●株式会社東芝、アルプス電気株式会社、テセラ・テクノロジー株式会社、株式会社デバイス&システム・プラットフォーム開発センター、神戸大学、東京工業大学、東京大学生産技術研究所、東京大学VDEC、産業技術総合研究所
概要	組織や分野を超えてデータが活用され、新たな価値が生み出されるような社会の実現に不可欠である「超低消費電力なデータ収集システム」を開発する。具体的には、センサモジュールの消費電力1/10化を進めるとともに、自立電源モジュールの発電効率10倍化を進め、これらを組み合わせることで、センサ端末の自立電源化、及びその端末を活用した超低消費電力なデータ収集システムを実現し、IoT時代に必要な多種多様なアプリケーションへの展開を図っていく。
ポイント	センサモジュール消費電力<10μW、自立電源モジュール発電量>100μWを両立した電池交換不要なデータ収集システムを開発し、多種多様な市場に展開していく。

(テーマイメージ)



(*) 実施者構成はステージゲート審査会時点。●:研究開発責任者所属機関 / ■:実用化・事業化責任者所属機関

③【2016年度採択・収集】インテリジェントIoTプラットフォームの研究開発

人とモノのネットワーク/情報を融合させたサービスのためのプラットフォームシステム

実施者名 ^(*)	●東京工業大学、富士ゼロックス株式会社、■株式会社竹中工務店
概要	IoTの発展により、モノばかりではなく人の情報まで従来以上に収集できるようになり、人とモノのネットワーク/情報を融合させた極めて高度なサービスの実現が可能となる。本プロジェクトでは、①センサネットワークの低消費電力かつ簡便な構築を可能とするハードウェアプラットフォーム、②様々な処理プロセスに分散対応できる分散制御OSプラットフォーム、③人の感覚を理解するコミュニケーションプラットフォーム等の最先端技術を開発すると共に、それらを組み合わせた実証を行うことにより、IoT時代における人とモノの情報が融合した新サービス創出のための総合基盤技術を研究開発する。
ポイント	建設現場における人的ミスや次工程手順・進捗度を分散制御OS下でトラブルの未然防止を図る。また、将来のオフィス・サービスとして人の共創性・効率を上げるセンサ(感性)装置を設置した環境を創出する。

(テーマイメージ)



(*) 実施者構成はステージゲート審査会時点。●:研究開発責任者所属機関 / ■:実用化・事業化責任者所属機関

④【2016年度採択・収集】トリリオンノード・エンジンの研究開発

企業だけでなく、メーカーも対象にした、低消費電力、小型、システム変更が容易な IoTプラットフォーム技術の研究開発

実施者名(*)	●東京大学生産技術研究所、東芝デバイス&ストレージ株式会社、 ■株式会社SUSUBOX、ディー・クルー・テクノロジーズ株式会社、 株式会社図研
概要	2020年には500億個、2030年代には1兆個のIoT端末がインターネットに接続されると予測されている。また、従来の企業の枠に捉われない個人々人のアイデアを活かせる社会が期待される。しかし、このような社会のためには消費電力および体積の面で大幅に改善が必要であると同時に、メーカー（ものづくりをする個人）が使いやすい環境の整備が求められる。本プロジェクトでは、2015年比、①消費電力1/10、②体積1/100、③様々な用途向けにシステムの構成要素を工場外で簡便に変更できるプラットフォーム技術の研究開発をする。これにより、メーカーの参画を得つつ、IoT市場を発展・拡大させるとともに、企業がIoT市場にアクセスする際の短工期化、容易化を達成し、産業力強化を図る。
ポイント	企業だけでなく、メーカーも対象にした、低消費電力、小型、システム変更が容易な IoTプラットフォーム技術の研究開発をする。秋葉原にラボを構築し、メーカーに向けての普及を行う。また、容易に使いこなせる設計環境の研究開発をする。

(テーマイメージ)

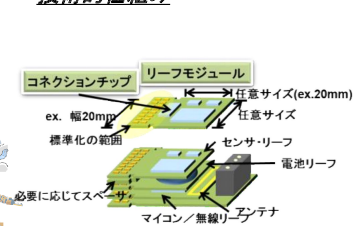
トリリオンノード・エンジンの
ラボ公開



トリリオンノード・エンジンの
目的と効用



トリリオンノード・エンジンの
技術的仕組み



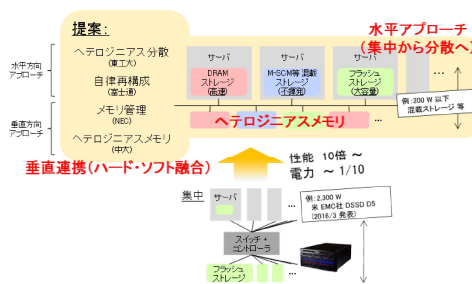
(*) 実施者構成はステージゲート審査会時点。●:研究開発責任者所属機関 / ■:実用化・事業化責任者所属機関

⑤【2016年度採択・蓄積】高速ストレージクラスメモリを用いた極低消費電力ヘテロジニアス分散ストレージサーバシステム

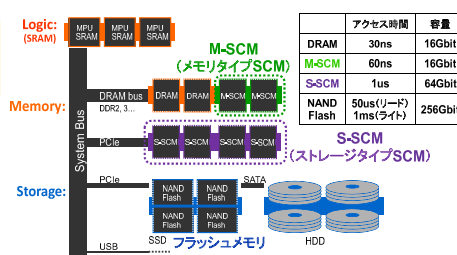
高速メモリ、大容量ストレージクラスメモリ、フラッシュメモリで構成する、低消費電力・高性能分散メモリシステム

実施者名(*)	●中央大学、東京工業大学、■富士通株式会社、日本電気株式会社
概要	<ul style="list-style-type: none"> 高速で大容量な異種メモリで構成される、高速かつ低電力な分散ストレージサーバシステムと、各種メモリの利点を引き出すヘテロジニアス（非均質）分散データベースを開発する。 高速な不揮発性メモリに最適なソフトウェア（メモリ管理ミドルウェア、メモリコントローラ等）を開発し、ハード・ソフトの垂直連携を行う。 また、多種多様なIoTのサービスに対応するため、データセンターにおいてアプリケーションに応じてオンデマンドで最適なハード・ソフト構成を構築するICTシステムを開発することにより、10倍以上の性能向上と1/10以下の電力削減を実現する。
ポイント	<ul style="list-style-type: none"> 大容量不揮発性メモリから高性能なメモリまで、異種メモリの特徴を最大限に引き出すメモリ利用方法を動的に決定する。データの配置方法とアクセス頻度を最小化する技術がポイント。

(テーマイメージ)



半導体メモリシステム

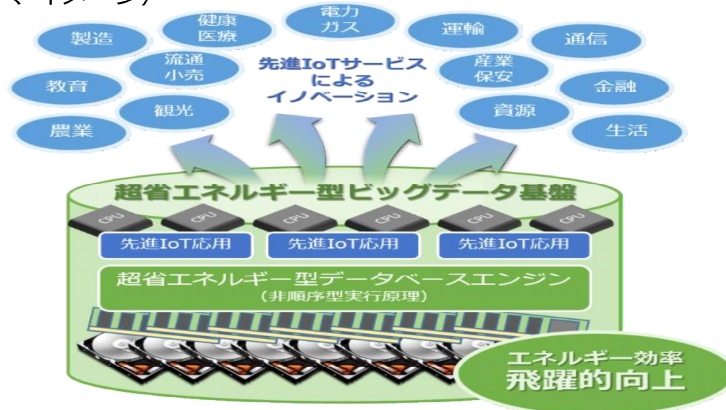


(*) 実施者構成はステージゲート審査会時点。●:研究開発責任者所属機関 / ■:実用化・事業化責任者所属機関

独自のソフトウェア技術によるビッグデータ基盤の 飛躍的な省エネルギー化

実施者名(*)	● 東京大学 ■ 株式会社日立製作所
概要	・本プロジェクトでは、東京大学発の独自ソフトウェア実行原理に基づき、従来技術と比べて飛躍的に高いエネルギー効率性を有する「超省エネルギー型ビッグデータ基盤」を実現する。また、ビッグデータの本格的な利活用により可能となる先進的なIoTサービスを用いた実証実験を行い、「超省エネルギー型ビッグデータ基盤」の有効性を明らかにする。
ポイント	<ul style="list-style-type: none"> ・超省エネルギー型非順序型データベースエンジンの開発 ・超省エネルギー指向型高度制御機構の開発 ・超精密性能・消費電力モデルの構築測定・制御機構の開発 ・超省エネルギー型ビッグデータ基盤を用いた先進的IoT応用の開拓と実証 ・本成果技術の優位性を定量的に示すためのソフトウェアによる省エネ化効果指標の標準化推進

(テーマイメージ)

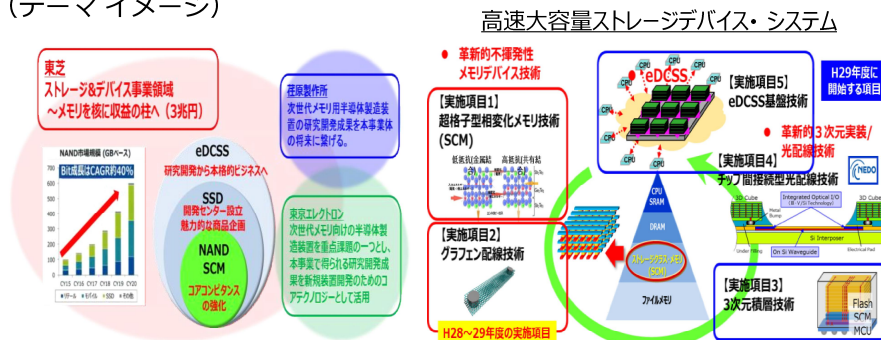


(*) 実施者構成はステージゲート審査会時点。●:研究開発責任者所属機関 / ■:実用化・事業化責任者所属機関

膨大な情報を蓄積し効率的に処理する革新的横断技術を開発

実施者名(*)	● ■ 株式会社東芝
概要	・本プロジェクトでは、モバイル機器やセンサー等から収集した膨大な情報を蓄積し効率的に処理するために、データの移動を最小限にしデータの近傍で演算を行えるエッジコンピューティングに適した、高速で大容量のストレージデバイス及びシステムに関する基盤技術を開発する。
ポイント	<ul style="list-style-type: none"> ・革新的不揮発性メモリデバイス技術 ・革新的3次元実装/光配線技術 ・eDCSSシステム化技術

(テーマイメージ)

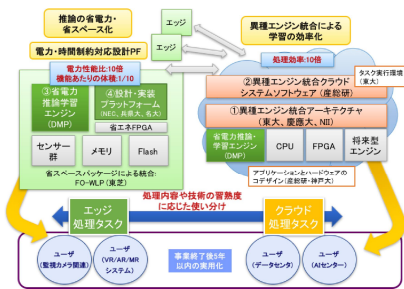


(*) 実施者構成はステージゲート審査会時点。●:研究開発責任者所属機関 / ■:実用化・事業化責任者所属機関

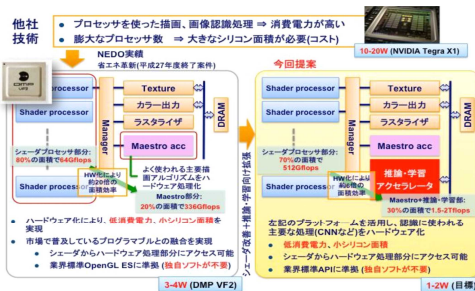
エッジ側とクラウド側双方で10倍の電力性能比を実現する GPUベースの人工知能プラットフォーム

実施者名(*)	産業技術総合研究所、●東京大学、 ■株式会社デジタルメディアプロフェッショナル、日本電気株式会社
概要	<ul style="list-style-type: none"> 人工知能アルゴリズムをハードウェアで実装した省電力GPU推論学習エンジンと、設計・実装プラットフォームを開発し、エッジ側の電力性能比10倍を実現。 クラウド側では、最適なAIエンジンを組み合わせることにより学習処理を効率化する異種エンジン統合アーキテクチャ及びシステムソフトウェアを開発。
ポイント	<ul style="list-style-type: none"> 省電力GPUをベースに、人工知能処理に必要な機能に特化したハードウェアの研究開発を行い(推論学習エンジン)、また、これらエンジンを小工リアでのパッケージ化する技術を開発し、省電力と高性能化を実現(電力性能比10倍)。 クラウド側にも適用し、従来からの様々な種類のAIエンジンとを統合して電力性能比を最大化するアーキテクチャを実現

(テーマイメージ)



省電力GPU推論学習AIエンジン



(*) 実施者構成はステージゲート審査会時点。●:研究開発責任者所属機関 / ■:実用化・事業化責任者所属機関

インメモリー・コンピューティングで推論を実行 「アナログ型抵抗変化素子」が実現する非GPU型推論システム

実施者名(*)	●産業技術総合研究所、北海道大学、早稲田大学、慶應義塾大学、 ■パナソニックセミコンダクターソリューションズ株式会社
概要	<ul style="list-style-type: none"> 脳型の情報処理を行う新しいコンピュータを、「アナログ型抵抗変化素子」を集積することによって実現することで、消費エネルギーを1/1000に低減するための技術開発。 例えば、エッジ側での画像や映像を短時間で解析したり、個人向けサービスをリアルタイムで提供したりすることが可能になり、従来型コンピュータの不得意な処理を補完する。
ポイント	<ul style="list-style-type: none"> 従来のGPUをベースとした方法ではなく、ディープラーニング動作(演算)とその(演算)結果を保持することの両方をアナログ型抵抗変化素子で行う点がポイント。 さらに本事業では、脳型推論ハードウェアが活用される多様な機会を創出するために、共通ハードウェアボードやクラウドベースの情報共有システム等からなるソフト・ハード一体化「ユーザードリブン型価値創造プラットフォーム」を構築・公開し、ユーザとの協創により市場を創出する。

(テーマイメージ)

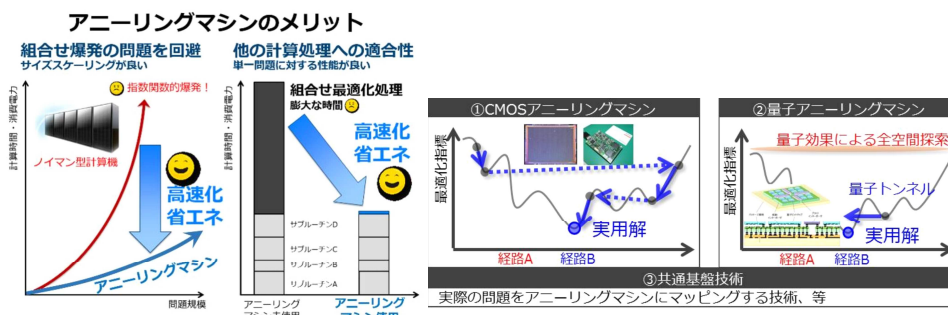


(*) 実施者構成はステージゲート審査会時点。●:研究開発責任者所属機関 / ■:実用化・事業化責任者所属機関

IoT社会のシステム最適制御に向けた大規模アニーリングマシンを開発

実施者名(*)	● ■ 株式会社日立製作所、産業技術総合研究所、理化学研究所、情報・システム研究機構、早稲田大学
概要	組合せ最適化問題（物流の経路最適化、ロボットの動作最適制御等）を効率よく解けるアニーリングマシンを開発し、IoTでのシステム最適制御を実現する。
ポイント	<ul style="list-style-type: none"> IoTでのシステムを最適制御するには組合せ最適化問題と呼ばれる問題を解く必要があるが、システムの規模が大きくなると、従来型の計算機では組合せ数が爆発的に増加し答えを求めることが難しくなる。それに対処するため、アニーリングマシンと呼ばれる計算機が提案されている。 本プロジェクトでは、CMOSおよび量子アニーリングマシンと呼ばれる2種類のアニーリングマシンについて、実用化に必要な大規模化・高性能化技術の開発に取り組む。さらに、アニーリングマシンを使用する際に必須となる問題マッピング等の基盤技術の開発を行う。

(テーマイメージ)

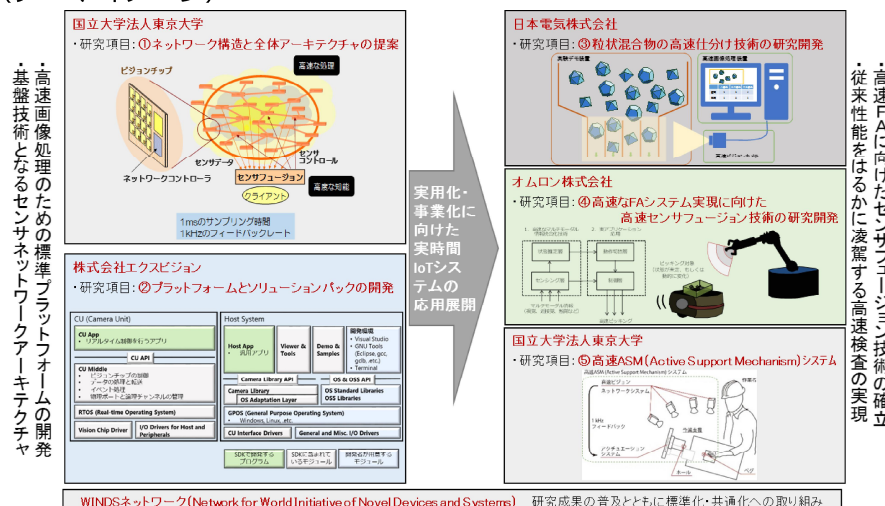


(*) 実施者構成はステージゲート審査会時点。●:研究開発責任者所属機関 / ■:実用化・事業化責任者所属機関

リアルタイム性実現のため処理・制御速度30倍

実施者名(*)	● ■ 東京大学、日本電気株式会社、オムロン株式会社、株式会社エクスビジョン
概要	カメラのネットワーク化と高速フィードバックを実現し、リアルタイム・高速なIoT解析システムを実現します。工場等における検査・FAを対象にその有効性を検証し、事業展開を目指します。
ポイント	<ul style="list-style-type: none"> カメラのネットワーク化（同期）と高速フィードバックを可能にするシステムアーキテクチャ 高速ビジョンのためのプラットフォーム開発 高速検査、センサフュージョン、作業支援の応用技術開発

(テーマイメージ)



(*) 実施者構成はステージゲート審査会時点。●:研究開発責任者所属機関 / ■:実用化・事業化責任者所属機関

単位電力毎の性能で従来比10倍

実施者名 ^(*)	●東京大学、埼玉大学、イーソル株式会社、■株式会社アクセル
概要	・IoTの各応用分野に特化した特定処理をハードウェアアクセラレータで実装するヘテロジニアスSoCアーキテクチャを創出、およびスケーラブルな分散ソフトウェア基盤とデータ解析フレームワーク
ポイント	・ドメインに特化したランタイムで構成されるドメイン特化フレームワーク ・IoTアプリケーションを分散して処理できるヘテロジニアスな環境 ・ヘテロジニアスコンピューティングに対して、システムや処理の特性に合わせてスケーラブルに扱えるリアルタイムOS

(テーマイメージ)

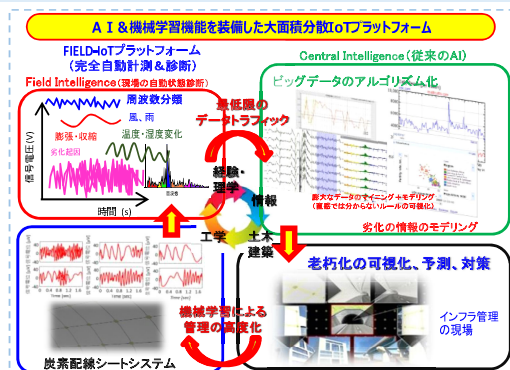


(*) 実施者構成はステージゲート審査会時点。●:研究開発責任者所属機関 / ■:実用化・事業化責任者所属機関

IoT社会の実現に向けた世界初のAI分散型エッジノードシステム

実施者名 ^(*)	●大阪大学、東京大学、■東京電力ホールディングス株式会社、東電設計株式会社、東洋インキSCホールディングス株式会社、ダイキン工業株式会社、昭和電工株式会社、双葉電子工業株式会社
概要	・状態診断知能“Field Intelligence”を搭載した大面積分散IoT (FIELD-IoT) プラットフォーム基盤技術を開発し、これによる次世代構造物ヘルスケア技術を確立する。
ポイント	・長期信頼性と安定性を兼ね備えた炭素技術をベースに「低消費・高効率電力配分システム」、「安定通信システム」、「面計測システム」を統合した、シート型の大面積IoTプラットフォーム開発 ・Field (エッジノード) において「信号/ノイズ分離」や「状態判断・診断知能」等の人工知能を搭載し、多ノイズ環境下においても、データトラフィックを最小限に抑え、電力消費を抑制 ・状態計測、状態認知、信号伝送を超間欠動作にて実施 ・上記の技術開発により省電力化 (1/10以下)、情報処理の高効率化 (10倍) を実現

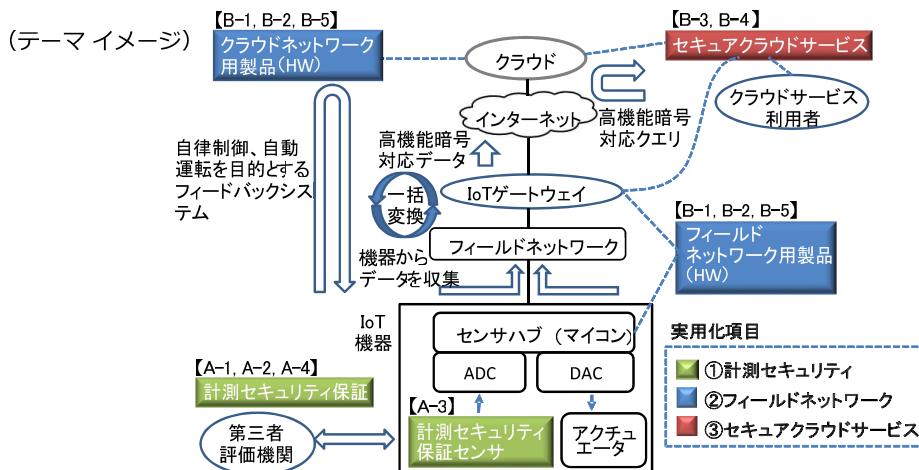
(テーマイメージ)



(*) 実施者構成はステージゲート審査会時点。●:研究開発責任者所属機関 / ■:実用化・事業化責任者所属機関

センサーからクラウドまでを守るセキュリティ技術の開発

実施者名(*)	●横浜国立大学、三菱電機株式会社、東京大学、東北大学、神戸大学、産業技術総合研究所、■電子商取引安全技術研究組合
概要	・IoTにおける計測、通信、蓄積、処理、制御、利用、保守管理の全ての側面でセキュリティを適切かつフレキシブルに実現でき、エネルギー効率に優れた技術を研究開発する。
ポイント	・オープンなIoTの実現を支えるためにセキュリティ面で重点的に解決すべき課題である、 - センサ等による情報取得段階での「計測セキュリティ」の充実 - クラウドにおけるプライバシーを考慮した超高速秘匿検索やフィールドネットワーク管理に適する「高機能暗号」を実現する省電力なハードウェアを開発する。



(*) 実施者構成はステージゲート審査会時点。●:研究開発責任者所属機関 / ■:実用化・事業化責任者所属機関

LSIチップの指紋 (PUF) を使った低コスト/高セキュリティ IoTハードウェア技術

実施者名(*)	●立命館大学、産業技術総合研究所、 ■パナソニックセミコンダクターソリューションズ株式会社、 ■ブリルニクスジャパン株式会社
概要	・「IoT末端系のハードウェアセキュリティ」に対して、機器の真正性・データの完全性や機密性を「物理複製不可能デバイスPUF」を用いることで飛躍的に向上させるための基盤技術開発を行う。
ポイント	・チップ製造時のセキュリティに対応できるリコンフィグ型PUF開発 ・IoT末端のセンサのセキュリティを実現するカラーイメージセンサPUF開発 ・物流等において低コストセキュリティを実現する印刷フレキシブルPUF開発 ・PUF品質 & セキュリティを担保する標準評価基盤技術の構築及び国際標準化

(テーマイメージ)



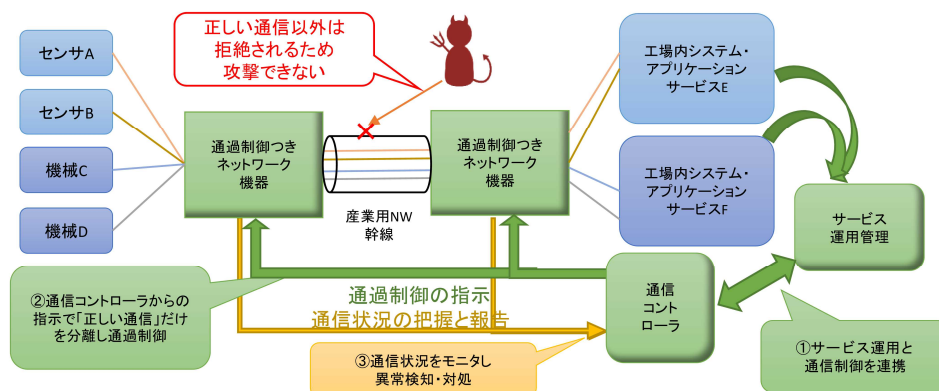
(*) 実施者構成はステージゲート審査会時点。●:研究開発責任者所属機関 / ■:実用化・事業化責任者所属機関

次世代の産業用ネットワークを安全・高効率に

実施者名 ^(*)	● ■ アラクサラネットワークス株式会社、産業技術総合研究所、株式会社IIJイノベーションインスティテュート
概要	・ サービス、制御ソフトウェア、ネットワーク機器を連携させることによりセキュリティ統合システムを実現します。これにより、コンピュータウィルスの蔓延等を防止する効果的な手段を提供します。
ポイント	・ セキュリティ対策を個別に実施できないセンサや機械を「正しい通信」だけを許可する通過制御により守り、リスクをさげる ・ サイバー攻撃を抑止するとともに、モニタリングにより感染や故障など機器異常も検知する

(テーマイメージ)

- ① サービス-ネットワーク連携による正しい通信の把握
- ② ネットワークでのサービス毎の通信の分離・管理
- ③ モニタリングによる異常検知と自動的な対処の組み合わせでセキュリティ統合システムを実現



(*) 実施者構成はステージゲート審査会時点。●:研究開発責任者所属機関 / ■:実用化・事業化責任者所属機関

Appendix-3

「研究開発項目③ 高度なIoT社会を実現する横断的技術開発」における各研究開発テーマの成果と意義（現時点の各テーマ成果状況一覧）

◆各個別テーマの成果と意義（現時点の各テーマ成果状況一覧）

分野	研究開発テーマ名と事業形態 ^(*) <small>(*)ステージゲート後、一部テーマは委託事業から助成事業に移行</small>	現時点の成果概要		目標達成度
		意義		
収集	(1) 超高効率データ抽出機能を有する学習型スマートセンシングシステムの研究開発 [委託事業]	環境発電モジュールとコンセントレータ制御でパラメータを自動調整するスマートセンサにより、無給電でセンシングと双方向通信を可能とした手のひらサイズ程度の無線センサ端末、および収集データ抽出の最適方法を自動決定するコンセントレータからなるセンシングシステムを開発。環境発電による工場設備（ロボットアーム等）の稼働状態モニタリング実証、センシングシステム構築のノウハウ実証を行い良好な結果を取得。（引き続き、実証フィールド追加等による改良を実施中）		○
	工場のデジタル化に関し、既設ラインやレガシー設備へのセンサ設置とネットワーク接続を可能とし、IoTによる生産性向上に寄与。			
収集	(2) 超低消費電力データ収集システムの研究開発 [助成事業]	エネルギーハーベスティングによる自立電源で動作する「スマートIoT」の要素技術確立と事業提案という目標に対し、消費電力1/10のIoT特化型統合SoC、慣性センサ、バックスキップ通信モジュール、バイタルセンサ、発電効率10倍の自立電源モジュールの開発を達成。（各要素技術の統合として、モーター、ファン、ポンプ、コンプレッサなど工場内に無数に存在する回転機器の状態監視システムを構築中であり、完成次第、実証試験を開始する予定）		○
	回転機器などの工場設備の監視、保全をリモート化するニーズは、熟練作業者の低減を原因として年々高まっており、この社会構造変革対応に貢献。			

116

◆各個別テーマの成果と意義（現時点の各テーマ成果状況一覧）

分野	研究開発テーマ名と事業形態 ^(*) <small>(*)ステージゲート後、一部テーマは委託事業から助成事業に移行</small>	現時点の成果概要		目標達成度
		意義		
収集 (続き)	(3) トリオンノード・エンジンの研究開発 [助成事業]	超小型、低消費電力、簡単組立、オープンソース・ハード/ソフトの特長を持ったIoT/CPSシステムのプラットフォームとしてリーフ22種類 ^(*) の開発を完了し公開中。リーフの販売会社も設立し、プラットフォームの普及加速を行っている。（更に、プラットフォームの地位を確立するため、企業用途向けの高機能マイコンやセキュリティの機能強化等の研究開発中） ^(*) https://trillion-node.org/		○
リーフおよびオープンイノベーション・プラットフォームを誰もが開発・営業・教育など様々な利用シーンで活用できるツールとして提供することによって、IoT市場を発展・拡大させるとともに、企業がIoT市場にアクセスする際の短工期化・容易化を実現し、産業力強化に貢献。				

117

◆各個別テーマの成果と意義（現時点の各テーマ成果状況一覧）

分野	研究開発テーマ名と事業形態(*1) (*1)ステージゲート後、一部テーマは 委託事業から助成事業に移行	現時点の成果概要		
		意義		
蓄積	(4) 高速ストレージクラスメモリを用いた極低消費電力ヘテロジニアス分散ストレージサーバシステムの研究開発 [委託事業]	IoT/IT基盤技術となる蓄積(メモリ)分野での優位性確保のため、他国では未実現であるメモリ(ハードウェア)からドライバ、ソフトウェアまでの全階層を垂直連携した最適化ストレージを研究開発。現時点では、M-SCM、S-SCM、MLC/TLC NAND型フラッシュメモリを混載、各種メモリの利点を引き出し、弱点を隠すヘテロジニアスストレージシステムの設計手法を確立し、メモリ、インターコネク、OSの個別要素技術で性能10倍、電力1/10を確認、さらに全体システムでも性能10倍、電力1/10と出来ることを確認した。(現在、全体最適化を図ったプロトタイプを開発中) インダストリ4.0や自動運転車などのリアルタイム応答が必要な多様なアプリケーションに伴う、爆発的データ量増大への現DRAM技術の容量限界、データセンタの消費電力増加の解消に寄与。		○
	(5) 先進IoTサービスを実現する革新的超省エネルギー型ビッグデータ基盤の研究開発 [助成事業]	ビッグデータ分析において、「いかに高速に分析を行うか」から「いかにエネルギー消費を抑えて分析を行うか」という競争軸への転換を先取りし、実証レベルで200倍の高効率化という目標にチャレンジ。事前評価実験を行い、従来型のデータベースエンジンに比して、記憶デバイスとして磁気ディスクドライブを用いた場合には138倍以上、フラッシュメモリを用いた場合には55倍以上のエネルギー高効率化を確認。(更なる高効率化を研究開発中) 世界的な問題事項として認識されているデータセンタのエネルギー消費増大懸念の解消に寄与。また、従来の手法ではハードウェアの効率化により消費電力を下げるが、本テーマの手法はIT機器のソフトウェア処理そのものを極限まで高効率化するもの。		○

118

◆各個別テーマの成果と意義（現時点の各テーマ成果状況一覧）

分野	研究開発テーマ名と事業形態(*1) (*1)ステージゲート後、一部テーマは 委託事業から助成事業に移行	現時点の成果概要		
		意義		
解析	(6) 省電力AIエンジンによる人工知能プラットフォーム [助成事業]	①競合GPUに比べて電力性能比（同一プロセスノード比較）で21倍以上のAIエンジン開発を達成し、成果物を広くIPライセンス及びFPGAモジュールとして提供を行った。 ②低電力FPGAベースのAIエンジンの設計時間効率を従来の100倍に引き上げる設計プラットフォームのプラットフォーム（プロトタイプ）を完成し実証実験により有効性を確認した。 人工知能による高度なIoTデータ処理の実現に関し、センサーデバイス側（エッジ側）の電力制約等に対応可能な基盤技術の多様化に寄与。		○
	(7) 超高速・低消費電力ビッグデータ処理を実現・利活用する脳型推論集積システムの研究開発 [委託事業]	①RAND(Resistive Analog Neuro Device)の動作メカニズム解析、微細化プロセス開発、信頼性モデル構築と共に、ユーザへの課題解決提案に、0.18μm世代での動作実証提示が可能となった。(更なる微細化を継続中) ②ユーザドリブン型価値創造プラットフォームの運用を開始し、ユーザからのフィードバックをプールし、持続的にAIアクセラレータの新たな適用事例を共創。 セキュリティ、個人情報等の理由からエッジで学習処理を完結したいケース、通信困難下でのAI学習活用ケース等、AIの産業利用拡大や社会実装拡大に貢献。		○

119

◆各個別テーマの成果と意義（現時点の各テーマ成果状況一覧）

分野	研究開発テーマ名と事業形態 ^(*) <small>(*)ステージング後、一部テーマは委託事業から助成事業に移行</small>	現時点の成果概要	目標達成度
		意義	
解析 (続き)	(8) 組合せ最適化処理に向けた革新的アニーリングマシンの研究開発 [委託事業]	<p>①CMOSアニーリングマシンのエッジ利用に現実的な名刺サイズの試作機にて動作実証</p> <p>②日本初の超伝導量子アニーリングマシンハードウェア開発に成功</p> <p>③深強結合を用いることで、全結合のアニーリング回路が構築できるアーキテクチャを開発</p> <p>IoTでのシステムを最適制御するために必要な組合せ最適化問題の解決を低消費電力かつ高速に行えるようになることで、新たなIoTビジネスモデル創出へ貢献。</p>	○
	(9) 高速ビジョンセンサネットワークによる実時間IoTシステムと応用技術開発 [委託事業]	<p>①1000fps高速ビジョンセンサネットワークシステム（サンプリング時間1ms）に必要な時刻同期・フレーム同期技術を確立</p> <p>②基本技術として高速画像選別・認識処理技術を開発、高速仕分けデモシステムを構築し、高速ビジョンセンサを用いたリアルタイムフィードバック（フィードバックレート1kHz）応用を実現</p> <p>③視覚、近接覚、触覚の高速なマルチモーダル情報統合化技術を開発、実アプリ模擬システムを構築し、複数ワークの高速調整レスピッキングを達成</p> <p>④高速ビジョンプラットフォーム、および、ソリューションパックを開発し提供開始</p> <p>1000fpsの高速画像処理^[*]が、文字認識による仕分けや欠陥認識による検品を、製造ラインを高速移動させたままでも可能にする。その結果、工場のトータルコスト低減、自動化率の飛躍的向上が図れ、労働集約型産業の国内回帰等、経済効果に貢献。</p> <p><small>[*]現行の画像処理が30fps(frame per second)なので、30倍以上の処理能力となる。</small></p>	○

120

◆各個別テーマの成果と意義（現時点の各テーマ成果状況一覧）

分野	研究開発テーマ名と事業形態 ^(*) <small>(*)ステージング後、一部テーマは委託事業から助成事業に移行</small>	現時点の成果概要	目標達成度
		意義	
解析 (続き)	(10) Field Intelligence搭載型大面積分散IoTプラットフォームの研究開発 [助成事業]	<p>①既存技術に比べ、より密な“面”計測により、高空間分解能や環境ノイズの高精度除去を可能とし、かつ、得られた膨大なデータを現場AI診断等で情報処理することにより、これまで人の経験に基づいて行ってきた診断の数値化を行い、インフラ等大規模構造物の老朽化可視化、老朽化予測、対策等に資する大面積&分散型多チャンネルモニタリングを研究開発。既存技術の1/10程度のコストで、かつ、更なる高空間分解能等の性能を実現するために、炭素配線シートシステムによるプラットフォームの実現を目指している。</p> <p>センサ開発に関し、炭素を主とした配線、および、歪センサ、自然電位センサ、塩化物イオン濃度センサといった各種センサの基本性能を確認済み。また塩水噴霧耐久試験により耐久性10年の目途が付いた。また、振動センサについて試作を完了し、高精度化を図るための検討と耐久性を確保するための検討を実施中。</p> <p>②センサデータからインフラ設備の変状等を診断するアルゴリズム・監視システムについて、開発・試作を実施し、近々開始する実証試験に供する予定。</p> <p>省エネルギーに繋がる「CO2削減への効果」と、「設備・メンテナンスのトリアージによるコスト削減効果」により、環境問題や熟練労働者不足の中でのインフラ維持といった社会課題の解決に寄与。</p>	○

◆成果の最終目標の達成可能性（現時点の各テーマ成果状況一覧）

分野	研究開発テーマ名と事業形態(*1) <small>(*1)ステージング後、一部テーマは委託事業から助成事業に移行</small>	現時点の成果概要	目標達成度
		意義	
セキュリティ	(11) Sensor-to-Cloud Security～ビッグデータを守る革新的IoTセキュリティ基盤技術の研究開発 [委託事業]	<p>高機能暗号をスケーラブルにハードウェアとして構築するため</p> <p>① 末端ノード向けとして、高機能暗号を10mW以下で実現する低電圧・省電力デバイス（65 nm SOTBデバイス等）による暗号モジュール技術を確立。</p> <p>② 中間・上位ノード向けとして、高機能暗号を1万並列以上のスケーラビリティで具現する超並列・多積層デバイス（TSVベースの3Dデバイス等）による暗号モジュール技術を確立。</p> <p>今後IoTが、ドメイン・事業主を問わない様々なレイヤ間でデータ流通メッシュ化・サービス多層化・仮想化といったオープン化を展開する上で鍵となる高機能暗号実用化の道を切り拓き、高度IoT社会実現に貢献。</p>	○
	(12) 複製不可能デバイスを活用したIoTハードウェアセキュリティ基盤の研究開発 [委託事業]	<p>① 電子パスポート等の高セキュア認証ICカードに必要なリコンフィギャラブルPUFに関し、リコンフィグ前後で製品への搭載が十分可能となる目標のユニーク性確保を確認。</p> <p>② 画像データの改竄・なりすましを防ぐカラーイメージセンサ(CIS) PUFに関し、動作確認等を完了し、事業化フェーズへ移行。</p> <p>③ 偽造品対策のセキュリティタグの他、幅広い活用が期待される印刷フレキシブルPUFに関し、有機TFT PUFを印刷プロセスで量産製造する要素技術を確立 *PUF:Physically Unclonable Function</p> <p>PUFを「機器・デバイスの流通・配備段階での真正性判定」「収集データの真正性・秘匿性確保」「機器・デバイスのセキュア管理」に利用し、ハードウェアセキュリティ面から安心・安全なIoT社会の実現に寄与。</p>	○

122

◆成果の最終目標の達成可能性（現時点の各テーマ成果状況一覧）

分野	研究開発テーマ名と事業形態(*1) <small>(*1)ステージング後、一部テーマは委託事業から助成事業に移行</small>	現時点の成果概要	目標達成度
		意義	
セキュリティ (続き)	(13) 次世代産業用ネットワークを守るIoTセキュリティ基盤技術の研究開発 [助成事業]	<p>「既存機器がそのまま利用可能」で、「内部感染を防止」し、かつ「自動管理」するセキュリティシステムという新たなセキュリティ・コンセプトを提唱。サービス情報自動抽出アルゴリズム開発、サービス情報から通過制御情報を生成する管理ソフトウェア開発、およびセキュリティスイッチの開発等を行い各機能の連携により、新セキュリティ・コンセプトの実現と効果を確認。</p> <p>ファイアウォールとエンドポイント対策ソフトに頼る従来方法では限界がある産業用IT/IoTネットワークのセキュリティを、新セキュリティ・コンセプトの適用で強化することにより、IoT化の進む産業インフラ全体の安心・安全に貢献。</p>	○

Appendix-4

「研究開発項目③ 高度なIoT社会を実現する横断的技術開発」における 各研究開発テーマの実用化・事業化概要一覧

Appendix-4

◆実用化・事業化に向けた具体的取組及び見通し（現行各テーマの実用化・事業化概要一覧）

分野	研究開発テーマ名と事業形態(*1) <small>(*1)ステージト後、 一部テーマは委託事業から助成事業に移行</small>	事業化主体	実用化・事業化概要
収集	(1) 超高効率データ抽出機能を有する学習型スマートセンシングシステムの研究開発 [委託事業]	日立製作所	既存のサービスプラットフォームに研究成果を実装し、革新的生産性向上、社会課題解決を可能とする、社会イノベーション事業を実現する。
		東京電力ホールディングス	東京電力グループが2017年度から実施している法人向けの「電気の省エネサービス」事業のコンテンツ拡大のため、学習型スマートセンシングシステムを用いた顧客設備の保守・状態管理マネージメントサービスを追加で設定することで、工場全体のマネージメントサービスとして提供する。
		鷺宮製作所	各種センサの電池交換を不要とし、10年程度のメンテナンスフリー実現のため、連続的に500μW以上の電力を供給可能な振動型自立発電デバイスの実用化を目指す。また、道路や鉄道の交通インフラ維持管理、工場・オフィス等での省エネルギー、またウェアラブルセンサによる健康維持などIoT普及のため、小型化、及びウエハレベルパッケージによる高効率な振動発電デバイスを安価に実用化する。

◆ 実用化・事業化に向けた具体的取組及び見通し（現行各テーマの実用化・事業化概要一覧）

分野	研究開発テーマ名と事業形態(*1) (*1)ステージ後、 一部テーマは委託事業から助成事業に移行	事業化主体	実用化・事業化概要
収集 (続き)	(2) 超低消費電力データ収集 システムの研究開発 [助成事業]	デバイス&システム・プラットフォーム開発センター	本研究開発において事業モチーフとして開発した回転機器状態監視システムの事業化に注力する。
		東芝	本研究開発における慣性センサ技術を高精度化の方向へと応用し、東芝グループが独自に開発していた無線位置推定技術とのフュージョンにより、高精度な屋内位置推定の実証実験を実施し、その成果を元に、東芝グループ内での事業展開を図っていく。
		アルプスアルパイン	熟練作業者の減少といった喫緊の課題が顕在化している分野への適用を最初の実用化ターゲットし、市場実績を積み上げつつ、より汎用性の高い製品に仕上げながら、適用市場を拡大、デファクト化していく。開発した技術による低消費、小型、高性能化により、他社製品への優位性を実現していく。
		テセラ・テクノロジー (2018年度に事業終了)	研究開発を担当した振動発電用SSHI増幅自立電源モジュールに拘らず、当社の組み込みシステム開発を主たる業務にしている強みを生かし、デバイス&システム・プラットフォーム開発センターが研究開発している振動、熱、光による自立電源モジュール全般の事業化検討を進める。それにより、環境発電用電源回路全般のknow-howを今後更に積み重ね、高効率自立電源設計のオーソリティー集団を目指す。

126

◆ 実用化・事業化に向けた具体的取組及び見通し（現行各テーマの実用化・事業化概要一覧）

分野	研究開発テーマ名と事業形態(*1) (*1)ステージ後、 一部テーマは委託事業から助成事業に移行	事業化主体	実用化・事業化概要
収集 (続き)	(3) トリオンノード・エンジンの 研究開発 [助成事業]	東芝デバイス & ストレージ	トリオンノード・エンジンの技術を採用したMCUリーフの開発および販、および関連するソフトウェアのロイヤリティ販売。
		東芝インフラシステムズ	セキュリティ強化が必要とされる市場向けに、生体認証機能、セキュアデータの保存機能、暗号化機能を含めたセキュリティ対応トリオンノード・エンジンの試作・開発などを行う。また、サンプルを10式以上提供して実用性検証を行うとともに、必要に応じた改善を実施することで、スムーズな企業化計画の実行を目指す。
		図研	研究開発の成果を用い、IoT向け簡易設計環境をパッケージ商品化し、アカデミックプライスで既存の職業能力開発施設向けツールとしてリプレイスしていく。（ライセンス販売）また、プレミアムモデル（企業向けの高性能版）向けの成果により、企業の研究開発部門の新規開拓ビジネスを行う。合わせて、アカデミックプライスレベルの価格で、ベンチャー企業、異業種への新規拡販（ライセンス販売）を行い、最終的には非図研顧客のメーカーズ向けの拡販（ライセンス販売）を目指す。
		SUSUBOX	トリオンノード・エンジンを用いた教育カリキュラムの開発を行う。カリキュラムの内容は大学のような基礎を中心とするのではなく、業務で直接利用可能な実践的な内容とする。また、カリキュラムは販売用だけでなく、宣伝用に無償提供するものも開発する。

127

◆ 実用化・事業化に向けた具体的取組及び見通し（現行各テーマの実用化・事業化概要一覧）

分野	研究開発テーマ名と事業形態(*1) (*1)ステージング後、 一部テーマは委託事業から助成事業に移行	事業化主体	実用化・事業化概要
蓄積	(4) 高速ストレージクラスメモリを用いた極低消費電力ヘテロジェニアス分散ストレージサーバシステムの研究開発 [委託事業]	富士通 日本電気	IoT時代の大量データを蓄積し、高速処理するデータセンタ用ストレージとして実用化する。次に、実施企業や研究協力機関などが運営するデータセンタ内で各種IoTサービスを支える基盤として実用化する。現在は開発技術の基盤となるIntel製SCM搭載したサーバを製品化、次にストレージとしての実用化を進める。
	(5) 先進IoTサービスを実現する革新的超省エネルギー型ビッグデータ基盤の研究開発 [助成事業]	日立製作所	日立製作所はエンタープライズストレージ世界市場30%を確保しているが、ヘルスケア・ファクトリ・社会インフラ等、日立製作所の得意市場（エンタープライズ顧客）をターゲットとする早期事業立上げにより優位性を確保する。また、エネルギー効率性への転換期にタイムリーに製品を投入していくとともに、Lumada（自社ビッグデータ・IoTプラットフォームビジネス）のユースケース蓄積による市場創生・ユーザ獲得を図る。さらに市場拡大に向け、広汎なライセンス体制を構築することにより非競争技術化を図る。

◆ 実用化・事業化に向けた具体的取組及び見通し（現行各テーマの実用化・事業化概要一覧）

分野	研究開発テーマ名と事業形態(*1) (*1)ステージング後、 一部テーマは委託事業から助成事業に移行	事業化主体	実用化・事業化概要
解析	(6) 省電力AIエンジンによる人工知能プラットフォーム [助成事業]	デジタルメディアプロフェッショナル	今後広がるエッジコンピューティングの中で、研究開発の成果物によって、画像・動画の認識を高効率に実現することが出来る。この成果物を、エッジAIプロセッサコアとしてFPGAモジュールに実装したモジュールビジネス、顧客とともにSoCとして製品を行うデザインサービス・OEM事業化、及びコア部分をIPとしたライセンスビジネスとして行う。
		日本電気	NECが保有する高位合成ツールは、社内外の大手装置設計事業者やデバイスメーカーなど多くのユーザを獲得し、ビジネスの実績を持っている。これらの商流を活かして、あらゆるデバイスに対応したAI設計フレームワークとしてビジネスを進めることを最終目標としている。総合電機メーカーの特徴を活かし、開発したAI設計フレームワークを、さまざまなビジネスに活用することで事業貢献することを目指している。
	(7) 超高速・低消費電力ビッグデータ処理を実現・利活用する脳型推論集積システムの研究開発 [委託事業]	ヌヴォトンテクノロジージャパン (旧 パナソニックセミコンダクターソリューションズ)	アナログ型抵抗変化素子RANDに関して、メモリとして実績のある180nm世代の成熟したプロセスで、低消費電力を武器としたセンサー応用をターゲットに早期に事業を立ち上げる。並行してアプリ探索、AIソリューションベンダーとの連携などを視野に事業拡大を目指す。さらに、40nm、22nm世代へと微細化を進め、エッジ学習技術を進化させることで、IoT用途への本格拡大を図る。

◆ 実用化・事業化に向けた具体的取組及び見通し（現行各テーマの実用化・事業化概要一覧）

分野	研究開発テーマ名と事業形態(*1) (*1)ステージゲート後、 一部テーマは委託事業から助成事業に移行	事業化主体	実用化・事業化概要
解析 (続き)	(8) 組合せ最適化処理に向けた革新的アニーリングマシンの研究開発 [委託事業]	日立製作所	アニーリングマシンは、特殊な計算機のためすぐになんにも使えるというわけではない。そこで、日立ではCMOSアニーリングマシンの実用化にあたっては特定の分野にむけて実用化・事業化を行う。さらに、最初の事業化で培った技術、および、本研究開発で開発した技術をプラットフォーム化し、適用分野をN倍化し、さらに大きな事業へ育てていく。このプラットフォームには、本研究開発において、国立情報学研究所や早稲田大学が開発した共通基盤技術も取り込む予定である。
		産業技術 総合研究所	超伝導量子アニーリングマシンの実用化・事業化に向けて、量子アニーリングマシンのクラウドサービスに向けた研究開発を実施してきた。特に、産総研LAN内での量子アニーリングマシンクラウド環境の構築を行い2020年度末までに実施する予定である。将来的には、大規模な超伝導量子アニーリングマシンをクラウドへ搭載すると同時に、外部アクセス可能なネットワーク環境構築を行う。

◆ 実用化・事業化に向けた具体的取組及び見通し（現行各テーマの実用化・事業化概要一覧）

分野	研究開発テーマ名と事業形態(*1) (*1)ステージゲート後、 一部テーマは委託事業から助成事業に移行	事業化主体	実用化・事業化概要
解析 (続き)	(9) 高速ビジョンセンサネットワークによる実時間IoTシステムと応用技術開発 [委託事業]	エクスピジョン	高速ビジョンプラットフォームを、2019年初めに開発完了、市場への提供を開始した。200社強に採用提案を開始、うち20社以上と当該プラットフォームを使った課題解決のためのPoC開発を進め、以下の分野においてのソリューションパックを利用した事業化を進めている。 1. 製造ラインの不良品検査パックを使った高速FA検査 2. 製造業の省人化・自動化のための高速ロボティクスによる制御へパターン照射を用いた高速三次元計測技術 3. VR、AR分野へのステレオソリューション（高速3次元トラッキング技術）応用 4. 高速移動物体トラッキングによる物体速度、軌跡、その他特徴量を高精度で取得するソリューション応用
		日本電気	大量の個体を目視で検査し、その種類別に仕分けたり、異常や規格外のものを発見選択し取り除いたりする作業を行っている事業者に対して、本件技術が広範囲に適用可能と見込まれる。製造業（食品、素材、機械、家電など）、鉱業、微生物や種子などを扱う農林水産系企業、粒状（穀物、ペレット等）の製品を扱う商社、医薬品・医療機器メーカ、産業廃棄物回収業者などが代表例。また、認識機能をクラウド上でサービス化することで、さらに広い領域の事業者や産業に対して、大量の微小物体の分類や仕分け機能を提供する事も可能となり、将来の販売予定先はほぼ全産業に拡大すると見込まれる。

◆ 実用化・事業化に向けた具体的取組及び見通し（現行各テーマの実用化・事業化概要一覧）

分野	研究開発テーマ名と事業形態(*1) (*1)ステージゲート後、 一部テーマは委託事業から助成事業に移行	事業化主体	実用化・事業化概要
解析 (続き)	(10) Field Intelligence搭載型大面積分散IoTプラットフォームの研究開発 [助成事業]	東電設計	社会インフラ設備の異常を早期に検知するセンサシステムを開発し、社会インフラ設備保有事業者に販売展開する。トンネルや橋などのインフラ設備に多種のセンサを複数設置することで、専門家による定期的点検によらず、潜在的に進行する劣化を遠隔地から長期かつ常時モニタリングができる。これにより劣化の状態を可視化し、補修・補強の優先順位づけに利用することで、限りある維持・管理予算を効率的に活用できることになる。 その中で、東京電力HDは、グループ会社の東電設計(株)のインフラ事業拡大において、他電力の土木インフラ設備への展開に協力し、東京電力HDグループとしての収益の拡大を図っていく。

◆ 実用化・事業化に向けた具体的取組及び見通し（現行各テーマの実用化・事業化概要一覧）

分野	研究開発テーマ名と事業形態(*1) (*1)ステージゲート後、 一部テーマは委託事業から助成事業に移行	事業化主体	実用化・事業化概要
セキュリティ	(11) Sensor-to-Cloud Security～ビッグデータを守る革新的IoTセキュリティ基盤技術の研究開発 [委託事業]	三菱電機	高機能暗号（秘匿検索システム）に関わる本成果の実用化・事業化は、三菱電機株式会社によって実施を進めていく。 具体的には、2022年度までを目途に社会実装・評価を実施するとともに、事業化に向けて必要となるシステム化技術や運用技術の蓄積を実施する。その後、ハードウェアエンジンが製品化されたタイミングで、実データを用いた性能評価やソフトウェアの充実化などのパイロットシステム開発を行い、実用化・事業化の目途をつける。
		電子商取引安全技術研究組合	高機能暗号（集約署名システム）の実用化、事業化は、電子商取引安全技術研究組合及び当該組合の後継法人（2022年4月発足予定）が責任を持って、2023年度の社会実装開始を目指して、所要の継続研究と技術実証実験を進める。 具体的には、本研究開発終了後、ハードウェアペアリング演算器の実装を前提として、集約署名アルゴリズムの実装、末端ノードの環境においてセキュリティ耐性を持たせるための実装方法について試作検証を行い、本研究成果について実用化の目途をつける。

◆ 実用化・事業化に向けた具体的取組及び見通し（現行各テーマの実用化・事業化概要一覧）

分野	研究開発テーマ名と事業形態(*1) (*1)ステージト後、 一部テーマは委託事業から助成事業に移行	事業化主体	実用化・事業化概要
セキュリティ (続き)	(12) 複製不可能デバイスを活用したIoTハードウェアセキュリティ基盤の研究開発 [委託事業]	ヌヴォン テクノロジー ジャパン (旧 パナソニック セミコンダクター ソリューションズ)	リコンフィギャラブルPUFに関し、従来から事業実績のある公共交通用ICカードやNFCタグにおいて微細ReRAMによってコスト力をあげ、更にPUFによる真贋判定とセキュアメモリの効果を新たに付加することにより競争力の維持を図り安定して事業を継続する。そして、事業規模の拡大に向け、サプライチェーンにおいてより強固なセキュリティが求められる分野や地域に対するICカード等の事業に展開する。以上を踏まえ、リコンフィギャラブルPUFの要素技術を確立するとともに、量産適用が可能なことを実証し早急な事業化を目指す。
		産業技術 総合研究所	フレキシブル印刷PUFは、さまざまなエッジデバイスに対応可能ではあるが、まず初めのターゲットとしては機密文書管理用の「壊すことができる紙状の印刷PUF」の実用化を目指し、医療、健康、見守りのサービスをターゲットとしたフレキシブルPUFの実用化を目指す。 印刷PUFの製造に関しては、産総研が保有する印刷デバイス製造ラインにて量産化の予備検討を完了し、プロジェクト終了後に大日本印刷、凸版印刷、日本写真印刷等に技術移転する。販売に関しては既に会話を続けているサービス企業（セコム、キャノンITソリューション、メイクウェブ等）と連携し、実証実験とコスト試算等のステージまで進め事業化の最終判断を行う。

134

◆ 実用化・事業化に向けた具体的取組及び見通し（現行各テーマの実用化・事業化概要一覧）

分野	研究開発テーマ名と事業形態(*1) (*1)ステージト後、 一部テーマは委託事業から助成事業に移行	事業化主体	実用化・事業化概要
セキュリティ (続き)	(13) 次世代産業用ネットワークを守るIoTセキュリティ基盤技術の研究開発 [助成事業]	アラクサラ ネットワークス	アラクサラネットワークスが、本研究開発の成果を搭載したネットワーク機器（ルータ、スイッチ等のネットワーク機器）を製品化する。アラクサラネットワークスのビジネスパートナーを販売ルートとして、IoTシステムのSIerやインフラ事業者販売される。また、本研究の成果(特許など)をライセンスすることも考えられる。
		IJイノベーション インスティテュート	研究開発で開発した機能をサービスとして企画し、インターネットイニシアティブとの協業により既存のインフラに構築し、サービスの新機能として製品化していく。本プロジェクトの期間終了後に、改良し運用体制を整えた上でサービスとして提供を行う予定である。IJイノベーションインスティテュートは販売部門を持たないため、本研究開発の成果は親会社であるインターネットイニシアティブへ技術移転を行う。

135

参考資料 1 分科会議事録及び書面による質疑応答

研究評価委員会

「高効率・高速処理を可能とする AI チップ・次世代コンピューティングの技術開発」

(中間評価) 分科会

議事録及び書面による質疑応答

日 時：2020年12月18日(金) 13:00～17:30

場 所：NEDO川崎 2301・2302・2303会議室(オンラインあり)

出席者(敬称略、順不同)

<分科会委員>

分科会長	菅野 重樹	早稲田大学 理工学術院 学術院長 創造理工学部 総合機械工学科 教授
分科会長代理	川人 祥二	静岡大学 電子工学研究所 教授
委員	石村 尚也	株式会社日本政策投資銀行 産業調査部 産業調査ソリューション室 調査役
委員	岡島 博司	トヨタ自動車株式会社 先進技術統括部 主査・担当部長
委員	菅谷 みどり	芝浦工業大学 工学部 情報工学科/先進国際課程 教授
委員	張山 昌論	東北大学 大学院情報科学研究科 教授
委員	向林 隆	株式会社アイティーファーム 執行役員

<推進部>

安田 篤	NEDO IoT 推進部	部長
伊藤 隆夫	NEDO IoT 推進部	統括主幹
遠藤 勇徳	NEDO IoT 推進部	主査
西山 洋平	NEDO IoT 推進部	主任
大西 一三	NEDO IoT 推進部	主査
本郷 和哉	NEDO IoT 推進部	専門調査員
熊谷 正康	NEDO IoT 推進部	主査
大坪 公太	NEDO IoT 推進部	主査
齋藤 靖	NEDO IoT 推進部	主査

<実施者>

森川 博之 (PL)	東京大学大学院工学研究科	教授
本村 真人 (PL)	東京工業大学	教授
金山 敏彦 (PL)	産業技術総合研究所	特別顧問

川畑 史郎 (PL)	産業技術総合研究所	デバイス技術研究ユニット長
藤野 毅	立命館大学	教授
堀洋 平	産総研	主任研究員
植村 聖	産総研	研究チーム長
吉岡 和樹	ヌヴォトンテクノロジーズジャパン株式会社	課長
加藤 佳一	ヌヴォトンテクノロジーズジャパン株式会社	係長
馬場 光男	ルネサスエレクトロニクス株式会社	シニアダイレクター
檜村 雅彦	ルネサスエレクトロニクス株式会社	シニアプリンシパルスペシャリスト
野瀬 浩一	ルネサスエレクトロニクス株式会社	主管技師
戸井 崇雄	ルネサスエレクトロニクス株式会社	課長
三上 顕太郎	ルネサスエレクトロニクス株式会社	主任技師
遠藤 宏幸	ルネサスエレクトロニクス株式会社	プリンシパルスペシャリスト
小泉 美和子	ルネサスエレクトロニクス株式会社	
小川 吉大	三菱電機株式会社	グループマネージャー
井須 芳美	三菱電機株式会社	グループマネージャー
長谷川 修	SOINN 株式会社	代表取締役社長
井加田 洸輔	SOINN 株式会社	リーダー
中村 祐一	日本電気株式会社	主席技術主幹
白根 昌之	日本電気株式会社	研究部長
山本 剛	日本電気株式会社	主席研究員
宮田 明	日本電気株式会社	プリンシパルクリエイター
菊地 克弥	産業技術総合研究所	研究グループ長
西森 秀稔	東京工業大学	特任教授
木村 晋二	早稲田大学	教授

<オブザーバー>

徳岡 麻比古	NEDO 技術戦略研究センター	統括調査員
--------	-----------------	-------

<評価事務局>

森嶋 誠治	NEDO 評価部	部長
塩入 さやか	NEDO 評価部	主査
笹川 克義	NEDO 評価部	専門調査員

議事次第

(公開セッション)

1. 開会、資料の確認
2. 分科会の設置について
3. 分科会の公開について
4. 評価の実施方法について
5. プロジェクトの概要説明
 - 5.1 a) 事業の位置付け・必要性、研究開発マネジメント
b) 研究開発成果、成果の実用化・事業化に向けた取組及び見通し
 - 5.2 質疑応答

(非公開セッション)

6. プロジェクトの詳細説明
 - 6.1 研究開発項目①「革新的 AI エッジコンピューティング技術の開発」
動的再構成技術を活用した組み込み AI システムの研究開発
 - 6.2 研究開発項目②「次世代コンピューティング技術の開発」
超電導パラメトロン素子を用いた量子アニーリング技術の研究開発
 - 6.3 研究開発項目③「高度な IoT 社会を実現する横断的技術開発」
複製不可能デバイスを活用した IoT ハードウェアセキュリティ基盤の研究開発事業
7. 全体を通しての質疑

(公開セッション)

8. まとめ・講評
9. 今後の予定
10. 閉会

議事内容

(公開セッション)

1. 開会、資料の確認
 - ・開会宣言（評価事務局）
 - ・配布資料確認（評価事務局）
2. 分科会の設置について
 - ・研究評価委員会分科会の設置について、資料1に基づき評価事務局より説明。
 - ・出席者の紹介（評価委員、推進部、事務局）
3. 分科会の公開について
 - 公開、非公開の場における発言、議事録について確認のほか、評価事務局からの印刷資料とスライドショー等を用いた事前説明、質疑応答をもって行われたこととした。
4. 評価の実施方法について
 - まとめ、講評時の説明のほか、評価事務局からの印刷資料とスライドショーを用いた事前説明、質疑応答をもって行われたこととした。
5. プロジェクトの概要説明
 - 5.1 a) 事業の位置付け・必要性、研究開発マネジメント
推進部署より資料5に基づき説明が行われた。
 - b) 研究開発成果、成果の実用化・事業化に向けた取組及び見通し
引き続き、推進部署より資料5に基づき説明が行われた。
 - 5.2 質疑応答
推進部署による5.1の説明に対し、以下の質疑応答が行われた。

【菅野分科会長】 ありがとうございます。

それでは、評価委員の方々から、ご意見ご質問ありましたらお願いしたいと思いますが、いかがでしょうか。

では、お願いします。

【岡島委員】 トヨタ自動車の岡島です。

先ほど、安田部長の方から、この分野は大変世界的に競争が激しくて、マネジメントの面で柔軟にいろいろな見直しをやってきたということをおっしゃられましたが、具体的に、どんなマネジメントが功を奏して、例えばテーマの改廃だとか予算の重点化だとか、あるいは不足しているテーマを追加公募というようなお話がありましたけれども、一番効果的だったものはどんなことでしょうか。

それから、なかなかマネジメントが難しいなといった面は、どんなことがありますでしょうか。

【NEDO_安田】 ご質問いただきましてありがとうございます。

事業の柔軟な見直しということにつきましては、例えば、特に量子のテーマについ

ては世界の競争が一昨年度から激しくなっているということで、追加でテーマを設定し、新しく公募をして、不足しているところを公募で採択をして、今ちょうど、既存の研究開発と新しく応募いただいて採択したプロジェクト等をうまく連携させながら、世界に伍していこうということで取り組んでございます。

それに加えまして、加速の資金も活用しております。量子だけでなくそれ以外の AI エッジコンピューティングのところで、例えば RISC-V などの非常に世界が、今、動いているプロジェクトがありますので、そういったところを念頭に資金の追加配分や、事業の目標の見直しということをやってきたところでございます。

あともう一つ、ご質問いただきましたマネジメントの上で非常に苦勞をしたところですが、動きが非常に早いということで、我々、世界の動きを学会等々、今、情報収集をしているのですが、ちょうどコロナの影響により、そういったリアルタイムで赴いて行ってということがなかなか難しくなっているところがありますので、そこは、オンライン等も駆使しながら、世界の最新情報が追えるように急ピッチで体制を整えているところでございます。

したがいまして、そういった調査をするところをさらに力を入れていきたいと考えています。

【岡島委員】 ありがとうございます。

【菅野分科会長】 ほかに、オンラインで参加されている方々も含めて、いかがでしょうか。

オンラインで参加をされている方々は、ミュートを外していただいてご発言いただければ、こちらで聞こえますので。

【菅谷委員】 すみません、芝浦工大の菅谷ですけれども。

【菅野分科会長】 お願いします。

【菅谷委員】 まず、お話の中で、日本に勝ち筋のある技術に投資をされているということでしたけれども、その判定方法というか、戦略性というものの検証というのはされているのでしょうかということと、例えば勝ち筋があると思っていたけれども、途中で思った成果にはつながらなかったとか、そうしたところの検証というのはどのように行っているのかということと、あともう一つは、経済の波及効果というところで最終的に見ていくことになると思うのですけれども、戦略との波及効果といったときに、波及効果というのが自然に発生するものだというふうに考えるのか、それともマネジメントの中で波及するような支援を具体的に考えているのかという、この2点、お願いいたします。

【NEDO_安田】 ご質問いただきましてありがとうございます。

1 点目の勝ち筋の検証のやり方ですけれども、我々も非常に重要だと思っておりまして、幾つかのやり方をしております。

1 つは、日々のマネジメントをしていく中で、我々サイトビジットもして開発現場に赴いているわけですけれども、そのときに、今オンラインでご参加賜っております

外部の有識者の先生である PL の方々にも一緒に訪問をいただきまして、技術的などころ、そして、その波及効果、そういったところをチェックをさせていただいて、今のこの目標、研究開発のやり方でいいのかというところを非常に喧々諤々、議論をしているというのが一つです。

あと、もう一つは、毎年実施しているのですけれども、技術推進委員会という形で、外部の先生方の集まる委員会を開催させていただいておりまして、その場で研究開発の成果、進捗、そして実用化に向けた道筋ということプレゼンして審査をしております。そういう意味で非常に緊張感を持ってプロジェクトが進行しております、その過程で技術推進委員会の結果、この目標では不十分だからもう少しやるべきだとか、今これで世界に勝っているので引き続きこのまま進めるべきだと、そういったところに客観性を持った形で意見をいただきながら、検証をして進めているということがマネジメント上の特色でございます。

そして、2点目の波及効果というご質問につきましては、我々としてもプロジェクトの成果が広く普及する、そして波及していくというのが重要だと考えておりますので、我々、成果の報告会であるとか、成果をどうやって世の中に出していくかというところに非常にマネジメント上、力を入れております。量子などのテーマについてプロジェクトの成果報告会、もしくは進捗報告会を一般の方にも公開して開催をしております。

その場では、成果の展示を行うとともに、ユーザーとなり得る方たちもお招きして、プロジェクトの成果をアピールしているところでございまして、そういった意味では、成果が NEDO のマネジメントを通じてさらに広がって波及するようにマネジメント上、努力をしているところでございます。

【菅谷委員】 ありがとうございます。

ちなみに、現在、競争分野が世界規模だと思うのですが、国内だけでやられているのでしょうか。

波及効果のシンポジウム等は国内外を招き入れてとありますけれども、日本、今コロナで難しいとは思いますが、世界の様々な学会とか、様々、波及効果なのか、国際的に見込まれる部分というのがあるのかなというところが気になります。

【NEDO_安田】 量子のシンポジウムを開催するときは、海外の方も呼びして開催をしております、海外ということも意識しております。

特に、ご指摘いただきましたように学会などの面につきましては、実施者の方々が積極的に海外の学会にも成果を発表していただくように促しております、海外にもきちっとアピールができるような、見えるような形でマネジメントしているところでございます。

【菅谷委員】 ありがとうございます。

【菅野分科会長】 ほかの委員の方々いかがでしょうか。

ご発言よろしいですか。

それでは、ありがとうございました。

また、この後いろいろ質疑応答の時間も取れると思いますので、ここで5分ほど休憩を取らせていただきたいと思います。よろしくお願いたします。

(非公開セッション)

6. プロジェクトの詳細説明 省略

7. 全体を通しての質疑

省略

(公開セッション)

8. まとめ・講評

【菅野分科会長】 それでは、議題8、まとめ・講評に入らせていただきます。

冒頭に申し上げましたように、最初の委員紹介の逆の順でコメントをいただければと思います。

まず、向林委員からお願いをしたいと思います。既に先ほど、ご意見いただきましたけれども、まとめで何か一言いただければと思いますが。

【向林委員】 続きみたいになってしまうかもしれませんが、テーマ別に述べます。

AI エッジに関して言うと、もうそろそろ本当はビジネスデベロップメントの開始時期なのですね。ですから、いかにこの開発部門から営業部門にトランスファーしていくかというのが非常に大事な時期なのではないかと思います。もしそうなってれば安心ですし、もしそうなっていないとすると早くやったほうがいいと思います。つまり、お客様のご意見をいただくフェーズではなくて、お金を頂いて、お客様からの都合に合わせてやっていくというようなフェーズなのかなと感じました。

次世代コンピューティング技術に関しては、これもものすごくお金がかかるし、本当に日本が強いところというのを、本当に心から信じられる分野を見いだして集中したほうがいいと思います。

それから、プラクティカルなところでいうと、デバイスの量産体制をどうするのかというのを相当考えていかないと、結局は実用化する手段がなかったということになりかねない気がします。

横断技術は面白いテーマがいっぱいあります。PFUの例も面白かったですが、みんな真面目にいい品物をつくってデバイスとして売るというよりも、プラットフォームを押さえて、言葉がちよっと悪いけれども、この技術を利用して、どうやったら濡

れ手で粟な商売ができるか、ということ、つまり、ちゃんと事業モデルを考えて進まないで単なるデバイス販売のモデルになってしまって、つまらないかなというふうに思いました。

【菅野分科会長】 ありがとうございます。

では、引き続きまして張山委員お願いできますでしょうか。

【張山委員】 本日はありがとうございます。

私自身は、どちらかというと技術的な側面から拝見させていただいたのですけれども、AI エッジコンピューティングに関しても、日本の今トップを走られている先生方が非常にいい感じで実現されているなと思いました。

あと、次世代コンピューティングの量子アニーリングに関しては、やはり、どちらかというと個人的にはゲート型が世界的には走っているのかなと思いつつ、日本では、やはり量子アニーリングが一つ強い分野、発端の地でもありますので、そういったところもありますので、何か非常にそういう意味では量子アニーリングにかなりフォーカスしているというのは、日本の強い面を出していくという意味ではいいのかなと思いました。

以上でございます。全体としては非常によかったですと思います。

【菅野分科会長】 ありがとうございます。

それでは、菅谷委員お願いできますでしょうか。

【菅谷委員】 今日はありがとうございます。大変勉強になりました。

まず全体として、NEDO の推進部の皆さんが、今後の日本の産業の優位性の維持、発展ということを着眼してマネジメントに取り組んでいらしたというのがよく分かりました。

ただ、ちょっと気になったのが、プロジェクトの進め方として、例えば PDCA とか明確なフレームがあったというのは分かりやすかったのですが、それ以外に、例えばアジャイルとかベンチャーを育てる他のプロジェクトの連携とか、新しいプロジェクトマネジメントの方法を一部検討されている話とか、そういうのもあったほうがいいのではないかという意見もありました。

これからの競争の激しい中で、どういう方向でマネジメントするかというのは研究されていく、さらに磨きをかけて検討をされるというのが、すごく期待できるかなと思いました。

森川 PL の、巻き込むとか、多様性とかというキーワードは非常に私も素晴らしいなと思いましたので、ぜひ日本の優位性を保つということで、日本だけではなくて、もしかしたら海外も巻き込むようなモデルというのも今後あり得るのかなと、お話を聞いていて思いました。

次に、個々のプロジェクトなのですけれども、AI エッジに関しては、一例だけをお伺いしたので、その感じだと非常にドメインが狭い代わりに、非常に優位性がある

というふうに思いました。さらに、やはり DRP-AI とか、非常に優位性があるのですけれども、その用語とかが、例えば多くの方に理解していただいて、それが、また大学の研究室でも気軽に使えるとか、何かそうした形で普及を図ることで、より多くの方が高度な技術を理解して使えるというような形で普及が進むといいなというふうに思いました。

量子アニーリングは、もうぜひ日本のお膝元ですので頑張ってもらいたいというふうに思っていますし、またそれがちょっと水平統合的な感じもありましたので、さらに日本で派生した技術が多くの方に利用していただくようなプロジェクトマネジメント、今の AI みたいに、そうした普及の仕方というのも検討していただけたらありがたいです。例えば我々も、こうしたハードウェアの恩恵にあずかるというのが、なかなか難しいのですけれども、そうしたところにも普及していくと非常に多くの方に使っていただけるように思います。多くの方に特定の用途かもしれないのですけれども、メリットを理解していただいて、強みを活かして行けるのではないかと思います。

最後に、PUF に関しては、垂直統合型で3分野が並行して異なる市場に強みを持つという、非常に分かりやすく、かつすばらしいマネジメントだと思いました。やはり国際的な観点で進めるというのは重要だと思いましたので、ぜひ今後も普及に向かって進んでいただきたいというふうに思いました。

以上です。

【菅野分科会長】 ありがとうございました。

それでは、こちらサイド、岡島委員をお願いします。

【岡島委員】 トヨタ自動車、岡島です。

私は全体を通して2つお願いしたいと思います。

いわゆる AI チップ、ハードウェアだけではなくて、ソフトウェアとか、あるいはエコシステムも含めた技術開発が必要で、やはりユーザーに使ってもらってこそユースケースとか、新しいアプリケーションというのが出てくる、あるいはそれによって新たな開発課題とかというようなものが出てくるはずなので、ぜひ各研究開発テーマを受託されている方々は、完成度が高くないでもいいので、ユーザーに触ってもらうような機会をつくっていただけたらいいなというふうに思います。それが1点目。

それから、2点目、マネジメントをアジャイルにやっていただくに当たって、やっぱり、世の中全体を俯瞰してポジショニングを正しく把握することが必要なと、よくありがちなのは、研究者とか、あるいはプロジェクト受託者においては、自分の直接の関連する技術とのベンチマークで自分はいいい、ということをおっしゃるのですけれども、でも同じような課題解決のための手段というのはたくさん世の中にあって、全体としてどれが一番有効であるか、あるいはお客様にとって有効であるかとい

うところで、やっぱり世の中に出ていけるかどうかというのが決まると思います。

そういう意味で、ぜひ NEDO でも継続的に情報収集、ベンチマーク、ポジショニングというのを客観的に技術委員会でも、他でもいいのですけれども、常にそれを見ながらマネジメントをやっていただくということと、日本のプロジェクト全体がうまく融合、相互に補完、連携しながら成果が出せるようにと、2つ俯瞰してマネージしていただけるといいなというふうに思いました。よろしくお願いします。

【菅野分科会長】 ありがとうございます。

それでは、石村委員お願いいたします。

【石村委員】 日本政策投資銀行、石村でございます。

今回の話もデータに関する話で、コロナ以前から始まっているプロジェクトだと思うのですが、総務省のデータなんかを見ますと、5月当たりからかなり通信トラフィック量が大きく増加してきているということで、ストレージの重要性も、もちろんなのですが、得られたデータをどのように処理するかという観点については、このプロジェクトが始まった当初よりも、さらに重要性を増しているのかなと思っています。その中で、プロジェクトの進捗が見られたプロジェクトが多いので嬉しいのですが、一方で、ほかの委員からもご指摘あるとおりで、ビジネスの視点で技術をどう生かしていくかというのは、コロナも含めて、外部環境の激変というがあるので、人々の生活が変わればまたニーズも変わっていくということで、すごく難しい課題なのかなと思っています。これからまたコロナで環境がどうなるかも分からないし、変化が今後も激しいと思われますので、アジャイルという話も再三出ていますが、やっぱりビジネス設計にある程度の余裕というか、フレキシビリティみたいなものが強く求められるのかなというところを強く感じています。

私も組織の DX を最近担当しているのですが、その中でやっぱりチャレンジして、転んで、また起き上がって学習するみたいなことって簡単なように見えて組織としてもすごく難しいのだなということを日々感じているので、ちょっとチャレンジして失敗して修正していくみたいなことができるような組織体制みたいなところを、実施者側もそうですし、我々というか、みんなで作っていかないといけないところなのかなと思っています。

以上です。

【菅野分科会長】 ありがとうございます。

それでは、分科会長代理を務めていただきました川人委員お願いできますでしょうか。

【川人分科会長代理】 私のほうからは、個別のテーマに関してコメントを上げさせていただければと思っています。

まず、AI エッジコンピューティングの技術の関係ですが、先ほども質問をさせていただいて、DRP の価値は十分に分かりましたし、エッジでの計算つまりセン

サ等で得た情報をその場で直ちに処理をするということは、AI を活用した高度な処理を、低電力で実現する上で非常に重要であるということにはよく分かりました。その主要な課題は、チップの開発になると思いますので、大きな開発コストがかかると思いますので、それに見合う重要なアプリケーションをできるだけ早く見つけていただいて、実際に使うところに進んでいただきたいなと聞いていて思いました。

チップ開発に関する研究は、処理性能を改善することが主目的になりますが、ムーアの法則が終焉を迎えるとかいう話もありながらも、着実に進んでいる部分もありますので、そうするとこの事業で目標値が、従来アーキテクチャとムーア測による進展によって時間が経過すると達成されてしまうこともありうると思います。その意味でもできるだけ早く事業化することが重要であると思います。日本の半導体は、一般的な状況としては、あまり元気のない状況ではありますので、ぜひこういう有望な技術を早く事業化まで持って行って頂いて、半導体技術全般に刺激を与えるような成果としていただきたいと思います。

それから、量子アニーリングの関係については、いま世界中で量子コンピューティングの非常に激しい競争がなされているところだと思いますけれども、本事業の技術は超電導によるパラメトロン素子ということで、以前から日本発の技術として精力的に開発されているもので、それが量子コンピューティングといいますか、量子アニーリングという非常に価値が高い応用で花開いていると私は認識していますので、ぜひ成功させていただきたいなと思います。ただ、他との違いといいますか、例えば「質的に他ではできないことができる」ですとか「特定の計算に関しては他の方式よりも圧倒的に計算性能が高い」とか、そういう特徴を際立たせていただいて、ぜひ成功させていただきたいなと思いました。

それから、3番目に話をされた横断的技術に関係したセキュリティの技術についてですが、これも本当に重要なものであって、特に、先ほどのお話にありましたイメージセンサーの中にこの技術を組み込む技術は重要で、末端のところではセキュリティをかけるのが一番セキュリティ的には強くなるということであると思いますので、このプロジェクト自体は今年度で終了かもしれませんが、ぜひ何らかの形で技術開発の継続をしていただいて、特にセンサに関する半導体は、日本が非常に強い分野でもありますし、この技術を発展させていただきたいと思います。

以上です。

【菅野分科会長】 ありがとうございます。

それでは、最後、私でございますけれども、既に各委員の方々から個別、あるいは全体的なところの非常に貴重な意見を出していただいたかと思っておりますので、私はちょっと別な角度からお話したいと思っております。ちょうど私 SIP の第2期の佐相 PD のプロジェクトで評価のメンバーに入っております。もちろんこのプロジェクトとはフェーズは違うかもしれませんが、やはり国を上げて強くなるためには横の

連携が必要だというのは SIP の中でもかなり言われています。

SIP の中で、他のプロジェクト、多分この AI チップ、次世代コンピューティングも含めて、どのような連携が活かされているかということが課題になっており、連携が強く推奨されています。やはり連携をするというのは非常に重要だと思います。特に、先ほど遠藤さんからお話があったように、2022 年に向けていろいろなプロジェクトがゴールに向かって進んでいますけれども、そこでどういうふうに協調、連携できるか、特に今日いろいろお話を伺っていて、やはり日本は強くならなければいけない、今ちょっと弱いのではないかという部分もあると感じますので、まさに横の連携で強めていただければいいのかなと感じました。

個別は個別で、プロジェクトを進めるのは非常に大変なことですけれども、やはりサイバーフィジカルシステムの実現というときには、この AI チップというのは極めて重要な位置づけになると思いますので、そういう意味の連携をぜひ、ちょうど佐相 PD の SIP も NEDO で実施されていますから、うまくそこを連携していただけるといいと思いました。

以上でございますが、最後に、非常にこれだけの大きなプロジェクトをまとめる、進めるというのは大変なことだと思います。ですので、PL、PM の方々、NEDO の関係者の方々に、私は大いに敬意を表したいと思います。ぜひとも、このプロジェクトで世界に向けて日本がきっちりと AI、それからチップ、半導体も含めて、システムとして打ち出していただきたいと思います。まさにここで頑張らないと非常にまずい状態になるかなという危機感を私自身も持っておりますので、ぜひ引き続き関係者の方々にはご努力いただきたいということをお願いしまして、私の講評とさせていただきます。

それでは、よろしいでしょうか。事務局からお願いします。

【事務局】 どうもありがとうございました。

最後に安田部長及び本プロジェクトの全体 PL である金山プロジェクトリーダーから一言お願いいたします。

【NEDO_安田】 NEDO、IoT 推進部の安田でございます。本日は大変貴重なご審議、そしてご評価をいただきまして誠にありがとうございました。

本日、数々のご指摘をいただきまして、我々としても今後のプロジェクトマネジメントに反映をしていきたいと考えているところでございます。

2点だけ、菅野先生からおっしゃっていただいた SIP のプロジェクトとの連携ということにつきましては、同じ IoT 推進部でマネジメントを行っておりまして、具体的に申し上げれば、一つのセンサのプロジェクトについては、このプロジェクトの成果を SIP のプロジェクトでも使うということも進めておりますので、そういったことも含めましてプロジェクト間の連携を進めていきたいと思っております。

また、委員の先生の皆様方からいただきましたご指摘の中で、特にプロジェクトの

マネジメントをアジャイルにやっていくということで、強みをしっかり見極めてベンチマーキングをしながら、計画を見直して、成功に導いていくということは今後さらに一層強化してまいりたいと思います。また、ユーザーを巻き込んでいく、そして、技術の成果をオープンにして広く仲間を募って普及させていくという点についても今後さらに力を入れていきたいと思っています。

そして、実用化・事業化に関することもご指摘を多くいただいておりますので、きちっとタイミングを見極めて、NEDO のプロジェクトの中で事業化のタイミングを見据えて、それを次の支援の方につないでいくとか、そういったこともしっかりと成果の実用化に向けて取り組んでいきたいと思っています。

今日は貴重なご指摘をいただきまして誠にありがとうございました。

【金山 PL】 全体プロジェクトリーダーを拝命しております金山でございます。

今日はこれだけ内容が多岐にわたって、かつ時間軸も非常にいろいろなスケールのものが混じっている幅広いプロジェクトに対して、総合的な観点から私どもの背中を押していただけるような貴重なコメントをたくさんいただきましてありがとうございました。

最後に、これだけ幅広いテーマを横断している、ちょっとテーマが多すぎるのではないかというのは誰も最初の感触なのですが、振り返ってみますと、これだけいろいろな内容を含んでいるということは、それだけ必要性があるということではないかなと思っております。

IoT 横断のプロジェクトが始まったのが一番古いわけですが、IoT あるいは AI、さらには量子、それから脳型のような新原理、いずれも日本としては強みがあって、今後世界の先頭に立てる可能性があり、かついろいろな社会的にも産業的にも必要性があって、やらなければいけないというテーマと思います。

さらに振り返りますと、最近のコロナ禍の影響でこういう ICT 技術への依存性はますます高まっていますし、さらに、また米中摩擦に代表されるような安全保障の点もあって、いろいろな技術、あるいはサプライチェーンに関するものが今までと違うように、世界のどこからでも自由に手に入るかということが必ずしも担保されないという状況になって、さらに必要性が高まっております。

こういうことを考えますと、これだけたくさんのテーマを横断してタイムスケールも分野も広いプロジェクトを、一つのプロジェクトをつくるとしてマネージしていると、この経験がコロナ禍を振り返ってみると非常に貴重なものに今後なるのではないかなと、これはなかなかいいテーマかなというふうに改めて思っているところ です。

それにつきましても、やはり固定的なマネジメントをしておく、とんでもないことになるわけですし、いろいろなアジャイルにというご指摘もありましたとおり、広くいろいろな状況を、世界的な状況あるいは国内の状況も把握しながら、方針を柔軟

に展開していくということがますます必要になっています。

それについては、以前から NEDO の事務局とももっといろいろな調査をやったほうがいいのではないかという議論もしてきたところですが、ステージゲートを迎える段階になって、ある程度の成果も出てきたというところで、よりマネジメントを強化する方向に次年度から入ります。この点につきましても、私どもの背中を押すようなコメントをいただきましてありがとうございました。

ということで、世界的な状況もよく把握しながら、かつ国内外のプロジェクトとも必要なところとはよく連携をして、日本の強みとなるようにこのテーマを発展させていきたいと思っておりますので、今後もこのプロジェクトの背中を押し、ときには駄目出しをするような非常に貴重なコメントを継続していただければと思っております。

本日はどうもありがとうございました。

【菅野分科会長】 どうもありがとうございました。

それでは、以上で議題 8 を終了といたします。

9. 今後の予定

10. 閉会

配布資料

- 資料 1 研究評価委員会分科会の設置について
- 資料 2 研究評価委員会分科会の公開について
- 資料 3 研究評価委員会分科会における秘密情報の守秘と非公開資料の取り扱いについて
- 資料 4-1 NEDO における研究評価について
- 資料 4-2 評価項目・評価基準
- 資料 4-3 評点法の実施について
- 資料 4-4 評価コメント及び評点票
- 資料 4-5 評価報告書の構成について
- 資料 5 プロジェクトの概要説明資料（公開）
- 資料 6 プロジェクトの詳細説明資料（非公開）
- 資料 7-1 事業原簿（公開）
- 資料 7-2 事業原簿（非公開）
- 資料 8 評価スケジュール

分科会前に実施した書面による質疑応答は、全ての質問について質問または回答が非公開情報を含んでいるため、記載を割愛する。

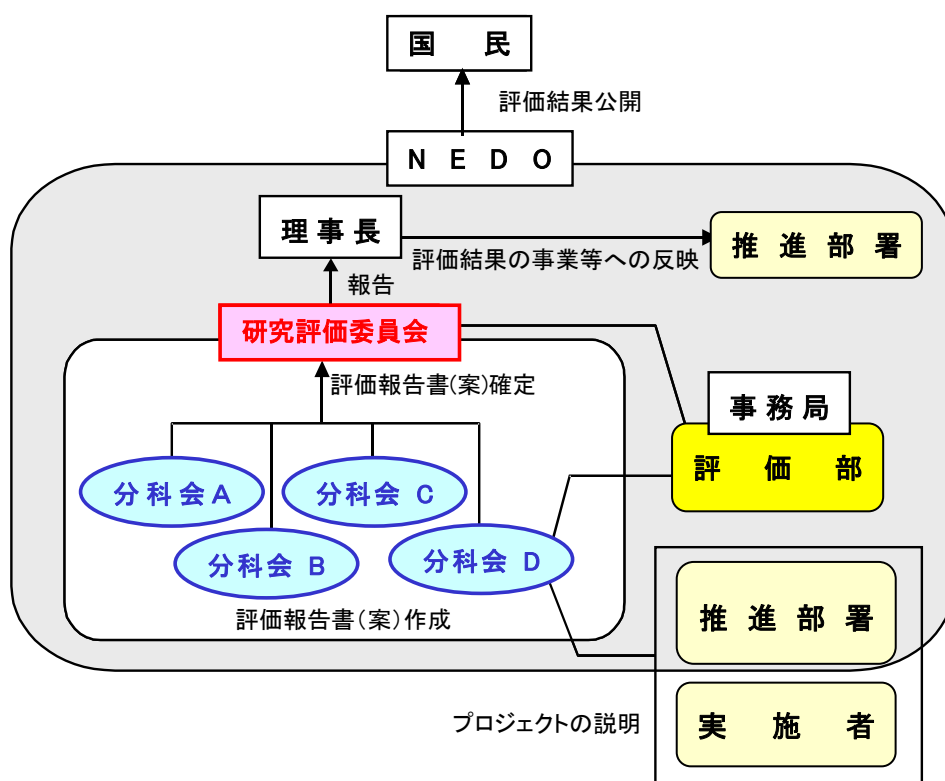
以上

参考資料 2 評価の実施方法

本評価は、「技術評価実施規程」（平成 15 年 10 月制定）に基づいて実施する。

国立研究開発法人新エネルギー・産業技術総合開発機構(NEDO)における研究評価では、以下のように被評価プロジェクトごとに分科会を設置し、同分科会にて研究評価を行い、評価報告書（案）を策定の上、研究評価委員会において確定している。

- 「NEDO 技術委員・技術委員会等規程」に基づき研究評価委員会を設置
- 研究評価委員会はその下に分科会を設置



1. 評価の目的

評価の目的は「技術評価実施規程」において

- 業務の高度化等の自己改革を促進する
 - 社会に対する説明責任を履行するとともに、経済・社会ニーズを取り込む
 - 評価結果を資源配分に反映させ、資源の重点化及び業務の効率化を促進する
- としている。

本評価においては、この趣旨を踏まえ、本事業の意義、研究開発目標・計画の妥当性、計画を比較した達成度、成果の意義、成果の実用化の可能性等について検討・評価した。

2. 評価者

技術評価実施規程に基づき、事業の目的や態様に即した外部の専門家、有識者からなる委員会方式により評価を行う。分科会委員は、以下のような観点から選定する。

- 科学技術全般に知見のある専門家、有識者
- 当該研究開発の分野の知見を有する専門家
- 研究開発マネジメントの専門家、経済学、環境問題、国際標準、その他社会的ニーズ関連の専門家、有識者
- 産業界の専門家、有識者

また、評価に対する中立性確保の観点から事業の推進側関係者を選任対象から除外し、また、事前評価の妥当性を判断するとの側面にかんがみ、事前評価に関与していない者を主体とする。

これらに基づき、委員を分科会委員名簿の通り選任した。

なお、本分科会の事務局については、国立研究開発法人新エネルギー・産業技術総合開発機構評価部が担当した。

3. 評価対象

「高効率・高速処理を可能とする AI チップ・次世代コンピューティングの技術開発」を評価対象とした。

なお、分科会においては、当該事業の推進部署から提出された事業原簿、プロジェクトの内容、成果に関する資料をもって評価した。

4. 評価方法

分科会においては、当該事業の推進部署及び実施者からのヒアリング及び実施者側等との議論を行った。それを踏まえた分科会委員による評価コメント作成、評点法による評価により評価作業を進めた。

なお、評価の透明性確保の観点から、知的財産保護の上で支障が生じると認められる場合等を除き、原則として分科会は公開とし、実施者と意見を交換する形で審議を行うこととした。

5. 評価項目・評価基準

分科会においては、次に掲げる「評価項目・評価基準」で評価を行った。これは、NEDOが定める「標準的評価項目・評価基準」をもとに、当該事業の特性を踏まえ、評価事務局がカスタマイズしたものである。

評価対象プロジェクトについて、主に事業の目的、計画、運営、達成度、成果の意義、実用化に向けての取組や見通し等を評価した。

「高効率・高速処理を可能とする AI チップ・次世代コンピューティングの
技術開発」に係る
評価項目・評価基準

本評価項目・基準は、非連続ナショナルプロジェクト特有の評価視点を盛り込んだものであり、評価者は当該視点(アンダーラインで示す)によってプロジェクトを重点的に評価する。

1. 事業の位置付け・必要性について

(1) 事業目的の妥当性

- ・ 内外の技術動向、国際競争力の状況、エネルギー需給動向、市場動向、政策動向、国際貢献可能性等の観点から、事業の目的は妥当か。
- ・ 上位の施策・制度の目標達成のために寄与しているか。

(2) NEDOの事業としての妥当性

- ・ 民間活動のみでは改善できないものであること又は公共性が高いことにより、NEDOの関与が必要とされる事業か。
- ・ 当該事業を実施することによりもたらされると期待される効果は、投じた研究開発費との比較において十分であるか。

2. 研究開発マネジメントについて

(1) 研究開発目標の妥当性

- ・ 従来技術の延長線上になく難易度の高い目標となっているか。
- ・ 内外の技術動向、市場動向等を踏まえて、戦略的な目標を設定しているか。
- ・ 達成度を判定できる明確な目標を設定しているか。

(2) 研究開発計画の妥当性

- ・ 目標達成のために、従来の技術とは全く異なる原理、高効率・効果的なアプローチ、プロセス等を採用しているか。
- ・ 目標達成のために適切なスケジュール及び研究開発費（研究開発項目の配分を含む）となっているか。
- ・ 目標達成に必要な要素技術の開発は網羅されているか。
- ・ 計画における要素技術間の関係、順序は適切か。

(3) 研究開発の実施体制の妥当性

- ・ 技術力及び事業化能力を有する実施者を選定しているか。
- ・ 指揮命令系統及び責任体制は明確であり、かつ機能しているか。
- ・ 成果の実用化・事業化の戦略に基づき、実用化・事業化の担い手又はユーザーが関与する体制を構築しているか。
- ・ 目標達成及び効率的実施のために実施者間の競争が必要な場合、競争の仕組みがあり、かつ機能しているか。

- ・ 大学または公的研究機関が企業の開発を支援する体制となっている場合、その体制は企業の取組に貢献しているか。

(4) 研究開発の進捗管理の妥当性

- ・ 技術の取捨選択や技術の融合、必要な実施体制の見直し等を柔軟に図っているか。
- ・ 研究開発の進捗状況を常に把握し、遅れが生じた場合に適切に対応しているか。
- ・ 社会・経済の情勢変化、政策・技術の動向等を常に把握し、それらの影響を検討し、必要に応じて適切に対応しているか。

(5) 知的財産等に関する戦略の妥当性

- ・ 知的財産に関する戦略は、明確かつ妥当か。
- ・ 知的財産や研究開発データに関する取扱についてのルールを整備し、かつ適切に運用しているか。
- ・ 国際標準化に関する事項を計画している場合、その戦略及び計画は妥当か。

3. 研究開発成果について

(1) 研究開発目標の達成度及び研究開発成果の意義

- ・ 成果は、中間目標を達成しているか。
- ・ 中間目標未達成の場合、達成できなかった原因を明らかにして、解決の方針を明確にしているか。
- ・ 成果は、競合技術と比較して優位性があるか。
- ・ 世界初、世界最高水準、新たな技術領域の開拓、汎用性等の顕著な成果があるか。
- ・ 設定された目標以外の技術成果があるか。

(2) 成果の最終目標の達成可能性

- ・ 最終目標を達成できる見通しはあるか。
- ・ 最終目標に向けて、課題とその解決の道筋は明確かつ妥当か。

(3) 成果の普及

- ・ 論文等の対外的な発表を、実用化・事業化の戦略に沿って適切に行っているか。
- ・ 成果の活用・実用化の担い手・ユーザーに向けて、成果を普及させる取組を実用化・事業化の戦略に沿って適切に行っているか。
- ・ 一般に向けて、情報を発信しているか。

(4) 知的財産権等の確保に向けた取組

- ・ 知的財産権の出願・審査請求・登録等を、実用化・事業化の戦略に沿って国内外で適切に行っているか。
- ・ 国際標準化に関する事項を計画している場合、その計画は順調に進捗しているか。

「実用化・事業化」の考え方

実用化については、当該研究開発の成果が社会的利用が可能となる段階※まで技術的な水準を確立することであり、

事業化については、実用化段階を経た研究開発成果が、知的財産(IPコア等)、部品・モジュール・システム、サービス等の販売や提供により、企業活動(売り上げ等)に貢献することをいう。

※社会的利用が可能となる段階の例:IoT センサや AI チップ等の試作品提供、次世代データベース、量子コンピュータ等のクラウド環境での公開など

4. 成果の実用化・事業化に向けた取組及び見通しについて

(1) 成果の実用化・事業化に向けた戦略

- ・ 成果の実用化・事業化の戦略は、明確かつ妥当か。
- ・ 想定する市場の規模・成長性等から、経済効果等を期待できるか。

(2) 成果の実用化・事業化に向けた具体的取組

- ・ 実用化・事業化に取り組む者について検討は進んでいるか。
- ・ 実用化・事業化の計画及びマイルストーンの検討は進んでいるか。

(3) 成果の実用化・事業化の見通し

- ・ 実用化・事業化に向けての課題とその解決方針は明確か。
 - ・ 想定する製品・サービス等は、市場ニーズ・ユーザーニーズに合致する見通しがあるか。
 - ・ 競合する製品・サービス等と比較して性能面・コスト面等で優位を確保する見通しはあるか。
 - ・ 顕著な波及効果（技術的・経済的・社会的効果、人材育成等）を期待できるか。（※）
- ※特に、当初の計画に留まらない他の技術や用途への展開、新たな市場の創造の見通し、社会的な効果等が期待できるか。

「プロジェクト」の中間評価に係る標準的評価項目・基準

※「プロジェクト」の特徴に応じて、評価基準を見直すことができる。

「実用化・事業化」の定義を「プロジェクト」毎に定める。以下に例示する。

「実用化・事業化」の考え方

当該研究開発に係る試作品、サービス等の社会的利用(顧客への提供等)が開始されることであり、さらに、当該研究開発に係る商品、製品、サービス等の販売や利用により、企業活動(売り上げ等)に貢献することをいう。

なお、「プロジェクト」が基礎的・基盤的研究開発に該当する場合は、以下のとおりとする。

- ・「実用化・事業化」を「実用化」に変更する。
- ・「4. 成果の実用化に向けた取組及び見通しについて」は該当するものを選択する。
- ・「実用化」の定義を「プロジェクト」毎に定める。以下に例示する。

「実用化」の考え方

当該研究開発に係る試作品、サービス等の社会的利用(顧客への提供等)が開始されることをいう。

1. 事業の位置付け・必要性について

(1) 事業の目的の妥当性

- ・内外の技術動向、国際競争力の状況、エネルギー需給動向、市場動向、政策動向、国際貢献可能性等の観点から、事業の目的は妥当か。
- ・上位の施策・制度の目標達成のために寄与しているか。

(2) NEDO の事業としての妥当性

- ・民間活動のみでは改善できないものであること又は公共性が高いことにより、NEDO の関与が必要とされる事業か。
- ・当該事業を実施することによりもたらされると期待される効果は、投じた研究開発費との比較において十分であるか。

2. 研究開発マネジメントについて

(1) 研究開発目標の妥当性

- ・内外の技術動向、市場動向等を踏まえて、戦略的な目標を設定しているか。
- ・達成度を判定できる明確な目標を設定しているか。

(2) 研究開発計画の妥当性

- ・目標達成のために妥当なスケジュール及び研究開発費(研究開発項目の配分を含む)となっているか。
- ・目標達成に必要な要素技術の開発は網羅されているか。
- ・計画における要素技術間の関係、順序は適切か。
- ・継続または長期の「プロジェクト」の場合、技術蓄積を、実用化の観点から絞り込んで活用を図っている

か。【該当しない場合、この条項を削除】

(3) 研究開発の実施体制の妥当性

- ・技術力及び事業化能力を有する実施者を選定しているか。
- ・指揮命令系統及び責任体制は明確であり、かつ機能しているか。
- ・成果の実用化・事業化の戦略に基づき、実用化・事業化の担い手又はユーザーが関与する体制を構築しているか。
- ・目標達成及び効率的実施のために実施者間の連携が必要な場合、実施者間の連携関係は明確であり、かつ機能しているか。【該当しない場合、この条項を削除】
- ・目標達成及び効率的実施のために実施者間の競争が必要な場合、競争の仕組みがあり、かつ機能しているか。【該当しない場合、この条項を削除】
- ・大学または公的研究機関が企業の開発を支援する体制となっている場合、その体制は企業の取組に貢献しているか。【該当しない場合、この条項を削除】

(4) 研究開発の進捗管理の妥当性

- ・研究開発の進捗状況を常に把握し、遅れが生じた場合に適切に対応しているか。
- ・社会・経済の情勢変化、政策・技術の動向等を常に把握し、それらの影響を検討し、必要に応じて適切に対応しているか。

(5) 知的財産等に関する戦略の妥当性

- ・知的財産に関する戦略は、明確かつ妥当か。
- ・知的財産に関する取扱(実施者間の情報管理、秘密保持及び出願・活用ルールを含む)を整備し、かつ適切に運用しているか。
- ・国際標準化に関する事項を計画している場合、その戦略及び計画は妥当か。【該当しない場合、この条項を削除】

3. 研究開発成果について

(1) 研究開発目標の達成度及び研究開発成果の意義

- ・成果は、中間目標を達成しているか。
- ・中間目標未達成の場合、達成できなかった原因を明らかにして、解決の方針を明確にしているか。
- ・成果は、競合技術と比較して優位性があるか。
- ・世界初、世界最高水準、新たな技術領域の開拓、汎用性等の顕著な成果がある場合、積極的に評価する。
- ・設定された目標以外の技術成果がある場合、積極的に評価する。

(2) 成果の最終目標の達成可能性

- ・最終目標を達成できる見通しはあるか。
- ・最終目標に向けて、課題とその解決の道筋は明確かつ妥当か。

(3) 成果の普及

- ・論文等の対外的な発表を、実用化・事業化の戦略に沿って適切に行っているか。
- ・成果の活用・実用化の担い手・ユーザーに向けて、成果を普及させる取組を実用化・事業化の戦略に沿って適切に行っているか。

・一般に向けて、情報を発信しているか。

(4) 知的財産権等の確保に向けた取組

- ・知的財産権の出願・審査請求・登録等を、実用化・事業化の戦略に沿って国内外に適切に行っているか。
- ・国際標準化に関する事項を計画している場合、その計画は順調に進捗しているか。【該当しない場合、この条項を削除】

4. 成果の実用化・事業化に向けた取組及び見通しについて 【基礎的・基盤的研究開発の場合を除く】

(1) 成果の実用化・事業化に向けた戦略

- ・成果の実用化・事業化の戦略は、明確かつ妥当か。
- ・想定する市場の規模・成長性等から、経済効果等を期待できるか。

(2) 成果の実用化・事業化に向けた具体的取組

- ・実用化・事業化に取り組む者について検討は進んでいるか。
- ・実用化・事業化の計画及びマイルストーンの検討は進んでいるか。

(3) 成果の実用化・事業化の見通し

- ・実用化・事業化に向けての課題とその解決方針は明確か。
- ・想定する製品・サービス等は、市場ニーズ・ユーザーニーズに合致する見通しがあるか。
- ・競合する製品・サービス等と比較して性能面・コスト面等で優位を確保する見通しはあるか。
- ・顕著な波及効果(技術的・経済的・社会的効果、人材育成等)を期待できる場合、積極的に評価する。

4. 成果の実用化に向けた取組及び見通しについて 【基礎的・基盤的研究開発の場合】

(1) 成果の実用化に向けた戦略

- ・成果の実用化の戦略は、明確かつ妥当か。

(2) 成果の実用化に向けた具体的取組

- ・実用化に向けて、課題及びマイルストーンの検討は進んでいるか。

(3) 成果の実用化の見通し

- ・想定する製品・サービス等に基づき、市場・技術動向等の把握は進んでいるか。
- ・顕著な波及効果(技術的・経済的・社会的効果、人材育成等)を期待できる場合、積極的に評価する。

【基礎的・基盤的研究開発の場合のうち、知的基盤・標準整備等を目標としている場合】

(1) 成果の実用化に向けた戦略

- ・知的基盤・標準の整備及び活用の計画は、明確かつ妥当か。

(2) 成果の実用化に向けた具体的取組

- ・知的基盤・標準を供給・維持するための体制の検討は進んでいるか。

(3) 成果の実用化の見通し

- ・整備する知的基盤・標準について、利用の見通しはあるか。
- ・顕著な波及効果(技術的・経済的・社会的効果、人材育成等)を期待できる場合、積極的に評価する。

参考資料 3 評価結果の反映について

「高効率・高速処理を可能とする AI チップ・次世代コンピューティングの技術開発」（中間評価）の評価結果の反映について

評価のポイント	反映（対処方針）のポイント
<p>① プロジェクト開始前に行なっているベンチマーク活動は、プロジェクト開始後は実施者任せになっていることから、NEDO においても、成功事例の共有、技術の世界的な潮流とポートフォリオの明確化及び競合技術に対するポジショニング等を、明示されることを望みたい。</p> <p>② 事業化の観点からみた優位性検討と、それにとまなう目標の見直し、あるいはテーマの取捨選択や整理統合を、これまで以上に適宜行うことにより、選択と集中をより加速することも期待したい。</p> <p>③ 全体的に、技術開発の達成状況が、世界の先端技術に対して、追いつきつつあるものの、優位性を十分に示し得るまでには達していない、あるいは今後それ以上に到達する見込みを明確には提示できていないように見受けられる。事業化で優位になるためには、実用化フェーズに入っている AI チップ、ハードウェアセキュリティに関しては、プロトタイプでのユーザー評価を実施すること、開発段階の量子コンピュータに関しては、ユーザーとなりうる事業主体とのコミュニケーションが重要と考えられ、人材育成、事業化を見据えた検討の開始を期待する。</p>	<p>① 技術動向分析や、NEDO として今後研究開発を行う必要がある分野を検討するための調査研究を、中間評価結果を踏まえて 2021 年度に実施する。</p> <p>② 2021 年度に開催予定の技術推進委員会に加え、2022 年度には事業全体の見直しを行う予定であることから、中間評価結果も反映して実施する。</p> <p>③ 各研究開発テーマにおいて、中間評価の結果も踏まえ、成果の試作にかかる加速対応、あるいはプロトタイプのサンプル提供や中間成果物の公開を実施し、想定ユーザーからのフィードバックを研究開発に反映するように調整を進める。また、ステージの異なる量子コンピュータについては、成果を用いた試作（例：クラウド上での試行環境）の公開を進めるだけでなく、研究開発チーム内において人材育成にかかる取組、情報交換を行うように調整を進める。</p>

評価のポイント	反映（対処方針）のポイント
<p>研究開発項目③「高度な IoT 社会を実現する横断的技術開発」は、技術的優位性に基づき、参加各企業が実用化・事業化を計画的かつ具体的に進めていることは評価でき、小規模ながら人材育成にも貢献していると思われる。</p> <p>一方で、</p> <p>④ 研究開発項目①「革新的 AI エッジコンピューティング技術の開発」の代表的出口として想定されているロボット産業は必ずしも大規模とは言えず、SIP（戦略的イノベーション創造プログラム）等でも用途の議論が進んでいることもあり、一般ビジネスを含めて広く検討していただきたい。</p> <p>⑤ 研究開発項目②「次世代コンピューティング技術の開発」は、開発が加速するのはこれからのフェーズではあるものの、特にアニーリングマシンコンピューティング技術については、オールジャパンの体制が構築され、ビジネス面での波及効果だけではなく、成果が出てきた場合には体制構築のモデルケースとなる可能性も含めた波及効果が期待できると考えられるため、予算の拡充だけではなく、人材育成・獲得戦略、国家の全体戦略を踏まえた進め方を意識して進めていただきたい。</p>	<p>④ 現状のプロジェクトでは、ロボット産業のみならず、自動運転車や FA、ドローン等を出口として、研究開発を実施している。さらなる成果の需要拡大を図るために、プロトタイプサンプル提供や中間成果物の公開を実施し、ユーザーからのフィードバックを受けることで、より多様な出口の開拓を検討する。</p> <p>⑤ 量子技術イノベーション戦略等の国家戦略も踏まえ、研究開発の状況に応じて、次年度予算の増額、人員の適切な配置、研究開発内容や体制の見直し等を行う。</p>

評価のポイント	反映（対処方針）のポイント
<p>⑥ プロジェクト全体として、アウトプット目標に対して技術開発は着実に進んでいると評価できるが、アウトカム目標達成の具体的検討が追いついていない印象を受けることから、今後は、単に実用化できれば完了ではなく、市場を獲得、拡大する方策についても一層の検討をお願いしたい。</p>	<p>⑥ 2021 年度に技術・市場動向等に関する調査研究を行い、各テーマにフィードバックを行うことで、さらなる検討を進める。</p>

本研究評価委員会報告は、国立研究開発法人新エネルギー・産業技術総合開発機構（NEDO）評価部が委員会の事務局として編集しています。

NEDO 評価部

部長 森嶋 誠治

担当 笹川 克義

* 研究評価委員会に関する情報は NEDO のホームページに掲載しています。

(https://www.nedo.go.jp/introducing/iinkai/kenkyuu_index.html)

〒212-8554 神奈川県川崎市幸区大宮町1310番地

ミューザ川崎セントラルタワー20F

TEL 044-520-5160 FAX 044-520-5162