

養成技術者の研究・研修成果等

1. 養成技術者氏名： 平野 悟

2. 養成カリキュラム名： 超電導集積回路設計・測定技術の開発

3. 養成カリキュラムの達成状況

前年度までに、通信応用に必要とされるアナログ信号帯域幅 100 MHz、分解能 14 ビットを現在の Nb 系超電導集積回路作製プロセス(NEC 標準プロセス)を用いて早期に実現することを目的として、ダブル・ループ・ローパス Σ - Δ モジュレータの動作実証と改良を行ってきた。今年度は、前年度試作されたモジュレータの測定により明らかとなったDC-SFQおよびSFQスプリッターなどいくつかの基本的なゲートに動作が不安定であるなどの問題点の修正を行い、ダブル・ループ・ローパス Σ - Δ モジュレータの性能をさらに向上させること、超電導ADコンバータ・システム開発のため、超電導フロントエンド回路開発の基礎となる実用的なシングル・ループ・ローパス Σ - Δ モジュレータを開発することを目的とした。

今年度特に集中して取り組んだのは、ADコンバータシステム開発のみならずモジュレータ性能の評価にも不可欠な出力インターフェースの改良である。改良型の開発により外部クロックと出力インターフェースへのACパイアスとのタイミング・マージンが大きくなり、現在ではタイミングに関する限り、5 GHzまでの測定が全く問題にならないようになった。さらに、グランド・リップルを低減する設計技術を進め、測定方法、測定治具の改善を行った。現在までに、ダブル・ループ Σ - Δ モジュレータは、サンプリング周波数4 GHzでノイズ・フロアを約20 dB低減させることができ、またシングル・ループ・ローパス Σ - Δ モジュレータも改良を続け、サンプリング周波数5 GHzで動作させたモジュレータを用いて、アナログ信号(サイン波、三角波、矩形波)をアナログ・デジタル変調した後、出力デジタル信号からアナログ元波形を再生できることを実証した。しかしながら、出力パワー・スペクトラムから見積もられる有効ビット数は、主として出力インターフェースのエラーに起因し4から5ビット程度と低かった。

DEMUX回路では、前年度までに、出力データ・レートをクロック周波数の2分の1に下げる(分周する)1:2DEMUXおよび4分の1に下げる1:4DEMUXの低速測定による正常動作確認を行い、さらにDEMUXの出力データ・パターンがクロックの分周に用いるT-flip-flop (TFF)の初期状態に依存して異なるのを防ぐため、TFFの内部状態を初期化するリセット・ラインを追加することで改良を加えてきた。今年度は、リセット付きTFFを備えた1:4DEMUX回路の動作実証測定を行い、超電導シグマデルタ・モジュレータの出力データを1:4DEMUX回路を通してデータ・レートを下げて測定することを目的とした。これまでにこの改良型1:4DEMUX回路の正常動作を低速で確認した。

モジュレータの性能実証(帯域10 MHz、14ビット)には、多チャンネルで動作させてもビット・エラー・レートが 10^{-6} 程度以下の出力インターフェースの開発が必要不可欠であり、インターフェース回路のさらなる改良を進めている。

4. 成果

(1) ダブル・ループ・ローパス Σ - Δ モジュレータ

今年度は、前年度試作されたモジュレータの測定により明らかとなったいくつかの問題点の修正

を行った。「別紙」図 1(a)はフィードバック・ゲイン 64、サンプリング周波数 4 GHz のダブル・ループ Σ - Δ モジュレータである。フィードバック・ゲインを生成するフィードバック・ドライバーを構成する 3 接合 SQUID のレイアウトを改良し、よりコンパクトな構造とすることで浮遊インダクタンスを低減できるようにした。これまで試作されたモジュレータでは、外部クロックパルスによりサンプリング・SFQ パルスを発生させる DCSFQ および SFQ スプリッターなどいくつかの基本的なゲートに動作が不安定であるなどの問題点が発見されたため、改良型を設計、試作し、その結果、高速測定時にこれらゲートのバイアス電流を振って安定な動作点を探す困難な作業はほぼ完全に無くなった。また、今年度新たにフリップ・チップ・タイプの高速測定治具(アメリカン・クライオブロー社 BCP-2)を導入した。後述する高電圧ゲートの改良型の開発により、外部クロックと出力インターフェイスへの AC バイアスとのタイミング・マージンが大きくなり、さらに、グラウンド・リップルを低減する設計を行い、今年度試作したダブル・ループ Σ - Δ モジュレータは、昨年度試作したタイプに比べ、「別紙」図 1(b)のようにサンプリング周波数 4 GHz でノイズ・フロアを約 20 dB 低減させることができた。

(2) シングル・ループ・ローパス Σ - Δ モジュレータ

超電導 AD コンバータ・システム開発のため、超電導フロントエンド回路開発の基礎となる実用的なシングル・ループ・ローパス Σ - Δ モジュレータを開発することを目的とした。超電導 Σ - Δ モジュレータの動作原理から詳細に考察し、従来の簡単な超電導インダクタ L と低抵抗 R から成るモジュレータよりも、SFQ インバータ回路を用いた磁気結合入力・バイポーラ・フィードバック型シングル・ループ・ローパス Σ - Δ モジュレータのほうがはるかに実用的であることを示し、このタイプの試作、改良を行った。「別紙」図 2(a)は磁気結合入力・バイポーラ・フィードバック型シングル・ループ・ローパス Σ - Δ モジュレータの等価回路図である。また、「別紙」図 2(b)に、試作したモジュレータのマスク・レイアウト図を示す。シングル・ループ・ローパス Σ - Δ モジュレータは、サンプリング周波数 20 GHz で動作させ、アナログ信号帯域幅 10 MHz、分解能 14 ビットを得ることを目標とした。モジュレータの改良および後述する出力インターフェイスの改良の結果、「別紙」図 2(c)のようにサンプリング周波数 1 GHz で良好な 1 次のノイズ・シェーピングが得られ、またサンプリング周波数 5 GHz で動作させたモジュレータを用いて、ファンクション・ジェネレータで作られた 6~8 kHz のアナログ信号(サイン波、三角波、矩形波)をアナログ・デジタル変調した後、出力デジタル信号からアナログ元波形を再生できることを実証した。(「別紙」図 2(d))。

(3) アナログ デジタル変換器用インターフェイス回路

1. AC バイアス電流駆動型インターフェイス回路

従来の出力インターフェイス(高電圧ゲート)では、インターフェイスを駆動する AC バイアス電流が大きく、そのために発生するグラウンド・リップルが大きかったことと、外部クロックと AC バイアスとのタイミング・マージンが狭く、この 2 つの入力信号の微妙な位相調節がモジュレータの高速測定を難しくしていた。今年度新たに AC バイアス電流が小さく出力 SFQ を一旦超電導ループにためてから AC バイアス電流の立ち上がりでスイッチする出力ゲートを開発したところ、位相調節の問題は解消され、現在では 5 GHz での測定で位相調節が全く問題にならないようになった。「別紙」図 3(a)に開発した高電圧ゲートの等価回路を示す。また、駆動する AC バイアス電流を小さくしたことと、DC 的には接続されているが AC 的には SFQ 回路と出力インターフェイス回路のグラウンドが高インピーダンスで接続される(AC 的グラウンド分離設計)ようにしたため、グラウンド・リップルは大幅に低減された。

2. DC バイアス電流駆動型インターフェイス回路

目標であるアナログ信号帯域幅 100 MHz、分解能 14 ビットを、従来技術の延長である AC バイアス電流を用いた出力インターフェイスを用いて達成するのは困難であるとの予想から、将来の出力インターフェイスとして今年度新たに DC 電流で駆動するラッチ・ゲートを開発した。「別紙」図 3(b)に開発した DC バイアス電流駆動型ラッチ・ゲートの等価回路を示す。従来、ラッチ接合は AC バイアス電流でリセットする必要があったが、開発されたラッチ・ゲートは出力側に負荷とは別に抵抗 R とインダクタンス L の直列接続から成るリセット回路が設けられており、ラッチ後、L と R

で決まる時定数程度の時間がたつと出力電流がリセット回路側に流れ込み、接合を流れる電流を減少させて自発的に接合がリセットされる機能をもつ。「別紙」図 3(c)は、試作した DC バイアス電流駆動型ラッチ・ゲートのマスク・レイアウト図である。周波数 5 GHz まで極めて安定な動作が実証された。「別紙」図 3(d)に 2 GHz における出力波形を示す。

(4) リセット付き TFF を備えた 1:4 DEMUX 回路

超電導シグマデルタ・モジュレータの高ダイナミック・レンジ化には、サンプリング周波数を大きくし、ナイキスト周波数との比、即ちオーバー・サンプリング比を大きくすることが不可欠である。一方、後段で信号処理するデジタル回路の動作周波数をモジュレータのサンプリング周波数と同じにすることは、設計上大変な困難を抱えることになるため、モジュレータの出力信号をシリアル・パラレル変換することで、ある程度まで周波数を下げて後段のデジタル回路に入力する回路、すなわち DEMUX 回路が必要となる。前年度までに、出力データ・レートをクロック周波数の 2 分の 1 に下げる(分周する)1:2 DEMUX および 4 分の 1 に下げる 1:4 DEMUX の低速測定による正常動作確認を行い、さらに DEMUX の出力データ・パターンがクロックの分周に用いる T-flip-flop (TFF) の初期状態に依存して異なるのを防ぐため、TFF の内部状態を初期化するリセット・ラインを追加することで改良を加えてきた。今年度、リセット付き TFF を備えた 1:4 DEMUX 回路の動作実証測定を行い、超電導シグマデルタ・モジュレータの出力データを 1:4 DEMUX 回路を通してデータ・レートを下げて測定することを目的とした。「別紙」図 4(a)に、2 出力 DRO/TFF (Destructive Read-Out/TFF)付き 1:4 DEMUX 回路のマスク・レイアウト図を示す。DEMUX 回路の後段には、クロック周波数の 4 分の 1 の周波数で与えられる高電圧ゲートへの AC バイアスのタイミングに出力データをそろえる RS flip-flop (RSFF)もつけられている。これにより、出力データは外部半導体回路と同期させることが出来る。この改良型 1:4 DEMUX 回路を低速で正常動作確認を行ったときの出力波形を「別紙」図 4(b)に示す。入力データ・パターンは、"1101"である。入力データが 4 つに分けられてパラレルに出力され、さらに RSFF によって 4 つのデータが 4 分の 1 に分周された周期で同時に出力されているのがわかる。現在、超電導シグマデルタ・モジュレータの多チャンネル出力測定のため、出力インターフェイスのさらなる改良を継続している。

5 . 成果の対外的発表等

(1) 論文発表 (論文掲載済、または査読済を対象。)

S. Hirano, H. Hasegawa, S. Nagasawa, S. Kato, K. Miyahara, and Y. Enomoto, IEEE, Trans. Appl. Supercond. "Feedback-current-injection-type second-order sigma-delta modulator", IEEE Trans. Appl. Supercond., vol.13, no. 2, pp. 488-491, June (2003).

S. Hirano, H. Hasegawa, S. Nagasawa, K. Miyahara, Y. Enomoto, and K. Tanabe, "Second-order lowpass sigma-delta modulator with parallel multiple-flux-quantum feedback driver", Physica C, vol.392-396P2, pp. 1456-1460, (2003).

S. Hirano, H. Hasegawa, H. Suzuki, S. Nagasawa, K. Miyahara, and K. Tanabe, "Double-loop lowpass sigma-delta modulator", Extended Abstracts of 9th International Superconductive Electronics Conference (ISEC2003), no.PTu09, Sydney, Australia, (2003).

H. Hasegawa, S. Hirano, S. Nagasawa, K. Miyahara, and Y. Enomoto, "Design of a single flux quantum Σ - Δ A/D converter with a ladder circuit as an on-chip-clock-generating circuit", Physica C, vol.392-396P2, pp. 1461-1466, (2003).

平野 悟、宮原一紀、長谷川晴弘、榎本陽一、田辺圭一、超伝導シグマデルタ変調器の伝達関数の解析計算、電子情報通信学会技術研究報告 SCE2003-27.

平野 悟、宮原一紀、長谷川晴弘、榎本陽一、田辺圭一、超伝導シグマデルタ変調器の伝達関数の解析計算 (II)、電子情報通信学会技術研究報告 SCE2003-35.

(2) 口頭発表 (発表済を対象。)

平野 悟、鈴木秀雄、吉田晃、蓮尾信也、田辺圭一、新型高電圧ゲートの設計、平成 15 年秋季第 64 回応用物理学学会学術講演会

平野 悟、吉田晃、鈴木秀雄、蓮尾信也、田辺圭一、直流オフセットが不要な超伝導 1 次ローパス Σ - Δ 変調器、平成 15 年秋季第 64 回応用物理学学会学術講演会

平野 悟、吉田 晃、鈴木秀雄、波頭経裕、丸山道隆、蓮尾信也、田辺圭一、DC バイアス・セルフリセット・ラッチ・ドライバー、平成 16 年春季第 51 回応用物理学関係連合講演会

平野 悟、吉田 晃、伊藤友哉、氷見拓也、高井裕司、蓮尾信也、田辺圭一、超伝導シングル・ループ・シグマ・デルタ変調器、2004 年電子情報通信学会総合大会シンポジウム講演・超伝導 SFQ 回路技術の最近の進展、SC-8-4.

氷見拓也、平野 悟、吉田 晃、伊藤友哉、蓮尾信也、高井裕司、田辺圭一、AD コンバータのビット精度と浮遊インピーダンスの関係、2004 年電子情報通信学会総合大会

(3) 特許等の出願件数

2 件。

「別紙」

図 1. (a)

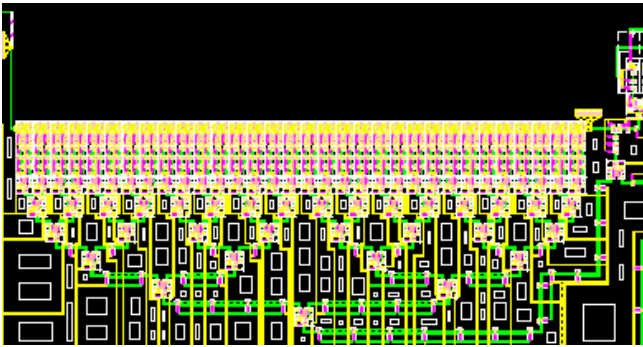


図 1. (b)

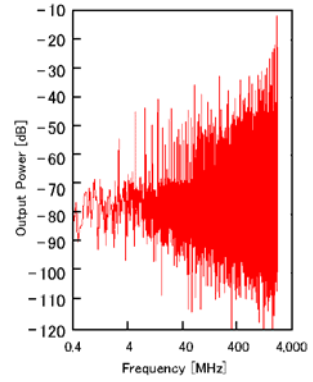


図 2. (a)

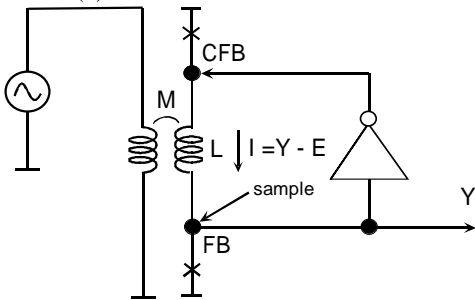


図 2. (b)



図 2. (c)

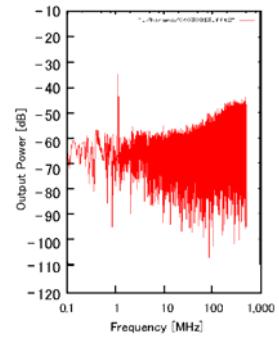


図 2. (d)

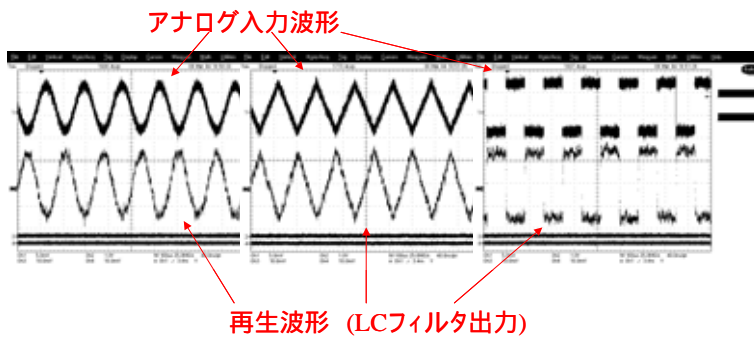


図 3. (a)

図 3. (b)

図 3. (c)

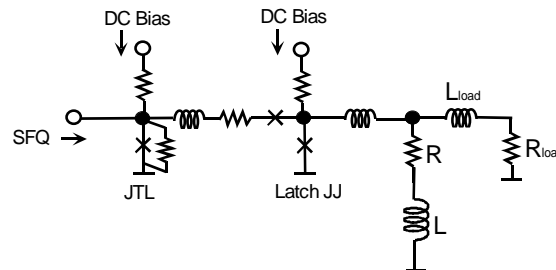
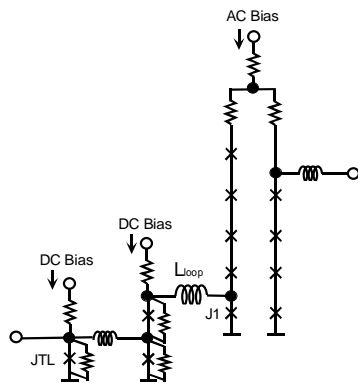
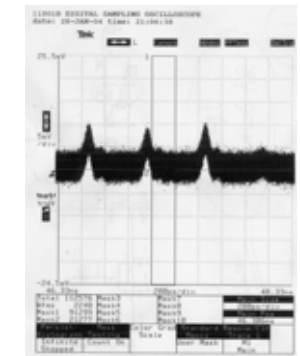
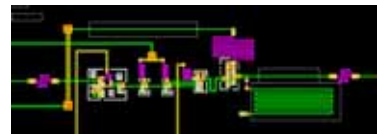


図 3. (d)

图 4. (a)

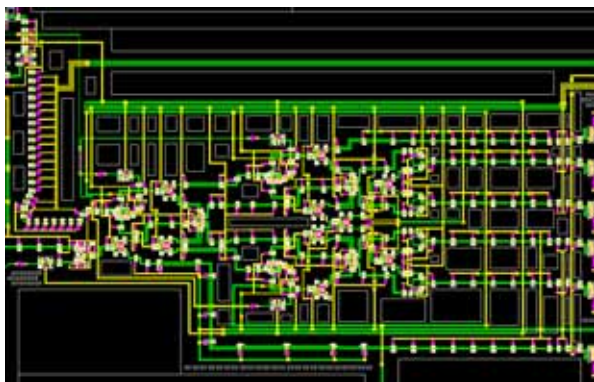


图 4. (b)

DMUX data 1101

AC Bias

¼分周CLK

DMUX

DMUX

DMUX

DMUX

DATA THRU

