

養成技術者の研究・研修成果等

1. 養成技術者氏名: 原 田 信 介 印 / 署名

2. 養成カリキュラム名: シリコンカーバイドパワーデバイス統合プロセス技術開発

3. 養成カリキュラムの達成状況

実施項目1の縦型SiCパワーMOSFETの開発に関しては、二重エピタキシャル縦型MOSFETの作製条件を改善することによって世界トップの性能を有するMOSFETの開発に成功している。

実施項目2の高性能SiCパワーデバイス構造の開発に関しては、現在シミュレーションによって開発中であり、計画通り順調に進行している。

4. 成果(A4版3枚程度)

電力エネルギーを有効利用することは、環境保全、資源の節約の両面からますます重要となっている。この中で、電力変換時に発生する損失を極力低減することは重要な課題の一つである。電力変換にはパワー半導体デバイスが広く用いられているが、既存のシリコン(Si)パワーデバイスは物性値からくる性能限界に近づきつつあり、これ以上の損失低減は期待できない。これに対して、ワイドギャップ半導体であるシリコンカーバイド(4H-SiC)はSiに比べバンドギャップが約3倍、絶縁破壊電界強度が7倍、熱伝導率が3倍と大きく、理論的には通電時の損失(オン抵抗)をSiパワーデバイスの1/200までに低減できるとされている。

縦型パワーMOSFETの半導体基板を従来のSiから4H-SiCに変更すれば、超低損失パワースイッチングデバイスが実現できると考えられている。しかしながら、現在までに試作されている4H-SiC縦型MOSFETは、Siの理論限界を超えるものはいくつか存在するものの、SiCの特性が十分に発揮されるに至っていない。これはMOSゲートを形成するSiO₂/SiC界面におけるチャンネル移動度が理想値に比べはるかに低いことが原因となっている。この問題の一部は不純物のドーピング過程に起因している。即ち、SiCへの不純物ドーピングは熱拡散が困難であるためイオン注入法を用いているが、この場合チャンネルとなるアクセプタ不純物領域(Pウェル)を活性化するためには1700以上の熱処理が必要となる。したがって表面の結晶性が劣化しやすく、高い移動度が得られないという欠点が生じていた。

本研究開発では、この問題に対してPウェルを結晶品質に優れたエピタキシャル成長膜によって形成する4H-SiC縦型MOSFETの構造および作製プロセスを開発した。この構造の特徴はPウェルが濃度の異なる二重のエピタキシャル成長膜によって構成されていることから、二重エピタキシャル縦型MOSFET(Double-Epitaxial MOSFET)と名付けた。図1にその断面構造を示す。Pウェルの下層はソース・ドリフト層間のピンチスルーを抑制するために高濃度膜となっており、上層は高いチャンネル移動度を得るために低濃度膜となっている。また、Pウェル領域間のドナー不純物領域は低電圧でピンチオフできるように低濃度のイオン注入によって形成されている。以上のような構造をとることによって高い耐電圧と低いオン抵抗の両立が可能となった。

この構造の作製フローは、まず n 型バルク上に厚さ数 μm の n 型エピ層に厚さ $0.5\mu\text{m}$ の p 型エピ層を堆積した。n 型エピ層には $5\sim 10\times 10^{15}\text{cm}^{-3}$ の窒素が、p 型エピ層には $2\times 10^{18}\text{cm}^{-3}$ のアルミニウムがドーピングされている。この p 型エピ層にドライエッチングにより表面から n 型エピ層に達するトレンチ溝を形成し、その上から $5\times 10^{15}\text{cm}^{-3}$ のアルミニウムがドーピングされた低濃度 p 型エピ層を厚さ $0.5\mu\text{m}$ 堆積した。次いで、 $2.5\times 10^{16}\text{cm}^{-3}$ の窒素イオン注入によってトレンチ溝上に選択的に n 型領域を形成した。ここで、窒素イオン注入された領域は低濃度の p 型領域であるため、極性を反転するための注入量が少なく n 型領域の n 型不純物濃度を $2\times 10^{16}\text{cm}^{-3}$ と低くすることができた。次いで、さらにイオン注入を用いて表面層に選択的にソース領域と基板コンタクト領域を形成し、p 型領域に $8\sim 12\times 10^{16}\text{cm}^{-3}$ の窒素イオンを注入して埋め込みチャンネルを形成した。不純物元素の活性化アニール後、 1200°C の熱酸化で厚さ約 40nm のゲート酸化膜を形成し、その上に p⁺ポリシリコンゲート電極、層間絶縁膜、ドレイン電極を形成した。

作製した素子からゲート電圧 20V のオン抵抗 $36\text{m}\ \Omega/\text{cm}^2$ 、耐圧 1150V という SiC 縦型 MOSFET として世界トップクラスのデータを得た。まずはこのオン抵抗の成分を解析し、各成分について最適化を行ってさらなるオン抵抗の低減を図った。オン抵抗の成分は、バルク、ドリフト層、n 型イオン注入領域、チャンネル、ソースに分解できると仮定した。計算の結果、この中で、n 型イオン注入領域の抵抗が極めて大きく全体の約 80% を占めており、これに次いでチャンネル抵抗が全体の 10% を占めていることが分かった。これらの領域は共に窒素イオン注入によって形成された n 型領域であり、これら注入条件の改善がオン抵抗の低減には必要であると言える。注入条件において抵抗に最も影響を及ぼすパラメータはその濃度と予想される。そこでまず n 型イオン注入領域の濃度と抵抗の関係について調べた。図 2 にその結果を示す。n 型イオン注入領域の濃度が最も低い(A)では大きな抵抗を示しているのに対して、表面部の濃度を増すことによって(B)では大幅に電流が増大しているのが確認できる。また(C)は(B)に比べて大幅な増大はなく、底部の濃度の影響は小さいことがわかる。次に埋め込みチャンネルの濃度とチャンネル移動度の関係について調べた。図 3 にその結果を示す。埋め込みチャンネル濃度が $8\times 10^{16}\text{cm}^{-3}$ のときはチャンネル移動度のピーク値は約 $60\text{cm}^2/\text{Vs}$ であるのに対し、濃度を 1.5 倍の $1.2\times 10^{17}\text{cm}^{-3}$ にすると移動度が 2 倍の $120\text{cm}^2/\text{Vs}$ に増加することが分かった。改善した条件から試算されたオン抵抗は $10\text{m}\ \Omega/\text{cm}^2$ 以下と見積もられ、n 型イオン注入領域と埋め込みチャンネルオンの濃度はオン抵抗に大きな影響を与えており、その最適化によって大幅に低減できることが確認された。この結果に基づいて DEMOSFET の作製条件を改めた結果、ゲート電圧 15V でオン抵抗 $8.5\text{m}\ \Omega/\text{cm}^2$ 、耐圧 600V という特性が得られた。図 4 は本研究で開発した DE-MOSFET とこれまでに報告された MOSFET の耐電圧とオン抵抗の関係を示している。オン抵抗 $8.5\text{m}\ \Omega/\text{cm}^2$ で耐電圧 600V という特性は、同じ耐電圧を持つ Si-MOSFET に比べて 10 分の 1 以下に低減されている。この結果は、汎用性の高い 600V 級パワー-MOSFET における壁であったオン抵抗 $10\text{m}\ \Omega/\text{cm}^2$ 以下を世界で初めて達成したことになり、 4H-SiC パワーデバイス実用化に向けての大きな一歩になったといえる。

次に得られた特性について計算機シミュレーションを用いて解析した。図 5 は n 型イオン注入領域の表面層の濃度とオン抵抗の関係をシミュレーションした結果である。表面の濃度が低いときにはオン抵抗は高い値を示しているが、濃度を上げると急激に減少し、さらに上げるとある一定値で飽和している。実際の素子作製条件は $5\times 10^{17}\text{cm}^{-3}$ であり、これは飽和領域に位置していることからオン抵抗低減には十分な濃度であるといえる。表面を高濃度化することのオン抵抗への影響は、酸化膜界面と pn 接合から延びる空乏層の幅を縮小し電流経路を広げていることと予想される。図 6 は n 型イオン注入領域の表面層の濃度と耐圧の関係をシミュレーションした結果である。また図中には酸化膜にかかる電界も示している。オン抵抗とは異なり濃度が上昇するとほぼ比例的耐圧が低下していることが分かる。また同様に酸化膜への電界も上昇している。これより、高耐圧を得るためには n 型イオン注入領域の表面層の濃度は低く抑える必要があるといえる。低オン抵抗で且つ高い耐圧を実現するための作製条件は、図 5 で見られた飽和領域の低濃度側であることが明らかとなった。今後はこの結果に基づいて n 型イオン注入領域の表面層の濃度を最適化し更なる特性の改善を行う予定である。

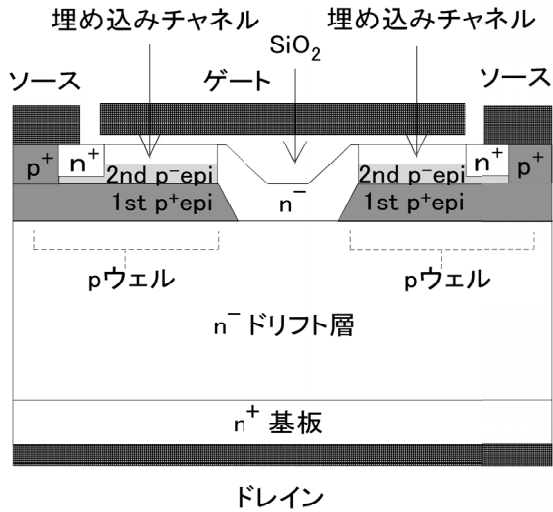


図1 DEMOSFETの断面構造

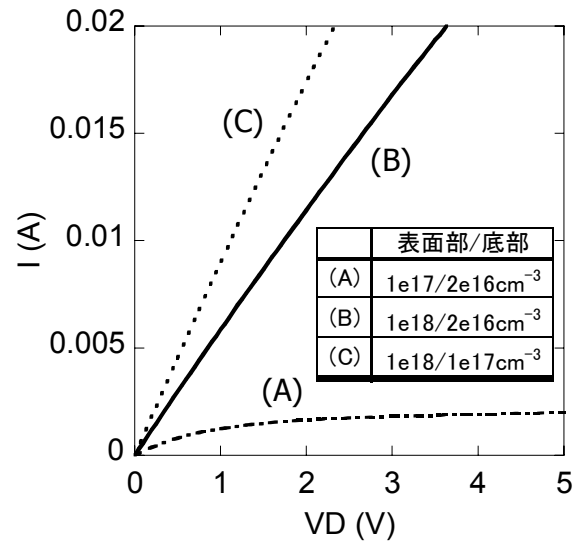


図2 n型イオン注入領域の濃度と抵抗の関係

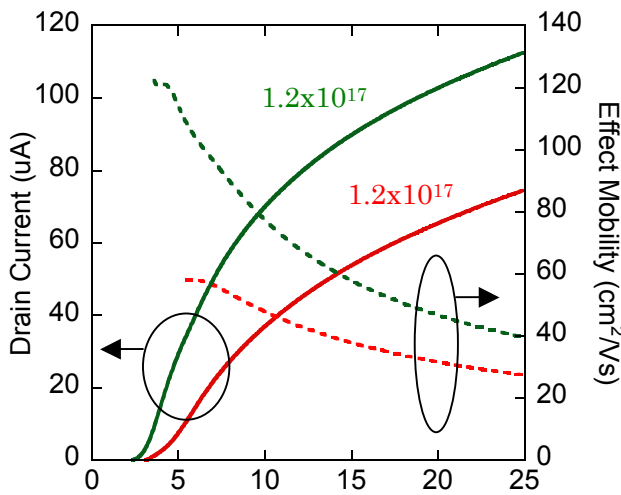


図3 埋め込みチャンネルの濃度とチャンネル移動度の関係

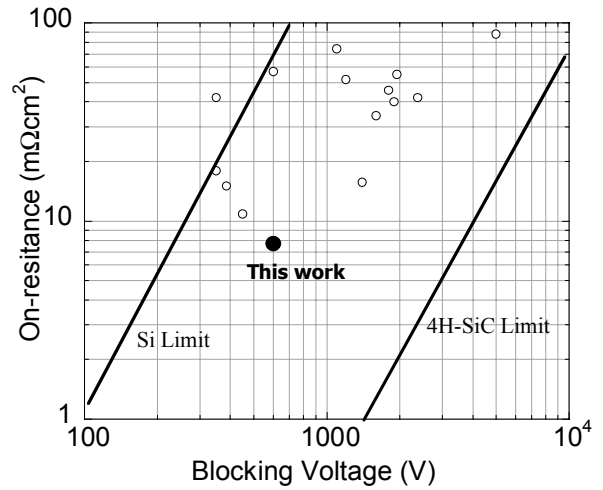


図4 DEMOSFET とこれまでに報告された MOSFET との特性の比較

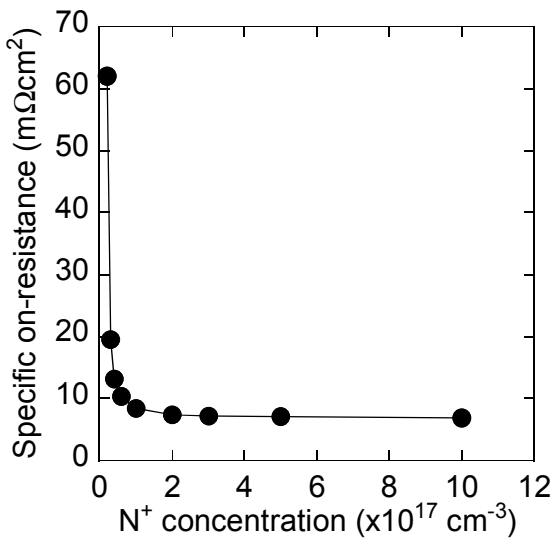


図5 n型イオン注入領域の表面層の濃度とオン抵抗の関係

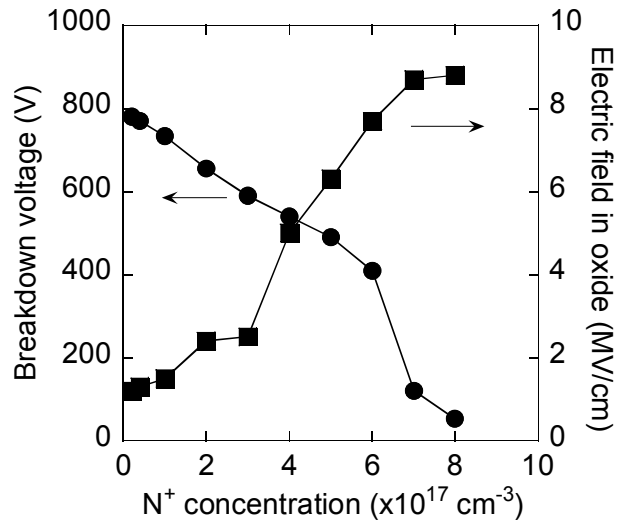


図6 n型イオン注入領域の表面層の濃度と耐圧の関係

5 . 成果の対外的発表等

(1) 論文発表 (論文掲載済、または査読済を対象。コピーを添付。)

“ Fabrication of 4H-SiC double-epitaxial MOSFETs ”

Shinsuke Harada, Mitsuo Okamoto, Tsutomu Yatsuo, Kazuhiro Adachi, Seiji Suzuki, Kenji Suzuki,
Kenji Fukuda, Kazuo Arai

To be published on Material Science Forum

“ 8.5m Ω cm², 600V Double-Epitaxial MOSFETs in 4H-SiC ”

Shinsuke Harada, Mitsuo Okamoto, Tsutomu Yatsuo, Kazuhiro Adachi, Kenji Fukuda, Kazuo Arai

To be published on IEEE Electron Device Letters

(2) 口頭発表 (発表済を対象。予稿集のコピーを添付。)

“ 4H-SiC 二重エピタキシャル縦型 MOSFET のオン抵抗向上 ”

原田信介、岡本光央、八尾勉、安達和広、鈴木賢二、福田憲司、荒井和雄
第 64 回応用物理学学術講演会

“ Fabrication of 4H-SiC double-epitaxial MOSFETs ”

Shinsuke Harada, Mitsuo Okamoto, Tsutomu Yatsuo, Kazuhiro Adachi, Seiji Suzuki, Kenji Suzuki,
Kenji Fukuda, Kazuo Arai

International Conference on Silicon Carbide and Related Materials 2003

“ 低オン抵抗を有する 4H-SiC 二重エピタキシャル縦型 MOSFET ”

原田信介、岡本光央、八尾勉、安達和広、福田憲司、荒井和雄
第 12 回 SiC 及び関連ワイドギャップ半導体研究会

(3) 特許等 (出願番号を記載)