

## 平成21年度実施方針

電子・情報技術開発部

**1. 件名**

プログラム名： I T イノベーションプログラム  
(大項目) 立体構造新機能集積回路（ドリームチップ）技術開発

**2. 根拠法**

本プロジェクトは、独立行政法人新エネルギー・産業技術総合開発機構法第15条第1項第2号に基づき実施する。

**3. 背景及び目的・研究開発項目・目標****(1) 背景及び目的**

我が国半導体技術の発展は、情報家電、コンピュータ、通信装置を始め、自動車、医療機器など様々な機器の高性能化、小型化、省電力化に貢献し、情報通信産業や製造業といった我が国経済を牽引する産業の競争力を強化するものである。従来、この発展を支える半導体デバイスの高集積化は、CMOS－LSIを二次元的に微細化することにより追求されてきた。一方、微細化の進展に伴い、微細化を実現するための研究開発投資、設備投資が増大すると共に、製造レベルでのばらつき制御や歩留まり対策といった製造技術のブレークスルーも必要になってきている。

このため本プロジェクトを「I T イノベーションプログラム」の一環として実施し、これまでの同一機能のメモリの積層による高集積化とは異なり、異機能を持つチップの積層技術、デジタル・アナログ回路や微小可動機構の積層技術、さらには三次元的に積層したチップに対し後からプログラムを書き換えて機能を発揮させる技術など、これまでにない三次元化技術により、新たな機能の発揮と飛躍的な性能向上を実現する立体構造新機能集積回路技術を確立することを目的とする。

**(2) 研究開発項目**

立体構造によって新たな機能創出や飛躍的な性能向上が期待されるデバイス開発として、以下の研究開発項目を実施する。

[委託事業]

- ①多機能高密度三次元集積化技術
- ②複数周波数対応通信三次元デバイス技術
- ③三次元回路再構成可能デバイス技術

**(3) 目標**

研究開発項目① 多機能高密度三次集積元化技術

## 中間目標（平成22年度）

三次元積層システムインパッケージ（SiP）の設計に必要な高速シミュレーションエンジンを開発するとともに、ウェハ状態で半導体素子の機能検査を行う評価解析技術確立する。

### （1）次世代三次元集積化設計技術の研究開発

- ・ 電気系三次元シミュレータにおいて、現状に比較し2桁多いメッシュ数及び8倍の信号幅の解析対象を、現状と同等の計算時間で解析するシミュレーションエンジンを開発する。
- ・ 三次元集積化における信号品質安定化技術、電源安定化技術を開発する。

### （2）次世代三次元集積化のための評価解析技術の研究開発

- ・ 全体で30万端子を有し、そのうち高速デジタル信号テスト端子においては15Gbps以上の信号に対応可能な300mmウェハに対応するプローブ方式の基本技術を開発する。
- ・ 多端子プローブカードに関して非接触接続方式の実現可能性を検証する。
- ・ 次世代三次元集積化のための熱評価解析技術及び積層接合評価解析技術を開発する。
- ・ 10 $\mu$ mに薄化した300mmウェハの評価解析技術を開発する。

### （3）次世代三次元集積化設計技術及び次世代三次元集積化のための評価解析技術の有効性実証

- ・ 実用的なアプリケーションを想定した実証用三次元積層SiPの候補と、その機能検証を行う仕様を策定する。

## 最終目標（平成24年度）

実用的なアプリケーション仕様に準ずる、Si貫通ビアを用いた三次元積層SiPを試作し、機能を検証することで、多機能高密度三次元集積化技術として開発した設計技術と評価解析技術の有効性を実証する。

### （1）次世代三次元集積化設計技術の研究開発

- ・ 現状に比較し2桁多いメッシュ数および8倍の信号幅の解析対象を、現状と同等の計算時間で解析することができる電気系三次元シミュレータの開発と評価を完了する。
- ・ CMOS半導体デバイス、機能デバイス等を、相互に接続可能とする機械的・電気的インターフェースを設定し、技術仕様書を策定する。

### （2）次世代三次元集積化のための評価解析技術の研究開発

- ・ 300mmウェハに対応するプローブとして30万端子以上の被テスト端子への一括アクセスが可能であることを確認する。また、高速デジタル信号テスト端子においては、15Gbps以上の信号を用いた検査が可能であることを確認する。
- ・ 平成22年度末までに開発したプローブをテスターと接続して評価を行い、プローブカードとテスト装置間において500Mbps以上の高速テスト信号を含む4万系統のテスト信号伝送が可能であることを実証する。
- ・ 一つのプローブカードにおいて、10kW以上の安定した電力供給技術を開発する。
- ・ プローブカードにおけるチップテスト時、温度範囲-40度～+125度において

バーンイン試験及びバーンイン試験を可能とする温度制御技術を開発する。

- ・ ひとつの三次元積層 S i P あたり 2 0 W 以上の発熱に対応する放熱構造の評価解析技術を開発する。
- (3) 次世代三次元集積化設計技術及び次世代三次元集積化のための評価解析技術の有効性実証
- ・ 実用的なアプリケーション仕様に準ずる、Si 貫通ビアを用いた三次元積層 S i P を試作し機能を検証する。
  - ・ 実証デバイスにおいて、次世代三次元積層 S i P、インターポーザ、外部基板まで含めた領域において、電気的特性による次世代三次元積層集積化設計技術の設計精度検証を行う。

## 研究開発項目② 複数周波数対応通信三次元デバイス技術

中間目標（平成 2 2 年度）

MEMS デバイス（キャパシタ、スイッチ等）を組み合わせた R F MEMS デバイス（可変アンテナ、可変インピーダンス回路、可変フィルタ）を開発する。また、R F MEMS 回路、制御・電源回路を三次元集積化し、機能を実証する。さらに、それらを組み合わせ、複数の周波数帯域で通信可能なマルチチップモジュール（MCM）を作成しその動作を実証する。

(1) 複数周波数対応可変 R F MEMS デバイスの研究開発

- ・ 7 0 0 M H z ~ 6 G H z に含まれる周波数帯域において、MEMS デバイスのスイッチ、キャパシタ、インダクタを組み合わせ、可変アンテナ、可変インピーダンス回路、可変フィルタの動作を実証する。さらに低損失及び小型化のための指針を示す。
- ・ 複数周波数対応通信三次元デバイスの三次元積層構造での高周波回路実装技術を開発する。
- ・ MEMS デバイスにおいて、挿入損失 5 d B 以下、通過帯域幅 1 0 % の可変フィルタを開発する。
- ・ MEMS デバイスにおいて、挿入損失 2 d B のインピーダンスマッチング回路を開発する。

(2) 複数周波数対応通信フロントエンド回路の研究開発

- ・ R F MEMS デバイスを組み合わせ、複数の周波数帯域において通信可能な MCM を作成しその動作を実証する。

最終目標（平成 2 4 年度）

MEMS 回路、制御・電源回路が積層された複数周波数・複数通信方式に対応する三次元デバイスとして、7 0 0 M H z ~ 6 G H z の周波数帯域で周波数特性可変の MCM を開発し、通信方式ごとの個別回路を MCM 構成にて実装した場合に比較し、実装面積で 1 / 8 に小型化可能なことを実証する。

(1) 複数周波数対応可変 R F MEMS デバイスの研究開発

- ・ MEMS デバイスのスイッチ、キャパシタ、インダクタを組み合わせ、7 0 0 M H

z ~ 6 GHz の周波数帯に含まれる複数の通信方式で使用可能な可変アンテナ、可変インピーダンス回路、可変フィルタのモジュールを開発する。

- ・ MEMS 回路、制御・電源回路を三次元集積化し、機能を実証する。さらに、シリコン L S I の積層による S i P 化のために必要な実装技術を開発する。
- (2) 複数周波数対応通信フロントエンド回路の研究開発
- ・ 複数周波数対応デバイスとして、MEMS デバイスをデジタル制御あるいはアナログ制御する制御回路デバイスを可能な限り L S I 化し、700 MHz ~ 6 GHz の周波数帯域を MEMS デバイスの可変域に対応して分割した MCM を開発する。この MCM において、通信方式ごとの個別回路を MCM 構成にて実装した場合に比較し、実装面積で 1 / 8 に小型化可能なことを実証する。
  - ・ 複数周波数対応通信三次元デバイスを S i P 形態で実現するために必要な構成を提案する。

### 研究開発項目③ 三次元回路再構成可能デバイス技術

#### 平成 20 年度目標

三次元積層を含むデバイス作製プロセスのフロー骨子を決定する。また、三次元配線密度等の具体的な基本仕様の策定を行うとともに、その仕様に基づき、三次元アーキテクチャの基本構造の決定と、それにより実現する目標性能及び機能を確定する。

- (1) 三次元回路再構成可能デバイスに関する三次元集積化技術の研究開発
- ・ 基礎的な実験を行い、その結果に基づき、配線密度その他の三次元構造に関する基本仕様を具体的に策定する。
  - ・ 上記の実験結果及びアーキテクチャ、素子構造の検討結果に基づき、三次元積層プロセスを含むデバイス作製のプロセスフロー骨子を決定する。
- (2) 三次元回路再構成可能デバイスに関するアーキテクチャおよび設計技術の研究開発
- ・ 三次元構造に関する基本仕様、その他の検討結果に基づいて、開発する三次元アーキテクチャの基本構造を決定するとともに、その目標性能及び機能を確定する。
- (3) 三次元回路再構成可能デバイスに関する素子技術の研究開発
- 三次元積層が可能な構造を有し、かつ、回路再構成可能デバイスの特性改善を実現可能なトランジスタの素子構造を具体的に検討し、その目標性能を確定する。

#### 中間目標 (平成 22 年度)

三次元回路再構成可能デバイスに関するアーキテクチャと、それを実証する三次元集積化技術の基盤技術を開発する。

- (1) 三次元回路再構成可能デバイスに関する三次元集積化技術の研究開発
- ・ 三次元回路再構成可能デバイスを実現する三次元集積化技術のうちウェハ接合技術として、1 mm<sup>2</sup>程度の面積を占める三次元集積化構造のコア間で、1000 ピン以上の接続を可能とするシリコン貫通ビア、バンプ構造等を開発し、200 mm 径以上のウェハを用いて実証する。
  - ・ 三次元回路再構成可能デバイスを実現する三次元集積化技術のうち高精度位置合わせ技術を開発し、200 mm 径以上のウェハ貼り合わせで、5 μm 以下の位置合わ

せ精度を実証する。

- (2) 三次元回路再構成可能デバイスに関するアーキテクチャおよび設計技術の研究開発
- ・ 三次元的な積層構造を利用した動的リコンフィギャラブルプロセッサのアーキテクチャを開発し、論理設計を完了する。このアーキテクチャを用いた4層積層において、二次元構成に比較して、消費電力当たりの性能が1.25倍以上となることを実証する。
  - ・ 三次元的な積層構造を利用したFPGAを開発し、論理設計を完了する。このアーキテクチャを用いた4層積層において、二次元構成に比較して、消費電力当たりのゲート数が1.25倍以上となることを実証する。

#### 最終目標（平成24年度）

三次元回路再構成可能デバイスのアーキテクチャを実証する。さらに三次元回路再構成可能デバイスのプロセスフローを実証する。

- (1) 三次元回路再構成可能デバイスに関する三次元集積化技術の研究開発
- ・ ウェハ接合技術として、200mm径以上のウェハを4層以上積層し、 $1\text{mm}^2$ 程度の面積を占める三次元集積化構造のコア間で、1000ピン以上の接続を実証する。
  - ・ 高精度位置合わせ技術として、200mm径以上のウェハを4層以上積層し、 $5\mu\text{m}$ 以下の位置合わせ精度を実証する。
- (2) 三次元回路再構成可能デバイスに関するアーキテクチャおよび設計技術の研究開発
- ・ 動的リコンフィギャラブルプロセッサ、FPGA、汎用CPU、メモリ等の機能ブロックを柔軟に組み合わせたハイブリッドアーキテクチャを開発する。さらに、200mm径以上のウェハ積層技術を用いて4層以上積層し、三次元回路再構成可能デバイスとしての動作を実証する。

## 4. 実施内容および進捗（達成）状況

東京工業大学 統合研究院 教授 益一哉 をプロジェクトリーダーとし、以下の成果を得た。

### (1) 平成20年度（委託）事業内容

研究開発項目① 多機能高密度三次元集積化技術

①-(1) 次世代三次元集積化設計技術の研究開発

(平成20年度進捗状況)

- ・ 高速回路シミュレータ用エンジンの開発において、新規アルゴリズムを考案し、現状に対して40倍高速化が可能であることを確認した。
- ・ 高速ドライバチップ用インターポーザ評価用の高速信号伝送路を設計し、部品内蔵技術の優位性を実証した。さらに、DC-DCコンバータ用インターポーザを試作し、インターポーザ上LCの利用で高効率化することを実証した。
- ・ 電源ノイズの総合的な評価へ向けた評価システムの基本構成を確立した。また、広帯域超低インピーダンス評価システムを構築し、その基本性能を実証した。

①-(2) 次世代三次元集積化のための評価解析技術の研究開発

(平成20年度進捗状況)

- ・300mm径ウェハ対応/15万端子プローブカードの試作を行い、DC特性評価を完了した。
- ・評価検討用プローブチップ(LSI)の仕様策定、評価治具設計を行い、本LSI試作と評価治具の作成を完了した。
- ・10kWの発熱および面内温度分布評価が可能なウェハの設計を行い、ウェハ試作と評価治具の作成を完了した。
- ・三次元集積構造の熱パラメータ測定TEGと、発熱体・温度実測TEGの基本構想・マスク設計を完了した。
- ・10 $\mu$ m接続ピッチTEGを試作し、接続構造・材料をパラメータとした高精度積層接合実装要素技術研究・評価を始めた。
- ・ウェハプローバのアライメント精度につき、技術課題の抽出と評価用装置仕様を決定し、開発に着手した。
- ・300mm径ウェハの薄ウェハダイシング方式検証により、10 $\mu$ m厚みの課題の抽出を行った。

①-(3) 次世代三次元集積化設計技術及び次世代三次元集積化のための評価解析技術の有効性実証

(平成20年度進捗状況)

- ・実証デバイスの基礎検討として、センサ、ADC、高速シリアル・パラレル変換回路の設計を完了した。また高速I/Oドライバの設計製作を完了した。
- ・200mm/300mm径ウェハ対応のフォトリソグラフィ装置および200mm径ウェハ対応のバンプめっき装置を導入し、微細バンプ形成技術の開発に着手した。

研究開発項目② 複数周波数対応通信三次元デバイス技術

②-(1) 複数周波数対応可変RF MEMSデバイスの研究開発

(平成20年度進捗状況)

- ・700MHz~6GHzに含まれる周波数帯域において動作するRF MEMSデバイスの要素技術開発を行った。可変キャパシタ、スイッチに関しては、試作を行い性能を評価した。特に、スイッチにおいて、オン-オフ動作寿命の大きな改善を達成した。可変インダクタに関しては、3次元電磁界シミュレーション環境を立ち上げ、高周波特性、Q値に優れインダクタンス値を大きく可変できるインダクタの構造を比較検討し、従来のスパイラル型よりもスネーク型の方が有効であるとの見通しを得た。可変アンテナ、可変フィルタ、可変インピーダンス回路に関しては、シミュレーション技術あるいは試作による評価を行い、可変特性を確認した。
- ・実装技術開発に関しては、ドライバICも含めたMEMSデバイスの実装構造を検討し電磁界シミュレーションを行った。

## ②-② 複数周波数対応通信フロントエンド回路の研究開発

(平成20年度進捗状況)

- ・多数のRF MEMSデバイスを含むフロントエンド回路において、複数の通信周波数に対応させるためのシステム制御フローを、RF MEMSデバイスの制御を含めて検討した。

## 研究開発項目③ 三次元回路再構成可能デバイス技術

### ③-① 三次元回路再構成可能デバイスに関する三次元集積化技術の研究開発

(平成20年度達成状況)

- ・擬似的なシリコン貫通ビアを作成したウェハを用い、基板研磨等の検討を行った。さらに、アーキテクチャの検討結果も含めて検討し、シリコン貫通ビアの配置密度、電気的特性等の基本仕様を策定した。
- ・シリコン貫通ビアに必要な仕様に基づき、三次元積層プロセス(案)を策定した。

### ③-② 三次元回路再構成可能デバイスに関するアーキテクチャおよび設計技術の研究開発

(平成20年度達成状況)

- ・動的再構成型プロセッサ(フレキシブルエンジン)およびFPGAの三次元アーキテクチャの検討を行い、基本構造の策定ならびにTSVの要求仕様(案)を策定した。
- ・汎用CPUを含めたハイブリッドアーキテクチャの検討を行うと共に、応用分野の策定ならびに動向調査を行い、三次元回路再構成可能デバイスの仕様(案)を策定した。
- ・目標とする三次元回路再構成可能デバイスのシステムから見た二次元実装に対する優位点を明確にした。

### ③-③ 三次元回路再構成可能デバイスに関する素子技術の研究開発

(平成20年度達成状況)

- ・構造の異なるトランジスタの素子性能に関して、シミュレーション(TCAD)を利用し、三次元回路再構成可能デバイスを実現する上で最適なトランジスタ構造(案)を策定した。

## (2) 実績推移

	平成20年度	合計
一般勘定(百万円):	1,641	1,641
特許出願件数(件):	2	2
論文数(件):	7	7
講演数(件):	2	2
プレスリリース(件):	0	0

## 5. 事業内容

### (1) 平成21年度(委託)事業内容

平成21年度は、以下の研究開発を行う。

## 研究開発項目① 多機能高密度三次元集積化技術

(実施体制：技術研究組合超先端電子技術開発機構)

### ①-(1) 次世代三次元集積化設計技術の研究開発

- ・電気系三次元シミュレーションエンジンの開発として、シミュレーションエンジン (Phase1) の開発を完了する。
- ・信号品質安定化 (シグナルインテグリティ) 技術、電源安定化 (パワーインテグリティ) 技術の開発として、平成20年度に試作した個別回路評価を完了し、さらに各個別回路を合成した統合 I/F 回路検証チップ用インターポーザを設計・製作する。
- ・周波数アナライザを活用し、インターポーザ上の高速信号伝送に必要な高精度広帯域低インピーダンス特性評価技術を開発する。

### ①-(2) 次世代三次元集積化のための評価解析技術の研究開発

- ・電源モジュールおよび実動作速度を目指した試験が可能なテストチップ (LSI) を含む 300mm 径ウェハ対応 / 30万端子プローブカードの詳細設計を完了する。また、プローブカード仕様に対応したプローブチップ (LSI)、および多ピンコネクタおよび接続用コネクタ仕様に対応したプローブチップ (LSI) の設計および試作を完了する。さらに、既存プローバの技術をベースに高精度アライメント機能を開発する。
- ・次世代三次元集積化のための熱特性測定装置、評価解析技術及び積層接合評価解析技術を開発し、10 $\mu$ m 接続ピッチ TEG を試作して積層・測定・評価する。
- ・10 $\mu$ m 接続ピッチ TEG を用いて高精度フリップチップ実装の試作評価を行い、C2C/C2W/W2W<sup>(注)</sup> に向けた三次元積層 SiP のための積層接合要素接続技術を開発する。
- ・薄ウェハの評価解析技術開発として、10 $\mu$ m 厚に加工するプロセス方式を決定し、薄ウェハの評価解析方法を確立する。

<sup>(注)</sup> C2C：チップとチップの三次元集積化技術

C2W：チップとウェハの三次元集積化技術

W2W：ウェハとウェハの三次元集積化技術

### ①-(3) 次世代三次元集積化設計技術及び次世代三次元集積化のための評価解析技術の有効性実証

- ・平成20年度に設計した LSI チップの評価を行い、実証デバイスの要素技術を確立する。
- ・200 / 300mm 径ウェハをフォトリソグラフィ装置等を使って加工し、三次元積層 SiP の試作に必要な微細バンプ形成技術を開発する。

## 研究開発項目② 複数周波数対応通信三次元デバイス技術

(実施体制：富士通株式会社、国立大学法人東京工業大学)

### ②-(1) 複数周波数対応可変 RF MEMS デバイスの研究開発

- ・平成20年度に実施した MEMS デバイスの設計及び試作結果をもとに、スイッチ、キャパ



シタ、インダクタの性能改善を行う。また、700MHz～6GHzに含まれる周波数帯域において動作するスイッチ、キャパシタ、インダクタを組み合わせた、可変インピーダンス回路、可変アンテナ、可変フィルタ、周波数特性可変パワーアンプ、周波数特性可変低雑音アンプの開発を行う。

- ・制御回路を含む可変インダクタチップの詳細設計、試作、評価を行い、基本技術の有効性を確認する。
- ・スイッチ、キャパシタ、可変インピーダンス回路それぞれと、ドライバICを三次元集積化する実装技術を開発する。

#### ②-(2) 複数周波数対応通信フロントエンド回路の研究開発

- ・RF通信モジュールとフロントエンド評価装置(RF信号発生器および解析器)、および制御部による複数周波数対応通信フロントエンド回路評価システムを設計する。

### 研究開発項目③ 三次元回路再構成可能デバイス技術

(実施体制：平成21年度公募により決定)

#### ③-(1) 三次元回路再構成可能デバイスに関する三次元集積化技術の研究開発

- ・三次元回路再構成可能デバイスを実現する三次元集積化技術のうちウェハ接合技術として、1mm<sup>2</sup>程度の面積あたり1000ピン以上の接続を可能とするシリコン貫通ビア、バンブ構造等の基盤技術を開発する。
- ・三次元回路再構成可能デバイスを実現する三次元集積化技術のうち、200mm径以上のウェハ貼り合わせで5μm以下の位置合わせ精度を実現する基盤技術を開発する。

#### ③-(2) 三次元回路再構成可能デバイスに関するアーキテクチャおよび設計技術の研究開発

- ・三次元的な積層構造を利用した動的リコンフィギャラブルプロセッサのアーキテクチャを開発する。
- ・三次元的な積層構造を利用したFPGAのアーキテクチャを開発する。
- ・動的リコンフィギャラブルプロセッサ、FPGA、汎用CPU、メモリ等の機能ブロックを柔軟に組み合わせたハイブリッドアーキテクチャを開発する。

## (2) 平成21年度事業規模

一般勘定 1, 126百万円 (①、②は継続、③は新規・委託事業)  
事業規模については、変動があり得る。

## 6. その他重要事項

### (1) 運営・管理

e-Radシステムへの応募基本情報の登録は必須とする。

開発は委託により行う。研究開発項目③の公募による委託先の募集は4月から5月にかけて実施し、6月に開催する独立行政法人新エネルギー・産業技術総合開発機構(以下、「NEDO技術開発機構」という。)の契約・助成審査委員会にて委託先を決定する。また、契約・助成審査委員

会に先立ち、外部有識者による意見聴取を行う。

研究開発全体の管理・執行に責任と決定権を有するNEDO技術開発機構は、プロジェクトリーダーと経済産業省と密接な関係を維持しつつ、プログラムの目的及び目標、並びに本研究開発の目的及び目標に照らして適切な運営管理を実施する。また、必要に応じて、外部有識者の意見を運営管理に反映させる。

## (2) 複数年度契約の実施

研究開発項目①及び②は、平成20～21年度の複数年度契約を行う。研究開発項目③は、平成21年度の単年度契約を行う。

## (3) 実施体制

研究開発責任者としてプロジェクトリーダーを置き、そのリーダーシップのもとに研究開発を実施する。

## 7. スケジュール

平成21年3月	5日	部長会	
平成21年4月		公募開始	(研究開発項目③)
平成21年4月		公募説明会	(研究開発項目③)
平成21年5月		公募締切	(研究開発項目③)
平成21年6月		契約・助成審査委員会	(研究開発項目③)
平成21年6月		採択決定	(研究開発項目③)

## 8. 実施方針の改定履歴

平成21年3月	制定
---------	----

実施体制

