

平成 22 年度実施方針

電子・情報技術開発部

1. 件名

プログラム名： I T イノベーションプログラム
(大項目) 立体構造新機能集積回路（ドリームチップ）技術開発

2. 根拠法

独立行政法人新エネルギー・産業技術総合開発機構法第 15 条第 1 項第 2 号

3. 背景及び目的・研究開発項目・目標**(1) 背景及び目的**

我が国半導体技術の発展は、情報家電、コンピュータ、通信装置を始め、自動車、医療機器など様々な機器の高性能化、小型化、省電力化に貢献し、情報通信産業や製造業といった我が国経済を牽引する産業の競争力を強化するものである。従来、この発展を支える半導体デバイスの高集積化は、CMOS-LSI を二次元的に微細化することにより追求されてきた。一方、微細化の進展に伴い、微細化を実現するための研究開発投資、設備投資が増大すると共に、製造レベルでのばらつき制御や歩留まり対策といった製造技術のブレークスルーも必要になってきている。

このため本プロジェクトを「IT イノベーションプログラム」の一環として実施し、これまでの同一機能のメモリの積層による高集積化とは異なり、異機能を持つチップの積層技術、デジタル・アナログ回路や微小可動機構の積層技術、さらには三次元的に積層したチップに対し後からプログラムを書き換えて機能を発揮させる技術など、これまでにない三次元化技術により、新たな機能の発揮と飛躍的な性能向上を実現する立体構造新機能集積回路技術を確立することを目的とする。

(2) 研究開発項目

立体構造によって新たな機能創出や飛躍的な性能向上が期待されるデバイス開発として、以下の研究開発項目を実施する。

[委託事業]

- ①多機能高密度三次元集積化技術
- ②複数周波数対応通信三次元デバイス技術
- ③三次元回路再構成可能デバイス技術

(3) 目標

研究開発項目① 多機能高密度三次元集積化技術
中間目標（平成 22 年度）

三次元積層システムインパッケージ（SiP）の設計に必要な高速シミュレーションエンジンを開発するとともに、ウェハ状態で半導体素子の機能検査を行う評価解析技術を確立する。

（１）次世代三次元集積化設計技術の研究開発

- ・ 電気系三次元シミュレータにおいて、現状に比較し２桁多いメッシュ数及び８倍の信号幅の解析対象を、現状と同等の計算時間で解析するシミュレーションエンジンを開発する。
- ・ 三次元集積化における信号品質安定化技術、電源安定化技術を開発する。

（２）次世代三次元集積化のための評価解析技術の研究開発

- ・ 全体で３０万端子を有し、そのうち高速デジタル信号テスト端子においては１５Ｇbps以上の信号に対応可能な３００mmウェハに対応するプローブ方式の基本技術を開発する。
- ・ 多端子プローブカードに関して非接触接続方式の実現可能性を検証する。
- ・ 次世代三次元集積化のための熱評価解析技術及び積層接合評価解析技術を開発する。
- ・ １０μmに薄化した３００mmウェハの評価解析技術を開発する。

（３）次世代三次元集積化設計技術及び次世代三次元集積化のための評価解析技術の有効性実証

- ・ 実用的なアプリケーションを想定した実証用三次元積層SiP（実証デバイス）の第一ステップとして、ロジックと超ワイドバスメモリの２チップ構成（ビット幅２k本以上、伝送能力１００GB/sec以上）とした実証デバイス＃１を試作し機能を検証する。

最終目標（平成２４年度）

実用的なアプリケーション仕様に準ずる、Si貫通ビアを用いた三次元積層SiPを試作し、機能を検証することで、多機能高密度三次元集積化技術として開発した設計技術と評価解析技術の有効性を実証する。

（１）次世代三次元集積化設計技術の研究開発

- ・ 現状に比較し２桁多いメッシュ数および８倍の信号幅の解析対象を、現状と同等の計算時間で解析することができる電気系三次元シミュレータの開発と評価を完了する。
- ・ CMOS半導体デバイス、機能デバイス等を、相互に接続可能とする機械的・電気的インターフェースを設定し、技術仕様書を策定する。

（２）次世代三次元集積化のための評価解析技術の研究開発

- ・ ３００mmウェハに対応するプローブとして３０万端子以上の被テスト端子への一括アクセスが可能であることを確認する。また、高速デジタル信号テスト端子においては、１５Ｇbps以上の信号を用いた検査が可能であることを確認する。
- ・ 平成２２年度末までに開発したプローブをテスターと接続して評価を行い、プローブカードとテスト装置間において５００Mbps以上の高速テスト信号を含む４万系統のテスト信号伝送が可能であることを実証する。
- ・ 一つのプローブカードにおいて、１０kW以上の安定した電力供給技術を開発する。

- ・プローブカードにおけるチップテスト時、温度範囲 -40 度 $\sim +125$ 度においてバーンイン試験及びバーンイン試験を可能とする温度制御技術を開発する。
 - ・ひとつの三次元積層SiPあたり 20 W以上の発熱に対応する放熱構造の評価解析技術を開発する。
- (3) 次世代三次元集積化設計技術及び次世代三次元集積化のための評価解析技術の有効性実証
- ・実用的なアプリケーションを想定した実証用三次元積層SiP(実証デバイス)の第二ステップとして、センサ、ADコンバータを含む実証デバイス#2を試作し機能を検証する。
 - ・実証デバイスにおいて、次世代三次元積層SiP、インターポーザ、外部基板まで含めた領域において、電気的特性による次世代三次元積層集積化設計技術の設計精度検証を行う。

研究開発項目② 複数周波数対応通信三次元デバイス技術

中間目標(平成22年度)

MEMSデバイス(キャパシタ、スイッチ等)を組み合わせたRF MEMSデバイス(可変アンテナ、可変インピーダンス回路、可変フィルタ)を開発する。また、RF MEMS回路、制御・電源回路を三次元集積化し、機能を実証する。さらに、それらを組み合わせて、複数の周波数帯域で通信可能なマルチチップモジュール(MCM)を作成しその動作を実証する。

(1) 複数周波数対応可変RF MEMSデバイスの研究開発

- ・ 700 MHz ~ 6 GHzに含まれる周波数帯域において、MEMSデバイスのスイッチ、キャパシタ、インダクタを組み合わせ、可変アンテナ、可変インピーダンス回路、可変フィルタの動作を実証する。さらに低損失及び小型化のための指針を示す。
- ・複数周波数対応通信三次元デバイスの三次元積層構造での高周波回路実装技術を開発する。
- ・MEMSデバイスにおいて、挿入損失 5 dB以下、通過帯域幅 10% の可変フィルタを開発する。
- ・MEMSデバイスにおいて、挿入損失 2 dBのインピーダンスマッチング回路を開発する。

(2) 複数周波数対応通信フロントエンド回路の研究開発

- ・RF MEMSデバイスを組み合わせ、複数の周波数帯域において通信可能なMCMを作成しその動作を実証する。

最終目標(平成24年度)

MEMS回路、制御・電源回路が積層された複数周波数・複数通信方式に対応する三次元デバイスとして、 700 MHz ~ 6 GHzの周波数帯域で周波数特性可変のMCMを開発し、通信方式ごとの個別回路をMCM構成にて実装した場合に比較し、実装面積で $1/8$ に小型化可能なことを実証する。

- (1) 複数周波数対応可変RF MEMSデバイスの研究開発
 - ・ MEMSデバイスのスイッチ、キャパシタ、インダクタを組み合わせ、700MHz～6GHzの周波数帯に含まれる複数の通信方式で使用可能な可変アンテナ、可変インピーダンス回路、可変フィルタのモジュールを開発する。
 - ・ MEMS回路、制御・電源回路を三次元集積化し、機能を実証する。さらに、シリコンLSIの積層によるSiP化のために必要な実装技術を開発する。
- (2) 複数周波数対応通信フロントエンド回路の研究開発
 - ・ 複数周波数対応デバイスとして、MEMSデバイスをデジタル制御あるいはアナログ制御する制御回路デバイスを可能な限りLSI化し、700MHz～6GHzの周波数帯域をMEMSデバイスの可変域に対応して分割したMCMを開発する。このMCMにおいて、通信方式ごとの個別回路をMCM構成にて実装した場合に比較し、実装面積で1/8に小型化可能なことを実証する。
 - ・ 複数周波数対応通信三次元デバイスをSiP形態で実現するために必要な構成を提案する。

研究開発項目③ 三次元回路再構成可能デバイス技術

平成20年度目標

三次元積層を含むデバイス作製プロセスのフロー骨子を決定する。また、三次元配線密度等の具体的な基本仕様の策定を行うとともに、その仕様に基づき、三次元アーキテクチャの基本構造の決定と、それにより実現する目標性能及び機能を確定する。

- (1) 三次元回路再構成可能デバイスに関する三次元集積化技術の研究開発
 - ・ 基礎的な実験を行い、その結果に基づき、配線密度その他の三次元構造に関する基本仕様を具体的に策定する。
 - ・ 上記の実験結果及びアーキテクチャ、素子構造の検討結果に基づき、三次元積層プロセスを含むデバイス作製のプロセスフロー骨子を決定する。
- (2) 三次元回路再構成可能デバイスに関するアーキテクチャおよび設計技術の研究開発
 - ・ 三次元構造に関する基本仕様、その他の検討結果に基づいて、開発する三次元アーキテクチャの基本構造を決定するとともに、その目標性能及び機能を確定する。
- (3) 三次元回路再構成可能デバイスに関する素子技術の研究開発

三次元積層が可能な構造を有し、かつ、回路再構成可能デバイスの特性改善を実現可能なトランジスタの素子構造を具体的に検討し、その目標性能を確定する。

中間目標（平成22年度）

三次元回路再構成可能デバイスに関するアーキテクチャと、それを実証する三次元集積化技術の基盤技術を開発する。

- (1) 三次元回路再構成可能デバイスに関する三次元集積化技術の研究開発
 - ・ 三次元回路再構成可能デバイスを実現する三次元集積化技術のうちウェハ接合技術として、1mm²程度の面積を占める三次元集積化構造のコア間で、1000ピン以上の接続を可能とするシリコン貫通ビア、バンプ構造等を開発し、200mm径以上のウェハを用いて実証する。

- ・ 三次元回路再構成可能デバイスを実現する三次元集積化技術のうち高精度位置合わせ技術を開発し、200mm径以上のウェハ貼り合わせで、5 μ m以下の位置合わせ精度を実証する。
- (2) 三次元回路再構成可能デバイスに関するアーキテクチャおよび設計技術の研究開発
 - ・ 三次元的な積層構造を利用した動的リコンフィギャラブルプロセッサのアーキテクチャを開発し、論理設計を完了する。このアーキテクチャを用いた4層積層において、二次元構成に比較して、消費電力当たりの性能が1.25倍以上となることを実証する。
 - ・ 三次元的な積層構造を利用したFPGAを開発し、論理設計を完了する。このアーキテクチャを用いた4層積層において、二次元構成に比較して、消費電力当たりのゲート数が1.25倍以上となることを実証する。

最終目標（平成24年度）

三次元回路再構成可能デバイスのアーキテクチャを実証する。さらに三次元回路再構成可能デバイスのプロセスフローを実証する。

- (1) 三次元回路再構成可能デバイスに関する三次元集積化技術の研究開発
 - ・ ウェハ接合技術として、200mm径以上のウェハを4層以上積層し、1mm²程度の面積を占める三次元集積化構造のコア間で、1000ピン以上の接続を実証する。
 - ・ 高精度位置合わせ技術として、200mm径以上のウェハを4層以上積層し、5 μ m以下の位置合わせ精度を実証する。
- (2) 三次元回路再構成可能デバイスに関するアーキテクチャおよび設計技術の研究開発
 - ・ 動的リコンフィギャラブルプロセッサ、FPGA、汎用CPU、メモリ等の機能ブロックを柔軟に組み合わせたハイブリッドアーキテクチャを開発する。さらに、200mm径以上のウェハ積層技術を用いて4層以上積層し、三次元回路再構成可能デバイスとしての動作を実証する。

4. 実施内容および進捗（達成）状況

東京工業大学 統合研究院 教授 益一哉 をプロジェクトリーダーとし、以下の成果を得た。

(1) 平成20～21年度（委託）事業内容

研究開発項目① 多機能高密度三次元集積化技術

（実施体制：技術研究組合超先端電子技術開発機構 共同実施 - （独）産業技術総合研究所、静岡大学、明星大学、東京大学、芝浦工業大学、東北大学、京都大学、富山県立大学）

① - (1) 次世代三次元集積化設計技術の研究開発

（平成20年度進捗状況）

- ・ 高速回路シミュレータ用エンジンの開発において、新規アルゴリズムを考案し、現状に対して40倍高速化が可能であることを確認した。
- ・ 高速ドライバチップ用インターポーザ評価用の高速信号伝送路を設計し、部品内蔵技術の優位性を実証した。さらに、DC-DCコンバータ用インターポーザを試作し、インター

ポーザ上LCを利用した基本回路動作を確認した。

- ・電源ノイズの総合的な評価へ向けた評価システムの基本構成を確立した。また、広帯域超低インピーダンス評価システムを構築し、その基本性能を実証した。

(平成21年度進捗状況)

- ・高速電気回路シミュレーションエンジンの研究開発では、改良LIM法を実装したシミュレータを作成し既存のものに対して300倍の高速化、精度は同等である事を確認した。また、線形・非線形エンジンの連成を、波形緩和法を用いる事により可能にした。

(注) LIM法: Latency Insertion Method、潜在性挿入手法

回路網高速解析のための近似計算アルゴリズム

- ・高速電磁界シミュレーションエンジンの研究開発では、ADE-FDTD法の考案及びメッシュ数低減技術により100倍程度の高速化の見込みを得た。
- ・信号品質安定化技術(SI:シグナルインテグリティ)・電源安定化技術(PI:パワーインテグリティ)の研究開発では、高速I/Oドライバ用部品内蔵インターポーザのSI・PIを評価し、電源電圧変動抑制効果を確認した。
- ・素子内蔵インターポーザの評価・検査技術の研究開発では、周波数アナライザと平成20年度に導入したインピーダンスアナライザとシステム統合し、部品内蔵インターポーザの評価・検査技術を構築した。このシステムにおいてDC-40GHzの超高帯域かつ0.01Ω以下の低インピーダンス評価を実現した。

① - (2) 次世代三次元集積化のための評価解析技術の研究開発

(平成20年度進捗状況)

- ・300mm径ウェハ対応/15万端子プローブカードの試作を行い、DC特性評価を完了した。
- ・評価検討用プローブチップ(LSI)の仕様策定、評価治具設計を行い、本LSI試作と評価治具の作成を完了した。
- ・10kWの発熱および面内温度分布評価が可能なウェハの設計を行い、ウェハ試作と評価治具の作成を完了した。
- ・三次元集積構造の熱パラメータ測定TEGと、発熱体・温度実測TEGの基本構想・マスク設計を完了した。
- ・10μm接続ピッチTEGを試作し、接続構造・材料をパラメータとした高精度積層接合実装要素技術研究・評価を始めた。
- ・ウェハプローバのアライメント精度につき、技術課題の抽出と評価用装置仕様を決定し、開発に着手した。
- ・300mm径ウェハの薄ウェハダイシング方式検証により、10μm厚みの課題の抽出を行った。

(平成21年度進捗状況)

- ・ウェハー括、接触および非接触結合端子によるプロービング技術の研究開発では、300mm径ウェハ対応、接触15万接続端子、非接触3.6万端子を有するプローブカードの設計、試作を行い、真空差圧による基本構造の検証とコンタクト特性の評価と最適化を実施した。

- ・また、テストチップとプローブチップ機能をプローブカード上に搭載し基本構造の検証と課題抽出を完了し、ASIC（特定の用途向け集積回路）版テストチップとプローブチップの回路設計とレイアウト設計を完了した。
- ・非接触高速デジタル送受信通信プローブチップの設計・試作を完了し、伝送速度1Gbpsを確認した。
- ・実動作速度を目指した試験が可能なテストチップ（LSI）を含む300mm径ウェハ対応／30万端子プローブカードのシステムアップ（1/10スケール）に着手した。
- ・被測定対象への電力供給および温度制御技術の研究開発では、300mm径ウェハ対応・フルスケールの15kW発熱冷却構造と多点温調制御の設計・試作を完了した。
- ・プロービング部分とテストシステム間の接続技術の研究開発では、容量結合方式の非接触コネクタ端子用プローブチップを設計・試作・評価を完了し、500Mbps以上の伝送特性を確認した。
- ・上記プローブチップを用いた非接触接続用コネクタの原理試作（4チャンネル）と評価を完了し、動作・有効性の確認を完了した。
- ・熱評価および放熱対策技術の研究開発では、熱伝導測定装置を構築し、接合部の熱伝導率を測定・導出した。
- ・積層接合評価解析技術の研究開発では、10 μ mピッチTEGの接合実験・評価を行い、微細ピッチ接合の課題を抽出した。
- ・接合部の機械物性評価をシミュレーションと、EDX（エネルギー分散型X線分析装置）付き加熱SEM（走査型電子顕微鏡）を導入したDICM（デジタル画像相関法 Digital Image Correlation Method）法によって進めた。欠陥観測法として、20 μ mレベルのTSV・接合部をX線CTにより観測できることを確認した。
- ・薄化ウェハの評価解析技術の研究開発では、IG(Intrinsic Gettering)層の厚さによって金属汚染の防止効果に差があり、10 μ m厚さでは、デバイスに影響を及ぼさないEG(Extrinsic Gettering)層の導入かエピ層の形成等が必要であることが分かった。
- ・バンプの配置によって局所歪の位置や大きさを低減出来ることがレーザラマンを用いた評価方法にて判明した。

① - (3) 次世代三次元集積化設計技術及び次世代三次元集積化のための評価解析技術の有効性実証

(平成20年度進捗状況)

- ・実証デバイスの基礎検討として、センサ、ADC、高速シリアル・パラレル変換回路の設計を完了した。また高速I/Oドライバの設計製作を完了した。
- ・200mm/300mm径ウェハ対応のフォトリソグラフィ装置および200mm径ウェハ対応のバンプめっき装置を導入し、微細バンプ形成技術の開発に着手した。

(平成21年度進捗状況)

- ・実証デバイス設計開発では、イメージセンサ回路、AD変換回路、メモリ構成回路、並列プロセッサアーキテクチャとプロセッサ構成回路、システムアーキテクチャ、制御命令セット等から成る調査と基礎検討を完了し、チップを作成し評価を開始した。

- ・実証デバイスプロセス開発では、200mmウェハでの10 μ mピッチ TSV、マイクロバンプ形成技術を開発中。また、300mmウェハでのリソグラフィおよび TSV 形成技術開発に着手し、径5 μ m、深さ30 μ mのSiエッチングが可能であることを確認した。
- ・新たな実証デバイス開発では、ロジックと超ワイドバスメモリの2チップ構成（ビット幅2k本以上、伝送能力100GB/sec以上）とした実証デバイス#1の論理レベル設計を完了させた。
- ・上記実証デバイス#1の制作に着手した。

研究開発項目② 複数周波数対応通信三次元デバイス技術

（実施体制：富士通株式会社、東京工業大学）

②-（1） 複数周波数対応可変RF MEMSデバイスの研究開発

（平成20年度進捗状況）

- ・700MHz～6GHzに含まれる周波数帯域において動作するRF MEMSデバイスの要素技術開発を行った。可変キャパシタ、スイッチに関しては、試作を行い性能を評価した。特に、スイッチにおいて、オン-オフ動作寿命の大きな改善を達成した。可変インダクタに関しては、3次元電磁界シミュレーション環境を立ち上げ、高周波特性、Q値に優れインダクタンス値を大きく可変できるインダクタの構造を比較検討し、従来のスパイラル型よりもスネーク型の方が有効であるとの見通しを得た。可変アンテナ、可変フィルタ、可変インピーダンス回路に関しては、シミュレーション技術あるいは試作による評価を行い、可変特性を確認した。
- ・実装技術開発に関しては、ドライバICも含めたMEMSデバイスの実装構造を検討し電磁界シミュレーションを行った。

（平成21年度進捗状況）

- ・可変キャパシタに関しては、長期動作時にスティッキングが多発する課題に解決の目処を得、信頼性が大幅に向上した。また、信頼性評価システムの構築が評価効率向上に効果を上げた。
- ・MEMSスイッチに関しては、SPST、SP4Tを試作し良好なスイッチング性能を確認した。また、ドライバICの製作仕様を決定した。
- ・可変フィルタに関しては、基板の抵抗内蔵化による損失低減効果を確認した。また、通過帯域制御技術の検討を実施した。
- ・可変アンテナに関しては、MEMSスイッチ4個を切替えて700MHz～6GHzをカバーできることを試作により確認した
- ・可変アンプと可変低雑音アンプに関しては、アンプ素子を設計・試作し、可変キャパシタを含む可変インピーダンス整合回路と組み合わせ、1.5～4GHzをカバーする周波数可変性能を確認した。
- ・可変インダクタに関しては、大きな可変率を確保できる円形アクチュエータ構成を明らかにし、MEMS可変インダクタ回路の設計試作を実施した。アクチュエータを制御する高電圧制御回路のCMOS化も検討し、3.3Vから最大20Vを生成するチャージポンプ型昇圧回路を考案し、0.18 μ m CMOSプロセスによる設計試作を実施した。

②-(2) 複数周波数対応通信フロントエンド回路の研究開発

(平成20年度進捗状況)

- ・多数のRF MEMSデバイスを含むフロントエンド回路において、複数の通信周波数に対応させるためのシステム制御フローを、RF MEMSデバイスの制御を含めて検討した。

(平成21年度進捗状況)

- ・フロントエンドを構成する複数のモジュールで使用されるRF MEMSデバイスを制御することのできる制御部の設計を行い、論理検証により制御動作を確認した。

研究開発項目③ 三次元回路再構成可能デバイス技術

(実施体制：技術研究組合超先端電子技術開発機構 共同実施 - (独) 産業技術総合研究所)

③-(1) 三次元回路再構成可能デバイスに関する三次元集積化技術の研究開発

(平成20年度達成状況)

- ・擬似的なシリコン貫通ビアを作成したウェハを用い、基板研磨等の検討を行った。さらに、アーキテクチャの検討結果も含めて検討し、シリコン貫通ビアの配置密度、電気的特性等の基本仕様を策定した。
- ・シリコン貫通ビアに必要な仕様に基づき、三次元積層プロセス(案)を策定した。

(平成21年度達成状況)

- ・TSV低容量化に必要な低温高品質絶縁膜形成条件を見いだした。また、目標容量(50 fF以下)に向けての指針を得た。
- ・ビアラスト型TSVの設計ルール策定に向け、トランジスタ付きTEGへのビアラストTSV形成プロセスを構築中。TSV加工が可能であることを確認した。
- ・200mm径ウェハを用いてピッチ25 μ m相当のTSV及びバンプ形成を行った。また、微細バンプを形成したウェハ同士の接合を実施した。

③-(2) 三次元回路再構成可能デバイスに関するアーキテクチャおよび設計技術の研究開発

(平成20年度達成状況)

- ・動的再構成型プロセッサ(フレキシブルエンジン)およびFPGAの三次元アーキテクチャの検討を行い、基本構造の策定ならびにTSVの要求仕様(案)を策定した。
- ・汎用CPUを含めたハイブリッドアーキテクチャの検討を行うと共に、応用分野の策定ならびに動向調査を行い、三次元回路再構成可能デバイスの仕様(案)を策定した。
- ・目標とする三次元回路再構成可能デバイスのシステムから見た二次元実装に対する優位点を明確にした。

(平成21年度達成状況)

- ・応用システムの評価環境を構築し、処理内容定量化中。またデバイスに搭載する機能する機能の0次案を作成した。
- ・三次元フィールドプログラマブルゲートアレイに機能をマッピングするプログラムV2の開発を完了し、通信トポロジを決定するためマッピング評価中。また定量評価のためのタイル基本回路設計を完了した。
- ・三次元通信回路方式を検討し、通信基本回路方式評価のためのTEGチップが完了した。三

次元実装を開始した。

- ・三次元的な積層構造におけるチップ間の通信・制御技術を開発した。

③-(3) 三次元回路再構成可能デバイスに関する素子技術の研究開発
(平成20年度達成状況)

- ・構造の異なるトランジスタの素子性能に関して、シミュレーション (TCAD) を利用し、三次元回路再構成可能デバイスを実現する上で最適なトランジスタ構造 (案) を策定した。

(2) 実績推移

	平成20年度	平成21年度	合計
一般勘定 (百万円) :	1,086	2147	3,233
特許出願件数 (件) :	2	21	23
論文数 (件) :	7	7	14
講演数 (件) :	2	51	53
プレスリリース (件) :	0	0	0

5. 事業内容

東京工業大学 統合研究院 教授 益一哉 をプロジェクトリーダーとし、以下の研究開発を実施する。実施体制については、別紙を参照のこと。

(1) 平成22年度 (委託) 事業内容

研究開発項目① 多機能高密度三次元集積化技術

(実施体制：技術研究組合超先端電子技術開発機構 共同実施 - (独) 産業技術総合研究所、静岡大学、明星大学、東京大学、芝浦工業大学、東北大学、京都大学、富山県立大学)

① -(1) 次世代三次元集積化設計技術の研究開発

- ・電気系三次元シミュレーションエンジンの開発として、シミュレーションエンジン (Phase2) の開発を完了する。
- ・信号品質安定化 (シグナルインテグリティ) 技術、電源安定化 (パワーインテグリティ) 技術の開発として、電源評価システムの製作、評価を行う。
- ・素子内蔵インターポーザ測定と、シミュレーションにより、素子内蔵インターポーザの統合評価手法を開発する。

① -(2) 次世代三次元集積化のための評価解析技術の研究開発

- ・実動作速度を目指した試験が可能なテストチップ (LSI) を含む300mm径ウェハ対応 / 30万端子プローブカードのシステムアップ (1/10スケール) を完了する。
- ・プローブカード仕様に対応したテストチップ・プローブチップ (LSI)、および多ピンコネクタおよび接続用コネクタ仕様に対応したプローブチップ (LSI) の試作を完了する。
- ・10 μ m接続ピッチを目指した、微細接続構造の最適化設計と評価解析技術開発を行う。
- ・20Wを目指した、放熱冷却構造の最適化設計と評価解析技術開発を行う。

- ・10 μ m厚を目指した、ウェハ薄層化、積層化技術とその評価解析技術開発を行う。

①-(3) 次世代三次元集積化設計技術及び次世代三次元集積化のための評価解析技術の有効性実証

- ・平成21年度に設計・試作したLSIチップの評価を行い、実証デバイスの要素技術を開発する。
- ・200/300mm径ウェハの三次元積層SiPの試作に必要な要素プロセス技術を開発する。
- ・20W/100mm²の放熱に対し、デバイス表面を85℃以下とする冷却技術を開発する。
- ・ロジックと超ワイドバスメモリの2チップ構成（ビット幅2k本以上、伝送能力100GB/sec以上）とした実証デバイス#1の開発を行う。

研究開発項目② 複数周波数対応通信三次元デバイス技術

（実施体制：技術研究組合超先端電子技術開発機構 共同実施 -東京工業大学）

②-(1) 複数周波数対応可変RF MEMSデバイスの研究開発

- ・700MHz～6GHzに含まれる周波数帯域において、MEMSデバイスのスイッチ、キャパシタ、インダクタを組み合わせ、可変アンテナ、可変インピーダンス回路、可変フィルタの動作を実証する。さらに低損失及び小型化のための指針を示す。
- ・複数周波数対応通信三次元デバイスの三次元積層構造での高周波回路実装技術を開発する。
- ・MEMSデバイスにおいて、挿入損失5dB以下、通過帯域幅10%の可変フィルタを開発する。
- ・MEMSデバイスにおいて、挿入損失2dBのインピーダンスマッチング回路を開発する。

②-(2) 複数周波数対応通信フロントエンド回路の研究開発

- ・RF MEMSデバイスを組み合わせ、複数の周波数帯域において通信可能なMCMを作成しその動作を実証する。

研究開発項目③ 三次元回路再構成可能デバイス技術

（実施体制：技術研究組合超先端電子技術開発機構 共同実施 -（独）産業技術総合研究所、東北大学）

③-(1) 三次元回路再構成可能デバイスに関する三次元集積化技術の研究開発

- ・三次元回路再構成可能デバイスを実現する低容量TSV技術、ウェハ積層基盤技術、ウェハ貼り合わせ基盤技術を開発する。

③-(2) 三次元回路再構成可能デバイスに関するアーキテクチャおよび設計技術の研究開発

- ・平成21年度に検討した動的リコンフィギュラブルプロセッサ、FPGA、汎用CPU、メモリ等の機能ブロックを柔軟に組み合わせた三次元回路再構成可能デバイスの仕様（アーキテクチャ/回路）を策定する。
- ・設計した三次元的三次元回路再構成可能デバイスにおいて、消費電力あたりのゲート数が1.

25倍以上になることを実証する。

(2) 平成22年度事業規模

一般勘定 855百万円

事業規模については、変動があり得る。

6. その他重要事項

(1) 評価

独立行政法人新エネルギー・産業技術総合開発機構（以下、「NEDO」という）は、技術的及び政策的観点から、研究開発の意義、目標達成度、成果の技術的意義並びに将来の産業への波及効果等について、外部有識者による研究開発の中間評価を平成22年度に実施する。

(2) 運営・管理

研究開発全体の管理・執行に責任と決定権を有するNEDOは、プロジェクトリーダーと経済産業省と密接な関係を維持しつつ、プログラムの目的及び目標、並びに本研究開発の目的及び目標に照らして適切な運営管理を実施する。また、必要に応じて、外部有識者の意見を運営管理に反映させる。

(3) 複数年度契約の実施

平成20～22年度の複数年度契約を行う。

(4) 実施体制

研究開発責任者としてプロジェクトリーダーを置き、そのリーダーシップのもとに研究開発を実施する。

7. スケジュール

平成22年3月4日

部長会

8. 実施方針の改定履歴

平成22年 3月

制定

実施体制

