

(IT イノベーションプログラム)

「立体構造新機能集積回路（ドリームチップ）技術開発」基本計画

電子・材料・ナノテクノロジー部

1. 研究開発の目的・目標・内容

(1) 研究開発の目的

我が国半導体技術の発展は、情報家電、コンピュータ、通信装置を始め、自動車、医療機器など様々な機器の高性能化、小型化、省電力化に貢献し、情報通信産業や製造業といった我が国経済を牽引する産業の競争力を強化するものである。従来、この発展を支える半導体デバイスの製造技術は、CMOS-LSI 用プロセス技術を二次元的に微細化することにより追求されてきた。一方、微細化の進展に伴い、微細化を実現するための研究開発投資、設備投資が増大すると共に、製造レベルでのばらつき制御や歩留まり対策といった製造技術のブレークスルーも必要になってきている。

こうした状況下、半導体製品の更なる性能向上を図る上で、二次元的な微細化に加えて、三次元的な構造を採用することで、高集積化、配線遅延への対応、低消費電力化、開発期間短縮を図ろうとする取り組みが顕在化し、海外各国がその開発への取り組みを開始しているところである。こうした動きは、世界に先駆けて独立行政法人新エネルギー・産業技術総合開発機構（以下、NEDOという。）が取り組んだ高密度三次元積層技術（超高密度電子 SI 技術プロジェクト(平成 11～15 年度)における Si 貫通ビアによる三次元チップ積層技術開発、積層メモリチップ技術開発(平成 16～18 年度)における積層 DRAM 技術開発)の成果に触発されたものであり、研究開発実績としては今のところ我が国に優位性があるものの、今後、各国との開発競争は熾烈化するものと考えられる。海外の活動の活発化により、この状況を放置すれば三次元化に関する技術開発の競争力を失いかねない。

このため本プロジェクトを「IT イノベーションプログラム」の一環として実施し、これまでの同一機能のメモリの積層による高集積化とは異なり、異機能を持つチップの積層技術など、これまでにない三次元化技術により、新たな機能の発揮と飛躍的な性能向上を実現する立体構造新機能集積回路を実現するための技術を確立することを目的とする。中でも三次元化積層要素技術に重点的に取り組む。実施にあたっては、技術開発成果を最大限に活用しうる出口戦略の明確化と、そのための体制構築に留意することとする。

(2) 研究開発の目標

①多機能高密度三次元集積化技術

情報通信デバイスや信号処理デバイスの小型化、低消費電力化に必要な、Si 貫通ビアを用いた三次元積層システムインパッケージ (SiP) を実現するための設計技術および評価解析技術を含め、三次元集積化要素技術の確立を目標とする。

中間目標 (平成 22 年度)

三次元積層 SiP の設計に必要な高速シミュレーションエンジンを開発するとともに、ウェハ状態で半導体素子の機能検査を行う評価解析技術を確認する。

最終目標（平成 24 年度）

実用的なアプリケーションを想定し、その要求仕様を実現する Si 貫通ビアを用いた三次元集積回路の要素技術を開発する。さらにその開発した要素技術を用いた三次元積層 SiP の試作と機能検証を行うことで、多機能高密度三次元集積化技術として開発した設計技術と評価解析技術の有効性を実証する。

②複数周波数対応通信三次元デバイス技術

本研究開発項目は、平成 22 年度に行った中間評価の結果を受けて、平成 22 年度をもって終了し、最終目標を削除する。

微小可動構造 (MEMS) を用いた MEMS 回路、制御・電源回路が積層された複数周波数・複数通信方式に対応する三次元デバイスを開発する。最終的には、ボード基板上に並べられた RF 通信デバイスを小型化し SiP とすることが可能な技術を確認する。

中間目標（平成 22 年度）

MEMS デバイス（キャパシタ、スイッチ等）を組み合わせた RF MEMS デバイス（可変アンテナ、可変インピーダンス回路、可変フィルタ）を開発する。また、RF MEMS 回路、制御・電源回路を三次元集積化し、機能を実証する。さらに、それらを組み合わせ、複数の周波数帯域で通信可能なマルチチップモジュール (MCM) を作成しその動作を実証する。

③三次元回路再構成可能デバイス技術

本研究開発項目は、平成 22 年度に行った中間評価の結果を受けて、平成 22 年度をもって終了し、最終目標を削除する。

三次元的な積層構造を利用した回路再構成可能デバイス（フィールドプログラマブルゲートアレイ (FPGA)、動的リコンフィギュラブルプロセッサ等）技術を開発する。

平成 20 年度は、三次元積層を含むデバイス作製プロセスのフロー骨子を決定する。また、三次元配線密度等の具体的な基本仕様の策定を行うとともに、その仕様に基づき、三次元アーキテクチャの基本構造の決定と、それにより実現する目標性能及び機能を確定する。

なお、平成 21 年度以降の研究開発目標については、平成 20 年度の成果を踏まえ、以下のように定める。

中間目標（平成 22 年度）

三次元回路再構成可能デバイスに関するアーキテクチャと、それを実証する三次元集積化技術の基盤技術を開発する。

(3) 研究開発の内容

立体構造によって新たな機能創出や飛躍的な性能向上が期待されるデバイス開発として、別紙の研究開発計画に基づき以下の項目を実施する。但し、研究開発項目②および③は、平成 22 年度に行った中間評価の結果を受けて、平成 22 年度をもって終了する。

[委託事業]

- ① 多機能高密度三次元集積化技術
- ② 複数周波数対応通信三次元デバイス技術
- ③ 三次元回路再構成可能デバイス技術

2. 研究開発の実施方式

(1) 研究開発の実施体制

本研究開発は、NEDOが、単独ないし複数の原則本邦の企業、大学等の研究機関（原則、本邦の企業等で日本国内に研究開発拠点を有していること。なお国外の企業等（大学、研究機関を含む）の特別の研究開発能力、研究施設等の活用または国際標準獲得の観点から国外企業等との連携が必要な部分を、国外企業等との連携により実施することができる。）から公募によって研究開発実施者を選定後、共同研究契約等を締結する研究体を構築し、委託して実施する。

(2) 研究開発の運営管理

研究開発全体の管理・執行に責任を有するNEDOは、経済産業省および研究開発責任者と密接な関係を維持しつつ、プログラムの目的及び目標、並びに本研究開発の目的および目標に照らして適切な運営管理を実施する。具体的には、必要に応じて設置される技術検討委員会等を通じて、外部有識者の意見を運営管理に反映させるほか、研究開発実施者からプロジェクトの進捗について報告を受けること等を行う。

3. 研究開発の実施期間

本研究開発の期間は、平成20年度から平成24年度までの5年間とする。

4. 評価に関する事項

NEDOは、技術的及び政策的観点から、研究開発の意義、目標達成度、成果の技術的意義ならびに将来の産業への波及効果等について、外部有識者による中間評価を平成22年度に、事後評価を平成25年度に実施する。なお、評価の時期については、当該研究開発に係る技術動向、政策動向や当該研究開発の進捗状況等に応じて、前倒しする等、適宜見直すものとする。

5. その他の重要事項

(1) 研究開発成果の取扱い

① 成果の普及

得られた研究成果については、NEDO、実施者とも普及に努めるものとする。

② 知的財産権の帰属

委託研究開発の成果に関わる知的財産権については、「独立行政法人新エネルギー・産業技術総合開発機構新エネルギー・産業技術業務方法書」第25条の規定等に基づき、原則として、すべて受託先に帰属させることとする。

(2) 基本計画の変更

NEDOは、研究開発内容の妥当性を確保するため、社会・経済的状況、国内外の研究開発動向、政策動向、プログラム基本計画の変更、第三者の視点からの評価結果、研究開発費の確保状況、当該研究開発の進捗状況等を総合的に勘案し、達成目標、実施期間、研究開発体制等、基本計画の見直しを弾力的に行うものとする。

(3) 根拠法

本プロジェクトは、独立行政法人新エネルギー・産業技術総合開発機構法第15条第1項第2号に基づき実施する。

6. 基本計画の改訂履歴

- (1) 平成20年3月、制定。
- (2) 平成20年7月、イノベーションプログラム基本計画の制定により、「(1) 研究開発の目的」の記載を改訂。
- (3) 平成21年3月、研究開発項目③の目標設定のため、「(2) 研究開発の目標」の記載、および(別紙)研究開発計画の研究開発項目③「三次元回路再構成可能デバイス技術」の記載を改訂。
- (4) 平成23年3月、中間評価の結果を受けて研究開発項目を見直した結果、研究開発項目①の実施内容を変更し、②・③を削除するため改訂。

(別紙) 研究開発計画

研究開発項目①「多機能高密度三次元集積化技術」

1. 研究開発の必要性

微細化が進む SoC デバイスでは、配線抵抗、配線容量の増大に起因する信号遅延時間と消費電力の増加が顕在化してきている。配線抵抗の低減には、Si 貫通ビアを活用した半導体チップの三次元集積化が有効である。さらにこの技術を用いて CMOS 半導体デバイスと他の機能デバイスとの三次元集積化を行えば、従来にない多機能デバイスの実現が可能となる。このように Si 貫通ビアを活用した、CMOS 半導体デバイスの三次元集積化および他の機能デバイスとの積層構造まで含めた多機能高密度三次元集積化技術の開発は、配線遅延、消費電力問題に対する解決策の一つを提供するとともに、新たな多機能デバイスの実用化を促進し、電子・情報技術の競争力を強化するものである。

多機能高密度三次元集積化技術で実現される次世代三次元積層 SiP では、特長ある CMOS 半導体デバイスおよび機能デバイスの開発とともに、次世代三次元積層 SiP の開発効率向上及び信頼性向上のための設計技術及び評価解析技術が必要である。また、CMOS 半導体デバイス及び機能デバイスを相互に接続可能とするインターフェースの規格化も必要となる。設計技術と評価解析技術の有効性については、次世代三次元積層 SiP での実証が必要である。

2. 研究開発の具体的内容

(1) 次世代三次元集積化設計技術の研究開発

- ・ 電気系三次元シミュレーション技術として、次世代三次元積層 SiP の設計段階で使用される電気回路シミュレーションエンジン及び三次元電磁界シミュレーションエンジンの計算能力を改善し実用的設計ツールとして構築する。なお、本研究開発は、最終目標を平成 22 年度末をもって前倒し達成したため、平成 23 年度以降は実施しない。
- ・ 回路動作を安定化する信号品質安定化技術（シグナルインテグリティ）、電源安定化技術（パワーインテグリティ）を開発する。
- ・ CMOS 半導体デバイス、機能デバイス等を、相互に接続可能とする機械的・電氣的インターフェースを設定し、技術仕様書を策定する。

(2) 次世代三次元集積化のための評価解析技術の研究開発

- ・ CMOS 半導体デバイスの機能をウェハ形状にて一括検査する技術として、300mm ウェハに対応可能な高速デジタル信号端子を含むプローブ方式、およびプローブカードとテスト装置を接続する高速テスト信号伝送技術を開発する。また、そのプローブ方式を用いたプローブカードにおいて電力供給安定化手法を開発する。さらにバーンイン試験及びバーンイン試験時の温度制御技術を開発する。なお、本研究開発は、最終目標を平成 22 年度末をもって前倒し達成したため、平成 23 年度以降は実施しない。
- ・ 三次元集積化の熱評価解析技術、積層接合評価解析技術を開発する。
- ・ 薄化したウェハの評価解析技術を開発する。

(3) 次世代三次元集積化の共通要素技術開発と設計基準策定

- ・ 実用的なアプリケーションを想定した三次元集積化 S i P の実現に必要な三次元積層の要素技術を開発する。具体的には、200mm 径以上のウエハサイズに適用可能なウエハ薄層化技術・高精度位置合わせ技術およびウエハ貼り合わせ技術等を開発する。また、三次元集積化デバイスの構成単位の構造の相異や、電氣的に大きく異なる信号を扱うことによって生じる課題、また三次元集積化素子特有の効果を実現するために解決が必要となる課題を明確化し、解決するための要素技術を開発する。
- ・ 前記の要素技術を適用して、実用的かつこれまでにない機能または特性を有する三次元集積化 S i P デバイス、具体的には画像処理システム・ロジックとメモリを積層したデバイス等を試作し、三次元集積化の効果を実証するとともに、有効性が実証された TSV に関わる設計基準・レイアウト基準と TSV 形成工程のプロジェクト仕様標準を策定する。
- ・ 出口戦略に基づいて三次元化応用製品を想定した場合に必須となる、三次元化集積化回路部分における信号授受・電源供給・制御手法等の検討と試作評価を行う。
- ・ 次世代三次元集積化のための共通要素技術設計基準をプロジェクト標準ライブラリとして策定し、国際標準化提案を行う。

3. 達成目標

(1) 次世代三次元集積化設計技術の研究開発

中間目標として、平成 22 年度末までに以下の目標を達成する。

- ・ 電気系三次元シミュレータにおいて、現状に比較し 2 桁多いメッシュ数及び 8 倍の信号幅の解析対象を、現状と同等の計算時間で解析するシミュレーションエンジンを開発する。
- ・ 三次元集積化における信号品質安定化技術、電源安定化技術を開発する。

最終目標として、平成 24 年末までに以下の目標を達成する。

- ・ 現状に比較し 2 桁多いメッシュ数および 8 倍の信号幅の解析対象を、現状と同等の計算時間で解析することができる電気系三次元シミュレータの開発と評価を完了する。
なお、本目標は平成 22 年度末をもって前倒し達成した。
- ・ CMOS 半導体デバイス、機能デバイス等を、相互に接続可能とする機械的・電氣的インターフェースを設定し、技術仕様書を策定する。
- ・ デジタル・アナログ混載回路、多電源化に対応した素子内蔵インターポーザの設計基盤技術を開発し、その技術仕様書を策定する。

(2) 次世代三次元集積化のための評価解析技術の研究開発

中間目標として、平成 22 年度末までに以下の目標を達成する。

- ・ 全体で 30 万端子を有し、そのうち高速デジタル信号テスト端子においては 15Gbps 以上の信号に対応可能な 300mm ウエハに対応するプローブ方式の基本技術を開発する。

- ・ 多端子プローブカードに関して非接触接続方式の実現可能性を検証する。
- ・ 次世代三次元集積化のための熱評価解析技術及び積層接合評価解析技術を開発する。
- ・ 10 μ m に薄化した 300mm ウェハの評価解析技術を開発する。

最終目標として、平成 24 年度末までに以下の目標を達成する。

- ・ 300mm ウェハに対応するプローブとして 30 万端子以上の被テスト端子への一括アクセスが可能であることを確認する。また、高速デジタル信号テスト端子においては、15Gbps 以上の信号を用いた検査が可能であることを確認する。
 - ・ 平成 22 年度末までに開発したプローブをテスターと接続して評価を行い、プローブカードとテスト装置間において 500Mbps 以上の高速テスト信号を含む 4 万系統のテスト信号伝送が可能であることを実証する。
 - ・ 一つのプローブカードにおいて、10kW 以上の安定した電力供給技術を開発する。
 - ・ プローブカードにおけるチップテスト時、温度範囲 $-40^{\circ}\text{C}\sim+125^{\circ}\text{C}$ においてバーンイン試験及びバーンイン試験を可能とする温度制御技術を開発する。
- なお、以上 4 項目の最終目標は、平成 22 年度末をもって前倒し達成した。
- ・ ひとつの三次元積層 SiP あたり 20W 以上の発熱に対応する放熱構造の評価解析技術を開発する。
 - ・ 自動車内を想定した高温環境下での放熱冷却構造の最適化設計と、評価解析技術の開発を行い放熱設計技術仕様書を策定する。

(3) 次世代三次元集積化の共通要素技術開発と設計基準策定

最終目標として、平成 24 年度末までに以下の目標を達成する。

- ・ 画像処理システム（視覚支援システム等）に必要なデジアナ混載回路の三次元積層 SiP を試作・評価を行い、電源供給技術、高速信号伝送技術等の要素技術を開発し技術仕様書を策定する。
- ・ ロジックと超ワイドバスメモリ（ビット幅 2k 本以上、伝送能力 100GB/sec 以上）をインターポーザで相互接続した三次元積層 SiP の試作・評価を行い、伝送能力や消費電力などの特性面における三次元積層の優位性を実証する。
- ・ TSV をはじめとする共通要素に関わる設計基準・レイアウト基準・プロセス工程基準を、プロジェクトの標準的仕様として策定しライブラリ化する。更に超ワイドバスによる信号授受の開発の成果を活用して、更なる制御手法の改善検討と試作評価を行い、標準化を含めた展開の見通しを得る。
- ・ ヘテロロジーニクス集積化を想定したインターポーザ、WLP（ウェハレベルパッケージ）技術の三次元集積化における有効性を示す。

なお、本項目「(3) 次世代三次元集積化の共通要素技術開発と設計基準策定」は、旧基本計画における目標「(3) 次世代三次元集積化設計技術及び次世代三次元集積化のための評価解析技術の有効性実証」に記載の内容を、中間評価の結果を受けて改訂したものである。

研究開発項目② 「複数周波数対応通信三次元デバイス技術」

本研究開発項目は、平成22年度に行った中間評価の結果を受けて、平成22年度をもって終了する。

1. 研究開発の必要性

情報通信技術分野において、安全で信頼性の高いネットワーク社会の構築のため、使用環境と使用サービスに合わせて最適な通信方式、通信帯域を利用可能とする複数周波数対応デバイスの実現が期待されている。これに対し従来の通信デバイスでは、必要となる通信方式に合わせてそれぞれのアンテナあるいは RF 回路をスイッチにより切替えて対応していたが、3 種類以上の方式を小型の通信端末に装備することは体積や消費電力等で課題が多い。これら課題を解決する、小型、低消費電力の複数周波数対応 RF デバイスを世界に先駆けて開発することは、我が国の情報通信技術の競争力を高めるものである。

実用的な小型、低消費電力の複数周波数対応デバイスは、MEMS 技術と三次元集積化技術の融合により実現可能であると期待される。そのため、これまで MEMS 技術により開発されてきたスイッチ、キャパシタ、インダクタ等の基本デバイスを組み合わせ、可変アンテナ、可変インピーダンス回路、可変フィルタ等の可変 RF MEMS 回路を実現すると共に、これら RF MEMS 回路と制御・電源回路を三次元集積化した RF フロントエンドを形成し、ベースバンドデバイスを含めた SiP 化まで視野に入れた技術開発が必要となる。また、RF MEMS デバイスとしては、今後移動体通信システムで中心的に使用される予定の周波数帯域（700MHz～6GHz）での技術開発が必要である。

2. 研究開発の具体的内容

(1) 複数周波数対応可変 RF MEMS デバイスの研究開発

- 700MHz～6GHz において、中心周波数、周波数帯域幅等の周波数特性を可変とする RF MEMS デバイス（可変アンテナ、可変インピーダンス回路、可変フィルタ）を開発する。
- RF MEMS デバイスの制御回路、電源回路を開発し、それらを三次元集積化するための高周波回路実装技術を開発する。

(2) 複数周波数対応通信フロントエンド回路の研究開発

- RF MEMS デバイス、制御・電源回路を積層した複数周波数対応通信デバイスとベースバンドデジタル回路を含めた通信フロントエンド回路をマルチチップモジュール（MCM）構成で実装し、複数周波数に対応した通信動作を実証する。
- 複数周波数対応通信三次元デバイスの小型化、高性能化、低動作電圧化、さらに三次元積層構造での高周波設計技術に関する基盤技術を確立する。

3. 達成目標

(1) 複数周波数対応可変 RF MEMS デバイスの研究開発

中間目標として、平成22年度末までに以下の目標を達成する。

- 700MHz～6GHz に含まれる周波数帯域において、MEMS デバイスのスイッチ、キャパ

シタ、インダクタを組み合わせ、可変アンテナ、可変インピーダンス回路、可変フィルタの動作を実証する。さらに低損失及び小型化のための指針を示す。

- ・ 複数周波数対応通信三次元デバイスの三次元積層構造での高周波回路実装技術を開発する。
- ・ MEMS デバイスにおいて、挿入損失 5dB 以下、通過帯域幅 10%の可変フィルタを開発する。
- ・ MEMS デバイスにおいて、挿入損失 2dB のインピーダンスマッチング回路を開発する。

最終目標として、平成 24 年度末までに以下の目標を達成する。

- ・ MEMS デバイスのスイッチ、キャパシタ、インダクタを組み合わせ、700MHz～6GHz の周波数帯に含まれる複数の通信方式で使用可能な可変アンテナ、可変インピーダンス回路、可変フィルタのモジュールを開発する。
- ・ MEMS 回路、制御・電源回路を三次元集積化し、機能を実証する。さらに、シリコン LSI の積層による SiP 化のために必要な実装技術を開発する。

(2) 複数周波数対応通信フロントエンド回路の研究開発

中間目標として、平成 22 年度末までに以下の目標を達成する。

- ・ RF MEMS デバイスを組み合わせ、複数の周波数帯域において通信可能な MCM を作成しその動作を実証する。

最終目標として、平成 24 年度末までに以下の目標を達成する。

- ・ 複数周波数対応デバイスとして、MEMS デバイスをデジタル制御あるいはアナログ制御する制御回路デバイスを可能な限り LSI 化し、700MHz～6GHz の周波数帯域を MEMS デバイスの可変域に対応して分割した MCM を開発する。この MCM において、通信方式ごとの個別回路を MCM 構成にて実装した場合に比較し、実装面積で 1/8 に小型化可能なことを実証する。
- ・ 複数周波数対応通信三次元デバイスを SiP 形態で実現するために必要な構成を提案する。

研究開発項目③「三次元回路再構成可能デバイス技術」

本研究開発項目は、平成22年度に行った中間評価の結果を受けて、平成22年度をもって終了する。

1. 研究開発の必要性

FPGA、リコンフィギャラブルプロセッサに代表される回路再構成可能デバイスは、製造後に回路構成を書き込むことで所望の機能を実現するため、量産した同種のデバイスを複数の異なる用途に用いることが可能であり、製品化に必要な初期コストを低く抑えることができるという特長がある。また、回路の書き換えや動作中の動的な再構成が可能なデバイスも開発されており、これらは、製造後であっても、回路構成の変更により、機能の改良が可能だけでなく、デバイス上の不具合や故障を回避する機能も実現できる可能性がある。このように、回路再構成可能デバイスは、従来のSoCにない優れた特長を有している。しかしながら、面積、動作速度、消費電力特性がSoCに劣るという、基本的な構成に起因する問題点を抱えており、このことが適用分野拡大を阻む要因となっている。このデバイスに対して革新的技術を開発することで、SoC、特にスタンダードセルとの比較において市場優位性を高めることができれば、適用分野の拡大による新規市場開拓につながり、我が国の電子・情報技術の競争力を高めるものである。

革新的な回路再構成可能デバイスは、三次元化とその構造上のメリットを活用した新規アーキテクチャにより実現される可能性があり、従来の回路再構成デバイスに比較して優れた特性を有するだけでなく、積層数の自由度を活かした高い拡張性や複数機種間での積層チップの一部共有による容易な機種展開などの特長も期待される。加えて本構造に最適な素子を用いることで、さらに競争力を高めたデバイスとなる可能性もある。そのために、三次元構造の特長を活かす回路再構成可能デバイスのアーキテクチャ、それに対する設計技術、さらに三次元回路再構成可能デバイスを実現する素子技術および三次元集積化技術の研究開発が必要である。

2. 研究開発の具体的内容

(1) 三次元回路再構成可能デバイスに関する三次元集積化技術の研究開発

三次元回路再構成可能デバイスに適した三次元配線構造、素子構造等を実現するために必要となるウェハ積層技術を開発する。

具体的には、三次元回路再構成可能デバイスに適した三次元配線構造を開発する、さらにウェハレベル積層技術の基盤技術として、200mm径以上のウェハサイズに適用可能な高精度位置合わせ技術およびウェハ貼り合わせ技術を開発する。

(2) 三次元回路再構成可能デバイスに関するアーキテクチャおよび設計技術の研究開発

三次元構造の特長を活かすアーキテクチャおよびそのアーキテクチャに対応する設計技術の開発（三次元対応ソフト開発環境の構築、三次元配置配線手法の開発等）を行う。さらに、製造後の不具合・故障回避技術を開発する。

具体的には、動的リコンフィギャラブルプロセッサ、FPGA、汎用プロセッサ、メモリ等の機能ブロックを柔軟に組み合わせたハイブリッドアーキテクチャを開発し、三

次元構造による性能向上の効果と高い機能拡張性を実証する。

(3) 三次元回路再構成可能デバイスに関する素子技術の研究開発

三次元積層が可能な構造を有し、デバイスの特性改善を実現する素子技術を開発する。

3. 達成目標

本研究開発は、三次元的なデバイス構造、回路構造を利用することで、従来より面積その他の特性の改善を図るとともに、高い拡張性、容易な機種展開など特長をもつ三次元回路再構成可能デバイスを実現する技術の開発を目標とする。

なお、平成21年度以降の具体的な達成目標については、平成20年度の成果を踏まえて、以下のように定める。

(1) 三次元回路再構成可能デバイスに関する三次元集積化技術の研究開発

平成20年度末までに以下の目標を達成する。

- ・ 基礎的な実験を行い、その結果に基づき、配線密度その他の三次元構造に関する基本仕様を具体的に策定する。
- ・ 上記の実験結果及びアーキテクチャ、素子構造の検討結果に基づき、三次元積層プロセスを含むデバイス作製のプロセスフロー骨子を決定する。

中間目標として、平成22年度末までに以下の目標を達成する。

- ・ 三次元回路再構成可能デバイスを実現する三次元集積化技術のうちウェハ接合技術として、 1mm^2 程度の面積を占める三次元集積化構造のコア間で、1000ピン以上の接続を可能とするシリコン貫通ビア、バンパ構造等を開発し、200mm径以上のウェハを用いて実証する。
- ・ 三次元回路再構成可能デバイスを実現する三次元集積化技術のうち高精度位置合わせ技術を開発し、200mm径以上のウェハ貼り合わせで、 $5\mu\text{m}$ 以下の位置合わせ精度を実証する。

最終目標として、平成24年度末までに以下の目標を達成する。

- ・ ウェハ接合技術として、200mm径以上のウェハを4層以上積層し、 1mm^2 程度の面積を占める三次元集積化構造のコア間で、1000ピン以上の接続を実証する。
- ・ 高精度位置合わせ技術として、200mm径以上のウェハを4層以上積層し、 $5\mu\text{m}$ 以下の位置合わせ精度を実証する。

(2) 三次元回路再構成可能デバイスに関するアーキテクチャおよび設計技術の研究開発

平成20年度末までに以下の目標を達成する。

- ・ 三次元構造に関する基本仕様、その他の検討結果に基づいて、開発する三次元アーキテクチャの基本構造を決定するとともに、その目標性能及び機能を確定する。

中間目標として、平成22年度末までに以下の目標を達成する。

- ・ 三次元的な積層構造を利用した動的リコンフィギャラブルプロセッサのアーキテクチャを開発し、論理設計を完了する。このアーキテクチャを用いた4層積層において、二次元構成に比較して、消費電力当たりの性能が1.25倍以上となること

を実証する。

- ・ 三次元的な積層構造を利用した FPGA を開発し、論理設計を完了する。このアーキテクチャを用いた 4 層積層において、二次元構成に比較して、消費電力当たりのゲート数が 1.25 倍以上となることを実証する。

最終目標として、平成 24 年度末までに以下の目標を達成する。

- ・ 動的リコンフィギャラブルプロセッサ、FPGA、汎用 CPU、メモリ等の機能ブロックを柔軟に組み合わせたハイブリッドアーキテクチャを開発する。さらに、200mm 径以上のウェハ積層技術を用いて 4 層以上積層し、三次元回路再構成可能デバイスとしての動作を実証する。

(3) 三次元回路再構成可能デバイスに関する素子技術の研究開発

平成 20 年度末までに以下の目標を達成する。

- ・ 三次元積層が可能な構造を有し、かつ、回路再構成可能デバイスの特性改善を実現可能なトランジスタの素子構造を具体的に検討し、その目標性能を確定する。

平成 20 年度において、トランジスタ素子候補の特性検討と目標性能の確定については一定の結論が得られたため、素子技術の研究開発としては平成 21 年度以降の開発目標を定めない。なお、今後の技術開発状況により、再検討をすることがある。