

【電子・情報通信技術特集】

**ナノ技術の半導体電磁波デバイスへの適用**

(マイクロ波周波数～光周波数)

- より高速化・広帯域化を目指して -

NEDO 技術開発機構 電子・情報技術開発部  
プログラママネージャー      赤池正巳

(1) はじめに

マイクロ波技術と光技術に関わる国際シンポジウムの、標記した技術に関して調査を行った結果を紹介する。調査は最近の半導体分野およびマイクロ波・光技術分野に関わる国際会議のプロシーディングズを対象とした<sup>注1</sup>。これらの結果は、今後の技術の発展方向、また、技術課題を示唆するものである。

標記した技術の紹介を行う前に、ここで議論する技術の視点を述べるとともに、視点を共有化するための前提に関して記述する。

(1.1) ナノ技術が電磁波デバイスに与える影響

ナノ技術とは

ナノ技術とは、長さがナノメートル ( $10^{-9}$  m) の桁の長さを持つデバイスを設計・製造する技術のことを言う。長さの範囲は、1 ミクロン ( $10^{-6}$  m) 以下 (サブミクロン) であり、大体 1~数百 nm 程度の範囲である。代表的な半導体である珪素 (Si: シリコン) の結晶格子の長さ (格子定数) が、0.5 nm 程度であり、格子定数より数倍～数百倍程度長い。この物理寸法のデバイスは、物理的・電氣的、さらに光学的に、特異な特徴を持ち、それ故に、これまでにない新しい機能・デバイスの実現が可能である。また、原子レベルの寸法もナノ技術に含めて考えることもできる。これらの寸法は、主としてリソグラフィーと化学反応とを利用して製造する。多様な種類と高い自由度・制御・精度を持つ物理工作が可能である。

ナノ技術の電磁波デバイスにおける意義

電磁波デバイスの動作は、「電磁波のエネルギーと電子のエネルギーとの変換」を基本としている。電磁波の発生、増幅、検出、変復調等における「電磁波のエネルギーと電子のエネルギーとの変換」は、マイクロ波ほどの低い周波数では、「電磁波のエネルギーと電子の運動エネルギーとの変換」で行う。例えば、電磁波の電界と磁界のエネルギーを、接合を通して流れる電子の運動エネルギー (電流と電圧) に変換する。これを「接合通過型デバイス」と呼ぶ。また、マイクロ波と比較して 3~5 桁高い光の周波数では、「電磁波のエネルギーと電子の位置エネルギーとの変換」で行う。例えば、電磁波の光子のエネルギーをバンドギャップに対応する位置エネルギーの差に変換する。これを「位置エネルギー遷移型デバイス」と呼ぶ。

注1 IEEE IEDM, OSA/CLEO/IQEC, OSA/OFC/NFOEC, ECOC, IEEE IMS, EuMC

光の周波数帯での「電磁波のエネルギーと電子の運動エネルギーとの変換」は、可能性が示されているもののまだ実現されてはいない。それは、マイクロ波と光の周波数が3~5桁異なることに起因し、接合通過型デバイスとしては、物理寸法が非常に小さくなることによる。しかし、一般的に、「電磁波のエネルギーと電子の運動エネルギーとの変換」の利用範囲は広い。または、「電磁波のエネルギーと電子の位置エネルギーとの変換」とを自由に使い分けることができれば非常に便利である。この、両者を使い分けることや、それらを結びつけることは今後の課題である。ナノ技術は、この2つのエネルギー変換のモードを連続的に結びつけることを可能とし、これらの課題に積極的な解を与えることができる技術である。

#### ナノ技術の物性的意義

前述したように、1 ~ 数百 nm という長さは、固体物理から見ても、少なくとも2つの意義を持つ。それは固体中の電子の平均自由行程およびドブロイ波長との比較である。ナノ技術の世界は、結晶中の平均自由行程のスケールと同程度である。平均自由行程とは、電子が結晶格子と衝突せずに走る長さの平均値であり、代表的な半導体である Si では約 50 nm である。これまでの固体やバルク中での電界によって加速される電子の輸送現象は、電子が結晶格子と衝突・散乱を繰り返し、それまでに加速されたエネルギーの一部を、結晶格子に与えることによって減速され、また再び電界によって加速され、結果として電界の方向に等速度で進むという衝突場モデルで考えられてきた。

この、物理的寸法が平均自由行程と同程度であるという事実は、電子は走行中に結晶格子と衝突しないか衝突する回数が少ないことを意味する。電子が走行中に結晶格子と衝突しない場（弾道モデル、パリスティックモデル）での電子の輸送現象は、真空中の電子の運動との共通点が多く、真空管において考えられた現象と、それを用いた応用が再び投光されるであろう。さらに言うならば、散乱が有限であり、真空でも固体でもない「準 (quasi)」な媒質は、我々に対して今までにない新しい現象とそれを応用した用途とをもたらす可能性がある。

また、20 nm ほどである固体中の電子のドブロイ波長[1]は、考察の対象とする粒子数がきわめて多い場合の古典統計学と、対象とする粒子数が数えられる量子統計学との境の長さである。電子のエネルギーに関連して言うならば、運動エネルギーに関わる緩和時間と位置エネルギーに関わる緩和時間とでどちらが支配的になるかの境である。粒子数が少なくはないが非常に多くはない世界は、やはり前記した「準 (quasi)」の世界である。この点に関しては、下記で挙げた参考文献[1]の 12 章に興味深く触れられている。

#### (1.2) 電磁波デバイスの構造と電気的特性

一般にデバイスは、その構造からして、Intrinsic/Extrinsic/External の3部分に分けて考えることができる(図1)。例えば、時間応答や周波数応答等のデバイス応答はそれら3部分の総合で決まる。

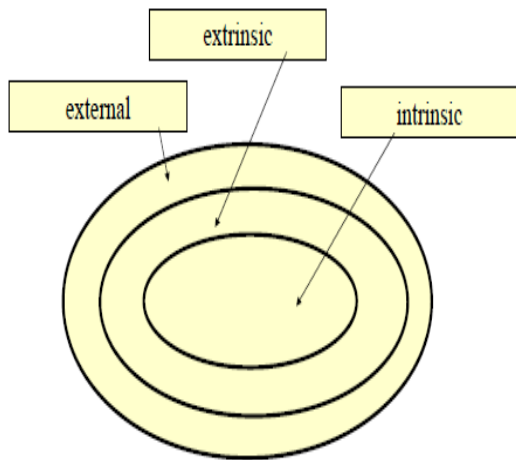


図1 デバイスの構造

Intrinsic は半導体能動部分に関わる材料・接合・構造・寸法等であり、デバイスの機能と動作性能に関わる最も内部にある要素である。これらの要素は固体物理学で論じられる。電磁波デバイスは、電磁波のエネルギーと電子のエネルギーの相互作用の様態によって、低域通過型と帯域通過型とに分類される。以下で議論する電磁波デバイスでは、この Intrinsic 部分にのみ注目することとする。

Extrinsic は Intrinsic の外側に位置する要素であり、電極の材料・構造・寸法である。電気的な等価回路では抵抗 (R)、インダクタンス (L)、およびキャパシタンス (C) で表

され、電気磁気学で論じることができる。電気的には、インダクタンスとキャパシタンスによって、必然的に帯域通過型フィルタ、または低域通過型フィルタが構成され、抵抗は主として損失になる。

External は、Extrinsic の外側に位置し、負荷との電気的な整合、すなわちデバイスの持つ最大有能電力の負荷への伝送に関わる。電気回路理論で論じることができる。Extrinsic と同様、電気的には、インダクタンスとキャパシタンスによって必然的に帯域通過型フィルタ、または低域通過型フィルタが構成され、抵抗は主として損失になる。

### (1.3) 電磁波と電子とのエネルギー変換の様態

#### 低域通過型デバイス (マイクロ波デバイス)

電界効果トランジスタ、バイポーラトランジスタ等マイクロ波で用いるトランジスタでは、マイクロ波のエネルギーは、電界と磁界を通して半導体内部の電子の持つ運動エネルギーと相互作用を行う。その動作上限周波数は、電界によって加速された電子の能動領域における走行速度と能動領域の長さとの比で決まることから、走行時間デバイスとよばれる。走行時間デバイスでは、Intrinsic 部において、基本的にその動作周波数が上限周波数から直流にまで伸びている。従って、上限周波数を遮断周波数とする周波数低域通過特性を有する。上限周波数は、物理寸法に関わり、条件を同一に保ったままどこまで寸法を小さく (スケール) できるかによって決まる。

#### 帯域通過型デバイス (光デバイス)

これに対して、レーザ等の光周波数でのデバイスでは、光のエネルギーは、光子のエネルギーと半導体の中の電子の持つ位置エネルギーの差との相互作用を行う。光子のエネルギーと電子の位置エネルギー差との相互作用は、基本的に周波数選択性が強く、狭帯域な周波数帯域通過特性を持つ。帯域幅は位置エネルギーレベルのスペクトラムの広がりによって決まる。例えば光通信で用いる光周波数は約 200THz であり、比帯域が 0.1% としても、

200GHz の絶対周波数帯域幅がある。これまでのデータレート通信にはこの周波数帯域で十分であった。ここでは物理寸法のスケージングの考えはない。スケージングがあるとすれば、それは位置エネルギーに関してであり、スケージングの下限は熱エネルギーとの比較で決まる。例えば光通信で用いる光周波数は約 200THz であり、比帯域が 0.1% としても、200GHz の絶対周波数帯域幅がある。これまでの高データレート通信にはこの周波数帯域で十分であった。

#### (1.4) 高速化と広帯域化の等価性

デバイスがどこまで高速のデジタル信号に応答するかは、デバイスの入力にどのようなデジタル信号が加えられるかに関係する。ベースバンド帯デジタル信号は、基本的に、直流から上限周波数までの平坦なスペクトラムを持つ周波数低域通過型のスペクトラムになる。従って、100Gb/s というベースバンドデジタル信号は、基本的には、直流から 100GHz までの平坦なスペクトラムを持つ。無論、直流部分を取り除いたスペクトラムを持つデジタル信号を作ることは可能である。搬送波周波数帯デジタル信号は、ベースバンド信号で搬送波を変調した周波数スペクトラムである。これは上記のベースバンドスペクトラムが搬送波を中心とした周波数に移動したスペクトラムになり、スペクトラムの帯域幅を等しくすることができる。従って、スペクトラムは周波数帯域通過型であり、直流は含まれない。

ベースバンド型デバイスにおける高速化とは、低域通過型デバイスの上限遮断周波数をどこまで高くできるか、すなわち広帯域化の問題である。また、搬送波周波数帯デバイスでは、ベースバンド信号の持つ周波数スペクトラムが搬送波周波数を中心としたところに同様な形で移動するだけなので、どこまで高速化できるかは、帯域通過型デバイスの通過帯域幅をどこまで広帯域化できるかと等価である。電磁波デバイスでは、電気回路として考えた場合には、「高速化」は、「広帯域化」と置き換えて読むことができる。さらに、高速化（時間応答）と広帯域化（周波数応答）とは、表現が異なるだけで意味するところは等価であり、フーリエ変換またはラプラス変換で数学的に一意的に結びつけられている。

#### (1.5) 帯域通過型デバイスと低域通過型デバイスの用途（周波数逡倍と周波数分周）

高い周波数において安定でかつ純度の高い周波数を得ようとする場合には、周波数逡倍と周波数分周の技術が必須である。低い周波数を周波数逡倍して行き、一方高い周波数を周波数分周して、中間点で手を結び、低い周波数で得ている周波数安定化情報（原子時計から得られている周波数と位相）を高い周波数に伝えることにより、高い周波数における周波数と位相の安定化を図る。何年か前までは、例えば 160GHz という周波数は搬送波であり、160GHz という言葉はあっても、160Gb/s という概念はなかった。直列でビットレートが 160Gb/s であると言うことは、同期網の中のデジタルハイアラキーで位置づけるものであれば、基本的に、160GHz までは標準時計によって同期がとれていることを意味している。今後はさらに Tb/s、10Tb/s、さらにそれ以上の高速化の議論もされるであろう。

入力周波数  $f$  で出力周波数  $nf$  となる周波数逡倍は、非線形デバイスを通過型回路で用いる。その際、 $f$  および  $nf$  の動作周波数だけで動作すればよい。すなわち動作周波数付近で狭帯域な帯域通過型でよく、利得は 1 以下でも良い。

入力周波数  $f$  で出力周波数  $f/n$  となる周波数分周の場合では、非線形デバイスには  $f$  を上限周波数とする低域通過型であることが求められる。また、周波数  $f/n$  の帰還が必要で、かつ動作周波数での利得は 1 以上でなければならない。これは、高い周波数まで動作可能な低域通過型デバイスが重要であることを示唆している。

## (2) 国際シンポジウムにおける技術動向の調査

### (2.1) 調査技術分野

以上の議論をふまえて、光周波数に至る将来の超高速な通信を頭に描きつつ、マイクロ波周波数から光周波数における半導体デバイスの以下の課題（技術分野）に関して調査を行った。

- [I] 低域通過型デバイスの上限遮断周波数を高くすること
- [II] 帯域通過型デバイスの周波数帯域幅を広くすること
- [III] 帯域通過型デバイスの下限周波数を低くすること

調査を行った国際会議は、下記の国際会議の過去 2~3 年のプロシーディングである。IEEE IEDM, OSA/CLEO/IQEC, OSA/OFC/NFOEC, ECOC, IEEE IMS, EuMC

#### [I] 低域通過型デバイスの上限遮断周波数を高くすること（マイクロ波デバイス）

半導体能動層の小型化を、ナノ技術を用いて積極的に行うことにより、動作上限周波数が大幅に上昇したデバイスに Si CMOS (Complementary Metal Oxide Semiconductor) がある。CMOS は、Si プロセス技術の進歩によって、ここ数年の間に 2 桁以上の高い上限周波数を達成した。高周波 CMOS の開発は、マイクロ波やミリ波における UWB (ウルトラワイドバンド) 通信、ミリ波近距離通信・自動車車載レーダ、工業利用の需要に支えられて、ミリ波を超えてサブミリ波、さらに、THz 領域にまで焦点が当てられて研究・開発が進められている。CMOS のこれほどまでの進化は、10 年前は考えられなかったであろう。

Si は GaAs を代表とする III-V 族化合物半導体と比較して、材料としては、電気的には決定的な欠点を持つ。しかし、Si は高度に成熟したプロセス技術、材料の得やすさ等が利点である。Si および GaAs における電子の移動度は、それぞれ、0.145、および 0.85 ( $\text{m}^2/\text{Vs}$ ) である。さらに Si は、絶縁性が低いこと、降伏電圧の低いこと、高い出力電力は得られないこと、デバイスにしたときの寄生素子の多いこと、基板の損失が大きいこと等が、III-V 族化合物半導体と比較した欠点である。従って、Si は、一般的に III-V 族化合物半導体と比較して、高周波デバイスには向かないと考えられてきた。しかし、高度に完成されたプロセス技術による、集積度の大きさ、価格の低さ、歩留まりの良さ、ベースバンド IC と

の整合性の良さ等が Si の大きな利点である。先述の Intrinsic および Extrinsic にあたるナノ技術と External 領域の回路的工夫によって、上記の長所を保持したまま欠点を克服することができた。国際会議では非常に数多くの発表を見ることができる。ここでは CMOS の高周波化・高速化および高電力化に関する発表を紹介する。CMOS の高速化および大規模集積化は NEDO プロジェクトで重要課題として取り上げている。

技術の展望[2][3]

将来の高速通信のために最初に必要なデバイスは、低雑音増幅器、無線送信機、発振器、周波数シンセサイザ等を対象とする低電力 (LP: Low Power) および汎用目的のデバイス (GP: General Purpose) のデバイスであろう。それは、単一のトランジスタの、例えば、遮断周波数 ( $f_T$ ) が指標となる。図 2 は、90nm プロセスを用いた場合のゲート長に対する遮断周波数を示す[R1]。製造法に関わるデバイスの性能の良さは大体、ゲート長  $\times$  遮断周波数  $f_T$  (または電力利得 1 の周波数  $f_{max}$ ) で表され、この場合は 10,000 nmGHz である。さらに短プロセスを用いた場合にはこの値より大きくなるであろう。

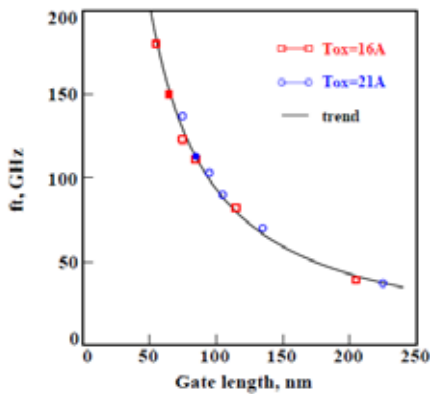


図 2 90nm プロセスでの LP (Low power) および GP (General purpose) CMOS デバイスのゲート長に対する遮断周波数  $f_T$ [2]

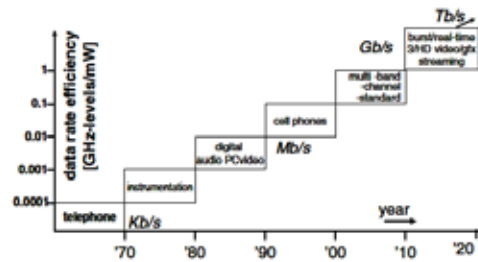


図 3 アナログ - デジタルインタフェースにおける電力効率 (データレート@100mW) の進歩とそれに対応する適用分野[2]

需要側として、どこまでの高速化・高周波化が必要であるかは、処理されて出力されるデータレートを最大にすること、および、単位電力あたり出力されるビット数を最大にすることを考慮する必要がある。図 3 は、種々の用途に関わるアナログ - デジタル変換機能におけるデータレートの増加と電力効率の進歩を年代に対して示したものである[R2]。1960 年代から、より高速な用途によってデータレートが増加していること、電力効率は、10 年ごとに 10 倍になっていることを示している。現在は 100 Gb/s 程度に至っており、今後は Tb/s に至るべく変化を続けるであろう。

サブミリメートル波、THz 波は、ともにマイクロ波周波数と光周波数の間にある。この周波数におけるデバイスは、上記で述べた低域通過型デバイスおよび帯域通過型デバイスの



双方からの延長技術として実現可能なデバイスである。この周波数におけるデバイスは、標準周波数で同期されたマイクロ波周波数と光周波数との間の橋渡しをする周波数帯であるという意味ばかりでなく、化学物質のスペクトラム分析、イメージング/センシング、電波天文、バイオ技術、短距離レーダ、宇宙での応用、通信一般等、独自の広い用途がある。この周波数帯のデバイス・装置は、以前は、集積度の低さや価格、大きさから、あまり一般的な技術ではなかった。CMOS の最近の進歩は、CMOS の持つ高集積能力と価格の低廉性によって、200GHz 以上で動作する実用的な機器の実現性を約束するものである。

CMOS 技術では、スケーリングを用いることによって上限周波数を議論することができる。2006 International Roadmap for Semiconductor (ITRS)[R3]によれば、2013 年までに、 $f_{max}$  (最大動作周波数 = 電力利得が 1 になる周波数) 650GHz の NMOS の実現が予測されている。これが実現されれば、300~350GHz における増幅器や発振器が実現できる。最近、65nm プロセス技術によるバルクトランジスタで  $f_{max}=420\text{GHz}$  (ゲート長  $f_{max}$  積 = 27,000) が得られた (2006 年) [R4]。また、45nm プロセス技術による SOI トランジスタで  $f_T=450\text{GHz}$  (ゲート長  $f_T$  積 = 17,000) が得られた (2007 年) [R5]。これらは上記の ITRS の実用レベルでの実現を示唆するものである。図 4 および図 5 は、それぞれ 45 nm CMOS を用いたプッシュ・プッシュ電圧制御発振器 (VCO) および得られた出力スペクトラムを示す[R6]。出力スペクトラムの測定は光技術を用いている。なお、現在の電子的プローブは市販されていない。測定された出力電力は-49dBm であり、出力電力レベルはまだ低い、周波数は、半導体トランジスタで生成されたものとしては最も高い。

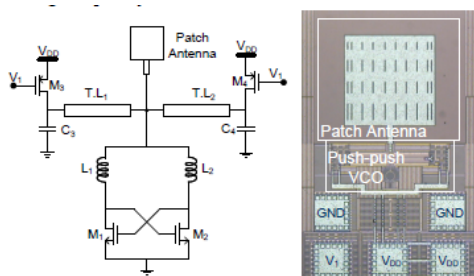


図 4 45nm CMOS による 410 GHz プッシュプッシュ VCO (電圧制御発振器) の回路構成と写真[3]

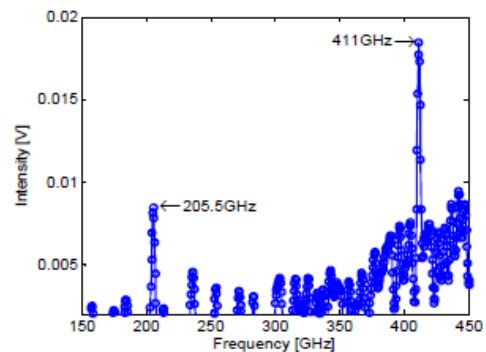
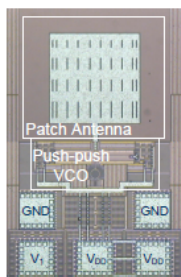


図 5 410 GHz プッシュプッシュ VCO (電圧制御発振器) の出力スペクトラム[3]

#### 電力増幅器[4]-[8]

通信、計測、工業用、医用、短距離レーダなど 20GHz 以上の周波数、またはミリ波の多方面にわたる利用が検討されていて、それに用いる安価な送信電力増幅器が求められている。Si の逆耐圧が低いこと、およびトランジスタ単体の寸法が小さくなって相対的に耐電力が小さくなったことを克服するために、回路的な工夫によって高電力を達成している。回路的な工夫とは、これまでの手法と同じく、トランジスタを分布構成にすること、トランジスタを直列に接続して耐圧を大きくすること(スタック、カスコード)、トランジスタ

を並列にして電力合成を行うこと、増幅器を複数段にすること（ブースティング）等である。

図 6 は 0.18 $\mu\text{m}$  技術による、24GHz 帯、約 100mW 出力の増幅器である[4]。これは 2 段カスコード接続の増幅器が 2 段カスケード接続されている。表 1 は文献[4]の中で紹介されている同様の周波数帯の電力増幅器である。図 7 は、0.13 $\mu\text{m}$  プロセス技術による 75-95GHz における 2 段カスコードおよび電力整合回路による電力増幅器の出力特性を示す[5]。また、表 2 は文献[5]の中で紹介されている同様の周波数帯の電力増幅器である。図 8 は、4 段スタック 1 段増幅器を示す[7]。0.28 $\mu\text{m}$  SOI CMOS を用いて 1.9GHz で 2W (=33 dBm) が得られた。

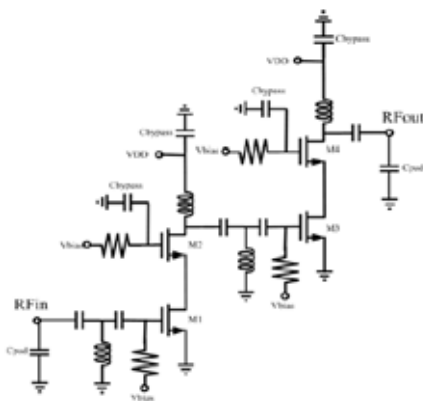


図 6 24 GHz 電力増幅器の構成[4]

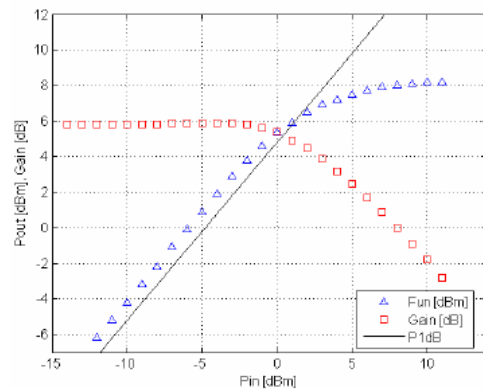


図 7 77GHz における入出力特性の測定値[5]

表 1 24 GHz 帯電力増幅器の現状[4]

Reference	Process	Note	Operation Frequency (GHz)	Gain (dB)	P <sub>sat</sub> (dBm)	PAE (%)	Chip Size (mm <sup>2</sup> )
This work (DNW = 3.6 V)	0.18- $\mu\text{m}$ CMOS	2-stage cascode	24	18.8	19.1	15.6	0.325
This work (DNW = 0 V)	0.18- $\mu\text{m}$ CMOS	2-stage cascode	24	15.4	17.8	10.5	0.325
[12]	0.18- $\mu\text{m}$ CMOS	2-stage cascode	24	7	14.5	5~6	1.26
[16]	0.18- $\mu\text{m}$ CMOS	3-stage cascode	27	17	14	NR	2.04
	0.18- $\mu\text{m}$ CMOS	3-stage cascode	40	7	10.4	NR	2.04
[17]	0.13- $\mu\text{m}$ CMOS	4-stage Class-E	18	30	10.9	23.5	0.782
	0.13- $\mu\text{m}$ CMOS	4-stage Class-E	20	26	10.2	20.5	0.782
[18]	0.13- $\mu\text{m}$ CMOS	Off-chip matching	17	11.5	17.8	15.6	0.8
	0.13- $\mu\text{m}$ CMOS	On-chip matching	17	14.5	17.1	9.3	0.9
[19]	150 GHz SiGe HBT	1-stage cascode	24	12	20@1dB	14@1dB	1.02
[20]	80 GHz SiGe HBT	3-stage balanced	24	18	12	4.5	NR

表 2 40-70 GHz における増幅器の現状[5]

PA Technology	f [GHz]	G [dB]	P <sub>sat</sub> [dBm]	P <sub>1dB</sub> [dBm]	PAE [%]	FoM [6]
84 GHz f <sub>max</sub> 0.18- $\mu\text{m}$ CMOS [9]	40	7	10.4	-	2.9	2.6
130 GHz f <sub>max</sub> 0.130- $\mu\text{m}$ [3]	60	12	-	2.0	-	-
200 GHz f <sub>max</sub> 90nm CMOS [4]	60	5.2	9.3	6.4	7.4	7.5
200 GHz f <sub>max</sub> 90-nm CMOS [7]	60	8	10.6	8.2	-	-
200 GHz f <sub>max</sub> 90-nm CMOS [7]	77	9	6.3	4.7	-	-
130 GHz f <sub>max</sub> 0.130- $\mu\text{m}$ [10]	60	13.5	7.8	7.0	3.0	15.2
130 GHz f <sub>max</sub> 0.130- $\mu\text{m}$ (this work)	77	6	8.1	6.3	0.5	2.1



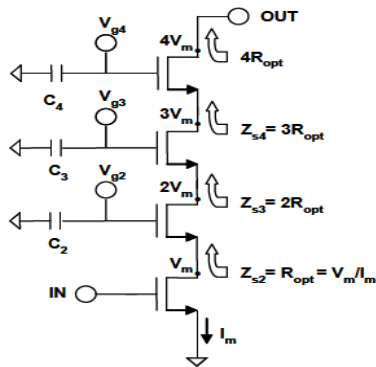


図 8 4 段スタック CMOSFET 電力増幅器[7]

広帯域用途[9]-[15]

UWB 周波数帯 (3.1-6.1GHz) 開放されたミリ波帯 (60GHz 帯、70GHz 帯) での広帯域増幅器および送受信フロントエンドの試作がなされている。マイクロ波帯での LP、GP では、Si デバイスにおける欠点は既に克服されて、実用レベルにある。帯域を広くする技術は、用途に応じて、分布型、抵抗性帰還型、LC タンクを用いるもの (ピーキング) 等が使い分けられている。

化合物半導体デバイスとのヘテロ集積化

Si デバイスと化合物半導体デバイス、さらには光デバイスとの集積を行い、それぞれの素子の利点と、近傍におくことによる電気的な利点とを得ようとする試みがなされている。図 9 は、SOLES (Silicon-on-Lattice Engineered Substrate) 基盤の上に直接集積を行う構造図である[16]。図 10 はヘテロ集積の概念を示す。これらは、COSMOS DARPA (Compound Semiconductor Materials on Silicon Defense Advanced Research Project Agency) プログラムとして開発が進められ、InP HBT と CMOS の集積を目標としている[17]。

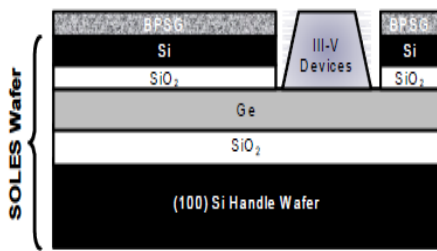


図 9 SOLES の上に集積した CMOS と III-V 族デバイス[16]

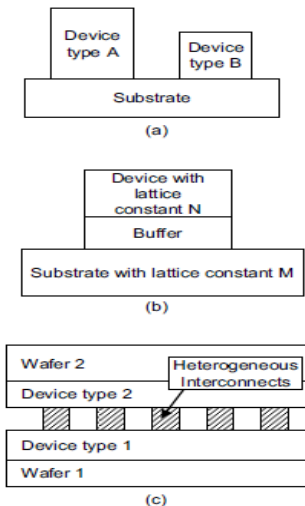


図 10 現在開発が進められているヘテロ集積技術。(a)選択エピタキシー、(b)メタモルフィック成長、(c)ウェーハレベルでのパッケージ[17]

[II]帯域通過型デバイスの周波数帯域幅を広くすることおよび[ ]帯域通過型デバイスの下限周波数を低くすること(光デバイス)

光周波数における信号発生器(発振器)や増幅器の課題の一つは、高速度のベースバンド信号に対応することである。上で述べた「高速」と「広帯域」との等価性に従えば、広帯域な周波数帯域を持つことである。従って、上記で述べた Intrinsic および Extrinsic の考えをもって議論するならば、Intrinsic 部分は広い周波数帯域を有していて、デバイスとしての時間応答(周波数応答)は Extrinsic を用いて自由に設計できることが望ましい。位置エネルギー遷移型デバイスでは、位置エネルギーの線幅(広がり)が狭く、相対周波数帯域としては接合通過型(運動エネルギー型)デバイスと比較して極端に狭い。通信に用いる光は周波数 200THz(波長は 1.5 $\mu$ m)程度であり、相対帯域が 0.1%であっても絶対帯域は 200GHz あり、これまではそれで十分であった。しかし、最近インターネットの利用によって、通信容量の爆発的な需要が生じて、160Gb/s 以上、おそらくは ~Tb/s のベースバンド信号が議論されている。位置エネルギー遷移型デバイスである半導体レーザーの世界でも、さらなる高速化(広帯域化)が求められている。

さらなる高速化に対して、量子井戸(Quantum well)の中に生ずるサブバンド間遷移を利用したデバイスが注目されている。量子井戸に生ずるサブバンドを図 11 に示す。井戸の幅を変化させることにより種々のサブバンドが得られることを示している。サブバンド間遷移ではキャリアの緩和時間がきわめて短いという特徴があり、高速化に対する有力な手段であると考えられている。この分野の研究は、我が国においても盛んで、国際シンポジウムにおいても多くの発表が行われている。NEDO プロジェクトの中でも中心技術の 1 つとして取り上げられている。以下に、我が国からの発表も含めて、いくつかの発表の概略を示す。

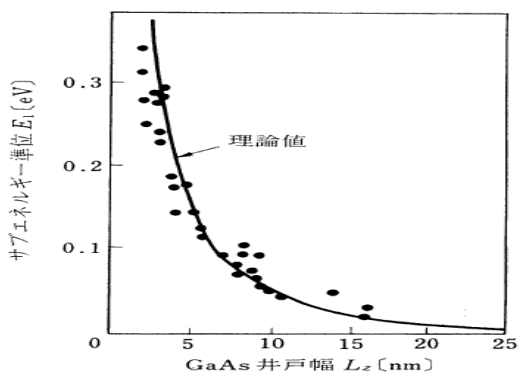


図 11 GaAs-AlAs ヘテロ接合で形成される量子井戸幅(GaAs の厚さ)  $L_z$  とサブエネルギー準位  $E_1$  ( $n=1$  の第 1 レベル) の理論値と実測値(両者はよく一致している)。高位の準位は、第 1 レベルの 4 倍( $n=2$ )、9 倍( $n=3$ ) 等になる[1]。

量子井戸のサブバンド間遷移を用いた線形・非線形光処理 [18]-[24]

量子井戸のサブバンド間遷移を利用することにより、数 100Gb/s の速度の超高速全光変調器やスイッチが可能であると考えられる。これらは、全部が光技術での信号処理が可能で、次世代の光ファイバ通信技術の基盤技術と位置づけられる。

量子井戸の中のサブバンドは以下のような特徴を持つ。利点として、大きな伝導帯オフ

セットを持つこと、キャリアの緩和時間がきわめて短いこと、光の非線形性が大きいこと、モノリシック集積化に適していることがある。しかし、一般的に駆動電力が比較的に大きいことが欠点となっている。

量子井戸の材質と構造として、(1.8nm)GaN/(4nm)AlN 量子井戸の 30 周期を持つ導波路を作成し、1.55 $\mu$ m 付近で強い吸収が得られた。図 12 は、長さ 1mm、幅 3 $\mu$ m の導波路における実験結果を示す。制御光パルスおよび信号光はどちらも TM 偏光であり、制御パルスのエネルギーを変化させたときの信号光の透過電力をプロットしたものである（図 12a）。導波路の中での TM 偏光の損失は制御パルスによって飽和するため、制御パルスに対応した出力波形が得られる。制御パルスのエネルギーが大きければ、十分な飽和が得られ、制御パルスにより忠実な波形が得られる。また、図 12b は制御パルスエネルギーに対する変調の深さを示す。これまでのデータと比較して、より低い制御パルスエネルギーが実現された[18]。

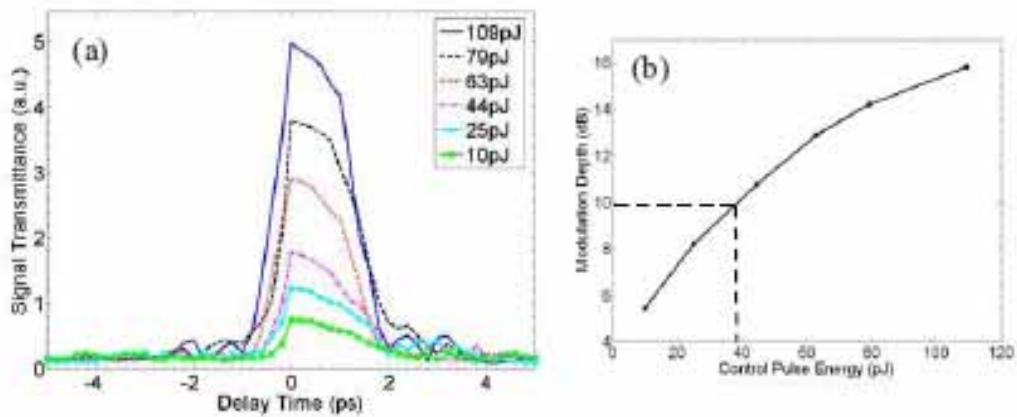


図 12 (a) 3 $\mu$ m 幅 1mm 長の導波路を通したときの透過信号電力(任意単位)。横軸は、制御パルスに対する遅延時間。パラメータは制御パルスのエネルギー。(b)パルスエネルギーに対する変調深さ [18]

一方、量子井戸の中のサブバンド間遷移( ISBT : Intersubband transitions )においては、TM ( Transverse Magnetic) 偏光はサブバンド間遷移によって強い吸収を受けるのに対して、TE 偏光は吸収を受けないことが知られている。この現象に関して、TM 偏光の吸収によって半導体導波路の屈折率が変化して、それによって TE 偏光は、損失のない位相変調( XPM : Cross-phase modulation )を受ける事実が発見された。この XPM をマッハツェンダ干渉計( MZI: Mach-Zehnder Interferometer )に適用すること( MZI-ISBT )により超高速多重変換器を実現した。図 13 は、InGaAs/InAlAs/AlAsSb の 2 重井戸の構成による導波路の構造と、TM 制御パルスによる屈折率の変化を示す。この屈折率の変化によって位相変調が可能になる[19]。図 14 は、MZI-ISBT による 160Gb/s の 40Gb/s への多重分離回路の構成 (a) と制御電力の減衰 (b 左) および、CW 信号の位相シフト (b 右) を示す[22]。

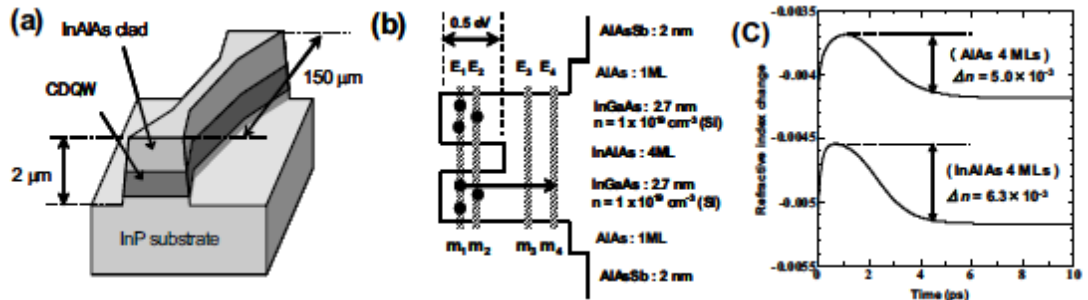


図 13 (a) 2重井戸の構成による導波路の構造(立体図) (b) InGaAs/InAlAs/AlAsSb 2重井戸の構成とエネルギーバンド図 (c) TM ポンプパルスに対する屈折率の変化(計算値)[19]

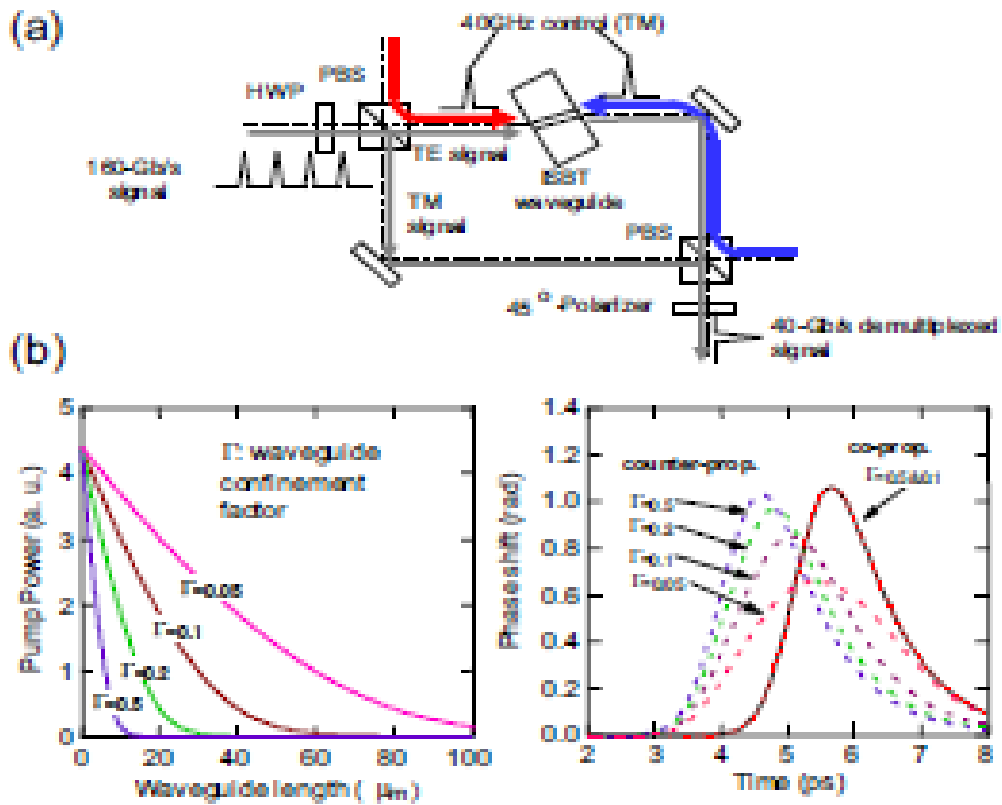


図 14 (a) : マッハツェンダ干渉計 - サブバンド間遷移スイッチの構成 (b 左) : ポンプ電力の減衰 (シミュレーション) (b 右) : CW プロブ信号の位相シフト[22]

また、量子井戸は、材料と構造・寸法（周期）を選定することにより、サブバンド間のエネルギーギャップを変化させることができ、これにより、近赤外～遠赤外、THz の電磁波を発生することができる。周波数の絶対値で言うならば、ベースバンドから上に伸びてきた周波数と近づいている。なお、周波数帯域として上から下に手を結んでいるというわ

けではない。サブバンド間遷移を用いた THz 発振レーザは、THz を用いた計測、または宇宙空間での使用等が意図されており、周波数が光通信に用いる周波数と比較して 1 桁以上低いという点から、発振器としての同調性、周波数の広がり、位置エネルギーの線や輸送現象の種々の要因の時間など種々の要因の広がりから議論されている[23][24]。これらの広がり、発振器として、負の要因と考へてられているようであるが、運動エネルギー型デバイスのように、intrinsic 部は広い利得周波数帯域幅(ロッキングレンジ)を持ち、それを extrinsic 部で制御するための、または、外部から同期をとるための、正の要因と考へることができるであろう。図 15 はキャリアの輸送現象にモンテカルロ法を適用して計算したサブバンド間遷移レーザ(量子カスケードレーザ)の周波数に対する利得を示す。比帯域は 20%程度である[24]。

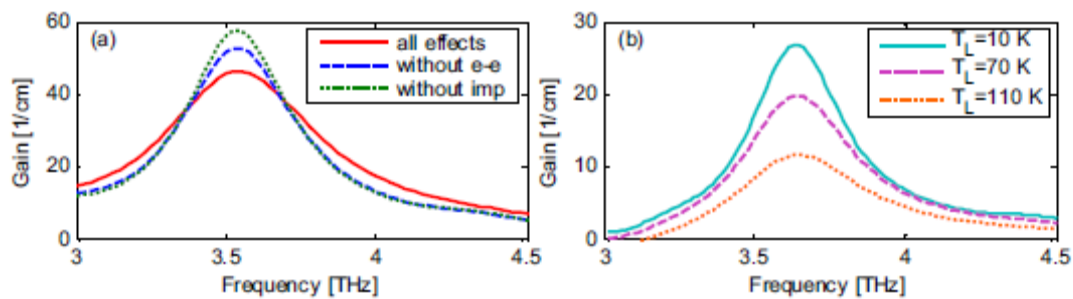


図 15 3.5 GHz 帯サブバンド間遷移レーザの利得。(a)種々の散乱効果を考慮した場合の利得。(b)異なる格子温度に対する利得[24]

#### 量子ドットを用いた線形・非線形光処理

さらに高速な線形・非線形光処理が可能な技術として量子ドットデバイスの検討が行われている。量子ドットは、電子を 3 次元方向に閉じこめた構造を持ち、その閉じこめ効果によってさらに優れた動作性能を持つことが期待されている。量子ドットレーザは、量子井戸レーザと比較して、より大きな増幅器帯域幅・出力、変調速度等を有する。

光技術に関する国際会議には我が国を含めて、非常に多くの論文が発表されていて、その適用分野も多岐にわたっている。NEDO プロジェクトでも重要技術の一つとして研究・開発を進めている。この技術に関しては、紙面を改めて紹介をしたいと考えている。今後、動的な物理現象を、電気磁気学および電気回路理論と結びつけた議論がなされれば、デバイスの機能・動作性能から見た特徴付けが可能になる。

#### (3) おわりに - 更なる技術の発展を期待して

ここでは触れなかったが、化合物半導体においても、ナノ技術の適用によって新たな進歩が得られている。また、より低い周波数 (THz 帯) でレーザ発振が可能なナローバンドギャップ半導体の議論もなされている。

将来の超高速・超大容量光通信を頭に描いた、今後のいくつかの課題・目標は、マイクロ波低域通過型デバイスと光周波数帯域通過型デバイスの周波数の連結はどこの周波数

で可能か、どのくらい高い周波数まで接合通過型デバイスのスケーリングが可能か、光周波数での帯域通過型デバイスの広帯域化（高速化）はどこまで可能か、さらには、光周波数までを標準時計で同期ができるか、ということであろう。

さらに、コリジョン場とパリスティック場を連続的に接続する準パリスティック場での電子の輸送現象と、それを扱う統計力学とは、平均自由行程およびドブロイ波長の付近にあるナノ技術に対して、さらなる方向性を与えるものである。最近の国際会議でも、「RF ナノデバイス」、「(準)パリスティックナノデバイス」、「RF NEMS」、「CMOS テラヘルツエレクトロニクス」といった、ナノ技術と RF(Radio Frequency)デバイスとを結びつけるテーマが話題になっている。これらは明らかに運動エネルギー型のデバイスを意図している。

#### 文献

- [1] 高橋清、「半導体工学(第2版)-半導体物理の基礎-」, 2003年2月、森北出版
- [2] Maarten Vertregt, "The analog challenge of nanometer CMOS," IEEE IEDM2006, Plenary Session 1.2
- [3] K. O. Kenneth, et al., "Sub-Millimeter Wave Signal Generation and Detection in CMOS," IEEE International Microwave Symposium (IMS), IMS 2009, pp.185-188
  
- [R1] L. F. Tiemeijer, et. al., "Record RF performance of standard 90 nm CMOS technology," 2004 IEDM Technical Digest, pp.441-444
- [R2] R. Brederlow, et. al., "A mixed-signal Design Roadmap," IEEE Design-Test-of-Computer(USA), Vol.18, No. 6, pp.34-46, 2006
- [R3] 2006 International Roadmap for Semiconductors, SIA, San Jose, CA
- [R4] I. Post, et. al., "A 65 nm CMOS SOC Technology Featuring Strained Silicon Transistors for RF Applications," 2006 IEDM, Late News, December 2006
- [R5] S. Lee, "Record RF Performance of 45-nm SOI CMOS Technology," 2007 IEDM, pp.255-258, Washington D. C., December 2007
- [R6] E. Y. Seok, et. al., "410-GHz CMOS Push-push Oscillator with a Patch Antenna," 2008 ISSCC, pp.472-473, February 2008, San Francisco, CA
  
- [4] Jing-Lin Kou, et. al., "A 19.1-dBm Fully Integrated 24 GHz Power Amplifier Using 0.18-um CMOS Technology," 2008 EuMA, pp.1425-1428, October 2008
- [5] B. Wicks, et. al., "A 75--95 GHz Wideband CMOS Power Amplifier," 2008 EuMA, pp.1421-1424, October 2008
- [6] J. Lee, et. al., "A 68--83 GHz Power Amplifier in 90 nm CMOS," IEEE IMS 2009, pp.437-440
- [7] S. Pornpromlikit, et. al., "A 33-dBm 1.9-GHz Silicon-on-Insulator CMOS Stacked-FET Power Amplifier," IEEE IMS 2009, pp.533-536



- [8] D. Dawn, et. al., "60GHz CMOS Power Amplifier with 20-dB-Gain and 12 dBm Psat," IEEE IMS 2009, pp. 537-540
- [9] Heng-Ming Hsu, "Design of Broadband CMOS Amplifier Using Bandwidth-Compensation Technique," 2008 EuMA, pp.171-174, October 2008
- [10] H.-W. Chung, et. al., "A 6-10-GHz CMOS Power Amplifier with an Inter-stage Wideband Impedance Transformer for UWB Transmitter," 2008 EuMA, pp.305-308
- [11] E. Juntunen, et. al., "A 33 pJ/bit 90 nm CMOS UWB Single-Chip Transceiver with Embedded Multi-Gigabit Modem," IEEE IMS 2009, pp.1-4
- [12] S. P. Voinigescu, et. al., "CMOS Receivers in the 100-140 GHz Range," IEEE IMS 2009, pp.193-196
- [13] M. Kaerkkainen, et. al., "60-GHz Receiver and Transmitter Front-Ends in 65-nm CMOS," IEEE IMS 2009, pp577-580
- [14] Bo-Jr Huang, et. al., "A Miniature Q-band CMOS LNA with Triple-cascode Topology," IEEE IMS, 2009, pp.677-680
- [15] B. Cetinoneri, et. al., "A Miniaturized DC-70 GHz SP4T Switch in 0.13-um CMOS," IEEE IMS 2009, pp. 1093-1096
- [16] T. E. Kazior, et. al., "A High Performance Differential Amplifier Through the Direct Monolithic Integration of InP HBT and Si CMOS on Silicon Substrate," IEEE IMS 2009, pp.1113-1116
- [17] A. Gutierrez-Aitken, et. al., "Advanced Heterogeneous Integration of InP HBT and CMOS Si Technologies for High Performance Mixed Signal Applications," IEEE IMS 2009, pp.1109-1112
- [18] Yan Li, et. al. "Intersubband Nonlinear Optical Processes in GaN/AlN Quantum-Well Waveguide", OSA/CLEO/QELS 2008, CTuH3
- [19] M. Nagase, et. al., "Improvement of XPM Efficiency in InGaAs/AlAsSb Coupled Quantum Wells Using InAlAs Coupling Barrier for Intersubband Transition Optical Switch," OFC/NFOEC 2008, JThA42
- [20] G. W. Cong, et. al., "Broadband and Enhanced Cross-phase Modulation in InGaAs/AlAsSb Quantum Well Waveguide," ECOC 2008, Th.1.C.3
- [21] R. Akimoto, et. al., "XPM-based Wavelength Conversion at 80 Gb/s Using Intersubband Transition in InGaAs/AlGaAs/AlAsSb Coupled Double Quantum Well," 2009 OSA/CLEO/IQEC 2009, CFR3
- [22] R. Akimoto, et. al., "All Optical Demultiplexing from 160 to 40-Gb/s Utilizing InGaAs/AlAsSb Quantum Well Intersubband Transition Switch," ECOC 2008 P.2.03
- [23] J. B. Khurgin, et. al., "Interface Roughness Broadening in Intersubband Lasers: Homogeneous or Not?"
- [24] C. Jirauschek, et. al., "Monte-Carlo-Based Gain Analysis for THz Quantum Cascade Lasers," 2009 OSA/CLEO/IQEC 2009, JThE30