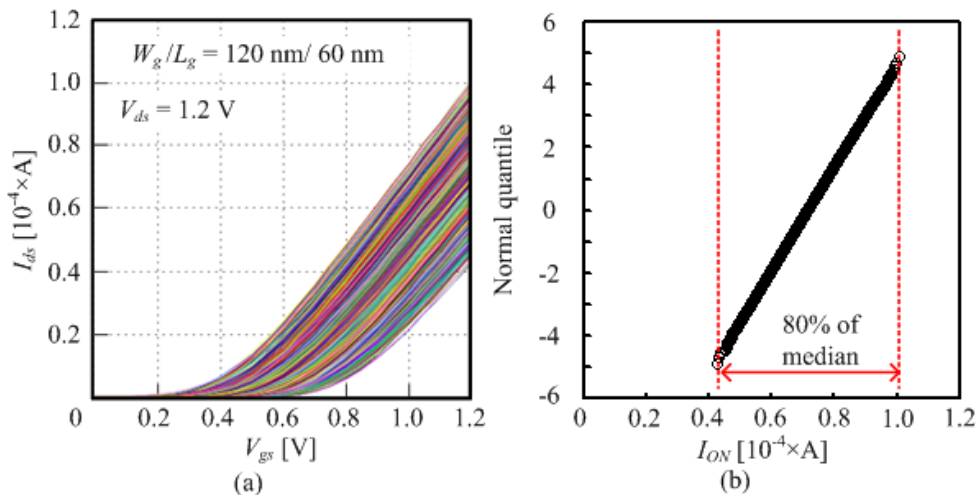


1-2-2. 試作トランジスタのオン電流ばらつき評価・解析

1-2-2-1. はじめに

ドレイン電流は、 V_T と同様に LSI の設計上重要なパラメータである。たとえば、オン状態のドレイン電流 (I_{on})は、CMOS インバータの遅延時間を支配している[1]。このため、 I_{on} ばらつきは LSI の性能や歩留まりに影響を及ぼすと考えられる。III-2-I- (1)図 1-2-2-1(a)に 100 万個の NMOS の I_{ds} - V_{gs} 特性を測定した結果を示す[2-5]。 $V_{gs} = 1.2$ V における I_{ds} を I_{ON} として抽出した。 I_{ON} ばらつきの正規プロットを III-2-I- (1)図 1-2-2-1(b)に示す[2-5]。 I_{ON} の最小値と最大値の間には 80%もの差がある。実際に最先端の LSI で使用されている MOS トランジスタの数は 100 万個を超えており、 I_{ON} ばらつきの差も 80%を超えていると考えられる。このように I_{ON} ばらつきは V_T ばらつき同様に深刻な問題であると考えられる[6, 7]。

本節では、まず、開発したオン電流ばらつき評価手法を述べた後に、 I_{ON} ばらつき分離手法を用いて I_{ON} ばらつき原因の解析を行った。試料としては主にキंक特性の影響が小さい $W_g/L_g = 120$ nm/ 60 nm の MOS トランジスタを用いて解析を行った。本節で提案する I_{ON} ばらつき分離手法は線型領域も飽和領域も適用可能であるため、 I_{ON} ばらつきについては両領域で解析を行った。



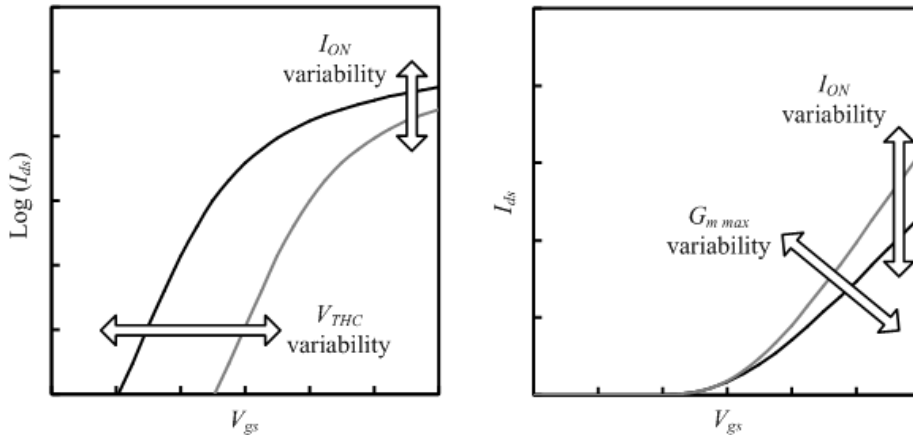
III-2-I- (1)図1-2-2-1. (a) 10^5 個NMOSの I_{ds} - V_{gs} 特性の測定値。(b) $V_{gs} = 1.2$ Vで抽出した I_{ds} ばらつきの正規プロット[2-5]。

1-2-2-2. I_{ON} ばらつきの成分

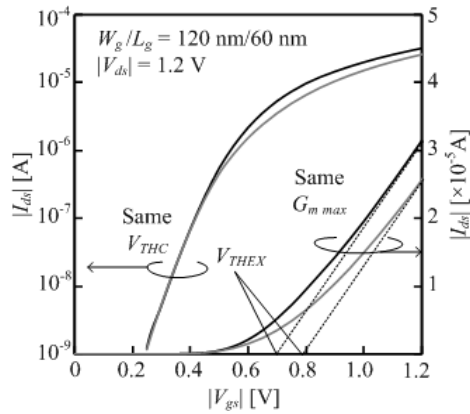
III-2-I- (1)図 1-2-2-2(a)で示すように、定電流法 $V_T(V_{THC})$ の変化は I_{ds} - V_{ds} 特性の変化を引き起こすため、 V_{THC} ばらつきは I_{ON} ばらつきを引き起こすことがわかる。また III-2-I- (1)図 1-2-2-2(b)で示すように、 I_{ds} - V_{gs} の最大傾きを示す最大トランスコンダクタンス(G_{mmax})のばらつきも I_{ON} ばらつきを引き起こすことがわかる。このような V_{THC} ばらつきと G_{mmax} ばらつきの影響は一般的にも知られている I_{ON} ばらつきの原因と考えられる。このように V_{THC} ばらつきおよび G_{mmax} ばらつきに起因する I_{ON} ばらつきの成分をそれぞれ V_{THC} 成分、 G_m 成分と呼ぶことにする。 I_{ds} - V_{gs} 特性を詳細に調べていく過程で、 V_{THC} 、 G_{mmax} ばらつき以外にも新たに I_{ON} ばらつきに寄与する成分があることを見出した[2-5]。III-2-I- (1)図 1-2-2-3 は同じ V_{THC} と G_{mmax} を持つ 2 つの PMOS の I_{ds} - V_{gs} 特性の測定結果を示す[2-5]。 V_{THC} と G_{mmax} が異なるにも関わらず、2 つの PMOS の I_{ON} は明らかに

異なっている。この I_{ON} の違いは、電流立ち上がりの差に起因している。電流が立ち上がる V_{gs} を指標化するために V_{THEX} と呼ぶ量を導入した。 V_{THEX} は I_{ds} - V_{gs} 特性の接線のうち、最大傾斜を持つ接線の V_{gs} 切片により定義する。III-2-I- (1) 図 1-2-2-4 は PMOS 飽和領域の V_{THEX} と V_{THC} の散布図を示す[2-5]。 V_{THEX} と V_{THC} の間には高い相関があるが、両者は完全に同期しているわけではなく、両者の差はばらついていることがわかる。この差を ΔV_{TH} と定義する。この ΔV_{TH} は電流立ち上がり電圧を示す良い指標になっている。この ΔV_{TH} は III-2-I- (1) 図 1-2-2-5 で示すばらつきを持っており[2-5]、このばらつきが I_{ON} ばらつきを生じる。このように電流立ち上がり起因する I_{ON} ばらつきの成分を ΔV_{TH} 成分と呼ぶことにする。

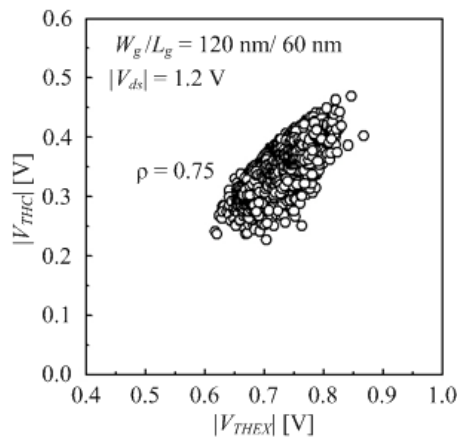
V_{THEX} を固定した場合には、 $G_m \max$ ばらつきが I_{ON} ばらつき成分の主成分になっているように見えるが、どの程度 $G_m \max$ ばらつきに支配されているものなのかを調べた。ここでは、より高いゲートオーバードライブ電圧を使用する場合も想定して、 $|V_{gs}| = 1.2 \text{ V}$ だけでなく、より高いゲート電圧の場合についても合わせて調べた。III-2-I- (1) 図 1-2-2-6 に I_{ds} と $G_m \max$ の相関を調べた散布図を示す[2]。またこの散布図から得られた相関係数とゲート電圧の関係を III-2-I- (1) 図 1-2-2-7 に示す。ここでは、 V_{THC} ばらつきと ΔV_{TH} ばらつきの影響を排除するために、同じ V_{THEX} を持つ MOS トランジスタだけを選んで評価を行った。この結果特に飽和領域において、 $|V_{gs}| = 1.0 \text{ V}$ の場合から 1.8 V の場合まで I_{ds} と $G_m \max$ の間には高い相関があることがわかった。線型領域では、飽和領域よりは相関係数が若干低い傾向があるが、それでも $|V_{gs}| = 1.0 \text{ V}$ の場合から 1.8 V の場合まで I_{ds} と $G_m \max$ の間には高い相関があると言える。このため、さまざまな V_{THEX} の MOS トランジスタに対して、同じ V_{THEX} を持つ MOS トランジスタ間の I_{ON} ばらつきはほぼ $G_m \max$ によって支配されているということが出来る。一方で、 I_{ON} と $G_m \max$ の相関係数は 1.0 よりやや低いいため、 $G_m \max$ 以外にも I_{ON} に影響している要因があるが、本開発では単純化して $G_m \max$ の影響のみを考慮することにする。次の節で、 I_{ON} ばらつきを V_{THC} 、 ΔV_{TH} 、 G_m の三つの成分に分離する方法について述べる。



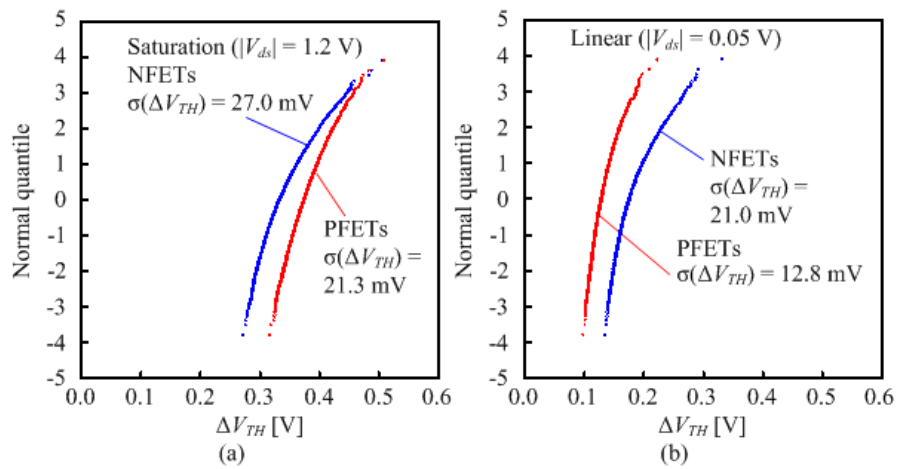
III-2-I- (1) 図 1-2-2-2. (a) V_{THC} ばらつきと、(b) $G_m \max$ ばらつきが I_{ON} ばらつきに及ぼす影響を示す模式図。



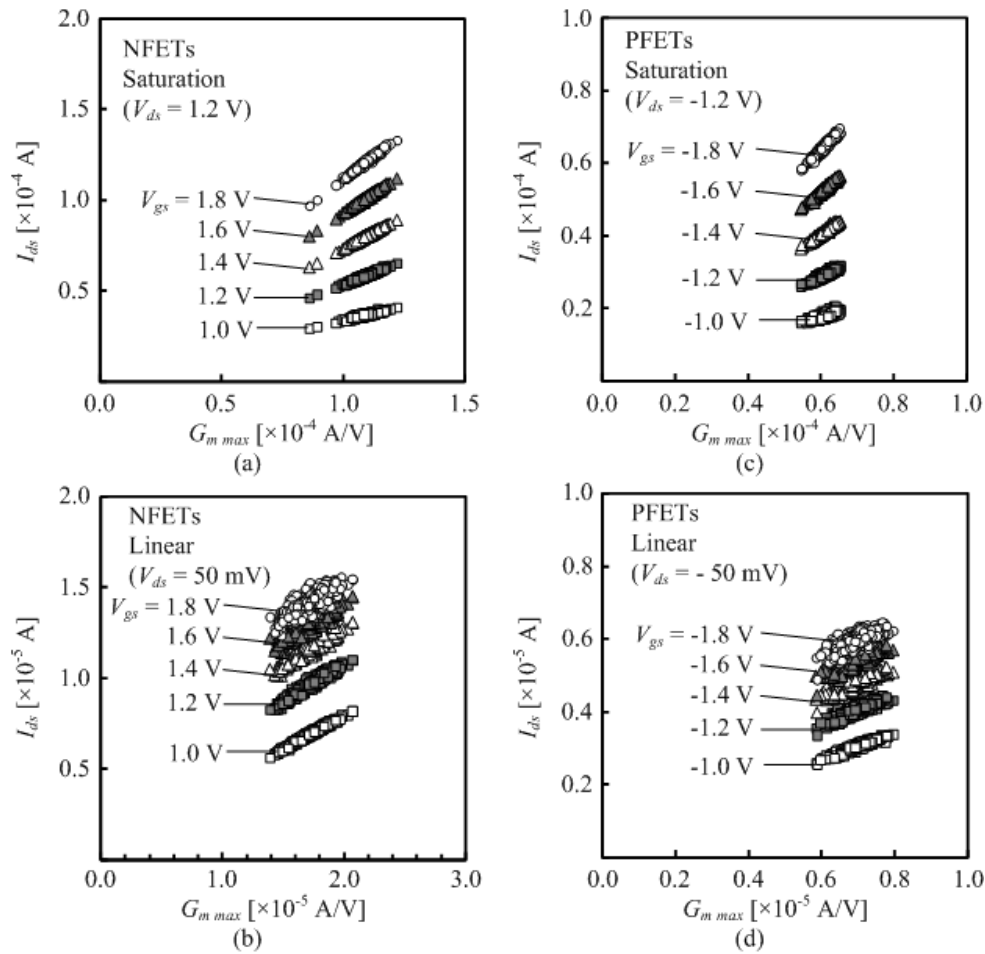
III-2-I- (1)図1-2-2-3. 同じ V_{THC} と $G_{m\max}$ をもつ二つのPMOSトランジスタの I_{ds} - V_{gs} 特性の測定値[2-5]。電流が立ち上がる V_{gs} を定量化するために、 V_{THEX} を導入した。 V_{THEX} は、 I_{ds} - V_{gs} の接線のうち、最大傾斜を持つものの、 V_{gs} 切片により定義する。



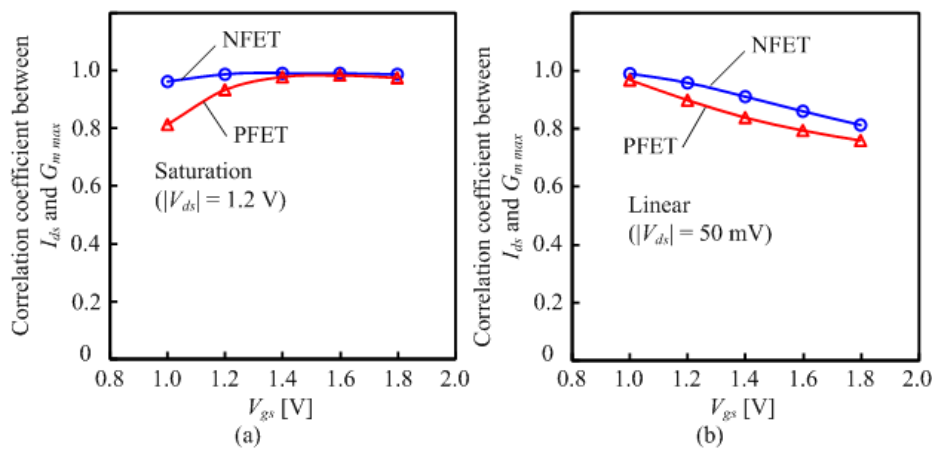
III-2-I- (1)図1-2-2-4. PMOSトランジスタの飽和領域における、 V_{THEX} と V_{THC} の間の散布図。両者の間には高い相関がある[2-5]。



III-2-I- (1)図1-2-2-5. ΔV_{TH} 測定値の正規プロット。(a) 飽和領域、(b) 線型領域。 $\sigma(\Delta V_{TH})$ も合わせて示している[2-5]。



III-2-I- (1)図1-2-2-6. I_{ds} と $G_{m \max}$ の測定値の散布図[2]。 V_{THC} と ΔV_{TH} ばらつきの影響を排除するために、 V_{THEX} が同じトランジスタだけを選んでいる。(a) NMOS飽和領域、(b) NMOS線型領域、(c) PMOSTランジスタ飽和領域、(d) PMOSTランジスタ線型領域。



III-2-I- (1)図1-2-2-7. 図1-2-2-6の散布図中の、 I_{ds} と $G_{m \max}$ の間の相関係数と、 V_{gs} の関係[2]。(a) 線型領域、(b) 飽和領域

1-2-2-3. I_{ON} ばらつきの分離

I_{ON} ばらつきの各成分の寄与の大きさを評価するために、 I_{ON} ばらつきを三つの成分の寄与の大きさを評価する方法を提案する[2, 5, 8]。始めに、三つの成分に分離する正当性を確認するために、 V_{THC} 、 ΔV_{TH} 、 G_m 三つのパラメータ間の相関係数を調べた。結果を III-2-I- (1)表 1-2-2-1 に示す[2]。相関係数はいずれも小さいため、三つのパラメータはほぼ独立であると見なすことが出来る。分離は散布図を元に行う。 V_{THC} 成分は、III-2-I- (1)図 1-2-2-8 に示す I_{ON} と V_{THC} の散布図より求める[2]。ここでは回帰直線の傾きを、 $Slope(V_{THC})$ と呼ぶ。 V_{THC} 成分 $\sigma I_{ON}(V_{THC})$ は次の式の通り計算する[2]。

$$\sigma I_{ON}(V_{THC}) = Slope(V_{THC}) \times \sigma V_{THC} \quad (1-2-2-1)$$

ΔV_{TH} 成分は、同じ V_{THC} をもつ MOS トランジスタの I_{ON} と ΔV_{TH} の散布図より計算する[2]。ここで回帰直線の傾きを、 $Slope(\Delta V_{TH})$ と呼ぶ。 ΔV_{TH} 成分 $\sigma I_{ON}(\Delta V_{TH})$ は、次の式で示すように計算する[2]。

$$\sigma I_{ON}(\Delta V_{TH}) = Slope(\Delta V_{TH}) \times \sigma(\Delta V_{TH}) \quad (1-2-2-2)$$

次に G_m 成分の分離方法を説明する。III-2-I- (1)図 1-2-2-10 に I_{ON} と V_{THEX} の散布図を示す[2]。ここで、測定した I_{ON} と、同じ V_{THEX} を持ち、回帰直線上での I_{ON} との差を ΔI_{ON} とする。 ΔI_{ON} のばらつきは、 V_{THEX} を固定した条件下での I_{ON} ばらつきを表わしているため、先の議論から ΔI_{ON} ばらつきの起源は G_m 成分 ばらつきということになる。このため、 G_m 成分 $\sigma I_{ON}(G_m)$ は次の式で示すことが出来る[2]。

$$\sigma I_{ON}(G_m) = \sigma(\Delta I_{ON}) \quad (1-2-2-3)$$

この方法を用いて、PMOS の I_{ON} ばらつきの測定値を分離した結果を III-2-I- (1)図 1-2-2-11 に示す[2, 5]。さらに比較のために I_{ON} ばらつきのシミュレーション結果も合わせて分離した。このシミュレーションでは、電流ばらつきの起源として RDF の効果を取り入れている。移動度については、RDF によって生じた実効電界に応じてばらつくようになっている。しかし、それ以外の電流ばらつきの原因と考えられる、ゲート酸化膜厚、ゲート長、ゲート幅などのばらつきの効果は取り入れられていない。

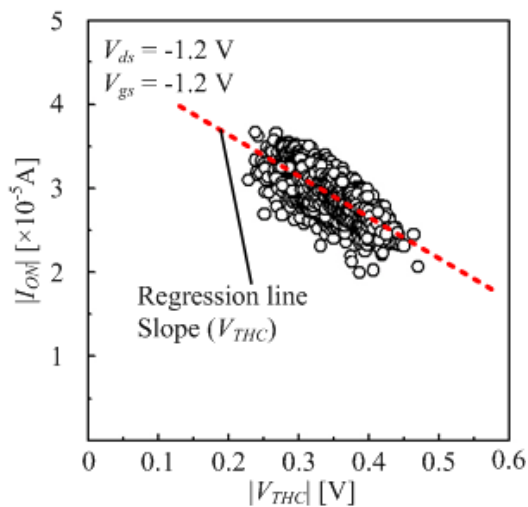
I_{ON} ばらつきの分離の結果、 V_{THC} 成分は飽和領域では一番大きく、線型領域では二番目に大きいことがわかった。また、飽和領域、線型領域共に RDF シミュレーションによりよく再現されることがわかった。これは、PMOS の V_{THC} ばらつきが RDF により支配されているためだと考えられる。またこの結果は V_{THC} ばらつき成分の分離が適切に実施されていることを示していると考えられる。

ΔV_{TH} 成分は飽和領域では、二番目に大きく G_m 成分よりも大きい。 ΔV_{TH} 成分のうち、飽和領域におけるかなりの部分が、また線型領域のほとんどの部分が RDF シミュレーションにより再現されている。このため、 ΔV_{TH} の原因は RDF に起因していることが予想される。 ΔV_{TH} 成分の原因の詳細については後で述べることにする。

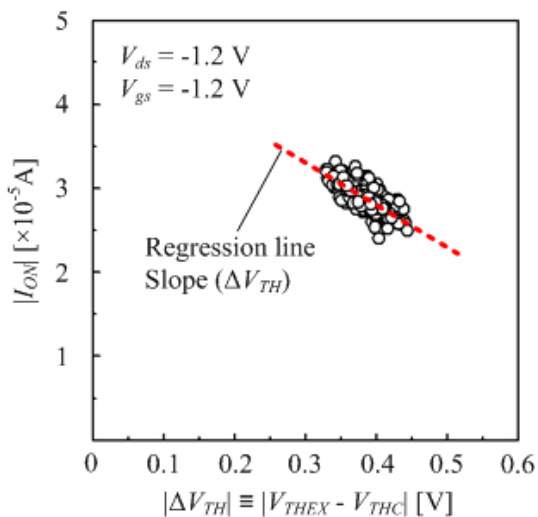
G_m 成分については、線型領域では ΔV_{TH} 成分よりも大きいことがわかった。また測定から得られた G_m 成分は飽和領域、線型領域共に RDF シミュレーションから計算される値よりも大きい。このため、 G_m 成分の大部分は RDF では説明できないと考えられる。

III-2-I- (1)表1-2-2-1. V_{THC} 、 ΔV_{TH} と $G_m \max$ の間の相関係数。これらの相関係数は小さいため、 V_{THC} 、 ΔV_{TH} と $G_m \max$ の三つの物理量は近似的に独立と見ることができる[2]。

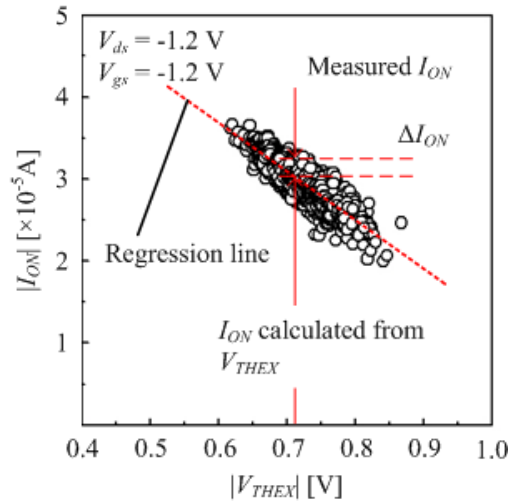
	$V_{THC} - \Delta V_{TH}$	$\Delta V_{TH} - G_m$	$G_m - V_{THC}$
NFET Linear	-0.27	-0.15	-0.10
NFET Saturation	-0.33	-0.04	-0.19
PFET Linear	-0.28	0.00	0.01
PFET Saturation	-0.35	0.06	-0.19



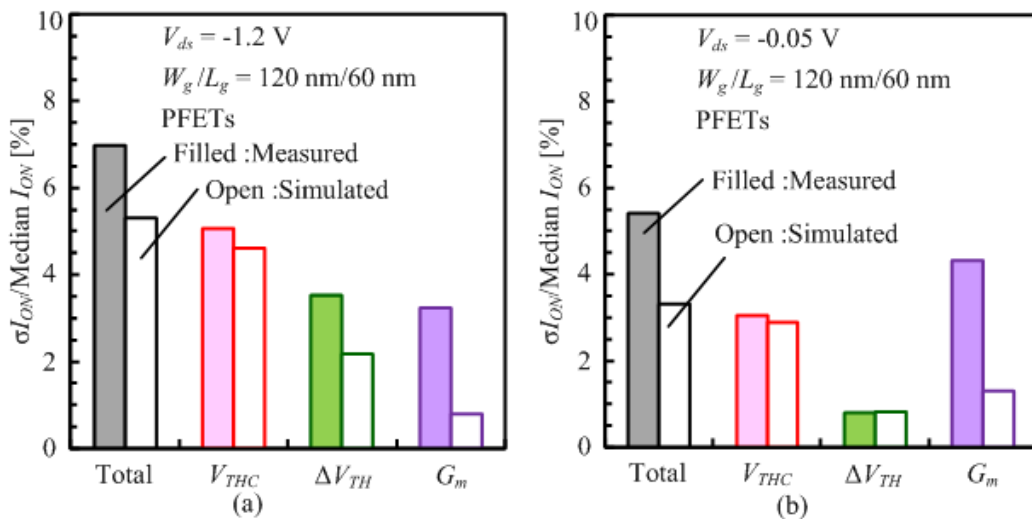
III-2-I- (1)図1-2-2-8. 測定したPMOSTランジスタ飽和領域の、 I_{ON} と V_{THC} の散布図[3]。



III-2-I- (1)図1-2-2-9. 測定したPMOSTランジスタ飽和領域の、 I_{ON} と ΔV_{TH} の散布図[2]。ここでは、同じ V_{THC} を持つPMOSTランジスタのデータだけを用いる。

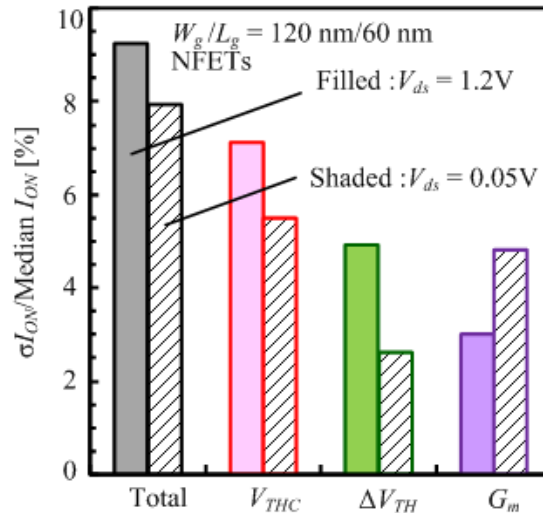


III-2-I- (1)図1-2-2-10. 測定したPMOSトランジスタ飽和領域の、 I_{ON} と V_{THEX} の散布図[2]。測定した I_{ON} と、同じ V_{THEX} を持ち、回帰直線上にある I_{ON} との差を ΔI_{ON} とする。同じ V_{THEX} を持つトランジスタの I_{ON} ばらつきは、 $G_m \max$ ばらつきに支配されているため、 ΔI_{ON} のばらつきは、 $G_m \max$ のばらつきに起因している。



III-2-I- (1)図1-2-2-11. PMOSトランジスタの I_{ON} ばらつき ($\sigma_{I_{ON}} / \text{Median } I_{ON}$) と、分離結果[2, 5]。ここでは測定した I_{ON} ばらつきと、シミュレーションにより計算した I_{ON} ばらつきを比較。(a) 飽和領域、(b) 線型領域。

NMOS の I_{ON} ばらつき成分についても、分離を行った。結果を III-2-I- (1)図 1-2-2-12 に示す[2, 5]。飽和領域では ΔV_{TH} 成分が二番目に大きく、線型領域では G_m 成分が二番目に大きいことがわかった。この分離結果により、 V_{THC} 、 G_m 成分だけでなく、 ΔV_{TH} 成分も特に飽和領域で I_{ON} ばらつきへ大きく寄与していることがわかった。 V_{THC} 成分については、先の V_T ばらつきの議論から、RDF が主要因と考えられる。そこで、次の節では ΔV_{TH} 成分と、 G_m 成分について解析を行った。



III-2-I- (1)図1-2-2-12. NMOSの I_{ON} ばらつき($\sigma I_{ON}/\text{Median } I_{ON}$)と、分離結果[2, 5]。

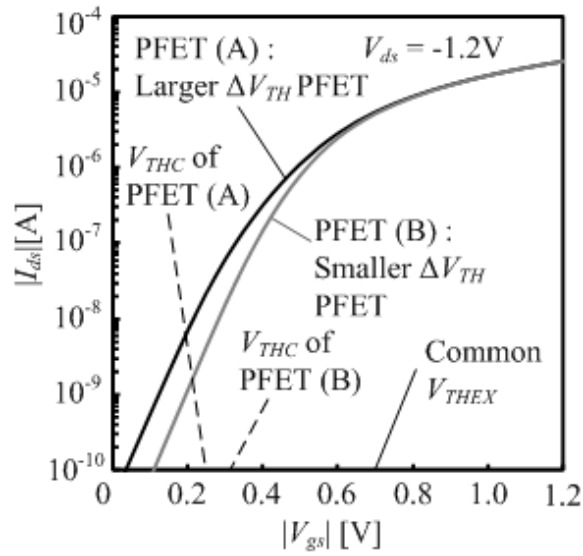
1-2-2-4. I_{ON} ばらつきにおける ΔV_{TH} 成分の起源

先の I_{ON} ばらつきの分離により、 ΔV_{TH} 成分はRDFシミュレーションによりよく再現されることが明らかになった。このため、 ΔV_{TH} 成分はRDFと関係しているのではないかと考えられる。この節では、シミュレーションと、 N_{SUB} 依存性の実験により、RDFが ΔV_{TH} ばらつきに与える影響について調べる[2-5]。

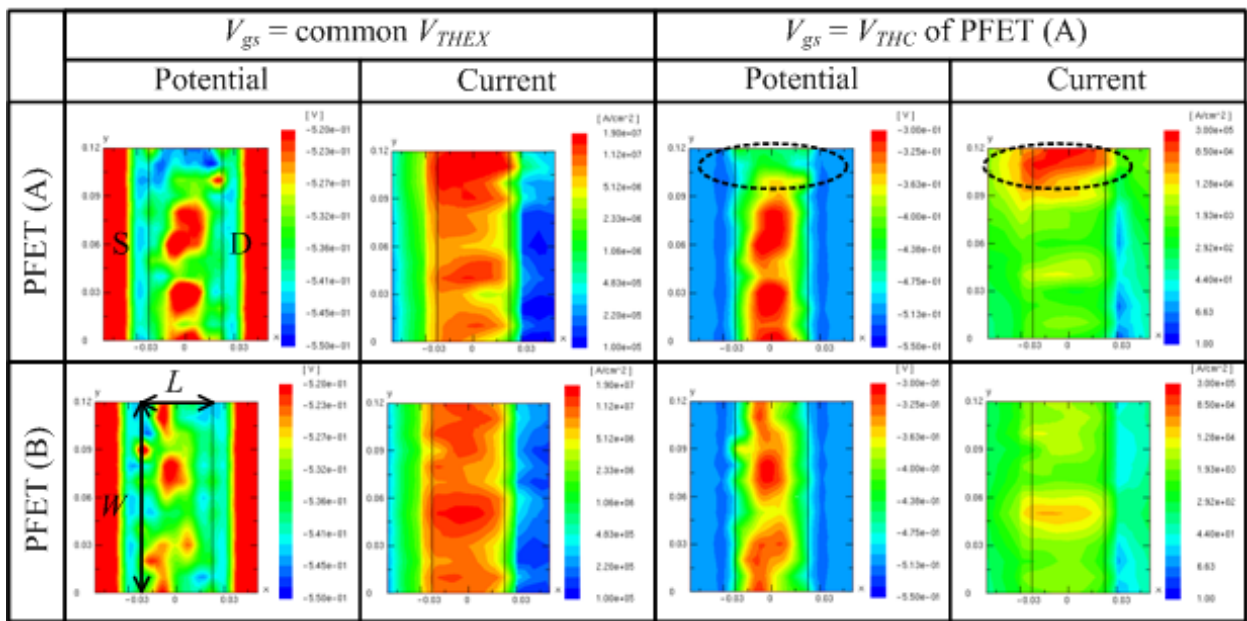
まず、RDFシミュレーションの結果を解析する。III-2-I- (1)図1-2-2-13に V_{THEX} が同じで V_{THC} が異なる二つのPMOSの $I_{ds}-V_{gs}$ 特性を示す[2]。ここではPMOS(A)の $|V_{THC}|$ は、PMOS(B)の $|V_{THC}|$ よりも低く、PMOS(A)の ΔV_{TH} は、PMOS(B)の ΔV_{TH} よりも大きい。この二つのPMOSのチャネル表面における、チャネルポテンシャルと電流密度の分布をIII-2-I- (1)図1-2-2-14に示す[2]。両者の V_{THEX} は同じであるため、 $V_{gs} = V_{THEX}$ では、ポテンシャル、電流密度ともに両者に大きな差はない。しかし、 V_{gs} をPMOS(A)の V_{THC} に合わせた場合には、二つのPMOSの間に差が見られる。PMOS(A)では、破線で囲んだ楕円状の部分でポテンシャルが低くなっており、この部分で電流密度が局所的に高くなっていることがわかる。このためPMOS(A)の V_{THC} はPMOS(B)の V_{THC} より低くなり、PMOS(A)の方が ΔV_{TH} は大きくなる。ここではRDFのみばらつき要因として考慮しているため、この V_{THC} と ΔV_{TH} の差はRDFによるチャネルポテンシャルのばらつきによるものであると考えられる。

さらに別の角度から調べるために、 ΔV_{TH} ばらつきの N_{SUB} 依存性を測定とシミュレーションにより調べた。III-2-I- (1)図1-2-2-15に、プレーナーバルク型NMOSとPMOSの $\sigma(\Delta V_{TH})$ の測定値、プレーナーバルク型PMOSとFD-SOI型PMOSの $\sigma(\Delta V_{TH})$ のシミュレーション値の N_{SUB} 依存性を示す[2]。ここでは、横軸を V_{THEX} とし、 N_{SUB} の大きさを表わしている。 $\sigma(\Delta V_{TH})$ の測定値、シミュレーション値共に V_{THEX} の低下と共に減少しており、 $\sigma(\Delta V_{TH})$ には明らかにチャネル不純物濃度依存性がある。さらに $\sigma(\Delta V_{TH})$ のかなりの部分はRDFシミュレーションにより再現されている。しかし、 $\sigma(\Delta V_{TH})$ のRDFシミュレーション値は、特に飽和領域では $\sigma(\Delta V_{TH})$ の測定値よりも少し小さい。

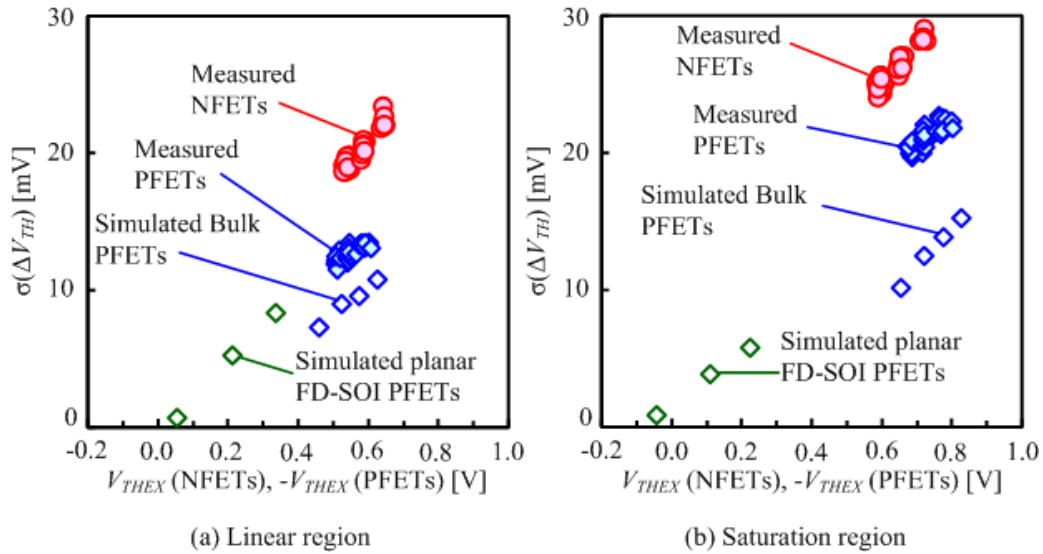
これらの結果から、RDFによるチャネルポテンシャルの揺らぎが、 ΔV_{TH} ばらつきの主要因であると考えられる。



III-2-I- (1)図1-2-2-13. シミュレーションした二つのPMOSトランジスタの I_{ds} - V_{gs} 特性。両者の V_{THEX} は同じだが、 ΔV_{TH} が異なる。PMOSトランジスタ(A)の方が、 $|V_{THC}|$ が小さく、 ΔV_{TH} が大きい[2]。



III-2-I- (1)図 1-2-2-14. シミュレーションした二つの PMOS トランジスタの、チャネル表面におけるポテンシャルと電流密度の分布[2]。



III-2-I- (1)図 1-2-2-15. プレーナーバルク NMOS、PMOS トランジスタの測定、プレーナーバルク PFET と、プレーナー FD-SOI PMOS トランジスタのシミュレーションから評価した、 $\sigma(\Delta V_{Th})$ と V_{Thex} の関係[2]。ここで、 V_{Thex} は N_{SUB} により変化させている。(a) 線型領域、(b) 飽和領域。

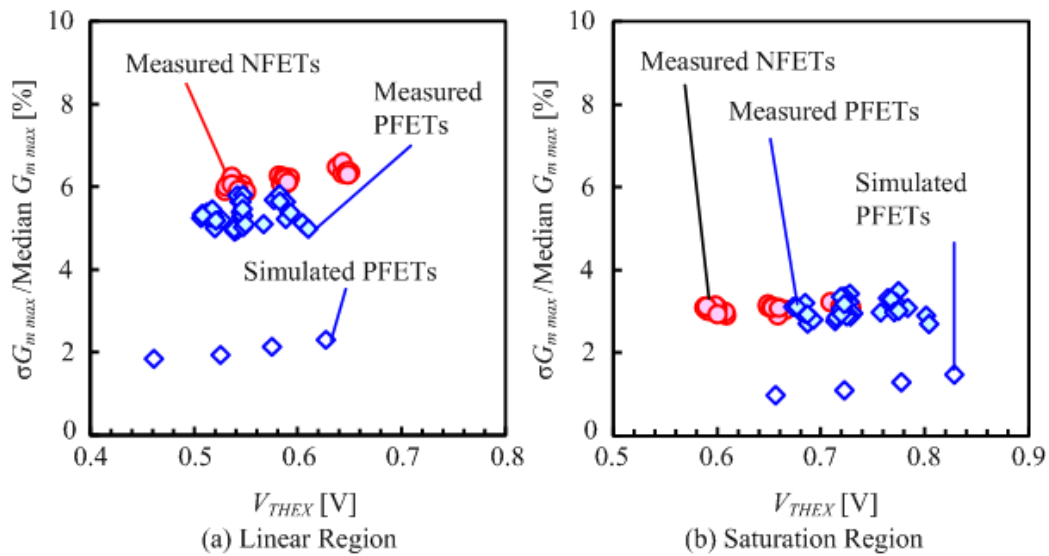
1-2-2-5. I_{ON} ばらつきにおける $G_{m max}$ ばらつきの起源

III-2-I- (1)図 1-2-2-11 で示したように、測定により得られた I_{ON} ばらつきの $G_{m max}$ 成分は、RDF シミュレーションにより計算した I_{ON} ばらつきの $G_{m max}$ 成分よりも小さいため、 $G_{m max}$ への RDF の寄与は小さいものと考えられる[9-11]。さらに RDF の影響の大きさを、 $G_{m max}$ ばらつき ($\sigma(G_{m max})/\text{Median } G_{m max}$) の N_{SUB} 依存性により調べた。その結果を III-2-I- (1)図 1-2-2-16 に示す[2]。ここでも N_{SUB} の大きさを示すために、横軸に V_{Thex} を用いた。測定により得られた $G_{m max}$ ばらつきは、 V_{Thex} が下がるとわずかに減少する。さらに $G_{m max}$ ばらつきの大きさは、RDF シミュレーションにより計算した $G_{m max}$ ばらつきよりも大きい。これらの結果から、RDF は $G_{m max}$ ばらつきにわずかに影響は及ぼしているが、他の原因による影響が大きいものと考えられる[12-17]。

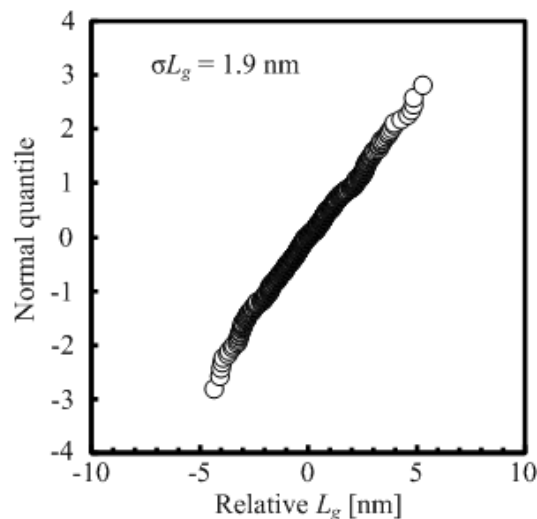
その他の原因の一つとして考えられるゲート長ばらつきの影響を調べた[12]。まず L_g のばらつきを 400 ゲートパターンを SEM により測長して求めた。この時の L_g の分布と、 L_g のばらつきを III-2-I- (1)図 1-2-2-17 に示す[18, 19]。また平均的な $G_{m max}$ - L_g 特性を III-2-I- (1)図 1-2-2-18 に示す[19]。 $\text{Log}(G_{m max})$ と $\text{Log}(L_g)$ の間には線型の関係が成り立っていることがわかる。このため、 L_g ばらつきに起因する $G_{m max}$ ばらつきの大きさは、 L_g ばらつきの大きさと、 $\text{Log}(G_{m max})$ と $\text{Log}(L_g)$ の傾きから求めることができる。測定値から計算した $G_{m max}$ ばらつきと、 $G_{m max}$ ばらつきのうち L_g ばらつきに起因する成分 ($G_{m max}$ ばらつき(L_g)) を III-2-I- (1)図 1-2-2-19 に示す[19]。飽和領域では、 $G_{m max}$ ばらつき(L_g)は $G_{m max}$ ばらつきの半分程度になることがわかる。線型領域では、 $G_{m max}$ ばらつき全体に対する $G_{m max}$ ばらつき(L_g)の割合は、飽和領域よりは小さい。

さらに、RDF と L_g ばらつき以外の $G_{m max}$ ばらつき要因を探るために、 $G_{m max}$ ばらつきの Pelgrom プロットを評価した。まず $G_{m max}$ ばらつきがどのようにゲート長方向に平均化されるかを調べるために、 W_g を固定した条件で、 $G_{m max}$ ばらつきの Pelgrom プロットを行った。これを III-2-I- (1)図 1-2-2-20 に示す[2]。 $G_{m max}$ ばらつきは、長 L_g 極限で零に収束していかないことがわかる。これは $G_{m max}$ ばらつきに、ゲート長では平均化されないばらつき原因が寄与していることを示していると考えられる。

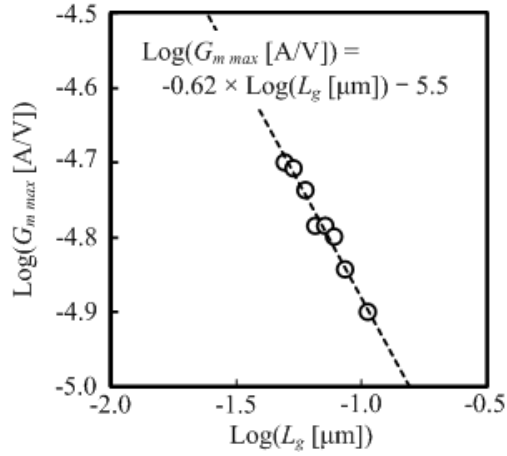
同様に、 $G_{m \max}$ がゲート幅方向にどのように平均化されているかを調べるために、 L_g を固定した条件で、 $G_{m \max}$ ばらつきの Pelgrom プロットを行った。この結果を III-2-I- (1) 図 1-2-2-21 に示す[2]。 $G_{m \max}$ ばらつきは長 W_g 極限では、零に向って収束していることがわかる。ことから、 $G_{m \max}$ ばらつき原因はゲート幅方向には平均化されることがわかる。例えばこのような特性を示す要因として、チャンネル外の寄生抵抗の影響が考えられる[15]。



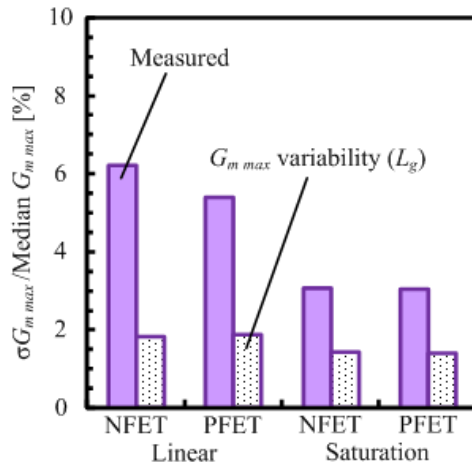
III-2-I- (1) 図 1-2-2-16. 測定および、シミュレーションにより得られた $G_{m \max}$ ばらつき ($\sigma G_{m \max} / \text{Median } G_{m \max}$) と V_{THEX} の関係。ここで、 V_{THEX} は N_{SUB} により変化させている[2]。



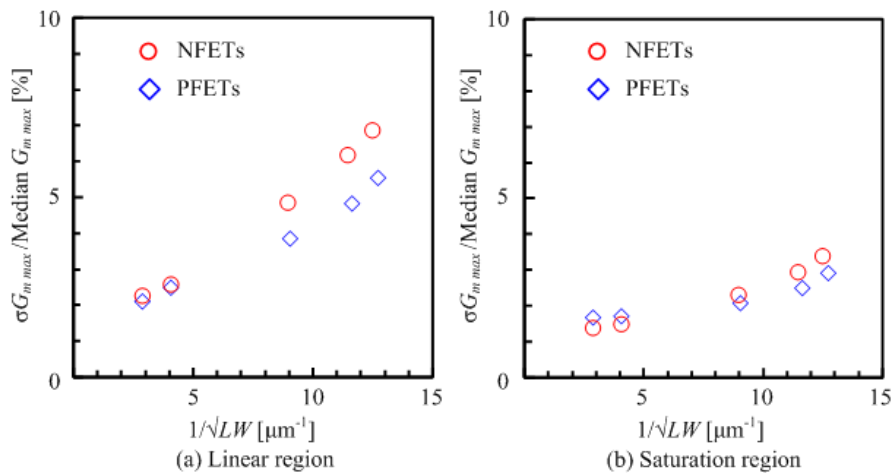
III-2-I- (1) 図 1-2-2-17. 400 ゲートを SEM により測長して得られた L_g の正規プロット[18, 19]。



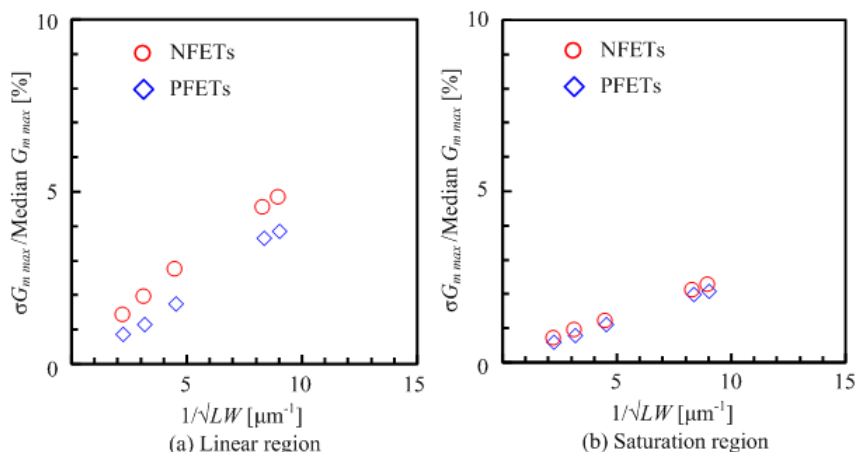
III-2-I- (1)図1-2-2-18. NMOS線型領域の、 $G_{m\max}$ 測定値と L_g の関係。 $\text{Log}(G_{m\max})$ と $\text{Log}(L_g)$ の間には比例関係がある[19]。PMOSトランジスタ線型領域と、NMOSとPMOSトランジスタの飽和領域でも、比例関係が成り立つ。



III-2-I- (1)図1-2-2-19. $G_{m\max}$ ばらつきと、 L_g ばらつきに起因する $G_{m\max}$ ばらつき($G_{m\max}$ variability (L_g))。



III-2-I- (1)図1-2-2-20. $G_{m\max}$ ばらつきとのPelgromプロット[2]。(a) 線型領域、(b) 飽和領域。ここでは W_g は120 nmで固定し、 L_g を変えている。



III-2-I- (1)図1-2-2-21. $G_{m\max}$ ばらつきとのPelgromプロット[2]。(a) 線形領域、(b) 飽和領域。ここでは L_g は100 nmで固定し、 W_g を変えている。

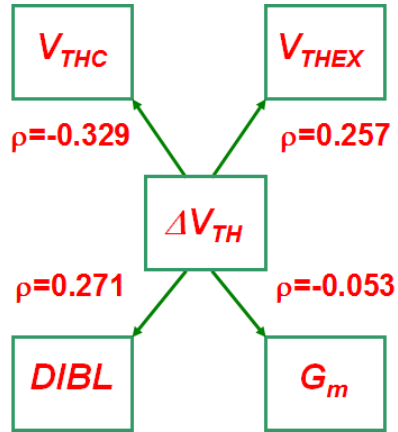
1-2-2-6. I_{ON} ばらつきにおける”電流立上り電圧”の統計的性質

本開発項目では、電流ばらつきに大きな影響を与える新しいばらつき要因として1-2-2-4項で提案した、”電流立上り電圧(ΔV_{th})”ばらつきの統計的性質について調査を実施した。65nm 技術で作製した MOSFET の電流ばらつきを、大規模 DMA-TEG によって測定し、解析した結果について述べる。

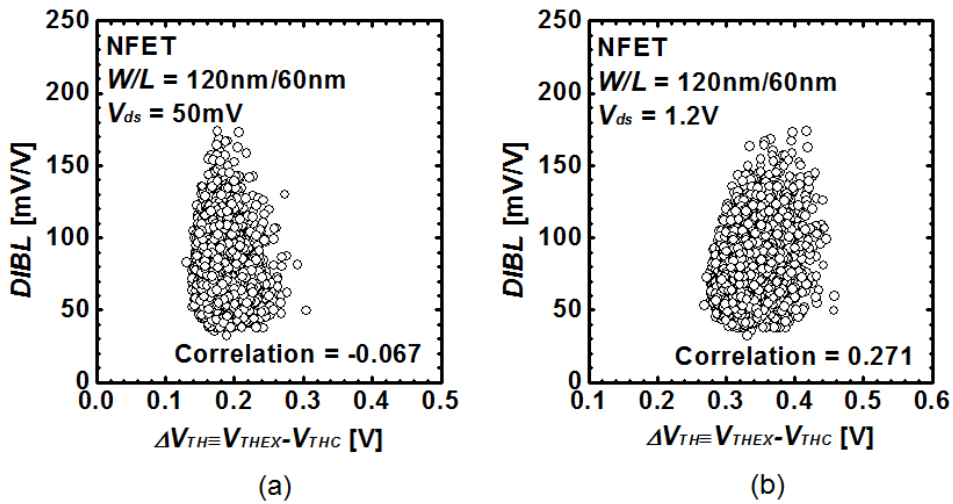
(1)他のデバイスパラメータとの相関

III-2-I- (1)図 1-2-2-22 に、8,192 個の NMOS を測定した飽和領域($V_{ds}=1.2V$)における V_{thc} 、 G_m 、 V_{thex} 、および $DIBL$ と ΔV_{th} 間の相関係数を示す。 $L_g/W_g=60/120nm$ である。ここで、 V_{thc} をサブスレシヨルド領域の定電流法($I_0=10^{-8}W_g/L_g$)で求めたしきい値、 V_{thex} を I_d-V_g 特性の最大傾斜接線から求めた外挿しきい値、これら2種類のしきい値 V_{thc} 、および V_{thex} を用いて、 ΔV_{th} を両者の差、すなわち $\Delta V_{th} \equiv V_{thex} - V_{thc}$ と定義した。また、 $DIBL$ は V_{thc} を用いて求めた。この図からわかるように、 ΔV_{th} とそれぞれのパラメータとの間の相関係数は小さく、 ΔV_{th} は他のデバイスパラメータ (V_{thc} 、 G_m 、 V_{thex} 、および $DIBL$)との相関が極めて低いことがわかる。以上の結果から、 ΔV_{th} はこれまで考慮されなかったばらつき要因であると考えられる。

III-2-I- (1)図 1-2-2-23 に、NMOS の ΔV_{th} と $DIBL$ の相関を示す。III-2-I- (1)図 1-2-2-23(a)(b)はそれぞれ、線形領域($V_{ds}=50mV$)と飽和領域($V_{ds}=1.2V$)の場合である。これらの図から、線形領域では相関係数が非常に小さく(相関係数:-0.067)、飽和領域においても相関が低い(相関係数:0.271) ことがわかる。 ΔV_{th} ばらつきは、分散不純物揺らぎ (RDF) によって生じる、チャンネル内のソースドレイン間の電流パスにあるポテンシャル障壁に相当する”divided line”上のポテンシャル揺らぎに起因する(詳細な説明は[5]項で述べる)。したがって、 ΔV_{th} はゲート幅 W 方向の不純物濃度プロファイルで決定するといえる。一方、 $DIBL$ はゲート長 L 方向の不純物濃度プロファイルで決定すると NEC のグループによって報告されている。したがって III-2-I- (1) 図 1-2-2-24 に示すように、 L 方向と W 方向は直交しているので両者は独立であるから、チャンネル内の不純物がランダムに分布していれば、 $DIBL$ と ΔV_{th} は互いに相関がないと考えられる。

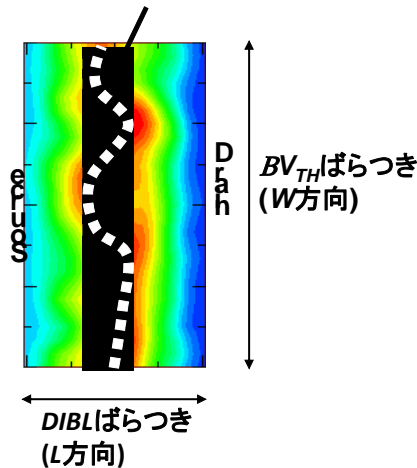


III-2-I- (1)図1-2-2-22. 8k個のNMOSを測定した飽和領域($V_{ds}=1.2V$)における V_{THC} 、 G_m 、 V_{THEX} 、および $DIBL$ と ΔV_{TH} の相関係数.



III-2-I- (1)図1-2-2-23. 8k個のNMOSを測定した $DIBL$ と ΔV_{TH} の相関。(a)は $V_{ds}=50mV$ 、(b)は $V_{ds}=1.2V$ である。

“divided line”ポテンシャル

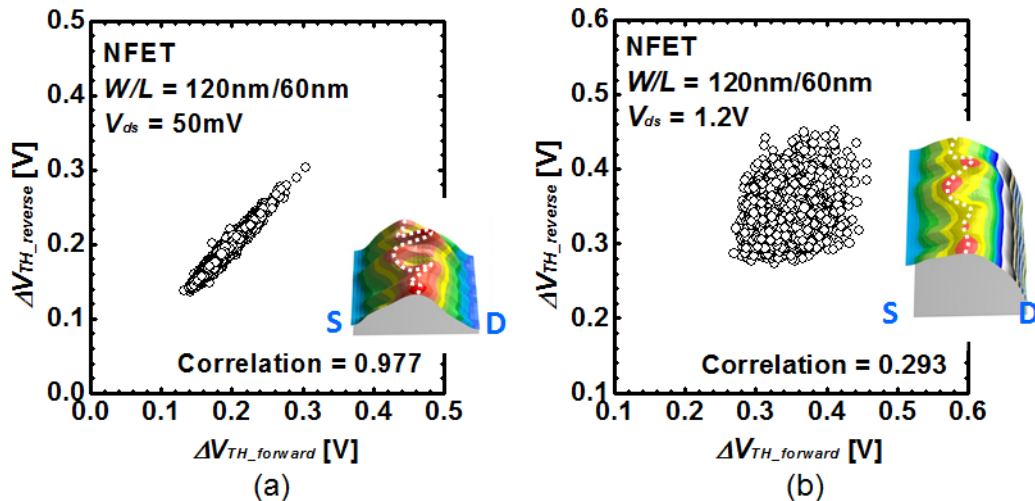


III-2-I- (1)図1-2-2-24. シミュレーションで計算したチャンネル内のポテンシャル分布.

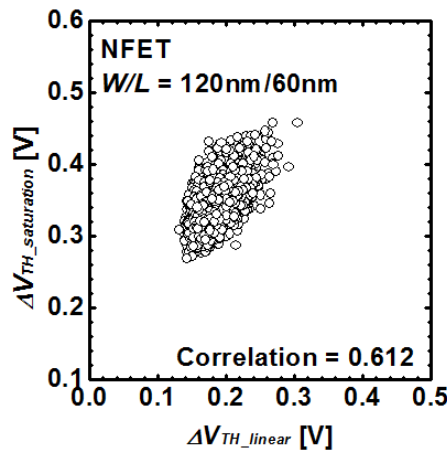
(2)ソース・ドレイン入れ替えによる考察

III-2-I- (1)図 1-2-2-25 に、NMOS のソース・ドレインを入れ替えたときの ΔV_{th} の相関を示す。III-2-I- (1)図 1-2-2-25(a)(b)はそれぞれ、線型領域と飽和領域の場合である。ここで、 $\Delta V_{th_forward}$ 、および $\Delta V_{th_reverse}$ はそれぞれ、ソース・ドレインを入れ替えた前後の ΔV_{th} である。これらの図から、線型領域では非常に高い相関があるが(相関係数:0.977)、飽和領域での相関は低いことがわかる(相関係数:0.291)。線型領域では divided line がソース・ドレイン間の中央付近に位置するため、ソースとドレインを入れ替えても ΔV_{th} はあまり変わらない。一方、飽和領域では divided line がソース側に移動することにより、ソースとドレインを入れ替えることによってチャンネル内の divided line の位置が変わり、 ΔV_{th} が大きく変化すると考えられる。

III-2-I- (1)図 1-2-2-26 に、NMOS の線型領域—飽和領域における ΔV_{th} の相関を示す。ここで、 ΔV_{th_linear} 、および $\Delta V_{th_saturation}$ はそれぞれ、線形領域と飽和領域の ΔV_{th} である。相関係数は 0.610 であり、III-2-I- (1)図 1-2-2-25(a)線形領域(相関係数:0.977)と III-2-I- (1)図 1-2-2-25(b)飽和領域(相関係数:0.291)のちょうど間にある。これは、線型領域における divided line と飽和領域における divided line が、同じ位置にはないが近い位置にあることを示しており、これまでの議論と合致する。



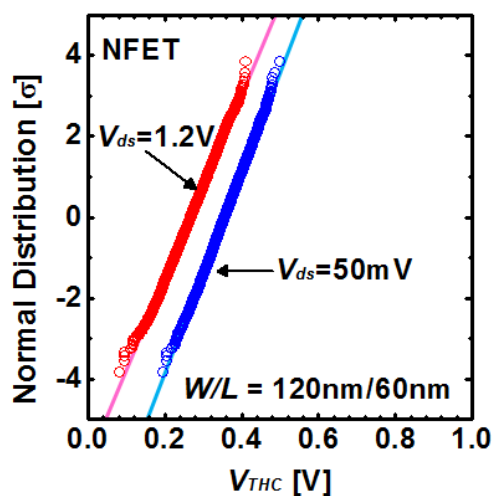
III-2-I- (1)図1-2-2-25. 8k個のNMOSを測定したソースドレインを入れ替えたときの ΔV_{TH} の相関。(a)は $V_{ds}=50\text{mV}$ 、(b)は $V_{ds}=1.2\text{V}$ である。



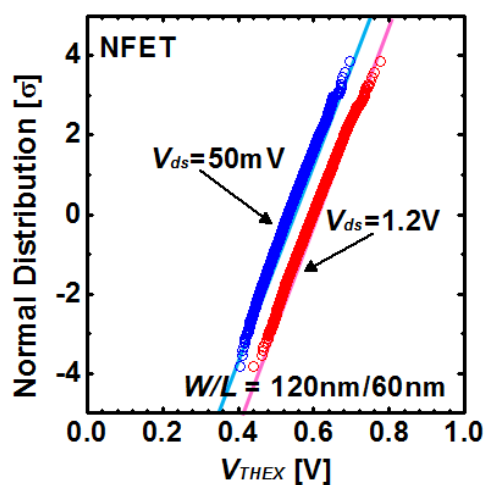
III-2-I- (1)図1-2-2-26. 8k個のNMOSを測定した線型領域と飽和領域における ΔV_{TH} の相関。

(3)累積度数分布

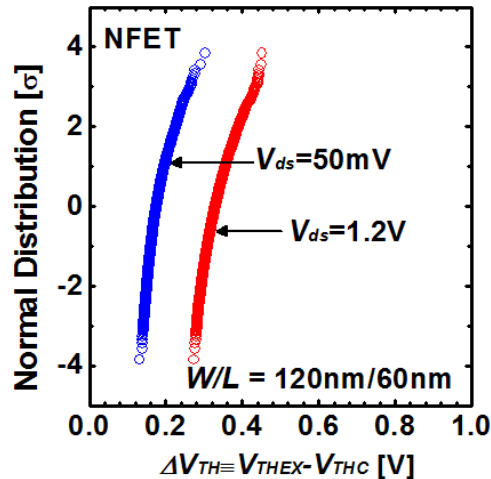
III-2-I- (1)図 1-2-2-27, III-2-I- (1)図 1-2-2-28 にそれぞれ、NMOS の線形領域と飽和領域における V_{THC} 、および V_{THEX} の累積度数分布を示す。これらの図から、 V_{THC} と V_{THEX} はともに約 $\pm 4\sigma$ まで正規分布に従うことが分かる。III-2-I- (1)図 1-2-2-29 に NMOS の線型領域と飽和領域における ΔV_{th} の累積度数分布を示す。この図から、 ΔV_{th} は線形領域、飽和領域ともに正規分布に従わないことがわかる。この原因について、 ΔV_{th} が平均ポテンシャルではなく、局所的な最小ポテンシャルによって決定されることに関連すると考えられる。



III-2-I- (1)図1-2-2-27. 8k個のNMOSを測定した線型領域と飽和領域における V_{thc} の累積度数分布.



III-2-I- (1)図1-2-2-28. 8k個のNMOSを測定した線型領域と飽和領域における V_{thex} の累積度数分布.



III-2-I- (1)図1-2-2-29. 8k個のNMOSを測定した線型領域と飽和領域における ΔV_{th} の累積度数分布

1-2-2-6. オン電流ばらつき評価・解析のまとめ

本節では、 I_{ON} ばらつきについて解析を行った。 V_{THC} のばらつきや、 $G_{m\ max}$ のばらつきといった良く知られたばらつきの成分に加えて、 ΔV_{th} 成分と名付けた電流の立ち上がり方に起因する I_{ON} ばらつきがあることを初めて見いだした。 V_{thc} 、 $G_{m\ max}$ ばらつき、そして ΔV_{th} ばらつきが I_{ON} ばらつきに寄与する大きさを調べるために、 I_{ON} ばらつきをそれぞれの成分に分離する新しい方法を開発した。

この方法によって、 I_{ON} ばらつきの原因解析を行い、飽和領域では、 V_{THC} 成分の寄与が1番大きく、 ΔV_{th} 成分が2番目に大きいことがわかった。一方、線型領域では、 G_m 成分が ΔV_{th} 成分よりも大きいことがわかった。またRDFによって生じたチャネルポテンシャルの揺らぎが、 ΔV_{th} 成分の主要因であると考えられる。RDFは、 V_{thc} 成分、 ΔV_{th} 成分ともに寄与しているため、特に飽和領域ではRDFが I_{ON} ばらつきの支配的な要因になる。 $G_{m\ max}$ ばらつきの原因についても解析を行った結果、 $G_{m\ max}$ 成分に対しては、RDFからの寄与は小さく、 L_g ばらつきが部分的に寄与しているが、RDFと L_g ばらつき以外に寄与する要因があるという知見を得た。

参考文献

- [1] Y. Taur and T. Ning, *Fundamentals of Modern VLSI Devices*, Cambridge University Press, Cambridge, England, 1998.
- [2] T. Tsunomura, A. Kumar, T. Mizutani, C. Lee, A. Nishida, K. Takeuchi, S. Inaba, S. Kamohara, K. Terada, T. Hiramoto, T. Mogami, "Analysis and Prospect of Local Variability of Drain Current in Scaled MOSFETs," in *Symp. VLSI Tech. Dig.*, 2010, pp. 97-98.
- [3] A. Kumar, T. Mizutani, K. Shimizu, T. Tsunomura, A. Nishida, K. Takeuchi, S. Inaba, S. Kamohara, K. Terada, and T. Hiramoto, "Origin of "Current-Onset Voltage" Variability in Scaled MOSFETs," in *Silicon Nanoelectronics Workshop Abst.*, 2010, pp.7-8.
- [4] T. Mizutani, A. Kumar, T. Tsunomura, A. Nishida, K. Takeuchi, S. Inaba, S. Kamohara, K. Terada, and T. Hiramoto, "Statistic Characteristics of "Current-Onset Voltage" in Scaled MOSFETs Analyzed by

- 8k DMA TEG,” in *Silicon Nanoelectronics Workshop Abst.*, 2010, pp.81-82.
- [5] T. Tsunomura, A. Kumar, T. Mizutani, A. Nishida, K. Takeuchi, S. Inaba, S. Kamohara, K. Terada, T. Hiramoto, and T. Mogami, “Origin of Larger Drain Current Variability in N-Type Field-Effect Transistors Analyzed by Variability Decomposition Method,” *Appl. Phys. Express*, vol. 3 (2010) 114201.
- [6] F. Forti and M. E. Wright, “Measurement of MOS Current Mismatch in the Weak Inversion Region,” *IEEE J. Solid-State Circuits*, vol. 29, no. 2, pp. 138-142, 1994
- [7] P. G. Drennan and C. C. McAndrew, “Understanding MOSFET Mismatch for Analog Design,” *IEEE J. Solid-State Circuit*, vol. 38, no. 3, pp. 450-456, 2003.
- [8] P. G. Drennan and C. C. McAndrew, “A Comprehensive MOSFET Mismatch Model,” in *IEDM Tech. Dig.*, 1999, pp. 167-170.
- [9] H. Yang, V. Macary, J. L. Huber, W. G. Min, B. Baird, and J. Zuo, “Current Mismatch Due to Local Dopant Fluctuations in MOSFET Channel,” *IEEE Trans. Electron Devices*, vol.50, no.11, pp. 2248-2254, 2003.
- [10] C. Alexander, G. Roy, and A. Asenov, “Random-Dopant-Induced Drain Current Variation in Nano-MOSFETs: A Three-Dimensional Self-Consistent Monte Carlo Simulation Study Using “Ab Initio” Ionized Impurity Scattering,” *IEEE Trans. Electron Devices*, vol. 55, no. 11, pp. 3251-3258, 2008.
- [11] P. Dollfus, A. Bournel, S. Galdin, S. Barraud, and P. Hesto, “Effect of Discrete Impurities on Electron Transport in Ultrashort MOSFET Using 3-D MC Simulation,” *IEEE Trans. Electron Devices*, vol. 51, no. 5, pp. 749-756, 2004.
- [12] T. Mizuno, M. Iwase, H. Niiyama, T. Shibata, K. Fujisaki, T. Nakasugi, A. Toriumi, and Y. Ushiku, “Performance Fluctuations of 0.10 μm MOS FETs – Limitation of 0.1 μm ULSIs,” in *Symp. VLSI Tech. Dig.*, 1994, pp.13 -14.
- [13] T. Linton, M. Chandhok, B. J. Rice, and G. Schrom, “Determination of the Line Edge Roughness Specification for 34 nm Devices,” in *IEDM Tech. Dig.*, 2002, pp. 303-306.
- [14] A. Asenov, S. Kaya, and A. R. Brown, “Intrinsic Parameter Fluctuations in Decananometer MOSFETs Introduced by Gate Line Edge Roughness,” *IEEE Trans. Electron Devices*, vol. 50, no. 5, pp. 1254-1260, 2003.
- [15] T. Mérelle, G. Curatola, A. Nackaerts, N. Collaerta, M.J.H. van Dal, G. Doornbos, T.S. Doornb, P. Christie, G. Vellianitis, B. Duriez, R. Duffy, B.J. Pawlak, F.C. Voogtb, R. Rooyackersa, L. Wittersa, M. Jurczaka and R.J.P. Lander, “First observation of FinFET specific mismatch behavior and optimization guidelines for SRAM scaling,” in *IEDM Tech. Dig.*, 2008, pp. 241-244.
- [16] W. Lee, J. J. -Y. Kuo, W. P. -N. Chen, P. Su, and M. -C. Jeng, “Impact of Uniaxial Strain on Channel Backscattering Characteristics and Drain Current Variation for Nanoscale PMOSFETs,” in *Symp. VLSI Tech. Dig.*, 2009, pp. 112-113.
- [17] M. Saitoh, N. Yasutake, Y. Nakabayashi, K. Uchida, and T. Numata, “Physical Understanding of V_{th} and I_{dsat} Variations in (110) CMOSFETs,” in *Symp. VLSI Tech. Dig.*, 2009, pp. 114-115.
- [18] T. Tsunomura, A. T. Putra, A. Nishida, K. Takeuchi, S. Inaba, S. Kamohara, K. Terada, and T. Hiramoto, “Validation Study of Normalizing V_{th} Fluctuation in MOSFETs by Takeuchi Plot,” in *Ext. Abstr. 69th Autumn Meet., Japan Society of Applied Physics*, 4a-E-1, 2008 [in Japanese].
- [19] T. Tsunomura, A. T. Putra, I. Yamato, A. Kumar, T. Mizutani, A. Nishida, K. Takeuchi, S. Inaba, S.

Kamohara, K. Terada, T. Hiramoto, and T. Mogami, "Variability: Measurement Study," in *Ext. Abstr. Int'l Symp. Characteristics Variability in Scaled Transistors*, pp. 6-7, 2011.

1-2-3. NBTIストレス電圧印加による V_T ばらつきの評価・解析

1-2-3-1. はじめに

NBTIとは、高温化でPMOSのゲートに負電圧を印加しつづけると、 V_T が変動する現象である[1-9]。そして、ゲートのストレス電圧を解放すると回復が起きる。III-2-I- (1)図 1-2-3-1 に、ストレス電圧印加によるPMOSの I_{ds} - V_{gs} 特性の変動を示す。この節では $L_g = 60$ nm、 $W_g = 120$ nmのPMOSを評価した。 $V_{gs} = -1.2$ Vのストレス電圧を印加することにより、 $|V_T|$ が高くなる方向に V_T が変動していることがわかる。 10^5 秒ストレス電圧を印加した後にストレス電圧を解放した。すると今度は、 $|V_T|$ が低くなる方向に特性が回復していることがわかる。また、III-2-I- (1)図 1-2-3-2 に二つのPMOSの V_T 変動を示す。この節では V_{THC} を V_T の定義として用いる。ここで評価したPMOS(A)とPMOS(B)は同じチップの中にある二つのPMOSであるが、 V_T 変動の時間依存性が全く異なることがわかる。このため、NBTIストレス電圧印加により V_T ばらつきの大きさも変化する[10-15]。本節では、NBTI測定用のDMA-TEGを用いて[16-17]、NBTIストレス電圧印加が V_T ばらつきに及ぼす影響について調べた。

1-2-3-2. NBTIストレス電圧印加が V_T ばらつきに及ぼす影響

NBTIストレス電圧印加による V_T 変動を評価する上で問題になるのが、特性の回復である。III-2-I- (1)図 1-2-3-3 にストレス電圧印加中の I_{ds} の変化と、ストレス電圧解放直後の I_{ds} 変化を示す。ストレス電圧解放後は、Random Telegraph Noise (RTN)測定と同様に 10μ 秒間隔で連続測定を行った。 I_{ds} 測定中は $V_{gs} = -0.5$ Vに固定して測定を行った。これによると、今回測定したPMOSではストレス電圧を解放後1 m秒後に回復が始まっている。このように非常に短い時間で回復が始まるため、ストレス電圧印加中の測定は極力短時間で実施する必要がある[18-20]。本開発では、 V_{gs} 1点あたり 10μ 秒、 $V_{gs} = -0.2$ Vから -0.1 V間隔で -1.2 Vまで V_{gs} を変化させて1PMOS当たり 260μ 秒で I_{ds} - V_{gs} 特性を測定している。また、NBTI用のDMA-TEGでは、測定対象のPMOSだけストレス電圧が解放され、それ以外の非測定対象のPMOSについてはストレス電圧が印加され続け、特性が回復しないようになっている[16, 17]。しかし特性回復の時間依存性は、PMOSごとに異なっており、 I_{ds} の測定中に回復が始まってしまうPMOSが存在することもありうる。このため、測定された I_{ds} - V_{gs} 特性や、 V_T は回復の影響を受けている可能性がある。

16000個PMOSのストレス電圧印加と解放による V_T 変動を測定した。 V_T メディアン値と、 σV_T の変化III-2-I- (1)図 1-2-2-4 に示す。 V_T メディアン値は上昇、 σV_T は増大していることがわかる[11, 12, 15]。またストレス電圧解放 10^5 秒を経過した後も、ストレス電圧印加前の水準には戻らないことがわかる[3]。今回測定したデータを用いて、10年後の特性変動の見積もり方法を検討した。図 1-2-3-5には、メディアン V_T のストレス電圧印加前からの変動量($\Delta|\text{Median } V_T|$)とストレス電圧印加時間の関係を示す。 $\Delta|\text{Median } V_T|$ は次式の通り計算される。

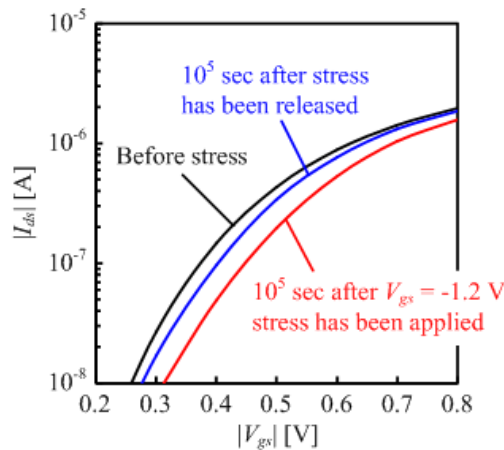
$$\Delta|\text{Median } V_T| = |\text{Median } V_T (\text{Stress application time})| - |\text{Median } V_T (\text{Before stress})| \quad (1-2-3-1)$$

また、 $\text{Log}(\Delta|\text{Median } V_T|)$ はストレス電圧印加時間の対数と比例しているため[2, 12]、線型外挿法により10年後

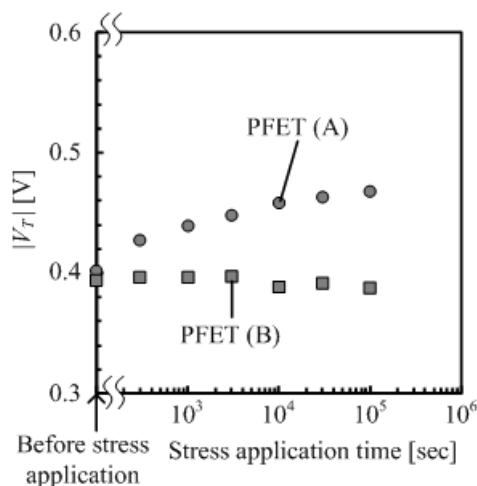
までの変化を予測した。 σV_T の変動量($\Delta(\sigma V_T)$)を次式に基づいて計算した。

$$\Delta(\sigma V_T) = \sqrt{\sigma V_T (\text{Stress application time})^2 - \sigma V_T (\text{Before stress})^2} \quad (1-2-3-2)$$

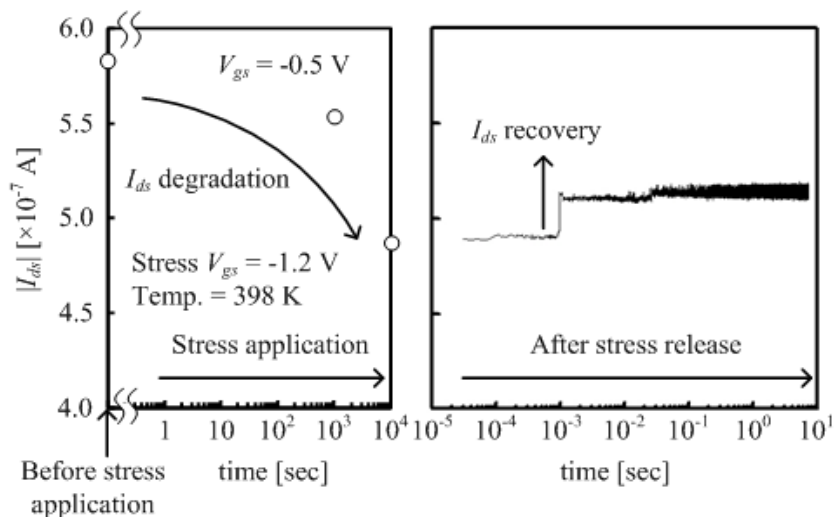
$\Delta(\sigma V_T)$ と変動量の対数を III-2-I- (1)図 1-2-3-6 に示す。Log($\Delta(\sigma V_T)$)とストレス電圧印加時間の対数と比例しているため[15]、線型外挿法により 10 年後までの変化を予測した。このようにして外挿した $\Delta|\text{Median } V_T|$ と、 $\Delta(\sigma V_T)$ から、メディアン V_T と σV_T の 10 年後の予測値を計算した。結果を III-2-I- (1)図 1-2-3-7 と、III-2-I- (1)図 1-2-3-8 に示す。これらの予測値から、メディアン V_T は 10 年後に 60 mV、 σV_T は 10 mV 増大することになる。そして一度劣化した特性は図 1-2-3-7 でも示したようにストレス電圧印加前の状態には戻らないと予想される[3]。



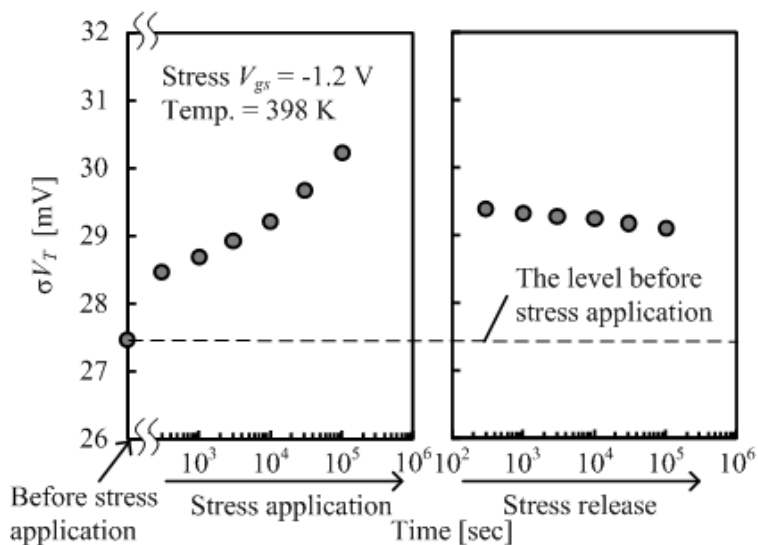
III-2-I- (1)図1-2-3-1. ストレス電圧印加および解放による、PMOSトランジスタの I_{ds} - V_{gs} 特性の変化の例。ストレス電圧印加により、 I_{ds} - V_{gs} 特性は、 $|V_T|$ が上昇する方向に変動する。ストレス電圧を解放すると、 $|V_T|$ が下降する方向に I_{ds} - V_{gs} 特性が変動する。



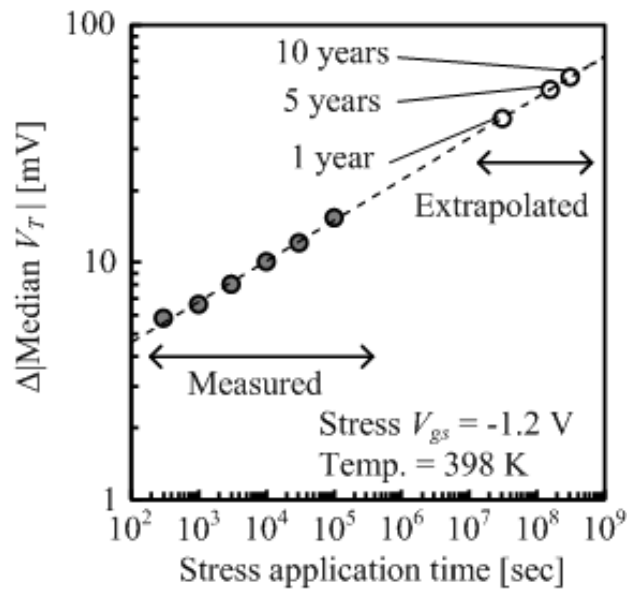
III-2-I- (1)図1-2-3-2 V_T 変動の時間依存性(測定)。PMOSトランジスタ(A)とPMOSトランジスタ(B)は同じチップ内にあるが、 V_T 変動の時間依存性は異なる。



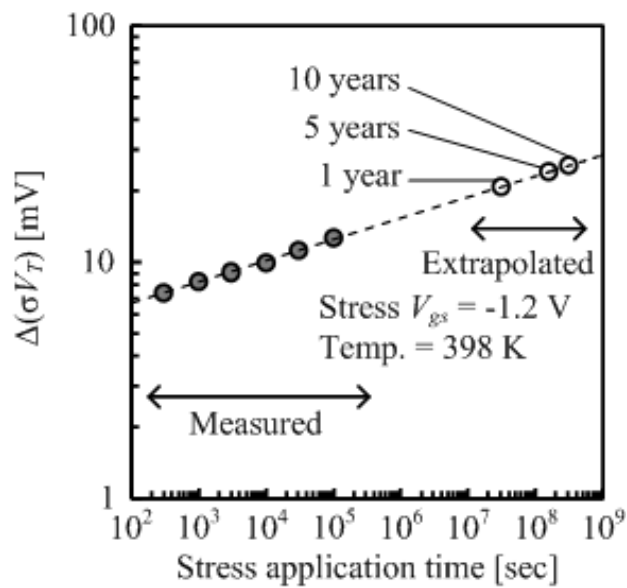
III-2-I- (1)図1-2-3-3. ストレス電圧印加中、およびストレス電圧解放直後のPMOSトランジスタにおける I_{ds} の変化の測定値。ストレス電圧を解放して、1m秒後には回復が始まっている。



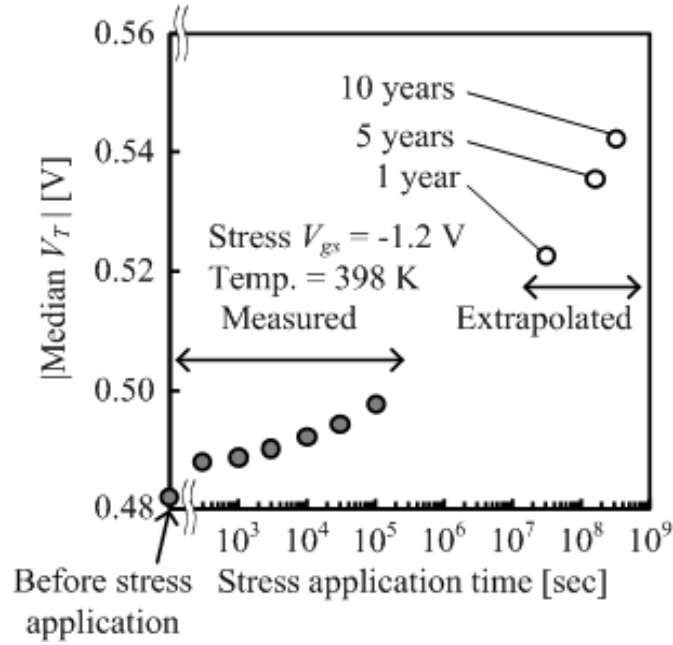
III-2-I- (1)図1-2-3-4 ストレス電圧印加及び解放による、(a)メディアン V_T 、(b) σV_T の測定値。ストレス電圧の解放により、特性は元の状態に向かって回復するが、ストレス印加前の状態までは戻らない。



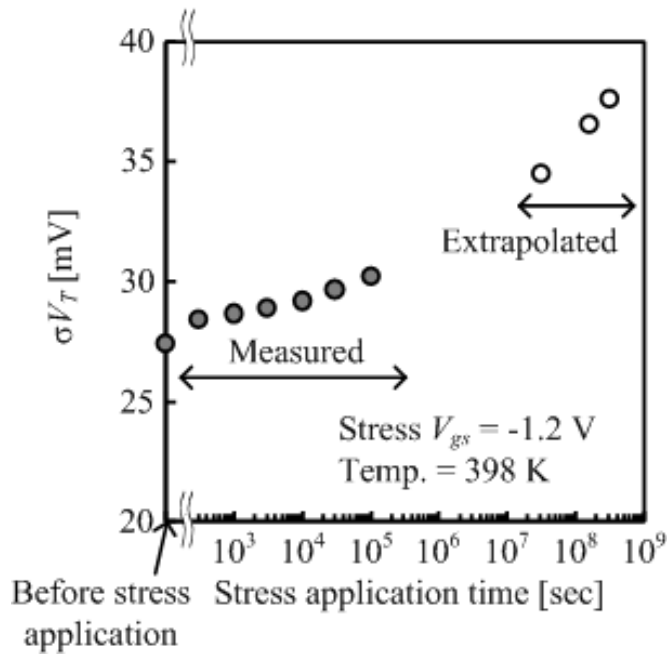
III-2-I- (1)図1-2-3-5. メディアン V_T の変動量($\Delta|\text{Median } V_T|$)の時間依存性(測定値)。1年後から10年後のデータは、300秒から 10^5 秒までの測定結果を外挿したものである。



III-2-I- (1)図1-2-3-6. σV_T の変動量($\Delta(\sigma V_T)$)の時間依存性(測定値)。1年後から10年後のデータは、300秒から 10^5 秒までの測定結果を外挿したものである。



III-2-I- (1)図1-2-3-7. 図1-2-3-5の $\Delta|Median V_T|$ と、式(1-2-3-1)を用いて外挿した、 $|Median V_T|$ の時間外挿値。



III-2-I- (1)図1-2-3-8. 図1-2-3-6の $\Delta(\sigma V_T)$ と、式(1-2-3-2)を用いて外挿した、 σV_T の時間外挿値。

1-2-3-3. NBTIストレス電圧印加による V_T ばらつき評価・解析のまとめ

デバイス特性ばらつきに与える、実製品使用負荷の影響を調べるために、加速した実使用負荷を印加して V_{th} ばらつきを評価した。負荷解放後の特性回復現象を最小とし正確な特性ばらつきを評価するために、1-1 で述べた専用の評価 TEG と超高速測定システムとを開発し、測定の妥当性、従来手法からの改善を検証した。10⁵ 秒の加速負荷を印加した後の測定データを用いて、ばらつきを含む 10 年後までの特性変動予測を

行うことを可能にした。予測されたメディアン V_T や σV_T の変化量は小さくなく、高温環境化で長時間の信頼性が要求される LSI では、メディアン V_T だけでなく σV_T の変動も評価することが重要であることを示した。

参考文献

- [1] N. Kimizuka, K. Yamaguchi, K. Imai, T. Iizuka, C.T. Liu, R.C. Keller and T. Horiuchi, “NBTI enhancement by nitrogen incorporation into ultrathin gate oxide,” in *Symp. VLSI Tech. Dig.*, 2000, pp. 92-93.
- [2] S. Mahapatra and M. A. Alam, “A Predictive Reliability Model for PMOS Bias Temperature Degradation,” in *IEDM Tech. Dig.*, 2002, pp. 505-508.
- [3] V. Huard, C. Parthasarathy, N. Rallet, C. Guerin, M. Mammase, D. Barge, C. Ouvrard, “New characterization and modeling approach for NBTI degradation,” in *IEDM Tech. Dig.*, 2007, pp. 797-800.
- [4] T. Grasser, B. Kaczer, P. Hehenberger, W. Gös, R. O’Connor, H. Reisinger, W. Gustin, and C. Schlünder, “Simultaneous Extraction of Recoverable and Permanent Components Contributing to Bias-Temperature Instability,” in *IEDM Tech. Dig.*, 2007, pp. 801-804.
- [5] E. N. Kumar, V. D. Maheta, S. Purawat, A. E. Islam, C. Olsen, K. Ahmed, M. A. Alam, and S. Mahapatra, “Material Dependence of NBTI Physical Mechanism in Silicon Oxynitride (SiON) p-MOSFETs: A Comprehensive Study by Ultra-Fast On-The-Fly (UF-OTF) I_{DLIN} Technique,” in *IEDM Tech. Dig.*, 2007, pp. 809-812.
- [6] T. Grasser, H. Reisinger, W. Goes, Th. Aichinger, Ph. Hehenberger, P.-J. Wagner, M. Nelhiebel, J. Franco, and B. Kaczer, “Switching Oxide Traps as the Missing Link Between Negative Bias Temperature Instability and Random Telegraph Noise,” in *IEDM Tech. Dig.*, 2009, pp. 729-732.
- [7] A. E. Islam, S. Mahapatra, S. Deora, V. D. Maheta, and M. A. Alam, “On the Differences between Ultra-fast NBTI Measurements and Reaction-Diffusion Theory,” in *IEDM Tech. Dig.*, 2009, pp. 733-736.
- [8] Z. Q. Teo, D. S. Ang, and K. S. See, “Can the Reaction-Diffusion Model Explain Generation and Recovery of Interface States Contributing to NBTI?,” in *IEDM Tech. Dig.*, 2009, pp. 737-740.
- [9] B. Kaczer, T. Grasser, Ph. J. Roussel, J. Martin-Martinez, R. O’Connor, B. J. O’Sullivan, G. Groeseneken, “UBIQUITOUS RELAXATION IN BTI STRESSING—NEW EVALUATION AND INSIGHTS,” in *Proc. Int. Rel. Phys. Symp.*, 2008, pp. 20-27.
- [10] M. Agostinelli, S. Pae, W. Yang, C. Prasad, D. Kencke, S. Ramey, E. Snyder, S. Kashyap, and M. Jones, “Random charge effects for PMOS NBTI in ultra-small gate area devices,” in *Proc. Int. Rel. Phys. Symp.*, 2005, pp. 529-532.
- [11] V. Huard, C. Parthasarathy, C. Guerin, T. Valentin, E. Pion, M. Mammase, N. Planes and L. Camus, “NBTI Degradation: From Transistor To SRAM Arrays,” in *Proc. Int. Rel. Phys. Symp.*, 2008, pp. 289-300.
- [12] H. Aono, E. Murakami, K. Shiga, F. Fujita, S. Yamamoto, M. Ogasawara, Y. Yamaguchi, K. Yanagisawa, and K. Kubota, “A Study of SRAM NBTI by OTF measurement,” in *Proc. Int. Rel. Phys. Symp.*, 2008, pp. 67-71.
- [13] B. Kaczer, T. Grasser, Ph. J. Rouse, J. Franco, R. Degraeve, L.-A. Ragnarsson, E. Simoen, G.

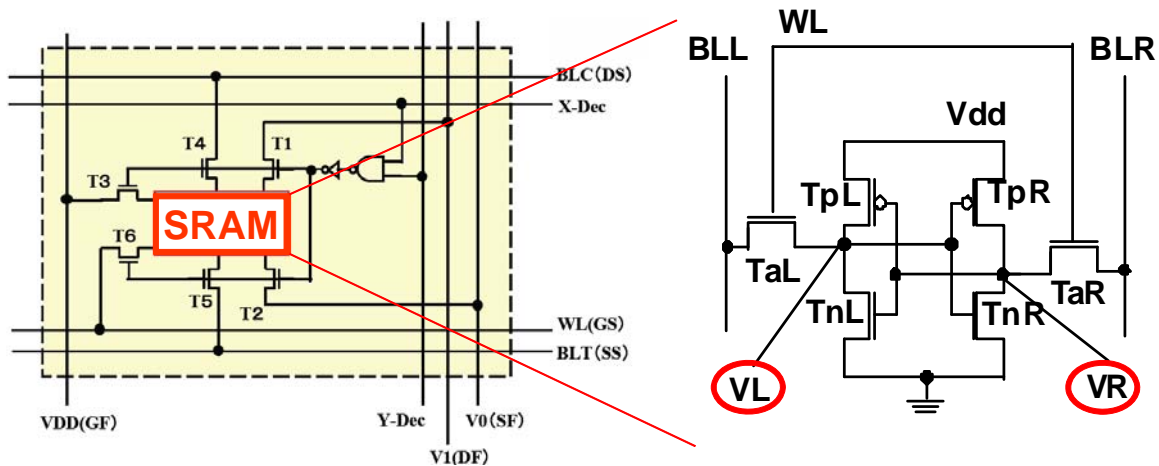
- Groeseneken, H. Reisinger, "Origin of NBTI Variability in Deeply Scaled pFETs," in *Proc. Int. Rel. Phys. Symp.*, 2010, pp. 26-32.
- [14] T. Fischer, E. Amirante, K. Hofmann, M. Ostermayr, P. Huber, and D. S. Landsiedel, "A 65nm test structure for the analysis of NBTI induced statistical variation in SRAM transistors," in *Proc. ESSDERC*, 2008, pp. 51–54.
- [15] S. Pae, J. Maiz, C. Prasad, and B. Woolery, "Effect of BTI Degradation on Transistor Variability in Advanced Semiconductor Technologies," *IEEE Transactions on Device and Materials Reliability*, vol. 8, no. 3, pp. 519-525, 2008.
- [16] T. Hiramoto, "Robust Design of Transistor Technology," in *Abst. Debrief session of MIRAI project*, 2009, pp. 33-45.
- [17] T. Hiramoto, "Robust Design of Transistor Technology," in *Abst. Debrief session of MIRAI project*, 2010, pp. 37-49.
- [18] C. Shen, M. F. Li, X. P. Wang, H. Y. Yu, Y. P. Feng, A. T.-L. Lim, Y. C. Yeo, D. S. H. Chan, D. L. Kwong, "Negative U Traps in HfO₂ Gate Dielectrics and Frequency Dependence of Dynamic BTI in MOSFETs," in *IEDM Tech. Dig.*, 2004, pp. 733-736.
- [19] J. P. Campbell "NBTI: Confusion, Frustration, and...Promise?," in *Int. Rel. Phys. Symp.*, 2010, *Tutorial*, 122.
- [20] M. Denais, A. Bravaix, V. Huard, C. Parthasarathy, G. Ribes, F. Perrier, Y. Rey-Tauriac, N. Revi, "On-the-fly characterization of NBTI in ultra-thin gate oxide PMOSFET's," in *IEDM Tech. Dig.*, 2004, pp. 109-112.

1-2-4. SRAM特性ばらつきの評価・解析

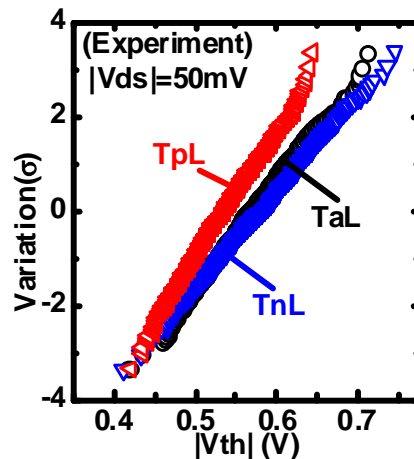
本章では、本開発で試作した 16k ビットの SRAM(Static Random Access Memory)の DMA-TEG とその評価結果を述べた後に、SRAM セルの不安定性メカニズムの解明結果について述べる。トランジスタのばらつきに起因する SRAM セルの不安定性は、集積回路における最大の課題の一つである。論理 LSI の歩留りや最低動作電圧 V_{dmin} は SRAM で決まることが多い。したがって、SRAM セルの不安定性をトランジスタレベルで解析し SRAM の安定性を向上させることが不可欠である。しかし、大規模な SRAM セルの SNM や個々のトランジスタ特性を直接測定し統計データをとることはこれまで困難であった。また、回路シミュレーションによる SNM や V_{dmin} は必ずしも実測とは一致しないことが多かった。

1-2-4-1. SRAMのDMA-TEG

16k ビット SRAM DMA-TEG は、以前に我々が試作したトランジスタの完全分離型 DMA-TEG をもとに、DUT を SRAM セルに置き換えて設計した。III-2-I- (1)図 1-2-4-1 に示したとおり、セルから、 V_{dd} 、 GND 、 WL 、 BLL 、 BLR のみでなく、内部記憶ノード VL と VR も引き出した。したがって、SNM と個々のトランジスタ特性を直接測定することが可能である。III-2-I- (1)図 1-2-4-2 は、測定した PMOS、ドライバ NMOS、アクセス NMOS の線形領域における V_{th} の累積度数分布である。個々のトランジスタの V_{th} は正規分布していることが確認できる。



III-2-I- (1)図 1-2-4-1 SRAM DMA TEG の回路模式図と、6トランジスタ SRAM の回路図

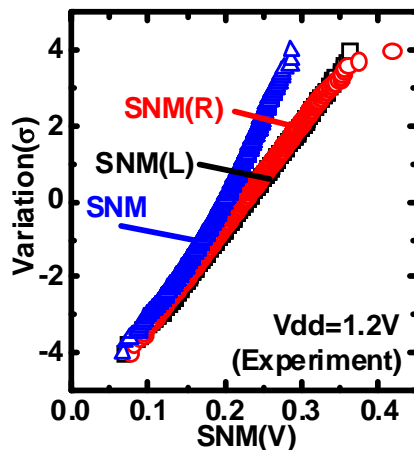


III-2-I- (1)-P93

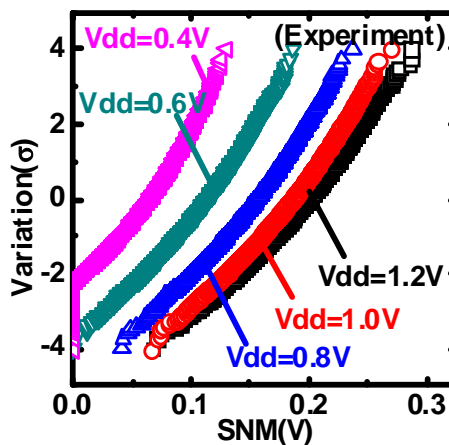
1-2-4-2. SNMの測定とばらつき解析

III-2-I- (1)図 1-2-4-3 は、測定した 16k ビットセルの SNM の累積度数分布である。SNM は、左右の SNM(SNM(L)と SNM(R))の小さい方で定義される。SNM は正規分布から外れているが、片側の SNM(SNM(L)と SNM(R))はいずれも $\pm 4\sigma$ まで正規分布に従っていることがわかる。この結果は、大規模 SRAM の安定性を予測する際に極めて有用である。

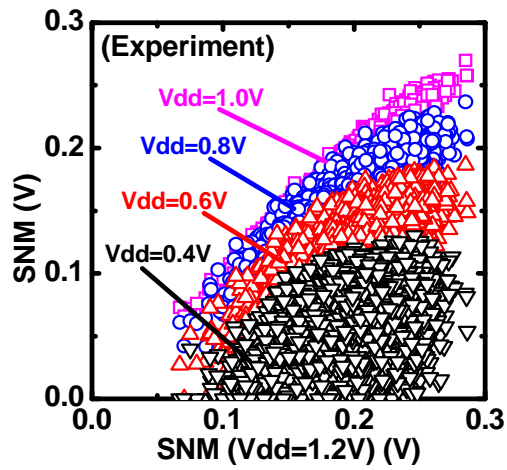
III-2-I- (1)図 1-2-4-4 に、測定した SNM の電源電圧 V_{dd} 依存性を示す。低い V_{dd} では SNM が劣化していくことがわかる。III-2-I- (1)図 1-2-4-5 は、 $V_{dd}=1.2V$ における SNM と低い V_{dd} における SNM との相関である。注目すべきことは、 $V_{dd}=1.2V$ の SNM と $V_{dd}=0.4V$ の SNM の相関が極めて低いことである。III-2-I- (1)図 1-2-4-6 に示したとおり、 $V_{dd}=1.2V$ における SNM は大きいとしても $V_{dd}=0.4V$ ではセルによって大きく異なり、 $V_{dd}=0.4V$ で Fail するビットも存在している。III-2-I- (1)図 1-2-4-7 のように、セルによって V_{dd} 依存性は大きく異なる。



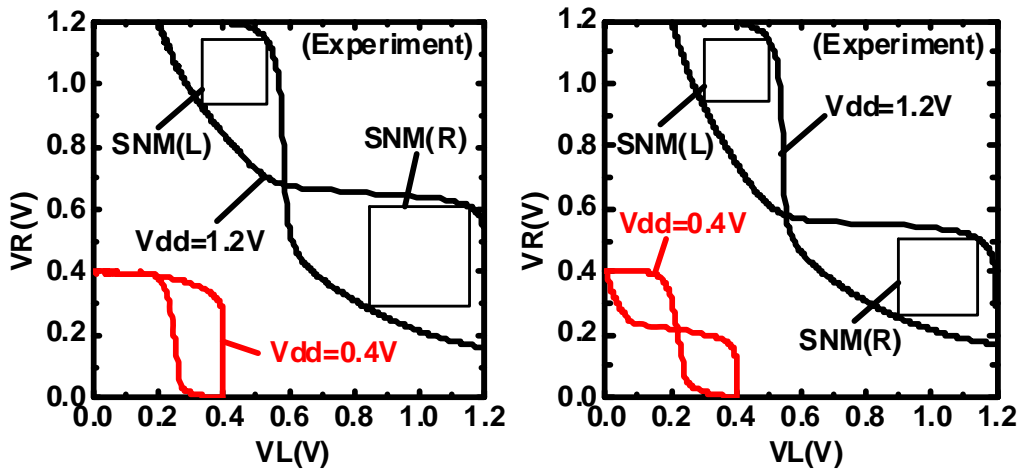
III-2-I- (1)図 1-2-4-3 SRAM DMA TEG で測定した SNM の累積度数分布



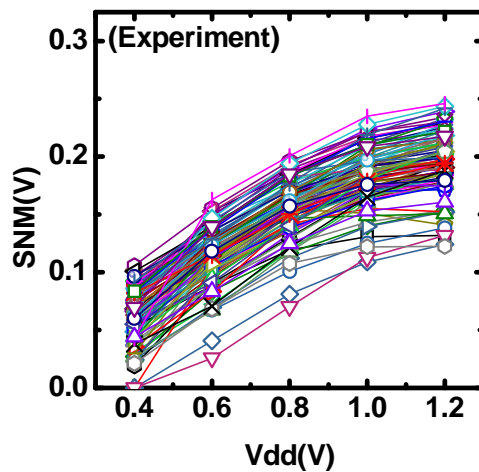
III-2-I- (1)図 1-2-4-4 SRAM DMA TEG で測定した SNM 分布の電源電圧依存性



III-2-I- (1)図 1-2-4-5 1.2VにおけるSNMとその他の電源電圧におけるSNMとの相関



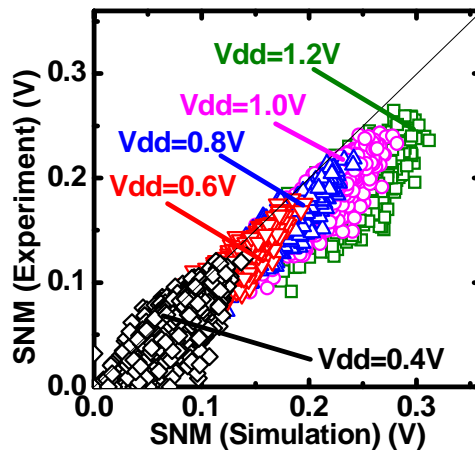
III-2-I- (1)図 1-2-4-6 1.2VにおけるSNMが同じ2つのセルにおけるバタフライカーブ



III-2-I- (1)図 1-2-4-7 SNMの電源電圧(V_{dd})依存性

1-2-4-3. 測定 V_{th} を用いたシミュレーションによるSNMばらつき解析

SRAM DMA-TEG では、セル内の6つのトランジスタの V_{th} をそれぞれ直接測定することができるため、それらの実測 V_{th} を用いてSNMの回路シミュレーションを行うことが可能である。III-2-I-(1)図1-2-4-8は、実測のSNMとシミュレーションによるSNMの比較である。実測SNMのばらつきが大きく、大多数のセルでは、実測 V_{th} を用いているにもかかわらずシミュレーションのSNMの方が実測SNMより大きい。この原因は、このシミュレーションでは実測の V_{th} のみしか考慮しておらず、電流ばらつきやDIBLばらつきを考慮していないためと考えられる。



III-2-I-(1)図1-2-4-8 実測 V_{th} を用いて行ったSNMの回路シミュレーションと、実測したSNMとの相関

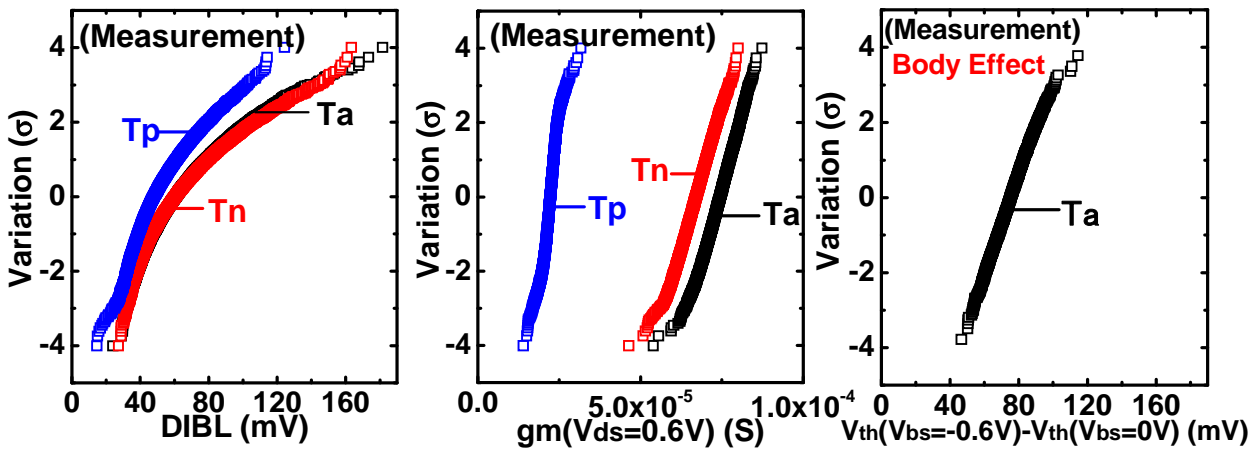
1-2-4-4. DIBL、 g_m 、基板バイアス係数の影響

そこで、DIBL、 g_m 、基板バイアス係数のばらつきを実測した。その結果をIII-2-I-(1)図1-2-4-9に示す。 V_{th} 以外のパラメータも大きくばらついていることがわかる。ここでは、 V_{th} は飽和領域の電流一定法で定義したしきい値である。また、ドライバMOSをTn、アクセスMOSをTa、負荷MOSをTpと表記する。

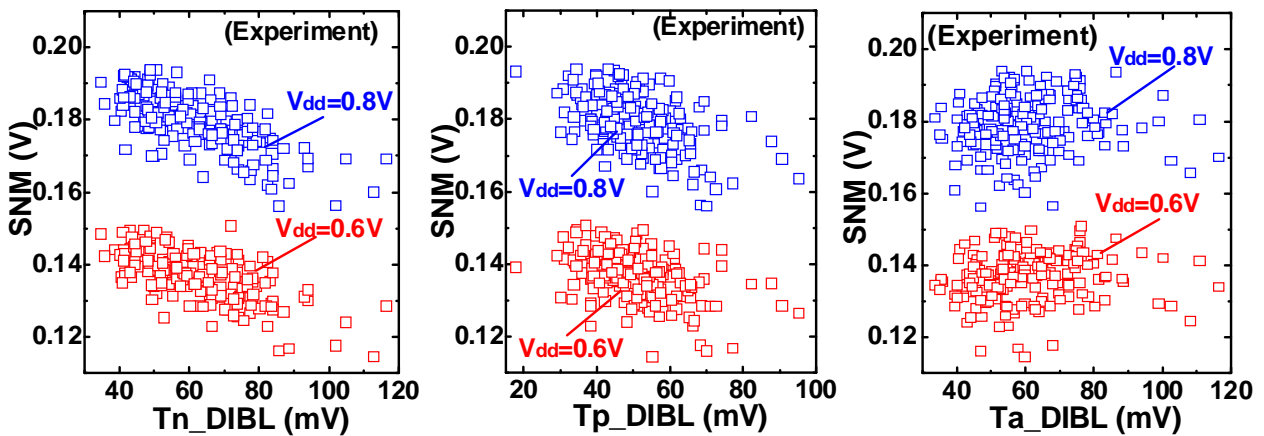
V_{th} ばらつき以外のパラメータがSNMに与える影響を調べるため、ユニークな方法を用いた。16KのSRAMには32kの-halfセル(以下、HCと表す)が存在する。その中から3つのトランジスタの V_{th} が等しいHCを抽出した。これにより V_{th} ばらつきの効果は除外できる。III-2-I-(1)図1-2-4-10に抽出した183個のHCにおけるSNMと各トランジスタのDIBLとの関係を示す。明らかにTnとTpのDIBLによりSNMが劣化していることがわかる。一方、TaのDIBLはSNMに影響を与えない。また、 g_m (III-2-I-(1)図1-2-4-11)と基板バイアス係数についてもこのような依存性は観測されなかった。これらの結果より、DIBLばらつきがSNMばらつきに大きな影響を与えることが明らかとなった。

実測した V_{th} 、 g_m 、DIBLを用いてSNMのシミュレーションを行い、実測したSNMと比較した。先にIII-2-I-(1)図1-2-4-8で示したとおり、実測の V_{th} のみを用いても回路シミュレーションと実測のSNMは位置しない。ところが、実測の V_{th} 、 g_m に加えてDIBLも用いて回路シミュレーションを行うと、III-2-I-(1)図1-2-4-12のように実測とシミュレーションがよく一致する。以上の結果より、SRAMの安定性を定量的に設計

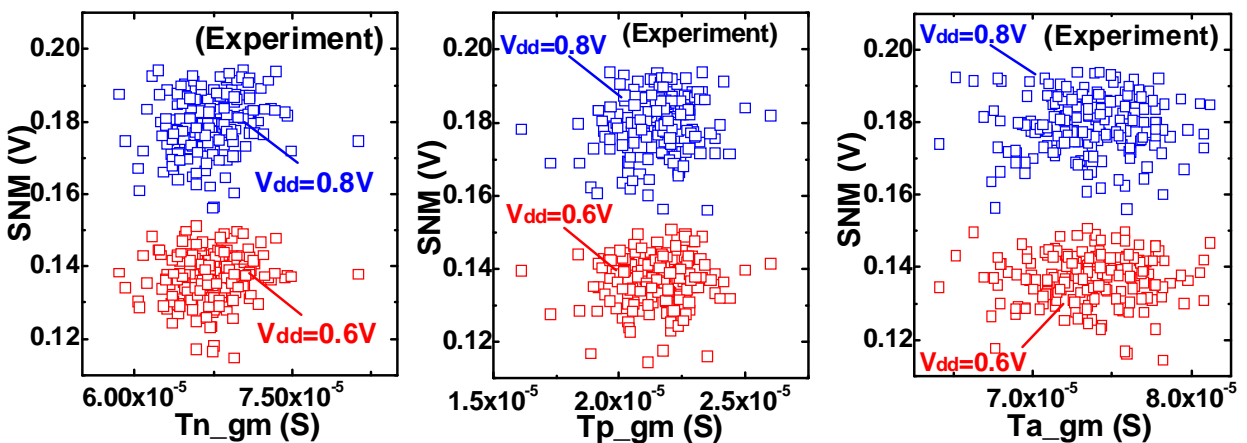
するためには、DIBL ばらつきをシミュレーションに取り入れることが必須であることが明らかとなった。



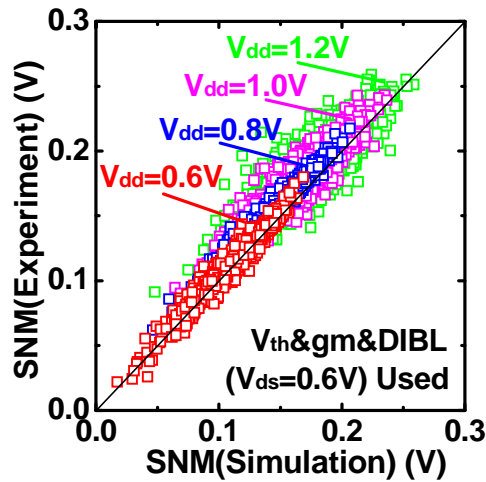
III-2-I- (1)図 1-2-4-9 DIBL, g_m , 基板バイアス係数の累積度数分布



III-2-I- (1)図 1-2-4-10 T_n , T_p , T_a における DIBL と SNM との相関



III-2-I- (1)図 1-2-4-11 T_n , T_p , T_a における g_m と SNM との相関



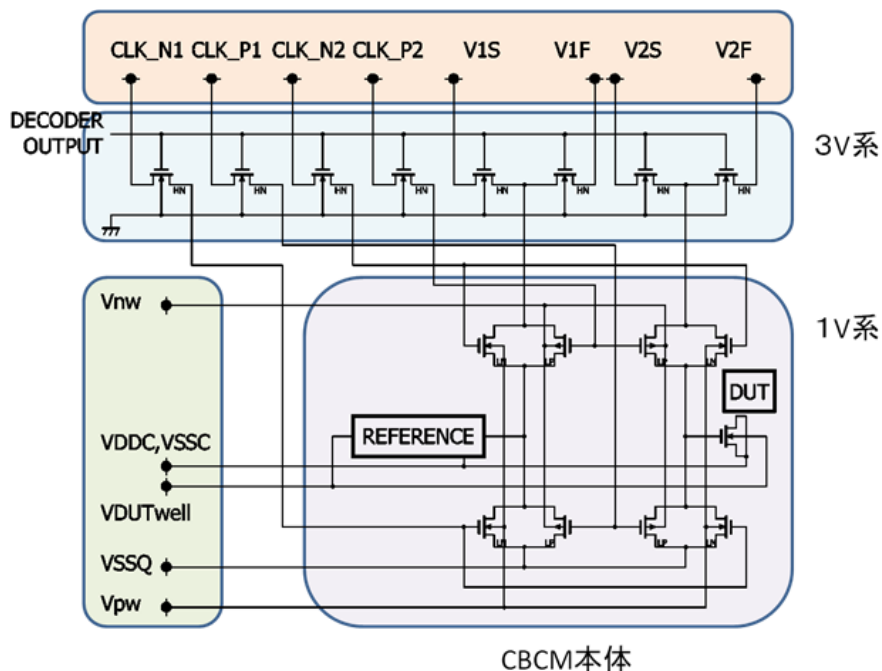
III-2-I- (1)図 1-2-4-10 実測 V_{th} に加えて実測の DIBL, g_m も用いて行った SNM の回路シミュレーションと, 実測した SNM との相関

1-2-4-5.SRAM特性ばらつき評価・解析のまとめ

SRAM ミニアレイを DUT に置き換えて、SRAM の SNM 特性と、SRAM を構成する個々の MOS トランジスタの単体特性が評価可能な DMA-TEG を開発した。開発した DMA-TEG を用いて、SRAM の SNM ばらつきや各トランジスタの V_{th} 、DIBL、 g_m 、基板バイアス係数を実測し、それぞれの相関を調べた。その結果、SRAM の安定性には、 V_{th} のばらつきのみではなく、DIBL のばらつきがが大きい影響を与えていることを明らかにした。SRAM の安定性を正確に見積もるには、DIBL ばらつきを考慮し、その改善が重要、かつ必須であるという指針を得た。

1-2-5. ゲート容量ばらつきの評価・解析

ゲート容量特性が正確に得られると MOSFET の重要なパラメータであるしきい値(V_{th})、等価酸化膜厚 (EOT)、フラットバンド電圧(V_{fb})等を求めることが可能となる。そして、多数のゲート容量特性が測定できれば、そのばらつきから上述のパラメータばらつきを推定することが可能となる。よって、ゲート容量ばらつきを得るために、実寸法における多数の MOSFET ゲート容量を効率よく測定するための DMA-TEG を開発した。ゲート容量はCBCM (Charge-Based Capacitance Measurement) を用いて測定を行った。この測定方法は回路の DC 電流を測定することで簡便に容量を求めることができる。また、その測定精度は sub-fF のオーダーを有することから、近年では MOSFET の容量測定にも応用されている。開発した DMA-TEG は DUT を含む 64 個(=8 行×8 列)のセルとそれを選択するデコーダ回路から構成される。この DMA-TEG は 64 個のセルのうち、デコーダ回路の出力により Column 線と Row 線の両方がアクティブになるセルが一つだけ選択される。III-2-I-(1)図 1-2-5-1 にセルの等価回路図を示す。

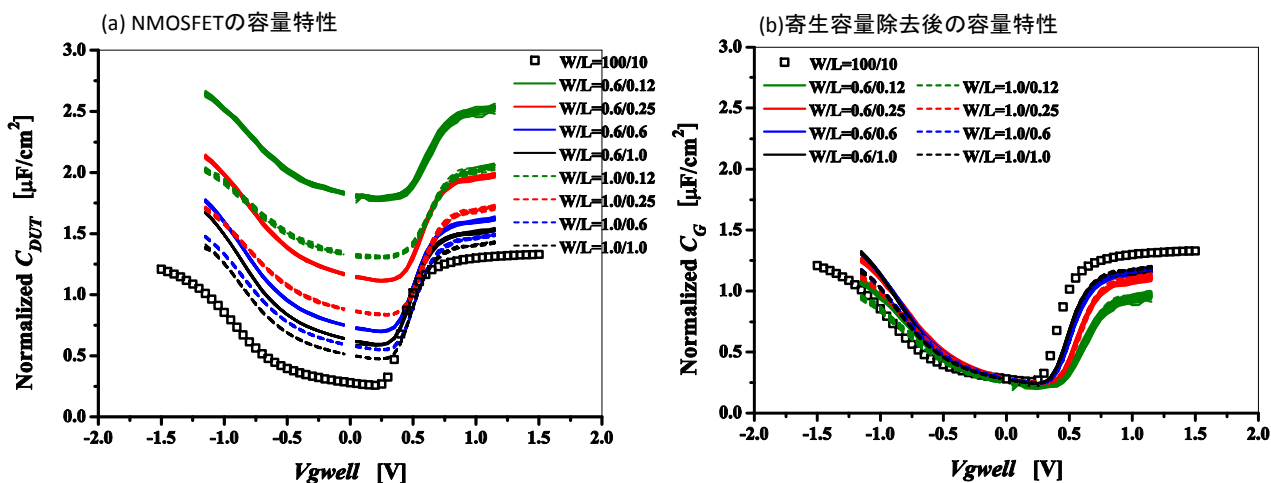


III-2-I-(1)図 1-2-5-1. ユニットセルの等価回路図

1つのセルは、主に 3.3V 系 0.6 μ m プロセスで設計されたトランジスタから成る NMOS トランスファゲート部(III-2-I-(1)図 1-2-5-1 の水色の領域)と 1.2V 系 65 nm プロセスで設計されたトランジスタから成る CBCM 本体部(III-2-I-(1)図 1-2-5-1 の薄紫の領域)に分けられる。選択されたセルは、デコーダ回路の出力を受けた NMOS トランスファゲート部がオン状態となり、薄橙で囲まれた CLK_N1 から V2F の端子に印加されたバイアス電圧が CBCM 本体部に導通する。DUT は CBCM 本体部の直列接続された 2 つのトランスマッションゲート の中間ノードに接続されている。このトランスマッションゲートに外部から端子 CLK_N1/P1/N2/P2 を通じて与えられる制御パルスにて DUT への充放電を引き起こす。V1F/S、V2F/S の端子は、CBCM 本体部に正確にバイアス電圧を印加するために、ケルビン接続を採用している。それらの端

子における F と S はそれぞれ Force と Sense を表しており、端子 V1F と V2F を流れる DC 電流を測定することで DUT のゲート容量を求めることができる。一方、薄緑で囲まれた V_{nw} から V_{pw} までの端子に印加される電圧は全 64 セル共通にバイアスされる。

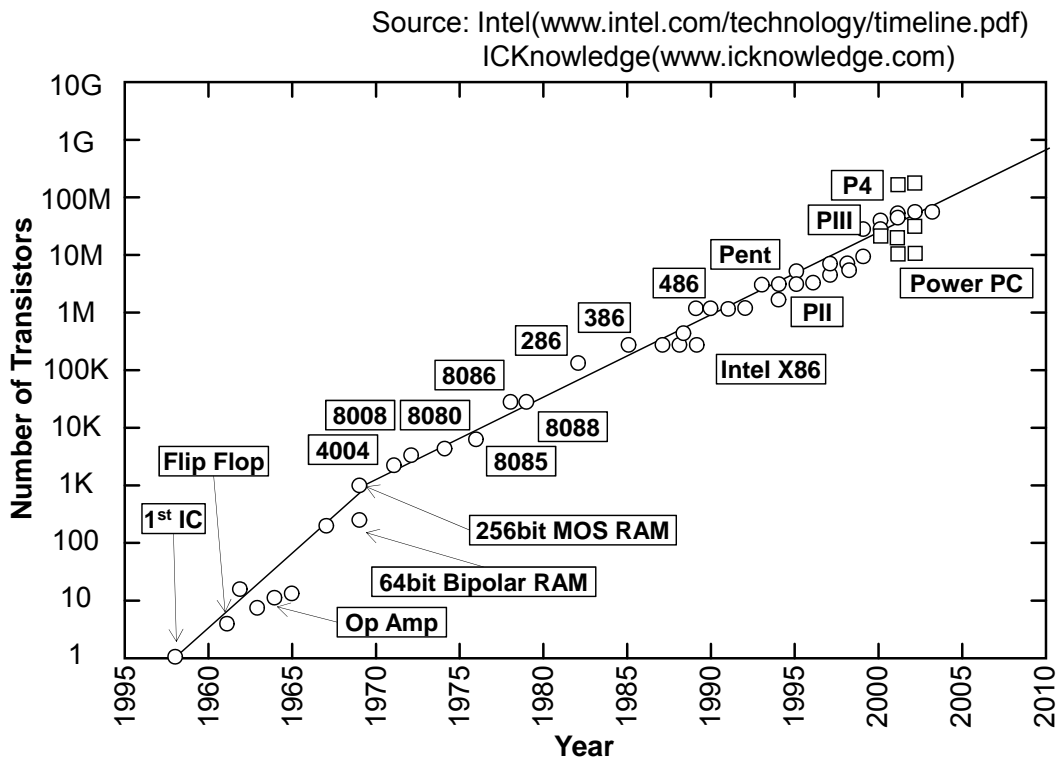
上記のような DMA-TEG を用いて CBCM 法により、MOSFET のゲート容量特性を測定した。DUT が NMOS の場合の結果を例として、III-2-I- (1) 図 1-2-5-2(a) に示す。図の横軸は DUT のゲート-ウェル間にかかる実効電圧 V_{gwell} である。縦軸は得られた DUT の容量 C_{DUT} を各ゲート面積 LW で割って規格化している。得られた容量特性は、いわゆる MOSFET の蓄積状態から空乏・反転状態へとゲート電圧に応じて変化する $C-V$ (capacitance-voltage) 曲線を示していることがわかる。また、各サイズにおいて 24 個分の容量特性が示されており、それぞれのサイズにおいて容量特性がばらつきを持っていることがわかる。図の □ で表される容量特性は、 $W=100\mu\text{m}$ 、 $L=10\mu\text{m}$ のサイズのもので、これは CBCM ではなく一般的な方法にて容量評価用素子から得られたものである。単位面積当たりの容量が同じにならず、素子サイズが小さくなるにつれて容量特性が上にシフトしているのは、DUT に含まれる寄生容量のためである。この DUT に含まれる寄生容量を除去した後の容量特性を III-2-I- (1) 図 1-2-5-2(b) に示す。□ で示される容量評価用素子の特性とよく一致していることがわかる。よって本開発の結果、MOSFET のサイズ効果を取り除くことができ、ゲート容量が精度よく測定できることがわかる。



III-2-I- (1) 図 1-2-5-2. 容量特性

1-2-6. 超大規模DMA-TEGの特性ばらつき評価・解析

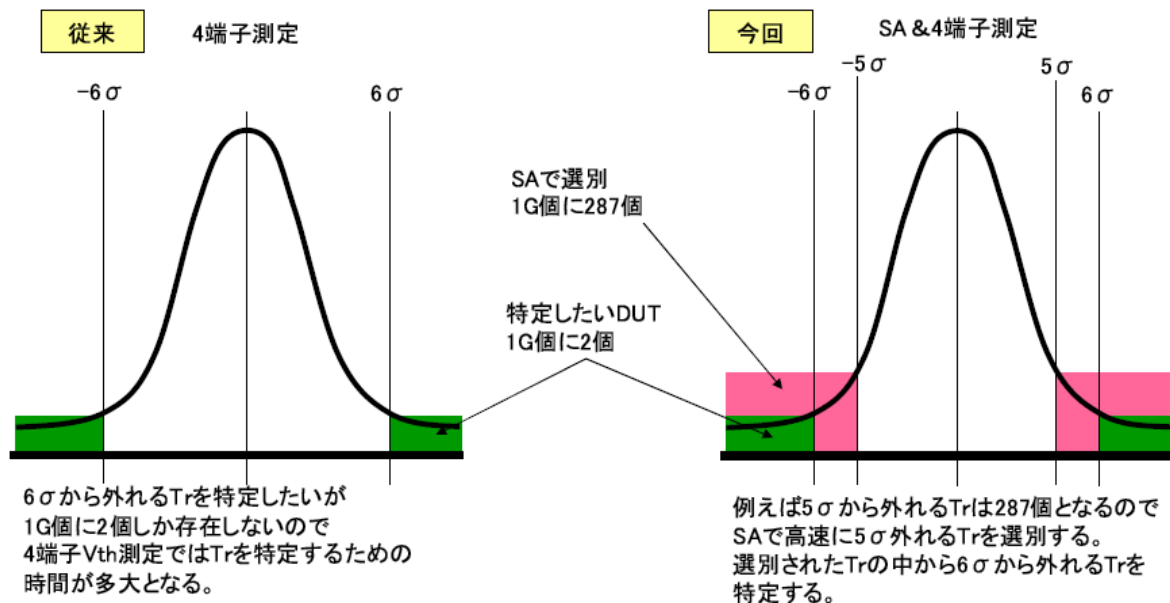
本開発の前期では、正確なランダムばらつきを評価するため、 $\pm 5\sigma$ が検出できる 1M、 10^6 個レベルの DMA-TEG (Device Matrix Array Test Element Group)を設計した。この DMA-TEG は、パラメトリックテストを用いたトランジスタの基本特性を並列に測定することで大量なデータを取得し、これにより特性ばらつきの評価、ランダムばらつきの精密な評価が可能となる。その結果、MOS トランジスタのランダム V_{th} 分布は正規性の高い分布を示しており[1][3][4]、正規性から外れる異常な振る舞い示す MOSトランジスタを観察することはできなかった。さらに、Takeuchi プロットにより規格化することにより、製造したプロセスノード、工場によらず、標準偏差 σ から製品規模の特性ばらつきを予測することが可能であることを示した[5][6]。チャンネルにランダムに添加した離散不純物分布(RDF: Random Dopant Fluctuation)モデルは、チャンネルに平均的に N 個の不純物が存在する場合、標準偏差が \sqrt{N} で与えられるため、チャンネル不純物数がこのように分布する場合、 V_{th} 分布が高い正規性を示す。しかしながら、RDF モデルは1次元方向の不純物数をのみを考慮した V_{th} 計算モデルであるため、パーコレーション効果などの2次元的な効果、たとえば短チャンネル効果等が考慮されていない。微細 MOS トランジスタのチャンネル不純物の揺らぎは、 V_{th} ばらつきだけではなく、短チャンネル特性への影響も考慮する必要がある。また、近年、III-2-I-③-(1)図 1-2-6-1 に示すように製品レベルで配置されるトランジスタ数は 10^9 個(1G 個)レベルに達しており[2]、1M レベルの DMA-TEG では2次元効果で加速されるばらつき現象を検出できなかった可能性がある。そこで、本開発では、1G レベルの DMA-TEG を設計し、実際に上記した効果でばらつきが加速するビットが存在する可能性を調べた。



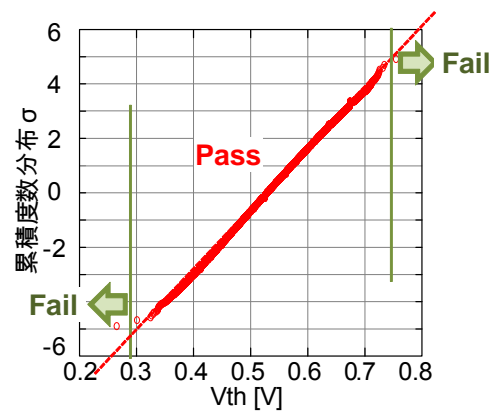
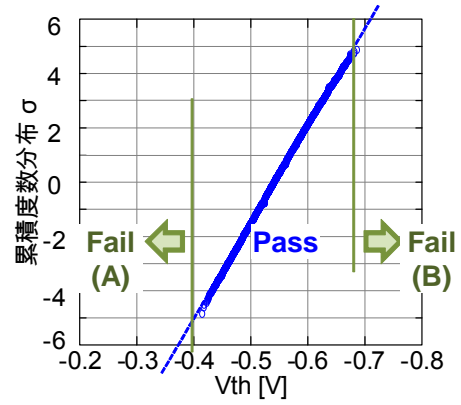
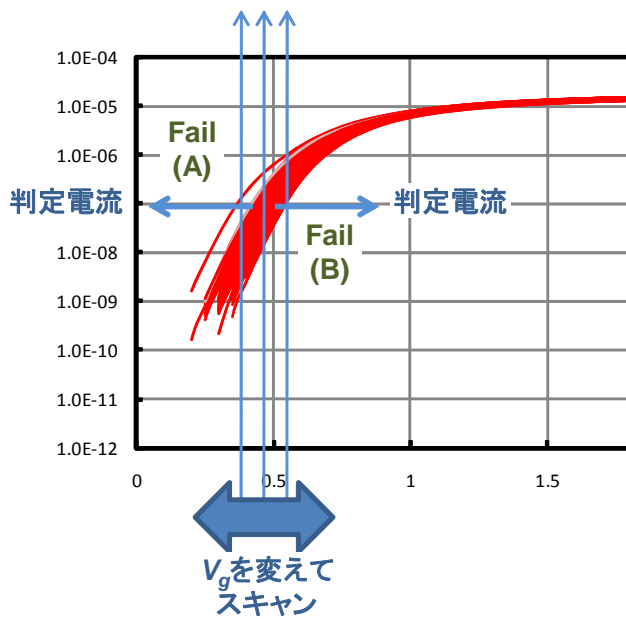
III-2-I-③-(1)図 1-2-6-1 製品規模のトレンド

MOS トランジスタのランダム V_{th} ばらつきが高い正規性を示すことから、本開発で設計した超大規模は、III-2-I-③-(1)図 1-2-6-2 に示す V_{th} 分布の裾の MOS トランジスタの詳細特性を評価し、特性ばらつきの原因

解析を実施することが目的である。しかしながら、従来法により裾ビットの検出をするためにはすべてのビット (10^9 個)の電気特性評価が必要であり、現実的な時間での評価は不可能である。従来の DMA-TEG では約 2.5 時間にて 10^6 個の V_{th} 分布の評価が可能であったが[3][4]、 $1G$ 個のトランジスタの V_{th} を評価するためには単純に 10^3 倍の時間が必要となり、その測定は非現実的になる。この課題を解決するために、III-2-I-③-(1)図 1-2-6-3(a)で示すように MOS トランジスタのあるゲート電圧(V_g)におけるドレイン電流(I_{ds})と判定電流を比較し、その大小を Pass/Fail 判定する回路を設計した。 V_g を変化することで、最終的に III-2-I-③-(1)図 1-2-6-3(b)で示す裾ビットを特定し、このビットのみ $I_{ds}-V_g$ 波形で代表される MOS 特性を評価する。具体的には DUT に印加する V_g を変えて、判定電流と DUT に流れる I_{ds} を比較し、たとえば低 V_{th} の DUT を評価する際には $V_g=0.5V$ から $50mV$ ずつ V_g を下げて、Pass/Fail 判定し、最終的に Fail 数が非常に少なくなった時点で Fail した DUT のアドレスを記憶する。高 V_{th} の DUT についても同様で、 $V_g=0.5V$ から $50mV$ ずつ V_g 上げて Pass/Fail 判定する。我々の評価で、 $V_{th}=0.5V$ 程度の NMOS では σV_{th} が約 $40mV$ 、 $V_{th}=-0.5V$ 程度の PMOS では σV_{th} が約 $20mV$ であることが分かっているため、DUT の V_g スキャン幅はある程度予測することが可能であり、これにより大幅に $\pm 5\sigma$ から外れた DUT の評価時間を大幅に短くすることができる。このようなコンセプトの元、III-2-I-③-(1)表 1-2-6-1 に示すように、1 チップ当たり $256M$ 個の最小加工寸法の MOS トランジスタを DUT として配置し、動作温度も通常の製品で保証される $85^\circ C$ まで動作可能な、超大規模 DMA-TEG を設計した。 $\pm 5\sigma$ から外れるデバイスの詳細特性評価を実施することから、各 DUT 個別のアドレスを選択して、4 端子測定できる機能も盛り込んでいる。また、1-1-2 でも述べたように、長距離配線による電圧降下を抑制するために、チップ内で MAT を 4 分割し、各 MAT に判定回路(センスアンプ、以下 S/A と表記)を配置している(III-2-I-③-(1)図 1-2-6-4)。S/A は、III-2-I-③-(1)図 1-2-6-5 に示すように、外部からの判定電流 I_{REF} と DUT の MOS トランジスタに印加するゲート電圧 V_{GF} を変えて流れる電流 I_{DUT} を比較して、Pass/Fail 信号を出力する回路構成となっている。



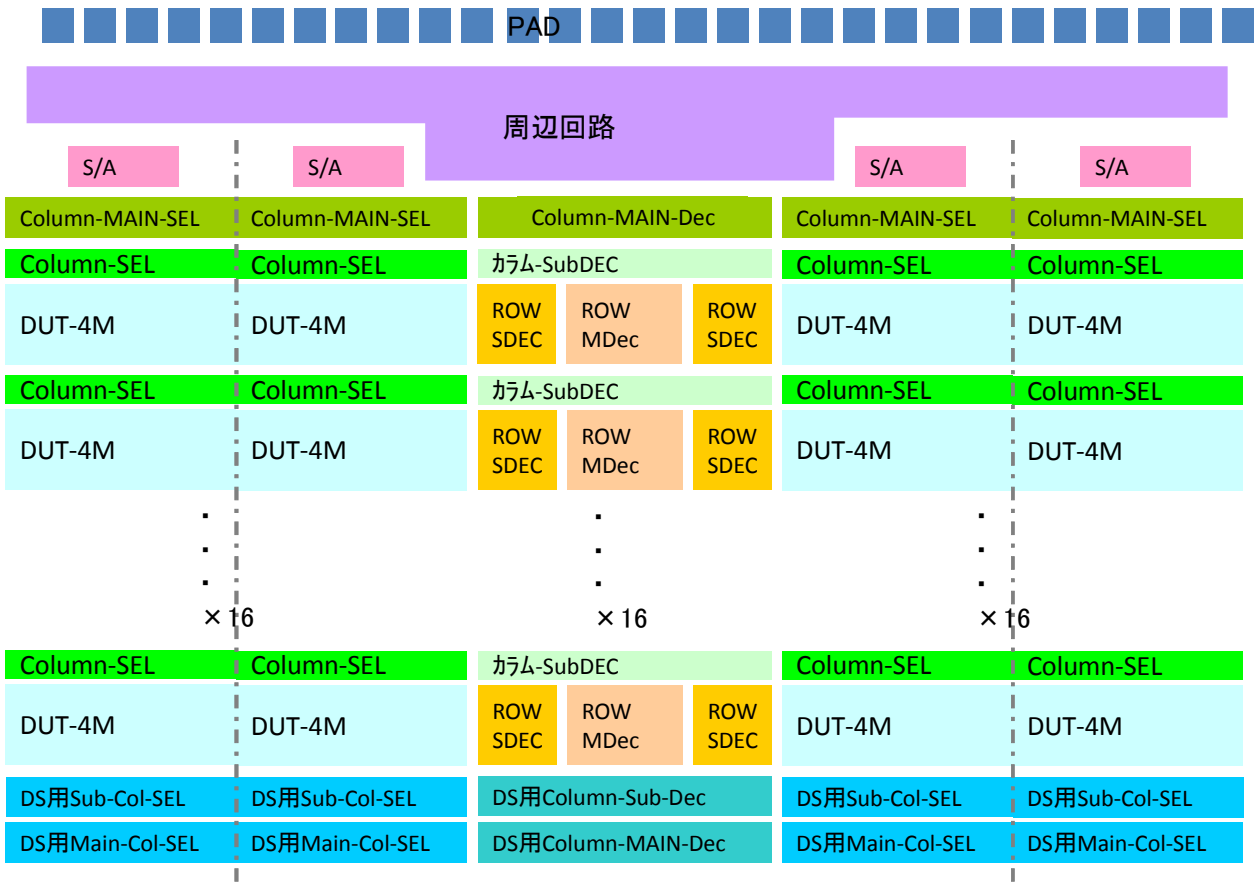
III-2-I-③-(1)図 1-2-6-2 超大規模 DMA-TEG の測定コンセプト



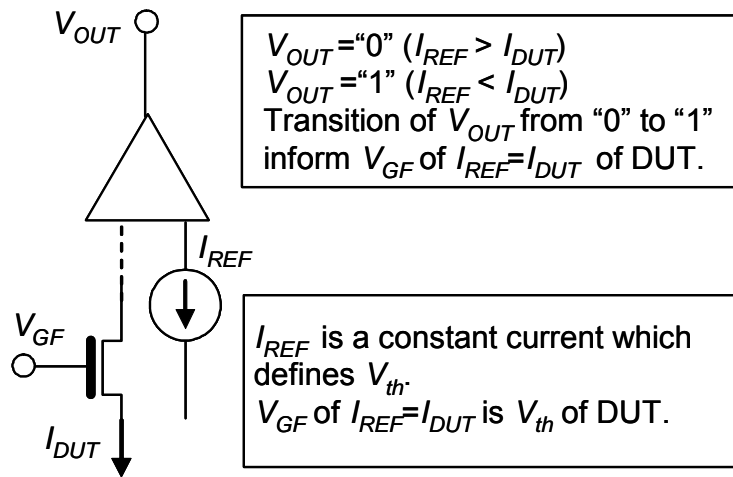
III-2-I-③-(1)図 1-2-6-3 超大規模 DMA-TEG の測定原理

III-2-I-③-(1)表 1-2-6-1 超大規模 DMA-TEG の仕様

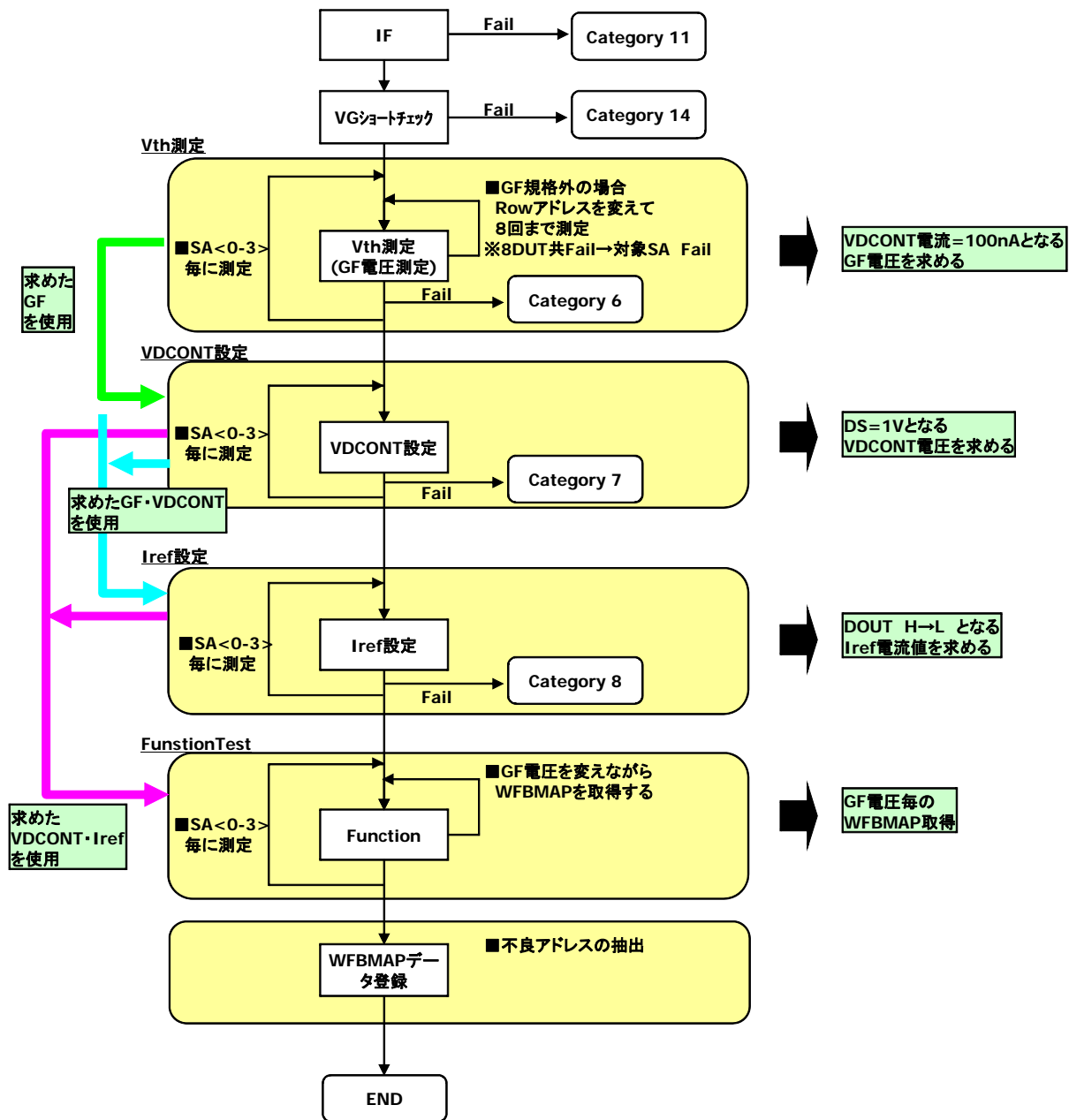
項目	仕様		備考
DUT種類	PMOS	NMOS	
DUT数	256M		
プロセス	65nm CMOSプロセス		
動作電圧	VCC=0.3V~0.5V VSS=-4.0V±0.1V	VCC=4.0V±0.1V VSS=-0.3V~-0.5V	入力信号は”H”=VCC, ”L”=VSSとする。
動作温度	Ta=27°C (85°Cでも動作可能なこと)		
機能	Vth測定方法: 4端子モード/AMPモード		Mode0信号切り替え
	ドレインセンスモード/通常モード		Mode1信号切り替え
	アドレス選択方法: ランダムモード/シリアルモード		SELCONT信号切り替え
	カラム全非選択モード		TEST<0>信号切り替え
	ゲート全非選択モード		TEST<1>信号切り替え
その他	1TEGあたり4DUT同時測定(×4構成)		



III-2-I-③-(1)図 1-2-6-4 超大規模 DMA-TEG のチップ内レイアウトイメージ



III-2-I-③-(1)図 1-2-6-5 電流判定回路



III-2-I-③-(1)図 1-2-6-6 測定フロー

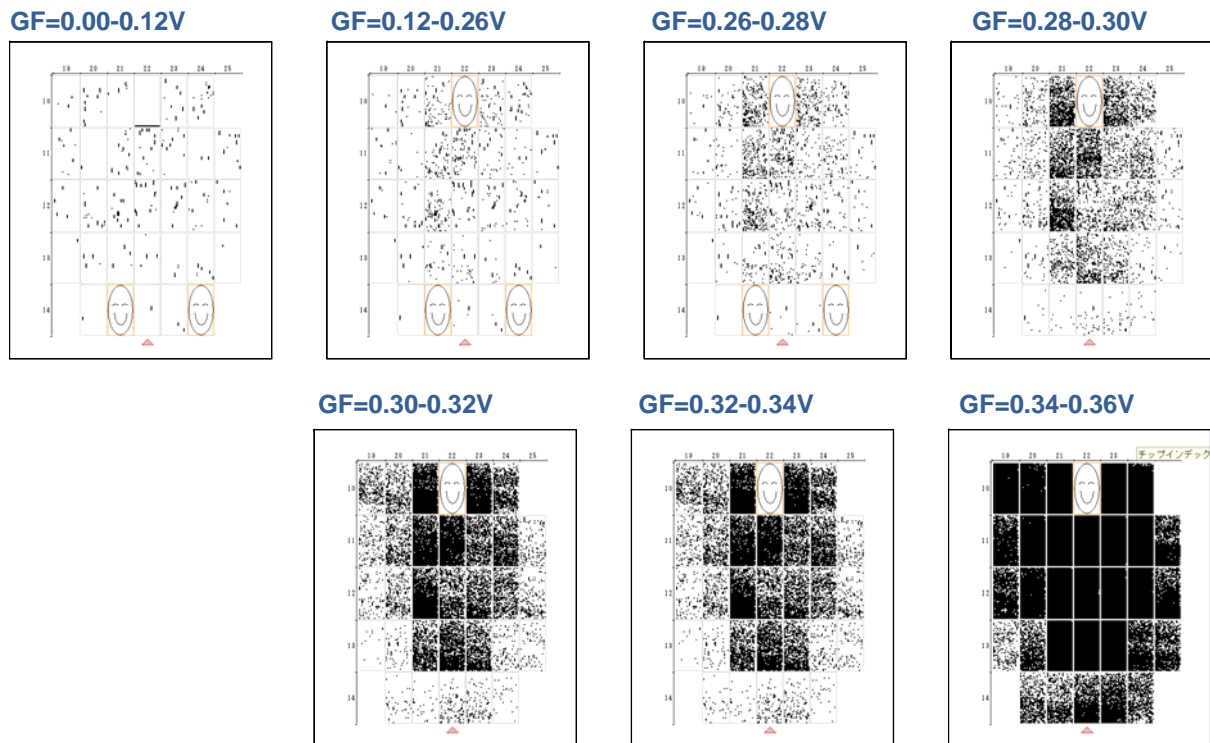
実際の測定フローを III-2-I-③-(1)図 1-2-6-6 に示した。回路の入出力のショートチェックを実施した後に、各 S/A の I_{REF} 値確定に使用するリファレンス DUT の V_{th} 測定を実施する((i) V_{th} 測定)。その後、(i)で測定した V_{th} の電圧を G_F に印加し、 I_{REF} 値を変えることで DUT の V_{ds} が 1V となる V_{DCONT} を各ブロックのリファレンス DUT 毎に求め、その平均値を入力レベルとする((ii) V_{DCONT} の設定)。その後、 G_F には(i)で求めた V_{th} を入力し、 D_{OUT} が”H”から”L”に変化する I_{REF} 値、ならびに D_{OUT} が”L”から”H”になる I_{REF} 値を各 S/A に関して評価する((iii) I_{REF} 設定)。その後、アドレスを切り替えながら、 V_{th} 大を特定する場合、 G_F には DUT のメジアン $V_{th} + \alpha$ を印加して D_{OUT} が”L”となる DUT のアドレスを記憶する。また、 V_{th} 小を特定する場合には、 G_F には DUT のメジアン $V_{th} - \alpha$ の電圧を入力し、 D_{OUT} が”L”となる DUT のアドレスを記憶する((iv) Function Test)。 G_F に印加するメジアン V_{th} は、別途複数個の DUT の V_{th} 評価を実施するか、あるいは Phase-2 マスクに別途搭載している 1M の DMA-TEG の評価結果をフィードバックする。評価時間は、 G_F 電圧を 25mV ステップで変化した場合に、1 チップが 5.5 時間で評価可能である。1 チップが 256M ビットで 1

チップに 2 つの 256M-TEG があるため、1G 個の測定には約 11 時間必要である。従来の我々が開発してきた 1M の DMA-TEG は、約 2.5 時間であるため、大幅に時間短縮が可能となった。

III-2-I-③-(1)図 1-2-6-7、ならびに III-2-I-③-(1)図 1-2-6-8 に G_F を変えて Fail した (D_{OUT} が "H" から "L" に変わった) ビットのマップ (WFBM: Wafer Fail Bit Map) を示した。図中の黒い点は、表記した G_F の電圧範囲で D_{OUT} が "L" になったビットを示しており、III-2-I-③-(1)図 1-2-6-7 では G_F 電圧が高い (V_{th} が高い) ビットが多く、III-2-I-③-(1)図 1-2-6-8 では G_F 電圧が低い (V_{th} が低い) ビットが多いことを示している。III-2-I-③-(1)図 1-2-6-9、ならびに III-2-I-③-(1)図 1-2-6-10 は G_F 電圧を変えた場合の線形、ならびに飽和領域におけるビットカウント、ならびに各 G_F 電圧で D_{OUT} が変化するビット数を示した。図中のウエハはチャンネル注入量を変えて、 V_{th} を制御したものである。設定した V_{th} によりビットカウントが増加しており、また各 V_{th} に設定したチップ内の V_{th} ばらつきは設定した V_{th} が低いほど小さく、正規分布を示す、従来から得られている結果と同様な結果が得られた。III-2-I-③-(1)図 1-2-6-10 は PMOS の評価結果であるが、高 V_{th} の PMOS (▲) でビットカウントが低くなっている。これは、2 つの S/A でデータ異常を示しており、何からのソリッド不良のためにデータ異常となったためと考えられる。このためデータ数が半分になっているが、NMOS で得られた結果と同傾向な結果となっている。これら NMOS、PMOS の線形、飽和の G_F 電圧を変えた場合のビットカウントのデータを累積度数分布に加工し、III-2-I-③-(1)図 1-2-6-11、ならびに III-2-I-③-(1)図 1-2-6-12 に示した。その結果、III-2-I-③-(1)図 1-2-6-11 に示す NMOS では、 V_{th} が高くなるにしたがって σV_{th} が大きくなり、 $\pm 6\sigma$ まで V_{th} は正規分布することが分かる。 $V_{th}=0.5V$ の Middle- V_{th} の NMOS で σV_{th} が約 40mV で、これは 1M の DMA-TEG で求めた V_{th} ばらつきとほぼ一致する。また、線形 ($V_d=50mV$) を飽和 ($V_d=1.2V$) としても、 V_{th} ばらつきや分布は変わらないことが分かった。一方、III-2-I-③-(1)図 1-2-6-12 に示す PMOS の場合、 V_{th} の分布が 2 つの成分からなることが分かる。大部分の V_{th} が分布する主成分は、NMOS よりもばらつきは小さく、 σV_{th} は 30mV 程度である。 V_{th} が高くなるに従って σV_{th} は大きくなる従来の結果と同様な結果であるが、線形から飽和にすることで V_{th} 分布がやや大きくなっている。一方、約 4σ 程度から発生するテールは、 V_{th} には依存せず、また線形、飽和でもほぼ変わらないことが分かった。この現象は、我々の開発グループが開発した 1M の DMA-TEG では観測できなかったが、1M の DMA-TEG では 4σ を超えた部分であるため、誤データとして検定により削除していた可能性がある。

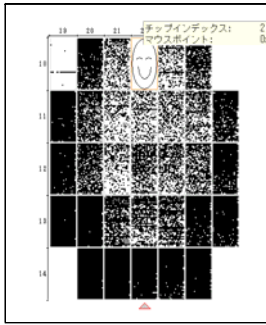
PMOS の V_{th} 分布のテールの原因を明らかにするために、テール領域の MOS トランジスタの V_g-I_d 特性の計測を行った。 V_{th} が上位、ならびに下位 10 個の MOS トランジスタの V_g-I_d 波形を III-2-I-③-(1)図 1-2-6-13 に示した。これをみると、NMOS では DIBL (Drain Induced Barrier Lowering) が高 V_{th} 、低 V_{th} の MOS トランジスタで依存性がないのに対し、PMOS では低 V_{th} の MOS トランジスタ (III-2-I-③-(1)図 1-2-6-12 でテール部分の PMOS トランジスタ) で大幅に大きくなっていることが明らかである。また、サブスレッショルド係数も大きくなっており、累積度数分布のテール領域の低 V_{th} -PMOS トランジスタは、短チャンネル特性が劣化していることを示している。そこで、低 V_{th} 領域と高 V_{th} 領域の DIBL を評価した。III-2-I-③-(1)図 1-2-6-13 に、NMOS、PMOS の低 V_{th} 、高 V_{th} 領域の DIBL 分布を示した。NMOS は低 V_{th} ~ 高 V_{th} 領域において、DIBL の値、ならびにそのばらつきは大きく異ならないが、PMOS の場合は低 V_{th} 領域のトランジスタの DIBL が増大し、そのばらつきも大幅に増大していることが分かった。 -6σ の低 V_{th} の PMOS における DIBL の劣化は、チャンネルの不純物数が大幅に減少することで短チャンネル特性が劣化して生ずると考えられる。例えば、チャンネル不純物濃度がポアソン分布し、 N 個で V_{th} が制御される場合、その標準偏差は \sqrt{N} で与えられる。したがって、その電気特性から III-2-I-③-(1)図 1-2-6-14 に示すような NMOS、PMOS の構造を仮定する。NMOS は $N=200$ 、PMOS は $N=100$ とすると、 -5σ の V_{th} を持つデバイスのチャンネル不純物数は、それぞれ、NMOS は $N=130$ 個@ -5σ 、PMOS は $N=50$ 個@ -5σ となる。このため、パーコレーションパスのできやすさは PMOS の方が圧倒的に高くなり、 -4 ~ -5σ の低 V_{th} 領域における DIBL の劣化、短チャンネル特性の劣化原因となったと考えられる。

以上、実際の製品レベルにおけるばらつきビットの詳細特性を評価するために、 $\pm 6\sigma$ 、1G ビット(10^9 ビット)に対応するDMA-TEGを開発した。その結果、Phase-1 マスクで計測したNMOS、PMOS ばらつき特性を確認するとともに、新たに PMOS で大きく低 V_{th} 側にシフトするビットが存在することを初めて明らかにした。PMOS はRDFでそのランダムばらつきが説明されるとしてきたが、不純物が非常に少なくなった場合にDIBLが劣化するという知見を得た。



III-2-I-③-(1)図 1-2-6-7 低 GF 側からスキャンした場合の FBM

GF=0.76-0.78V



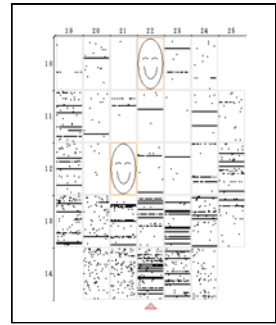
GF=0.78-0.80V



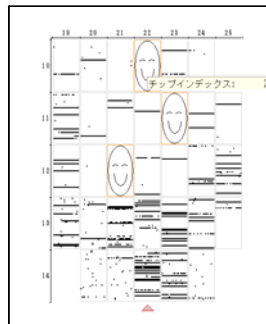
GF=0.80-0.82V



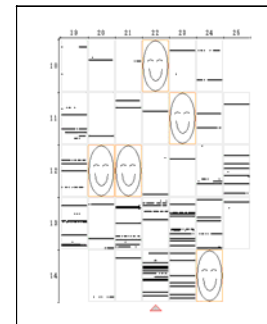
GF=0.82-0.84V



GF=0.84-0.92V

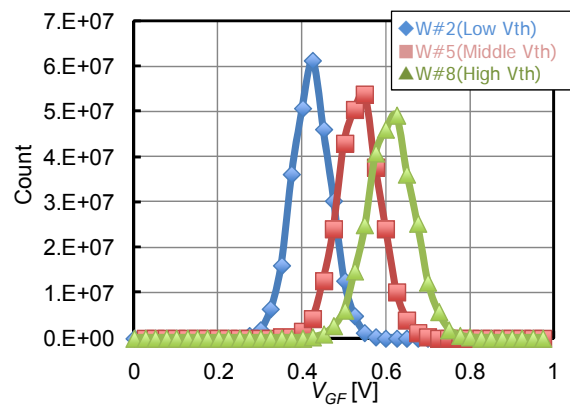
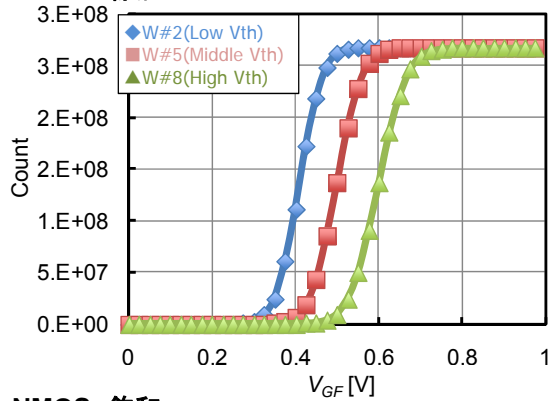


GF=0.92-1.00V

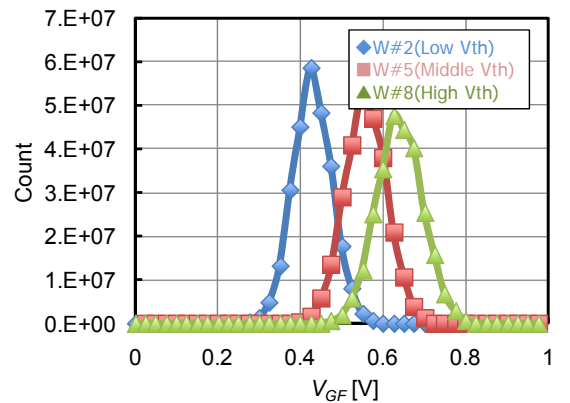
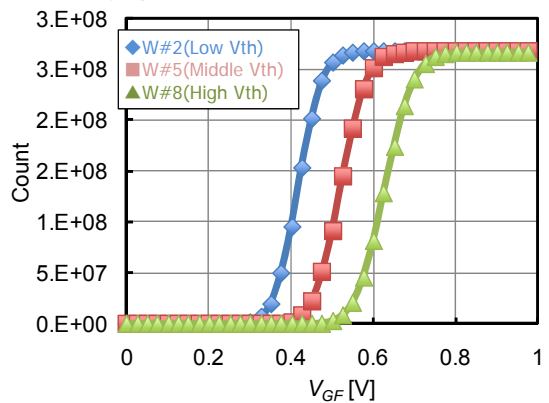


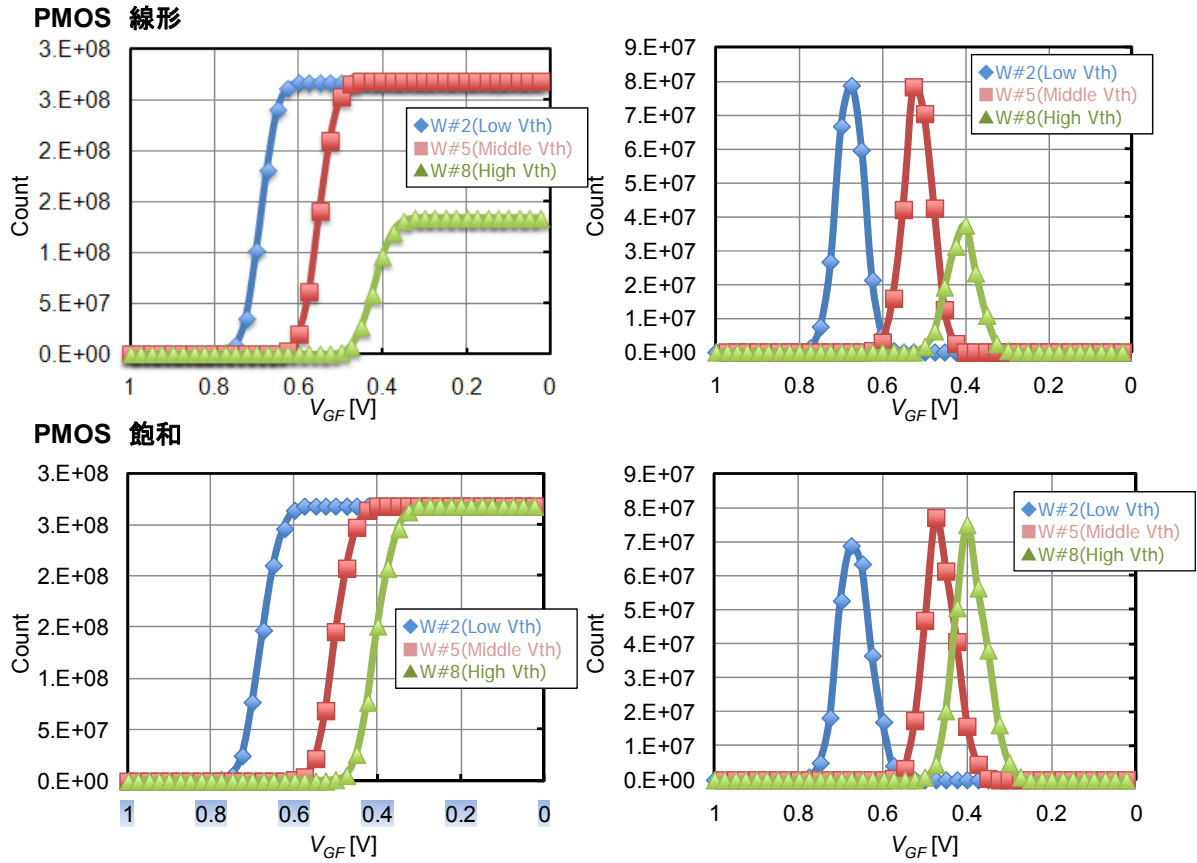
III-2-I-③-(1)図 1-2-6-8 高 GF 側からスキャンした場合の FBM

NMOS 線形

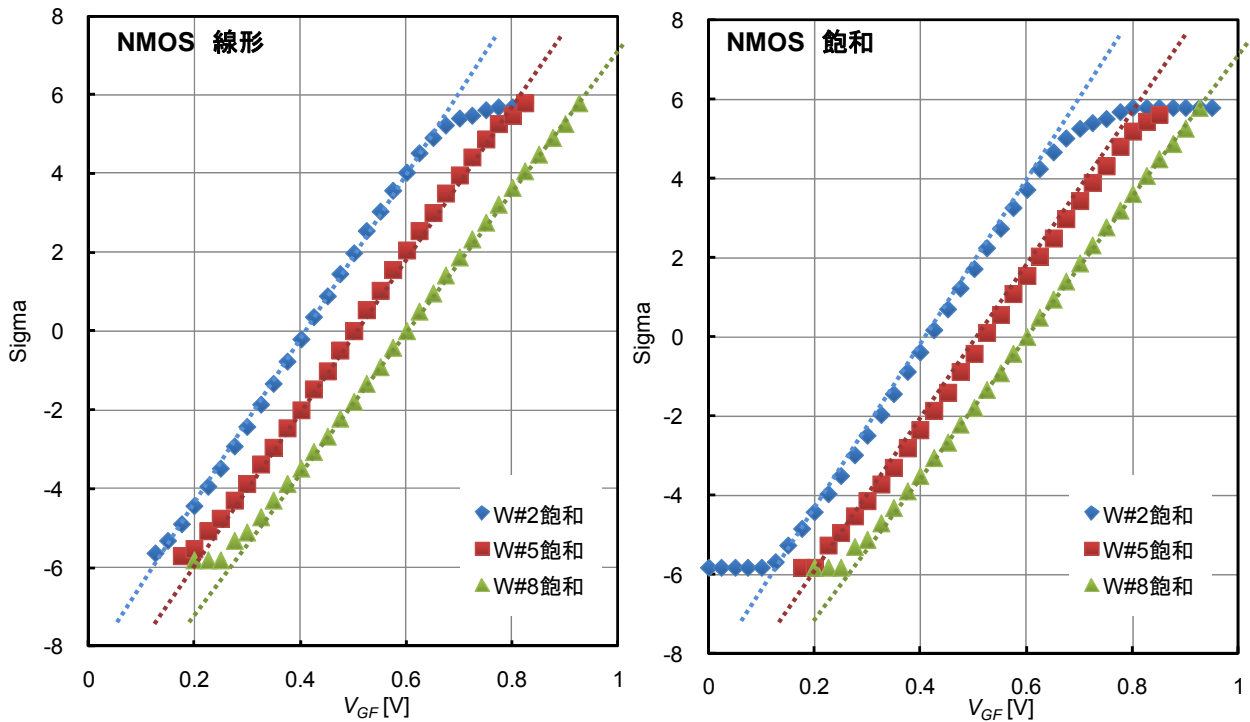


NMOS 飽和

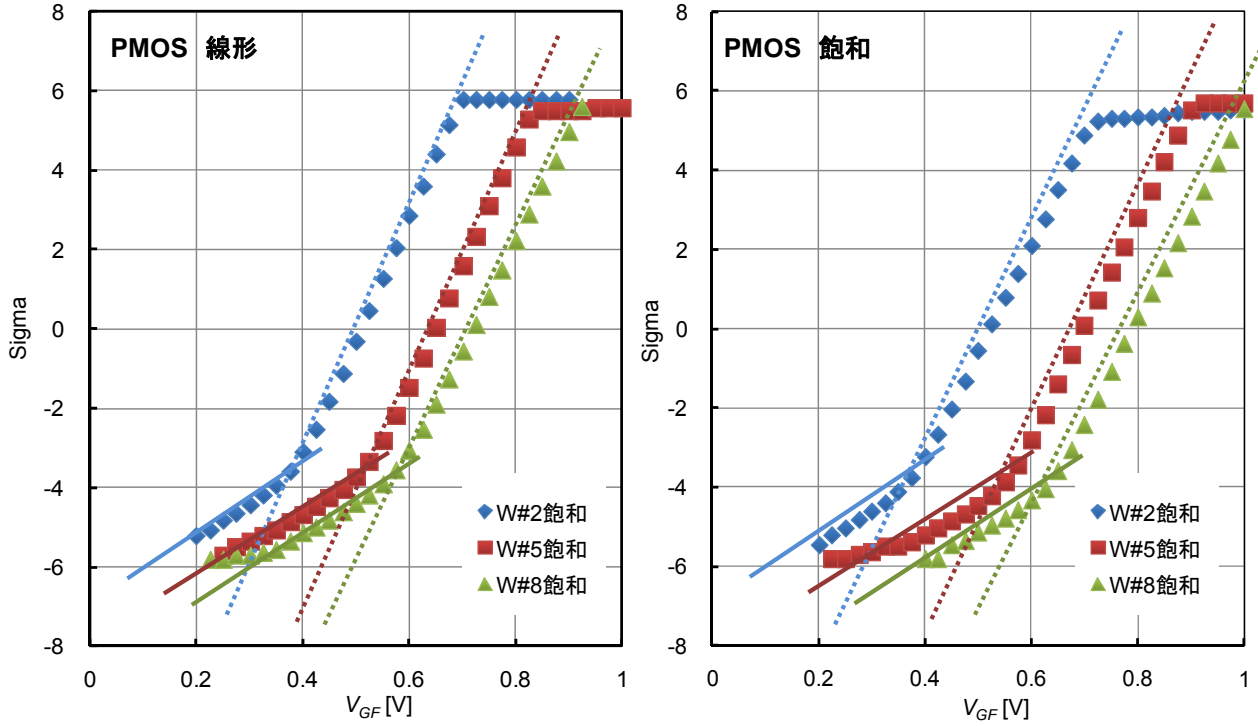
III-2-I-③-(1)図 1-2-6-9 V_{th} 分選した NMOS の GF 電圧とビットカウント



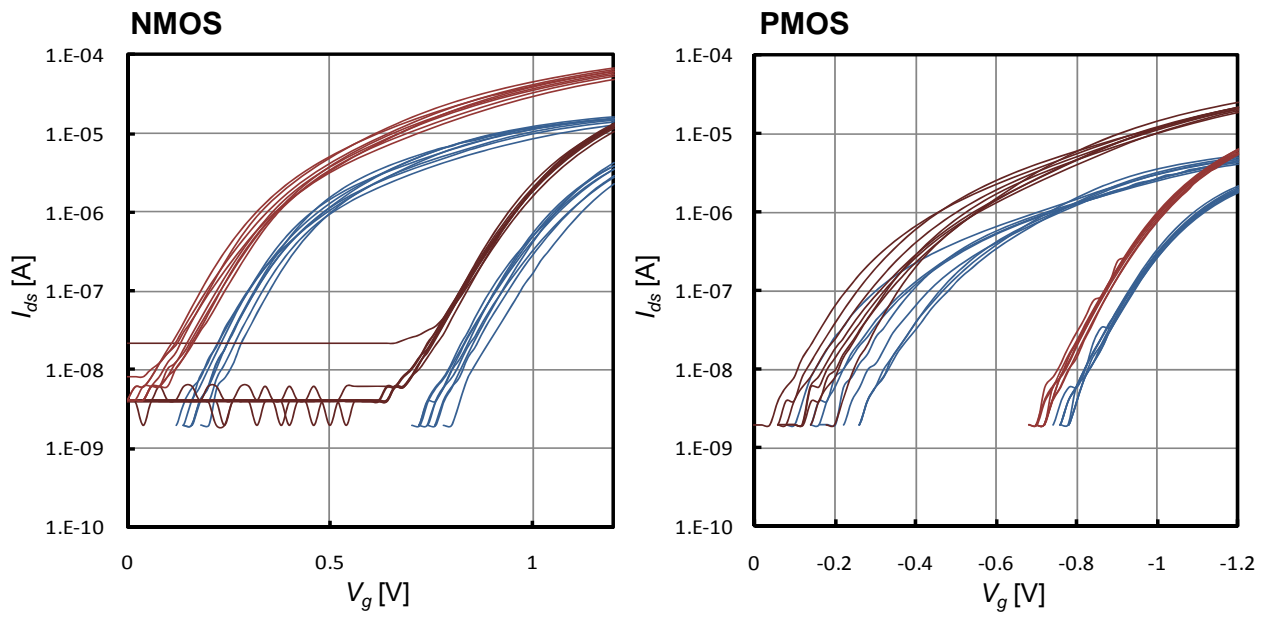
III-2-I-③-(1)図 1-2-6-10 V_{th} 分流した PMOS の GF 電圧とビットカウント



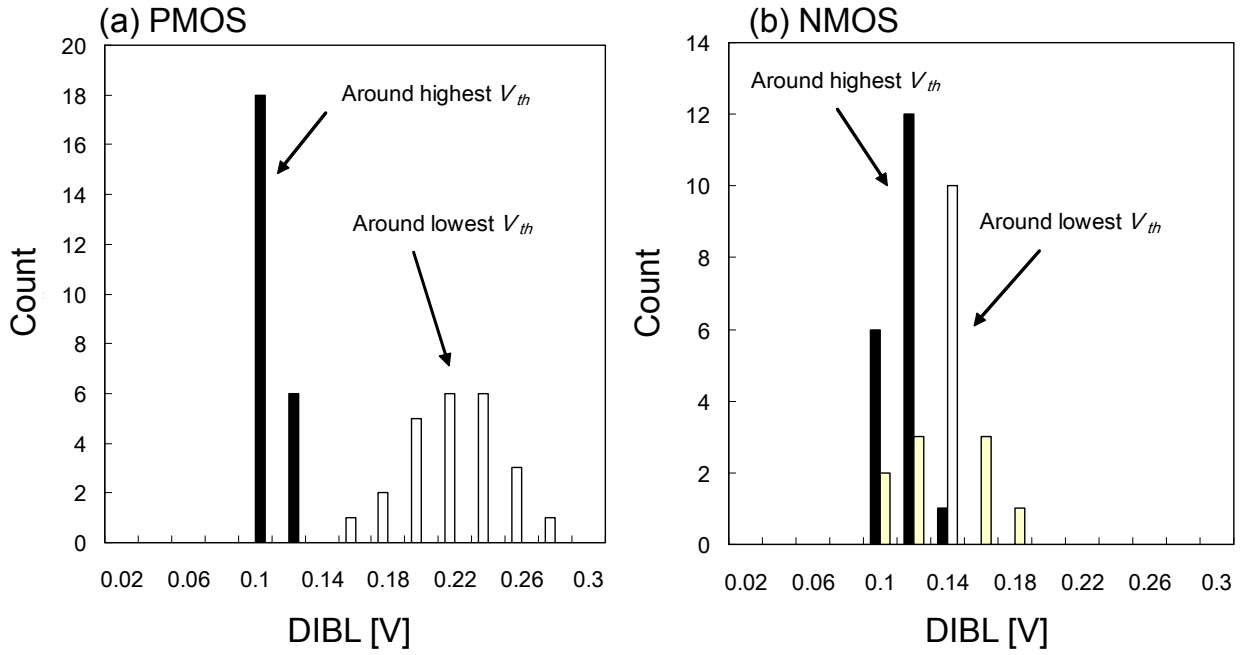
III-2-I-③-(1)図 1-2-6-11 NMOS の判定電圧(V_{th} に相当)の累積度数分布



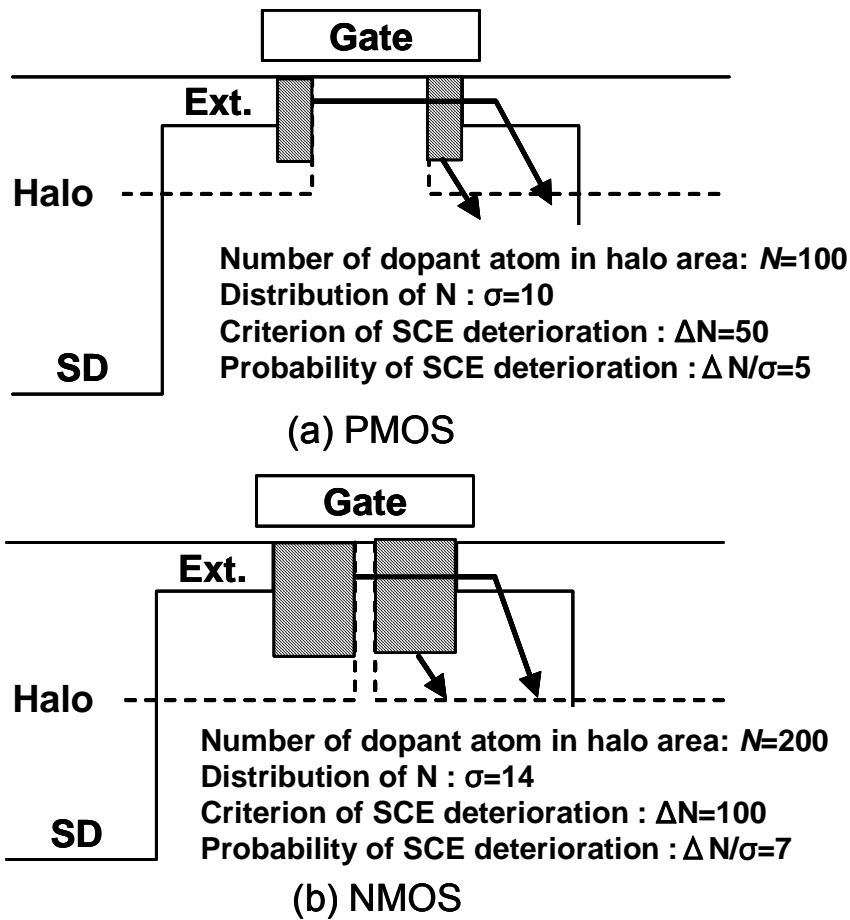
III-2-I-③-(1)図 1-2-6-12 PMOS の判定電圧(V_{th} に相当)の累積度数分布



III-2-I-③-(1)図 1-2-6-13 NMOS、PMOS の I_d - V_g 波形



III-2-I-③-(1)図 1-2-6-14 NMOS、PMOS の DIBL のヒストグラム



III-2-I-③-(1)図 1-2-6-15 DIBL 劣化の説明図

参考文献

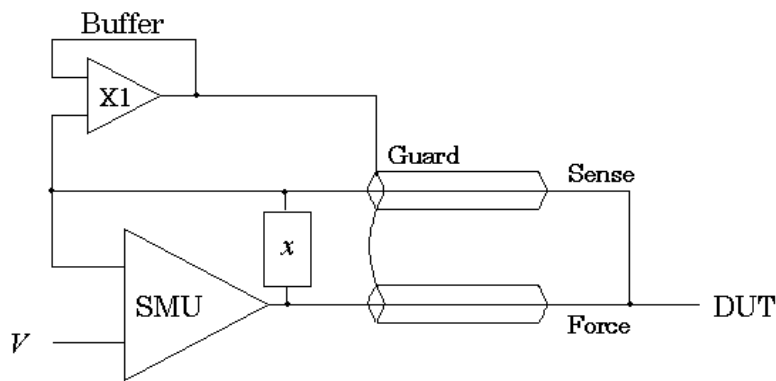
- [1] T. Tsunomura, A. Nishida, F. Yano, A. T. Putra, K. Takeuchi, S. Inaba, S. Kamohara, K. Terada, T. Hiramoto and T. Mogami, “Analyses of 5σ V_{th} Fluctuation in 65nm-MOSFETs Using Takeuchi Plot”, *Digest of Technical Papers, 2008 Symposium on VLSI Technology*, pp.156-157, June, 2008
- [2] Source: www.intel.com/technology/timeline.pdf, www.icknowledge.com
- [3] T. Tsunomura, A. Nishida and T. Hiramoto, “Verification of Variation Properties in Transistors Threshold Voltage with Ultra Large-Scale Device Matrix Array Test Element Group”, *Japanese Journal of Applied Physics*. 48 (2009) 124505
- [4] 平本、2007年半導体 MIRAI プロジェクト成果報告会予稿集
- [5] K. Takeuchi, T. Fukai, T. Tsunomura, Arifin. T. Putra, A. Nishida, S. Kamohara, and T. Hiramoto, “Understanding Random Threshold Voltage Fluctuation by Comparing Multiple Fabs and Technologies”, *IEDM 2007. Tech. Dig.*, 2007, pp. 467–470
- [6] T. Tsunomura, A. Nishida, F. Yano, A. T. Putra, K. Takeuchi, S. Inaba, S. Kamohara, K. Terada, T. Hiramoto and T. Mogami, “Analyses of 5σ V_{th} Fluctuation in 65nm-MOSFETs Using Takeuchi Plot”, *Digest of Technical Papers, 2008 Symposium on VLSI Technology*, pp.156-157, June, 2008

1-2-7. オペアンプ回路特性ばらつきの評価・解析

アナログ回路を構成するMOS デバイスは、比較的設計ルールの大きなMOSトランジスタ等を持ちてばらつき対策を行っている。しかしながら、非常に微小な特性ばらつきはアナログ回路でも問題であり、これを高精度に計測し、また評価解析する技術が重要となっている。本章では、アナログデバイスに用いるゲート長、ゲート幅の大きいMOS デバイスの微小なしきい値ばらつきを計測する手法を検討し、アナログ回路とこれを構成する単体デバイスの特性ばらつきを評価した結果について述べる。

1-2-7-1. 微小電圧ばらつき測定のための事前検討

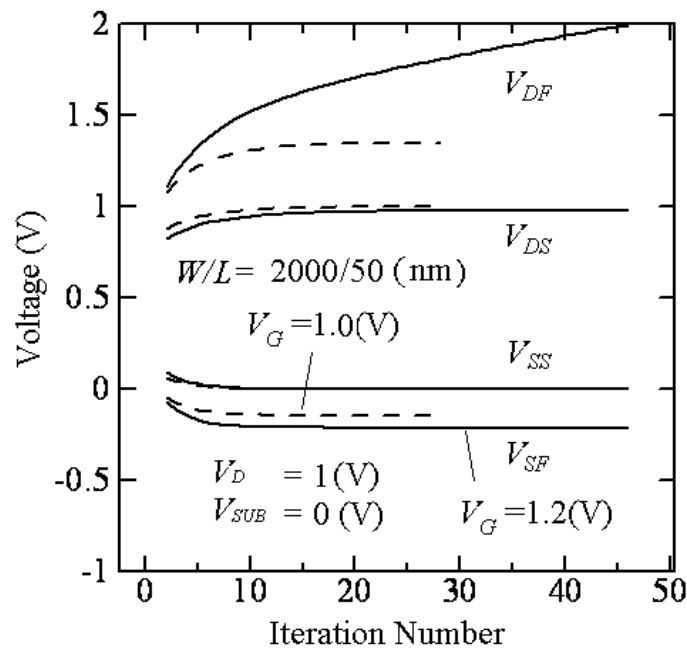
DMA-TEG を用いた測定では配線抵抗の影響を防ぐためにケルビン測定を行う。その方法を、半導体パラメータアナライザ HP-4156A の SMU (Source Monitor Unit) の回路 (III-2-I- (1) 図 1-2-7-1) を用いて簡単に説明する。この測定方法では、被測定点(DUT)に所望の電圧 V を正確に供給するため、DUT の近くでセンス線とフォース線を接続し、フォース線を通る電流による電圧降下が起こり、精度が低下することを防いでいる。この回路では、センス線が DUT に接続されていない場合、フォース線に非常に大きな電圧が加わる可能性があり、SMU や被測定素子を破壊する可能性がある。そのため、これを防ぐための保護回路 x がセンス線とフォース線の間にならされている。前報告書では、この保護回路の影響を調べ、さらにそれによる誤差を防ぐためのソフトケルビン法を提案した。



III-2-I-③-(1) 図 1-2-7-1 ケルビン測定時の SMU の構造

ケルビン測定法では、DUT に所望の電圧が加わるようにするため、それよりも大きい電圧をフォース側に出力する。その大きさは、被測定素子の抵抗が小さく、DMA-TEG の選択回路の抵抗が大きいほど大きくなる。小さいドレイン電圧を印加して MOSFET のドレイン電流を測定している場合には、その影響は小さいが、大きいドレイン電圧を印加する場合には問題が生じる可能性がある。III-2-I- (1) 図 1-2-7-2 はソフトケルビン法を用いたときの SMU の出力電圧を示す。もっともゲート幅 (W)、ゲート帳 (L) の大きい DUT を $V_g=1.2V$ で測定しているため、DUT のチャネル抵抗が低く、それが DMA-TEG のトランスファゲートなどの抵抗と同じ程度になっている。そのため、ドレイン側のフォース端子電圧 V_{DF} がセンス端子電圧 V_{DS} の 2 倍程度になっている。一方、ソース側では V_{SF} は $-0.2V$ 程度と負になっている。これらのことはドレイン側測定回路の電圧レンジの問題、ソ

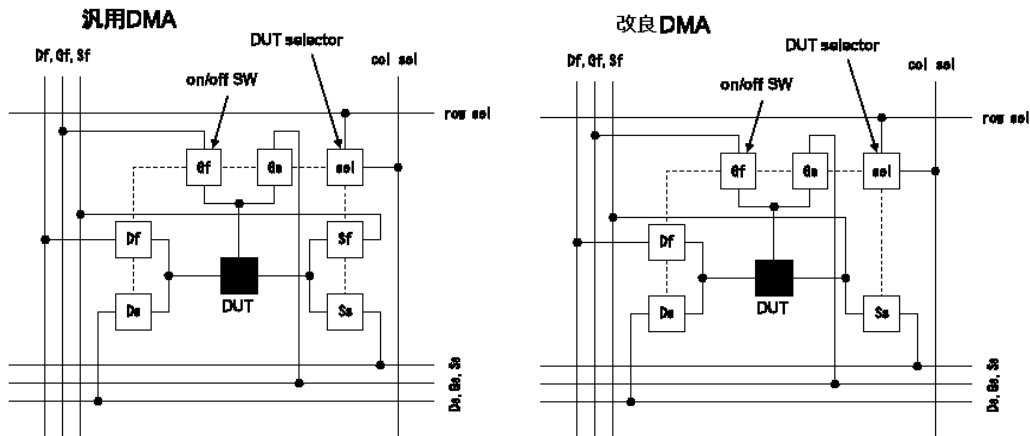
ースと基板間の pn 接合に順方向バイアスが加わる問題などを引き起こす可能性がある。



III-2-I- (1)図 1-2-7-2 ケルビン測定時の SMU の出力電圧

以上の問題を少しでも改善するため、DMA-TEG のユニットセル構造を少し改良した。III-2-I- (1)図 1-2-7-3 に従来使用していた汎用 DMA-TEG のユニットセルと改良した DMA-TEG のユニットセルの構造を示す。改良型では、ソース端子のフォース側トランスファゲートを削除して、ソース端子を入出力線に直結し、余計なトランスファゲートの抵抗を除くようにしている。こうすることにより、ソースと基板の間の pn 接合に順方向バイアスが加わることを防ぐことができる。一方、ソースとドレインが非対称になるため、それらを入れ替えた特性の比較が難しくなる。そのため、16K セルの DMA のうち 12K セルを改良型にし、4K セルに汎用型を残すようにした。さらに、DMA-TEG そのものにトラブルがあった時にその原因を調べるための手掛かりを得るため、汎用 DMA-TEG を使用した 4K セルブロックの一部にテストセルを加えた。

以上の改良によって、 W/L の大きい DUT の測定において、配線抵抗などの影響を低減可能であることを明らかにした。ただ、高ドレイン電圧印加時の電源の出力レンジに注意を払うこと、DUT が PMOS の場合にはバイアス条件によって NMOS から構成される DMA-TEG のトランスファゲートの抵抗が大きくなることを配慮すること、などが必要である。



III-2-I- (1)図 1-2-7-3 DMA-TEG のユニットセルの回路構造

1-2-7-2. 微小電圧ばらつきの測定精度

$I_{DS}-V_G$ 特性から線形外挿法で V_{th} と g_{mmax} を抽出した場合の測定精度を高くするため、測定時の積分時間を Medium (1/60 秒)と長くし、かつ I_{ds} 測定時の印加 V_g のきざみ幅を通常の 50mV から 20mV に細かくした。その場合の測定データの確定度を調べるため、同じ素子を 192 回測定し、通常用いている 5 点外挿法を用いて V_{th} と g_{mmax} を抽出した。その結果を III-2-I- (1)図 1-2-8-1 に示す。この実験結果より、 V_{th} 評価の場合 $0.5\mu V$ 程度のばらつき測定分解能が、 g_{mmax} の場合 0.05%程度のばらつき比測定分解能を有する測定手法を開発した。3-2-1 節で述べる B_{VT} の L 依存性の測定では、 $L=4\mu m$ という大きい素子の測定データを用いる。このような素子では V_{th} ばらつきが小さくなるが、この測定精度ならば充分意味のある測定結果を得ることができる。

III-2-I- (1)表 1-2-7-1 V_{th} と g_{mmax} の測定確度

W/L	素子	V_{th} [mV]	σV_{th} [μ V]	g_{mmax} [μ A/V]	$\sigma g_{mmax}/g_{mmax}$
2.0/1.0	1	539	42.3	597	0.000186
	2	539	51.5	603	0.00023
2.0/0.06	1	642	279	5502	0.000745
	2	663	300	5337	0.001249

1-2-7-3. オペアンプTEGによる回路ばらつき評価

MOSトランジスタのランダムばらつきを測定する手法として、DMA-TEG が広く用いられている[1]-[4]。最近では単体デバイスだけではなく、たとえば SRAM のような小規模回路のばらつきの評価が実施されている[5]。また、オペアンプ等に代表される、アナログ回路設計においては、隣接するペアトランジスタのばらつき抑制が非常に重要な課題になっている[6]。隣接するMOSトランジスタでは、製造プロセス(たとえば、フォトリソグラフィ、ドライエッチング、枚葉アニール、成膜など)で形状の差異が生じないと考えられており、ペアトランジスタのばらつきはランダムばらつきと考えられる。通常の MOS トランジスタを用いる場合、ペアばらつきを抑えるためには、ゲート酸化膜を薄膜化し、ゲート長(L_g)、ゲート幅(W_g)を非常に大きく確保する必要がある。しかしながら、将来的にアナログ回路も微細化し、回路が専有する面積を低減して、そのコストを下げる必要があるため、微細化した場合にランダムばらつきが、回路特性に与える影響を把握することが重要となる。本開発では、アナログ回路で基本とされるオペアンプ TEG のオフセット電圧(V_{OS})のばらつきを評価しできる回路 TEG を開発した。試作プロセスは 65nm プロセスノードであるが、3.3V の周辺回路系のトランジスタ(最小 $L_g=0.4\mu\text{m}$ 、 $T_{ox}=7\text{nm}$ 、電源電圧は 3V)を用いて、実際の TEG 設計を行った。オペアンプを構成する MOS トランジスタそれぞれの単体特性を図る端子を組み込み、単体 MOS トランジスタのばらつきと、オペアンプの V_{OS} ばらつきの相関を調べることが可能となる。

III-2-I-③-(1)図 1-1-2-1 に設計したオペアンプ TEG の模式図は 1-1-2 項で示した。当初、試作したウエハにフルオートプローバーを用いて直接プロービングして評価をすることを最終的な目標としていたが、外部増幅回路や測定系のセットアップの関係上、試作したチップをアセンブリしてパッケージに組み込み、評価ボード上で出力電圧の増幅率を可変することで評価した。TEG の回路図、評価ボードの外観写真、ならびに入出力ピンの機能を III-2-I-③-(1)図 1-2-7-4 から III-2-I-③-(1)図 1-2-7-7 に示した。本開発 TEG の有効性が確認できた段階で、この評価ボードの機能をフルオートプローバーのプローブカードに実装することで同等な評価がウエハ状態で可能となる。素子パラメーターとして R10 から C4 までの素子をスイッチや入力端子で切り替えることで、出力電圧の増幅を図る。III-2-I-③-(1)図 1-2-7-7 に示す X_SEL 信号によりオペアンプの種類、アドレスを選択する。III-2-I-③-(1)図 1-2-7-8、III-2-I-③-(1)図 1-2-7-7 にアンプモード(オペアンプのオフセット電圧測定モード)の測定ブロック図、ならびに使用する機器を示した。実際の測定は、下記手順で行う。

(1) 先頭のYアドレス(1/64 セル)にて、システムティックオフセット⁴が 0(senseD_VdM1=senceS_VdM2)

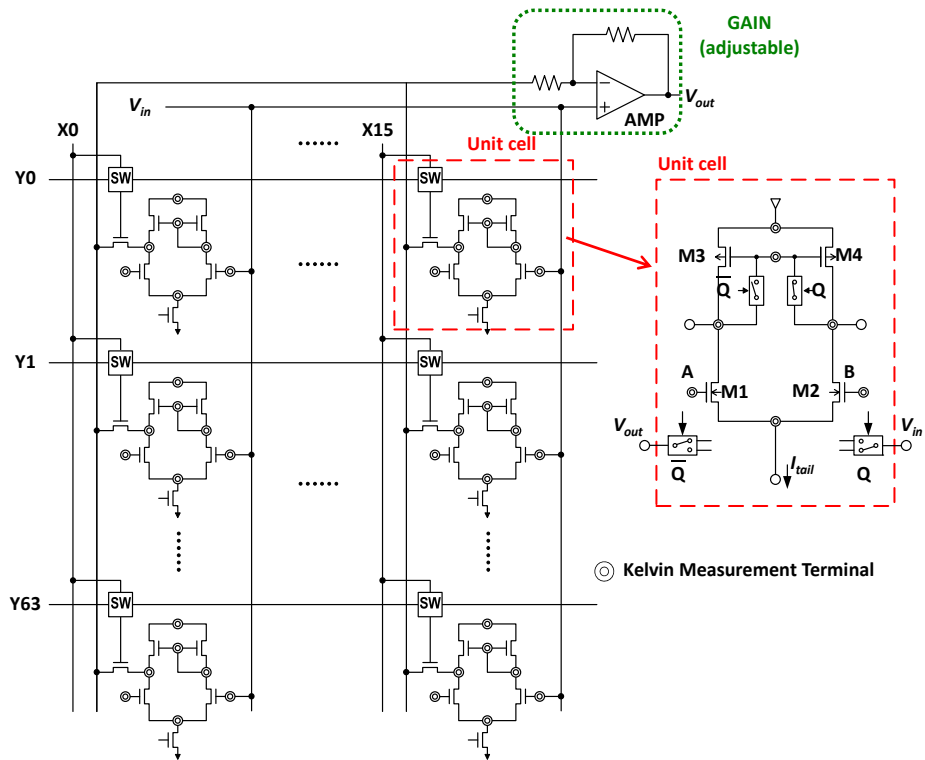
⁴ 回路構成から生じる電圧のずれを示す。図 1-2-7-7 に示すオペアンプの場合は、能動 MOS(M3, M4)のドレイン電圧のずれである。

となる入力電圧 V_{in} を検出

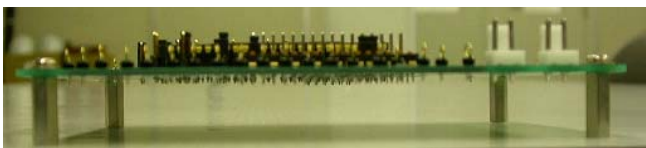
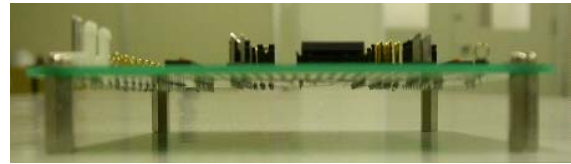
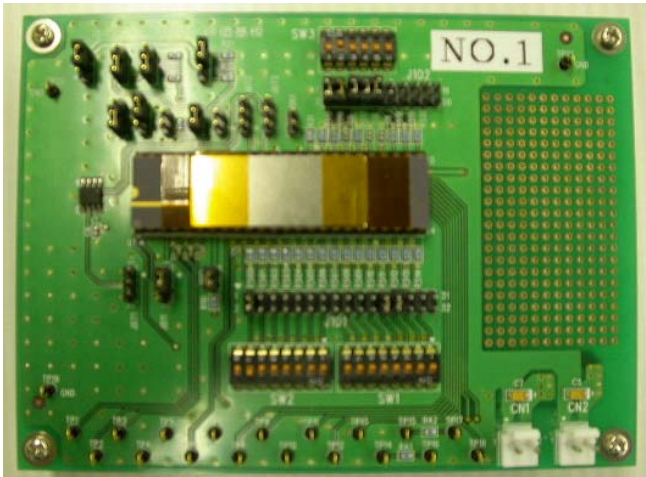
(2) 決定した入力電圧 V_{in} にて、 $Q_0=L/H$ を切り替えながら Y アドレスの 64 セルの Buf2_out を測定

(3) $Q_0=L/H$ 切り替え時の Buf2_out の出力差分よりオペアンプの V_{os} を算出

$$V_{os} = \text{出力差分} / (2 \times \text{ゲイン})$$

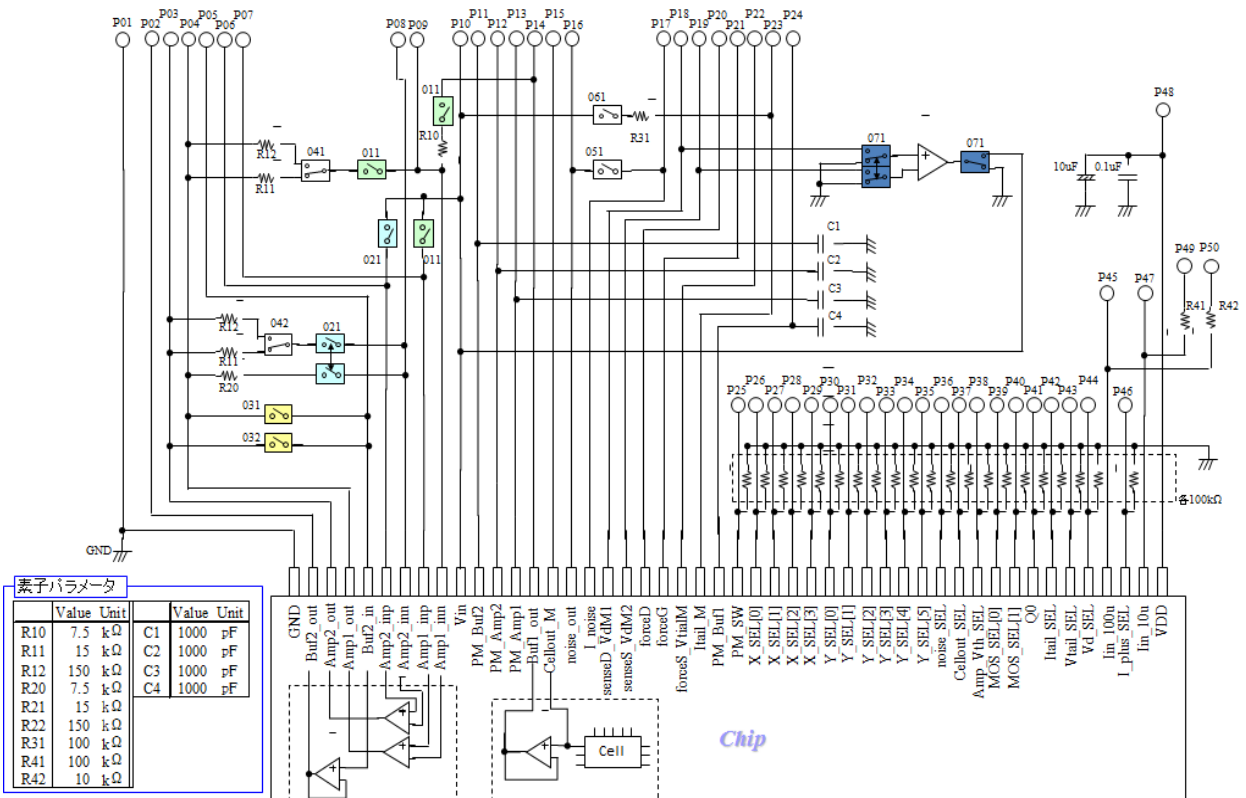


III-2-I- (1)図 1-2-7-4 設計したオペアンプ TEG の回路図



パッケージ種類: セラミックDIP
 Pin数: 48
 外形サイズ(mm²): 60.96 × 15.49(600mil)
 ピンピッチ(mm): 2.54

III-2-I- (1)図 1-2-7-5 設計した評価ボードの外観図



III-2-I- (1)図 1-2-7-6 設計した評価ボードの回路図

No.	PAD Name	Description
1	GND	GND
2	Buf2_out	バッファ2出力
3	Amp2_out	アンプ2出力
4	Amp1_out	アンプ1出力
5	Buf2_in	バッファ2入力(+端子)
6	Amp2_inp	アンプ2入力(+端子)
7	Amp2_inn	アンプ2入力(-端子)
8	Amp1_inp	アンプ1入力(+端子)
9	Amp1_inn	アンプ1入力(-端子)
10	Vin	オペアンプ入力
11	PM_Buf2	バッファ2の位相余裕補助用キャパシタ接続端子
12	PM_Amp2	アンプ2の位相余裕補助用キャパシタ接続端子
13	PM_Amp1	アンプ1の位相余裕補助用キャパシタ接続端子
14	Buf1_out	バッファ1出力
15	Cellout_M	セル出力モニタ
16	noise_out	位相雑音出力
17	I_noise	位相雑音用電流端子(noise_outとshortして使用)
18	senseD_VdM1	ドレインのセンス(Vth測定モード時), 差動対(M1)のドレイン電圧モニタ(Ampモード時)
19	senseS_VdM2	ソースのセンス(Vth測定モード時), 差動対(M2)のドレイン電圧モニタ(Ampモード時)
20	forceD	ドレインのフォース
21	forceG	ゲートのフォース
22	forceS_VtailM	ソースのフォース(Vth測定モード時), 差動対のソース電圧モニタ(Ampモード時)※
23	Itail_M	差動対のテイル電流モニタ
24	PM_Buf1	バッファ1の位相余裕補助用キャパシタ接続端子
25	PM SW	位相余裕補助キャパシタ接続スイッチ('L':非接続, 'H':接続)

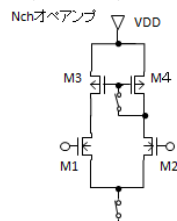
No.	PAD Name	Description
26-29	X_SEL[0:3]	*セル選択(X方向: MOSタイプ, サイズ選択)
30-35	Y_SEL[0:5]	セル選択(Y方向)
36	noise_SEL	位相雑音解析スイッチ('L':通常動作, 'H':位相雑音解析)
37	Cellout_SEL	セル出力モニタスイッチ('L':off, 'H':on)
38	Amp_Vth_SEL	Ampモード/Vth測定モード切り替えスイッチ('L':Ampモード, 'H':Vth測定モード)
39-40	MOS_SEL[0:1]	**Vth測定モード時の対象MOS(M1~M4)選択
41	Q0	アンプ入力切替信号
42	Itail_SEL	テイル電流モニタスイッチ('L':off, 'H':on)※
43	Vtail_SEL	テイル電圧モニタスイッチ('L':off, 'H':on)※
44	Vd_SEL	能動負荷MOSドレイン電圧モニタスイッチ('L':off, 'H':on)※
45	Iin_100u	位相雑音用電源電流(100uA)
46	I_plus_SEL	位相雑音用電流増加スイッチ('L':100uA, 'H':800uA)
47	Iin_10u	電源電流(10uA)
48	VDD	電源電圧(3.3V)

* MOSタイプ, サイズ対応表

X_SEL				MOSタイプ	差動対サイズ[um]	
[3]	[2]	[1]	[0]		L	W
0	0	0	0	Pch(Vb=Vs)	1	80
0	0	0	1		1	160
0	0	1	0		1	320
0	0	1	1		1	640
0	1	0	0	Pch(Vb=VDD)	1	80
0	1	0	1		1	160
0	1	1	0		1	320
0	1	1	1		1	640
1	0	0	0	Nch	1	80
1	0	0	1		1	160
1	0	1	0		1	320
1	0	1	1		1	640
1	1	0	0	Nchサイズ補間	2	160
1	1	0	1		2	320
1	1	1	0		2	640
1	1	1	1		2	1280

** 解析MOS対応表

MOS_SEL	[1]	[0]	解析MOS
0	0	0	M1
0	1	0	M2
1	0	0	M3
1	1	0	M4

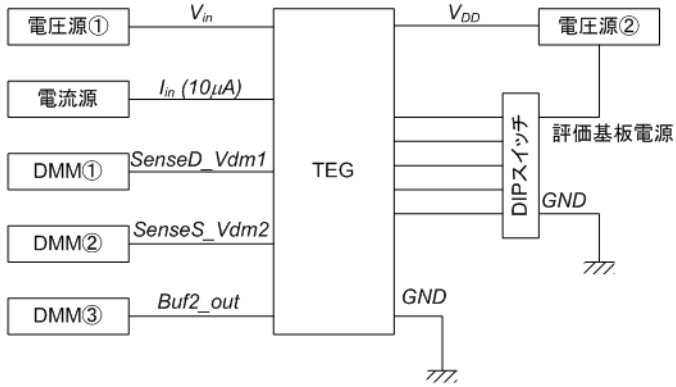


※ Itail, Vtail, Vdモニタ時の注意

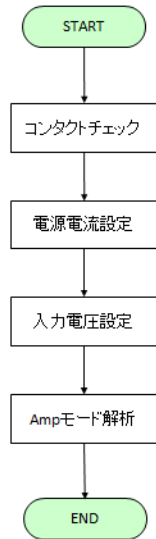
- ①、ItailとVtail又はVdの同時モニタは不可であり、両者のモニタスイッチを'H'にしたときは共にoffとなる。
- ②、Itailモニタ時は、オペアンプは動作しない。

III-2-I- (1)図 1-2-7-7 設計した評価ボードの PAD 仕様と評価ボード、動作モード

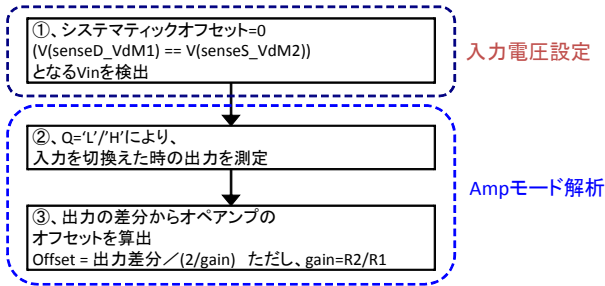
機器No	メーカー	型番	概要	用途
電圧源①	ADVANTEST	TR6143	直流電圧・電流源	ゲート電圧印加用
電圧源②	KENWOOD	PW8-3ATP	多出力直流安定化電源(3出力)	デバイス電源(VDD)、評価基板電源印加用
電流源	ADVANTEST	TR6143	直流電圧・電流源	基準電流(10 μ A)印加用
DMM①	HP	34401A	デジタルマルチメータ	能動負荷MOSドレイン電圧測定用
DMM②	HP	34401A	デジタルマルチメータ	
DMM③	ADVANTEST	R6871E	デジタルマルチメータ	出力(Buf2_out)測定用



<オフセット解析>

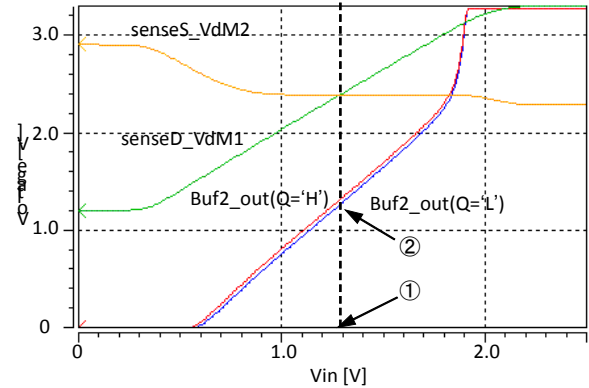


■ 概略フローチャート

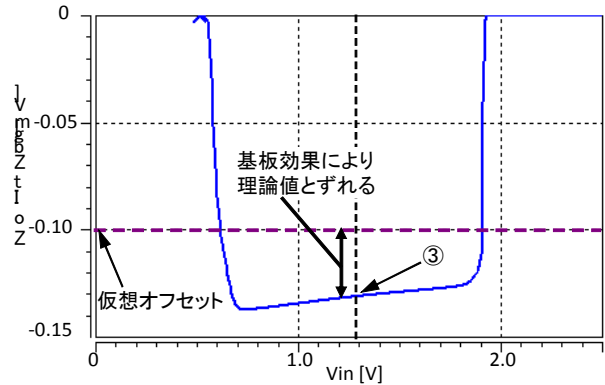
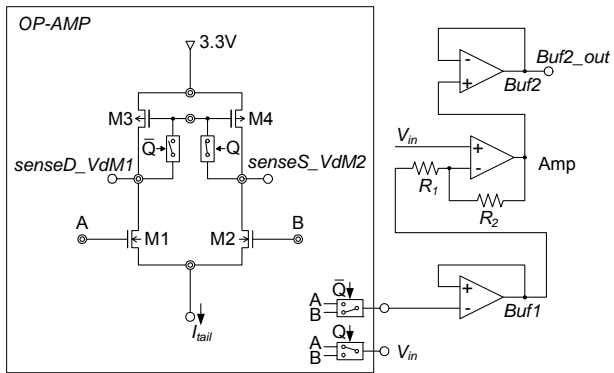


■ シミュレーション結果

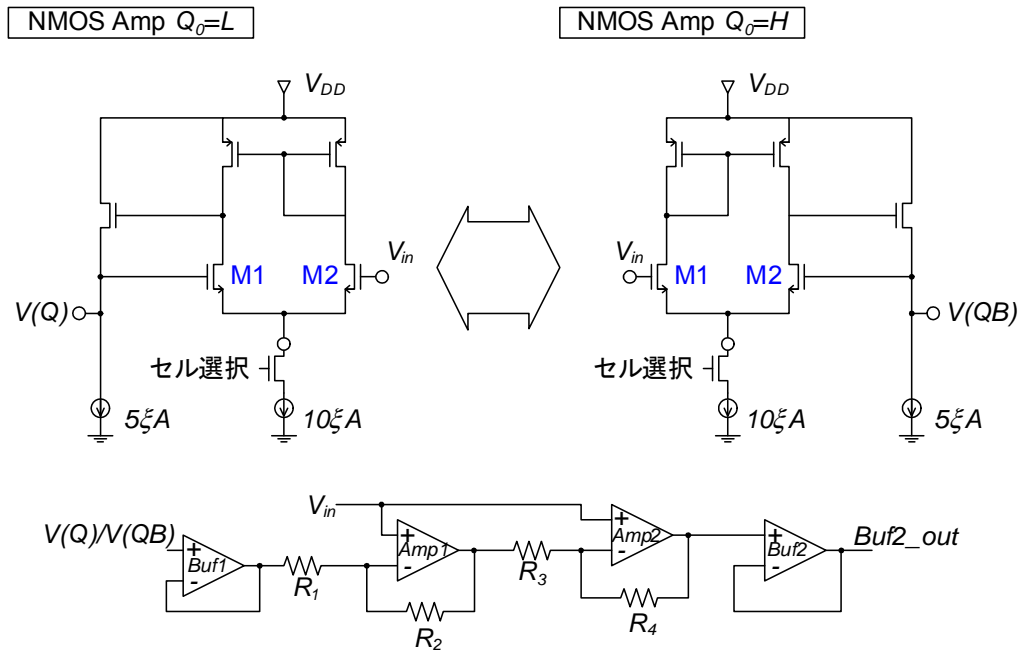
(仮想オフセット=0.1mV, gain=×200)



■ 回路イメージ(Nchタイプ)



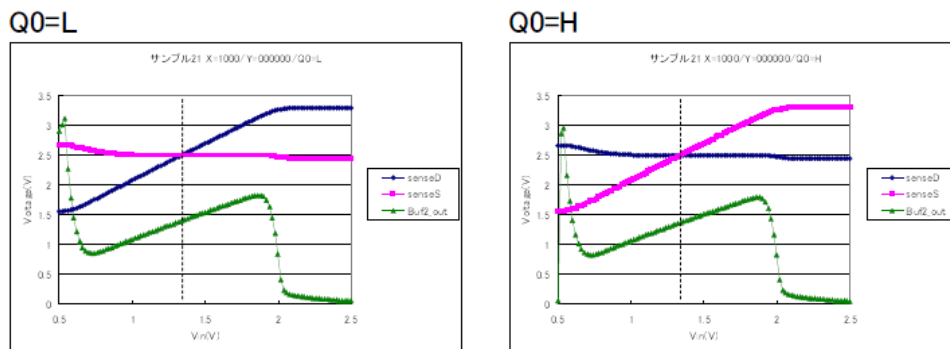
III-2-I- (1)図 1-2-7-8 測定システムのイメージ、評価フローとシミュレーション



III-2-I- (1)図 1-2-7-9 回路図の概略

○測定結果

- 1) システムティックオフセット=0となる入力電圧 V_{in} を検出
例) $X_SEL[3:0]=1000$ (Nchアンプ $L/W=1\mu/80\mu$)



上記よりシステムティックオフセット=0となる入力電圧 $V_{in}=1.34V$ と決定

III-2-I- (1)図 1-2-7-10 システムティックオフセットのキャンセル結果

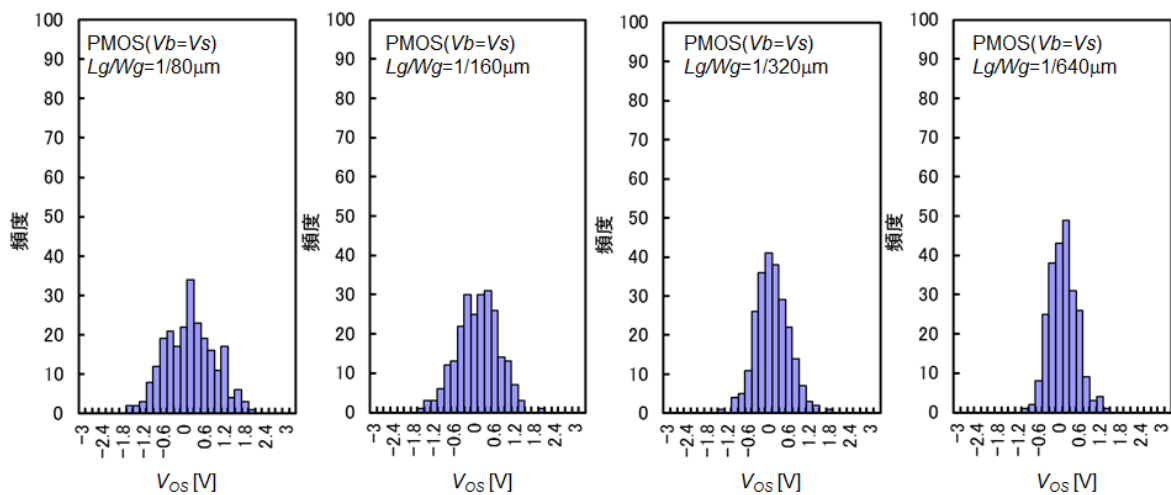
III-2-I- (1)表 1-2-7-2 設計した TEG の DUT を構成する MOS サイズ一覧

X_SEL[3:0]	MOS タイプ	入力差動対 Tr サイズ[mm]		能動対 Tr サイズ[mm]	
		L	W	L	W
0000	Pch (Vb=Vs)	1	80	8	10
0001		1	160		
0010		1	320		
0011		1	640		
0100	Pch (Vb=Vdd)	1	80		
0101		1	160		
0110		1	320		
0111		1	640		
1000	Nch	1	80	4	20
1001		1	160		
1010		1	320		
1011		1	640		
1100	Nch (サイズ補間)	2	160		
1101		2	320		
1110		2	640		
1111		2	1280		

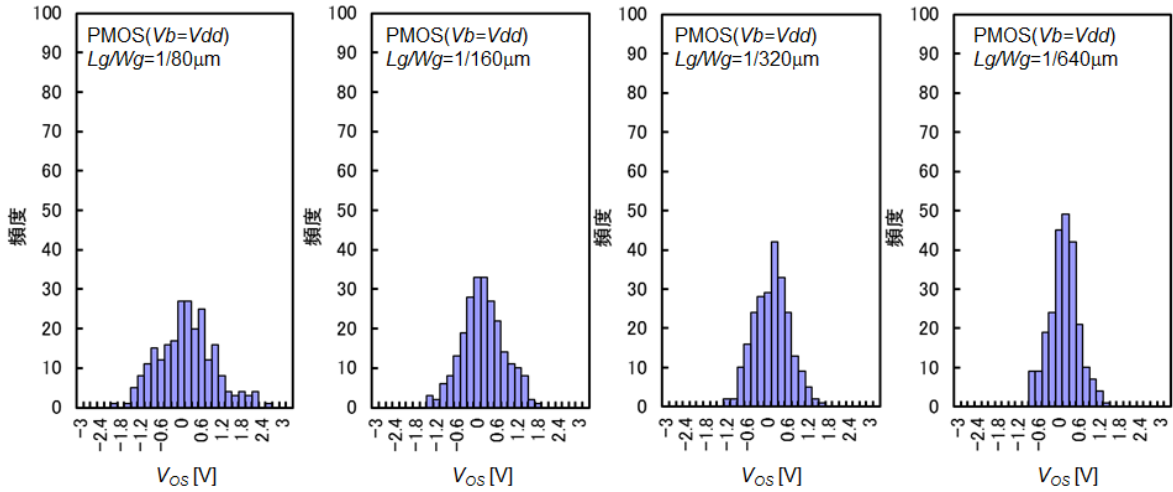
上記手法により、それぞれ 64 セル分のデータを求める。ここで、外付け抵抗から設定するゲインは、

$$\text{ゲイン} = (R_2/R_1) \times (R_4/R_3)$$

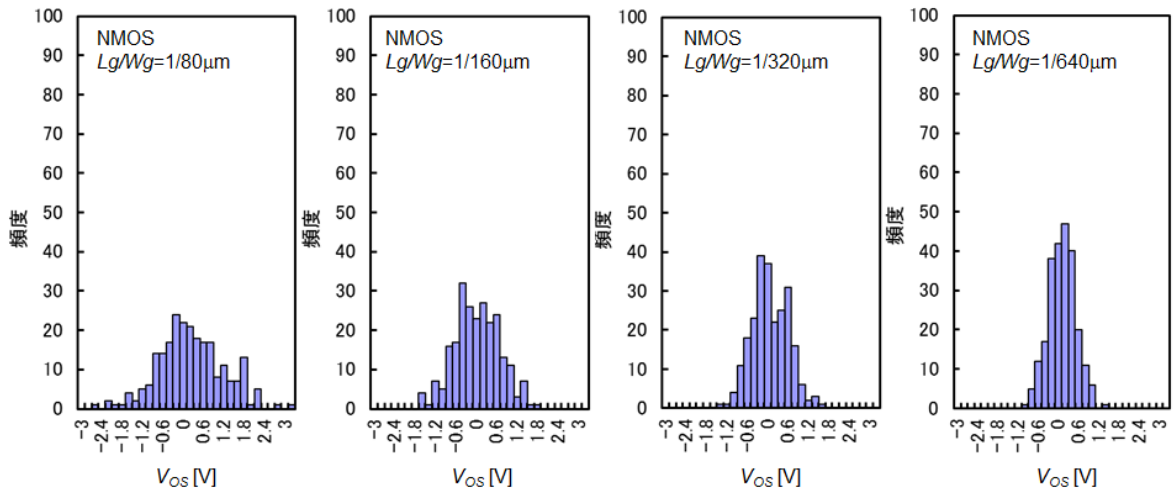
で与えられ、 $R_1 \sim R_4$ は評価ボード上に実装される。今回の評価は、ゲインを 40 倍に固定して実施した。まず、N 型作動対タイプの TEG にてシステムティックオフセットがゼロとなる入力電圧を求めた結果を III-2-I- (1) 図 1-2-7-10 に示した。本結果から、システムティックオフセットがゼロとなる、すなわち図中 senseD = senceS となる入力電圧 V_{in} は 1.34V であり、以下の測定で $V_{in}=1.34V$ と決定する。その後、 $Q_0=L/H$ を切り替えた際の出力電圧 Buf2_out の差分を計測する。 $Q_0=L/H$ を切り替え、Y アドレスの 65 セル分の V_{OS} を測定し、さらに III-2-I- (1)表 1-2-7-2 に示す、X アドレスを切り替え異なった MOS タイプ、異なったサイズのオペアンプの V_{OS} を計測した結果を III-2-I- (1)図 1-2-7-11~III-2-I- (1)図 1-2-7-14 に示した。III-2-I- (1)図 1-2-7-15 は、それぞれのオペアンプ種類ごとに MOS サイズの異なったオペアンプの V_{OS} ばらつきを累積度数分布を示した。ヒストグラムはほぼ正規分布に近い形状を示し、累積度数分布は直線になる結果は、チップ内に配置したオペアンプの V_{OS} ばらつきがランダムばらつきであることを示唆している。また、オペアンプを構成する MOS トランジスタのゲート面積(L_g と W_g の積)が小さくなるほど、ランダムばらつきが大きくなることが分かった。横軸にゲート面積の平方根の逆数を取り、縦軸に σV_{OS} をプロットした、いわゆる Pelgrom プロットを III-2-I- (1)図 1-2-7-16 に示した。III-2-I- (1)図 1-2-7-16(a) は 4 チップ分のデータをすべてプロットし、(b) はチップの平均をとり、オペアンプの種類ごとのプロットを示している。 V_{OS} ばらつきは、構成する入力作動対の MOS トランジスタのゲート面積と線形比例の関係にあることが分かった。



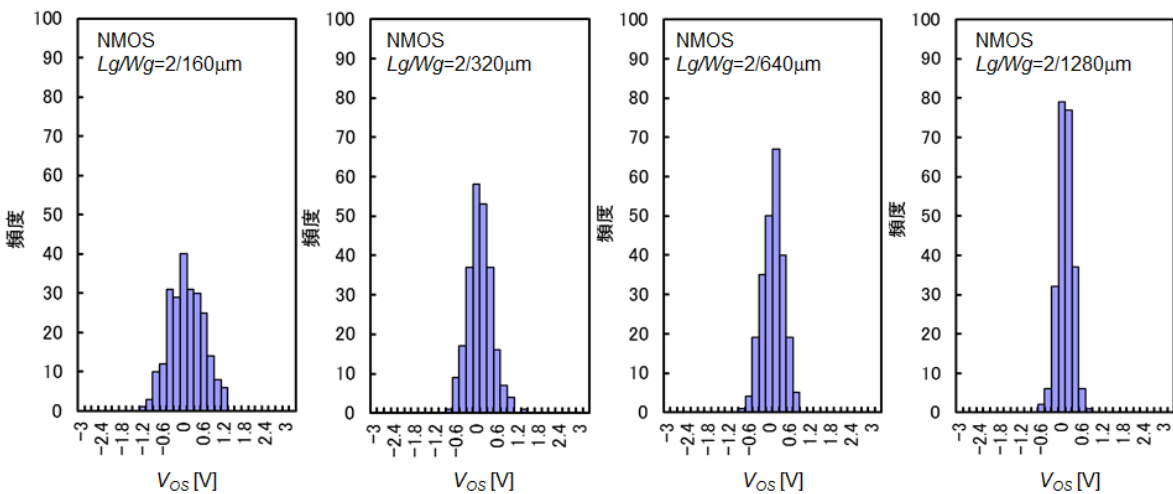
III-2-I- (1)図 1-2-7-11 DUT に PMOS オペアンプ ($V_b=V_s$) を採用した場合の V_{OS} のヒストグラム



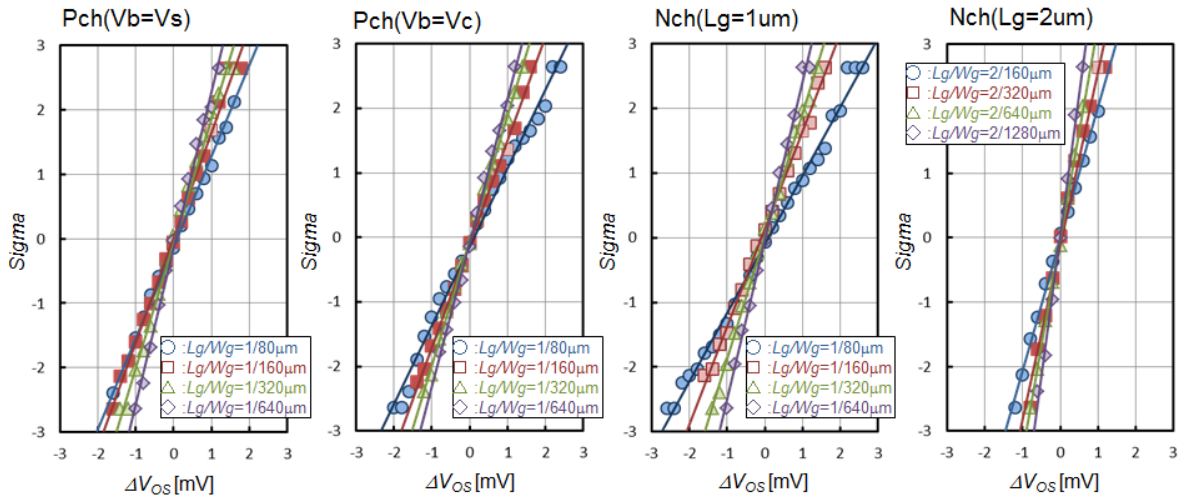
III-2-I- (1)図 1-2-7-12 DUT に PMOS オペアンプ ($V_b = V_{dd}$) を採用した場合の V_{OS} のヒストグラム



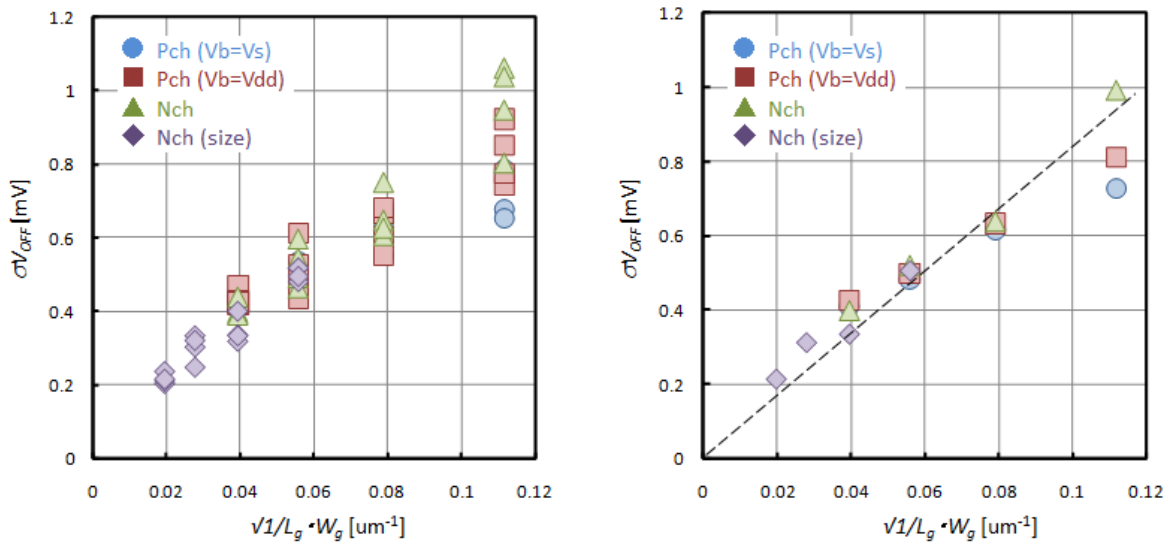
III-2-I- (1)図 1-2-7-13 DUT に NMOS オペアンプ (1) を採用した場合の V_{OS} のヒストグラム



III-2-I- (1)図 1-2-7-14 DUT に NMOS オペアンプ (2) を採用した場合の V_{OS} のヒストグラム



III-2-I- (1)図 1-2-7-15 各種オペアンプの V_{OS} の累積度数分布

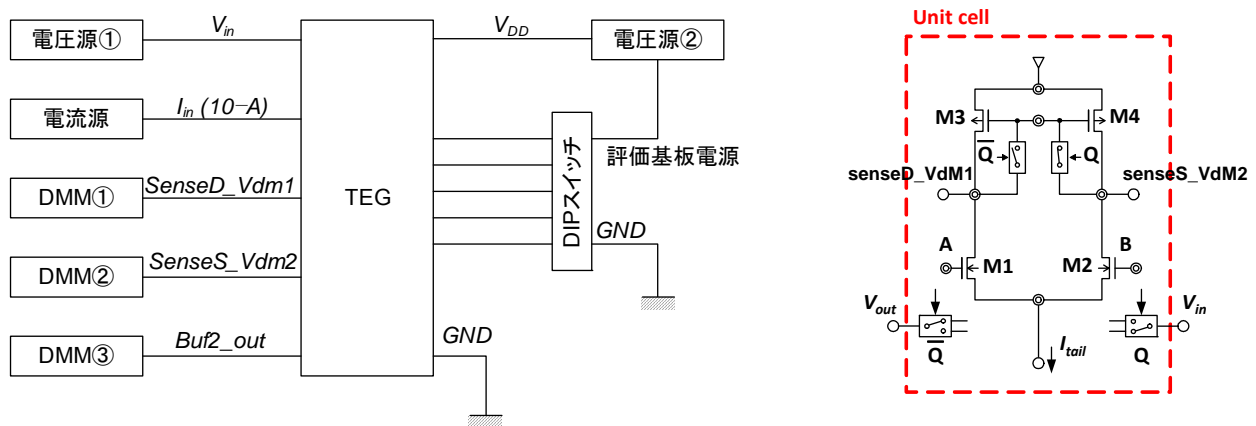


III-2-I- (1)図 1-2-7-16 σV_{OS} の Pelgrom プロット

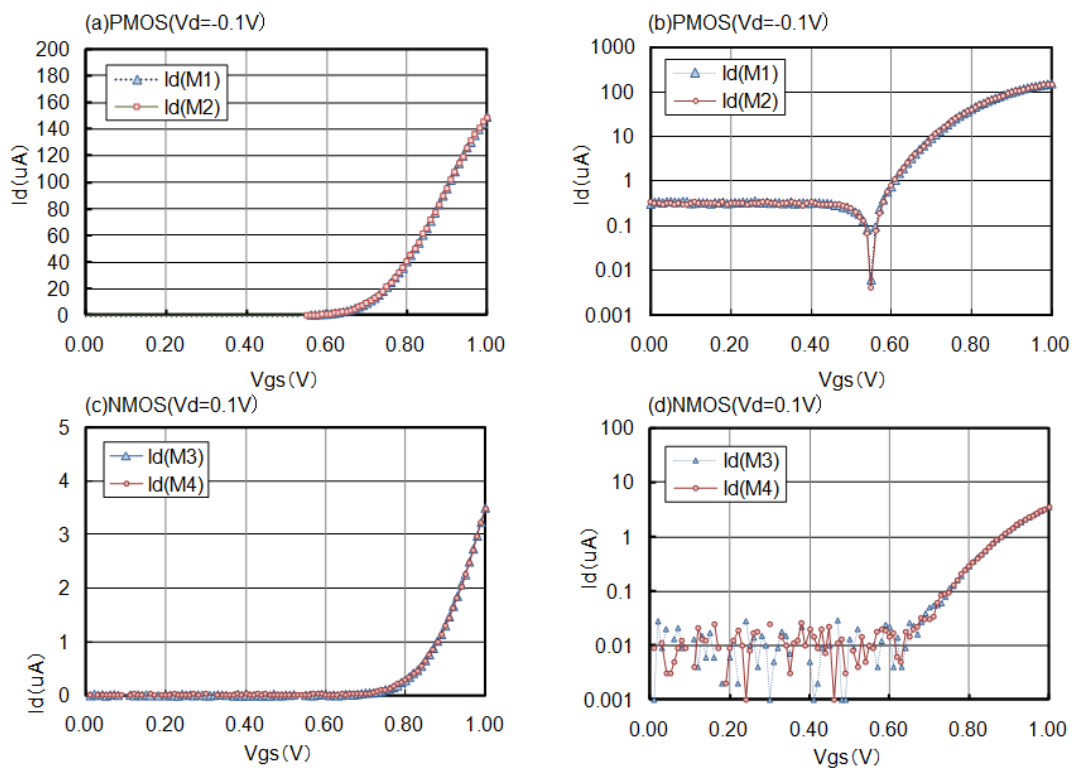
引き続き、 V_{OS} を求めたオペアンプ TEG を構成する MOS トランジスタの特性を評価する。III-2-I- (1) 図 1-2-7-17 に示すように、オペアンプ TEG を構成する MOS トランジスタのソース・ドレイン・ゲート電極に引き出された端子に電圧を印加することで評価を行う。TEG への接続、使用機器をも同様に示した。高精度な評価を実施するために、ドレイン電圧、ソース電圧をセンスし、補正できるようにモニター用のデジタルマルチメーターも準備している。実測した、 $L_g/W_g=1/80\mu\text{m}$ の PMOS、ならびに NMOS の特性の一例を III-2-I- (1) 図 1-2-7-18 に示した。本 TEG を用いることで、MOS トランジスタの I_d-V_g 特性が求められ、またこの特性より V_{th} が抽出可能であることを示した。この方法により求めた入力差動対のペアの MOS トランジスタの V_{th} 差 (ΔV_{th}) の分布を III-2-I- (1) 図 1-2-7-19、III-2-I- (1) 図 1-2-7-20、および III-2-I- (1) 表 1-2-7-3 に示す。 ΔV_{th} をとることにより、 V_{th} ばらつきのランダム成分を抽出しているため、 ΔV_{th} はほぼ正規分布を示す。また、従来から報告されているように、 V_{th} 、 T_{OX} が同じであるため、ゲート面積が小さくなるにしたがって、 ΔV_{th} ばらつきが大きくなっていることが分かる。III-2-I- (1) 図 1-2-7-21 に Pelgrom、ならびに Takeuchi プロットを示した。記号(○□) はペア差からもとめた実測結果であり、実践は 1M の DMA-TEG より求めた結果を示している。開発したオペア

アンプ TEG から求めたランダムばらつきは、1M の DMA-TEG の結果によく一致し、評価結果が正しいことを確認することができた。

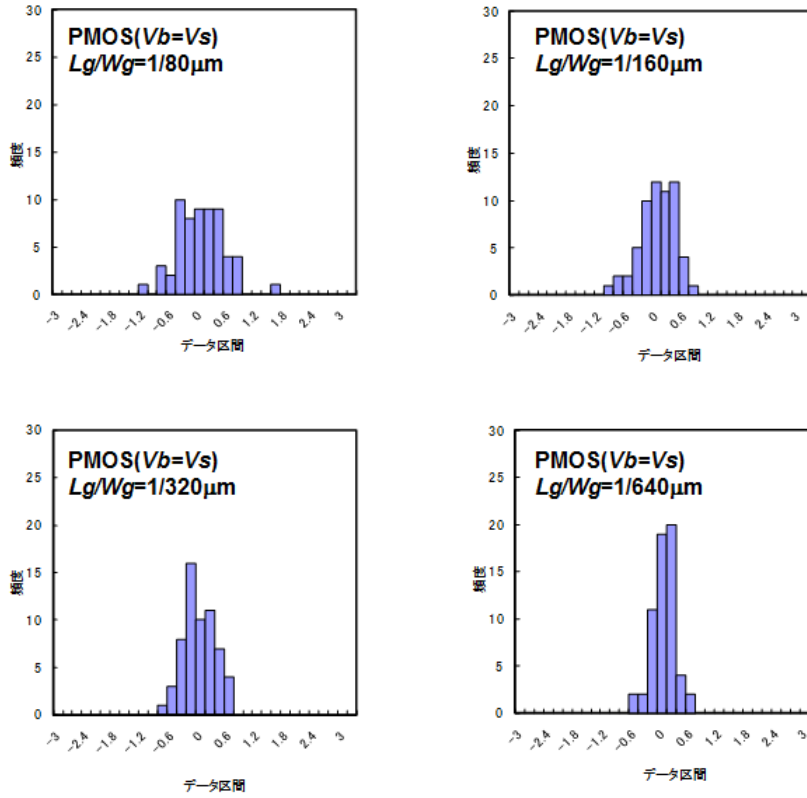
機器No	メーカー	型番	概要	用途
電圧源①	ADVANTEST	TR6143	直流電圧・電流源	ゲート電圧印加用
電圧源②	KENWOOD	PW8-3ATP	多出力直流安定化電源(3出力)	デバイス電源(VDD)、評価基板電源印加用
電流源	ADVANTEST	TR6143	直流電圧・電流源	基準電流(10uA)印加用
DMM①	HP	34401A	デジタルマルチメータ	能動負荷MOSドレイン電圧測定用
DMM②	HP	34401A	デジタルマルチメータ	能動負荷MOSドレイン電圧測定用
DMM③	ADVANTEST	R6871E	デジタルマルチメータ	出力(Buf2_out)測定用



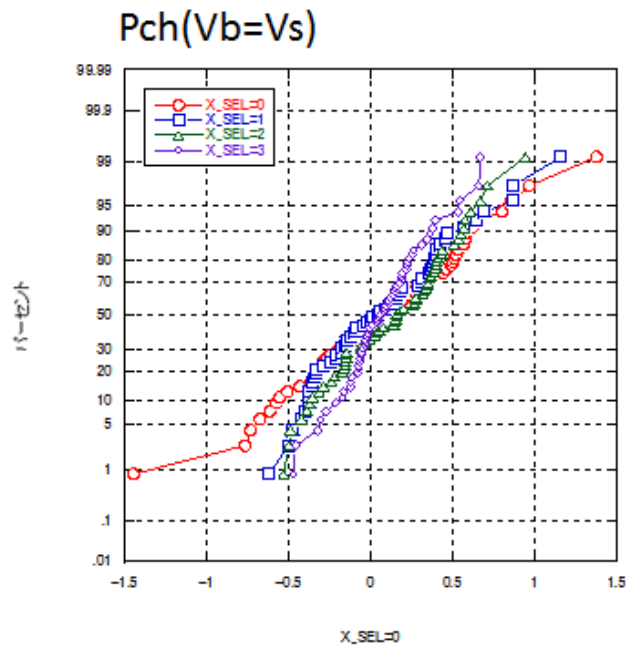
III-2-I- (1)図 1-2-7-17 DUT を構成する MOS トランジスタの測定手法



III-2-I- (1)図 1-2-7-18 単体トランジスタの I_d - V_g 波形



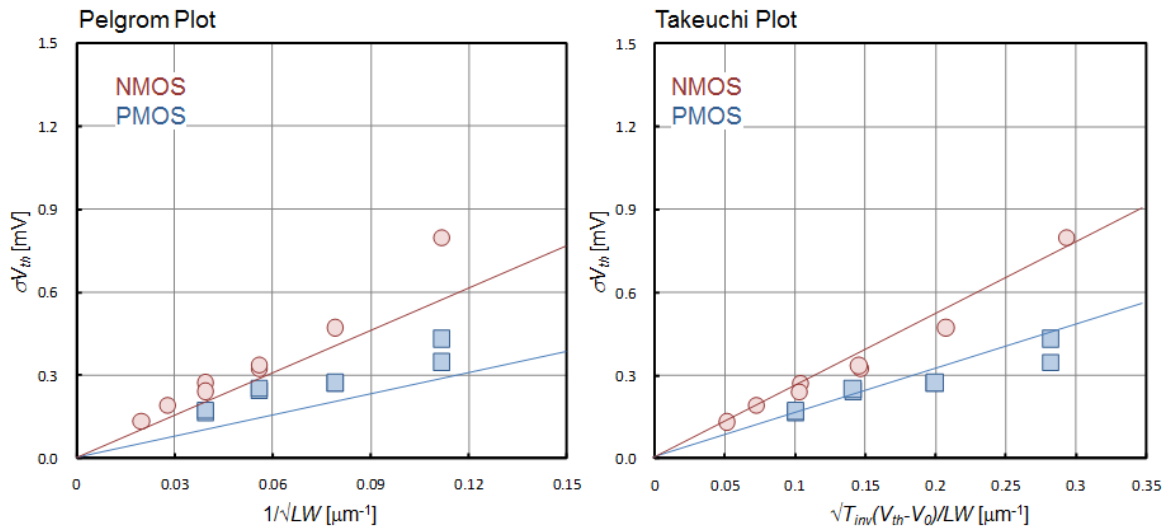
III-2-I- (1)図 1-2-7-19 DUT を構成する MOS トランジスタの V_{th} のヒストグラム



III-2-I- (1)図 1-2-7-20 単体トランジスタの V_{th} の累積度数分布

III-2-I- (1)表 1-2-7-3 DUT を構成する MOSトランジスタの V_{th} の統計情報

X_SEL	入力MOSタイプ	Lg μ m $\%$	Wg μ m $\%$	偏差(mV $\%$)	平均(mV $\%$)	最大(mV $\%$)	最小(mV $\%$)	相関係数
0	PMOS $\%$ Vb=Vs $\%$	1	80	0.492	-0.062	1.451	-1.376	0.730
1		1	160	0.383	-0.063	0.621	-1.160	0.579
2		1	320	0.344	-0.131	0.537	-0.943	0.741
3		1	640	0.237	-0.071	0.475	-0.668	0.516
4	PMOS $\%$ Vb=Vdd $\%$	1	80	0.612	-0.127	1.532	-1.352	0.788
5		1	160	0.387	-0.017	1.055	-0.834	0.780
6		1	320	0.357	-0.059	0.785	-0.818	0.717
7		1	640	0.245	0.016	0.680	-0.520	0.382
8	NMOS	1	80	1.130	0.167	2.246	-2.353	0.928
9		1	160	0.669	-0.141	1.009	-1.792	0.891
10		1	320	0.457	-0.049	0.758	-1.283	0.854
11		1	640	0.386	0.021	0.780	-0.732	0.809
12	NMOS(サイズ補間)	2	160	0.476	-0.046	0.808	-1.236	0.811
13		2	320	0.343	-0.012	0.750	-0.602	0.797
14		2	640	0.271	-0.004	0.817	-0.521	0.737
15		2	1280	0.188	-0.021	0.299	-0.497	0.467



III-2-I- (1)図 1-2-7-21 単体トランジスタの σV_{th} の(a)Pelgrom、(b)Takeuchi プロット

また、単体 MOS 特性からアンプの V_{OS} の導出が可能である。すなわち、飽和領域の電流 I と g_m は、

$$I = \frac{\beta}{2}(V_{gs} - V_{th})^2$$

$$g_m = \frac{\partial I}{\partial V_{gs}} = \beta(V_{gs} - V_{th}) \quad (1-2-7-1)$$

I を V_{th} と b と V_{gs} の関数としたときの全微分は、

$$\Delta I_{12} = \frac{\partial I_{12}}{\partial V_{th12}} \Delta V_{th12} + \frac{\partial I_{12}}{\partial \beta_{12}} \Delta \beta_{12} + \frac{\partial I_{12}}{\partial V_{gs12}} \Delta V_{gs12} \quad (1-2-7-2)$$

$$\Delta I_{34} = \frac{\partial I_{34}}{\partial V_{th34}} \Delta V_{th34} + \frac{\partial I_{34}}{\partial \beta_{34}} \Delta \beta_{34} + \frac{\partial I_{34}}{\partial V_{gs34}} \Delta V_{gs34} \quad (1-2-7-3)$$

$\Delta V_{gs34} = 0$ (能動対の M3、M4 ゲートは短絡しているため)

$$\Delta I_{12} + \Delta I_{34} = 0 \quad (1-2-7-4)$$

アンプのオフセットは(4)が成立するときの ΔV_{gs12} であるので、(1-2-7-1)～(1-2-7-4)式から、

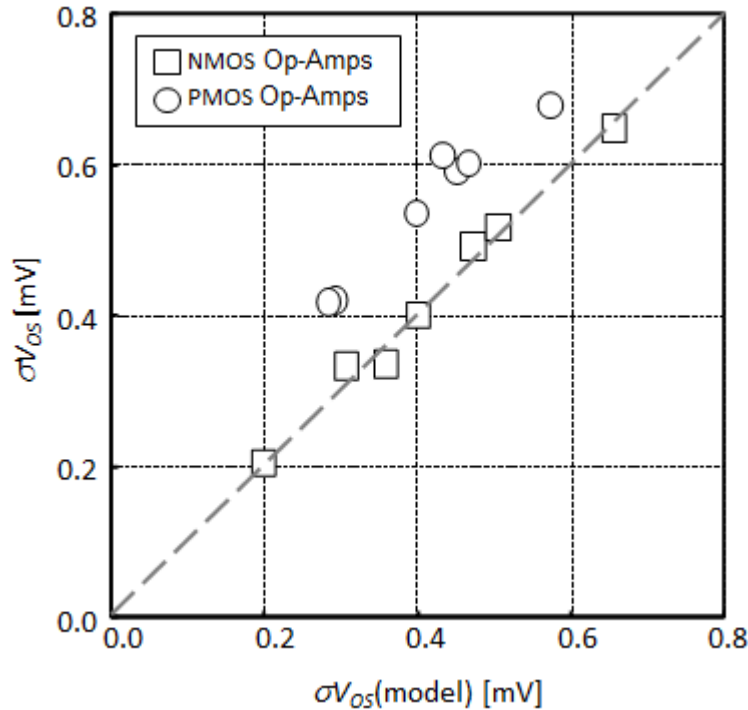
$$\begin{aligned} \Delta V_{gs12} &= V_{OS} \\ &= \Delta V_{th12} + \frac{(V_{gs12} - V_{th12})^2}{2g_{m12}} \cdot \Delta \beta_{12} + \frac{g_{m34}}{g_{m12}} \cdot \Delta V_{th34} + \frac{(V_{gs12} - V_{th12})^2}{2g_{m12}} \cdot \Delta \beta_{34} \\ &= \Delta V_{th12} + \frac{(V_{gs12} - V_{th12})}{2} \cdot \frac{\Delta \beta_{12}}{\beta_{12}} + \frac{g_{m34}}{g_{m12}} \left(\Delta V_{th34} + \frac{(V_{gs34} - V_{th34})}{2} \cdot \frac{\Delta \beta_{34}}{\beta_{34}} \right) \end{aligned} \quad (1-2-7-5)$$

$\beta_{12} \gg \beta_{12}$ 、 $\beta_{34} \gg \beta_{34}$ とすると、

$$V_{OS} = \Delta V_{th12} + \frac{g_{m34}}{g_{m12}} \cdot \Delta V_{th34} \quad (1-2-7-6)$$

が成立する。(1-2-7-6)式を用いて、オペアンプ TEG を構成する単体 MOS トランジスタのばらつきから求めた $\sigma V_{OS}(\text{model})$ と実測の σV_{OS} に比較を行った結果を、III-2-I- (1)図 1-2-7-21 に示した。若干、PMOS で差異が大きいものの単体 MOS トランジスタより計算される値に近い結果が得られた。

以上より、アナログ回路等の基本回路となるオペアンプ TEG の微小なオフセットばらつき、ならびにアナログ回路を構成する単体デバイス特性を評価する手法を開発し、その有用性を示した。単体 MOS デバイスばらつきを高精度に評価することで、アナログ回路を構成した場合の回路ばらつきを見積もる手法を示し、その妥当性を確認した。



III-2-I- (1)図 1-2-7-16 単体トランジスタの V_{th} ばらつきから求めた V_{05} と実測 V_{05} の関係

参考文献

- [1] K. Takeuchi, T. Fukai, Y. Tsunomura, A. T. Putra, A. Nishida, S. kamohara and T. Hiramoto, "Understanding Random Threshold Voltage Fluctuation by Comparing Multiple Fabs and Technologies," Proc of IEDM2007, p.467-470, Dec., 2007.
- [2] K. Takeuchi, A. Nishida, and T. Hiramoto, "Normalization of random threshold voltage fluctuation for fair comparison between technologies, process conditions and device designs," in Silicon Nanoelectronics Workshop Abst., pp.7-8, 2007.
- [3] T. Tsunomura, A. Nishida, F. Yano, A. T. Putra, K. Takeuchi, S. Inaba, S. Kamohara, K. Terada, T. Hiramoto, and T. Mogami, "Analyses of 5σ V_{th} fluctuation in 65nm-MOSFETs using Takeuchi plot," in Symp. VLIS Tech. Dig., pp.156-157, 2008.
- [4] T. Tsunomura, A. Nishida, F. Yano, A. T. Putra, K. Takeuchi, S. Inaba, S. Kamohara, K. Terada, T. Mama, T. Hiramoto, and T. Mogami, "Analysis of extra V_t variability sources in NMOS using Takeuchi plot," in Symp. VLSI Tech. Dig., pp.110-111, 2009.
- [5] X. Song, M. Suzuki, T. Saraya, A. Nishida, T. Tsunomura, S. Kamohara, K. Takeuchi, S. Inaba, Y. Mogami, and T. Hiramoto, "Impact of DIBL variability on SRAM Static Noise Margin Analyzed by DMA SRAM TEG," to be presented in IEDM 2010, 2010.
- [6] Y. Bando, S. Takaya, T. Ohkawa, T. Takaramoto, T. Yamada, M. Souda, S. Kumashiro, and M. Nagata, "On-chip In-situ Measurements of V_{th} and AC Gain of Differential Pair Transistors", IEEE International Conference on Microelectronic Test Structures 2010 (ICMTS 2010), pp. 232 - 235, Mar. 2010
- [7] M. J. M. Pelgrom, A. C. J. Duijnmaijer, and A. P. G. Welbers, "Matching properties of MOS transistors," IEEE J. Solid-State Circuits, vol. 24, no. 5, pp.1433-1440, Oct. 1989.