

# 次世代半導体材料・プロセス基盤 (MIRAI)プロジェクト(事後評価)

## プロジェクト第3期の概要(公開)

- I. 事業の位置付け・必要性
- II. 研究開発マネジメント

平成23年4月14日(木)

新エネルギー・産業技術総合開発機構(NEDO)  
電子・材料・ナノテクノロジー部

16

### I. 事業の位置付け・必要性

公開

## 政策上の位置付け

事業原簿p I-1

経済産業省 研究開発プログラム「ITイノベーションプログラム」、  
「エネルギーイノベーションプログラム」の1テーマとして実施

政策  
全体  
目標

第3期科学技術  
基本計画

- 継続的イノベーションを具現化するための科学技術の研究開発基盤の実現
- 革新的IT技術による産業の持続的な発展の実現
- すべての国民がITの恩恵を実感できる社会の実現

IT新改革戦略

- いつでも、どこでも、誰でもITの恩恵を実感できる社会の実現

実行  
プログラム  
(経済産業省)

ITイノベーション  
プログラム

- 目的
- ・情報通信機器・デバイス等の情報通信技術を開発し、実社会への利用を促進する。
  - ・ITの利活用の進化・拡大を図り、より豊かな国民生活を実現するとともに、我が国の経済活力の向上を図る。

- [プロジェクト]
- I. ITコア技術の革新
    - [i] 世界最先端デバイスの先導開発
      - (1) 次世代半導体材料・プロセス基盤プロジェクト(MIRAI)
      - (2) 次世代低消費電力半導体基盤技術開発(MIRAI)
      - (3) ドリームチップ開発プロジェクト
      - (4) 次世代プロセスフレンドリー設計技術開発
      - .....

エネルギーイノベーション  
プログラム

- 目的
- ・革新的なエネルギー技術の開発、導入・普及によって、各国に先んじて次世代型のエネルギー利用社会の構築に取り組む。
  - ・政府が長期を見据えた将来の技術進展の方向性を示し、官民双方がこの方向性を共有することで、官民において長期にわたり軸のぶれない取組を実施する。

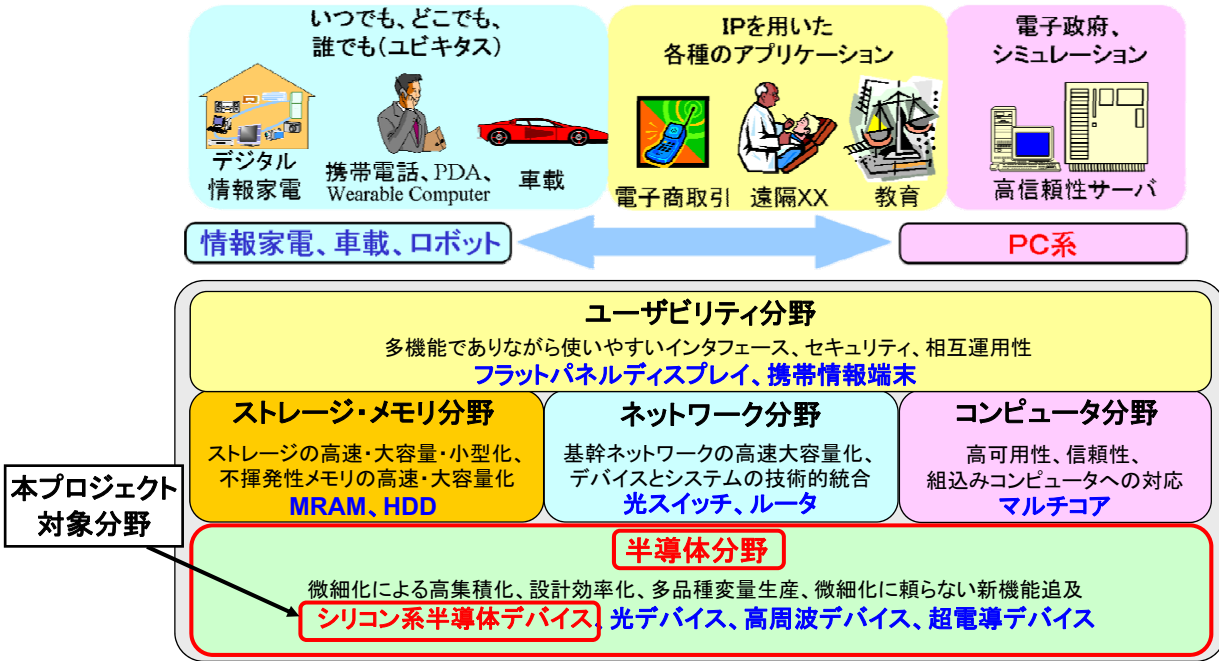
- [プロジェクト]
- I. 総合エネルギー効率の向上
    - [vi] 次世代省エネデバイス技術
      - (1) パワーエレクトロニクスインバータ基盤技術開発
      - (2) ナノエレクトロニクス半導体新材料・新構造技術開発
      - (3) 次世代低消費電力半導体基盤技術開発(MIRAI)
      - (4) 半導体アプリケーションチッププロジェクト
      - .....

17

# NEDO中期目標における位置付け

「高度情報通信社会の実現」、「IT産業の国際競争力の強化」のため、  
 情報通信分野の半導体における技術開発の一環として実施

●高度情報通信社会とそれを支える技術分野



# プロジェクトの概要

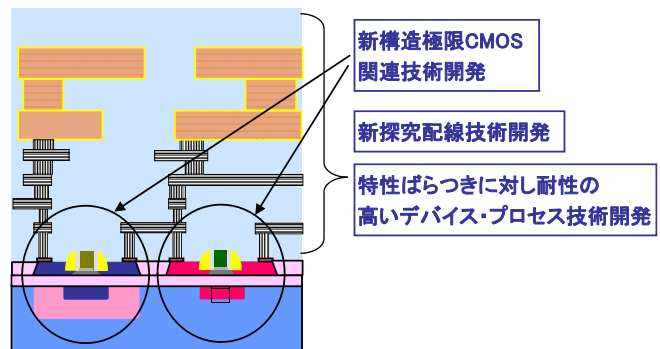
## ①新構造極限CMOSTランジスタ関連技術開発

目的: hp32nmを越える技術世代に対応するバリスティックCMOS技術の開発

## ②新探究配線技術開発

目的: hp32nm以細の集積回路に適した配線基盤技術の開発

- ・カーボン配線技術の開発
- ・LSIチップ光配線技術の開発



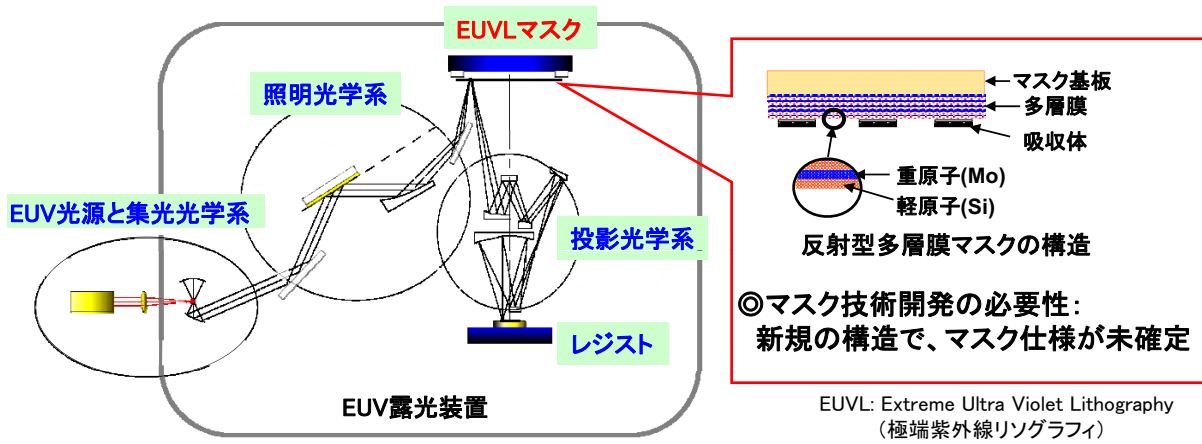
## ③特性ばらつきに対し耐性の高いデバイス・プロセス技術開発

目的: hp45nmを超える技術領域の集積回路の特性ばらつきに対処する技術の開発

# プロジェクトの概要

## ④次世代マスク基盤技術開発

目的: hp32nm以細に適用できる高精度・低欠陥EUVLマスクの技術基盤の確立

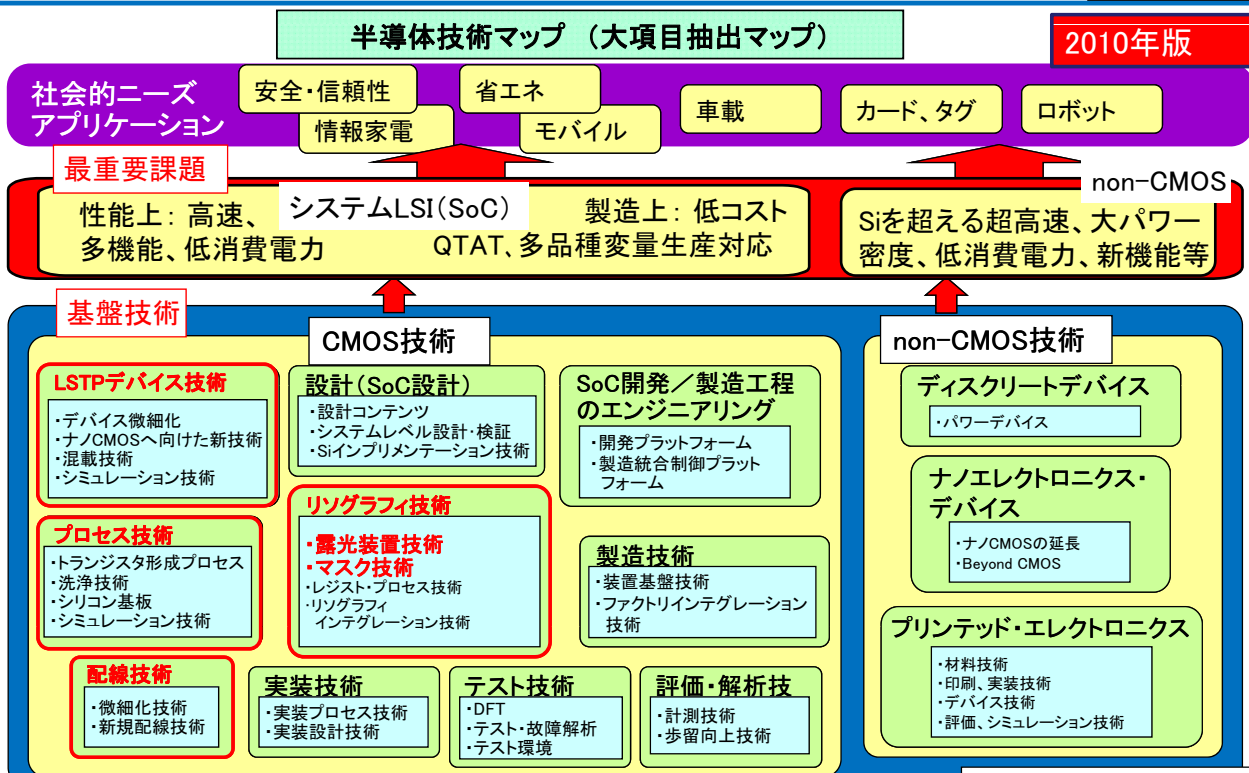


## ⑤EUV光源高信頼化技術開発

目的: hp32nm以細に適用可能なEUV露光システム技術の基盤確立

- ・光源起因マスク、ミラーの汚染評価技術の開発
- ・集光光学系などの清浄化技術の開発

# NEDO半導体分野の技術マップにおける位置付け



## 技術戦略マップ2010(抜粋)

SoC = System on a Chip  
 QTAT = Quick Turn Around Time  
 LSTP = Low Standby Power  
 DFT = Design For Testability

# MIRAIプロジェクトの必要性

事業原簿p I-1~7

## ●NEDO関与の必要性

半導体技術は情報通信機器の高機能化、省エネ化に直結

情報通信技術開発、省エネ技術開発は国家的重点課題

微細化が物理限界に近づき、技術課題の難度が上昇

産学官の英知の結集が必要

研究開発費の増大

民間企業単独での開発は困難

企業、研究機関等の枠組みを超えた体制での半導体技術開発のためのプロジェクトが必要

## ●半導体微細化技術開発の必要性

我が国の半導体関連産業(デバイス、装置及び材料)の国際競争力強化のためには高機能LSIの実現が必要

- 微細化に対応可能なトランジスタや配線の性能向上が課題。
- 原子数個のレベルでの寸法制御が必要、微細化に伴う素子特性のばらつきが集積化の大きな障害。
- 従来の微細化手法が限界に達すると予測されており、これに代わる新たなリソグラフィ技術の開発が必要。

半導体微細化技術としてMIRAIプロジェクトが必要

# プロジェクト実施の効果

事業原簿p I-2~3

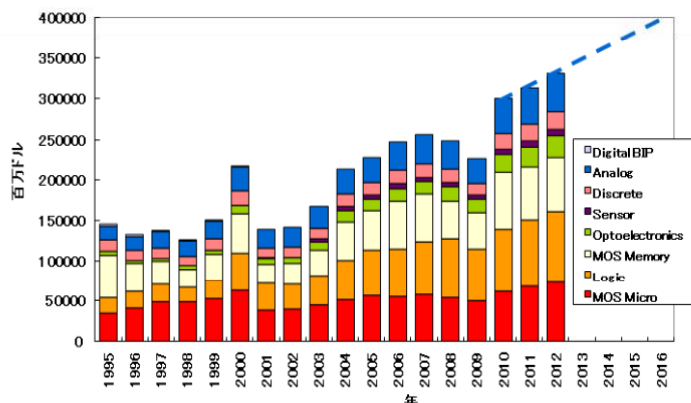
MIRAIプロジェクト第三期の総事業費 : 230.8億円

## 経済効果

半導体市場予測: 2016年に40兆円  
(2010年以降、年5.1%成長を仮定)  
→ 内MIRAI成果活用市場予測 13兆円

## 省エネ効果

本事業により半導体デバイスのhp32nm以細への微細化が促進されることによる省エネ効果



2020年に 11.6TWh  
2030年に 22TWh



274万kl  
519万kl

半導体世界市場(出典:WSTS)

## 省エネ効果の試算

消費電力削減量 = (本事業が実施されない時のLSIの消費電力量) - (本事業が実施された時のLSIの消費電力量)

- ・処理すべき情報は同じと仮定
- ・2020年に上市されている最先端LSI世代を、本事業が行われた場合はhp22nm、行われなかった場合はhp32nm、2030年はそれぞれhp8nm、hp11nmと仮定

# MIRAIと民間事業との分担・連携

- ・MIRAIは、つくば半導体コンソーシアムの一環として、hp45nmを超えるデバイス実現に向けた、技術課題に注力
- ・民間自主事業と密に連携し推進

TSC: Tsukuba Semiconductor Consortium

## つくば半導体コンソーシアム(TSC)

### MIRAIプロジェクト

#### I. 次世代半導体材料・プロセス 基盤技術開発

- ①新構造極限CMOSTランジスタ技術
- ②新探究配線技術
- ③特性ばらつきに対し耐性の高いデバイス・プロセス技術

#### II. 次世代半導体露光プロセス 基盤技術開発

- ④次世代マスク基盤技術
- ⑤EUV光源高信頼化技術

密接に連携

### あすかIIプロジェクト

#### Selete先端コアプログラム

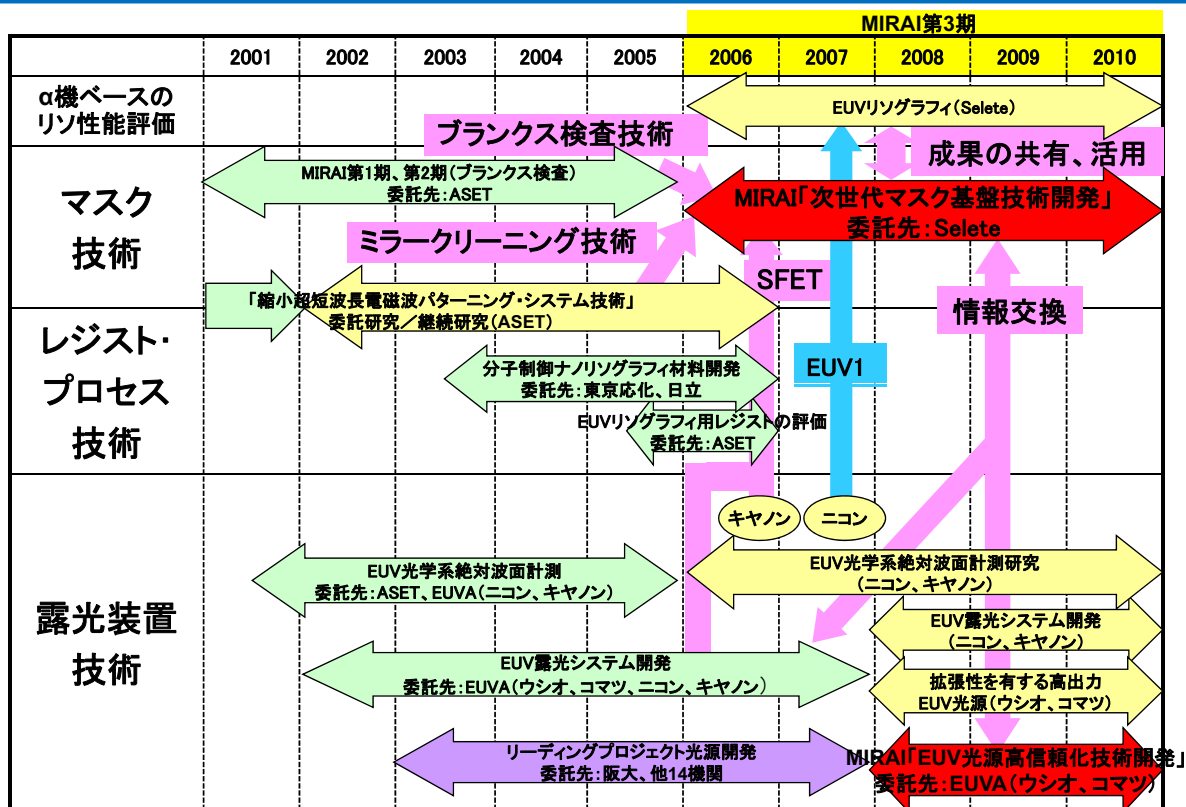
・フロントエンドプロセス  
(hp45nm/32nmメタルゲート/High-k)

・バックエンドプロセス  
(hp45nm/32nmCu/Low-k)

・EUVリソグラフィ  
(hp45nm/32nm  
リソ・マスク技術)

#### Selete共通コアプログラム

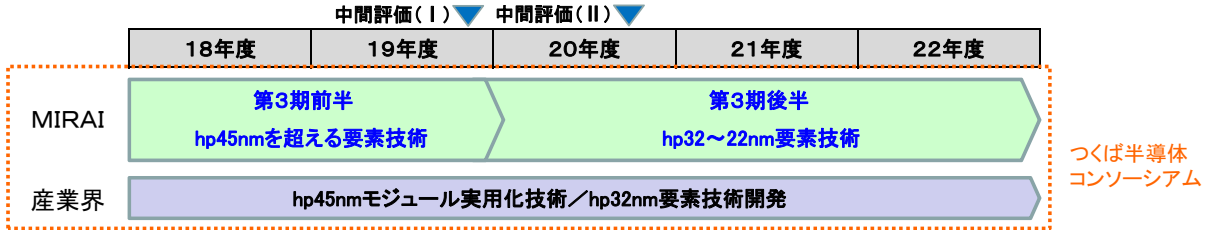
# EUVL: 国内関連プロジェクト・民間事業との分担・連携





# 第3期の研究開発計画

事業原簿p II-15~16



**第3期前半 基本計画**  
 I. hp45nmを超える技術領域の課題を解決する革新的基盤技術を開発し、半導体LSI実現に向けてのデバイス・プロセス技術選択肢を提示する。平成19年度末に中間評価を実施し、研究開発計画の見直しを行うこととする。  
 II. EUVマスク基盤技術を開発し、平成20年度にhp45nm、平成22年度にhp32nmに対応する技術を確立する。

**第3期後半 基本計画**  
 I. hp45nmを超える技術領域の課題を解決する革新技術としての新構造極限CMOSTランジスタ技術、新探究配線技術、特性ばらつきに対し耐性の高いデバイス・プロセス技術を、産業界における実用化に向けた展開につなげることを目指して開発する。  
 II. EUVマスク基盤技術およびEUV光源高信頼化技術を開発し、EUVマスク基盤技術については平成20年度にhp45nm、平成22年度にhp32nmに対応する技術を確立し、平成20年度より開始するEUV光源高信頼化技術については平成22年度にhp32nmに対応する技術を確立する。

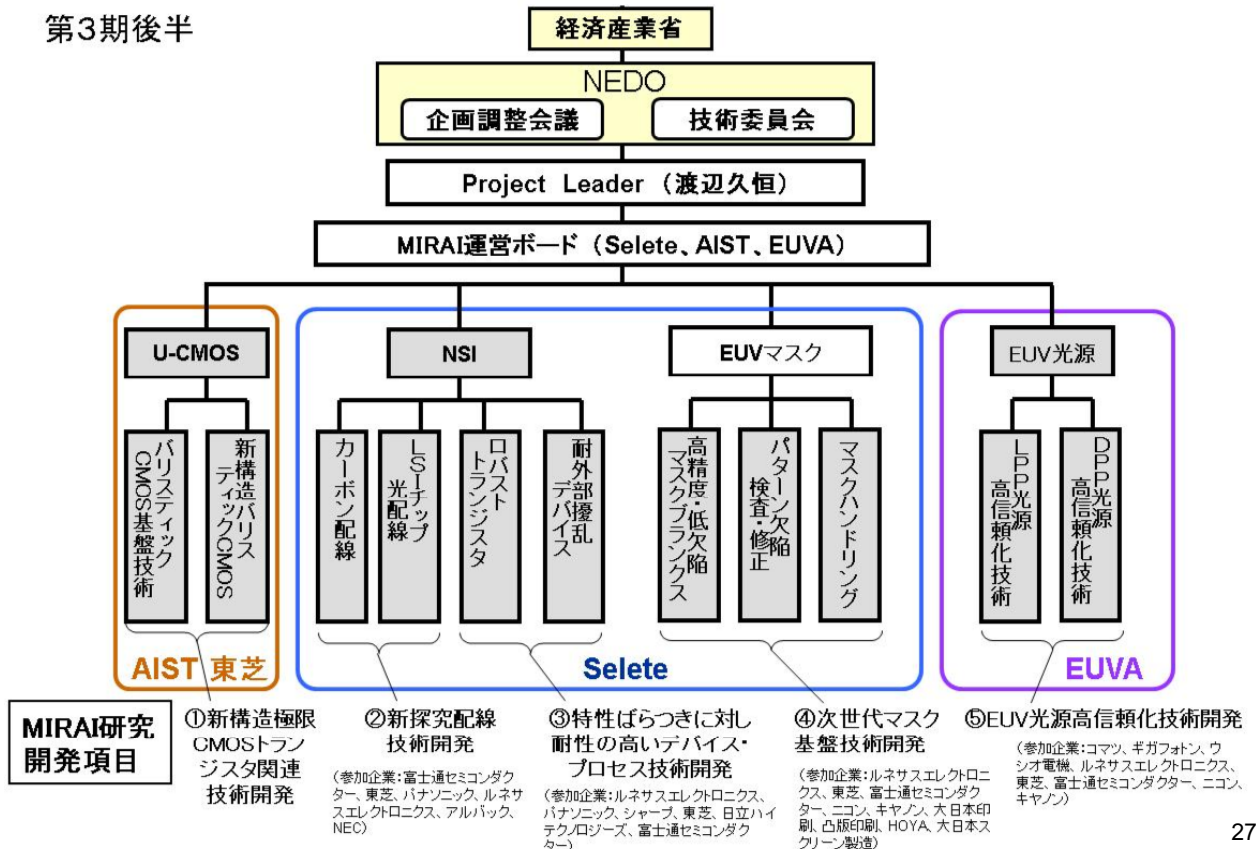
中間評価(Ⅰ)の結果も踏まえた基本計画の見直し方針

- ①新構造極限CMOSTランジスタ関連技術
  - ・新構造トランジスタと極限EOTゲートスタックの技術についてのサイエンスの深掘と実証が一定の段階に達したことから、平成19年度末に関連コンソーシアムを含めた産業界に成果を移転して開発を終了する。
  - ・平成20年度から新たに、hp32nmを越える技術領域で顕在化するキャリアのバリスティック輸送現象の総合的な最適化を図るバリスティックCMOS技術開発に取り組む。
- ②新探究配線技術、③特性ばらつきに対し耐性の高いデバイス・プロセス技術
  - ・平成22年度までの具体的な成果達成目標を設定して技術開発を行う。
- ④次世代マスク基盤技術
  - ・hp32nm以細に適用できる高精度・低欠陥EUVL用マスクの技術基盤確立を目的とする。
- ⑤ EUV光源高信頼化技術
  - ・平成20年度からは、hp32nm以細に適用できるEUV光源の高信頼化技術の開発を行う。

# 研究開発体制

事業原簿p II-5~8

第3期後半



## 研究開発目標と根拠(Ⅰ)

事業原簿p11-1~2, 基本計画-7~13

## I. 次世代半導体材料・プロセス基盤技術開発

研究開発項目	基本計画目標	根拠
①新構造極限CMOSトランジスタ関連技術開発	・hp32nmを越える技術世代に対応するバリスティックCMOS技術を開発する。	hp32nmを越える技術領域では、微細化を進めることによりCMOSの電流駆動力が低下するため、革新的新技術の導入が必須である。このため、バリスティック効率を向上させオン電流を増大させることが求められている。
②新探究配線技術開発	・カーボン材料を用いた配線構造技術を確立する。 ・新しいグローバル配線としてオンチップ光配線技術を実証する。	hp32nm以細の技術領域においては、従来のLow-k膜とCu配線の多層配線では信号遅延・電磁干渉・消費電力・電流密度などの課題が顕在化する。このため、従来技術とは異なる発想に基づく新探究配線技術の研究開発が求められている。
③特性ばらつきに対し耐性の高いデバイス・プロセス技術開発	・特性ばらつきの解析技術を確立し、ばらつきの物理的理解とモデリング技術を開発する。また特性ばらつき耐性の高いトランジスタ構造を提案する。 ・外部擾乱に対しトランジスタや回路の誤動作が発生するメカニズムを明確にし、その解決策と耐性の高い回路の設計指針を確立する。	hp45nmを越える技術領域に向けて、特性ばらつきが正常な回路動作の大きな妨げになると予想される。このため、デバイス特性ばらつきの解析・物理的理解・モデリングは製造・設計歩留まりの向上を実現できる共通基盤技術として不可欠なものである。さらに、これらの知見に基づき、特性ばらつきに対処する基盤技術開発が求められている。

## 研究開発目標と根拠(Ⅱ)

事業原簿p11-1~2, 基本計画-14~15

## II. 次世代半導体露光プロセス基盤技術開発

研究開発項目	基本計画目標	根拠
④次世代マスク基盤技術開発	hp32nm微細加工技術に対応する ・EUVLマスクの許容欠陥の指標、および位相欠陥検査技術を確立する。 ・EUVLマスクパターン欠陥検査技術について要求感度達成に目処をつける。EUVLマスクパターン欠陥修正技術について要求精度達成への目処をつける。 ・EUVLマスク搬送・保管技術およびファブ内検査・クリーニング技術を確立する。	・hp32nm以細の技術領域では、従来の微細化手法が限界に達すると予測されており、これに代わる新たなリソグラフィ技術の開発が求められている。 ・EUVL用マスクは反射型マスクであり、従来のフォトマスクとは異なる構造および原理によるものであるため、EUVLマスク専用の技術開発が必要である。
⑤EUV光源高信頼化技術開発	・中間集光点で180Wの出力光源を1年間動作させた場合においても、マスクあるいはミラーの最大反射率低下が10%以下となる汚染量を明示できる評価技術を開発し、その有効性を示す。 ・中間集光点で180Wの出力光源に対して、上述の汚染量抑制を実現できる高信頼化技術を開発する。	・量産機用EUV光源としては中間集光点で180W以上が求められており、このため、EUV光源に起因する物質の露光光学系側への伝搬、拡散によるマスク、ミラーの汚染や損傷などを抑制する光源の信頼性確保がEUV光源の高出力化に伴う新たな技術課題となっている。

## 開発項目・内容・事業額

事業原簿pII-2,9

研究開発項目	研究開発内容	事業費
①新構造極限CMOSトランジスタ関連技術開発	(1)ソース・ドレイン材料・構造の制御によりCMOSの駆動力を高める技術の開発 (2)キャリア輸送特性を向上してCMOSの駆動力を高める技術の開発 (3)微細な低消費電力・高電流駆動カトランジスタによる実証 (4)計測・モデリング技術の開発	42.1億円
②新探究配線技術開発	(1)極限低抵抗・高電流密度配線技術の開発(カーボン配線) (2)新概念グローバル配線技術の開発(LSIチップ光配線)	19.9億円
③特性ばらつきに対し耐性の高いデバイス・プロセス技術開発	(1)構造依存の特性ばらつきの物理的理解とモデリング技術の開発 (2)外部擾乱依存の特性ばらつきの物理的理解とモデリング技術の開発	26.3億円
④次世代マスク基盤技術開発	(1)高精度・低欠陥EUVLマスクおよびブランク技術の開発 (2)EUVLマスクパターン欠陥検査技術および欠陥修正技術の開発 (3)ペリクルレスEUVLマスクハンドリング技術の開発	108.1億円
⑤EUV光源高信頼化技術開発 (平成20～22年)	(1)光源起因マスク、ミラーの汚染評価技術の開発 (2)集光光学系などの清浄化技術の開発	31.4億円

## 情勢変化への対応：電材部におけるプロジェクトマネジメント

事業原簿 PII9～PII13

## 電子・材料・ナノテクノロジー部におけるプロジェクトマネジメント

- (1) 実施者からの定期的なヒアリング（年2回 春、秋）
  - ・研究開発進捗状況の確認
  - ・世界の研究開発に対するベンチマーク
  - ・実用化見込みを検討
- (2) 企画調整会議、技術委員会の開催
  - ・プロジェクトに関し外部有識者からの提言を得る
- (3) EUVL総合戦略検討委員会の開催
  - ・EUVLに関するNEDO、大学、民間のプロジェクト推進者による委員会
  - ・プロジェクト間の連携、成果の共有化により開発の効率化を図る
- (4) 主要企業個別ヒアリング
  - ・各社の開発計画とプロジェクトの整合が取れているかどうか確認
  - ・プロジェクト開発成果の活用状況を調査
- (5) 研究開発動向の把握
  - ・主要国際学会(VLSI、IEDM、SPIE、EUVLシンポ等)への参加

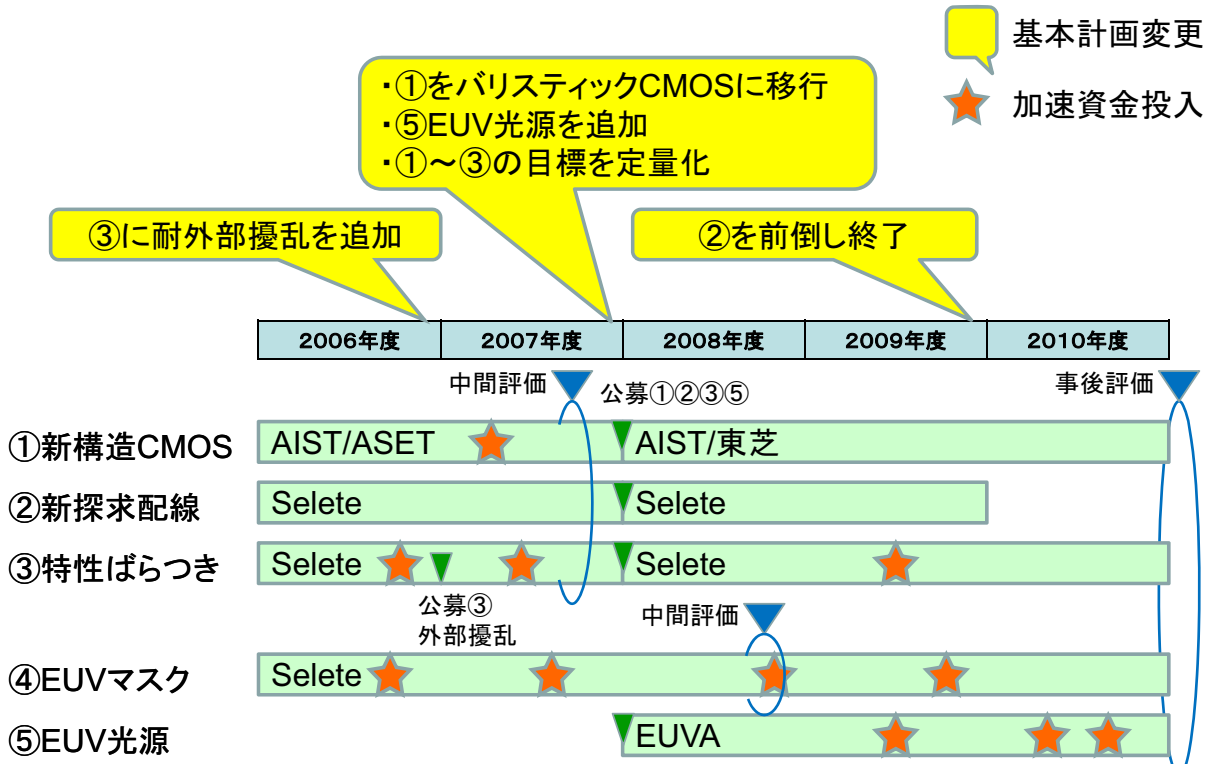
## 具体的な取組み

- (1) 研究開発内容の追加と前倒し終了
- (2) 研究を加速する機動的な資金の投入



# 第3期の基本計画変更と加速資金投入

事業原簿p11-14~21

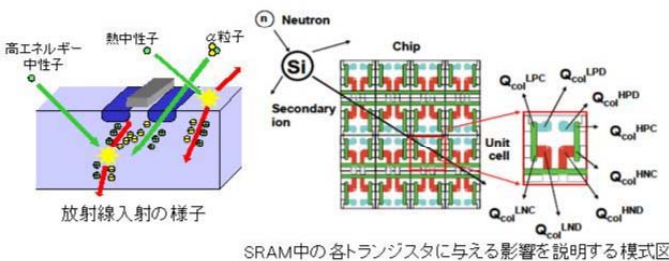


## 情勢変化への対応ー(1)研究開発内容の追加と前倒し終了

事業原簿 P119~P1110

◆微細化・低電源電圧化等に伴い、放射線や静電気などの外部擾乱による特性ばらつきに起因する回路エラーの根本的対応が求められており、基本計画に新たな内容として「外部擾乱依存特性ばらつき」を追加。

図表1: 外部擾乱(放射線ソフトエラー)



図表2: 課題対応表

具体的対策	素子構造依存特性ばらつき ハードエラー		外部擾乱依存特性ばらつき ソフトエラー
	ランダム	システムティック	
設計	統計的STA	CMP考慮 DFM	熱分布考慮
	欠陥考慮	リングラフィー考慮 ストレス対策	
	統計SPICEモデル	大規模TEGによるばらつき評価	耐ノイズ 耐ESD 耐SER 回路動作中の信頼性に影響
デバイス	耐ばらつきデバイス構造	各種ばらつき原因の科学的究明	今回の拡充部分

◆開発予算(一般会計)の大幅削減を受けて研究開発項目①~③の進捗状況を精査し、②新探求配線技術開発(カーボン配線、LSIチップ光配線)については、目的とする要素技術開発が一定の水準に達したことから、平成21年度末で前倒し終了した。

情勢変化への対応一(2) 研究を加速する機動的な資金の投入

◆ 第3期における資金投入の実績(加速資金)

	2006年度	2007年度
① 新構造CMOS ③ 特性ばらつき ④ 次世代マスク ⑤ EUV光源	③大規模デバイス試作による特性ばらつき解析:400百万円(11月) ④マスクパターン欠陥検査・修正装置等:742百万円(10月)	①一軸ひずみ微細構造トランジスタにおける高性能化:75百万円(6月) ③NMOS特性ばらつきのメカニズムと対応策検討:120百万円(9月) ④高精度マスク欠陥計測及びシミュレータ等:532百万円(11月)
2008年度	2009年度	2010年度
④露光精度向上のためのSFET光源機能増強等:169百万円(1月)	③High-k/メタルゲート構造の特性ばらつき解析技術:100百万円(9月) ④マスクパターン欠陥検査・修正装置機能向上:285百万円(12月) ⑤DPPコレクタ長寿命化:452百万円(9月)	⑤DPPコレクタ熱管理技術:332百万円(6月)、LPPコレクタクリーニング:150百万円(10月)

中間評価結果への対応

「I. 次世代半導体材料・プロセス基盤技術開発」中間評価(平成19年末) 研究開発項目①②③

総合評価

- ・日本におけるULSI技術研究開発の最前線として、産官学の英知を結集して実施している意義は大変大きい。
- ・数多くの世界最高レベル・世界初の研究成果が得られており、質・量ともに高く評価できる。
- ・今後の半導体技術力強化のため、本プロジェクトを継続実施することが望ましい。

今後に対する提言

- ・第3期終了時の目標や実用化への道筋を明瞭にすること。
- ・hp32nmやそれ以細への成果活用、新たなテーマの必要性などを検討すること。

評価結果への対応

- ・第3期前半で絞り込んだ技術選択肢をベースとして実用化に向けて目標を明確化した。
- ・「①新構造極限CMOS関連技術」の一部テーマについて平成19年度末に成果を産業界に移転して開発を終了、平成20年度からhp32nm以細に対応するパリストイックCMOS技術開発を新たに開始した。

「II. 次世代半導体露光プロセス基盤技術開発」中間評価(平成20年末) 研究開発項目④

総合評価

- ・マスクに焦点を当てた本プロジェクトは、国際競争力を高め、緊急性を要する研究開発を加速する意味でNEDOの事業として妥当である。
- ・中間目標であるhp45nmに対応する技術は目標を達成できる見通しであると判断する。

今後に対する提言

- ・リソースを集中すべき研究開発項目を今一度精査すべきである。
- ・EUV露光技術の出番はhp22nm以細になると思われることから、必要なものについては加速資金等の投入も積極的に行うべきと考える。

評価結果への対応

- ・マスクパターン検査、修正技術について、加速資金の投入を含めて注力した。
- ・hp22nm対応を見据えた要素技術開発、マスク検査装置性能検証を進めた。