

平成 2 3 年度実施方針

電子・材料・ナノテクノロジー部

1. 件名：

プログラム名：ITイノベーションプログラム、ナノテク・部材イノベーションプログラム

(大項目) 低炭素社会を実現する超低電圧ナノエレクトロニクスプロジェクト

2. 根拠法

独立行政法人新エネルギー・産業技術総合開発機構法第 1 5 条第 1 項第 2 号

3. 背景及び目的・目標

半導体技術は、機器の高性能化、小型化、省電力化を通じて情報家電、コンピュータ、通信装置、自動車、医療機器など我が国経済を支える先端産業の競争力強化に不可欠な基盤技術である。その発展を支えているのは、CMOS半導体デバイスで、これまで素子の寸法を微細化するプロセス技術開発により高性能化・低電力化を実現してきた。

低炭素化社会の実現には、エレクトロニクス機器の究極的低電圧動作による飛躍的な低電力化と、情報の不揮発性を利用した新機能創生、利便性などの高付加価値を同時に実現することが求められており、これらを満たす新しい超低電圧・不揮発デバイスの開発が必要である。

欧米においては、大型の産学連携ナノエレクトロニクス拠点の整備がここ数年で飛躍的に進み、超低電圧・不揮発デバイスをはじめとした、次世代デバイスに関する実用化を目指した研究が活発に行われ、今後、各国との開発競争は熾烈化するものと考えられる。海外の研究開発活動の活発化により、このような状況を放置すれば、超低電圧・不揮発デバイスに関する我が国の技術開発の競争力を失いかねない。

本プロジェクトは、「ITイノベーションプログラム」及び「ナノテク・部材イノベーションプログラム」の一環として、ナノテクノロジーで培われた新規の機能材料や新規のデバイス構造に立脚してLSIの低動作電圧化と高機能・高集積化を実現し、エレクトロニクス機器の消費電力を大幅に低減する技術を確立することを目的とする。

本プロジェクトでは表 1 に示す 2 つの事業項目を実施する。各事業項目の目的・目標は、別添 1、別添 2 に示すとおりとする。

表 1. 各事業項目の概要

	プロジェクト番号	事業項目名	実施期間
別添 1	P 1 0 0 2 3	低炭素社会を実現する超低電圧デバイスプロジェクト	平成 2 2 年～2 6 年 (5 年間)
別添 2	P 0 9 0 0 2	ナノエレクトロニクス半導体新材料・新構造 ナノ電子デバイス技術開発	平成 2 1 年～2 3 年 (3 年間)

4. 実施内容及び進捗（達成）状況

各事業項目の実施内容及び進捗（達成）状況は、別添 1、別添 2 のとおりである。

5. 事業内容

各事業項目の事業内容は、別添 1、別添 2 のとおりとする。

6. その他重要事項

(1) 評価の方法

事業項目「低炭素社会を実現する超低電力デバイスプロジェクト」について、別添1のとおり中間評価、事後評価を実施し、事業項目「ナノエレクトロニクス半導体新材料・新構造ナノ電子デバイス技術開発」について、別添2のとおり事後評価を実施する。

(2) 運営・管理

各事業項目について、別添1、別添2のとおり、運営・管理する。

(3) 複数年度契約の実施

各事業項目について、別添1、別添2のとおり、複数年度契約を実施する。

7. 実施方針の改定履歴

平成23年3月、制定。

別添 1 事業項目

「低炭素社会を実現する超低電圧デバイスプロジェクト」に係る平成 23 年度実施方針

1. 背景及び目的・目標

半導体技術は、機器の高性能化、小型化、省電力化を通じて情報家電、コンピュータ、通信装置、自動車、医療機器など我が国経済を支える先端産業の競争力強化に不可欠な基盤技術である。その発展を支えているのは、CMOS 半導体デバイスで、これまで素子の寸法を微細化するプロセス技術開発により高性能化・低電力化を実現してきた。

低炭素化社会の実現には、エレクトロニクス機器の究極的低電圧動作による飛躍的な低電力化と、情報の不揮発性を利用した新機能創生、利便性などの高付加価値を同時に実現することが求められており、これらを満たす新しい超低電圧・不揮発デバイスの開発が必要である。

欧米においては、大型の産学連携ナノエレクトロニクス拠点の整備がここ数年で飛躍的に進み、超低電圧・不揮発デバイスをはじめとした、次世代デバイスに関する実用化を目指した研究が活発に行われ、今後、各国との開発競争は熾烈化するものと考えられる。海外の研究開発活動の活発化により、このような状況を放置すれば、超低電圧・不揮発デバイスに関する我が国の技術開発の競争力を失いかねない。

本プロジェクトは、「IT イノベーションプログラム」の一環として、ナノテクノロジーで培われた新規の機能材料や新規のデバイス構造に立脚して LSI の低動作電圧化と高機能・高集積化を実現し、エレクトロニクス機器の消費電力を大幅に低減する技術を確立することを目的とする。

本プロジェクトにおいては、以下の研究開発を実施する。

[委託事業]

研究開発項目①「ロジック集積回路内 1 次メモリを対象とした、高集積・高速特性・高書き換え耐性などの機能を有する超低電圧・不揮発デバイスの開発」

【中間目標】（平成 24 年度）

- ・ メモリ単体レベルで、読み書き電圧 0.4V 以下、読み書き電流 100 μ A 以下、読み書き時間 10ns（電力量 0.4pJ 以下）の実証。1.2V 動作 SRAM の 1/10 の電力の実証。
- ・ 新材料を用いた新プロセスの、300mm バックエンドラインへの統合による、デバイス動作実証。
- ・ 試作・評価によるメモリパラメータ取得と、それを用いた低電圧動作メモリ周辺回路設計。
- ・ 高集積化を可能とする多値動作の確認。

【最終目標】（平成 26 年度）

- ・ 加速試験による 10 年間のリテンションと、書き換え回数 10^{16} 回の達成。
- ・ 実用に耐える信頼性技術確立への指針の提示。
- ・ 低電圧動作の周辺回路を備えたメモリマクロで、読み書き電圧 0.4V、読み書き電流 100 μ A 以下、読み書き時間 10ns、1.2V 動作 SRAM の 1/10 の電力を実証すると共に、メガバイト級メモリの実現可能性の提示。
- ・ メモリマクロでの多値動作を実証することによる、従来 SRAM 比 2 倍の高集積化の可能性を提示。

研究開発項目②「外部記憶の高速低電力データ転送を実現する、高集積・高速低電力書き込み特性などの機能を有する超低電圧・不揮発デバイスの開発」

【中間目標】（平成 24 年度）

- ・ 単体デバイスとして、クロスポイント型メモリセル試作と動作実証。
- ・ データ転送速度 200MB/s を、従来の 1/3 の電力（200mW）で可能とする単体デバイスの書き込み動作、およびさらなる高速低電力化の可能性の根拠の提示。

【最終目標】（平成 26 年度）

クロスポイント型メモリセルを集積化したメモリアレー試作と動作実証。

- ・ 書き換え回数 10^6 以上の達成。
- ・ データ転送速度 400MB/s の高速動作実証。
- ・ 従来の 1/10 の電力（66mW）の低電力動作実証。
- ・ メモリセル面積 $4F^2$ (*2) のメモリアレーによる高集積性実証。

(*2) F；最小加工寸法

研究開発項目③「配線切り換えを可能とするスイッチを対象とした、低電流・高速書き換え、高オン・オフ抵抗比、小面積などの機能を有する超低電圧・不揮発スイッチデバイスの開発」

【中間目標】（平成 24 年度）

- ・ スイッチ素子の材料選定、素子構造の最適化を行い、単体素子の動作を検証。
- ・ 単体素子性能として書換え電流と書換え速度の積が $10^{-10}A \cdot 秒$ 以下、オン・オフ抵抗比 10^5 以上、書き換え回数 10^3 以上の実証。

【最終目標】（平成 26 年度）

以上の成果に基づき、

- ・ 大規模集積化に必要なスイッチ素子特性のばらつきを低減。
- ・ 300mm ウェハにロジック集積回路を試作し下記を達成する。
 - a) 本スイッチにより配線切り換えを行ったロジック集積回路が 0.4V で動作可能であり、その際の消費電力が SRAM スイッチにより配線切り換えを行った従来型 1.2V 動作ロジック集積回路の 1/10 以下。
 - b) スイッチ素子面積が同一世代の SRAM スイッチを用いたプログラマブルロジックデバイス（PLD）に比べ 1/20 以下。

研究開発項目④「集積回路チップ内において、機能ブロックの三次元集積を実現するための、微細幅・超低電気抵抗、超高アスペクト比配線・材料技術の開発」

【中間目標】（平成 24 年度）

- ・ 微細線幅（100nm）、低抵抗（シート抵抗 $< 50\Omega/\square$ ）の配線実証。
- ・ 微細直径（90nm）、超高アスペクト比（ ≥ 16 ）のコンタクトホールへのナノカーボン材料埋め込み実証。

【最終目標】（平成 26 年度）

- ・ 微細線幅（ $\leq 20nm$ ）、長距離（0.7mm）、低抵抗（シート抵抗 $\leq 3\Omega/\square$ ）の配線実証。
- ・ 微細直径（90nm）、超アスペクト比（30）のコンタクトホールへのナノカーボン材料埋め込みと、W 以下の抵抗（接触抵抗を含む）の実証。

研究開発項目⑤「CMOS トランジスタの超低電圧動作、及びリーク電流抑制を同時に実現するための、低しきい値ばらつきトランジスタを集積化するための技術開発、並びに、この技術を用いた高集積機能素子における低電圧動作実証」

【中間目標】（平成 24 年度）

- ・ 100 万個以上のトランジスタで、平均 $\pm 0.1V$ 以下（ $\pm 5\sigma$ ）の局所しきい電圧ば

らつきの達成。

- ・ 低い電源電圧に動作を最適化し、基板バイアス制御技術を適用したナノトランジスタ構造デバイスを集積した 1Mbit 以上の SRAM での、0.4V 動作の実証。

【最終目標】（平成 26 年度）

以上の成果を基に、

- ・ ナノトランジスタ構造デバイスと既存の CMOS トランジスタとの融合集積化技術を確立するとともに、その設計環境構築への指針を提示。
- ・ 従来デバイスに比較して消費電力を 1/10 に低減できる基盤技術を確立するとともに、実用化回路レベルでの達成目処を提示。

研究開発項目⑥「BEOL 設計・製造基盤（プラットフォーム）開発」

【最終目標】（平成 23 年度）

個別デバイス（研究開発項目①～③）の研究開発を推進するための共通設計基盤として、BEOL設計・製造基盤（プラットフォーム）^(*1)を開発する。その際、以下の条件を目標とする。

***1 BEOL 設計・製造基盤（プラットフォーム）**

様々な新材料を使うデバイスや新構造デバイスを配線層（BEOL ; Back end of Line）の一部として作製する際に、材料・構造を問わず、すべてに共通で使える設計ルール、材料、プロセス工程などを総称してプラットフォームという。ここでは、BEOL 設計基盤と BEOL 製造基盤を合わせて、BEOL 設計・製造基盤（プラットフォーム）と呼ぶ。

- ・ 新材料や新構造デバイスに共通で使え、かつ、新材料の相互汚染や熱耐性、さらには、プロセス雰囲気の影響などの観点から、それぞれのデバイスの特性を損なうことのない、BEOL プロセスレシピの作成。
- ・ 相互汚染防止、汚染除去、汚染評価などからなる管理プロトコルの作成。
- ・ PDK（Process Design Kit）として、設計ルール、配線特性パラメータ、OPC ルールの策定。

2.実施内容及び進捗（達成）状況

以下の研究開発を実施した。

2.1 平成22年度（委託）事業内容

研究開発項目①「ロジック集積回路内1次メモリを対象とした、高集積・高速特性・高書き換え耐性などの機能を有する超低電圧・不揮発デバイスの開発」

磁性変化材料を成膜する磁性膜 PVD 装置など、主要装置の仕様を決定し、立上げを開始した。

磁性変化材料等の新材料、同材料を用いた新プロセスを、300mmバックエンドラインに導入する際の、汚染防止の指針策定に向けた評価を行った。HF+H₂O₂処理を行うことで、磁性材料は 5x10¹⁰ atoms/cm²以下のレベルになることがわかった。

磁性特性シミュレータにより、磁性変化デバイス構造の設計を実施し、設計指針を得た。

プロセス開発用 TEG(BEP1)とマクロ開発用 TEG(LPT1)を設計し、同 TEG を用いて磁性変化デバイスを形成することを目的とした要素プロセス技術の開発に着手した。（経済産業省）

混載 SRAM 機能を代替でき、かつ、低電力化を実現可能なデバイスの、材料成膜および加工技術の開発、および、BEOL 設計・製造基盤に整合する製造プロセスの構築のための準備を行った。

350°C BEOL 製造基盤に対して、上記デバイスの特性劣化が実用上問題ないことを実証するための準備を行った。（独立行政法人新エネルギー・産業技術総合開発機構（以下「NEDO」という。））

研究開発項目②「外部記憶の高速低電力データ転送を実現する、高集積・高速低電力書き込み特性などの機能を有する超低電圧・不揮発デバイスの開発」

300mm シリコンウェハ上への GeSbTe 相変化材料の PVD 及び CVD 成膜装置を改造立上げ、相変化デバイスの基本要素プロセス技術の開発に着手した。

相変化材料と熱拡散防止層の接着性を評価する計測（臨界剥離加重と濡れ性測定）を完了した。

クロスポイントセル用ダイオードのオン/オフ電流検討用 TEG を設計した。同マスクを用いて相変化デバイスを形成することを目的とした、要素プロセス技術の開発に着手した。

従来と比較して、計算時間 1/10 を実現する高速性能を有する相変化デバイスの熱・電気シミュレータを開発した。このシミュレータを用いて相変化デバイスの特性評価を行い、書き換え電力量がメモリセル材料や構造に依存して変化することを見出した。メモリセル構造とリセット動作の関係を検討し、目標の書き換え電力量 1pJ 以下を実現するための、デバイス設計指針を得た。（経済産業省）

外部記憶向け素子材料の成膜および加工技術の開発、および、BEOL 設計・製造基盤に整合する製造プロセスの構築のための準備を行った。

クロスポイント選択スイッチ材料の成膜および加工技術の開発、単体デバイスとしての試作、および、動作を実証するための準備を行った。（NEDO）

研究開発項目③「配線切り換えを可能とするスイッチを対象とした、低電流・高速書き換え、高オン・オフ抵抗比、小面積などの機能を有する超低電圧・不揮発スイッチデバイスの開発」

オートプローバーとスイッチ特性評価系で構成される原子移動型スイッチデバ

イス評価システムを構築した。さらに、構築した評価系を用いて、2端子原子移動型スイッチデバイスを評価し、ばらつき原因、それを除去するために有効な方策を得た。

原子移動型スイッチを CMOS の多層配線の中に組み込むために、0.18 μm 以下の加工プロセス技術に適用可能な原子移動型スイッチの基本プロセスフローを設計した。(経済産業省)

スイッチ素子材料の成膜および加工技術の開発、および、BEOL 設計・製造基盤に整合する製造プロセスの構築のための準備を行った。

350 $^{\circ}\text{C}$ BEOL 製造基盤に対して、スイッチ素子の劣化がないことを実証するための準備を行った。(NEDO)

研究開発項目④「集積回路チップ内において、機能ブロックの三次元集積を実現するための、微細幅・超低電気抵抗、超高アスペクト比配線・材料技術の開発」

小口径のナノカーボン成長装置を用いて成長プロセスの先行検討、材料物性、および、電気特性の評価環境整備、ナノカーボン材料成長の下地、および、付帯構造の候補絞込みを行った。カーボンナノチューブ (CNT) の高アスペクト比ホール埋め込みに向けた要素技術として、触媒金属・下地層の条件検討を行うとともに、触媒不活性膜の積層によるホール側壁成長抑制の検討を行った。

グラフェン成長では、触媒金属材料の探索を行い、多層成長用触媒候補の絞りこみを行った。さらに極薄触媒金属層上での成長条件検討を行い、グラフェンの結晶性を表すラマン分光による指標 (G/D 比) を、600 $^{\circ}\text{C}$ 以下の成長温度では最高レベルの 10 以上に高めた。

300mm 成長装置・プロセス、および、300mm CMP 装置・プロセスに向けた小口径での実験を含む基礎検討を行い、基本装置の仕様決定・作製・立上げを行った。

ナノカーボン配線集積化のための環境整備を行うとともに、微細配線・CNT 埋め込み検討 TEG の基本仕様案を決定した。超高アスペクト比ホール埋め込みに向け、アスペクト比 4~10 の構造 TEG での下地層形成・成長の要素検討を開始した。不活性膜材料候補の絞り込みを行い、その成長抑制効果をホール側壁で実証した。(経済産業省)

横方向配線評価構造 (ナノカーボン配線 TEG) 試作と配線特性実証 (シート抵抗 $\leq 500 \Omega/\square$) するための準備を行った。

300mm 基板全面でのコンタクトホール底に適用可能な導電性下地層 (Alフリー) 上の高密度 CNT (Carbon Nano Tube) 成長実証 (密度 $\geq 10^{11}/\text{cm}^2$) するための準備を行った。(NEDO)

研究開発項目⑤「CMOS トランジスタの超低電圧動作、及びリーク電流抑制を同時に実現するための、低しきい値ばらつきトランジスタを集積化するための技術開発、並びに、この技術を用いた高集積機能素子における低電圧動作実証」

超低電圧(0.4V)動作の CMOS プラットフォーム構築に向け、ドーパントレス構造により低ばらつきを実現できるナノトランジスタ構造デバイスとして、埋め込み絶縁膜の薄いシリコンオンインシュレータ (SOI) 構造を主たる候補として、低電力かつ量産化に最適な構造を設計した。

ドーパントレストランジスタの構造確立、および、ハイブリッドプラットフォーム開発に向けて、トランジスタ製造プロセス、および、ハイブリッド化プロセスの試作検討を開始した。

SRAM のような論理回路を例に、超低電圧動作のために必要なデバイス仕様を検

討した。(経済産業省)

ナノトランジスタとバルク CMOS を共存させたハイブリッド構造の集積化プロセス構築に着手した。

1 万個以上のトランジスタで、平均±0.06 (±4σ) V 以下の局所しきい電圧ばらつきを達成するための準備を行った。(NEDO)

研究開発項目⑥「BEOL 設計・製造基盤 (プラットフォーム) 開発」

プロセス・デザインキット (PDK ; Process & Design Kit) 整備に向けた検討を行った。また、これと並行して、CMOS 基板上への BEOL モジュール構築の事前検討として、CMOS 基板を必要としない配線プロセス用の簡易マスクを作製し、2 層 Cu 配線の形成を行った。(経済産業省)

個別デバイス (研究開発項目①～③) の研究開発を推進するための共通設計基盤として、BEOL 設計・製造基盤 (プラットフォーム) を開発するための準備を行った。(NEDO)

2. 2 実績推移

	22 年度
	委託
実績額推移 一般勘定 (百万円)	0 (NEDO) 2,045 (経済産業省)
特許出願件数 (件)	1
論文発表数 (報)	0
フォーラム等(口頭発表)(件)	1

3. 事業内容

必要に応じてプロジェクトリーダーを設置し、以下の研究開発を実施する。

3. 1 平成 23 年度 (委託) 事業内容

研究開発項目①「ロジック集積回路内 1 次メモリを対象とした、高集積・高速特性・高書き換え耐性などの機能を有する超低電圧・不揮発デバイスの開発」

磁性変化デバイスの基本構造を決定し、基本プロセスフローを構築する。かつ、磁性変化デバイスの多値化に適した構造を検討し、デバイス設計指針を得る。

回路シミュレーションに適した磁性変化デバイスのコンパクトモデルを構築する。

混載 SRAM 機能を代替でき、かつ、低電力化を実現可能なデバイスの、材料成膜および加工技術の開発、および、BEOL 設計・製造基盤に整合する製造プロセスを構築する。

350°C BEOL 製造基盤に対して、上記デバイスの特性劣化が実用上問題ないことを実証する。

研究開発項目②「外部記憶の高速低電力データ転送を実現する、高集積・高速低電力書き込み特性などの機能を有する超低電圧・不揮発デバイスの開発」

相変化材料および熱拡散防止層の材料開発を行い、外部記憶向け低電圧動作実現

の見通しを示す。

外部記憶向け素子材料の成膜および加工技術の開発、および、BEOL 設計・製造基盤に整合する製造プロセスを構築する。

クロスポイント選択スイッチ材料の成膜および加工技術の開発、単体デバイスとして試作し動作を実証する。

研究開発項目③「配線切り換えを可能とするスイッチを対象とした、低電流・高速書き換え、高オン・オフ抵抗比、小面積などの機能を有する超低電圧・不揮発スイッチデバイスの開発」

小さな書換え電流・速度積（電荷量）、および低電圧・低電力書換えを実現可能な、基本デバイス構造を決定する。

原子移動型スイッチのスイッチングモデルを提案する。

スイッチ素子材料の成膜および加工技術の開発、および、BEOL 設計・製造基盤に整合する製造プロセスを構築する。

350°C BEOL 製造基盤に対して、スイッチ素子の劣化がないことを実証する。

研究開発項目④「集積回路チップ内において、機能ブロックの三次元集積を実現するための、微細幅・超低電気抵抗、超高アスペクト比配線・材料技術の開発」

横方向配線評価構造（ナノカーボン配線 TEG）試作と配線特性を実証（シート抵抗 $\leq 500\Omega/\square$ ）する。

300mm基板全面でのコンタクトホール底に適用可能な導電性下地層（Alフリー）上の高密度CNT（Carbon Nano Tube）成長を実証（密度 $\geq 10^{11}/\text{cm}^2$ ）する。

高アスペクト比（AR）のホール TEG を作製し、AR~10 のホールへの CNT 成長の評価を行う。

研究開発項目⑤「CMOS トランジスタの超低電圧動作、及びリーク電流抑制を同時に実現するための、低しきい値ばらつきトランジスタを集積化するための技術開発、並びに、この技術を用いた高集積機能素子における低電圧動作実証」

局所しきい電圧ばらつきが、1 万個以上のトランジスタで、平均 ± 0.06 （ $\pm 4\sigma$ ）V 以下となることを示す。

ナノトランジスタとバルク CMOS を共存させたハイブリッド構造の集積化プロセスを構築する。

研究開発項目⑥「BEOL 設計・製造基盤（プラットフォーム）開発」

個別デバイス（研究開発項目①～③）の研究開発を推進するための共通設計基盤として、BEOL 設計・製造基盤（プラットフォーム）を開発する。

3. 2 平成 23 年度事業規模

一般勘定	576 百万円	（継続）
平成 22 年度補正予算額（一般勘定）	1,714 百万円	（継続・繰越）

事業規模については、変動があり得る。

4. その他重要事項

4. 1 運営・管理

本研究開発は、経済産業省が、企業、大学等の研究機関（委託先から再委託された研究開発実施者を含む）から公募によって研究開発実施者を選定し、共同研

究契約等を締結する研究体を構築して開始したものである。独立行政法人新エネルギー・産業技術総合開発機構が本研究開発の運営・管理を承継するに当たっては、その時点までの進捗状況を踏まえた研究開発内容・計画及び実施体制の妥当性について、外部有識者による審議を含めた評価を行った上で最適な研究開発体制を構築し、実施している。

研究開発全体の管理・執行に責任と決定権を有するNEDOは、経済産業省と密接な関係を維持しつつ、プログラムの目的、および、目標に照らして適切な運営管理を実施する。また、必要に応じて、外部有識者の意見を運営管理に反映させる。

4.2 複数年度契約の実施

平成22～23年度の複数年度契約を行う。

別添2 事業項目

「ナノエレクトロニクス半導体新材料・新構造ナノ電子デバイス技術開発」に係る
平成23年度実施方針

1. 背景及び目的・研究開発項目・目標

1.1 背景及び目的

情報技術がめざましく発展している今日の社会では、情報・知識を、時間や場所の制約を受けず誰もが自由自在かつ安全に活用できる情報通信環境の実現が望まれている。そして、このような環境を実現する応用システムの基幹となる半導体集積回路(LSI)には、一層の高機能化、低消費電力化が求められている。従来、LSIは微細化技術の向上により機能、消費電力、集積度、コストにおける急速な進歩を達成してきた。一方、国際半導体技術ロードマップ及び技術戦略マップに示されている通り、LSIの性能向上には、単なる微細化のみならず、新材料、新プロセス、新構造など革新的技術の導入が不可欠で、その必要性は微細化の進展とともにますます大きくなる。

このため、本プロジェクトを「ITイノベーションプログラム」、「ナノテク・部材イノベーションプログラム」の一環として実施し、次世代の電子デバイスのために、シリコンで培った微細化技術やデバイス原理をこれまで同様に活用しながら、シリコンという材料の物理的限界を突破するための”新材料”、”新プロセス”、”新構造”を実現する半導体技術を、ナノテクノロジーを最大限に活用することによって創出し、将来の産業応用への芽を見出すことを目的とする。

1.2 目標

最終目標(平成23年度)

産業界が10年後を見据えた将来の集積回路システムとして展開できる電子デバイスを開発する際に産業技術として活用できるかどうかの実現可能性を見極めることができる技術シーズを確立する。

①シリコンナノワイヤ技術

研究開発項目①-(1)シリコンナノワイヤトランジスタの知識統合研究開発

最終目標として、平成23年度末までに以下の目標を達成する。

(1)シリコンナノワイヤトランジスタの作製技術および特性解析に関する研究開発

・表面が原子レベルで平滑な直径10nm以下のシリコンナノワイヤ形成技術、原子レベルで平坦な界面を有する高誘電率ゲート絶縁膜の堆積技術及びメタルソース・ドレイン形成技術を確立し、シリコンナノワイヤトランジスタを作製して、構造制御の効果を明らかにする。

(2)ナノワイヤトランジスタの精密計測評価技術の研究開発

・ナノワイヤの3次元走査プローブ計測により、サブnmの形状計測精度を実現する。

・絶縁体上に作製されたナノワイヤ構造のポテンシャル分布を、走査プローブで計測する技術を確立する。

・X線散乱・回折の解析により、基板表面上に周期的に形成したナノワイヤデバイスの形状及び内部構造とそれらのばらつきの評価を実現する。

(3)ナノワイヤトランジスタのシミュレーション技術の研究開発

・ナノワイヤトランジスタの構造安定性、界面構造、不純物分布、ポテンシャル分布、電気特性を予測・解析できる統合的シミュレーション技術を開発し、実験で得た実測値との比較によりその信頼性を検証する。

・自己無撞着量子モンテカルロ・デバイスシミュレータを開発し、ナノワイヤトランジスタの特性予測を実現する。

研究開発項目①-(2)ナノワイヤFETの研究開発

最終目標として、平成23年度末までに以下の目標を達成する。

(1)Siナノワイヤの電子構造の量子論的検討

・Siナノワイヤの電子構造解析により、SiナノワイヤFET実用化に向けて解明すべき物理現象を明らか

にする。

- ・金属とワイヤ状物質との間の曲率のあるナノ界面におけるショットキー障壁を第一原理計算等によって解析し、その特徴を理論的に明らかにする

(2) ナノワイヤFETのバリシテシシティ制御

- ・準バリスティックSiナノワイヤFETの電圧・電流特性をコンパクトモデルで定式化する。

- ・コンパクトモデルによる解析と実験で得た実測値との比較を通じて、バリシテシシティを高めるなど性能最適化のための指針を明確化し、その理論・技術上の問題点を明らかにする。

(3) SiナノワイヤFETの作製

- ・SiナノワイヤFETの作製とその性能評価を通じて、理論予測との違いを明らかにし、その技術上の課題を明確にする。

(4) Siナノワイヤデバイスのロードマップ作成

- ・上記の研究開発の結果および他機関の研究結果も含めた総合的な検討に基づいて、最終目的であるSiナノワイヤデバイスのロードマップを作成する。さらにこれらの課題を解決するための具体的施策を示し、そのための今後の研究開発体制のあるべき姿を提案する。

研究開発項目①-(3) シリコンナノワイヤトランジスタの物性探究と集積化の研究開発

最終目標として、平成23年度末までに以下の目標を達成する。

(1) 極細シリコンナノワイヤトランジスタの電気伝導探究と集積化に関する研究開発

量子閉じ込めおよびひずみ等の効果を総合して通常のプレーナバルクMOSFETより高い移動度を示すシリコンナノワイヤトランジスタのパラメータを明らかにする。

(2) 短チャネルシリコンナノワイヤトランジスタの電気伝導探究と集積化に関する研究開発

チャネル長25nm以下、チャネル径10nm以下のシリコンナノワイヤトランジスタを作製する。

②次世代メモリ技術

研究開発項目②-(1) 新構造 FinFET による SRAM 技術の研究開発

最終目標として、平成23年度末までに以下の目標を達成する。

(1) 立体構造FinFET技術の研究開発

- ・Flex-Pass-Gate SRAMへの上記FinFET導入を行う。

(2) 4端子FinFETを用いた低消費電力・高ノイズ耐性SRAM回路技術の研究開発

- ・(1)で確立した微細4端子FinFETを用いたSRAMアレーを試作し、特性評価・解析によりIPを確立する。

- ・従来トランジスタと比較して、セル面積増加なしに、動作余裕を1.5倍に、待機時消費電力を1/20にできることを示す。

研究開発項目②-(2) 次世代相変化メモリ技術の研究開発

最終目標として、平成23年度末までに以下の目標を達成する。

(1) 高速スイッチング現象に最適なナノレベル構造制御カルコゲナイド薄膜の結晶構造の検討

超格子構造で高速動作可能な新規相変化材料組成を5材料以上シミュレーションによって見だし、実際にデバイスを作製して実験によって動作検証を行う。

(2) 抵抗加熱方式での熱的構造変化を最適に行うためのシミュレーション技術の開発

平成21年度末に目標を達成したため最終目標は設定しない。

(3) 再現性や信頼性など集積化に向けて必要となる特性の体系的理解のための動作温度領域における薄膜物性データベースの構築

シミュレーションの元となる各材料の薄膜熱物性の測定とデータベースの外販化を行う。

(4) 一定規模以上の集積化可能性を示すためのナノレベル微細加工を施したデバイス試作

同等のサイズで作製された従来型の相変化固体メモリの性能と比較して、電力消費で1/10以下となる超格子相変化メモリを実証する。

また、同等のサイズで作製された従来型の相変化固体メモリの性能と比較して、 10^{15} 回以上の繰り返し書き換え回数をもつ超格子相変化メモリを実証する。

研究開発項目②-(3) ナノギャップ不揮発性メモリ技術の研究開発

最終目標として、平成23年度末までに以下の目標を達成する。

(1) 平面先鋭型金属ナノギャップ素子およびその基本特性評価技術の開発

ナノギャップ領域が極限的に微細化してもNGSメモリ動作することを検証するために、中間目標のデバイスサイズよりもさらに微細化した、ギャップ長5nm、ギャップ幅10nmの電極を有する平面型NGS素子を開発する。平成21年度までに開発した高感度ナノプローブ計測評価技術をさらに発展させ、AFM散逸計測などのナノプローブ物性計測法を用いてナノギャップ部の物性変化を測定することにより、長時間動作後のナノギャップ部の電気特性変化や組成変化を評価する。

(2) 金属ナノギャップメモリ・デバイスの研究開発

縦型NGS素子の微細化を進めるとともに、4kbitのデバイスを試作・評価し、下記の性能を実証する。

- ・高速性:100ns以下の書き換えスピード
- ・稠密性:上下電極交点のVia-hole 径 ϕ で40nm
- ・書き換え耐性: 10^6 回以上

また、このデバイスを用いてNGS素子の特性バラツキを評価する。

(3) 高性能メモリ金属ナノギャップ素子の研究開発

素子特性として、最大電流値 $20\mu\text{A}$ 以下、動作電圧5V程度を実現する。

③新材料技術

研究開発項目③-(1) カーボンナノチューブトランジスタ技術の研究開発

最終目標として、平成23年度末までに以下の目標を達成する。

(1) CNTデバイス作製技術の研究開発

・高密度CNT形成技術、コンタクト形成技術、デバイス表面保護膜形成技術を確立するとともに、これらの技術を総合化することにより、50本/ μm 以上の高密度かつ50nm以下の短い配向チャネルFET技術を開発する。

- ・高密度チャネルFETの電流利得遮断周波数として50GHz以上を実証する。
- ・コンプリメンタリ素子の作製技術を開発し、論理動作を実証する。

(2) CNT成長技術の研究開発

・原料ガスおよび電場の制御による半導体CNT優先成長技術を開発するとともに、半導体優先成長CNTのFETへの適用可能性、高密度・配向成長と高品質化を実証する。

- ・単結晶基板上で50本/ μm の超高密度・高配向CNTの可能性を検証する。

(3) CNTデバイスの局所評価技術の研究開発

・平成21年度末までに開発したナノプローブ評価技術を、CNT欠陥準位計測、およびFET個別チャネルの伝導特性評価に適用し、CNTチャネルの高品質性、高密度CNTチャネルの一様性、チャネル-電極間コンタクトの均一性、などの評価での有効性を検証する。

研究開発項目③-(2) シリコンプラットフォーム上III-V族半導体チャネルトランジスタ技術の研究開発

最終目標として、平成23年度末までに以下の目標を達成する。

・Si上あるいは絶縁膜上のnチャネルIII-V族半導体チャネルMISFETの作製技術を開発し、その高移動度動作を実証する。

・Si上のIII-V MISFETの最適素子構造・材料の明確化を進め、CMOSプラットフォームへの適用性を明らかにすると共に、将来のCMOS構造への集積化の可能性を検証する。

研究開発項目③-(3) シリコンウェハ中の原子空孔濃度定量評価技術の研究開発

最終目標として、平成23年度末までに以下の目標を達成する。

(1) 超音波計測を用いた原子空孔濃度分析の研究開発

超音波計測によって低温ソフト化の量を測定することで、産業界で実用化が進んでいる完全結晶ウェハの原子空孔濃度の面内分布の分析技術を確立する。

(2)原子空孔のナノレベルシミュレーション技術の研究開発

超音波計測の結果と比較しながら、大規模ナノレベルシミュレーションを行い、原子空孔軌道と超音波歪みとの結合定数を求め、産業界で実用化が進んでいる完全結晶ウェハ中の原子空孔濃度の評価に適用する。

(3)シリコン結晶中の原子空孔分布計測と欠陥制御技術の開発

as-grown 結晶欠陥分布を決定する結晶育成時の熱履歴を厳密に制御する事で、原子空孔濃度を制御したデバイス評価に適した完全結晶ウェハを作製することを可能にする。

(4)原子空孔濃度を評価した完全結晶ウェハを用いたデバイスの動作特性評価

低温超音波計測により原子空孔濃度を予め評価した完全結晶ウェハを用いてテストデバイスを作製し、原子空孔濃度とデバイス特性との関連を調査し、次世代の完全結晶ウェハを用いたデバイス製造のための基礎技術を確立する。

2. 実施内容及び進捗(達成)状況

2.1 平成22年度までの(委託)事業内容

①シリコンナノワイヤ技術

研究開発項目①-(1)シリコンナノワイヤトランジスタの知識統合研究開発

(1)シリコンナノワイヤトランジスタの作製技術および特性解析に関する研究開発

平成19年度は、極薄SOI基板に対して、電子ビーム露光、RIE加工、熱酸化、ウェットエッチングのプロセスを行うことにより、最小で直径6nmのSiナノワイヤを作製し、その上に原子層堆積プロセスでhigh-k絶縁膜(HfO₂)を均一に堆積することに成功した。また、レーザーアブレーション法によりSiナノワイヤを作製し、Si結晶芯と周囲の酸化膜からなるコア・シェル構造における界面制御と不純物ドーピングについて研究を進めた。ナノワイヤと酸化膜の界面で、リンとボロンの偏析挙動が異なることを明らかにした。

平成20年度は、低pHフッ酸溶液処理と水素アニールを用いて、Siの主要な面方位((001)、(110)および(111))のすべての表面を同一の条件で原子レベル平坦化する技術を確立した。処理後の表面には水素終端された規則的な原子配列が観察された。また、メタルソース・ドレイン材料としてニッケルダイシリサイド(NiSi₂)を採用し、Siチャンネルに原子レベルで急峻な界面を介して電極を形成することに成功した。さらに、SiとNiSi₂界面にリンあるいはボロンを高濃度で導入する技術を開発し、金属電極とSiチャンネルの間のエネルギー障壁を0.1eV以下に低下させることに成功した。

平成21年度は、シリコンナノワイヤトランジスタの作製技術として、低pH HF処理と水素アニールによりSiナノワイヤ側壁面を結晶面に収束させる技術を開発し、酸素エッチングとの併用により断面寸法4×9nmのSiナノワイヤ構造の形成に成功した。さらに、高誘電率ゲート絶縁膜/メタルゲートおよびメタルソース・ドレインを有するナノワイヤトランジスタを試作し、良好な電気特性を得た。

平成22年度は、低pH HF処理と水素アニールおよび酸素エッチングによりワイヤ幅と側壁のラフネスを低減する技術を用いて、断面寸法2.8×8nmのSiナノワイヤ構造を形成すると共に、ALDで堆積したHfO₂高誘電率ゲート絶縁膜とNiSi₂メタルソース・ドレインを有する、断面寸法8×9nmのシリコンナノワイヤトランジスタの作製に成功した。

(2)ナノワイヤトランジスタの精密計測評価技術の研究開発

平成19年度は、走査型トンネル顕微鏡(STM)により、絶縁体で囲まれたデバイス構造のポテンシャル分布計測を行うため、探針先端から電子を電界放出させ、試料に照射して二次電子を検出することにより、絶縁体で分離されたデバイスの位置を10nmレベルの分解能で検出する技術を開発した。ナノワイヤトランジスタの内部構造を非破壊計測する技術を開発するために、被測定試料としてGaAs基板上にAl:Ga比を変化させたAlGaAs多層膜を作製し、X線反射率法と断面TEM法の比較評価を行った。組成比の変化が少なく断面TEMでは識別が困難な試料でも、X線反射率では構造解析が可能で、X線反射率法が高い能力を有することが確認できた。

平成20年度は、共焦点レーザ顕微鏡を用いて、単一のSiナノワイヤのラマン散乱スペクトルの計測に成功し、ラマンシフト量がナノワイヤ径の減少と共に低下する挙動を明らかにした。また、STM計測結果を定量的に解析するために、測定時に印加したバイアス電圧により半導体試料内部に誘起され

るポテンシャル変化を見積もり、第一原理表面電子状態計算を組み込んでトンネル電流計算を行うシミュレータを開発し、実測に一致する電流-電圧特性を得た。

平成 21 年度は、原子間力顕微鏡を用いた三次元形状計測のために、傾斜探針および縦・横方向力が同時取得できる三次元プローブ走査技術を開発し、高アスペクトパターンの側壁の測定に成功した。また、導電性プローブを持つ AFM カンチレバーを用い、SOI 基板上に作製したシリコン構造のトンネル電流検出に基づく電気的特性の測定に成功した。さらに、基板表面上に周期的に形成したナノワイヤ構造の寸法を、X線散乱および回折を用いて測定することに成功した。

平成 22 年度は、AFM のプローブ傾斜機構および傾斜走査アルゴリズムを開発し、3次元形状計測に不可欠なアンダーカット側壁の詳細な形状像取得に成功した。また、導電性探針を持つ AFM プローブを開発し、SOI 基板上の Si ナノワイヤ構造の接触電位差分布の計測に成功した。

(3) ナノワイヤトランジスタのシミュレーション技術の研究開発

平成 19 年度は、ゲスト原子を内包させたポリ二十面体シリコンナノワイヤのバンド構造について、ゲスト原子の種類を変えて系統的に電子状態計算を行い、電気的特性を明らかにした。また、非平衡グリーン関数法に基づいた量子輸送シミュレータを構築し、現実的なフォノン散乱に基づいた散乱散逸効果をデバイス領域全域にわたって導入して、ナノワイヤ構造の電流特性評価を行った。その結果、弾道的電子とチャンネル部に存在する低エネルギー電子の間に強い相関があることを見出し、通常想定されている熱平衡境界条件との間に不整合があることを見出した。

平成 20 年度は、シリコンナノワイヤの酸化過程を解析するためのモンテカルロシミュレータの開発を進めた。さらに、水素化したシリコン(001)、(111)、(110)表面に対するドーパント不純物の析出容易性のシミュレーションを行った。高濃度ドレイン・ソース領域での散逸効果を正確に取り扱うために、ドレイン・ソース領域までを含めたダブルゲート MOSFET 構造と高濃度領域でのクーロン相互作用を、半古典的3次元粒子モンテカルロシミュレータに導入し、高濃度電子の移動度や集団励起(プラズマ波動)、縮退状態の正確なシミュレーションに初めて成功した。

平成 21 年度は、第一原理計算・分子動力学計算からデバイスシミュレーションにいたる、要素シミュレーション技術を開発すると共に、ソース・ドレイン高濃度領域でのクーロン相互作用と散乱散逸過程を正確に導入したナノデバイス・シミュレータを構築した。また、レート方程式モデルによるエネルギー散逸を考慮した3端子デバイスモデルを検討し、ソフトウェア開発を進め、プロトタイプを構築した。本デバイスモデルではゲート電圧によってチャンネル内部の電位がシフトする効果を取り込んでいる。格子振動スペクトルとして、シリコンナノワイヤに特徴的な局在モードを考慮した場合とシリコンポリ20面体構造での振動スペクトルを考慮した場合を取り上げ、ゲート電圧をかけない場合を調べたところ、逆バイアスでもフォノンアシストによって電流の流れる場合はあること、ソース、チャンネル、ドレインの電子構造によってはエネルギー散逸に起因する負性微分抵抗が得られることが分かった。さらにゲート電圧をかけた場合の予備的解析を行った。これらの研究内容の一部は平成21年11月にボストンで開催された MRS Fall meeting で発表した。

平成 22 年度は、様々な断面およびチャンネルサイズのナノワイヤトランジスタで安定動作する、キャリア間のクーロン相互作用を正確に導入した自己無撞着モンテカルロ・デバイスシミュレータを開発した。ナノワイヤトランジスタでは、クーロン相関によって、電子輸送は拡散的傾向が強くなることを明らかにした。

(実施体制:独立行政法人産業技術総合研究所、株式会社東芝

—再委託 国立大学法人筑波大学)

研究開発項目①-(2)ナノワイヤFETの研究開発

(1) Siナノワイヤの電子構造の量子論的検討

平成19年度はタイトバインディング計算による[100]方向のSiナノワイヤのバンド構造計算を行い、量子チャンネル数の径依存性を解析した。その結果、量子チャンネル数はSiナノワイヤ径を3nm以上にすると径に応じて増加することが確認された。すなわち、ワイヤ径が大きいほうが量子チャンネル数が多くワイヤFETの電流が大きくなるが、キャリアのバンド間散乱が増加するのでどこかに最適なSiナノワイヤのワイヤ径が存在することが明らかになった。また、一次元チャンネルとしてチューブ状ナノワイヤをモデルとしたナノキャパシタンスの考察を行った。その結果、一次元チャンネルのナノキャパシタンスは

一次元独自の状態密度の発散を反映するバイアス依存性をもつことが明らかになり、ナノワイヤFETでは量子キャパシタンスの影響が無視できないことがわかった。さらに、ゲートアラウンド型だけでなくフロントゲート型のFETでも同様に一次元性が出現することが明らかになった。

平成20年度はSiナノワイヤのより正確な検討を行うため、タイトバインディングに変えて第一原理計算によるバンド計算を実行した。ワイヤ方位は[100]のみならず[110]、[111]方位に関して計算を行った。タイトバインディングと比べ、多大な計算時間を要するためワイヤ径0.86nmから最大4nm程度までの計算を行った。その結果、電子の有効質量は[100]では電子の質量の0.3~0.4倍であるのに対して[110]では0.1~0.2倍と大幅に小さくなり、高伝導が得られる可能性が高いことがわかった。一方、正孔の有効質量は[100]では電子の質量の0.6~2.5倍と極めて大きい値であるのに対して[110]、[111]では0.2倍程度と小さくなり、高伝導が得られる可能性が高いことがわかった。すなわち、ワイヤFETにおいてはワイヤ方位の選択が極めて重要な意味をもつことがわかった。さらに電子の量子チャネル数は[110]は少なく、[100]では多くなること、ホールの場合は[100]方向に多いことがわかり、有効質量と量子チャネル数の間にトレードオフの関係があることがわかり、ワイヤ径に最適値を検討する時に方位依存性も考慮することが重要であることがわかった。

平成21年度は方向や径の異なるワイヤFETのバリスティック伝導時のドレイン電流の違いを捉え、その要因を電子構造から考察を行った。その結果、ソースのフェルミレベルの高さと有効質量の大きいサブバンドのエネルギー準位の関係などドレイン電流を増加させるための重要な要素を明確にすることができた。

平成22年度は原子数1万個を越える直径10nm級のSiナノワイヤの電子構造を第一原理計算によって導出することに成功し、ワイヤ表面のラフネスが価電子帯に大きな変化を与えることを理論的に明らかにした。得られた電子構造を基にコンパクトモデルでバリスティックFET動作を行った場合、径の増加と共に高い電流が得られることがわかった。一方、Siナノワイヤ中の電子濃度分布を考慮した場合、10nmのワイヤサイズを境にワイヤ中の移動度分布が変化することがわかった。

(2) ナノワイヤFETのバリスティシティ制御

平成19年度ではバリスティックSiナノワイヤFETの伝導モデルとして、まずバリスティシティの向上に必要な条件のRTモデルによる探索を行った。その結果、バリスティシティを向上するためにはチャネルはノンドープであること、ドレイン領域の不純物濃度は10の20乗の濃度が必要であることが明らかになった。計算により得られたSiナノワイヤのバンド構造を用いて、バリスティックトランジスタの電流電圧特性求めるための方程式を作成した。その解は数値計算によって求めることができる。径1.5nmの[100]Siナノワイヤのトランジスタの電流電圧特性を計算した結果、最大30 μ A(電源電圧0.5V)の電流が得られることが示された。また、0Kや4Kなどの極低温ではゲート電圧を増加していくと伝導に寄与する量子チャネル数が増える毎に電流の不連続的増加が見られるのに対し、室温ではフェルミ分布が連続的となるために電流も滑らかに増加し、通常のバルクFETと似たような特性となることが示された。

平成20年度はワイヤ径、方位に関し、研究項目(1)で計算したいくつかのSiナノワイヤのバンド構造を用いて、バリスティックトランジスタのドレイン電流を計算した。その結果、NMOSFETでは[100]方向で高い飽和電流を得ることがわかり、PMOSFETでは[110]が高い飽和電流を示した。

平成21年度はチャネル内の主要な散乱である弾性散乱と光学フォノン放出によるエネルギー緩和とを取り込んだ準バリスティック伝導に対する解析式の導出に成功した。この結果を用いて、平面MOS構造の弾性散乱と光学フォノン放出確率の値を仮定して電流電圧特性を計算したところ、バリスティック伝導に比べドレイン電流がバイアス電圧などにあまり依らず60~70%程度に減少する効果が確認された。

平成22年度はバリスティック伝導に影響を与える界面準位量を実験的に把握するためフォトルミネッセンス法を用いて測定を行い、世界で初めてSiナノワイヤの界面準位に起因する発光を捉えることに成功した。一方、準バリスティックコンパクトモデルに基づいた解析ではゲート長が0となってもバリスティシティが0.8となることがわかり、光学フォノンを放出するまでの後方散乱が原因であることが明らかになった。

(3) SiナノワイヤFETの作製

平成19年度はSiナノワイヤFET試作用のTEGの設計を行った。このTEGではワイヤ径を3種類、

方位2種類、ゲート長6種類以上、コンタクト部の形状数種類のMOSFETを含み、四端子構造でソース・ドレイン抵抗を除いたワイヤチャンネル部分のみのFET特性が得られる構造も設けた。その他、各種特性値を求めるパターンを含んでいる。さらに、Siナノワイヤの形成準備としてプロセスの検討を行い、Siナノワイヤを形成するための酸化の最適条件を決定し、SOIウェハのエッチング条件を決定した。

平成20年度は上記マスクを用いて、ナノワイヤFETの第一次試作を実行した。試作に当たってはゲート加工の制御性や量産性に優れたワイヤ構造とそのプロセスを新たに構築した。以上より、ワイヤ径が25nmから45nmまでのSiナノワイヤFETの作製に成功し、極めて良好なワイヤFETの電気特性を確認した。特に25nmのワイヤ径ではゲート長200nm、ゲート酸化膜厚5nmとパラメータが大きい値にもかかわらずワイヤ一本あたり世界最高のドレイン電流値を得ることができた。今後、ゲート長、ゲート酸化膜厚の微細化およびワイヤ径の最適化によりさらに大きなドレイン電流を得られることが確実になった。この良好なMOSFETの原因のひとつに良好なワイヤ表面を形成できたことが挙げられる。その結果、MOSFETの移動度も最大 $500\text{cm}^2/\text{Vs}$ と極めて高い値を示した。一方で四端子デバイスでは寄生抵抗を除いたSiナノワイヤの特性を抽出することに初めて成功した。

平成21年度はゲート長65nm、ゲート絶縁膜3nmのSiナノワイヤFETの試作に成功し、特に縦12nm×横19nmを断面に持つトランジスタでは世界最高となる一本あたり $60\mu\text{A}$ 、ワイヤのチャンネル周長で規格化して $1600\mu\text{A}/\mu\text{m}$ の駆動力を得ることに成功した。

平成22年度は試作したSiナノワイヤFETの詳細な電気特性の解析を進めた結果、ワイヤ断面の角の部分の伝導が大きく寄与していることがわかった。数値解析で角の部分で高いキャリア濃度となり一つの要因であると判断した。

(4) Siナノワイヤデバイスのロードマップ作成

平成19年度はこれまで報告されているSiナノワイヤの特性についての文献調査を行い、ワイヤFET試作実験で得られたワイヤ一本当たりの電流をワイヤ径、ゲート長などをパラメータとして一覧表、およびグラフにまとめた。その結果、ワイヤ一本当たりのFETの電流は理想的な一次元コンダクタンスが達成された時の電流値である $78\mu\text{A}$ の値の1/3程度まで実験的に得られていることがわかった。ナノワイヤFET技術開発ロードマップとしてはワイヤFETの電流電圧特性をワイヤ径、ゲート長などをパラメータとして組み込んだコンパクトモデルが存在せず、ワイヤFETを製品に導入するに当たってはこのコンパクトモデル作成が極めて重要な項目となることを示した。

平成20年度は実際に作製したSiナノワイヤFETの電気特性を基にし、ロードマップに示されるリソグラフィーの値から単位敷地面積あたりのドレイン電流の値をプレーナ構造のMOSFETと比較した。その結果、作製したSiナノワイヤトランジスタの特性ですでに既存のプレーナ型トランジスタの性能を凌駕できることが明らかになった。我々のワイヤFET実験値とITRSに記載されているプレーナ型トランジスタの特性値を比較することにより、ワイヤFETのドレイン電流のロードマップを定量的に2020年以降まで作成してその優位性を示し、ワイヤFETが現状のCMOSが限界に到達した時にこれを置き換える最有力候補であることを示した。更にワイヤFETに関する国際ワークショップMNCN2009を2月に開催し、ワイヤFETのロードマップに関し、性能や研究開発上の問題点を公開の場で検討する場を設けた。

平成21年度は試作結果で得られたドレイン電流の値を基にして、リソグラフィーで決定されるゲート幅 $1\mu\text{m}$ 当たりの本数で規格化し、ITRSの単位ゲート幅当たりの値と比較を行った。その結果、ナノワイヤFETのバルク、およびFinFETに対する優位性をITRS上で示した。また、ナノワイヤ高性能化のための重要研究項目を明確化した。また、“Silicon Nanodevices in 2030: Prospects by world’s leading scientists”を10月に開催し、将来のデバイスとしてのワイヤFETの位置づけの議論を行った。

平成22年度は将来の微細加工に基づく性能予測に加えて、しきい値や電源電圧を考慮した公平な比較を行ったところ、バルク、およびFinFETを凌駕する性能が期待できることがわかった。また、実用化に向けて解決すべき課題を列挙した。

(実施体制:国立大学法人東京工業大学一再委託 国立大学法人筑波大学、
学校法人早稲田大学、国立大学法人東京大学)

研究開発項目①-(3)シリコンナノワイヤトランジスタの物性探究と集積化の研究開発

(1) 極細シリコンナノワイヤトランジスタの電気伝導探究と集積化に関する研究開発

平成19年度は、ワイヤ径の異なるさまざまなシリコンナノワイヤトランジスタアレーを(100)基板上に制御性よく作製することに成功した。ナノワイヤの本数は1本から1000本まで、ナノワイヤ系は7nmから50nmまで変化させた。これらのナノワイヤトランジスタの移動度をスプリットCV法で正確に測定することにも成功した。移動度の測定にあたっては、ゲート長が異なる2種のナノワイヤトランジスタアレーを用い、容量値と電流値の差をとるという方法を世界で初めてナノワイヤトランジスタに適用した。その結果、ナノワイヤ径が細くなるにしたがい、移動度が劣化することを示した。

平成20年度は、ワイヤ径の異なるさまざまなシリコンナノワイヤトランジスタアレーを(110)基板上に作製し、スプリットCV法により移動度を正確に評価した。その結果、ナノワイヤの移動度は側面の効果に大きく影響されることを明らかにした。また、(100)基板上のナノワイヤトランジスタの移動度を低温で測定し、移動度劣化のメカニズムについて検討した。その結果、細いワイヤ幅で移動度が劣化する現象は、界面ラフネス散乱によって引き起こされていることを明らかにした。

平成21年度は、ナノワイヤ径 5nm の長チャネルシリコンナノワイヤトランジスタアレーを作製する技術を確立することに成功し、(100)基板上の高さ10nmのナノワイヤpFETにおいて、(100)面のユニバーサル移動度を超える正孔移動度をナノワイヤ幅 5-15nm において観測することに成功した。最大の移動度はワイヤ幅 9nm で観測され、その正孔移動度はユニバーサル移動度より約 2.3 倍も高い。

平成22年度は、(100)基板上のナノワイヤ FET におけるひずみ印加の影響を調べる実験を行い、ナノワイヤ nFET においてはワイヤ幅が細いほど電流向上率が上昇すること、ナノワイヤ pFET においてはワイヤ幅 9nm で電流向上率が最大になることを明らかにした。これらの結果からナノワイヤ幅の最適値は 9nm であることを示した。

(2) 短チャネルシリコンナノワイヤトランジスタの電気伝導探究と集積化に関する研究開発

平成19年度は、ナノワイヤトランジスタにおける応力(歪みシリコン技術)による高性能化の検討に向けて、チャネルシリコン層を高くした構造に相当する FinFET における一軸性応力が電流性能(低電界移動度・オン電流)及びオフ時電流(ゲートリーク電流)に与える影響を系統的に調べ、ゲート長方向応力に加えて Fin 幅方向及び Fin 高さ方向の応力も考慮に入れた FinFET の 3次元応力エンジニアリングを開発した。基板曲げ装置を用いた実験から、(110)側面 pFinFET のゲートリーク電流は、ゲート長方向の圧縮応力によって基板に垂直方向の有効質量の増大に起因して低減される。そして(110)側面 n/pFinFET は、ゲート長方向応力による移動度の向上及び短チャネルデバイスでのオン電流の向上から、(100)側面 n/pFinFET に比べて優位性を有することが分かった。

平成20年度は、ナノワイヤトランジスタにおけるチャネル面方位による高性能化の検討に向けて、シリコン(110)面上の平面型・短チャネル MOSFET における飽和ドレイン電流の決定要因に関し、狭チャネルでの STI 素子分離からの圧縮応力による移動度変化と短チャネルにおける飽和速度による支配について系統的に調べ、(110)面上の短チャネル CMOS は(100)面 CMOS に比べ高い性能が期待できることを明らかにした。飽和速度の抽出は、ピンチオフを抑制するために厚いゲート酸化膜厚(5nm 以上)を有する MOSFET の I-V 特性へのインバースモデリングにて行い、反転電荷密度 $1 \times 10^{13} \text{cm}^{-2}$ における飽和速度は、nFET において(100)面と(110)面とは同程度の $7.8 \times 10^6 \text{cm/s}$ 、pFET において(100)面は $8.0 \times 10^6 \text{cm/s}$ 、(110)面は少し高い $8.3 \times 10^6 \text{cm/s}$ が得られた。そしてゲート長 50nm において、(100)面 nFET の飽和ドレイン電流が速度飽和に強く支配されて(110)面との差は縮まる一方、(110)面 pFET は短チャネルでも(100)面 pFET より依然として高いことを明らかにした。

平成21年度は、ナノワイヤ径 24nm、ゲート長 22nm のナノワイヤトランジスタを作製して、ゲート長 50nm でのトランジスタ動作を実現した。さらに、幅 15nm、厚さ 24nm のシリコンナノワイヤのソース/ドレイン上に厚さ 20nm のシリコン層を選択エピ成長してエレベーター(せり上げ)ソース/ドレイン構造を作製した。電気特性を測定して、ゲート長 26nm の短チャネルで良好なオン・オフ特性、寄生抵抗の低減、ドレイン電流の増加を示した。

平成22年度は、ゲート長 15nm、ナノワイヤ幅 11nm・高さ 15nm のナノワイヤトランジスタを作製した。最終目標のナノワイヤトランジスタ作製に必要な幅・高さ 10nm 以下のナノワイヤ素子領域の作製に成功した。また、ソース/ドレインのナノワイヤ領域を短くして寄生抵抗を低減するために、極薄ゲート側

壁と、シリコンナノワイヤのソース／ドレイン上にシリコン層を選択エピ成長したエレベータード・ソース／ドレイン構造を作製した。その結果、寄生抵抗の低減と、n型トランジスタのオン電流40%向上を確認した。また、選択エピ成長後にイオン注入をしてソース／ドレイン形成することで、さらに寄生抵抗を低減した。また、短チャネルにおけるキャリア移動度を測定して、ナノワイヤの移動度決定要因にゲートからの応力も影響することを明らかにした。そして、チャネル移動度を向上するために、歪み印加技術であるストレスメモライゼーション技術(SMT)を適用した。SMT短チャネルn型ナノワイヤトランジスタにおいて、移動度向上と寄生抵抗低減によりオン電流が58%向上することを確認した。

(実施体制: 国立大学法人東京大学、株式会社東芝)

②次世代メモリ技術

研究開発項目②-(1)新構造 FinFET による SRAM 技術の研究開発

(1) 立体構造 FinFET 技術の研究開発

平成 19 年度は、LSTP 用に最適なミッドギャップメタルゲートとして TiN を取り上げ、プロセス開発の結果、窒素流量比で閾値電圧がある程度制御できること、対称性のよい CMOS 特性が得られることを確認した。一方、LOP 用などの高い電流駆動力を要する回路用に、Ta/Mo 積層メタルゲートを取り上げ、FinFET に適用可能であることを見出した。また、本研究を推進するに当たり、Flex-PG SRAM の微細化と高性能化に必須の半導体作製装置として、メタルエッチャーを導入した。

平成 20 年度は、LSTP 用途向け TiN ゲート、LOP 用途向け Ta/Mo 及び Mo ゲートを用いた CMOS-FinFET 作製技術の構築を行った。また、MOCVD-TiN および High-k ゲート絶縁膜導入の検討も開始した。これまでに、TiN および HfO₂ 膜の ALD 堆積条件を確認している。更に、上記 TiN、Mo ゲート材を用いた FinFET のしきい値ばらつきを、コンパクトモデルを用いて解析し、形状(ゲート長及び Fin 厚さ)及びゲート材料(実効仕事関数)ばらつきによる要因に分離・評価することに成功した。FinFET のソース・ドレイン寄生抵抗のばらつきの解析にも着手し、Fin チャネル厚ばらつきが、極めて大きな寄生抵抗ばらつきをもたらすことを明らかにした。

平成 21 年度は、TiN、Mo 金属メタルゲート FinFET の特性ばらつきを包括的に調査した。その結果、メタルゲート FinFET では、メタルゲート材料の仕事関数ばらつきが、しきい値電圧変動の主たる要因であることを明らかにした。また、ソース・ドレイン形成プロセス最適化により、寄生抵抗低減と共に寄生抵抗ばらつき低減に成功した。TiN ウェットプロセスの活用により、実効ゲート長 20nm 級 FinFET 作製プロセスを構築した。

平成 22 年度は、絶縁膜 MOCVD による極薄サイドウォールスペーサ形成技術を確立した。また、極薄サイドウォールスペーサを有する微細 FinFET を試作し、スペーサ薄膜化に伴うエクステンション抵抗低減によりオン電流が大幅に増加することを確認した。また、ゲート長 20nm 級微細 FinFET の特性ばらつきを詳細に調査し、Fin チャネルの平坦化が、FinFET 特性ばらつき最大の要因である金属ゲート仕事関数ばらつきの低減に有効であることを確認した。

(2) 4 端子 FinFET を用いた低消費電力・高ノイズ耐性 SRAM 回路技術の研究開発

平成 19 年度は、レイアウト設計を経て、パスゲートを4端子フィン型ダブルゲート MOSFET (4T-FinFET) で、インバータを通常のゲートが連結されたフィン型ダブルゲート MOSFET (3T-FinFET) 3トランジスタで構成される先行プロトタイプ(ハーフセル)の試作を進めており、4T-FinFET 部分だけ、RIE により選択的にゲートを分離する微細混載プロセスを確立した。また、低消費電力・高ノイズ耐性の観点から Flex-PG SRAM を構成するトランジスタ構造および配置の最適化を進め、その動作安定度の詳細なシミュレーションを行った。その結果、読み出し余裕、書き込み余裕のいずれも、プレーナバルク SRAM に対してははるかに優れ、しかも、すべて 3T-FinFET で構成した場合よりも優れていることを見出した。ゲート長、フィン厚のばらつきを考慮しても、Flex-PG SRAM は、閾値電圧制御機能を持つ 4T-FinFET パスゲートにより高ノイズ耐性を有することを証明した。さらに、アレー設計に必須の、FinFET 回路シミュレーションモデル作成を、TCAD シミュレーションと実デバイス測定を交えて推し進め、回路シミュレータに実装可能なレベルに仕上げた。また、SRAM アレーを構成する際に生じる配線間容量の見積りにも着手し、アレーの動作速度や消費電力の見積りを行う環境の整備も行った。

平成 20 年度は、19 年度に確立した RIE による 4 端子 FinFET 作製技術を用いて、Flex-PG のみならず 4 端子 FinFET を有効活用した新規な SRAM 回路ハーフセルの試作に成功した。4 端子 FinFET を組み込んだ SRAM セルの場合、消費電力、読み出し余裕、書き込み余裕のいずれも、全 3 端子 FinFET 構成型 SRAM よりも優れていることを、実デバイス測定により実証した。また、2 層配線プロセスの立ち上げを開始し、RIE によるビアエッチング条件の最適化を行った。現在、本年新規導入したスパッタ装置を用いて 2 層配線形成とフルセル作製プロセスの構築を行っている。また、平成 19 年度に整備した FinFET 回路シミュレーションモデルを用いて、アレイレベルでの動作速度予測、占有面積について検討した。検討にあたっては、20nm ゲート長世代の低消費電力用プロセスを仮定し、トランジスタ、配線を含むレイアウトから容量を抽出し、ドライバとセンスアンプにおける遅延を考慮して、SPICE 回路シミュレータにより速度を見積もった。検討の結果、提案方式の SRAM は、対応するプレーナ・バルク・プロセスで作製される標準的な 6 トランジスタ SRAM に比べて、書き込み、読み出し余裕共に向上しつつ動作速度も向上し、面積増加を数%程度に抑えられることを確認した。さらに、パラメータ抽出手法について掘り下げ、3 端子素子ならびに 4 端子素子測定データからのパラメータ抽出手法と、更にばらつきを抽出する手法を確立した。

平成 21 年度は、単体素子レベルでの特性ばらつきに関する調査に加え、大規模 SRAM セル群を試作・評価を行い、動作余裕ばらつきの観点から新規提案 Flex-Pass-Gate-SRAM の優位性を検証した。その結果、通常 FinFET-SRAM に比べ、新方式 SRAM では読み出し動作余裕統計ばらつき標準偏差はほぼ不変で、平均値が 1.7 倍程度向上することを実証した。また、0.5V 電源電圧動作時において、通常 FinFET-SRAM では読み出し動作余裕確保が困難となる中、新方式 SRAM では十分な動作余裕が確保できることも確認した。

平成 22 年度は、より微細なゲート長(50nm)を有する Flex-Pass-Gate-SRAM セルの試作に成功し、正常動作を確認した。また、最終年度のアレイ試作に向け、周辺回路も含む Flex-Pass-Gate-SRAM アレイを設計した。さらに、Flex-Pass-Gate-SRAM の新規な応用として、読み出しデータを動作中に監視、読み出しが遅いセルに対し PG のしきい値電圧を段階的に下げることで、高速な動作を可能とする新手法(ダイナミック PG 制御)を考案した。

(実施体制:独立行政法人産業技術総合研究所)

研究開発項目②-(2)次世代相変化メモリ技術の研究開発

(1) 高速スイッチング現象に最適なナノレベル構造制御カルコゲナイド薄膜の結晶構造の検討

平成 19 年度は、ゲルマニウム-アンチモン-テルル(225系)合金の超格子構造を作製し、物性の解析に着手した。成膜室には三つの異なるターゲット(ゲルマニウム、アンチモン、テルル)が配置され、それぞれのターゲットに加えるワット数を制御することで、 $[(\text{Ge}_2\text{Te}_2)/(\text{Sb}_2\text{Te}_3)]$ の積層構造を作製した。超格子膜は全部で 40 層(各 20 層)のサンプル、それぞれの膜厚を 2 倍、4 倍にしたサンプルからなり、その熱物性、ラマン信号解析、電子顕微鏡断面観察を行なった。その結果、モデルから予想される結晶化に伴い $[\text{Sb-Te-Sb-Te-Sb/Ge-Te-Te-Ge}]$ 層が形成される時、Te-Te 結合が生じることによって発生する吸熱反応が 395°C 付近に観測され、目的とする超格子構造が間接的ではあるが形成されていることがわかった。一方、第一原理に基づいたコンピューターシミュレーションによる超格子構造の屈折率を計算した。実験値と良く一致する計算結果が Ge の 6 配位結晶状態で得られ、また、4 配位結晶状態(アモルファスと考えられてきた)の屈折率の理論値も計算できた。屈折率と電気伝導度には相関があることから、計算によって電気伝導率の数値が得られずとも屈折率によってオーダーを予測できるようになった。

平成 20 年度は、平成 19 年度の成果を基に、透過型電子顕微鏡の断面観察結果と組み合わせて、 $[(\text{Ge}_2\text{Te}_2)/(\text{Sb}_2\text{Te}_3)]$ や $[(\text{Ge}_2\text{Te}_2)_2/(\text{Sb}_2\text{Te}_3)_2]$ 型超格子の安定的な精密作製方法を検討した。Ge、Sb、Te 元素それぞれの単体ターゲットを用いる場合より、GeTe、 Sb_2Te_3 合金ターゲットを用いることで超格子を短時間で効率良く形成できる技術を開発した。また、第一原理計算では、シミュレータ数を増やすことで 200 個程度までの原子を扱えるようになり、超格子構造とそうでない面心立法構造で物性的にどのような違いがあるのかを解析できた。そして計算した屈折率を実験結果と比較することで、Ge 原子を 4 配位に置いた結晶構造に圧縮応力を加えると 6 配位の結晶構造に構造相転移することを

計算上でも確認できた。この成功を受けて、N や O ドープによる物性変化を計算できるようになった。また、GeSbTe 三元系を超えた新規超格子型相変化の探索を開始した。

平成21年度は、第一原理シミュレーションを駆使して、代表的な相変化材料であるゲルマニウム-アンチモン-テルル(225)組成に替る可能性をもつ新規超格子材料を探索し、二候補以上を見出すことに成功した。これらの組成は超格子内である原子が一軸方向にスイッチし、メモリ動作時に発生するエントロピーエネルギーが非常に低く、また、スイッチ動作により複素屈折率が 0.5 以上変化することから、1から2桁程度の抵抗値差が期待できる。また、ある組成は、基本的なデバイス上でゲルマニウム-アンチモン-テルル(225)組成を上回る性能を示した。

平成 22 年度は、平成 21 年度に見いだした二つの新材料組成の超格子構造の成膜最適条件を検討し、基本デバイス上で詳細な性能を評価することができた。その結果、従来の合金を用いた同一デバイスでの電気特性と比較して、いずれのデバイスもセット・リセット共に電圧で 1/2、電流値で 1/2 以下の特性が得られ、繰り返し回数でも 10 億回以上と 3 桁(従来型は 100 万回)の大幅な改善が確認できた。また、相変化デバイスの動作速度は結晶化プロセス(セット)に依存するが、超格子型では Ge 原子を集团的にコヒーレントに動作させることで 3 倍の速さで動作した。

(2) 抵抗加熱方式での熱的構造変化を最適に行うためのシミュレーション技術の開発

産業技術総合研究所近接場光応用工学研究センターでは、超解像近接場構造(スーパーレンズ)と呼ばれる近接場光を応用した超高密度相変化光記録ディスクを研究の中心として展開してきた。2001 年から、ディスク内で種々の誘電体、金属薄膜等と接した相変化薄膜への光記録時における温度および電磁場解析を一つのソフトウェアに統合したシミュレーションソフトの独自開発を進め、後で述べる光記録用薄膜材料の実動作温度領域での物性データベースと合わせて、2007 年度から産総研イノベーションズ(TLO)を通じて外販を行なっている。元来、このソフトウェアは光記録用ではあるが、熱拡散シミュレーション部分の有限要素法によるメッシュ分割と時間発展型の電磁界解析の FDTD 法のメッシュ分割を共用して、レーザー通過時間のディスク内部の温度分布と電磁場の時間的な変化を同時に計算するものである。

平成 19 年度は、このシミュレーションソフトを相変化電気メモリに転用するために、レーザーによる発熱部分のルーチンを抵抗加熱に変更し、光ディスクの用いる誘電体材料、および金属反射膜を、それぞれ、W 等のヒーター抵抗体、および金属電極等の物性値で代替するため基本設計を行った。

平成 20 年度は、入出力のグラフィックインターフェイス部分を除いて、光ディスク用電磁場・熱解析統合ソフトを相変化 RAM 用に転用することができた。

平成 21 年度は、電磁界-温度分布シミュレーションの改良開発が終了し、次世代の相変化メモリとして最適な蓄熱構造の検討に入った。

平成22年度においては、(3)で得られた超格子薄膜の熱伝導度データを用い、熱解析シミュレーターを駆使して超格子型相変化メモリに最適な構造と熱流量の計算を行った。その結果、従来のデバイスと比較して熱拡散が数倍以上に速く、デバイスの温度が融点に全く達していないことが確認できた。超格子型相変化メモリが融解を伴わずに相変化できることを裏付ける結果が得られた。

(3) 再現性や信頼性など集積化に向けて必要となる特性の体系的理解のための動作温度領域における薄膜物性データベースの構築

これまでに、各種の相変化膜、GeSbTe 共晶組成ラインの代表的な組成、および Sb-Te からなる相変化材料の代表的組成、また、それに使われる代表的な誘電体 ZnS-SiO₂ 混合材料(光記録において開発されたものですべての相変化光記録にはこの誘電体材料が用いられている)について、室温から動作温度域(最高で 600°C)までの屈折率の波長依存性、比熱、熱伝導度のデータを精密に測定し、それらを一つのデータベースとして編纂してきた。

平成 19 年度は、半導体材料として注目されている Low-k 材料の熱伝導率を中心として測定をおこなった。ガラス基板上に TiN を 200nm 真空成膜し、その上に Low-k 材料を形成した。さらにその上部に再び TiN を 200nm 成膜し、三層構造のサンプルを作製した。Low-k 材料は DMDEOS と (DMDEOS+TEOS)の混同比を変えたポーラズシリカである。測定では 1/4、1/5、1/6、1/8 の組成比のサンプルを測定した。熱伝導率は室温から 300°Cまでの温度領域で、0.28-0.82W/m/K にあり、SiO₂バルクの 1.4W/m/K の約半分以下で、特に 1/4-1/5 の比率のものが最も熱伝導率が小さいことがわかった。

平成 20 年度は、(1)において、GeSbTe 三元系超格子構造を形成できるようになったことから、超格子の組み合わせ(各層の組み合わせ数)を変えた 40 層程度のサンプルで屈折率、シート抵抗、熱伝導度の精密測定を行った。

平成 21 年度は、(1)で期待された新規超格子材料の物性評価を開始した。

平成 22 年度は、新規超格子材料の熱伝導度を精密に測定した。

(4) 一定規模以上の集積化可能性を示すためのナノレベル微細加工を施したデバイス試作

平成 21 年度から実施し、自前のデバイス作製を進め、中間目標値とした電力消費量 $1/3$ を達成できた。

平成 22 年度は、デバイス上で相変化超格子メモリを実際に作製・動作させ、合金を用いた同一デバイスとの比較で、電力消費量が $1/4$ 以下、スイッチエネルギーでは $1/12$ 以下で、かつ 10 億回以上安定的な繰り返し記録が可能であることを実証できた。

(実施体制:独立行政法人産業技術総合研究所)

研究開発項目②-(3)ナノギャップ不揮発性メモリ技術の研究開発

(1) 平面先鋭型金属ナノギャップ素子およびその基本特性評価技術の開発

平成 19 年度は、電子線(EB)・フォトリソグラフィを併用することで、ギャップ間隔 0 nm(接触状態)から 20 nm までの、平面先鋭型ナノギャップスイッチ(NGS)テスト試料を効率的に作製する手法を確立し、この手法により作製した NGS 素子のスイッチング動作を確認した。また、ギャップ間隔が 0 nm の素子においては、エレクトロマイグレーションによりギャップを形成することで、NGS として動作が可能であることを確認した。一方、局所電位計測法として知られるケルビンプローブ原子間力顕微鏡(FM-KFM)の低雑音化を図り、NGS 特性評価法としての応用を試みた。NGS テスト試料にバイアス電圧を加えた状態で、FM-KFM によりギャップ部の局所電位を測定し、ギャップ部で急峻に電位が変化することを確認し、ギャップ部にトンネル接合があることが裏付けられた。

平成 20 年度は、スイッチング時に生じると考えられるギャップ部の構造変化を評価するために、AFM 測定に適する、極薄電極の平面先鋭型 NGS テスト素子を開発した(Pt/Au 薄膜:電極膜厚 10 nm 以下)。このテスト素子では、抵抗スイッチの閾値が高電圧化する傾向があるものの、抵抗スイッチ可能であり、NGS 現象は電極膜厚に依存しないことを明らかにした。また、AFM 観察の結果、主にアノード先端部側で起きる構造変化が抵抗スイッチングに寄与していることを示す結果を得た。一方、フォーミング処理(初期状態の素子をスイッチ動作させるためのバイアス電圧処理)時にしばしば生じる、ギャップ部の大きな構造変化を、バイアス印加方法を最適化することで、その構造変化を最小限に抑えることに成功した。

平成 21 年度は、平面先鋭型金属ナノギャップ素子について、そのギャップ長およびギャップ幅の低減を図るとともに、動作電圧の低減やフォーミングの際の電極素子部の構造変化抑制のため、電極材料および絶縁層の材質検討を行った。また、NGS 構造変化の高分解能評価のためのナノプローブ計測評価用 FM-AFM システムを開発した。平面先鋭型金属ナノギャップ素子については、プロセス条件の最適化により、ギャップ長 10nm、ギャップ幅 30nm の電極を有する平面型 NGS 素子を再現よく作製するプロセスを確立した。また、基板冷却スパッタによる Au 薄膜電極を用いた NGS 素子や、窒化シリコン層による NGS 素子基板を作製した。一方、フォーミング前後の構造変化を FM-AFM により評価し、電流値に制限をかけて電圧印加することで、構造変化を低減できることを見いだした。また、比較的高低差の大きい試料の微細構造を観察するため、FM-AFM の振幅制御系を広帯域化し、さらに FM-AFM 走査と電気特性測定タイミング同期制御系を構築した。

平成 22 年度は、ギャップ幅およびギャップ長 10 nm 以下の、ギャップ構造評価用の平面先鋭型金属ナノギャップ素子を安定的に作製することが目標である。これまで使用してきた、MMA/PMMA2 層レジストを用いた EB リソグラフィによっても、上記素子を作製することは可能であるが、素子ばらつきが大きいことから、作製プロセスの改善を行った。高感度・高分解レジスト材料として知られる ZEP-520 レジストを新たに使い、レジスト堆積条件・EB ドーズ量・現像時間などのプロセスパラメータを最適化することにより、現像後のレジスト構造に適切なアンダーカット構造を作製した。このアンダーカット構造とリフトオフ法により、目標仕様を満たす、平坦なナノギャップ電極の安定な作製を実現した。作製

した素子に対し、これまでに整備した AFM 装置を用い、in-situ 環境で、フォーミング処理および抵抗スイッチング時に生じるギャップ部の構造変化を、サブナノメートルの精度で観察した。その結果、フォーミング時には、外部電圧の増加にともなって、ギャップ近傍の電極原子が表面をマイグレーションし、NDR 特性の発現に至ることが明らかになった。さらに、抵抗スイッチング時には、パルス電位印加によって実効的なギャップ位置が移動していることが静電気力顕微鏡により可視化できた。

(2) 金属ナノギャップメモリ・デバイスの研究開発

平成 19 年度は、傾斜蒸着による平面型 NGS 素子とダイオードを直列接続したエレメントを 2 行 2 列に配置したメモリアレイの基本形を試作し、個別に高/低抵抗状態の書き込みおよび読み出しを行ない、メモリアレイの基本機能と集積化の可能性を検証した。さらにメモリの高稠密度化のため、縦型 NGS 素子の実現に向けての基礎検討を行い、直径 $0.2 \mu\text{m}$ の Via-hole (上下配線間のための縦穴) 内で、NGS 現象が発現することを実証した。また、10ns パルスでも高・低抵抗値を書き換え可能なこと、書き換え耐性 10 万回も確認した。

平成 20 年度は、書き換え方法を検討して 1bit の多値化 (4 抵抗値) の可能性を実証し、さらに、不揮発性メモリの基本特性であるデータ保持特性について、産総研と連携して、常温、高低温 (150°C 、 -70°C) で各々 200 日、7 日、50 日にわたって高・低抵抗状態の抵抗値に変化のないことを確認した。

平成 21 年度は、従来の平面型 NGS 素子に比べて、より実デバイスへの応用に適した縦型 NGS 素子を作製する新たな方法を検討した。縦型素子の基本概念は変わらないが、上下の金属配線間のギャップ距離がより正確に制御できる方法を考案して、メモリ動作を確認した。さらに、素子の基本性能として、中間目標である書き換え耐性 10^5 回を達成する見通しを得た。平面型 NGS 素子の 256 ビットアレイのビットバラツキ評価については、多ピン対応真空チャンバー、測定ソフトウェア、計測器を整備し、メモリ抵抗値の書き換えパルスの検討を行った。封止技術については、封止用気体を陽圧にして封止する手段を検討した。

平成 22 年度は、最終年度の目標である 4kb メモリの作製・評価に向けて、重要な課題となる、縦型 NGS の作製方法の改良、Pulse 駆動方法の検討、セラミックパッケージを用いての N_2 ガス封止の実証試験などを行った。これまでに、 ϕ (Via-hole 径) = 40nm の縦型 NGS について、Verify 不要の Pulse 駆動法を探索するとともに、 N_2 ガス封止後の NGS 動作を確認した。また、縦型アレイ TEG について、単体素子における改良作製法を適用し、歩留まりの評価を行った。さらに 4kb メモリの設計を開始した。

(3) 高性能メモリ金属ナノギャップ素子の研究開発

平成 19 年度は、NGS 素子を用いて、不揮発性メモリとしての基本性能の確認および評価を実施した。とくに、現象発現箇所の特定制およびデータの保持時間に関する技術開発を実施した。具体的には、シリコン酸化膜をエッチングで取り除き、絶縁膜上を流れる微少電流を排除できる構造を作製し、これまでと同様に高い抵抗、低い抵抗の状態を実現することを確認し、NGS 現象が金属電極間で起きているということを明らかにした。さらに、高抵抗、低抵抗状態にある 2 種類の素子を作製し、定期的にそれぞれの素子の抵抗を、 0.2V の読み出し電圧条件で計測することで、長時間にわたってのデータの保持特性を有していることを確認した。これらの結果より、他の不揮発性メモリとの差異および優位性に関するデータの取得を開始できた。

平成 20 年度は、構造の異なる NGS 素子の基本特性を計測し、スイッチング時間、耐久性等の計測を通じてその向上法を探索するとともに、特に保持温度、動作温度および動作電流の計測および特性向上法探索を実施した。具体的には、電子線リソグラフィを用いて対向する電極面積 (幅 \times 蒸着膜厚) の異なるナノギャップ電極を作製・検証した結果、その電気特性は電極面積に依存することが分かった。特に面積を小さくすると、電流値の軽減が観察された。また安定性に関しては、動作雰囲気ガスを変更することにより向上が見られた。さらに保持温度に関して、 -70°C および 150°C での試験を行い、十分な保持時間を有すること、また動作温度に関しては、 300°C での動作を確認した。

平成 21 年度は、動作電流値を低減できる構造および駆動手法の最適化を図った。素子駆動法に関しては、DC バイアススイープ動作ではなく、パルス電圧駆動を取り入れ、さらにナノギャップ電極幅との相関も調べた。また、電子ビーム露光を利用して電極幅 180 nm のナノギャップ電極を作製し、DC スイープ駆動による抵抗スイッチング時の最大電流値が約 $300 \mu\text{A}$ であることを確認した。一方、

電圧波高 6Vおよび 4Vのパルス電圧(時間幅 10 ms)をこの素子に加えると、高抵抗、低抵抗の切り替えが確認できた。また、この時の最大電流値は約 $110\mu\text{A}$ と大幅に低減できた。パルス電圧による駆動は、スイッチング電流低減に有効であることが確認された。さらに、幅の狭い 100nm のナノギャップ電極を用いて、パルス電圧の時間幅依存性を測定した。パルス時間幅を 10ms から $10\mu\text{s}$ に短くするにつれて、スイッチング最大電流値は $150\mu\text{A}$ から $25\mu\text{A}$ まで減少した。この結果、パルス時間幅が短くなると、スイッチング箇所が減少し、結果的に電流値が小さくなったと考えられる。これにより本年度の電流目標値 $50\mu\text{A}$ 以下を達成できた。

平成 22 年度は、走査型トンネル顕微鏡における金属探針と金属基板表面を、微小な面積を持った金属ナノギャップ構造と見立て、その抵抗スイッチ特性を測定した。その結果、電流値が $20\mu\text{A}$ 以下でもスイッチング動作することを実証し、将来素子の動作電流をそれ以下に抑制可能であることを示した。また、素子を特定ガス中で動作させることで、動作電流値の低減だけでなく、動作電圧の低電圧化にも成功した。

(実施体制:国立大学法人京都大学、独立行政法人産業技術総合研究所、
株式会社船井電機新応用技術研究所)

③新材料技術

研究開発項目③-(1)カーボンナノチューブトランジスタ技術の研究開発

(1)CNT デバイス作製技術の研究開発

平成19年度は、プラズマ CVD を用いたデバイス用半導体ナノチューブの優先成長に関しては、CNT-FET の作製とドレイン電流の評価により、半導体的振る舞いを示すナノチューブの優先成長を再確認した。デバイスプロセス技術に関しては、高密度微粒子配置技術および短ゲート作製技術確立のための第1歩として、電子ビームを用いた微細レジストパターン形成技術を検討し、30nm の微細レジストパターン描画を可能とした。さらにゲート絶縁膜/表面保護膜形成方法として原子層成膜(ALD)を検討し、低損傷成膜法として有望であることを明らかにした。また本技術を用いた high-k HfO_2 の成膜により、CNT-FET がp型伝導から n 型伝導に変化することを示した。

平成20年度は、半導体的振る舞いを示すナノチューブの優先成長に関する検討を継続し、優先成長を再度確認するとともにその原因解明を進めた。金属的ナノチューブにできた欠陥が電位障壁として働き、その結果、ナノチューブが半導体的に振る舞う可能性を、ラマン散乱および局所ゲート顕微鏡技術により明らかにした。高密度ナノチューブデバイスの作製に関しては、アーク放電プラズマを用いた触媒微粒子形成と石英基板上への成長を組み合わせることにより $8\text{CNT}/\mu\text{m}$ の配向成長を達成するとともに、FET 動作を実証した。短ゲート CNT-FET 作製技術に関しては、電子ビーム描画技術を用いてゲート長 50nm のマッシュルームゲート CNT-FET の作製を可能とし、FET 動作を実証した。表面保護膜の形成に関しては、ALD HfO_2/CNT 界面制御が素子特性制御にとって重要であることを明らかにするとともに、素子表面保護膜による安定動作の可能性を示した。

平成 21 年度は、高密度マルチチャネルFET作製の検討を継続し、触媒還元時の微量エタノール添加および石英基板上への成長を組み合わせることにより $23\text{本}/\mu\text{m}$ の配向成長を達成するとともに、FET 動作を実証した。また基板表面エッチングにより、水平配向特性を改善し、さらなる高密度化の可能性を示した。さらに、 HfO_2 ゲート酸化膜形成により、伝導型が p 型 FET から n 型 FET に変化する原因が、絶縁膜界面に導入される固定電荷にあることを明らかにするとともに、本知見とともに、安定動作かつ高い電流駆動能力($10\text{mA}/\mu\text{m}$)を有する n 型 CNT-FET を実現した。さらにゲート絶縁膜種で伝導型を制御した CMOS インバーターを作製し、入出力で電圧整合がとれたインバーター動作を実証した。高周波動作実証に向けた検討においては、50nm 極短ゲートパターンの形成を可能とするとともに、ゲート長 100nm で電流利得遮断周波数は 4GHz を実現した。

平成 22 年度は、電流利得遮断周波数の厳密な式を用いた遅延時間解析により、寄生抵抗および出力コンダクタンスが電流利得遮断周波数に及ぼす影響を明らかにするとともに、アクセス領域への F4TCNQ 化学ドーピングによる寄生抵抗低減により、電流利得遮断周波数を 4.6GHz から 9.6GHz に向上させることに成功した。また金属ナノチューブによる並列パスは、オフ電流の増加のみでなく、出力コンダクタンスの原因となり、電流利得遮断周波数を低下させることを明らかにした。また

コンタクト抵抗低減に向けて、嫌気性環境下においてフォトリソグラフィーを用いないデバイスを作製するシステムを構築するとともに、これを用いて FET を作製し、デバイス特性を実証した。

(2) CNT 成長技術の研究開発

平成19年度は、高品質ナノチューブの成長に関して、触媒金属における化学反応の詳細機構を検討するための超高真空背圧(10^{-8} Torr)の熱 CVD 装置を製作し、これを用いて、触媒基板温度 600°C 、エタノール蒸気圧 1 Torr 以下での単層 CNT の CVD 合成を確認した。一方、従来のアルコール CVD 装置を用いて、単層 CNT の垂直配向膜合成 CVD における光吸収による in situ 計測を進め、主に触媒の失活を原因とした成長速度の減速や不純物ガスによる影響についての知見を得た。また、エタノールの気相熱分解反応について検討し、高温かつエタノール流量が小さい場合には、エチレン、水、少量のアセチレンへの熱分解を経由しての触媒反応が卓越してくることを明らかにした。さらに、光学的手法を主体とする単層 CNT の品質評価の基礎として、蛍光分光の励起、発光スペクトルにおける線幅やフォノンサイドバンド、温度依存性、垂直励起の影響などの基礎物理とカイラリティ分布測定などへの応用を整理した。

ナノチューブの高密度配向成長技術に関しては、サファイア単結晶の基板上で水平方向に配向した単層カーボンナノチューブの高密度合成を目的として、プロセス適応性や制御性のよいマグネトロンスパッタリングによって金属薄膜触媒を調製し、ナノチューブの合成を行った。スパッタリング時にスリットを通して成膜することで、一枚の基板上に触媒膜厚のグラデーションをもたせ、系統的に膜厚依存性を検討した。その結果、Fe の一成分の薄膜においては 1 nm 以下の膜厚が最も高い収率を与え、1 本/200 nm の平均密度を得ることができた。

平成20年度は、半導体優先成長と高品質成長技術に関しては、ナノチューブ合成が確認された超高真空背圧型の熱CVD装置の改良を進めるとともに、最適なナノチューブ合成条件の模索と合成されたナノチューブの分光による評価を行った。また、エタノールの熱分解で生成されるアセチレンの触媒金属との反応速度はエタノールの 1000 倍近くであるとの予測に基づき、超高真空背圧型の CVD 装置を用いて微量のガス成分添加による合成速度の増大などを確認した。ただし合成速度が増大する場合に合成されたナノチューブの品質は劣化する傾向があり、最適なガス成分での合成が必要であることを明らかとした。さらに、反応機構の解明と制御を目指して、これらの検討を1本ごとの CNT について行うための準備として、個々の基板上に架橋したナノチューブを合成して1本ごとのナノチューブの顕微ラマンおよび顕微蛍光分光による評価技術をほぼ確立した。

ナノチューブの高密度配向成長技術に関しては、マグネトロンスパッタリングによる膜厚の系統的な検討を二元系触媒に拡張し、助触媒の影響、特に Mo の添加の効果について検討した。メタンを原料とするナノチューブ成長においては、Mo はごく微量で効果を発現するためスパッタリング法では顕著な違いは見られないことが分かった。ボトムゲート型電界効果トランジスタを作製し、その動作確認も行った。アモルファス酸化膜のついたシリコン基板上で、電場等の外場を用いない世界で最初のナノチューブの配向成長の実現といえる。

平成21年度は、特に、エタノールの気相熱分解反応について検討し、高温かつエタノール流量が小さい場合には、エチレン、水、少量のアセチレンへの熱分解を経由しての触媒反応が卓越してくることを明らかにした。さらに、反応機構の解明と制御を目指して、これらの検討を1本ごとの CNT について行うための準備として、蛍光分光の励起、発光スペクトルにおける線幅やフォノンサイドバンド、温度依存性、垂直励起の影響などの基礎物理を明らかとするとともに、架橋ナノチューブの合成と1本ごとのナノチューブの顕微蛍光分光による評価技術を確立した。

熱 CVD 成長における電場印加による金属 CNT の除去技術の開発を行った。新規設計の電場印加型熱 CVD で成長を確認し、ラマン評価を準備中である。

また、スパッタにより堆積させた Fe 触媒を用いて、CVD 中のメタンと水素の組成比、反応温度、還元時間も含めた反応時間の影響など総合的に検討を行い、密度向上の観点からはメタンと水素の組成比が重要であることを明らかにした。さらに、Fe-Co などの二成分からなる触媒のより広範な検討を始め、Fe 単体よりも活性の高い触媒組成をいくつか見出すことができた。エレクトロニクス応用で重要となるシリコンウェハ上での CNT の配向成長についても、電子ビーム描画とエッチングによるシリコン基板の表面のトレンチ加工を行い、トレンチに沿って CNT を配向成長させることに成功した。

平成 22 年度は、半導体ナノチューブ優先成長技術に関しては、電場印加による半導体 CNT 優

先 CVD 成長技術の開発を進めた。半導体 CNT 優先成長の際に基板として用いる単結晶水晶基板上での CNT 配向成長についての検証を行い、特に R カット面を有する水晶基板上で高い配向性を示すことが分かった。水晶基板への処理(表面化学処理やアニーリングなど)の CNT 成長への影響を調べることにより、配向メカニズムの解明を行った。更に、電場印加を実現するための水晶基板上での電極作製技術および触媒金属微粒子の作製法を検討することで、電極間に効率よく CNT を合成することにも成功した。同時に、エタノールガスとジメチルエーテルを用いて CNT の CVD 成長の比較実験を行うことで、ガスの熱分解反応によって生じる分解物と CNT 成長との関係を明らかにすることができた。

ナノチューブの高密度配向技術に関しては、二成分系からなる金属触媒の総合的な検討を行い、前年度に見出した Fe-Co 二元系触媒に加え、Co-Cu 触媒がより高い活性を示すことを見出した。さらに、炭素原料の検討から、これまで用いてきたメタンをエチレンに切り替えて最適化することで、単一系触媒ではメタンを上回るナノチューブ密度を得ることに成功した。

(3) CNT デバイスの局所評価技術の研究開発

平成 19 年度は、CNT 中での電位分布を観測するためのケルビンプローブフォース顕微鏡(KFM)について、測定データの信頼性を向上する目的で間欠バイアス印加法を導入し、静電引力の長距離性が KFM で計測される電位値に与える影響を定量的に明らかにするとともに、同手法の有効性を確認した。また、磁気力顕微鏡(MFM)を利用して、簡単なネットワーク状電流路周囲の磁場分布を観測し、電流値に対する磁気力信号の線形性の検証を通じて電流誘起磁場による電流定量測定の可能性を議論した。

平成 20 年度は、MFM での電流誘起磁場計測に適したカンチレバー形状を設計した上で、同形状を持ったカンチレバーを収束イオンビーム法により作製した。同カンチレバーの機械的特性を測定した結果、電流誘起磁場計測に用いるねじれ方向のバネ定数が約 1/8 に低減できており、Q 値の劣化を加味しても、3 倍程度の高感度化が期待できることがわかった。さらに、同カンチレバーを用いて CNT-FET におけるチャネル電流の計測を行い、複数の CNT チャネルの間での閾値や相互コンダクタンスの差違、単一の CNT チャネルにおけるソースおよびドレインとの接合抵抗の差違、などを観測することに成功した。

平成 21 年度は、KFM の電位測定に利用している試料-探針間の静電引力に関して、その直流バイアス依存性に現れる非線形性の観測に取り組み、それらを通じて欠陥などの電子トラップへの帯電効果を議論できる可能性を見出した。また、MFM 測定のさらなる高感度化を図るために、空気抵抗によるダンピング効果を低減して共振 Q 値を改善する目的で、カンチレバーの加工形状に再検討を加えるとともに、実際に FIB 加工したカンチレバーにおいて、その機械的特性の検証を進めた。

平成 22 年度は、KFM による電位測定において、異なる CNT 上でのチャネルに沿った電位分布およびそのゲートバイアス依存性の差違を観測することに成功した。特に、CNT とソース電極の接合部分付近での電圧降下の度合いから、CNT チャネルとしての導通/非導通状態を区別できる可能性があることを示した。また、MFM による電流誘起磁場計測に関しては、同手法に適したカンチレバー作製の際に生じていた汚染の問題を解決するとともに、静電引力の影響について再考察を加えた上で、MFM 磁気力信号と個別 CNT チャネル電流の定量的な比較を行った。

(実施体制:国立大学法人名古屋大学一再委託 国立大学法人東京大学、
国立大学法人九州大学)

研究開発項目③-(2)シリコンプラットフォーム上 III-V 族半導体チャネルトランジスタ技術の研究開発

(1) III-V-OIチャネル形成技術

平成19年度は、Si上及び絶縁膜上へのIII-V族半導体のエピタキシャル成長技術に関して、SiO₂の微小孔を介した(111)Si基板上へのMOVPEによるInGaAsの選択エピタキシャル成長を行い、SiO₂上で1-2 μmに及ぶ横方向成長が実現できる成長条件が存在すること、またソースガス分圧条件を変えることにより、縦方向成長に切り替えることが可能であることを明らかにした。

また、III-Vチャネル層貼り合わせ技術の検討を開始し、貼り合わせられるIII-Vチャネル層形成技術として、MOVPE法を用いてIII-V基板上チャネル層を結晶成長する条件の基礎を確立すると共に、

ECRスパッタ絶縁膜形成装置を導入して、貼り合わせの際の支持基板となるSi基板上及び貼り合わせ面となるIII-Vチャンネル層上に、平坦で高品質な絶縁膜を形成する条件を確立した。

平成20年度は、エピタキシャル成長によるIII-V-OIチャンネル層形成技術に関し、SiO₂の微小孔を介した(111)面Si基板上へのInGaAs層の選択成長において、横方向成長が実現できる成長条件を明確化するとともに、Ga原料ガス分圧を変えることによるInGaAs結晶構造の変化を調べ、結晶成長モデルを明確化した。

また、貼り合わせによるIII-Vチャンネル層形成技術に関し、ECRプラズマによる表面処理、ECRスパッタによるSiO₂堆積及び絶縁膜中からの脱ガスためのアニールを、ECRスパッタ絶縁膜形成装置内で一貫して行ったのちに、Si基板上に貼り合わせる手法により、およそ10nmの厚さのInGaAs層をSiO₂で被覆して、Si基板上に貼り合わせることに成功し、この手法によりIII-V-OIが実現できることを実証した。

平成21年度は、有機金属気相成長によるIII-Vチャンネル層ヘテロエピタキシャル成長技術に関し、(111)面Si基板上へのInGaAs層の選択成長に与える原料分圧の効果の理解に基づいて、Ga原料の供給量をエピタキシャル成長の時系列に応じて段階的に変化させる多段階成長法を提案し、結晶島形状の均一性の向上、横方向成長・表面平坦性の向上、結晶表面における回転双晶のない無転位層の実現を達成した。

また、基板貼り合わせによるIII-V-OI基板製造技術に関し、ECR-SiO₂を埋め込み酸化膜に用いた貼り合わせにおいて、III-Vチャンネル層の薄膜化を進め、膜厚7 nmのInGaAs-OI層の作製に成功した。さらに、ALD-Al₂O₃を埋め込み層に用いた、埋め込み層との良好なMOS界面をもつIII-V-OI構造を、Arビーム照射による表面活性化(SAB)法あるいは直接貼り合わせ法により実現した。また、貼り合わせプロセスに用いるInGaAs/InPヘテロエピタキシャルウエハの成長条件を確立した。

平成22年度は、有機金属気相成長によるIII-Vチャンネル層ヘテロエピタキシャル技術に関し、Si基板上での均一かつ単一の核発生を実現するためのSi表面前処理や多段階成長法の最適化の検討を行い、InGaAsエピタキシャル成長層の形状の均一性の向上に成功した。

また、基板貼り合わせによるIII-V-OI基板製造技術に関し、基板洗浄技術を開発して、貼り合わせ時のパーティクル混入を低減するとともに、貼り合わせ条件の改良を進め、600°Cの熱行程に耐える、貼り合わせ強度の強いIII-V-OI構造の形成に成功した。また、InP上のエピ層の構造に工夫を加えることにより、最も薄膜のもので、3.2 nmの極薄のIII-V-OI層の形成に成功した。更に、III-V-OI表面の平坦性や化学組成はIII-Vバルクウエハと同等であり、貼り合わせによる歪の発生もないことを明らかにした。

(2) MIS界面安定化技術及び界面評価技術

平成19年度は、III-V族半導体基板の中でもMOS界面特性に優れていると考えられるInPに対して、MIS界面安定化技術の開発に着手し、NH₄OH表面処理を施したInP基板上に、EB蒸着によりSiO₂を形成したMIS界面において、10¹¹ cm⁻²eV⁻¹ 台前半という低い界面準位密度が実現可能であることを示す一方、数Vに達する大きなヒステリシスを観測し、スロートラップの低減が課題であることを明らかにした。また、III-V MOS表面状態の理解に有効な評価法であるXPS測定を可能とする評価システムの設計・作製を行った。

また、III-Vチャンネル上へのHigh-k絶縁膜形成技術の開発に用いるために、高真空対応でリモートプラズマ機能を持った真空チャンバーを設計・製作した。これを組み込んだ原子層成長(ALD)装置を立ち上げてHigh-k膜成長実験を開始し、GaAs(001)上への成長によりAl₂O₃の膜質のベンチマーキングを完了した。

平成20年度は、ヒステリシスの原因となっているIII-V MOS界面のIII-V自然酸化膜の改質を狙い、ECRプラズマ窒化によるIII-V表面の窒化を試み、InP表面をN₂/Ar ECRプラズマに暴露することで、InPの酸窒化膜が形成できることを、XPSにより明らかにした。またこの表面窒化によって、MOS特性のヒステリシスが大幅に低減できることを見出した。また、より高精度・高機能のXPS測定を可能とする真空チャンバーの設計・作製を行い、その動作を確認した。

また、III-V基板の表面酸化物に対して還元性をもつアルキル金属を原料とし、原子層成長(ALD)装置を用いてAl₂O₃層を形成することにより、キャリアの蓄積と反転をゲート電圧によって制御可能なIII-V MIS界面の形成を実証した。界面特性に影響する要因を検討した結果、III-V半導体がInを含む場合や、結晶面方位が(111)である場合に表面キャリアの変調が容易になることが明らかに

なった。

平成21年度は、窒化・酸化によるMIS界面安定化技術に関し、InGaAs表面のECRプラズマ窒化処理と適切な温度のアニールを行うことにより、ECRプラズマSiO₂/InGaAs界面において、10¹¹ cm⁻² eV⁻¹ 台前半という、III-V族半導体としては極めて低い界面準位密度と、50mV以下程度の低いヒステリシスを有する良好なMIS界面が実現できることが明らかにした。

また、MIS界面の電子物性評価・解析技術に関しては、SiO₂/InGaAsおよびSiO₂/InGaAs窒化膜/InGaAs MIS界面の電気特性とXPSスペクトルとの相関を調べることにより、As酸化物の抑制がMIS界面特性の向上に役立っている可能性が高いこと、また窒化とアニールによる界面準位の大幅な低減は、GaのN終端によるGa-Nボンド形成に起因している可能性が高いことを明らかにした。

また、High-k絶縁膜を含むIII-V MIS界面の高品質化技術に関し、HfO₂/GaAs界面のIII族元素をAl、Ga、Inで置き換える実験を行うとともに、InGaAs、InP表面を清浄化するための原子状水素発生源を備えた超高真空チャンバーを設計・製作した。これと平行して、HfO₂/InGaAs系界面制御実験に着手した。

さらに、ゲートスタック形成基本プロセスに関し、主にInGaAs上へAl₂O₃をALD法によって成長させてMIS界面を形成する場合について、400℃から750℃の温度範囲で熱処理した際の特性変化要因を明らかにするとともに、(NH₄)₂S溶液処理による界面特性改善やプラズマにより生成した活性種照射による表面組成制御を実証した。これらの結果により、ゲートスタック形成基本プロセスが確立された。

平成22年度は、窒化・酸化によるMIS界面安定化技術に関し、InGaAs表面のECRプラズマ窒化処理後に、ALDによるAl₂O₃膜を堆積するゲートスタック構造において、プラズマ窒化条件とその後のアニール条件の最適化を行うことにより、MIS界面準位の最小値で2x10¹¹ cm⁻²eV⁻¹、伝導帯近傍において10¹¹ cm⁻²eV⁻¹ 台前半という低い界面準位密度を有する良好なMIS界面が実現できることを明らかにした。

また、MIS界面の電子物性評価・解析技術に関しては、角度分解XPS法など用いて、窒化後のMIS界面付近の構造を調べ、最適な窒化界面では、MIS界面に1.6nm程度のInGaAs窒化物を含む中間層が存在することを明らかにした。また、InGaAs上のゲート絶縁膜成長をオージェ分光により追跡し、成長初期に表面酸化層の還元を充分進ませることが周波数分散の小さい電気特性を得るために必要であることを示した。

また、High-k絶縁膜を含むIII-V MIS界面の高品質化技術に関し、InGaAs表面をIII族原子で終端することによってHfO₂/InGaAs系界面の特性が向上すること、および、III族原子の原子番号が大きくなるにつれて界面準位密度が減少することを明らかにした。

さらに、ゲートスタック形成基本プロセスに関し、InGaAs上へのHfO₂/Al₂O₃スタック構造形成によるゲート容量改善を確認するとともに、InP/InGaAs埋め込みチャネル構造により、低キャリア濃度領域にて極めて高い移動度(ピーク値5,500cm²/Vs)を達成した。

(3) III-V-OI MISトランジスタ形成技術

平成19年度は、Si基板上的選択エピタキシャル成長によるIII-Vチャネル層へMOSFETを作製する上で基本となるIII-Vチャネルの結晶性の確認と、このチャネル領域へのソース・ドレイン層形成可能性の確認のため、SiO₂の微小孔を介して(111)Si基板上に縦方向成長したInAsにドーピングを行ってpn接合を形成し、良好な整流特性をもつpn接合ダイオードが形成できることを実証した。

また、熱負荷の小さいゲートラストプロセスを想定したプロセス開発に着手し、ゲート電極およびソース・ドレイン電極として用いる予定のTa_{N_x}について、スパッタ蒸着およびエッチング加工の条件出しを完了した。

平成20年度は、AuGeをソース・ドレイン電極とするメタルソース・ドレイン構造を、上記の貼り合せ法で作製したInGaAs-OI基板上に適用してMOSFETを作製し、バックゲート印加により、メタルソース・ドレインInGaAs-OI MOSFETが動作することを実証した。

また、InP(001)ウェハ上にMOCVDによりエピタキシャル成長した格子整合In_{0.53}Ga_{0.47}As層をチャネルとして用い、ゲート絶縁膜とゲート電極をそれぞれALD-Al₂O₃とスパッタTa_{N_x}とし、ソース/ドレインをSiイオン注入により形成したMISFETをゲートラストプロセスにより試作し、良好な表面反転型の動作を実証した。

平成21年度は、メタル・ソースドレインIII-V MISFETの動作の実証に関し、n型InPに対してショッ

トキキーバリア高さが低い金属材料を探索し、AuGeとNiが有望な材料であることを実験的に明らかにした。また、AuGeをソース・ドレイン材料とするフロントゲート型 InP メタル・ソースドレイン MOSFET を試作し、そのデバイス動作を確認した。

また、III-VMISFET のプロセスインテグレーション上の課題の明確化と、高移動度動作の実証に関しては、まず、InGaAs(100)チャンネルを用いて、Siを超えるチャンネル移動度を示す MISFET を作製するゲートラストプロセスを確立した。その上で、チャンネルの面方位を(111)Aとする InGaAs/InP ヘテロエピタキシャルウエハを製作し、これを用いた MISFET において、Siの2倍を超える高移動度を実現できることを見出した。更に、Si基板上に貼り合わせ法により形成した III-V-OI 基板を用いたトップゲート構造の MISFET において、良好なデバイス動作に成功した。これらの開発に並行して、イオン注入によるソースドレイン形成の最適化を進め、ソースドレイン抵抗低減に向けた課題を明らかにした。

平成 22 年度は、メタル・ソースドレイン III-V MISFET の動作の実証に関し、InGaAsに対して自己整合型のメタル・ソースドレイン層が形成でき、かつショットキーバリア高さが低い金属材料として、NiとInGaAsを直接反応させた Ni-InGaAs合金が有望な材料であることを実験的に明らかにすると共に、InGaAsのIn組成を70%以上にすることにより、ショットキーバリアをゼロにできることを明らかにした。この、Ni-InGaAs層を用いた自己整合型のバルク基板上 InGaAs MISFET を試作し、そのデバイス動作に初めて成功した。

また、III-VMISFET のプロセスインテグレーション上の課題の明確化と、高移動度動作の実証に関し、III-V MISFET に特有の移動度決定要因として、界面ダイポールの揺らぎに由来する散乱の寄与を実験により初めて示した。また、極薄膜 III-V-OI MISFET の実現に向けて、高濃度 n 型にドーピングした InGaAs 層を用いたイオン注入フリーの MISFET の試作を行い、InGaAs 層の膜厚として 3.5nm という極薄膜の InGaAs-OI MISFET の動作に初めて成功した。更に、Ge チャンネルと組み合わせた CMOS 構造への集積化の検討のために、Ge 基板と InGaAs/InP 基板の貼り合わせ技術と CMOS 集積化プロセスの検討を開始し、課題の抽出を行った。

(実施体制:国立大学法人東京大学、独立行政法人物質・材料研究機構、
独立行政法人産業技術総合研究所－共同実施 住友化学株式会社)

研究開発項目③-(3)シリコンウエハ中の原子空孔濃度定量評価技術の研究開発

(1)超音波計測を用いた原子空孔濃度分析の研究開発

シリコン結晶の原子空孔の周りに大きく広がった電子軌道は縮退しており、電気四極子を持っている。電気四極子は超音波歪みと結合し、弾性定数の低温ソフト化をもたらす。この低温ソフト化は温度の逆数に比例した四極子感受率によって記述でき、その大きさは原子空孔濃度に比例する。絶対零度に接近することでソフト化は発散的に大きくなり、微量の原子空孔も十分な感度で観測可能になる。したがって、原子空孔濃度評価では、弾性定数の低温でのソフト化の大きさの精密測定を実施するので、低温測定環境が必要不可欠である。

平成 19 年度は、大型希釈冷凍機システム(KE400HA-NESC、オックスフォード・インストゥルメンツ株式会社)を導入して最低到達温度 5.8 mK を実現し、低温計測環境を整えた。この希釈冷凍機の冷却能力は 400mW@100mK を確保している。シリコンウエハから 40x10mm² の試料を切り出し、その原子空孔濃度を計測するので、十分大きなサンプルスペースφ63mm を確保した。

平成 20 年度は、高い音速分解能を実現する超音波位相差計測システムの構築と交流スパッタ法による ZnO 圧電薄膜作製を進め、1.2 ギガヘルツの高周波超音波を用いたシリコン結晶の評価実験に成功した。³He-⁴He 希釈冷凍機を用いた極低温超音波計測のシステムを構築し、4個のシリコン結晶試料を同時に冷却し測定することに成功した。20mK までの極低温領域での超音波計測が十分に可能であることを確認した。

平成 21 年度は、専用の超音波位相差計測システムを整備し、ZnO 圧電素子、希釈冷凍機の組み合わせで音速の高分解能 $\Delta V/V=10^{-6}$ を達成し、原子空孔濃度分布の評価に実践投入を行った。

平成 22 年度は、原子空孔濃度評価の効率を向上させるため、超音波位相差計測システムを増強・整備した。また、横波超音波を用いた空孔濃度評価を実現した。これにより、縦波超音波を用い

るのに比較して空孔濃度評価の分解能が向上した。

(2) 原子空孔のナノレベルシミュレーション技術の研究開発

平成19年度は、ナノレベルシミュレーションの基本コードの整備を行い、計算機の整備を行った。

平成20年度は、512 原子以上での大規模セルでの計算が可能であることを確認した。第一原理計算によるとヤーンテラー局所変型が発生するが、その起源について様々な可能性の検討を行った。

平成 21 年度は、実際に 216 原子での大規模計算を実行し、原子空孔の周りに大きく広がった局在電子軌道の量子状態を求めた。

平成 22 年度は、512 原子での大規模計算を実行し、特に超音波と結合する電気四極子が、顕著なサイズ依存性をもつことを明らかにした。

(3) シリコン結晶中の原子空孔分布計測と欠陥制御技術の開発

平成19年度は、ボロンドープ CZ シリコン結晶中の完全結晶領域を制御する技術開発を進めた。

平成20年度は、直径が 200mm のボロンドープ CZ シリコン結晶を育成し、完全結晶領域の同定のために X 線トポグラフを行うとともに、 $2 \times 2 \times 3 \text{mm}^3$ のサイズを持つ [111] 方向の試料を約 80 個切り出し、研磨を行った。この中から幾つかの試料に ZnO 圧電薄膜をスパッタで作製し、低温超音波計測装置を用いて、低温ソフト化の実験を開始した。

平成 21 年度は、引き上げ速度を変えて原子空孔を制御したボロンドープ CZ シリコンインゴット中の原子空孔分布について低温超音波測定による評価を行い、マクロ欠陥が存在しないニュートラル領域において原子空孔が $N=10^{14} \text{cm}^{-3}$ 台で均一に存在することを確認した。

平成 22 年度は、完全結晶領域での原子空孔評価を進めるため、直径が 300mm のボロンドープ CZ シリコン結晶の空孔濃度評価および同シリコン結晶上に作製したデバイスの動作特性評価のための準備を行った。

(4) 原子空孔濃度を評価した完全結晶ウェハを用いたデバイスの動作特性評価

平成19年度は、シリコンウェハ中の原子空孔がデバイス製造の歩留まりに影響を与えている可能性について検討を行った。

平成20年度は、市販のシリコンウェハを用いたデバイス試作製造を行い、その電気特性がウェハ中の場所に依存しており、それが原子空孔濃度に関連しているとの推論を得た。

平成 21 年度は、完全結晶シリコンウェハを用いて、ウェハプロセス評価によるライフタイム評価、デバイス評価による耐圧特性評価を行い、原子空孔分布との相関を推定した。

平成 22 年度は、完全結晶 300mm ウェハに試験製造する NAND フラッシュメモリにおける原子空孔濃度分布とデバイス電気特性との関連を評価するための準備を進めた。

2.2 実績推移

実績額推移:	19年度	20年度	21年度	22年度
一般勘定(百万円)	493	499	547	499
特許出願件数(件):	15	25	2	10
論文発表数(報):	13	59	29	59
フォーラム等件数(件):	89	216	108	261

(19年度、20年度は経済産業省で実施)

(実施体制:国立大学法人新潟大学)

3. 事業内容

実施体制については、別紙を参照のこと。

3.1 平成23年度(委託)事業内容

①シリコンナノワイヤ技術

研究開発項目①-(2)ナノワイヤFETの研究開発

(1) Siナノワイヤの電子構造の量子論的検討

・Siナノワイヤの電子構造解析により、SiナノワイヤFET実用化に向けて解明すべき物理現象を明らか

にする。

・金属とワイヤ状物質との間の曲率のあるナノ界面におけるショットキー障壁を第一原理計算等によって解析し、その特徴を理論的に明らかにする

(2) ナノワイヤFETのバリシテシティ制御

・準バリスティックSiナノワイヤFETの電圧・電流特性をコンパクトモデルで定式化する。

・コンパクトモデルによる解析と実験で得た実測値との比較を通じて、バリシテシティを高めるなど性能最適化のための指針を明確化し、その理論・技術上の問題点を明らかにする。

(3) SiナノワイヤFETの作製

・SiナノワイヤFETの作製とその性能評価を通じて、理論予測との違いを明らかにし、その技術上の課題を明確にする。

(4) Siナノワイヤデバイスのロードマップ作成

・上記の研究開発の結果および他機関の研究結果も含めた総合的な検討に基づいて、最終目的であるSiナノワイヤデバイスのロードマップを作成する。さらにこれらの課題を解決するための具体的施策を示し、そのための今後の研究開発体制のあるべき姿を提案する。

(実施体制: 国立大学法人東京工業大学－再委託 国立大学法人筑波大学、

国立大学法人東京大学)

研究開発項目①-(3) シリコンナノワイヤトランジスタの物性探究と集積化の研究開発

(1) 極細シリコンナノワイヤトランジスタの電気伝導探究と集積化に関する研究開発

・量子閉じ込めおよびひずみ等の効果を総合して通常のプレーナバルクMOSFETより高い移動度を示すシリコンナノワイヤトランジスタのパラメータを明らかにする。

(2) 短チャネルシリコンナノワイヤトランジスタの電気伝導探究と集積化に関する研究開発

・チャネル長25nm以下、チャネル径10nm以下のシリコンナノワイヤトランジスタを作製する。

(実施体制: 国立大学法人東京大学、株式会社東芝)

②次世代メモリ技術

研究開発項目②-(1) 新構造 FinFET による SRAM 技術の研究開発

(1) 立体構造FinFET技術の研究開発

・Flex-Pass-Gate SRAMへの上記FinFET導入を行う。

(2) 4端子FinFETを用いた低消費電力・高ノイズ耐性SRAM回路技術の研究開発

・(1)で確立した微細4端子FinFETを用いたSRAMアレイを試作し、特性評価・解析によりIPを確立する。

・従来トランジスタと比較して、セル面積増加なしに、動作余裕を1.5倍に、待機時消費電力を1/20にできることを示す。

(実施体制: 独立行政法人産業技術総合研究所)

研究開発項目②-(3) ナノギャップ不揮発性メモリ技術の研究開発

(1) 平面先鋭型金属ナノギャップ素子およびその基本特性評価技術の開発

・ナノギャップ領域が極限的に微細化してもNGSメモリ動作することを検証するために、中間目標のデバイスサイズよりもさらに微細化した、ギャップ長5nm、ギャップ幅10nmの電極を有する平面型NGS素子を開発する。平成21年度までに開発した高感度ナノプローブ計測評価技術をさらに発展させ、AFM散逸計測などのナノプローブ物性計測法を用いてナノギャップ部の物性変化を測定することにより、長時間動作後のナノギャップ部の電気特性変化や組成変化を評価する。

(2) 金属ナノギャップメモリ・デバイスの研究開発

・縦型NGS素子の微細化を進めるとともに、4kbitのデバイスを試作・評価し、下記の性能を実証する。

・高速性: 100ns以下の書き換えスピード

- ・稠密性: 上下電極交点の Via-hole 径 ϕ で40nm
- ・書き換え耐性: 106回以上

また、このデバイスを用いてNGS素子の特性ばらつきを評価する。

(3) 高性能メモリ金属ナノギャップ素子の研究開発

- ・素子特性として、最大電流値20 μ A以下、動作電圧5V程度を実現する。

(実施体制: 国立大学法人京都大学、独立行政法人産業技術総合研究所、

株式会社船井電機新応用技術研究所)

③新材料技術

研究開発項目③-(2) シリコンプラットフォーム上III-V族半導体チャネルトランジスタ技術の研究開発

・Si 上あるいは絶縁膜上のnチャネルIII-V族半導体チャネルMISFETの作製技術を開発し、その高移動度動作を実証する。

・Si 上の III-V MISFETの最適素子構造・材料の明確化を進め、CMOSプラットフォームへの適用性を明らかにすると共に、将来のCMOS構造への集積化の可能性を検証する。

(実施体制: 国立大学法人東京大学、独立行政法人物質・材料研究機構、

独立行政法人産業技術総合研究所-共同実施 住友化学株式会社)

研究開発項目③-(3) シリコンウェハ中の原子空孔濃度定量評価技術の研究開発

(1) 超音波計測を用いた原子空孔濃度分析の研究開発

・超音波計測によって低温ソフト化の量を測定することで、産業界で実用化が進んでいる完全結晶ウェハの原子空孔濃度の面内分布の分析技術を確立する。

(2) 原子空孔のナノレベルシミュレーション技術の研究開発

・超音波計測の結果と比較しながら、大規模ナノレベルシミュレーションを行い、原子空孔軌道と超音波歪みとの結合定数を求め、産業界で実用化が進んでいる完全結晶ウェハ中の原子空孔濃度の評価に適用する。

(3) シリコン結晶中の原子空孔分布計測と欠陥制御技術の開発

・as-grown 結晶欠陥分布を決定する結晶育成時の熱履歴を厳密に制御する事で、原子空孔濃度を制御したデバイス評価に適した完全結晶ウェハを作製することを可能にする。

(4) 原子空孔濃度を評価した完全結晶ウェハを用いたデバイスの動作特性評価

・低温超音波計測により原子空孔濃度を予め評価した完全結晶ウェハを用いてテストデバイスを作製し、原子空孔濃度とデバイス特性との関連を調査し、次世代の完全結晶ウェハを用いたデバイス製造のための基礎技術を確立する。

(実施体制: 国立大学法人新潟大学)

3. 2 平成23年度事業規模

一般勘定 30百万円(継続・委託)

平成22年度補正予算額(一般勘定) 225百万円(継続・繰越)

事業規模については、変動があり得る。

4. その他重要事項

4. 1 運営・管理

本研究開発は、経済産業省により、企業、民間研究機関、独立行政法人、大学等(委託先から再委託された研究開発実施者を含む)から公募により研究開発実施者が選定され、共同研究契約等を締結する研究体を構築され、平成19年度より委託により実施している。平成21年度より、独立行政法人新エネルギー・産業技術総合開発機構(以下「NEDO」という。)が本研究開発を運営・管理するに当たっては、平成20年度までの進捗状況を踏まえた研究開発内容・計画及び実施体制の妥当性について、外部有識者による審議を含めた評価を行った上で最適な研究開発体制を構築し、委託して実施してい

る。

研究開発全体の管理・執行に責任と決定権を有する NEDO は、経済産業省と密接な関係を維持しつつ、プログラムの目的および目標に照らして適切な運営管理を実施する。また、必要に応じて、外部有識者の意見を運営管理に反映させる。

平成22年度は、産業技術政策動向等を勘案して基本計画の見直しを行った結果、「研究開発項目①-(1)シリコンナノワイヤトランジスタの知識統合研究開発」、「研究開発項目②-(2)次世代相変化メモリ技術の研究開発」、「研究開発項目③-(1)カーボンナノチューブトランジスタ技術の研究開発」を当該年度末で終了することとした。

4.2 複数年度契約

平成21年度から23年度の複数年度契約を行う。

(別紙) 事業実施体制の全体図

「ナノエレクトロニクス半導体新材料・新構造ナノ電子デバイス技術開発」実施体制

