

## 平成 2 4 年度実施方針

電子・材料・ナノテクノロジー部

## 1. 件名

プログラム名： I T イノベーションプログラム  
(大項目) 立体構造新機能集積回路（ドリームチップ）技術開発

## 2. 根拠法

独立行政法人新エネルギー・産業技術総合開発機構法第 1 5 条第 1 項第 2 号

## 3. 背景及び目的・研究開発項目・目標

## (1) 背景及び目的

我が国半導体技術の発展は、情報家電、コンピュータ、通信装置を始め、自動車、医療機器など様々な機器の高性能化、小型化、省電力化に貢献し、情報通信産業や製造業といった我が国経済を牽引する産業の競争力を強化するものである。従来、この発展を支える半導体デバイスの高集積化は、CMOS-LSI を二次元的に微細化することにより追求されてきた。一方、微細化の進展に伴い、微細化を実現するための研究開発投資、設備投資が増大すると共に、製造レベルでのばらつき制御や歩留まり対策といった製造技術のブレークスルーも必要になってきている。

このため本プロジェクトを「I T イノベーションプログラム」の一環として実施し、これまでの同一機能のメモリの積層による高集積化とは異なり、異機能を持つチップの積層技術など、これまでにない三次元化技術により、新たな機能の発揮と飛躍的な性能向上を実現する立体構造新機能集積回路技術を確立することを目的とする。

## (2) 研究開発項目

立体構造によって新たな機能創出や飛躍的な性能向上が期待されるデバイス開発として、以下の研究開発項目を実施する。

[委託事業]

- ① 多機能高密度三次元集積化技術
- ② 複数周波数対応通信三次元デバイス技術
- ③ 三次元回路再構成可能デバイス技術

但し、研究開発項目②および③は、平成 2 2 年度に行った中間評価の結果を受け、研究開発体制を見直した結果、平成 2 2 年度をもって終了した。

## (3) 目標

研究開発項目① 多機能高密度三次元集積化技術

最終目標（平成 2 4 年度）

実用的なアプリケーション仕様に準ずる、Si 貫通ビアを用いた三次元積層 S i P を試作

し、機能を検証することで、多機能高密度三次元集積化技術として開発した設計技術と評価解析技術を含め、三次元集積化要素技術の有効性を実証する。

(1) 次世代三次元集積化設計技術の研究開発

- ・ 現状に比較し2桁多いメッシュ数および8倍の信号幅の解析対象を、現状と同等の計算時間で解析することができる電気系三次元シミュレータの開発と評価を完了する。

なお、本目標は平成22年度末をもって前倒し達成した。

- ・ CMOS半導体デバイス、機能デバイス等を、相互に接続可能とする機械的・電気的インターフェースを設定し、技術仕様書を策定する。
- ・ デジタル・アナログ混載回路、多電源化に対応した素子内蔵インターポーザの設計基盤技術を開発し、その技術仕様書を策定する。

(2) 次世代三次元集積化のための評価解析技術の研究開発

- ・ 300mmウェハに対応するプローブとして30万端子以上の被テスト端子への一括アクセスが可能であることを確認する。また、高速デジタル信号テスト端子においては、15Gbps以上の信号を用いた検査が可能であることを確認する。

なお、本目標は、平成22年度末をもって前倒し達成した。

- ・ 平成22年度末までに開発したプローブをテスターと接続して評価を行い、プローブカードとテスト装置間において500Mbps以上の高速テスト信号を含む4万系統のテスト信号伝送が可能であることを実証する。

なお、本目標は、平成22年度末をもって前倒し達成した。

- ・ 一つのプローブカードにおいて、10kW以上の安定した電力供給技術を開発する。

なお、本目標は、平成22年度末をもって前倒し達成した。

- ・ プローブカードにおけるチップテスト時、温度範囲-40度～+125度においてバーンイン試験及びバーンイン試験を可能とする温度制御技術を開発する。

なお、本目標は、平成22年度末をもって前倒し達成した。

- ・ ひとつの三次元積層SiPあたり20W以上の発熱に対応する放熱構造の評価解析技術を開発する。
- ・ 自動車内を想定した高温環境下での放熱冷却構造の最適化設計と、評価解析技術の開発を行い放熱設計技術仕様書を策定する。

(3) 次世代三次元集積化の共通要素技術開発と設計基準策定

- ・ 画像処理システム（視覚支援システム等）に必要なデジアナ混載回路の三次元積層SiPを試作・評価を行い、電源供給技術、高速信号伝送技術等の要素技術を開発し技術仕様書を策定する。

- ・ ロジックと超ワイドバスメモリ（ビット幅2k本以上、伝送能力100GB/sec以上）をインターポーザで相互接続した三次元積層SiPの試作・評価を行い、伝送能力や消費電力などの特性面における三次元積層の優位性を実証する。

- ・ TSVをはじめとする共通要素に関わる設計基準・レイアウト基準・プロセス工程基準を、プロジェクトの標準的仕様として策定しライブラリ化する。更に超ワイドバスによる信号授受の開発の成果を活用して、更なる制御手法の改善検討と試作評価を行い、標準化を含めた展開の見通しを得る。

- ・ ヘテロジニアス集積化を想定したインターポーザ、WLP（ウェハレベルパッケージ）技術の三次元集積化における有効性を示す。

なお、本節に記載の項目（３）は平成２２年度に行った中間評価の結果を受けて基本計画を変更したため、基本計画の変更に基づいて項目名を「（３）次世代三次元集積化設計技術及び次世代三次元集積化のための評価解析技術の有効性実証」から「（３）次世代三次元集積化の共通要素技術開発と設計基準策定」に変更した。

#### 4. 実施内容および進捗（達成）状況

東京工業大学 統合研究院 教授 益一哉 をプロジェクトリーダーとし、以下の成果を得た。

##### （１）平成２０～２３年度（委託）事業内容

##### 研究開発項目① 多機能高密度三次元集積化技術

##### ① - （１） 次世代三次元集積化設計技術の研究開発

（平成２０年度進捗状況）

- ・ 高速回路シミュレータ用エンジンの開発において、新規アルゴリズムを考案し、現状に対して４０倍高速化が可能であることを確認した。
- ・ 高速ドライバチップ用インターポーザ評価用の高速信号伝送路を設計し、部品内蔵技術の優位性を実証した。さらに、DC-DCコンバータ用インターポーザを試作し、インターポーザ上LCを利用した基本回路動作を確認した。
- ・ 電源ノイズの総合的な評価へ向けた評価システムの基本構成を確立した。また、広帯域超低インピーダンス評価システムを構築し、その基本性能を実証した。

（平成２１年度進捗状況）

- ・ 高速電気回路シミュレーションエンジンの研究開発では、改良LIM法を実装したシミュレータを作成し既存のものに対して３００倍の高速化、精度は同等である事を確認した。また、線形・非線形エンジンの連成を、波形緩和法を用いる事により可能にした。

（註）LIM法：Latency Insertion Method、潜在性挿入手法  
回路網高速解析のための近似計算アルゴリズム

- ・ 高速電磁界シミュレーションエンジンの研究開発では、ADE-FDTD法の考案及びメッシュ数低減技術により１００倍程度の高速化の見込みを得た。
- ・ 信号品質安定化技術（SI：シグナルインテグリティ）・電源安定化技術（PI：パワーインテグリティ）の研究開発では、高速I/Oドライバ用部品内蔵インターポーザのSI・PIを評価し、電源電圧変動抑制効果を確認した。
- ・ 素子内蔵インターポーザの評価・検査技術の研究開発では、周波数アナライザと平成２０年度に導入したインピーダンスアナライザとシステム統合し、部品内蔵インターポーザの評価・検査技術を構築した。このシステムにおいてDC-40GHzの超高帯域かつ0.01Ω以下の低インピーダンス評価を実現した。

（平成２２年度進捗状況）

- ・ 信号品質安定化技術（SI：シグナルインテグリティ）・電源安定化技術（PI：パワーインテグリティ）の研究開発では、チップ内部のノイズもモニター可能な専用LSIを含む電源ノイズ統合評価システムを作製した。作製した評価システムで各実装形態のデカップリン

グ・コンデンサのノイズ抑制効果を定量的に評価し、オンチップ・キャパシタで24%、裏面実装と基板内蔵の併用で最大20%のノイズ低減効果があることなどを明らかにした。

- ・更に、P I・S Iの研究開発では、10000 f p s の高速画像処理システムで想定される10 G b p s の高速信号伝送に対応した高速ドライバとシリアル・パラレル変換回路を評価するために、それらを駆動し評価するためのデカップリング・コンデンサの実装形態が異なる各種基板、インターポーザを試作した。
- ・素子内蔵インターポーザの評価・検査技術の研究開発では、10 G b p s 高速信号を検証するための高速パルス・パターン発生器を導入し、高速信号評価システムを構築した。

#### ① ー (2) 次世代三次元集積化のための評価解析技術の研究開発

(平成20年度進捗状況)

- ・300mm径ウェハ対応/15万端子プローブカードの試作を行い、DC特性評価を完了した。
- ・評価検討用プローブチップ(L S I)の仕様策定、評価治具設計を行い、本L S I試作と評価治具の作成を完了した。
- ・10kWの発熱および面内温度分布評価が可能なウェハの設計を行い、ウェハ試作と評価治具の作成を完了した。
- ・三次元集積構造の熱パラメータ測定TEGと、発熱体・温度実測TEGの基本構想・マスク設計を完了した。
- ・10 $\mu$ m接続ピッチTEGを試作し、接続構造・材料をパラメータとした高精度積層接合実装要素技術研究・評価を始めた。
- ・ウェハプローバのアライメント精度につき、技術課題の抽出と評価用装置仕様を決定し、開発に着手した。
- ・300mm径ウェハの薄化ウェハダイシング方式検証により、10 $\mu$ m厚みの課題の抽出を行った。

(平成21年度進捗状況)

- ・ウェハー括、接触および非接触結合端子によるプロービング技術の研究開発では、300mm径ウェハ対応、接触15万接続端子、非接触3.6万端子を有するプローブカードの設計、試作を行い、真空差圧による基本構造の検証とコンタクト特性の評価と最適化を実施した。
- ・また、テストチップとプローブチップ機能をプローブカード上に搭載し基本構造の検証と課題抽出を完了し、A S I C (特定の用途向け集積回路)版テストチップとプローブチップの回路設計とレイアウト設計を完了した。
- ・非接触高速デジタル送受信通信用プローブチップの設計・試作を完了し、伝送速度1 G b p s を確認した。
- ・実動作速度を目指した試験が可能なテストチップ(L S I)を含む300mm径ウェハ対応/30万端子プローブカードのシステムアップ(1/10スケール)に着手した。
- ・被測定対象への電力供給および温度制御技術の研究開発では、300mm径ウェハ対応・フルスケールの15kW発熱冷却構造と多点温調制御の設計・試作を完了した。
- ・プロービング部分とテストシステム間の接続技術の研究開発では、容量結合方式の非接触コネクタ端子用プローブチップを設計・試作・評価を完了し、500M b p s 以上の伝送特性を確認

した。

- ・上記プローブチップを用いた非接触接続用コネクタの原理試作(4チャンネル)と評価を完了し、動作・有効性の確認を完了した。
- ・熱評価および放熱対策技術の研究開発では、熱伝導測定装置を構築し、接合部の熱伝導率を測定・導出した。
- ・積層接合評価解析技術の研究開発では、10 $\mu$ mピッチTEGの接合実験・評価を行い、微細ピッチ接合の課題を抽出した。
- ・接合部の機械物性評価をシミュレーションと、EDX(エネルギー分散型X線分析装置)付き加熱SEM(走査型電子顕微鏡)を導入したDICM(Digital Image Correlation Method)法によって進めた。欠陥観測法として、20 $\mu$ mレベルのTSV・接合部をX線CTにより観測できることを確認した。
- ・薄化ウェハの評価解析技術の研究開発では、IG(Intrinsic Gettering)層の厚さによって金属汚染の防止効果に差があり、10 $\mu$ m厚さでは、デバイスに影響を及ぼさないEG(Extrinsic Gettering)層の導入かエピ層の形成等が必要であることが分かった。
- ・バンプの配置によって局所歪の位置や大きさを低減出来ることがレーザーラマンを用いた評価方法にて判明した。

(平成22年度進捗状況)

- ・熱評価および放熱対策技術の研究開発では、温度測定用ダイオードと発熱体を配置した熱伝導評価用チップを製作し、微小発熱部で発生した熱が三次元積層構造内を伝導していく状況を測定できるシステムを構築した。測定とシミュレーション結果より、バンプ、アンダーフィル材等の熱伝導率を測定・導出した。
- ・積層接合評価解析技術の研究開発では、10 $\mu$ mピッチ用プリアプライアンダーフィル樹脂を用いた、サーマルサイクルストレス低減やスループット向上が期待できる多段一括接合法三次元接合を行い、フラックスを用いた通常接合法と同等の接続抵抗が得られることを確認した。
- ・接合部の機械物性評価をシミュレーションとDICM法により、微細なCuバンプやTSVのCu Via Fillの物性がマクロの材料とは大きく異なる事を確認した。またCu形成プロセスにより物性の差異が大きい事も確認しCu物性研究が重要であることが判明した。
- ・欠陥観測法として、20 $\mu$ m径のTSV内部の欠陥を、ウェハレベルで非破壊観測する透過X線観測法を開発した。
- ・WtoW積層ウェハのBGにおいては、赤外非接触厚さ計の多重干渉により厚さ制御が困難であることがわかった。今後実デバイスでこの問題の有無と、改善策を検証する必要がある。
- ・ファインピッチTSV形成を考慮し2種類の高耐熱のガラスサポート接着材料を評価し、その問題点を抽出できた。
- ・Cu強制汚染ウェハに作製したMOSキャパシタのC-t特性測定により、IG効果を有するP/P+結晶及びIG-NANA結晶は、IG効果を有さないP/P-に比べてCuの拡散が抑制されていることを明らかにした。C-t特性測定により、デバイス特性に影響を及ぼすゲッタリング効果を定量的に高感度で評価できることを実証した。

- ・マイクロレーザラマン分光法を用いた評価により、T S V 壁面近傍には 2 0 0 M P a を超える応力が残留していることを明らかにし、ウェハ薄化に際し、その抗折強度が残留応力よりも小さくなると割れが発生することを明らかにした。

(平成 2 3 年度進捗状況)

- ・ T S V の電気特性のモデル化、信頼性設計およびレイアウト仕様の策定、積層チップに適した通信回路方式、電源ノイズを対策する電源回路方式、T S V のテスト・救済方式、積層チップ間同期方式を開発した。
- ・これらの技術を構築するため、要素回路を搭載した T E G チップの設計を行った。
- ・周波数依存性や電圧依存性を考慮した T S V の設計を行った。
- ・静電破壊や積層によるチップひずみなどの影響を考慮した設計を行った。
- ・次世代三次元集積化共通要素技術として、2 0 0 m m 径以上のウェハを用いたウェハレベルの三次元集積化基本プロセス技術を開発した。
- ・ウェハの薄化技術、薄化ウェハへの T S V 形成技術、3 層以上のウェハ積層技術を開発した。
- ・裏面ビアラストプロセス開発を行った。
- ・3 層以上のウェハ積層を行うためにウェハレベルのバンパ保護技術を開発した。
- ・自動車内を想定し、放熱評価用構造体の設計、試作、評価を行い解析技術を開発した。
- ・T S V 付 S i インターポーザ等の超低容量 T S V を低コストで実現する微粉体シリカ焼結絶縁層形成技術の要素技術開発にめどをつけた。
- ・最適な解析手法の選定や、実デバイスからの高精度な物理パラメータ抽出によるインターポーザの高精度設計手法と、デカップリング広帯域化技術を開発し、デジアナ混載回路・多電源化に対応したインターポーザの設計基盤技術の開発を行った。
- ・ $\pm 1 \mu m$  の高精度ウェハ加工技術、極薄チップ加工技術を確立し、デバイス特性変動機構の解明、薄化ウェハにおける結晶欠陥・金属汚染の評価方法の確立とゲッターリング機構の解明を行った。

### ① ー (3) 次世代三次元集積化の共通要素技術開発と設計基準策定

(平成 2 0 年度進捗状況)

- ・実証デバイスの基礎検討として、センサ、ADC、高速シリアル・パラレル変換回路の設計を完了した。また高速 I / O ドライバの設計製作を完了した。
- ・2 0 0 m m / 3 0 0 m m 径ウェハ対応のフォトリソグラフィ装置および 2 0 0 m m 径ウェハ対応のバンパめっき装置を導入し、微細バンパ形成技術の開発に着手した。

(平成 2 1 年度進捗状況)

- ・実証デバイス設計開発では、イメージセンサ回路、AD変換回路、メモリ構成回路、並列プロセッサアーキテクチャとプロセッサ構成回路、システムアーキテクチャ、制御命令セット等から成る調査と基礎検討を完了し、チップを作成し評価を開始した。
- ・実証デバイスプロセス開発では、2 0 0 m m ウェハでの  $1 0 \mu m$  ピッチ T S V 、マイクロバンパ形成技術を開発中。また、3 0 0 m m ウェハでのリソグラフィおよび T S V 形成技術開発に着手し、径  $5 \mu m$  、深さ  $3 0 \mu m$  の S i エッチングが可能であることを確認した。
- ・新たな実証デバイス開発では、ロジックと超ワイドバスメモリの 2 チップ構成 (ビット幅 2 k 本以上、伝送能力  $1 0 0 G B / s e c$  以上) とした実証デバイス # 1 の論理レベル設計を完了させた。

- ・上記実証デバイス#1の制作に着手した。

(平成22年度進捗状況)

- ・実証デバイス#1を構成する素子（ロジック、メモリ、Siインターポーザ）の詳細設計と設計検証を完了しウェハ試作を行った。ウェハ試作に際しては、ロジックとメモリを同一ウェハ上に混載し、Siインターポーザは8インチのアルミプロセスを適用した。ウェハ段階でのプロービングテストの策定を行い、拡散を完了したウェハに対してプロービングテストを実施し、ロジック、メモリ共95%前後の良好な歩留を得た。プロービングテストが完了したウェハは三次元積層のために薄化・TSV形成工程に着手した。
- ・基礎検討回路チップであるイメージセンサ回路、CDS（ノイズキラー回路）、AD変換回路、インターフェース回路（I/F）チップ（平成21年度作成）の評価が完了した。目標値である10,000fps画像取り込みに必要な性能を各回路が有していることを確認した。さらにリコンフィギュラブル機能を目指したメモリ要素回路、並列プロセッサの要素回路を作成し、動作確認が完了した。上記基礎検討回路を用い、3次元積層可能なQVGA仕様のイメージセンサチップ、ADC回路チップ、I/F回路チップ、Siインターポーザチップのコンカレント設計に着手し完了した。次年度はよりマーケットの大きな自動車用運転支援画像処理システムに目標を変更することとし、その要素TEG試作としての目標設定作業を開始した。
- ・実証デバイスプロセス開発では、Siエッチング装置、低温CVD形成装置の導入を行い、200mmウェハで10 $\mu$ mピッチTSV形成技術とCu via fillめっきおよびマイクロバンプ形成技術を開発した。また、後樹脂法で10 $\mu$ mピッチマイクロバンプを形成したウェハを用い、ウェハ接合を行い、約1 $\mu$ mの貼り合わせ精度を確認した。
- ・実証デバイス#1のプロセス評価用TEGおよび本デバイス（SRAM/Logic、Siインターポーザ）を、ガラス支持体プロセスを用い、TSV（50 $\mu$ mピッチ、20 $\mu$ m径、深さ40 $\mu$ m）、マイクロバンプ（25 $\mu$ m径）工程の試作を完了した。

(平成23年度進捗状況)

- ・超ワイドバスSiPおよびヘテロジニアス積層構造を実現するために①ノイズ制御、②高性能・低消費電力化の技術開発を行った。
- ・ノイズ発生回路・ノイズモニター端子、ノイズ低減用の位相調整回路の搭載、端子テスト回路の組み込み、超多ピンレイアウト及び関連する電源系のレイアウトノウハウの蓄積を主眼とした設計を行った。
- ・ノイズ制御のために、Siインターポーザにノイズモニター回路を含む能動素子を搭載し、データ転送仕様をシステム要求に応じて最適化できるアーキテクチャを開発し設計・試作・評価をおこなった。
- ・高性能、低消費電力化のために、ロジックと超ワイドバスメモリ（ビット幅2k本以上、伝送能力100GB/sec以上）をインターポーザで相互接続した三次元積層SiPの設計・試作・評価を行い、伝送能力や消費電力などの特性面における三次元積層の優位性を検証した。
- ・低コスト化のために、超低容量TSVの微粉体シリカ焼結絶縁層形成技術を開発した。
- ・画像センサモジュール（Siインターポーザ、有機インターポーザを含む）のコンカレント設計とチップ試作を行い、その実装組み立てに着手した。（H23年度は開発のみ）

- ・CMOS半導体デバイス、機能デバイス等を、相互に接続可能とする機械的・電氣的インターフェースを設定した。
- ・自動車用運転支援画像処理システムのために、デジアナ混載SiP（画像センサ／CDS／ADC／IFチップ積層）とTSV型デカップリングキャパシタ内蔵インターポーザを開発した。
- ・セラミックウェハを用いたMEMSデバイスを試作し、特性を確認した。
- ・セラミックMEMSデバイスを搭載した三次元積層技術のデバイス設計とプロセス設計を行った。
- ・また、WLPパッケージのMEMSチップを作製し、インターポーザに搭載して性能評価を行った。
- ・ヘテロジニアス三次元集積化のための異種ウェハーチップ試作と動作検証、およびWLP試作と評価を行った。
- ・200mm以上径ウェハを用い、ウェハtoウェハ（W2W）積層技術を開発した。
- ・超ワイドバスメモリ構成ロジックSiPの評価結果に基づく耐ノイズ性と高速化の改良設計及びウェハ試作を行った。
- ・画像処理システム（視覚支援システム等）に必要なデジアナ混載三次元要素技術の開発を行った。

（実施体制：技術研究組合超先端電子技術開発機構 共同実施 - （独）産業技術総合研究所、神戸大学、明星大学、東京大学、芝浦工業大学、東北大学、京都大学、富山県立大学）

本研究開発項目のうち、①-③については平成23年度以降、項目名を変更し、「①-③次世代三次元集積化の共通要素技術開発と設計基準策定」として実施する。

## 研究開発項目② 複数周波数対応通信三次元デバイス技術

### ②-（1） 複数周波数対応可変RF MEMSデバイスの研究開発

（平成20年度進捗状況）

- ・700MHz～6GHzに含まれる周波数帯域において動作するRF MEMSデバイスの要素技術開発を行った。可変キャパシタ、スイッチに関しては、試作を行い性能を評価した。特に、スイッチにおいて、オン-オフ動作寿命の大きな改善を達成した。可変インダクタに関しては、3次元電磁界シミュレーション環境を立ち上げ、高周波特性、Q値に優れインダクタンス値を大きく可変できるインダクタの構造を比較検討し、従来のスパイラル型よりもスネーク型の方が有効であるとの見通しを得た。可変アンテナ、可変フィルタ、可変インピーダンス回路に関しては、シミュレーション技術あるいは試作による評価を行い、可変特性を確認した。
- ・実装技術開発に関しては、ドライバICも含めたMEMSデバイスの実装構造を検討し電磁界シミュレーションを行った。

（平成21年度進捗状況）

- ・可変キャパシタに関しては、長期動作時にスティッキングが多発する課題に解決の目処を得、信頼性が大幅に向上した。また、信頼性評価システムの構築が評価効率向上に効果を上げた。
- ・MEMSスイッチに関しては、SPST、SP4Tを試作し良好なスイッチング性能を確認



した。また、ドライバICの製作仕様を決定した。

- ・可変フィルタに関しては、基板の抵抗内蔵化による損失低減効果を確認した。また、通過帯域制御技術の検討を実施した。
- ・可変アンテナに関しては、MEMSスイッチ4個を切替えて700MHz～6GHzをカバーできることを試作により確認した
- ・可変アンプと可変低雑音アンプに関しては、アンプ素子を設計・試作し、可変キャパシタを含む可変インピーダンス整合回路と組み合わせ、1.5～4GHzをカバーする周波数可変性能を確認した。
- ・可変インダクタに関しては、大きな可変率を確保できる円形アクチュエータ構成を明らかにし、MEMS可変インダクタ回路の設計試作を実施した。アクチュエータを制御する高電圧制御回路のCMOS化も検討し、3.3Vから最大20Vを生成するチャージポンプ型昇圧回路を考案し、0.18 $\mu$ m CMOSプロセスによる設計試作を実施した。

(平成22年度進捗状況)

- ・可変キャパシタに関しては保留とした。
- ・MEMSスイッチに関しては信頼性向上のため接点加重を大きくする新設計手法を導入して試作し、寿命特性が数倍向上することを確認した。
- ・可変フィルタに関しては1.5～2.5GHz帯用を試作し、周波数可変機能を確認した。同時に盛り込んだ狭帯域化設計手法が有効であることを確認した。
- ・可変アンテナに関しては立体化形状を利用した小形化を行い、700MHz～6GHzをカバーできることを試作により確認した。
- ・可変アンプと可変低雑音アンプに関しては保留とした。
- ・可変インダクタに関しては、信頼性向上のため新たにスイッチ切り替え型に取り組み、アクチュエータの基本動作を確認した。0.5～3.0nHの可変特性の実現に向け試作に着手した。

## ②ー(2) 複数周波数対応通信フロントエンド回路の研究開発

(平成20年度進捗状況)

- ・多数のRF MEMSデバイスを含むフロントエンド回路において、複数の通信周波数に対応させるためのシステム制御フローを、RF MEMSデバイスの制御を含めて検討した。

(平成21年度進捗状況)

- ・フロントエンドを構成する複数のモジュールで使用されるRF MEMSデバイスを制御することのできる制御部の設計を行い、論理検証により制御動作を確認した。

(平成22年度進捗状況)

- ・可変フィルタ・可変アンプ・可変低雑音アンプと制御部より構成される、複数周波数対応通信フロントエンド回路を構築し、その性能評価を行った。

(実施体制：富士通株式会社、東京工業大学)

## 研究開発項目③ 三次元回路再構成可能デバイス技術

### ③ー(1) 三次元回路再構成可能デバイスに関する三次元集積化技術の研究開発

(平成20年度達成状況)

- ・擬似的なシリコン貫通ビアを作成したウェハを用い、基板研磨等の検討を行った。さらに、アーキテクチャの検討結果も含めて検討し、シリコン貫通ビアの配置密度、電気的特性等の基本仕様を策定した。
- ・シリコン貫通ビアに必要な仕様に基づき、三次元積層プロセス(案)を策定した。

(平成21年度達成状況)

- ・TSV低容量化に必要な低温高品質絶縁膜形成条件を見いだした。また、目標容量(50 fF以下)に向けての指針を得た。
- ・ビアラスト型TSVの設計ルール策定に向け、トランジスタ付きTEGへのビアラストTSV形成プロセスを構築中。TSV加工が可能なことを確認した。
- ・200mm径ウェハを用いてピッチ25 $\mu$ m相当のTSV及びバンプ形成を行った。また、微細バンプを形成したウェハ同士の接合を実施した。

(平成22年度進捗状況)

- ・Cu配線とLow-k絶縁膜から構成される65nmノードLSI配線構造に対して、裏面ビアラスト・プロセスで直径10 $\mu$ mのTSV形成、バンプ形成を行った積層チップを試作し、TSVの基礎的電気特性を取得した。
- ・200mm径ウェハを用いて、裏面ビアラスト・プロセス相当の試作を行い、8 $\mu$ m径、25 $\mu$ m深さのTSVにおいて、寄生容量50 fFが達成できる見通しを得た。
- ・200mm径ウェハを用いて、25 $\mu$ mピッチ相当のCuバンプ形成、封止樹脂形成を行った。また、200mm径ウェハ同士の貼り合わせを行い、5 $\mu$ m以下の合わせ精度を確認した。
- ・200mm径ウェハ同士を貼り合わせた後に、片側のウェハを厚さ25 $\mu$ mまで薄化し、薄化後のウェハ厚みばらつきを0.5 $\mu$ m以下に抑制できる見込みを得た。

③ー(2) 三次元回路再構成可能デバイスに関するアーキテクチャおよび設計技術の研究開発

(平成20年度達成状況)

- ・動的再構成型プロセッサ(フレキシブルエンジン)およびFPGAの三次元アーキテクチャの検討を行い、基本構造の策定ならびにTSVの要求仕様(案)を策定した。
- ・汎用CPUを含めたハイブリッドアーキテクチャの検討を行うと共に、応用分野の策定ならびに動向調査を行い、三次元回路再構成可能デバイスの仕様(案)を策定した。
- ・目標とする三次元回路再構成可能デバイスのシステムから見た二次元実装に対する優位点を明確にした。

(平成21年度達成状況)

- ・応用システムの評価環境を構築し、処理内容定量化中。またデバイスに搭載する機能する機能の0次案を作成した。
- ・三次元フィールドプログラマブルゲートアレイに機能をマッピングするプログラムV2の開発を完了し、通信トポロジを決定するためマッピング評価中。また定量評価のためのタイル基本回路設計を完了した。
- ・三次元通信回路方式を検討し、通信基本回路方式評価のためのTEGチップが完了した。三次元実装を開始した。
- ・三次元的な積層構造におけるチップ間の通信・制御技術を開発した。

(平成22年度進捗状況)

- ・三次元の特長を活かせる応用としてネットワーク分野およびロボット分野について構成や処理内容の概要を検討した。この検討結果から三次元回路再構成可能デバイスへの搭載機能を検討し、ハイブリッドアーキテクチャの設計を行った。
- ・I/O機能の強化のためI/Oに再構成可能機能を追加したスケーラブルリコンフィギャラブルI/Oプロセッサを提案・検討し、設計を行った。
- ・三次元FPGAに機能をマッピングするプログラムV2を用いて、複数の回路による機能マッピング評価を行い、FPGAのアーキテクチャの設計を行った。また消費電力を評価した。
- ・三次元通信回路（リピータ方式、フル振幅バス方式、小振幅バス方式）を搭載したTEGチップを積層し、評価を行った。

③ー（3） 三次元回路再構成可能デバイスに関する素子技術の研究開発

(平成20年度達成状況)

- ・構造の異なるトランジスタの素子性能に関して、シミュレーション（TCAD）を利用し、三次元回路再構成可能デバイスを実現する上で最適なトランジスタ構造（案）を策定した。  
(実施体制：技術研究組合超先端電子技術開発機構 共同実施 ー (独)産業技術総合研究所)

(2) 実績推移

	20年度	21年度	22年度	23年度	合計
一般勘定(百万円)：	1,086	2,147	1,652	500	5,385
補正予算(百万円)：	0	0	740	1,200	1,940
特許出願件数(件)：	2	21	10	15	48
論文数(件)：	7	7	3	8	25
講演数(件)：	2	51	46	42	141
プレスリリース(件)	0	0	2	2	4

5. 事業内容

東京工業大学 統合研究院 教授 益一哉 をプロジェクトリーダーとし、以下の研究開発を実施する。実施体制については、別紙を参照のこと。

(1) 平成24年度(委託) 事業内容

研究開発項目① 多機能高密度三次元集積化技術

①ー（2） 次世代三次元集積化のための評価解析技術の研究開発

- ・20W以上の発熱に対応する放熱構造の評価解析技術を開発し設計仕様書を作成する。
- ・車載環境下での放熱冷却構造の最適化設計と、評価解析技術の開発を行い放熱設計技術仕様書を作成する。

①ー（3） 次世代三次元集積化の共通要素技術開発と設計基準策定

- ・Si貫通ビアとW2W技術を用いた次世代三次元SiPを試作し機能を検証する。
- ・ロジックと超ワイドバスメモリの2チップ構成（ビット幅2k本以上、伝送能力100GB/sec以上）の試作・評価を通じて伝送特性、消費電流等の優位性を実証する。
- ・上記、開発で採用したTSVに関わる設計基準・レイアウト基準とTSV形成工程を、プロ

ジェクトの標準的仕様として策定する。

- ・上記、要素技術を標準仕様としてライブラリ化しグローバルな標準化活動に反映する。
- ・画像処理システム（視覚支援システムなど）に必要なデジアナ混載回路の三次元集積化SiPの試作および評価を通じて電源供給技術、高速信号伝送技術等の要素技術を開発し、技術仕様書を作成する。
- ・三次元積層セラミックMEMSチップの試作を通じて、ヘテロジニアス集積化用のインターポーザ、WLP（ウェハレベルパッケージ）技術の有効性を示す。

（実施体制：技術研究組合超先端電子技術開発機構 共同実施 - （独）産業技術総合研究所、明星大学、東京大学、芝浦工業大学、東北大学、京都大学、富山県立大学、神戸大学、東京工業大学）

## （2）実施体制

別紙参照のこと

## （3）平成24年度事業規模

一般勘定 平成23年度補正予算額 1,200百万円 （継続・繰越）

事業規模については、変動があり得る。

## 6. その他重要事項

### （1）評価の方法

独立行政法人新エネルギー・産業技術総合開発機構（以下、「NEDO」という。）は、技術的及び政策的観点から、研究開発の意義、目標達成度、成果の技術的意義並びに将来の産業への波及効果等について、外部有識者による研究開発の事後評価を平成25年度に実施する。

### （2）運営・管理

研究開発全体の管理・執行に責任と決定権を有するNEDOは、プロジェクトリーダーと経済産業省と密接な関係を維持しつつ、プログラムの目的及び目標、並びに本研究開発の目的及び目標に照らして適切な運営管理を実施する。また、必要に応じて、外部有識者の意見を運営管理に反映させる。

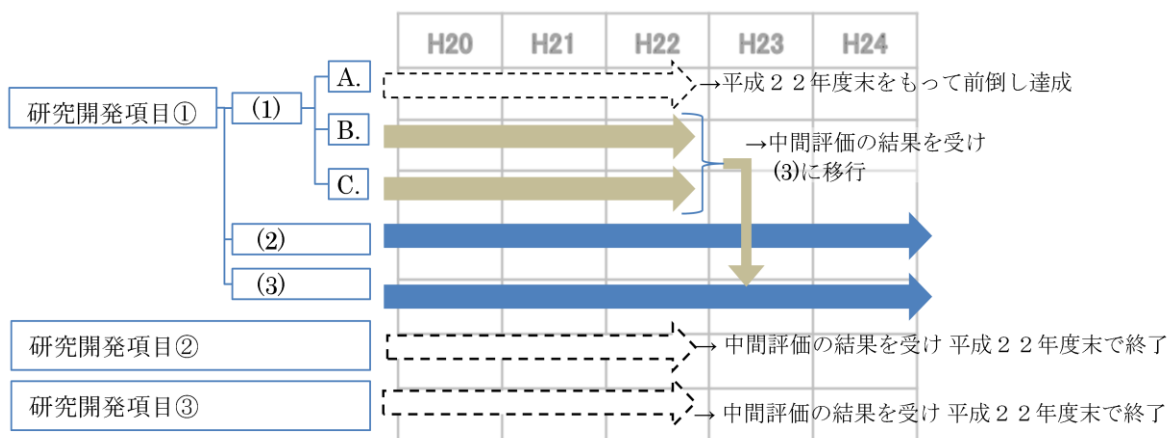
### （3）複数年度契約の実施

平成20～24年度の複数年度契約を行う。

## 7. 実施方針の改定履歴

平成24年 3月 制定

## 【各研究開発項目の変遷】



### ① 多機能高密度三次元集積化技術

#### ① - (1) 次世代三次元集積化設計技術の研究開発

①-(1)-A. 設計環境の研究開発

①-(1)-B. インターポーザ技術の研究開発

①-(1)-C. インターフェース仕様の策定

#### ① - (2) 次世代三次元集積化のための評価解析技術の研究開発

#### ① - (3) 次世代三次元集積化の共通要素技術開発と設計基準策定

### ② 複数周波数対応通信三次元デバイス技術

### ③ 三次元回路再構成可能デバイス技術

② (別紙)

「立体構造新機能集積回路（ドリームチップ）技術開発」実施体制

