

平成 2 4 年度実施方針

電子・材料・ナノテクノロジー部

1. 件名：

プログラム名： I T イノベーションプログラム、ナノテク・部材イノベーション
プログラム

(大項目) 低炭素社会を実現する超低電圧ナノエレクトロニクスプロジェクト

2. 根拠法

独立行政法人新エネルギー・産業技術総合開発機構法第 1 5 条第 1 項第 2 号

3. 背景及び目的・目標

半導体技術は、機器の高性能化、小型化、省電力化を通じて情報家電、コンピュータ、通信装置、自動車、医療機器など我が国経済を支える先端産業の競争力強化に不可欠な基盤技術である。その発展を支えているのは、CMOS 半導体デバイスで、これまで素子の寸法を微細化するプロセス技術開発により高性能化・低電力化を実現してきた。

低炭素化社会の実現には、エレクトロニクス機器の究極的低電圧動作による飛躍的な低電力化と、情報の不揮発性を利用した新機能創生、利便性などの高付加価値を同時に実現することが求められており、これらを満たす新しい超低電圧・不揮発デバイスの開発が必要である。

欧米においては、大型の産学連携ナノエレクトロニクス拠点の整備がここ数年で飛躍的に進み、超低電圧・不揮発デバイスをはじめとした、次世代デバイスに関する実用化を目指した研究が活発に行われ、今後、各国との開発競争は熾烈化するものと考えられる。海外の研究開発活動の活発化により、このような状況を放置すれば、超低電圧・不揮発デバイスに関する我が国の技術開発の競争力を失いかねない。

本プロジェクトは、「I T イノベーションプログラム」及び「ナノテク・部材イノベーションプログラム」の一環として、ナノテクノロジーで培われた新規の機能材料や新規のデバイス構造に立脚して L S I の低動作電圧化と高機能・高集積化を実現し、エレクトロニクス機器の消費電力を大幅に低減する技術を確立することを目的とし、平成 2 4 年度は下記の事業を実施する。

表 1. 事業項目の概要

	プロジェクト番号	事業項目名	実施期間
別添	P 1 0 0 2 3	低炭素社会を実現する超低電圧デバイスプロジェクト	平成 2 2 年～2 6 年 (5 年間)

4. 実施内容及び進捗（達成）状況

各事業項目の実施内容及び進捗（達成）状況は、別添のとおりである。

5. 事業内容

各事業項目の事業内容は、別添のとおりとする。

6. その他重要事項

(1) 評価の方法

事業項目「低炭素社会を実現する超低電力デバイスプロジェクト」について、別添のと

おり中間評価、事後評価を実施する。

(2) 運営・管理

各事業項目について、別添のとおり、運営・管理する。

(3) 複数年度契約の実施

各事業項目について、別添のとおり、複数年度契約を実施する。

7. 実施方針の改定履歴

平成24年3月、制定。

別添 事業項目

「低炭素社会を実現する超低電圧デバイスプロジェクト」に係る平成24年度実施方針

1. 背景及び目的・目標

半導体技術は、機器の高性能化、小型化、省電力化を通じて情報家電、コンピュータ、通信装置、自動車、医療機器など我が国経済を支える先端産業の競争力強化に不可欠な基盤技術である。その発展を支えているのは、CMOS半導体デバイスで、これまで素子の寸法を微細化するプロセス技術開発により高性能化・低電力化を実現してきた。

低炭素化社会の実現には、エレクトロニクス機器の究極的低電圧動作による飛躍的な低電力化と、情報の不揮発性を利用した新機能創生、利便性などの高付加価値を同時に実現することが求められており、これらを満たす新しい超低電圧・不揮発デバイスの開発が必要である。

欧米においては、大型の産学連携ナノエレクトロニクス拠点の整備がここ数年で飛躍的に進み、超低電圧・不揮発デバイスをはじめとした、次世代デバイスに関する実用化を目指した研究が活発に行われ、今後、各国との開発競争は熾烈化するものと考えられる。海外の研究開発活動の活発化により、このような状況を放置すれば、超低電圧・不揮発デバイスに関する我が国の技術開発の競争力を失いかねない。

本プロジェクトは、「ITイノベーションプログラム」の一環として、ナノテクノロジーで培われた新規の機能材料や新規のデバイス構造に立脚してLSIの低動作電圧化と高機能・高集積化を実現し、エレクトロニクス機器の消費電力を大幅に低減する技術を確立することを目的とする。

本プロジェクトにおいては、以下の研究開発を実施する。

[委託事業]

研究開発項目①「ロジック集積回路内1次メモリを対象とした、高集積・高速特性・高書き換え耐性などの機能を有する超低電圧・不揮発デバイスの開発」

【中間目標】(平成24年度)

- ・メモリ単体レベルで、読み書き電圧0.4V以下、読み書き電流100 μ A以下、読み書き時間10ns(電力量0.4pJ以下)の実証。1.2V動作SRAMの1/10の電力の実証。
- ・新材料を用いた新プロセスの、300mmバックエンドラインへの統合による、デバイス動作実証。
- ・試作・評価によるメモリパラメータ取得と、それを用いた低電圧動作用メモリ周辺回路設計。
- ・高集積化を可能とする多値動作の確認。

【最終目標】(平成26年度)

- ・加速試験による10年間のリテンションと、書き換え回数 10^{16} 回の達成。
- ・実用に耐える信頼性技術確立への指針の提示。
- ・低電圧動作用の周辺回路を備えたメモリマクロで、読み書き電圧0.4V、読み書き電流100 μ A以下、読み書き時間10ns、1.2V動作SRAMの1/10の電力を実証すると共に、メガバイト級メモリの実現可能性の提示。
- ・メモリマクロでの多値動作を実証することによる、従来SRAM比2倍の高集積化の可能性を提示。

研究開発項目②「外部記憶の高速低電力データ転送を実現する、高集積・高速低電力書き込み特性などの機能を有する超低電圧・不揮発デバイスの開発」

【最終目標】（平成 26 年度）

クロスポイント型メモリセルを集積化したメモリアレー試作と動作実証。

- ・ 書き換え回数 10^6 回以上の達成。
- ・ データ転送速度 400MB/s の高速動作実証。
- ・ 従来の 1/10 の電力（66mW）の低電力動作実証。
- ・ メモリセル面積 $4F^2$ (*2) のメモリアレーによる高集積性実証。
(*2) F；最小加工寸法

【中間目標】（平成 24 年度）

- ・ 単体デバイスとして、クロスポイント型メモリセル試作と動作実証。
- ・ データ転送速度 200MB/s を、従来の 1/3 の電力（200mW）で可能とする単体デバイスの書き込み動作、およびさらなる高速低電力化の可能性の根拠の提示。
- ・

研究開発項目③「配線切り換えを可能とするスイッチを対象とした、低電流・高速書き換え、高オン・オフ抵抗比、小面積などの機能を有する超低電圧・不揮発スイッチデバイスの開発」

【最終目標】（平成 26 年度）

以上の成果に基づき、

- ・ 大規模集積化に必要なスイッチ素子特性のばらつきを低減。
- ・ 300mm ウエハにロジック集積回路を試作し下記を達成する。
 - a) 本スイッチにより配線切り換えを行ったロジック集積回路が 0.4V で動作可能であり、その際の消費電力が SRAM スイッチにより配線切り替えを行った従来型 1.2V 動作ロジック集積回路の 1/10 以下。
 - b) スイッチ素子面積が同一世代の SRAM スイッチを用いたプログラマブルロジックデバイス（PLD）に比べ 1/20 以下。

【中間目標】（平成 24 年度）

- ・ スイッチ素子の材料選定、素子構造の最適化を行い、単体素子の動作を検証。
- ・ 単体素子性能として書換え電流と書換え速度の積が 10^{-10} A・秒以下、オン・オフ抵抗比 10^5 以上、書き換え回数 10^3 以上の実証。

研究開発項目④「集積回路チップ内において、機能ブロックの三次元集積を実現するための、微細幅・超低電気抵抗、超高アスペクト比配線・材料技術の開発」

【最終目標】（平成 26 年度）

- ・ 微細線幅（ ≤ 20 nm）、長距離（0.7mm）、低抵抗（シート抵抗 $\leq 3\Omega/\square$ ）の配線実証。
- ・ 微細直径（90nm）、超アスペクト比（30）のコンタクトホールへのナノカーボン材料埋め込みと、W 以下の抵抗（接触抵抗を含む）の実証。

【中間目標】（平成 24 年度）

- ・ 微細線幅（100nm）、低抵抗（シート抵抗 $< 50\Omega/\square$ ）の配線実証。
- ・ 微細直径（90nm）、超高アスペクト比（ ≥ 16 ）のコンタクトホールへのナノカーボン材料埋め込み実証。
- ・

研究開発項目⑤「CMOS トランジスタの超低電圧動作、及びリーク電流抑制を同時に実現するための、低しきい値ばらつきトランジスタを集積化するための技術開発、並びに、この技術を用いた高集積機能素子における低電圧動作実証」

【最終目標】（平成 26 年度）

以上の成果を基に、

- ・ ナノトランジスタ構造デバイスと既存の CMOS トランジスタとの融合集積化技術を確立するとともに、その設計環境構築への指針を提示。
- ・ 従来デバイスに比較して消費電力を 1/10 に低減できる基盤技術を確立するとともに、実用化回路レベルでの達成目処を提示。

【中間目標】（平成 24 年度）

- ・ 100 万個以上のトランジスタで、平均±0.1V 以下（±5σ）の局所しきい電圧ばらつきの達成。
- ・ 低い電源電圧に動作を最適化し、基板バイアス制御技術を適用したナノトランジスタ構造デバイスを集積した 1Mbit 以上の SRAM での、0.4V 動作の実証。

研究開発項目⑥「BEOL 設計・製造基盤（プラットフォーム）開発」

【最終目標】（平成 23 年度）

個別デバイス（研究開発項目①～③）の研究開発を推進するための共通設計基盤として、BEOL 設計・製造基盤（プラットフォーム）^(*1)を開発する。その際、以下の条件を目標とする。

*1 BEOL 設計・製造基盤（プラットフォーム）

様々な新材料を使うデバイスや新構造デバイスを配線層 (BEOL; Back end of Line) の一部として作製する際に、材料・構造を問わず、すべてに共通で使える設計ルール、材料、プロセス工程などを総称してプラットフォームという。ここでは、BEOL 設計基盤と BEOL 製造基盤を合わせて、BEOL 設計・製造基盤（プラットフォーム）と呼ぶ。

- ・ 新材料や新構造デバイスに共通で使え、かつ、新材料の相互汚染や熱耐性、さらには、プロセス雰囲気の影響などの観点から、それぞれのデバイスの特性を損なうことのない、BEOL プロセスレシピの作成。
- ・ 相互汚染防止、汚染除去、汚染評価などからなる管理プロトコルの作成。
- ・ PDK (Process Design Kit) として、設計ルール、配線特性パラメータ、OPC ルールの策定。

2. 実施内容及び進捗（達成）状況

以下の研究開発を実施した。

2.1 平成 22～23 年度（委託）事業内容

研究開発項目①「ロジック集積回路内 1 次メモリを対象とした、高集積・高速特性・高書き換え耐性などの機能を有する超低電圧・不揮発デバイスの開発」

（平成 22 年度）

磁性変化材料を成膜する磁性膜 PVD 装置など、主要装置の仕様を決定し、立上げを開始した。

磁性変化材料等の新材料、同材料を用いた新プロセスを、300mm バックエンドラインに導入する際の、汚染防止の指針策定に向けた評価を行った。HF+H₂O₂ 処理を行うことで、磁性材料は 5x10¹⁰ atoms/cm² 以下のレベルになることがわかった。

磁性特性シミュレータにより、磁性変化デバイス構造の設計を実施し、設計指針を得た。

プロセス開発用 TEG (BEP1) とマクロ開発用 TEG (LPT1) を設計し、同 TEG を用いて磁性変化デバイスを形成することを目的とした要素プロセス技術の開発に着手した。

混載 SRAM 機能を代替でき、かつ、低電力化を実現可能なデバイスの、材料成膜および加工技術の開発、および、BEOL 設計・製造基盤に整合する製造プロセスの構築のための準備を行った。

350°C BEOL 製造基盤に対して、上記デバイスの特性劣化が実用上問題ないことを実証するための準備を行った。

（超低電圧デバイス技術組合）

（平成 23 年度）

磁性変化デバイスの研究開発を行い、そのデバイス構造および要素プロセスとして、トップピン構造、界面垂直磁化膜/材料垂直磁化膜の多層構造、プロセス歪の導入、CoFe シード層上に Mg 後酸化トンネル膜を形成した構造の採用を決定し、その基本プロセスフローを構築した。

磁性変化デバイスの多値化の検討を行い、トップピン積層構造、一括加工方式、高速読み出し手法などの、多値デバイス設計指針を得た。

回路シミュレーションに適した MTJ (Magnetic Tunnel Junction) のコンパクトモデルを提案し、実測値との整合性を確認した。

300mm ウェハで、2 層 Cu 配線間への磁性変化デバイスの埋め込みフロー案を作成し、それに沿った試作を行い、動作を確認した。

350°C BEOL 製造基盤に対して、上記デバイスの特性劣化が実用上問題ないことを実証した。

磁性変化デバイスを、CMOS と Cu 配線が形成された 300mm 基板に埋め込むための集積化プロセス構築に着手した。

（超低電圧デバイス技術組合）

研究開発項目②「外部記憶の高速低電力データ転送を実現する、高集積・高速低電力書き込み特性などの機能を有する超低電圧・不揮発デバイスの開発」

（平成 22 年度）

300mm シリコンウェハ上への GeSbTe 相変化材料の PVD 及び CVD 成膜装置を改造立上げ、相変化デバイスの基本要素プロセス技術の開発に着手した。

相変化材料と熱拡散防止層の接着性を評価する計測（臨界剥離加重と濡れ性測定）

を完了した。

クロスポイントセル用ダイオードのオン/オフ電流検討用 TEG を設計した。同マスクを用いて相変化デバイスを形成することを目的とした、要素プロセス技術の開発に着手した。

従来と比較して、計算時間 1/10 を実現する高速性能を有する相変化デバイスの熱・電気シミュレータを開発した。このシミュレータを用いて相変化デバイスの特性評価を行い、書き換え電力量がメモリセル材料や構造に依存して変化することを見出した。メモリセル構造とリセット動作の関係を検討し、目標の書き換え電力量 1pJ 以下を実現するための、デバイス設計指針を得た。

外部記憶向け素子材料の成膜および加工技術の開発、および、BEOL 設計・製造基盤に整合する製造プロセスの構築のための準備を行った。

クロスポイント選択スイッチ材料の成膜および加工技術の開発、単体デバイスとして試作、および、動作を実証するための準備を行った。

(超低電圧デバイス技術組合)

(平成 23 年度)

相変化材料および熱拡散防止層の材料開発を行い、元素添加実験により、これらの材料の抵抗値を 10 倍以上に制御する指針を得た。さらに、シミュレーションを行い、相変化材料と熱拡散防止層の抵抗値制御により、外部記憶向けの書き込み電力 0.1 倍～0.85 倍化が得られる見通しを示した。

外部記憶向け素子材料の成膜および加工技術の開発を行い、金属/Ge₂Sb₂Te₅ をパターニングすることに成功した。さらに、抵抗素子 (1R 素子) を単体デバイスとして試作し、メモリ動作を実証することで、開発した素子材料技術が、BEOL 設計・製造基盤に整合する製造プロセスであることを示した。

ポリ Si ダイオードの電界緩和と電極金属の拡散を防止する成膜・アニール技術を開発した。さらに、金属/p-Si/i-Si/n-Si/金属の積層をパターニングする加工技術を開発して、ポリ Si ダイオードのクロスポイント選択スイッチを単体デバイスとして試作し、動作を実証した。

外部記憶向け素子材料を、CMOS と Cu 配線が形成された 300mm 基板に埋め込むための集積化プロセス構築に着手した。

(超低電圧デバイス技術組合)

研究開発項目③「配線切り換えを可能とするスイッチを対象とした、低電流・高速書き換え、高オン・オフ抵抗比、小面積などの機能を有する超低電圧・不揮発スイッチデバイスの開発」

(平成 22 年度)

オートプローバーとスイッチ特性評価系で構成される原子移動型スイッチデバイス評価システムを構築した。さらに、構築した評価系を用いて、2 端子原子移動型スイッチデバイスを評価し、ばらつき原因、それを除去するために有効な方策を得た。

原子移動型スイッチを CMOS の多層配線の中に組み込むために、0.18um 以下の加工プロセス技術に適用可能な原子移動型スイッチの基本プロセスフローを設計した。

スイッチ素子材料の成膜および加工技術の開発、および、BEOL 設計・製造基盤に整合する製造プロセスの構築のための準備を行った。

350°C BEOL 製造基盤に対して、スイッチ素子の劣化がないことを実証するための準備を行った。

(超低電圧デバイス技術組合)

(平成 23 年度)

低電圧書き換え時の信頼性劣化を抑制でき、低電圧、低電流動作に対応した 3 端子型のデバイス構造を開発し、2V での書き込みと 10 年の信頼性を実現した。また、固体電解質材料として PSE を用いることにより、スイッチの高い OFF 信頼性が得られることを示した。

原子移動型スイッチの抵抗変化状態の伝導機構をモデリングした。

原子移動型スイッチのしきい電圧ばらつきの原因として、下部電極である Cu 表面のラフネスおよび Cu と固体電解質の界面の低酸化状態のバルブメタルの存在であることを明らかにし、しきい電圧ばらつきを改善した原子移動型スイッチの製造プロセスを構築した。さらに、65nm の CMOS 基板上に、BEOL 設計・製造基盤に整合した、「原子移動型スイッチ」、「ローカル配線」、「セミグローバル配線」の形成プロセスを構築した。

構築した形成プロセスにより製造した、原子移動型スイッチの正常な抵抗変化動作を確認し、製造プロセスに起因するスイッチ特性の劣化がないことを示した。

原子移動型スイッチ素子を、CMOS と Cu 配線が形成された 300mm 基板に埋め込むための集積化プロセス構築に着手した。

(超低電圧デバイス技術組合)

研究開発項目④「集積回路チップ内において、機能ブロックの三次元集積を実現するための、微細幅・超低電気抵抗、超高アスペクト比配線・材料技術の開発」

(平成 22 年度)

小口径のナノカーボン成長装置を用いて成長プロセスの先行検討、材料物性、および、電気特性の評価環境整備、ナノカーボン材料成長の下地、および、付帯構造の候補絞込みを行った。カーボンナノチューブ (CNT) の高アスペクト比ホール埋め込みに向けた要素技術として、触媒金属・下地層の条件検討を行うとともに、触媒不活性膜の積層によるホール側壁成長抑制の検討を行った。

グラフェン成長では、触媒金属材料の探索を行い、多層成長用触媒候補の絞りこみを行った。さらに極薄触媒金属層上での成長条件検討を行い、グラフェンの結晶性を表すラマン分光による指標 (G/D 比) を、600°C 以下の成長温度では最高レベルの 10 以上に高めた。

300mm 成長装置・プロセス、および、300mm CMP 装置・プロセスに向けた小口径での実験を含む基礎検討を行い、基本装置の仕様決定・作製・立上げを行った。

ナノカーボン配線集積化のための環境整備を行うとともに、微細配線・CNT 埋め込み検討 TEG の基本仕様案を決定した。超高アスペクト比ホール埋め込みに向け、アスペクト比 4~10 の構造 TEG での下地層形成・成長の要素検討を開始した。不活性膜材料候補の絞り込みを行い、その成長抑制効果をホール側壁で実証した。

横方向配線評価構造 (ナノカーボン配線 TEG) 試作と配線特性実証 (シート抵抗 $\leq 500 \Omega / \square$) するための準備を行った。

300mm 基板全面でのコンタクトホール底に適用可能な導電性下地層 (Al フリー) 上の高密度 CNT (Carbon Nano Tube) 成長実証 (密度 $\geq 10^{11} / \text{cm}^2$) するための準備を行った。

(超低電圧デバイス技術組合)

(平成 23 年度)

横方向配線用多層グラフェンの低温成長 ($\sim 600^\circ\text{C}$) をプラズマ CVD により実現

するとともに、触媒段差を起点とする低温固有の成長機構を明らかにした。

剥離グラフェンで横方向配線評価構造を電子ビームリソグラフィにより作成し、基礎的な配線特性（シート抵抗 $\approx 300\ \Omega/\square$ ）を実証した。

300mm成長装置に触媒Ni-CVDモジュールとナノカーボン熱CVDモジュールを導入して、300mm基板全面で、コンタクトホール底に適用可能な高密度カーボンナノチューブ（CNT）成長（密度 $1\sim 2\times 10^{11}/\text{cm}^2$ ）を実証した。

高アスペクト比（AR）コンタクトホール埋め込み用に、CNTの固定化プロセス（SOG含浸、硬化）を構築し、300mm基板でCNT固定層の割れ・欠けのないCMP研磨を実証した。

アスペクト比（AR）1~4及び10のホールTEGを作製し、AR~4でのCNT埋め込みを実証するとともに、AR~10でのCNT成長評価を行って、ホール底からのCNT成長を確認した。

微細直径（90nm）、超高アスペクト比（ ≥ 16 ）のコンタクトホールへのナノカーボン材料埋め込み実証に向けた、ナノカーボン成長・評価用TEGの作製、300mmでのナノカーボン成長・加工プロセス開発、及び、集積化技術開発に着手した。

（超低電圧デバイス技術組合）

研究開発項目⑤「CMOSトランジスタの超低電圧動作、及びリーク電流抑制を同時に実現するための、低しきい値ばらつきトランジスタを集積化するための技術開発、並びに、この技術を用いた高集積機能素子における低電圧動作実証」

（平成22年度）

超低電圧（0.4V）動作のCMOSプラットフォーム構築に向け、ドーパントレス構造により低ばらつきを実現できるナノトランジスタ構造デバイスとして、埋め込み絶縁膜の薄いシリコンオンインシュレータ（SOI）構造を主たる候補として、低電力かつ量産化に最適な構造を設計した。

ドーパントレストランジスタの構造確立、および、ハイブリッドプラットフォーム開発に向けて、トランジスタ製造プロセス、および、ハイブリッド化プロセスの試作検討を開始した。

SRAMのような論理回路を例に、超低電圧動作のために必要なデバイス仕様を検討した。

ナノトランジスタとバルクCMOSを共存させたハイブリッド構造の集積化プロセス構築に着手した。

1万個以上のトランジスタで、平均 ± 0.06 （ $\pm 4\sigma$ ）V以下の局所しきい電圧ばらつきを達成するための準備を行った。

（超低電圧デバイス技術組合）

（平成23年度）

低電圧動作のために最適な特性、かつ低ばらつきとなる構造を考案し、試作したデバイスで特性を確認した。

試作したトランジスタのばらつき評価を行い、局所しきい電圧ばらつきが、1万個以上のトランジスタで、平均 ± 0.06 （ $\pm 4\sigma$ ）V以下となることを示した。

ナノトランジスタとバルクCMOSを共存させたハイブリッド構造の集積化プロセスを構築し、各トランジスタの正常動作を確認した。

SRAM動作検証用TEGを用いて、ナノトランジスタ構造デバイスによるSRAMの0.4Vにおける動作性能を検証した。

基板バイアス電圧印加を行うことが可能なナノトランジスタ構造用最適化セル

ライブラリ、さらに超低電圧 LSI を構築するための設計手法と設計フローを開発し、回路検証用 TEG を作成した。

低い電源電圧に動作を最適化し、基板バイアス制御技術を適用したナノトランジスタ構造デバイスを集積した 1Mbit 以上の SRAM での、0.4V 動作実証に着手した。

従来デバイスに比較して消費電力を 1/10 に低減できる基盤技術の確立と実用化回路レベルでの達成目処の提示に向けた基本検討に着手した。

(超低電圧デバイス技術組合)

研究開発項目⑥「BEOL 設計・製造基盤（プラットフォーム）開発」

(平成 22 年度)

プロセス・デザインキット (PDK ; Process & Design Kit) 整備に向けた検討を行った。また、これと並行して、CMOS 基板上への BEOL モジュール構築の事前検討として、CMOS 基板を必要としない配線プロセス用の簡易マスクを作製し、2 層 Cu 配線の形成を行った。

個別デバイス (研究開発項目①～③) の研究開発を推進するための共通設計基盤として、BEOL 設計・製造基盤 (プラットフォーム) を開発するための準備を行った。

(超低電圧デバイス技術組合)

(平成 23 年度)

SCR300mm ラインで、LSI 製造ラインで形成した多層配線/CMOS 基板上にファイン配線、およびグローバル配線を形成する配線製造基盤技術を開発し、CMOS 特性、配線特性が所望の特性を実現していることを確認した。

新材料の汚染管理手法として、「エッジカットリングによる新材料付着防止」「薬液による新材料除去」、「新材料上 HDP 膜による汚染拡散防止」、「FOUP によるハンドリング管理」の 4 つの管理手法を検討し、効果を確認した。

連携ファブ PDK として、LSI 製造ライン PDK と SCR-PDK を統合した設計ルールを策定し、試作に適用して効果を確認した。さらに、配線特性パラメータの取得、OPC データの取得と OPC モデルの構築を行った。

(超低電圧デバイス技術組合)

2. 2 実績推移

	22 年度	23 年度
	委託	委託
実績額推移 一般勘定 (百万円)	0 (N E D O) 2,045 (経済産業省)	2,290 (N E D O)
特許出願件数 (件)	1	19
論文発表数 (報)	0	3
フォーラム等 (口頭発表) (件)	7	55

3. 事業内容

必要に応じてプロジェクトリーダーを設置し、以下の研究開発を実施する。

3. 1 平成 24 年度 (委託) 事業内容

研究開発項目①「ロジック集積回路内 1 次メモリを対象とした、高集積・高速特性・高

書き換え耐性などの機能を有する超低電圧・不揮発デバイスの開発」

- ・読み書き電圧 0.4V 以下、読み書き電流 100 μ A 以下、読み書き時間 10ns（電力量 0.4pJ 以下）が実現可能な磁性材料、磁性変化デバイス構造、プロセス技術を開発する。
- ・高集積化を可能とする多値用デバイスとプロセスを開発し、多値動作を実証する。
- ・試作・評価によるメモリパラメータ取得と、それを用いた低電圧動作用メモリ周辺回路設計を行う。
- ・磁性変化デバイスを、CMOS と Cu 配線が形成された 300mm 基板に埋め込むための集積化プロセスを構築する。
- ・電気特性の分布や歩留まり評価が可能な TEG を設計、起版し、試作評価を通して素子動作を実証するとともに、電気特性の分布やばらつき要因を解析し、歩留まり向上の方針を決定する。

研究開発項目②「外部記憶の高速低電力データ転送を実現する、高集積・高速低電力書き込み特性などの機能を有する超低電圧・不揮発デバイスの開発」

- ・データ転送速度 200MB/s を、従来の 1/3 の電力 (200mW) で可能とする単体デバイスの書き込み動作、およびさらなる高速低電力化の可能性の根拠を示す。
- ・外部記憶向け素子材料を、CMOS と Cu 配線が形成された 300mm 基板に埋め込むための集積化プロセスを構築する。
- ・外部記憶向け素子の試作評価を通して、データ転送速度 200MB/s を、従来の 1/3 の電力 (200mW) で実行する書き込み動作の可能性を示す。
- ・クロスポイント選択スイッチに、外部記憶向け素子材料を搭載したクロスポイント型メモリセルを試作し、素子動作を実証する。

研究開発項目③「配線切り換えを可能とするスイッチを対象とした、低電流・高速書き換え、高オン・オフ抵抗比、小面積などの機能を有する超低電圧・不揮発スイッチデバイスの開発」

- ・スイッチ素子の材料選定、素子構造の最適化を行い単体素子の動作検証を行う。
- ・単体素子性能として、書き換え電流と書き換え速度の積が 10^{-10} A・秒以下、オン・オフ抵抗比 10^5 以上、書き換え回数 10^3 以上を実証する。
- ・原子移動型スイッチ素子を、CMOS と Cu 配線が形成された 300mm 基板に埋め込むための集積化プロセスを構築する。
- ・集積化したスイッチアレイの動作を実証し、集積化した状態で、素子性能として書き換え電流と書き換え速度の積が 10^{-10} A・秒以下、オン・オフ抵抗比 10^5 以上、書き換え回数 10^3 以上を実証する。

研究開発項目④「集積回路チップ内において、機能ブロックの三次元集積を実現するための、微細幅・超低電気抵抗、超高アスペクト比配線・材料技術の開発」

- ・微細線幅 (100nm)、低抵抗 (シート抵抗 $< 50 \Omega / \square$) の配線特性を実証する。
- ・微細直径 (90nm)、超高アスペクト比 (≥ 16) のコンタクトホールへのナノカーボン材料埋め込みを実証する。
- ・微細直径 (90nm)、超高アスペクト比 (≥ 16) のコンタクトホールへのナノカーボン材料埋め込み実証に向けた、ナノカーボン成長・評価用 TEG の作製を行うと共に、300mm でのナノカーボン成長・加工プロセス開発及び集積化技術開発を行う。

研究開発項目⑤「CMOS トランジスタの超低電圧動作、及びリーク電流抑制を同時に実現

するための、低しきい値ばらつきトランジスタを集積化するための技術開発、並びに、この技術を用いた高集積機能素子における低電圧動作実証」

- ・100 万個以上のトランジスタで、平均 $\pm 0.1V$ 以下 ($\pm 5\sigma$) の局所しきい電圧ばらつきを達成する。
- ・低い電源電圧に動作を最適化し、基板バイアス制御技術を適用したナノトランジスタ構造デバイスを集積した 1Mbit 以上の SRAM での、0.4V 動作を実証する。
- ・従来デバイスに比較して消費電力を 1/10 に低減できる基盤技術の確立と実用化回路レベルでの達成目処の提示に向けた基本検討を実施する。

3. 2 平成 24 年度事業規模

一般勘定 5 8 4 百万円 (継続)
平成 2 3 年度補正予算額 (一般勘定) 1, 7 0 2 百万円 (継続・繰越)
事業規模については、変動があり得る。

4. その他重要事項

4. 1 運営・管理

本研究開発は、経済産業省が、企業、大学等の研究機関（委託先から再委託された研究開発実施者を含む）から公募によって研究開発実施者を選定し、共同研究契約等を締結する研究体を構築して開始したものである。独立行政法人新エネルギー・産業技術総合開発機構（以下「NEDO」という。）が本研究開発の運営・管理を承継するに当たっては、その時点までの進捗状況を踏まえた研究開発内容・計画及び実施体制の妥当性について、外部有識者による審議を含めた評価を行った上で最適な研究開発体制を構築し、実施している。

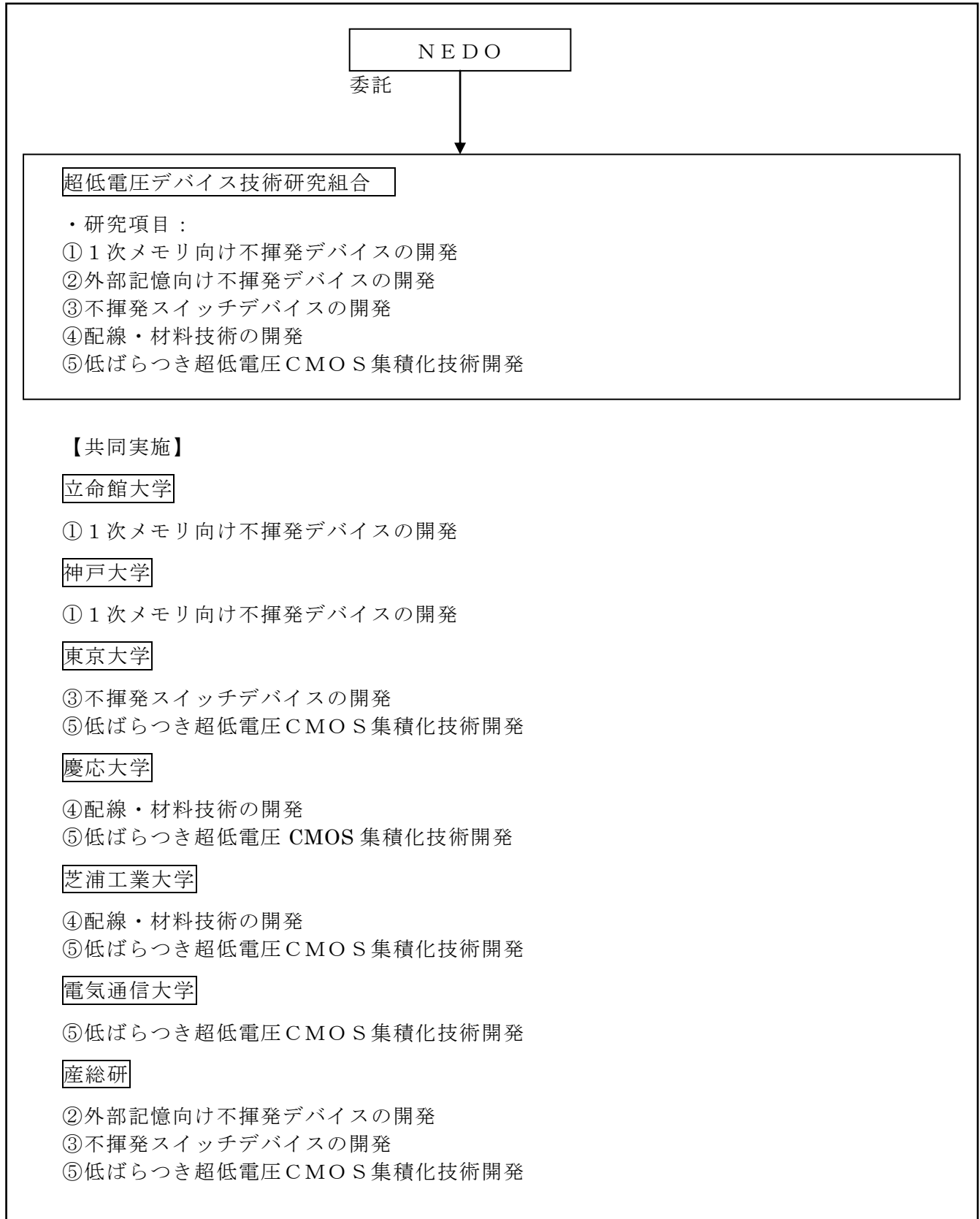
研究開発全体の管理・執行に責任と決定権を有するNEDOは、経済産業省と密接な関係を維持しつつ、プログラムの目的、および、目標に照らして適切な運営管理を実施する。また、必要に応じて、外部有識者の意見を運営管理に反映させる。

4. 2 複数年度契約の実施

平成 2 2 ~ 2 4 年度の複数年度契約を行う。

(別紙) 事業実施体制の全体図

「低炭素社会を実現する超低電力デバイスプロジェクト」実施体制



京都大学

⑤低ばらつき超低電圧CMOS集積化技術開発

京都工芸繊維大学

⑤低ばらつき超低電圧CMOS集積化技術開発

大阪大学

⑤低ばらつき超低電圧CMOS集積化技術開発

東京理科大学

⑤低ばらつき超低電圧CMOS集積化技術開発

筑波大学

②外部記憶向け不揮発デバイスの開発

中央大学※1

②外部記憶向け不揮発デバイスの開発 ※2

(注) 各機関毎に、研究実施項目を記載すること。

※ 平成24年4月より東京大学東京大学の実施者の一部が中央大学に移籍することに伴い、同大学を超低電圧デバイス技術研究組合の共同実施先に追加する。

※ 平成24年3月までは、東京大学で実施