

半導体機能性材料の高度評価基盤開発
(事後評価)分科会
資料 5-3

「半導体機能性材料の高度評価基盤開発」

事業原簿

【公開】

担当部	独立行政法人新エネルギー・産業技術総合開発機構 電子・材料・ナノテクノロジー部
-----	--

目次

概要

プロジェクト用語集

I. 事業の位置付け・必要性について

- 1. NEDO 関与の必要性・制度への適合性 I - 1
 - 1. 1 NEDO が関与することの意義
 - 1. 2 実施の効果（費用対効果）
- 2. 事業の背景・目的・位置付け I - 5
 - 2. 1 事業の背景
 - 2. 2 事業の目的及び意義
 - 2. 3 事業の位置付け

II. 研究開発マネジメントについて

- 1. 事業の目標 II - 1
- 2. 事業の計画内容 II - 4
 - 2. 1 研究開発の内容及び全体スケジュールと予算
 - 2. 2 研究開発の実施体制
 - 2. 3 研究の運営管理
 - 2. 4 研究開発成果の実用化・事業化に向けたマネジメントの妥当性
- 3. 情勢変化への対応 II - 1 2

III. 研究開発成果について

- 1. 事業全体の成果 III - 1
- 2. 研究開発項目毎の成果
 - 2. 1 接合素子を含む材料評価用配線 T E G の開発 III - 2. 1 - 1
 - 2. 2 材料による金属汚染、応力影響の評価方法の開発 III - 2. 2 - 1
 - 2. 3 半導体プロセス全体を考慮した材料評価基盤の開発 III - 2. 3 - 1
 - 2. 4 評価基準書 III - 2. 4 - 1

IV. 実用化・事業化の見通しについて IV - 1

V. 成果資料

- 1. 外部発表リスト V - 1
- 2. 特許リスト V - 3

- (添付資料1) ナノテク・部材イノベーションプログラム基本計画
- (添付資料2) エネルギーイノベーションプログラム
- (添付資料3) ITイノベーションプログラム
- (添付資料4) プロジェクト基本計画
- (添付資料5) 技術戦略マップ
- (添付資料6) 事前評価書
- (添付資料7) パブリックコメント

概要

最終更新日

平成 24 年 6 月 15 日

プログラム（又は施策）名	ナノテク・部材イノベーションプログラム エネルギーイノベーションプログラム ITイノベーションプログラム				
プロジェクト名	「半導体機能性材料の高度評価基盤開発」プロジェクト	プロジェクト番号	P09006		
担当推進部/担当者	電子・材料・ナノテクノロジー一部 電子・材料・ナノテクノロジー一部 電子・材料・ナノテクノロジー一部	沖 博美 廣石 治郎 岡部 豊	(平成 23 年 4 月～平成 24 年 6 月現在) (平成 22 年 4 月～平成 23 年 3 月) (平成 21 年 4 月～平成 22 年 3 月)		
0. 事業の概要	本技術開発により、回路の消費電力低減に必要な配線形成用各種材料等の開発のネックとなっている微細環境下のナノレベルでの材料間の相互影響まで評価可能な統合部材開発支援ツールを開発し、情報通信機器の高機能化、低消費電力等の要求を満たす半導体集積回路用材料の開発基盤技術を構築し、我が国の材料メーカーの競争力を維持・強化することを目的とする。				
I. 事業の位置付け・必要性について	<p>我が国の材料産業は、国際的に高い技術力と競争力を有し、我が国の経済社会の発展を支えているが、川下産業との取引のオープン化に伴いユーザーとの連携の希薄化が進行する一方で、汎用的な材料技術はアジア諸国の技術向上によるキャッチアップが進行している。そのため我が国において産学官を含む連携の強化（川上川下の垂直連携、材料創成と加工の水平連携など）を図ることで、次世代の部材分野での我が国のイノベーションを促進することが喫緊の課題となっている。</p> <p>そこで本プロジェクトは、「部材分野の技術戦略マップを活用し、将来の部材の基盤技術の方向性を見定めるとともに、材料関係者だけでなく多様な連携（川上川下の垂直連携、材料創成と加工の水平連携等）による基盤技術開発を支援することで、部材分野の技術革新を促進すること」を目的としたナノテク・部材イノベーションプログラム、我が国エネルギー供給の効率化に資するエネルギーイノベーションプログラム及びITの利活用の深化・拡大を図り、より豊かな国民生活を実現するとともに、我が国の経済活力の向上を図ることを目的とするITイノベーションプログラムの一環として実施する。</p> <p>また、本プロジェクトで取り扱う対象部材は半導体集積回路に用いる製造材料のかなりの範囲を占めるため、一研究機関又は一企業での開発ではハードルが高く、リスクも大きい。このため、NEDOは、独自の材料開発技術を持った複数の産学の科学的知見を結集し、半導体集積回路のフロントエンドから配線工程、パッケージ組立工程までの一貫したプロセス検証を行うことによって信頼性のある統合部材を提供できる評価基盤を確立し、これを産業技術へ繋げていくとともに、社会の共通基盤として情報の整備、提供を行うとの事業方針に基づき、プロジェクトを実施するものである。</p>				
II. 研究開発マネジメントについて					
事業の目標	半導体デバイス性能に直結する接合素子（p-n 接合、SiO ₂ -Si 接合）の性能・信頼性まで含め、半導体製造プロセス全体を俯瞰して半導体材料が開発できる材料評価基盤を構築する。 ①接合素子を含む材料評価用配線 TEG の開発 ②材料による金属汚染、応力影響の評価方法の開発 ③半導体プロセス全体を考慮した材料評価基盤の開発				
事業の計画内容	主な実施事項	H 2 1 fy	H 2 2 fy	H 2 3 fy	
	①接合素子を含む材料評価用配線 TEG の開発			→	
	②材料による金属汚染、応力影響の評価方法の開発			→	
	③半導体プロセス全体を考慮した材料評価基盤の開発			→	
	成果とりまとめ			→	
開発予算 (単位：百万円) 契約種類： 助成（負担率 1/2）	会計・勘定	H 2 1 fy	H 2 2 fy	H 2 3 fy	総額
	一般会計	0	0	0	0
	特別会計（需給）	60	40	40	140
	加速予算 (成果普及費を含む)	0	0	0	0
	総予算額	60	40	40	140

開発体制	経産省担当原課	製造産業局化学課
	委託先	次世代半導体材料技術研究組合 (平成21、22年度は材料メーカー7社、 平成23年度は材料メーカー6社で構成)
情勢変化への対応	半導体デバイスの需要は上昇傾向にあり、開発期間短縮への要望は依然として強く、部材への要求も厳しいものとなっているため、材料評価基盤構築の必要性は高い。開発した材料評価基盤を情勢が変わっても継続して活用できる体制作りを実施した。	
評価に関する事項	事前評価	平成20年度実施 電子・材料・ナノテクノロジー部
	事後評価	平成24年度 事後評価実施
Ⅲ. 研究開発成果について	<p>【事業全体】</p> <p>新材料開発のネックとなっているのは、材料を半導体製造工程に導入したときの問題点や課題を的確に且つ迅速に把握する評価技術が不十分であるという新材料開発のネックを解消するために、本事業では、これまでの配線素子に加え、接合素子を用いて、フロントエンドからバックエンド及びパッケージに至る半導体工程全体を一貫して材料影響を把握できる評価技術を開発した。新機能性材料の開発に貢献する評価基盤技術の開発とともに、その新機能性材料を用い、半導体製造に適用できる統合的なソリューション技術を開発した。</p> <p>【個別テーマ毎】</p> <p>研究開発項目① 接合素子を含む材料評価用配線 TEG の開発</p> <p>従来 TEG マスクよりも材料とプロセス条件が接合素子の初期特性や信頼性に与える影響をより高精度な定量的抽出ができるように、種々の接合素子のパターン形状、寸法、構造などを変更して新規 TEG マスクを設計し、そのマスクを用いて接合素子を含む TEG ウェーハの外注試作を行った。新規 TEG においては、評価結果からの見直しを一部行い、より高精度な評価ができるように修正版の外注試作・評価も行った。</p> <p>その新規 TEG の形状観察や電気特性の測定を行って、接合素子の機能を検証し、さらに配線工程を付加した場合に材料評価専用 TEG としての機能が発揮できるか検討した。</p> <p>研究開発項目② 材料による金属汚染、応力影響の評価方法の開発</p> <p>300mm シリコンウェーハ上に接合素子を作製し、2層配線形成及びバッファコート材料を用いて膜形成を行い、Cu などの重金属汚染による接続素子の影響を評価した。</p> <p>また、配線腐食を高感度に測定できるように、P 型基板と N 型基板を用いた腐食評価用 TEG による腐食評価などを行った。</p> <p>それらの結果に基づいて、製造工程に用いる半導体材料あるいは製造プロセスによる接合素子への影響（金属汚染、応力、電荷蓄積など）が把握できる電気特性の測定方法や解析方法の開発を行った。</p> <p>研究開発項目③ 半導体プロセス全体を考慮した材料評価基盤の開発</p> <p>FEOL と BEOL を連続して試作できる TEG (FEOL/BEOL 統合 TEG) を開発し、その TEG を用いて BEOL の材料評価技術を開発する。対象とするパッケージをワイヤーボンド型とし、QFP 組立を実施、素子特性測定、解析を行い、接合素子と Cu/low-k 配線を有するウェーハのパッケージ組立工程の基準プロセスを想定し、そのプロセスによる熱、応力、水分などが接合素子や配線素子に及ぼす影響を検討した。</p>	
	外部発表	「査読付き」12件、「その他」7件
	特許	「出願済」13件、「登録」0件 特記事項：全て評価方法に関する特許。開発材料の特許、組合員企業に帰属する仕組みとなっている。
	その他の外部発表 (プレス発表等)	「外部向け研究報告会」1件
Ⅳ. 実用化、事業化の見通しについて	本プロジェクトの研究開発成果の材料評価基盤の実用化は、①TEG：ライセンス許諾により継続入手可能に②材料評価基準書：既に活用中であり、引き続き活用③評価方法に関する特許：組合員による活用と、普及のためのライセンス許諾という形で実施される。材料メーカーによる半導体材料の事業化は、材料評価基盤の活用により促進される。	
Ⅴ. 基本計画に関する事項	作成時期	平成21年3月 作成
	変更履歴	なし

用語集

語句	説明
ALD (Atomic Layer Deposition)法	Atomic Layer Deposition(原子層成長):2種類の原料ガスを交互に成膜室に流し、薄膜を1原子(または分子)層ずつ成長させる方法。
AP プログラム	Affiliation Program : 共通領域を通して改良された材料を用いて、CASMAT・組合員が、デバイスメーカーあるいは半導体装置メーカーと共同で行う実用化研究の総称。
BARC	Bottom Anti Reflective Coating : レジストを透過したUV光が下膜で反射して再びレジストに入射するのを防ぐため下膜とレジストの間に用いる反射防止膜。
BD (Black Diamond)	Applied Materials社のCVD装置で製膜されるSiOCを主成分とする低誘電率層間絶縁膜の商品名。
BEOL (バックエンドプロセス)	Back End of Line : Front end of Line でトランジスタなどの素子を作りこんだ後、それらの素子を相互に接続するための配線あるいは電源などの配線構造を作る工程。
CMOS	Complementary Metal Oxide Silicon の略。相補型MOSトランジスタ。NMOSとPMOSを縦接続したインバータを基本回路とする集積回路の代表的な構成方法。
CMP 材料(スラリ、パッド)	Chemical Mechanical Polishing(化学的機械的研磨) : シリカ粒子を含んだ研磨液(スラリ)をウェーハ表面に流しながら、スピンドルに貼り付けたウェーハを回転テーブル表面の研磨パッドに圧着させて研磨する方法。
CTE	Coefficient of Thermal Expansion : 熱膨張係数。
Cu のイオンマイグレーション	プリント基板配線や再配線中に電圧をかけると、銅配線の一部がイオン化して配線外に染み出してくる現象。長時間電圧がかかるとイオンの染み出しによって配線中の電流がリークしたり、断線したりして、配線の信頼性を低下させる。

Cu 配線	LSI 用として、従来の Al を用いた配線に替り導入された。電気抵抗が低く、許容電流密度が高いため、高性能の配線が実現できる。
Cu 配線用 CMP 材料	Cu 研磨専用に使われる CMP 材料(スラリ、パッド)。
CVD	Chemical Vapor Deposition(化学気相成長)：製膜すべき膜の種類に応じ必要な原料をガス状態(気相)で供給し、これに各種エネルギーを与えて化学反応を起こさせ、下地表面での触媒反応を利用しながら薄膜を堆積させる方法。
DAF(ダイアタッチ)テープ	Die Attach Film：小片化されたチップとチップの接合、あるいはチップのパッケージ化のためにチップを接着する接着剤つきテープ。
EBR (Edge Bead Removal)	基板端面などに付着した薬液の除去。
EB 硬化装置	Electron Beam Curing Machine：電子線を照射して、そのエネルギーで膜を硬化させて強度を増大させる装置。
EDX	Energy Dispersive X-Ray Spectroscopy(エネルギー分散型 X 線分光)：観察対象に電子ビームを当てた際にサンプル表面から放出される特性 X 線を検出して、元素の定性/定量分析する方法。
EM (エレクトロマイグレーション)	金属配線を構成する原子が電子との衝突によって移動する現象。
FEOL	Front End Of Line の略。 Si 基板上にトランジスタ等の素子を作る一連の工程。
Gate Implant.	MOS トランジスタのゲート・ポリ Si 膜にドーピングするためのイオン打ち込み工程。
gm	→ see “チャネル・コンダクタンス”
Half-Etch 構造	トレンチ加工時に下層のエッチストップ層に到達する前に加工を停止した構造。
HSQ	Hydrogen silsesquioxane：Si-O 結合と Si-H 結合を中心骨格とするポリシロキサン系材料の総称。
ITRS ロードマップ	International Technology Roadmap for Semiconductors：LSI の年次的な技術予測を世界に

	向けて発信している。中心となるのは微細化動向で、メモリーのハーフピッチやロジックのゲート長などである。
k 値	比誘電率(物質の真空に対する誘電率の比)を表わす値。
LDD	Lightly Doped Drain の略： MOS トランジスタのゲート電極の側壁に形成した絶縁膜を利用してゲート下のドレイン拡散層の不純物濃度勾配を緩和し、ドレイン接合の耐圧向上と信頼性の向上(ホットキャリアの発生抑制)を図る方法。
LOCOS	Local Oxidation of Silicon の略。素子分離絶縁膜の一種。
Low-k 材料	IC で最もポピュラーな CVD SiO 膜(k = 4.1)に比べ、より低い比誘電率を有する膜の総称。特に多層配線の層間絶縁膜に用いられる。
L 型	素子の動作領域が LOCOS 膜で規定された TEG の型式。
MEMS 技術	Micro Electro Mechanical Systems : マイクロマシン技術。
MIRAI プロジェクト	Millennium Research for Advanced Information Technology : 次世代の半導体に不可欠な新材料の研究開発と、これを実用化するためのプロセス技術の開発を行い、LSI の消費電力や処理速度を格段に向上させる NEDO 委託プロジェクト。
MIS トランジスタ	Metal Insulator Semiconductor Transistor の略。金属-絶縁膜-半導体構造の電気特性を利用した増幅素子。ソース、ドレイン、ゲート、基板の 4 端子がある。
MOS トランジスタ	Metal Oxide Semiconductor Transistor の略。金属-酸化膜-半導体構造の電気特性を利用した増幅素子。ソース、ドレイン、ゲート、基板の 4 端子がある。MIS トランジスタの一種。
MOS キャパシタ	MOS 構造を利用した容量素子。
MSQ	Methylsilsequioxane : Si-O 結合と Si-CH ₃ 結合を中心骨格とするポリシロキサン系材料の総称。

nm ノード	→see “テクノロジーノード”→”ITRS ロードマップ”
N 型	素子の動作領域がN型拡散層で規定されたTEGの型式。
OCD	Optical Critical Dimension(光学 CD 測定) : ウェーハ表面からの散乱光(回折光)を解析して、繰り返しパターンの断面形状(トレンチ幅や深さ、トレンチ側壁傾斜角等)を得る手法。
OPC (Optical Proximity Correction)	近接効果補正。
Pad Oxide	分離酸化膜(LOCOS 膜)形成プロセスで使用するSiN 膜の下に応力緩和の目的で挿入する薄い酸化膜。
PDA	Personal Digital Assistant : 情報を管理するための個人用の情報端末。
p-n 接合電池	pn 接合に光を当てると、電子と正孔の対が発生して起電力が起きる。この作用を p-n 接合電池作用と言う。太陽電池も同じ原理。
PVD	Physical Vapor Deposition(物理気相成長) : 物理的な手段によって材料物質を堆積させる製膜法。高エネルギーでターゲット材から原子を叩き出し(スパッタ)、ウェーハに付着、堆積させる。
QFP	Quad Flat Package:IC パッケージの一種で、ケースの4 側面から出ているリードピンが外側にL 字型に曲げられているもの。
SAXS (Small Angle X-ray Scattering)	高輝度小角 X 線散乱装置のこと。物質に X 線を照射して、散乱された X 線を検出、解析することによってナノ材料の構造を評価する装置。
Selete	Semiconductor Leading Edge Technologies : 半導体メーカー10 社の共同出資により設立され、300mm ウェーハ対応の生産技術開発コンソーシアム。
SEMATECH	Semiconductor MAAnufacturing TECHnology:アメリカ半導体産業を強化する目的で、政府資源を投入して1987年に設立されたコンソーシアム。1996年に民間に移行。その後子会社としてインターナショナル SEMATECH を設立して米国以外にもサ

	ービスをおこなっている。
SIV	Stress Induced Void : ストレスにより発生するボイド (“ストレスマイグレーション”参照)
SM	→ see “ストレスマイグレーション”
SOB	Spin on Barrier : 塗布型バリア膜。
SOC	Spin on Cap : 塗布型 CMP キャップ膜。
SOD	Spin on Dielectric : 塗布型層間絶縁膜。
SOG	Spin on Glass : 塗布型酸化膜 SiO ₂ 。
SUB PAD	集積回路上で、基板に接続されたパッド電極。
TDDB 試験	Time Dependent Dielectric Breakdown : 絶縁膜の経時破壊試験。
TEG(マスク、ウェーハ)	Test Element Group : IC 等の基本的な構造、物性、電気的特性、回路動作、信頼性、歩留まりなどを評価するため、専用のマスクを用いて作製した試験構造や試験素子。TEG ウェーハは TEG パターンを搭載したウェーハ。
TEOS 系酸化膜	Tetra-Ethyl-Ortho-Silicate、 Tetra-Ethyl-Ortho-Silane(テトラエトキシシラン、珪酸エチル) : CVD 系酸化膜の一種。自己流動性があり、特別な処理(加熱溶融等)なしで平坦化が得られる。
Tg	Glass Transition Temperature : ガラス転移点。
Trench	多層配線における配線部の溝構造。溝掘り加工の後、金属を埋め込むことから Trench(溝)とよばれる。
UV 硬化装置	Ultra Violet Ray Curing Machine : 紫外線を照射して、そのエネルギーで膜を硬化させて強度を増大させる装置。

Via	ICの多層配線構造で、配線間を上下縦方向に電氣的に接続するため、配線間の層間絶縁膜に穿たれた開口部、スルーホールとも呼ばれる。
Vt, Vth	→ see “しきい電圧”
Vth Implant.	MOS トランジスタのしきい電圧(Vth)を調整するイオン打ち込み工程。
WLP	Wafer Level Package の略。ウェーハ状態のままパッケージ処理を行い、その後に IC チップに切り出す方法。
W プラグ	コンタクトやビアの孔に形成した W のこと。W の選択成長や W の CMP プロセスを用いて形成する。
XRR (X-ray Reflectivity)	X-Ray Reflectivity(X 線反射率測定): X 線に対する物質の屈折率は 1 よりもわずかに小さいため、平坦な表面すれすれに X 線を入射すると全反射を起こす。全反射の反射率と入射角度の相関から、薄膜の構造(各層の密度、膜厚、凹凸)を非破壊で評価できる。
アッシング	Ashing(灰化: 和製英語)。エッチング後不要となったレジストをオゾンやプラズマにより灰化により除去すること。
あすかプロジェクト	SOC(1 個のチップの上にシステム機能を実現したもの)の共同研究開発を目的として JEITA 主導で設立されたプロジェクト。デバイス、プロセス技術は Selete が、設計技術は STARC が担当する。
アセンブリー工程(用材料)	組立て工程のこと。IC を特別なパッケージに収納することで、パッケージングとも呼ばれる。
アンダーフィル(UF)	WLP プロセスでバンプ接続後に封入のために注入する樹脂材料。
アンテナ TEG	電荷蓄積効果を測定するためのテスト素子。電荷収集用の電極(アンテナ)と特性の変化を測定する素子(MOS キャパシタあるいは MOS トランジスタ)を接続したもの。
アンテナ PAD	アンテナ TEG で、電荷収集のために設けられたパッド電極。

アンテナ比	アンテナ TEG で、電荷収集用電極の面積と被測定素子のゲート電極面積の比。
イオン打込み	半導体基板に不純物原子を導入するプロセスの一つ。イオン注入とも言う。
イオンシニング	透過型電子顕微鏡のサンプル等の薄膜形成法の一つ。サンプルにイオンビーム照射し掘削する。
イントリンシック・ゲッターリング	基板結晶に歪やダメージを与えて汚染や欠陥を吸収し、製造する集積回路の特性を良くする(歩留りを向上させる)方法。
ウェーハアSEMBリー工程	→ see ”アSEMBリー工程”
ウェーハ塗布膜	ウェーハ上にスピコートを用いて塗布された膜のこと。
エレクトロマイグレーション	Cu 配線中を流れる電流密度が高くなると、電子流により Cu 原子が運動量を得て下流側に移動する現象。配線中にボイドや突起を生じる原因となり、配線の信頼性を低下させる。
エッジカット	ウェーハに塗布した膜は面内均一性がウェーハ外周部で極端に不安定になる。このため、この範囲の測定は考慮範囲外とする。この範囲をいう。一般にエッジカットの幅は 3mm とすることが多い。
エッチストップ膜	層間絶縁本体膜の下層膜。本体膜とはエッチングレートの違いを用いてエッチング深さ、形状を制御する。
エッチバック	ウェーハ全面にわたって、表面から一定の厚さをエッチングすること。
エッチング	残したい部分をレジストにより保護し、不要な部分を薬液またはプラズマによって除去すること。
エロージョン	金属の CMP 研磨の結果、ビアや配線パターンがない部分に比べて、ビアや配線が密に並んだ部分の絶縁膜が薄くなってしまう現象。
オーバーポリッシュ	CMP 工程において研磨が過度に進行すること。もしくは終点検出モニターで終点検出した後、さらに確実に上層膜の除去および平坦化を行うために、意図的に研磨時間を延ばすこと。

技術情報 A	CASMAT で取得した生データを含むすべての技術情報。原則として CASMAT 外への持ち出しは不可。
技術情報 B	技術情報 A を元にして整理した技術レポート。共通情報として組合員全員に公開される。
寄生 MOS トランジスタ	素子分離用の酸化膜上にゲート電極を設けた MOS トランジスタ。フィールド MOS トランジスタとも言う。通常の IC では配線とトランジスタの組み合わせで寄生的に発生することが多い。
キャップ膜	CMP キャップ膜とも言う。Cu 配線とバリア膜の間に製膜される絶縁膜で、通常は SiO を用いる。Cu キャップ膜は「バリア絶縁膜」として区別する。
キュア	ウェーハ上に形成された膜に熱や紫外線などのエネルギーを与えて膜構造を強固なものにすること。
共通プログラム	組合員から提出された評価対象材料を評価し、結果は原則として組合員全員に公表される CASMAT 独特のプログラム。
空孔	材料膜の内部にある空隙のこと。Pore とも言う。この空孔により層間絶縁膜の比誘電率が下がる反面、膜の強度等プロセス耐性が弱くなるという問題点がある。
クリーンルーム	IC を製造するための清浄化された空間で、フィルターを通した清浄な空気を天井から床面に向けてダウンフローで流し続ける。清浄度に関するグレードはクラス表示でおこなわれる。
ゲート	→ see “MOS トランジスタ”
ケルビン抵抗測定法	4 端子接続(ケルビン接続)による抵抗測定法。測定プローブの接触抵抗等の測定系の寄生抵抗の影響を排除するため、電流印加端子と電圧測定端子とを分離する。
高速化・低消費電力化	LSI の基本素子であるトランジスタの微細化により処理速度を増加させ、同時に消費電力を小さくすること。

コーター塗布膜	塗布機を用いてスピコートされた膜のこと。
個別プログラム	組合員と CASMAT の契約に基づいて個別組合員が CASMAT インフラを用いて材料評価するプログラム。結果は個別組合員限りで、公表されない。
再配線工程(用絶縁材料)	パッケージ化するために、配線が形成されたウェーハ上に Al(アルミ)パッドを設け、絶縁膜を介してインターポーザーと接続するために金属配線を形成する工程。
材料間インタラクション	配線工程で、材料同士がお互いに影響を与える作用。
シリサイド	Self-align silicide の略。ゲートとソース、ドレイン電極部に自己整合的にシリサイドを形成する方法。
しきい電圧(V_t , V_{th})	トランジスタ等の素子が動作する電圧。ON 電圧とも言う。いくつかの定義法があるが、ここではドレイン電流がゲート幅 $1\mu\text{m}$ 当り 1nA になる時のゲート電圧と定義している。
次世代(65nm)テクノロジーノード	→ see ”テクノロジーノード”
次世代の微細半導体集積回路	現在量産されている微細半導体集積回路の次に量産を期待されている微細半導体集積回路。
シリサイド	シリコンと金属の化合物。IC では、Co, Ni, W, Pt, Pd, Ti 等の金属が用いられる。
シングルダマシン(SD)	メッキ法を用いて形成した銅配線と CMP を使って平坦化した構造がダマスカス地方が発祥の地と言われる象眼細工と似ているのでこう呼ばれる。配線と Via を別々に埋め込むプロセスがシングルダマシン法と呼ばれる、
スクライブライン	ウェーハをダイシング(チップに切り分けること)するときのチップ境界の線。
ストレス印加	電界、熱、応力等の負荷を加えること。
ストレスマイグレーション	熱的または機械的な応力(ストレス)により配線中の金属原子が移動し、抵抗増加または断線を生ずること。

ストレインド・シリコン (歪シリコン)	シリコン基板に歪を加えてキャリアの移動度を変化させる技術。
スラリ	→ see “CMP 材料”
正孔(ホール)	P 型半導体の電気伝導を担う電荷。実体は電子の抜け殻。
全層塗布型配線	低誘電率化に有利な塗布型材料を層間絶縁膜、CMP キャップ、バリア絶縁膜に併せて使用することにより、CVD 材料を中心とした従来型配線に比べて実効誘電率を大幅に低下させることを目的とした Cu/Low-k 配線。
全反射蛍光 X 線分析	→ see “XRR”
ソース	→ see “MOS トランジスタ”
層間絶縁膜	→ see “低誘電層間絶縁膜”
素子分離絶縁膜	集積回路の素子間を電氣的に分離するために形成された絶縁膜。
素子分離幅	集積回路の素子間を電氣的に分離するために形成された絶縁膜や絶縁溝(トレンチ)の幅。
ダイシングテープ	ウェーハから多数の IC チップをカッターで切り取る(ダイシング)時にウェーハを保持するテープ。
ダイボンド	IC チップ表面の Al パターン(ボンディングパッド)とパッケージのリードを金細線で接続する工程のこと。
チャンネル・コンダクタンス	MOS トランジスタの性能を表すパラメータの一つ。 ゲート電圧変化に対するドレイン電流変化の割合。 $g_m = \Delta I_d / \Delta V_g$
ツインリード線	Twin Lead : 2 芯平行線。
低圧 CMP 装置	従来(11.5 - 2.0psi)より低圧(<1.0psi)で研磨できるように回転数などの運転条件を調整した CMP 装置。
低誘電(率)層間絶縁膜	→ see "Low-k 材料”

ディッシング	CMPにおいて、金属と絶縁膜のように研磨速度差がある2種の薄膜が表出するダマシ配線で、金属配線の中央が薄くなってしまふ現象。
テクノロジーノード	→ ここでは”ITRS ロードマップ”を指す。
デザインルール	微細加工(リソグラフィとエッチング)で使用できる最小寸法を規定した設計基準。
テープテスト	物質表面に透明テープを貼り、その上から碁盤目に切り傷を入れた後、テープを引き剥がして、表面に残ったテープの目の数で密着性を判定する方法。
デージーチェーン	二層配線間のViaの導通を調べるために上下配線とViaを一筆書き状に連続して接続したテスト素子。
ディスプレイ	表示素子/装置のこと。液晶(LCD)、発光素子(EL)、ブラウン管(CRT)等がある。
デュアルダマシ(DD)	銅配線とビアホールを同時に埋め込んだダマシ構造。(”シングルダマシ” 参照)
電界集中	ある領域の電界(電圧勾配)がその周りよりも大きくなっていること。電極の端部形状が角ばっていると、電界集中が発生しやすい。
統合部材開発支援ツール	統合部材(材料と配線製造条件をセットにした最適プロセスフロー)を開発するために必要な材料とプロセスの相互影響や適性を判定するツール(手段もしくはは道具)。具体的にはTEGのこと。
銅配線	→see ”Cu 配線”
ドライエッチング	気相中でプラズマによってエッチングを行なうこと。
トリプルハードマスク法	3枚のハードマスク(SiO ₂ 、SiN、SiCN等、ドライエッチングの際にレジストよりも高い選択性を持つマスク)を積層して微細加工を行なう方法。
ドレイン	→ see “MOS トランジスタ”
ドレッサー	CMP用パッドの磨耗を回復させる装置。

トレンチ	→see "trench"
濃淡電池	電解液にパターン密度の異なる 2 個の金属配線を浸けるとその配線間に起電力が発生する。この作用を濃淡電池作用と言う。
能動領域	半導体基板上で集積回路の素子を形成する領域。
配線(形成)工程	→ see "BEOL"
配線間容量	配線同士の間にかかる容量。この容量が大きいほど配線を伝達する電気信号が遅くなる。
ハイブリッド構造	配線層と Via 層に異なる種類の絶縁膜を適用する構造。組成の違う膜を適用すればエッチングストップ層が省略できる。配線層に低誘電率で低強度、Via 層に高強度な膜を適用して、全体として信頼性を高めることが出来る。
剥離耐性係数	密着力と弾性率の逆数の積。BC 膜の WLP プロセスでの剥離の起こしやすさと相間がある。
バックエンドプロセス	→ see "BEOL"
バックグラインド(BG)テープ	ウェーハ上の IC チップを 1 個 1 個に容易に切り分けられるように(ダイシング)、組立て後のチップ厚さを抑えて基板抵抗を下げるように、ウェーハ裏面を研削(バックグラインド)する工程で、ウェーハを保持、保護するためにウェーハ表面に貼り付けるテープ材料。
パッケージ工程	→"アセンブリー工程"
パターンニング	回路のパターン形成を行なうこと。
パッド	→ see "CMP 材料"
パッド部	テストプローブのコンタクト、またはワイヤボンディングのための数十～数百ミクロン角の電極板。
バッファークコート(BC)材料	IC チップをパッケージに収納して封止する際に、IC チップに掛る衝撃や応力を緩和するために用いられる緩衝材料。感光性と非感光性の樹脂材料が

	ある。
バリア膜	バリア絶縁膜と区別するため、バリアメタル膜またはバリアメタル層と呼ぶのが望ましい。金属配線と絶縁膜の界面に設けられた障壁膜。配線金属原子の絶縁膜中への拡散抑制、絶縁膜中の Si 原子等の金属配線への拡散抑制、金属配線と絶縁膜との密着性確保、絶縁膜中の酸素や水分等による金属配線の腐食防止等のために設けられる。最先端 IC では、Ta/TaN の積層膜がよく使われている。
バリアメタル	バリア膜に用いる金属。Ta/TaN の積層膜がよく使われている。
バンプシエア試験	WLP プロセスで使用するバンプの密着性を評価する方法。
半導体 LSI	Large Scale Integration : 半導体の集積回路(IC = Integrated Circuit)の集積度の分類において、1 チップ上の素子数が 1,000 個以上 10,000 個以下のものをいう。
半導体ウェーハ	半導体材料を薄い円盤状に加工したもので、本文に用いられているものは、300mm 径のシリコンウェーハである。
ビア	→ see "Via"
ビアチェーン	ビアとトレンチの連続構造。ビアチェーンの抵抗値、分布、歩留まりは多層配線の出来映えを測る指標の一つ。
ビアファースト	現在最も良く利用されているビア加工プロセス名。配線とビアを同時に形成するため、形状が安定しており、断線を予防しやすい。
ビアフィル材	ビアファーストによる配線形成に際し、ビア加工後にトレンチのパターニングのためにビアを埋め戻して平坦化するために塗布する材料。
微細・高集積化	半導体チップに形成された配線の幅や配線間の距離が微細化されることによって、情報のやりとりの密度が高くなること。

評価基準書	各種材料をいろいろな条件で評価した結果に基づき、材料の問題点や性能を定量的に比較できるように標準化した評価方法を集大成したもの。
ヒロック	粒界成長または”ストレスマイグレーション”や”エレクトロマイグレーション”により生じた配線金属の突起。
腐食 TEG	腐食を評価するテスト素子。ここでは、Cu 配線の腐食を評価するテスト素子を指す。
不純物準位	半導体に導入された不純物が半導体中に形成するエネルギーのレベル。
ブランケットウェーハ	積層膜のみで、パターニングされていないウェーハ。
プラテン(数)	CMP において研磨パッドを貼り付ける土台となる盤。
フリップチップ (FC)	IC チップの上に金属のバンプや半田ボールを付け、これらを介して他の部品や基板に接合する技術。
フリンジ電界	対向電極間以外の領域の電界。
フリンジ容量成分	対向電極間以外の電界による容量。平行平板近似をするとこの成分が無視されるが、配線間容量の数+%に当たるため、無視することはできない。
プリカーサー	膜の原料となる前駆体のこと。
フローティング	素子の電極が Si 基板と電氣的に接続されていない状態を指す。
分極特性	誘電体が電界の影響を受けて正と負の電荷を持つ部分に分かれる現象。
ボイド	空所あるいは間隙のこと、IC 配線では、エレクトロマイグレーションやストレスマイグレーションにより、配線材料が一部失われた箇所。断線不良や信頼性上問題となる。
マージン拡大	プロセス上の精度に対する許容範囲の拡大。マージンが拡大すると、プロセスが容易になる。
マスク	ウェーハ上に露光して微細構造を形成するために、光を通す部分と光を通さない部分にパターン

	化された覆い盤。
マスクバイアス(設計)	マスクと実際のパターンとの間の寸法変位を見込んで、あらかじめマスクに組み込む寸法変動量。
モバイル化	携帯電話、ポータブル PC 等、電子機器の小型化により移動運用が可能になること。
ユビキタス化	いつでも何処でも誰でも、コンピューターや通信機器にアクセスできるようにすること。(空港や駅などのホットスポットでコンピューターを無線にて利用できる。)
リングオシレータ	インバータを奇数段リング状に接続した発振回路で、構成素子の特性や負荷の特性に応じて発振周波数が変化する。
レジスト	露光、現像して回路パターンを転写するために用いるフォトレジスト(感光性樹脂)のこと。
レジスト剥離剤	エッチングによってウェーハに回路パターンが転写された後、レジストを除去するために用いる薬液のこと。
レジストポイズニング	主に下地膜中から来るアルカリ性物質(アミン系等)によりレジストの現像不良が起こり、適正なパターンニングができなくなること。
ワイヤーボンド	チップとパッケージのパッドを金線等で接続すること。
ワイヤシェア	ボンディングワイヤの剥離。
ワイヤプル強度	ボンディングされたワイヤ(金線等)の下に適当なフックを入れ、下から上へ垂直にワイヤを引き上げて破断した時の強度。

I. 事業の位置付け・必要性について

1. NEDO 関与の必要性・制度への適合性

1. 1 NEDO が関与することの意義

我が国の材料産業は、国際的に高い技術力と競争力を有し、我が国の経済社会の発展を支えているが、川下産業との取引のオープン化に伴いユーザとの連携の希薄化が進行する一方で、汎用的な材料はアジア諸国の技術向上によるキャッチアップが進行している。そのため我が国において産学官を含む連携の強化（川上川下の垂直連携、材料創成と加工の水平連携など）を図ることで、次世代の部材分野での我が国のイノベーションを促進することが喫緊の課題となっている。

本プロジェクトは、情報通信機器の高機能化や低消費電力化等の要求を満たす半導体集積回路を実現するため、新たな機能性材料開発に貢献する評価基盤技術を構築することである。

図 1. 1-1 に示すように、材料評価基盤の構築という難易度の高い研究開発目標を設定したこと、実際に活用できる材料評価基盤とするためには本来競合である複数の材料メーカーの参画が必要であること、実施後短期間で収益を望める事業とは言えないことから、民間企業単独での実施が困難であり、NEDO のリーダーシップによる事業推進が妥当である。

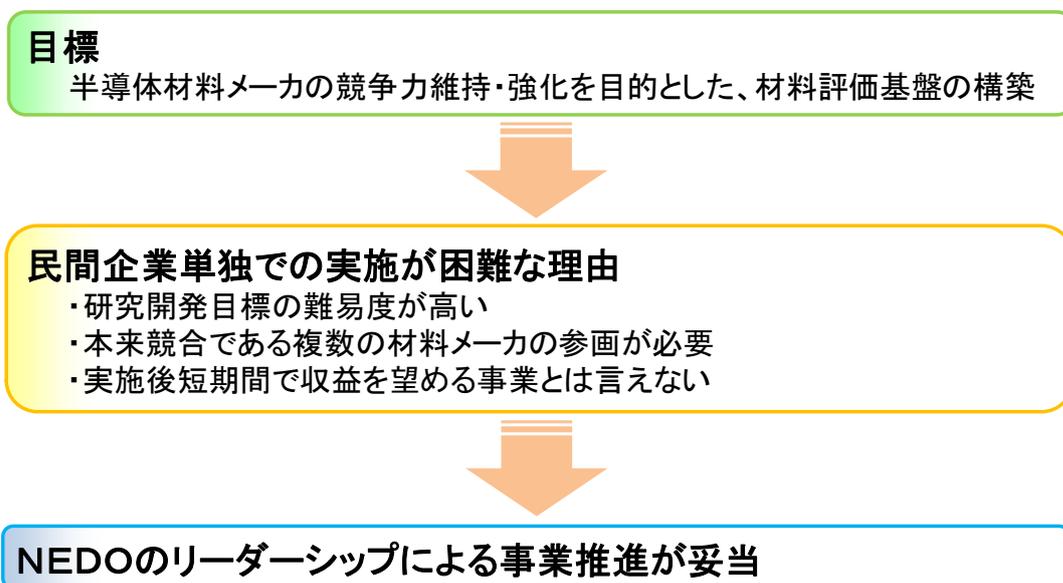


図 1. 1-1 NEDO が関与することの意義

NEDO は、独自の材料開発技術を持った複数の産学の科学的知見を結集し、半導体集積回路のフロントエンドから配線工程、パッケージ組立工程までの一貫したプロセス検証を行うことによって信頼性のある統合部材を提供できる評価基盤を確立し、これを産業技術へ繋げていくとともに、社会の共通基盤として情報の整備、提供を行うとの事業方針に基づき、本プロジェクトを実施するものである。

1. 2 実施の効果（費用対効果）

1. 2. 1 費用

平成 21 年度から平成 23 年度の 3 年間で、総事業費は 280 百万円である。助成比率は 1 / 2 であり、NEDO 助成費としては 3 年間で 140 百万円である。図 1. 2 - 1 に年度毎の内訳を示す。

平成21～23年度の3年間で			
総事業費:		280百万円	
内NEDO助成費:		140百万円（助成比率1/2）	

	平成21年度	平成22年度	平成23年度
総事業費 (内NEDO助成費)	120百万円 (60百万円)	80百万円 (40百万円)	80百万円 (40百万円)

参考データ

	CASMAT I	CASMAT II	CASMAT III
自主事業費	-	30億円	30億円
NEDO事業 総事業費 (内NEDO助成費)	110億円 (50億円)	15億円 (7.5億円)	2.8億円 (1.4億円)

図 1. 2 - 1 事業費

1. 2. 2 効果

従来、材料メーカーは自社内で線膨張係数、収縮率、弾性率、粘度、感光性、誘電率などといった材料個別の特性評価を実施し、金属汚染、応力、電荷蓄積、断線、材料ダメージなどといったプロセス適用性の評価はデバイスメーカーに材料を供試して評価を実施してもらってきた。しかしながら、デバイスメーカー評価では、評価可能なサンプル数が限られる、評価期間が長い、また評価結果が OK / NG であり材料へのフィードバックをかけにくいといった状況があり、結果として総開発期間は長くなっていた。本プロジェクト成果である材料評価基盤を活用し、材料メーカーが自らプロセス適用性を評価することにより、開発材料設計に反映可能な評価結果のタイムリーな取得、材料の問題点や課題を明確化、デバイスメーカー工程を考慮したプロセスフロー構築が可能となった。迅速な開発材料へのフィードバックによる開発の効率化とともに、デバイスメーカー供試時には、材料と同時に統合的ソリューション提案も可能となった。

つまり、本プロジェクトの成果である、評価ツールとして顧客デバイス類似構造をもつ材料評価専用 TEG、材料 / 評価レベルに応じた材料評価基準書からなる材料評価基盤の活用により、材料の総開発期間短縮が可能となり、組合員企業である材料メーカーの競争力維持・強化に繋がった。(図 1. 2 - 2)



図 1. 2 - 2 実施の効果

本プロジェクトの評価研究対象である低誘電率層間絶縁膜関連材料、Cu 配線用 CMP 関連材料、バッファコート及び再配線用絶縁膜材料、アセンブリ用ウェーハ加工関連材料、バックエンドプロセス関連材料は、次世代半導体技術革新の中核部分を構成する材料であり、組合員企業の主力製品である。

表 1. 2 - 1 に市場規模を示す。半導体バックエンドプロセス工程材料は、平成 20 年度で約 4000 億円の市場規模を有しており、表に示すような成長が期待されている。このうち、本プロジェクト評価研究対象材料の市場規模は、平成 27 年で年間約 700 億円を見込んでいる。(図 1. 2 - 3)

表 1. 2 - 1 市場規模 (単位 億円/年)

	H20 年	助成事業終了後				
		H24 年度	H25 年度	H26 年度	H27 年度	H28 年度
半導体ウェーハバックエンド工程材料 市場規模	4,043	5,254	5,621	6,015	6,436	6,886
内 本プロジェクト評価研究対象材料 市場規模	301	513	578	639	722	795
組合員企業市場シェア	72%	69%	72%	77%	79%	82%

* 数値は電子ジャーナル社等の統計を参考に独自に推定したものである。

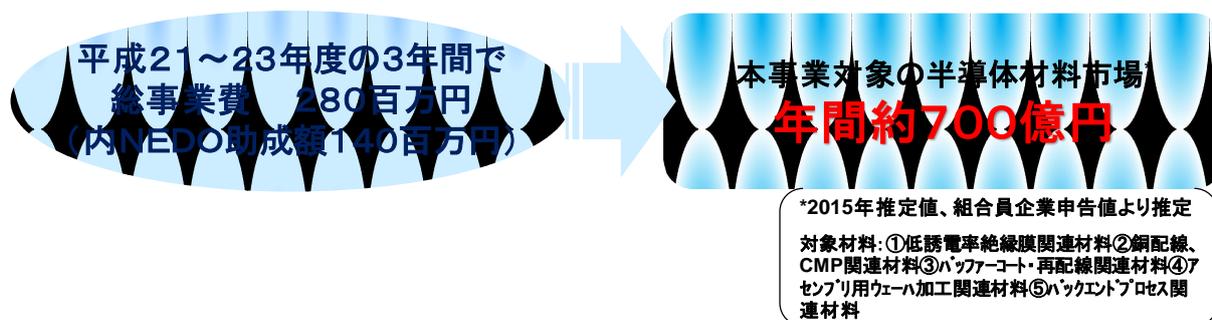


図 1. 2 - 3 費用対効果

さらに具体的な効果としては下記のことが挙げられる。

1) 自社製品の實力把握

原則として全ての材料評価研究の成果を組合員企業全体で共有する形態での実施により、組合員企業の個別材料についての優勝劣敗が明らかとなり、自社製品の正確な實力把握が可能となった。

2) 材料評価の高度化

材料メーカー自身が半導体プロセスをベースとする評価結果を取得することができるので、技術のすり合わせが頻繁に行われる国内半導体デバイスメーカー、半導体製造装置メーカー等に対して、その評価データや評価に基づくソリューションと同時に材料を提供することが可能になった。

3) 開発戦略の明確化・再構築

1)の自社製品の實力把握ができることから、研究開発の方向を明確に判断することができ、各組合員企業での事業の選択と集中に繋げることができた。このことは、研究開発投資の再配分等といった側面でも、組合員企業各社における研究開発投資効率の向上が期待できる。例としては、材料メーカー間で同じような研究開発に無益な投資をすることを防ぐことも可能になった。

4) 顧客信頼度の向上

材料評価基盤を活用した評価結果を顧客に提示することで、対等のディスカッションが可能となったこと、またクレーム・トラブルに対し素早い対応ができるようになったことから、顧客との信頼関係が向上した。

5) 研究者の知識向上、技術習得

本プロジェクトで研究者は組合に出向し、研究員として従事し、FEOL素子を搭載したウェーハを用いて評価を行ってきた。デバイスに関しての構造の観察や電気特性の測定を実際に行うことで、デバイスについての知識を高めることができた。このようなことは、材料メーカーではほとんど経験できないことであり、顧客であるデバイスメーカーの技術者との議論の中での情報収集に大いに役立った。

2. 事業の背景・目的・位置付け

2. 1 事業の背景

2. 1. 1 市場動向



半導体材料市場は、半導体市場の売上動向に沿って、今後も成長の見込み

半導体材料産業は、半導体産業の高い要求に対応するのみならず、より高機能材料を迅速に提供することが期待されている

図 2. 1 - 1 市場動向

半導体産業は材料・部品、製造装置など半導体関連産業を含めた大きな産業であるとともに、情報通信機器（エレクトロニクス）製品の性能、機能等を決定付ける重要部品であり、半導体デバイスに対する高機能化、低消費電力化の要求はますます強くなってきている。半導体市場は成長を続けており、今後も緩やかな成長を続けると予想されている。半導体材料市場も、半導体市場と連動し、同じく成長が見込まれている。(図 2. 1 - 1)

これまで半導体デバイスは、微細・高集積化することにより、着実に高機能・高性能化を実現してきたが、次世代の半導体デバイスにおけるこの課題に対する解として、配線形成工程における材料革新を含めた技術ブレイクスルーに極めて大きな期待が持たれていることは、経済産業省／NEDO 策定の技術戦略マップ、ITRS ロードマップ等に示されているとおり、世界的なコンセンサスである。すなわち半導体材料産業は、半導体デバイス産業の国際競争力の鍵を握る分野と言っても過言ではない。

2. 1. 2 半導体分野の市場の相関

図 2. 1 - 2 は、半導体産業の市場規模の相関関係を示したものである。半導体材料産業は 2011 年で 3.8 兆円と決して大きくはないが、半導体産業を支えているのは前述の通りである。更に半導体産業はその川下の各種の産業を支えており、AV 機器、通信機器、コンピュータ及び情報端末の 3 分野の半導体を用いた機器産業においては規模の大きな産業となっている（経済産業省、ものづくり白書 2011 より）。

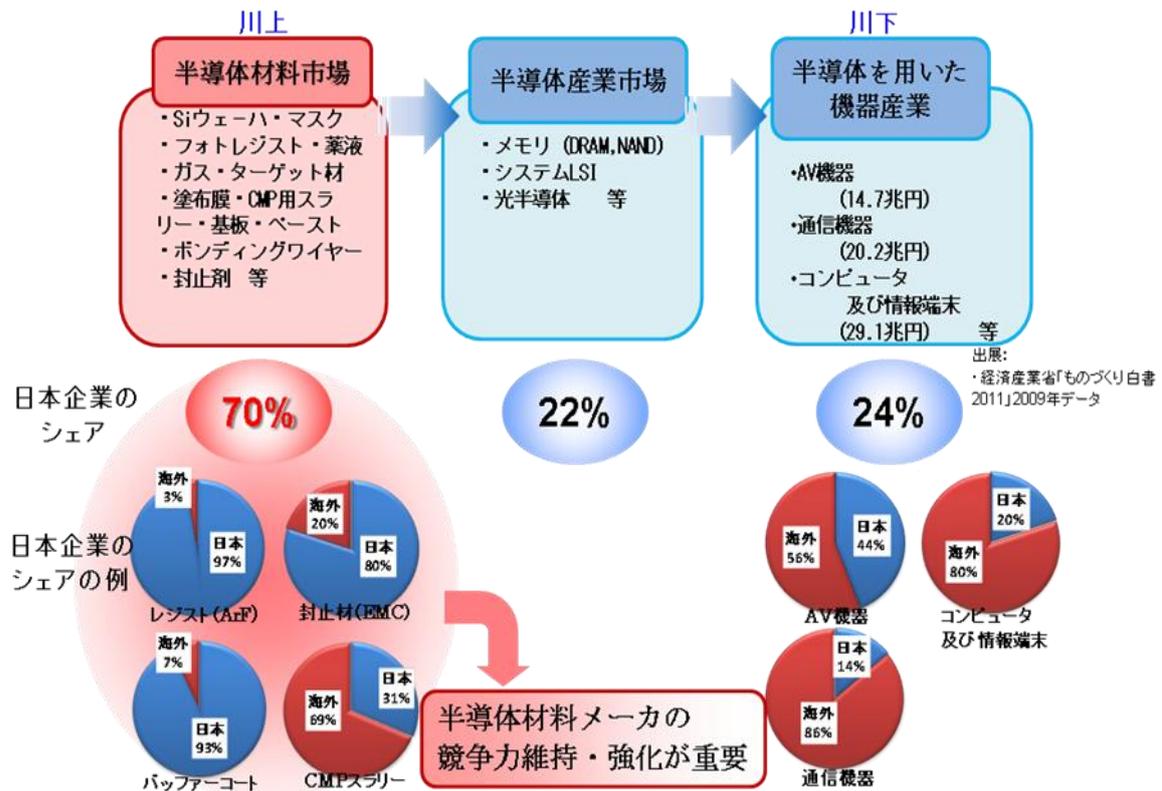


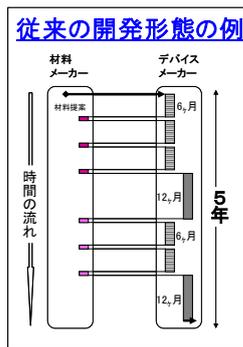
図 2. 1 - 2 半導体分野の市場の相関

我が国の半導体材料産業は、化学分野において蓄積された研究開発能力をベースとしながら半導体デバイス産業の重要なユーザの高い要求に対応し、素材を幅広く提供してきたことにより個別材料の性能向上、技術革新を進めてきた結果、全体としては世界市場の70%シェアを有するまでに成長してきた。図 2. 1 - 2 には、各産業での日本企業の世界シェアも示した。半導体材料産業は高い優位性を示している。

2. 2 事業の目的及び意義

2. 2. 1 評価基盤の必要性

我が国の半導体材料産業は高い世界シェアを維持してはいるが、台湾、韓国、中国といったアジア諸国も成長著しく、国際競争は熾烈をきわめている。次世代半導体デバイスの鍵を握る配線形成工程における材料開発において、半導体材料は多岐にわたっており、技術革新のスピード、材料間の化学的・物理的相互作用の多様性等の側面から見ると、これまで材料メーカーが行ってきたように個別に材料性能向上をトライアンドエラーにより実行し、デバイスメーカーに提供していくという従来手法は十分とはいえない。またデバイスメーカーでの評価は、デバイスの性能結果によりOK/NGの評価がなされるもので、材料メーカーが材料開発へのフィードバックをかけるには情報が少なすぎるという問題点があった。その結果、材料の総開発期間が長くなる傾向にあった。(図 2. 2 - 1)

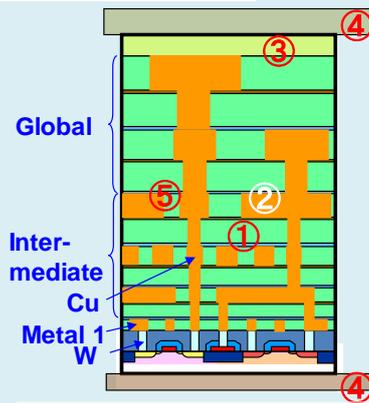


- ▶ 半導体材料は多岐にわたる
 - ▶ これまで材料メーカーが個別に開発を実施し、デバイスメーカーに提供
 - ▶ デバイスメーカー評価はOK/NGの評価結果であり、材料へのフィードバックをかけにくい
- ⇒ 総開発期間が長い

半導体材料メーカーの競争力維持・強化のためには？

**高機能材料の
開発期間短縮が重要**

LSIの断面模式図



本事業での評価材料

- ① 低誘電率絶縁膜関連材料
Low-k材料(有機, 無機)、洗浄液など
- ② 銅配線、CMP関連材料
CMPスラリー、CMPパッドなど
- ③ ハッファコート・再配線関連材料
ハッファコート膜、現像液など
- ④ アセンブリ用ウェハ加工関連材料
バックグラインド、ダイシングテープなど
- ⑤ バックエンドプロセス関連材料
反射防止膜、ギャップフィルなど

図 2. 2-1 半導体材料と従来の開発形態

半導体材料メーカーの競争力維持・強化には、ユーザであるデバイスメーカーが望むタイミング、スピードで、必要特性を兼ね備えた高機能材料を提供することが必要であり、つまりは高機能材料の開発期間短縮が非常に重要であることに他ならない。

その解決のためには、半導体配線形成工程の製造条件を再現できる設備や高精度測定機器を使用して材料評価技術の研究開発を行い、材料評価基盤を構築することが重要である。

材料評価基盤を活用し、従来デバイスメーカーで行ったきたプロセス適合性の評価を材料メーカーが自ら行うことにより、開発材料設計に反映可能な評価結果を取得すること、材料の問題点や課題を明確に認識すること、またユーザ工程を考慮したプロセスフローを構築することが可能になり、つまりは材料開発の効率化と、デバイスメーカーへの供試時に行う材料と同時に統合的ソリューション提案が可能となる。図 2. 2-2 には開発期間短縮の例を示した。

材料評価基盤を活用し、材料メーカーが自ら評価することにより
 ✓開発材料設計に反映可能な評価結果の取得
 ✓材料の問題点や課題の明確化
 ✓ユーザ工程を考慮したプロセスフロー構築 が可能に。



＜開発期間短縮の例＞

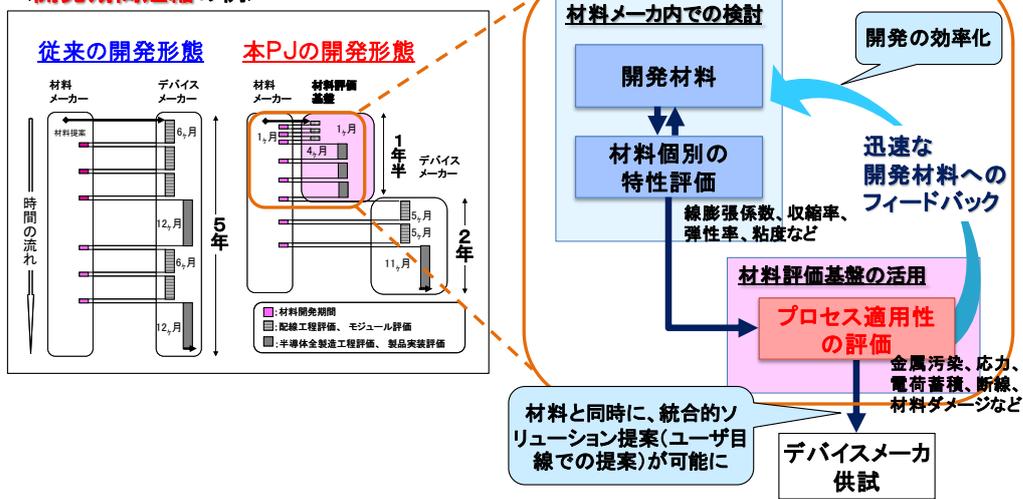


図 2. 2 - 2 材料評価基盤の必要性

2. 2. 2 事業の目的・意義

本プロジェクトでは、高機能材料の開発期間短縮による半導体材料メーカーの競争力維持・強化を目的として、半導体デバイス性能を支配する接合素子（p-n 接合、SiO₂-Si 接合などを指す）の信頼性に対して、材料や製造工程の影響を的確にかつ迅速に把握できる高度材料評価基盤を確立することを目標とした。（図 2. 2 - 3）

本事業の目標

半導体デバイス性能に直結する接合素子(p-n接合、SiO₂-Si接合)の性能・信頼性まで含め、半導体製造プロセス全体を俯瞰して半導体材料が開発できる材料評価基盤を構築する

事業期間： 平成21年度～平成23年度
 助成額： 1.4億円(1/2助成)
 助成先： 次世代半導体材料技術研究組合(CASMAT)

目的

高機能材料の開発期間短縮による半導体材料メーカーの競争力維持・強化

図 2. 2 - 3 本プロジェクトの目標

NEDO は、本プロジェクトにおいて独自の材料開発技術をもった複数の企業の知見を結集し、半導体集積回路のフロントエンドから配線工程、パッケージ組立工程までの一貫したプロセス検証を行うことによって信頼性のある結合部材を提供できる評価基盤を確立し、これを産業技術へつなげていくとともに、社会の共通基盤として情報の整備、提供を行うもので、非常に重要な事業である。

2. 3 事業の位置付け

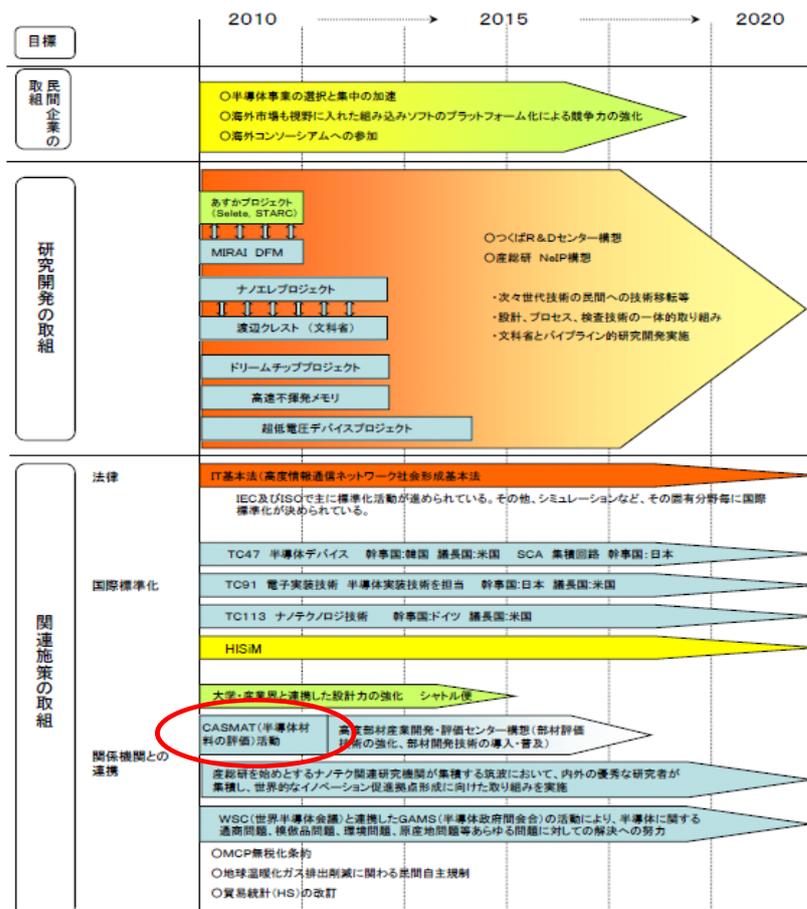


図2. 3-1 技術戦略マップ 2010 における半導体分野のシナリ

図2. 3-1は技術戦略マップ 2010 における半導体分野のシナリオである。フロントエンドと呼ばれる素子形成部分は、あすかプロジェクト、次世代半導体材料・プロセス基盤技術の開発 (MIRAI) プロジェクト、次世代プロセスフレンドリー設計技術開発、ドリームチップ開発プロジェクト、高速不揮発メモリ機能技術開発、低炭素社会を実現する超低電圧デバイスプロジェクトをはじめとする各種の研究開発プロジェクトにより半導体分野を援助する。そのバックアップとして次世代半導体材料技術研究組合 (CASMAT) の半導体材料の評価の取り組みが位置付けられており、半導体集積回路のフロントエンドから配線工程、パッケージ組立工程までの一貫したプロセス検証を行うことによって信頼性のある部材を提供できる評価基盤を確立することは、我が国の半導体産業にとっても重要なことである。

この技術戦略マップに基づいて、いくつかの「イノベーションプログラム」が策定

されており（図 2. 3 - 2）、「IT」、「ナノテク・部材」、「ロボット・新機械」、「エネルギー」、「環境安心」、「健康安心」、「航空機・宇宙産業」の 7 項目に分けられる。本プロジェクトは、情報通信機器の高機能化や低消費電力化等の要求を満たす半導体集積回路を実現するため、新たな機能性材料開発に貢献する評価基盤技術を開発し、さらに開発した機能性材料を半導体及び半導体集積回路に適用できる統合的なソリューション技術を開発することを目的としており、「IT」、「ナノテク・部材」、「エネルギー」の 3 プログラムに該当する。

イノベーションプログラムでの位置付け

1. 「イノベーションプログラム」の中で体系的推進 (Inside Management & Accountability)
- 経済産業省の全ての研究開発プロジェクトは、政策目標毎に7つの「イノベーションプログラム」の下で体系的に推進。
 - 各プログラムの中で、政策目標に向けたプロジェクトの位置付けと目標の明確化、市場化に必要な関連施策（規制改革、標準化等）との一体化を図り、イノベーション実現に向け各プロジェクトを効果的に推進。
2. 「技術戦略マップ」に基づく戦略的企画立案 (Outside Communication & Networking)
- 先端産業技術動向を把握し、国が取り組むべき技術課題とイノベーションの道筋を明確化するため、産学官で協働するロードマッピング手法を導入（『技術戦略マップ 2005/2006/2007/2008』）。
 - 研究開発プロジェクトの選定に当たっては、イノベーションプログラムにおける政策目標を基に技術戦略マップに位置付けられた重要技術課題を抽出し戦略的に企画立案。



図 2. 3 - 2 イノベーションプログラムでの位置付け

IT イノベーションプログラムでは、高度情報通信社会の実現のために、社会基盤を支える IT 技術を活かし、イノベーションを創出するとともに、IT 産業再編を睨み、選択と集中を図りつつ、持続的に競争力を強化することを目的としている。このために必要な IT コア技術の革新に、本プロジェクトは属している。最終製品に占める半導体の価格割合はこの 10 年で 3 割以上増加しており、今後の製品付加価値を高めるコアデバイスの開発を行う IT コア技術の革新は重要である。（図 2. 3 - 3）

エネルギーイノベーションプログラムでは、エネルギー資源の約 8 割を海外に依存する我が国にとって、これを効率的に利用すること、即ち「省エネ」を図ることはエネルギー政策上の重要課題であり、次世代省エネデバイス技術を開発することで、エネルギー消費効率を 2030 年までに 30%以上改善することを目指す。(図 2. 3-5)

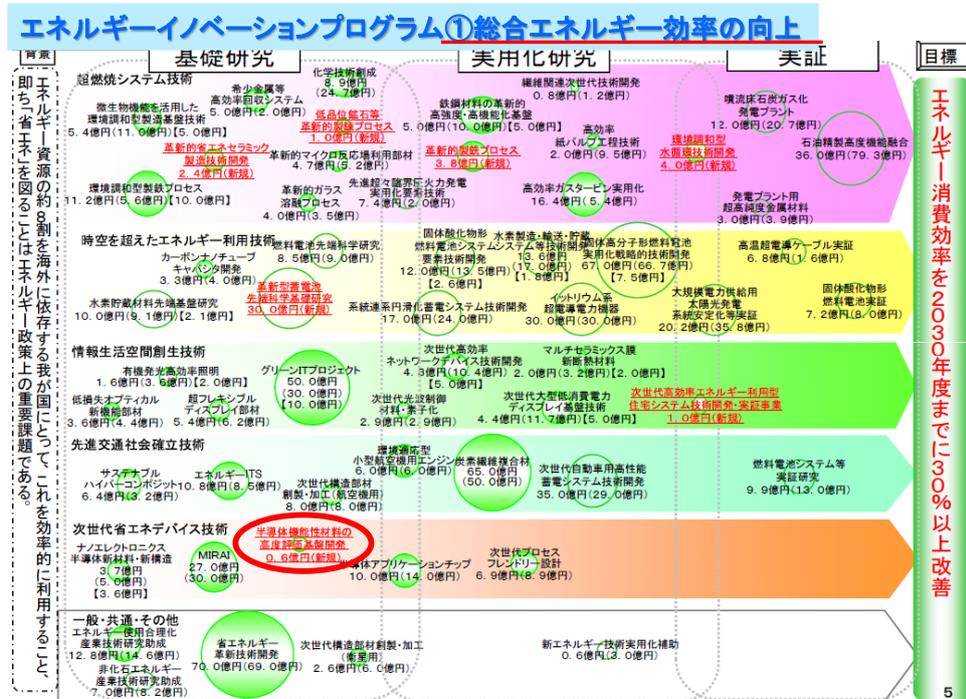


図 2. 3-5 エネルギーイノベーションプログラムでの位置付け

本プロジェクトは、「IT」、「ナノテク・部材」、「エネルギー」の3プログラムに位置付けられており、様々な観点からみても重要なプロジェクトであるといえる。

II. 研究開発マネジメントについて

1. 事業の目標

1. 1 関連する過去プロジェクト

NEDO は、平成 15 年 3 月に設立された、世界に先駆け開発材料評価専用ラインを有する、半導体材料メーカー結集体である次世代半導体材料技術研究組合（以下、CASMAT という。 Consortium for Advanced Semiconductor Materials and Related Technologies の略称）を助成先として、過去に 2 つのプロジェクトを実施した。

平成 15～17 年度には『次世代半導体ナノ材料高度評価プロジェクト』を実施した。このプロジェクトでは、300 mm ウェーハ・65 nm ノード対応のプロセス装置を導入して配線工程（BEOL）一貫試作ライン及び評価・分析装置等を整備し、ウェーハレベルでの材料評価を可能とし、BEOL における材料評価方法の研究、材料評価用 TEG（Test Element Group）の開発、統合ソリューションの研究を実施した。また、平成 18～20 年度には『次世代高度部材開発評価基盤の開発』を実施した。このプロジェクトでは、組立工程（パッケージ）に必要なプロセス装置、信頼性試験装置等を整備し、BEOL からパッケージまでの一貫評価を可能とし、45 nm ノードにも適用できる材料評価用 TEG の開発、低圧 CMP、低温キュアなどの新プロセスの研究、パッケージにおける材料評価方法等の研究を実施してきた。

この 2 つのプロジェクトの事後評価結果を図 1-1 に示す。評価は事業の位置付け・必要性、研究開発マネジメント、研究開発成果、実用化・事業化の見通しの 4 項目について、3, 2, 1, 0 点の 4 段階評価とし、評価委員の評点の平均値を算出して行う。各項目の評点が 1 点以上、かつ、研究開発成果の評点と実用化・事業化の見通しの評点の合計点が 3 点以上を合格、4 点以上を優良とするものである。

次世代半導体材料技術研究組合（CASMAT）で 2 つの助成事業を実施

次世代半導体ナノ材料高度評価PJ （CASMAT I）

2.0+1.8=3.8で「合格」



3、2、1、0点の4段階評価で、平均値を算出。研究開発成果+実用化・事業化の見通し：3点以上「合格」、4点以上「優良」評価

評価の抜粋
いち早い研究開発と材料評価の共通基盤構築は産業的にきわめて有効。事業規模の期待値に対して投資額が過大との印象。今後の大きな波及効果に期待。
今後に対する提言の抜粋
構築した評価環境を有効利用し、半導体デバイスの新しい技術進展に対応した評価環境・評価技術の拡張的展開を望む。

次世代高度部材開発評価基盤 （CASMAT II）

2.5+2.3=4.8で「優良」



評価の抜粋
個別のデバイスメーカーが実施してきた部材評価が、材料メーカーでの材料開発段階で可能となったことは半導体産業全体の開発効率化に大きく寄与。CASMATは実質的にコンサルタント機能を果たしている。
今後に対する提言の抜粋
微細化のみの事業前提としない。装置メーカーの参画も必要。CASMATを継続的に維持活用できるような「常設機関化」を考えるべき。

図 1-1 過去のプロジェクトとその事後評価結果

『次世代半導体ナノ材料高度評価プロジェクト』の評価は「合格」であった。いち早い研究開発と材料評価の共通基盤構築は産業的にきわめて有効であったとしながらも、事業規模の期待値に対して投資額が過大との印象があり、今後の大きな波及効果に期待するとの評価を得た。また、構築した評価環境を有効利用し、半導体デバイスの新しい技術進展に対応した評価環境・評価技術の拡張的展開を望むとの今後の提言を得た。

『次世代高度部材開発評価基盤の開発』の評価は「優良」であった。個別のデバイスメーカーが実施してきた部材評価が、材料メーカーでの材料開発段階で可能となったことは半導体産業全体の開発効率化に大きく寄与し、組合としての CASMAT は実質的にコンサルタント機能を果たしているとされた。また、微細化のみの事業前提としないこと、CASMAT を継続的に維持活用できるような「常設機関化」を考えるべきとの今後の提言を得た。

NEDO はこれらの評価結果を踏まえ、図 1-2 に示すように、本プロジェクトでは過去のプロジェクト成果を活用し、更なる評価領域の拡大による、材料評価基盤としての拡張を目指すこととした。

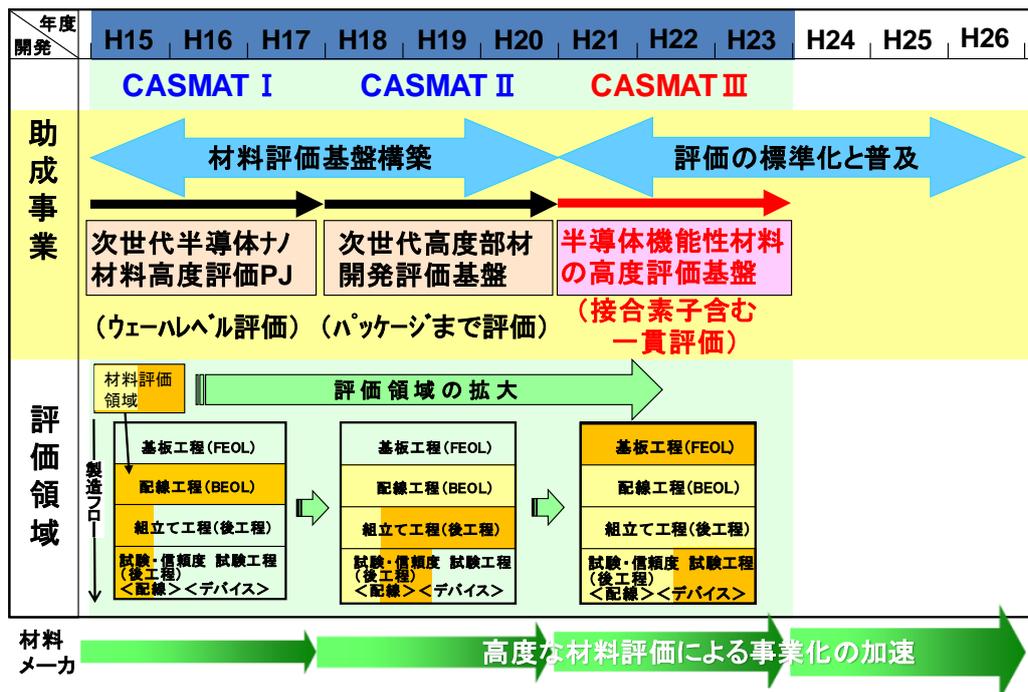


図 1-2 本プロジェクトと過去プロジェクトの関係

1. 2 事業の目標

本プロジェクトでは、平成 21~23 年度の 3 年間で、半導体デバイス性能に直結する接合素子 (p-n 接合、SiO₂-Si 接合) の性能・信頼性まで含め、半導体製造プロセス全体を俯瞰して半導体材料が開発できる材料評価基盤を構築する。

材料評価基盤としては、具体的にはツールとしての TEG と材料評価基準書とした。

図 1 - 3 には、各研究開発項目との関係を示した。

本事業の目標

半導体デバイス性能に直結する接合素子(p-n接合、SiO₂-Si接合)の性能・信頼性まで含め、半導体製造プロセス全体を俯瞰して半導体材料が開発できる材料評価基盤を構築する

材料評価基盤と研究開発項目との関連

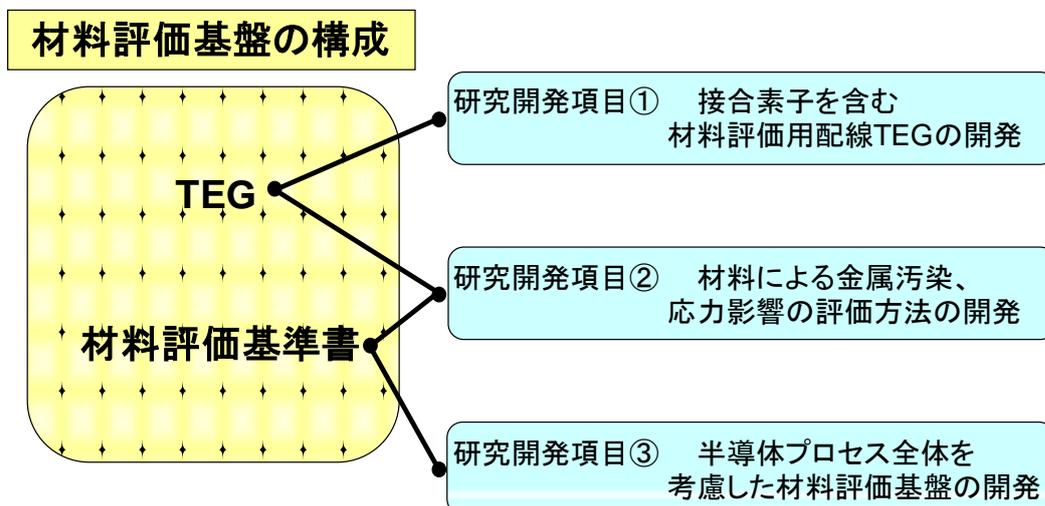


図 1 - 3 目標と材料評価基盤の構成

各研究開発項目は以下の通りである。

研究開発項目① 接合素子を含む材料評価用配線 TEG の開発

材料とプロセス条件が接合素子の信頼性に与える影響を定量的に抽出できるように、接合素子を有する TEG マスクを設計する。接合素子を備えたウェーハ上に基準材料を用いて配線 TEG を形成して形状や電気特性を検証する。検証結果を解析して TEG マスクを改良し、接合素子の信頼性への影響を評価できる材料評価専用 TEG を開発する。

研究開発項目② 材料による金属汚染、応力影響の評価方法の開発

研究開発項目①で得られた TEG マスクを用いて、300 mm シリコンウェーハ上に接合素子を作成し、さらに配線形成を行い、製造工程に用いる半導体材料あるいは製造プロセスによる接合素子への影響（金属汚染、応力、電荷蓄積など）が把握できる電気特性の測定方法や解析方法、また、接合素子の信頼性の試験方法や測定結果の解析方法を開発する。

研究開発項目③ 半導体プロセス全体を考慮した材料評価基盤の開発

対象とするパッケージをワイヤーボンド型とフリップチップ型とし、接合素子と Cu/low-k 配線を有するウェーハのパッケージ組立工程の基準プロセスと評価方法を確立する。さらに、熱、応力、水分などが電気特性や材料に与える影響を把握し、信頼性評価技術を確立する。得られた知見を迅速に各工程にフィードバックし、フロントエンドからバックエンド、パッケージまでの半導体プロセスにおいて次世代半導体以降にも対応する材料を一貫して評価できる評価基盤を確立する。

2. 事業の計画内容

2. 1 事業の計画内容及び全体スケジュールと予算

2. 1. 1 研究開発の内容

3つの研究開発項目に対する必要性和具体的内容を示す。

研究開発項目① 接合素子を含む材料評価用配線 TEG の開発

[最終目標]

材料とプロセス条件が接合素子の信頼性に与える影響を定量的に抽出できるように、接合素子を有する TEG マスクを設計する。接合素子を備えたウェーハ上に基準材料を用いて配線 TEG を形成して形状や電気特性を検証する。検証結果を解析して TEG マスクを改良し、接合素子の信頼性への影響を評価できる材料評価専用 TEG を開発する。

[必要性]

半導体集積回路の消費電力低減には配線の低抵抗化、低寄生容量化が重要である。しかし、急速に微細化・高集積化が進展する半導体デバイスの開発においては、従来の手法では限界に達しつつあり、ナノレベルで制御された高度な機能を有する材料の導入が望まれている。ところが、新材料を半導体製造工程に導入する際の材料起因の課題や問題点、半導体の信頼性などに及ぼす影響を的確迅速に予測できる評価技術が確立されていないことが、高機能性材料開発のネックになっている。これを解決するためには、材料開発支援ツールとして材料評価用の回路パターン (TEG) を開発し、それを用いて各プロセス条件に対応した材料適性の評価を進める事が不可欠である。

『次世代高度部材開発評価基盤の開発』では、45 nm ノード世代に対応して、配線素子を用いて配線工程から組立工程に至る要素技術および材料開発支援ツールの開発を行ってきた。その結果、配線からパッケージまでの一貫した材料評価基盤を構築し、材料開発効率の抜本的改善ならびに統合ソリューションの開発に貢献してきた。

しかし、新たな材料を短期間で半導体製造に実用化するためには、半導体製品の信頼性への影響が直接把握できる材料評価基盤が必要である。即ち半導体デバイス性能を支配する接合素子の信頼性に対して、材料や製造工程の影響を的確にかつ迅速に把握できる高度材料評価基盤を確立し、半導体材料の問題点や課題を明確にして材料開発をより一層高効率化しなければならない。さらに、製造工程全体を一貫して評価することにより、開発された新機能性材料とプロセス条件を最適化した統合ソリューションを提案し、半導体製造技術の開発効率をも向上していく必要がある。半導体デバイス性能に直結する接合素子の信頼性への影響を直接評価するためには、フロントエンドからパッケージまで評価できる TEG が必要である。

[研究開発の具体的内容]

半導体材料および製造プロセスが半導体集積回路の性能や信頼性に及ぼす影響を効果的に評価するため、接合素子を含んだ TEG を用いる。材料やプロセスに関する技術的知見をベースに、この TEG で評価すべき評価項目を詳細に決定する。評価項目に基づいて、接合素子の構造と、さらにその上に形成される配線構造およびパッケージ化のための再配線構造などを開発し、その構造を作成するための TEG マスクを開発する。このマスクを用いて、300 mm シリコンウェーハ上に接合素子を有する TEG を試作し、TEG の平面構造や断面構造の観察、電気特性の測定を行い、TEG マスクの検証

を行う。この検証に基づき、材料やプロセスの影響をさらに効果的に評価できるように TEG マスクを改良し、接合素子を含んだ材料評価用 TEG を開発する。

研究開発項目② 材料による金属汚染、応力影響の評価方法の開発

[達成目標]

研究開発項目①で得られた TEG マスクを用いて、300 mm シリコンウェーハ上に接合素子を作成し、さらに配線形成を行い、製造工程に用いる半導体材料あるいは製造プロセスによる接合素子への影響（金属汚染、応力、電荷蓄積など）が把握できる電気特性の測定方法や解析方法、また、接合素子の信頼性の試験方法や測定結果の解析方法を開発する。

[必要性]

配線工程に使用する材料による金属汚染・応力の影響は、リーク電流の増大・耐圧低下・界面準位増加及び界面電荷増加など接合素子の性能や信頼性に悪影響を及ぼす。この影響を効果的に評価するためには、配線に用いられた材料やプロセスが接合素子の特性にどのような相互影響を与えるかを把握できる評価方法を開発する必要がある。即ち、接合素子を含む TEG を用いて、接合素子上の配線でのゲート絶縁膜の耐圧やリーク電流特性を詳細に評価することによって、材料やプロセスによる重金属汚染、あるいは応力によるリーク電流の増大や接合耐圧の低下を把握する事が必要である。

[研究開発の具体的内容]

研究開発項目①の TEG マスクを用いて、300 mm シリコンウェーハ上に接合素子を作成し、さらに配線形成を行って、TEG の初期的な電気特性、信頼性を測定、解析する。

電気特性の測定、解析例としては、p-n 接合の逆方向電流を測定し、リーク電流値の変動およびその温度変化、接合耐圧の変動の解析などがある。これにより金属汚染や応力の影響を評価する。この評価を行えるように接合の不純物濃度を最適化する。また、SiO₂-Si 接合を用いた場合は、容量-電圧特性の測定、リーク電流などの電気特性の測定を行い、その解析により材料やプロセスの影響を評価する。さらには、高温放置、温度サイクル、高温高湿放置など各種の試験を行って接合の電気特性の変動を解析し、材料やプロセスの影響を評価する。ここでは、製造工程に用いる半導体材料あるいは製造プロセスによる金属汚染、応力、電荷蓄積などの接合素子への影響を把握できる電気特性の測定方法や解析方法、また、接合素子の信頼性の試験方法や測定結果の解析方法を開発する。

研究開発項目③ 半導体プロセス全体を考慮した材料評価基盤の開発

[達成目標]

対象とするパッケージをワイヤーボンド型とフリップチップ型とし、接合素子と Cu/low-k 配線を有するウェーハのパッケージ組立工程の基準プロセスと評価方法を確立する。さらに、熱、応力、水分などが電気特性や材料に与える影響を把握し、信頼性評価技術を確立する。得られた知見を迅速に各工程にフィードバックし、フロントエンドからバックエンド、パッケージまでの半導体プロセスにおいて次世代半導体以

降にも対応する材料を一貫して評価できる評価基盤を確立する。

[必要性]

新たな材料を短時間で半導体製造に実用化するためには、半導体製品の信頼性への影響を直接把握でき、さらに、製造工程全体を一貫して評価できる材料評価基盤が必要である。この評価基盤を活用することにより、新機能性材料の高効率開発とともに、半導体製造技術の開発効率をも向上させる事ができる。

[研究開発の具体的内容]

対象とするパッケージをワイヤーボンド型とフリップチップ型とし、300 mmウェーハを前提とした再配線工程、バックグラインド、ダイシング、ピックアップ、ボンディング、封止等の各工程において、接合素子とCu/low-k配線を有するウェーハ、チップにかかる外力等に着目し、電気特性変動、材料破壊、腐食等の評価を中心とする材料プロセス、材料-材料間の影響評価を実施し、評価方法の妥当性を検証しつつ、基準プロセスと評価方法を確立する。

さらに信頼性評価技術については、前述の対象パッケージを用いて、熱、応力、水分等が接合素子の電気特性や材料に与える影響に着目して吸湿リフロー、耐湿性試験、温度サイクル試験を行い、チップの接合素子の電気特性変動、配線層を含む各界面の剥離状況、配線層を含む材料の破壊、腐食等の評価を中心とする基準プロセスと評価方法の確立を行う。最終的には、組立プロセス、パッケージ信頼性評価の各段階で得た知見を迅速に接合素子工程や配線工程、組立工程の評価段階にフィードバックし、フロントエンドからバックエンド、パッケージまでの半導体プロセスにおいて次世代半導体以降にも対応する材料を一貫して評価できる評価基盤を確立する。

2. 1. 2 全体スケジュール

全体のスケジュールについて、[図 2-1](#) に示す。

研究課題 \ 年度	平成21年度(2009)	平成22年度(2010)	平成23年度(2011)
①接合素子を含む材料 評価用TEGの開発	TEGマスク設計	マスク検証と修正	TEGの検証
②汚染や応力の高感度 評価方法の開発	接合素子の 評価技術調査	接合素子を用いて汚染や応力の高感度な 材料の評価基盤を確立	
③半導体プロセス全体を 考慮した材料評価 基盤の開発	接合素子へのBEOL 材料影響の調査	半導体プロセス全体を考慮して材料影響を 把握できる評価基盤の確立	

組合は助成事業のほか、自主事業として材料評価基盤の高度化を実施しており得られた知見は助成事業にも反映されている。

図 2-1 全体スケジュール

2. 1. 3 予算

研究開発費を図 2-2 に示す。本プロジェクトは平成 21～23 年度の 3 年間で総事業費が 280 百万円、助成比率が 1/2 の助成事業であるため、うち NEDO 助成費は 140 百万円である。年度毎の予算は図 2-2 の通り。

平成21～23年度の3年間で			
総事業費:	280百万円		
内NEDO助成費:	140百万円 (助成比率1/2)		
	平成21年度	平成22年度	平成23年度
総事業費 (内NEDO助成費)	120百万円 (60百万円)	80百万円 (40百万円)	80百万円 (40百万円)

参考データ

	CASMAT I	CASMAT II	CASMAT III
自主事業費	-	30億円	30億円
NEDO事業 総事業費 (内NEDO助成費)	110億円 (50億円)	15億円 (7.5億円)	2.8億円 (1.4億円)

図 2-2 予算

2. 2 研究開発の実施体制

本助成事業は、NEDO が公募によって選定した次世代半導体材料技術研究組合 (CASMAT) により、平成 21 年度から平成 23 年度の 3 年間にわたり実施されたものであり、CASMAT は、下記の国内有力材料メーカー 7 社を組合員とする研究組合である。

組合員企業：JSR 株式会社
住友ベークライト株式会社
東レ株式会社
日産化学工業株式会社
日立化成工業株式会社
三菱化学株式会社
昭和電工株式会社 (平成 22 年 3 月末まで)

NEDO は本助成事業にプロジェクトリーダーを設けず、主任研究員として川本佳史氏をおいた。川本氏はデバイスメーカー出身の半導体プロセスに精通した技術者であり、また組合員企業出身でないことから、中立な立場での研究指導が可能となった。(図 2-3)

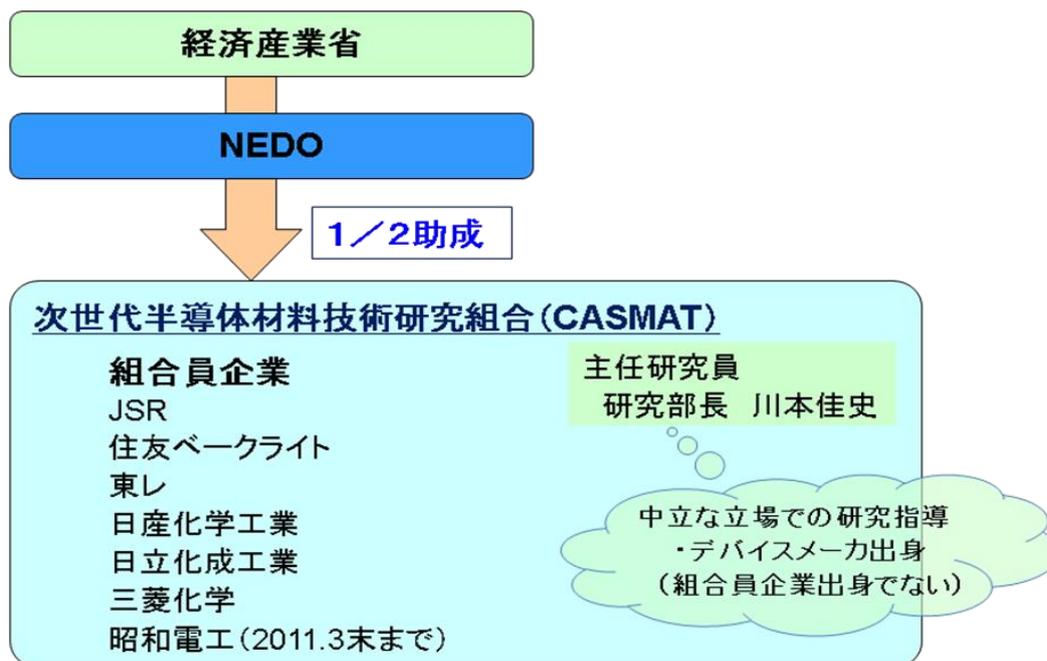


図 2 - 3 実施体制

2. 3 研究開発の運営管理

2. 3. 1 CASMATの運営スキーム

本プロジェクトでは各組合員企業に共通する次世代半導体多層配線工程のインフラを整備し、材料評価方法及び統合的部材開発支援ツール (TEG) を開発し、各組合員企業の材料開発に活用した。その評価結果やデータは全組合員に原則として公開され、組合員自身がそれぞれの実力を早く正確に知る事により、各組合員企業における開発戦略を明確にすることができた。これは結果として、材料に対する研究開発の効率化及び選択と集中に繋げることを目指した。

しかしながら、本プロジェクトを実施した CASMAT には、競合関係にある国内の有力半導体材料メーカー 7 社が参加し、組合員各社の所有する材料に関する産業財産権及び事業戦略は組合員各社に帰属することを原則としているため、本プロジェクトの運営を共通プログラムと特定プログラムの 2 つに分けることで、組合員各社の利害を調整した。

共通プログラムは、評価基盤確立のために特定の組合員から材料が提供されるが、最終的に一部の情報が全組合員に公開されるものである。したがって、共通プログラムの実施に当たっては、材料を提供する組合員の機密を遵守することが極めて重要である。材料の提出、評価について組合員側と十分な打合せを行って実験計画を策定し、初期評価については組合員から一時的に派遣される研究者 (協定研究員と呼んでいる) と共同で実施することによって、実験の効率向上と問題点の早期把握に努めた。実験データをほぼそのままドキュメント化したものは、秘密情報として組合内で管理し、実験データを評価、解析した結果としてドキュメント化したものは、公開情報として全組合員に発信した。評価対象材料名はコード番号で管理し、商品名や提供組合員名は公表していない。従って組合員は、評価結果のうち、自社材料の他社材料に対する

位置付けを知ることが出来るが、他社材料についての商品名や提供組合員名を知ることが出来ない。組合員自身が評価内容を検討することで、材料の開発指針を立案すると同時に、将来の選択と集中を促すのが目的である。

一方、特定プログラムは、材料の早期実用化を促進するための共同研究プログラムであり、特定の組合員とその顧客であるデバイスメーカあるいは半導体製造装置メーカが一体になった実用化チームを形成し、提案材料の評価と組合員の改良材料の評価結果をもとに、組合との共同研究開発契約を締結して組合の製造装置、評価機器を利用して開発材料の実用化研究を行った。

この実用化研究の結果は、特定の組合員を含む実用化チームのみが所有し、他の組合員に対しては全く公表されない。

以上述べたように、本助成事業の運営を共通プログラムと特定プログラムの2本立てで運営することにより、各組合員企業の秘密情報を確保しながら、共通の評価基盤を開発することが可能な運営方法を構築した。

2. 3. 2 研究の運営管理

CASMATでは理事会、運営委員会、技術委員会を設置し、事業の運営管理をCASMAT外からも監視する体制をとっている。

理事会は、組合員取締役で構成され、4半期ごとに開催して、事業の進捗状況の妥当性、重要な設備投資、運営の妥当性等の最終的な判断している。

運営委員会は、組合員の事業管理者で構成され、毎月開催し、日常的に運営状況の妥当性を判断する。プロジェクト期間中に35回開催された。

技術委員会は組合員の研究管理者で構成され、毎月開催し、研究進捗状況の妥当性を判断している。プロジェクト期間中に36回開催された。

成果報告会は、本プロジェクトで実施した材料の評価方法やTEGの開発における研究成果、組合員からの提案材料の評価結果等について、春と秋の年2回、組合員の研究者を対象として開催されるもので、成果の普及に努めるものである。プロジェクト期間中に6回開催された。

幹部会は組合員企業の幹部が、重要組合運営事項について討議する場であり、プロジェクト期間中に6回開催された。

企業化検討会は、企業化について討議する場であり、平成25年3月末の組合解散予定が明確になった後は、事業継承、解散後の企業化のあり方についての討議を行ってきた。

上記の会合にはNEDOの事業推進部からも適宜出席し、研究開発の運営管理を行った。

また、この他に、発明審議会があり、特許などの産業財産権について討議される場である。川本氏を議長とし、半導体デバイスメーカでの特許部門経験を持つ弁理士を特許アドバイザーとして招聘し、届出のあった発明等が職務発明か否か、ノウハウか否かの認定を行う。特許については、内容を十分に吟味した上で出願がなされてきた。プロジェクト成果について討議されたのは13回である。

また学会など外部発表については、報告内容を精査し、組合内稟議を経て認可を与えた。図2-4にまとめを示す。

NEDOは各種委員会に参加し、運営状況・研究進捗状況の確認を実施

- **運営委員会 35回**
プロジェクト全体の運営方針を議論。運営委員(各組合員企業)が出席。
- **技術委員会 36回**
研究内容についての討議。技術委員(各組合員企業)が出席。
- **発明審議会 13回**
発明等が職務発明か否か、ノウハウか否かの認定を行う場。
職務発明の場合のランク付け。
研究部長を議長とし、研究従事者の本組合における上長、担当事務局員
および産業財産分野における専門家等を委員として構成
- **成果報告会 6回**
半期に1回行われる研究成果を報告。各組合員企業が出席。
- **幹部会 6回**
組合員企業の幹部が、重要組合運営事項を討議。
- **企業化検討会 7回**
CASMATの企業化について検討。企業化検討委員が出席。

図 2 - 4 研究の運営管理

2. 4 研究開発成果の実用化・事業化に向けたマネジメントの妥当性

下記の観点から、マネジメントは妥当であったと考える。

1) 研究開発マネジメント

材料メーカーが共通して活用できる材料評価基盤を構築するには一材料メーカーの力では非常に困難なことであり、競合する材料メーカーが参画する体制を構築する必要があった。また材料開発に関わるプロジェクトにデバイスメーカー技術者が参加する体制を構築する必要があった。これにより、材料評価基盤の構築という成果の実用化を促進した。

2) 運営マネジメント

プロジェクトリーダーを設けず、材料メーカー出身でない中立な立場の主任研究員をおいた。また評価材料のコード化、評価結果の公開・非公開の取扱いを明確化することにより、競合である材料メーカー個別の技術の保護を行い、事業化に結び付きやすいようにした。

具体的には、下記の通り。

材料を提供する組合員の機密を遵守することは極めて重要であり、材料の提出、評価については組合員側と十分な打合せを行って実験計画を策定し、実験の効率向上と問題点の早期把握に努めることとした。実験データをほぼそのままドキュメント化したものは、秘密情報として組合内で管理し、実験データを評価、解析した結果としてドキュメント化したものは、公開情報として全組合員に発信した。評価対象材料名はコード番号で管理し、商品名や提供組合員名は公表しないこととした。組合員は、評価結果のうち、自社材料の他社材料に対する位置付けを知ることは出来るが、他社材料についての商品名や提供組合員名を知ることは出来ない。組合員自身が評価内容を検討することで、材料の開発指針を立案すると同時に、将来の選択と集中を促すこと

が可能となった。

3) 知的財産マネジメント

材料評価に関わる知的財産はCASMAT、開発材料に関する知的財産は材料メーカーに帰属するとし、知的財産の保護と事業化を推進した。

4) 実用化の推進

材料メーカーの事業化を支える材料評価基盤の実用化を促進した。これはIV. 実用化・事業化の見通しに詳細を記載する。

5) 過去事業の成果・設備資産の有効活用

次世代半導体ナノ材料高度評価プロジェクト／次世代高度部材開発評価基盤の成果・装置を引き続き活用、また、次世代半導体材料・プロセス基盤（MIRAI）プロジェクトのCVD装置を利活用することで、実用化を推進した。

研究開発マネジメント

競合する材料メーカーが参画する、及び、材料開発に関わる事業ヘドバイスメーカー技術者が参加する体制構築

運営マネジメント

中立な立場の主任研究員の配置、評価材料のコード化、評価結果の公開・非公開の取扱明確化による、材料メーカー個別技術の保護（協調領域と競争領域の峻別）

知的財産マネジメント

帰属の明確化（評価方法：CASMAT、材料：材料メーカー）による、材料メーカーの知的財産の保護と事業化の促進

実用化の推進

材料メーカーの事業化を支える材料評価基盤の実用化推進

過去事業の成果・設備資産の有効活用

- *次世代半導体ナノ材料高度評価プロジェクト／次世代高度部材開発評価基盤の成果・装置の活用
- *次世代半導体材料・プロセス基盤(MIRAI)プロジェクトのCVD装置の活用

図 2 - 5 NEDO のマネジメントの妥当性

3. 情勢変化への対応

現クリーンルームの契約期間が平成24年度末までであったため新規研究拠点の検討を、また組合としての拡大と1社あたりの賦課金の減額を目的に、新規の組合員企業、特に半導体装置メーカーの参加の検討を実施してきた。

しかしながら、平成21年のリーマンショック、平成23年の東日本大震災により、情勢が大きく変化した。新規研究拠点の検討については、移転費用も含めて経済性が成り立つ適切な新規研究拠点を見出すことができなかった。新規の組合員企業の参加については、候補となっていた装置メーカーが経営上の判断から参画を断念せざるを得なくなった。以上のことを踏まえ、次世代半導体材料技術研究組合は平成24年度末で解散する予定である。

情勢変化

- 現在の拠点での継続が不可能
- 移転費用も含めて経済性が成り立つ適切な新規研究拠点が見つからず
- 装置メーカーが組合員候補となっていたが、情勢変化により参画を断念

⇒ 研究拠点としての組合は平成24年度末で解散

材料メーカーが継続して活用できる材料評価基盤体制の構築

- TEG：ライセンス事業の推進による継続入手方法の確立
- 材料評価基準書：（既に活用中、引き続き活用）
- 知的財産権：評価手法に関する特許の活用、普及のためのライセンス事業
- 事業承継：ライセンス事業の承継の推進

図3-1 情勢変化への対応

NEDOでは、上記のような情勢変化への対応として、本プロジェクトの成果である材料評価基盤を組合解散後も材料メーカーが継続して活用できる体制の構築を行った。

接合素子を有する顧客デバイス類似構造TEGについては、平成24年度内にTEGを製造委託できるライセンス先を選定し、契約を完了させる。平成24年10月以降は、組合での作成は不可能になるので、ライセンス先でのTEG作成が可能になるようにし、材料メーカーが引き続き入手できるようにする。平成25年度以降は、ライセンス許諾に関する契約などを事業承継会社が引き継ぐ。

材料評価基準書については、既に配布済みであり、材料メーカーが各自で活用する状況になっており、今後も引き続き活用する。また普及の観点から、ライセンス事業も推進する。平成24年度内に特許を事業承継会社に移管し、平成25年度以降は、権利化判定、ホームページでの開示、実施許諾を事業承継会社で行う。

Ⅲ. 研究開発成果について

1. 事業全体の成果

1. 1. 各研究開発項目の目標達成状況

1. 1. 1. 背景

次世代半導体材料技術研究組合（CASMAT）は平成 15 年設立以来、評価材料すなわち組合員企業の開発、製品化材料は、BEOL 以降の材料としてきた。具体的には、**図 1. 1. 1-1**に示すような 5 分野の材料である。半導体製造プロセスの流れの中でこれらの材料が適用される工程を**図 1. 1. 1-2**に示す。評価材料は、配線工程と組立て工程に用いる材料である。また、ここで半導体工場での工程は、各工程を図の中で左に示すように、基板工程（FEOL）、配線工程（BEOL）、組立て工程（後工程）、試験・信頼性試験工程（後工程）の 4 つに分類できる。さらに、試験・信頼性試験工程（後工程）は配線とデバイスに分けられる。評価材料においては、半導体工場でのどのような工程を経て材料が評価されるかが重要であり、部分的な工程で材料を十分に評価できる場合と、多くの工程を経ないと十分な評価ができない場合がある。

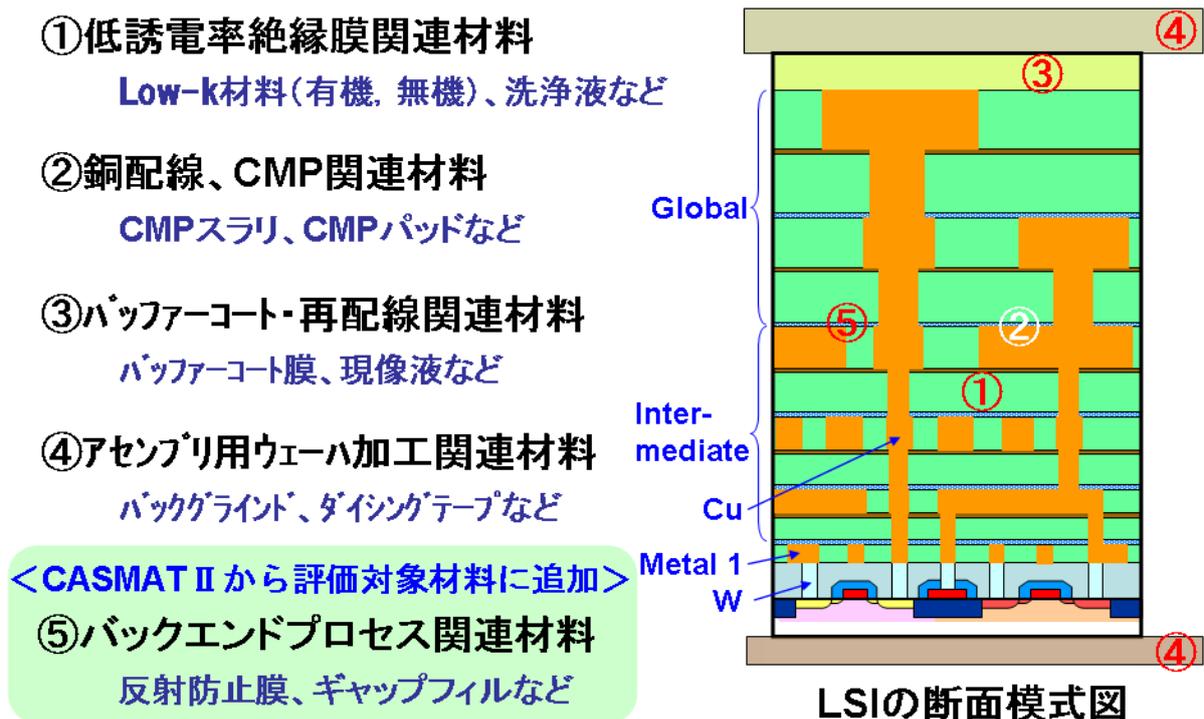


図 1. 1. 1-1 CASMAT における評価材料

デバイス製造フローでの評価材料の適用工程

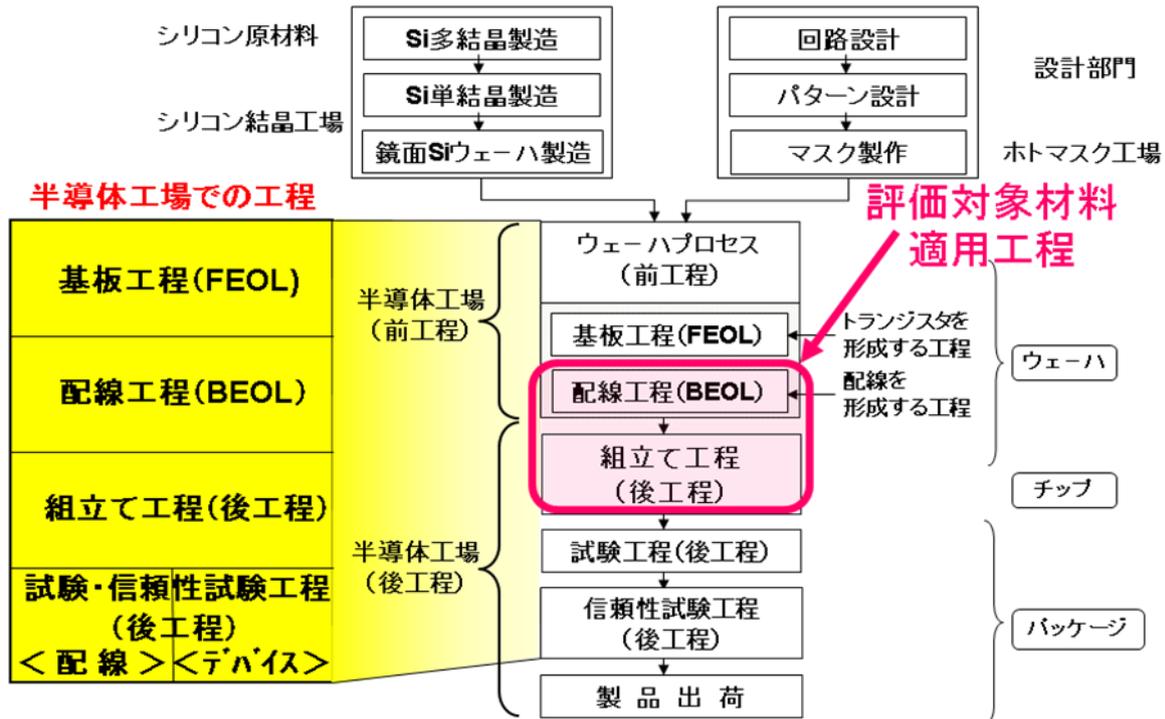


図 1. 1. 1-2 デバイス製造フローでの評価材料適用工程

1. 1. 2. 目標の妥当性

半導体工場での工程の分類で、CASMAT のこれまでの評価領域を示すと、[図 1. 1. 2-1](#) のようになる。平成 20 年度に完了した CASMAT II のプロジェクト「次世代高度部材開発評価基盤」の開発までは、評価材料を用いる配線工程以降を評価領域とし、また、試験・信頼性試験工程では配線のみであり、デバイスを実験領域にはしていなかった。これでは、まだ材料影響をすべて明らかにすることができないと考えて、平成 21 年度から開始した今回のプロジェクトでは、基板工程およびデバイスの試験・信頼性試験工程まで評価領域を拡大することとした。これにより、半導体トータルプロセスでの配線とデバイスの性能、信頼度を検証する材料評価基盤を構築することができる。

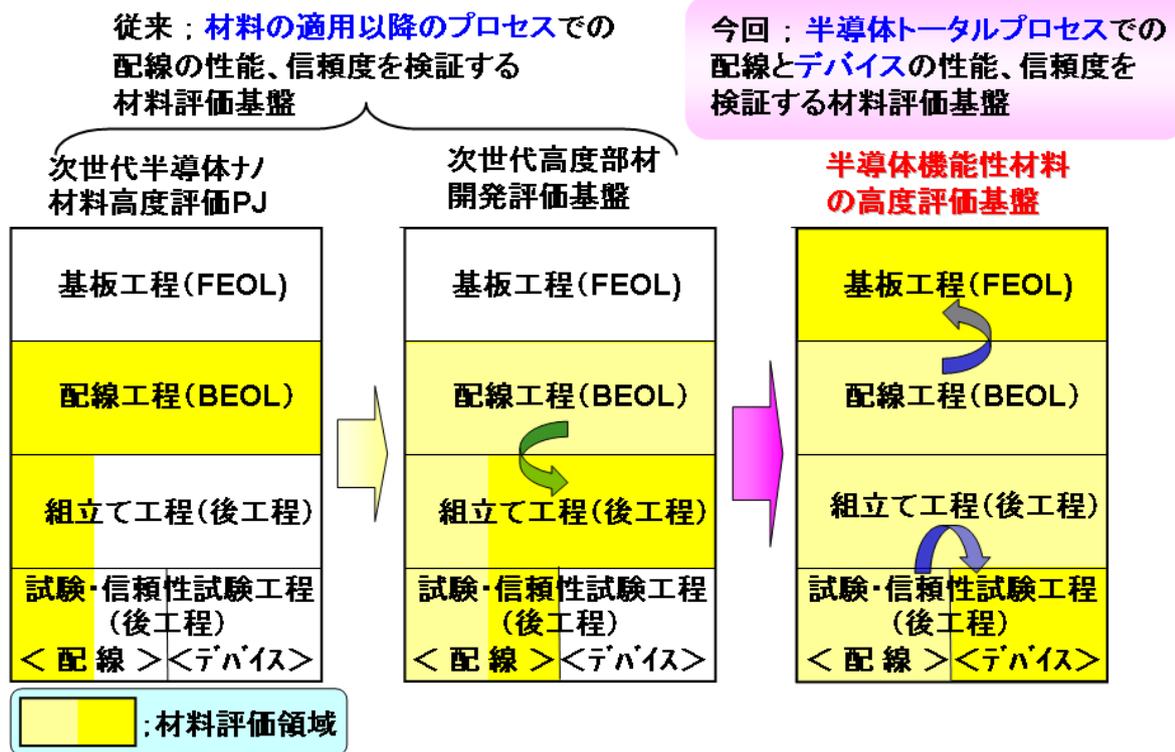


図 1. 1. 2-1 評価領域拡大の経緯

プロジェクトでは、半導体デバイス性能に直結する接合素子（p-n 接合、SiO₂-Si 接合など）の性能・信頼性まで含め、半導体製造プロセス全体を考慮して半導体材料を開発するための材料評価基盤を構築することを基本的な目標として、平成 21 年度から 23 年度までの 3 年間実施した。ここで材料評価基盤は、さまざまな要素から構成されるが、開発する成果から見ると材料評価用の TEG と材料評価基準書で構成される。この材料評価基盤と研究開発項目の関連を図 1. 1. 2-2 に示す。材料評価用の TEG に関しては、おもに研究開発項目①接合素子を含む材料評価用配線 TEG の開発と②材料による金属汚染、応力影響の評価方法の開発が関与し、材料評価基準書に関しては、おもに研究開発項目②と③半導体プロセス全体を考慮した材料評価基盤の開発が関与する。研究開発成果の概要について以下に研究開発項目毎に、研究目標と研究開発成果、目標達成状況を述べる。

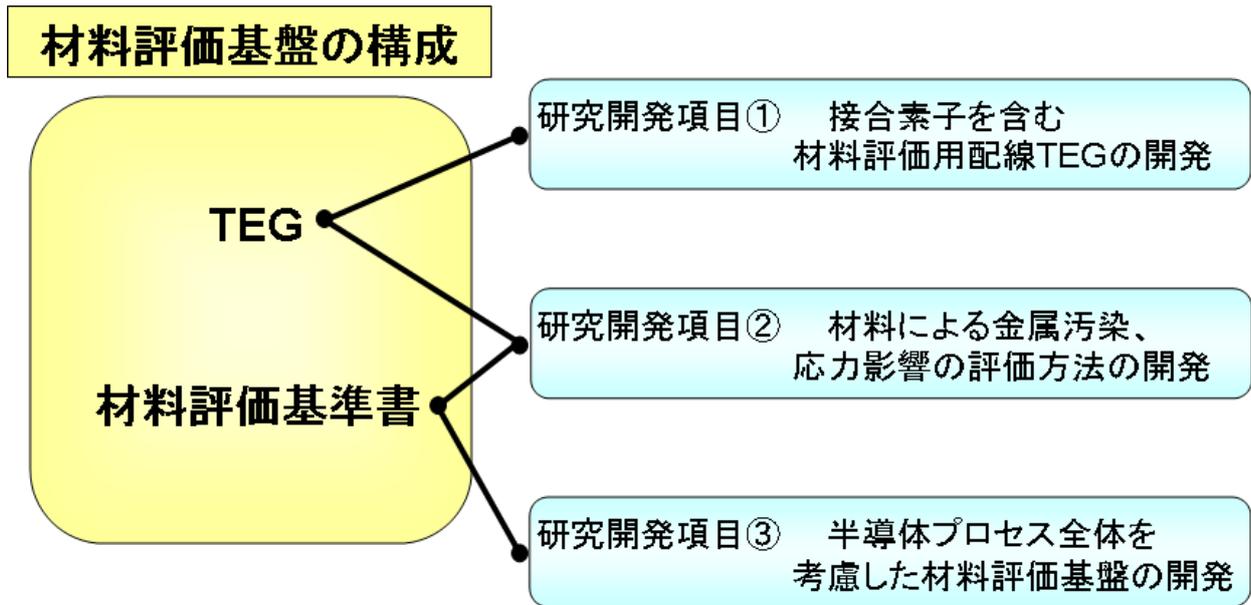


図 1. 1. 2-2 材料評価基盤とそれぞれの研究開発項目の関連

1. 1. 3. 目標達成状況

目標達成状況について、研究開発項目毎に以下に示す。

研究開発項目① 接合素子を含む材料評価用配線 TEG の開発

研究目標は、材料とプロセス条件が接合素子の信頼性に与える影響を定量的に抽出できるように、接合素子を有する TEG マスクを設計する。接合素子を備えたウェーハ上に基準材料を用いて配線 TEG を形成して形状や電気特性を検証する。検証結果を解析して TEG マスクを改良し、接合素子の信頼性への影響を評価できる材料評価専 TEG を開発することである。

研究開発成果は、

- 試作を安価に、かつ容易にするため、KrF、i線露光に対応できる最小寸法 0.2 μm 、チップサイズ 21.5×26.9 mm^2 、マスク枚数 12 枚として、種々の構造や面積を有する p-n 接合素子、ゲート容量素子、トランジスタ、抵抗素子、アンテナ TEG、腐食 TEG、リングオシレータ (RO) などを設計した。
- FEOL のプロセスフロー、種々の材料の膜厚やイオン打込み条件などの各工程の処理条件を策定して、ウェーハ試作を外注し、接合素子を含む FEOL の試作を完了させた。
- FEOL プロセスを完了したウェーハを用いて、CASMAT で BEOL プロセスを実施し、接合素子の電気特性を測定することができる FEOL/BEOL 統合 TEG を完成させた。

- d. p-n 接合や容量素子など単純な接合素子に加え、その FEOL プロセスで同時に形成されるトランジスタ、抵抗負荷型インバータで構成した RO などの電気特性を測定し、期待値通りの特性を確認し、TEG を検証した。
- e. 配線間容量を伝播負荷とする RO の発振周波数測定から、相対的にはあるが、多層配線の層間絶縁膜の比誘電率を評価できることを確認した。
- f. マスク修正および外注先変更にともなうプロセス条件を再策定し、ほぼ同様の電気特性が得られることを確認した。

以上の研究開発成果が得られ、目標は達成できたと考える。

この研究開発項目では、材料評価基盤を構成する材料評価用の TEG を完成させた。その結果を図 1. 1. 3-1 に示す。TEG マスクの設計を CASMAT にて行い、FEOL 工程を外注にて試作し、BEOL 工程を CASMAT にて試作した FEOL/BEOL 統合 TEG の 300 mm ウェーハの外観と 1 ショットの実体顕微鏡画像を示している。また、1 ショットの中には TEG に搭載された種々の素子を示している。

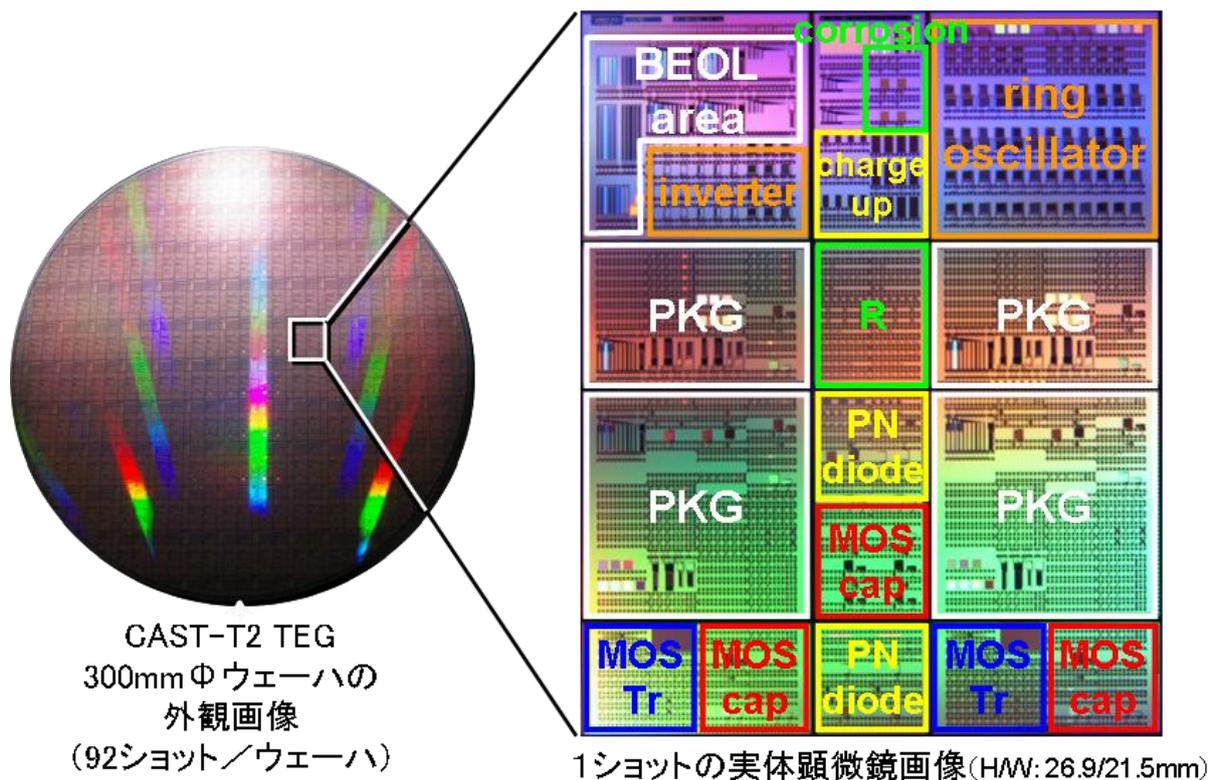


図 1. 1. 3-1 材料評価用に開発した FEOL/BEOL 統合 TEG の 300 mm ウェーハの外観と 1 ショットの実体顕微鏡画像

研究開発項目② 材料による金属汚染、応力影響の評価方法の開発

研究目標は、研究開発項目①で得られた TEG マスクを用いて、300 mm シリコンウェーハ上に接合素子を作成し、さらに配線形成を行い、製造工程に用いる半導体材料あるいは製造プロセスによる接合素子への影響（金属汚染、応力、電荷蓄積など）が把握できる電気特性の測定方法や解析方法、また接合素子の信頼性の試験方法や測定結果の解析方法を開発することである。

研究開発成果は、

- a. Cu などの重金属汚染は、p-n 接合素子の逆方向電流を測定することにより、評価できることがわかった。
- b. Na、K などのアルカリ金属汚染は、寄生 MOS トランジスタのゲートにバイアス印加して、しきい電圧を測定し、その変動量から評価できることがわかった。
- c. 応力の影響は、n+層、n-層、poly-Si のそれぞれの抵抗素子の電流方向に、基板を反らせて応力印加することにより抵抗が増減することから、それらの抵抗素子の抵抗変化により評価できることがわかった。
- d. 容量素子のゲート電極側に大面積のアンテナ電極を接続したアンテナ TEG のゲート耐圧測定により、プロセスや材料に起因する電荷蓄積の効果を評価することができた。
- e. CMP プロセスで発生する Cu の腐食については、配線抵抗の変化を評価することにより、p-n 接合電池、Cu イオンの濃淡電池それぞれによる腐食現象を把握することができた。

以上の研究開発成果が得られ、目標は達成できたと考える。

研究開発項目③ 半導体プロセス全体を考慮した材料評価基盤の開発

研究目標は、対象とするパッケージをワイヤーボンド型とフリップチップ型とし、接合素子と Cu/Low-k 配線を有するウェーハのパッケージ組立工程の基準プロセスと評価方法を確立する。さらに、熱、応力、水分などが電気特性や材料に与える影響を把握し、信頼性評価技術を確立する。得られた知見を迅速に各工程にフィードバックし、フロントエンドからバックエンド、パッケージまでの半導体プロセスにおいて次世代半導体以降にも対応する材料を一貫して評価できる評価基盤を確立することである。

研究開発成果は、

- a. Low-k 材料が半導体プロセスにおいて受けるダメージについて、楕形の配線間容量を伝播負荷とするリングオシレータの発振周波数を測定することにより、実効的な比誘電率を高精度に評価する方法を開発した。
- b. Low-k 材料の電氣的性質の1つである分極特性について、寄生 MOS トランジスタのゲートに周期的にバイアスを印加した時のしきい電圧変動幅を測定することにより評価する方法を開発した。
- c. ワイヤーボンド型として、208 ピン QFP を外注にて組立て、Low-k 材料、BC 材料の影響を接合素子の電気測定により調査したが、それらの違いは顕著に現れなかった。
- d. QFP ではリングオシレータの発振周波数が 6%程度低下した。モールド材の収縮による圧縮応力により、負荷 poly-Si 抵抗の増加などの影響と推察される。
- e. フリップチップ型として、種々の BC 材料で再配線し、WLP を外注にて組立て、接合素子の測定、温度サイクル試験などを行ったが、材料影響は出現せず、むしろ剥離やデージェチェーン断線に BC 材料の違いによる影響が顕著に現れ、新たな評価指標として剥離耐性係数を創出した。

以上の研究開発成果が得られ、目標は達成できたと考える。

研究開発項目の②と③では、もう一つの材料評価基盤を構成する評価基準書を完成させた。その件数を表 1. 1. 3-1 に示す。材料評価基準書は、試料の作成方法、測定装置と測定方法、実際の提案材料での評価結果などを文書化してまとめたものである。分野としては、評価材料としての Low-k 材料、CMP 関連材料、バッファコート材料、評価試料としてパッケージ組立てまで実施する一貫評価、試料作成や測定方法を支援するものとしてプロセスフロー、TEG マスク説明書、電気測定方法の 7 分野とした。また、評価レベルとして簡単な構造から複雑な構造になるに従って 5 つのレベルに分類した。材料評価基準書トータルは 190 件であり、これらは組合員に公開している。今後、材料開発における評価技術として役立てていただくことを期待している。評価基準書に関して、その一覧表の例と、記載内容について、図 1. 1. 3-2 に示す。なお、評価基準書のいくつかの具体例は、Ⅲ. 2. 4 に掲載する。

表 1. 1. 3-1 評価基準書の件数

分野 (材料、技術)	レベル1 単層膜	レベル2 複数工程	レベル3 1層配線	レベル4 多層配線	レベル5 信頼性	トータル 190
Low-k材料	7	5	6	1	3	22
CMP関連材料	13	0	14	0	1	28
バッファコート膜	2	3	12	0	3	20
PKG一貫評価	0	0	0	6	7	13
プロセスフロー	0	0	3	30	7	40
マスク説明書	0	0	1	29	5	35
電気測定法	0	0	0	25	7	32

評価基準書一覧

分野	評価レベル	大分類	中分類	小分類	管理番号	
①	1	単層膜評価	電気的測定	Low-k薄膜の比較電気評価	31001	
				Low-k薄膜のリーク電流評価	31002	
				SiO ₂ による薄膜の熱伝導率評価	31003	
				有機Low-k薄膜の2次元CMP耐性評価	31004	
		強層膜評価	密着性評価	Low-k材料の密着性評価	31005	
		環境試験		吸湿条件下でのLow-k材料の密着性評価	31006	
		単層膜評価	ダメージ評価	Low-k TEOS Gas膜エボにおけるダメージ評価	31007	
	2	複数工程評価	電気的測定	ブラケット膜におけるプロセスダメージ評価	31101	
				電気的/光学的測定	ブラケット膜におけるプラズマダメージの回復性評価(1)	31102
				電気的/化学的測定	ブラケット膜におけるプラズマダメージの回復性評価(2)	31103
				電気的/化学的測定	ブラケット膜における有機Low-kプラズマダメージ回復評価	31104
				トロン状態評価	有機Low-kプラズマダメージの回復特性評価の適合性評価	31105
	3	単層配線評価	電気的測定	配線TEGにおけるDirect CMP後の容量評価(BG2Def)	31201	
				配線TEGにおけるDirect CMP後の容量評価(容量差)	31202	
				配線TEGにおける高周波容量評価	31203	
				配線TEGにおける有機Low-k材料比較評価	31204	
				配線TEGにおける有機Low-k材料の2次元CMP耐性評価	31205	
				配線TEGにおけるプラズマダメージ回復性評価	31206	
	4	多層配線評価	電気的測定	配線TEGにおけるDirect CMP後の容量評価(タグアウト)	31301	
	5	信頼性評価	電気的測定	多層配線TEGにおける信頼性評価(SM)	31401	
配線TEGにおける有機Low-k材料Cu拡散耐性評価				31402		
有機膜層の70℃外配線TEGにおける信頼性評価(SM)				31403		
単層膜評価	外観評価	ダメージ評価	膜層の露出面SEM観察とサンプル作成法	32001		
			ポリマオキシルCMP工程におけるスカラーラミネーションの観察	32002		
			欠陥評価	SR-7300による高信頼性欠陥評価方法	32003	
			ダメージ評価	MSP系Low-k膜のDirect CMPにおけるScumダメージ評価	32004	

評価基準書の記載事項

1. 評価対象材料名
2. 評価の目的
3. 評価項目
4. 試料作成の手順
5. 測定方法
6. 測定結果例
7. まとめ・考察
8. 残された課題
9. 関連技術情報

図 1. 1. 3-2 評価基準書の一覧表の例と、記載内容

1. 2. 研究開発成果の意義

本研究開発の成果は、半導体プロセス全体を考慮した 300 mm ウェーハを用いた材料評価基盤を構築したことである。その成果の中で、世界的に見て特筆すべきものとして、次の 3 点が挙げられる。第 1 に、NMOS だけを用いて poly-Si 抵抗を負荷としたインバータを接続してリングオシレータ (RO) を設計し、配線間容量を伝播負荷に挿入した RO を用いて、多層配線の層間絶縁膜の実効的な比誘電率を高感度に評価する評価方法を開発したことである。このように材料評価にフォーカスした回路はこれまでに報告された例は見当たらず、世界初のものと思われる。このような回路の構成により、Low-k 材料のような多層配線の層間絶縁膜を回路動作に近い周波数で、かつ高感度に測定することが可能になった。

第 2 に、腐食の発生を配線抵抗の測定により定量的に把握する評価方法を開発したことである。これまでは、Cu 配線パターンの表面の観察により腐食のありなしを定量的に評価していた程度である。抵抗測定により腐食の程度或いはその進行を定量的にしたことも、これまでは報告されておらず、世界初と思われる。また、CMP においてパターンの疎密による濃淡電池効果の影響を見出したことも初めての成果であると考えられる。

第 3 に、バッファコート膜の剥離に対して、剥離耐性係数を創出することにより、剥離耐性のあるバッファコート材料の開発指針を明確にしたことも大きな成果と考えている。バッファコート膜の密着性と弾性率の剥離に対する影響が、定量的に比較できる指標とすることができるようになった。

以上、特筆すべき成果を挙げたが、この他にも本研究開発を通じて、Cu 汚染の方法や、応力の印加方法、電気的な測定方法など種々のノウ・ハウを蓄積することができた。それらは、今後様々な材料評価、或いは評価技術の開発に役立てていくことができると期待している。

研究開発の成果として CASMAT の構築した材料評価基盤の、産業界に対する意義を **図 1. 2-1** に示す。材料メーカーに対しては、材料開発やビジネスに対しての貢献が期待できる。また、半導体業界に対しても開発効率の向上や材料の実用化の加速を図ることに貢献できる。

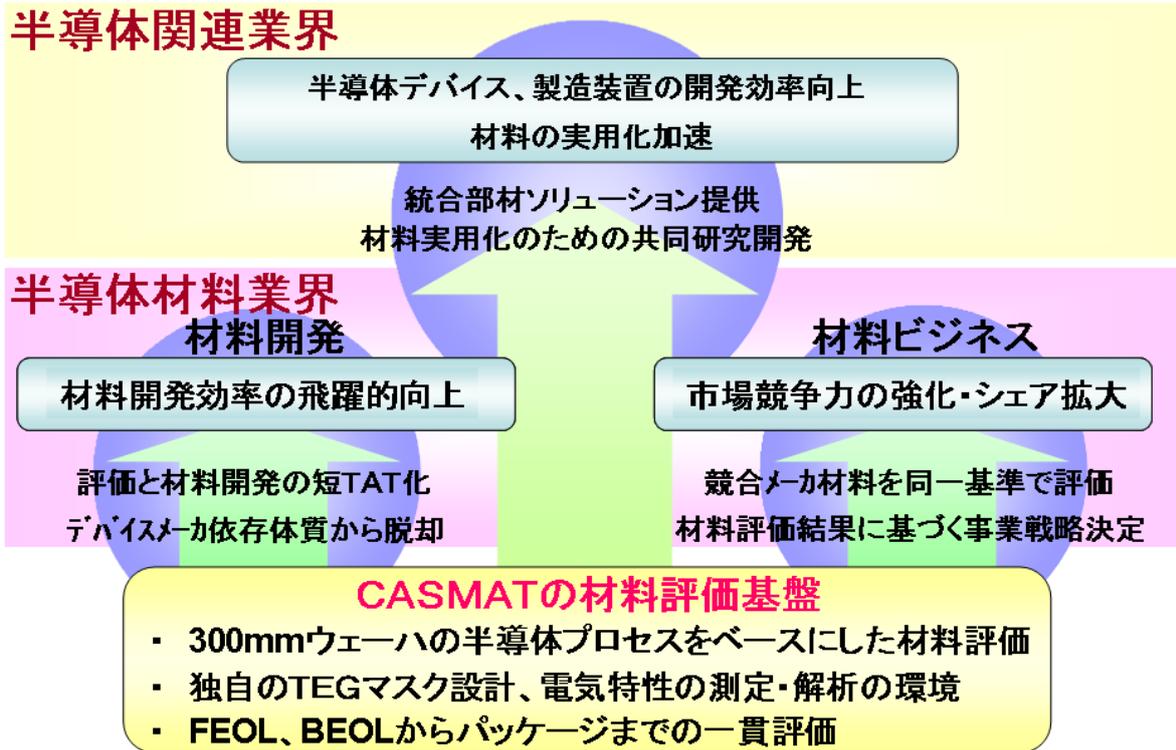


図 1. 2 - 1 本研究開発成果の意義

1. 3. 知的財産権等の取得、成果の普及

知的財産権等の取得、成果の普及に関して、研究開発の過程で得られた知見を基に、3年間で13件の特許を出願した。また、研究成果は論文としてまとめて、学会への投稿や口頭発表を3年間で19件行なってきた。年度ごとの件数をまとめて、表1. 3 - 1に示す。

なお、特許および外部への発表内容に関するリストは添付資料に掲載する。

表 1. 3-1 年度毎の特許、論文・外部発表件数

項目 年度	特許出願			論文・外部発表	
	国内	外国	PCT出願	査読付	その他
平成21年度	3	0	0	3	2
平成22年度	6	0	0	2	2
平成23年度	4	0	0	7	3
合計	13	0	0	12	7

つぎに、成果の普及に当たっては、まず組合員企業に対しては技術報告（B）を発行して評価結果をフィードバックしてきた。この報告内容は材料提供組合員の製品開発だけでなく、その事業にも利用することができる。なお、提案材料評価プログラムとして実施された評価結果や評価方法などについては、CASMATの共通領域であるので技術情報（B）としてドキュメント化されたものは全組合員に開示される。技術報告（B）の件数の推移を図1.3-1に示す。CASMATⅡに対して年間10件多い目標である70件/年をクリアした。また、組合員企業に対しては、ほぼ半年毎に3年間で6回の成果報告会を開催し、研究開発成果に関する情報をタイムリーに伝達してきた。（ただし、平成23年3月16日開催予定の第15回成果報告会は、東日本大震災のため開催できなかったため報告資料のみ組合員配布とした）

外部に対しての成果の普及に関して、研究開発期間のほぼ中間点の平成22年7月には組合員以外の材料メーカ（11社）、装置メーカ（7社）、デバイスメーカ（9社）、コンソーシアムなど（13団体）に対して研究発表会（出席者；67名）を開催した。CASMATの研究開発に対する理解と今後の成果に対する期待、さらには研究開発に当たってのご指導などを頂いた。

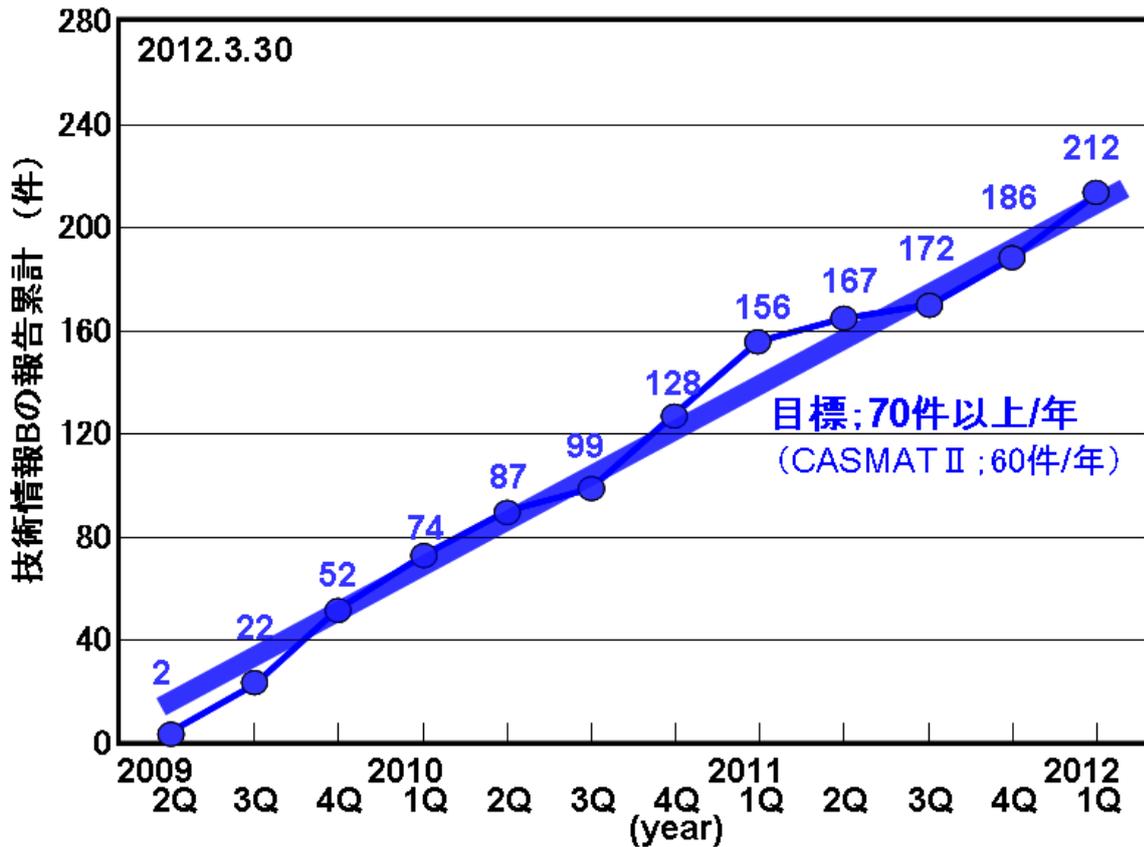


図 1. 3 - 1 技術報告 (B) の報告件数の推移

1. 4. まとめ

最後に、成果のまとめを以下に述べる。

- ・「半導体トータルプロセスでの配線とデバイスの性能、信頼度を検証する材料評価基盤を開発する」という本事業の目標を達成した。
- ・ 材料評価基盤の具体的成果は、CAST-T 2、T 3のTEGの完成と190件の材料評価基準書である。
- ・ 世界的にみて特筆すべき成果は、リングオシレータを利用した層間絶縁膜の比誘電率の高感度評価方法、電池効果を利用した腐食の定量的評価方法、バッファークォート膜の剥離の指標となる剥離耐性係数の創出である。
- ・ 研究成果の意義は、材料業界に対しては材料開発の効率向上、ビジネス展開への貢献であり、半導体関連業界に対してはそれぞれ開発効率向上と材料の実用化加速である。
- ・ 知的財産権等の取得、成果の普及に関しては、13件の特許出願、212件の技術情報Bの報告、6回の成果報告会、1回の外部報告会、19件の外部発表を行なった。

2 研究開発項目ごとの成果

2. 1. 接合素子を含む材料評価用配線 TEG の開発

研究開発項目①は、材料とプロセス条件が接合素子の電気特性や信頼性に与える影響を定量的に抽出できるように、接合素子を有する TEG マスクを設計する。接合素子を備えたウェーハ上に基準材料を用いて配線 TEG を形成して、形状や電気特性を検証することを目標にして実施した。検証結果を解析して TEG マスクの改良や接合素子の信頼性への影響を評価できる材料評価専用 TEG を開発し、その TEG の電気的特性の測定方法や解析方法を整備した。

以下には、まず、今回のマスク開発、試作の経緯を述べ、そのあと、TEG マスクの概要、TEG 試作プロセス、各種 TEG 試作結果、リングオシレータを用いた配線特性を述べ、最後にマスク修正について述べる。

2. 1. 1. マスク開発、試作の経緯

今回の TEG 開発では、マスク設計と BEOL 試作、測定と解析については CASMAT で実施し、FEOL の試作、パッケージ組立てについては外注により実施した。マスク開発、試作の経緯を図 2. 1. 1-1 に示す。

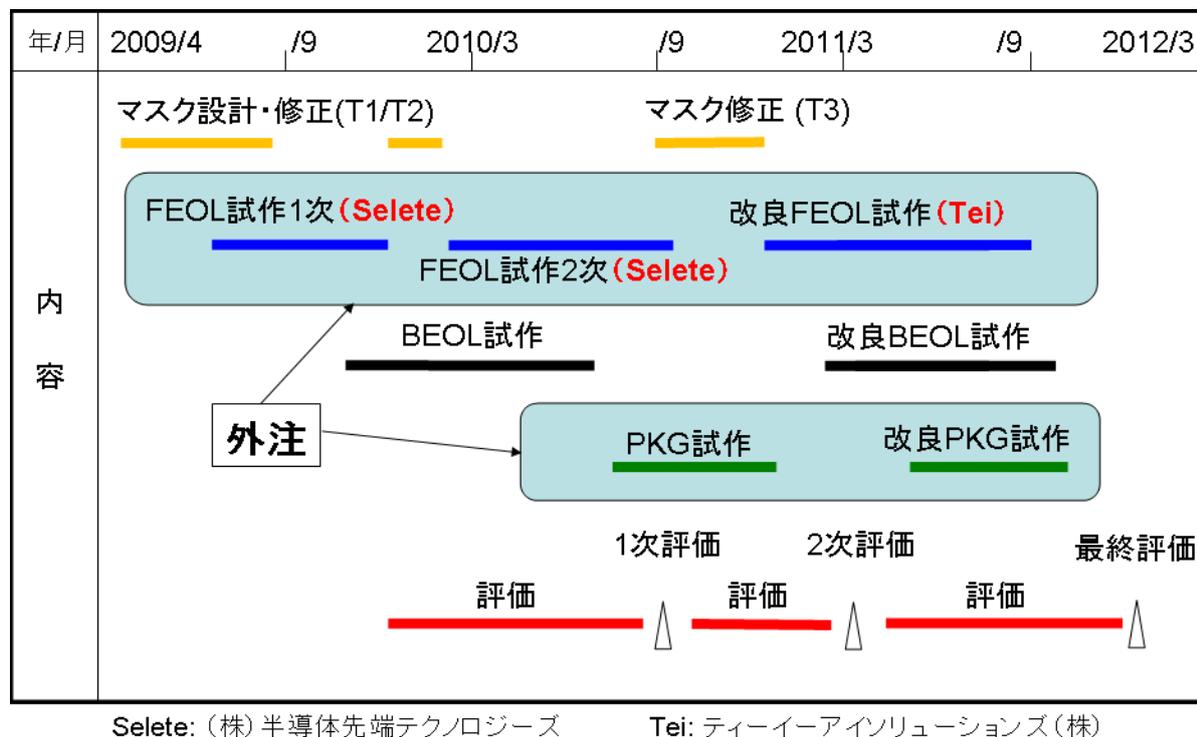


図 2. 1. 1-1 マスク開発、試作の経緯

最初のマスク CAST-T1 は、FEOL のリソグラフィや加工の実験を行なう予備検討のマスクとして設計し、FEOL/BEOL 統合 TEG としてはじめて CAST-T2 マスクを設計した。最終的にはそれを部分的に修正して CAST-T3 マスクを完成させた。また、FEOL の試作においては、CAST-T2 は Selete で試作していただいたが、Selete の試作業務が終了したため CAST-T3 の試作は Tei で試作していただかなければならなかった。試作ラインの違いにより、プロセス条件を変更する必要があったが、ほぼ同等の FEOL ウェーハを得ることができた。

2. 1. 2. FEOL/BEOL 統合 TEG マスクの概要

今回、設計した TEG マスクの構成を図 2. 1. 2-1 に示す。設計に当たって、まず技術レベルとしては、微細性を狙わずに外注で容易に試作できるレベルを考慮した。そのため、KrF 露光装置でバイナリマスクを用いて FEOL プロセスの試作できるレベルとして 0.2 μm ノードのレベルに設定した。BEOL プロセスでは、ArF 露光装置が用いられるので、最小寸法はビア層のみ 0.18 μm とした。また、広く用いられている p チャネルと n チャネルの MOS トランジスタが同一ウェーハ上に形成されるいわゆる CMOS ではなく、単一チャネルとした。そのため、マスク枚数は 12 枚と少なくすることができた。FEOL では p-n 接合、ゲート容量、N チャネルトランジスタなどが形成できる 7 枚、BEOL では Cu 2 層配線と Al パッドが形成できる 5 枚である。

- ・マスク名： CAST-T2/T3 マスク枚数： 12枚 / 1品種
- ・マスク仕様： バイナリマスク、ショットサイズ 26.9 mm X 21.5 mm
- ・組立チップ： 8.6mm×8.6mm、5.4mm×8.6mm、12.9mm×12.9mm
(12.9mm□チップ以外は2チップ/1ショット)

・マスク一覧表

No.	層名	層番	パターン	倍率	最小 (μm)	最大 (μm)	目的	メモ
1	L	11	A	×4	0.5	100	素子分離	A: 島パターン
2	FG	12	A	//	0.2	100	ゲート	
3	N1	13	B	//	0.5	-	N型拡散層(LDD)	B: 孔パターン
4	N2	14	B	//	0.5	-	N型拡散層(S/D)	
5	P	15	B	//	0.5	-	SUB引上げ	
6	SP	16	A	//	0.5	-	シリサイド保護	CNT上はSP禁止
7	CNT	17	B	//	0.4	1	コンタクト	0.4, 1.0 μm 限定
8	M1	51	B	//	0.2	100	1層配線	
9	V1	52	B	//	0.18	0.25	接続孔	0.18, 0.25 μm 限定
10	M2	53	B	//	0.2	100	2層配線	
11	PO1	54	B	//	0.5	-	パッド孔	
12	PAD1	55	A	//	10	-	パッド配線	

図 2. 1. 2-1 TEG マスクの構成

マスクはバイナリーマスクとし、1ショット寸法はタテ 26.9mm、ヨコ 21.5mm とした。パッケージ組立てまで考慮して、この中にワイヤボンド型パッケージの組立てチップ 8.6mm×8.6mm、フリップチップ型パッケージの組立てチップ 5.4mm×8.6mm および 12.9mm×12.9mm が取得できる構成とした。このマスクを用いて試作した 300mm ウェーハおよび1ショットの写真を図 2. 1. 2-2 に示す。ウェーハあたりのショット数は 92 である。また、1ショットの写真の中には、フロアレイアウトと呼ぶ種々の TEG の配置を同時に示している。

TEG マスクに搭載した主要な TEG の一覧表を表 2. 1. 2-1 と表 2. 1. 2-2 に示す。この中で主な TEG として、接合素子の代表的なものである p-n 接合、MOS 容量素子、さらに同じ FEOL プロセスで形成される NMOS トランジスタ、抵抗素子、寄生 MOS、アンテナ TEG、腐食 TEG、回路 TEG としてリングオシレータについて、それぞれの代表的なレイアウトおよび断面構造を次に示す。

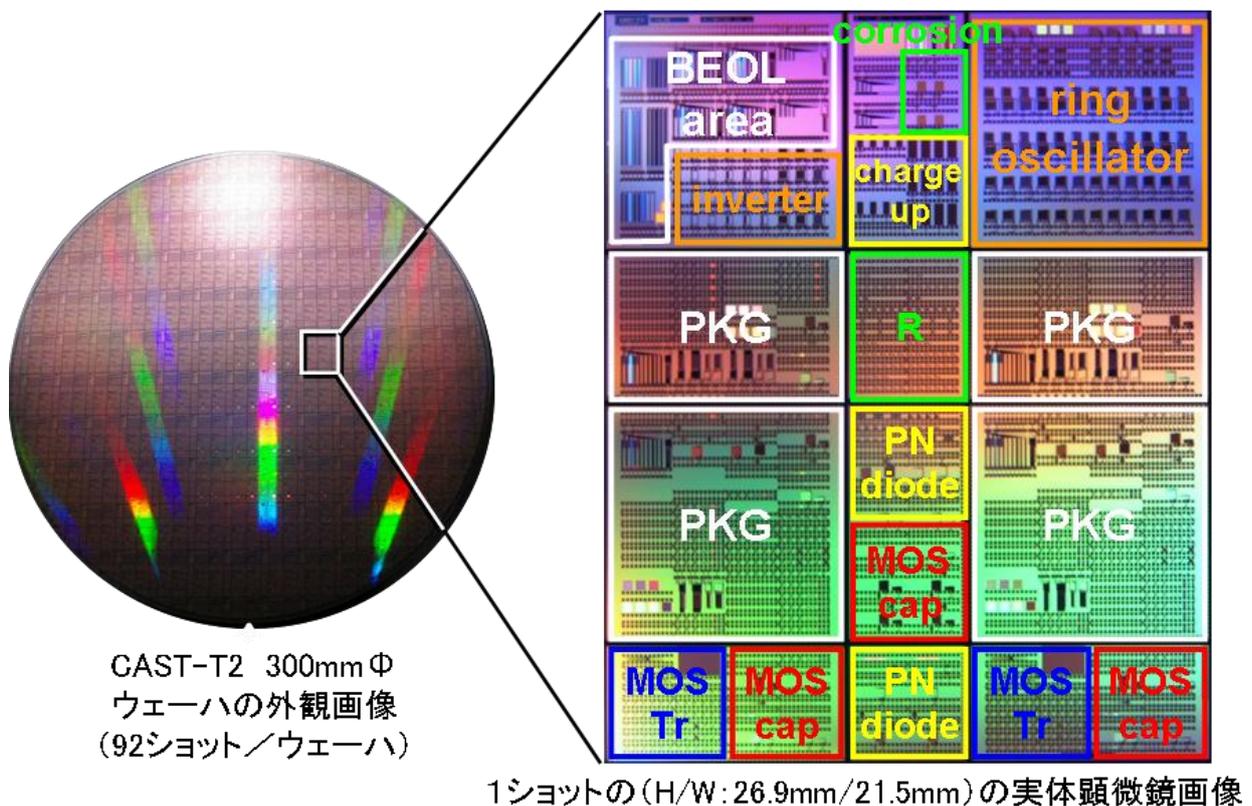


図 2. 1. 2-2 TEG ウェーハおよび1ショットの写真

表 2. 1. 2-1 TEG マスクに搭載した主要な TEG の一覧表 (1)

項目/素子	種 類	寸 法	個数
PN接合	L型	12~300 μ m	23
	NI型	2~300 μ m	34
	並列	L, 2 \times 2, 10000個	1
MOS容量	L型	1~300 μ m	27
	FG型	1~300 μ m	64
	クランプ付	1~10 μ m	30
NMOSTランジスタ	単体	02~30 μ m	22
	単体(クランプ付)	02~1 μ m	9
	並列	10個、100個	8
		10000個 (0.3 \times 10)	1
マトリックス	3 \times 3	1	
抵抗	拡散 (N1、中抵抗)	幅1, 2, 5 μ m	10
	拡散 (N2、低抵抗)	幅1, 5 μ m	6
	ポリSi (N型FG)	幅0.3, 1, 2, 5 μ m	11
	NMOS (FG-Sショート)	L = 02, 05, 1 μ m	6
寄生NMOS	FG, M1, M2	L = 0.6, 1.6 μ m	12
SBD	NI型 GR有無	10, 100 μ m \square	4

表 2. 1. 2-2 TEG マスクに搭載した主要な TEG の一覧表 (2)

項目/素子	種 類	寸 法	個数
配線系	つづら (M1, M2)	02, 025, 03, 035 μ m	12
	くし (M1, M2)	02, 025, 03, 035 μ m	24
	層間くし (M1/M2)	02, 025, 03, 035 μ m	18
	連続Via	025 μ m, 10000個	1
	Via抵抗	025 μ m, Kelvin	1
	シート抵抗	M1, M2	2
拡散系	シート抵抗	BN, NI, N2, FG, 他	8
	コンタクト抵抗	FG, S/D, NI, P	8
	連続CONT (NR, SD, PR)	0.4 μ m, 10000個	3
	分離特性	L-L, 0.4~25 μ m	8
アンテナTEG	容量	1~10 μ m	14
	NMOS	02~10 μ m	10
腐食TEG	N型	02, 1 \times 126 μ m, 他	50
	P型	02, 1 \times 126 μ m, 他	50
回路TEG (NMOS)	インバータ	1段 3段 11段	44
	リングオシレータ	5段 11段 21段	39
ペア特性	NMOS	02, 05 μ m	6
	ポリSi抵抗	1, 5 μ m	6

a. p-n 接合

材料やプロセスに起因する主に重金属汚染を評価するため p-n 接合素子を設計した。そのレイアウトと断面構造を 図 2. 1. 2-3 に示す。構造として大別すると、L 型と N1 型がある。L 型は接合の周辺部が素子分離の LOCOS に接している構造であり、N1 型は接合の周辺部が LOCOS から離れている構造である。それぞれの構造で、接合の面積、周辺長の異なる p-n 接合素子を設計した。

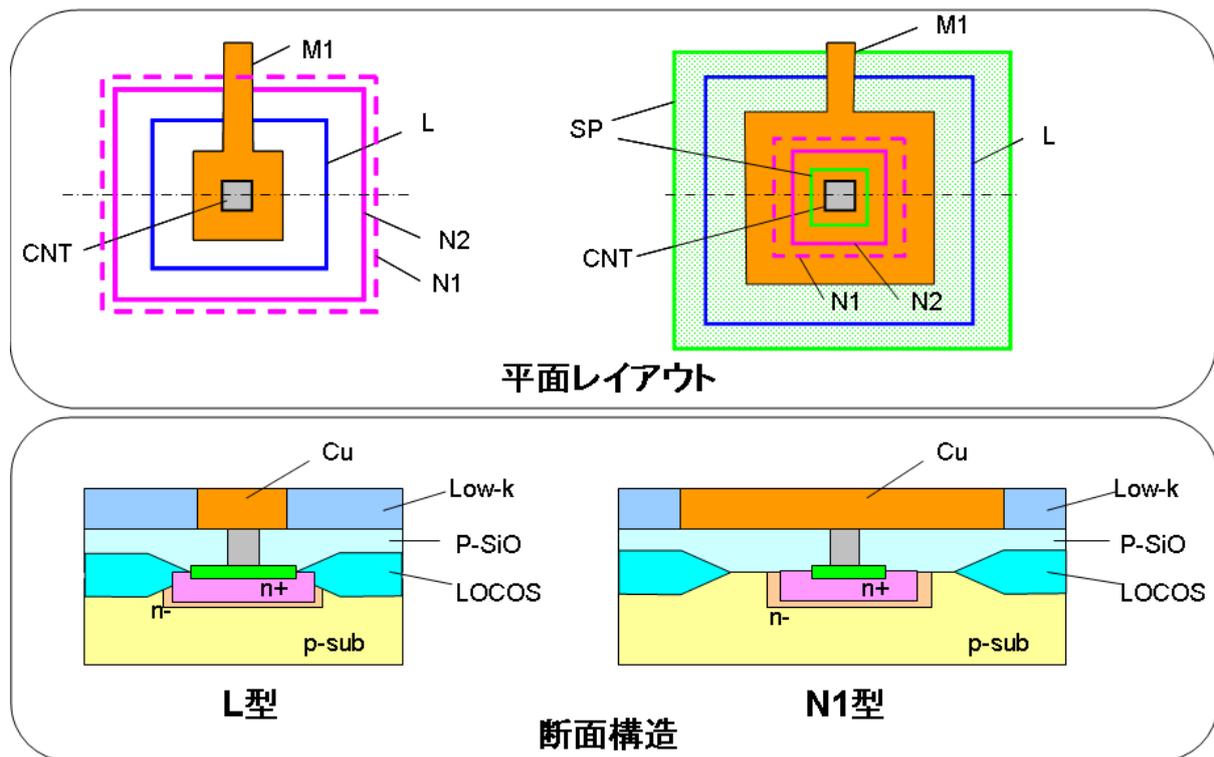


図 2. 1. 2-3 p-n 接合素子のレイアウトと断面構造

b. MOS 容量素子

材料やプロセスに起因するアルカリ金属や重金属の汚染、電荷蓄積を評価するため MOS 容量素子を設計した。そのレイアウトと断面構造を 図 2. 1. 2-4 に示す。構造として大別すると、L 型と FG 型がある。L 型はゲート電極が素子分離の LOCOS 上まで伸びて重なっている構造であり、FG 型はゲート電極が LOCOS から離れている構造である。それぞれの構造で、ゲート電極下のゲート絶縁膜の面積、周辺長の異なる MOS 容量素子を設計した。

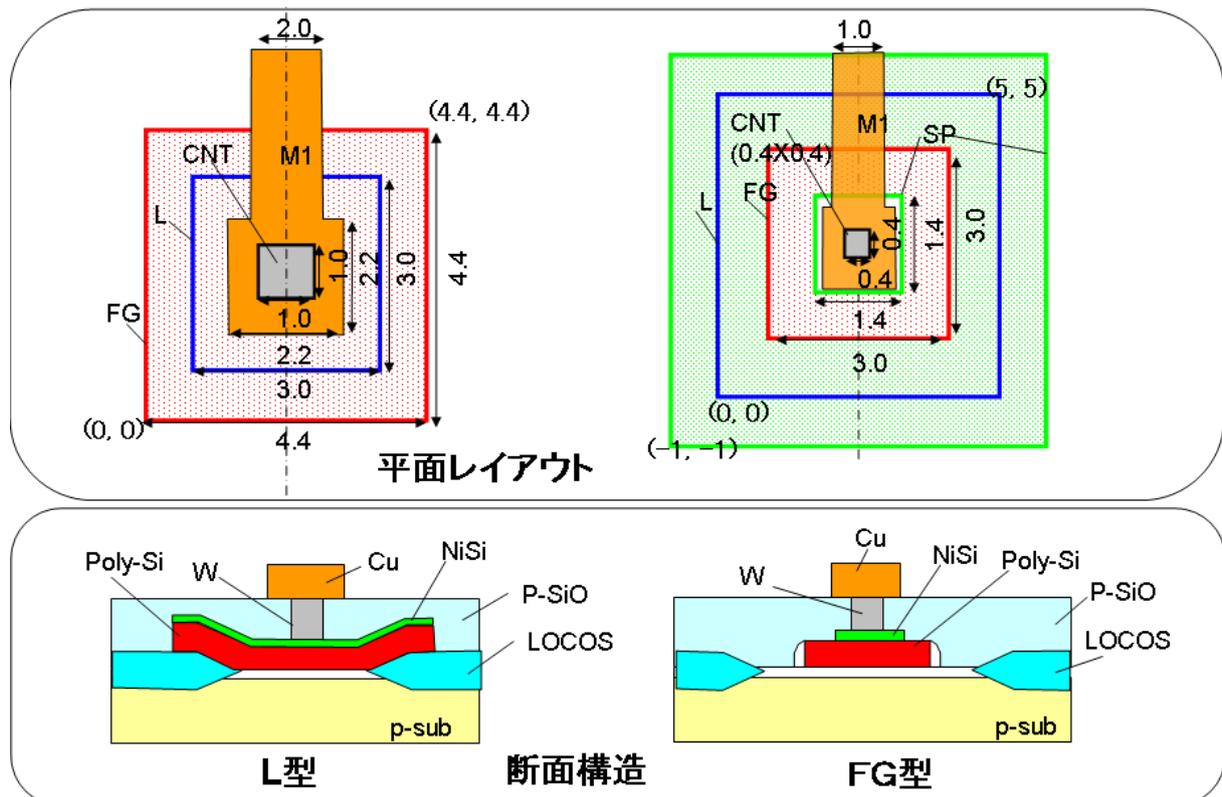


図 2. 1. 2-4 MOS 容量素子のレイアウトと断面構造

c. NMOS トランジスタ

p-n 接合素子や MOS 容量素子というような接合素子を作れば、NMOS トランジスタが同時に作成できる。しきい電圧の変化などのトランジスタの電気特性の変動により材料やプロセスの影響が高感度で評価できることを期待して NMOS トランジスタを設計した。そのレイアウトと断面構造を図 2. 1. 2-5 に示す。サブミクロン領域のゲート寸法での安定動作を確保するため LDD (Lightly Doped Drain) 構造を採用した。また、ゲート電極の poly-Si 上、ソース、ドレインの n+拡散層上は同時にメタルシリサイドが形成されるサリサイド構造を用いてそれらの抵抗を下げた。また、Cu 配線と接続するためのコンタクトには W プラグを採用した。トランジスタの性能を決めるゲート寸法は $0.2\ \mu\text{m}$ 以上、ゲート幅は $1\ \mu\text{m}$ 以上として、種々の寸法や幅のトランジスタを設計した。

標準的には、外注による FEOL 試作は、W プラグ形成の後 SiC 膜を全面に堆積する工程までである。その後、Cu 配線のための Low-k 膜などの絶縁膜形成から BEOL プロセスになり、CASMAT にて試作した。

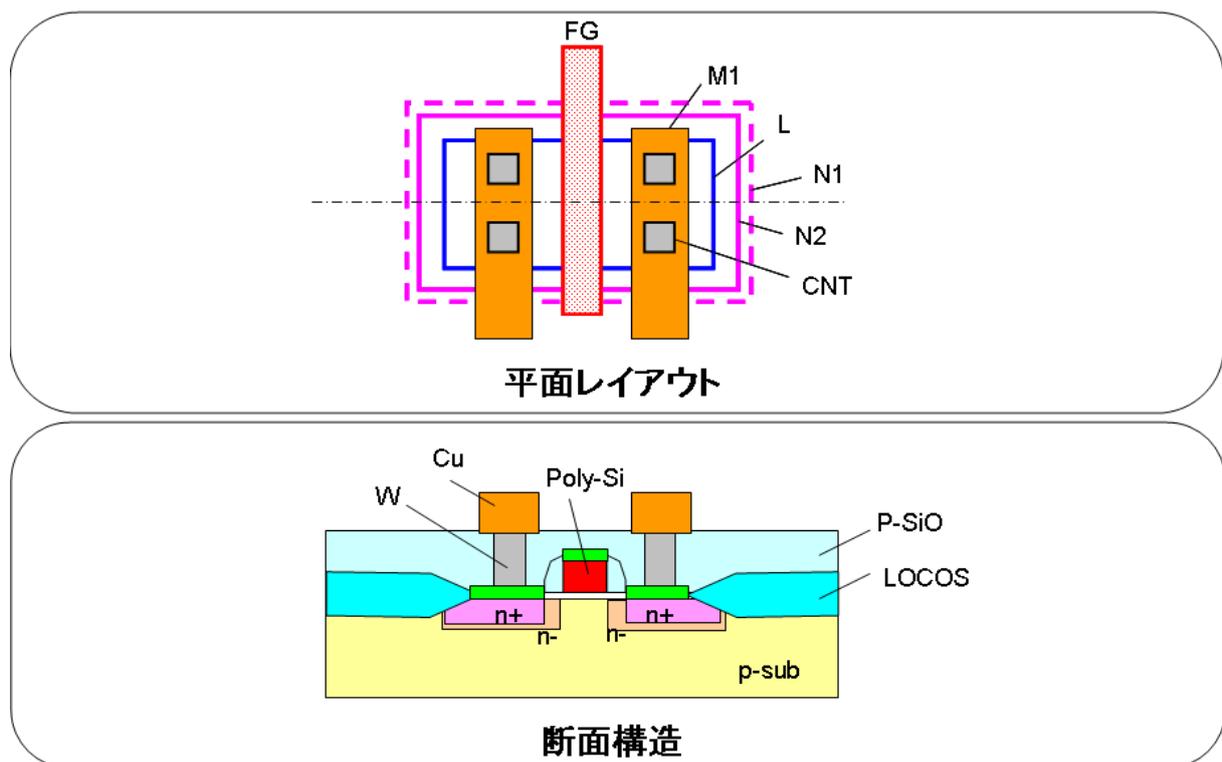


図 2. 1. 2-5 NMOS トランジスタのレイアウトと断面構造

d. 抵抗素子

FEOLプロセスで形成される抵抗素子は、もともとはイオン打込みによる不純物のドーピングや熱処理が再現性良く、仕様どおり行なわれたかどうかを判定するために用いられる。そのような抵抗素子としては、N1マスクを用いてSiにイオン打込みして形成する比較的抵抗の高いn層の抵抗素子、N2マスクを用いてSiにイオン打込みして形成する比較的抵抗の低いn+層の抵抗素子、poly-Siの抵抗素子などがある。これらの抵抗素子のレイアウトと断面構造を図2.1.2-6から-8に示す。これらは拡散層やpoly-Siの抵抗そのものを測定するため、測定部分のメタルシリサイドが形成されないようにSi基板やpoly-Si表面を絶縁膜で保護することになっている。理由は、メタルシリサイドの抵抗は極めて小さいので、それが形成されるとほとんどメタルシリサイドの抵抗になってしまうことを避けるためである。測定素子の寸法は、幅1、2、5 μm とし、長さをそれぞれ5、10、20 μm として設計した。

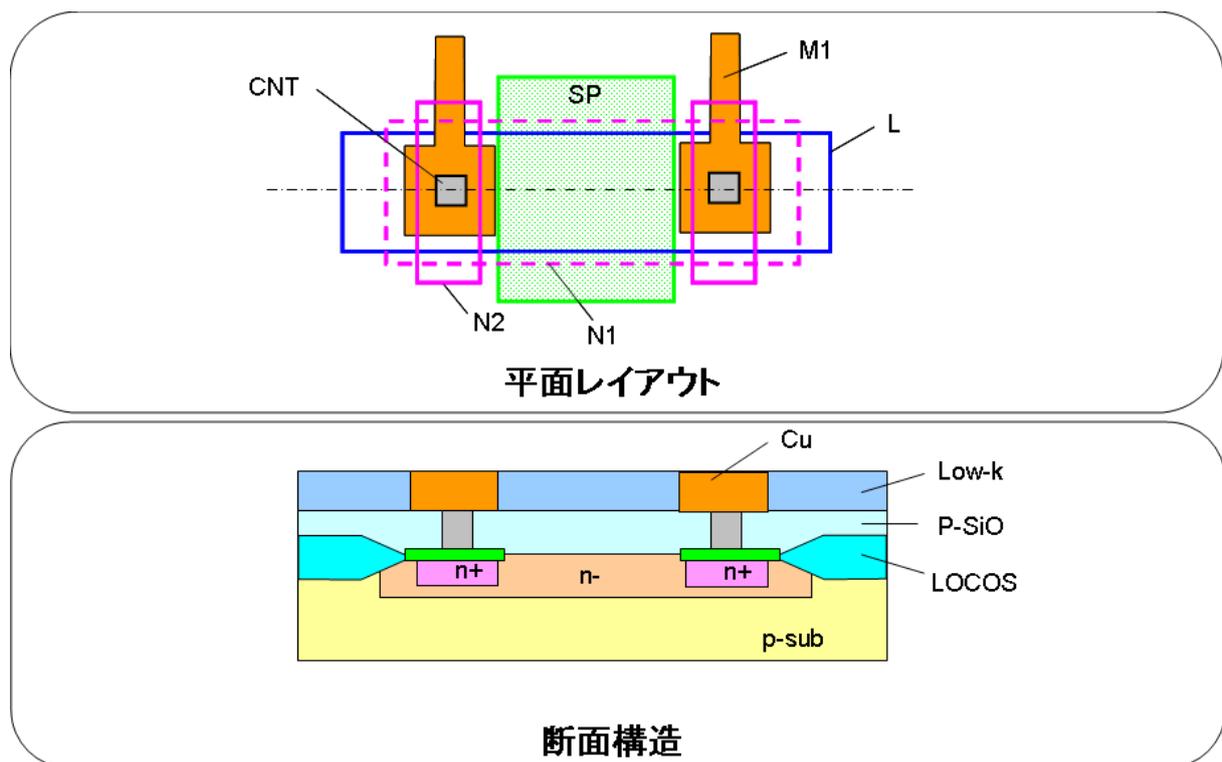


図 2.1.2-6 n層の抵抗素子のレイアウトと断面構造

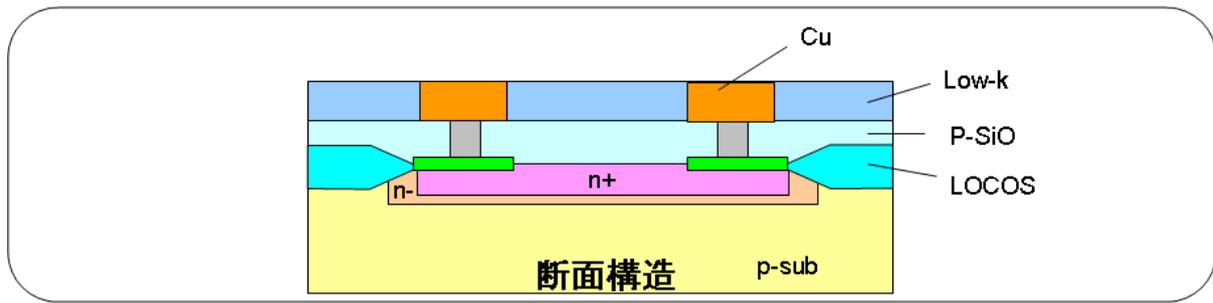
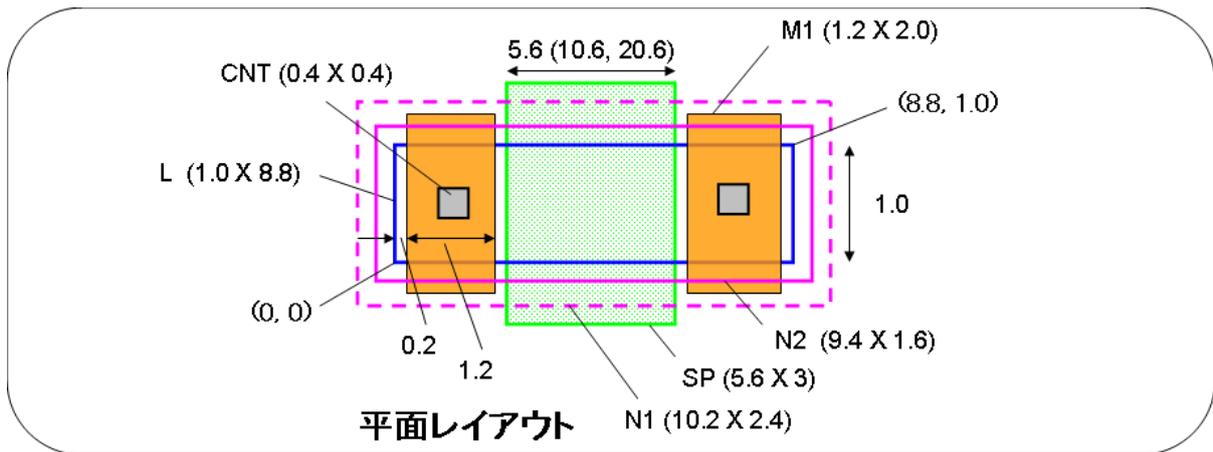


図 2. 1. 2-7 n+層の抵抗素子のレイアウトと断面構造

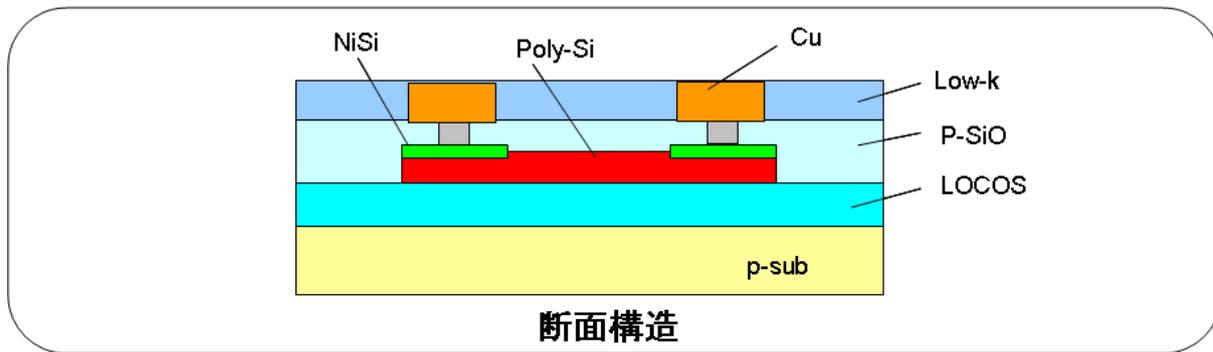
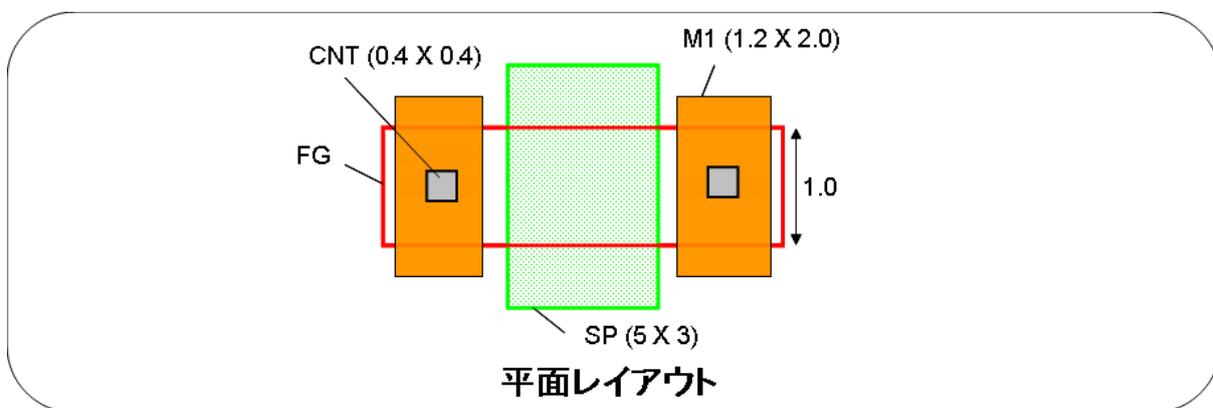


図 2. 1. 2-8 poly-Si層の抵抗素子のレイアウトと断面構造

e. 寄生 MOS

寄生 MOS はもともとトランジスタなどの素子分離が正常に行なわれているかどうか判定するものである。今回のマスク構成では、ゲート電極の層によって 3 種類できる。ゲート電極を FG、M1、M2 としたものである。特に M2 寄生 MOS ではゲート絶縁膜に相当する膜中に配線層間絶縁膜が含まれることから、その材料の影響を電気特性から直接評価できる可能性がある。それぞれの寄生 MOS のレイアウトと断面構造を **図 2. 1. 2-9** から **11** に示す。トランジスタのゲート長に対応するのは、寄生 MOS の素子分離幅である。この寸法として、それぞれの寄生 MOS で 0.6、1.6 μm の 2 種類とした。寄生 MOS のゲート電極となる FG、M1、M2 の寸法は、T2 マスクでは素子分離幅より小さい寸法で設計したが、T3 マスクでは、それより大きい寸法の M1、M2 の寄生 MOS を追加した。また、チャンネル幅に対応する能動領域の寸法についてもそれぞれの寄生 MOS で 3、10 μm の 2 種類で設計した。

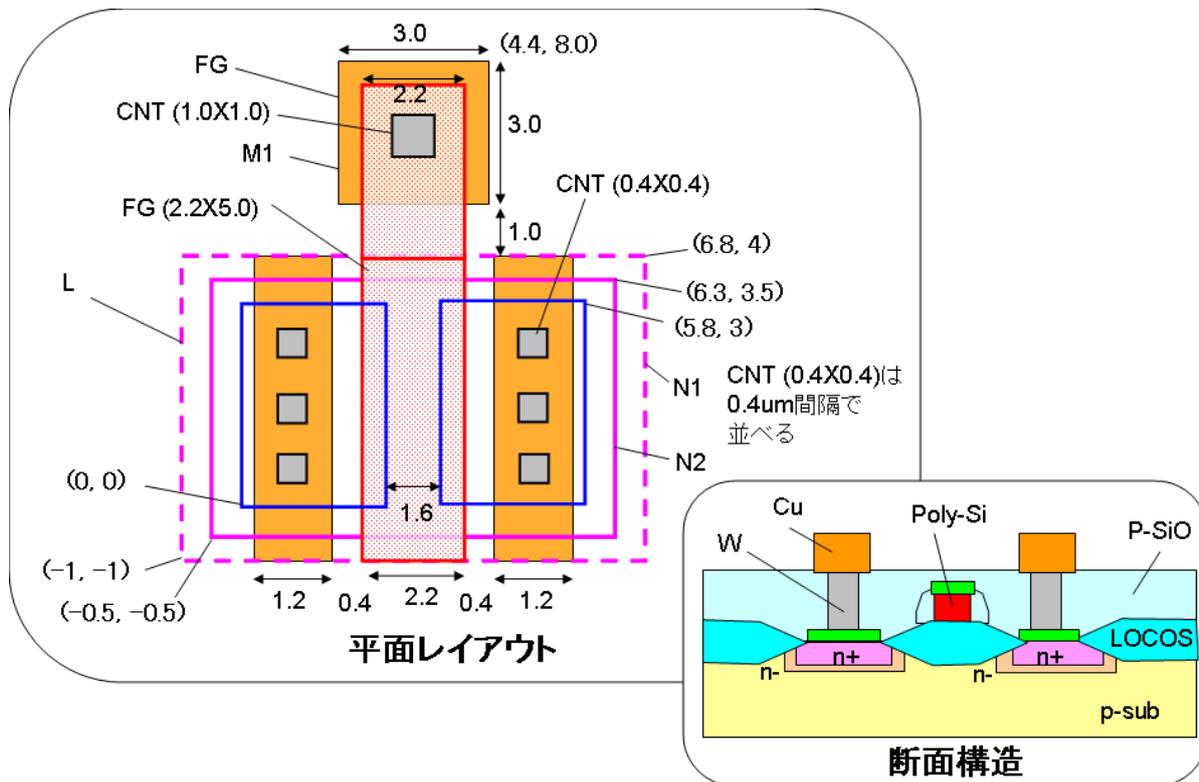


図 2. 1. 2-9 FG 寄生 MOS のレイアウトと断面構造

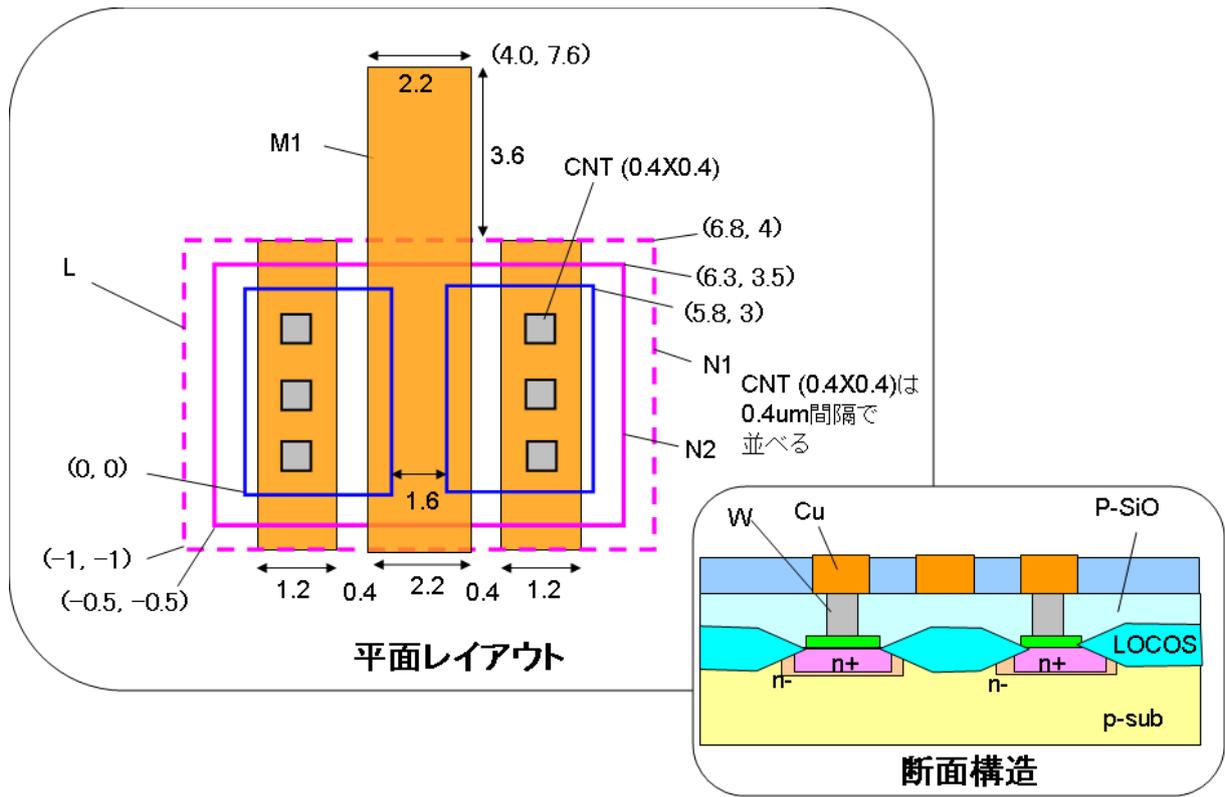


図 2. 1. 2-10 M1 寄生 MOS のレイアウトと断面構造

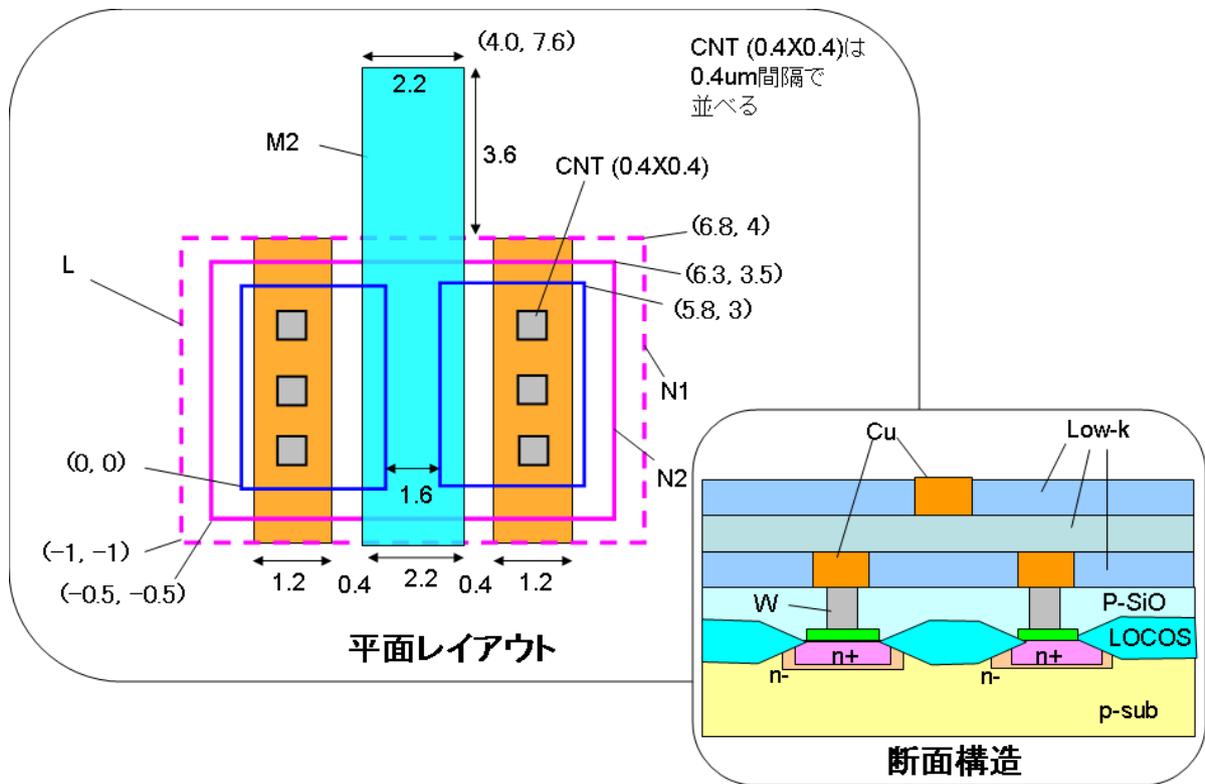


図 2. 1. 2-11 M2 寄生 MOS のレイアウトと断面構造

f. アンテナ TEG

アンテナ TEG は、材料やプロセスに起因するウェーハ表面での電荷蓄積を評価するために用いる。その断面構造とレイアウトを図 2. 1. 2-12 に示す。構造としては、微細な L 型容量素子のゲート電極側に、アンテナ PAD と呼ぶ大面積の M1 配線、M2 配線を接続したものである。このような構造で、大面積の配線の面積とゲート絶縁膜の面積の比をアンテナ比と呼ぶ。一般にはこの比が大きいほど配線に流入する電荷が多くなるのでゲート絶縁膜の絶縁破壊が起こりやすくなる。T2 マスクでは最大 220 k 倍としたが、T3 マスクでは最大で 1200 k 倍まで大きくした。

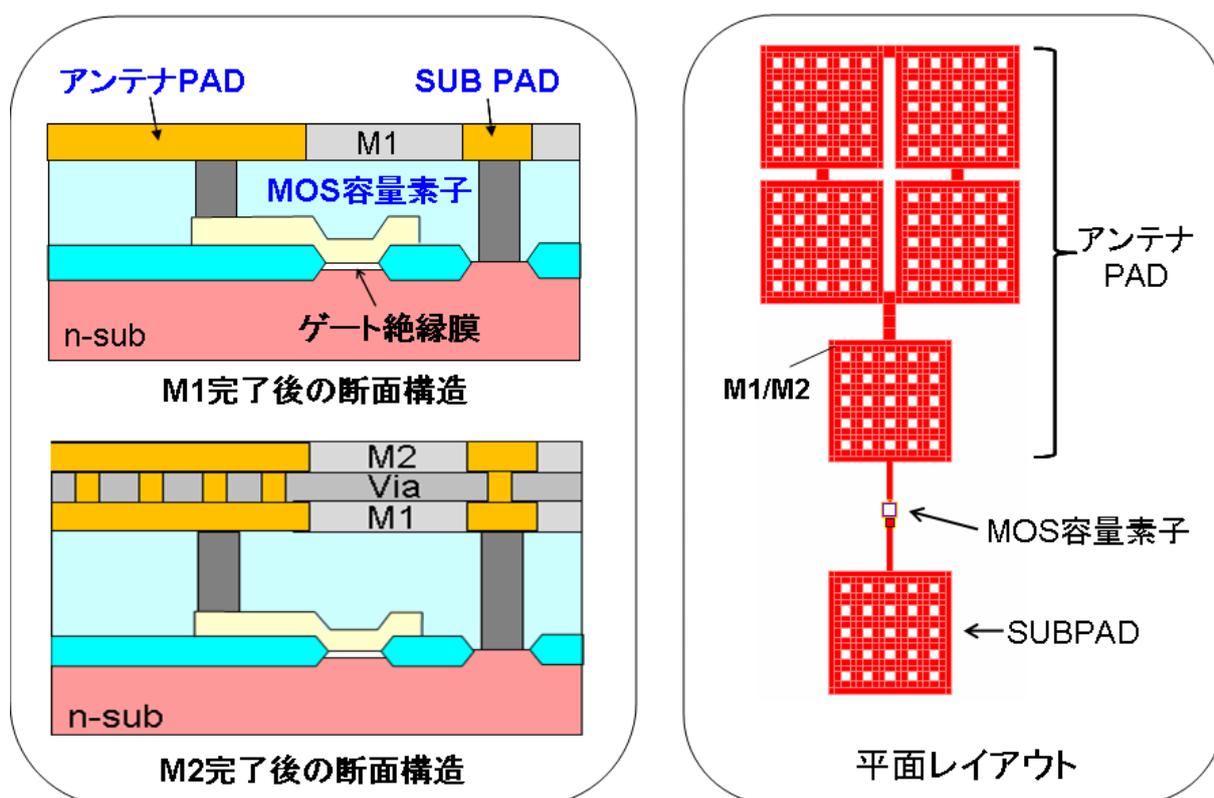


図 2. 1. 2-12 アンテナ TEG の断面構造とレイアウト

g. 腐食 TEG

電池作用により、Cu CMP やその後の洗浄で Cu の腐食が発生することは良く経験されている。それらは主に、配線が形成された後、Cu 表面の観察により発見されており、腐食の発生があったか無かったかというような極めて定性的な評価であった。腐食の原因となる電池作用として、p-n 接合電池（一種の太陽電池）を利用して、腐食をより定量的に評価することを目的に腐食 TEG を設計した。そのレイアウトを **図 2. 1. 2 - 1 3** に示す。幅 $0.2\ \mu\text{m}$ もしくは $1\ \mu\text{m}$ で長さが $100\ \mu\text{m}$ の Cu 配線の抵抗を測定するものであるが、特徴は、この配線を p-n 接合の n+層もしくは p 型基板に接続しておくことである。なお、T2 マスクではこの 2 種類であるが、T3 マスクでは n+層にも p 型基板にも接続されないフローティングな抵抗も測定できるようにパターンを追加した。

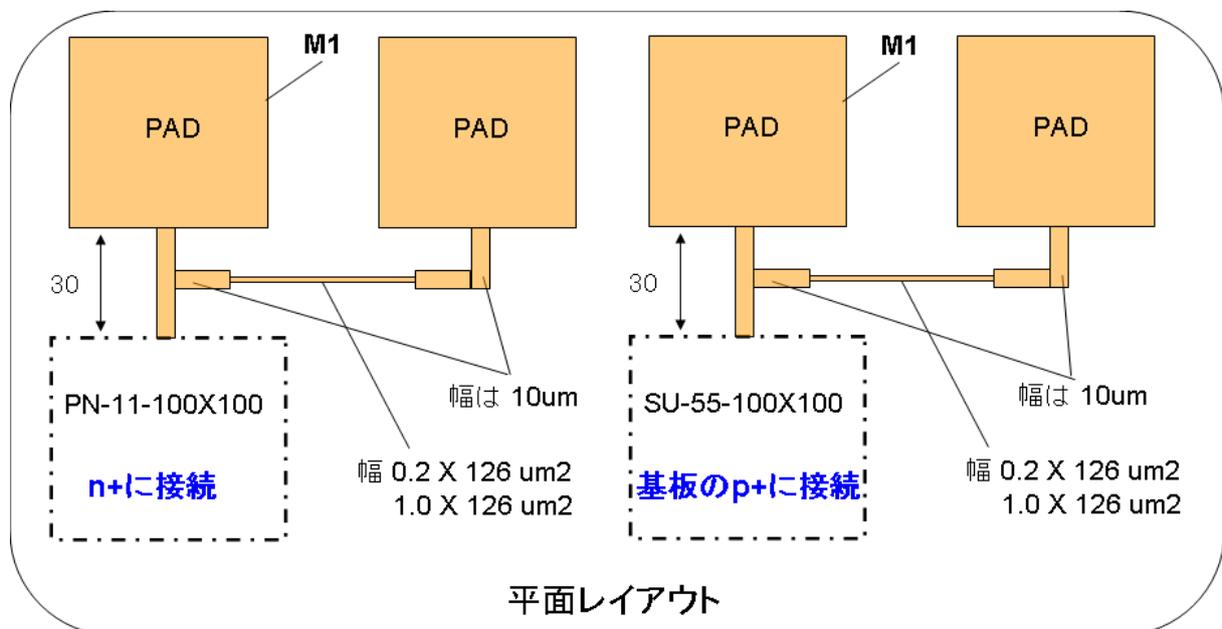


図 2. 1. 2 - 1 3 腐食 TEG のレイアウト

h. リングオシレータ

リングオシレータは、最も簡単にはインバータを奇数個接続することにより構成することができる。インバータには、CMOS の場合には pMOS トランジスタと NMOS トランジスタを直列に接続することにより容易に構成できるが、今回は単一チャネルしか形成されないので、pMOS トランジスタの変わりに poly-Si 抵抗を用いた。リングオシレータのレイアウトを図 2. 1. 2-14 に示す。しかし、このような回路を組み上げても、発振がうまくいくかどうかわからないので、poly-Si 抵抗と NMOS トランジスタは何種類か組み合わせた。

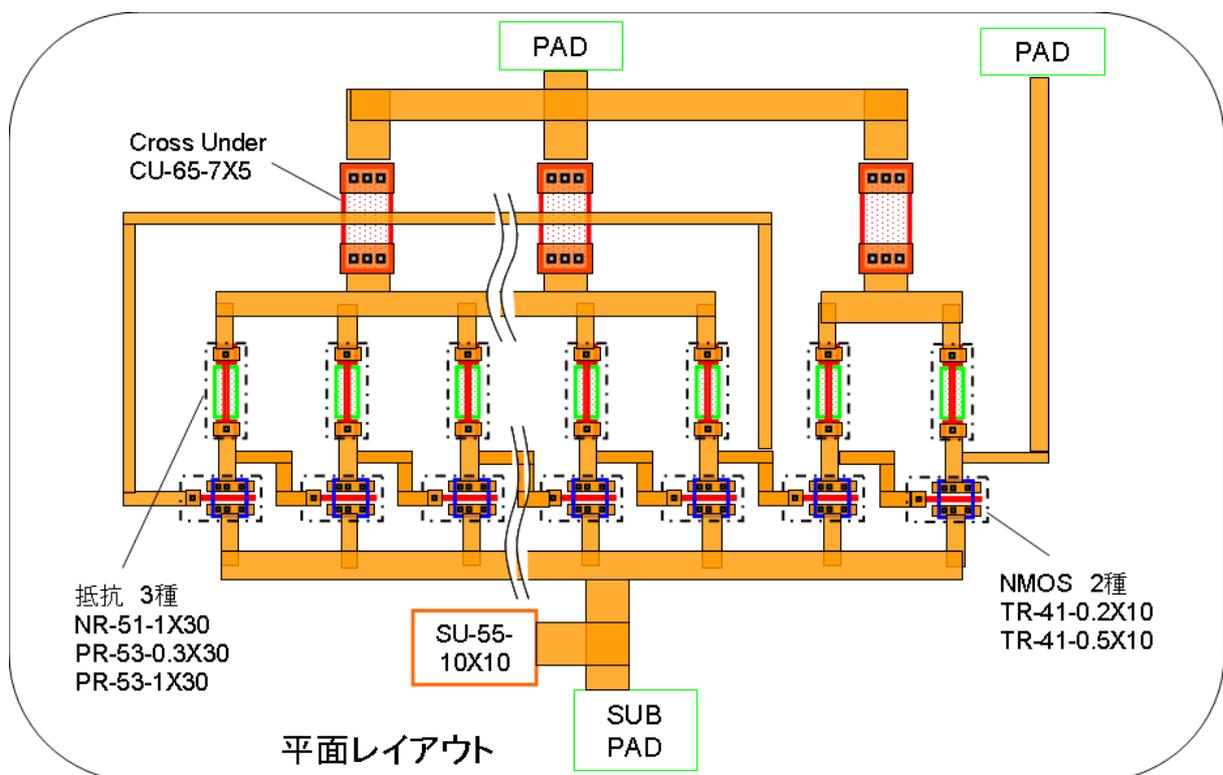


図 2. 1. 2-14 poly-Si 抵抗を用いたリングオシレータのレイアウト

リングオシレータで測定できるのは発振周波数である。それに影響するものとしては、上記の poly-Si 抵抗と NMOS トランジスタの電気特性のほかに、配線の負荷となる容量と抵抗がある。そこで発振を伝播するインバータ間の Cu 配線に容量と抵抗を負荷として挿入したリングオシレータの発振周波数を測定することにより、材料やプロセスに起因した配線特性が測定できると考えた。負荷の一つとして、楕形の Cu 配線で形成される容量の場合のレイアウトの一例を図 2. 1. 2-15 に示す。このリングオシレータの周波数測定により、配線の層間絶縁膜に用いられる Low-k 材料の誘電率などが評価できると期待される。

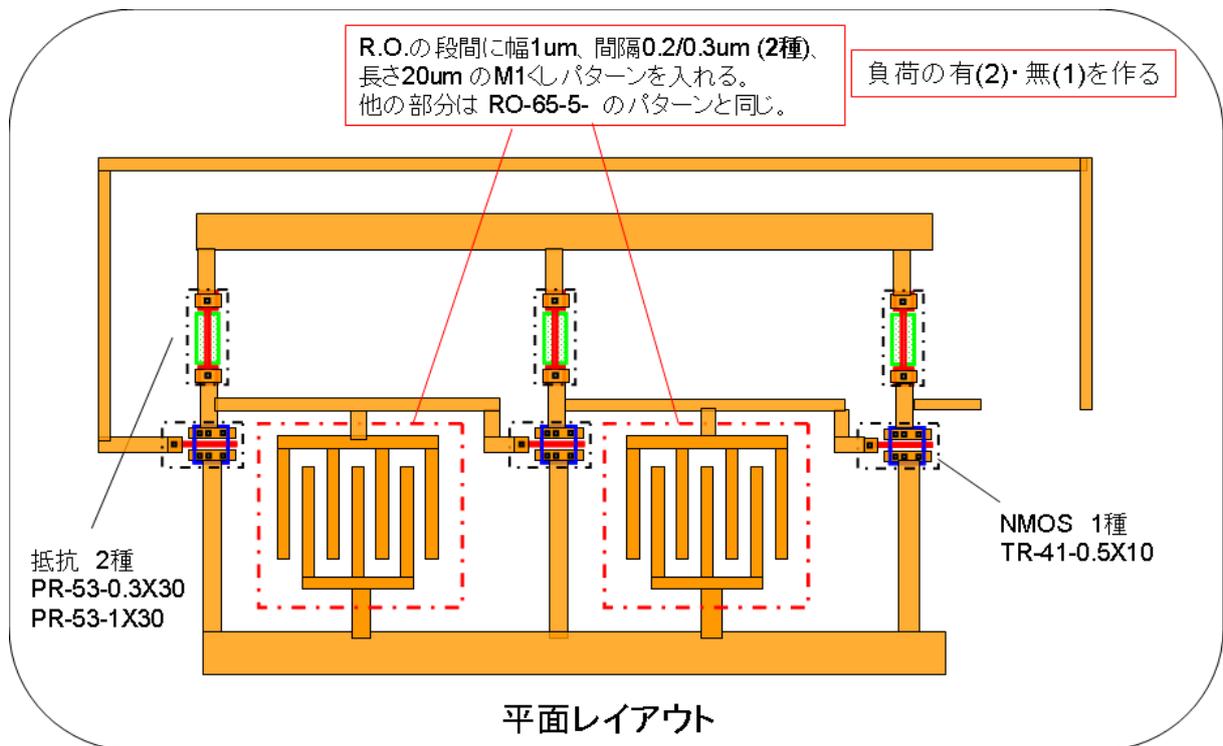


図 2. 1. 2-15 Cu 配線で形成される容量を負荷としたレイアウト

2. 1. 3. TEG 試作プロセス

単一の N チャネルトランジスタなどの TEG を試作するプロセスフローを **図 2. 1. 3-1** に示す。FEOL プロセスに対応する工程 No.1 から No.48 までは外注にて試作した。工程 No.49 以降が BEOL プロセスに対応し、CASMAT にて試作した。**III. 2. 1.**

1. マスク開発、試作の経緯で述べたように、T2 マスクでの FEOL 試作は Selete にて行なったが、T3 マスクは Tei に外注した。このプロセスフローは、T2 マスクを用いたときの Selete でのものである。

プロセスの特徴は、まず、素子分離として製造が容易な 350 nm の選択酸化法 (LOCOS) を用いている。ゲート絶縁膜は、10 nm として、比較的容易に測定できる膜厚に設定した。ゲート電極は poly-Si とし、n+層と同時に Ni シリサイド化するサリサイド法を用いた。イオン打込み工程におけるイオン種と打込みエネルギーに関しては、従来からのデバイスの経験から妥当なものを選択した。しかし、No.11 のイオン打込み量は、MOS トランジスタのしきい電圧を決めるものであることから、シミュレーションと予備実験から決定した。この制御は、リングオシレータのような回路 TEG を動作させるために必要であった。

なお、T3 マスクでの製造では、外注先が変わることから、後で述べるようにその外注先で試作できるようにプロセス条件を見直した。

BEOL 以降のプロセスは CASMAT で試作した。**図 2. 1. 3-1**では、M1 配線の絶縁膜に p-SiO を用いた Cu 1 層配線までの場合を示しているが、CASMAT では Low-k 膜の材料影響を評価するため、p-SiOC や MSQ、有機 Low-k を用いて Cu 2 層配線、Al パッド形成まで行なった。さらには、外注によりパッケージ組立てまで行なって FEOL 素子の測定を行い、材料影響を評価した。

NMOS-TEG プロセス・フロー

使用基板 P型 ~10Ωcm		
No.	工程名	条件
1	酸化	10nm
2	Si3N4 デポ	150nm
3	L ホト	(LOCOS)
4	Si3N4ドライ	150nm
5	L 酸化	350nm
6	Si3N4 除去	(10nm)
7	SiO2 エッチ	10nm (20nm)
8	プレ酸化	10nm
9	B インプラ 1	B+ 120KeV, 5E12
10	B インプラ 2	B+ 220KeV, 2E13
11	B インプラ 3	B+ 10KeV, 1.6E12
12	アニール	850°C, 30sec
13	SiO2 エッチ	10nm (20nm)
14	ゲート酸化	10nm
15	ポリ Si デポ	150nm, Non-dope
16	P インプラ	P+ 10KeV 4E15
17	FG ホト	(ゲート)
18	ポリ Si ドライ	150nm (13nm)
19	酸化	1000°C 5sec, 2nm
20	N1 ホト	(LDD)
21	LDD インプラ	P+ 40KeV, 1E13
22	レジスト除去	
23	TEOS/SiN デポ	TEOS 50nm, SiN 80nm
24	SiN ドライ	80nm, TEOS ウェット
25	N2 アニール	800°C 10min
26	TEOS デポ	10nm
27	N2 ホト	(SD)
28	SD インプラ	As+ 40KeV, 5E15
29	レジスト除去	
30	P ホト	(Sub)
31	Sub インプラ	BF2+ 40KeV, 2E15
32	レジスト除去	
33	N2 アニール	900°C 10min
34	SiN デポ	50nm
35	SP ホト	(シリサイド保護)
36	SP エッチ	SiN 50nm, TEOS 10nm
37	レジスト除去	
38	Ni デポ	
39	アニール 除去	
40	SiN デポ	40nm
41	HDP-USG デポ	750nm
42	CMP	~0.5um
43	CNT ホト	(コンタクト孔)
44	CNT ドライ	FG/SD (Ni-Si)上
45	TiN/Ti スパッタ	
46	W-CVD	500nm
47	W-CMP	
48	SiC デポ	25nm
49	p-SiO デポ	200nm
50	M1 ホト	(メタル 1 層)
51	M1 ドライ	
52	Cuシード	Ta/TaN + Cu シード
53	Cu メッキ	
54	Cu-CMP	
55	H2 アニール	400°C 30min

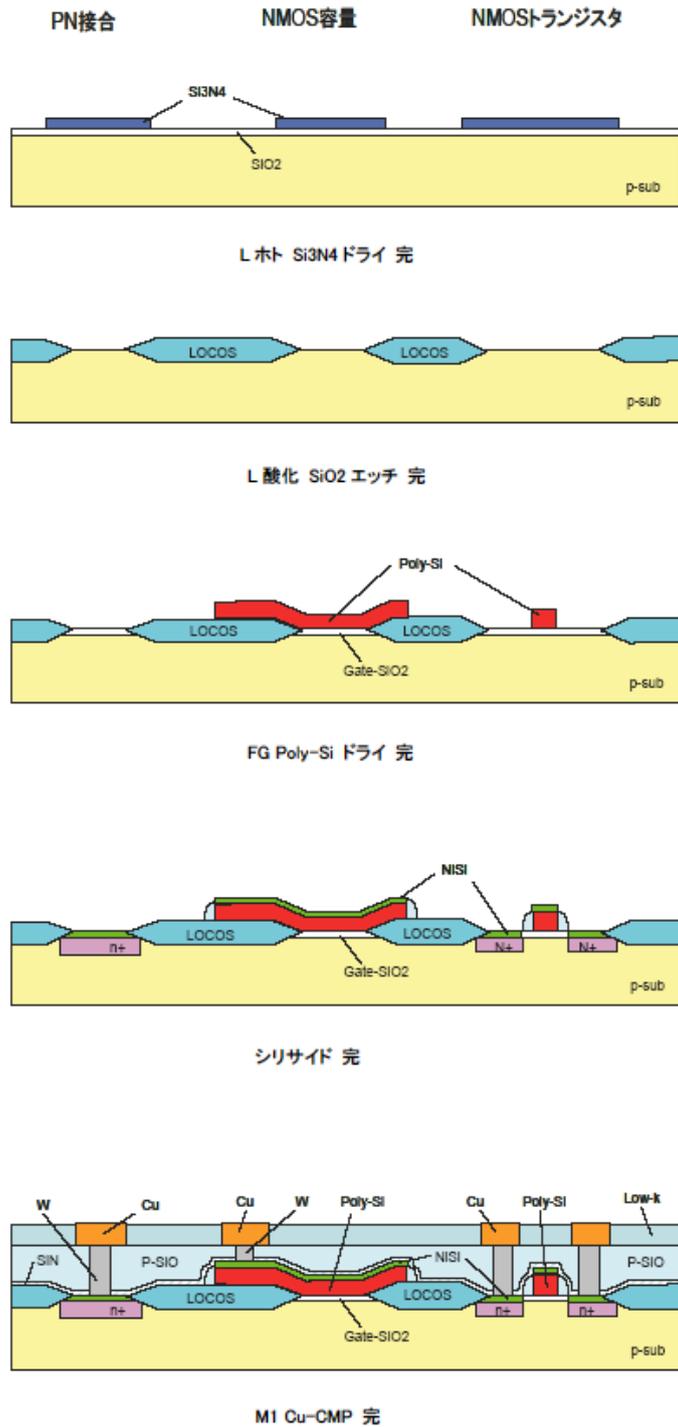


図 2. 1. 3 - 1 NチャネルトランジスタのTEG試作のプロセスフロー

2. 1. 4. 各種 TEG 評価結果

T2 マスクを用いた試作により、FEOL 素子の電気特性を測定し、目的通りの特性が得られるか、マスクおよびプロセスの検証を行なった。また、測定結果を解析して、測定における問題点などを洗い出した。以下、主な TEG として、接合素子の代表的なものである p-n 接合、MOS 容量素子、さらに同じ FEOL プロセスで形成される NMOS トランジスタ、抵抗素子、寄生 MOS、アンテナ TEG の測定結果を述べる。

a. p-n 接合

種々の面積、周辺長をもつ L 型の p-n 接合の室温（約 23℃）での逆方向リーク電流と電圧の関係を測定した結果を図 2. 1. 4-1 に示す。2 枚のウェーハで、各ウェーハ 46 チップの測定結果である。リーク電流、降伏電圧ともにバラツキは小さいことがわかる。降伏電圧は 10.6 V であるので、その直前の電圧として 10V の時のリーク電流と p-n 接合の面積あるいは周辺長との関係を図 2. 1. 4-2 に示す。この関係から、電圧 10V の時のリーク電流は、面積よりも周辺長に依存していることがわかる。p-n 接合の周辺部では、素子分離のため Si 基板より濃度を高くしている p 領域に n+層が接しているため、そこでの電界が高くなって、そこを流れる電流が支配的となるためと考えられる。

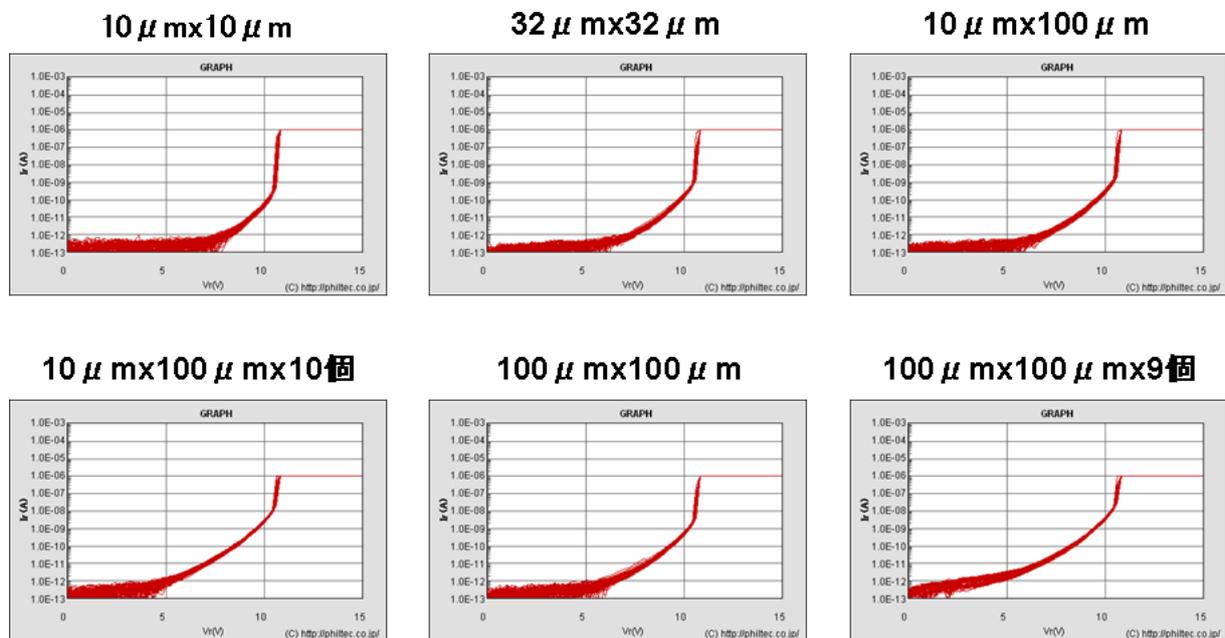


図 2. 1. 4-1 L 型の p-n 接合の室温（約 23℃）での逆方向リーク電流と電圧の関係

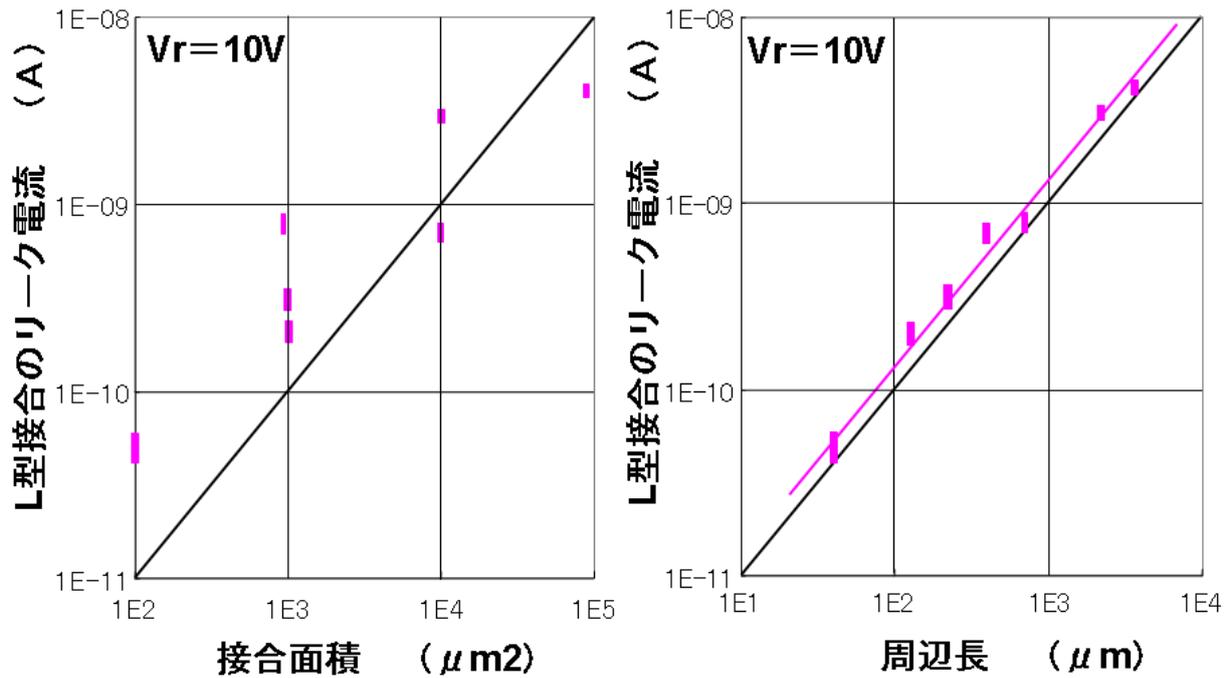


図 2. 1. 4-2 電圧 10V の時のリーク電流と p-n 接合の面積
あるいは周辺長との関係

つぎに、種々の面積、周辺長をもつ N 型の p-n 接合の室温（約 23℃）での逆方向リーク電流と電圧の関係を同じように測定した結果を図 2. 1. 4-3 に示す。同じように、ウェーハ、チップによるバラツキは小さい。L 型と比較すると、降伏電圧に至るまでのリーク電流が小さく、また降伏電圧も 12V と 1.4 V 高くなっている。

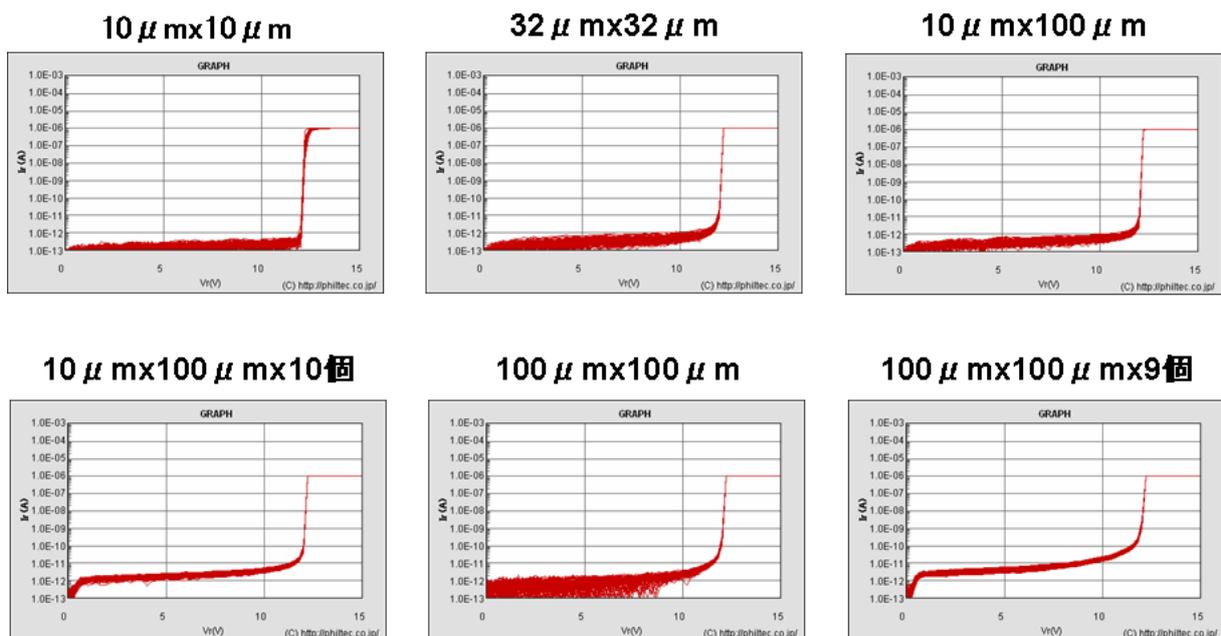
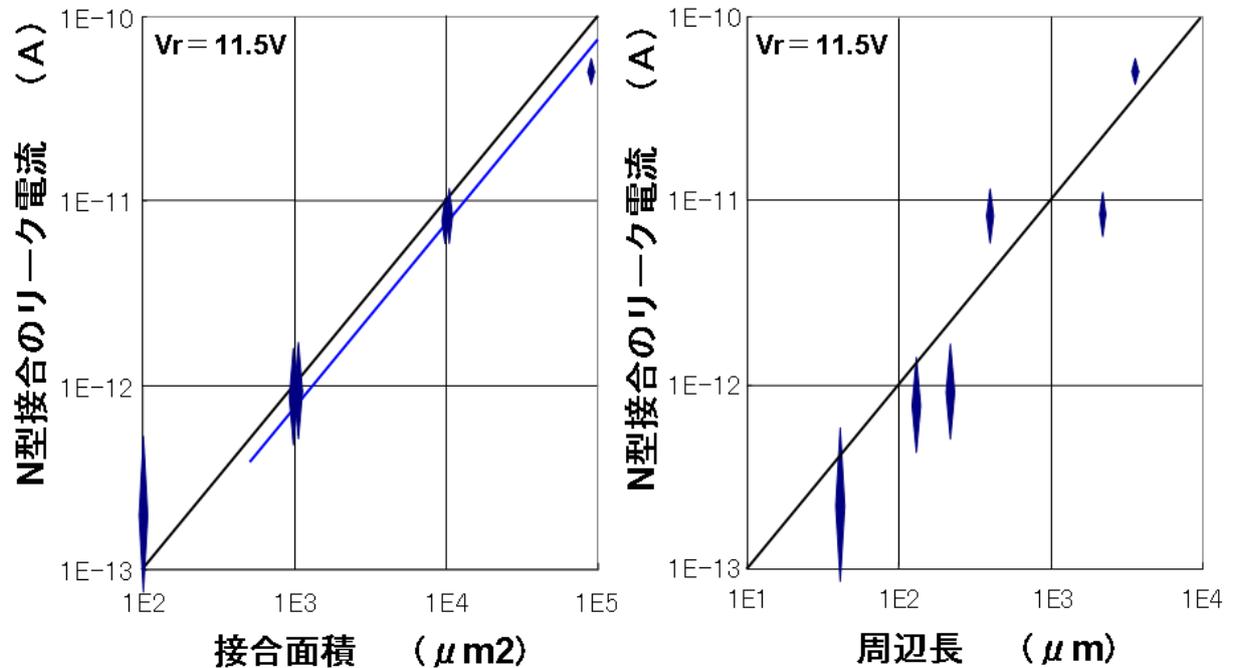


図 2. 1. 4-3 N 型の p-n 接合の逆方向リーク電流と電圧の関係

降伏電圧直前の 11.5V の時のリーク電流と p-n 接合の面積あるいは周辺長との関係を **図 2. 1. 4-4** に示す。N1 型では、L 型と異なり、リーク電流は周辺長よりも面積に依存していることがわかる。p-n 接合が素子分離領域から離れているので、高濃度の p 領域と接しているところが無く、高電界であっても接合面全面から電流が流れていることを示している。



**図 2. 1. 4-4 電圧 11.5V の時のリーク電流と p-n 接合の面積
あるいは周辺長との関係**

さらに、L 型と N1 型について、測定の再現性を調査した。降伏電流の制限値を 1 mA としたときの逆方向リーク電流と電圧の繰り返し測定の結果を **図 2. 1. 4-5** に示す。N1 型では特性が変化しないのに対して、L 型では繰り返し測定を行うと、降伏電圧はほとんど変化しないものの、同一電圧でのリーク電流が増加していく。要因としては p-n 接合周辺部でのリーク電流の集中により、電子が LOCOS 周辺の酸化膜中に捕獲され、p-n 接合周辺部での電界強度が大きくなっていくためと考えられる。降伏電流の制限値を 3 桁小さく 1 μ A としたときの繰り返し測定の結果を **図 2. 1. 4-6** に示す。このようにリーク電流を小さく制限することにより L 型でも特性の変動を抑制できることがわかった。

以上のことから、Si 基板全体に広がった金属汚染などによる p-n 接合の逆方向電流の増加を評価するためには、再現性や微小電流の検出感度の点から N1 型が適していることがわかった。また、L 型を用いる場合には、降伏電流を小さく制御することや、電流が接合周辺部に集中することに注意しなければならないことがわかった。

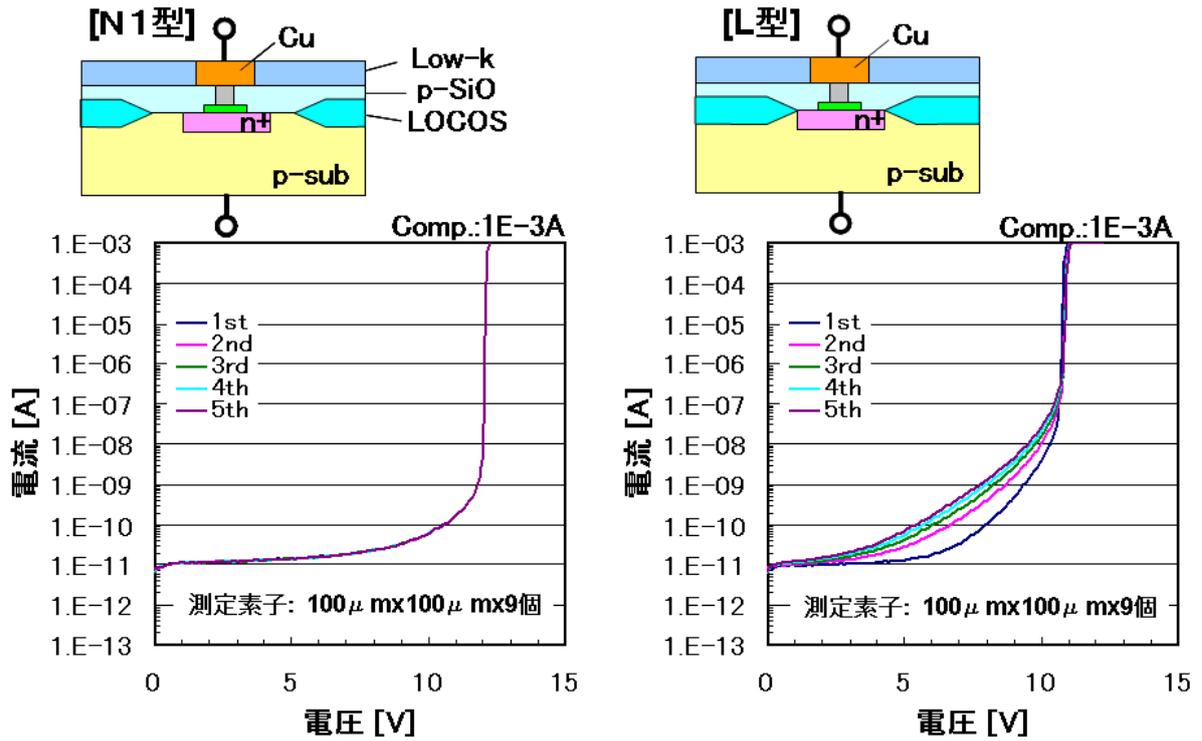


図 2. 1. 4-5 降伏電流の制限値を 1 mA としたときの
逆方向リーク電流と電圧の繰り返し測定の結果

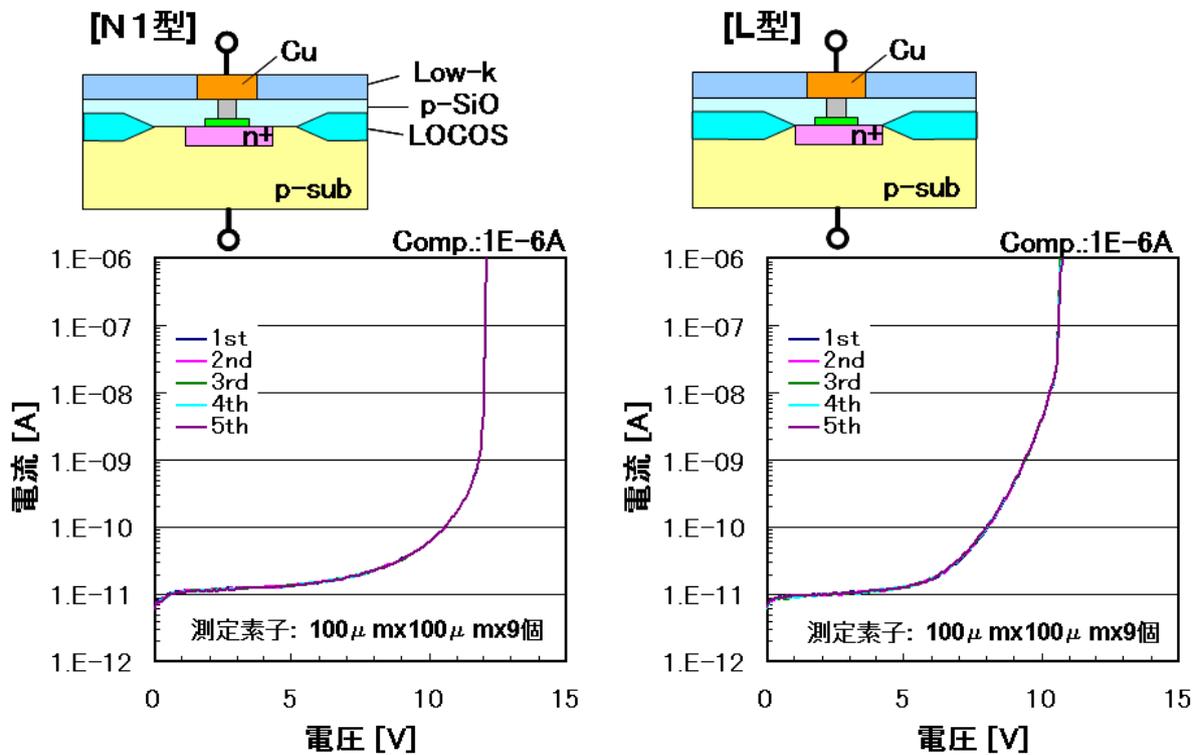


図 2. 1. 4-6 降伏電流の制限値を 1 μA としたときの
逆方向リーク電流と電圧の繰り返し測定の結果

b. MOS 容量素子

種々の面積の L 型の MOS 容量素子の絶縁膜リーク特性と容量—電圧 (C-V) 特性を **図 2. 1. 4-7**、**-8** に示す。なお、MOS 容量素子の測定結果の図で x 軸は、ゲート電極側を 0 V として基板側の電圧を表示している。2 枚のウェーハで、各ウェーハ 46 チップの測定結果である。1 素子で絶縁破壊が見られたが、絶縁膜リーク特性と容量—電圧特性ともにバラツキはほとんど見られず、良く一致している。

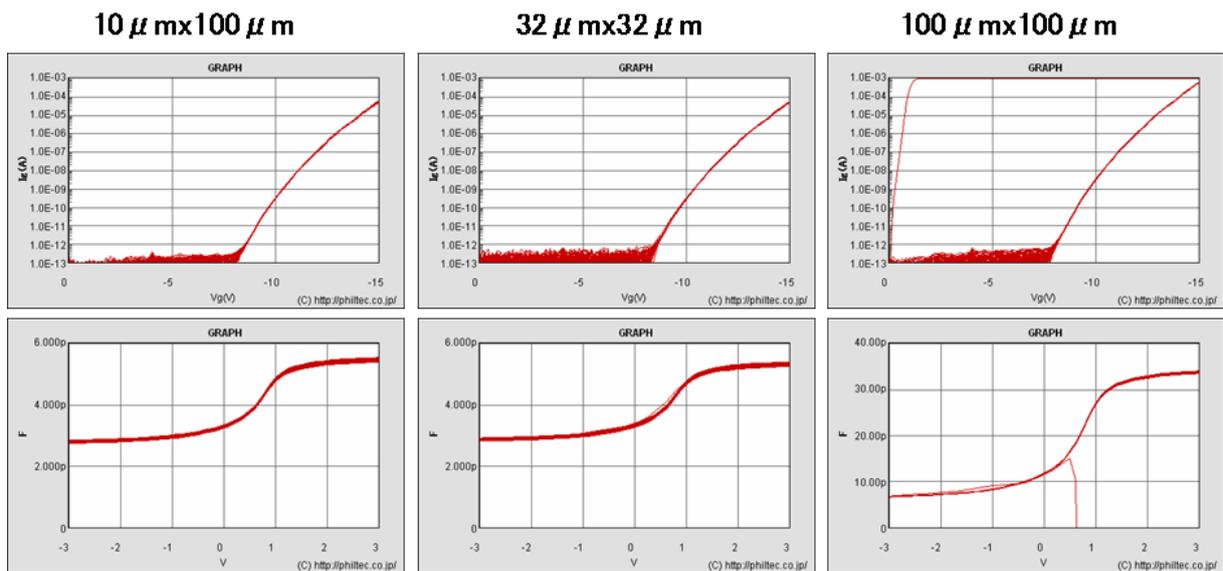


図 2. 1. 4-7 L 型の MOS 容量素子の絶縁膜リーク特性と容量—電圧 (C-V) 特性 (1)

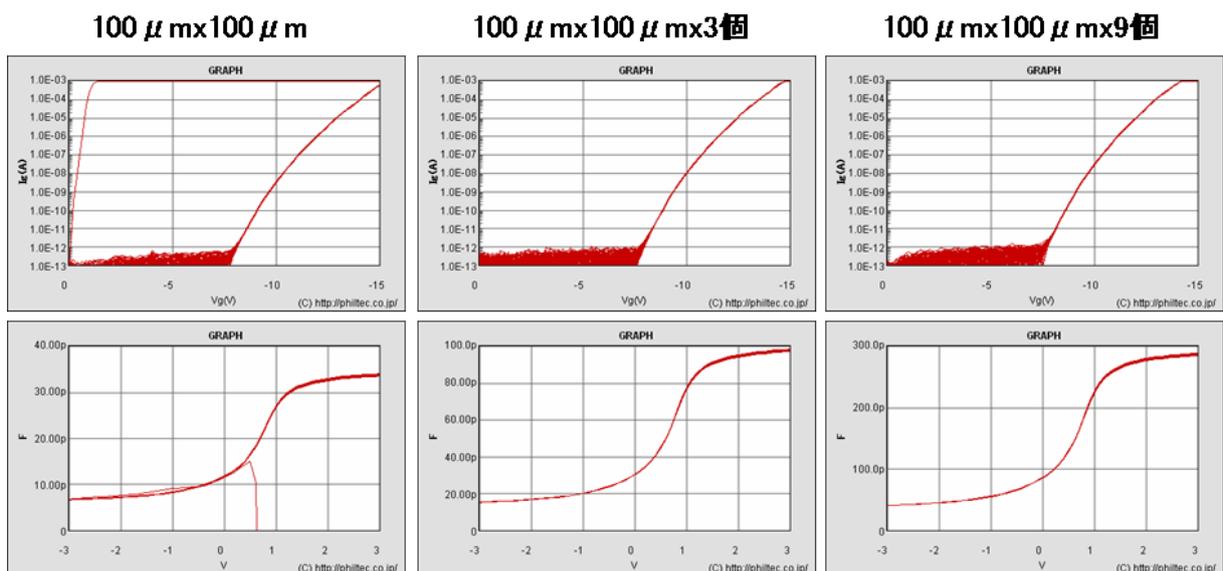


図 2. 1. 4-8 L 型の MOS 容量素子の絶縁膜リーク特性と容量—電圧 (C-V) 特性 (2)

また、種々の面積の FG 型の MOS 容量素子の絶縁膜リーク特性と容量—電圧特性を **図 2. 1. 4-9、-10** に示す。この場合も L 型と同様に測定したが、特性のバラツキもほとんど見られず、良く一致している。

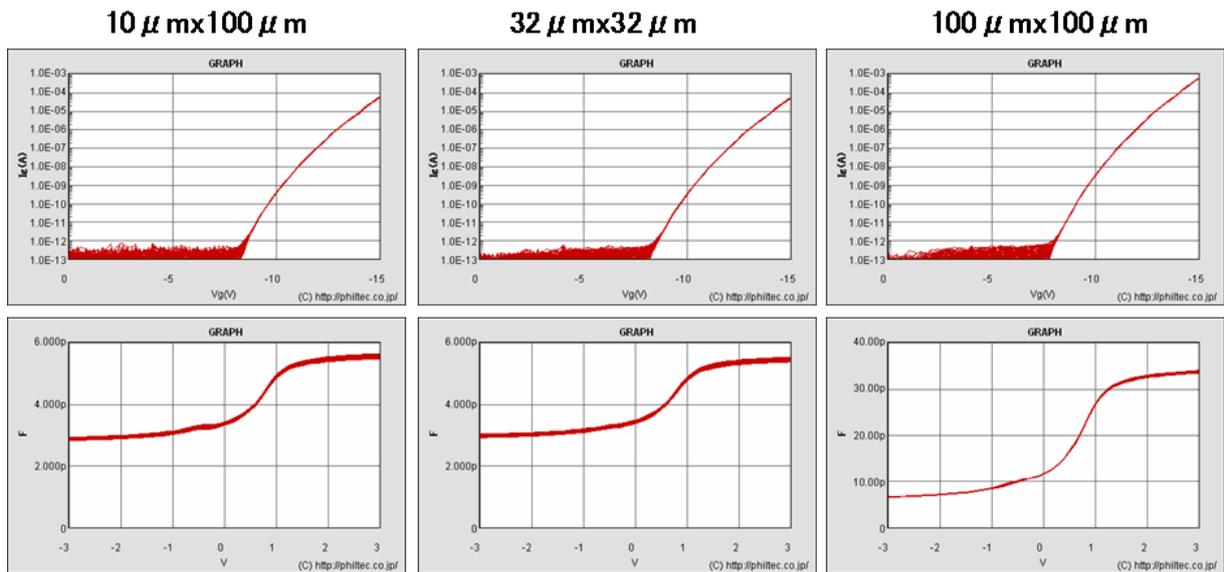


図 2. 1. 4-9 FG 型の MOS 容量素子の絶縁膜リーク特性と容量—電圧 (C-V) 特性 (1)

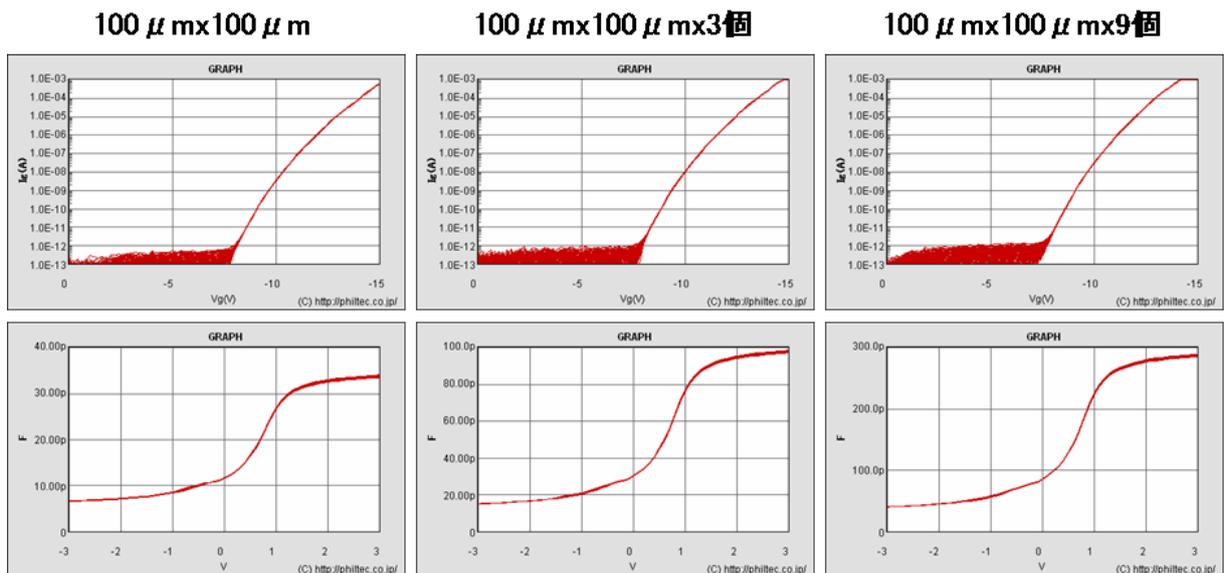


図 2. 1. 4-10 FG 型の MOS 容量素子の絶縁膜リーク特性と容量—電圧 (C-V) 特性 (2)

絶縁膜リーク電流について、電圧 10 V の時のリーク電流とゲート面積の関係を **図 2. 1. 4-11** に示す。L 型、N 型ともに同一の直線になり、ほぼゲート面積に比例する。すなわち、リーク電流はゲート絶縁膜全面に一様に流れていることを示している。

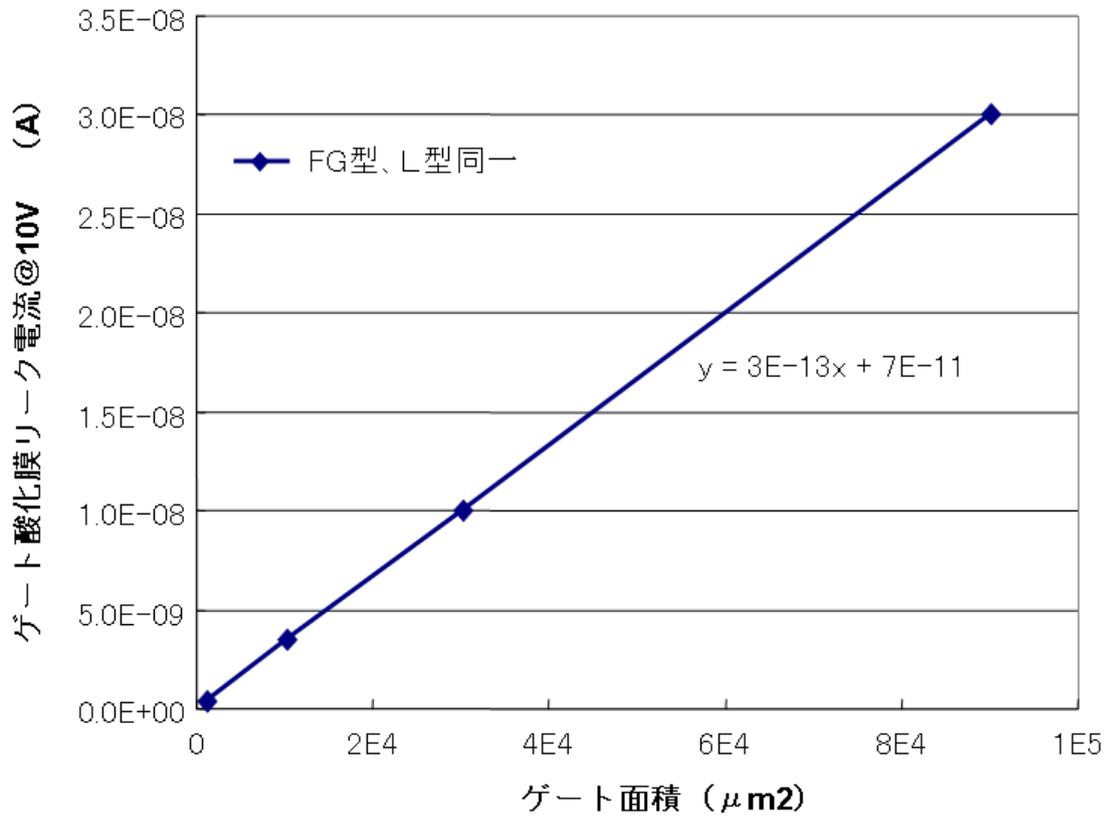


図 2. 1. 4-11 電圧 10 V の時のリーク電流とゲート面積の関係

次にゲート電圧 3 V の時の容量とゲート面積の関係を 図 2. 1. 4 - 1 2 に示す。この場合もほぼ同一の直線となる。Y 軸との切片である約 2 pF は、TEG パターンのゲート絶縁膜以外の配線部やパッドの寄生容量とプローバなど測定装置に起因する寄生容量と考えられる。

以上、MOS 容量素子は期待値どおりの特性を示すことがわかった。アルカリ金属汚染などがゲート絶縁膜に侵入した場合には、C-V 特性が電圧軸の負の方向にシフトする。また、絶縁膜のリーク電流を増大させる場合もある。さらに、外力などにより Si-SiO₂ の界面順位が増加したときには、C-V 特性の曲線で電圧 0~1 V 付近での電圧に対する容量の変化率が減少した曲線や肩のような形状を示すようになる。また、外力によりリーク電流が増大する場合も考えられる。このように MOS 容量素子を用いて、材料やプロセスの影響を評価することも可能になる。

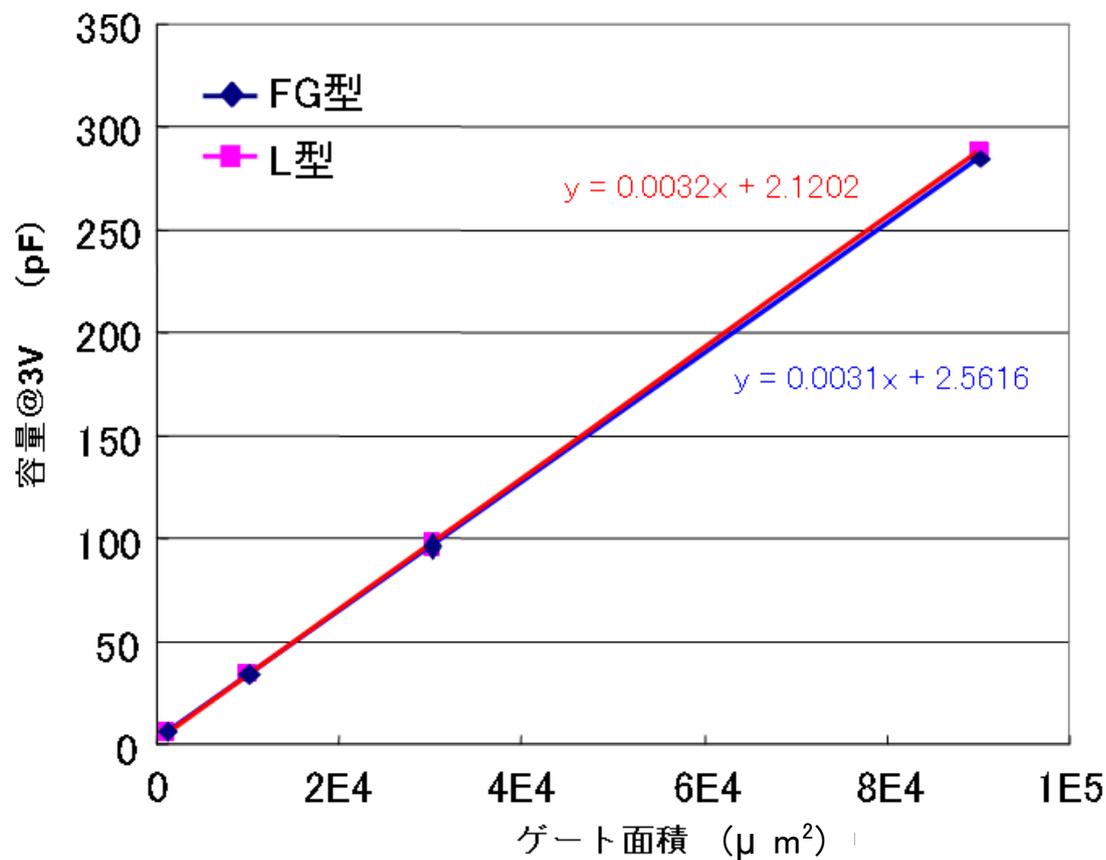


図 2. 1. 4 - 1 2 ゲート電圧 3 V の時の容量とゲート面積の関係

c. NMOS トランジスタ

NMOS トランジスタの構造と代表的な電気特性の 1 例を図 2. 1. 4 - 1 3 に示す。左のグラフは、ドレイン電圧を 3 V としたときのドレイン電流 (I_d) とゲート電圧 (V_g) の関係を示すものである。この曲線から、 $I_d = 1 \text{ nA}/\mu\text{m}$ (チャンネル幅 $1 \mu\text{m}$ あたり 1 nA のドレイン電流) のときの V_g をしきい電圧 (V_{th}) と定義される場合が多く、本報告でもそれに従った。今回の例では、しきい電圧は 0.25 V である。右のグラフは、通常トランジスタの静特性と呼ばれており、ゲート電圧をパラメータとしてドレイン電圧とドレイン電流の関係を示したものである。今回試作した結果では、これらの電気特性が期待値どおり正常な特性を示している。トランジスタの種々の特性変動から、材料やプロセスの影響を評価することが可能になる。

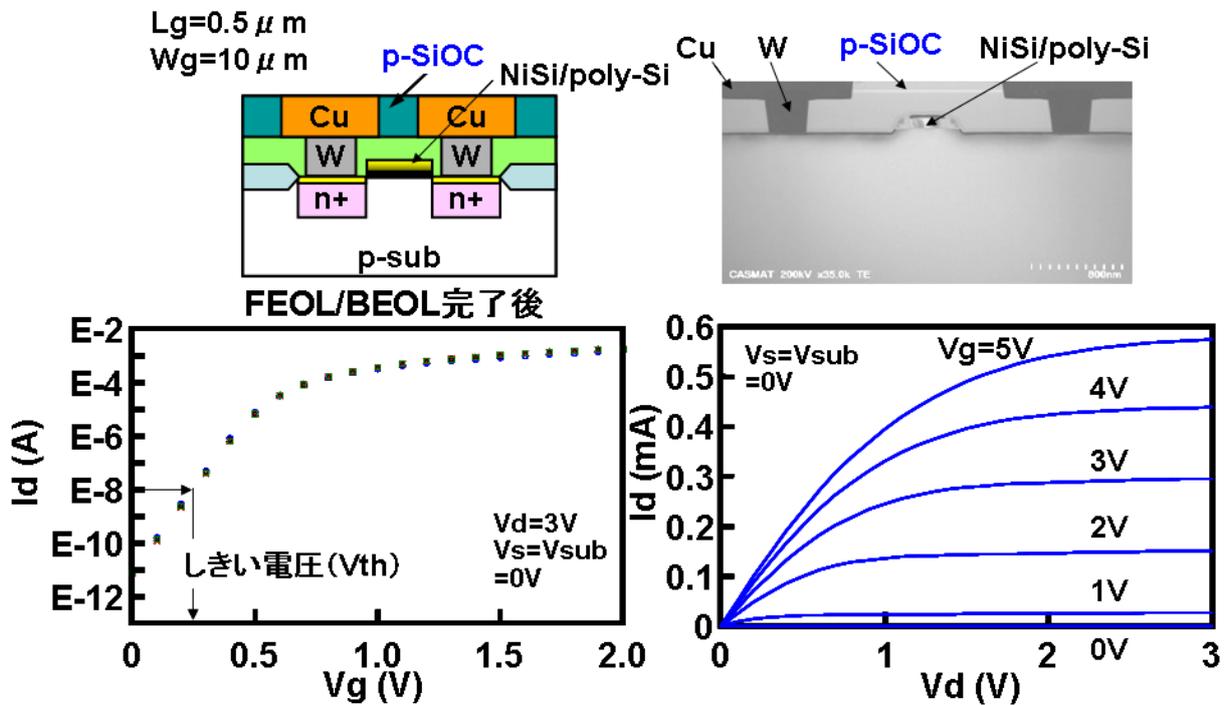


図 2. 1. 4 - 1 3 NMOS トランジスタの構造と代表的な電気特性

d. 抵抗素子

FEOL プロセスにより種々の抵抗素子が形成される。これらは通常は FEOL プロセスのイオン打込みや熱処理が正常に行なわれたか判定するために用いられるが、今回は材料やプロセスの影響評価に用いることができないか調査した。

n-層、n+層、poly-Si の 3 種類の抵抗について、ウェーハ内 46 チップの測定結果を **図 2. 1. 4-14** に示す。いずれもバラツキがあるが、特に n-層、poly-Si の抵抗バラツキが 10%以上と大きく、チップ毎にトレースしていくなど、評価するには注意が必要である。

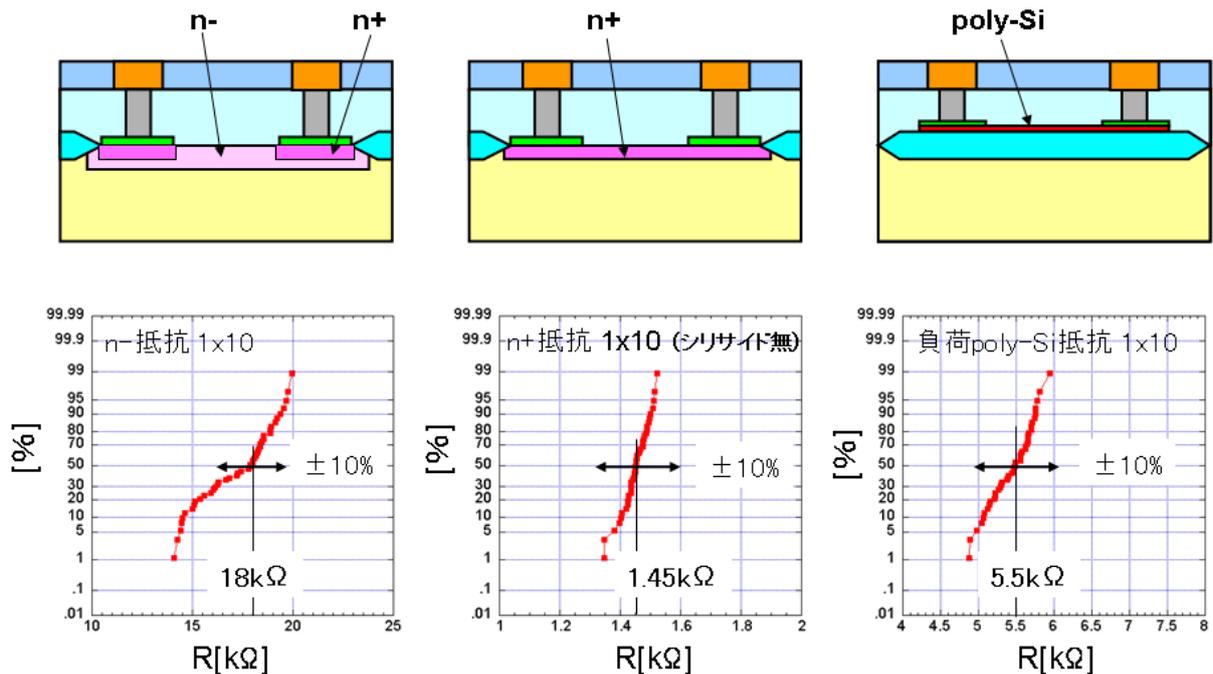


図 2. 1. 4-14 n-層、n+層、poly-Si の 3 種類の抵抗の
ウェーハ内 46 チップの測定結果

e. 寄生 MOS

今回の FEOL プロセスから Cu 2 層配線までの試作で形成される寄生 MOS は 3 種類ある。寄生 MOS は通常は FEOL の素子の電氣的な分離が十分かどうか判定するのに用いられるが、今回は材料やプロセスの影響評価に用いることができないか調査した。

それぞれの寄生 MOS の構造と代表的な電気特性の一例を **図 2. 1. 4-15**、**-16**、**-17** に示す。ここでグラフは、トランジスタと同様に I_d-V_g 特性であり、このような測定からしきい電圧を求めることができる。しきい電圧は、FG 寄生 MOS では約 20 V、M1 寄生 MOS では約 40 V、M2 寄生 MOS では約 80 V となっており、ゲート絶縁膜に相当する絶縁膜がそれぞれおよそ 250 nm、500 nm、800 nm と厚くなっていくことに対応している。

しかし、しきい電圧測定では高電圧をゲート電極に印加するので、同一寄生 MOS を繰り返し測定してみた。その結果、例えば M2 寄生 MOS では 200 V 近い電圧がゲート電極に印加されると、測定のために I_d-V_g 曲線が左側にシフトしていき、しきい電圧が低下していくことがわかった。したがって寄生 MOS の評価では、素子の初期特性のみを一定の測定条件で測定して比較するなどの注意が必要である。

また、今回試作した T2 マスクでは、それぞれの断面 TEM 写真からわかるように、チップの表面側から見てゲート電極がソース、ドレインの n+層から離れており、いわゆるオフセットの構造になっている。T3 マスクの修正に当たっては、M1、M2 寄生 MOS においてゲート電極がソース、ドレインとオーバーラップさせてオフセットのない構造の TEG を追加した。

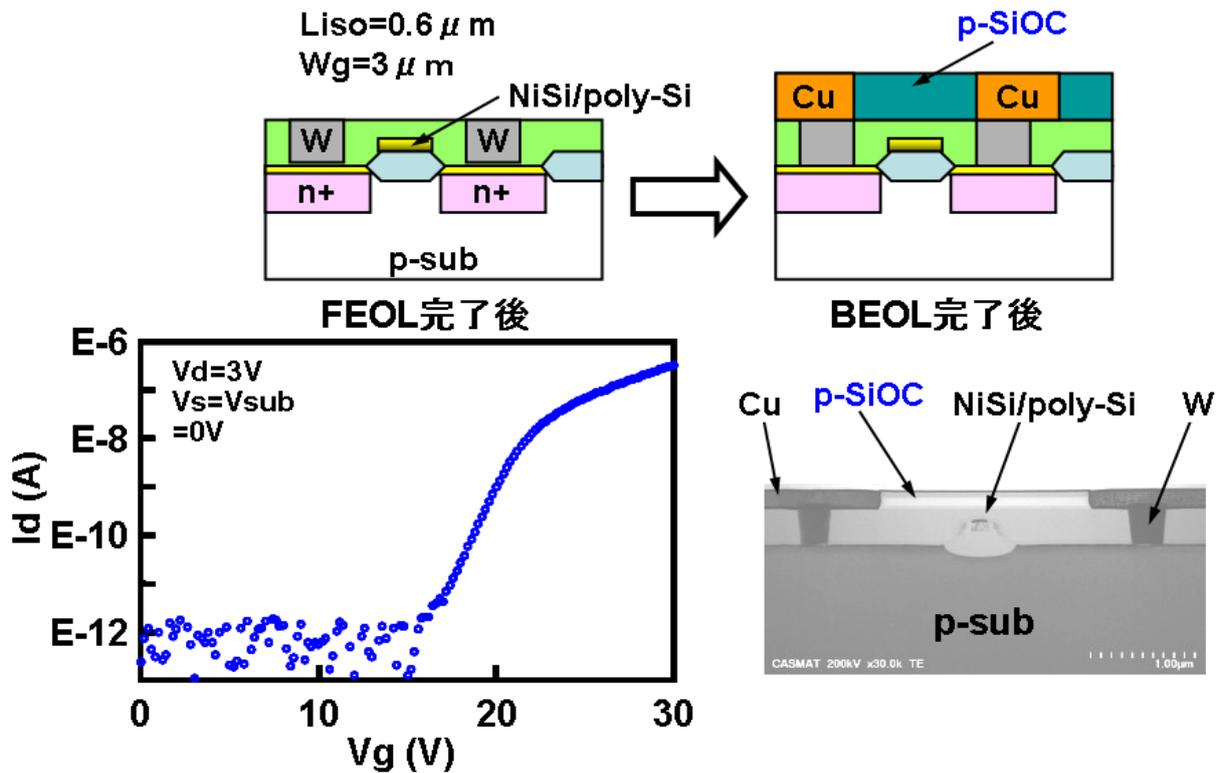


図 2. 1. 4 - 1 5 FG 寄生 MOS の構造と代表的な電気特性の一例

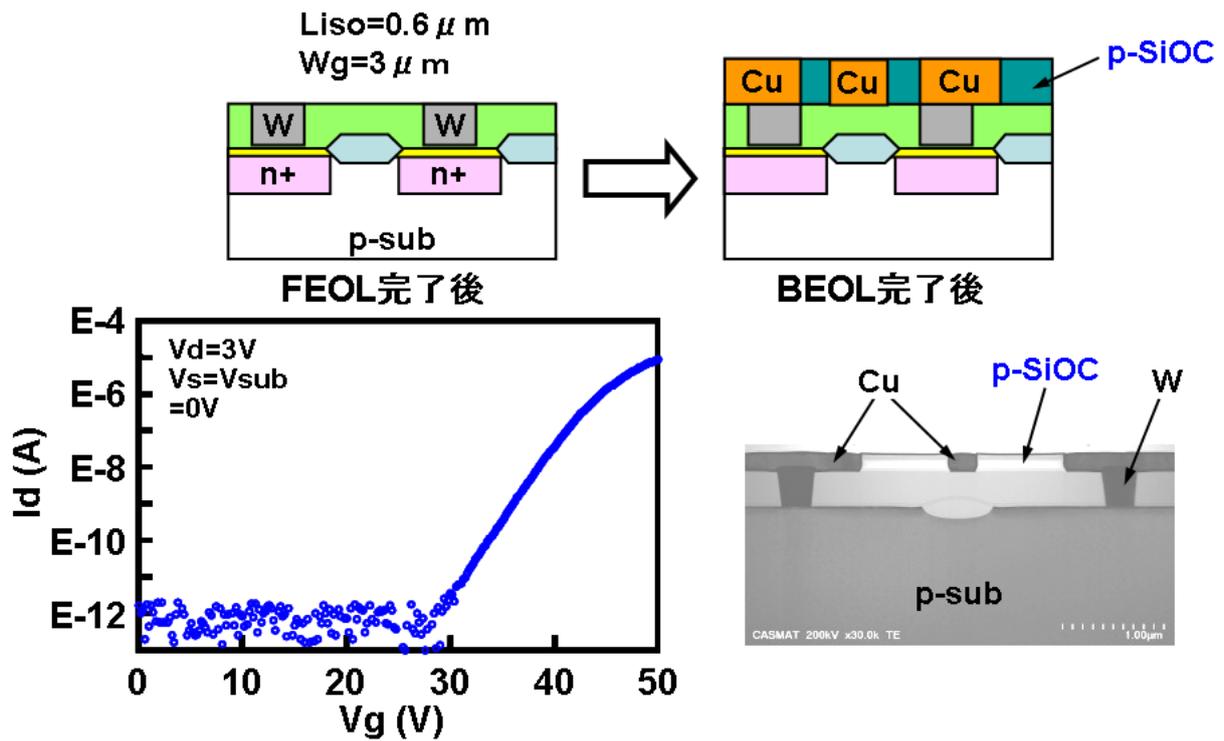


図 2. 1. 4-16 M1 寄生 MOS の構造と代表的な電気特性の一例

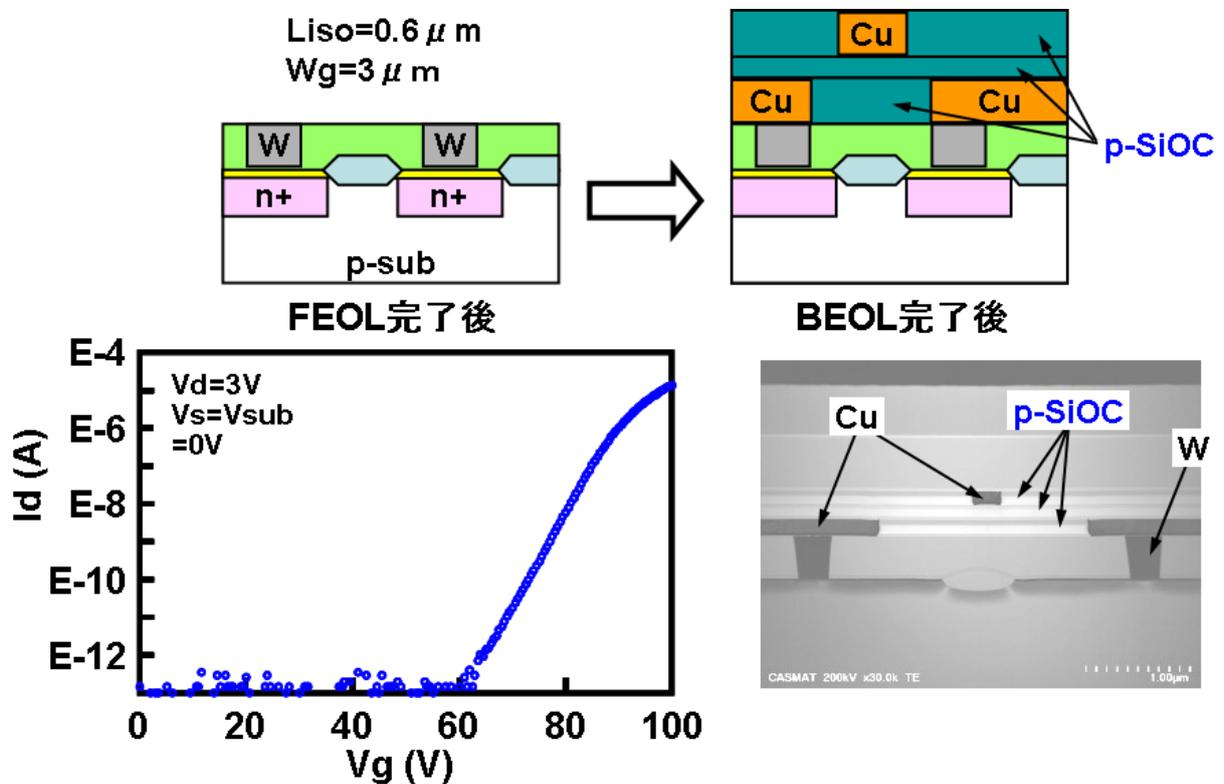
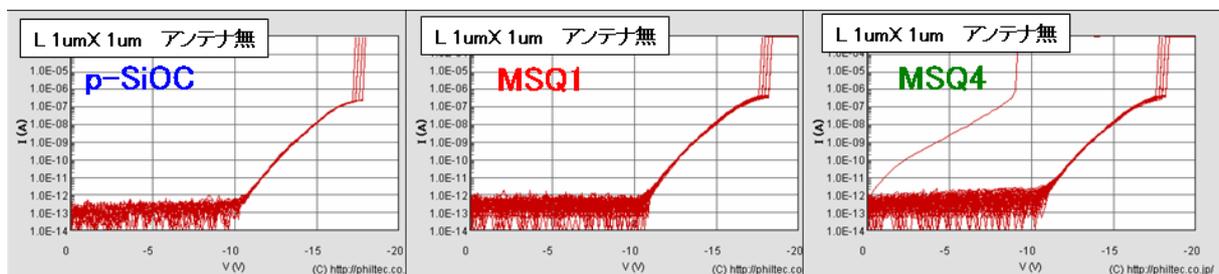


図 2. 1. 4-17 M2 寄生 MOS の構造と代表的な電気特性の一例

f. アンテナ TEG

T2 マスクを用いて FEOL プロセス試作を経た後、3 種類の Low-k 材料を用いて Cu 2 層配線を形成した後、Al パッドまで形成してアンテナ TEG における $1\ \mu\text{m} \times 1\ \mu\text{m}$ の微小な面積の MOS 容量素子のゲートリーク電流を測定した。アンテナ TEG の測定結果を図 2. 1. 4-18 に示す。各 Low-k 材料についてウェーハ内 46 チップの測定結果である。MSQ4 でアンテナ無の場合、1 個の耐圧不良が見られたが、他の Low-k では不良チップは無かった。なお、アンテナ無の場合でも $100\ \mu\text{m} \times 100\ \mu\text{m}$ の測定パッドがあることからアンテナ比の定義に従えば、アンテナ比 1 万倍に相当する。アンテナ比 22 万倍でもすべて Low-k 材料で耐圧不良は見られなかった。この結果から、どの Low-k 材料およびそれに対応するプロセスでもウェーハ表面での電荷蓄積の影響が無いか、もしくはまだアンテナ比が小さいため感度不足であったか、が考えられる。後者の可能性を排除するため、T3 へのマスク修正ではアンテナ比を 120 万倍まで大きくしたアンテナ TEG を設計した。



アンテナを接続しないゲート絶縁膜のリーク電流

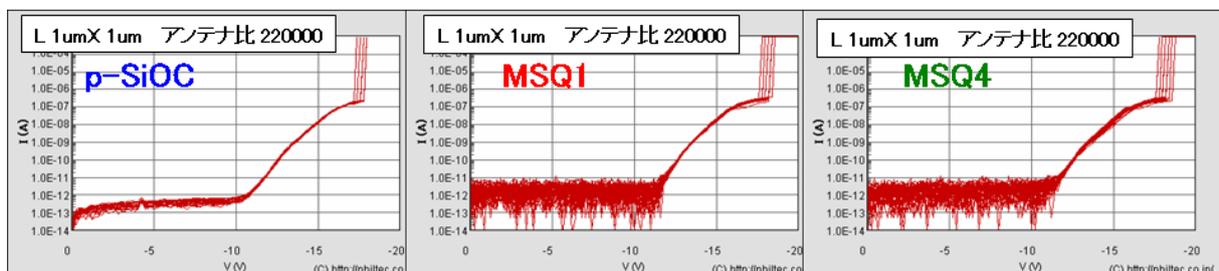


図 2. 1. 4-18 アンテナ TEG の測定結果

以上、T2 マスクを用いて FEOL から BEOL まで連続して試作し、TEG の電気特性を測定するための測定環境を立ち上げて FEOL 素子の電気特性を評価した。その結果、それぞれの素子でほぼ目的通りの特性が得られ、TEG マスクおよびプロセスの検証ができたと考える。また、測定における注意点も見つけ出すことができた。基本的には、この TEG を用いて BEOL 以降の材料評価が可能であることが確認できた。ただ、再現性や測定感度を向上させる必要があることも明らかになり、そのための修正を次の T3 マスクに反映した。

2. 1. 5. リングオシレータを用いた配線特性評価

FEOL プロセスにより、単一チャンネルだけではあるが、NMOS トランジスタの作成が可能である。そこでそれを利用して回路的な方法で、BEOL 以降の材料影響を高感度に評価できないか調査した。その結果、リングオシレータの発振周波数とその回路を構成する配線の抵抗や寄生容量に依存することを利用すれば、多層配線で寄生容量低減に用いられる Low-k 材料の評価ができるのではないかと考えた。すでに述べたが、リングオシレータは、最も簡単にはインバータを奇数個接続することにより構成することができる。今回は単一の N チャンネルしか形成されないので、インバータの負荷素子として通常用いられる pMOS トランジスタの代わりに poly-Si 抵抗を用いることとした。

a. 配線層間絶縁膜の評価

リングオシレータを用いてできる評価項目、評価方法、測定項目をまとめて、リングオシレータ回路の概略図とともに図 2. 1. 5-1 に示す。インバータの入出力配線に、同一配線層の楕円パターンで形成される容量を負荷容量として挿入することにより、リングオシレータの遅延時間が長くなることから負荷容量の大きさを求め、さらに層間絶縁膜の比誘電率を求めることができる。

評価項目

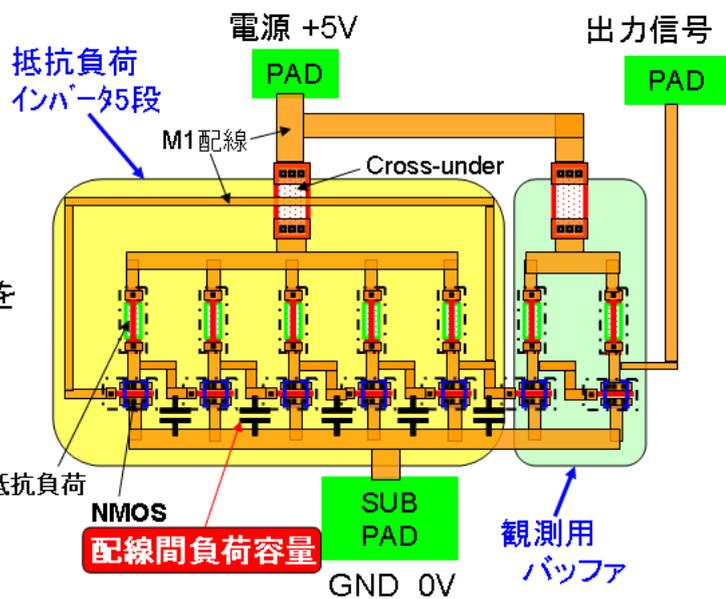
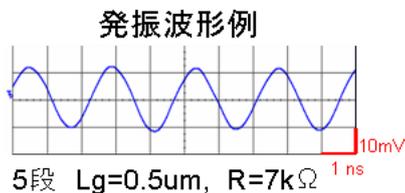
- ・多層配線の実効的負荷容量
- ・Low-k のプロセス耐性

評価法

- ・種々の Low-k 材料で多層配線を形成し、発振周波数を比較

測定項目

- ・発振周波数測定



5段リングオシレータ回路の概略

図 2. 1. 5-1 リングオシレータによる評価項目、評価方法、測定項目およびリングオシレータ回路の概略

多層配線の層間絶縁膜として 5 種類の Low-k 材料を用いたとき、リングオシレータの周波数の逆数から求められる遅延時間 (tpd) と負荷容量に用いた楕型パターンの 3 種類の対向長さとの関係を 図 2. 1. 5-2 に示す。このグラフの傾きは、それぞれの材料での実効的な容量に対応する。材料を評価するためには、実効容量から比誘電率を求める必要がある。このためには、楕型配線の加工形状、すなわち配線幅や配線深さの補正が必要になる。負荷容量を形成した楕型配線と同じピッチ、同じ配線幅のつづらパターンの抵抗値を測定することにより補正できる。特定の材料を基準として、その抵抗値との比を各材料の補正係数とする。補正係数と先に求めた実効容量との積から RC 時定数、さらに実効的な比誘電率が相対的に求まる。5 種類の Low-k 材料について、相対的な実効比誘電率を求めた結果を 図 2. 1. 5-3 に示す。ここでは p-SiOC を基準とした。この結果から、p-SiOC に対して MSQ1 では RC 時定数を 14% 低減できていることがわかる。また、単層膜での比誘電率との比較から、MSQ4 と有機 Low-k/p-SiOC では、多層配線プロセスによるダメージが大きいこと、すなわちダメージ耐性が低いことがわかる。

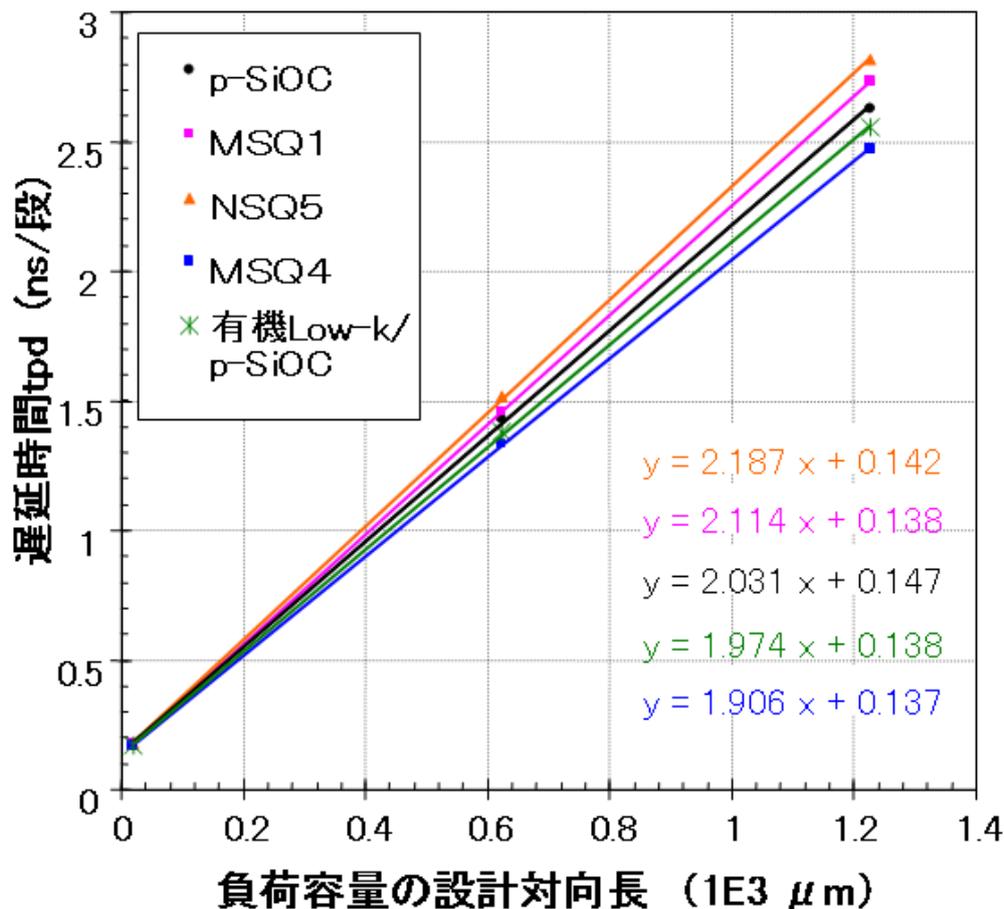


図 2. 1. 5-2 リングオシレータ遅延時間 (tpd) の負荷容量依存性

層間膜	RM	実効容量 (グラフの傾き)	補正係数 A	実効比誘電率 (RC時定数)	RC時定数がp-SiOC に対して14%低減	
	(kΩ)	(相対値)	補正係数	(相対値)	実効 比誘電率	単層膜の 比誘電率
p-SiOC	105	1	1	1	3	3
MSQ1	87	1.04	0.83	0.86	2.6	2.4
MSQ4	106	0.94	1.01	0.95	2.8	2.4
MSQ5	95.2	1.08	0.91	0.98	2.9	3
有機Low-k/p-SiOC	111.5	0.97	1.06	1.03	3.1	2.7

RM ; 負荷容量と同じL/Sパターンの配線抵抗(R. O. 測定と同一チップ)

実効容量 ; 前のグラフ、tpd vs 相対容量の直線の傾き

補正係数 **A** = 配線の断面形状を同一にしたときの容量に補正する係数

$$= 1 / (\text{配線断面積の比}) = (\text{配線抵抗の比}) = R_{M1} / R_{M0}$$

実効比誘電率 = 実効容量・A

図 2. 1. 5 - 3 5種類のLow-k材料の相対的な実効比誘電率

以上のように、配線間容量を負荷とするリングオシレータの評価により、BEOLで用いるLow-k材料の評価ができることがわかった。特長としては、回路性能の一つであるスピードに対するLow-k材料の影響が直接評価できることである。また、従来の要素技術レベルでのLow-k材料の評価では、容量の測定周波数が1MHz程度以下であったが、今回100MHz以上の高周波での評価ができるようになった。今回のTEGは、200nmの技術レベルであるので、この程度であるが、さらに微細な加工レベルを適用することにより測定周波数GHzレベルの評価も可能になることが予想される。

また、今回評価している負荷容量は、20~50fF程度であり、配線間容量として直接測定する場合の10~20pFに対して3桁程度小さな値である。リングオシレータでは、このような小さな値の変化を検知している。このことを利用して、さらに感度の高い評価技術が開発されることが望まれる。

b. 発振周波数の分布

今回の評価では、リングオシレータで測定するのは発振周波数だけである。周波数は、FEOLプロセスの種々の影響を受けることが予想される。そこで、周波数のウェーハ内分布を評価した。分布は3%から10%程度のものまで試作ロットやウェーハの違いにより変化していた。比較的分布の大きいもので、FEOL素子との関連を調べた。発振

周波数分布と同じようなウェーハ内分布を示す poly-Si および n-抵抗の測定結果を **図 2. 1. 5-4** に示す。このほかの FEOL 素子として NMOS トランジスタのしきい電圧、トランスコンダクタンス、n+抵抗、Cu 配線抵抗も測定したが、分布に相関は見られなかった。

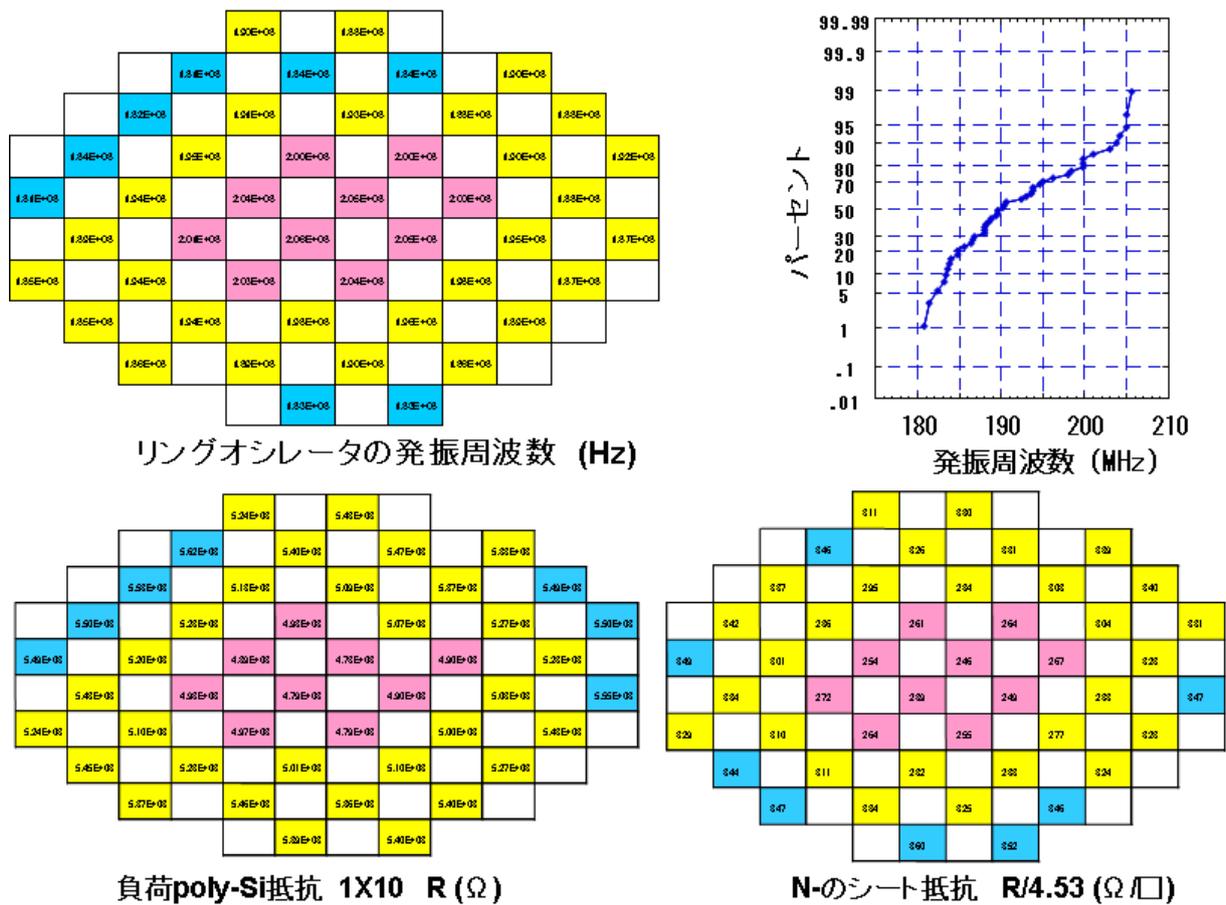


図 2. 1. 5-4 リングオシレータの周波数、poly-Si および n-抵抗のウェーハ内分布

各チップの周波数の逆数と poly-Si および n-抵抗の関係を図 2. 1. 5-5 に示す。良い相関が見られた。負荷として用いている poly-Si の抵抗が大きくなると周波数の逆数すなわち遅延時間が長くなる。これは負荷抵抗が大きくなるとスピードが低下することであり、矛盾のない結果と考えられる。一方、n-抵抗が大きくなると NMOS トランジスタのトランスコンダクタンスが低下するはずであるが、この相関はなかった。n-抵抗の分布は単に熱処理の不均一さを反映しているものと考えられる。また、熱処理が不均一なため poly-Si の抵抗の不均一さが表れたのも極自然であると考えられる。

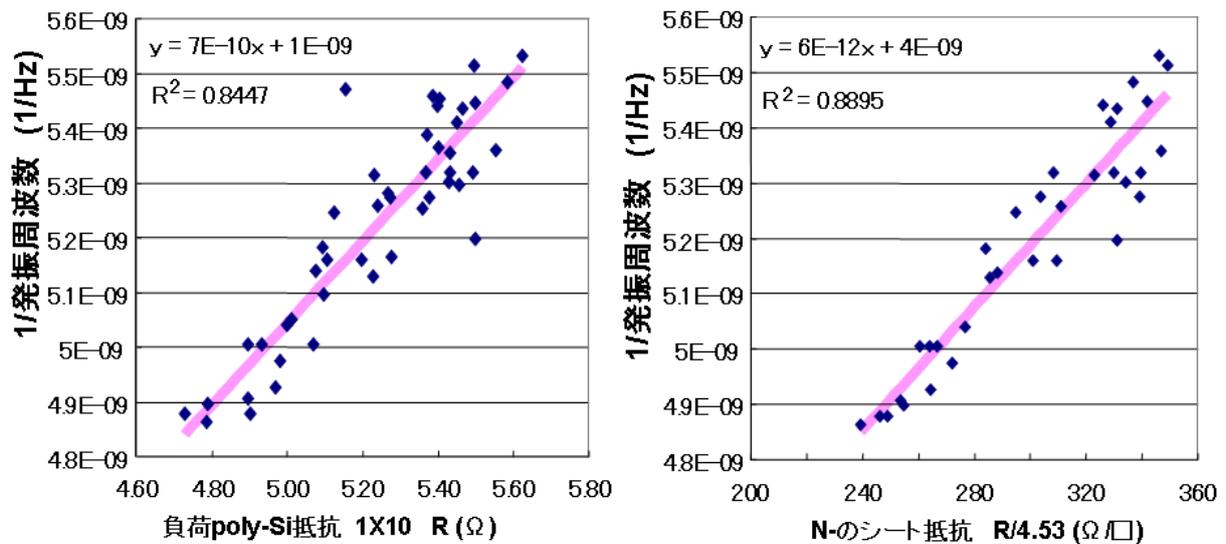


図 2. 1. 5-5 周波数の逆数と poly-Si および n-抵抗の関係

周波数がウェーハ内で分布している場合は、ウェーハ内でほぼ同じ位置のチップで比較すること、同じチップをトレースして変化量を求めることが望ましい。また、poly-Si 抵抗の増加により、周波数の低下すなわち遅延時間が上昇するということが明らかになった。

2. 1. 6. マスク修正

T2マスクを用いた試作により、当初目的としたFEOL素子の電気特性をほぼ取得することができた。しかし、測定感度や精度を向上させるため、TEGの一部を修正してT3マスクを設計した。T3マスクでの修正内容を表2.1.6-1に示す。リングオシレータでは、測定周波数および測定におけるS/N比を向上させるため、負荷のpoly-Si抵抗を7kΩから3.5kΩに半減させた。また、CMPスラリの評価においてCMPの平坦性を測定できるようにするため、配線間容量に代えて配線のつづら抵抗を負荷にしたリングオシレータを設計した。また、評価メニューを拡大するため、ゲート付p-n接合を新たに設計した。寄生MOSではゲート電極のオフセットを解消するため、ゲート電極と素子領域をオーバーラップさせたM1、M2寄生MOSを追加した。アンテナTEGでは、チャージアップに対する感度を向上させるため、アンテナ比の高いTEGを追加した。最後にパッケージで測定できるTEGとして寄生MOSとリングオシレータを追加した。

表 2. 1. 6 - 1 T3マスクでの修正内容

#	TEGの種類	目的	修正内容	効果
1	リングオシレータ (RO)	感度向上 CMP評価	負荷抵抗変更 つづら抵抗負荷	S/N向上 CMP平坦性評価
2	PN接合	Low-k膜評価	ゲート付PN接合	膜中電荷の評価
3	寄生MOS	精度向上	ゲート構造変更	ゲート電極オーバーラップ構造で精度向上
4	アンテナTEG	感度向上	アンテナ比向上 22万倍→125万倍	ダメージ評価が可能
5	パッケージ	感度向上	寄生MOS, ROを追加	測定可能

なお、T2マスクは Selete で試作していただいたが、Selete の解散にともない、T3 マスクは Tei で試作せざるをえなくなった。両者のラインでのプロセス仕様の主な違いを表 2. 1. 6-2 に示す。

表 2. 1. 6-2 T2、T3 マスクでの試作プロセス仕様の主な違い

	T1 / T2	T3
Pad Oxide	10 nm	19 nm
LOCOS	350 nm	480 nm
Vth Implant.	B 10keV 1.6E12	BF2 90keV 8.05E11
Gate Oxide	10 nm	6.5 nm
Gate Poly-Si	150 nm	200 nm
Gate Implant.	P 10keV 4E15	P 15keV 4E15 (8E15)
LDD	TEOS/SiN = 50/80 nm	TEOS = 270 nm
Silicide	NiSi	TiSi
SiN	40 nm	21 nm
SiC	25 nm	20 nm

Selete

Tei

試作した結果の素子構造の違いを、トランジスタ部について 図 2. 1. 6-1 に示す。また、コンタクト部について 図 2. 1. 6-2 に示す。材料や膜厚の違いや構造の違いが現れていることがわかる。

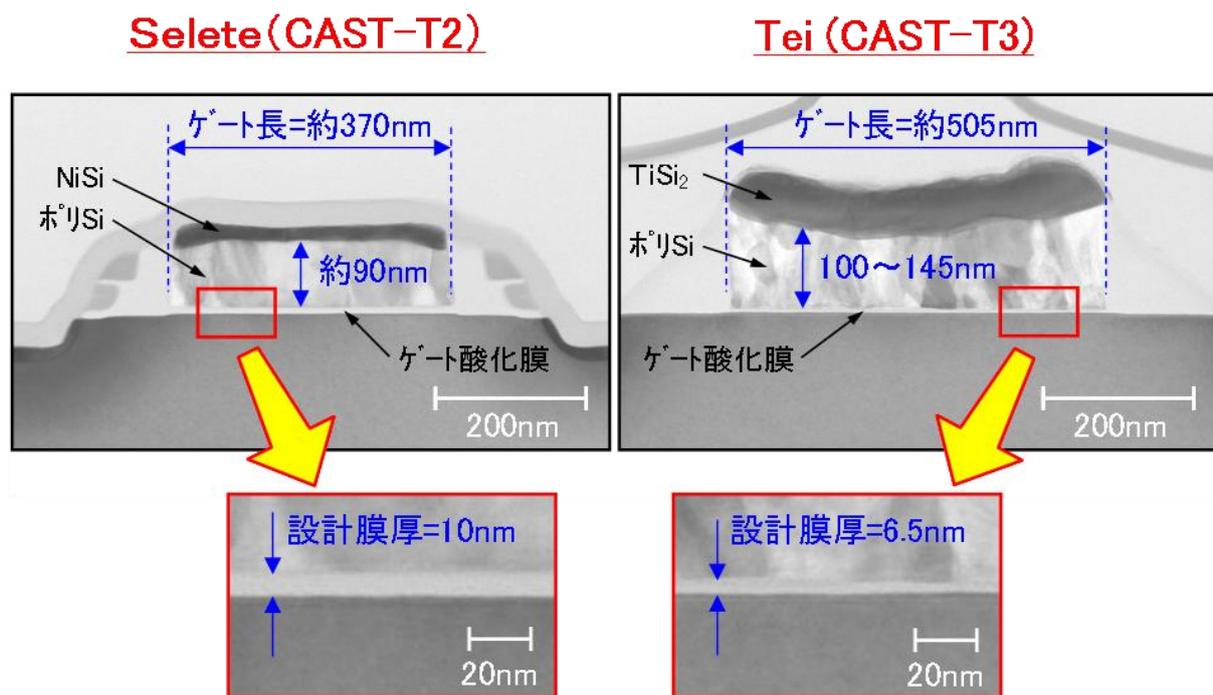


図 2. 1. 6-1 トランジスタ部の比較

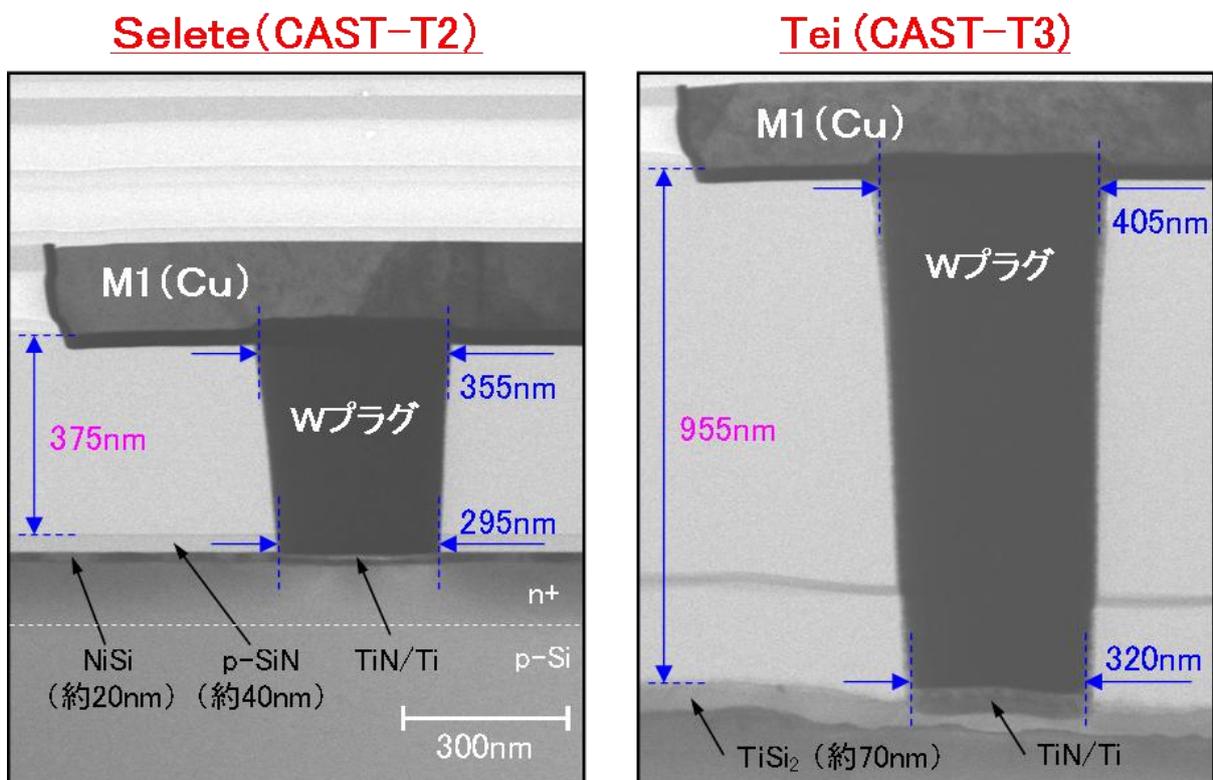


図 2. 1. 6-2 コンタクト部の比較

つぎに、MOS トランジスタや各種抵抗について、測定結果の比較を表 2. 1. 6-3 に示す。ここではあまり大きな違いはなく、リングオシレータの動作はどちらの試作でも可能であると考えられる。

表 2. 1. 6-3 MOS トランジスタや各種抵抗について比較

	T1 / T2	T3
Vt (0.5X10) (mV)	110.5±5.9	227.8±7.4
Vt (1.0X10) (mV)	301±10.1	264±9.9
N1 抵抗 (kΩ/□)	3.81±0.10	1.11±0.06
N2 抵抗 (Ω/□)	103±6.8	105±3.2
Poly-Si 抵抗 (Ω/□)	376±22	372±8.6
M1 つづら (kΩ)	102.9±3.3	80.2±4.0
M2 つづら (kΩ)	145.3±13.1	156.8±15.7

つづら: L/S=0.2/0.2 μm, 100mm

Selete

Tei

以上、マスク修正とそれぞれの外注試作について述べてきた。以下の評価基盤の開発においては、目的に支障をきたさない範囲において、T2、T3 マスクのいずれの FEOL 試作ウェーハをも共存する形で用いた。

2. 2. 材料による金属汚染、応力影響の評価方法の開発

本研究開発項目②は、研究開発項目①で得られた TEG マスクを用いて、300mm シリコンウェーハ上に接合素子を作成し、さらに配線形成を行い、製造工程に用いる半導体材料あるいは製造プロセスによる電気特性や接合素子への影響（金属汚染、応力、電荷蓄積など）が把握できる電気特性の測定方法や解析方法、また、接合素子の信頼性の試験方法や測定結果の解析方法を開発することを目標として実施した。具体的には、金属汚染、応力影響、電荷蓄積、配線腐食を評価対象として、評価する TEG を特定し、その測定方法や解析方法を開発することを目的とした。

なお、当初の目的では、FEOL で導入されるイントリンシックゲッタリング処理による汚染耐性やバックグラインド耐性などの評価も行なう予定であった。しかし、外注による FEOL 試作では、その処理を組み込んだウェーハ試作が不可能であったこと、また、バックグラインドも外注で実施しており、組合員からもその保護テープ材料を評価する要求が無かったため、イントリンシックゲッタリング処理に関しての評価については実施しなかった。

以下、評価対象として取り上げた金属汚染、応力影響、電荷蓄積、配線腐食の 4 項目の評価方法について記載する。

2. 2. 1. 金属汚染の評価方法

金属汚染については、Fe や Cu などの重金属による汚染と、Na や K のアルカリ金属の汚染では、その影響が大きく異なるのでそれぞれについて以下に記載する。

a. 重金属汚染

重金属汚染の汚染源として、Cu が半導体集積回路の配線として用いられていることから、まず Cu を取り上げた。Cu が Si 中に拡散されると深い不純物準位を形成することがよく知られており、その結果、p-n 接合の逆方向電流の増大や降伏電圧の低下が発生することが予想される。

FEOL で試作した p-n 接合は、**Ⅲ. 2. 1. 2. FEOL/BEOL 統合 TEG マスクの概要**で述べたように、n+層の周辺部が素子分離絶縁膜（この場合 LOCOS 膜）に接している L 型と接していない N1 型の 2 種類があり、それぞれ n+層の面積の異なる水準が用意されている。また、**Ⅲ. 2. 1. 4. 各種 TEG 評価結果**でも述べたが、最も大きい面積で、N1 型と L 型の p-n 接合の逆方向電流を 5 回繰り返し測定した結果を **図 2. 2. 1-1** に示す。図から、この接合の降伏電流が 1E-3A まで流れるように制限した場合、N1 型では逆方向電流が変化しないのに対して、L 型では逆方向電流が測定回数と共に増加することがわかる。これは、L 型では p-n 接合の周辺部で電界強度が高く、そこで発生する大量の電子が強電界で加速されて LOCOS 膜に捕獲されることにより電界がさらに増大するためと推測される。ただ、L 型で評価する場合は、**図 2. 2. 1-2** に示すように接合に流れる降伏電流を 1E-6 A 程度に抑えることにより、繰り返し測定による逆方向電流の増加を抑えることができる。しかし、汚染に起因する逆方向電流の増大を正確に測定するため、以下では特に断らない限り、N1 型の p-n 接合を用いた。

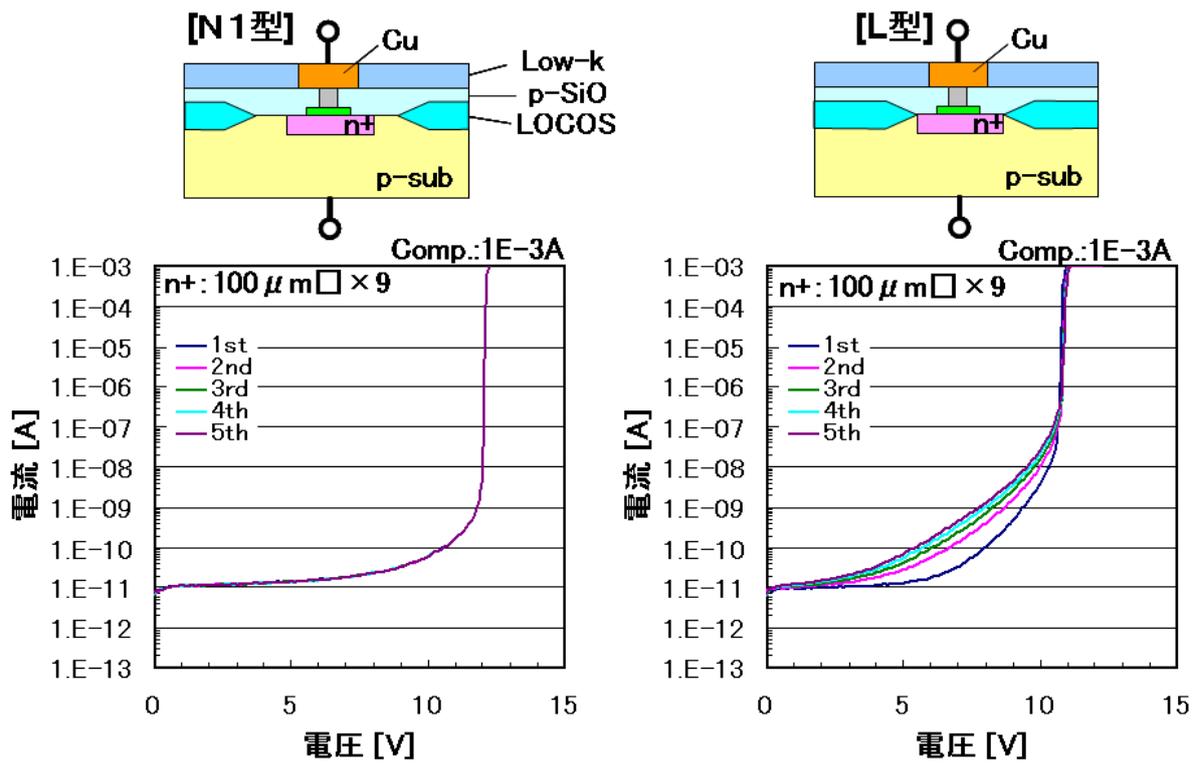


図 2. 2. 1-1 p-n 接合の構造と逆方向電流-電圧特性
電流の制限値：1E-3A

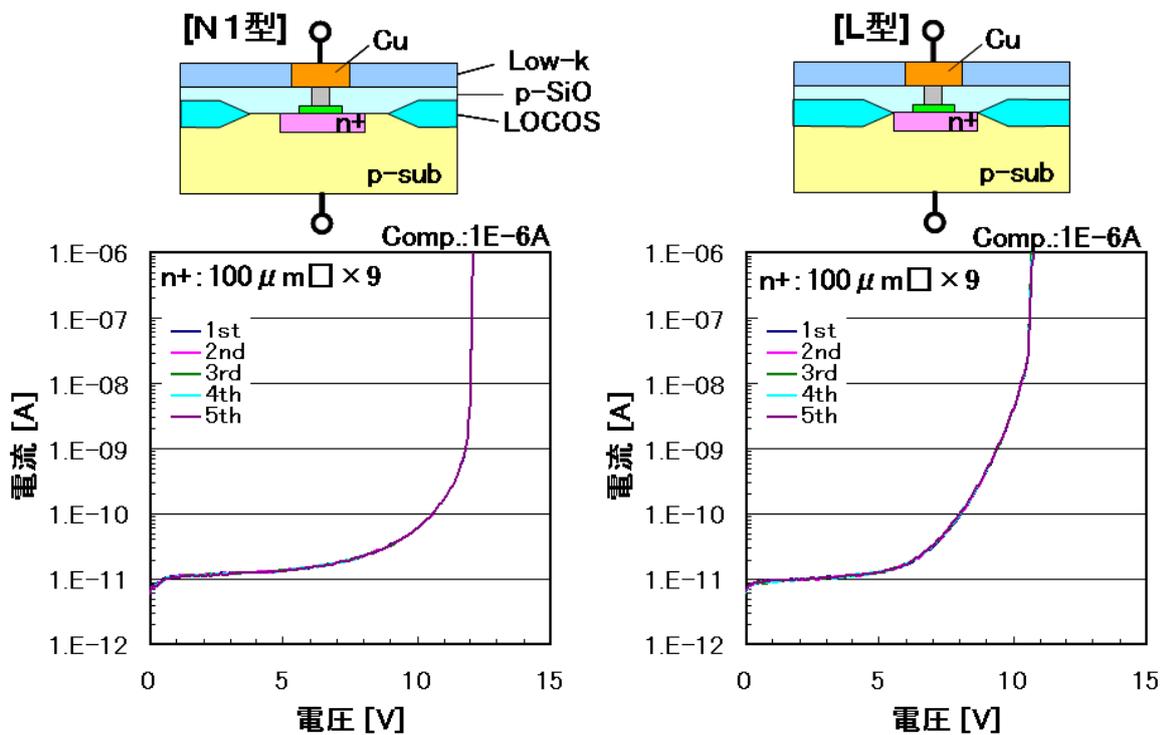
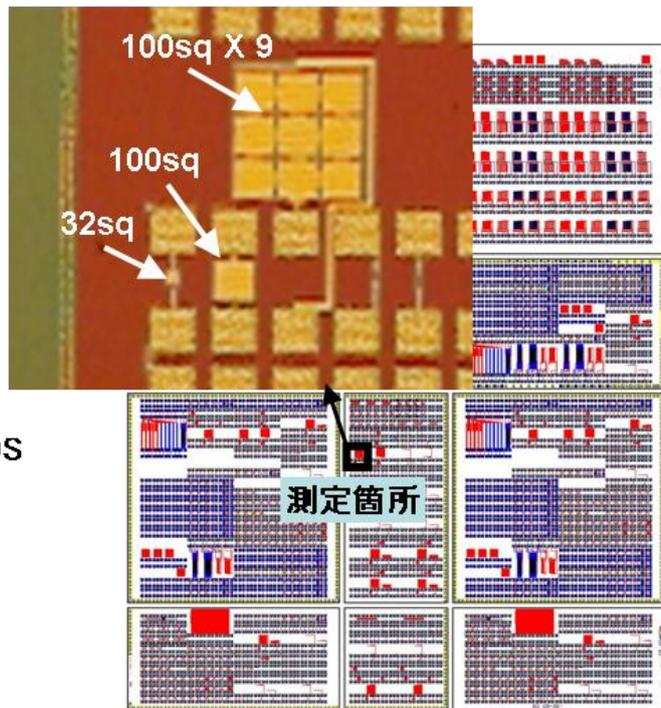
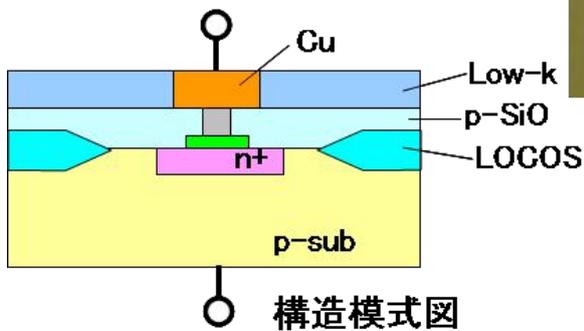


図 2. 2. 1-2 p-n 接合の構造と逆方向電流-電圧特性
電流の制限値：1E-6A

重金属汚染により、p-n 接合がどのような影響を受けるかを測定するための試料の詳細を図 2. 2. 1-3 に示す。測定試料は、FEOL 素子の上に Cu/Low-k 2 層配線を形成し、バックグラインドにより Si 厚さを 100 μm まで薄膜化し、ダイシングにより切り分けた 21.5 mm \times 26.9 mm のチップである。

試料

- FEOL: CAST-T2
- Low-k: p-SiOC
- Cu/2層配線 (PV完)
- 裏面研削 (Si基板厚: 100 μm)
- ダイシング (チップ毎に分割)



測定素子の寸法

n+ : 32X32 μm^2 , 100X100 μm^2 , 100X100 μm^2 X9

測定チップ

図 2. 2. 1-3 測定試料の準備

次に実験の方法であるが、詳細を図 2. 2. 1-4 に示す。チップに汚染処理を施した後、アニールをして室温にて p-n 接合の逆方向電流を測定した。汚染処理は、チップの裏面から Cu を種々の方法で強制汚染させた。また、Cu の他に Au、Ti、Al の汚染も試みた。

(1) 実験方法

汚染処理 → アニール → p-n接合の逆方向電流—電圧測定

(2) 汚染処理

- ・ Cu(NO₃)₂/HF [1:100]=1:1, 0.3ml 滴下, ホットプレート乾燥(200°C)
- ・ CuSO₄[18%]:0.5ml 滴下, ホットプレート乾燥(200°C)
- ・ 裏面 Ar スパッタ:10sec, Cu スパッタ:60nm
- ・ 裏面 HF(1:100) 処理(綿棒使用, 自然乾燥), Cu(再配線用 Cu メッキ膜付基板)
- ・ 裏面 HF(1:100) 処理(綿棒使用, 自然乾燥), Au(ワイヤボンディング用 Au 線)
- ・ 裏面 Ar スパッタ:10sec, Ti スパッタ:70nm
- ・ 裏面 Ar スパッタ:10sec, Al スパッタ:100nm

(3) 使用装置

- ・ アニール
 - a. 測定用エージング炉(光洋サーモ社製:CLH-21CD)
(N₂置換0.5hr, 昇温2hr, 温度400°C:1, 24, 30, 60hr)
 - b. バリアCVD装置(ASM社製:Dragon2300),(H₂アニール, 400°C, 10min)
- ・ 電気特性測定:プロバ D(マニュアルプロバ)

図 2. 2. 1-4 実験方法、汚染処理方法、使用装置

種々の方法で Cu 汚染させたときの、逆方向電流と印加電圧の室温での測定結果を図 2. 2. 1-5 に示す。強制汚染がない場合、N₂ アニールをしても初期からの電流増加は見られない。CuSO₄ を用いたときは電流増加が他の方法より少し少ないが、他の方法ではほぼ同じ電流増加になる。このことは、CuSO₄ では p-n 接合面での Cu 汚染が少なく、他の方法では汚染させる Cu の量にかかわらず、400 °C でほぼ一定量の Cu が p-n 接合面まで拡散していると考えられる。ここで降伏電圧 (12V) 直前の 11.5V での電流で汚染の程度を見積もることになると、汚染前が 1E-10A であるのに対して、汚染後は 3E-9A に 1 桁以上増加する。

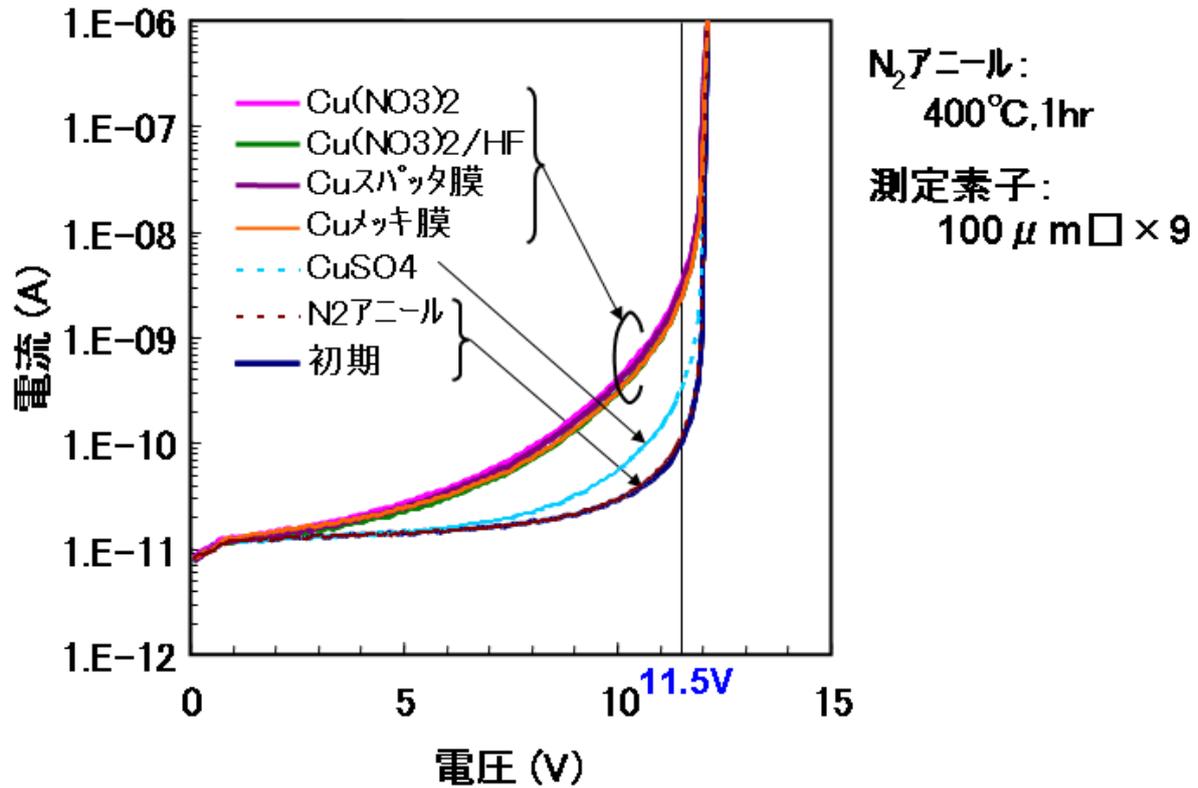


図 2. 2. 1-5 種々の Cu 汚染後の逆方向電流－電圧特性

次に、 $\text{Cu}(\text{NO}_3)_2$ を用いて短時間、および還元性の H_2 雰囲気での拡散を行なってみた結果を図 2. 2. 1-6 に示す。10 分に短時間化しても、 H_2 雰囲気でも逆方向電流はほとんど変わらず、p-n 接合面での Cu 汚染は同じであると考えられる。次に、逆に長時間のアニールをしたとき、およびアニール温度を変えたときの、印加電圧 11.5V での電流値を図 2. 2. 1-7 に示す。アニール時間を長時間化してもほとんど電流値の変化は見られない。一方アニール温度を変えると、高温ほど電流値が増える結果になった。このことは、各温度での Si への Cu の固溶度が Cu の汚染量を律速していると考えたと説明がつく。また、面積の異なる p-n 接合で、汚染後の逆方向電流を調べると、図 2. 2. 1-8 のように、ほぼ面積に比例しており、接合面に一様に Cu が拡散していると考えられる。

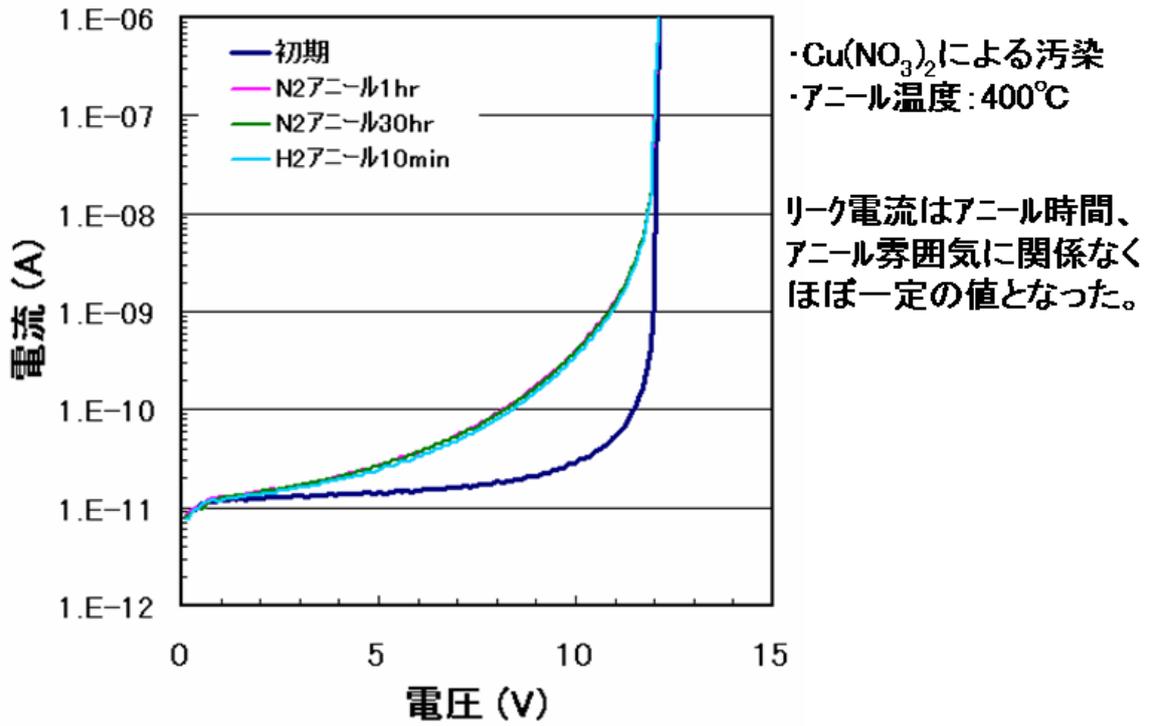


図 2. 2. 1-6 Cu 汚染の熱処理時間と雰囲気への依存性

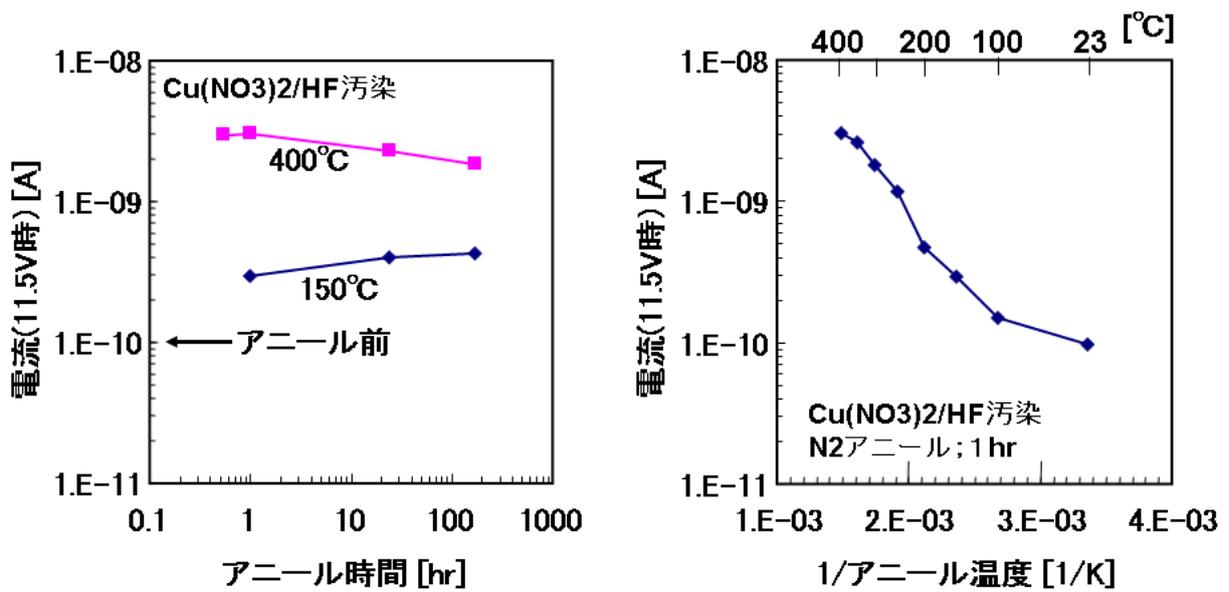


図 2. 2. 1-7 Cu 汚染の N₂ アニール時間と温度への依存性

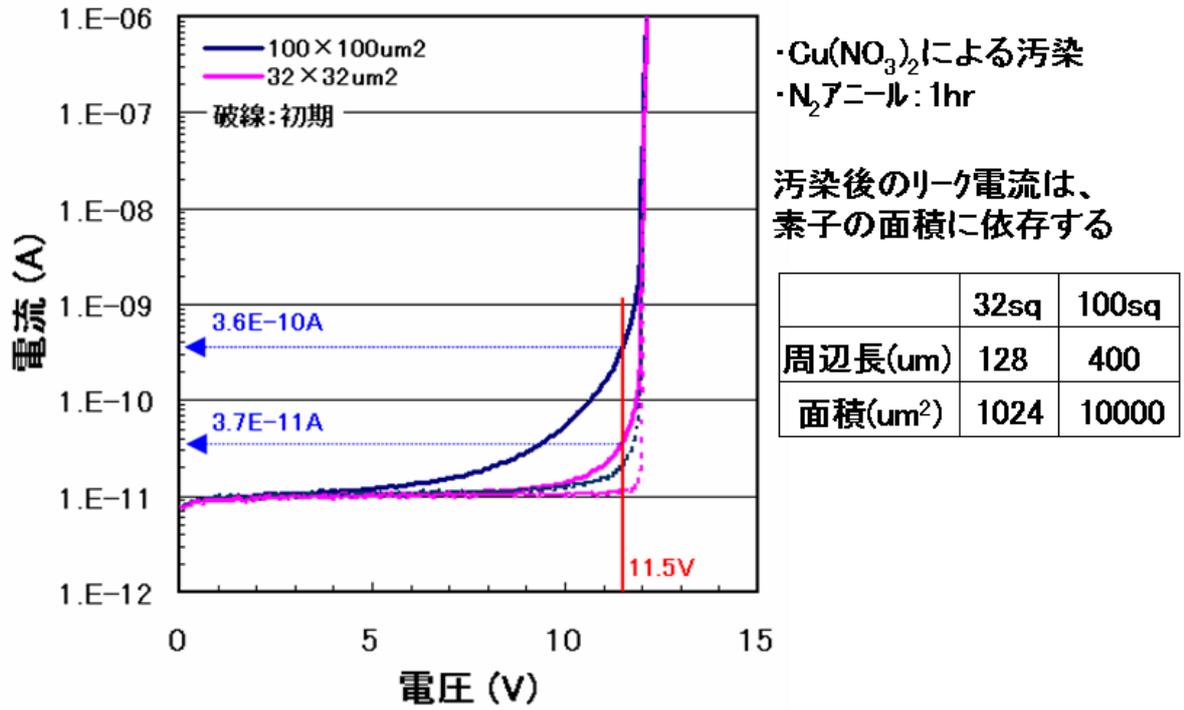


図 2. 2. 1-8 Cu 汚染による逆方向電流の p-n 接合パターン依存性

次に、Auで汚染させたときの逆方向電流-印加電圧の測定結果を図2.2.1-9にCu汚染と比較して示す。Cuに比べ、電流増加量は少し少なめであった。さらに、Ti、Alでの汚染の影響を調べた。結果を図2.2.1-10に示す。400°C、200時間の長時間のアニールをしても、p-n接合への汚染の影響は見られなかった。

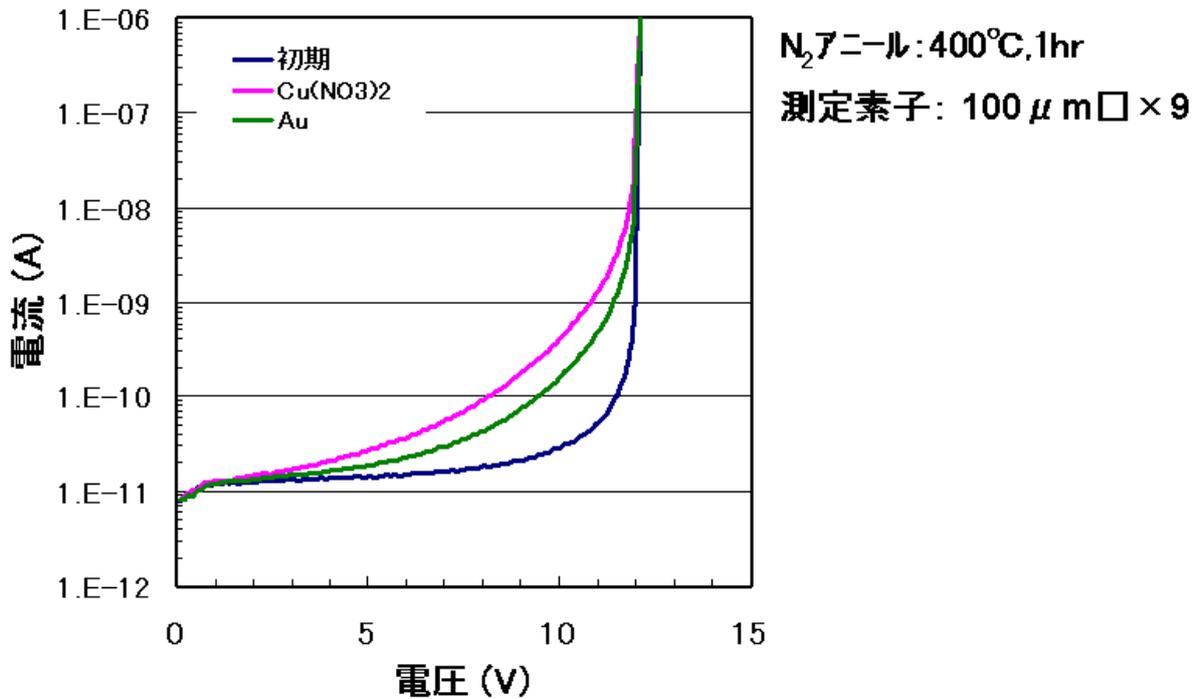


図 2.2.1-9 Auによる汚染の影響評価結果

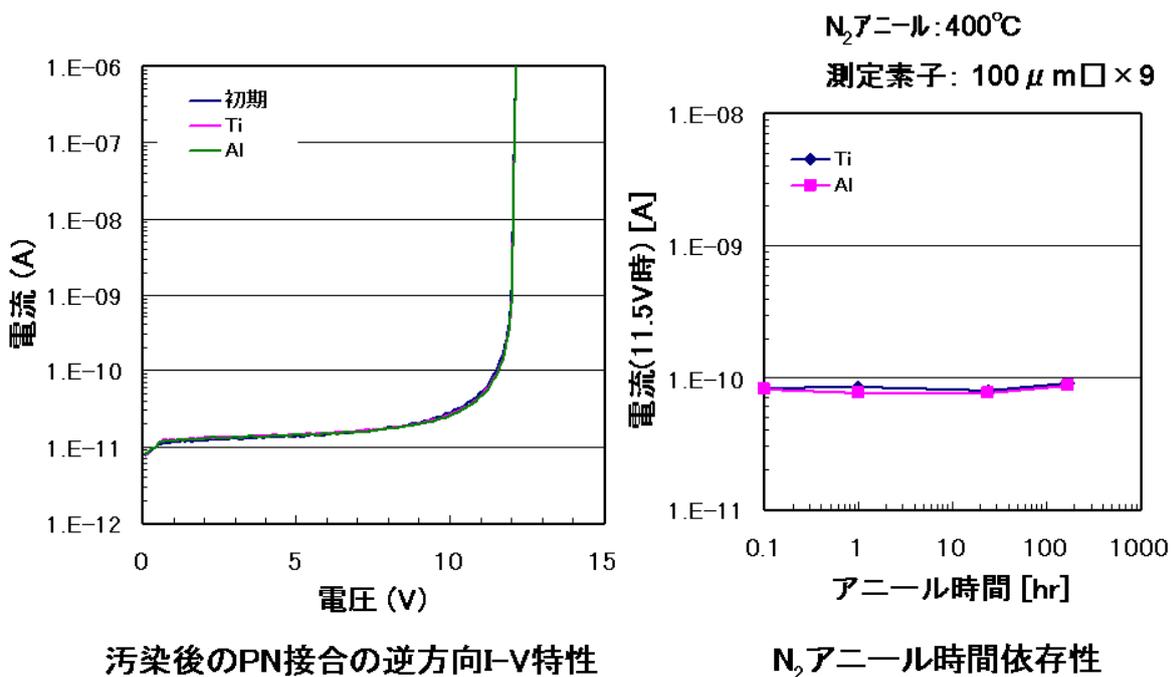


図 2.2.1-10 Ti、Alによる汚染の影響評価結果

以上の結果から、BEOL プロセス以降の材料からの重金属汚染として、最も着目すべき汚染は Cu であり、汚染の影響は p-n 接合の逆方向電流-印加電圧特性により評価できることを明らかにした。ただ、その影響としては、逆方向電流値で 2 桁以下の増大を示すのみであり、降伏電圧の低下までは引き起こさない。また、MOS 容量素子やトランジスタの電気特性も測定したが、それらへの影響は見られなかった。このように影響が少ないのは、BEOL プロセス以降での熱工程は高々 400°C 程度であり、FEOL での工程のように高温の処理を含まないことによると考えられる。

なお、Cu の強制汚染を種々試みたが、最も簡便にかつ再現性良く行えるのは、Cu(NO₃)₂ と HF 水溶液の混合液塗布によるものであったことを付け加えておきたい。

b. アルカリ金属汚染

Na や K のアルカリ金属は、Si 中の拡散係数が Cu に比べ 3~4 桁小さい。一方 Si 酸化膜中は、電界が印加されると室温でも容易に移動することが知られている。そこで素子を形成した表面側から希釈した薬液を滴下することにより、強制的に汚染することを試みた。測定試料および測定に用いた寄生 MOS の構造模式図を **図 2. 2. 1-1** に示す。なお、ここで Cu 2 層配線を形成する工程ではアルカリ金属の拡散バリアとなると考えられる p-SiN 膜を使用しないで、p-SiO、p-SiOC のみを用いた。また、M1 と M2 の寄生 MOS の断面の STEM 像を **図 2. 2. 1-2** に示す。

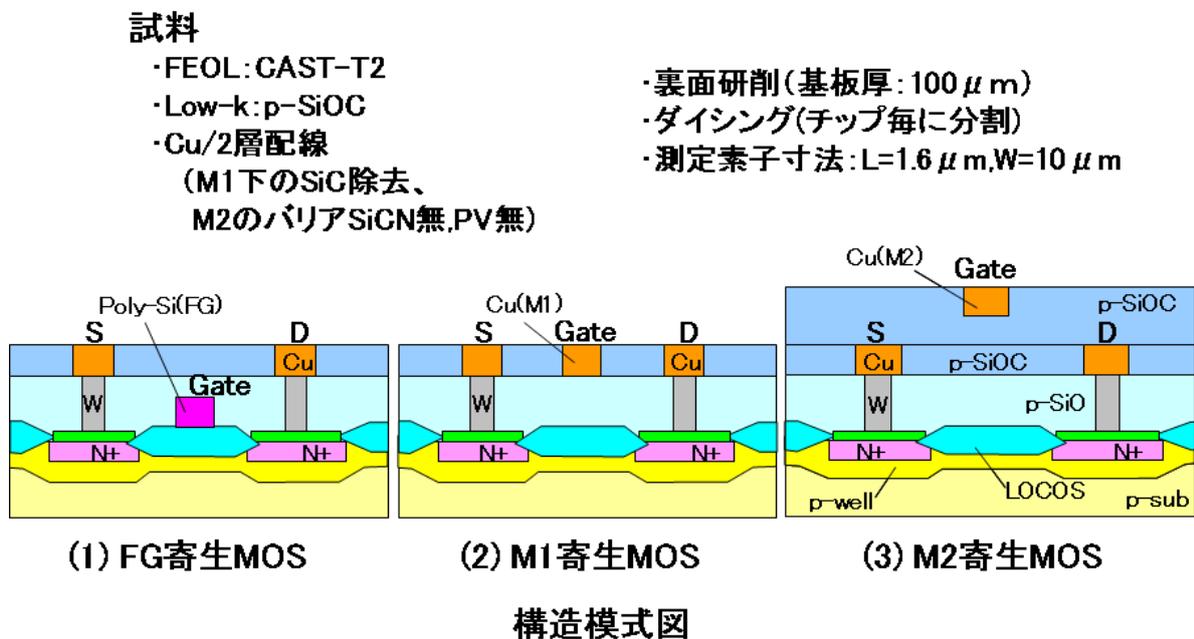


図 2. 2. 1-1 1 測定試料と測定 TEG の断面模式図

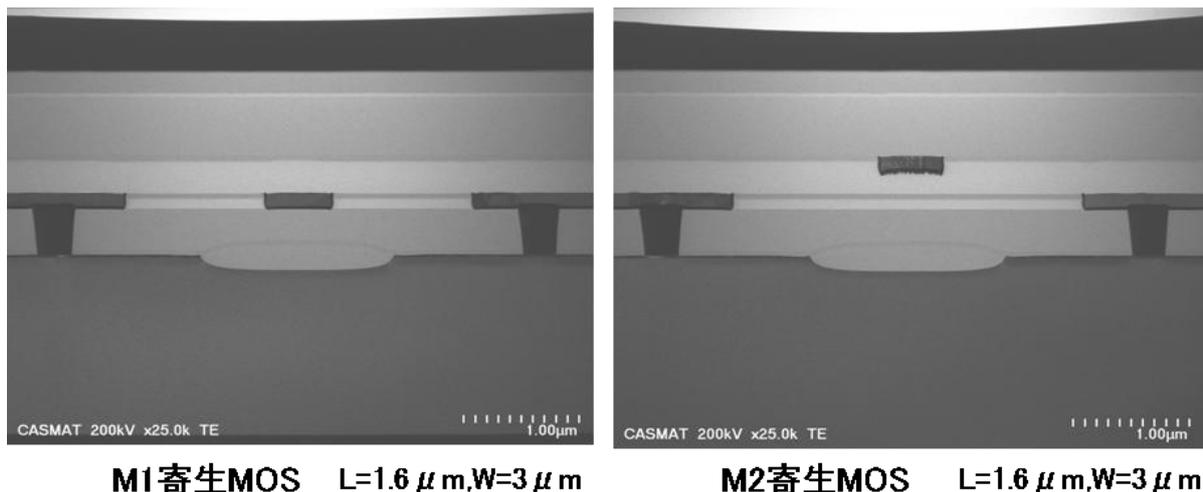


図 2. 2. 1-12 寄生 MOS 断面の STEM 像

次に、実験方法、汚染処理、測定に使用した装置について、まとめて図 2. 2. 1-13 に示す。また、Si 基板上に種々の濃度の溶液を 0.3 ml 滴下して汚染量を全反射蛍光 X 線分析により測定した結果を図 2. 2. 1-14 に示す。NaOH、KOH を 10 万倍、100 万倍、1000 万倍に希釈した溶液を滴下したときに、いずれも汚染量は それぞれ $1E14$ 個/cm²、 $1E13$ 個/cm²、 $1E12$ 個/cm² となる。

(1) 実験方法

- a. 汚染処理
- b. アニール処理
- c. 寄生MOS(FG,M1,M2(W=10um,L=1.6um))のVg-Id特性の測定
Drain=0.1V,Source=0V,Sub.=0V
Gate:FG=0~62.5V,M1=0~75V,M2=0~125V
- d. ゲートに+バイアスをおある時間印加した後Vg-Id特性の測定
- e. ゲートに-バイアスをおある時間印加した後Vg-Id特性の測定

(2) 汚染処理

- ・ NaOH[25%]/H2O, 0.05ml滴下,
10万倍,100万倍,1000万倍希釈,ホットプレート乾燥(100°C)
- ・ KOH[48%]/H2O, 0.05ml滴下,
10万倍,100万倍,1000万倍希釈,ホットプレート乾燥(100°C)

(3) 使用装置

- ・ 電気特性測定:プローバD(マニュアルプローバ)
- ・ アニール:測定用エージング炉
(N₂置換0.5hr,昇温2hr,温度400°C:1hr)
- ・ 汚染測定:全反射蛍光X線装置

図 2. 2. 1-13 実験方法、汚染処理および使用装置

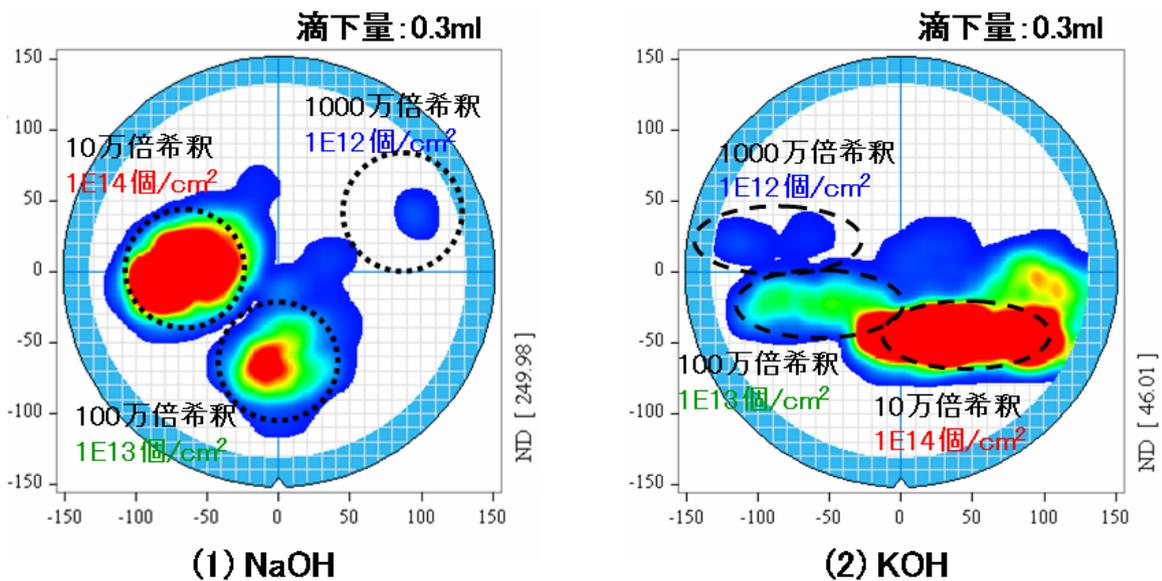


図 2. 2. 1-14 希釈液滴下による汚染量測定結果

次に、汚染の影響を評価するために作成した試料の詳細を図 2. 2. 1-15 に示す。1 チップ上に同一の寄生 MOS が 4 箇所にある。それぞれに同一希釈の溶液を 0.05 ml ずつ滴下した後、400°C で 1 時間アニールした。そのチップでまず、FG、M1、M2 のそれぞれの寄生 MOS のドレイン電流-ゲート電圧特性を測定し、ドレイン電流が $1E-8A$ のときのゲート電圧をしきい電圧として求めた。その後、ゲート絶縁膜への電界強度が $2.5 MV/cm$ となる + 電圧をしきい電圧の変動がほぼ $1V$ 以下になるまで印加してしきい電圧を求めた。その後、逆にゲート電極に - 電圧をしきい電圧変動がほぼ $1V$ 以下になるまで印加してしきい電圧を求めた。このようにして Na 汚染量の異なるチップについて、それぞれの寄生 MOS のドレイン電流-ゲート電圧特性を測定した例を図 2. 2. 1-16 から -21 に示す。

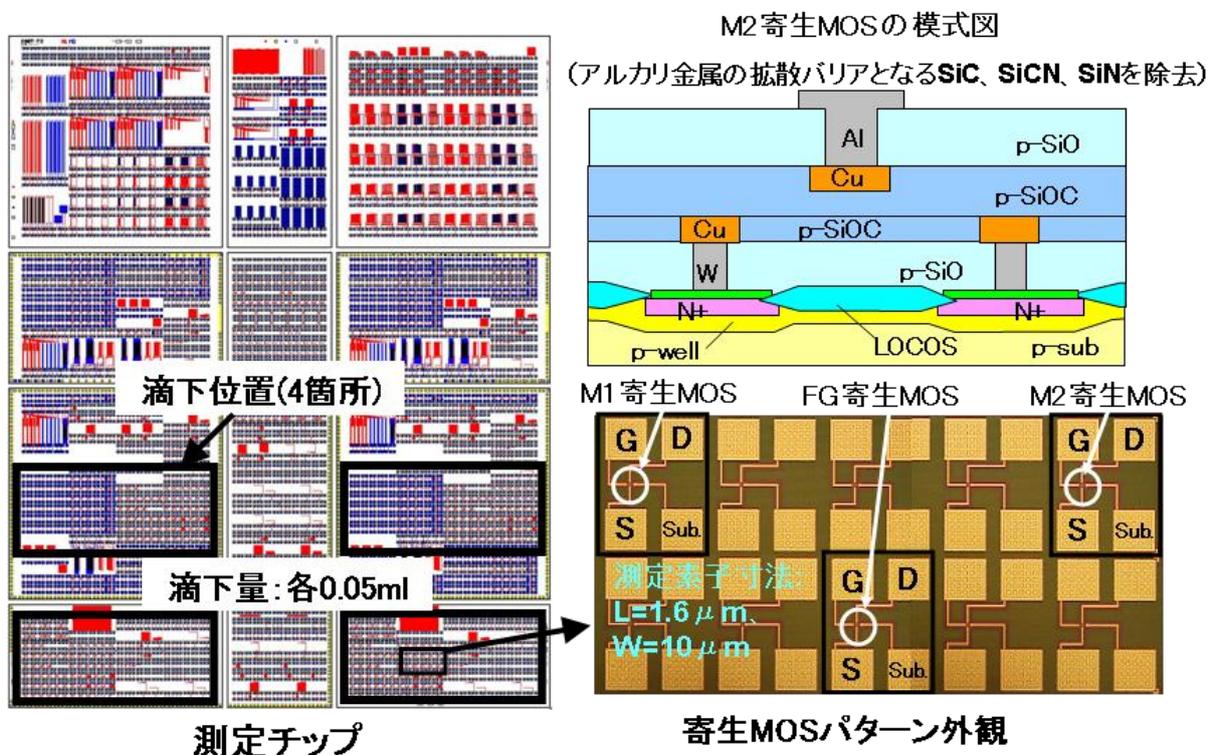
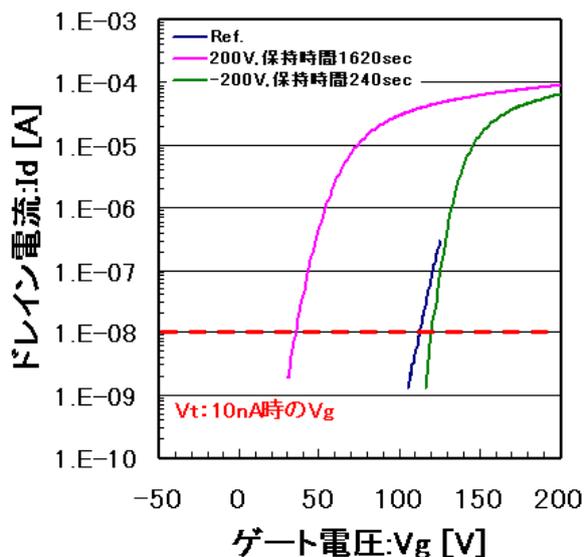
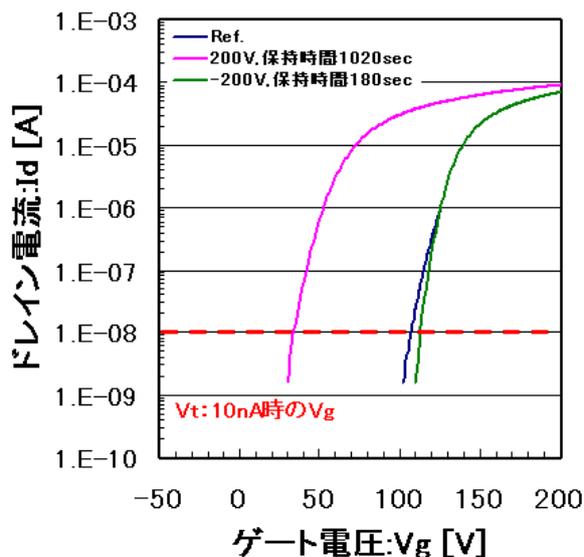


図 2. 2. 1-15 Na および K 汚染試料の作成と寄生 MOS の外観パターン

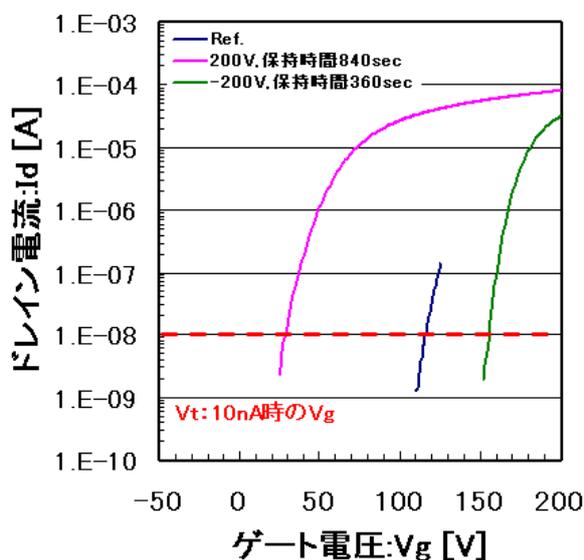


汚染無しのM2寄生MOSの V_g - I_d 特性

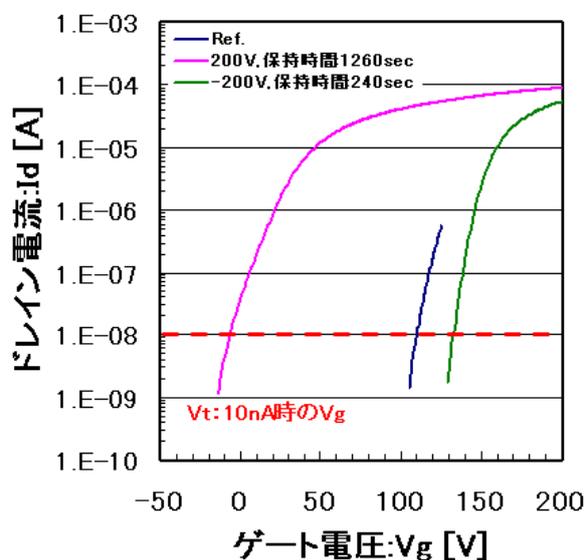


1000万倍希釈で汚染した時のM2寄生MOSの V_g - I_d 特性

図 2. 2. 1-16 ドレイン電流-ゲート電圧特性で見られる Na 汚染の M2 寄生 MOS への影響(1)

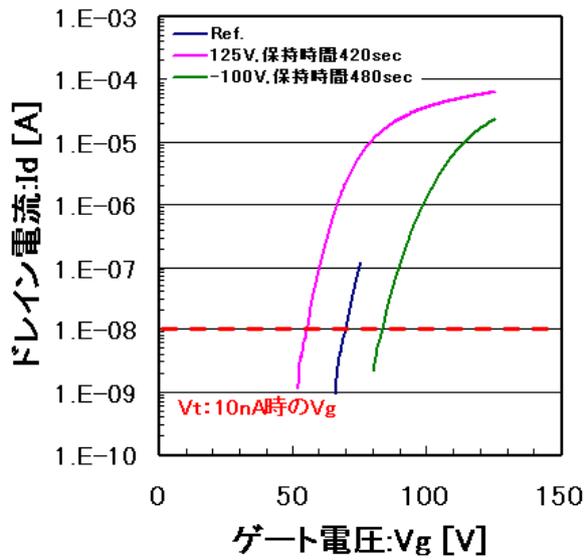


100万倍希釈で汚染した時のM2寄生MOSの V_g - I_d 特性

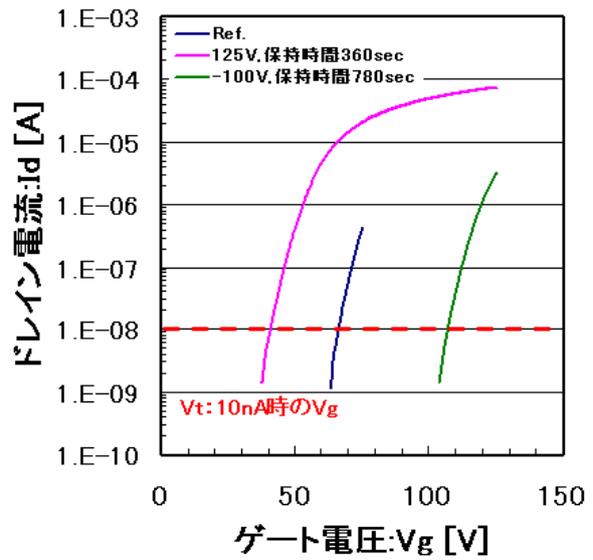


10万倍希釈で汚染した時のM2寄生MOSの V_g - I_d 特性

図 2. 2. 1-17 ドレイン電流-ゲート電圧特性で見られる Na 汚染の M2 寄生 MOS への影響(2)

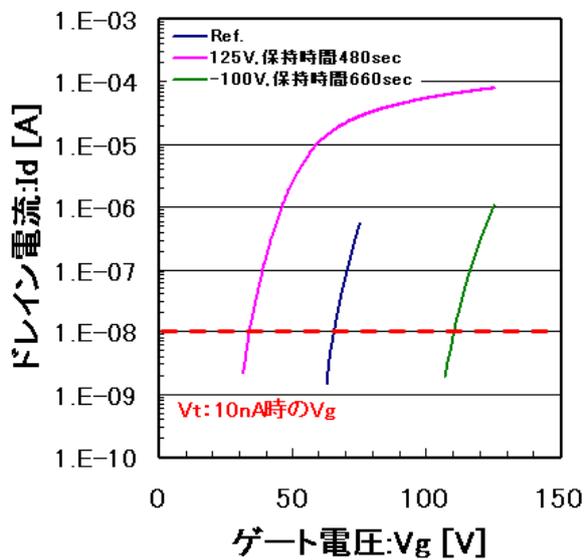


汚染無しのMI寄生MOSのV_g-I_d特性

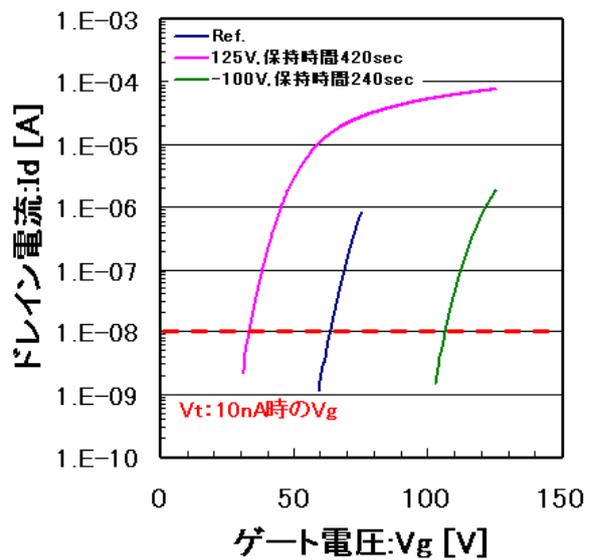


1000万倍希釈で汚染した時のMI寄生MOSのV_g-I_d特性

図 2. 2. 1-18 ドレイン電流-ゲート電圧特性で見られる Na 汚染の M1 寄生 MOS への影響(1)

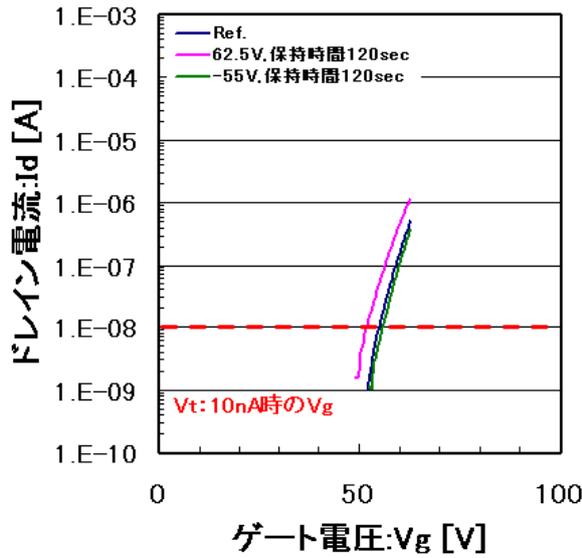


100万倍希釈で汚染した時のMI寄生MOSのV_g-I_d特性

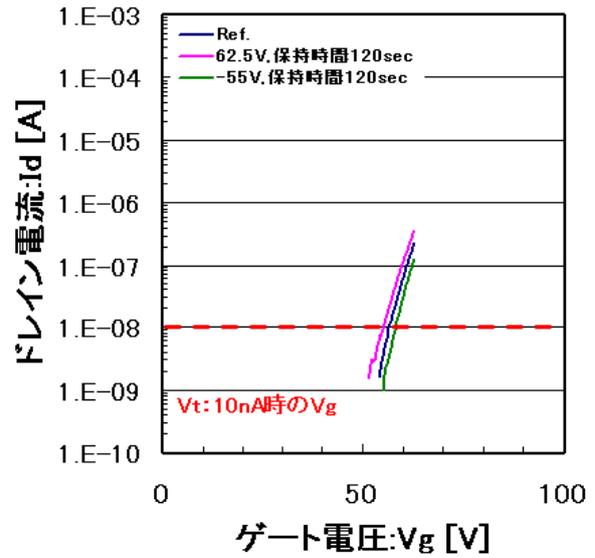


10万倍希釈で汚染した時のMI寄生MOSのV_g-I_d特性

図 2. 2. 1-19 ドレイン電流-ゲート電圧特性で見られる Na 汚染の M1 寄生 MOS への影響(2)

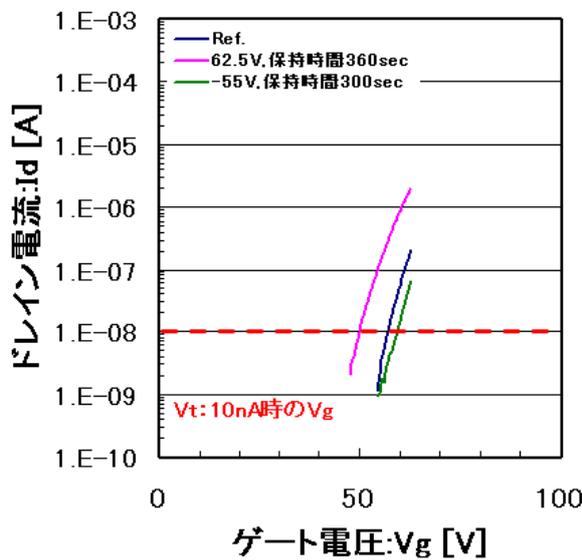


汚染無しのMI寄生MOSの V_g - I_d 特性

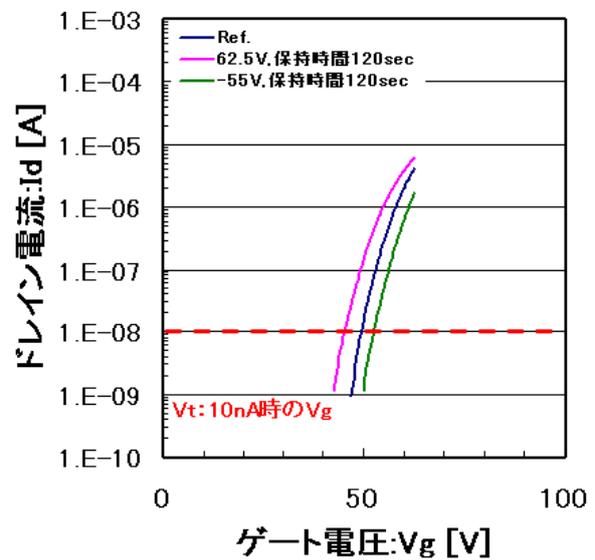


1000万倍希釈で汚染した時のFG寄生MOSの V_g - I_d 特性

図 2. 2. 1-20 ドレイン電流-ゲート電圧特性で見られる Na 汚染の FG 寄生 MOS への影響(1)



100万倍希釈で汚染した時のFG寄生MOSの V_g - I_d 特性



10万倍希釈で汚染した時のFG寄生MOSの V_g - I_d 特性

図 2. 2. 1-21 ドレイン電流-ゲート電圧特性で見られる Na 汚染の FG 寄生 MOS への影響(2)

以上のようにして測定したドレイン電流－ゲート電圧特性から求められるしきい電圧について、初期の値と+電圧を印加したときの値の差を V_t 変化量とした。この V_t 変化量の汚染量依存性を図 2. 2. 1-22 に示す。M2、M1、FG の各寄生 MOS について、チップ内 4 点で測定した V_t 変化量の中央値と最大値、最小値を汚染量に対して図示した。なお、各希釈溶液を用いたときの汚染量としては、図 2. 2. 1-14 の結果を用いて示した。

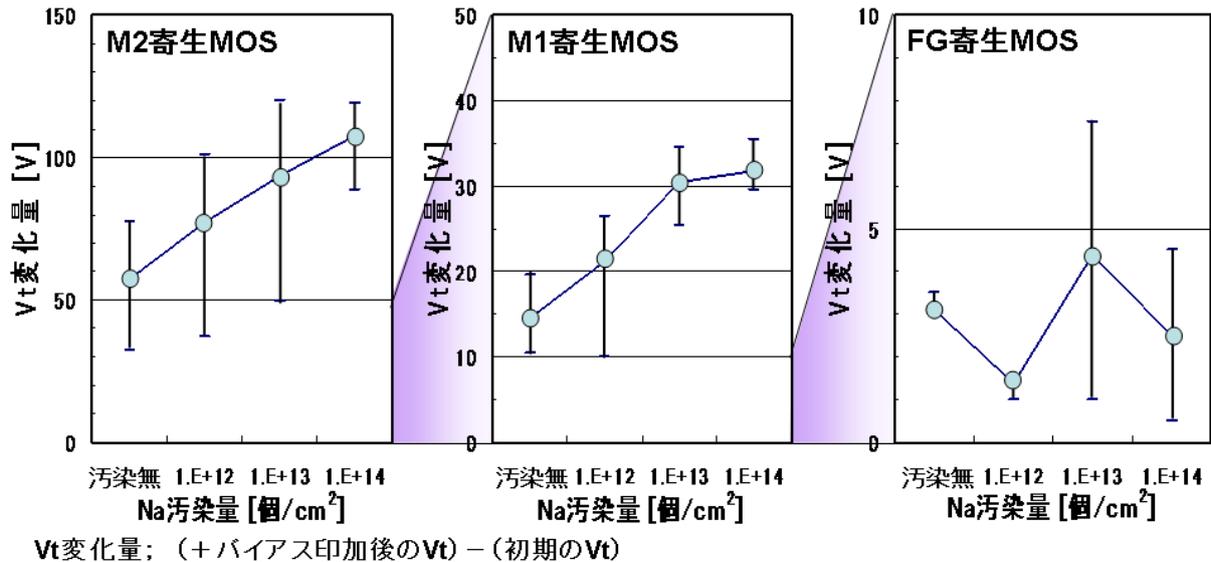


図 2. 2. 1-22 各寄生 MOS のしきい電圧 V_t 変化量の Na 汚染量依存性

ここで汚染無はリファレンスとして、強制汚染をしていないチップでの電圧変化量である。リファレンスにおいても V_t 変化量がある値を持つのは、寄生 MOS のゲート絶縁膜となっている SiO₂ や p-SiO、p-SiOC などの強電界による分極、あるいは強制汚染前に混入したアルカリ金属などの汚染と考えられる。しかし、今回試作している FEOL、BEOL の製造ラインでは、例えば M2 や M1 寄生 MOS の V_t 変化量から算定できる 10E12 個/cm² のオーダーでの汚染があるとは考えにくいので、主には分極に起因する V_t 変化量と考えられる。従って、強制汚染による寄生 MOS への汚染量は、各汚染に対する V_t 変化量とリファレンスの V_t 変化量の差に対応して計算される Na 汚染濃度となる。

M2 寄生 MOS、M1 寄生 MOS では、各汚染量での V_t 変化量のばらつきは大きいものの、中央値で見ると汚染量が増大するに従ってリファレンスに対して V_t 変化量も大きくなっており、Na 汚染の影響があることがわかる。一方、FG 寄生 MOS では、 V_t 変化量そのものの値も小さく、リファレンスとの差もほとんど見られないことから、Na 汚染の影響はほとんど無いと判断される。

この結果から、例えば最も高濃度の $1E14$ 個/ cm^2 の Na 汚染がある場合、M2 寄生 MOS では、しきい電圧 V_t の変化量の中央値から、ゲート絶縁膜の厚さ 800nm、平均的な比誘電率を 4 として、電氣的に活性な汚染量（+電荷として作用する量） Q は、

$$Q = 2.8E10 \times (V_t \text{ 変化量@Na 汚染} - V_t \text{ 変化量@リファレンス})$$

で計算され、 V_t 変化量@Na汚染 = 110 V、 V_t 変化量@Na汚染 = 60 V を代入すると、 $Q = 1.4E12$ 個/ cm^2 となる。また、M1 寄生 MOS では、ゲート絶縁膜の厚さ 500nm、平均的な比誘電率を 4 として、

$$Q = 4.4E10 \times (V_t \text{ 変化量@Na 汚染} - V_t \text{ 変化量@リファレンス})$$

で計算される。 V_t 変化量@Na汚染 = 42V、 V_t 変化量@Na汚染 = 15 Vを代入すると、 $Q = 1.2E12$ 個/ cm^2 となり、M2 寄生 MOS とほぼ同じ量である。

次に KOH で同様に強制汚染させた時、各寄生 MOS での電圧変化量と汚染量の関係を 図 2. 2. 1-23 に示す。ここでも M2 寄生 MOS、M1 寄生 MOS では、各汚染量での電圧変化量のばらつきは大きいものの、中央値で見ると汚染量が増大するに従ってリファレンスに対して電圧変化量も大きくなっており、K 汚染の影響があることがわかる。また、各汚染濃度で電圧変化量に多少の差はあるものの、Na の場合と K の場合での違いはほとんど無いことがわかった。一方、FG 寄生 MOS では、電圧変化量そのものの値も小さく、中央値ではリファレンスより若干下がっていることから、K 汚染の影響はほとんど無いと判断される。

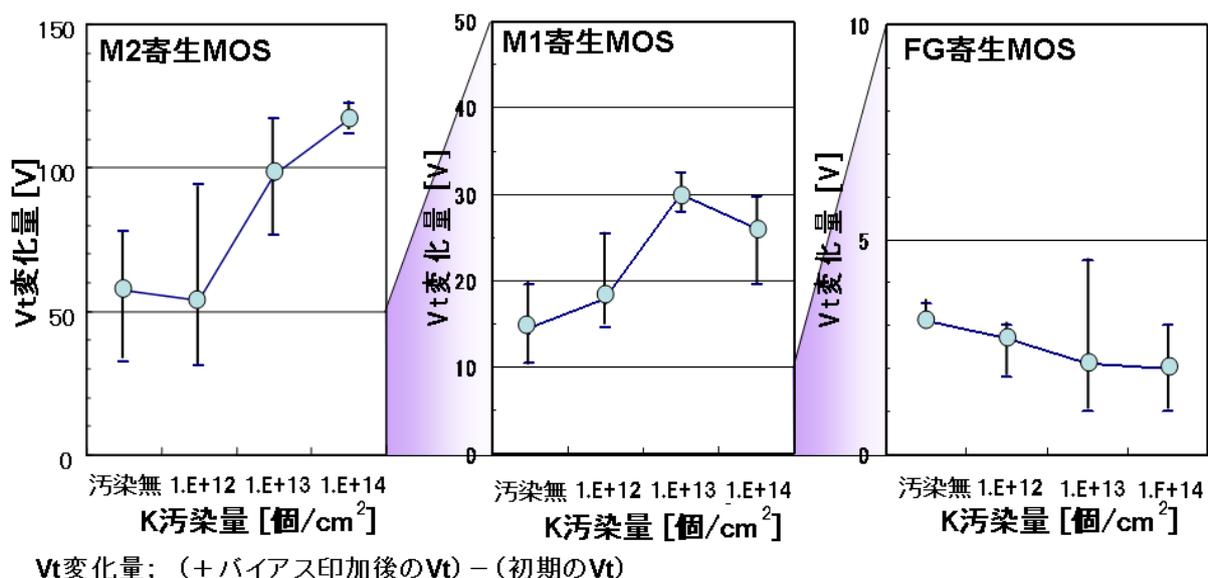


図 2. 2. 1-23 各寄生 MOS のしきい電圧 V_t 変化量の K 汚染量依存性

なお、アルカリ金属汚染の場合に最も汚染量の大きい場合であっても、p-n 接合の逆方向電流－電圧特性、能動トランジスタと同じ絶縁膜の MOS 容量素子の容量－電圧特性、その絶縁膜耐圧、能動トランジスタのしきい電圧などにリファレンスとの差は見られなかった。

以上述べてきたことから、アルカリ金属汚染は、配線構造に p-SiN などの拡散バリアとなる絶縁膜を含まない構造で、M1 や M2 寄生 MOS のしきい電圧を測定することにより評価できることが明らかになった。特にゲートとなる電極に一定の+電圧を印加した前後でのしきい電圧の差を測定することにより、汚染により電氣的に活性となっている汚染量を見積もることが出来た。

BEOL 以降の評価材料でアルカリ金属が導入される可能性が考えられるのは、Low-k 材料、CMP におけるスラリ、パッド、洗浄液、バッファークコート材料などがある。これらの材料およびそれを用いたプロセスによる汚染の評価には、これまで述べてきた方法を適用することが出来る。

なお、今回の強制汚染は Cu/Low-k 2 層配線後に、 $1E12$ 個/ cm^2 の汚染を最小値として評価しており、この場合には汚染影響が明らかに観測されている。内挿すると $1E11$ 個/ cm^2 になれば汚染の影響はほとんど見られなくなると考えられる。したがって、例えば配線形成後にその上に塗布されるバッファークコート材料では、アルカリ金属の汚染を $1E11$ 個/ cm^2 以下にする必要があると示唆できる。

2. 2. 2 応力影響の評価方法

2000年以降には、Si表面に引張応力が印加されたnチャネルMOSトランジスタは、そうでないものに比べて電流駆動能力が向上することが知られるようになり、現在では半導体集積回路にも適用されるようになってきた。いわゆるストレインド・シリコンと呼ばれる技術である。この場合Siに印加される応力は、GPaオーダーである。しかし、BEOL以降の材料では、このような大きな応力を及ぼす材料は極めて少なく、また、トランジスタの電流駆動能力としてチャネルコンダクタンス gm を測定する必要があるが、 gm には種々の構造パラメータなども影響する。そこで、10から100MPaオーダーの印加応力でも変化が検知でき、また、FEOLプロセスで形成でき、簡便に測定できる抵抗素子での評価を行った。

実験方法として、評価サンプル、抵抗素子寸法、チップの反らせ方、反り量の測定方法、使用装置をまとめて図2.2.2-1に示す。このような反りによりチップ上に形成された抵抗素子に1軸性の応力を印加することができる。反りの方向としては、抵抗素子に電流の流れる方向に応力が印加されるようにした。測定チップと測定パターンを外観を図2.2.2-2に示す。チップの上下に電流が流れるので、上下がビニールシートに挟まれるようにした。レーザー顕微鏡により測定したそり量からチップ上に形成された抵抗素子にかかる応力の求め方については図2.2.2-3に示す。

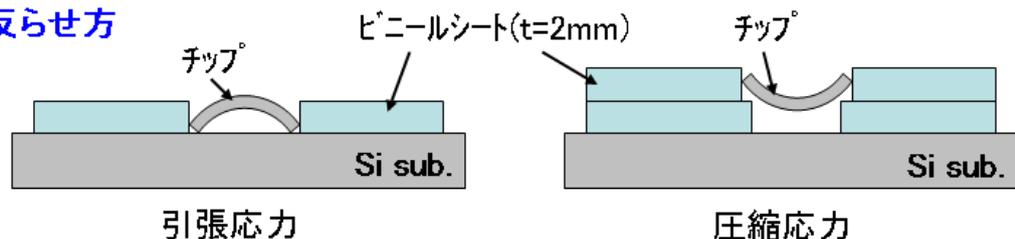
評価サンプル

- ・FEOL: CAST-T2
- ・Low-k: p-SiOC
- ・Cu/2層配線(PV完)
- ・裏面研削(基板厚: 100 μ m)
- ・ダイシング(チップ毎に分割)

抵抗素子寸法

- ・N-抵抗: $W=1\mu$ m, $L=5, 10, 20, 30\mu$ m
- ・N+抵抗: $W=1\mu$ m, $L=5, 10, 20$
- ・Poly-Si抵抗: $W=1\mu$ m, $L=5, 10, 20\mu$ m

チップの反らせ方



チップ反り量の測定

- ・レーザー顕微鏡で端部と中央の焦点距離の高さを測定し、反り量を求める

使用装置

- ・電気特性測定: プロバD(マニュアルプロバ)
- ・レーザー顕微鏡

図 2. 2. 2-1 実験方法

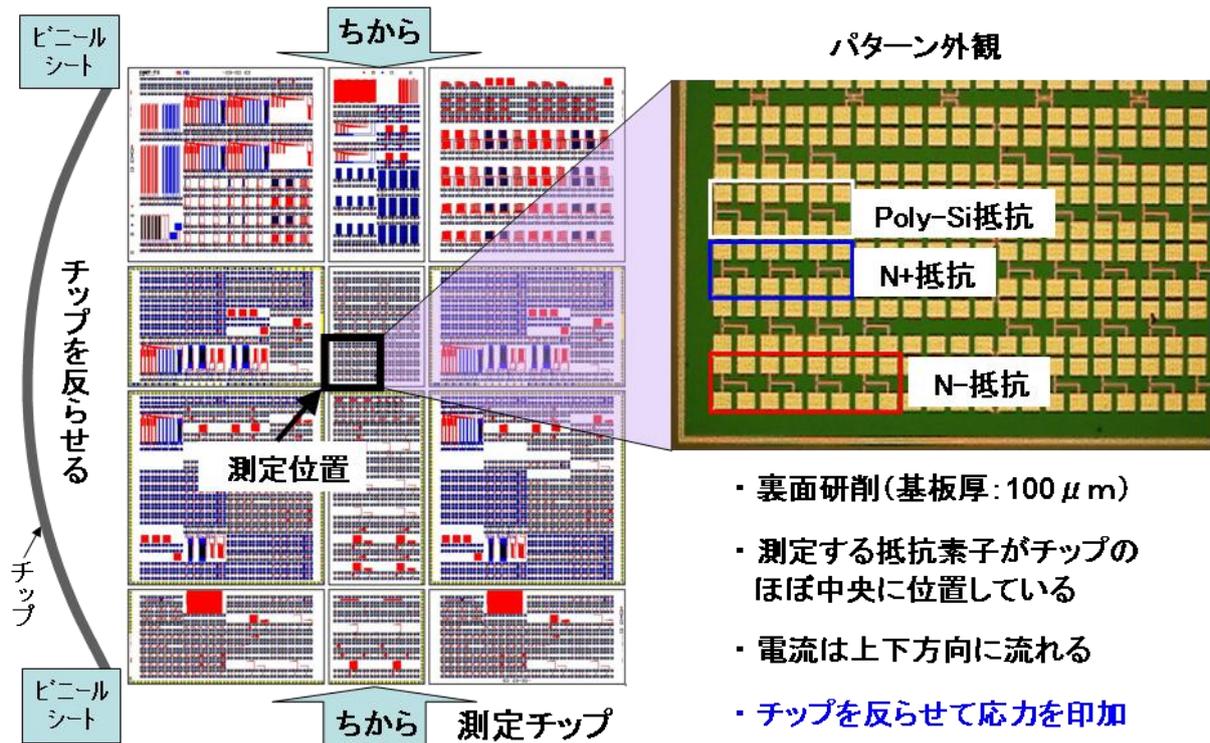
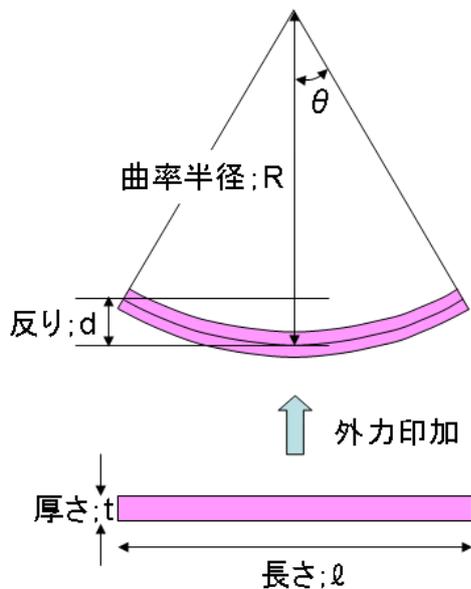


図 2. 2. 2-2 測定チップと抵抗素子のパターン外観



表面での伸び(縮み)量 Δl は、

$$\Delta l = 2(R + t/2) \cdot \theta - 2R \cdot \theta = t \theta$$

表面での引張(圧縮)応力 σ は、ヤング率Eとして

$$l = 2R \theta \text{ ---- (1) だから}$$

$$\sigma = \Delta l / l \cdot E = t \theta / 2R \theta \cdot E = t / 2R \cdot E$$

また、

$$d = R - R \cos \theta \text{ であり、} \theta \ll 1 \text{ とすると}$$

$$\cos \theta \cong 1 - \theta^2 / 2 \text{ と近似して、}$$

$$d = R \theta^2 / 2 \text{ ---- (2)}$$

(1)、(2)から曲率半径 R は

$$R = l^2 / 8d$$

応力 σ は、

$$\sigma = 4 dt / l^2 \cdot E$$

図 2. 2. 2-3 反り測定結果からの応力の算出

測定結果の例として N-層、N+層、poly-Si のそれぞれの抵抗値を **図 2. 2. 2-4** に示す。これは、幅 $1\mu\text{m}$ 、長さ $5\mu\text{m}$ のパターンであるので、応力を印加していないときの層抵抗（シート抵抗）は、N-層が約 $4\text{ k}\Omega$ 、N+層が約 $130\ \Omega$ 、poly-Si 層が約 $600\ \Omega$ である。この結果から、いずれの場合も引張応力が印加されると抵抗は下がり、圧縮応力が印加されると抵抗が上がるのがわかる。これは、いずれの抵抗素子もキャリアが電子であることから、n チャネルトランジスタと同じような応力への依存性を示すと考えられる。長さの異なる各抵抗素子での抵抗の変化率の平均値を **図 2. 2. 2-5** に示す。長さが異なっても各材料での変化率に大きな差が無く、また、応力に対してこの範囲では変化率が直線的に増減する。3 種類の材料の抵抗素子で、N-層の抵抗素子の抵抗値が大きいため測定による誤差が小さいと考えられ、また、変化率が大きいことから、評価素子として適していると考えられる。しかし、それでも 200 MPa で 5% 程度と小さい値である。

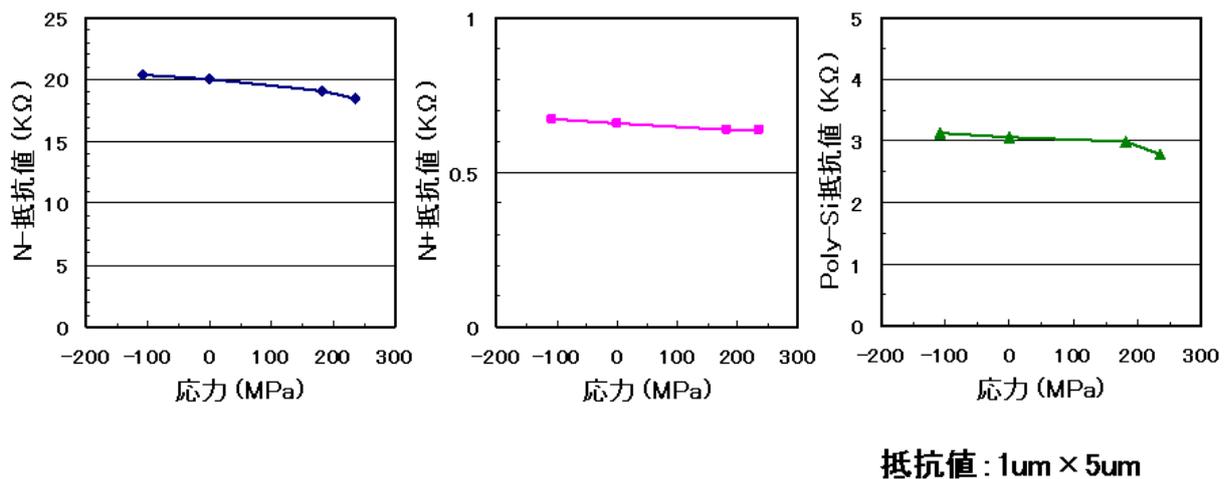


図 2. 2. 2-4 N-層、N+層、poly-Si それぞれの抵抗値の応力依存性

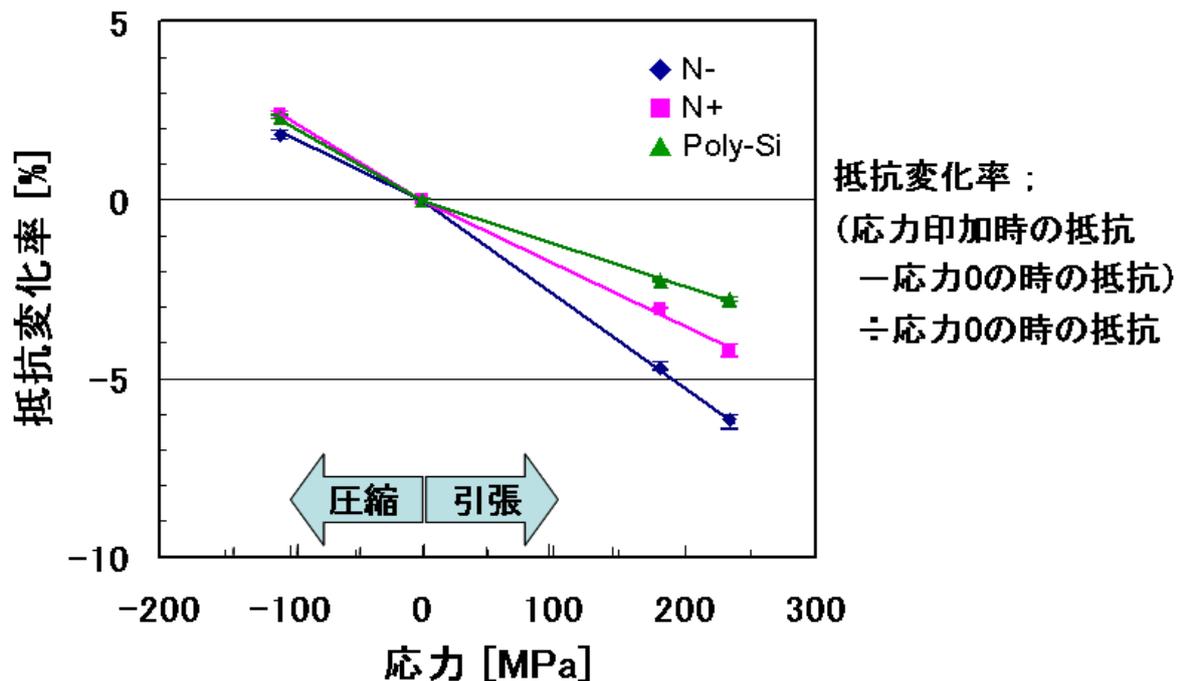


図 2. 2. 2-5 N-層、N+層、poly-Si それぞれの抵抗変化率の
 応力依存性

以上述べてきたように、応力の影響は、抵抗素子、特に N-層の抵抗素子により評価できることが明らかになった。ただ、電氣的に測定される抵抗値で見るとその影響は極めて小さいので、精度の高い測定が必要になる。

しかし一方、例えば一般的なバッファークोट材料では内部応力は 50 MPa 程度であるが、このような応力が抵抗素子に直接印加されたとしても抵抗値の変化率は 1%程度にすぎない。すなわち、バッファークोट材料の応力による FEOL 素子への影響は極めて軽微と考えられる。

にもかかわらず、最近ではバッファークोट材料の低応力化が要求されている。その理由は、FEOL 素子への影響を心配してのことよりも、むしろ組立工程でのウェーハの反りに起因する剥がれなどの不良を低減し、また組立てを容易にするためであると考えられる。

2. 2. 3. 電荷蓄積（チャージアップ）の評価方法

半導体プロセスの BEOL では、種々の材料の成膜や加工においてプラズマが多く用いられる。この場合、半導体ウェーハ表面にはイオンもしくは電子が蓄積し、チャージアップが発生して半導体素子を破壊することが懸念される。また、大気中や、溶液中でウェーハが高速回転し、静電気によるチャージアップも懸念される。このようなチャージアップの評価には、比較的小面積の MOS 容量素子のゲート側に電荷を捕集するアンテナになる大面積の配線を接続したチャージアップ TEG が用いられる。

今回評価に用いた TEG は T3 マスクであり、トランジスタと同じ 6.5nm の SiO₂ を絶縁膜とし、面積が 2×2 μm² の MOS 容量素子で、アンテナは BEOL で形成される配線層の M1 と M2 である。実験方法としてチップ内のチャージアップ TEG の位置と、MOS 容量素子のゲート破壊耐圧の測定方法を素子の断面模式図とともに図 2. 2. 3-1 に示す。

測定は M1、M2 の配線をそれぞれ CMP で形成した後にウェーハ内で 46 チップ測定した。ゲート側には基板表面に蓄積層が出来るように、即ち N 型基板では+、P 型基板では-の電圧を印加して測定した。

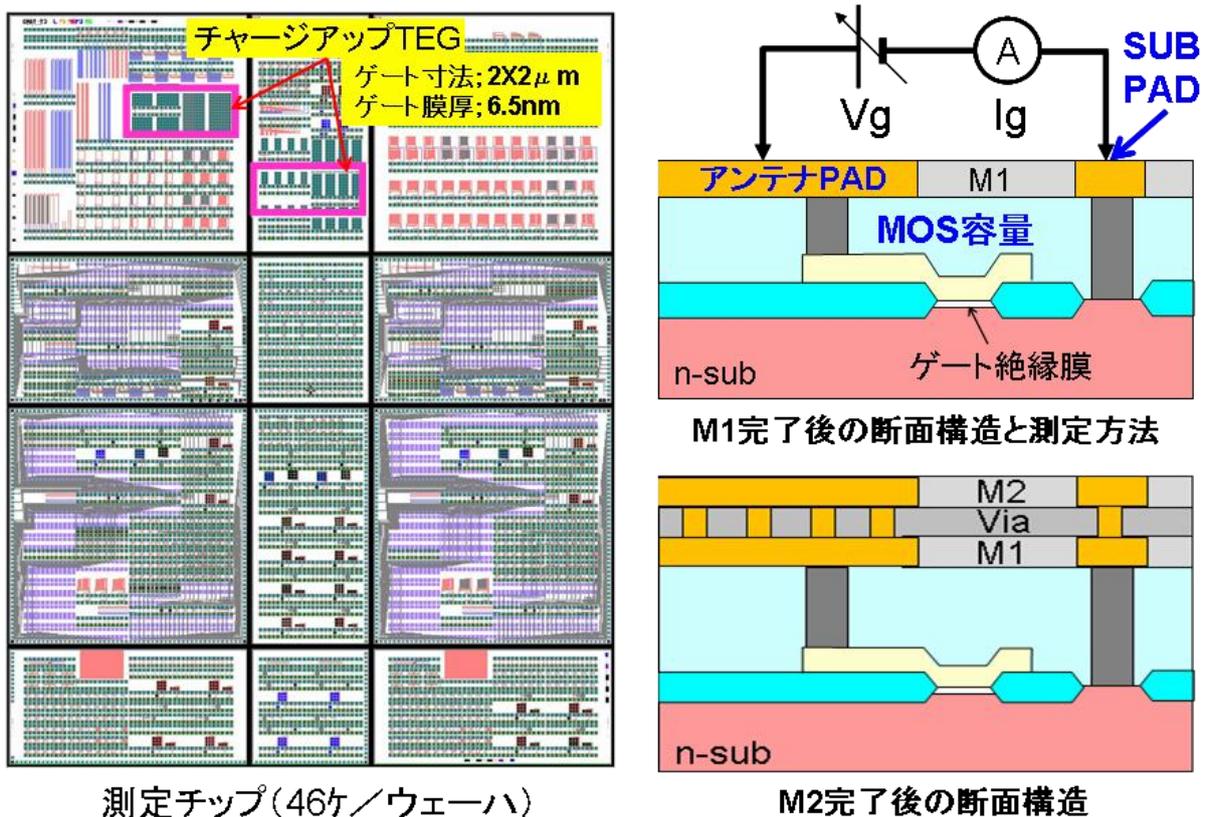


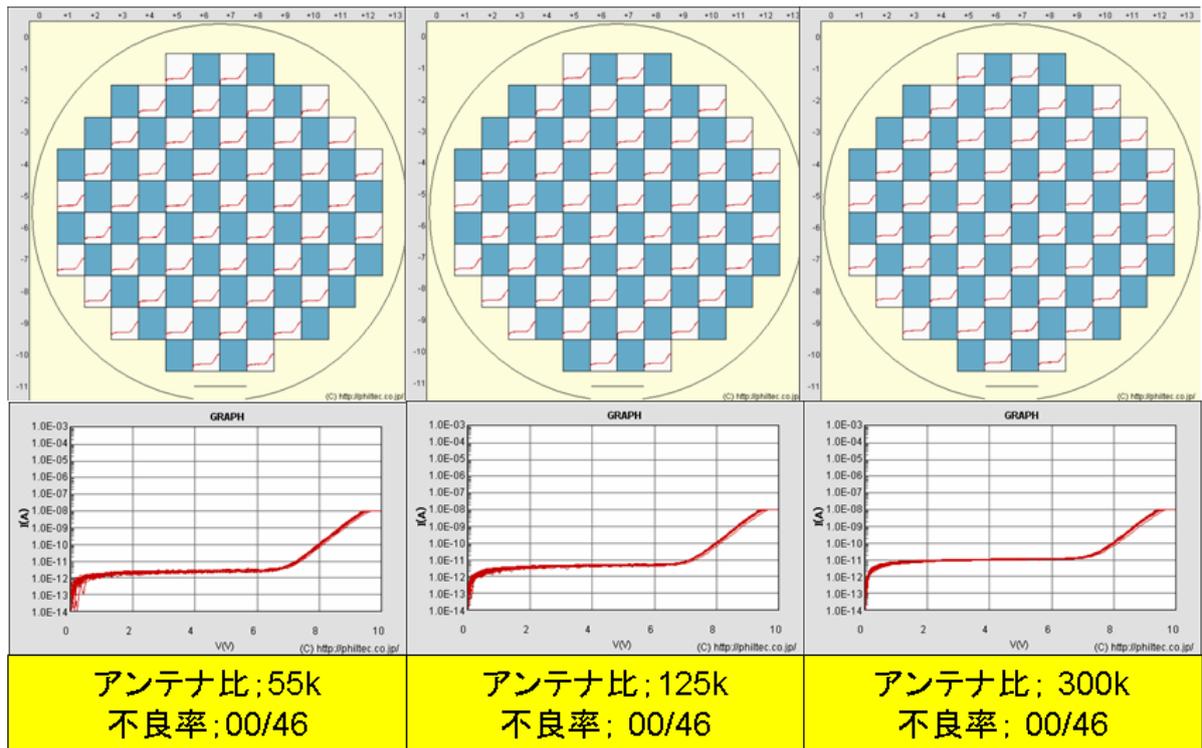
図 2. 2. 3-1 チャージアップ評価のための実験方法

BEOL に用いるプロセス材料やそのプロセスの影響を評価するため、配線間絶縁膜としてプラズマで成膜する p-SiOC と、塗布により成膜するポーラス絶縁膜 (p-MSQ) の場合について評価した。基板を N 型、P 型、M1 配線完了後、M2 配線完了後をパラメータとして、種々のアンテナ比での MOS 容量素子の耐圧不良率をまとめて図 2. 2. 3-2 に示す。基板を N 型とした場合、大きなアンテナ比をもつ 3 種類のアンテナ MOS の耐圧測定結果について、ウェーハ内分布と電流-電圧特性を図 2. 2. 3-3 から-6 に示す。また、基板を P 型とした場合を図 2. 2. 3-7 から-10 に示す。

N型基板、Low-k: p-SiOC						N型基板、Low-k: p-MSQ					
アンテナ比 測定	3k	23k	55k	125k	300k	アンテナ比 測定	3k	23k	55k	125k	300k
M1 完後	0	0	0	0	0	M1 完後	0	0	0	0	0
M2 完後	0	2	11	50	83	M2 完後	0	0	2	28	52
耐圧不良率(%)						耐圧不良率(%)					

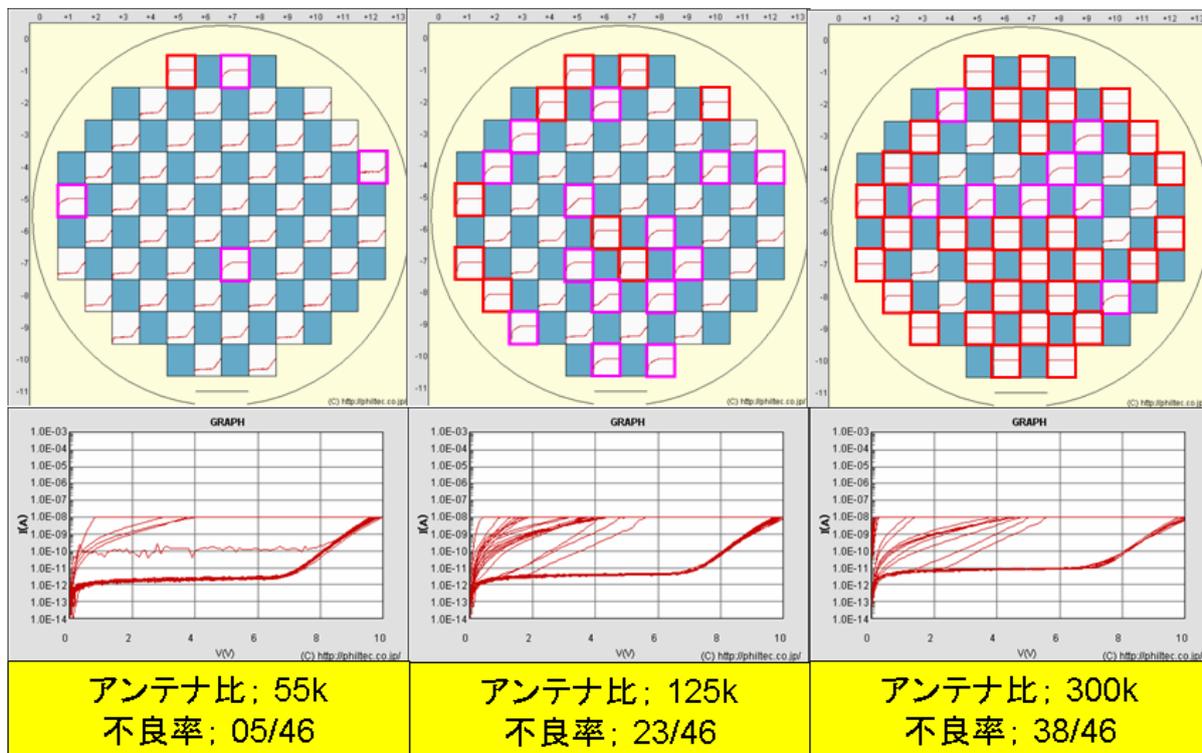
P型基板、Low-k: p-SiOC						P型基板、Low-k: p-MSQ					
アンテナ比 測定	3k	23k	55k	125k	300k	アンテナ比 測定	3k	23k	55k	125k	300k
M1 完後	0	0	0	0	0	M1 完後	0	0	0	0	0
M2 完後	0	0	0	2	2	M2 完後	0	0	0	0	0
耐圧不良率(%)						耐圧不良率(%)					

図 2. 2. 3-2 アンテナ TEG の耐圧不良率のまとめ



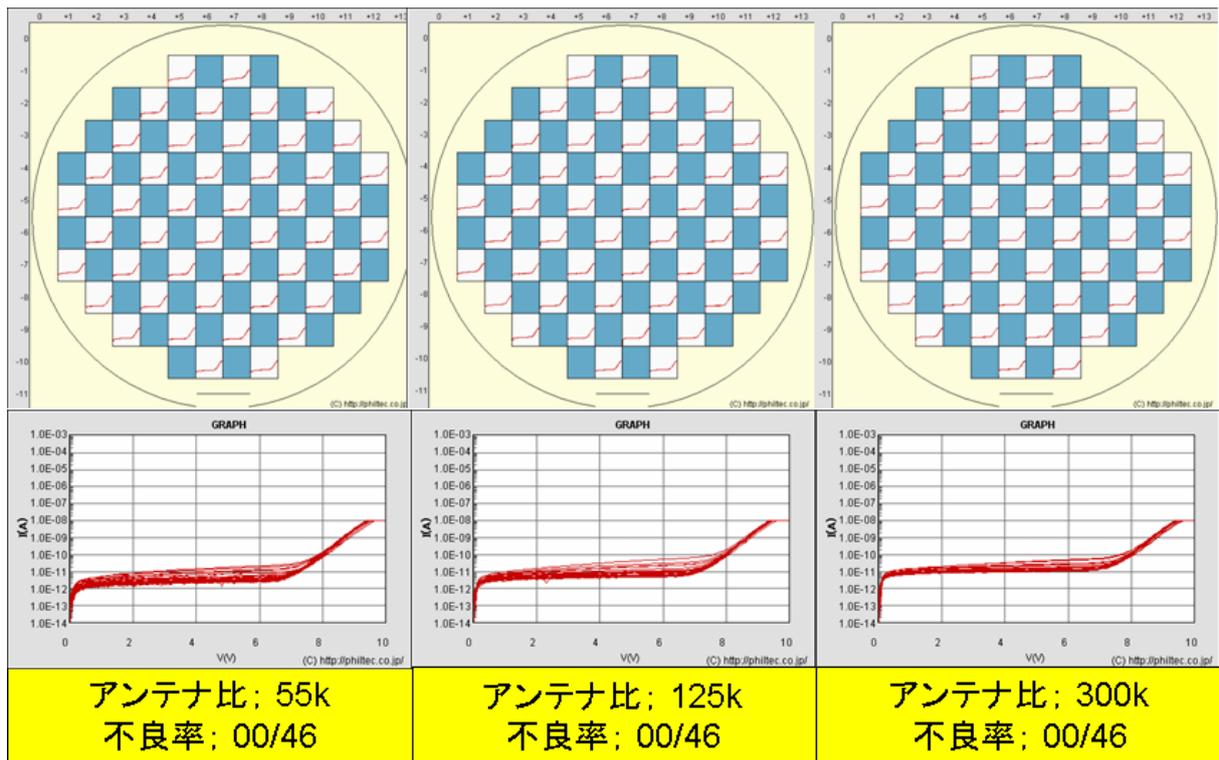
N型基板、Low-k: p-SiOC、M1完了後 ゲート寸法 $2 \times 2 \mu\text{m}$ 、ゲート膜厚 6.5nm

図 2. 2. 3 - 3 ウェーハ内分布と電流-電圧特性 (1)



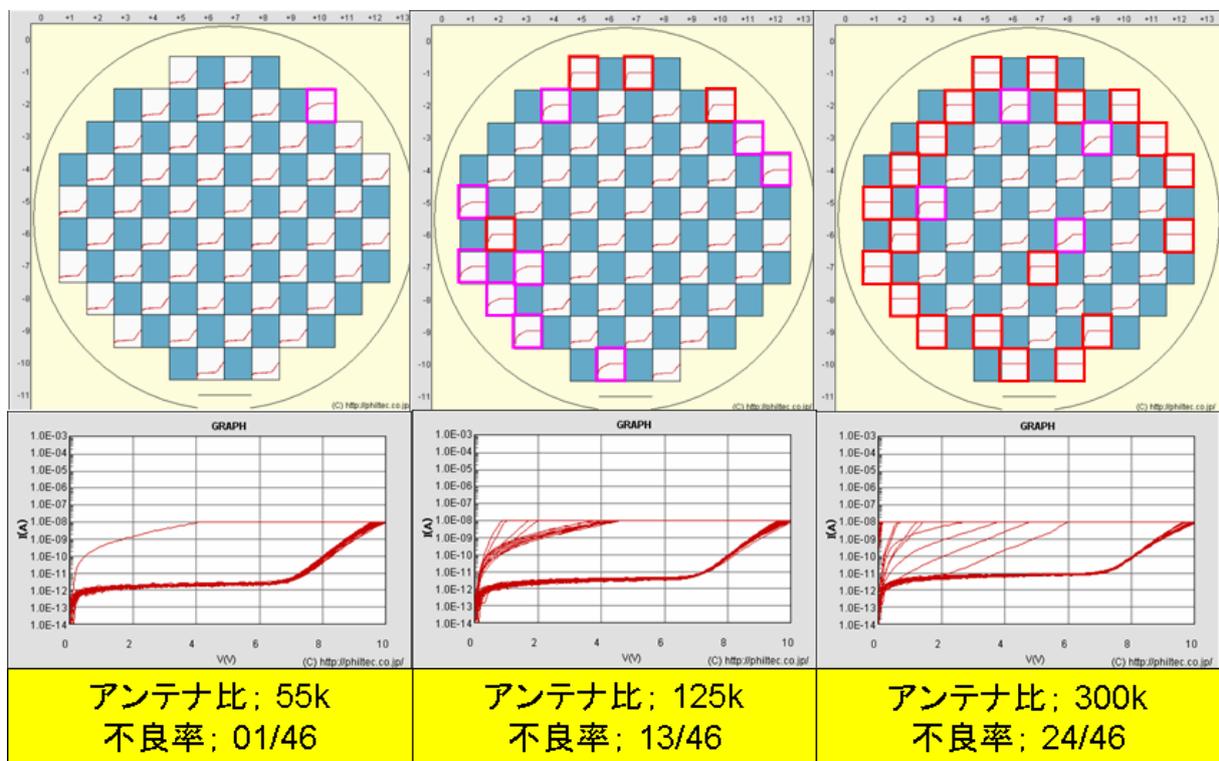
N型基板、Low-k: p-SiOC、M2完了後 ゲート寸法 $2 \times 2 \mu\text{m}$ 、ゲート膜厚 6.5nm

図 2. 2. 3 - 4 ウェーハ内分布と電流-電圧特性 (2)



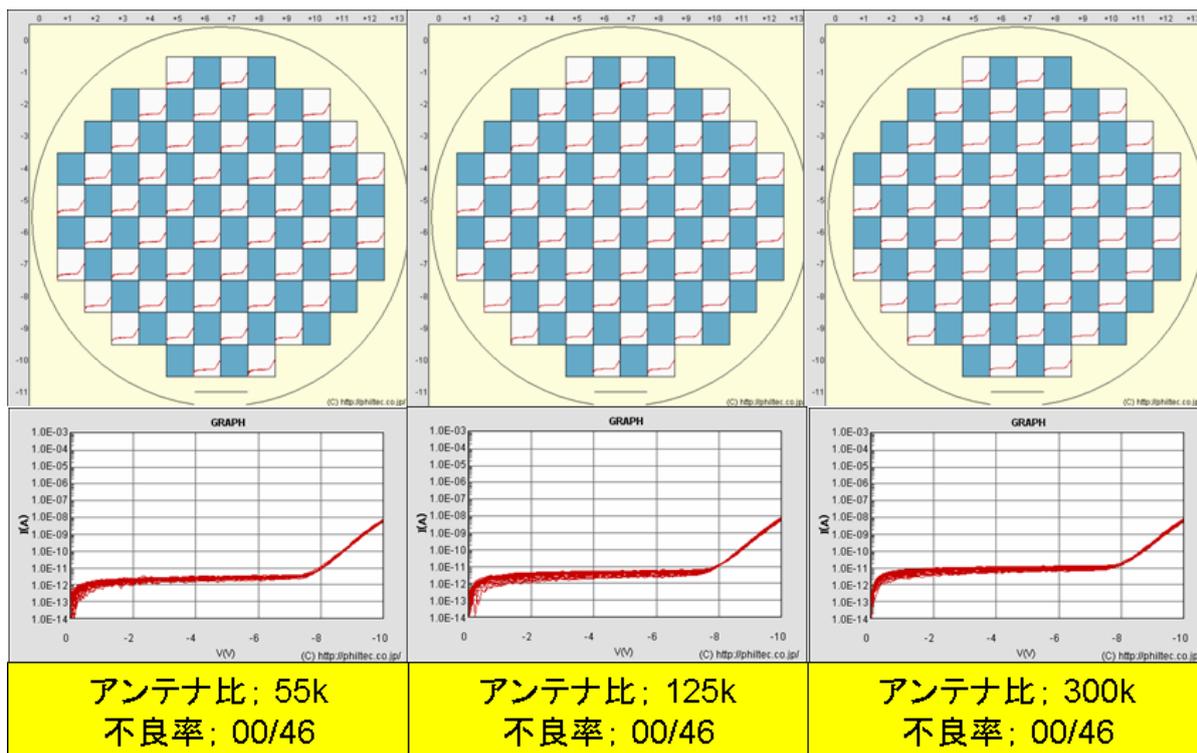
N型基板、Low-k: p-MSQ、M1完了後 ゲート寸法 $2 \times 2 \mu\text{m}$ 、ゲート膜厚 6.5nm

図 2. 2. 3 - 5 ウェーハ内分布と電流-電圧特性 (3)



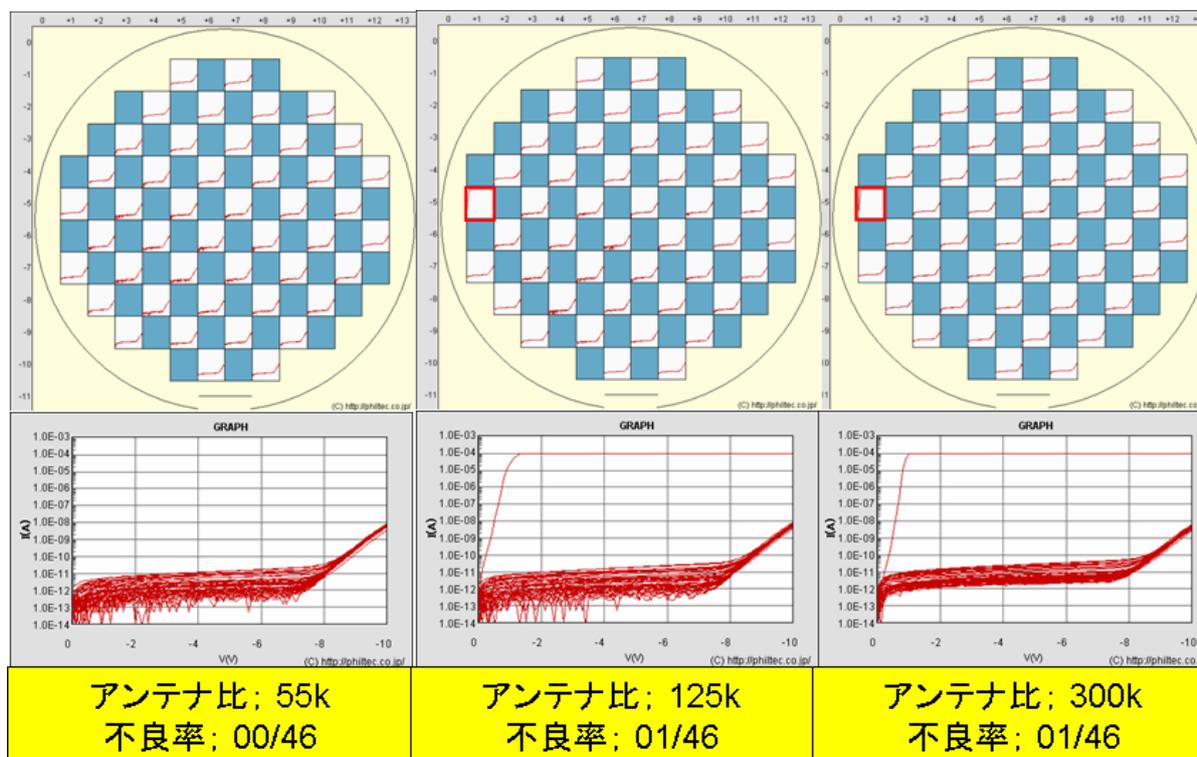
N型基板、Low-k: p-MSQ、M2完了後 ゲート寸法 $2 \times 2 \mu\text{m}$ 、ゲート膜厚 6.5nm

図 2. 2. 3 - 6 ウェーハ内分布と電流-電圧特性 (4)



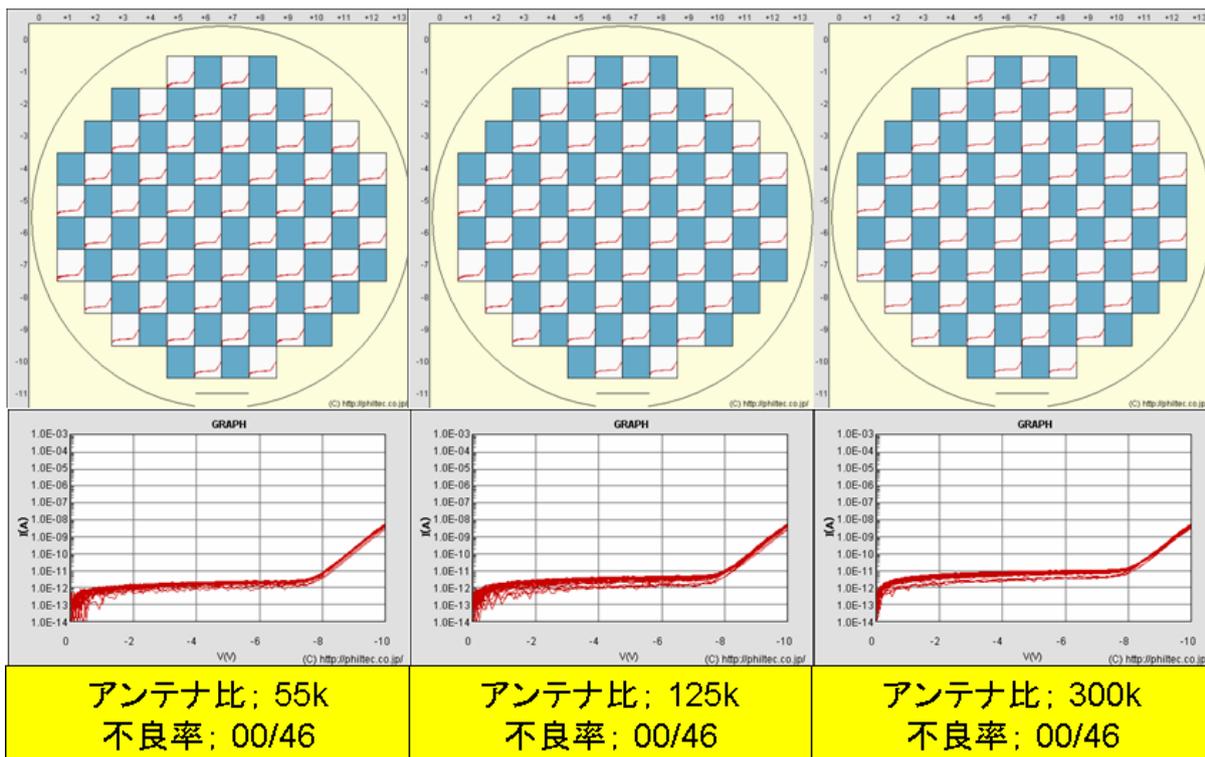
P基板、Low-k: p-SiOC、M1完了後 ゲート寸法 $2 \times 2 \mu\text{m}$, ゲート膜厚 6.5nm

図 2. 2. 3 - 7 ウェーハ内分布と電流-電圧特性 (5)



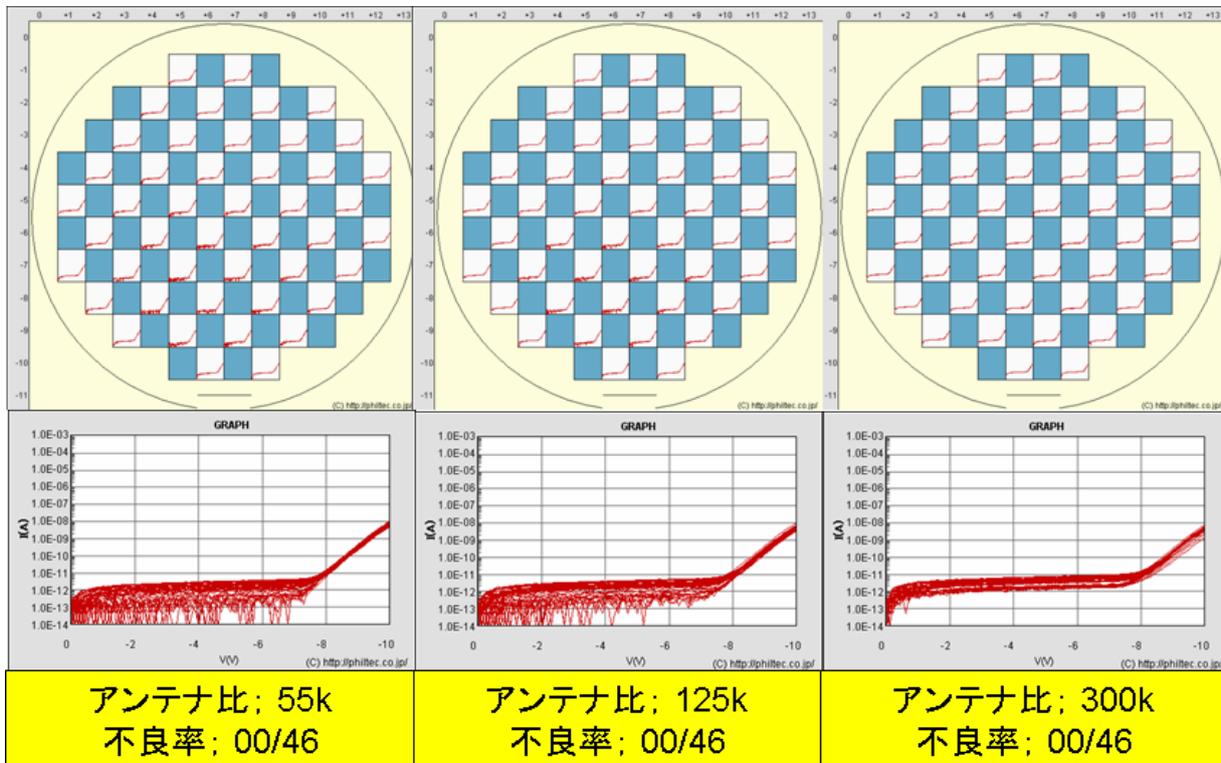
P基板、Low-k: p-SiOC、M2完了後 ゲート寸法 $2 \times 2 \mu\text{m}$, ゲート膜厚 6.5nm

図 2. 2. 3 - 8 ウェーハ内分布と電流-電圧特性 (6)



P基板、Low-k: p-MSQ、M1完了後 ゲート寸法 $2 \times 2 \mu\text{m}$ 、ゲート膜厚 6.5nm

図 2. 2. 3-9 ウェーハ内分布と電流-電圧特性 (7)



P基板、Low-k: p-MSQ、M2完了後 ゲート寸法 $2 \times 2 \mu\text{m}$ 、ゲート膜厚 6.5nm

図 2. 2. 3-10 ウェーハ内分布と電流-電圧特性 (8)

M1 完了後には、配線層間絶縁膜が p-SiOC、p-MSQ のいずれの材料であっても、また基板が N 型、P 型のいずれであって、種々のアンテナ比で耐压不良を起こす MOS 容量素子は無かった。これは、アンテナが形成される Cu およびバリアの CMP、さらにその後の洗浄においても、ウェーハ表面でのチャージアップの発生が無いことを示している。

しかし、M2 終了後には耐压不良が発生している。P 型基板よりも N 型基板の方で、かつアンテナ比が大きくなるに従って耐压不良率が高くなる。P 型基板よりも N 型基板の方で発生するのは、ウェーハ表面のアンテナに蓄積する電荷が+電荷であることを示唆している。+電圧が印加されたとき、N 型基板では表面に蓄積層が形成されるのに対して P 型基板では反転層が形成され、MOS 容量素子の絶縁膜に印加される電界が P 型よりも N 型で大きくなるためである。また、アンテナ比が大きくなるに従って耐压不良率が高くなるのは、アンテナ面積が大きくなるにしたがってアンテナに捕集される電荷量が多くなるためと考えられる。

M2 完了後に耐压不良が発生していることから、チャージアップを起こす工程は、ビア層や M2 層の層間絶縁膜を形成する工程、ビアや M2 のエッチングやアッシングする工程、バリアメタルや Cu のスパッタリング工程が考えられる。さらに詳細に見ると、Low-k 材料が p-SiOC よりも p-MSQ の方で不良の発生率が低くなっていることがわかる。この違いは、M1 CMP 工程完了後の層間絶縁膜の形成工程の差に起因していると考えられる。M1 CMP 後、いずれの層間絶縁膜の場合も Cu 拡散バリアとして薄い 30nm の p-SiCN 膜がプラズマ CVD で表面に堆積される。その後 p-SiOC の場合にはプラズマ CVD でさらに 100nm の p-SiOC が堆積されるのに対して、p-MSQ の場合には塗布法で 100nm のポーラス Low-k 膜が形成される。したがって、プラズマ処理する時間の長い p-SiOC の場合には耐压不良率が高くなり、塗布法を併用してプラズマ処理の時間を短くした p-MSQ の場合には耐压不良率が低くなると考えられる。

また、耐压不良のウェーハ内分布をみると、ウェーハ周辺部でチャージアップが最も発生し易く、続いて中心部で発生するという特徴がある。このような特徴は、プラズマを用いた CVD やドライエッチングで現れることがある。

以上述べてきたように、配線層で形成される大きな面積を持つアンテナをゲートに接続した小さな面積の MOS 容量素子の耐压測定により、チャージアップの起こし易い材料とそれを用いるプロセスの影響を評価できることが明らかになった。また、N 型基板と P 型基板では耐压不良発生に大きな差があり、今回のように+電荷が表面に蓄積する場合には、N 型基板を用いた方が高感度に影響評価にできることがわかった。逆に-電荷が表面に蓄積する場合には P 型基板を用いた方が高感度に評価できると考えられる。

2. 2. 4. 配線腐食の評価方法

Cu 配線における CMP 工程では、Cu スラリ、バリアスラリ、パッド、ドレッサー、洗浄液、洗浄用ブラシなどが消耗部材として用いられる。ここで特にスラリや洗浄液においては、Cu 配線の腐食を起こさないことが、それらの材料選定において、1つの重要な指標になる。従来、腐食については、ほとんどが光学顕微鏡や SEM を用いて Cu 表面を観察して評価される程度であり、極めて定性的な評価に終わっていた。

腐食は、主に電池効果により電気化学的に発生するものであると考えられるので、電池作用として、FEOL プロセスで形成できる(a) p-n 接合電池、Cu 配線の密度差で発生すると考えられる(b) 濃淡電池について、配線腐食を定量的に評価する方法を開発することとした。定量的に評価するために、配線抵抗の差を用いて評価したが、このようなことは従来ほとんど行なわれておらず、CMP の腐食を定量的に評価方法としては画期的な手法であると思われる。

a. p-n 接合電池

FEOL では、Si 基板表面に n 層と p 層が形成される。そこで n 層に接続された Cu 配線と p 層に接続された Cu 配線を比較する。Si 基板表面に形成された p-n 接合に光照射されると、p 層の電位は n 層の電位より高くなり、p 層に接続された Cu 配線には+電荷が注入され、Cu+イオンとして液中に Cu が放出され易くなり、いわゆる腐食が起こりやすくなる。一方、n 層に接続された Cu 配線ではそのような腐食の発生は無く、もし液中に Cu+イオンが大量にあれば、-電荷を持つ電子がそれを中和することによりメッキされることもあり得る。また、Si 基板に接続されない Cu 配線は、電荷の注入や放出は無いので、n 層に接続された配線とほぼ同じように腐食は発生しない。この様子を模式的に図 2. 2. 4-1 に示す。

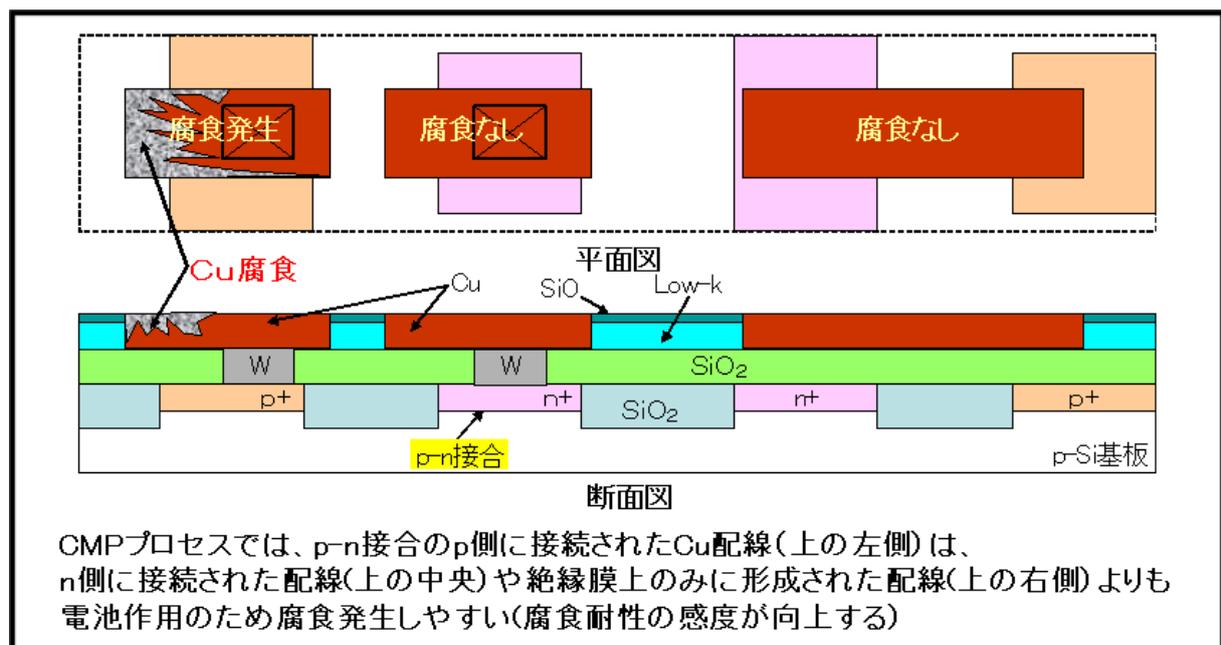
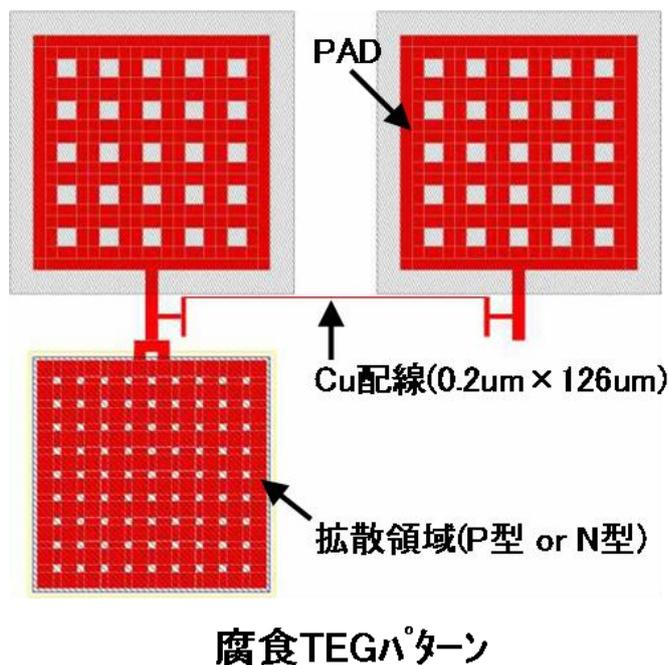


図 2. 2. 4-1 FEOL 素子に接続された Cu 配線の腐食の様子

腐食を評価する TEG パターンと実験方法について図 2. 2. 4-2 に示す。M1 CMP 後にウェーハ内 92 チップの抵抗を測定した。腐食評価のウェーハとして、Cu およびバリアを研磨した後、光を遮断した CMP 装置内で水洗したウェーハをリファレンスとして用意した。このウェーハにさらに CMP 装置の洗浄部に光照射した場合と遮断した場合で時間を変えて水洗した場合、92 の各チップでの p 層に接続された Cu 配線と n 層に接続された Cu 配線の抵抗値の差を求め、その正規分布図を図 2. 2. 4-3 に示す。ここで水洗時間はロールブラシ 2 回のトータルの洗浄時間（時間の比率は一定）であり、リンスは行なわない。光遮断した場合には、水洗時間と共に分布が広がるが、中央値はほぼ 0 となり、p-n 接合電池作用による腐食の発生が無いことを示している。しかし、光が照射された場合には、水洗時間と共にその差は正の側に大きくなっていく。すなわち、p-n 接合電池作用により、p 層に接続された Cu 配線が腐食により薄くなって、抵抗が上昇したことがわかる。次に、光照射がある場合に、p 層、n 層に接続された抵抗値のウェーハ内分布とその中央値の水洗時間依存性を図 2. 2. 4-4 に示す。p 層に比べて少ないが、n 層に接続された抵抗も時間と共に大きくなっており、ブラシによる水洗で Cu 配線が削れて行くためと推測される。



2-1. 試料

- FEOL: CAST-T2(P型基板)
CAST-T3(N型基板)
- Low-k: p-MSQ
- Cu/1層配線(M1 CMP完)

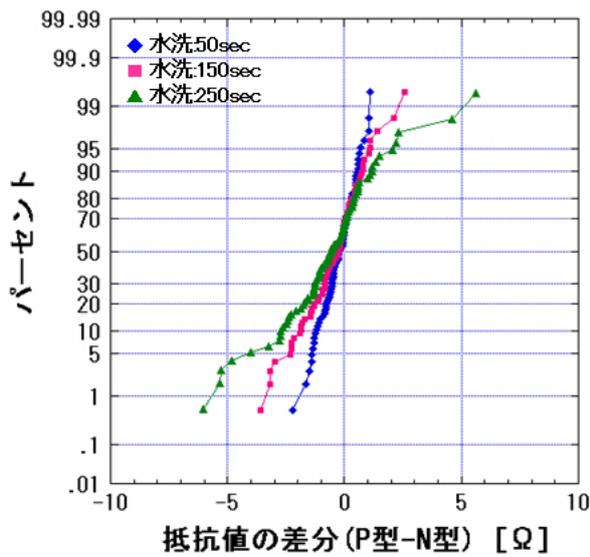
2-2. 評価内容

- 光(蛍光灯)照射水洗の影響
- 洗浄剤の防食効果有無

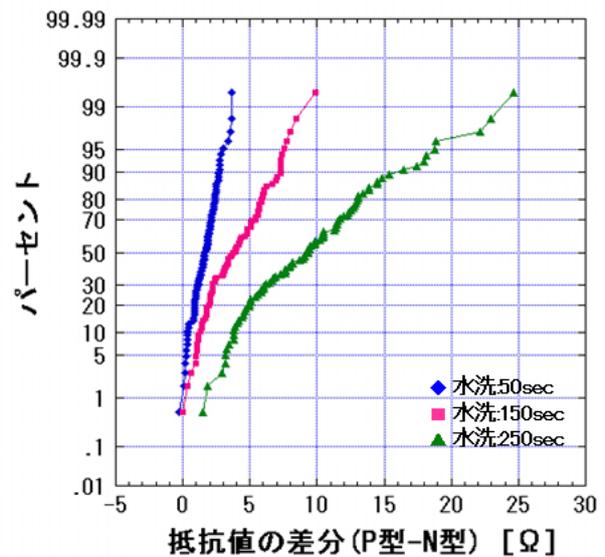
2-3. CMP研磨条件

- 装置: ChaMP(東京精密)
- 研磨ヘッド: IC1400xy-k
- 研磨圧力: 1.5psi
- 洗浄時間: ロールブラシ: 40sec
ロールブラシ: 60sec
リンス: 60sec

図 2. 2. 4-2 腐食 TEG パターンと実験方法



(1) 光照射無し



(2) 光照射有り

図 2. 2. 4-3 p 層と n 層に接続された抵抗差の分布について水洗時の光照射有無の違い

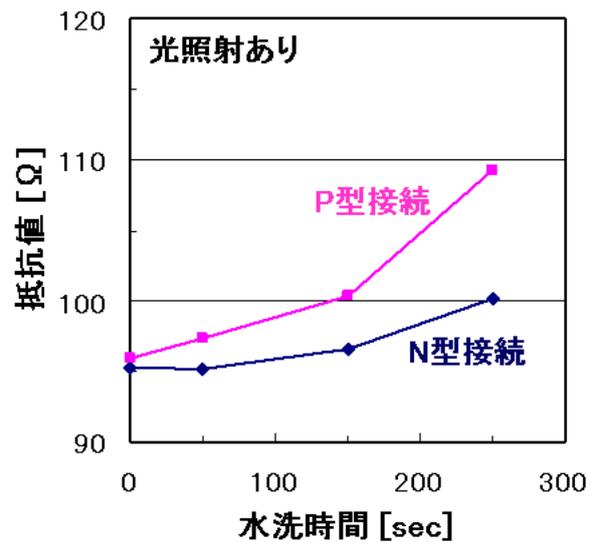
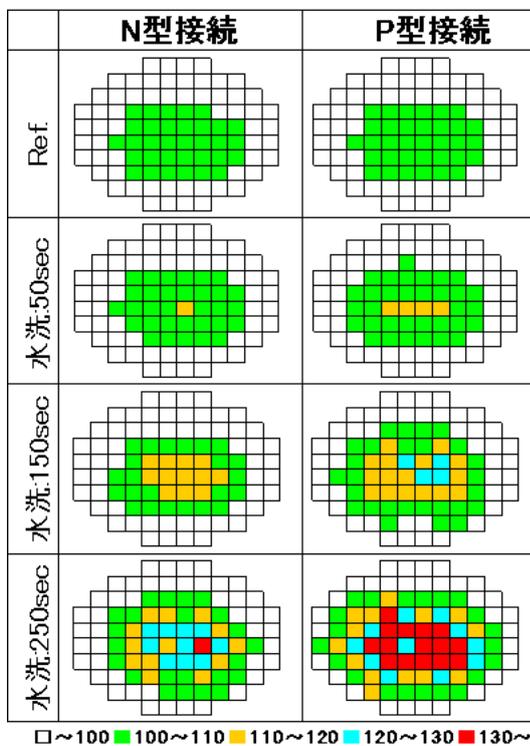


図 2. 2. 4-4 抵抗のウェーハ内分布とその中央値の水洗時間依存性

先ほどの一連の実験は、p型基板を用いたものであるが、次にP型基板とN型基板を用いたときの評価結果を図2.2.4-5、図2.2.4-6に示す。

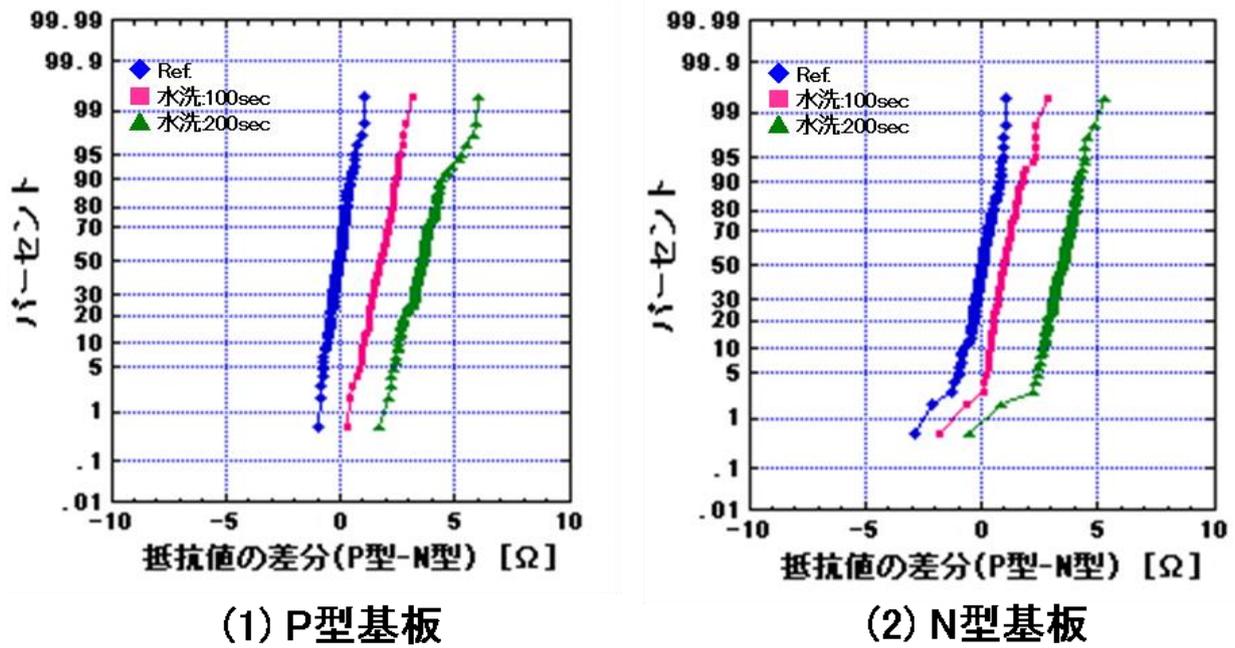


図 2.2.4-5 N型基板、P型基板それぞれでの抵抗差の水洗時間依存性

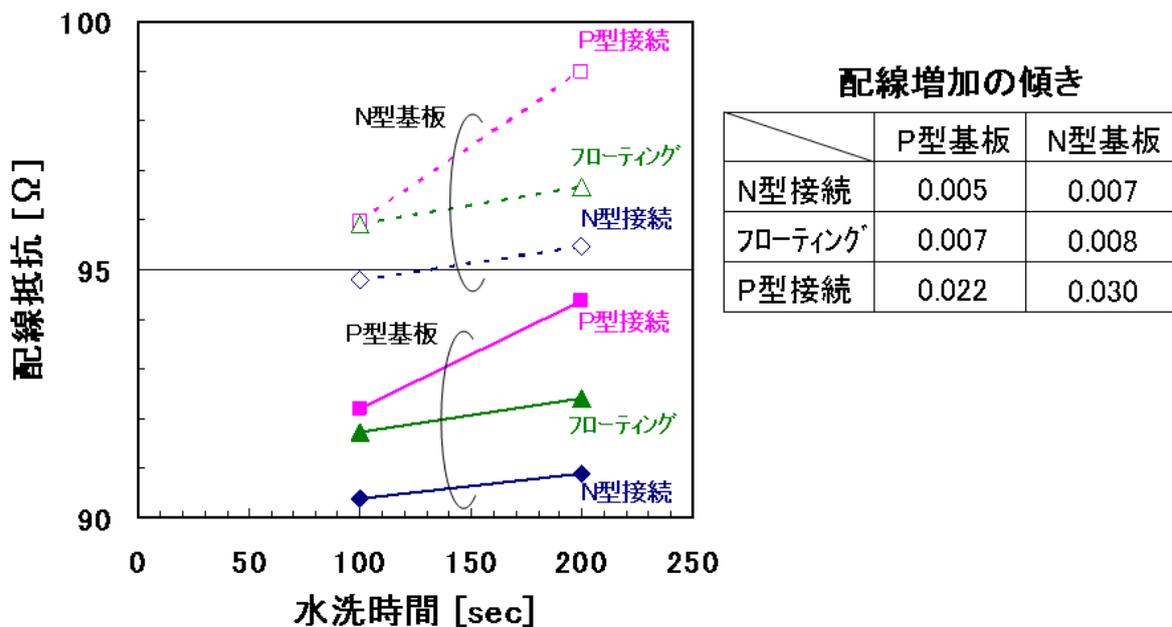


図 2.2.4-6 配線抵抗のウェーハ内中央値の水洗時間依存性

基板が異なっても、p層に接続された配線が腐食されて抵抗が高くなり、p層とn層に接続された配線抵抗の差は洗浄時間に伴って同じように+側にシフトしていく。図2.2.4-6には、Si基板に接続されていないフローティングの抵抗についてもそのウェーハ内分布の中央値の時間変化も示した。ほぼn層に接続された配線抵抗と同じように変化する。ただし、ブラシによる水洗でCu配線が削れて行くことに変わりがないが、同じ基板で比較してn層接続の抵抗がフローティングのものより抵抗増加率が若干低いことは、n層接続されている配線表面にCuがメッキされる効果が現れている可能性が考えられる。

今回の手法は洗浄時の腐食の評価に用いることができると考えられるので、洗浄液の防食剤の有無による差が確認できるかどうか検討した。水洗の場合と比較して図2.2.4-7に測定結果を示す。水洗に比べ洗浄剤を用いた方が腐食の発生は抑制されている。さらに、防食剤を添加することによりさらに腐食が抑制されていることがわかる。このように、本手法により腐食評価が詳細にかつ定量的にできることがわかった。

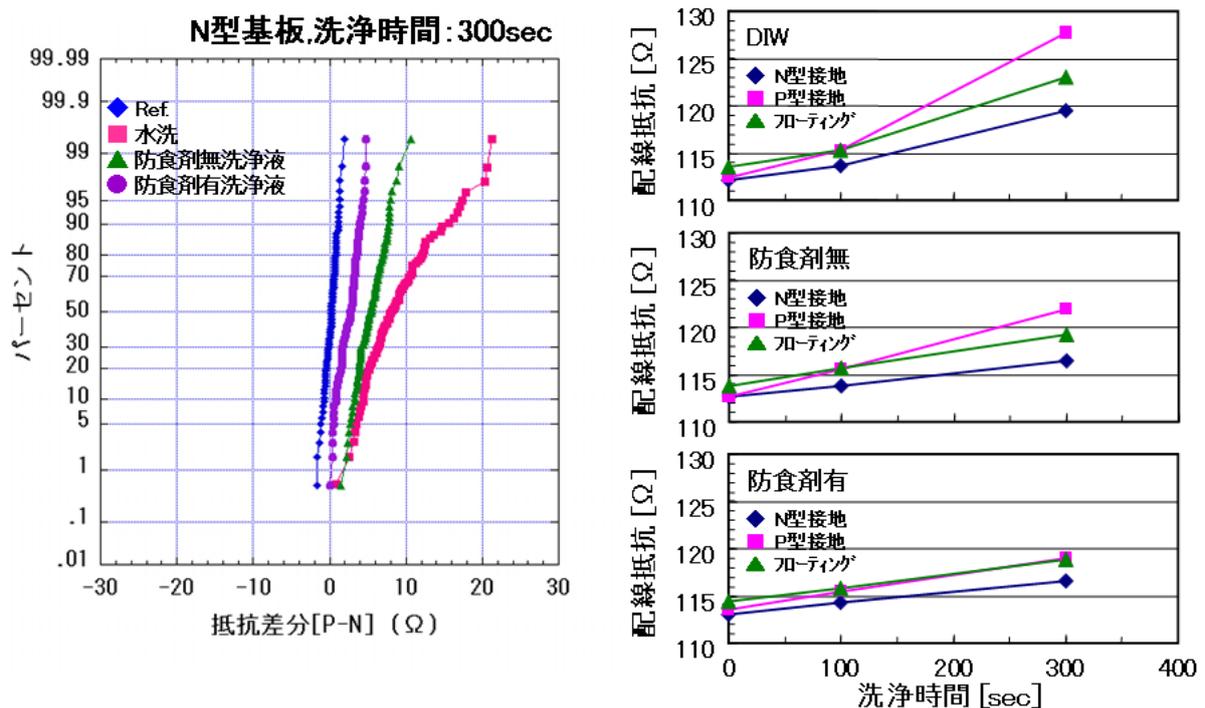
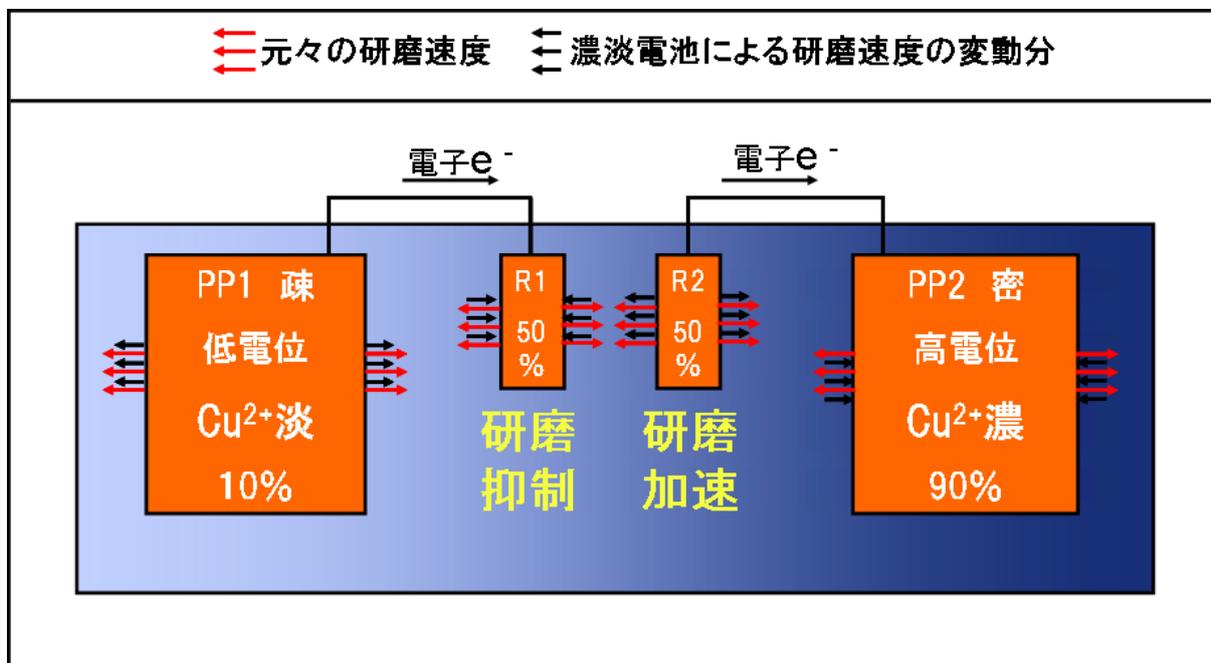


図 2.2.4-7 洗浄液の防食性評価

b. 濃淡電池

CMPにおいて腐食の要因となるのは、先に述べたようなp-n接合電池作用のほかに、配線パターンの大きさや疎密による、いわゆる濃淡電池作用によるものが考えられる。この作用を検証するために、配線を形成するマスクパターンを設計した。このマスクはCu配線1層分だけであり、下地層のマスクは不要である。

CMPの研磨において、濃淡電池作用による研磨速度への影響を模式的に図2.2.4-8に示す。疎なパターンと密なパターンに接続されたセンサーとなる配線部分で、研磨速度が異なってくる。疎なパターンに接続されたセンサー配線部は、低電位の疎パターンから電子が供給されることにより研磨が抑制され、密パターンに接続されたセンサー配線部は逆に電子が引き抜かれることにより研磨が加速されると推測される。

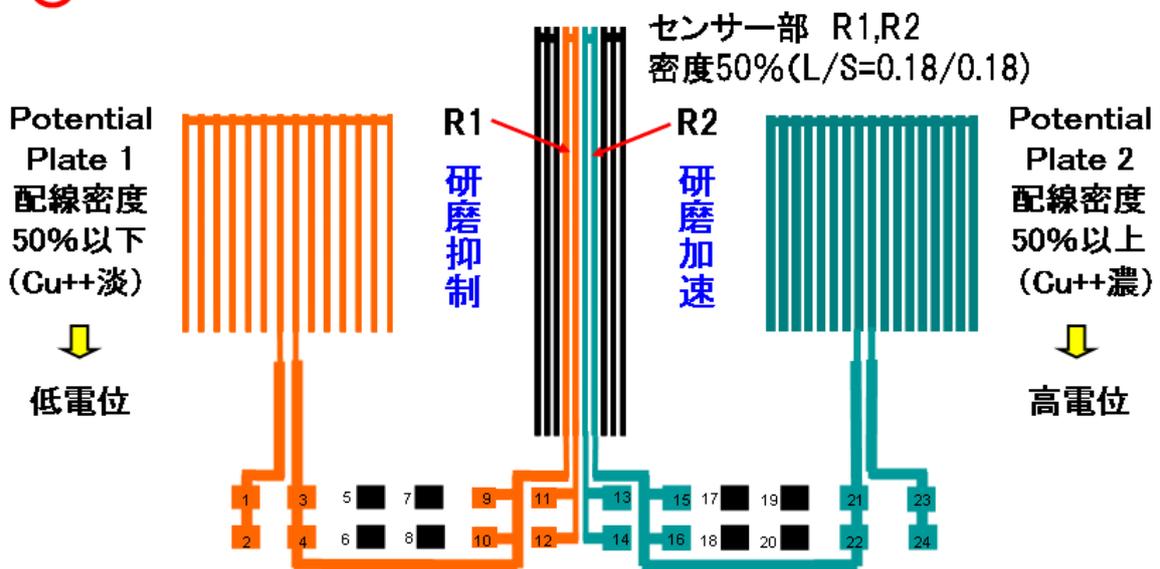


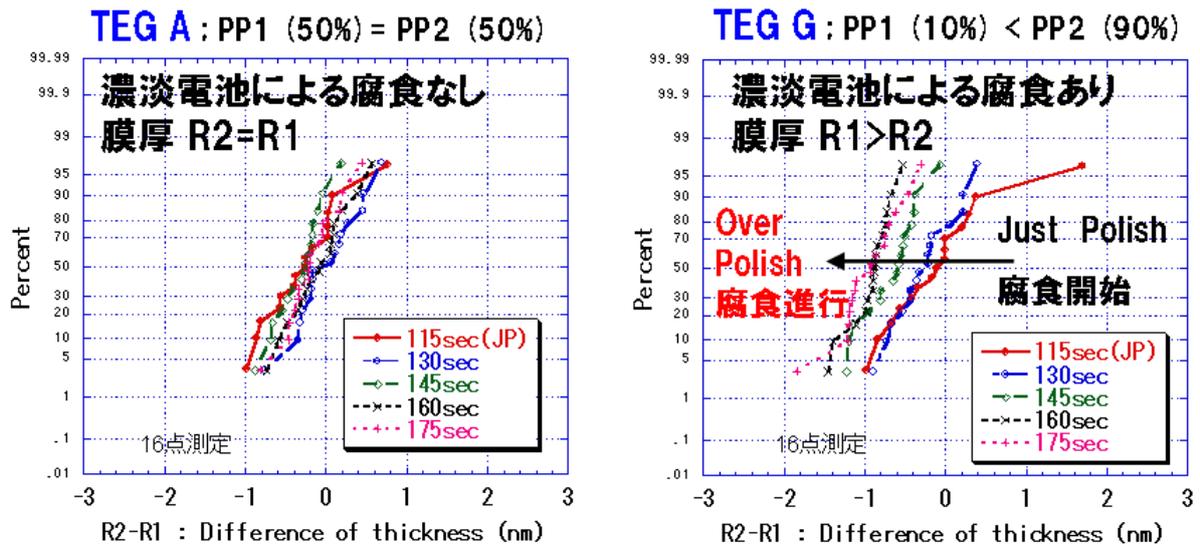
濃淡電池の作用でセンサーの膜厚はR1>R2となる

図 2. 2. 4 - 8 濃淡電池作用の原理

具体的な TEG パターンを図 2. 2. 4-9 に示す。センサーとなる配線 R1、R2 を疎なパターン、密なパターンにそれぞれ接続している。このような配線パターンを形成したウェーハの Cu を CMP したときのセンサー配線の抵抗測定結果を図 2. 2. 4-10 に示す。

TEG	Potential Plate1 密度(%), L/S(um)	Potential Plate2 密度(%), L/S(um)	密度比 (PP2/PP1)	Sensor
A	50 (0.18/0.18)	50 (0.18/0.18)	1	L/S=0.18/0.18(50%)
D	20 (0.18/0.72)	50 (0.18/0.18)	2.5	↑
F	20 (0.18/0.72)	80 (0.72/0.18)	4	↑
G	10 (0.18/1.62)	90 (1.62/0.18)	9	↑





サンプル仕様

- 1)CMP装置:ChaMP
- 2)スラリー:標準材

#W	Cu-CMP @1ps(sec)	Barrier-CMP @1ps(sec)
1	115 (just)	None
2	130	↑
3	145	↑
4	160	↑
5	175	↑

図 2. 2. 4 - 1 0 濃淡電池作用の評価結果

TEG A のパターンのようにすべての配線の密度が 50%と同じときは、濃淡電池の作用は無くなり、センサー配線 R1 と R2 の差はほぼ 0 である。しかし、TEG G のように、配線密度の異なるパターンに接続されたセンサーの抵抗値には、推測どおり研磨速度に差が生じて、抵抗測定から算定された Cu 膜厚に差が出てくる。疎パターンに接続されたセンサー部 R1 では研磨速度が抑制され Cu 膜厚は大きくなり、密パターンに接続されたセンサー部 R2 では研磨速度が加速され Cu 膜厚は小さくなり、R2-R1 の値はオーバー研磨の増加に伴って一側にシフトしていく結果となっている。このように、ここで準備したマスクを用いて、CMP 後の抵抗測定を行うことにより、濃淡電池の作用による 1 種の腐食を定量的に評価することができる。

以上、腐食に関して、p-n 接合電池、濃淡電池の作用による Cu 配線への影響を定量的に評価する手法を述べてきた。このような定量化は、従来行なわれておらず、このプロジェクトで初めて確立することが出来た。この評価法を用いることにより、CMP で用いるスラリー、洗浄液などの材料の防食性能を定量的に評価することが可能となり、それらの材料開発に貢献することができる。

2. 3. 半導体プロセス全体を考慮した材料評価基盤の開発

本研究項目③は、対象とするパッケージをワイヤーボンド型とフリップチップ型とし、接合素子と Cu/Low-k 配線を有するウェーハのパッケージ組立工程の基準プロセスと評価方法を確立し、さらに、熱、応力、水分などが電気特性や材料に与える影響を把握し、信頼性評価技術を確立することを目標に実施した。また、得られた知見を迅速に各工程にフィードバックし、フロントエンドからバックエンド、パッケージまでの半導体プロセスにおいて次世代半導体以降にも対応する材料を一貫して評価できる評価基盤を確立することを目標とした。

以下には、まず FEOL プロセスで作成した素子の応用として、リングオシレータをもちいた Low-k 膜のダメージ評価方法と、寄生 MOS を用いた配線層間絶縁膜の評価方法について述べた後に、ワイヤーボンド型パッケージの 1 つである QFP パッケージを用いた評価と、フリップチップ型のパッケージとして WLP を用いた評価について述べる。

2. 3. 1. リングオシレータを用いた Low-k 膜ダメージの評価方法

a. Low-k 膜の直接 CMP におけるダメージの評価

Cu/Low-k 配線では、実際の配線プロセスを経た後に Low-k 膜がどの程度低い比誘電率を保持しているかが、半導体集積回路の性能を決めるのに重要な項目となる。評価材料として用いた MSQ1 と 2 の物性値と絶縁膜リーク特性を p-SiOC と比較して **図 2. 3. 1-1** に示す。MSQ1 と 2 では、比誘電率がほぼ同じであるが、その主骨格が異なっており、MSQ2 の方は弾性率が大きくなっている。

Low-k (t=100nm)	p-SiOC	MSQ1	MSQ2
材料	CVD系	Porous MSQ	Porous MSQ
骨格構造	-	主骨格A	主骨格B
Shrinkage(%)	-	10	10
比誘電率	3.0	2.4	2.4
弾性率(GPa)	10.2	7.0	8.6
硬度(GPa)	1.18	0.69	0.93

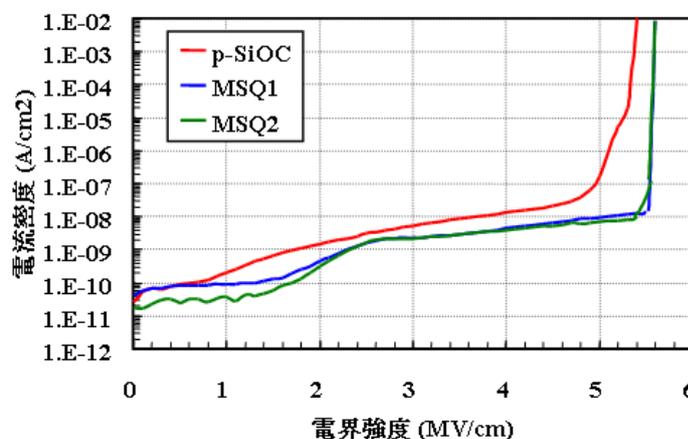


図 2. 3. 1-1 絶縁膜の物性値と絶縁膜リーク特性

配線プロセスでの種々の処理を連続して行ったとき、それぞれのダメージによる単層膜での比誘電率の変化を図 2. 3. 1-2 に示す。処理を重ねるにしたがって、比誘電率は大きくなり、CMP 処理後に比誘電率は若干低下する。ただ MSQ1 と 2 ではほとんど違いが見られない。

リングオシレータを利用して実効誘電率を評価するウェーハの作成方法を図 2. 3. 1-3 に示す。

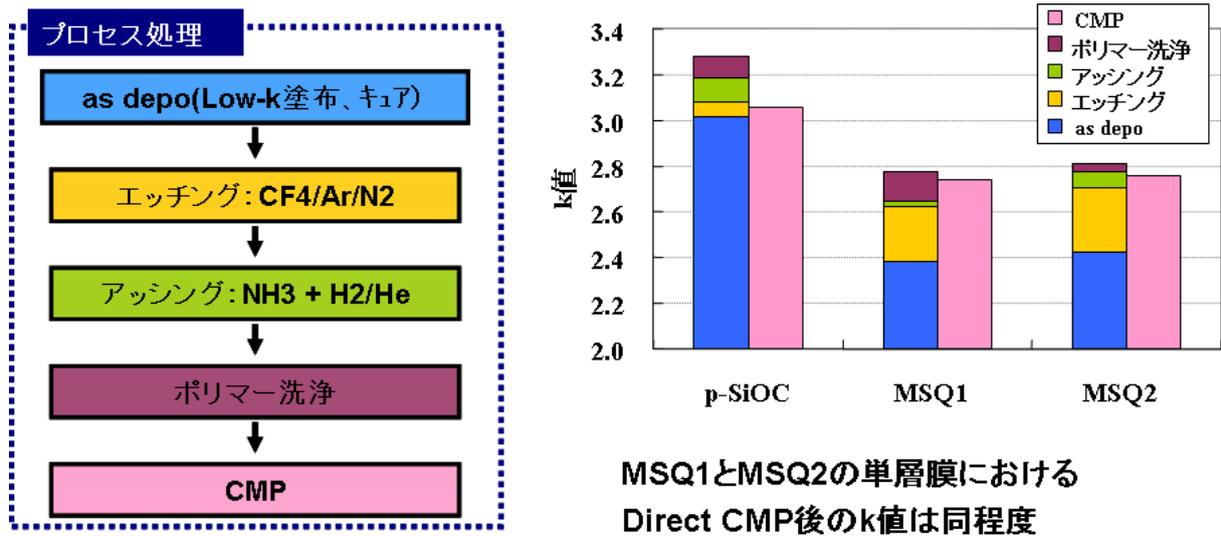


図 2. 3. 1-2 複合処理による比誘電率 (k 値) の変化

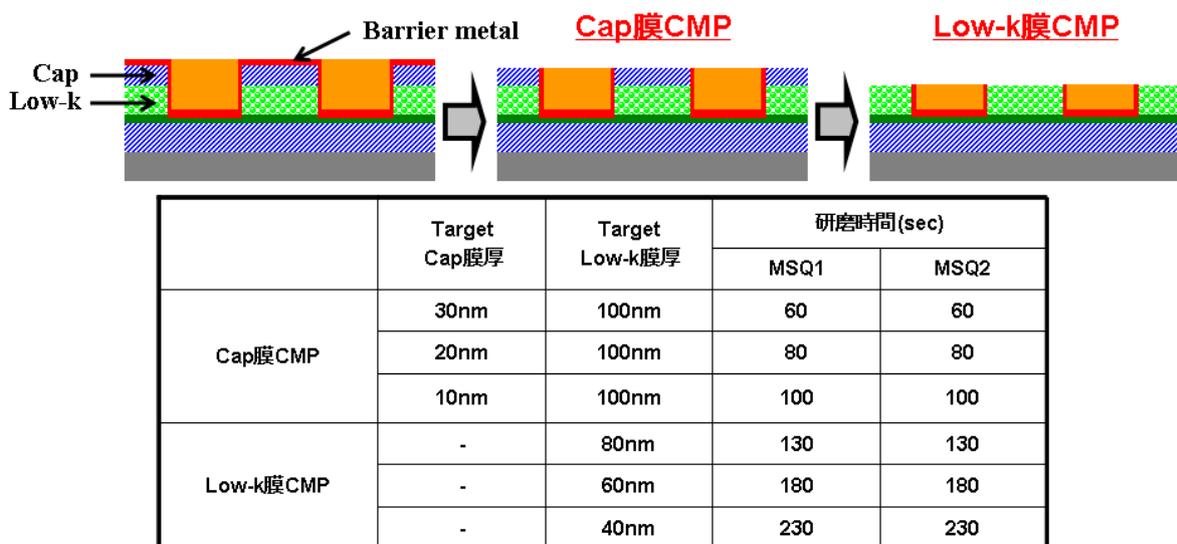


図 2. 3. 1-3 評価ウェーハの作成方法

FEOL プロセスで素子が形成されたウェーハ上に Low-k 膜、Cap 膜 (p-SiO) を形成した後、バリアメタル、Cu を堆積し、Cu を CMP して配線を形成する。その後、バリア CMP 工程で時間を制御して Cap 膜を残したウェーハ、Cap 膜を除去して Low-k 膜の途中まで除去したウェーハを、図に示したような水準で作成する。それぞれのウェーハについて、リングオシレータの発振周波数の測定を行い、同時に同一チップに形成されたリングオシレータの楕型負荷容量と同じ配線幅、配線間隔の折り返し抵抗パターンの抵抗値を測定する。この抵抗値は、リングオシレータの負荷容量の配線幅と配線高さを補正すると同時に、バリア CMP によって研磨された Cap 膜と Low-k 膜の残存量の尺度になる。実効容量の相対値と配線抵抗の関係を MSQ1 と 2 についてそれぞれ図 2. 3. 1-4 に示す。抵抗値で 100 kΩ 以下では、Cap 膜が残存しており、それ以上になると Low-k 膜が直接 CMP されて、Low-k 膜のみとなる。Cap 膜が残存している場合、MSQ1 と 2 の実効容量での差はほとんどみられないが、Low-k 膜のみになると MSQ1 に対して MSQ2 では、約 8% の実効容量の減少が見られた。

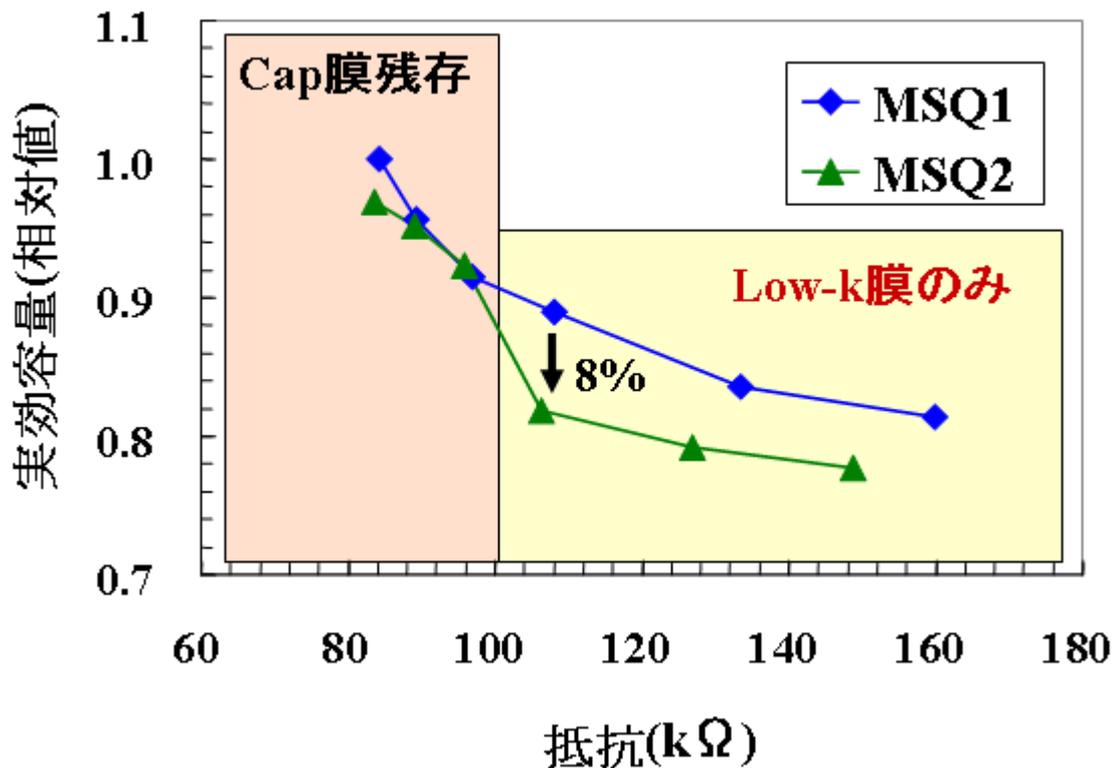


図 2. 3. 1-4 実効容量の相対値と配線抵抗の関係

さらに、ウェーハ内分布について図 2. 3. 1-5 に示す。ここでは、従来用いてきた楕型パターンの容量と抵抗の関係についても示した。従来の容量と抵抗の関係からは、MSQ1 と 2 の差はほとんど見られないが、リングオシレータによる実効容量と抵抗の関係では、分布が大きいものの MSQ1 と 2 の差が明らかである。従来の容量と抵抗の関係で差が明らかでないのは、楕型パターンの容量が小さく、測定による寄生容量とほぼ同じ程度になっているためと推測される。

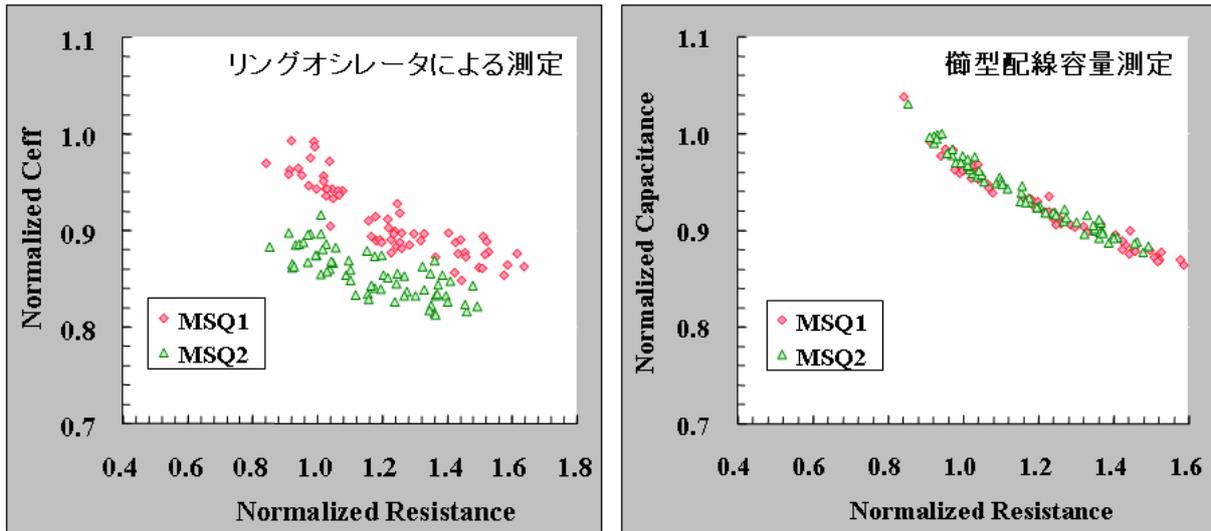


図 2. 3. 1-5 容量と配線抵抗の相対値の関係のウェーハ内分布

さらに、比誘電率の低い Low-k 材料として MSQ3 を加えて、評価を行った。単層膜での物性値と絶縁膜リーク特性を図 2. 3. 1-6 に示す。MSQ3 は、主骨格が MSQ2 と同じであるが、ポアサイズが大きく、膜密度が低くなっており、比誘電率がさらに低い材料である。ポアの分散に関しては、ほぼ MSQ2 と同程度と見られる。結果として絶縁破壊電圧は、MSQ1 や 2 に比べてやや低くなっている。

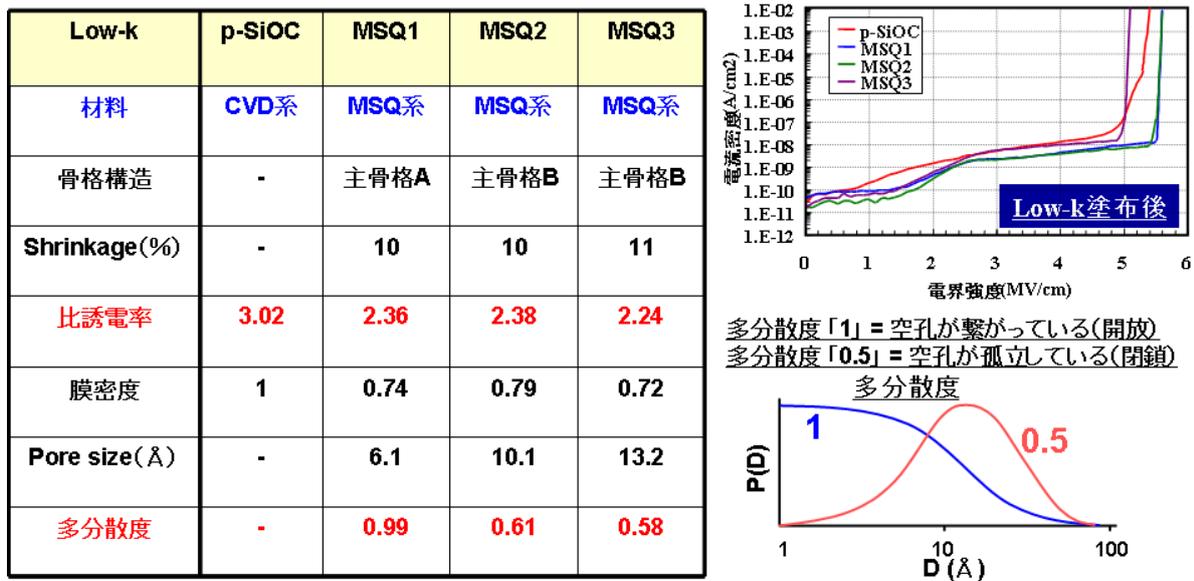


図 2. 3. 1-6 絶縁膜の物性値と絶縁膜リーク特性

配線プロセスでの種々の処理を連続して行ったとき、それぞれのダメージによる単層膜での比誘電率の変化を図 2. 3. 1-7 に示す。MSQ3 は MSQ1,2 に比べ、初期の比誘電率が低いので、ダメージを受けた後も低いのが、初期の差ほどは大きくはない。また、リーク電流の増加も大きい。

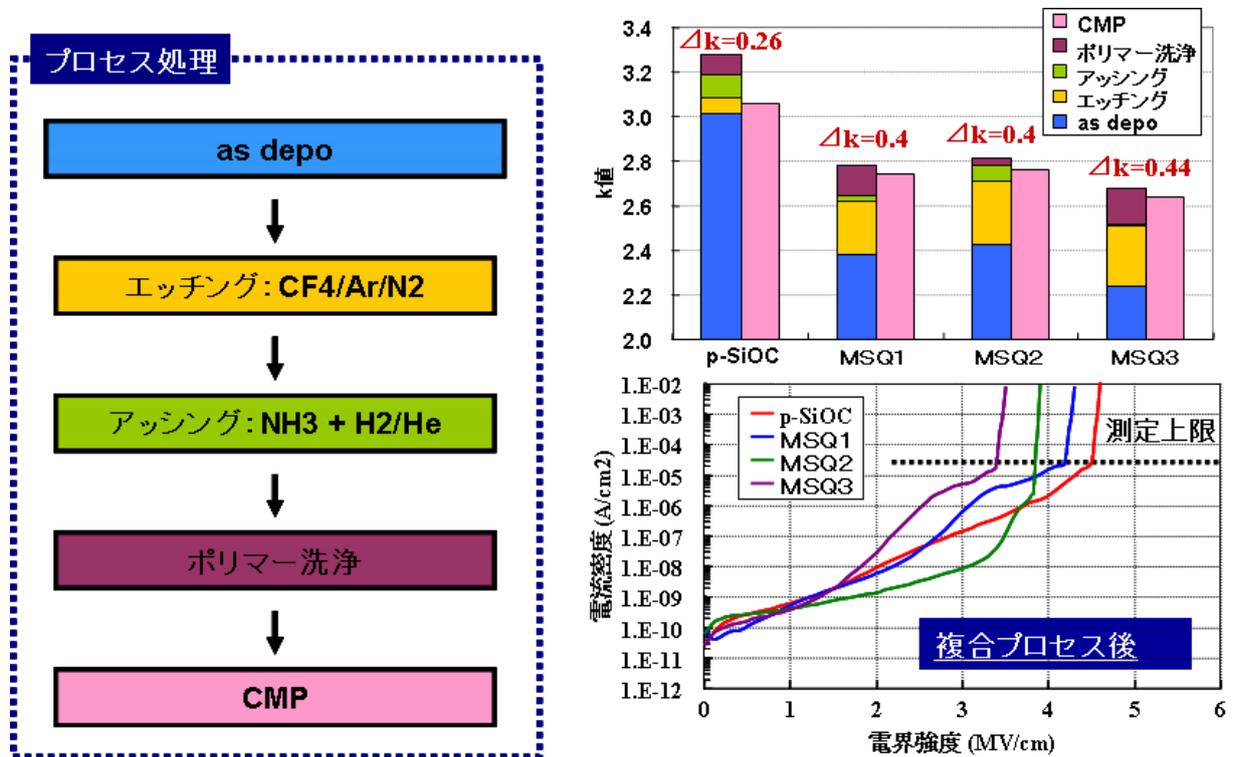


図 2. 3. 1-7 複合処理による比誘電率 (k 値) の変化および複合プロセス後の絶縁膜のリーク電流

MSQ3 を用いて図 2. 3. 1-3 に示したのと同じように 6 水準のウェーハを作成し、リングオシレータの周波数測定と抵抗測定を行った。結果を他の MSQ 材料と共に図 2. 3. 1-8 に示す。特徴的なことは、MSQ3 では、Cap 膜が残存している場合に実効容量が他の MSQ に比べて低くなっていることである。また、Low-k 材料のみになっても研磨量が大きくなると、実効容量は MSQ2 より若干低くなっている。このことは、Cap 膜のプラズマ CVD によるダメージが MSQ3 では少ないことを示唆していると思われる。

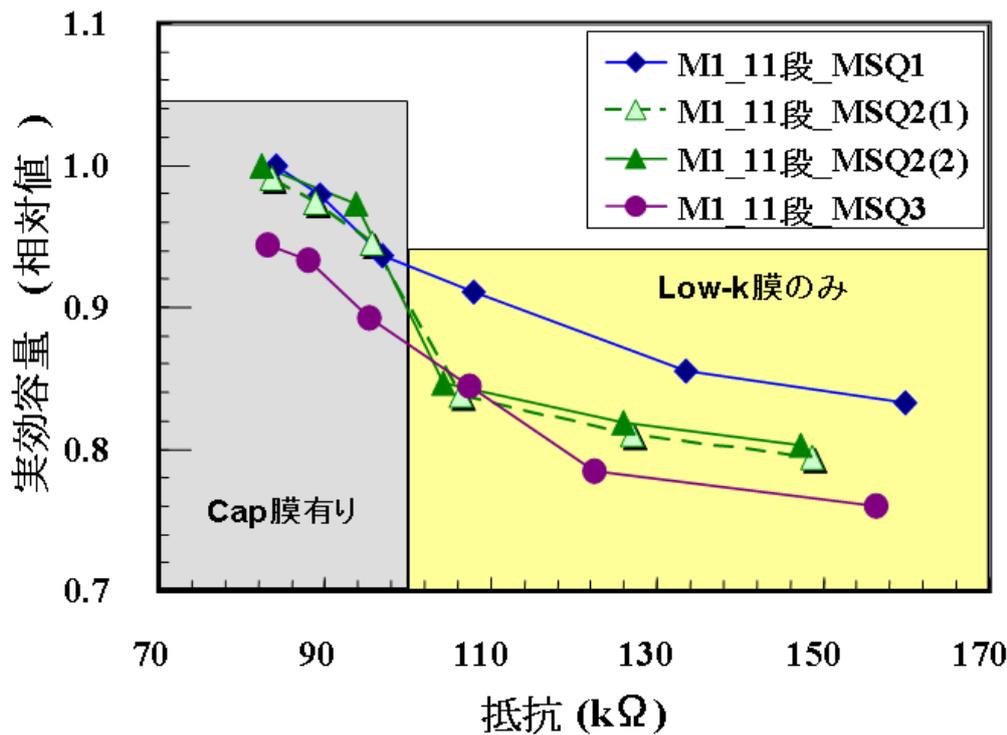
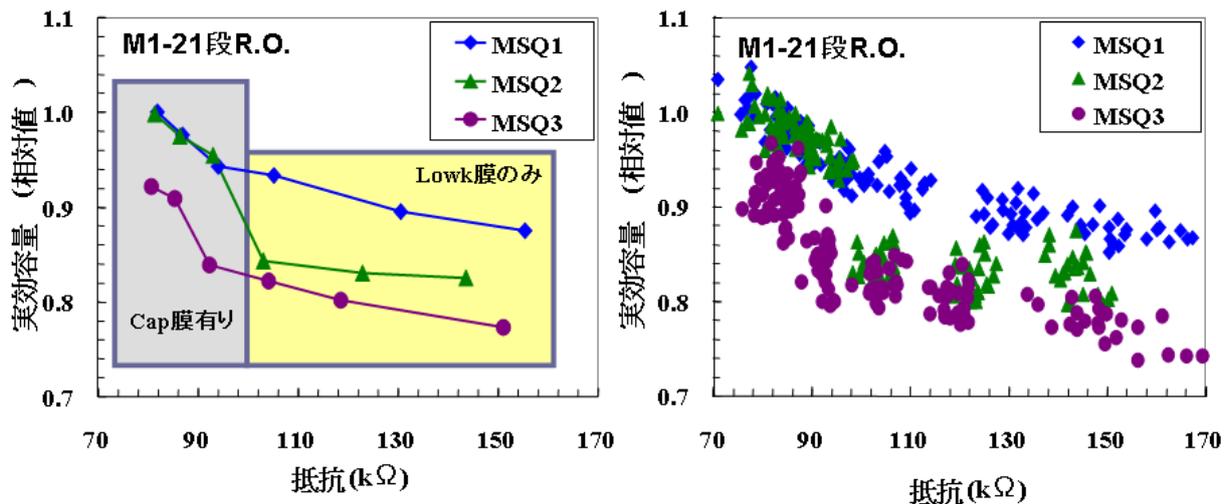


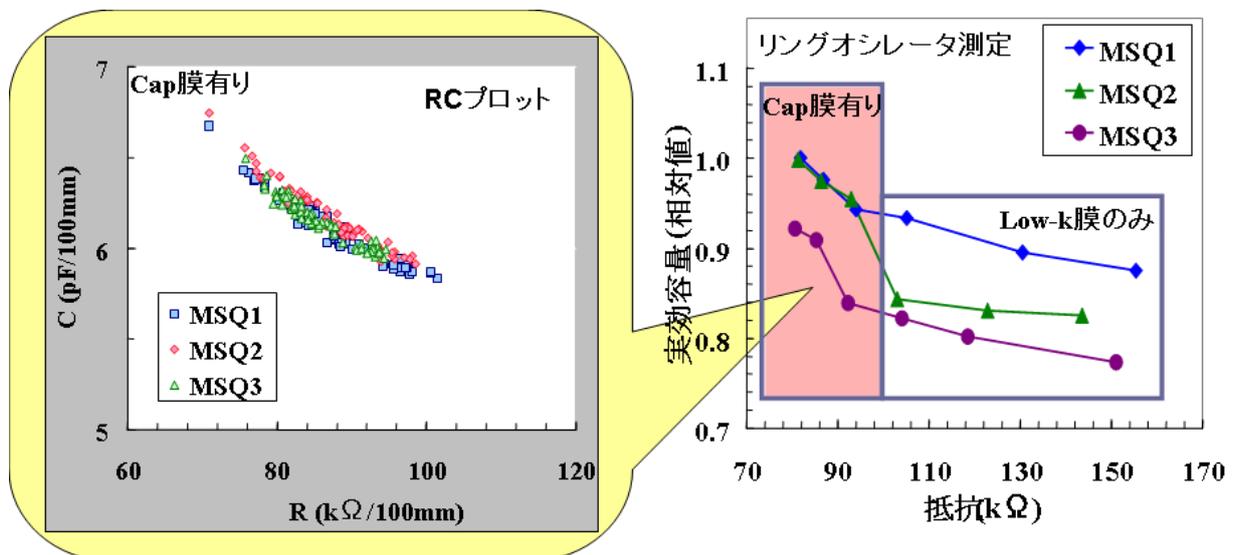
図 2. 3. 1-8 リングオシレータによる実効容量と配線抵抗の関係

これまでは、図 2. 3. 1-3 に示した方法で CMP を行なって 1 層の Cu 配線 (M1) が終わった段階で、11 段のリングオシレータや抵抗測定を行ってきた。次に、それぞれのウェーハに 2 層目の Cu 配線 (M2)、Al 配線、パッシベーション、N2 アニールを行い FEOL プロセスの後通常の Cu2 層配線したウェーハで、21 段のリングオシレータを用いて M1 配線の特性を評価した。結果を図 2. 3. 1-9 に示す。ここではウェーハ内各チップで測定した値の中心値と分布を示す。中心値で見ると、先ほどの図 2. 3. 1-8 とほぼ同じ結果が得られた。分布を見ると Cap 膜が残存している場合には、MSQ3 と MSQ2 とは明らかに実効容量が異なっているが、Low-k 膜のみになると分布がかなり重なってくる。次にこれらのウェーハで、Cap 膜が残存している場合の楕型パターンで測定した容量と折り返しパターンで測定した抵抗値の関係を図 2. 3. 1-10 に示す。この図では、MSQ 材料の間に明確な差はほとんど得られない。原因は、先ほどと同じように、楕型パターンの容量が小さく、測定による寄生容量とほぼ同じ程度になっているためと推測される。



- Low-k膜の直接CMPが行われた場合、MSQ1に対比して
 - ✓ MSQ2：最大10.3%実効容量低減
 - ✓ MSQ3：最大12.5%実効容量低減
- 直接CMPでLow-k膜のみのとき、MSQ2とMSQ3の面内分布を見ると、分布の重なりが多く、初期単層膜のk値の差ほど明確な差はなくなっている
- Cap膜が残存している場合、MSQ3と他材料とのk値の差が明確である

図 2. 3. 1-9 リングオシレータによる実効容量と配線抵抗の関係
ウェーハ中央値（左）とウェーハ内各チップの分布（右）



- リングオシレータの周波数測定に基づく実効容量の結果と異なり、配線の抵抗と容量に基づくRCプロットではLow-k材料間に差は認められない
- RCプロットよりもリングオシレータによる容量評価の方が材料評価に適している

図 2. 3. 1-10 Cap膜有りのときのRCプロット

以上、リングオシレータを用いた Low-k 材料の比誘電率評価について述べてきた。この方法の適用により、Low-k 材料の比誘電率の差やプロセスによる影響を正確に評価できることがわかった。BEOL だけで作成した試料では楕型パターンで直接容量を測定するが、その際には測定に伴う寄生容量の影響を受ける。しかし、リングオシレータでは、周波数に楕型パターンの容量のみが反映されるためと考えられる。ただ、現段階では比誘電率や実効容量が相対値としてしか求められない。基準サンプルを作成することや、さらに解析を進めることにより絶対値評価を可能にすることが期待される。

b. NH3 プラズマ照射によるダメージとその回復処理の評価

リングオシレータによる Low-k 膜の比誘電率評価を、NH3 プラズマ照射によるダメージとその回復処理の効果を検証するために適用した例を以下に述べる。Cu 1 層 (M1) 配線において、プラズマ照射とその回復処理のプロセスフロー、CMP 後の断面構造、リングオシレータでの評価内容について、**図 2. 3. 1-11** に示す。

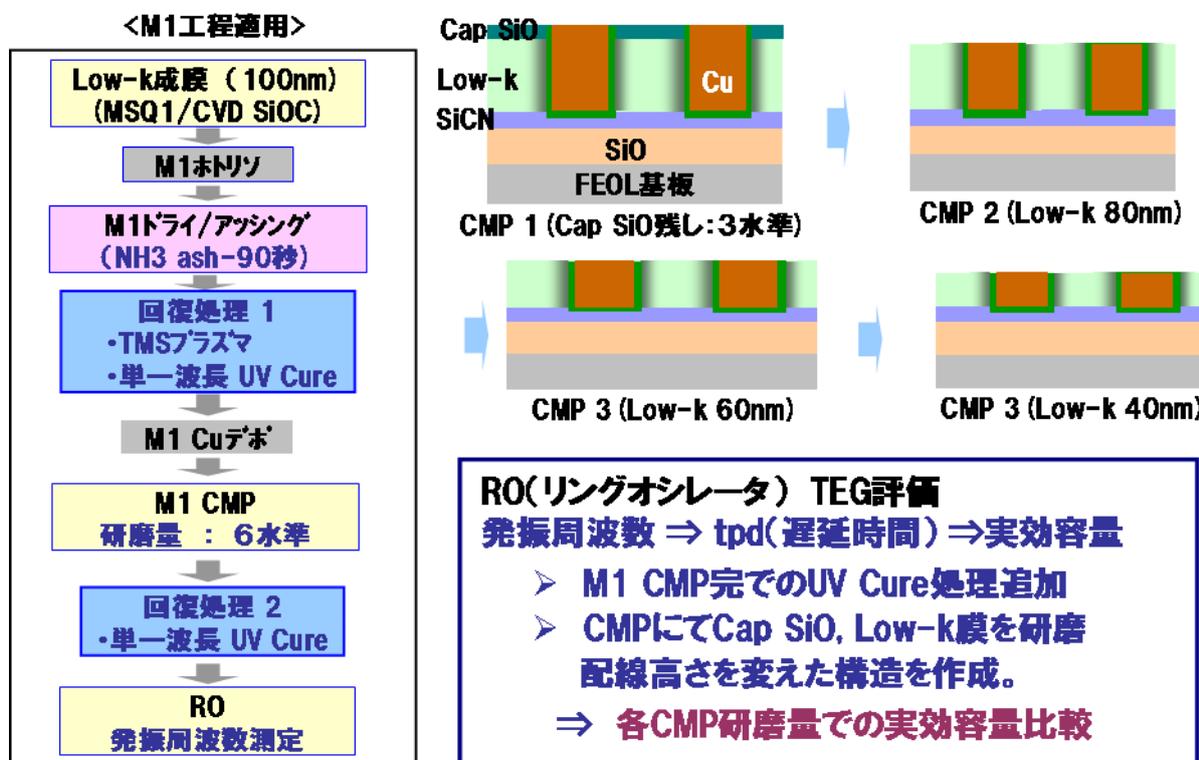


図 2. 3. 1-11 ダメージ回復処理効果検証のためのウェーハ作成

Low-k 材料としては、MSQ1 と p-SiOC を用いた。Low-k にダメージを与える工程は、M1 ドライエッチ、アッシャである。特にアッシャでは NH₃ プラズマを用いており、このとき Low-k がダメージを受ける。回復処理として種々検討してきた中で、最も効果的であった TMS（トリメチルシラン）プラズマ処理と 222 nm の単一波長の UV（紫外線）照射処理を適用した。また、この UV 処理は、Cu、バリア金属の M1 CMP の後にも追加した。

CMP 研磨量の異なるウェーハについてリングオシレータの測定を行い、実効容量を求めた結果を MSQ1 と p-SiOC のそれぞれについてダメージ回復処理の有無の比較を図 2. 3. 1-12 に示す。回復処理を行なうことにより、MSQ1 で約 10%、p-SiOC で約 5%の実効容量の低減が見られた。単層膜の評価では、NH₃ プラズマにより MSQ1 で 20%、p-SiOC で 10%の比誘電率(k 値)の増加がある。回復処理によりそれぞれ 20%、10%減少し、ほぼ元通りの比誘電率に戻る。実際の配線構造では、配線間容量に対しての Low-k 材料の寄与は約 1/2 であることから、上記のように実効容量で約半分の減少率が見られたことは、Low-k 膜としてはほぼ元通りの比誘電率に戻っていることを示している。

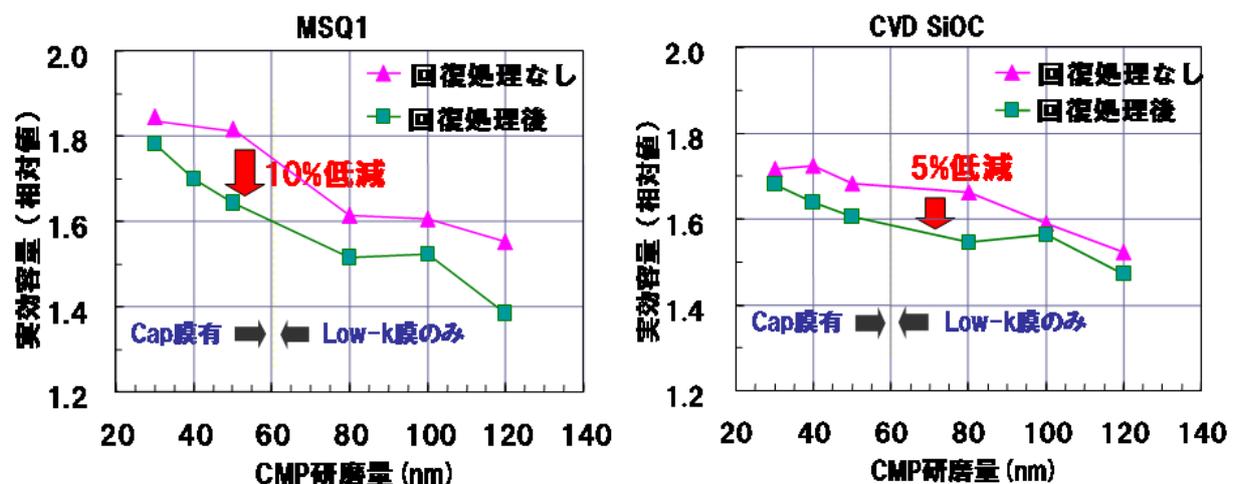


図 2. 3. 1-12 リングオシレータの測定による実効容量の抽出結果

以上、2つの例で述べてきたように、配線間容量を負荷としたリングオシレータを用いることにより、実効容量として相対値ではあるが、材料間の差やプロセスの影響を高感度に比較することができた。この手法により、実際の半導体集積回路に用いられたときの種々の Low-k 膜の比誘電率の相対的な差、あるいはプロセスによる変化を高感度に把握することが可能である。さらに、リングオシレータの発振周波数そのものが 200 MHz 程度と高いことにより、半導体集積回路における Low-k 膜の効果を明確に把握することができる。これにより Low-k 材料に 1つの指針を与えることができ、その開発に貢献することができる。

2. 3. 2. 寄生 MOS を用いた配線間絶縁膜の評価方法

BEOL に用いる材料評価のために、FEOL プロセスで形成されたどのような素子を利用できるかについて調査した。何種類かの配線間絶縁膜を用いて、FEOL で形成した素子上に Cu2 層配線を形成し、FEOL で形成した素子の電気特性を測定した。ゲート絶縁膜容量素子、p-n 接合素子、トランジスタ、各種の抵抗素子、リングオシレータなどには配線層間絶縁膜の直接的な影響として明確な差を示す特性は見られなかった。

そこで、BEOL での配線層間絶縁膜が 2 層目の配線 (M2) をゲート電極とする寄生 MOS のゲート絶縁膜の一部を構成することに着目し、M2 寄生 MOS の電気特性を測定することにより、配線層間絶縁膜の影響が見られるのではないかと考えた。しかし、M2 寄生 MOS のしきい電圧を測定すると、測定毎にしきい電圧が低下していく現象が見られた。また、+ にバイアス電圧を印加するとしきい電圧は低下するが、- にバイアス電圧を印加するとしきい電圧は上昇することもわかった。さらに、印加電圧を + と - で絶対値を同じにして印加時間も同じにすると、しきい電圧の変動幅が測定を繰り返してもほぼ一定になることがわかった。このような現象は、現在用いている半導体プロセスでは絶縁膜がアルカリ金属などの絶縁膜中で電荷を持つような元素による汚染がほとんどないことを考慮すると、絶縁膜の分極によるものと理解できる。すなわち、寄生 MOS のバイアス印加による繰り返し測定から得られるしきい電圧の変動幅から、そのゲート絶縁膜を構成する材料の分極特性を評価することが可能となる。分極特性は測定方法が確立されていなかったため、今まであまり着目されてこなかった。しかし、分極特性は材料の構造に起因すると考えられることから、このような材料評価が材料開発の 1 つの指針になると考えられる。また、半導体デバイスの電気特性に直接影響するものであるため、今後、特に高電圧が印加されるようなデバイス開発においては着目される物性値となる可能性がある。

以下に分極特性の評価方法と、その結果について述べる。寄生 MOS の構造を模式的に図 2. 3. 2-1 に示す。

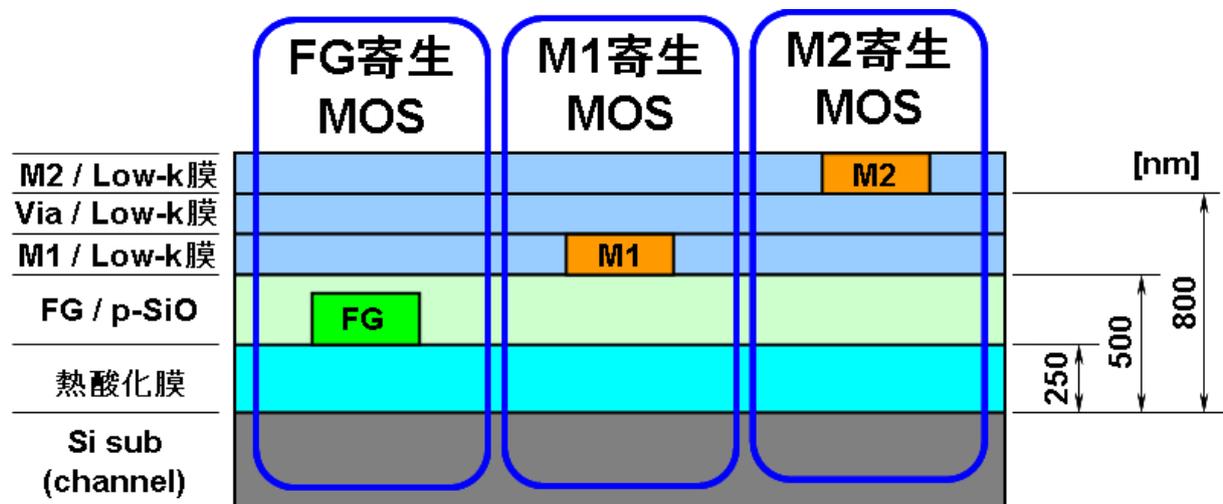


図 2. 3. 2-1 寄生 MOS の構造模式図

FEOL と BEOL を連続して試作したウェーハで形成される寄生 MOS は 3 種類ある。それらの寄生 MOS のゲート絶縁膜の構造としては、FG では素子分離用の熱酸化膜のみ、M1 では p-SiO が追加され、M2 ではさらに Low-k が追加される。また、膜厚は、それぞれ 250nm、500nm、800nm となる。評価したい材料は、主に Low-k であるが、その分極特性を抽出するためには、M2 寄生 MOS だけでなく、FG、M1 寄生 MOS の特性も測定しなければならない。測定方法を、**図 2. 3. 2-2** に示す。しきい電圧測定を行う前のバイアス電圧は、それぞれのゲート絶縁膜で 2.5 MV/cm となるように設定した。

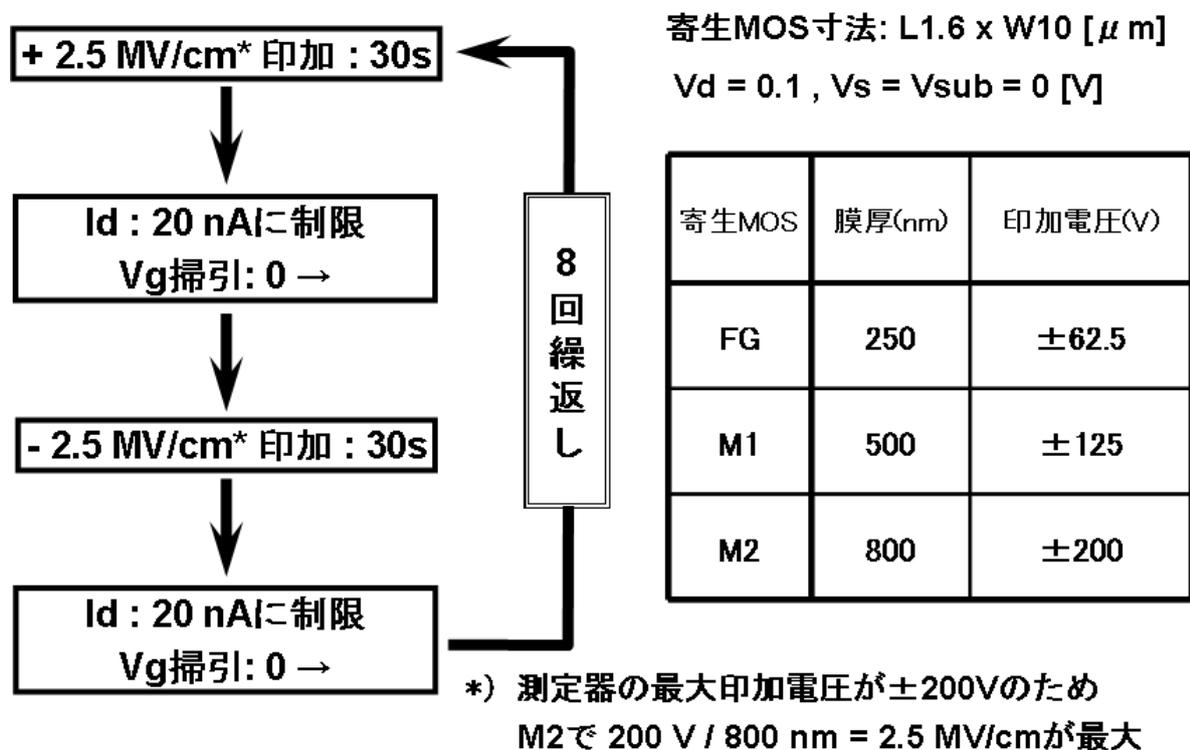


図 2. 3. 2-2 寄生 MOS のしきい電圧変動の測定方法

M2 寄生 MOS のしきい電圧測定のためのゲート電圧とドレイン電流の関係の測定例を **図 2. 3. 2-3** に示す。このようにして測定した 3 種類の寄生 MOS のしきい電圧の変動の例を **図 2. 3. 2-4** に示す。

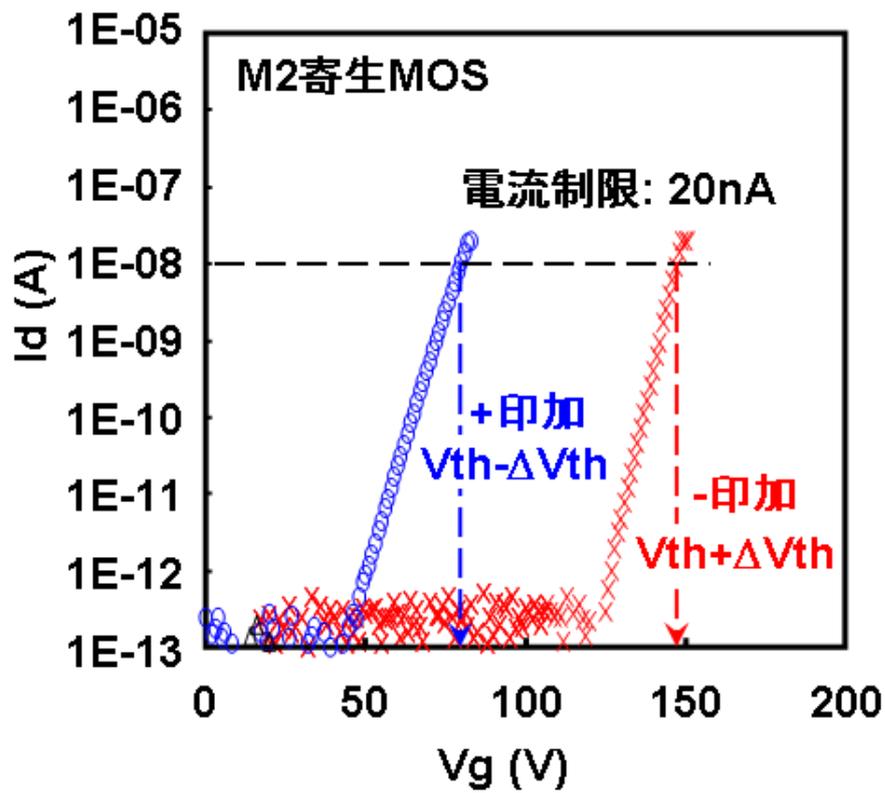


図 2. 3. 2-3 M2 寄生 MOS でのしきい電圧の測定例

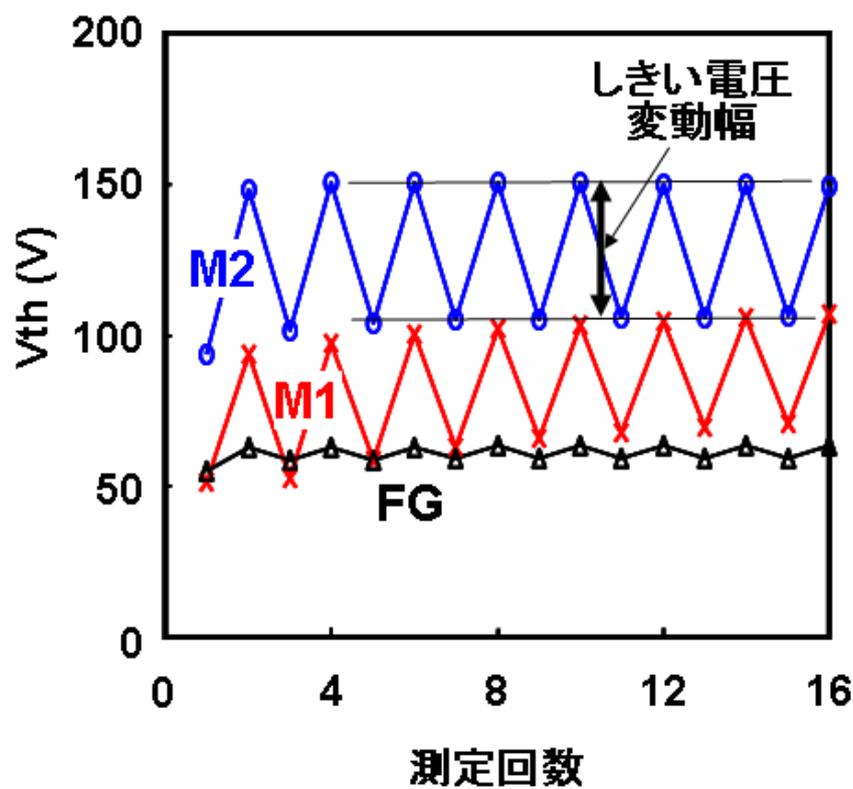


図 2. 3. 2-4 3 種類の寄生 MOS のしきい電圧の変動の例

種々の Low-k 材料を配線層間絶縁膜に用いて Cu/Low-k 2 層配線を形成した場合について、このような測定から得られる各寄生 MOS のしきい電圧変動幅を表 2. 3. 2-1 に示す。

表 2. 3. 2-1 寄生 MOS のしきい電圧変動幅

配線層間 絶縁膜 寄生MOS	p-SiOC	有機Low-k/ p-SiOC	MSQ4	MSQ1
FG	4.5	7.1	5.3	4.2
M1	29.6	32.8	33.6	34.0
M2	58.1	51.0	44.5	44.0

しきい電圧変動幅;単位(V)

この段階で、寄生 MOS のゲート絶縁膜の構成が異なる M2 に着目してみる。比誘電率が p-SiOC より低い MSQ でゲート絶縁膜の 1 部が構成されている場合、M2 のしきい電圧変動幅も小さくなっていることがわかる。このことは、MSQ の分極電荷が p-SiOC のそれより少ないことを意味している。

次に、しきい電圧変動幅から、各材料の分極電荷密度を計算する。絶縁膜としては、単純化して、熱酸化膜、p-SiO₂、Low-k などの層間絶縁膜の 3 種類とする。ここで層間絶縁膜は、p-SiOC の場合は、M1 層とビア層の 2 層分の p-SiOC およびその間の薄い p-SiCN 膜、p-SiOC と p-SiO₂ の間の薄い p-SiC 膜が含まれる。有機 Low-k/p-SiOC の場合は、M1 層のみを有機 Low-k に替えたもの、MSQ の場合は M1、ビアの 2 層分を MSQ に替えたものである。しきい電圧の変化が+と-のバイアス電圧で可逆的に起こることから、+と-のバイアス電圧で同一量の分極電荷が発生していると考えられ、その電荷によるしきい電圧変化量は、表 2. 3. 2-1 に示すしきい電圧変動幅の半分に対応する。FG M1 M2 の寄生 MOS でのしきい電圧変動幅をそれぞれ V_{fg}、V_{fm}、V_{sm} として、熱酸化膜、p-SiO₂、配線間絶縁膜の電界強度 2.5 MV/cm での分極電荷密度をそれぞれ Q_s、Q_p、Q_k、また、絶縁膜容量をそれぞれ C_s、C_p、C_k とすると、図 2. 3. 2-5 に示す関係が成り立つ。この関係から、熱酸化膜、p-SiO₂、配線間絶縁膜の比誘電率をそれぞれ 4、4、3 とし、真空の誘電率 8.85 E-12 F/m、電気素量 1.6 E-19 クーロンを用いてそれぞれの分極電荷密度を求めた結果を表 2. 3. 2-2 に示す。

FG寄生MOSの場合 Si-熱酸化膜界面での電荷 Q_s によるしきい電圧変化量 $V_{fg}/2$ は、

$$V_{fg}/2 = Q_s / C_s = Q_s \cdot 1/C_s$$

M1寄生MOSの場合 Si-熱酸化膜界面での電荷 Q_s および熱酸化膜- p-SiO界面での電荷($Q_p - Q_s$)によるしきい電圧変化量 $V_{fm}/2$ は、

$$\begin{aligned} V_{fm}/2 &= (Q_p - Q_s) \cdot 1/C_p + Q_s \cdot (1/C_p + 1/C_s) \\ &= Q_p / C_p + Q_s / C_s \\ &= Q_p / C_p + V_{fg}/2 \end{aligned}$$

M2寄生MOSの場合 Si-熱酸化膜界面での電荷 Q_s および熱酸化膜- p-SiO界面での電荷($Q_p - Q_s$)、p-SiO-配線間絶縁膜界面での電荷($Q_k - Q_p$)によるしきい電圧変化量 $V_{sm}/2$ は、

$$\begin{aligned} V_{sm}/2 &= (Q_k - Q_p) \cdot 1/C_k + (Q_p - Q_s) \cdot (1/C_k + 1/C_p) \\ &\quad + Q_s \cdot (1/C_k + 1/C_p + 1/C_s) \\ &= Q_k / C_k + Q_p / C_p + Q_s / C_s \\ &= Q_k / C_k + V_{fm}/2 \end{aligned}$$

図 2. 3. 2-5 各寄生MOSのしきい電圧変動幅とゲート絶縁膜の分極電荷密度の関係

表 2. 3. 2-2 寄生MOSのゲート絶縁膜に用いられているおのこの絶縁膜の電界強度 2.5MV/cmでの分極電荷密度

配線層間 絶縁膜 絶縁膜種	p-SiOC	有機Low-k/ p-SiOC	MSQ4	MSQ1
熱酸化膜	1.9	3.1	2.4	1.9
p-SiO	11.1	11.4	12.5	13.2
配線層間 絶縁膜	7.9	5.0	3.0	2.8

分極電荷密度;単位(E11個/cm²)

分極電荷密度は、熱酸化膜で最も小さく、ついで配線間絶縁膜であり、p-SiO が最も大きな値となった。また、p-SiOC に比べ、MSQ では分極電荷密度は半分以下に小さいことがわかる。このように、材料により分極電荷密度が異なることから、材料開発における 1 つの物性値としての評価指標にすることが可能である。

以上述べてきたように、寄生 MOS のゲート電極に+と-のバイアス電圧を印加することによるしきい電圧の変動幅を測定することにより、ゲート絶縁膜になっている材料の分極特性を評価することができた。今回はまだ、室温 (23°C) でかつ 2.5 MV/cm の一定の電界での測定結果であるが、この電界強度を変えて測定すること、或いは温度を変えて測定することにより、分極特性についてさらに詳細な評価ができると考えられる。なお、この評価にはしきい電圧変動を測定する必要があるので、BEOL で用いる材料ではあるが、FEOL と BEOL の統合 TEG を用いる必要がある。

これまでの LSI では、今回測定しているような高電界が寄生 MOS のゲート電極に印加されることはなく、デバイスメーカーでも今回のような測定は行われてこなかったと思われる。ただ、パワーMOS など高電圧が印加されるデバイスでは、今回測定したような高電界が印加される可能性があり、そこに用いる絶縁膜材料では分極特性が材料選定の重要な指標なる可能性がある。したがって分極特性も材料開発の重要な指標の 1 つになる可能性があり、その場合にはここで述べてきたような評価方法を用いることが新たな材料開発に貢献できると思われる。

2. 3. 3. ワイヤーボンド型パッケージ (QFP) での評価

FEOL/BEOL 統合 TEG をパッケージまで組立てを行い、BEOL に用いる材料の評価のため、FEOL プロセスで形成されたどのような素子を利用できるか、どのような測定を行えばよいかについて調査した。ここでは、パッケージとしてワイヤーボンド型の QFP での評価について述べる。

FEOL/BEOL 統合 TEG ウェーハの外観写真と 1 ショットの外観写真およびその中のパッケージ組立てチップを **図 2. 3. 3-1** に示す。QFP には、 $8.6 \times 8.6 \text{ mm}^2$ のチップを用いた。このチップを組み立てた場合に、測定できる TEG の種類とチップ内でのその TEG の領域を **図 2. 3. 3-2** に示す。2つの領域で同じ TEG が配置されており、同じ素子が 2 個測定できる。このような TEG が形成されたウェーハ上に CASMAT でバッファコート膜を形成し、ボンディングパッドを開口した。その後、外注にてバックグラインド、ダイシング、ダイボンディング、ワイヤーボンディング、レジンモールドの工程を行い、QFP を組み立てた。QFP の仕様および試料となるチップの仕様について **図 2. 3. 3-3** に示す。チップの種類は、その厚さは 410 と $25 \mu\text{m}$ の 2 種類、また Cu 2 層配線の層間絶縁膜としては p-SiOC と MSQ の 2 種類、バッファコート膜は BC1 の 1 種類として、全部で 4 種類を組み立てた。

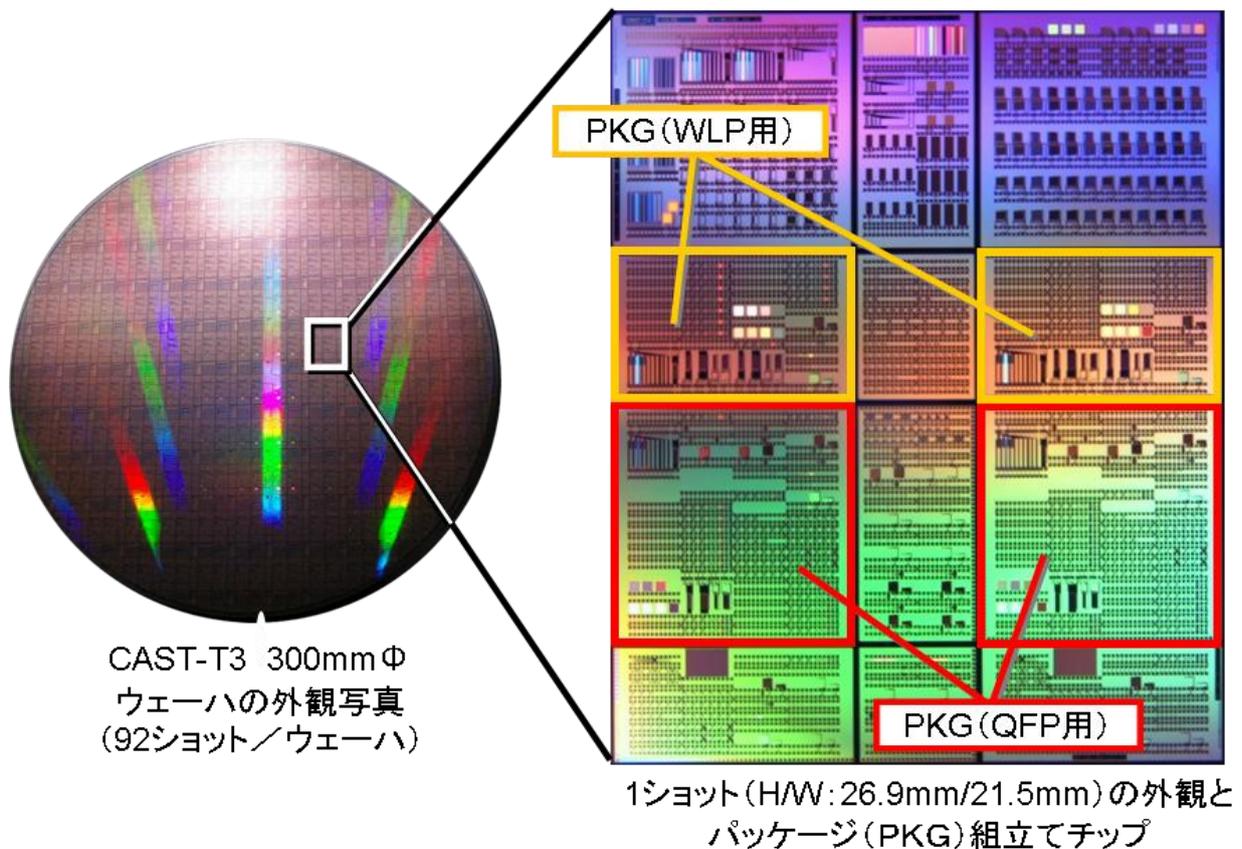


図 2. 3. 3-1 FEOL/BEOL 統合 TEG ウェーハの外観写真と
パッケージ組立てチップ

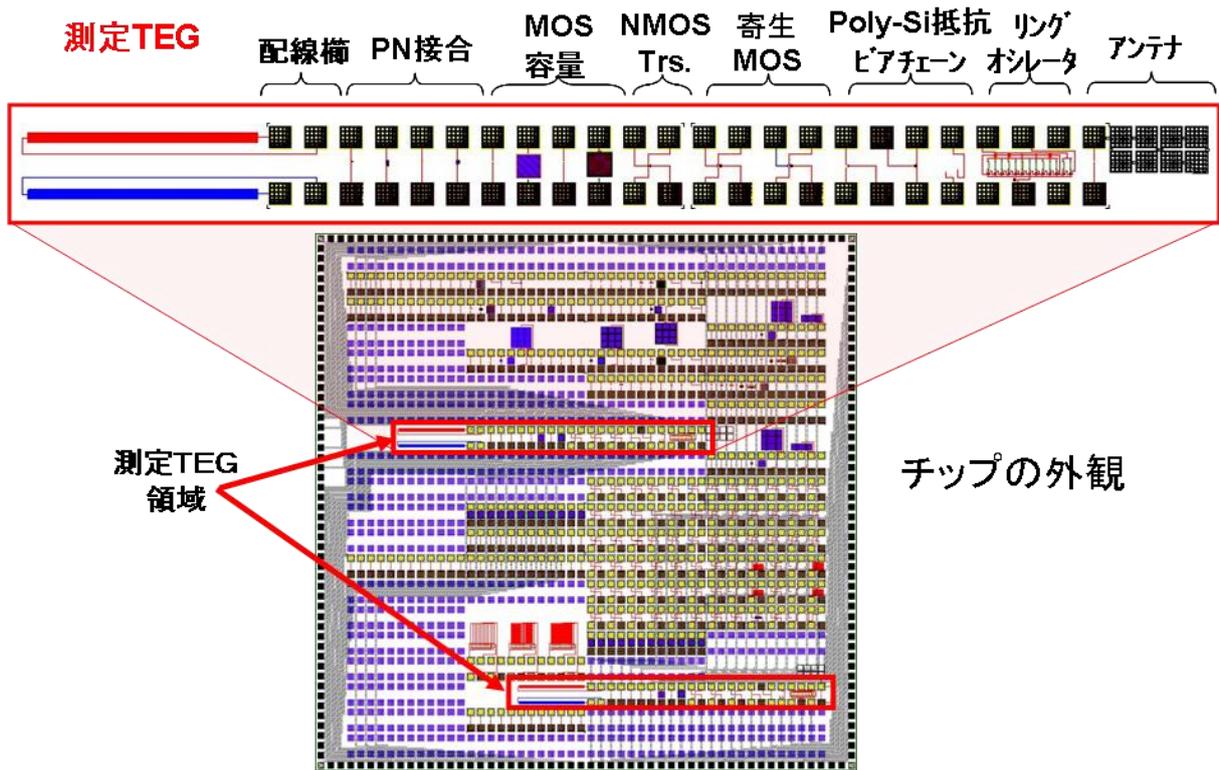
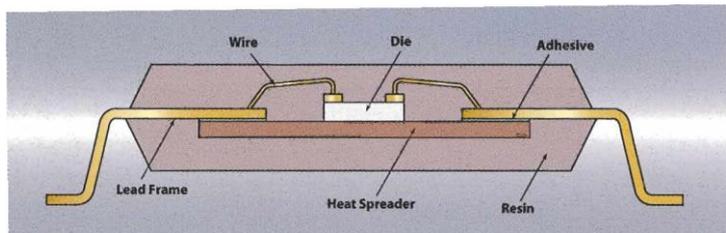
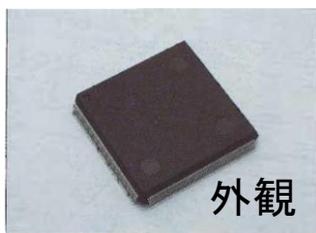


図 2. 3. 3-2 TEGの種類とチップ内でのそのTEGの領域

パッケージ仕様: FIM社製 QFP 208pin

本体寸法: 28mm□ リードピッチ: 0.5mm 厚さ: 1.4mm



試料の仕様

チップ寸法 : 8.6mm□ チップ厚さ : 25、410μm

配線層間Low-k膜 : p-SiOC、MSQ1

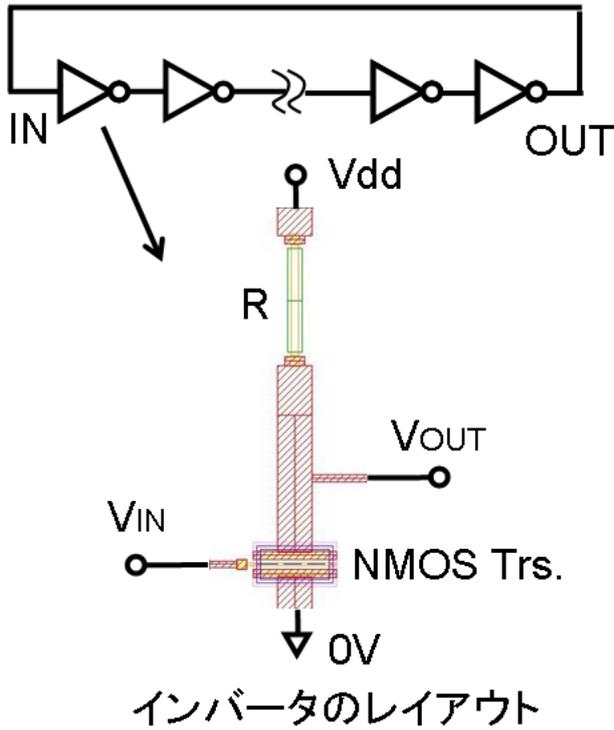
バッファコート膜 : BC1

図 2. 3. 3-3 QFPの仕様および試料となるチップの仕様

それぞれの種類のチップを組み立ててパッケージ 20 個ずつ **図 2. 3. 3-2** に示す TEG を測定したが、チップの種類による差はほとんど無かった。パッケージに組み立てる前の Al 配線形成に続く保護膜形成後（図では Al 完と記載）に測定した TEG の特性とパッケージ後（図では PKG 完と記載）の特性を比較した。**図 2. 3. 3-2** に示した素子の中で、Cu 配線、p-n 接合、MOS 容量素子、NMOS トランジスタ、寄生 MOS、アンテナ TEG においては、Al 完後と PKG 完後の素子特性に測定するとき用いる測定パッドの違いによる差以上の変化は見られなかった。Al 完後の測定ではそれぞれの素子の近くに測定パッドがあるが、PKG 完後の測定ではチップ中央付近の素子からチップ周辺の測定パッドまで Al で配線している。この配線抵抗は約 20~30 Ω 程度であり、このことに注意して測定結果を判断することが必要である。すなわち、電流の流れるパッドでは、この抵抗と電流の積の電圧分だけ外部電圧から降下した電圧が実際の素子に印加されることになる。このような、Al 配線の抵抗を考慮して、Al 完後と PKG 完後の素子特性に有意差が認められたのは、リングオシレータの発振周波数と poly-Si の抵抗であった。

パッケージに組立しているリングオシレータの概要を **図 2. 3. 3-4** に示す。11 段のインバータから構成されており、インバータは NMOS トランジスタと poly-Si の負荷抵抗で構成されている。層間絶縁膜が p-SiOC と MSQ1 の TEG で Al 完後と PKG 完後のリングオシレータの発振周波数の測定結果を **図 2. 3. 3-5** に示す。いずれの層間絶縁膜の場合も、PKG 完後に発振周波数の分布の中心値で 17 MHz 低下している。この発振周波数の低下率は約 6% に相当する。リングオシレータの発振周波数低下の原因として、パッケージのために引き回した Al 配線による抵抗による電源電圧低下が考えられる。Al 配線抵抗 30 Ω 、電源電流 3 mA として、約 0.1 V 低下すると、これは電源電圧 5V の 2% となり、周波数には約 1% 位低下すると考えられる。今回の低下率は、それ以上であり、さらに別の原因があると推察される。

また、poly-Si の抵抗値の測定結果を **図 2. 3. 3-6** に示す。ウェーハ内での poly-Si の抵抗値の分布は 200 Ω 強であり、約 5% と大きい。しかし、分布の中心地で比較すると、PKG 完後に抵抗値は 180 Ω 上昇しており、Al 配線の抵抗分 50 Ω を差し引いても 130 Ω 上昇している。この抵抗の増加率は約 3% となる。このような負荷抵抗の増加により発振周波数が低下したものと考えられる。また、このような抵抗増加の要因としては、パッケージにおけるレジンモールドの収縮によりチップに圧縮応力がかかっているためであると推測できる。また、その応力は、**Ⅲ. 2. 2. 2** の結果から 100 MPa 前後であろうと思われる。



RO内インバータの概要

インバータ数n: 11

NMOS Trs. 寸法: 0.5umX10um

負荷抵抗R: Poly-Si 1umX30um

測定条件

駆動電圧Vdd: 5V

評価項目

発振周波数; f

$$f = 1/[2n(\alpha R + \beta)] \quad \alpha, \beta: \text{定数}$$

図 2. 3. 3-4 パッケージに組立られているリングオシレータの概要

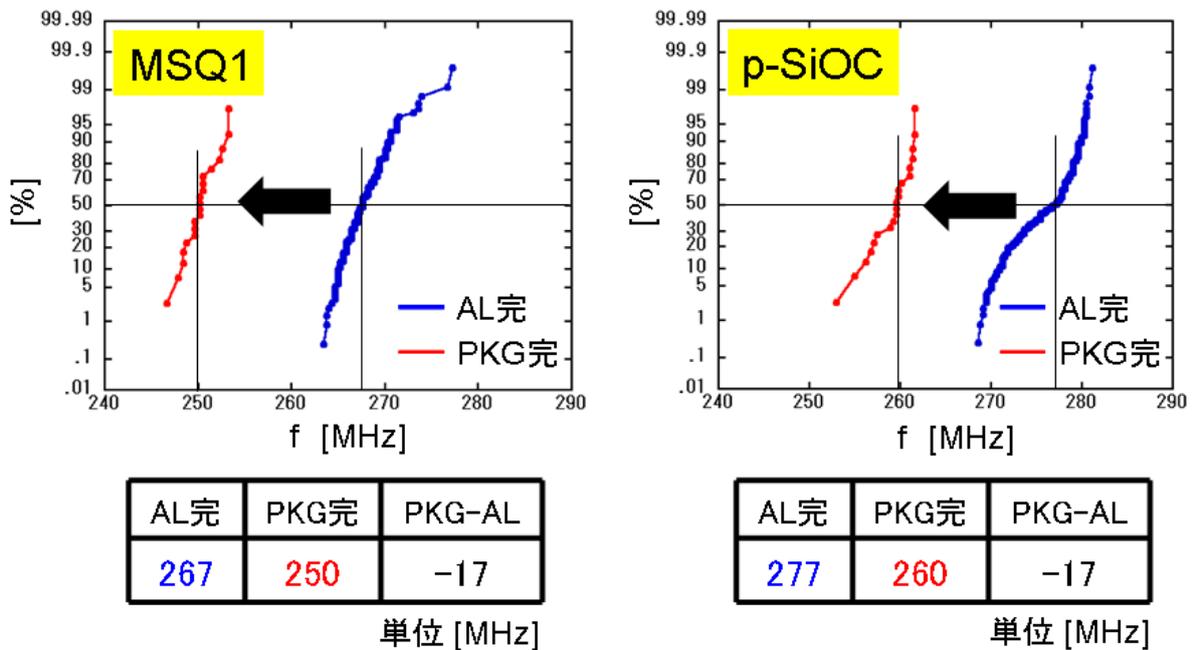


図 2. 3. 3-5 AI 完後と PKG 完後のリングオシレータの発振周波数

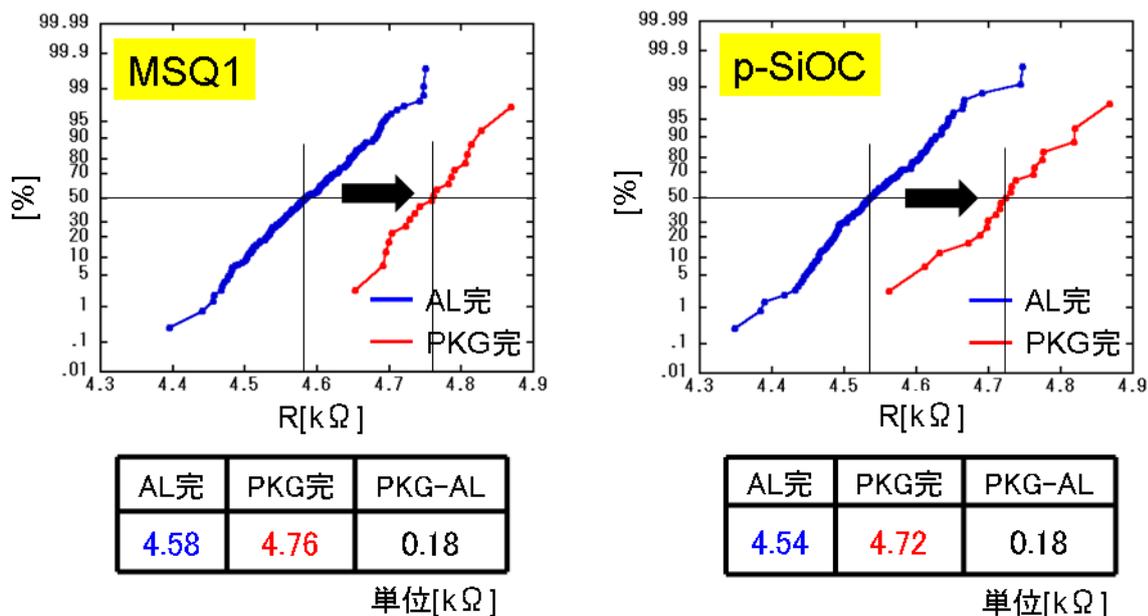


図 2. 3. 3-6 AI 完後と PKG 完後の poly-Si の抵抗値

以上、ワイヤーボンド型として QFP の組立てまで行い、BEOL 以降の材料影響を評価する方法を調査した。今回実験した範囲では結果として、配線層間絶縁膜や、組立てチップの厚さを変えてもほとんどの FEOL で形成された素子への影響はほとんど現れないことがわかった。唯一、リングオシレータの発振周波数の低下と poly-Si の抵抗の増加が見られたが、数%程度と極めて小さい変化であった。また、その要因は外注での試作におけるレジンモールドの収縮応力によると推測され、CASMAT で評価対象としている材料の範疇ではなかった。しかし今回の評価を通じて、FEOL から BEOL のウェーハ試作、それを外注してワイヤーボンド型パッケージの組立てを行い、ウェーハ状態、パッケージ状態いずれの試料でも電気特性を測定できる測定環境を整えることができた。

今回、FEOL からワイヤーボンド型パッケージの組立てまで一貫して試作し、材料影響の評価をおこなった。材料影響として、測定による大きな変化は測定できなかったが、評価のための道筋を確立することができた。今後もこの道筋にしたがって材料評価することが可能であり、新たな材料を適用した場合には、その影響が大きく出現することも期待できる。

2. 3. 4. フリップチップ型パッケージ (WLP) での評価

FEOL/BEOL 統合 TEG をパッケージまで組立てを行い、BEOL に用いる材料の評価のため、FEOL プロセスで形成されたどのような素子を利用できるか、どのような測定を行えばよいかについて調査した。ここでは、パッケージとしてフリップチップ型の WLP での評価について述べる。WLP での評価では、評価対象材料として Low-k とバッファコート (BC) の 2 つが考えられるが、主には各種の BC の評価を行った。以下、まず再配線工程の評価および高温高湿放置信頼性評価について述べ、各種 BC を用いた WLP での組立て影響評価、温度サイクル信頼性評価、剥離に対する BC の影響評価を順に述べる。

a. 再配線工程の評価および高温高湿放置信頼性評価

FEOL/BEOL 統合 TEG において再配線を行い、WLP を組立てるチップ、再配線構造、再配線やパッケージ後に測定できる素子について図 2. 3. 4-1 に示す。測定できる素子は、p-n 接合素子、ゲート絶縁膜容量素子、NMOS トランジスタ、抵抗素子などである。

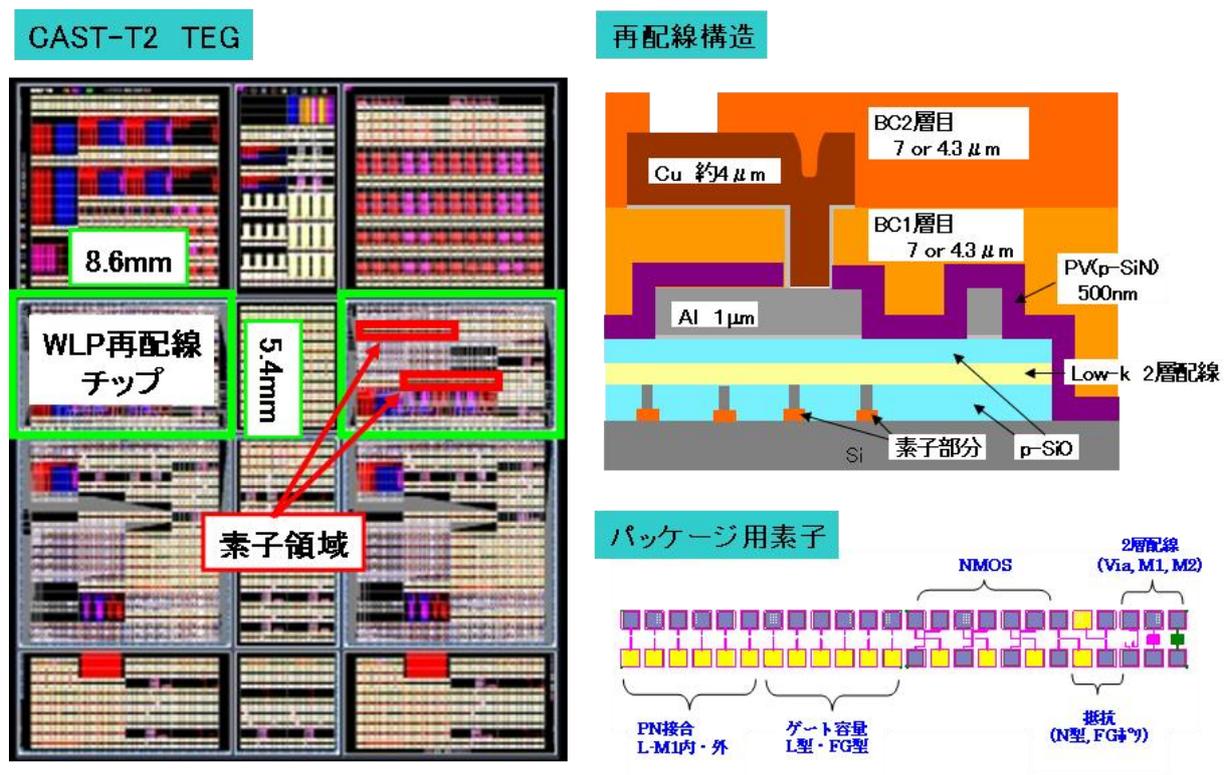


図 2. 3. 4-1 WLP を組立てるチップ、再配線構造、再配線やパッケージ後に測定できる素子

バッファークートの影響評価では、特に応力に起因する影響が考えられるので、抵抗素子と NMOS トランジスタに着目した。再配線工程とそれらの電気特性の測定を行ったステップを図 2. 3. 4-2 に示す。バッファークート膜厚を 2 層で 14 と 8.6 μm の 2 仕様としてチップに及ぼす応力の差をつけた。

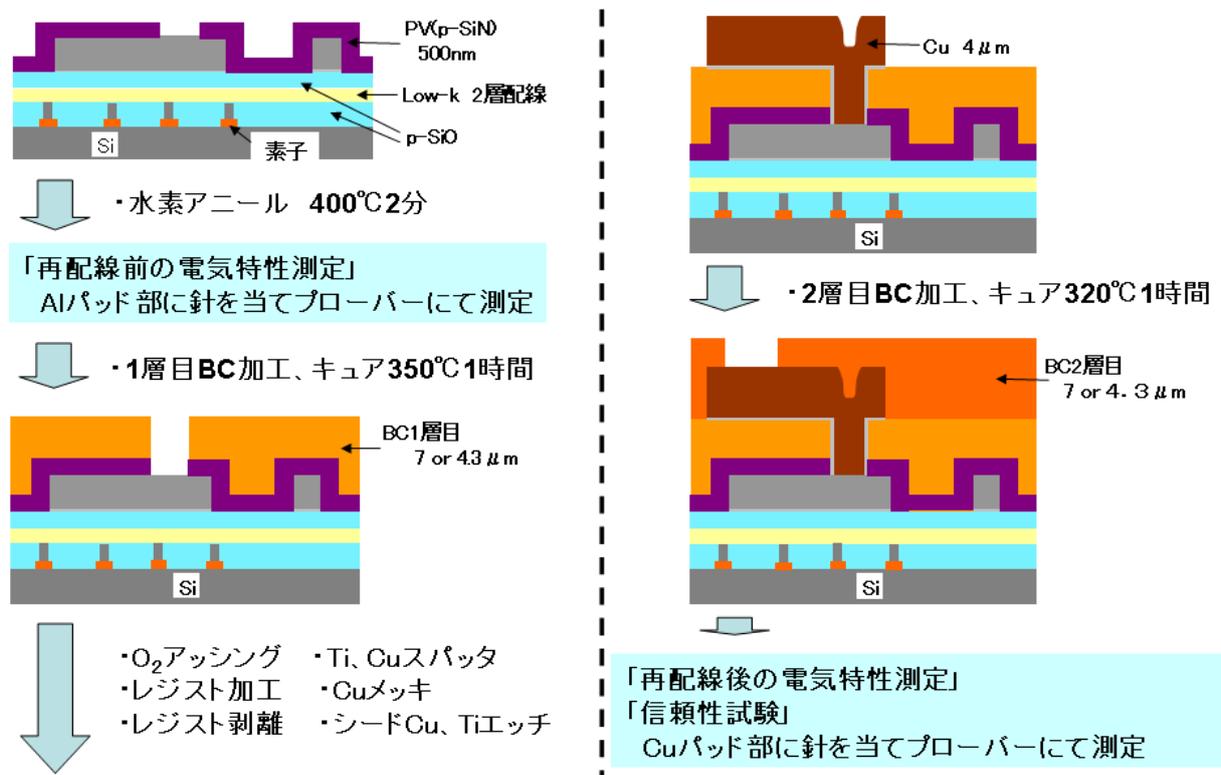


図 2. 3. 4-2 再配線工程と電気特性の測定のステップ

抵抗素子については、poly-Si の抵抗を測定した。バッファークート膜厚を 2 仕様で再配線を行ったとき、再配線前後での poly-Si 抵抗の測定結果を図 2. 3. 4-3 に示す。バッファークート膜厚にはほとんど依存せず、60 Ω の抵抗増加がみられ、これは約 1% の増加に相当する。しかしながら、再配線工程ではバッファークート膜をキュアするため、350°C と 320°C のそれぞれ 1 時間の熱工程が入っている。バッファークートをを用いないで、350°C と 200°C で 2 時間の熱処理を行なったとき、熱処理前後での抵抗測定を行った結果を図 2. 3. 4-4 に示す。350°C で約 30 Ω の抵抗増加がみられる。すなわち再配線工程の熱処理だけで約 0.7% の増加がある。また、Si ウェーハ上にバッファークート膜を形成した時の反り測定から、バッファークート膜から poly-Si 膜に及ぼす応力（圧縮応力）を計算した結果を表 2. 3. 4-1 に示す。3 MPa 以下であり、III. 2. 2. 2 の結果からは、0.1% 以下の抵抗増加が予測される。以上のことから再配線前後での抵抗増加は、バッファークート膜の応力よりも、むしろ熱処理やパッド表面状態の変化などが影響しているものと考えられる。

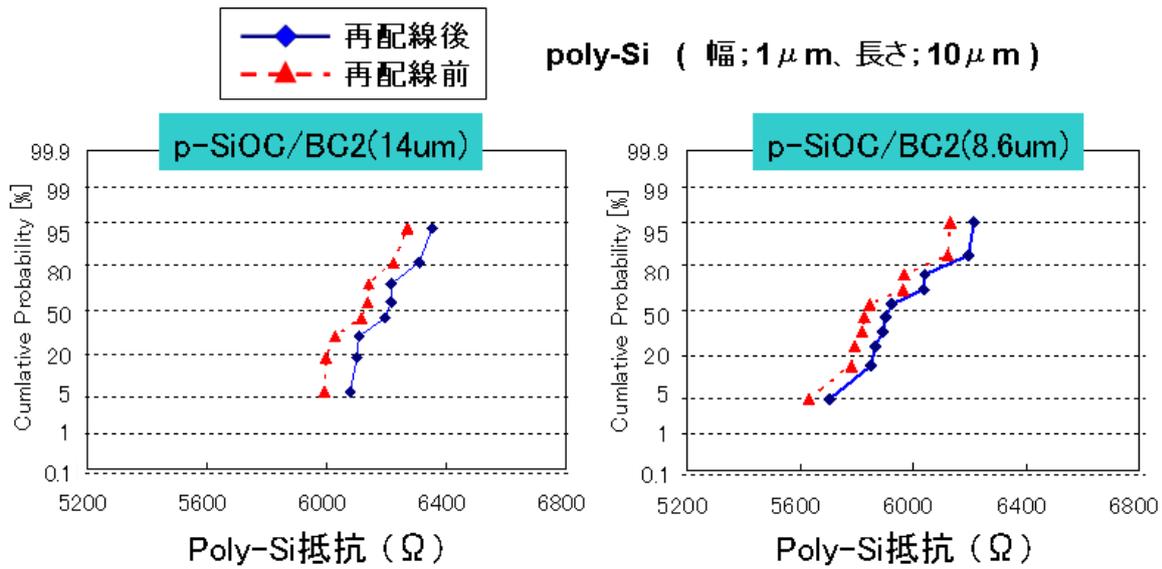


図 2. 3. 4 - 3 再配線前後での poly-Si 抵抗の測定結果

加熱条件 (BC塗布無し) ①150°C1h+350°C1h × 2回 ②200°C1h× 2回 (共にN2雰囲気下)	ポリシリコン抵抗値 [Ω]		
	加熱前 平均値	加熱後 平均値	前後での差
①350°C	4465	4496	31
②200°C	4486	4488	2

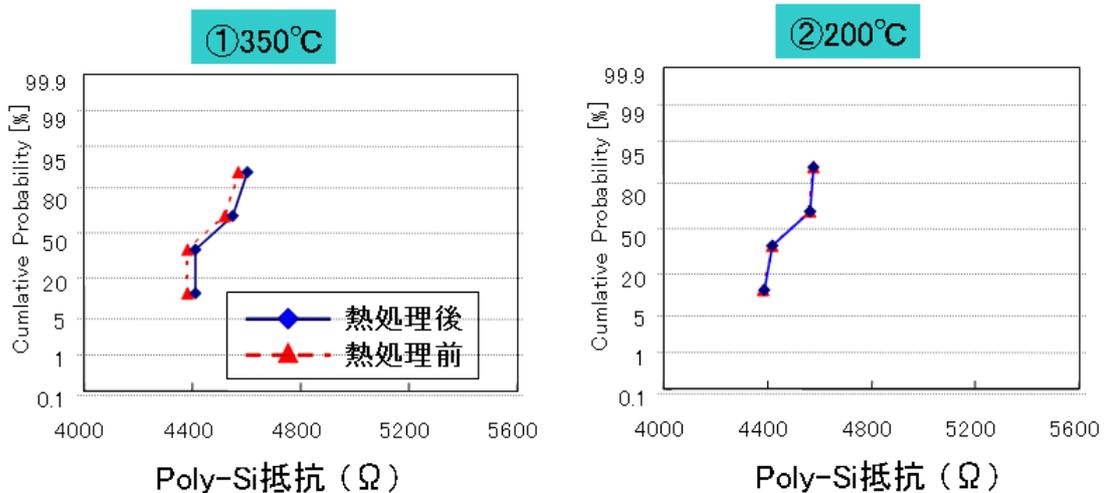


図 2. 3. 4 - 4 熱処理前後での poly-Si 抵抗の測定結果

表 2. 3. 4-1 バッファコート膜による poly-Si 膜への圧縮応力

BC2層	BC材料膜厚 (2層)[μm]	WLP2層配線形成 前後での反り変化量 [μm]	ポリシリコン抵抗の 応力変化量
		8.6	286
	14	402	1.7~2.7MPa

ポリシリコンのヤング率 = 120-190GPa

次に、再配線によるトランジスタへの影響を評価した。Cu 2 層配線で 3 種類の層間絶縁膜を用いたときの再配線前後でのトランジスタのしきい電圧 (V_{th}) とサブスレッシュヨルドスイング (S 値) の測定結果を図 2. 3. 4-5 に示す。再配線工程を経ることにより、 V_{th} 、S 値ともに低下し、層間絶縁膜が p-SiOC のとき変動幅が最も大きい結果になった。

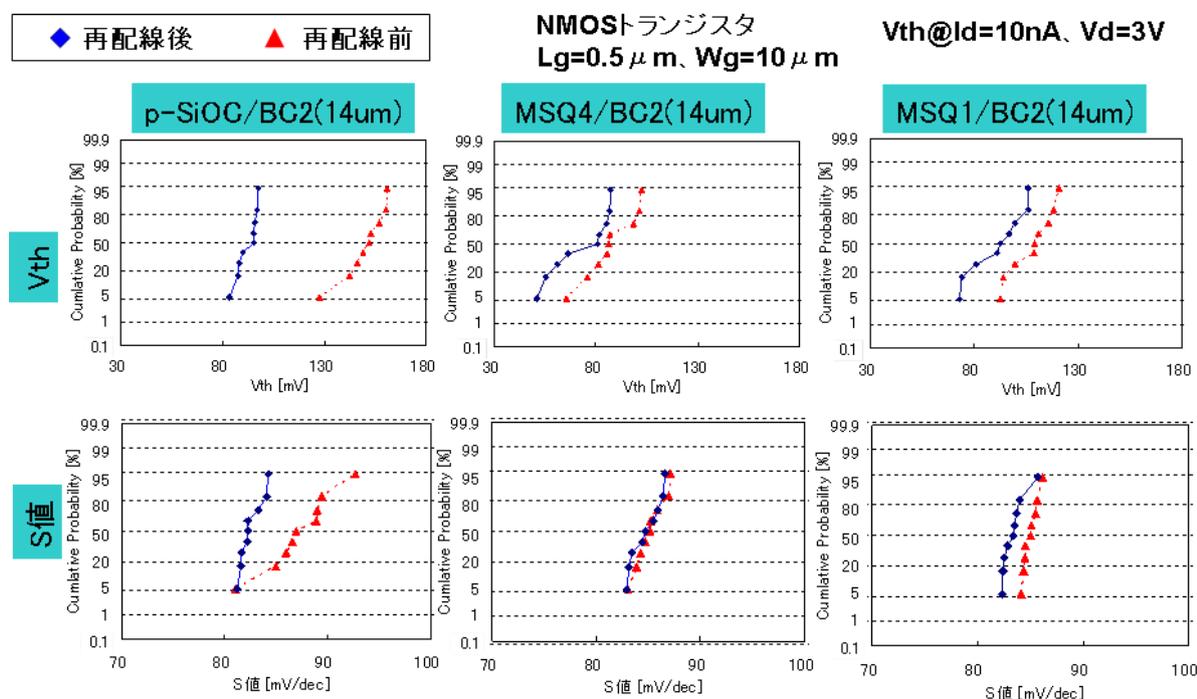


図 2. 3. 4-5 再配線前後でのトランジスタのしきい電圧 (V_{th}) とサブスレッシュヨルドスイング (S 値) の測定結果

しかし、この場合も再配線工程での熱処理の効果が考えられるので、MSQ1 を層間絶縁膜としたウェーハで再配線を行わずに熱処理だけを行い、その前後での V_{th} と S 値を測定した。その結果を図 2. 3. 4-6 に示す。200℃の熱処理では変化は無いが、350℃では V_{th} 、 S 値ともに低下することがわかった。したがって、トランジスタ特性の変化は、バッファコート膜そのものの材料の影響というより、むしろ再配線工程での熱処理の影響が大きいと考えられる。

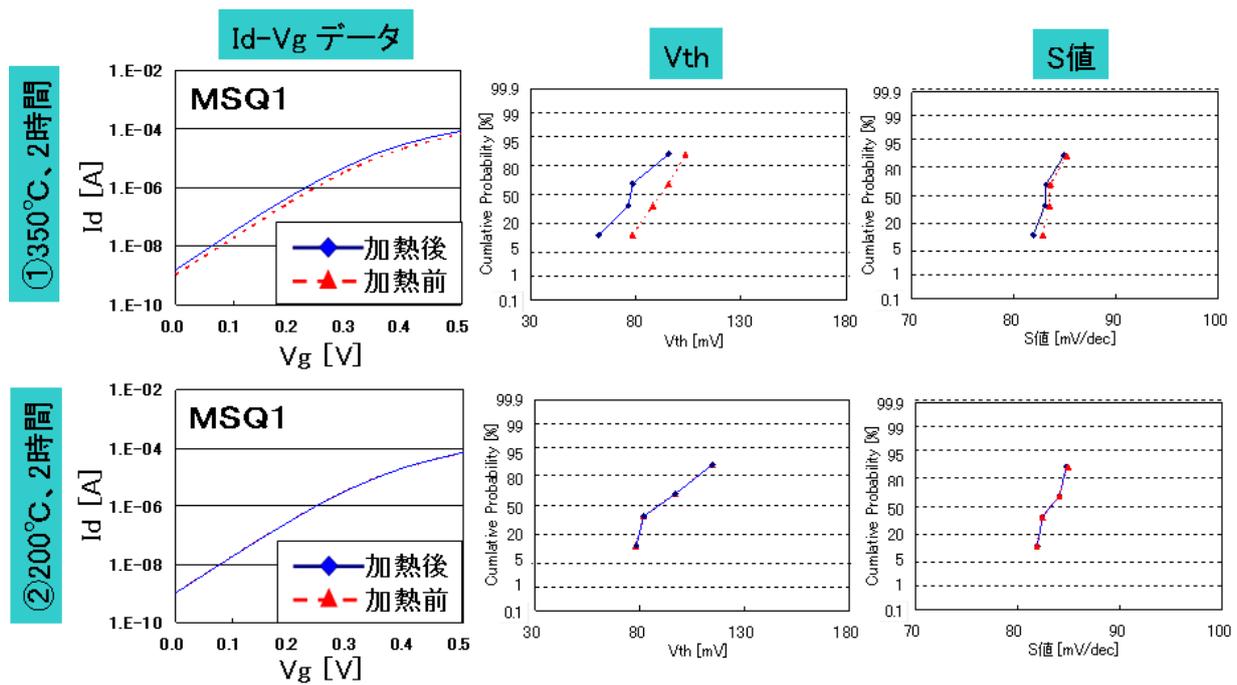


図 2. 3. 4-6 熱処理前後での I_d - V_g 特性および V_{th} と S 値

次に再配線後のウェーハを高温高湿放置したときのトランジスタの V_{th} 、 S 値の変化を測定した結果を図 2. 3. 4-7 に示す。高温高湿放置によるトランジスタ特性の変化が無いことがわかった。

またこれまでに測定したトランジスタについて、そのしきい電圧の変化をまとめて表 2. 3. 4-2 に示す。再配線前から再配線後にしきい電圧が大きく変化しているが、これは、再配線前の 400℃、2 分の熱処理ではトランジスタを安定化するのに不十分であったためであり、再配線の熱工程の影響の現れたものと考えられる。その後は高温高湿放置してもトランジスタの特性はほとんど変化しない。

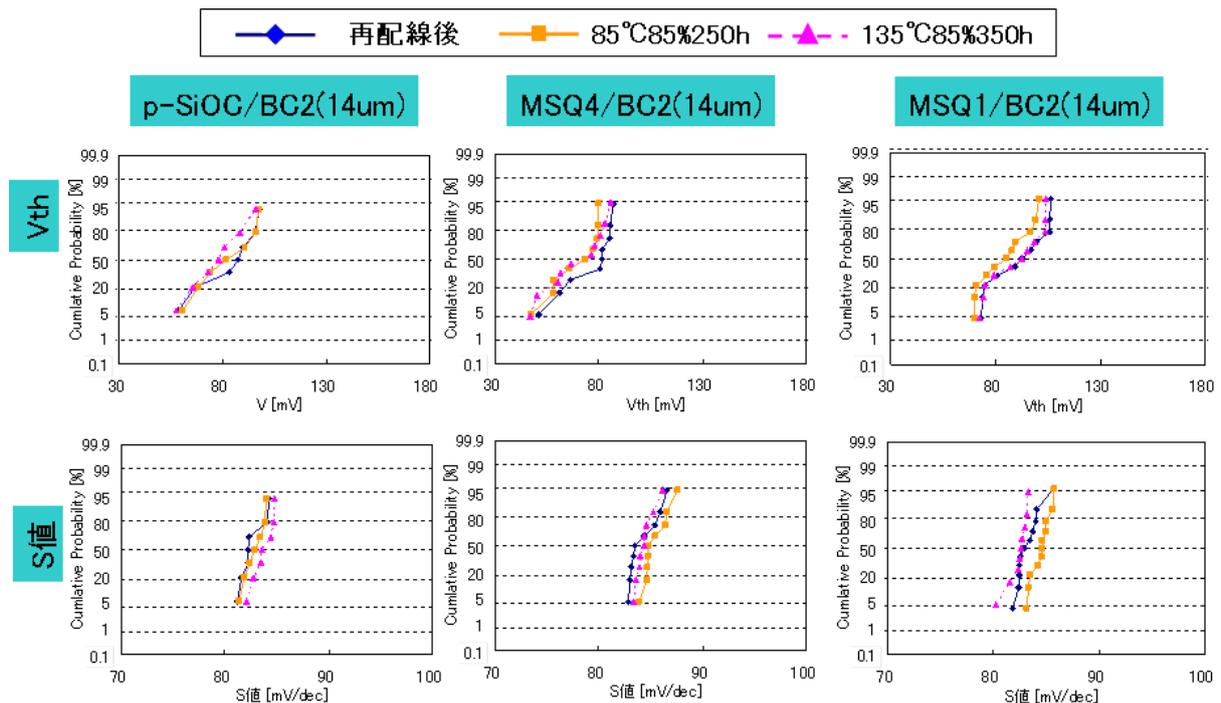


図 2.3.4-7 再配線後のウェーハを高温高湿放置したときのトランジスタの Vth、S 値の変化

表 2.3.4-2 NMOS トランジスタのしきい電圧の変化のまとめ

	Vth [mV] 正規確率分布の50%のときの値				
	再配線前	再配線後	85°C85% 250h	135°C85% 350h	
p-SiOC	SiN完 H2アニール 400°C2分	152	91	82	78
MSQ4		86	81	74	72
MSQ1		109	91	80	92

以上、再配線工程によるバッファコートの影響を調査した結果、再配線工程に投入する前に 400°C2 分の H2 アニールでは熱処理が不足しており、さらに熱処理を追加しておくことにより poly-Si 抵抗素子や NMOS トランジスタの電気特性が変化しなかったと推測できる。また、再配線後のウェーハを高温高湿放置しても変化しないことがわかった。

b. 各種 BC を用いた WLP の組立て影響評価

WLP 組立て評価をするために、BC の種類をこれまで用いてきた BC2 の他に新規の BC として BC3 から 6 まで 4 種類加えた。新規 BC の物性値について図 2. 3. 4-8 に示す。新規材料の特長はキュア温度が 200℃と低温であること、弾性率や応力の小さい材料が含まれていることである。

	材料	キュア ℃	弾性率 GPa	CTE ppm/K	応力 MPa
従来	BC2	320	3.6	36	37
新規材料	BC3	200	3.5	45	32
	BC4	200	2.7	48	23
	BC5	200	2.0	50	13
	BC6	200	2.0	50	13

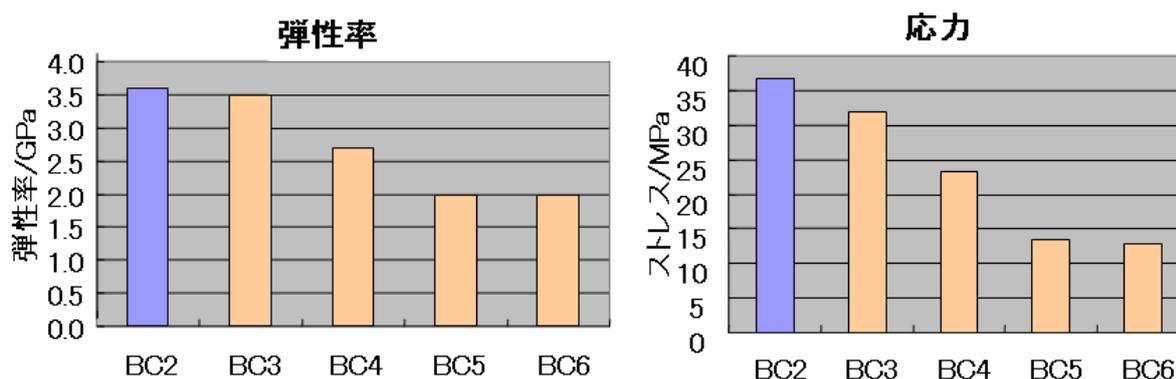
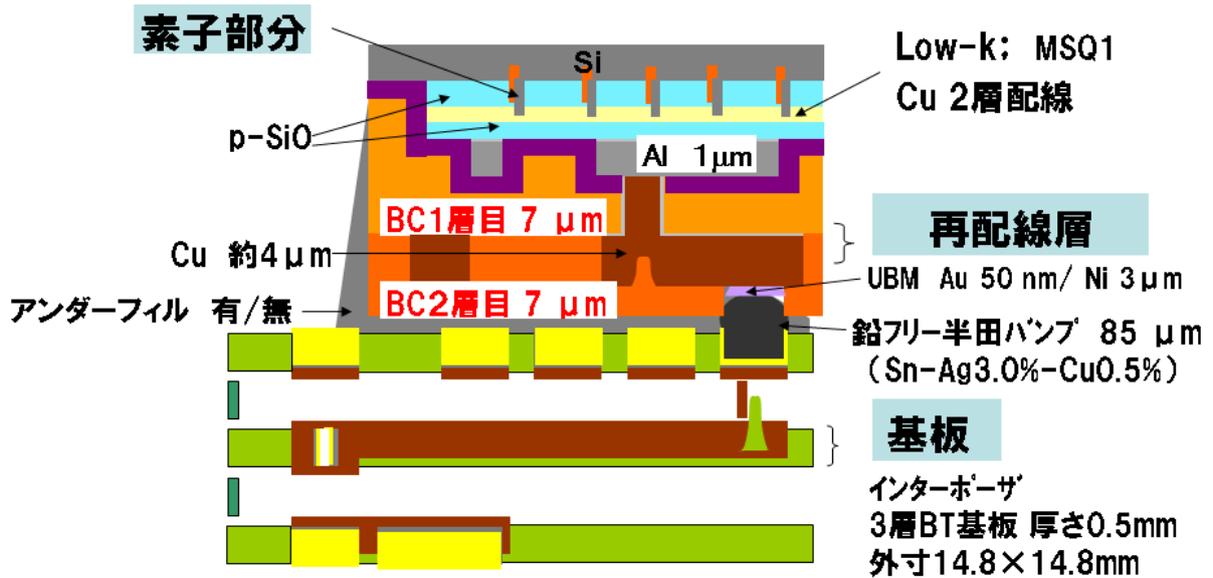


図 2. 3. 4-8 新規 BC の物性値

次に WLP 構造について図 2. 3. 4-9 に示す。1 層あたりの膜厚 7 μm の BC を用いて再配線を形成した後、以降は外注にてパッケージまで試作した。WLP の組立工程を図 2. 3. 4-10 に示す。なお、ここではウェーハおよびチップでの反り測定についても示している。まず UBM として 3 μm の Ni、次いで 50nm の Au を形成した後、85 μm の鉛フリーハンダボールを搭載した。このウェーハをバックグラインドにより 150 μm まで薄膜化し、ダイシングによりチップに分割した。フリップチップボンダーで、このチップを基板として用いた 0.5mm 厚さのインターポーザにハンダ接続して WLP が仕上がる。さらに、基板とチップの間にアンダーフィル材を注入するが、この注入をする試料としない試料を作成した。



【チップサイズ】 8.6×5.4 mm

【組立てチップ】 FEOL TEG → Low-k Cu 2層配線 → 再配線

【チップ膜厚】 150 μm

図 2. 3. 4 - 9 WLP 構造

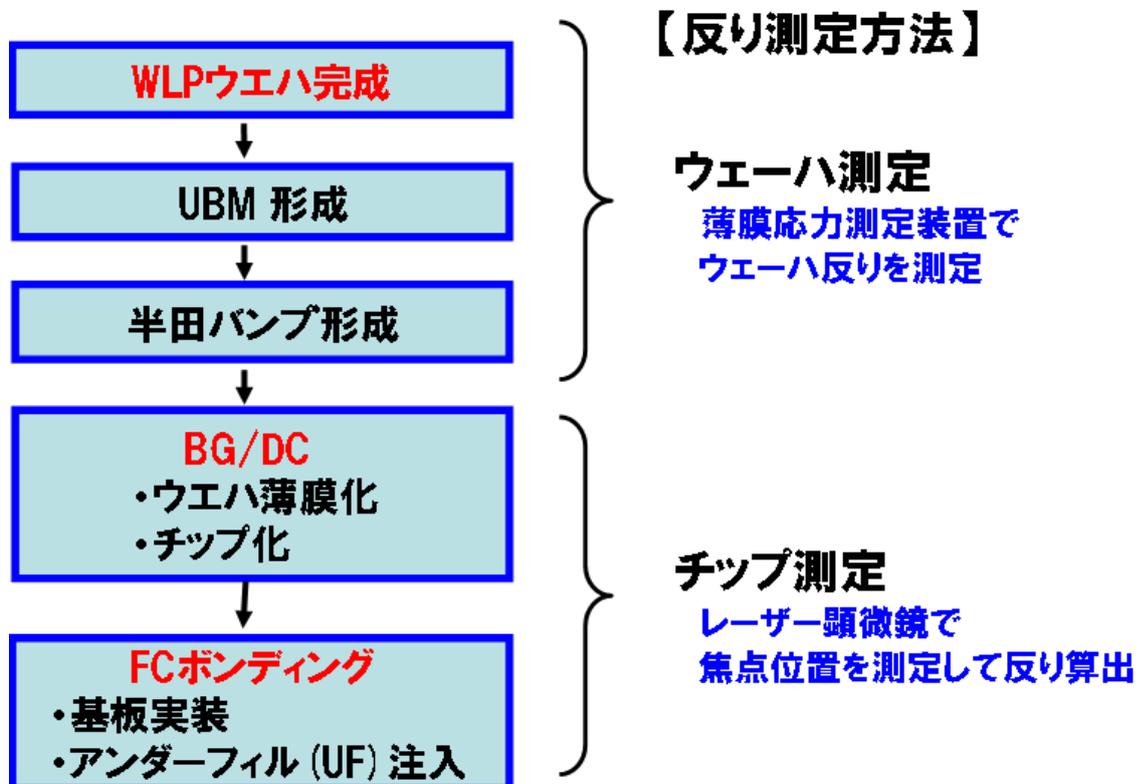


図 2. 3. 4 - 10 WLP の組立工程と反り測定方法

WLP 組立ての影響を評価するため、まず BC2 の場合について poly-Si 抵抗の測定を行った。結果を図 2. 3. 4-11 に示す。左のグラフは、再配線前の抵抗値に対して WLP でのアンダーフィルの有無についての抵抗値を示している。ほとんど変化が無いことがわかる。また右のグラフは、さらに予備検討として、アンダーフィル有りのものを 200 回まで温度サイクル試験をした後の抵抗値を示している。この場合にも抵抗値で明確な変化は見られなかった。新規の BC についても右のグラフと同様に再配線前の抵抗値に対してアンダーフィルのある WLP 組立て後および温度サイクルの予備検討後の poly-Si の抵抗値を図 2. 3. 4-12 に示す。ここでもどの BC についても明確な変化は見られなかった。

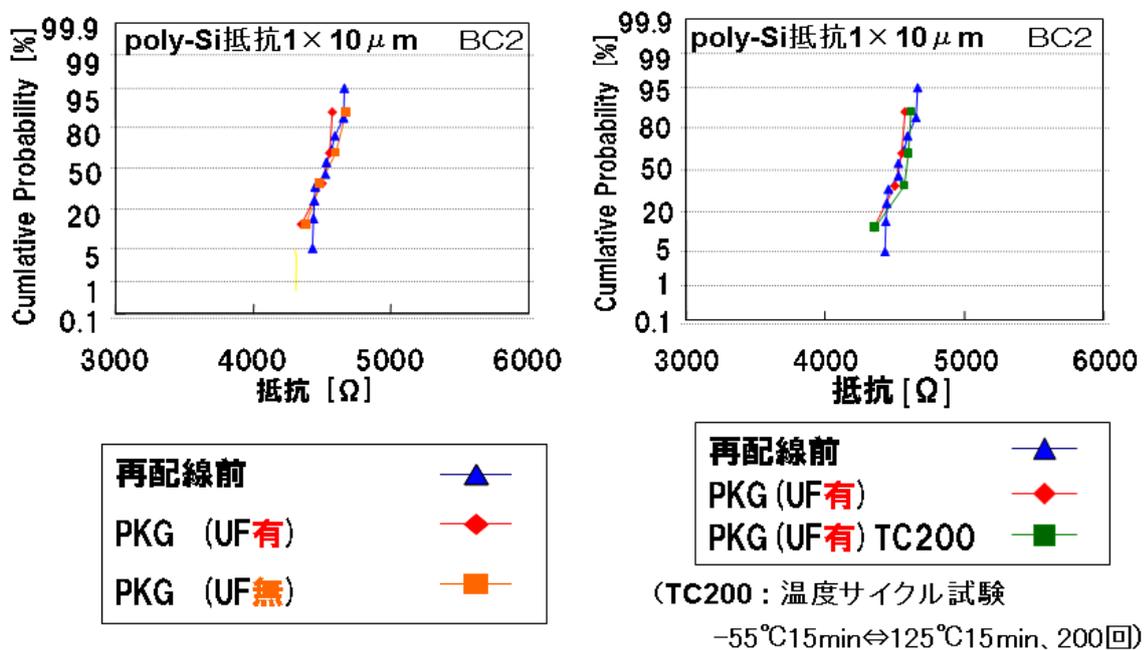


図 2. 3. 4-11 再配線前と WLP 組立て後および温度サイクル後の poly-Si 抵抗の測定結果

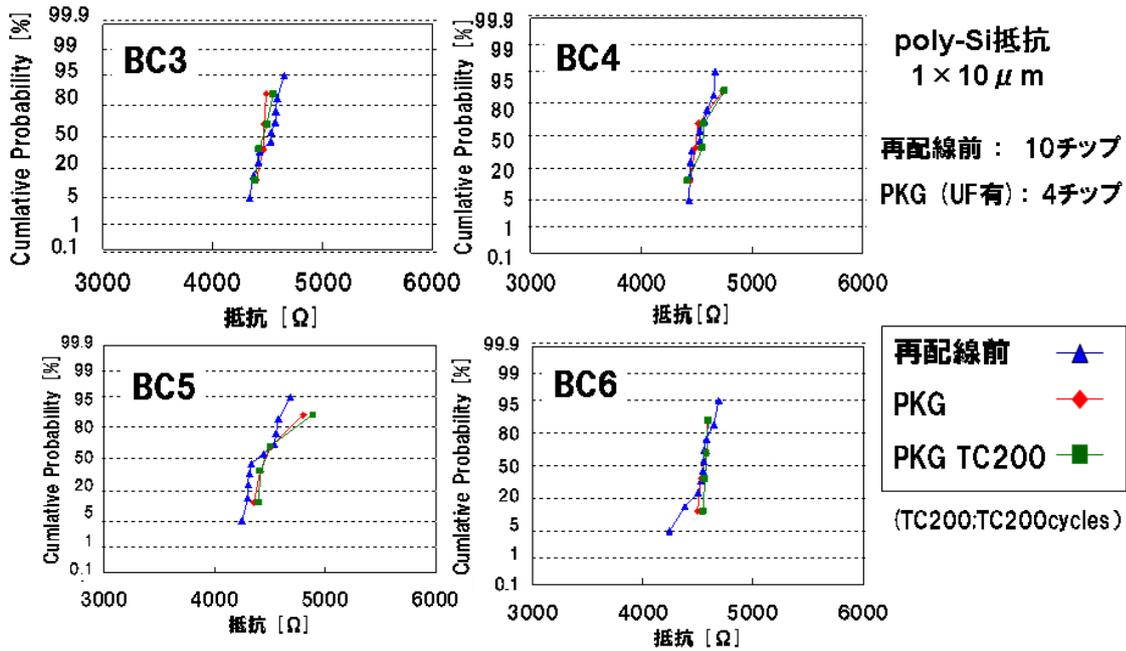


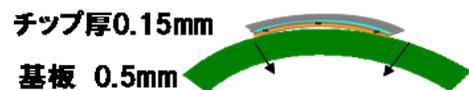
図 2. 3. 4 - 1 2 WLP組立て前後の poly-Si 抵抗の測定結果

poly-Si の抵抗値変化は、チップの反りにより poly-Si に応力が印加されることにより起こる。種々の BC を用いたときのチップの反りをレーザー顕微鏡により焦点位置を測定することにより算出した。結果を図 2. 3. 4 - 1 3 に示す。

BC材料	応力/MPa	CTE/ ppm/K	弾性率/GPa	BG/DC後 チップの 反り量/μm	FCボンディング後の チップの反り量/μm 実測値	
					UF有	UF無
BC2	37	36	3.6	20	39	31
BC3	32	45	3.5	16	40	31
BC4	23	48	2.7	11	38	33
BC5	13	50	2.0	11	38	32
BC6	13	50	2.0	9	38	33

BCの応力差を反映

基板の反りが反映



WLPによりpoly-Siにかかる圧縮応力

Poly-Siの抵抗変化はほとんどなし

UF有	UF無
23~37 MPa	17~27 MPa

図 2. 3. 4 - 1 3 レーザー顕微鏡による反り測定結果

ダイシング後には、BC 膜の応力を反映して、そり量は 9 μm から 20 μm のチップがある。しかし、WLP 後には、BC 膜の応力にはほとんど依存せず、そり量は、アンダーフィル無で約 30 μm 、アンダーフィル有で約 40 μm となり、基板の反りによって決定されてしまう。また、このとき poly-Si に印加される圧縮応力は、最大でも 37 MPa であり、この応力での poly-Si の抵抗値変化は、Ⅲ. 2. 2. 2 での結果から 1%以下の増加しかない。

以上のように WLP のパッケージ前後での FEOL 素子の変化を評価したが、明確な変化は起こらないことがわかった。

c. 各種 BC を用いた WLP での温度サイクル信頼性評価

ウェーハ状態で 200 回までの温度サイクルで poly-Si の抵抗値変化は起こらないことは、すでに評価した。次に、WLP に組み立ててさらに温度サイクルの回数を 500 回まで増やして poly-Si 抵抗、NMOS トランジスタのしきい電圧についての信頼度を調査した。種々の BC で再配線したチップを組立て、アンダーフィル有の WLP をそれぞれ 4 個について、温度サイクル前、温度サイクル 100 回後、500 回後の poly-Si 抵抗と NMOS トランジスタのしきい電圧を測定した。結果を図 2. 3. 4-14、図 2. 3. 4-15 にそれぞれ示す。温度サイクルを増やしても、顕著な変化は発生しなかった。また、BC の種類の違いも見られなかった。

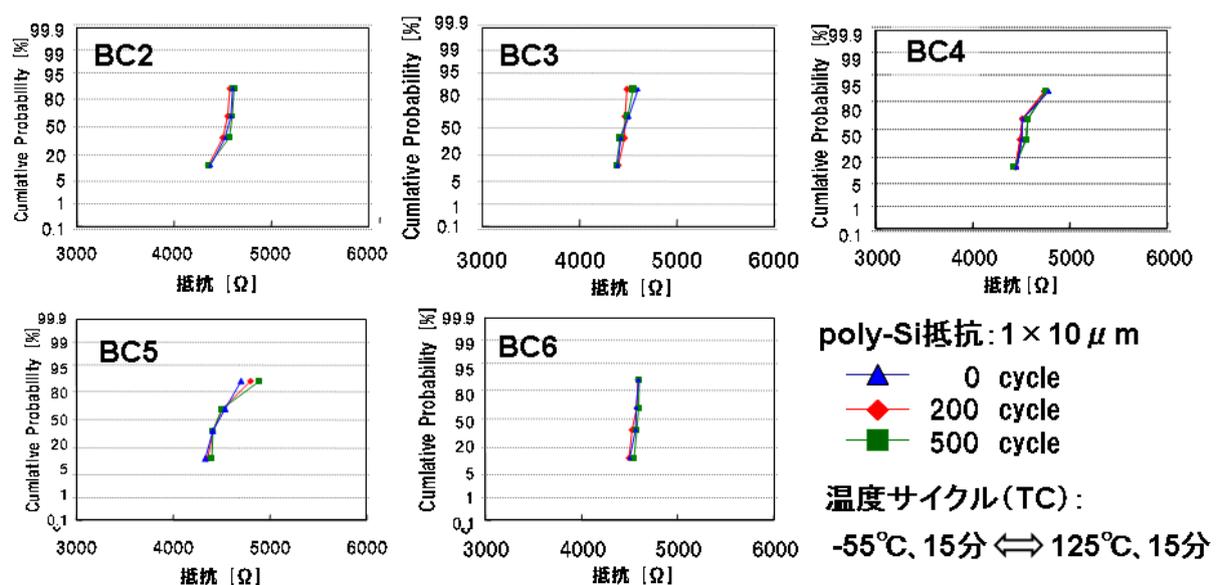


図 2. 3. 4-14 温度サイクル前、温度サイクル 100 回後、500 回後の poly-Si 抵抗測定結果

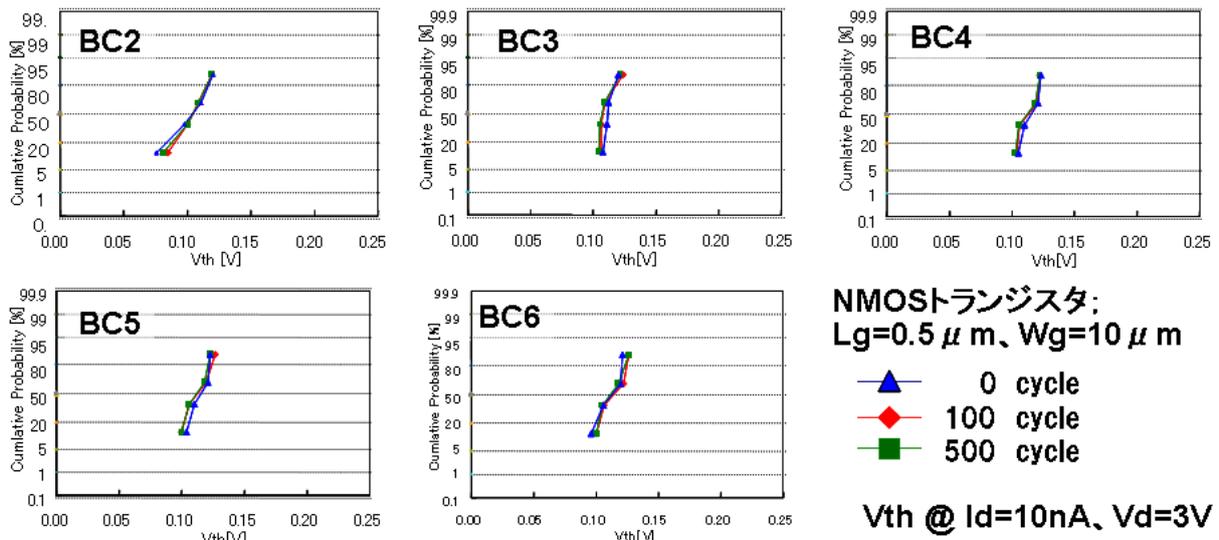


図 2.3.4-15 温度サイクル前、温度サイクル 100 回後、500 回後の NMOS トランジスタのしきい電圧

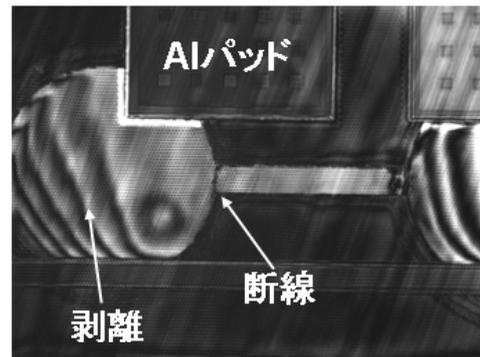
以上、これまでバッファコート材料の評価を行うため、再配線工程、WLP 組立工程まで行い、さらには高温高湿放置、温度サイクルなどの信頼度試験まで行なって、FEOL 素子への影響評価を実施した。しかし、いずれの工程や信頼度試験でもバッファコート材料の種類に依存したような、FEOL 素子の顕著な変化は見られなかった。

一方、再配線とインターポーザの配線をハンダバンプで接続したデージーチェーンの導通試験を行なうと、アンダーフィルが有る場合にはいずれのバッファコート材料であっても温度サイクル 200 回まではデージーチェーンの断線が見られなかったが、アンダーフィルがない場合には、デージーチェーンの断線が発生する温度サイクル数にバッファコート材料への依存性が見られた。この結果を各バッファコート材料の物性ととも、図 2.3.4-16 に示す。また、断線したチップの赤外(IR)顕微鏡による観察例も同時に示した。これらの結果から、再配線パッドの剥離と断線が起きていることがわかる。また、断線は、バッファコート材料の弾性率が大きいほど起こりやすいのではないかと推測できる。

以上のことから、WLP を用いたバッファコート材料の評価においては、FEOL 素子を搭載したチップで評価するよりも、もっと簡単な構造のチップで再配線を行なって、再配線における剥離の観察やデージーチェーンの導通試験を行なうことが有効であると考えられる。以下、このようにして各種バッファコート材料を用いた WLP での評価結果について述べる。

IR顕微鏡写真観察例

UF有	0 cycle	100 cycles	200 cycles
BC2	0/4	0/4	0/4
BC3	0/4	0/4	0/4
BC4	0/4	0/4	0/4
BC5	0/4	0/4	0/4
BC6	0/4	0/4	0/4



UF無	弾性率/GPa	CTE/ppm	0 cycle	50 cycles	100 cycles	150 cycles
BC2	3.6	36	0/4	3/4	4/4	-
BC3	3.5	45	0/4	2/4	4/4	-
BC4	2.7	48	0/4	0/4	1/4	3/4
BC5	2.0	50	0/4	0/4	0/4	2/4
BC6	2.0	50	0/4	0/4	1/4	2/4

【TC条件】55°C15min⇔125°C15min

(断線チップ数)/(試験チップ数)

図 2. 3. 4 - 1 6 各種 BC を用いた WLP の温度サイクル試験結果とデージーチェーン断線チップの IR 顕微鏡観察例

d. 各種 BC を用いた WLP での剥離に対する BC の影響評価

フリップチップ型のパッケージである WLP 組立てまでに行い、バッファークोट(BC)膜の評価を行うため、4種類の BC を用いた。バッファークोटの物性を表 2. 3. 4 - 3 に示す。

表 2. 3. 4 - 3 バッファークोटの物性

BC材料	BC2	BC7	BC3	BC5
キュア温度(C)	320	250	200	200
CTE (ppm/K)	36	45-55	45	50
弾性率 (GPa)	3.6	2.2	3.5	2.0
応力(MPa)	37	25	32	13

新たに BC7 を評価材料の中に取り入れた。特徴は弾性率が低いことである。評価に用いた WLP の構造について図 2. 3. 4-17 に示す。

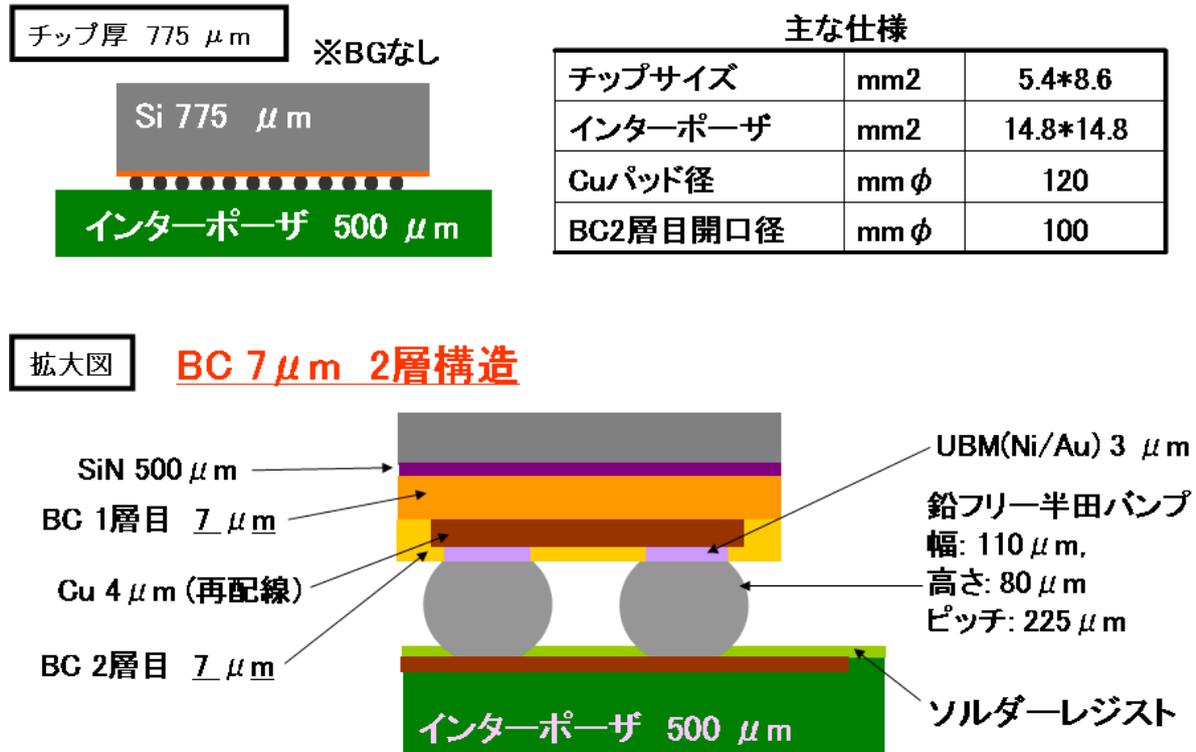


図 2. 3. 4-17 評価に用いた WLP の構造

今回の評価では、剥離を容易に観察できるように、バックグラインドを行わずに 775 μm と厚いチップを用いた。また、再配線は、Si 基板に形成した 500nm の SiN 上に 7 μm のバッファコート膜 2 層を用いて形成した。再配線パターンは、チップ全面でダメージチェーンを測定するため、後で示すアレイ状のパターンを全面に敷き詰めたものである。

WLP 組立て後に、初期評価として Si を透過して観察できる赤外 (IR) 顕微鏡で再配線のアレイパターンを観察した。観察結果を図 2. 3. 4-18 に示す。比較のため、150 μm と薄いチップで組み立てたものも観察した。150 μm の場合チップ全面でバックグラインドでの研磨でのムラが観察されるが、再配線のアレイパターンで特に異常は観察されなかった。一方 775 μm のチップでは、特にチップ周辺部で再配線の変形と推察される異常が観察された。チップ中心部ではそのような異常は観察されなかった。

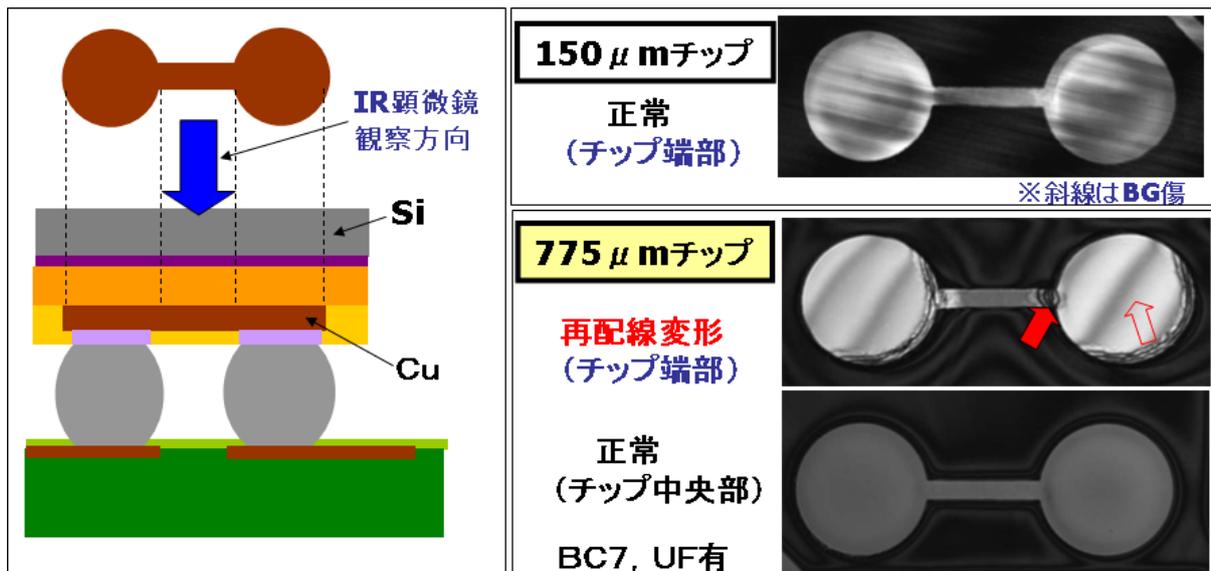


図 2. 3. 4-18 赤外 (IR) 顕微鏡で再配線のアレイパターン観察結果

それぞれのバッファークोटで再配線を形成し、WLP 組立て後 IR 顕微鏡観察した結果をまとめて図 2. 3. 4-19 に示す。

	BC7	BC2	BC3	BC5
【UF有】 再配線変形 写真 変形箇所 (赤印) 数	 	 	 	なし 0
【UF無】 再配線変形 写真 変形箇所 (赤印) 数	 	 	 	なし 0

図 2. 3. 4-19 WLP 組立て後 IR 顕微鏡観察した結果

再配線のレイパターンでの異常の数がバッファコート膜に依存する結果が得られた。また、アンダーフィルの有無にほとんどよらないことから、このような異常は、フリップチップボンディングの段階で既に発生していると考えられる。すなわち、このボンディングにおいてハンダの冷却過程でパッドに引っ張りの力がかかり、剥離が発生したものと推測できる。

次に、アンダーフィル有の試料で温度サイクル 500 回まで試験した結果を図 2.3.4-20 に示す。どのバッファコート膜であっても WLP 組立て後の初期に観察された再配線の異常個所の増減は全く無く、また、デージーチェーンの断線も観察されなかった。アンダーフィルを注入すれば、剥離は増大しないことを示している。

	BC7	BC2	BC3	BC5
初期 再配線観察				
TC500cycle 再配線観察				
初期 TC500cycle 変形箇所、数	 230	 161	 16	 0

図 2.3.4-20 アンダーフィル有の試料で温度サイクル 500 回まで試験した結果

次にアンダーフィルがない場合の温度サイクル試験の結果を図 2.3.4-21 に示す。3 回の温度サイクルでも再配線パターンに異常個所の観察されたバッファコート膜ではチップ周辺から異常個所が増加した。また、デージーチェーンでも周辺部分から断線が発生した。異常個所の数やデージーチェーンの断線数には明らかにバッファコート材料の影響が見られた。温度サイクル後の試料で、再配線部分の断面観察の結果を図 2.3.4-22 に示す。パッド部分に剥離、配線部分での断線が観察された。この結果から、パッド部分で再配線の Cu と第 1 層目の BC の界面で剥離が起こり、さらに配線部分の Cu が断線に至ったと考えられる。すなわち Cu/Ti と BC の密着性が剥離を支配しているように思える。

	BC7	BC2	BC3	BC5
初期 再配線観察				
TC3cycle 再配線観察				
初期 変形箇所、数	251	155	5	0
TC3cycle 変形箇所、数	504	355	173	0
TC3cycle デジチェーン 断線箇所と断線数	9/13	6/13	3/13	0/13

図 2. 3. 4-21 アンダーフィル無の場合の温度サイクル試験の結果

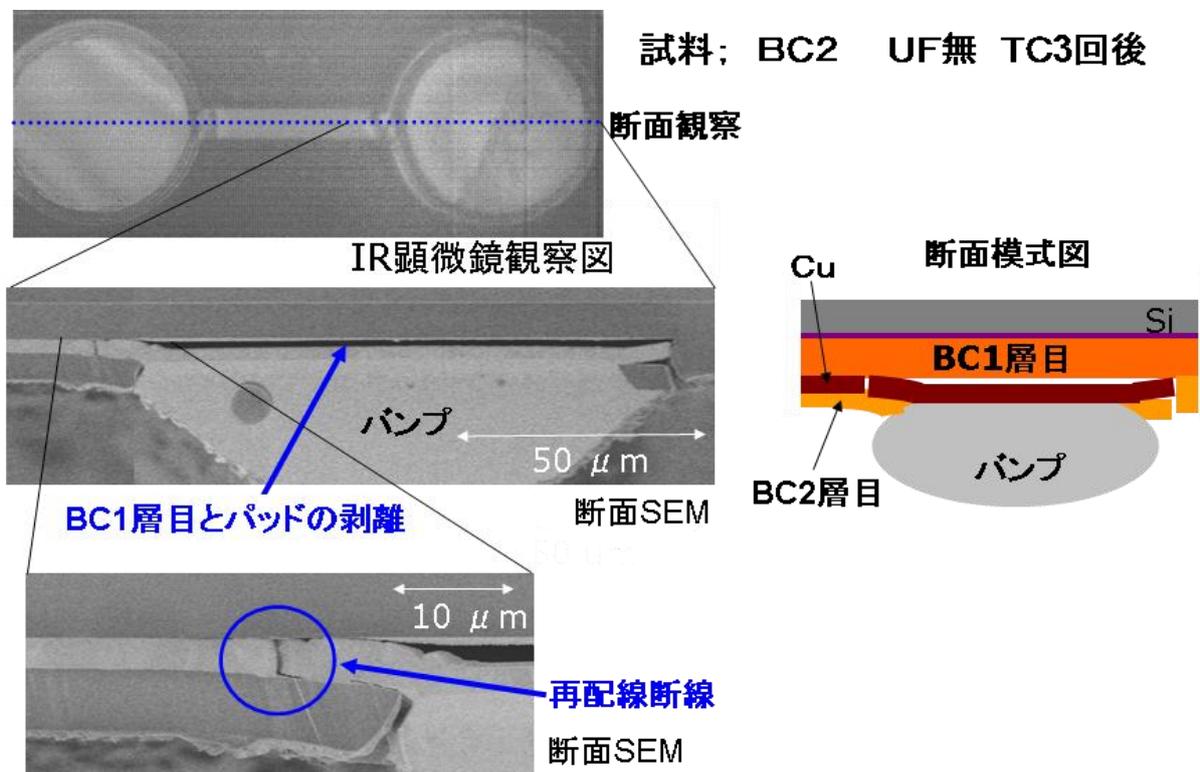


図 2. 3. 4-22 温度サイクル後の再配線部分の断面観察結果

それぞれの BC でハンダバンプ形成後の試料でバンプシヤ試験をした結果を **図 2. 3. 4-23** に示す。WLP での再配線異常個所の数とパッド剥離の発生率とは良い相関が取れ、また、シヤ強度も剥離数が多いほど小さくなる傾向が見られる。したがって、Cu/Ti と BC の密着性によって剥離が説明できると考えられる。

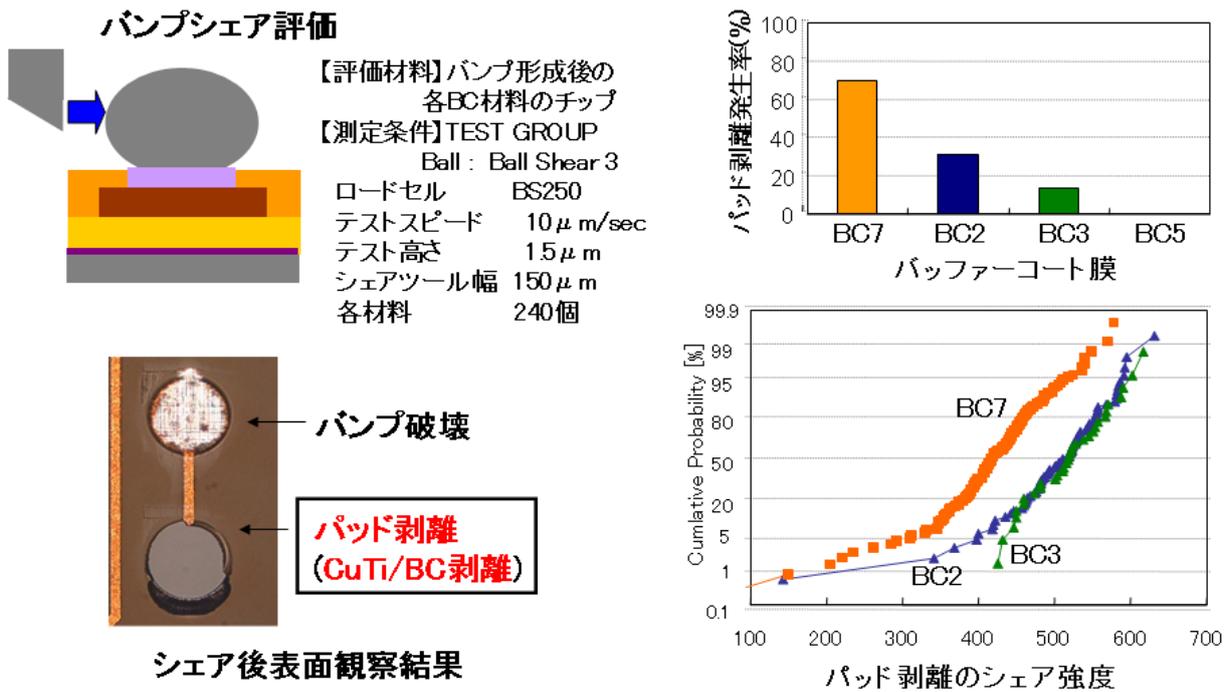
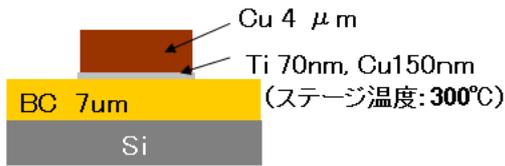


図 2. 3. 4-23 ハンダバンプ形成後の試料でのバンプシヤ試験結果

従来は比較的小面積パターンで瞬間的にはがれるシヤ強度から密着力を算出していた。今回新たにパッド面積に相当する大面積での測定を試みた。シヤ試験に用いた試料構造と、従来と今回の違いの比較を **図 2. 3. 4-24** に示す。また、従来と今回のシヤ試験での時間とシヤ強度曲線の違いを **図 2. 3. 4-25** に示す。このような測定を行って得られる、パターン面積とシヤ強度の関係を求めた結果を **図 2. 3. 4-26** に示す。このような図から、従来は比較的小面積で、パターン面積とシヤ強度が比例する領域で単位面積あたりのシヤ強度を密着力と定義して用いていた。しかし、この結果では、最も剥離を起こしにくかった BC5 の密着力が剥離を起こした BC2 や BC3 より小さいという矛盾がある。ところが、ほぼパッド面積に近いような大面積では、BC5 のシヤ強度が最大になり、剥離しにくい結果と矛盾しなくなる。すなわち弾性率の低い BC5 では大面積になると BC が変形して応力を緩和するというモデルで説明できると考えられる。

試料構造



シエア試験条件

- ・ロードセル BS250
- ・テストスピード 10 μm/sec
- ・テスト高さ 1.0μm
- ・シエアツール幅 150μm (SHR-062-0150)



図 2. 3. 4-24 試料構造と、シエア試験の従来と今回の違いの比較

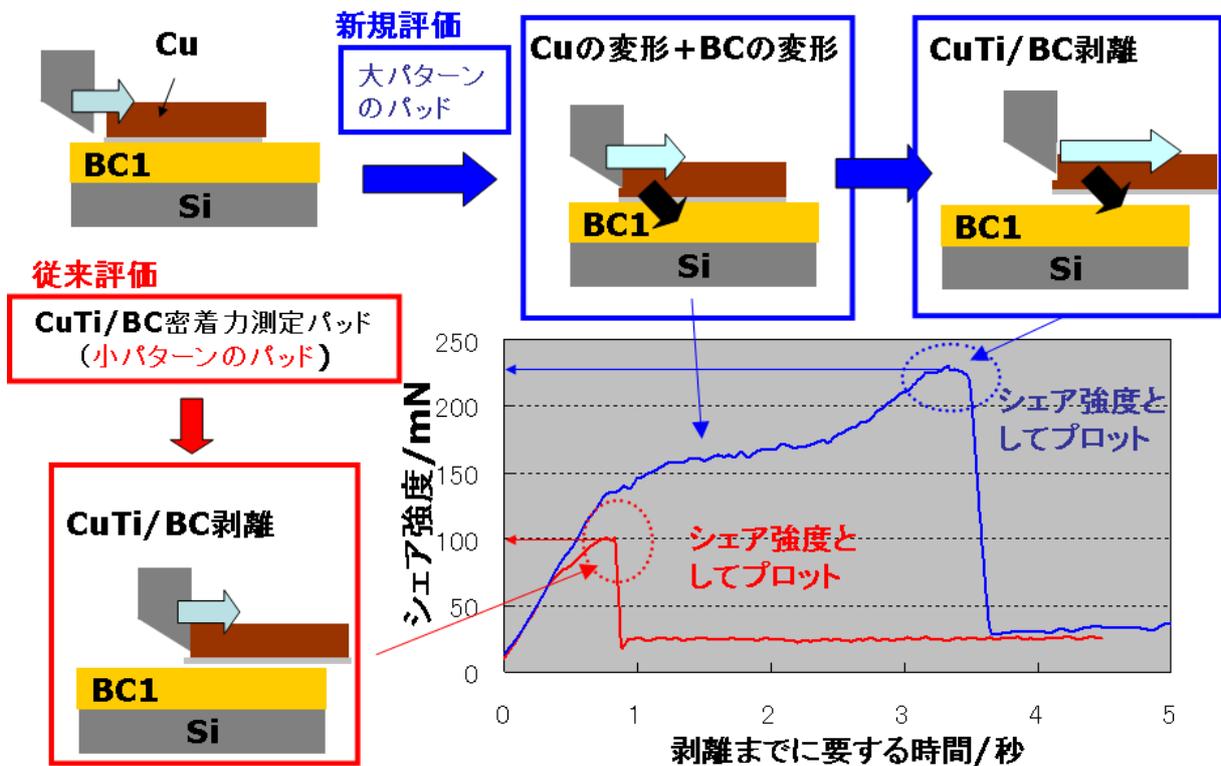


図 2. 3. 4-25 従来と今回の測定の違い

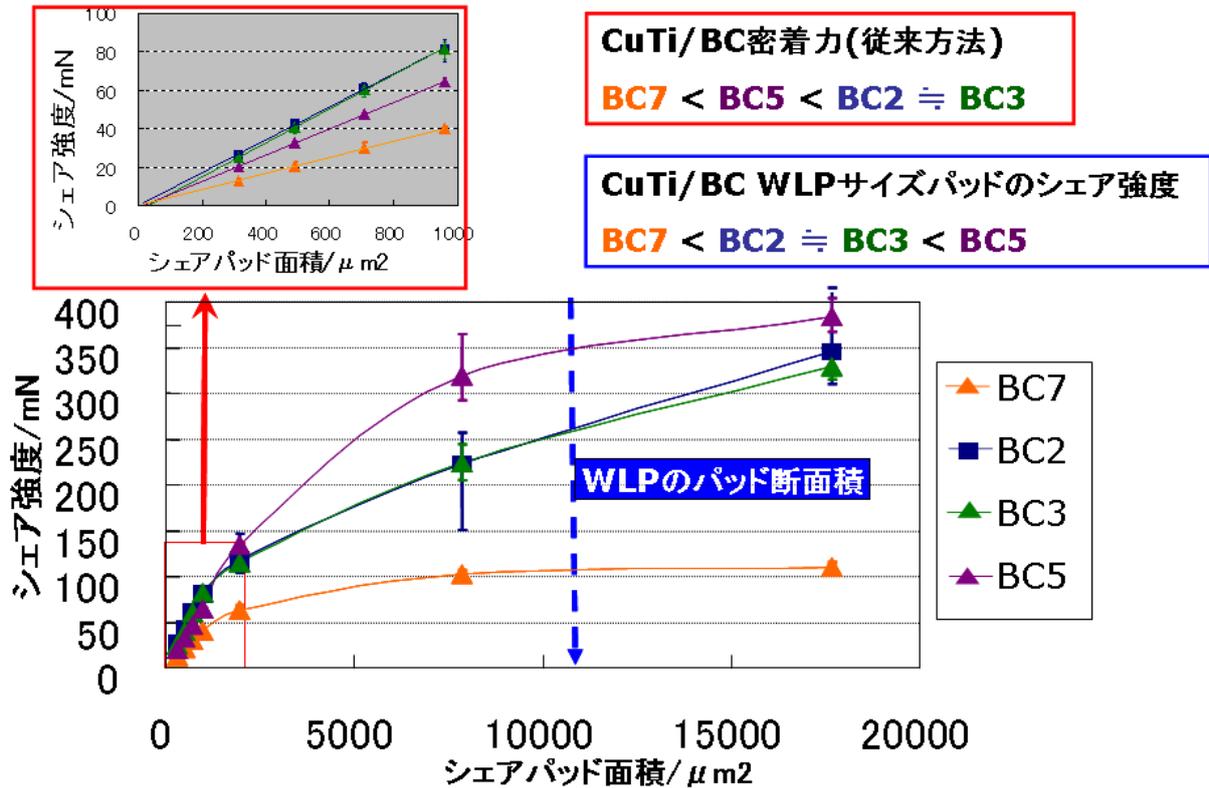


図 2. 3. 4-26 パターン面積とシエア強度の関係

これまでのシエア試験の結果を各バッファコート膜の物性とともにもとめて表 2. 3. 4-4 に示す。ここで、実際のパッドのように大きな面積で起こる剥離のし難さを表す尺度として、剥離耐性係数を定義する。バッファコート膜の変形により応力が緩和されるといふモデルを変形のしやすさとして弾性率の逆数に比例する考え、剥離耐性係数は、小面積での密着力と弾性率の逆数の積を 1000 倍したものとする。この数値は、パッドサイズのパターンのシエア強度との相関がよくとれて、実際の WLP での剥離の起こしやすさとも良い相関が取れることがわかる。

表 2. 3. 4-4 各 BC についてのシエア試験の結果

BC材料	BC7	BC2	BC3	BC5
キュア温度(C)	250	320	200	200
弾性率 (GPa)	2.2	3.6	3.5	2.0
小面積パターン測定による CuTi/BC密着力(MPa)	45(0.53)	85(1)	88(1.04)	68(0.8)
CuTi/BC WLPのパッドサイズ でのシエア強度(mN)	約100(0.4)	約250(1)	約250(1)	約350(1.4)
パンプシエアによるパッドの 剥離強度(mN)中心値	416(0.83)	503(1)	517(1.03)	パッド剥離 発生せず
$\frac{\text{CuTi/BC密着力(MPa)}}{\text{弾性率 (GPa)}} \times 1E3$	20(0.83)	24(1)	25(1.04)	34(1.42)

()内は、BC2の値を1とした時の相対値

剥離耐性係数

BC膜変形による応力の緩和効果 \propto 弾性率の逆数

再配線では、2層のバッファコート膜を用いるが、通常は同一の材料が用いられ、これまでの評価でも同一材料としてきた。しかし、今回評価材料ではキュア温度が同一のものがあることから、1層目と2層目で異なる材料を用いたとき、どちらの材料がWLPの温度サイクルでの剥離を支配しているか調査できる。BC3とBC5を用いて、再配線を形成し、WLP組立て後、温度サイクル試験を行なった結果を図2.3.4-27に示す。ここでは、剥離によりダメージチェーンの断線を起こしたチップ数をカウントした。BC3、BC5の剥離耐性係数はそれぞれ25、34である。この結果から、剥離の起こりやすさは、1層目のバッファコート材料に支配されていることがわかる。すなわち1層目に、剥離耐性係数の大きい材料を用いることにより、剥離が起こりにくくなり、剥離耐性係数の小さな材料を用いると剥離が起こりやすい。

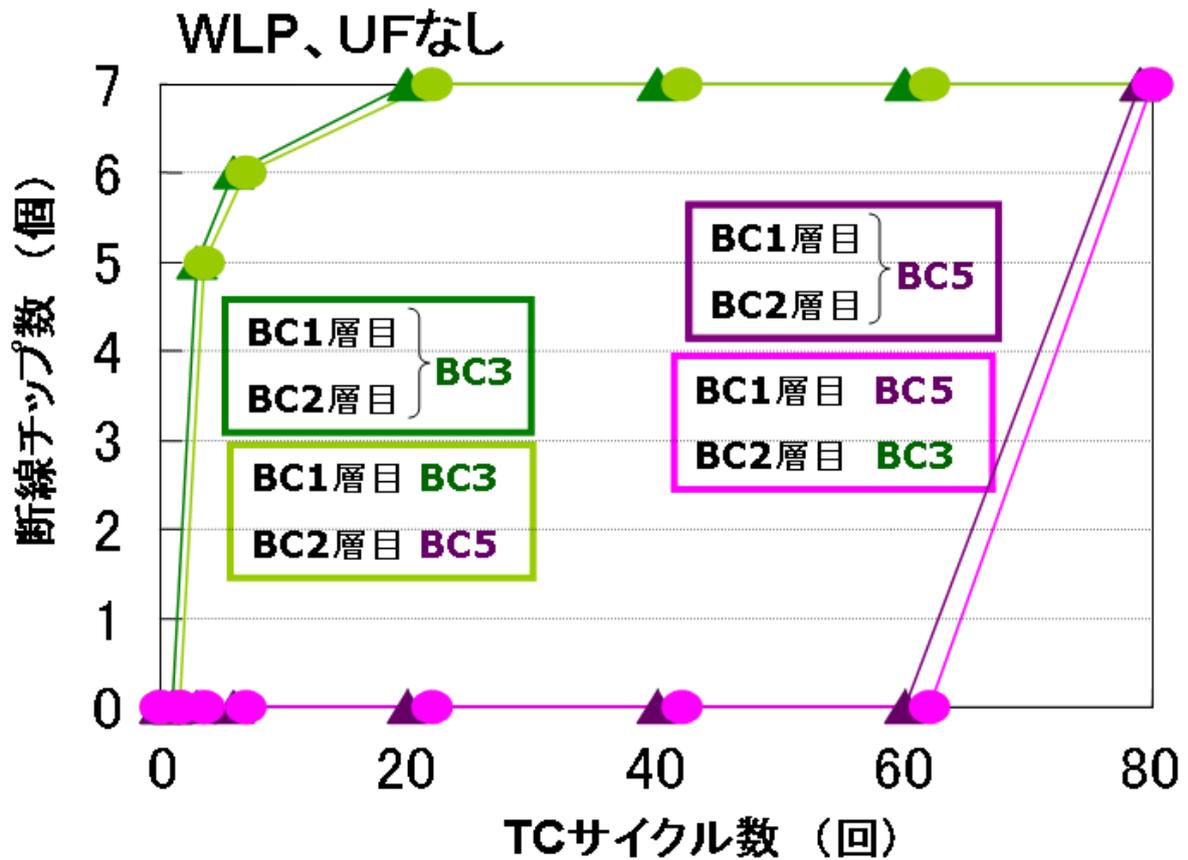


図 2. 3. 4-27 BC3 と BC5 を用いて、再配線を形成し、WLP 組立て後、温度サイクル試験を行なった結果

以上、フリップチップ型の WLP を用いて、特にバッファコート膜の材料評価を検討してきた。WLP では、どのようなバッファコート膜を用いても FEOL 素子に印加される応力は、比較的小さく、かつバッファコート膜よりもむしろインターポーザによって決定される。そのため、FEOL 素子にはバッファコート膜の応力の影響はほとんど現れなかった。

一方で、バッファコート膜の影響はむしろ WLP での再配線の剥離に顕著に見られることがわかった。ここでは、これまで小面積で測定してきた密着力だけでは剥離に対するバッファコート膜の影響を説明することができず、密着力と弾性率の逆数の積として新たに導入した剥離耐性係数が実際の WLP での剥離の起こしやすさと良い相関が取れることがわかった。この剥離耐性係数が今後材料開発の重要な指針の 1 つになることが期待できる。

2. 4. 材料評価基準書の例

材料評価基準書の分野としては、Low-k 材料、CMP 関連材料、バッファコート膜、パッケージ貫評価、プロセスフロー、マスク説明書、電気測定方法の 7 分野としてまとめた。それぞれの分野の評価基準書の一覧を次に示し、その中のからいくつかの評価基準書の例を以下に示す。なお、評価基準書一覧の中の台帳番号に黄色の表示のあるものが、例として示した評価基準書である。

評価基準書一覧

分野	評価レベル	大分類	中分類	小分類	整理番号	
①	1	単層膜評価	電氣的測定	Low-k薄膜の比誘電率評価	31001	
				Low-k薄膜のリーク電流評価	31002	
				XRRによる薄膜の膜厚高精度評価	31003	
				有機Low-k単膜のダイレクトCMP耐性評価	31004	
		積層膜評価	密着性評価	Low-k材料の密着性評価	31005	
		環境試験		吸湿条件下でのLow-k材料の密着性評価	31006	
		単層膜評価	ダメージ評価	Low-k TEOS Cap膜デポにおけるダメージ評価	31007	
	2	複数工程評価	電氣的測定	ブランケット膜におけるプロセスダメージ評価	31101	
				ブランケット膜におけるプラズマダメージ回復性評価(1)	31102	
				ブランケット膜におけるプラズマダメージ回復性評価(2)	31103	
				ブランケット膜における有機Low-kプラズマダメージ回復評価	31104	
				有機Low-kプラズマダメージ回復処理条件の適合性評価	31105	
	3	単層配線評価	電氣的測定	配線TEGIにおけるDirect CMP後の容量評価(RCプロット)	31201	
				配線TEGIにおけるDirect CMP後の容量評価(容量差分)	31202	
				配線TEGIにおける高精度容量評価	31203	
				配線TEGIにおける有機Low-k材料比較評価	31204	
				配線TEGIにおける有機Low-k材のダイレクトCMP耐性評価	31205	
				配線TEGIにおけるプラズマダメージ回復性評価	31206	
	4	多層配線評価	電氣的測定	配線TEGIにおけるDirect CMP後の容量評価(リングオシレータ)	31301	
	5	信頼性評価	電氣的測定	多層配線TEGIにおける信頼性評価(SM)	31401	
				配線TEGIにおける有機Low-k材料Cu拡散耐性評価	31402	
				有機無機ハイブリット配線TEGIにおける信頼性評価(SM)	31403	
	②	1	単層膜評価	外観評価	単膜の研磨面SEM観察とサンプル作製法	32001
				ダメージ/欠陥評価	バリアメタルCMP工程におけるスクラッチ発生挙動の解析	32002
				欠陥評価	SR-7300による高信頼性欠陥評価方法	32003
				ダメージ評価	MSQ系Low-k膜のDirectCMPにおけるSlurryダメージ評価	32004
			単一工程評価	CMPパッド評価	CMPパッド磨耗速度評価	32005
					Reflexion用ドレッサー揺動条件確立	32006
					F☆REX300用ドレッサー揺動条件確立	32007
			単層膜評価	CMPパッド評価	パッド溝構造の研磨特性への影響評価	32008
CMPパッドの摩擦・潤滑状態解析方法					32009	
欠陥評価					CMP後洗浄剤評価における欠陥評価レベル向上方法	32010
ダメージ評価					CMP後洗浄剤のporous low-kに与えるダメージ評価	32011
欠陥評価					二段洗浄における欠陥挙動評価方法	32012
				強制汚染・洗浄による欠陥評価方法	32013	
3		単層配線評価	ダメージ/欠陥評価	SR7300を用いた画像処理欠陥光学像による欠陥評価	32201	
				SR7300を用いたCu研磨後の欠陥評価	32202	
				バリア研磨後のCu表面スクラッチ数と表面硬度評価	32203	
			外観評価	バリアCMP後のウェーハ全面スクラッチ評価方法	32204	
				酸化膜CMP用段差解消性評価TEG作製検討	32205	
				Dektakの高精度平坦性評価方法	32206	
				M1配線平坦性のM2配線ショート不良への影響評価	32207	
			ダメージ評価	MSQ系Low-k膜のDirectCMPにおける絶縁破壊耐圧評価	32208	
			ダメージ回復評価	MSQ系Low-k膜のDirectCMPにおける絶縁破壊耐圧の回復性評価	32209	
			銅配線腐食評価	濃淡電池TEGを用いた銅配線の腐食評価	32210	
			外観評価	単層配線の研磨面SEM観察法とサンプル作製法	32211	
			レジスト評価	p-SiOを用いたCMP-4プロセスへの単層レジスト適用評価	32212	
				p-SiOCを用いたCMP-4プロセスへの単層レジスト適用評価	32213	
				p-SiO/p-SiOCを用いたCMP-4プロセスへの単層レジスト適用評価	32214	
			5	信頼性評価	ダメージ評価	MSQ系Low-k膜のDirectCMPにおける信頼性評価(Tddb)

③	1	単膜評価	熱物性	薄膜の熱応力特性	33101
			電気物性	吸湿前後のI-V特性(Hgプローブ)	33102
	2	積層膜評価	密着性評価	樹脂の異なるBC材を用いたCuTi BC密着性評価	33201
			成膜評価	非感光性BC膜でのBC/SiN密着性評価	33202
	3	プロセス 影響評価	密着性評価	BC膜上へのSiN成膜評価	33203
				バッファコート(BC)表面処理によるCuTiBC密着性評価	33301
				加温条件でのCuTiBC密着性評価	33302
				CuTiBC密着性評価 表面へのO ₂ アッシング圧力条件検討	33303
				BC材料へのO ₂ アッシング処理による表面形状評価	33304
				BGテープ/BC粘着力評価 O ₂ アッシング圧力条件検討	33305
				D11011再配線プロセスBC開口部加工形状評価	33306
				D11015再配線プロセスBC開口部加工形状評価	33307
			D11028再配線プロセスBC開口部加工形状評価	33308	
			D11052再配線プロセスBC開口部加工形状評価	33309	
	電気物性	再配線狭間隔幅パターンによるBC材料のIV耐圧評価	33310		
		BC再配線プロセス再現性評価	33311		
	汚染評価	再配線工程におけるBC上の金属汚染評価	33312		
	5	信頼性評価	電界加速試験	BC/p-SiNイオンマイグレーション評価	33501
				BC2層イオンマイグレーション評価	33502
				非感光性BC膜でのイオンマイグレーション評価	33503
⑤	4	プロセス 耐性評価	フラックス洗浄耐性	大型FC-BGA(C4)のBC不良評価	35411
			UBMめっき評価	大型FC-BGA(C4)ウェーハの不良評価	35412
			ボール搭載性評価	WLPチップのバンブル試験による 再配線部の破壊箇所評価	35413
				大型FC-BGA(C4)チップのバンブシェア試験強度評価	35414
			Cuポスト	大型FC-BGA(Cuポスト)チップのバンブシェア試験強度評価	35416
	5	パッケージ評価	WLP	BCによる実装性評価(SAT、IR顕微鏡)	35511
			大型FC-BGA(C4)	実装、信頼性評価 大型FC-BGA(C4) 不良解析(イオンミリング法)	35512
				BCによる実装性評価(SAT)	35513
				不良解析(IR顕微鏡)	35514
			大型FC-BGA (Cuポスト)チップ	実装、信頼性評価 大型FC-BGA(Cuポスト) 不良解析(イオンミリング法)	35515
				不良解析(IR顕微鏡)	35516
				不良解析(デジチェーン)	35517

⑥	3	CMP用PF	マルチ層配線	SiO₂/単層レジスト	36101	
				SiOC/単層レジスト	36102	
				SiOC+SiO₂/単層レジスト	36103	
	4	4R用PF	マルチ層配線	p-SiOC	36201	
				E11066HB	36202	
				E11097	36203	
				E11105	36204	
				E11120	36205	
		T2用FEOL付きPF	T2 FEOL	FEOL+マルチ層配線	T2 FEOL プロセスフロー	36300
					p-SiOC	36301
			FEOL+マルチ層配線	E11066HB	36302	
				E11097	36303	
				E11105	36304	
		T3用FEOL付きPF	T3 FEOL	FEOL+マルチ層配線	T3 FEOL プロセスフロー	36400
					p-SiOC	36401
			FEOL+マルチ層配線	E11066HB	36402	
				E11097	36403	
				E11105	36404	
		BC用PF	マルチ層配線		D11011	36501
					D11015	36502
					D11028	36503
					D11052	36504
			BC イオンマイグレーション用 マルチ層配線		D11011/p-SiN	36551
	D11015/p-SiN				36552	
	D11028/p-SiN				36553	
	D11011/2層				36571	
	D11015/2層				36572	
	D11028/2層				36573	
	5	組立プロセス	組立プロセス	再配線狭間隔幅パターンによるIV耐圧評価プロセスフロー	36701	
				再配線プロセス D11052	36702	
				大型FC-BGA(C4)組立プロセス	36703	
				大型FC-BGA(Cuポストパンチ)組立プロセス	36704	
				WLP組立てプロセス	36705	
CAST-T2還元チップ組立プロセス				36706		
ハーフカットウェーハプロセス				36707		

⑦	3	CMP	CMP-C2	CMP-C2マスク説明書	37101
	4	4R	多層配線	4R 概要	37201
				4R 揃パターン	37202
				4R つづらパターン	37203
				4R ビアチェーン	37204
				4R TDDB	37205
				4R EM	37206
				4R SM	37207
				4R Open check	37208
				4R Short check	37209
		T2	FEOL付多層配線	T2 マスク説明書	37301
				T2 TEG概要	37302
				T2 PAD配置図	37303
				T2 PN接合	37304
				T2 ゲート容量	37305
				T2 抵抗	37306
				T2 SEM	37307
				T2 NMOS	37308
				T2 寄生MOS	37309
				T2 リングオシレータ	37310
				T2 アンテナ	37311
				T2 腐食	37312
		T3	FEOL付多層配線	T3 マスク説明書	37401
	5	CAST-PKG1	大型FC-BGA	大型FC-BGA 鉛フリー マスク説明書	37501
				大型FC-BGA Cuポストバンプ マスク説明書	37502
				大型FC-BGA インターポーザーマスク説明書	37503
		WLP	BC評価用	WLPインターポーザー マスク説明書	37551
	IM-01	BC評価用	イオンマイグレーション評価TEG マスク説明書	37601	

⑨	4	4R	4層配線	4R 抵抗	39101
				4R 容量	39102
				4R 耐圧	39103
				4R VC抵抗	39104
		T2接合素子	受動素子	T2 配線抵抗の評価	39201
				T2 poly-Si/拡散抵抗の評価	39202
			能動素子	T2 PN接合の評価	39221
				T2 MOSTランジスタの評価	39222
			特殊素子	T2 MOS容量の評価	39223
				T2 寄生MOSTランジスタの評価	39241
		回路	T2 アンテナTEGの評価	39242	
		パッケージ	T2 リングオシレータの評価	39261	
		T3接合素子	基本素子	T2 QFP組立評価	39281
				T3 PN接合の評価	39301
				T3 MOS容量の評価	39302
				T3 配線抵抗の評価	39303
				T3 poly-Si/拡散抵抗の評価	39304
			特殊素子	T3 MOSTランジスタの評価	39305
	T3 ゲート付PN接合の評価			39321	
	T3 寄生MOSTランジスタの評価			39322	
	T3 アンテナTEGの評価			39323	
	プログラム		T3 ストレスTEGの評価	39324	
	回路		T3 ゲート付PN接合測定プログラム	39326	
	パッケージ		T3 リングオシレータの評価	39361	
	5	後工程評価	BC評価用	T3 QFP組立評価	39381
				インターポーザダイジチェーン抵抗評価	39501
				インターポーザ PN接合 ポリSi抵抗評価	39502
				WLP再配線での接合素子評価	39503
				BCキュアプロセスによる接合素子影響評価	39504
				再配線付きWLP PKGでのNMOS Tr測定法	39505
				WLP PKGでのCu強制汚染評価法	39506
	ハーファットウェー八でのCu強制汚染評価法	39507			

分野： ①Low-k、②CMP、③BC、④BG、DC、⑤一貫評価、⑥プロセスフロー、⑦マスク説明書、⑧その他評価対象材料、⑨電気測定法

評価レベル： 1:単層膜、単一工程評価、2:複数工程評価、3:単層配線評価、4:多層配線評価、5:信頼性評価、環境試験、パッケージ評価、一貫評価

材料評価基準

1. 評価対象材料名：Low-k 材料

2. 評価の目的：Low-k(薄膜)比誘電率の評価

Low-k 材料の誘電率評価において、特に 100nm を切るような薄い膜厚の Low-k 材料は、測定系に存在する寄生容量の影響を受け、本来の誘電率よりも低い誘電率が測定されることがある。そのため、寄生容量の影響を取り除く為に、複数の膜厚で測定したデータを用い、そこから膜本来の誘電率を評価する。

3. 評価項目：

Low-k 材料(薄膜)の比誘電率

4. 試料作製の手順

4-1. 評価試料作製における使用装置

SOD コーター：ACT-12SOD (東京エレクトロン)

SOD 焼成炉：ALPHA-303C (東京エレクトロン)

UV アニール装置：Rapidcure 320FC(Axcelis)

4-2. 使用 Low-k 材料

以下の 3 種類の Low-k 材料 (膜厚 100nm)

E11066 (有機、 $k=2.7$) 熱キュアプロセス

E11097 (ポーラスMSQ、 $k=2.3$) UVキュアプロセス

E11105 (ポーラスMSQ、 $k=2.4$) UVキュアプロセス

および、上記 3 種の材料の、膜厚調整したもの (膜厚 20~70nm) を用いた。

4-3. 評価試料作製手順

- ① $\phi 300\text{mm}$ 低抵抗 Bare Si ウェーハを、無機洗浄装置、レシピ 400 (表面酸化物除去、DHF40 秒処理) にて洗浄し、自然酸化膜を除去する。
- ② SOD コーターを用いて、ウェーハ上に Low-k 材料を、各材料の基準仕様に準じて塗布及びプリベークする。なお、Edge Bead Removal(EBR)幅は 3mm を基準とする。
- ③ SOD コーターに搭載されているホットプレートや、UV アニール装置、SOD 焼成炉などのアニール装置を用い、各材料の標準仕様を基に、硬化シュリンク率が同一になるようにプロセス時間を調整し、誘電率測定サンプルを作製する。

それぞれの Low-k 膜種につき、膜厚変更用の 3 グレードを準備し、さらにコーター回転数で膜厚を調整して、5 種類の膜厚のサンプルを作製した。

表 1. 作製した Low-k 膜サンプル一覧

Low-k種類 (主組成)	Low-k品番 (膜厚変更用 グレード品番)	コーター回転数	UVキュア時間	キュア後膜厚 (XRR) [nm]	シュリンク率 [%]
E11066	E11066	STD	—	100.14	5
	E11177	STD	—	69.40	6
		STD × 200%	—	50.46	4
	E11196	STD	—	34.70	6
		STD × 220%	—	24.21	6
E11097	E11097	STD	STD	99.59	4
	E11175	STD	STD	71.53	5
		STD × 190%	STD	50.02	4
	E11194	STD	STD × 50%	35.41	4
		STD × 210%	STD × 50%	23.12	6
E11105	E11105	STD	STD	102.55	10
	E11176	STD	STD	73.65	7
		STD × 160%	STD	56.98	8
	E11195	STD	STD	30.95	10
		STD × 160%	STD	20.92	10

5. 測定方法

5-1. 測定装置

膜厚計 : XRR 装置

容量測定 : 水銀プローブ CV/IV 測定装置

5-2. 測定および解析条件

① 膜厚測定

XRR 装置により下記条件で、膜中心近傍を測定し、測定結果は基板 (Si) と Low-k 膜の二層からなる単純モデルで解析し、Low-k 膜厚を求めた。求めた Low-k 膜厚を、容量測定時の酸化膜厚 (Tox) として用いた。

測定機設定 : スリット 0.1mm (incident/detector)

測定スクリプト : XRR only Chi correction.bcl
 測定モード : 2nd CCC
 測定温度 : 室温 (25degC)
 測定範囲条件 : start=0、 end=3000、 Step=10、 count=2
 解析条件 : Low-k 膜単層 + Si 基板 の二層構造
 MATERIAL は品種により変更 (MSQ=Low-k1.1 / 有機=C5H3)
 解析範囲 : 500 ~ 2000 sec

	THICKNESS (Å)	fix	low	high	MATERIAL	DENSITY (%)	fix	low	high	ROUGHNESS (Å)	fix	low	high	LAMELLAE
1	354.07	<input type="checkbox"/>	50	500	Low-k1.1	96.50	<input type="checkbox"/>	90	150	9.19	<input type="checkbox"/>	0.001	50	1
SUB.	∞	<input checked="" type="checkbox"/>	∞	∞	Si	100.00	<input checked="" type="checkbox"/>	100	100	3.76	<input type="checkbox"/>	0.001	10	1

図 1. 代表的な解析例 (E11097 膜厚 35.41nm)

膜厚解析においては、密度 (DENSITY) の上限/下限値として、90%-150%を用いた。この範囲を超える場合、膜質データ (MATERIAL) または測定精度に問題があると考えられる。

波形と計算値との GOF が 0.1 未満となるようであれば、測定の精度は十分であり、0.03 未満であれば、非常に良い精度であると言える。

② CV 測定

水銀プローブ CV/IV 測定装置を用いて、Low-k 膜の容量を測定した。測定点は中心から 10%刻みで、半径上 90%までの 9 点を測定し、中央付近の 2 点 (10%,20%) をデータとして採用した。以下の図 2 には各膜厚の半径上 90%までの 9 点測定データを示す。

測定モード : parallel
 高周波条件 : 100kHz ±15mV
 測定電圧範囲 : 電界強度換算で -2MV/cm ~ +2MV/cm (膜厚により電圧は変動)
 測定点数 : 標準 40 点 電圧範囲により若干の調整を行った

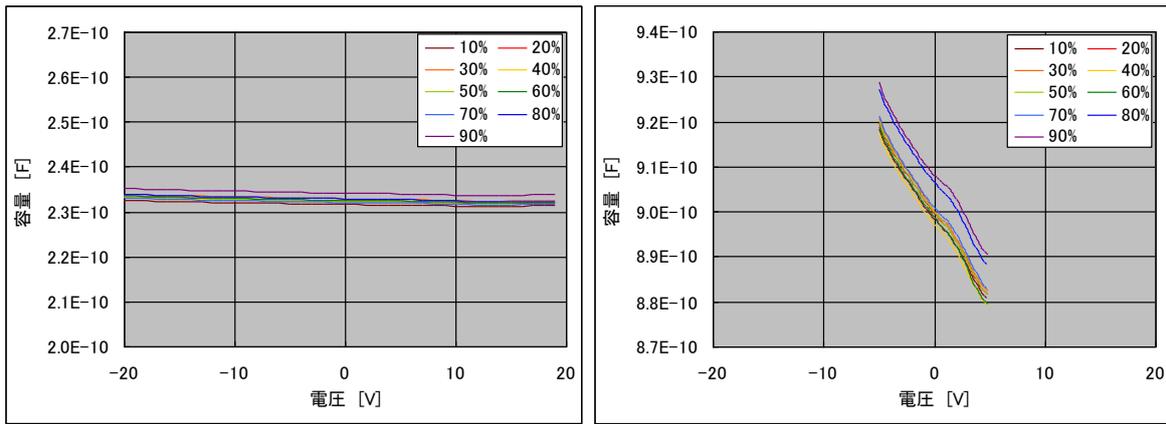


図 2. 代表的な CV 測定例 (E11066 左図：膜厚 100.14nm 右図：膜厚 24.21nm)
 膜厚の厚いもの (図 2. 左図) ほど、電圧による容量変化が少なく、膜厚の薄いもの (図 2. 右図) ほど、電圧による容量変化が顕著になる。一方、測定点間ばらつきは、ほぼ同程度の範囲に収まる。

面内ばらつきの傾向としては、中心側が低容量、外周側が高容量に一義的に増加する傾向が見られ、これは膜厚が外周に行くほど薄くなりやすい SOD 塗布膜の傾向によるものと思われる。

また、特に薄い膜厚のサンプルで顕著であるが、測定電圧の上限、下限近傍において、容量値が一定にならず、変化の途中であることが多い。これは、印加電圧の範囲が狭い為、Si 基板に発生する空乏層容量が、十分に蓄積状態ないしは空乏状態に達しておらず、寄生容量が変動している為と思われる。

従来手法では、印加電圧を電界強度換算で $\pm 4\text{MV/cm}$ 程度までとしていたが、薄膜は耐圧が低下するため、従来の 4MV/cm という電圧は膜の劣化が進行し、ブレークダウンや測定結果のばらつきの原因となる。そのため、本評価基準においては、従来のように容量の最大値である C_{max} 、すなわち、完全に蓄積状態となったときの容量を測定するのではなく、印加電圧が 0V であるときの容量を用い、寄生容量を計算的に除外することで、膜の真容量の測定を可能としている。詳細は後述する。

③ 容量のデータ整理・・・寄生容量の除外と真容量の計算

測定したデータは、従来手法では、容量の最大値である C_{max} の値から、比誘電率を計算していた。本評価基準においては、 0V での容量値を用いて、さらにこの容量の膜厚依存をプロットし、そこから空乏層容量を含む寄生容量を算定して、真の容量を求め、膜の比誘電率を得る。

本手法において、系の寄生容量の構成について、以下のように仮定をする。すなわち、「測定の 0V 印加における寄生容量は、Low-k の膜厚によらず、Low-k の品種ごとに一定」である。

この仮定は、寄生容量の構成に関するモデルとフラットバンド電圧および空乏層容量に対する扱いによる。Si ウェーハ上の Low-k 膜と言う構造を等価回路で表す場合、測定される容量は、Low-k 容量と絶縁抵抗の並列回路に対し、直列に Si 基板の空乏化による容量と、Si-背面電極間の寄生容量が連なったモデルで表される。Si-背面電極間の寄生容量は、膜厚や品種による差の一切無い容量であり、その量が分れば測定結果より除外することは容易になる。これに対し、Si 基板の空乏化による容量（空乏層容量）は、空乏化の度合いが品種、電圧などにより変化するため、この値を一定にして測定することが好ましい。

そのため、「フラットバンド電圧は、Low-k 品種により一定」という仮定をする。これは、フラットバンド電圧が、製膜プロセスによる Si 基板や膜のチャージアップ量で決められると言う考えに基づいたものである。フラットバンド電圧が品種間で一定であれば、特定の電圧で測定した場合の空乏層容量は、Si 基板品種が同じであれば等しくなるため、前述の Si-背面電極間の寄生容量と同様、除外することが容易になる。

特定の電圧における空乏層容量が同じであるとなれば、最もノイズの少ない電圧を用いるのがベストである。薄膜では、高リーク電流になりやすい傾向があり、印加電圧が高いと、高リーク電流や膜の劣化により、容量の測定自体が正確に行われてない可能性がある。そこで、最もリーク電流の少ない 0V を基準として用いることとした。以上が本測定法の理論的背景となる。

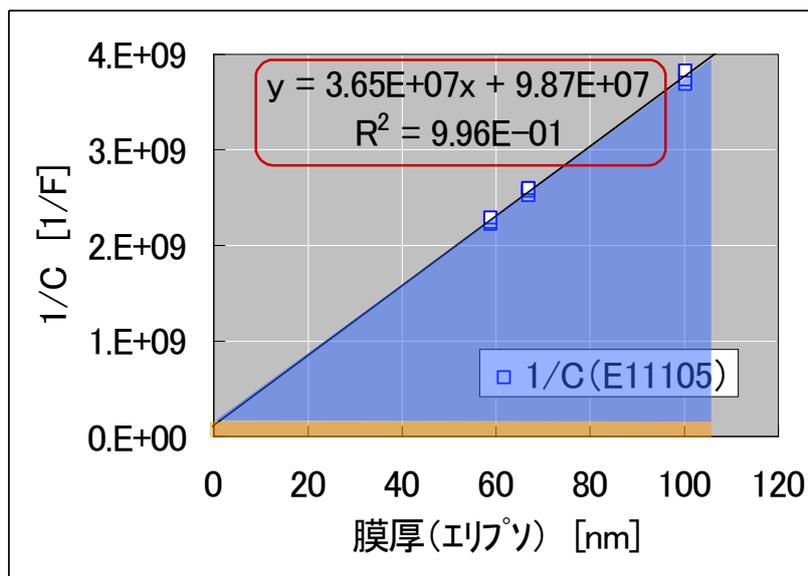


図 3. (1 / 0V 容量) vs 膜厚プロット (E11105)

計算方法につき簡便に説明する。図3は、膜厚をX軸、各膜厚の0Vにおける容量測定値の逆数をY軸としてプロットしたものである。このプロットにおける青三角で示された領域は、膜厚に依存し容量が変化する部分、すなわち膜の真容量に相当する。一方で、このプロットのY切片より水平に伸びる線より下の領域、橙色の四角で示される部分は、膜厚に関係なく存在する寄生容量となる。

このプロットの切片は、寄生容量の値を示し、このプロットの傾きから、以下の式に従い、膜の比誘電率kを求めることが出来る。すなわち、傾きを β とすると、

$$k = 1/\beta A \epsilon_0 \quad \text{ただし、} A : \text{電極面積、} \epsilon_0 : \text{真空の誘電率}$$

6. 測定結果

6-1. 膜厚測定

表2に、膜厚測定の結果を示す。

表2. XRRによる膜厚測定結果

Low-k種類 (主組成)	Low-k品番 (膜厚変更用 グレード品番)	コータ回転数	UVキュア時間	キュア後 XRR			
				膜厚 [nm]	ラフネス [nm]	密度 [%]	GOF [-]
E11066	E11066	STD	-	100.14	0.51	110.67	0.018
	E11177	STD	-	69.40	0.62	111.70	0.024
		STD×200%	-	50.46	0.54	111.11	0.023
	E11196	STD	-	34.70	0.25	111.52	0.014
		STD×220%	-	24.21	0.10	111.67	0.018
E11097	E11097	STD	STD	99.59	1.01	94.85	0.023
	E11175	STD	STD	71.53	0.75	95.10	0.018
		STD×190%	STD	50.02	0.90	95.95	0.014
	E11194	STD	STD×50%	35.41	0.92	96.51	0.010
		STD×210%	STD×50%	23.12	0.60	94.81	0.014
E11105	E11105	STD	STD	102.55	0.44	92.60	0.037
	E11176	STD	STD	73.65	0.36	93.86	0.019
		STD×160%	STD	56.98	0.36	93.80	0.016
	E11195	STD	STD	30.95	0.00	92.34	0.025
		STD×160%	STD	20.92	0.00	96.10	0.013

密度[%]とは、膜質データ (MATERIAL) に記載された密度に対し、測定された膜の密度がどの程度であることを示している。同じ品種の膜厚変更品は、すべて同じ程度の密度を有しており、膜の組成に大きな差が無いことが言える。計算と測定の整合度であるGOFは、最も高いもので0.03を超えるものの、おおむね0.03未満で収まっており、膜質やモデルの選定が適切であることを示している。

X線が照射される測定スポットの中での膜厚ばらつきを示すラフネスは、膜厚が薄いほどその比率が高くなる傾向であり、最も大きいもので膜厚の3%近くになるが、これは測定精度として許容できる範囲である。

なお、このような薄い膜をエリプソメーターで測定した場合、GOF が大きく悪化したり、屈折率の値が変動したりすることが確認されており、薄膜の膜厚測定精度では、XRR のほうが優れていると判断し、今回は全ての膜厚に関するデータを XRR にて測定している。

6-2. 容量測定

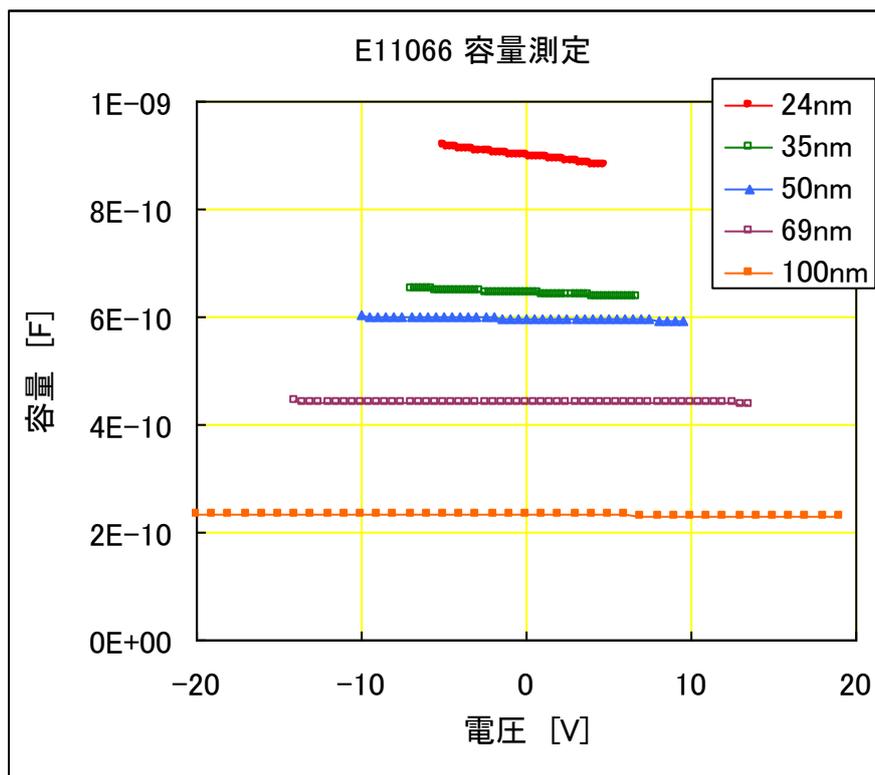


図 4. E11066 膜厚変更品の C-V 測定カーブ

C-V 測定は、前述の通り、電圧のスweep範囲を電界強度にて規定している為、膜厚違いの測定データを同じ C-V プロットに乗せると図 4 のようになる。薄い膜ほど測定範囲は狭く、一方で薄い膜ほど容量の変動(最大-最小の差)は大きい。従来の 100nm 膜厚などでは、電圧による変動がほとんど見られない。

容量の変動は、先に説明した空乏層容量の影響により発生する。膜の容量が大きくなる薄膜では、空乏層容量の変動による測定値の変化が大きくなる。これは、直列容量が、容量の逆数の和で示されることを考えれば理解できる。従来の膜厚では低抵抗ウェーハを用いた場合、容量変動が極めて小さくなるために、どのような条件で測定しても高精度に膜の容量を測定することができていた。

容量測定結果より、膜厚[nm] (Tox)、0Vでの容量[F] (C(0V))、測定範囲での最大容量[F](Cmax)、Cmaxから計算された比誘電率(k(meas))、および電極面積S[cm²]を表3にまとめた。Cmaxから求められる比誘電率は、膜厚が薄いほど低くなる傾向があり、100nmと24nmでは0.1以上の比誘電率の差があるような結果となる。

表3. E11066の容量測定結果

Tox	100.14		69.40		50.46		34.70		24.21	
Cmax	2.33E-10	2.34E-10	4.43E-10	4.44E-10	6.02E-10	6.03E-10	6.52E-10	6.54E-10	9.18E-10	9.20E-10
C(0V)	2.32E-10	2.32E-10	4.40E-10	4.42E-10	5.98E-10	5.98E-10	6.43E-10	6.44E-10	8.98E-10	9.00E-10
S	0.0098	0.0098	0.0130	0.0130	0.0130	0.0130	0.0098	0.0098	0.0098	0.0098
k(meas)	2.685	2.695	2.677	2.685	2.649	2.650	2.609	2.615	2.562	2.566

E11097の測定結果を表4に示す。E11066同様に、膜厚が薄いものではkが低下する傾向がある。

表4. E11097の容量測定結果

Tox	99.59		71.53		50.02		35.41		23.12	
Cmax	2.68E-10	2.68E-10	3.76E-10	3.76E-10	5.30E-10	5.31E-10	7.38E-10	7.43E-10	1.10E-09	1.11E-09
C(0V)	2.67E-10	2.66E-10	3.73E-10	3.73E-10	5.25E-10	5.26E-10	7.29E-10	7.33E-10	1.08E-09	1.09E-09
S	0.0129	0.0129	0.0130	0.0130	0.0130	0.0130	0.0129	0.0129	0.0129	0.0129
k(meas)	2.344	2.343	2.344	2.344	2.309	2.315	2.296	2.311	2.232	2.250

E11105の測定結果を表5に示す。上記2種のLow-k材に比べて、膜厚による比誘電率の差が小さく見られる。

表5. E11105の容量測定結果

Tox	102.55		73.65		56.98		30.95		20.92	
Cmax	2.63E-10	2.69E-10	3.69E-10	3.75E-10	4.67E-10	4.73E-10	8.60E-10	8.86E-10	1.26E-09	1.30E-09
C(0V)	2.61E-10	2.67E-10	3.67E-10	3.72E-10	4.64E-10	4.69E-10	8.48E-10	8.74E-10	1.23E-09	1.27E-09
S	0.0130	0.0130	0.0130	0.0130	0.0130	0.0130	0.0130	0.0130	0.0130	0.0130
k(meas)	2.352	2.400	2.369	2.407	2.320	2.347	2.320	2.390	2.303	2.376

これらのデータを元に、寄生容量を除外する計算を行った。

6-3. データの処理

取得した C(0V)のデータと膜厚のプロットを作製し、傾きと切片から寄生容量と比誘電率を計算した。なお、今回のデータ整理において、縦軸に $1/(C/S)$ を用いているが、これは実験途中において、水銀プローブの電極交換が有り、電極面積が大きく変化した為の処置である。通常は、計算が煩雑になるので、縦軸には $1/C$ を用いればよい。

次ページ図 5 に、E11066、E11097、および E11105 のプロットを示す。

最小自乗法にて作製した一次線形の分散は、極めて良好でほとんど 1.00 になった。使用している点数は 10 点なので、寄生容量の切り離しに関して、十分にモデルと現実が整合していることを示している。また、膜厚による比誘電率の変化があれば、プロットから乖離してくるはずであるが、今回の 3 品種ではそのような傾向が見られない。この点については後ほど寄生容量を除外し、それぞれの膜厚での比誘電率を求め、検証を行う。

表から求められる傾き、及び切片は、品種ごとに差があることが分る。CASMAT で標準特性として、比誘電率は

$$E11066=2.65、E11097=2.33、E11105=2.42$$

であるとされている。3つのプロットより計算されたそれぞれの品種の比誘電率は、

$$E11066=2.74、E11097=2.37、E11105=2.38$$

となり、従来の特性値 ± 0.1 の範囲に収まっている。従来の特性値は、100nm、ないし 150nm の 1 点で測定されたものであり、その厚みでの寄生容量を加味していない為ズレが生じたとも考えられる。

また、今回の 3 品種で寄生容量は電極面積 0.0098cm^2 あたり、

$$E11066=10946\text{pF}、E11097=12454\text{pF}、E11105=22502\text{pF}$$

となり、他 2 種に比べ E11105 が倍程度大きい。これは、フラットバンド電圧が大きいことを示しており、膜中ないし Si 基板上的チャージアップが起こりやすい品種・プロセスであると言える。

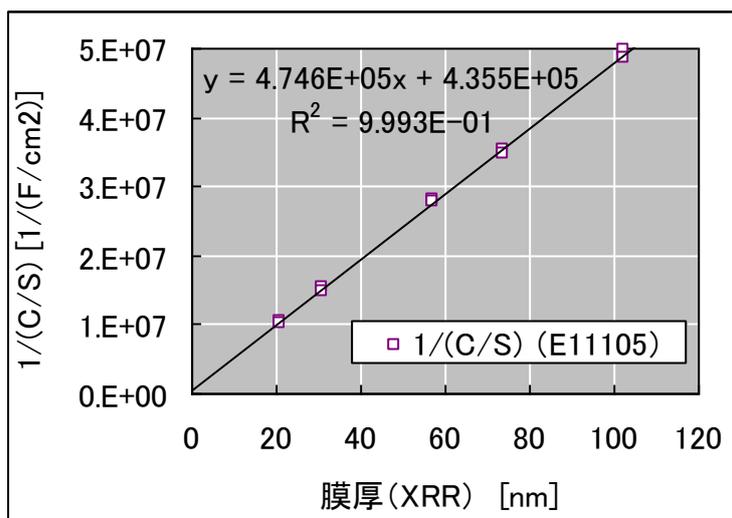
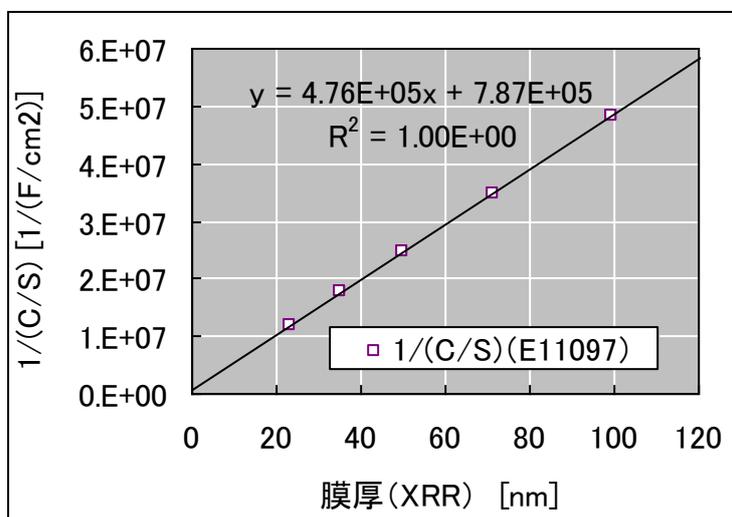
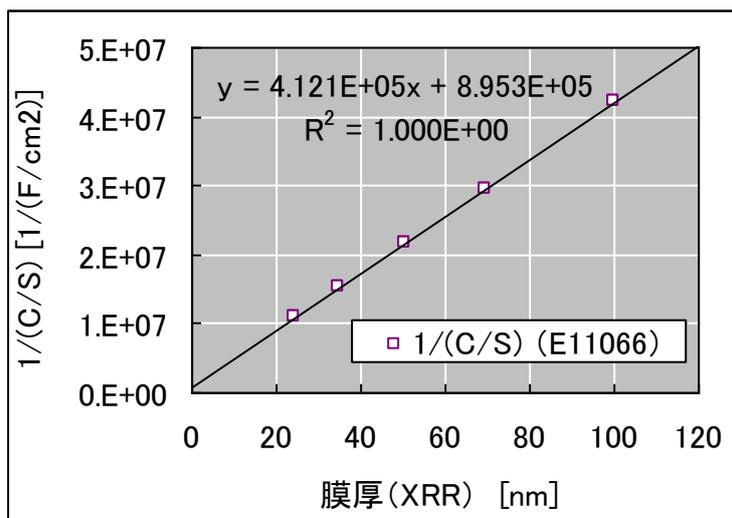


図 5. $1/C(0V)$ vs 膜厚プロット (上 E11066 中 E11097 下 E11105)

上記で計算された比誘電率は、膜厚によらず一定である場合の平均的なものである。もし薄膜で比誘電率が変化するのであれば、薄い膜ほど比誘電率が計算値から乖離するものと思われる。そこで、プロットから求めた寄生容量を用い、個々の膜厚での比誘電率 ($k(\text{calc})$) を求めた。これを $k(\text{meas})$ と比較し、その結果を以下の図 6 に示す。

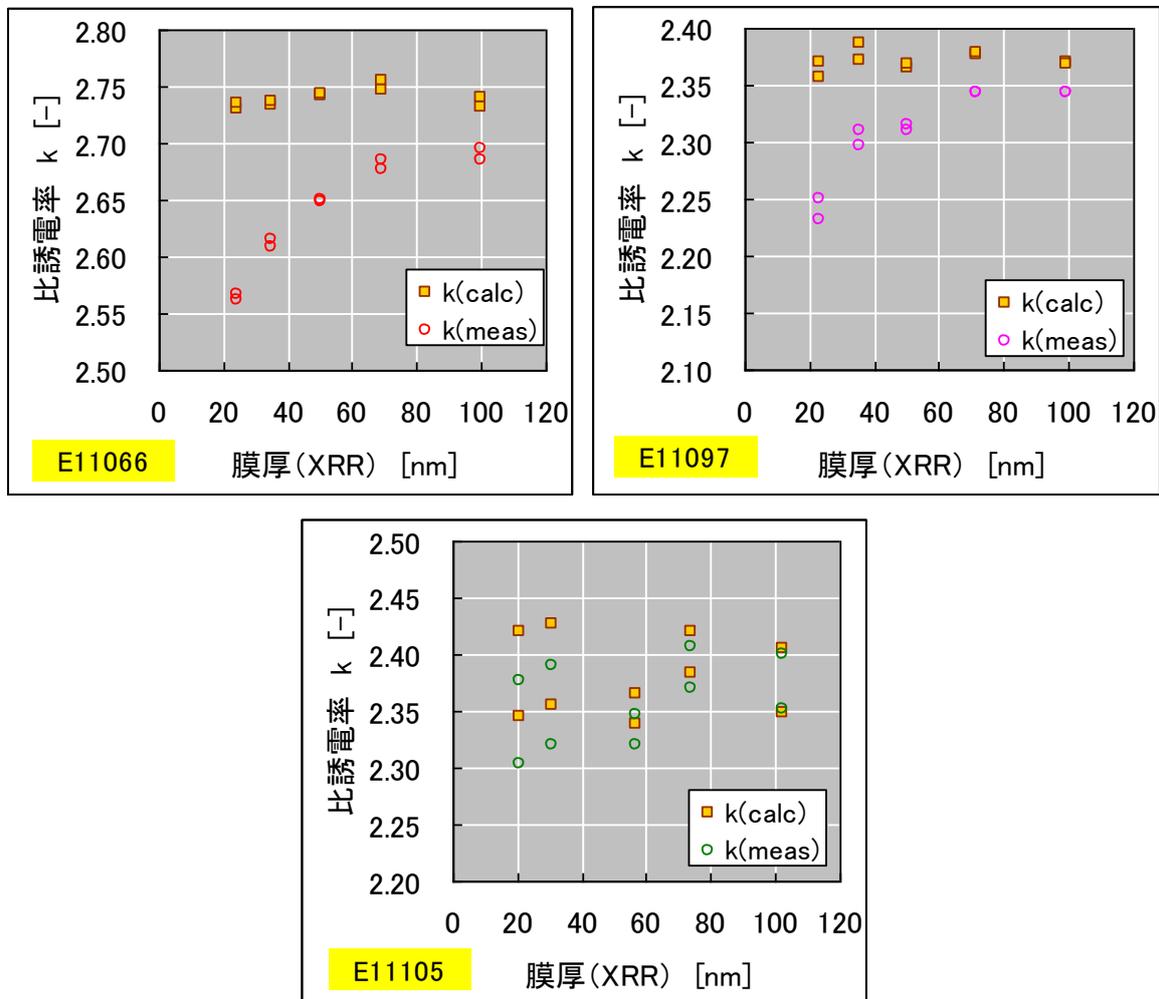


図 6. $k(\text{calc})$ と $k(\text{meas})$ の比較 (左上 E11066、右上 E11097、下 E11105)

プロットを行うと E11066 と E11097 は、 $k(\text{calc})$ に膜厚依存は無く、非常に狭い範囲で収束しているが、 $k(\text{meas})$ は薄い膜ほど乖離していることがよくわかる。E11105 は、 $k(\text{calc})$ と $k(\text{meas})$ の差が小さい。これは寄生容量の値が大きい、すなわち、プロットの切片である ($1/\text{寄生容量}$) の値が小さいことに起因する。

以上の測定より、薄膜の比誘電率は、従来法で測定すると膜本来の値より小さく見積もられることが分った。一方で、本報告の手法によれば、複数の膜厚での測定が必要ではあるが、膜本来の比誘電率を求めることが可能であることが分った。

7. 考察

Low-k 膜を薄膜化していくと、ある厚みで、分子配向、スタッキング、表面層の影響などが大きくなることや、プロセスの完結度が変わること、厚膜とは異なる特性を発揮するのではないかと予想されてきた。

今回の測定結果は、3種のLow-k膜について、少なくとも20nm前後までは、その比誘電率が変化しないことが示された。Low-k膜厚20nmの世代は、ITRSのロードマップでも2020年前後の世代と予想されており、適用されるまでにはまだ時間があるが、今回の測定法を用いることで、将来のLow-k材開発に必要な薄膜での情報（比誘電率など）を得ることができるので有効な評価方法であると考えられる。

8. 残された課題

本手法では、高リークに耐えない薄膜を測定する手法として、0Vでの容量を測定し、これをデータとして用いている。ここで、0Vでの空乏層容量がウェーハ品種同一であれば同じであるという仮定を用いているが、基材が半導体でなく金属である場合、空乏層の影響が無くなり、さらに解析が容易になる可能性がある。

このような寄生容量の構成の異なる系にて、薄膜の容量測定を検証することで本測定の結果を確認し、より確かなものとする必要がある。また、今後様々な材料にて、膜厚依存性の検証を行い、Low-k材料と利用される寸法についての知見を蓄積することが必要である。

9. 関連技術情報

技術情報 B-H21-4004 薄膜品のリーク電流測定・誘電率測定に関する検討

技術情報 B-H21-4005 薄膜品のリーク電流測定・誘電率測定に関する検討

技術情報 B-H21-4007 第12回研究成果報告会 微細化に対応したLow-k評価基盤の確立

技術情報 B-H21-4014 第13回研究成果報告会 微細化に対応したLow-k評価基盤の確立②

技術情報 B-H22-4002 第84回技術委員会報告資料 Low-k薄膜の評価法

10. その他

特になし

11. データベース

特になし

材料評価基準

1. 評価対象材料名：Low-k 材料

2. 評価の目的：XRR による薄膜の膜厚高精度評価

Low-k 材料の誘電率評価において、特に 100nm を切るような薄い膜厚の Low-k 材料は、従来利用されているエリプソメトリを用いて膜厚を測定すると、計算モデルの不一致から誤差が大きくなることがある。本評価基準では、100nm 以下の膜厚を高精度に測定するため、X 線膜厚・構造評価装置（XRR）を用いる手法、およびエリプソメトリでの測定結果との差異について述べる。

3. 評価項目：

Low-k 材料の膜厚（ウェーハ内の任意の位置における）

4. 試料作製の手順

4-1. 評価試料作製における使用装置

SOD コーター： ACT-12SOD（東京エレクトロン株式会社）

UV アニール装置： RapidCure 320FC（Axcelis）

SOD ファーネス： ALPHA-303（東京エレクトロン株式会社）

X 線膜厚・構造評価装置： Metrix-L（英国 Bede 社）以下 XRR と省略

分光エリプソメーター： RE-3100（大日本スクリーン株式会社）

以下エリプソと省略

4-2. 使用 Low-k 材料

以下の 2 種類の Low-k 材料（膜厚 20～100nm）

E11066（有機、 $k=2.7$ ） 熱キュアプロセス

E11105（MSQ、 $k=2.4$ ） UV キュアプロセス

4-3. 評価試料作製手順

- ① $\phi 300\text{mm}$ 低抵抗 Bare Si ウェーハを、無機洗浄装置、レシピ 400（表面酸化物除去、DHF40 秒処理）にて洗浄し、自然酸化膜を除去する。
- ② SOD コーターを用いて、ウェーハ上に Low-k 材料を、各材料の基準仕様に準じて塗布及びプリベークする。なお、Edge Bead Removal(EBR)幅は 3mm を基準とする。
- ③ SOD コーターに搭載されているホットプレートや、UV アニール装置、SOD 焼成炉などのアニール装置を用い、各材料の標準仕様を基に、硬化シュリンク率が同一になるようにプロセス時間を調整し、膜厚測定サンプルを作製した。
それぞれの Low-k 膜種につき、膜厚違いの 5 サンプルを準備した。

表 1. 作製した Low-k 膜サンプル一覧

Low-k種類 (主組成)	Low-k品番 (膜厚違い グレード品番)	コータ回転数	UVキュア時間	キュア後膜厚 XRR [nm]
E11105	E11105	STD	STD	102.55
	E11176	STD	STD	73.65
		STD×160%	STD	56.98
	E11195	STD	STD	30.95
		STD×160%	STD	20.92
E11066	E11066	STD	-	100.14
	E11177	STD	-	69.40
		STD×200%	-	50.46
	E11196	STD	-	34.70
		STD×220%	-	24.21

5. 測定方法

5-1. 測定装置

膜厚計：XRR 装置、エリプソ

5-2. 測定および解析条件

膜厚測定

XRR 装置により下記条件で、膜中心近傍の 1 点を測定した。

測定機設定： スリット 0.1mm (incident/detector)

測定スクリプト： XRR only Chi correction.bcl

測定モード： 2nd CCC

測定温度： 室温 (25degC)

測定範囲条件： start=0、 end=3000、 Step=10、 count=2

解析条件： Low-k 膜単層+Si 基板 の二層構造

測定結果は基板 (Si) と Low-k 膜の二層からなる単純モデルで解析し、Low-k 膜厚を求めた。求めた Low-k 膜厚を、容量測定時の酸化膜厚 (Tox) として用いた。

MATERIAL は品種により変更 (E11066 は C5H3、E11097、E11105 は Low-k1.1)

解析範囲： 500~2000 sec

Model														
	THICKNESS (Å)	fix	low	high	MATERIAL	DENSITY (%)	fix	low	high	ROUGHNESS (Å)	fix	low	high	LAMELLAE
1	354.07	<input type="checkbox"/>	50	500	Low-k1.1 ▼	96.50	<input type="checkbox"/>	90	150	9.19	<input type="checkbox"/>	0.001	50	1
SUB.	∞	<input checked="" type="checkbox"/>	∞	∞	Si ▼	100.00	<input checked="" type="checkbox"/>	100	100	3.76	<input type="checkbox"/>	0.001	10	1

図 1. 代表的な解析例 (E11097 35.41nm)

膜厚解析においては、密度 (DENSITY) の上限/下限値として、90%-150%を用いた。この範囲を超える場合、膜質データ (MATERIAL) または測定精度に問題があると考えられる。波形と計算値との GOF が 0.1 未満となるようであれば、測定の精度は十分であり、0.03 未満であれば、非常に良い精度であるといえる。

精度良く数値を得る為には、ある程度近い数字を初期値として入力する必要がある。例えば、膜厚がおよそ 100nm であるのが判っていれば、膜厚の初期値を 1000 Å、上下限を±10%程度に絞って計算を行い、場合によっては特定のパラメーターについて Fix を使用して、他のパラメーターの推定値を得ることも有効となる。Fix は特に DENSITY に対し使用すると効果が高い。

なお、XRR は測定スクリプトを編集することで、任意の、ないしは多数の点を測定することが可能である。詳細な操作法については本報告の Appendix に記載した。

6. 測定結果

6-1. 膜厚測定

表2. キュア後膜厚の測定結果

Low-k種類 (主組成)	XRR測定				エリプソ測定		
	膜厚 [nm]	ラフネス [nm]	密度 [%]	GOF [-]	膜厚 [nm]	n [-]	GOF [-]
E11105	102.55	0.44	92.60	0.037	102.87	1.310	992-994
	73.65	0.36	93.86	0.019	73.72	1.318	994-995
	56.98	0.36	93.80	0.016	57.35	1.322	994-995
	30.95	0.00	92.34	0.025	27.86	1.380	996
	20.92	0.00	96.10	0.013	23.48	1.389	993-994
E11066	100.14	0.51	110.67	0.018	100.47	1.607	996-997
	69.40	0.62	111.70	0.024	69.81	1.601	991-995
	50.46	0.54	111.11	0.023	49.75	1.621	994-995
	34.70	0.25	111.52	0.014	33.80	1.646	994-995
	24.21	0.10	111.67	0.018	23.78	1.670	995

表2に、膜厚測定の結果を示す。密度[%]とは、膜質データ（MATERIAL）に記載された密度に対し、測定された膜の密度がどの程度であることを示している。同じ品種の膜厚違い品は、すべて同じ程度の密度を有しており、膜の組成に大きな差が無いことがいえる。計算と測定の整合度であるGOFは、最も高いもので0.03を超えるものの、おおむね0.03未満で収まっており、膜質やモデルの選定が適切であることを示している。

X線が照射される、測定スポットの中での膜厚ばらつきを示すラフネスは、膜厚が薄いほどその比率が高くなる傾向であり、最も大きいもので膜厚の3%近くになるが、これは測定精度として許容できる範囲である。

エリプソメーターは材料を光学的な手法で測定しており、測定時には膜の物性値である屈折率nと、吸光係数kが合わせて測定される。解析にはこの物性値が用いられる。表2の結果では、薄膜ほどエリプソで測定されたnの値が高くなっているが、膜は同じ組成のものを用いている為、nは一定値のはずである。エリプソ測定のGOFは、999が最も高く、995以上であれば十分な精度が得られているといえるが、薄い膜のサンプルでは、GOFがやや低いものが見られる。

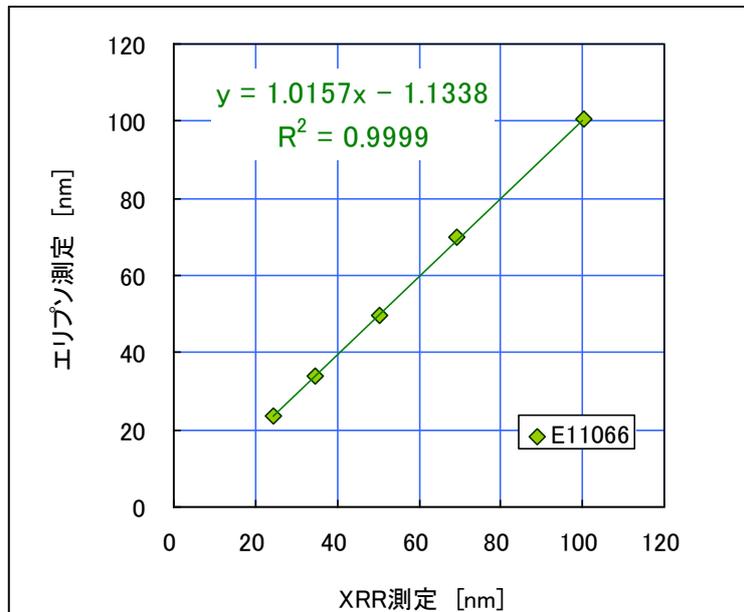
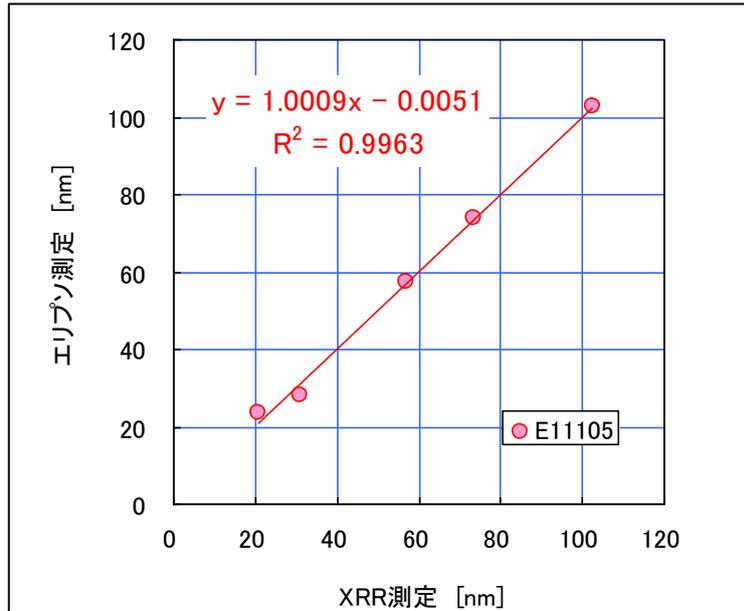


図 2. 膜厚測定値の比較 (XRR/エリプソメータ)

XRR とエリプソの測定結果を比較すると、図 2 の様になる。XRR とエリプソの測定値の比は、E11105 で 1.0009 と、ほぼ 1 に近く、切片は 0.0051 となっている。すなわち、測定結果の間には、平均的には 0.005nm のオフセット (差) があるだけといえる。しかし、20nm の点ではこの関係が大きく崩れており、3nm ほどの膜厚差が見られる。この差は 20nm という厚みに対しては非常に大きい差であり、解析上無視できないものとなっている。

一方で、E11066 の場合は、膜厚に関係なくすべて同一の線形に乗っている。その比は 1.0157 であることから、両測定の間には 1.5% のスパン誤差がある。また、切片も -1.1338 と大きく、薄膜ではこの -1nm は大きく解析結果に影響する。

6-2. 測定差の検証

このように膜厚に差がある場合、どちらの測定結果がより真の膜厚に近いかを検証しなければならない。そこで、評価基準書 31001 に記載の手法により測定した、Low-k 膜の比誘電率のデータを解析する際に、XRR およびエリプソを用い測定した膜厚を用いてそれぞれ計算を行った結果を以下に示す。

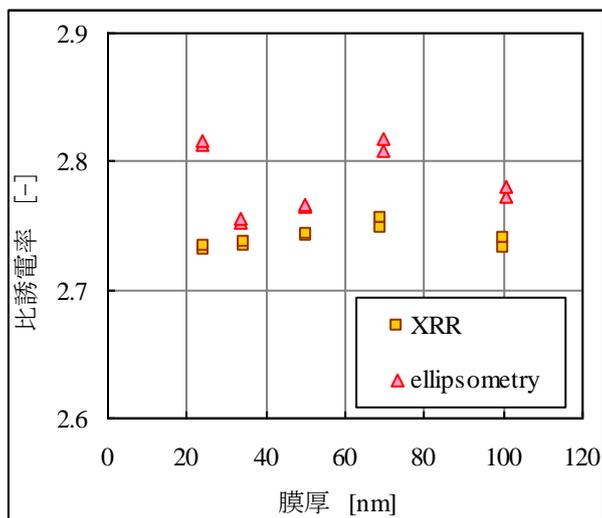


図 3. 膜厚と比誘電率の関係 (E11066)

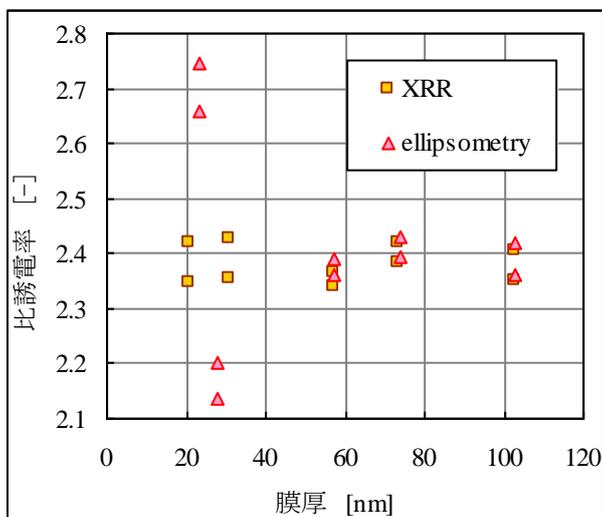


図 4. 膜厚と比誘電率の関係 (E11105)

黄色四角で示されるのが、寄生容量を計算的に除外した比誘電率である。この比誘電率は、膜質が同一であるならば、膜厚に関係なく一定となるはずである。2つの膜種のどちらも、XRR で測定した膜厚を用いた場合は、比誘電率が一定値となっているが、エリプソで測定した膜厚を用いた場合は、特に薄膜において、上下に大きなふれ幅を有する結果となった。

7. まとめ

薄膜の膜厚測定に XRR、およびエリプソメーターを用いた場合、特に薄い膜厚において、膜厚の測定値に大きな差が生じることが判明した。

この両方で測定した膜厚のうち、真の膜厚に近いものがどちらかを検証するため、膜厚により変動しないであろう膜の比誘電率の解析結果を比較したところ、エリプソメーターを用いた場合は、膜厚による比誘電率の変動が大きく、XRR を用いた場合は、膜厚によらず一定の比誘電率を得ることができた。

以上の結果より、薄膜の特性を評価するにあたり、膜厚測定には XRR を用いたほうが、精度の高い評価が可能であることが判った。

8. 残された課題

エリプソメーターにて測定した膜厚が整合しない問題は、薄膜での光学モデルの不整合が原因とも考えられる。膜質データを改善し、XRR との測定差が小さくなるようにすることが必要である。

9. 関連技術情報

技術情報 B-H21-4004 薄膜品のリーク電流測定・誘電率測定に関する検討

技術情報 B-H21-4005 薄膜品のリーク電流測定・誘電率測定に関する検討

技術情報 B-H21-4007 第 12 回研究成果報告会 微細化に対応した Low-k 評価基盤の確立

技術情報 B-H21-4014 第 13 回研究成果報告会 微細化に対応した Low-k 評価基盤の確立②

技術情報 B-H22-4002 第 84 回技術委員会報告資料 Low-k 薄膜の評価法

10. その他

特になし

11. データベース

特になし

Appendix. XRR 測定における測定点の指定について

XRR 測定において、作業標準に従い測定を行う場合は、「XRR_only_chi_correction.bcl」のスク립トを用いて測定を行う。このスク립トは、ウェーハ中心の1点のみを測定するように設定されている。このスク립トを複製し・編集することで、任意の位置の1点、ないしは多数の点の測定が可能である。本項ではこの操作法について述べる。

なお、測定点数の改良を行ったスク립トとして、以下が実装済である。

XRR occ map1(5pt)

ウェーハの中心 (0,0) より、30mm ピッチで、半径軸上 5 点の測定。
(0,0)、(30,0)、(60,0)、(90,0)、および(120,0)

自分で作製する場合は、まず上記スク립トのコピーを作製し、改名した上で、スク립トの Main 中、以下の赤字部分を編集する。

Sub Main

Dim SourceArray(0 To 3) As String, Pause As Boolean, msg As String

Dim R As VbMsgBoxResult, XRROptics As SealedTubeOption

Dim XPos() As Double, YPos() As Double, NumberOfPoints As Integer, i As Integer

SourceArray(0) = "2nd CCC only"

SourceArray(1) = "Both CCCs high resolution"

SourceArray(2) = "Both CCCs high intensity"

SourceArray(3) = "MaxFlux Only"

ReadInIni

NumberOfPoints = 5

ReDim XPos(1 To NumberOfPoints) As Double

ReDim YPos(1 To NumberOfPoints) As Double

XPos(1) = 0

YPos(1) = 0

XPos(2) = 30

YPos(2) = 0

XPos(3) = 60

YPos(3) = 0

XPos(4) = 90

$YPos(4) = 0$

$XPos(5) = 120$

$YPos(5) = 0$

NumberOfPoints は測定点の数である。デフォルトでは1になっている。

XPos(n)、YPos(n)には、測定点ごとの測定座標を入力する（mm 単位）。測定点数が 5 個の場合、n=1 から n=5 の 5 組を入力する。デフォルトでは X(1)および Y(1)の 1 組だけが指定されている。

X、Y 軸の詳細については、XRR のマニュアルに記載があるが、ウェーハのノッチ合わせ機能が無い為、X または Y のみを変更して、中心から半径軸上を測定することが現実的である。

材料評価基準

1. 評価対象材料名：Low-k 材料

2. 評価の目的：配線 TEG における Direct CMP 後の容量評価（容量差分）

Direct CMP 後の Cu/Low-k 配線において、Low-k 材料の配線間容量を実測容量の差分による k 値抽出によって、比較評価する。

3. 評価項目：配線間容量

4. 試料作製手順

4. 1 使用装置

- SOD コータ（ACT12 SOD：東京エレクトロン社製）
- CVD 装置（Producer SE 3 Twin：AMAT 社製）
- エッチング装置（Telius 3055SS：東京エレクトロン社製）
- アッシング装置（ICE CDE-300：芝浦メカトロニクス社製）
- ポリマー除去装置（SR-3000：大日本スクリーン社製）
- PVD 装置（Endura-CL 300：AMAT 社製）
- メッキ装置（Electra Cu Slim ECP：AMAT 社製）
- CMP 装置（F☆REX300：荏原製作所社製）

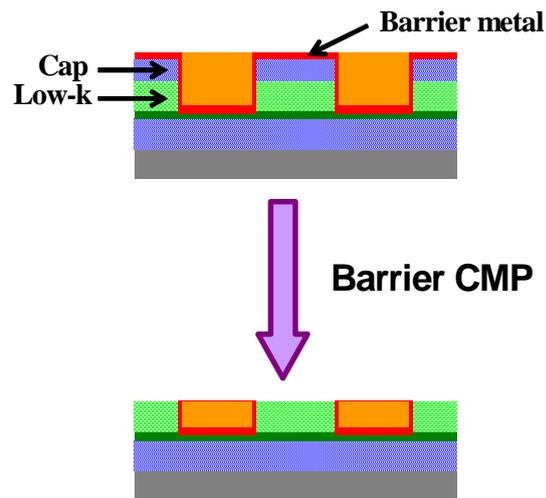
4. 2 作製方法

- ① 下記膜物性の Low-k 材料（膜厚 100nm）を SiO₂、SiCN の積層膜上に塗布する。このウェーハ基板を各 Low-k 材料について、各 3 枚用意する。

*Pore sizeはSAXSIにて測定

	E11105	E11222	E11234
材料	MSQ系	MSQ系	MSQ系
骨格構造	主骨格A	主骨格B	主骨格B
比誘電率	2.36	2.38	2.24
Porosity	0.26	0.21	0.28
Polydispersity	0.99	0.61	0.58
Pore size(Å)	6.1	10.1	13.2

- ② Low-k 膜上に Cap 膜として p-SiO 膜 30nm をデポする。
- ③ CAST-4R マスクの基準仕様書に基づいて、露光、現像、エッチング、アッシング、ポリマー洗浄、バリアメタルデポ、メッキを行う。
- ④ Cu スラリー K03825 を用いて、Cu 研磨処理を行う。
- ⑤ バリアメタルスラリー K03003 を用いて、Cap 膜 30nm を除去し、各種 Low-k 膜の Direct CMP を行う。Direct CMP は Cu/Low-k=100nm/100nm 配線における Low-k 膜厚が約 80nm、60nm、40nm になるように研磨時間を調整する。
(下図構造の膜厚違いを 3 構造作製する)



- ⑥ CAST-4R マスクの基準仕様書に基づいて、SiCN、Al、SiN をデポし、400°C の N₂ アニールを 30min 行う。

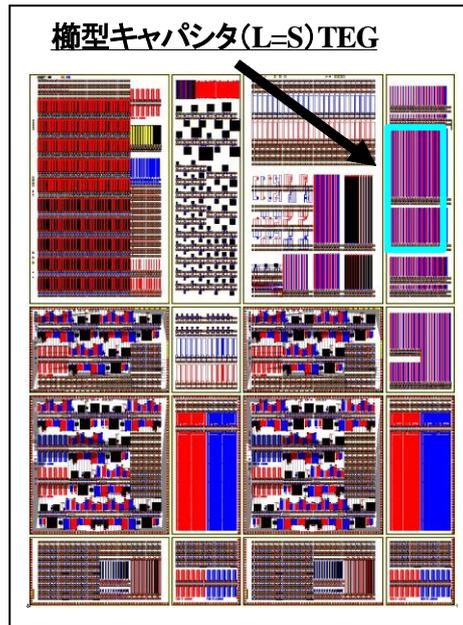
5. 測定方法

5. 1 評価装置

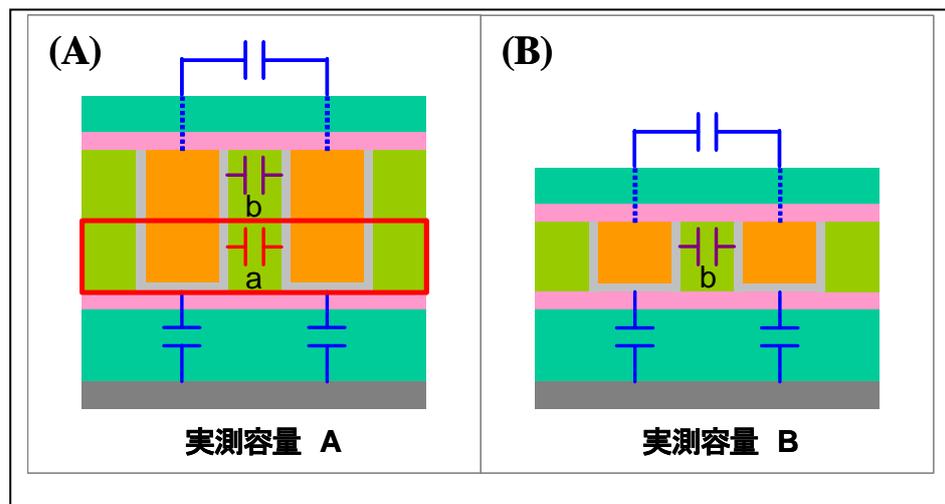
- ・ オートプロローバー装置 (UF-3000 : 東京精密社製)

5. 2 評価方法

- ① CAST-4R の楕型キャパシタ (L=S) TEG (Comb : CAST-4R マスク説明書参照) を用いて、総対向長 200mm の L/S=90nm/90nm、100nm/100nm、110nm/110nm、120nm/120nm、130nm/130nm、150nm/150nm、180nm/180nm、250nm/250nm における配線間容量を面内 64 チップ全て測定する。



- ② 下図の Low-k 膜厚が異なる構造において、(実測容量 A) - (実測容量 B) から寄生容量成分、及び Low-k 容量成分 b を除去した Low-k 容量成分 a (赤枠部分) のみの容量差分値を求める。この操作を 64 チップ全てで行う。

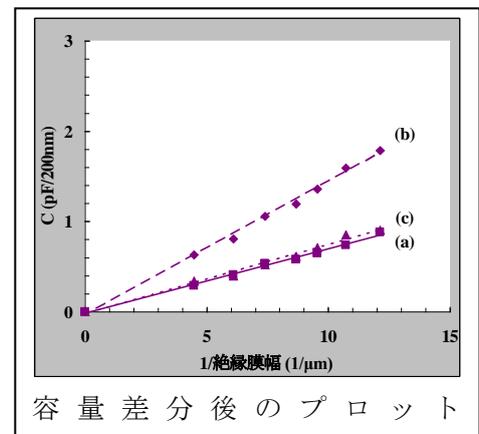
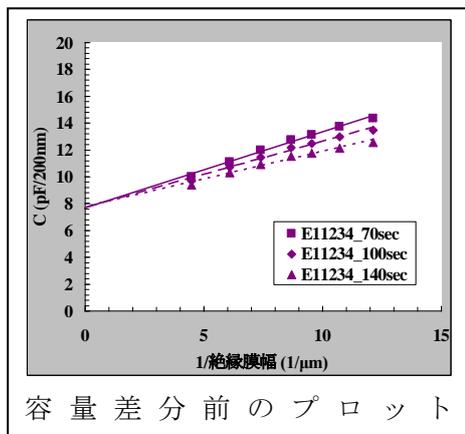
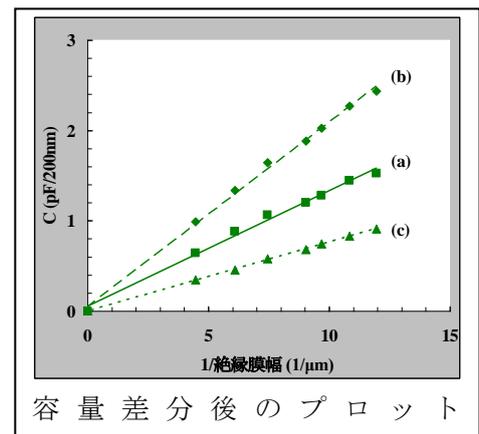
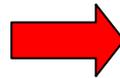
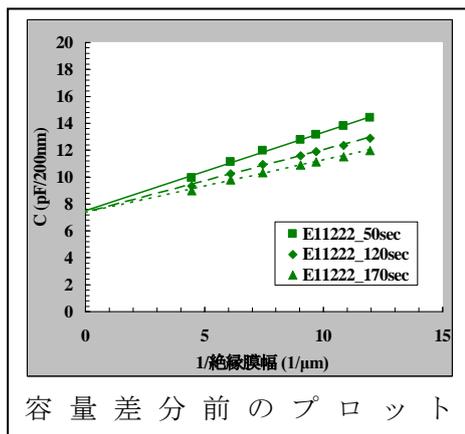
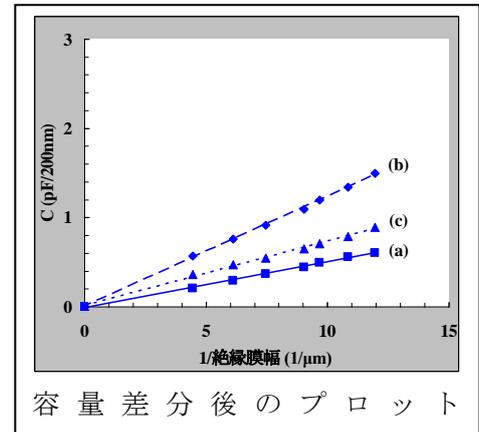
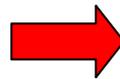
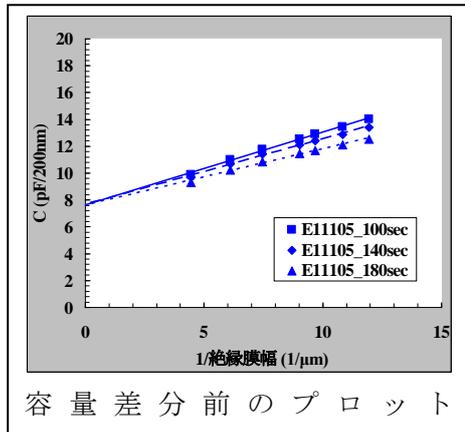


- ③ ②の操作を各配線幅で行い、配線幅ごとに 64 チップの中央値を算出し、実測絶縁膜幅の逆数に対する容量差分値をプロットする。
- ④ Low-k 膜の比誘電率は、配線間容量 (C) を実測絶縁膜幅 (W) の逆数でプロットした場合の傾きが $\epsilon_0\epsilon_r(DL)$ となることから、この傾きから配線間容量の比誘電率を算出できる。ここで、各構造の実測絶縁膜高さは TEM によって計測し、その差分によって、絶縁膜高さ (D) を算出する。

$$C = \frac{\epsilon_0 \epsilon_r (DL)}{W}$$

C : 配線間容量, ϵ_0 : 真空誘電率, ϵ_r : 比誘電率
D : 絶縁膜高さ, L : 総対向長, W : 絶縁膜幅

6. 測定結果



各 Low-k 材料の 3 つの構造の容量を差分した結果、それぞれ (a)、(b)、(c) のプロットが得られ、その傾きから比誘電率 ϵ_0 を算出した平均値の結果を以下に示す。

	E11105	E11222	E11234
k値	3.9	3.2	3.5

7. 考察

各種 Low-k 材料の Direct CMP 後の Cu/Low-k 配線の配線間容量の差分による k 値抽出を行ったが、材料間に差が認められたが、本来の単膜 k 値から大きく乖離した値が算出された。これは配線加工プロセスや Direct CMP プロセスによって、Low-k 材料がダメージを受けたためと推察すると妥当な結果と考える。材料間差もダメージの大きさを示唆していると考え。しかしながら、RC プロットによる容量評価の結果では、材料間差が認められなかったことから、比誘電率の絶対値は別として、両評価間で、材料間の結果が異なっていたため、疑問が残る結果となった。この原因としては、RC プロットでは、寄生容量の影響を排除しておらず、その影響が大きい為、差が認められなかったが、容量差分による k 値抽出では、寄生容量の影響を排除したため、より高精度に材料間差を抽出できたのではないかと考える。

8. 今後の計画

- ・ k=2.2 以下の材料の検討。
- ・ 容量差分による k 値抽出以外の配線 TEG における Low-k 材料の容量評価の検討。

9. 関連報告

- 1) 技情 B-H23-6004 「Porous Low-k 膜 CMP による 1 層配線の比誘電率評価」
- 2) 技情 B-H23-6012 「Direct CMP における Cu/Low-k 配線の電気特性評価」
- 3) 材料評価基準書 31101 「ブランケット膜におけるプロセスダメージ評価」
- 4) 材料評価基準書 31203 「配線 TEG における Direct CMP 後の容量評価 (容量差分)」
- 5) 材料評価基準書 31301 「配線 TEG における Direct CMP 後の容量評価 (リングオシレータ)」

10. その他

特になし

材料評価基準

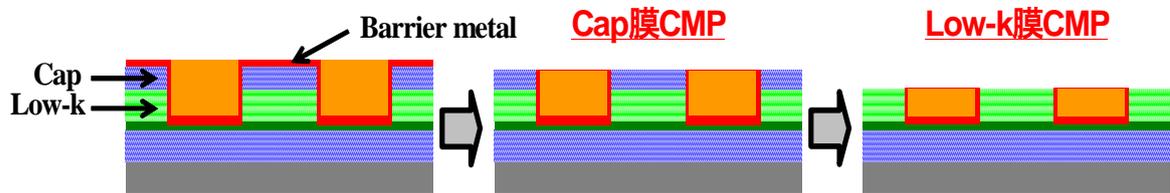
1. 評価対象材料名：Low-k 材料
2. 評価の目的：配線 TEG における Direct CMP 後の容量評価（リングオシレータ）
Direct CMP 後の Cu/Low-k 配線において、Low-k 材料の配線間容量を実測容量の差分による k 値抽出によって、比較評価する。
3. 評価項目：配線抵抗、実効容量
4. 試料作製手順
 4. 1 使用装置
 - ・ SOD コータ（ACT12 SOD：東京エレクトロン社製）
 - ・ CVD 装置（Producer SE 3 Twin：AMAT 社製）
 - ・ エッチング装置（Telius 3055SS：東京エレクトロン社製）
 - ・ アッシング装置（ICE CDE-300：芝浦メカトロニクス社製）
 - ・ ポリマー除去装置（SR-3000：大日本スクリーン社製）
 - ・ PVD 装置（Endura-CL 300：AMAT 社製）
 - ・ メッキ装置（Electra Cu Slim ECP：AMAT 社製）
 - ・ CMP 装置（F☆REX300：荏原製作所社製）
 4. 2 作製方法
 - ① 下記膜物性の Low-k 材料（膜厚 100nm）を接合素子付きウェーハ基板上に塗布する。このウェーハ基板を各 Low-k 材料について、各 6 枚用意する。

*Pore sizeはSAXSIにて測定

	E11105	E11222	E11234
材料	MSQ系	MSQ系	MSQ系
骨格構造	主骨格A	主骨格B	主骨格B
比誘電率	2.36	2.38	2.24
Porosity	0.26	0.21	0.28
Polydispersity	0.99	0.61	0.58
Pore size(Å)	6.1	10.1	13.2

- ② Low-k 膜上に Cap 膜として p-SiO 膜 60nm をデポする。
- ③ CAST-T2 マスクの基準仕様書に基いて、露光、現像、エッチング、アッシング、ポリマー洗浄、バリアメタルデポ、メッキを行う。
- ④ Cu スラリー K03825 を用いて、Cu 研磨処理を行う。

- ⑤ バリアメタルスラリー-K03003 を用いて、Cap 膜の残膜が 30nm、20nm、10nm になるように Cap 膜 CMP の研磨時間を調整する。また、Cap 膜 60nm を全て除去し、Low-k 膜の残膜が 80nm、60nm、40nm になるように Low-k 膜 CMP (Direct CMP) の研磨時間を調整する。(下図の Cap 膜有り構造の膜厚違いを 3 構造、Cap 膜無し構造の膜厚違いを 3 構造作製する)



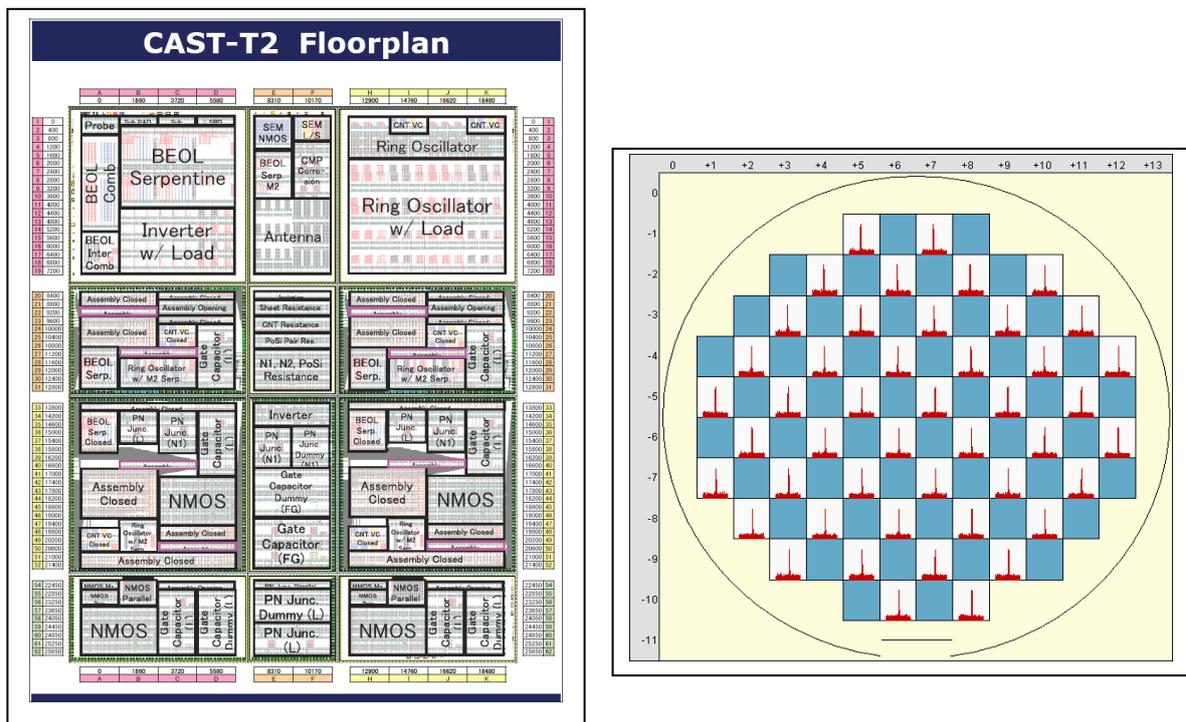
5. 測定方法

5. 1 評価装置

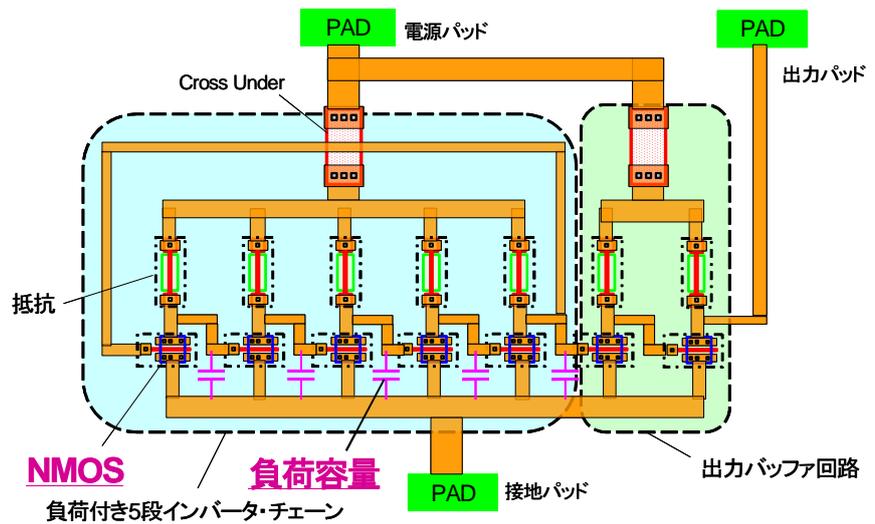
- ・ オートプロローバー装置 (UF-3000 : 東京精密社製)

5. 2 評価方法

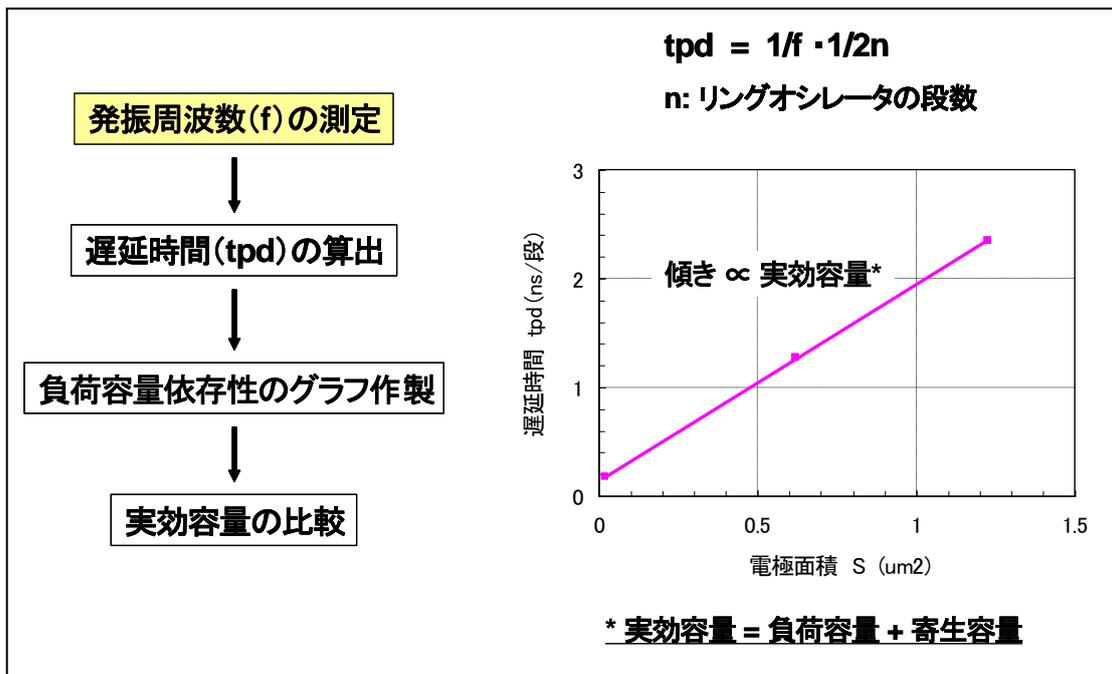
- ① CAST-T2 の Ring Oscillator TEG (CAST-T2 マスク説明書参照) を用いて、NMOS トランジスタの発振周波数を面内 46 チップ測定する (下図)。



- ② リングオシレータ TEG は下図の構造になっており、負荷容量の大きさ (面積) を 3 水準振り、各負荷容量のときの発振周波数を測定する。

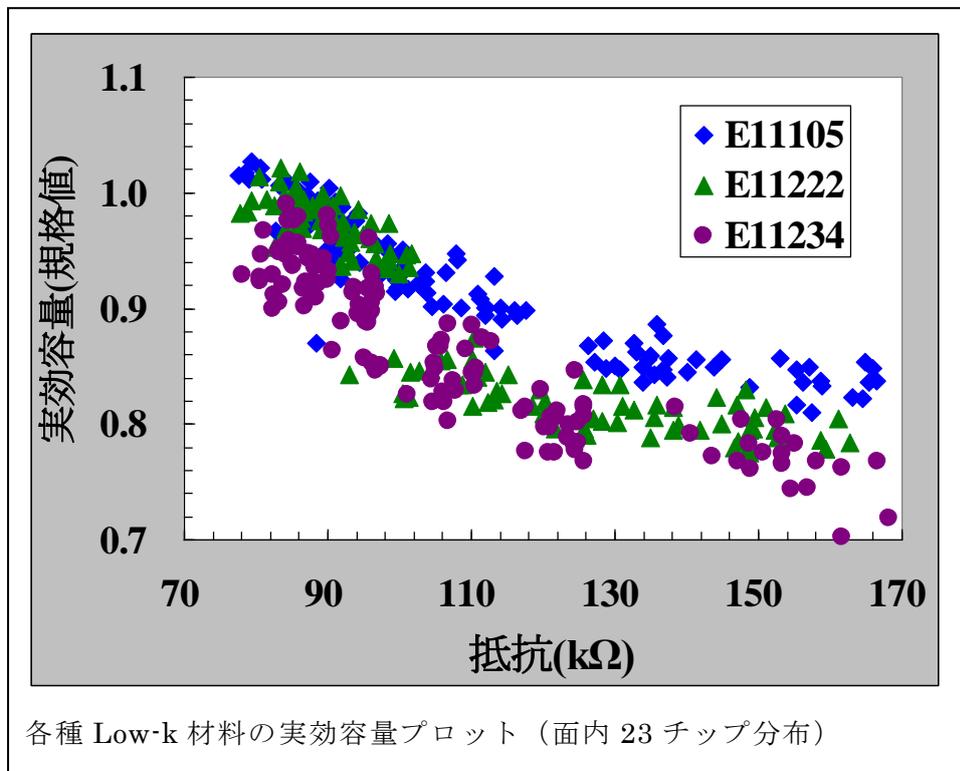
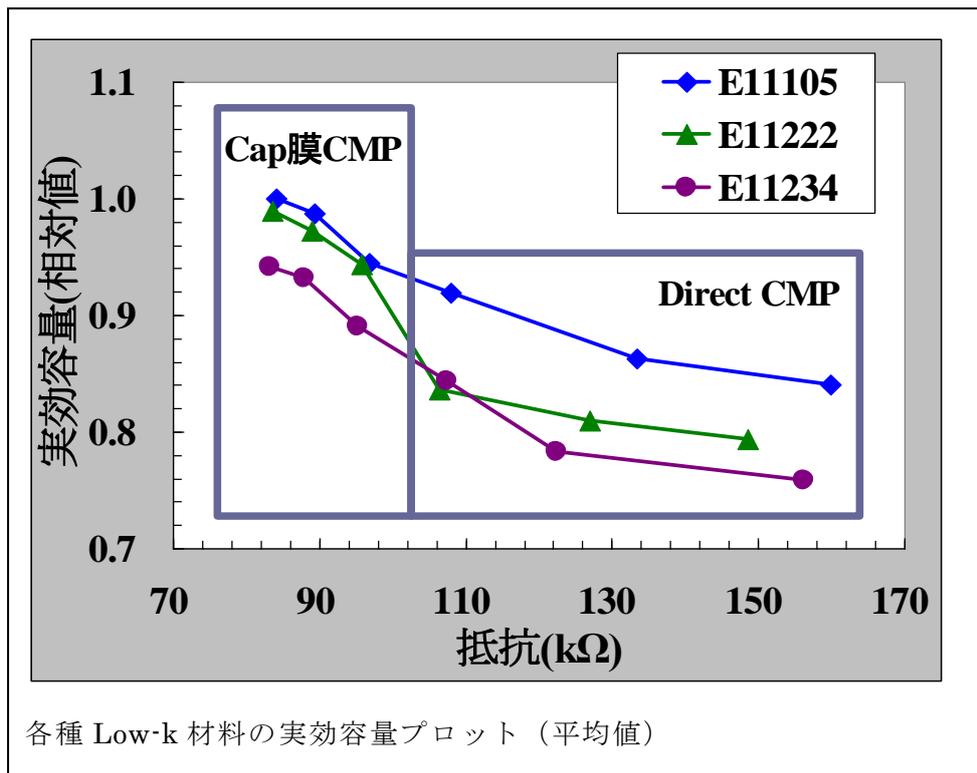


- ③ 23 チップの測定した 3 水準の負荷容量の発振周波数 f の平均値を用いて、以下のフローに従って、遅延時間 t_{pd} を算出する。3 水準の電極面積 S に対して遅延時間 t_{pd} をプロットする。このとき、3 水準の電極面積は 3 水準の負荷容量に対応している。



- ④ ③のプロット図より求めた傾きが Low-k 膜の実効容量と比例関係にあるため、研磨時間を変えて作製した Low-k 膜厚が異なる 6 水準の構造について、前記①～③までの同様の操作によって、発振周波数の測定を行い、傾きを算出する。
- ⑤ Low-k 膜厚が異なる 6 水準の構造について、46 チップの配線抵抗を測定し、平均値を求める。
- ⑥ 各種 Low-k 材料について、①～⑤の操作を行い、配線抵抗の平均値に対して、傾きの相対値をプロットする。

6. 測定結果



7. 考察

各種 Low-k 材料の Direct CMP 後の Cu/Low-k 配線の配線間容量をリングオシレータによる実効容量を求めることで比較した。結果、材料間に顕著な差が認められた。Cap 膜 CMP については、E11105 と E11222 では差は認められなかったが、E11234 は約 8%容量が低い結果となった。これは、Cap 膜 CMP では、Low-k 膜が直接ダメージを受けないためと考える。

一方、Direct CMP については、E11105 対比で、E11222 は約 10%容量が低い結果となった。また、E11234 は E11222 と同程度の水準となった。これは、Direct CMP では、E11105 が単膜 k 値が同程度の E11222 に比べて、ダメージを受けやすく、実効容量が増大したことを示唆しており、また、E11234 も単膜 k 値は E11222 よりも低いが、Direct CMP ではダメージを受けやすく、実効容量では差がないことを示していると考えられる。今回の評価結果は、RC プロットによる容量評価結果とは異なるが、容量差分による k 値抽出評価結果と一致しているため、3 手法のうち 2 つで傾向が一致していることから、Direct CMP における Low-k 膜の配線容量を高精度に評価できたと考える。

8. 今後の計画

- ・ k=2.2 以下の材料の検討。
- ・ リングオシレータによる実効容量以外の配線 TEG における Low-k 材料の容量評価の検討。

9. 関連報告

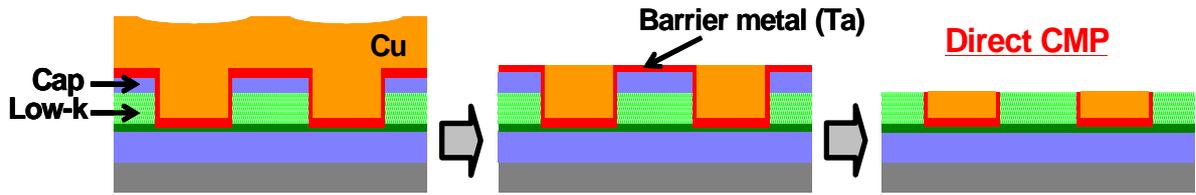
- 1) 技情 B-H23-6012 「Direct CMP における Cu/Low-k 配線の電気特性評価」
- 2) 材料評価基準書 31101 「ブランケット膜におけるプロセスダメージ評価」
- 3) 材料評価基準書 31203 「配線 TEG における Direct CMP 後の容量評価（容量差分）」
- 4) 材料評価基準書 31301 「配線 TEG における Direct CMP 後の容量評価（リングオシレータ）」

10. その他

特になし

材料評価基準

1. 評価対象材料名：Slurry 材料
2. 評価の目的：MSQ 系 Low-k 膜の Direct CMP における絶縁破壊耐圧の回復性評価
MSQ 系 Low-k 膜を適用した Cu/Low-k 配線の Direct CMP によって、著しく劣化した絶縁破壊耐圧の回復手法を確立する。
3. 評価項目：配線間耐圧
4. 試料作製手順
 4. 1 使用装置
 - ・ SOD コータ (ACT12 SOD：東京エレクトロン社製)
 - ・ CVD 装置 (Producer SE 3 Twin：AMAT 社製)
 - ・ エッチング装置 (Telius 3055SS：東京エレクトロン社製)
 - ・ アッシング装置 (ICE CDE-300：芝浦メカトロニクス社製)
 - ・ ポリマー除去装置 (SR-3000：大日本スクリーン社製)
 - ・ PVD 装置 (Endura-CL 300：AMAT 社製)
 - ・ メッキ装置 (Electra Cu Slim ECP：AMAT 社製)
 - ・ CMP 装置 (F☆REX300：荏原製作所社製)
 - ・ SOD ファーネス (Alpha-303：東京エレクトロン社製)
 - ・ WET 洗浄装置 (MP-3000：大日本スクリーン社製)
 4. 2 作製方法
 - ① MSQ 系 Low-k 膜 E11105 (膜厚 100nm) を SiO、SiCN の積層膜上に塗布したウェーハ基板を 2 枚用意する。
 - ② Low-k 膜上に Cap 膜として p-SiO 膜 30nm をデポする。
 - ③ CAST-4R マスクの基準仕様書に基いて、露光、現像、エッチング、アッシング、ポリマー洗浄、バリアメタルデポ、メッキを行う。
 - ④ Cu スラリー K03825、または K23200 を用いて、Cu 研磨処理を行う。
 - ⑤ バリアメタルスラリー K23149、K23448 を用いて、Cap 膜 30nm を除去し、各種 Low-k 膜の Direct CMP を行う。Direct CMP は Cu/Low-k=90nm/90nm 配線における Low-k 膜厚が約 70nm になるように研磨時間を調整する。(下図)



- ⑥ (1) Direct CMP 後に、一方のウェーハ基板については、SOD ファーネスを用いて、N₂ アニール処理を 30min 行う。
 (2) Direct CMP 後に、もう一方のウェーハ基板については、WET 洗浄装置を用いて、DHF エッチング処理を 1min 行う。
- ⑦ CAST-4R マスクの基準仕様書に基づいて、SiCN、Al、SiN をデポし、400°C の N₂ アニールを 30min 行う。

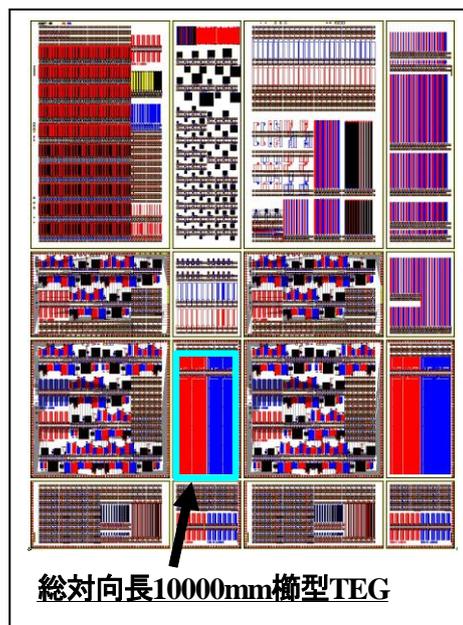
5. 測定方法

5. 1 評価装置

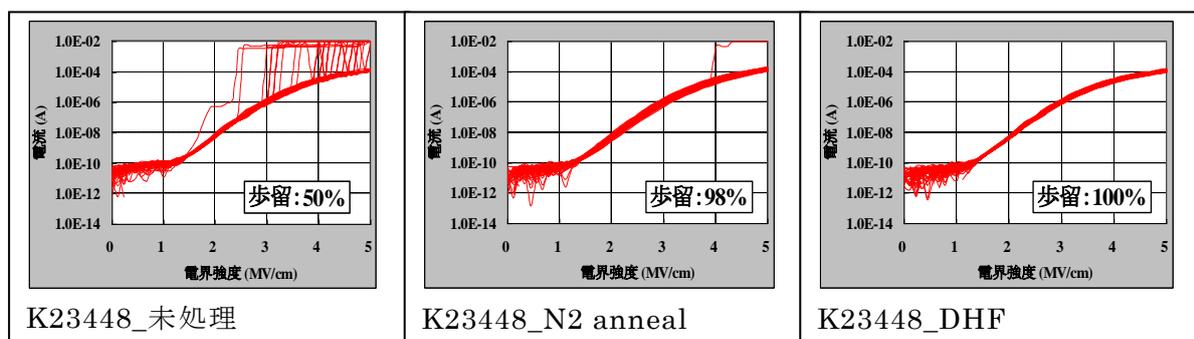
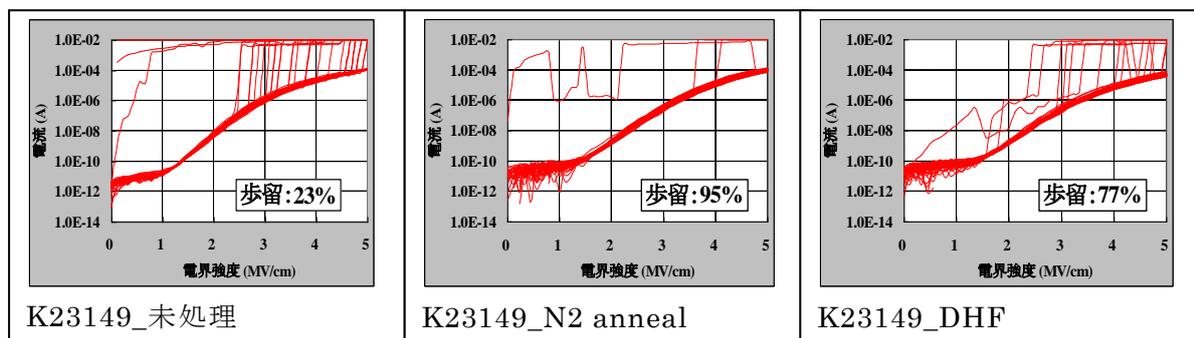
- ・ オートプロローパー装置 (UF-3000 : 東京精密社製)

5. 2 評価方法

CAST-4R の 180nm ピッチ櫛型 TEG (Comb 10m : CAST-4R マスク説明書参照) を用いて、総対向長 10000mm の L/S=90nm/90nm における配線間耐圧を面内 64 チップ全て測定する。



6. 測定結果



7. 考察

総対向長 10000mm の楕型 TEG を用いて、絶縁破壊耐圧を評価することで、Slurry 材料起因の耐圧劣化の材料間差を見極めることができたが、今回 Direct CMP 後に①N2 アニール処理、②DHF 洗浄処理を実施することで、絶縁破壊耐圧劣化の回復を図ることができた。N2 アニールについては、Direct CMP 後の Low-k 表面残留物が分解・脱離したためと考える。一方、DHF 洗浄については、Direct CMP 後の Low-k 表面残留物が DHF エッチングにより Low-k 膜とともに、エッチング除去されたためと考える。Direct CMP において、良好な絶縁破壊耐圧が確保するには、CMP 後の Low-k 表面の清浄化が欠かせないと考える。

8. 今後の計画

特になし

9. 関連報告

1) 技情 B-H22-6036 「Low-k 膜の直接 CMP による電気特性評価 (K23149、その他)」

- 2) 材料評価基準書 32004「MSQ系 Low-k 膜の Direct CMP における Slurry ダメージ評価」
- 3) 材料評価基準書 32208「MSQ系 Low-k 膜の Direct CMP における絶縁破壊耐圧評価」
- 4) 材料評価基準書 32401「MSQ系 Low-k 膜の Direct CMP における信頼性評価 (TDDB)」

10. その他
特になし

材料評価基準

1. 評価対象材料名

CMP スラリー、パッド、絶縁膜、CMP 後洗浄液

2. 評価の目的 : 単層配線の研磨面 SEM 観察法とサンプル作製法

Cu-CMP で発生する Cu 配線腐食の程度と外観を評価すること

3. 評価項目

Cu 配線の腐食

- (1) Cu 濃淡電池 TEG の電特測定による腐食評価
- (2) Cu 腐食外観評価パターンの外観 SEM 観察による腐食評価

4. 試料作製手順

(1) φ300mm Si ウェーハ準備。

バリア CMP 時間依存性やスラリーなどの評価材料の種類などに応じて実験計画を立て必要な枚数のウェーハを準備する。

(2) 評価ウェーハのM1 Cu めっき完までのプロセスを行う。以下に一例を示す。

1. P-SiO デポ 1000nm
2. P-SiCN デポ 30nm (ダマシンエッチのエッチストップパー膜)
3. P-SiOC デポ 150nm (ダマシン配線の IMD=Inter Metal die electric 膜)
4. M1 リソ レチクルは CASMAT271 を使用。
ここで CASMAT271 は CMP-C2 マスクのレチクル番号である。
また、CMP-C2 マスクの詳細についてはマスク説明書を参照して頂きたい。
5. M1 ドライ
6. M1 洗浄
7. M1 デポ Ta10nm/Cu60nm スパッタ
8. M1 Cu めっき

(3) 評価したい CMP 関連材料 (Cu スラリー、バリアスラリー、洗浄液、パッド) を用いて、評価したい条件でプロセスを行う。

1. Cu-バリア CMP
2. CMP 後洗浄、乾燥

5. 測定方法

(1) Cu 濃淡電池 TEG の電特測定による腐食評価

オートプロバーで以下のレシピを用いて濃淡電池 TEG の電気特性を測定する。

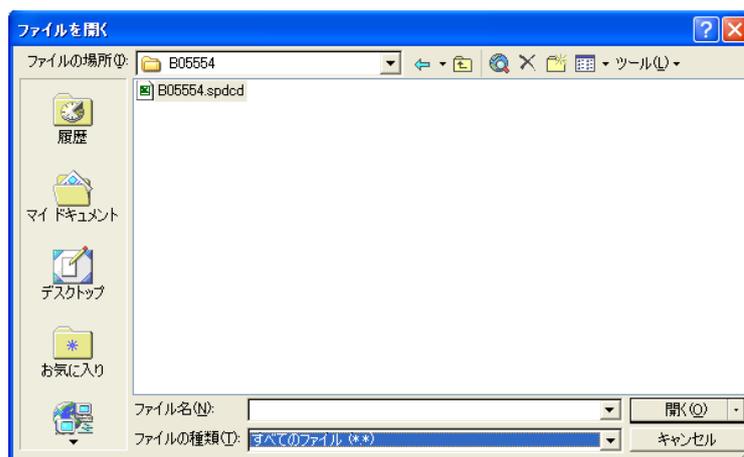
・ Test Table

C: ¥Spark ¥Cond ¥Character ¥user ¥okutani ¥CMP-C2 condition ¥CMP-C2_
R20110927 .spcch

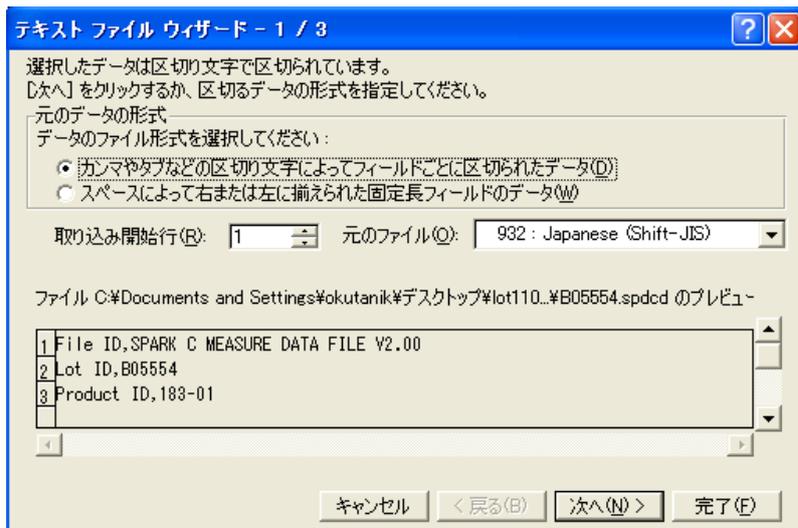
・ Probing File (測定チップ数 36 チップ/ウェーハの場合)

C:¥Spark¥Cond¥Prober¥user¥okutani¥CMP-C2Prove¥center36chip_CASMAT
183-01.spcps

オートプロバーの測定結果のファイル (拡張子 s p d c d) を EXCEL で開く。
その際に以下の図のようにファイルの種類をプルダウンメニューで選択して「すべてのファイル (*.*)」とする。開きたいファイルを指定して、「画面の開く (O)」ボタンを押す。



次にデスクトップ ファイルウィザード-1/3 が画面に現れるので、「カンマやタブなどの区切り。。。」を選択し「次へ (N) >」ボタンを押す。



次に以下の画面が表示されるので「タブ (T)」と「カンマ (C)」にチェックマークを入れて「次へ (N) >」ボタンを押す。



次に以下の画面が表示される。「完了 (F)」ボタンを押す。



以上の操作で以下のような EXCEL ファイルが表示される。また、以下の例は測定枚数 5 枚の場合である。

	A	B	C	D	E	F	G
1	File ID	SPARK C	MEASURE DATA FILE	V2.00			
2	Lot ID	B05554					
3	Product ID	183-01					
4	Operator	okutani					
5	File Comm	Lot110813	Cu-Only	C-Cell			
6	Meas Start	#####					
7	Meas End	#####					
8	Test Table	C:\SPark\VC		1			
9	Probing File	C:\SPark\VC		1			
10	X Data Size	254					
11	===== Wafer Setting =====						
12	Wafer Type	1					
13	Measured l	5					
14	Set Wafer	5					
15	Wafer-1	1	1		17.175s	Lot-110813	
16	Wafer-2	2	1		16.160s		
17	Wafer-3	3	1		15.145s		
18	Wafer-4	4	1		14.130s		
19	Wafer-5	5	1		13.115s		
20	Prober Pro-CASMAT183-01						
21	Wafer Size	11.811					
22	Chip Size	21000	21000				
23	Chip Max	16	16				
24	Coord Orig	1	1				
25	OriFla Dir	180					

次に上記 EXCEL ファイルの measurement deta の内、ウェーハ 1 枚分を選択してコピーし、次に示すデータ整理用の EXCEL ファイル「濃淡電池の原紙.xls」に貼り付けることでデータ整理を行う。ここでは濃淡電池 TEG のセンサー部の配線 R1,R2 の配線抵抗の生データをシート抵抗に換算し、さらにそのシート抵抗をセンサー配線 R1,R2 の膜厚に換算している。ここでデータ整理用の EXCEL ファイル「濃淡電池の原紙.xls」ではセンサー部の配線厚さを求める手順として、プローバーで実測したセンサー部の配線抵抗をシート数（配線長÷配線幅で求めた正方形の個数）で割って配線のシート抵抗 ρ [Ω] に換算し、さらにそのシート抵抗から配線の膜厚に換算する。配線の膜厚は $t = \rho / r$ で、ここで r は配線材料の電気抵抗率 [Ωm] である。以上の計算で用いた数値は R1 と R2 のセンサー部の配線長 2321 μm 、配線幅 0.18 μm からシート数 = 2321/0.18 = 12894 個、また Cu 配線の電気抵抗率は 0.000000024 (Ωm) として配線厚さを算出している。

次に以上の手順で求めたセンサー部の膜厚 R1 と R2 の膜厚差をカレイダグラフを用いて累積分布プロットすると濃淡電池の効果を可視化できるので評価材料の防食性能を評価することができる。このグラフは縦軸は累積正規確率分布、横軸はリニアスケールの膜厚差 R1-R2 を示す。

(2) 濃淡電池の原理による腐食外観観察

CMP-C2 マスクではチップの右辺に配置された濃淡電池 TEG の原理による外観評価用のパターンを SEM 観察することで、Cu 腐食の外観 SEM 評価を行う。

6. 測定結果

(1) Cu 濃淡電池 TEG の電特測定による腐食評価

図 1 に測定結果の一例を示す。図 1 は CASMAT 標準 Cu スラリーを用いて、バリアメタルが無い Cu のみの配線の研磨を行った結果である。また、表 1 にこの実験で用いた 5 枚のウェーハの研磨条件を示す。この実験では 5 枚のウェーハを用いて Cu-CMP の研磨時間を 115sec(just) から 130sec, 145sec, 160sec, 175sec の 5 水準のオーバー

ポリッシュ量で研磨し、オートプローバで各ウェーハを16点測定した結果を上記の手順で整理したものである。図1の左側のグラフはポテンシャルプレートPP1, PP2の配線密度がR1, R2ともに50%で等しい場合を示しており、その膜厚差 $R_2 - R_1$ はオーバーポリッシュ時間に依存せずに $R_2 - R_1 = 0$ 付近に在り、ポテンシャルプレートR1とR2の電位が等しいことを意味している。一方、図1の右側のグラフは左右のポテンシャルプレートの配線密度がPP1=10%、PP2=90%と異なる場合を示しており、オーバーポリッシュが進むほどセンサー部の膜厚差は $R_2 - R_1 < 0$ の方向に移動している。これは濃淡電池の作用によりセンサー部の膜厚差が $R_2 - R_1 < 0$ の方向に腐食が進行していることを意味している。もしCuスラリーが完璧な防食性能を有していると仮定すると研磨中のポテンシャルプレートの表面電位は疎密差にかかわらず常に $R_2 - R_1 = 0$ となり、スラリーの防食性能が不足すれば不足するほど $R_2 - R_1 < 0$ となる。この二つのグラフから新しく開発したCMP-C2マスクの濃淡電池TEGが狙い通りの機能を発揮していることがわかる。

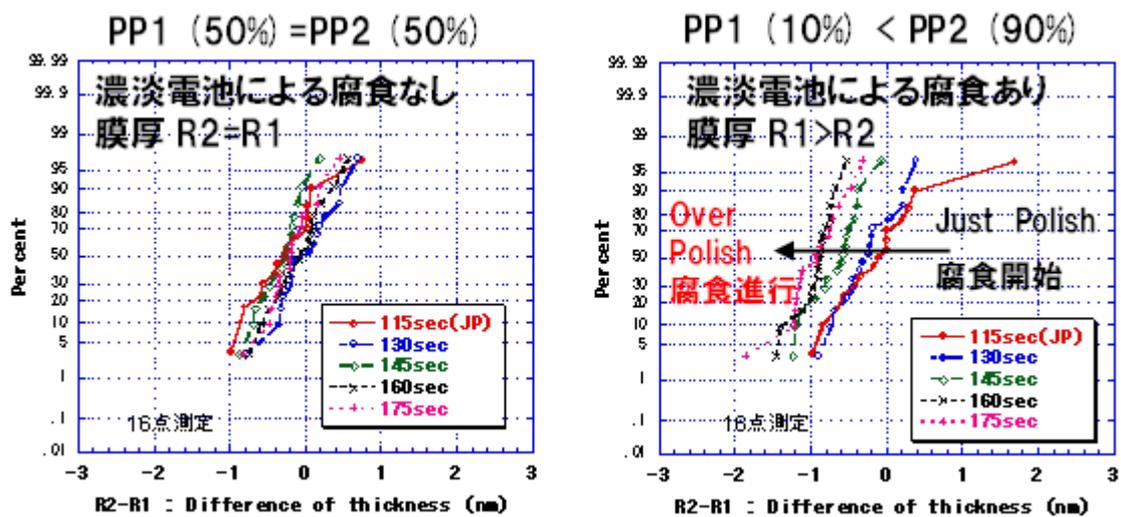


図1 濃淡電池TEGの実験結果 (ポテンシャルプレートの密度差)

表1 図1の実験の研磨条件

サンプル仕様
 1)CMP装置:ChaMP
 2)スラリー(標準材)
 Cu:K03825

#W	Cu-CMP @1psi(sec)	Barrier-CMP @1psi(sec)
1	115(just)	None
2	130	↑
3	145	↑
4	160	↑
5	175	↑

(2) 濃淡電池の原理による腐食外観観察

図2にはCMP-C2TEGチップの右辺に配置されている濃淡電池腐食外観評価パターンのSEM写真を示す。ここではサンプル#W3を観察した。当初の狙いどおり濃淡電池の効果により、Cuイオン濃度が低く腐食しやすい微細配線の先端が腐食していることをSEM観察することができた。

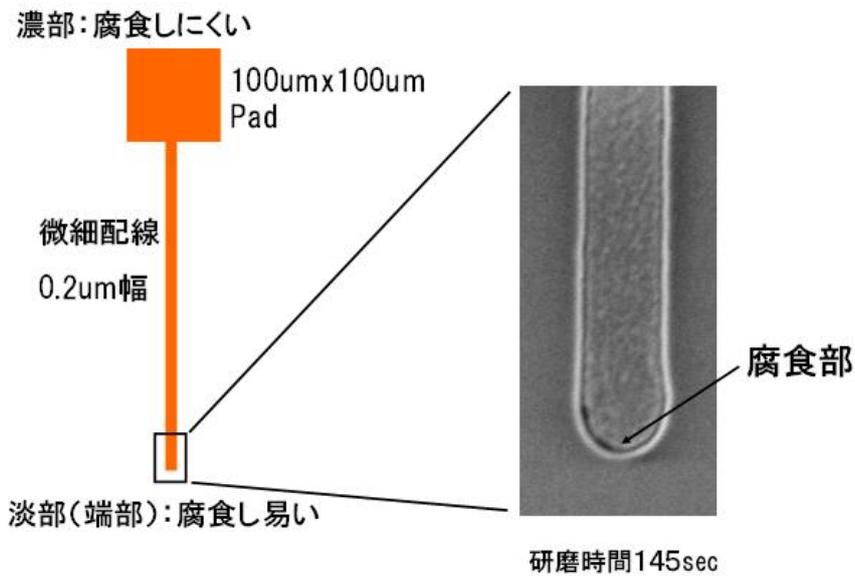


図2 Cu配線腐食部のSEM観察 (CMP-C2 外観腐食評価パターン)

7. 考察

本評価法はメタル1層配線のみで単純な構造で濃淡電池をエネルギー源としてCu研磨スラリーなどの防食性能を評価可能である。濃淡電池 TEG の長所は腐食評価のためのPN接合(光電池)が不要なので、低コストかつ短時間でCu配線腐食評価が可能な点にある。その濃淡電池の作用を図3で説明する。図3の左右のポテンシャルプレート上の配線密度はPP1<50%(R1、R2)<PP2なので、濃淡電池の原理によりR1は研磨が抑制され、R2は研磨が加速され、その結果、研磨後のセンサーの膜厚はR1>R2となる。この濃淡電池の効果によるR1>R2の度合いは、スラリーの防食性能が不足すると差が大きくなる、一方、スラリーの防食性能が高くCu配線密度に依存せずにCu研磨表面の電位を一定に保てればR1とR2は等しい値に接近し、さらに防食性能が完璧な場合にはR1=R2になる。

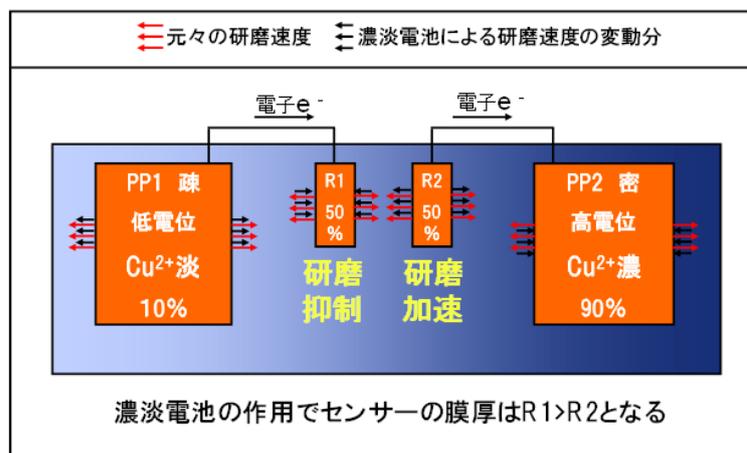


図3 濃淡電池 TEG における濃淡電池の作用

8. 課題

特になし

9. 関連報告

1) CASMAT-III 技術情報B-H 22-6048 「第15回研究成果報告会
Cu-CMPにおける配線腐食の定量的評価技術の開発」

2) CASMAT-III 技術情報B-H 22-6021 「第14回研究成果報告会 C
u-CMP濃淡電池効果評価TEGの開発」

10. その他

特になし

以上

材料評価基準

1. 評価対象材料名

バッファークोट (BC) 材料

2. 評価の目的

シェア試験による密着性の評価方法は、パターンを側面からシェアし、下地界面との間に働く最大せん断応力（剥離強度）を測定する手法である。

剥離強度はパターンの接着面積に比例して大きくなる。その比例定数は材料固有のものであり、その値から密着力を見積もることができる。

またフリップチップでは基板とチップの熱応力により膜界面等での剥離が発生することが知られており、シェア試験により測定する力がこれに類似していることもメリットである。そこで再配線フリップチップ型におけるBC界面（本報告ではCuTi/BC）密着力の向上、もしくは低下原因の解明を目的とし、BCの表面処理（O₂アッシング、Arプラズマ）を変えて密着性評価を行った。

3. 評価項目

バッファークोट(BC)表面処理によるCuTi/BC密着性評価

4. 試料作製手順

4.1 使用装置

コーター	CLEAN TRACK ACT12PI（東京エレクトロン（株）製）
デベロッパ	同上
ファーン	VF-1000B（光洋サーモシステム（株）製）
アッシング装置	芝浦メカトロニクス製 ICE300
PVD	ENDURA CL（Applied Materials社製）
Cuめっき装置	MA-CU01（日立協和エンジニアリング（株）製）
Cuエッチャ	AWE-1203S（ジャパンクリエイト（株）製）
Tiエッチャ	MP-3000（大日本スクリーン製造（株）製）

4.2 作製方法

CuTi/BC密着性評価のプロセスフロー26754からの変更点のみを記載する。

(1)O₂アッシング条件有りの場合：O₂:250sccm、Temp.:25°C、Time:条件表に記入

RF(Top/Bottom):0/3 0 0 W、3 0 Pa

(2)シードCu/Ti成膜前のArスパッタ有り、無しを検討

(3)Cuメッキ 9.5分 約4um（シード銅と合わせてCuパターン高さ約4.2um）

5. 評価方法

5.1 使用装置

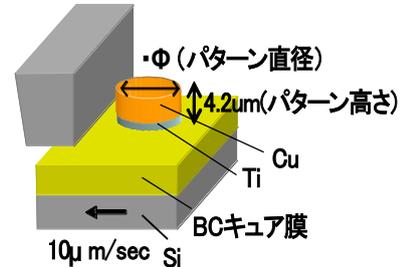
シェア試験	万能型ボンドテスター4000 (デイジ社製)
	ウェーハ吸着式ステージ装着
SEM観察	走査電子顕微鏡S-4800 ((株) 日立ハイテクノロジーズ製)

5.2 シェア試験方法

試験方法は材料評価基準書3009を参照のこと。

測定条件

ロードセル	BS250 (上限250gのもの)
テストスピード	10 $\mu\text{m}/\text{sec}$
テスト高さ	1.5 μm (下地からツール先端までの高さの設定値)
ツール幅	150 μm (SHR-062-0150)



6. 評価結果と考察

6.1 CuTi/BC密着力測定 (D11011)

D11011を用いてBC表面Arプラズマ処理、O₂アッシングのCuTi/BC密着力影響評価を行った。CuTiパターン面積を変化させたパターンにおいて試験を行い面積と最大荷重のグラフを作製し、このグラフの傾きを密着力とした。1つのパターン面積に対してN=10で測定したところ再現性のよい最大荷重が測定出来、またパターン面積が300~1000 μm^2 にて原点付近を通る良好な直線性を示した(図1)。図1より絶縁膜形成後にO₂アッシング処理を行いTi、Cuの成膜を行った場合に密着力は変化せず、Ti、Cu成膜前にArプラズマ処理を行った場合にはArプラズマ処理を行うことにより無しの約65MPaに比べて、125MPaまで密着力が向上した。

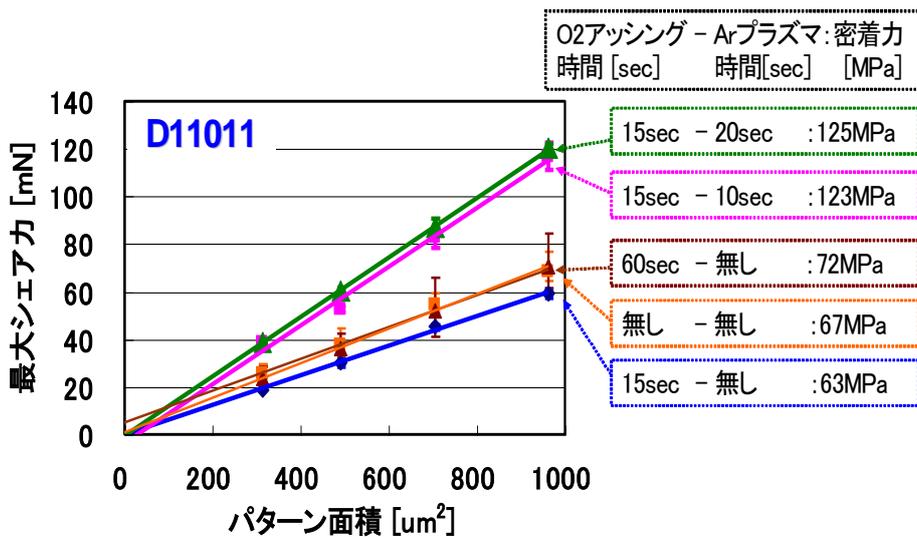


図1.BC表面処理によるCuTi/BC密着性評価 (D11011)

6.2 CuTi/BC密着力測定 (D11015、28)

次にD11015、28を用いてBC表面Arプラズマ処理の有り、無しにてCuTi/BC密着力評価を行った。D11015、D11028共にArプラズマすることにより密着力が約65MPaから約120MPaに密着力が向上することが確認された。

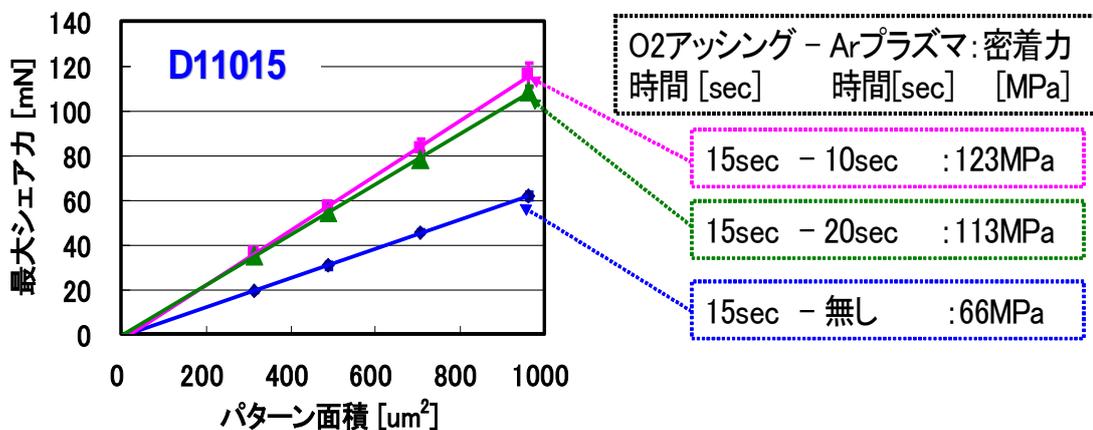


図2. BC表面処理によるCuTi/BC密着性評価 (D11015)

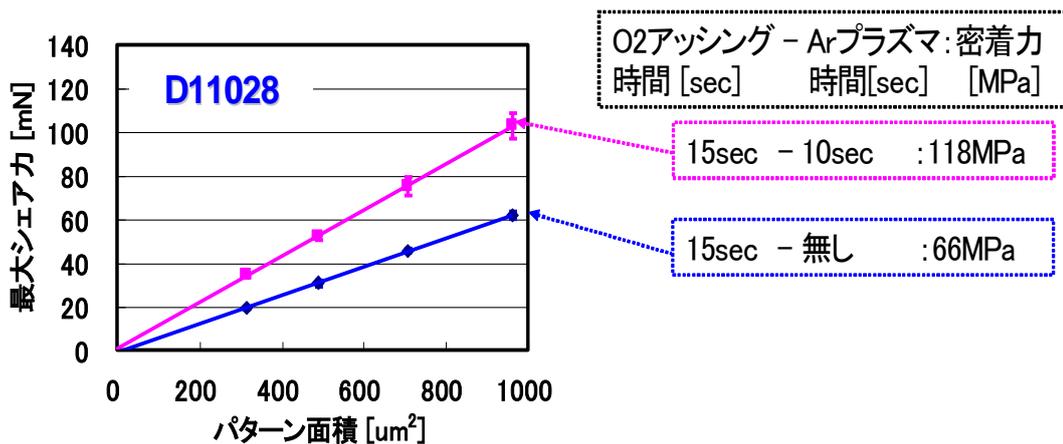


図3. BC表面処理によるCuTi/BC密着性評価 (D11028)

6.3 シェア試験後の剥離、破壊箇所SEM観察

シェア試験後の剥離破壊箇所をSEM観察にて行ったところ、材料によらずArプラズマ処理無しではCuTi/BC界面で剥離が起こっていた。またD11011についてはO₂アッシング処理15秒、60秒にてArプラズマ無しでは同様にCuTi/BC界面で剥離していた。これに対してArプラズマ処理を行うと下層のBC破壊が起こった後に、CuTi/BC界面全面にて剥離が起こっていた。

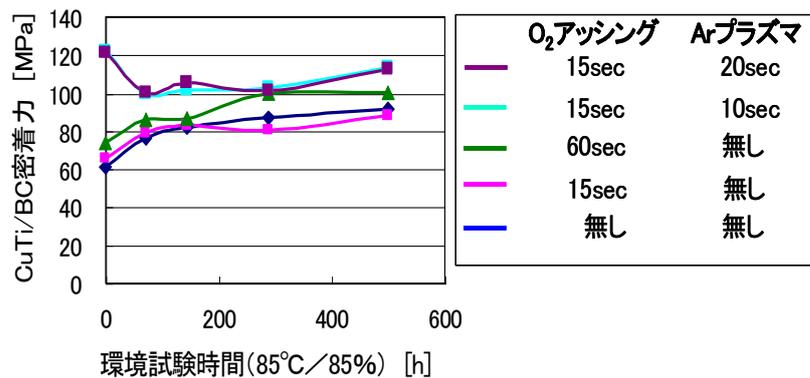
O ₂ アッシング	無し	15sec	60sec	15sec	15sec
Arプラズマ	無し	無し	無し	10sec	20sec
D11011					
D11015					
D11028					
破壊・剥離箇所	CuTi/BC界面剥離			下層BC破壊 ⇒ CuTi/BC界面剥離	

図4.シエア試験後の剥離、破壊箇所SEM観察

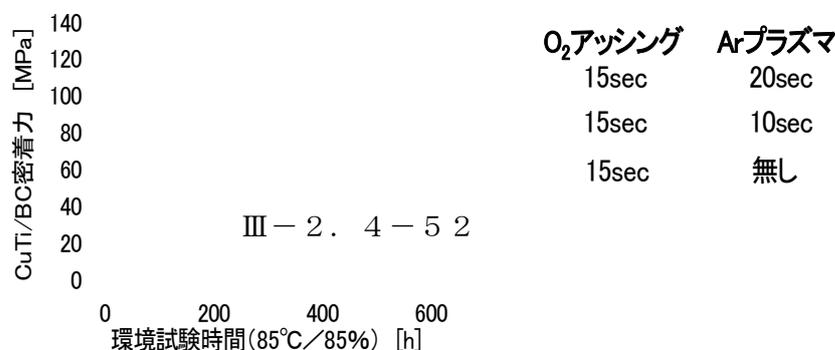
6.4 環境試験によるCuTi/BC密着性評価影響

BC表面処理無しの場合、密着力は65→90~100MPa程度まで上昇し、Arプラズマ処理を加えると110→100MPa程度まで低下するが剥離界面、剥離箇所は変わらない。D11011,15、28ともに同様の傾向であった。各表面処理条件において、85°C85%500時間後にも密着力は大幅に低下することなく良好であることが確認された。

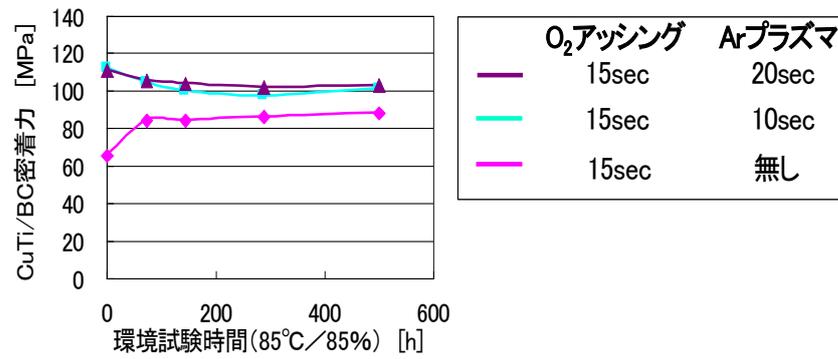
BC材料:D11011



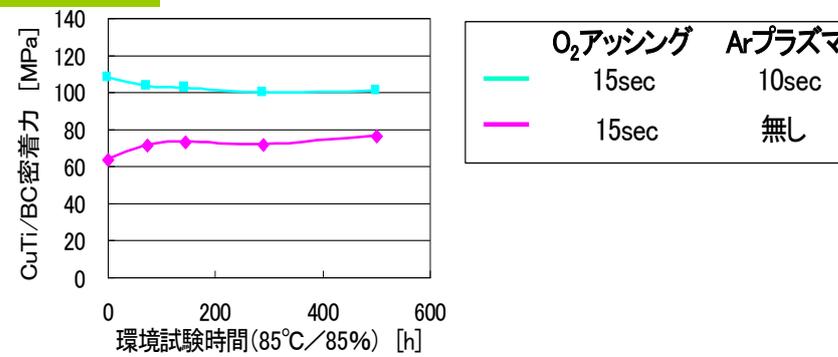
BC材料:D11015



BC材料:D11015



BC材料:D11028



7.残された課題

特になし。

8. 関連報告

技術情報B-H22-8006「第14回研究成果報告会 ハフナーコート表面処理によるCuTiBC_BCBC密着性評価」
 技術情報B-H22-8014「CuTi/BC密着性評価（環境試験による影響）」

9. その他

特になし。

10. データベース

特になし。

材料評価基準

1. 評価対象材料名

バッファークोट (BC) 材料

2. 評価の目的

BC材料の単膜での耐圧は4~5MV/cm以上ある。

一方で狭間隔化を行った櫛パターンによる配線間耐圧を測定したところ1.6~1.8MV/cm程度であり、単膜での5MV/cmにとなり比べてかなり低い値であることが確認された。

配線間の耐圧低下原因として1層目のBC材料表面のチタンや銅の金属が多く残存しているのではないかと考察し、今回BC上の金属汚染評価を行った。

3. 評価項目

再配線工程におけるBC材料上の金属汚染評価

4. 試料作製手順

4.1 使用装置

コーター	CLEAN TRACK ACT12PI (東京エレクトロン (株) 製)
デベロッパ	同上
ファーン	VF-1000B (光洋サーモシステム (株) 製)
アッシング装置	芝浦メカトロニクス製 ICE300
PVD	ENDURA CL (Applied Materials社製)
Cuめっき装置	MA-CU01 (日立協和エンジニアリング (株) 製)
Cuエッチャ	AWE-1203S (ジャパソクリエイト (株) 製)
Tiエッチャ	MP-3000 (大日本スクリーン製造 (株) 製)

4.2 金属汚染測定用サンプル作製方法

今回は単膜にてBC(D11015)上に、チタン、シード銅をPVDにスパッタを行い、これを銅エッチング、チタンエッチングを行い金属汚染測定用サンプルを作製した。(図1)さらに金属汚染を取り除くことを目的とし測定したウェーハをアッシング、洗浄して再度測定を行った。

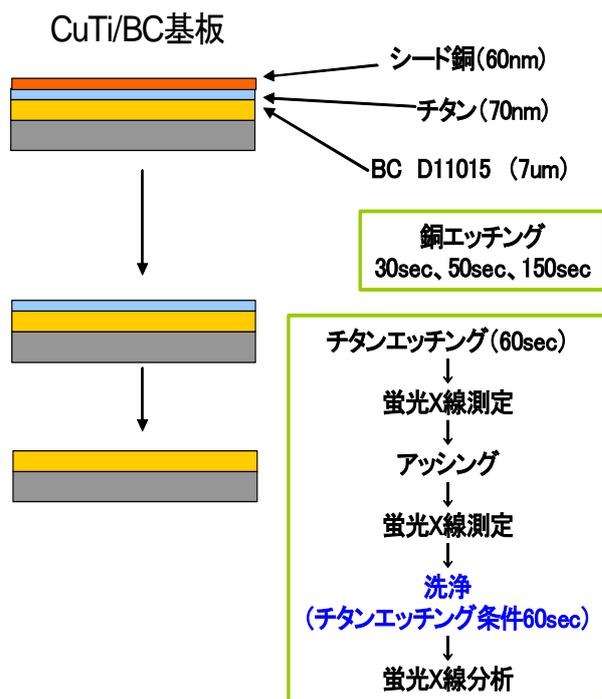


図1.金属汚染測定用サンプル作製

4.3 イオンマイグレーション用サンプル作製

プロセスフローに従いイオンマイグレーション用TEGを作製した。

5. 評価方法

5.1 使用装置

金属汚染測定	全反射蛍光X線測定 (TXRF 300:(株)リガク)
イオンマイグレーション評価	イオンマイグレーション評価システム (AMI-025PL:エスベック(株)製) HASTチャンバー (EHS-221MD : エスベック(株)製)

5.2 全反射蛍光X線測定

試料基板	Si-Wafer
試料投入モード	ノッチサーチ
マッピング	5p-300 (5点測定しての平均値)
分析条件 グループ	mat-mt□ B2-100at:W-Lb、入射0.090deg、アッテネータ 測定100sec 測定方向39deg IN

6. 評価結果と考察

6.1 チタンエッチング後の蛍光X線測定による金属汚染評価

Cuエッチング残渣が金属汚染に影響を与えるか評価するため、Cuエッチング時間を30秒、50秒、150秒(標準)で行った後、チタンエッチング60秒(標準)で行い、蛍光X線測定したところCuのエッチング時間によらずチタンが $10E+14\text{Atom/cm}^2$ 、銅が $10E+13\text{Atom/cm}^2$ と高い値で検出された。(図2)これは従来の標準条件にてエッチング行っても配線間に高い値で金属汚染が残っていることを示唆している。

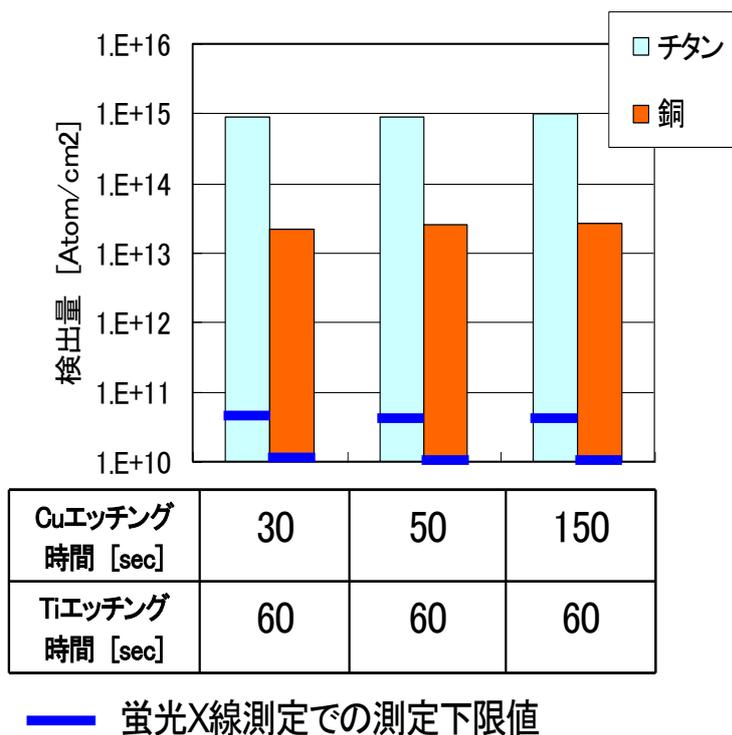
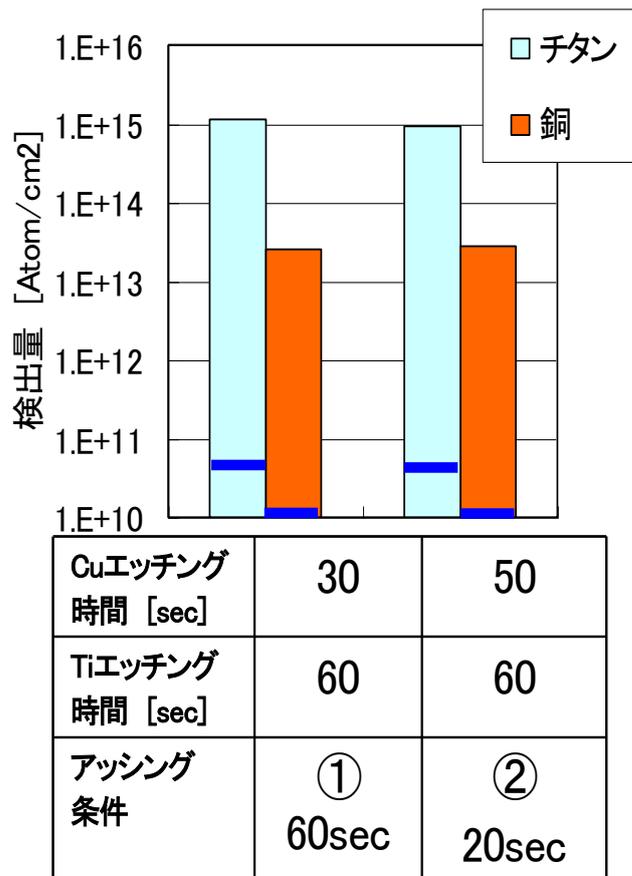


図2. チタンエッチング後の蛍光X線測定による金属汚染評価

6.2 アッシング後の蛍光X線測定による金属汚染評価

さらに O_2 アッシング処理を条件2種類(Top電圧/Bottom電圧=0W/300W、4000W/150W)にて行い蛍光X線測定による金属汚染評価を行った。(図3)しかしながらチタン、銅の値ともに O_2 アッシング前とはほぼ変化は見られなかった。

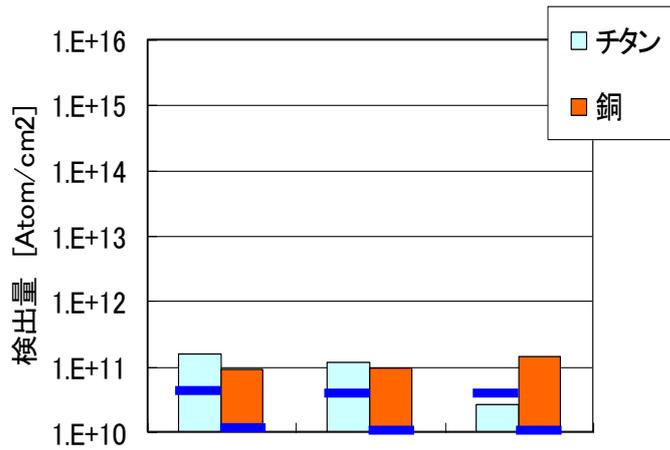


- ・アッシング条件①（新条件）
RF:0W/300W、30Pa。O₂:250sccm、25°C、60sec
- ・アッシング条件②（従来のアッシング条件）
RF:4000W/150W、3.5Pa。O₂:200sccm、25°C、20sec

図3. アッシング後の蛍光X線測定による金属汚染評価

6.3 アッシング後の蛍光X線測定による金属汚染評価

O₂アッシングを行ったのちにさらに洗浄(チタンエッチング条件:0.5wt%HF 60秒)を行い蛍光X線測定による金属汚染評価を行った。(図4)その結果チタン、銅共に測定検出限界付近の10E+10~10E+11Atom/cm²まで低下した。このことによりBC上に銅での再配線形成後(チタンエッチング後)にO₂アッシング、再度のチタンエッチング(洗浄)を行うことにより金属汚染を低下させることが可能であった。



Cuエッチング時間 [sec]	30	50	50
Tiエッチング時間 [sec]	60	60	60
アッシング条件	① 60sec	② 20sec	② 20sec
洗浄 (Tiエッチング条件)	60sec	60sec	60sec

図4. 洗浄後の蛍光X線測定による金属汚染評価

6.4 金属汚染とイオンマイグレーション評価

プロセスフロー26751 に従いイオンマイグレーション用TEGを作製し、イオンマイグレーション評価を行った。従来の標準プロセスにおいて寿命は～8.6時間であったが、金属汚染を低減したアッシング後洗浄有りの条件においては150時間以上に長寿命化した。

	Slot1	Slot5	Slot6
プロセス	標準プロセス	アッシング後 洗浄有り	標準プロセス
[hr]	8.6	(150hr以上)	0.1

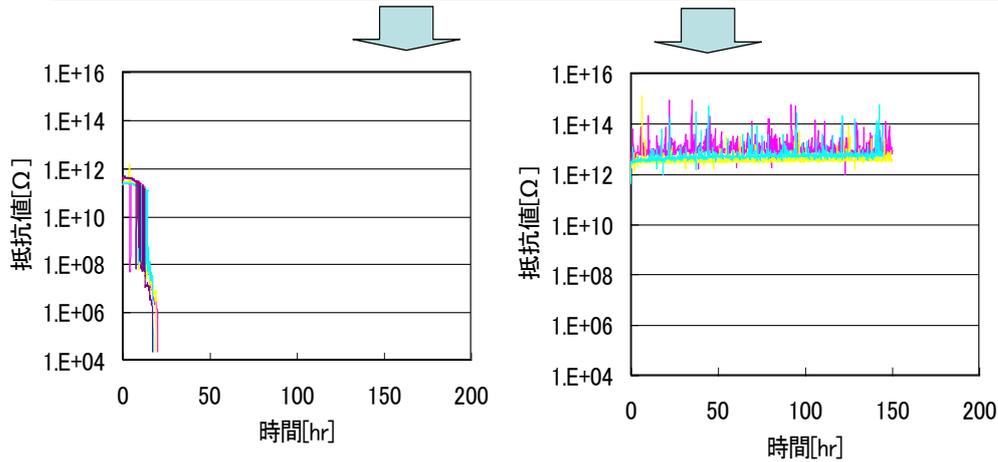


図5.イオンマイグレーション評価

BC材料:D11015、評価条件:135°C/85%、配線間隔10um、印加電圧50V

6.5 考察

従来の標準条件ではBC上にCuやTiなどの金属汚染物が残っており、イオンマイグレーション評価に影響を与え、寿命が短く評価されていたと考えられる。つまり材料だけでなくプロセス要因も寿命に影響を与えてしまっている。今後イオンマイグレーション評価を行う場合はエッチング後にアッシング、洗浄を行い、プロセス要因を出来るだけ省いて評価することが好ましいと考えられる。

7.残された課題

なし

8. 関連報告

技術情報B-H21-8020 「BC/BC界面の金属汚染とイオンマイグレーション評価」

9. その他

特になし。

10. データベース

特になし。

材料評価基準

1. 評価対象材料名 バッファークコート(BC)材料

2. 評価の目的 チップ実装、TCサイクル試験時にFC-BGAパッケージは、チップと基板の熱膨張係数差に起因してハンダバンプ近傍に応力が集中することが知られている。この際、ハンダバンプにはせん断応力および垂直応力が加わっている。今回はBC種およびBC厚を変えた場合、チップにせん断応力が加わった時の剥離、破壊箇所を調べるため、バンプシエア試験を行なった。

3. 評価項目 大型FC-BGA(C4)チップのバンプシエア試験強度評価

4. 試料作製手順
 - 4.1 使用装置

コーター	CLEAN TRACK ACT12(東京エレクトロン)
デベロッパー	同上
露光	FPA5500iZ+(キヤノン)
ファーンレス	VF-1000B(光洋サーモシステム)
アッシング	ICE300(芝浦メカトロニクス)
UBMめっき	JX日鉱日石金属(株)にて加工
バンプ形成	ミナミ(株)にて加工

 - 4.2 作製方法

プロセスフロー-36514に従って、BC層を形成し、UBM、ボール搭載、リフローを行なって、下記図1のようなバンプつきチップを作製した。

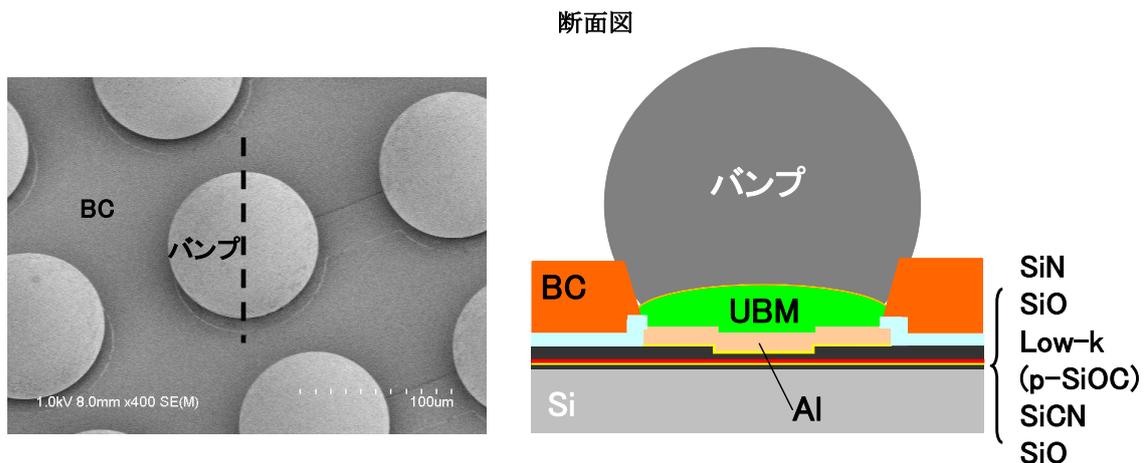


図1.本実験で用いたバンプシエア試験用サンプルの構造図

5. 評価方法

5.1 使用装置

シエア試験	万能型ボンドテスター4000(ダイジ社)
シエア後の観察	走査電子顕微鏡S-4800(日立ハイテクノロジーズ)

5.2 シエア試験方法

試験方法は材料評価基準書3009を参照のこと。

測定条件

ロードセル	BS250 (上限250gのもの)
テストスピード	10 μ m/sec
テスト高さ	1.5 μ m (下地からツール先端までの高さの設定値)
ツール幅	150 μ m (SHR-062-0150)

5.3 評価したBCの膜厚、物性値

材料コード	キュア温度	弾性率	CTE	応力	評価した膜厚		
	°C				μ m		
D11028	320	2.3	45-55	32	2.5	6.5	11.5
D11093	200	1.9	45-55	24		6.5	10.5

6. 評価結果

6.1 シエア試験結果

各BCを成膜したチップの最大シエア強度結果を図2に、シエア後の観察結果を図3に示す。図3よりシエア後破壊面はD11028, D11093ともにバンプの内部破壊であり、下地(Low-k膜)の剥離は観測されなかった。BC膜厚を変えた場合も同様の結果であった。

バンプ内部破壊を発生させる最大シエア強度は30-40mNの幅があるが、同じ膜厚で比較した場合、D11028(6.5 μ m厚)がD11093(6.5 μ m厚)より大きかった。また同じBCで比較した場合、D11028では11.5 μ m厚が最も大きく、2.5 μ m厚が最も小さかった。D11093も10.5 μ m厚が6.5 μ m厚よりも最大シエア強度が大きかった。

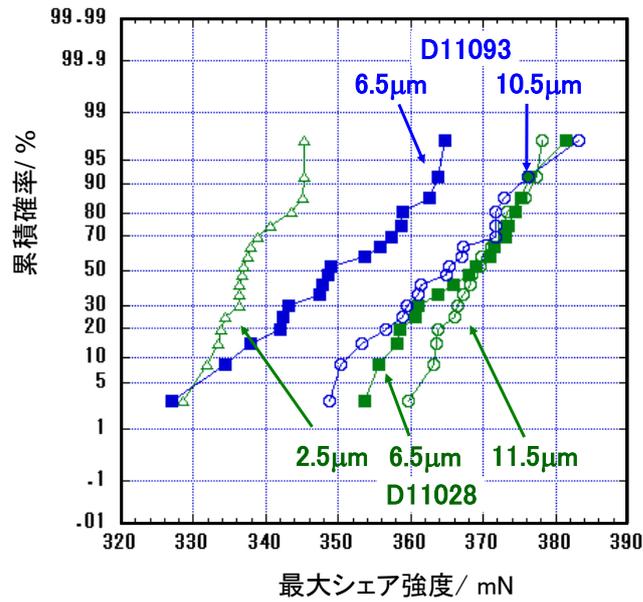


図2. BC厚、BC種違いFC-BGAチップの最大シア強度

* 各水準18チップ(1チップあたり10μバンプの平均値)の測定結果

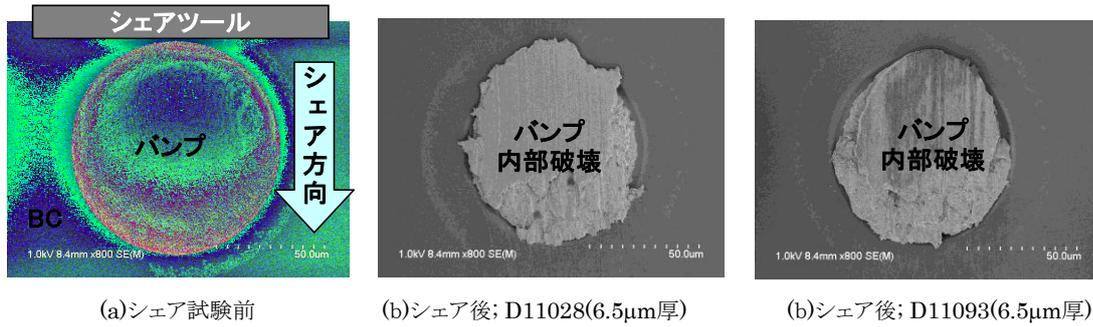


図3. シェア後の観察結果

6.2 バンプシエア試験結果の考察

BC厚、BC種を変えて作製したバンプつきチップは、シエア荷重に対するバンプ内部破壊強度差が見られた。膜厚が厚いとその強度が高いことから、シエア荷重に対してBCの反発はバンプを覆う面積の大きい厚膜ほど大きいためと考える。BCの反発が大きい点からD11093よりもD11028が高強度となるのは弾性率がD11093(1.9GPa)よりD11028(2.3GPa)が大きいためと考えられる。チップ実装、TCサイクル試験のFC-BGAがバンプ内部破壊に起因する断線不良を起こす場合、BCを厚膜にし、さらに高弾性材料を選ぶことが断線軽減に有効であると判断できる。

7. 残された課題

BC厚、BC種を変えて作製したFC-BGAのチップ実装、TCサイクル試験時の不良箇所、モードを検証し、本試験との相関を比較すること。

8. 関連報告

技術情報B-H22-8016「第15回研究成果報告会 新規後工程パッケージTEGを用いたBC材料評価」

9. その他 特になし。

10. データベース 特になし。

整理番号 36401

FEOL T3基準仕様書/p-SiOC

No	区分	工程	装置	レシピ
0	ロット編成	T3 SiC ^テ ホ ^ホ 完 ^エ - ^ハ 使用のこと		
1	M1-SiOC ^テ ホ ^ホ	p-SiOC ^テ ホ ^ホ	PRODUCER	BD100nmRF500W
2	M1-CAP ^テ ホ ^ホ	二周波p-SiO ^テ ホ ^ホ	PRODUCER	DSiO60T300L140
3	M1リソ	BARC/レジスト塗布	ACT12(ArF)	IL-PA200BA65
		露光	FPA-6000AS4	CAST-T3/M1
		PEB現像/ホストベーク	ACT12(ArF)	IL-PA200BA65
		寸法確認	S9360#1	CAST-T3/001-M1-1pt3sht
		合わせ検査	LA-300	CAST-T3/M1
4	M1トライ	BARC/SiO /SiOC/SiC ^テ ホ ^ホ	Telius-SCCM	CAST_T1_M1
		アッシング	ICE/CDE300	Lowk45_300s
		寸法検査	S9380#2	CAST-T3/001ASH-M1-1pt3sht
5	M1洗浄	ホリマ-除去	SR-3000	411
6	M1 ^テ ホ ^ホ	TaN/Ta/Cuスラッタ	Endura	10NM,10NM,60NM
		Cuメッキ	Slim Cell	B0.60UM-I-A
7	M1-CMP	Cu-CMP/ハリアCMP	ChaMP	C-CMP4-M1-STD
		剥離検査	金顕	
8	Via-SiCN ^テ ホ ^ホ	p-SiCN ^テ ホ ^ホ	PRODUCER	BLOK 30nm nonNH3
9	Via-SiOC ^テ ホ ^ホ	p-SiOC ^テ ホ ^ホ	PRODUCER	BD100nmRF500W
10	M2-SiCN ^テ ホ ^ホ	p-SiCN ^テ ホ ^ホ	PRODUCER	BLOK 30nm nonNH3
11	M2-SiOC ^テ ホ ^ホ	p-SiOC ^テ ホ ^ホ	PRODUCER	BD100nmRF500W
12	M2-CAP ^テ ホ ^ホ	二周波p-SiO ^テ ホ ^ホ	PRODUCER	DSiO60T300L140
13	Viaリソ	BARC/レジスト塗布	ACT12(ArF)	IL-PG300BA65
		露光	FPA-6000AS4	CAST-T3/V1
		PEB現像/ホストベーク	ACT12(ArF)	IL-PG300BA65
		寸法確認	S9360#1	CAST-T3/002-V1-1pt3sht
		合わせ検査	LA-300	CAST-T3/V1
特記事項				

14	DD-Viaトライ	BARC/SiO/SiOC/SiCNIetch	Telius-SCCM	BD100_DD60
		アッシング	ICE/CDE300	Lowk45_300s
		寸法検査	S9380#2	CAST-T3/002ASH-V1-1pt3sht
15	DD-Via洗浄	ホリマ-除去	SR-3000	411
16	DD-M2リソ	BARC/レジスト塗布	ACT12(ArF)	IL-PA200BA65
		露光	FPA-6000AS4	CAST-T3/M2
		PEB現像/レジストベーク	ACT12(ArF)	IL-PA200BA65
		寸法確認	S9360#1	CAST-T3/003-M2-1pt3sht
		合わせ検査	LA-300	CAST-T3/M2
17	DD-M2トライ	BARC/SiO/SiOCIetch	Telius-SCCM	M2_SiOC_100
		アッシング	ICE/CDE300	Lowk90_300s
		寸法検査	S9380#2	CAST-T3/003ASH-M2-1pt3sht
18	DD-M2洗浄	ホリマ-除去	SR-3000	411
19	M2テホ	TaN/Ta/Cuスリット	Endura	10NM,10NM,60NM
		Cuメッキ	Slim Cell	B0.60UM-I-A
20	M2-CMP	Cu-CMP/ハリアCMP	ChaMP	C-CMP4-M1-STD
		剥離検査	金頭	
21	PROテホ	p-SiCNテホ	PRODUCER	BLOK 30nm nonNH3
		p-SiOテホ		SiO 500nm
22	PROホ	レジスト塗布	ACT12(ArF用)	P-PFI38-1um
		露光	FPA5500iZ	CAST-T3/PRO
		PEB現像/レジストベーク	ACT12(ArF用)	EX-Local-SH
		合わせ検査	金頭	
特記事項				

23	PROトライ	SiOエッチ	Telius-SCCM	SiO_500_PRO_2
		アッシング	ICE/CDE300	3M01
		SiCNエッチ	Telius-SCCM	SiCN50_PROST
24	PRO洗浄	ポリマー除去	SR-3000	411
25	M3-ALテポ	Ti-Alスパッタ	Endura	CH-F:30S TI, AL
26	M3-AL朴	レジスト塗布	ACT12(ArF用)	P-PFI38-1um
		露光	FPA5500iZ	CAST-T3/PAD
		PEB現像/ポストバーク	ACT12(ArF用)	EX-Local-SH150
		合わせ検査	金顕	
27	M3-ALエッチ	ALウエットエッチ	ALウエットエッチ	モト5, No.3
		Tiウエットエッチ	MP-3000	123
		アッシング	ICE/CDE300	AL IR REM
28	M3-AL洗浄	ポリマー除去	SR-3000	411
29	PVテポ	p-SiCNテポ	PRODUCER	BLOK 30nm nonNH3
		p-SiNテポ		SiN 500nm
30	PV朴	レジスト塗布	ACT12(ArF用)	P-PFI38-1um
		露光	FPA5500iZ	CAST-T3/PV
		PEB現像/ポストバーク	ACT12(ArF用)	EX-Local-SH
		合わせ検査	金顕	
31	PVトライ	SiN/SiCNエッチ	Telius-SCCM	SiN-500-PV
		アッシング	ICE/CDE300	3M01
32	PV洗浄	ポリマー除去	SR-3000	411
33	N27ニール	N27ニール	ALPHA-303-C	SB-04
34	電気測定	プローバ-測定	プローバ-C	
完成		払い出し		
特記事項				

再配線プロセス基準仕様書

No	区分	工程	装置	概要
0	ロット編成			
1	BC塗布	塗布・プリベーク	ACT12(PI用)	各BC材料推奨条件
2	BC露光	露光	FPA5500iZ	CAST-PKG1/CASMAT252
3	BC現像	現像	ACT12(PI用)	各BC材料推奨条件
4	BCキュア	キュア	VF-1000B	各BC材料推奨条件
5	アッシング	アッシング	ICE300	C-30PA-15Sを5sに変更
6	ハリア/シートデポ	Ti-Cuスハッタ	Endura CL	TI-CU
7	レジスト塗布	塗布・プリベーク	ACT12(PI用)	C-P-W1000PM2
8	レジスト朴	露光	FPA5500iZ	CAST-T3/T3-CMR1-01
		現像	ACT12(PI用)	D-P-W1000-NON
9	レジストアッシング	アッシング	ICE300	O2_15s.RCP
10	Cuめっき	めっき	ECP_Cuメッキ	CAS-246/C246-4.2μ m
11	レジスト剥離	ウェット剥離	ACT12(PI用)	P-LA900-RE-NEW
12	アッシング	アッシング	ICE300	PC1_REM_0W60s.RCP
13	Cuアニール	アニール	VF-1000B	F0203_01
14	Cuエッチ	ウェットエッチ	AWE-1203S	モード2/レジ1、150sに変更
15	Tiエッチ	ウェットエッチ	MP-3000	403
16	アッシング	アッシング	ICE300	O2_15s.RCP
17	乾燥	乾燥	VF-1000B	F0203_01
18	BC2層目塗布	塗布・プリベーク	ACT12(PI用)	各BC材料推奨条件
19	BC朴	露光	FPA5500iZ	CAST-T2/CASMAT247
		現像	ACT12(PI用)	各BC材料推奨条件
20	BCキュア	キュア	VF-1000B	各BC材料推奨条件
21	払出			

材料評価基準書「CMP-C2 マスク説明書」

1. CMP-C2 マスクの目的

本マスク(CMP-C2)の目的は Cu-CMP の半導体関連材料(CMP スラリー、CMP 後洗浄液、CMP パッドなど)の Cu 配線の腐食性能と多層配線の平坦性評価である。本マスクでは1枚のマスクに「腐食評価TEG」と「平坦性評価TEG」の二種類の TEG を搭載している。

2. マスク構成と各マスクの仕様

- ・マスクセット名称: CMP-C2(本マスク)と CMP-4(既存)
- ・マスクセットの使用方法

腐食評価の場合は CMP-C2 を単層配線で使用する。

平坦性評価の場合は配線 1 層目に CMP-4 マスク(既存マスク)、配線 2 層目に CMP-C2 マスク(本マスク)の2層配線構造で使用する。

表1. マスクまとめ

適用層名	(gds レイヤー番号, データタイプ)	マスク仕様		
		レチクル材	ウェーハ上寸法公差	ウェーハ上位置精度
CMP-4 (M1) (既存マスク)	(1, 0)	ハーフトーン	4nm 以下	4nm 以下
CMP-C2 (本マスク)	(2, 0)	バイナリー	-----	-----

3. 本マスクによる試料の基本的断面構造

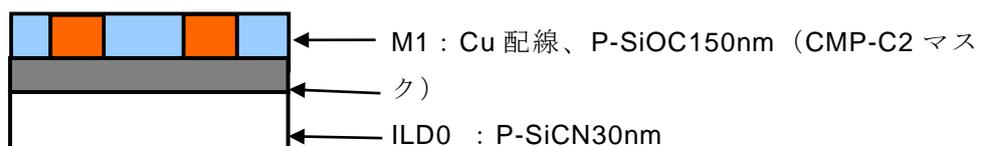


図1. Cu/Low-k 1層配線断面図(濃淡電池腐食評価の場合)

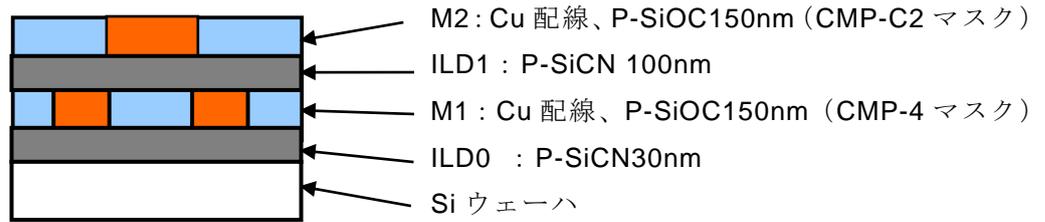


図 2. Cu/Low-k 2層配線断面図(CMP 平坦性評価の場合)

4. マスク合わせ方式(合わせターゲット座標など)

露光機はArFスキャナー(FPA-6000AS4 CANON)を使用する。表 2 に露光機用合わせマークを示す。露光機用合わせマークには図 3 に示すプリアライメント用と図4に示すファインアライメント用があり、共に CANON 推奨マークを使用した。CMP-C2 では CMP-4 の M1 層とまったく同じプリアライメントマークとファインアライメントマークの 2 種類を配置し、その位置座標を表 3、表 4 に示す。

表2. 露光機用合わせマーク

適用層名	露光装置	マスク仕様	
		プリアライメント	ファインアライメント
CMP-4 (M1)	ArF	○	○
CMP-C2	ArF	○	○

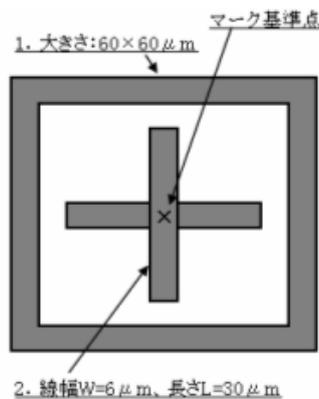


図3. プリアライメントマーク

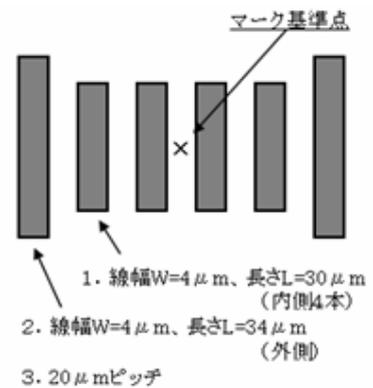


図4. ファインアライメントマーク

適用層名	X 方向	
	X (mm)	Y (mm)
CMP-4 (M1)	0	-10.45
CMP-C2	0	-10.45

表3 プリアライメントマークの座標(原点はレチクル中心)

プリアライメントマークとは理想位置からどれくらいずれているかを検出し、ウェーハの回転や位置調整によってそのズレを補正するものである。

表 4. 露光用ファインアライメントマーク座標(原点はレチクル中心)

適用層名	X 方向		Y方向	
	X (mm)	Y (mm)	X (mm)	Y (mm)
CMP-4 (M1)	7.34	-10.45	-10.45	7.34
CMP-C2	7.34	-10.45	-10.45	7.34

5. レイアウトルールとダミーパターン

本マスクは TEG 評価専用マスクであるため、一般的な製品のようなレイアウトルールはない。しかし、レイアウトルール無しでパターン設計を行った場合、過度なディッシング、エロージョンや解像不良、レジスト倒れなどにより、周辺パターンに大きな影響を与える恐れがある。そこで本マスクでは以下の最低限のレイアウトルールを設定した。

(1) 線幅に関するレイアウトルール

- ・最小線幅: 180nm (本マスクはバイナリーマスクのため最小線幅を 180nm とした)
- ・最大線幅: 100um

(2) CMP ダミーパターン

本パターンはコンピュータプログラムにより自動生成した。パターンの疎密差に起因する過度なディッシング、エロージョンの発生を防ぐため、本来の TEG パターンの余白部には、図5に示す $0.8\mu\text{m} \times 0.8\mu\text{m}$ の正方形のダミーパターンを $1.8\mu\text{m}$ ピッチで敷き詰めた。また、TEG パターンとダミーパターンの境界部では TEG パターンよりも $1\mu\text{m}$ 大きな領域を仮想し、その仮想領域と干渉するダミーを削除する仕様とした。本ダミーのパターン密度は $(0.8\mu\text{m} / 1.8\mu\text{m})^2 = 20\%$ である。また、ダミーを故意に抜いた TEG については、後述するパッドブロック座標一覧表にダミーの有無を明記している。

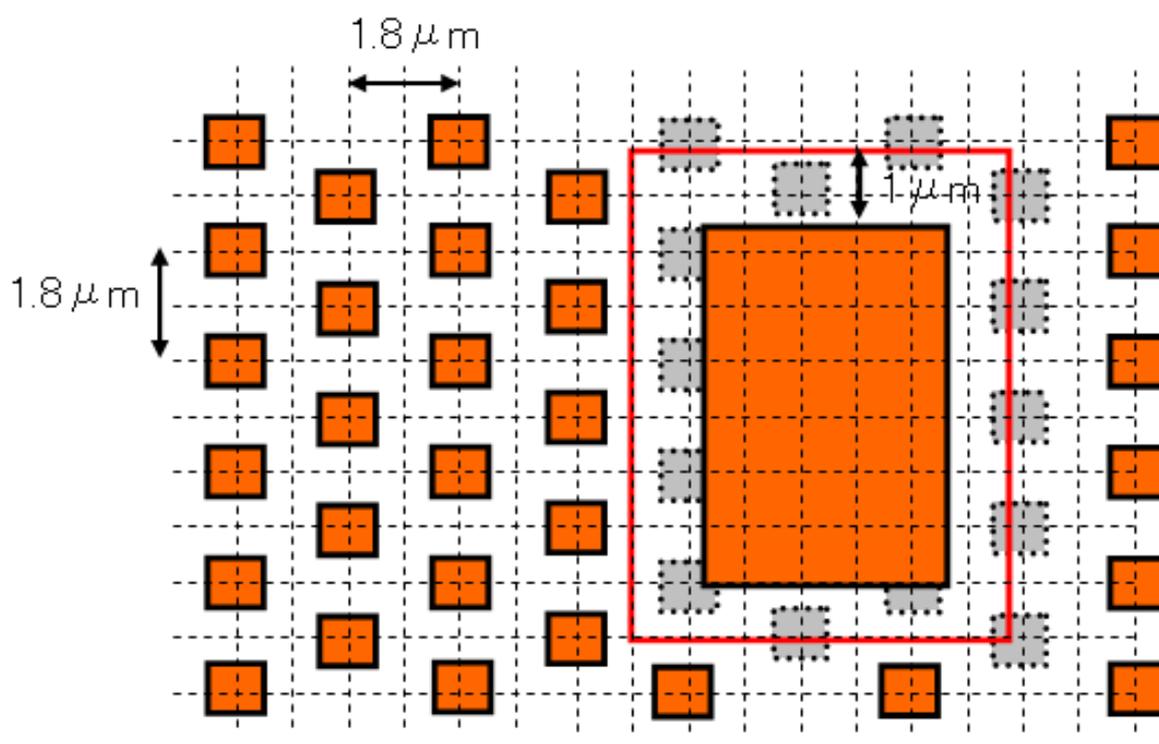


図 5 CMP ダミーパターンと配線パターン

6. CMP-C2 マスクのフロアプラン

図6に CMP-C2 マスクのフロアプランを示す。図6CAD データファイルを画面キャプチャーし、濃淡電池 TEG は青枠で囲み、平坦性評価 TEG は緑枠で囲んだ。

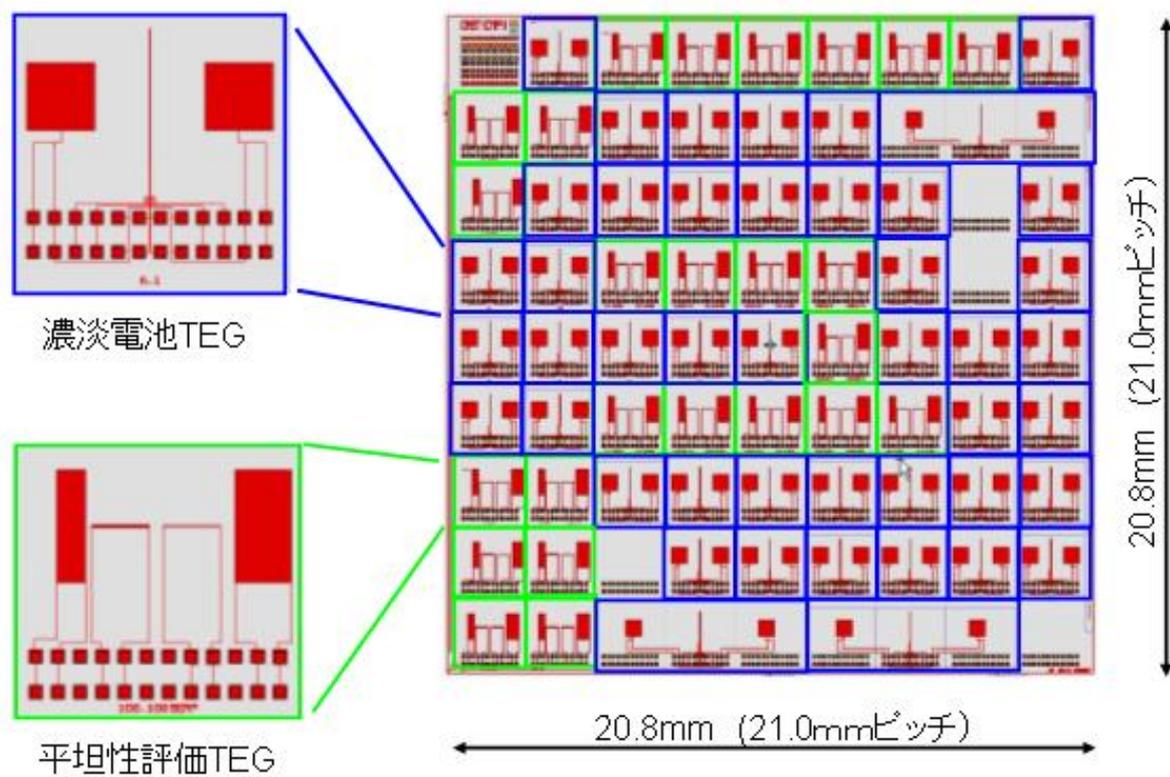


図6 CMP-C2 マスクのフロアプラン

7. 濃淡電池 TEG

図7は CMP-C2 マスクの濃淡電池 TEG 部分のレイアウトを示したもので、CAD データ画像をキャプチャーし各濃淡電池 TEG パターンを黒線枠で囲み、略称を表す文字を重ねた。赤いパターンは CMP-C2 マスクで形成する M1 パターンを表している。A から N までは各 3 個ずつパターンがあり、それぞれのパターンの 1 と 2 はダミーパターンあり、3 はダミーパターンなしとしている。また、O1,O2,P1 はポテンシャルプレートを離れた 3 倍パターンである。

また、チップの右辺には正方形の大きなパッドに線幅 0.2um の配線を接続した腐食外観観察パターンを設けた。

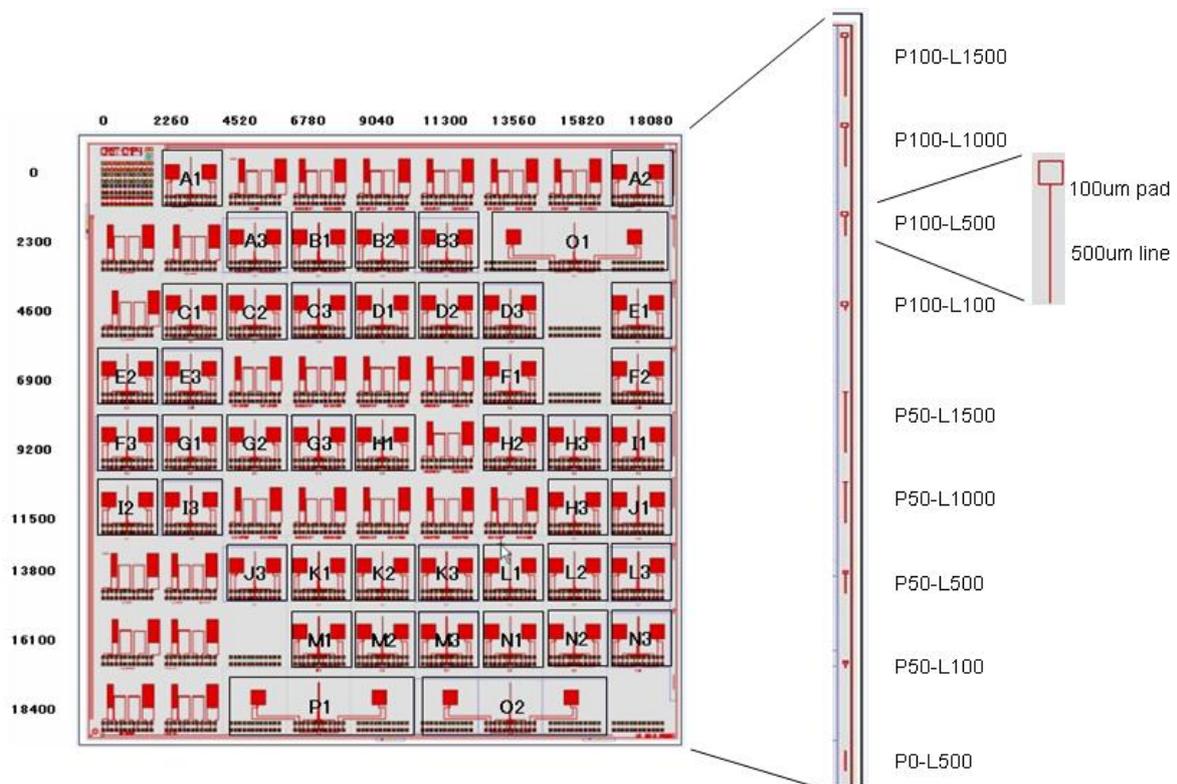


図7. CMP-C2 マスク上の濃淡電池 TEG

図8に濃淡電池 TEG パターンの模式図を示す。濃淡電池 TEG は一区画 2260um x 2300um で左側にポテンシャルプレート 1 を配置し、右側にポテンシャルプレート 2 を配置した。そのポテンシャルプレートはそれぞれ中央の一对の配線R1, R2(腐食評価センサー)にジャンパー線で接続されている。また、R1, R2は配線幅の寸法バラツキを防ぐため、R1, Rの左右に 8 本ずつダミー配線を設けた。

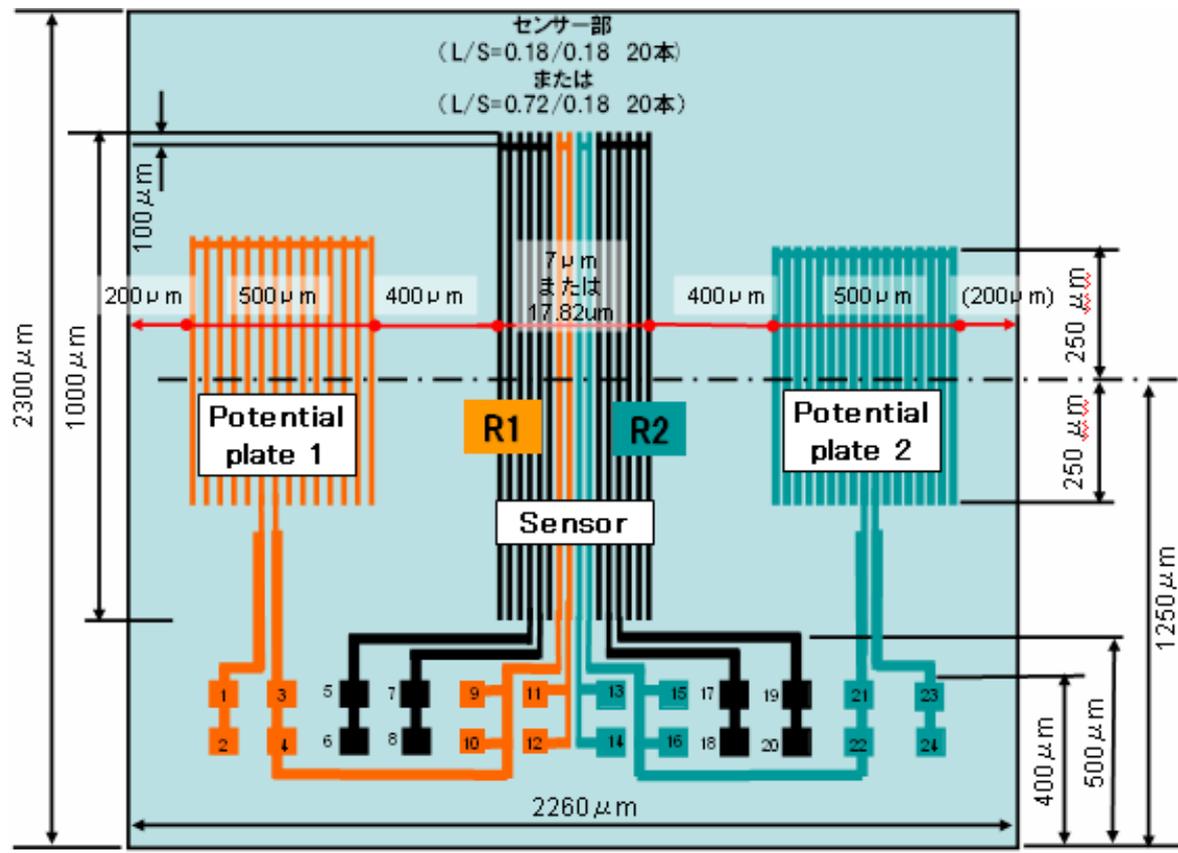


図 8. 濃淡電池 TEG の模式図

表5には濃淡電池 TEG の一覧表を示したもので、TEG の仕様(センサーのポテンシャルプレート線の線幅、線間隔、ダミー有無)とパッドブロックの位置座標を載せている。

表 5. 濃淡電池 TEG のパッドブロック位置座標一覧表

No.	素子名	Dummy	X-cord (um)	Y-Cord (um)	Potential Plate1	Potential Plate2	Sensor	Pad番号				測定部位	配線長 (mm)
1	A1	あり	2260	0	0.18/0.18	0.18/0.18	0.18/0.18	9	10	11	12	R1	2.519
2	A2	あり	18080	0				13	14	15	16	R2	2.519
3	A3	なし	4520	2300				1	2	3	4	PP1	1.444
4								21	22	23	24	PP2	1.444
5								5	6	7	8	R1の左	2.553
6								17	18	19	20	R2の右	2.553
7	B1	あり	6780	2300	3/3	0.18/0.18	0.18/0.18	9	10	11	12	R1	2.519
8	B2	あり	9040	2300				13	14	15	16	R2	2.519
9	B3	なし	11300	2300				1	2	3	4	PP1	1.444
10								21	22	23	24	PP2	1.444
11								5	6	7	8	R1の左	2.553
12								17	18	19	20	R2の右	2.553
13	C1	あり	2260	4600	5/5	0.18/0.18	0.18/0.18	9	10	11	12	R1	2.519
14	C2	あり	4520	4600				13	14	15	16	R2	2.519
15	C3	なし	6780	4600				1	2	3	4	PP1	1.444
16								21	22	23	24	PP2	1.444
17								5	6	7	8	R1の左	2.553
18								17	18	19	20	R2の右	2.553
19	D1	あり	9040	4600	0.18/0.72	0.18/0.18	0.18/0.18	9	10	11	12	R1	2.519
20	D2	あり	11300	4600	20%			13	14	15	16	R2	2.519
21	D3	なし	13560	4600				1	2	3	4	PP1	1.444
22								21	22	23	24	PP2	1.444
23								5	6	7	8	R1の左	2.553
24								17	18	19	20	R2の右	2.553
25	E1	あり	18080	4600	0.18/1.62	0.18/0.18	0.18/0.18	9	10	11	12	R1	2.519
26	E2	あり	0	6900	10%			13	14	15	16	R2	2.519
27	E3	なし	2260	6900				1	2	3	4	PP1	1.444
28								21	22	23	24	PP2	1.444
29								5	6	7	8	R1の左	2.553
30								17	18	19	20	R2の右	2.553
31	F1	あり	13560	6900	0.18/0.72	0.72/0.18	0.18/0.18	9	10	11	12	R1	2.519
32	F2	あり	18080	6900	20%	80%		13	14	15	16	R2	2.519
33	F3	なし	0	9200				1	2	3	4	PP1	1.444
34								21	22	23	24	PP2	1.444
35								5	6	7	8	R1の左	2.553
36								17	18	19	20	R2の右	2.553
37	G1	あり	2260	9200	0.18/1.62	1.62/0.18	0.18/0.18	9	10	11	12	R1	2.519
38	G2	あり	4520	9200	10%	90%		13	14	15	16	R2	2.519
39	G3	なし	6780	9200				1	2	3	4	PP1	1.444
40								21	22	23	24	PP2	1.444
41								5	6	7	8	R1の左	2.553
42								17	18	19	20	R2の右	2.553
43	H1	あり	9040	9200	0.18/0.18	0.18/0.18	0.72/0.18	9	10	11	12	R1	2.519
44	H2	あり	13560	9200				13	14	15	16	R2	2.519
45	H3	なし	15820	9200				1	2	3	4	PP1	1.444
46								21	22	23	24	PP2	1.444
47								5	6	7	8	R1の左	2.553
48								17	18	19	20	R2の右	2.553

表5の続き

No.	素子名	Dummy	X-cord (um)	Y-Cord (um)	Potential Plate1	Potential Plate2	Sensor	Pad番号				測定部位	配線長 (mm)
								9	10	11	12		
49	I1	あり	18080	9200	3/3	0.18/0.18	0.72/0.18	9	10	11	12	R1	2.519
50	I2	あり	0	11500				13	14	15	16	R2	2.519
51	I3	なし	2260	11500				1	2	3	4	PP1	1.444
52								21	22	23	24	PP2	1.444
53								5	6	7	8	R1の左	2.553
54								17	18	19	20	R2の右	2.553
55	J1	あり	15820	11500	5/5	0.18/0.18	0.72/0.18	9	10	11	12	R1	2.519
56	J2	あり	18080	11500				13	14	15	16	R2	2.519
57	J3	なし	4520	13800				1	2	3	4	PP1	1.444
58								21	22	23	24	PP2	1.444
59								5	6	7	8	R1の左	2.553
60								17	18	19	20	R2の右	2.553
61	K1	あり	6780	13800	0.18/0.72	0.18/0.18	0.72/0.18	9	10	11	12	R1	2.519
62	K2	あり	9040	13800	20%			13	14	15	16	R2	2.519
63	K3	なし	11300	13800				1	2	3	4	PP1	1.444
64								21	22	23	24	PP2	1.444
65								5	6	7	8	R1の左	2.553
66								17	18	19	20	R2の右	2.553
67	L1	あり	13560	13800	0.18/1.62	0.18/0.18	0.72/0.18	9	10	11	12	R1	2.519
68	L2	あり	15820	13800	10%			13	14	15	16	R2	2.519
69	L3	なし	18080	13800				1	2	3	4	PP1	1.444
70								21	22	23	24	PP2	1.444
71								5	6	7	8	R1の左	2.553
72								17	18	19	20	R2の右	2.553
73	M1	あり	6780	16100	0.18/0.72	0.72/0.18	0.72/0.18	9	10	11	12	R1	2.519
74	M2	あり	9040	16100	20%	80%		13	14	15	16	R2	2.519
75	M3	なし	11300	16100				1	2	3	4	PP1	1.444
76								21	22	23	24	PP2	1.444
77								5	6	7	8	R1の左	2.553
78								17	18	19	20	R2の右	2.553
79	N1	あり	13560	16100	0.18/1.62	1.62/0.18	0.72/0.18	9	10	11	12	R1	2.519
80	N2	あり	15820	16100	10%	90%		13	14	15	16	R2	2.519
81	N3	なし	18080	16100				1	2	3	4	PP1	1.444
82								21	22	23	24	PP2	1.444
83								5	6	7	8	R1の左	2.553
84								17	18	19	20	R2の右	2.553
85	O1 3倍パターン	あり	15820	2300	0.18/0.72	0.72/0.18	0.18/0.18	9	10	11	12	R1	2.519
86	O2 3倍パターン	なし	13560	18400	20%	80%		13	14	15	16	R2	2.519
87								1	2	3	4	PP1	1.444
88								21	22	23	24	PP2	1.444
89								5	6	7	8	R1の左	2.553
90								17	18	19	20	R2の右	2.553
91	P1 3倍パターン	あり	9040	18400	0.18/0.72	0.72/0.18	0.72/0.18	9	10	11	12	R1	2.519
92					20%	80%		13	14	15	16	R2	2.519
93								1	2	3	4	PP1	1.444
94								21	22	23	24	PP2	1.444
95								5	6	7	8	R1の左	2.553
96								17	18	19	20	R2の右	2.553

8. 平坦性評価 TEG

図9は平坦性評価 TEG のフロアプランを示すもので、CAD データ画像をキャプチャーし、各 TEG パターンの略称(M1 層の CMP-4 の配線線幅/スペース幅(μm)とダミー有りは D、ダミー無しは ND)を表す文字を半透明化して重ねた。図 9 の緑のパターンは M1 層の CMP-4 パターン(黒枠の部分)で、赤は M2 層の CMP-C2 パターンを表す。

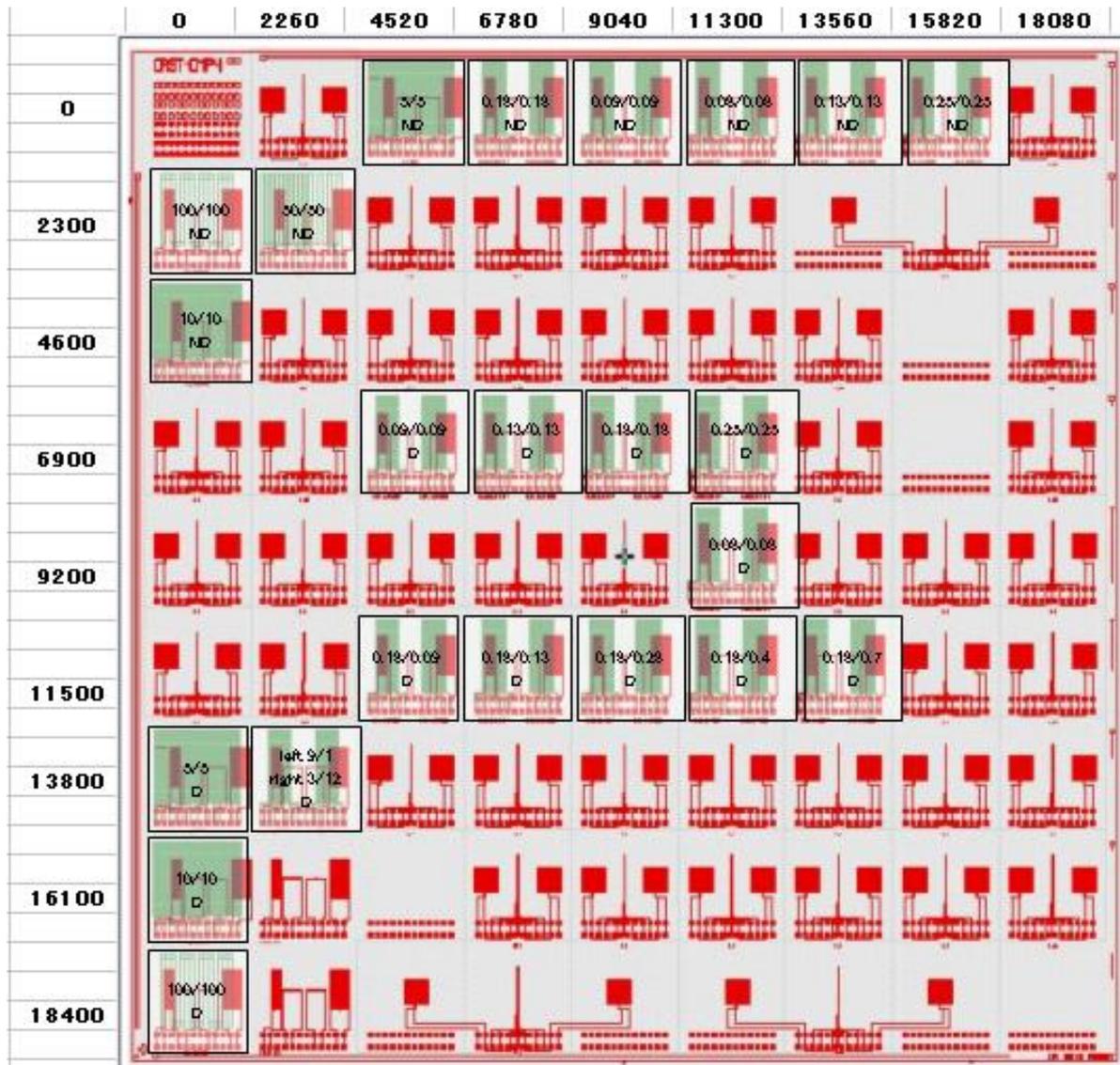


図9. M1層 CMP-4 / M2層 CMP-C2 2層配線パターン

表6 CMP-C2 配線平坦性評価 TEG のパッドブロック座標一覧表

No.	下地M1 L/S(nm)	M1 Dummy	測定部位	Pad番号				櫛の 本数	X-cord (um)	Y-Cord (um)
				21	22	23	24			
1	80/80	無し	EOE R888hon	21	22	23	24	888本	11300	0
2			EOE R10hon	15	16	17	18	10本		
3			EOE L20hon	7	8	9	10	20本		
4			on L/S L888hon	1	2	3	4	888本		
5	90/90	無し	EOE R888hon	21	22	23	24	888本	9040	0
6			EOE R10hon	15	16	17	18	10本		
7			EOE L20hon	7	8	9	10	20本		
8			on L/S L888hon	1	2	3	4	888本		
9	130/130	無し	EOE R888hon	21	22	23	24	888本	13560	0
10			EOE R10hon	15	16	17	18	10本		
11			EOE L20hon	7	8	9	10	20本		
12			on L/S L888hon	1	2	3	4	888本		
13	180/180	無し	EOE R888hon	21	22	23	24	888本	6780	0
14			EOE R10hon	15	16	17	18	10本		
15			EOE L20hon	7	8	9	10	20本		
16			on L/S L888hon	1	2	3	4	888本		
17	250/250	無し	EOE R888hon	21	22	23	24	888本	15820	0
18			EOE R10hon	15	16	17	18	10本		
19			EOE L20hon	7	8	9	10	20本		
20			on L/S L888hon	1	2	3	4	888本		
21	100um/100um	無し	EOE R888hon	21	22	23	24	888本	0	2300
22			on L/S R10hon	15	16	17	18	10本		
23			on L/S L20hon	7	8	9	10	20本		
24			on L/S L888hon	1	2	3	4	888本		
25	80/80	在り	EOE R888hon	21	22	23	24	888本	11300	9200
26			EOE R10hon	15	16	17	18	10本		
27			EOE L20hon	7	8	9	10	20本		
28			on L/S L888hon	1	2	3	4	888本		
29	90/90	在り	EOE R888hon	21	22	23	24	888本	4520	6900
30			EOE R10hon	15	16	17	18	10本		
31			EOE L20hon	7	8	9	10	20本		
32			on L/S L888hon	1	2	3	4	888本		
33	130/130	在り	EOE R888hon	21	22	23	24	888本	6780	6900
34			EOE R10hon	15	16	17	18	10本		
35			EOE L20hon	7	8	9	10	20本		
36			on L/S L888hon	1	2	3	4	888本		
37	180/180	在り	EOE R888hon	21	22	23	24	888本	9040	6900
38			EOE R10hon	15	16	17	18	10本		
39			EOE L20hon	7	8	9	10	20本		
40			on L/S L888hon	1	2	3	4	888本		

表6の続き

No.	下地M1 L/S(nm)	M1 Dummy	測定部位	Pad番号				櫛の 本数	X-cord (um)	Y-Cord (um)
				21	22	23	24			
41	250/250	在り	EOE R888hon	21	22	23	24	888本	11300	6900
42			EOE R10hon	15	16	17	18	10本		
43			EOE L20hon	7	8	9	10	20本		
44			on L/S L888hon	1	2	3	4	888本		
45	5um/5um	在り	EOE R888hon	21	22	23	24	888本	0	13800
46			on L/S R10hon	15	16	17	18	10本		
47			on L/S L20hon	7	8	9	10	20本		
48			on L/S L888hon	1	2	3	4	888本		
49	10um/10um	在り	EOE R888hon	21	22	23	24	888本	0	16100
50			on L/S R10hon	15	16	17	18	10本		
51			on L/S L20hon	7	8	9	10	20本		
52			on L/S L888hon	1	2	3	4	888本		
53	100um/100um	在り	EOE R888hon	21	22	23	24	888本	0	18400
54			on L/S R10hon	15	16	17	18	10本		
55			on L/S L20hon	7	8	9	10	20本		
56			on L/S L888hon	1	2	3	4	888本		
57	180/90	在り	EOE R888hon	21	22	23	24	888本	4520	11500
58			EOE R10hon	15	16	17	18	10本		
59			EOE L20hon	7	8	9	10	20本		
60			on L/S L888hon	1	2	3	4	888本		
61	180/130	在り	EOE R888hon	21	22	23	24	888本	6780	11500
62			EOE R10hon	15	16	17	18	10本		
63			EOE L20hon	7	8	9	10	20本		
64			on L/S L888hon	1	2	3	4	888本		
65	180/280	在り	EOE R888hon	21	22	23	24	888本	9040	11500
66			EOE R10hon	15	16	17	18	10本		
67			EOE L20hon	7	8	9	10	20本		
68			on L/S L888hon	1	2	3	4	888本		
69	180/400	在り	EOE R888hon	21	22	23	24	888本	11300	11500
70			EOE R10hon	15	16	17	18	10本		
71			EOE L20hon	7	8	9	10	20本		
72			on L/S L888hon	1	2	3	4	888本		
73	180/700	在り	EOE R888hon	21	22	23	24	888本	13560	11500
74			EOE R10hon	15	16	17	18	10本		
75			EOE L20hon	7	8	9	10	20本		
76			on L/S L888hon	1	2	3	4	888本		
77	3/12	在り	EOE R888hon	21	22	23	24	888本	2260	13800
78			EOE R10hon	15	16	17	18	10本		
79	9/1	在り	EOE L20hon	7	8	9	10	20本		
80			on L/S L888hon	1	2	3	4	888本		

9. パッドブロック

CMP-C2 TEG のパッドブロックは CASMAT 標準の24ピンを採用した。その仕様を図11に示す。

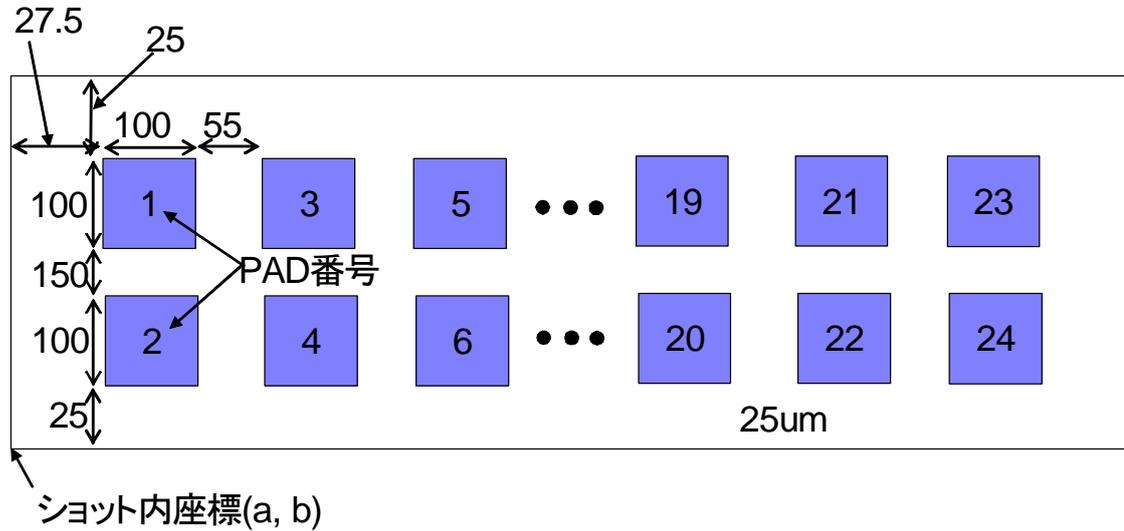


図11. パッドブロックの仕様

10. 関連報告

- (1) 評価基準書 (CASMAT-II 27501) 「CMP4 マスク説明書」
- (2) 評価基準書 (CASMAT-III 32203) 「濃淡電池 TEG を用いた銅配線の腐食評価」

材料評価基準 「T3 マスク説明書」

1. TEG の目的

接合素子を用いて BEOL 用材料、プロセスの影響評価（誘電率、耐圧、汚染、ダメージ、電荷蓄積等）を可能とする TEG(T2)を改良して、より高精度で高感度な TEG を提供すること。

2. TEG の構成と仕様

マスクの概要

マスク名： CAST-T3

枚数：12 枚 BEOL7 枚のみペリクル有

KrF 露光機用（i 線兼用） バイナリ

チップ寸法： 21.5 mm X 26.9 mm

レチクル寸法： 6 インチ

表 1. マスクの構成と仕様

No.	層名	層番	パターン	倍率	最小	最大	目的	備考
1	L	11	A	×4	0.5	100	素子分離	
2	FG	12	A	"	0.2	100	ゲート	
3	N1	13	B	"	0.5	-	N型拡散層 (LDD)	
4	N2	14	B	"	0.5	-	N型拡散層 (S/D)	
5	P	15	B	"	0.5	-	SUB 引上げ	
6	SP	16	A	"	0.5	-	シリサイド保護	CNT 上は SP 禁止
7	CNT	17	B	"	0.4	1	コンタクト	0.4, 1.0um 限定
8	M1	51	B	"	0.2	100	1層配線	
9	V1	52	B	"	0.18	0.25	接続孔 1	0.18~ 0.25um 限定
10	M2	53	B	"	0.2	100	2層配線	
11	PO1	56	B	"	0.5	-	パッド孔	
12	PAD1	57	A	"	10	-	パッド配線	

パターン： A は白(島パターン)、B は黒(孔パターン)

最大、最小： 単位 [μm]

マスク合せパターン

CANON 用 プリアライメントマーク、ファインアライメントマーク
(X 方向、Y 方向)

マスク合せツリー

L - FG - CNT - M1 - M2 - PO1 - PAD1
 - N1 - V1
 - N2
 - P
 - SP

マスク合せ余裕

2層間 $\pm 0.2\mu\text{m}$
 但し、M1、V1、M2 は
 2層間 $\pm 0.09\mu\text{m}$

マスク製作の履歴

表 2. T3マスクの枝番管理表

No.	層名	層番	枝番 1	枝番 2
1	L	11	CAS-T3-ACT	—
2	FG	12	CAS-T3-GATE	—
3	N1	13	CAS-T3-N1	—
4	N2	14	CAS-T3-N2	—
5	P	15	CAS-T3-P	—
6	SP	16	CAS-T3-SP	—
7	CNT	17	CAS-T3-CNT	—
8	M1	51	T3-M1-01	T3-M1-02
9	V1	52	T3-V1-01	T3-V1-02
10	M2	53	T3-M2-01	T3-M2-02
11	V2	54	—	—
12	M3	55	—	—
13	PO1	56	T3-PO1-01	—
14	PAD1	57	T3-PAD1-01	—
15	TSV	31	—	—
16	STE	71	—	—
17	PO2	58	T3-PO2-01	—
18	BC1P	59	—	—
19	CMR1	60	T3-CMR-01	—
20	ASR1	61	—	—
21	BC2P	62	—	—
22	BUMP	65	—	—
23	M1B	41	—	—
24	BC1N	72	—	—
25	BC2N	73	—	—
TEG 名称			T3	T3R

2010.12 作製

2012.1 作製

3. パターン配置

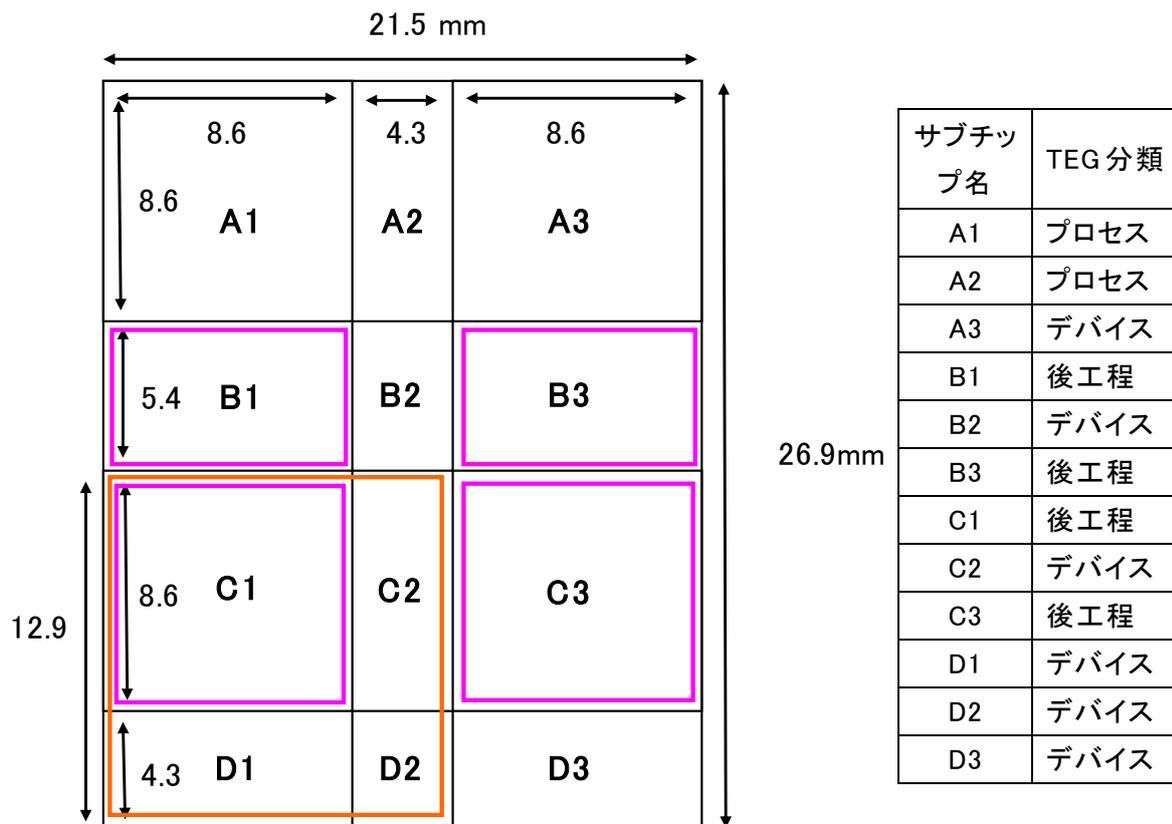


図1. サブチップ構成図

CAST-T3 Floorplan

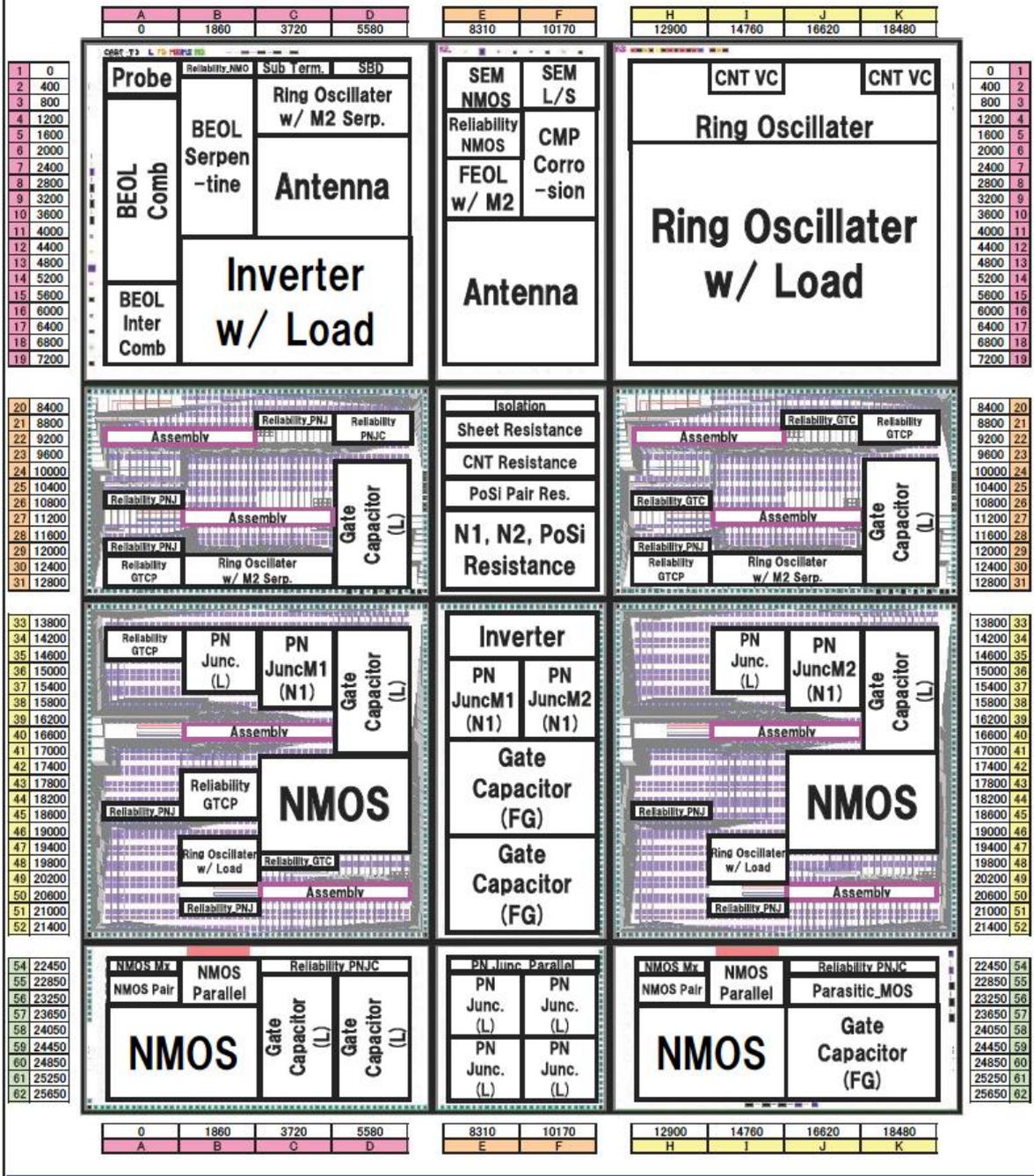


図 2. T3 フロアプラン

パッド配置

フロアプランの上下左右に表示した数字は、ショット内のパッドブロックの座標で、単位は μm である。以下でパッドブロックの説明をする。

CASMAT で一般に使用しているプローブカードはピンの左右ピッチが $155\mu\text{m}$ 、上下ピッチが $250\mu\text{m}$ である。ピンの配列は 12 行 2 列の合計 24 ピンとなっている。このプローブカードにあわせて図 3 に示すようなパッドの集合（パッドブロックと呼ぶ）をショット内に規則的に配置している。そして図 2 内の (a, b) 座標がショット内のパッドブロック座標になる。パッドブロック座標の原点はショットの左上隅とした（このパッドブロックをコンタクトパッドブロックと呼ぶ）。なお、A1、PV 層のパッドパターンの寸法はそれぞれパッドサイズ $120\mu\text{m}$ 、 $100\mu\text{m}$ である。よってプローブのコンタクトは PV 膜が開口している $100\mu\text{m}$ 正方形内に対して行う必要がある。

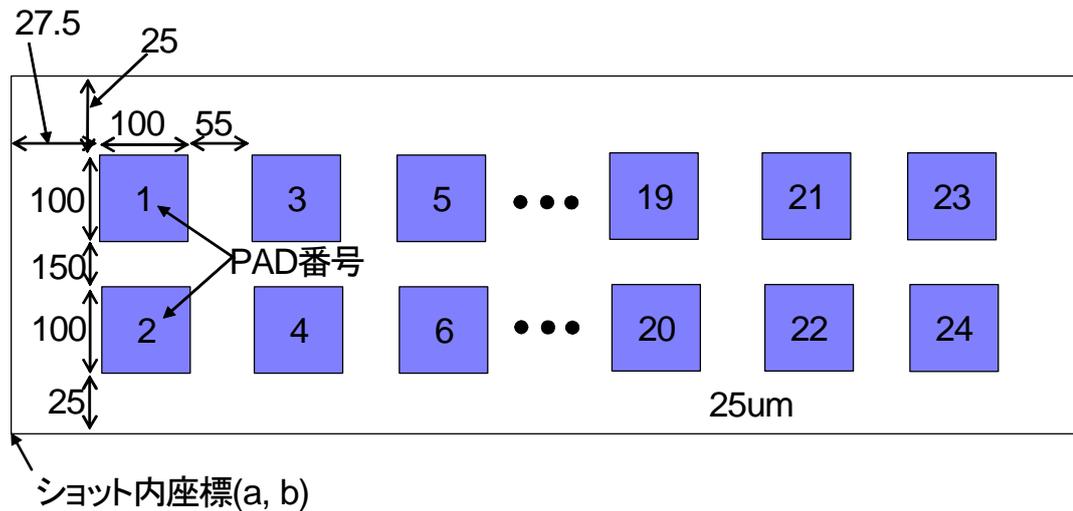


図 3. パッドブロックの外観

4. FEOL 試作プロセスフロー

T2 までは通常の CMOS プロセスを基準にして、P 型 Si 基板を用いて NMOS 素子を TEG として製作した。T3 では腐食評価等を目的として、N 型 Si 基板を用いて PMOS 素子を TEG とするウェーハを追加で製作した。FEOL プロセス試作は TEI ソリューションズ(株)に委託した。

表 3. NMOS-TEG 試作プロセスフロー

CASMAT P基板用フロー		工程名	仕様	分流
1	LOCOS	酸化	19nm	
2		SiN ⁺ 膜	150nm	
3		露光		
4		ドライエッチ		
5		LOCOS酸化	480nm	
6		SIN除去		
7		HF洗浄		
8	WELL	酸化	19nm	
9		WELLインプラ	HE B+ 200keV 2.00E13	
10		WELLドライ	31nm 1000°C	
11		犠牲酸化	42nm 900°C	
12		Vthインプラ	MC BF2 90keV 8.05E11	
13		HF洗浄		
14	GATE	GATE酸化1	46nm	
15		Vthインプラ2	MC BF2 90keV 9.95E11	
16		HF洗浄		
17		GATE酸化2	6.5nm	
18		Poly-Si ⁺ 膜	200nm	
19		リンインプラ	HC P+ 15keV 4.00E15	
20		Polyアニール	850°C 30分	
21		GATE露光		
22		ドライエッチ		
23		アニール	850°C 10分	
24		N1露光		
25		LDDインプラ	HC As+ 50keV 5.50E13	
26		EXTインプラ	MC P 30keV 2.20E13	
27		レジスト除去		
28		TEOS	270nm	
29		エッチバック		
30		TEOS		
31		N2露光		
32		S/Dインプラ1	HC As+ 50keV 3.00E15	
33		S/Dインプラ2	HC P+ 30keV 1.00E14	
34		レジスト除去		
35		P露光		
36	Subインプラ	HC BF2+ 45keV 2.00E15		
37	レジスト除去			
38	TEOS	80nm		
39	N2アニール	900°C 10分		
40	SP露光			
41	ドライエッチ			
42	レジスト除去			
43	スパッタ(Ti/Si)			
44	RTA1, RTA2			
45	CONT	CVD	200nm	
46		SiN ⁺ 膜	21nm	
47		CVD1	1400nm	
48		CMP		
49		CONT露光		
50	ドライエッチ			
51	AL	スパッタ(TiN/Ti)		
52		RTA		
53		W-CVD	600nm	
54		エッチバック		
55		W-CMP		
56		P-SiC	20nm	

表 4. PMOS-TEG 試作プロセスフロー

CASMAT N基板用フロー				
No.	工程分類	工程名	仕様	分流
1	LOCOS	酸化	19nm	
2		SiN _x 膜	150nm	
3		露光		
4		ドライエッチ		
5		LOCOS酸化	480nm	
6		SIN除去		
7		HF洗浄		
8	WELL	酸化	19nm	
9		WELLインプラ	HE P+ 200keV 2.00E13	
10		WELLドライブ	31nm 1000°C	
11		犠牲酸化	42nm 900°C	
12		Vthインプラ	MC As+ 80keV 8.05E11	分流
13		HF洗浄		
14	GATE	GATE酸化1	46nm	
15		Vthインプラ2	MC As+ 80keV 9.95E11	
16		HF洗浄		
17		GATE酸化2	6.5nm	
18		Poly-Si _x 膜	200nm	
19		リンインプラ	HC P+ 15keV 4.00E15	分流
20		Polyアニール	850°C 30分	
21		GATE露光		
22		ドライエッチ		
23		アニール	850°C 10分	
24		NI露光		
25		LDDインプラ	HC BF2 50keV 5.50E13	
26		EXTインプラ	MC B+ 30keV 2.20E13	
27		レジスト除去		
28		TEOS	270nm	
29		エッチバック		
30		TEOS		
31		N2露光		
32		S/Dインプラ1	HC BF2 50keV 3.00E15	
33		S/Dインプラ2	HC B+ 30keV 1.00E14	
34		レジスト除去		
35		P露光		
36		Subインプラ	HC As+ 45keV 2.00E15	
37		レジスト除去		
38		TEOS	80nm	
39		N2アニール	900°C 10分	
40		SP露光		
41		ドライエッチ		
42		レジスト除去		
43		スパッタ(Ti/Si)		
44		RTA1, RTA2		
45		CONT	CVD	200nm
46	SiN _x 膜		21nm	
47	CVD1		1400nm	
48	CMP			
49	CONT露光			
50	ドライエッチ			
51	AL	スパッタ(TiN/Ti)		
52		RTA		
53		W-CVD	600nm	
54		エッチバック		
55		W-CMP		
56		P-SiC	20nm	

5. 設計パターンの概要

T2 の TEG を基に、新規 TEG の追加と従来 TEG の修正、変更を行った。
T2→T3 への変更点は以下の通り。

1. 寄生 MOS トランジスタの種類を増やす。
L=2.6, 3.6um、ゲートオーバーラップ型を追加。
2. リングオシレータ TEG の一部入替え。
抵抗変更。つづら抵抗負荷 RO の追加。
3. ゲート電極付き PN 接合ダイオード TEG の追加。
4. M1 配線ストレス評価 TEG の追加。
5. 実装 TEG の一部入替え。

表 2. 主要 TEG 一覧表 (1)

項目	種類	寸法	個数
PN 接合	L 型	1.2~300um	23
	N1 型	2~300um	34
	並列	L, 2X2, 10000 個	1
ゲート付 PN 接合	FG, M1, M2	2X2, 2X10, 10X10um	9
MOS 容量	L 型	1~300um	27
	FG 型	1~300um	64
	クランプ付	1~10um	30
NMOS トランジスタ	単体	0.2~30um	22
	単体 (クランプ付)	0.2~1um	9
	並列	10 個、100 個	8
		10000 個 (0.3X10)	1
マトリックス	3×3	1	
抵抗	拡散 (N1、中抵抗)	幅 1, 2, 5um	10
	拡散 (N2、低抵抗)	幅 1, 5um	6
	ポリ Si (N 型 FG)	幅 0.3, 1, 2, 5um	11
	NMOS (FG-S ショート)	L = 0.2, 0.5, 1um	6
寄生 NMOS	FG, M1, M2	L = 0.6, 1.6um	12
		L = 2.6, 3.6um	10
SBD	N1 型 GR 有無	10, 100um□	4

表 3. 主要 TEG 一覧表 (2)

項目	種類	寸法	個数
配線系	つづら (M1, M2)	0.2, 0.25, 0.3, 0.35um	12
	くし (M1, M2)	0.2, 0.25, 0.3, 0.35um	24
	層間くし (M1/M2)	0.2, 0.25, 0.3, 0.35um	18
	連続 Via	0.25um, 10000 個	1
	Via 抵抗	0.25um, Kelvin	1
	シート抵抗	M1, M2	2
拡散系	シート抵抗	BN, N1, N2, FG, etc.	8
	コンタクト抵抗	FG, S/D, N1, P	8
	連続 CONT (NR, SD, PR)	0.4um, 10000 個	3
	分離特性	L-L, 0.4~2.5um	8
アンテナ TEG	容量	1~10um	14
	NMOS	0.2~10um	10
腐食 TEG	N 型	2~300um	50
	P 型	2~300um	50
回路 TEG (NMOS)	インバータ	1 段、3 段、11 段	44
	リングオシレータ	5 段、11 段、21 段	39
ペア特性	NMOS	0.2, 0.5um	6
	ポリ Si 抵抗	1, 5um	6

更に、T3→T3R への変更点は以下の通り。

1. リングオシレータの入替え。 CMP 平坦性評価 TEG の追加。
2. 腐食 TEG の入替え。 測定パターン寸法の変更。

6. 評価方法

各 TEG の構造と評価方法については、個別 TEG の評価基準書を参照のこと。

7. 考察

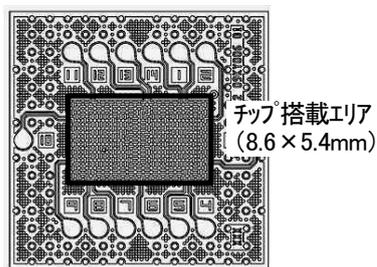
FEOL/BEOL 統合 TEG の設計に際して、従来の設計資産を生かすために、サブチップ構成を既存パッケージの 8.6mm□、12.9mm□、5.4mm×8.6mm を含む構成とした (図 1)。

材料評価基準

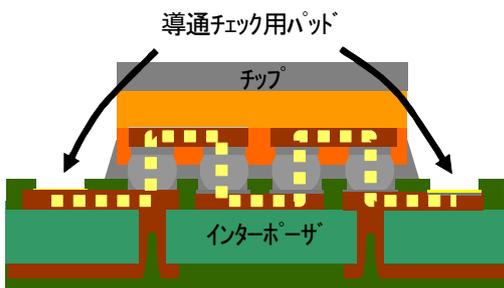
1. 評価対象材料名
バッファコート (BC) 材料
2. 評価の目的
WLPインターポージャー マスク説明書
3. 評価項目
デージーチェーン配線抵抗
4. 試料作製手順
使用装置、プロセスはWLP組立プロセスに準じる。
5. 評価方法
5.1 使用装置
デジタルマルチメーター
6. インターポージャー設計内容

6.1 デージーチェーン概要

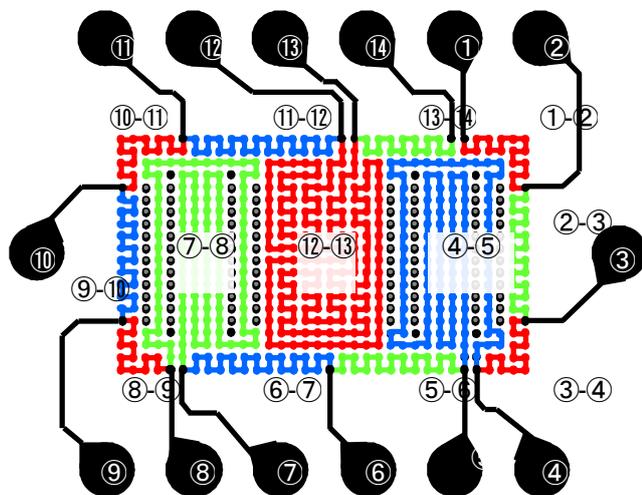
4層BTレジン基板
(14.8×14.8mm×0.5mm)



インターポージャー1層目レイアウト



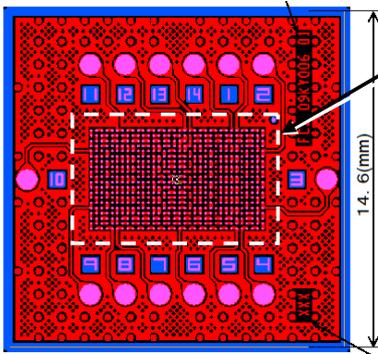
チップ (Cu配線)-インターポージャー (1層目配線)間のデージーチェーンでの抵抗測定を実施



デージーチェーンレイアウト

6.2 インターポーザ設計図面

第1層(チップ搭載面)

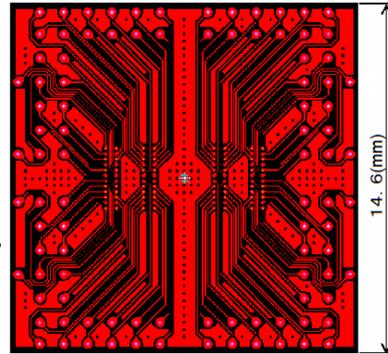


チップ搭載エリア
(8.6x5.4mm)

コンタクトパッドに繋がる配線は旧デザインと共通。デイズチェーン部分を増設した。反り抑制のため、パターン以外の箇所にもCuを残した。(第1~3層赤色部分)

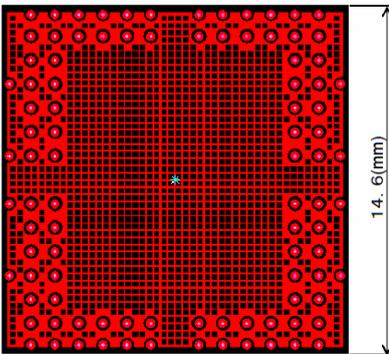
赤 : SR 15um / Cu 15um
ピンク : Au 0.05um / Ni 5um / Cu 15um

第2層(0.225⇒1.0mmピッチ)



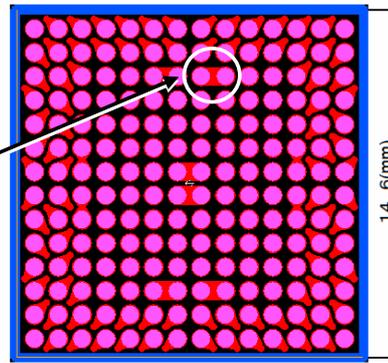
赤 : Cuパターン
黒 : 基材

第3層(スルーホール)



赤 : Cu 15um
黒 : 基材のみ

第4層(コンタクトパッド面)



ソケットとの導通チェックのため、2個×6箇所のダミーパッドをショートさせた。

赤 : SR 15um / Cu 15um
ピンク : Au 0.05um / Ni 5um / Cu 15um

6.3 インターポーザ仕様および断面図

仕様

(ピース)	但し凹凸有り	(シート)	
単面寸法	14.6±0.2 × 14.6±0.2	面付寸法	×
基板種類	片面	両面	多層 (4層 1-2-1ビルドアップ)
設計概要	L/S 0.04/0.04	ビルドアップvia 60μ	コアPTH Drill 120μ
レジスト	有り (緑・黒・青)	C面	S面 無し
外形加工	スリット (0本)	Vカット (0本)	詳細別途
材 料	ABF+679FGR	FR5相当材	
板 厚	0.5±0.1mm		
銅 箔 厚	外層	パターン銅メッキ15μm	内層 銅箔+銅メッキ 20μm
表面処理	金フラッシュ (Au 0.05μm Ni 5μm)		

断面図

14.6 x 14.6 mm
 Drill Size : φ120um
 Via Size : φ60um

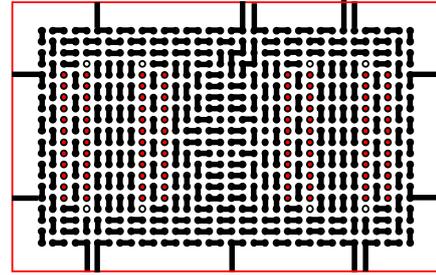
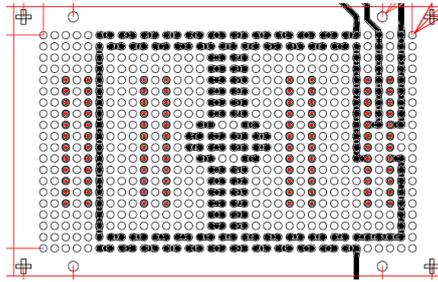
層			厚み	材料
			(mm)	
1 (FC2)	ソルダーレジスト		0.015	PSR4000-AUS703
	パターン		0.015	セミアディティブ
	絶縁層(ビルドアップ材)		0.030	ABF-GX13
2 (FC1)	R	R	0.021	サフトラ
	F	F	0.340	ベースコア材 E679FG
	P	P	0.021	サフトラ
3 (BC1)	絶縁層(ビルドアップ材)		0.030	ABF-GX13
	パターン		0.015	セミアディティブ
	ソルダーレジスト		0.015	PSR4000-AUS703
		ベースコア厚	0.340	
		基板厚(SR含まず)	0.472	
		基板厚(SR含む)	0.502	

6.4 デイジーチェーン詳細

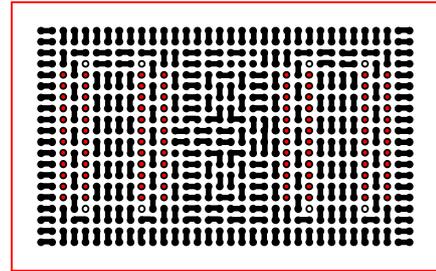
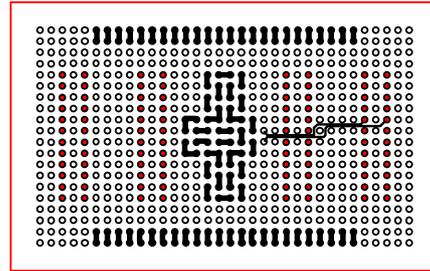
旧

新

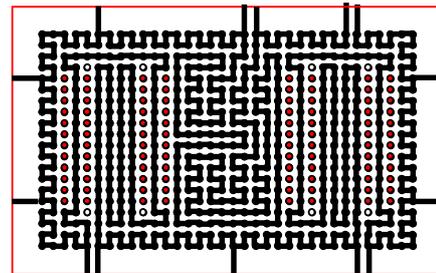
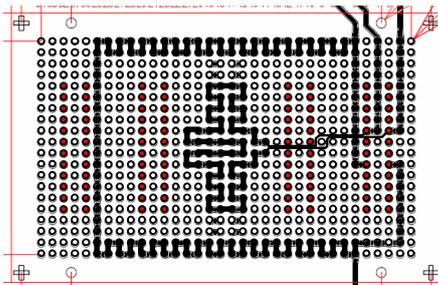
インターポーザ第1層
(Si側から見た図)
※赤枠はチップエリア
※外周のハットは省略



Cu再配線層
(Si側から見た図)
※赤枠はチップエリア
※デージーチェーンに
関係しない配線は省略



インターポーザ第1層
+
Cu再配線層
(Si側から見た
図)



7. 考察

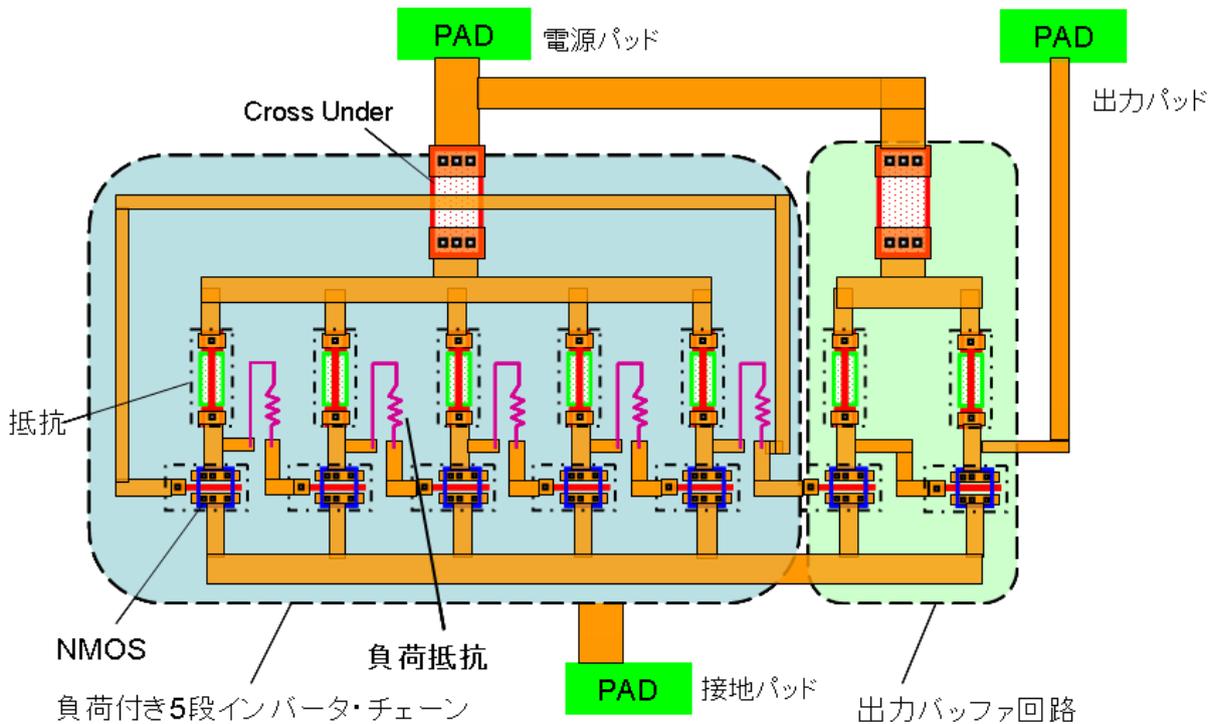
評価の高精度化を目指し、デージーチェーンの設計を見直した。
再配線およびインターポーザの設計変更を実施し、設計通り評価できることを確認した。
評価のタイミングの問題で、旧デザインのチップを評価する必要もあったため、
両方のデザインのチップを評価できるように、インターポーザの設計で配慮した。

T3 リングオシレータの評価

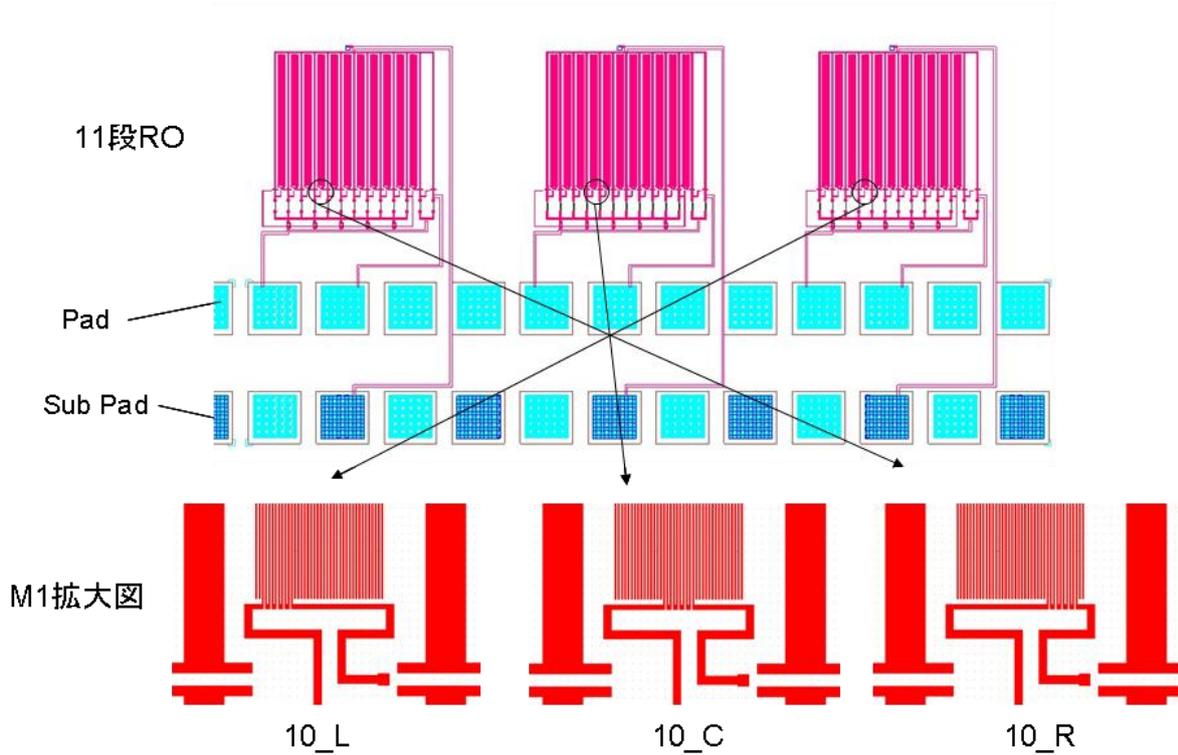
T3 リングオシレータTEG (RO-TEG) の目的

ROの発振周波数を測定して配線の断面形状を評価すること。
特に、CMPの平坦性を、非破壊で高精度に簡単に評価する手段を提供すること。

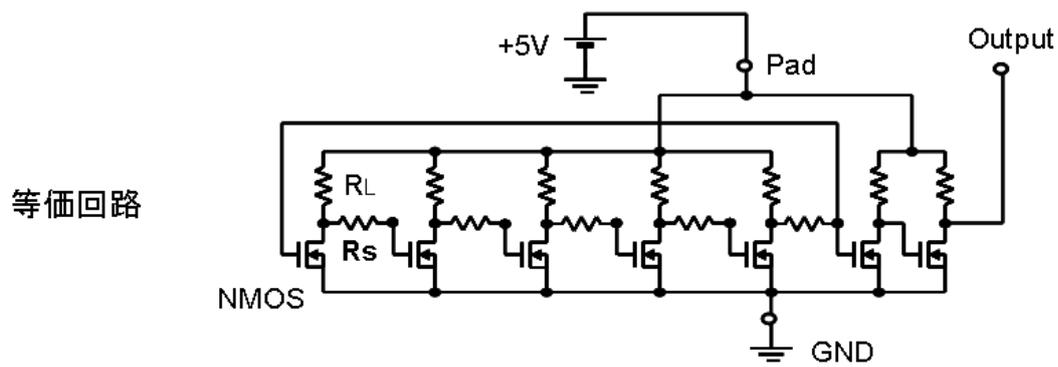
1. つづら配線抵抗負荷RO-TEGの構成



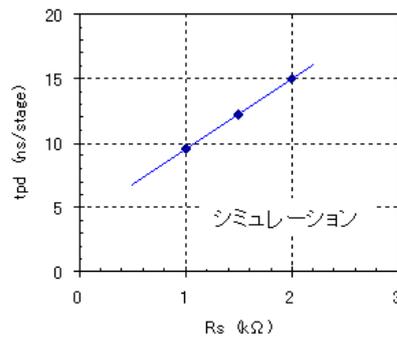
2. M1つづら配線抵抗負荷RO-TEGパターン



3-1. 測定原理

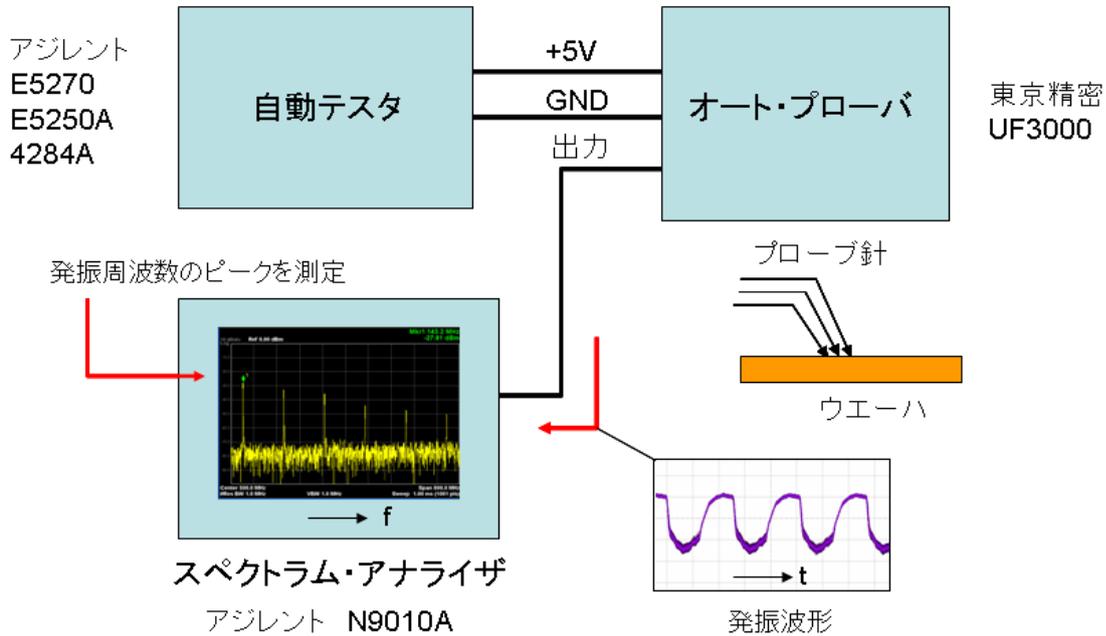


発振特性



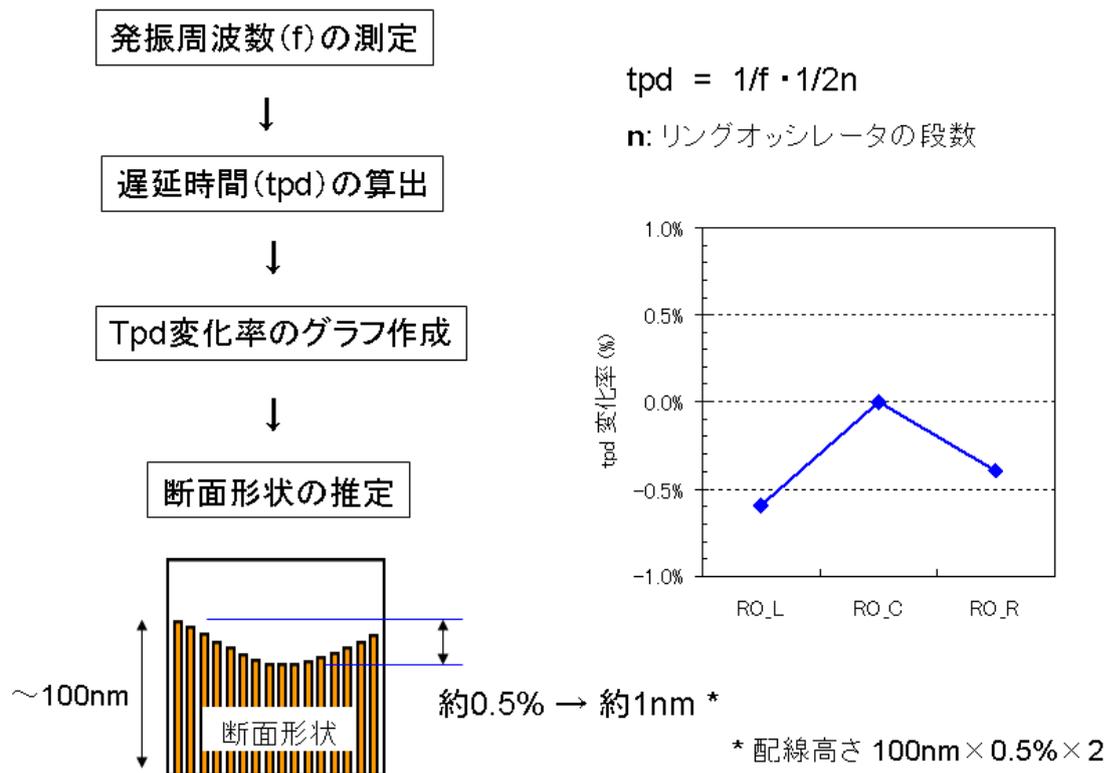
t_{pd} は R_s と直線関係
にあり、
 $\Delta t_{pd} \cong 0.5 \Delta R_s$

3-2. 測定方法



原理: スペクトラム・アナライザによる発振周波数の自動測定

3-3. 評価手順



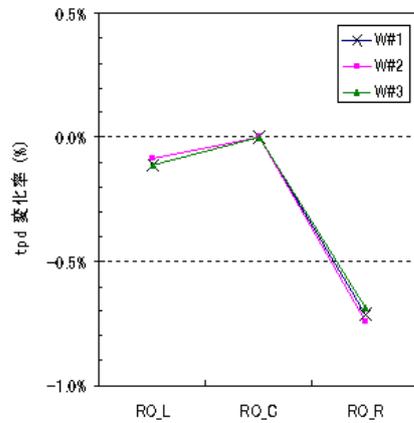
4-1. RO特性 (1)

マスク: T3R

ロット: 111230

M1つづら負荷
11段RO

S10L/C/R

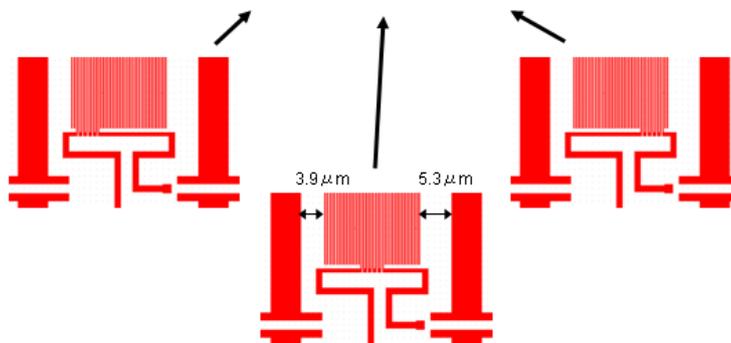
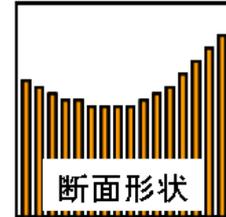


抵抗:大

削れ量:大

抵抗:小

削れ量:小



つづらの両側に広い
スペースがあると、
Cuは凹型に削られる

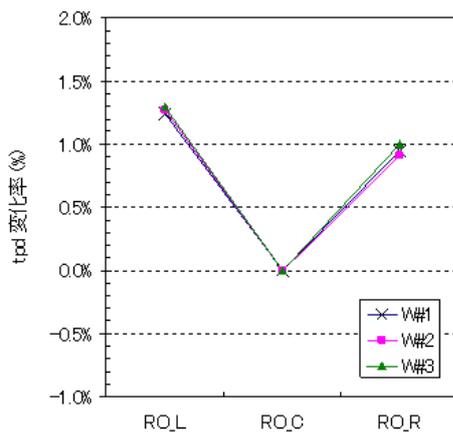
4-2. RO特性 (2)

マスク: T3R

ロット: 111230

M1つづら負荷
11段RO

S16L/C/R

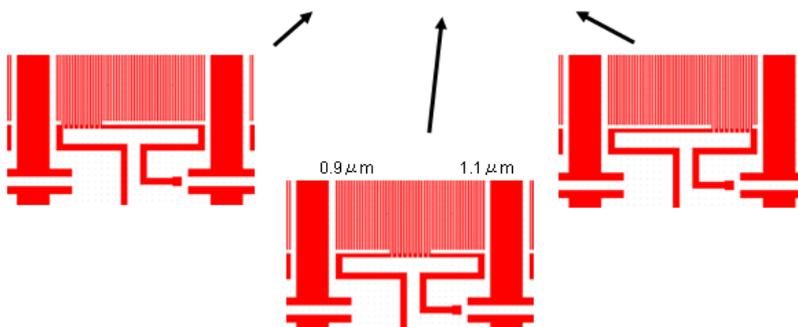
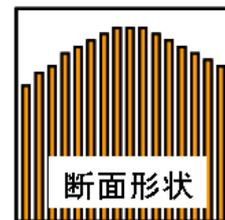


抵抗:大

削れ量:大

抵抗:小

削れ量:小



つづらの両側に狭い
スペースがあると、
Cuは凸型に削られる

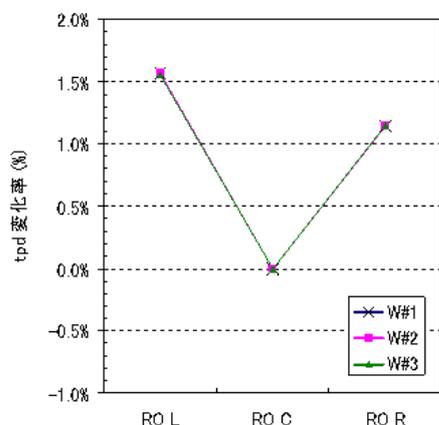
4-3. RO特性 (3)

マスク: T3R

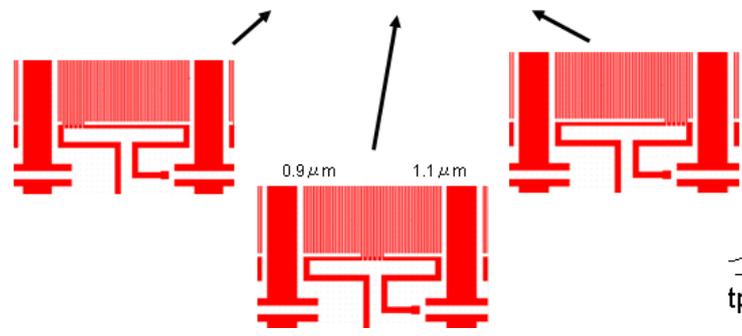
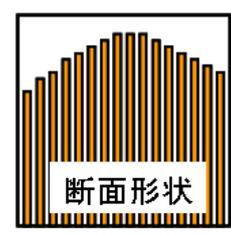
ロット: 111230

M1つづら負荷
11段RO

S10LD/CD/RD



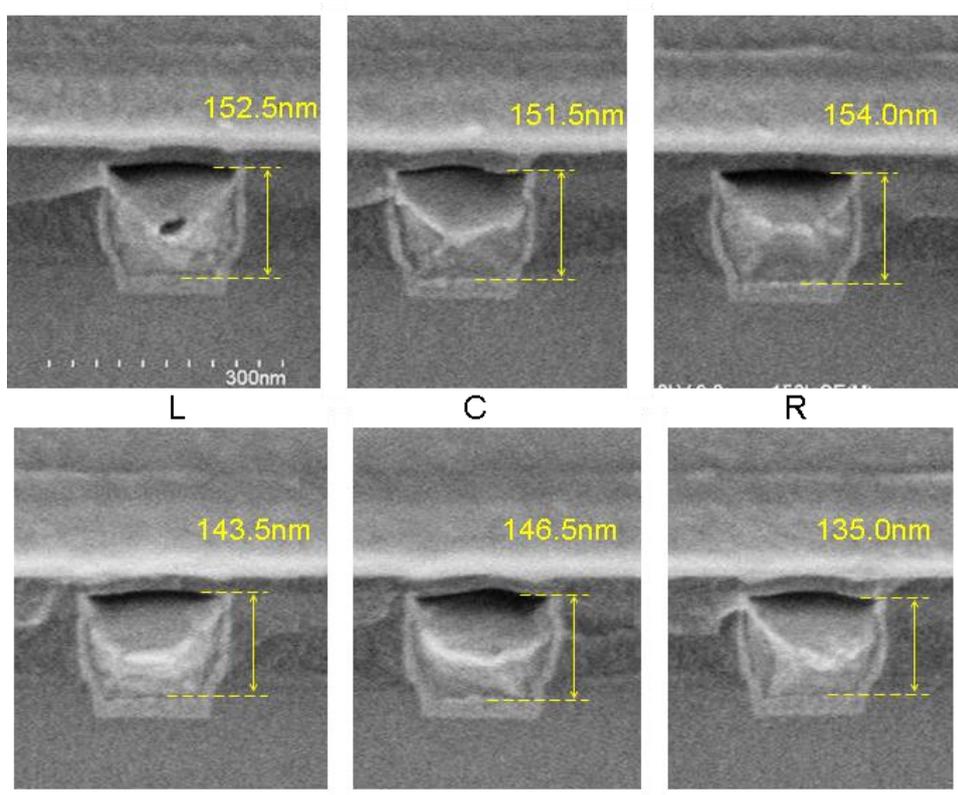
抵抗: 大
削れ量: 大
↑
抵抗: 小
削れ量: 小



つづらの両側に狭いスペースがあると、Cuは凸型に削られる

つづら本数が少ないと、tpdの変化率が大きくなる

5-1. SEMIによる断面形状観察結果

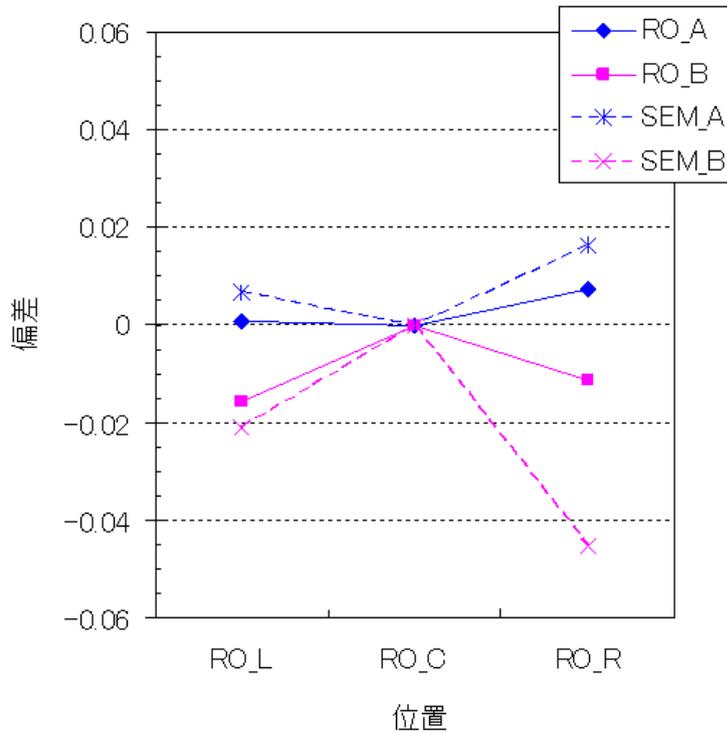


パターン名
S10_4
観察段

S10D_1

5-2. 測定結果の比較

RO発振周波数 f の偏差(実線)とSEM高さ寸法の偏差(破線)の比較



偏差の傾向は一致している。
RO f の抵抗値に対する感度が約50%であることとも対応している。

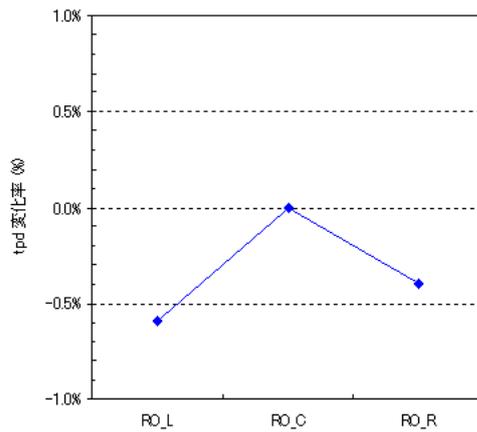
6-1. RO特性 (M2) - (1)

マスク: T3R

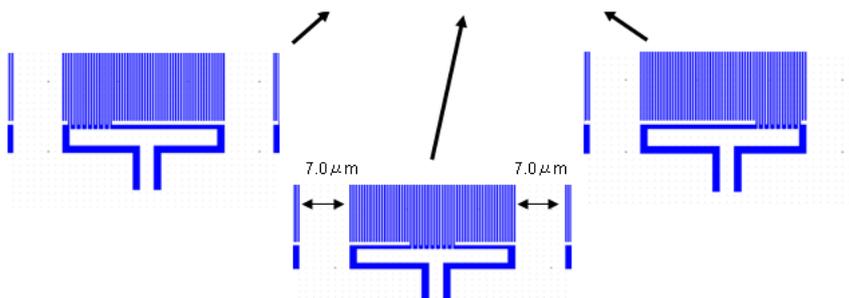
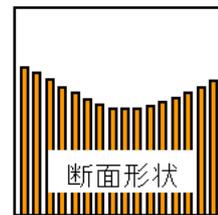
ロット: 111230
W#1

M2つづら負荷
11段RO

S16L/C/R

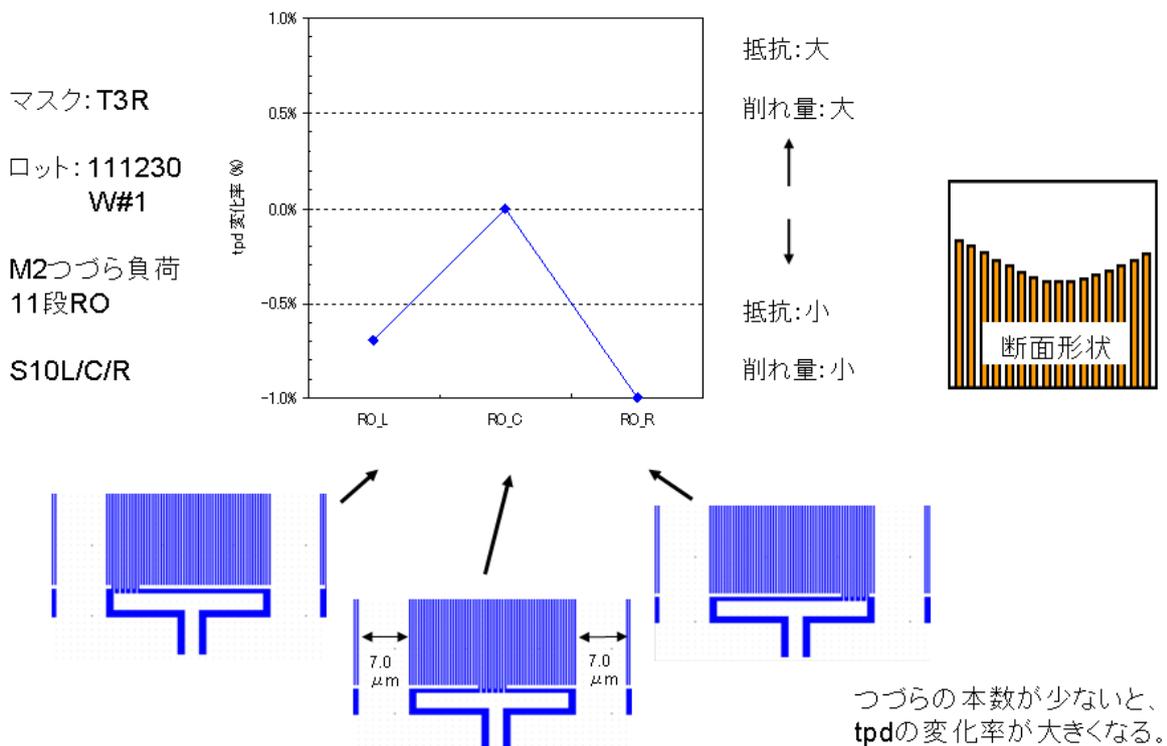


抵抗: 大
削れ量: 大
↑
抵抗: 小
削れ量: 小



つづらの両側に広いスペースがあると、Cuは凹型に削られる

6-2. RO特性 (M2) - (2)



7. RO-TEGの特徴

	RO-TEG	CASMAT配線TEG
1	高周波特性が評価可能 100MHz~500MHz	容量測定周波数で制限 100kHz~1MHz
2	測定精度が良い 小さなパターンで評価できる (高感度)	測定精度がコンタクト抵抗 で制限 大きなパターンが必要 (低感度)
3	FEOLの試作が必要	FEOLの試作が不要

8. 考察

考察

つづら配線抵抗負荷RO-TEGは、SEM等の形状観察手段では評価が難しいCMP後のCu表面の微小な削れ形状を精度良く評価できる。

本報告で用いたTEGは、櫛配線容量負荷RO-TEGのFEOL素子の上に配線マスクの修正で作成したため、幅25umの狭い領域の平坦性しか評価できないが、新たにFEOLマスクから設計する場合には、広い領域の平坦性の評価(ディッシング形状の評価)が可能である。

材料評価基準

1. 評価対象材料名

バッファークोट (BC) 材料、接合素子

2. 評価の目的

導電性のある金属によってSi基板の汚染が起こった場合、Siのバンドギャップに準位を作ったり、Siが金属元素近傍に凝集して欠陥を作ることなどから素子のジャンクションリークや絶縁酸化膜劣化を誘発することが考えられる。

しかし、WLPパッケージにおいてSiチップから金属強制汚染を行ったところ、熱拡散処理でインターポーザ、またはバンプ間で電流のリークが生じるため、素子への金属汚染の影響を評価することができなかった。このため、バンプ形成以前のチップやウェーハを用いて、素子の金属汚染の影響を評価することを目指した。

本評価では、ハーフカットDCを行ったウェーハにおいて、Siウェーハ側面から銅を熱拡散させることで検出される金属汚染の影響を報告する。

3. 評価項目

ハーフカットウェーハでのCu強制汚染評価法

4. 試料作製手順

4.1 評価TEG

CAST-T2 (Al完)において、外注によりスクライブラインにハーフカットDCを行った。(図1)

FEOL-TEG : CAST-T2 (Al完), Low-k (E11105)2層配線

ハーフカットDC条件

ブレード幅:60um、切り込み量:10um

ハーフカットDCピッチ	縦 : 8.6mm/5.4mm/8.6mm/4.3mm
	横 : 8.6mm/4.3mm/8.6mm

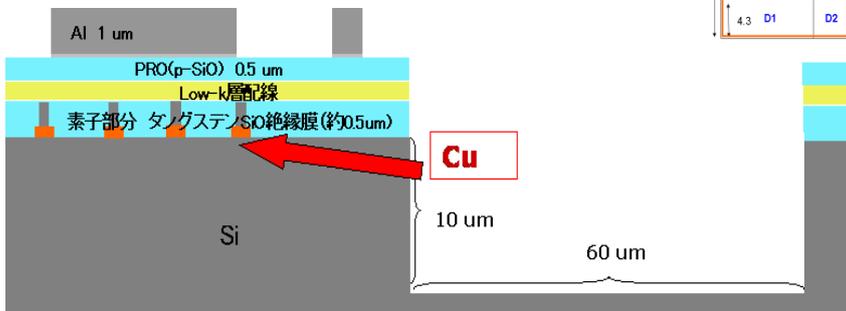
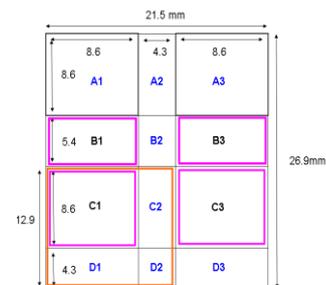


図1. ハーフカットDCウェーハモデル

4.2 作製方法

プロセスフロー(別紙)にしたがってウェーハを作製した。(図2)
 BC材料はD11011, Cu混入D11011(硝酸銅混入D11011)を用いた。

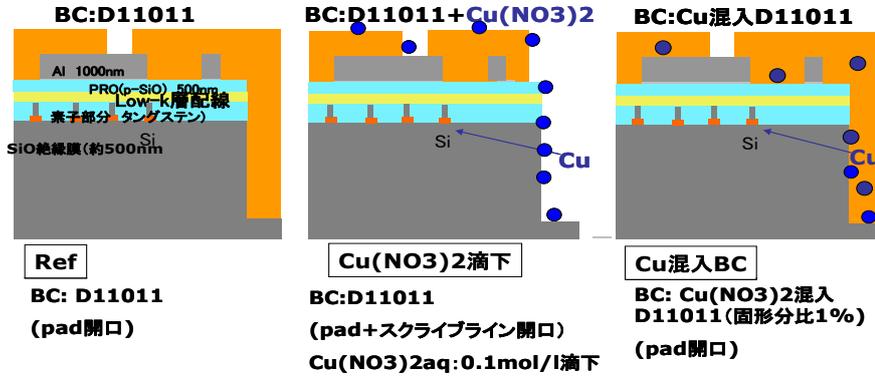


図2. 汚染処理後のウェーハモデル

4.3 BC形成以降の使用装置

コーター	CLEAN TRACK ACT12PI (東京エレクトロン (株) 製)
デベロッパー	同上
i線ステッパ	PFA-5500iZ (キャノン販売(株))
ファーンレス	VF-1000B (光洋サーモシステム (株) 製)
測定エージング炉	SIV測定用クリーンオープン

5. 評価方法

5.1 使用装置

電気特性評価	プローバーC (常温測定用プローバーUF3000)
測定レシピ:	ハーフカットDC評価mod (測定エリア:WLP-PKG) T2R_STD_M1M2kisei_03 (測定エリア:NMOS[寄生MOSのみ]) T2R_STD (測定エリア:PN接合, NMOS, くし型配線, Probe,ゲート容量)

5.2 電気特性測定箇所

電気特性を測定したエリアについて図3に示す。
 各測定箇所の詳細は、項目6に結果と共に記す。

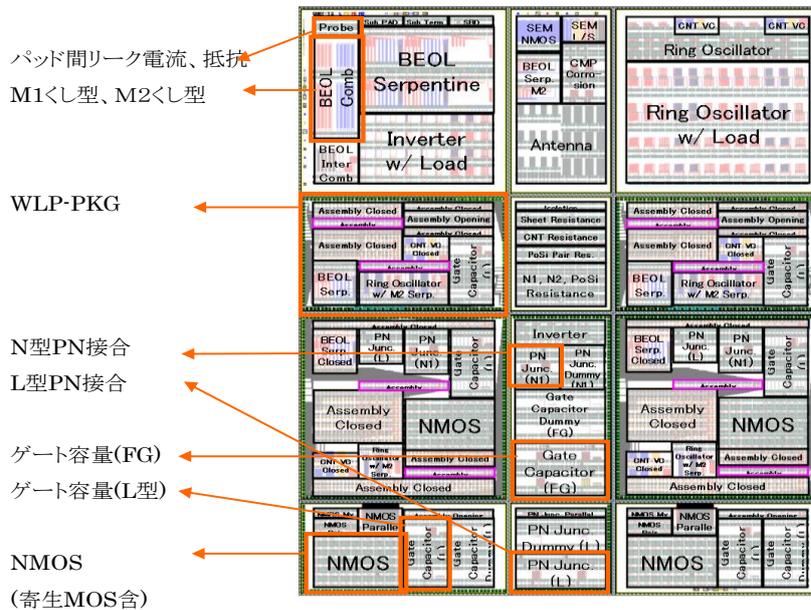


図3. 評価エリア

6. 評価結果

6.1 PN接合L型逆方向IV特性 (WLP-PKGエリア)

WLP-PKGエリアのL型PN接合 (図4)のIV特性について、面内、チップ内の変化を熱拡散前後で比較した。

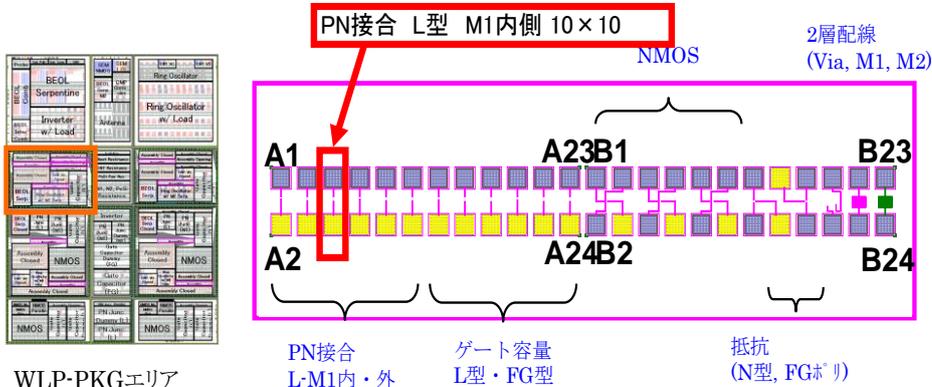
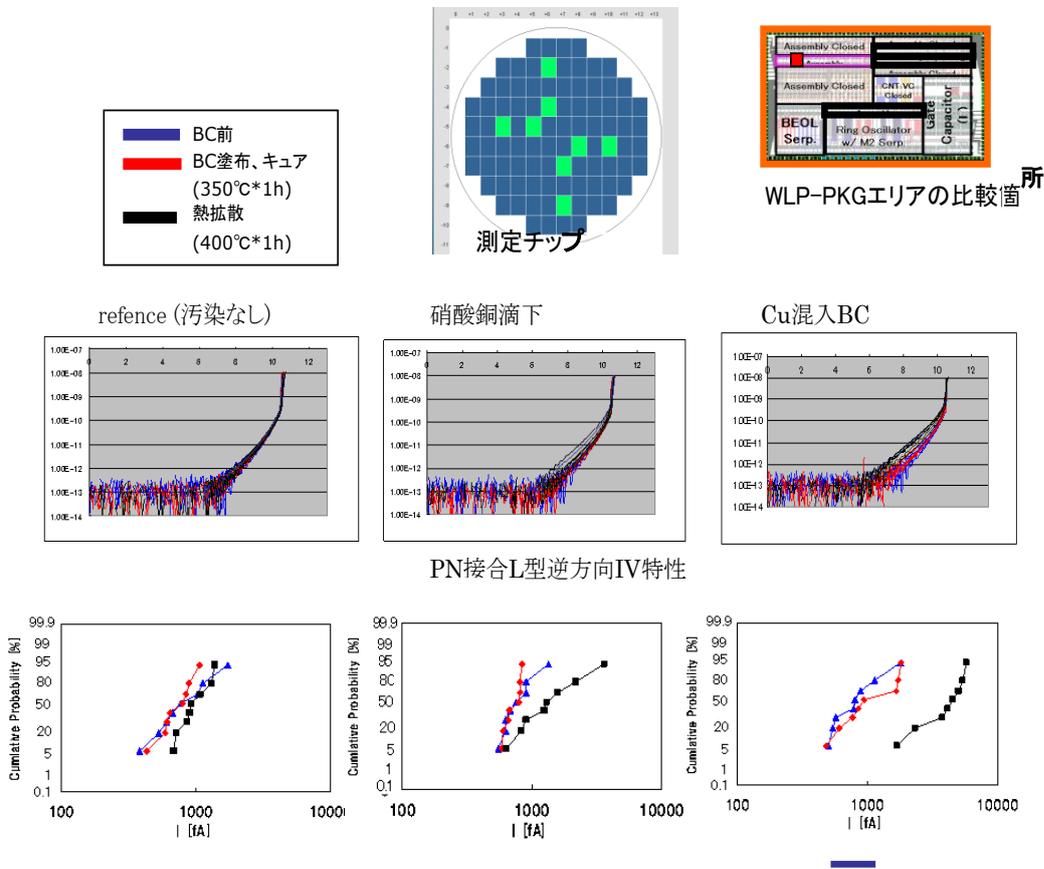


図4. WLP-PKGエリアの測定箇所

6.1.1 面内汚染比較

銅汚染処理(硝酸銅滴下、銅混入BC使用)を行ったウェーハのみ、熱拡散により逆方向リーク電流が増加した (図5)。以下、面内全体においてリーク電流の増加が確認されたCu混入BCについて記載する。



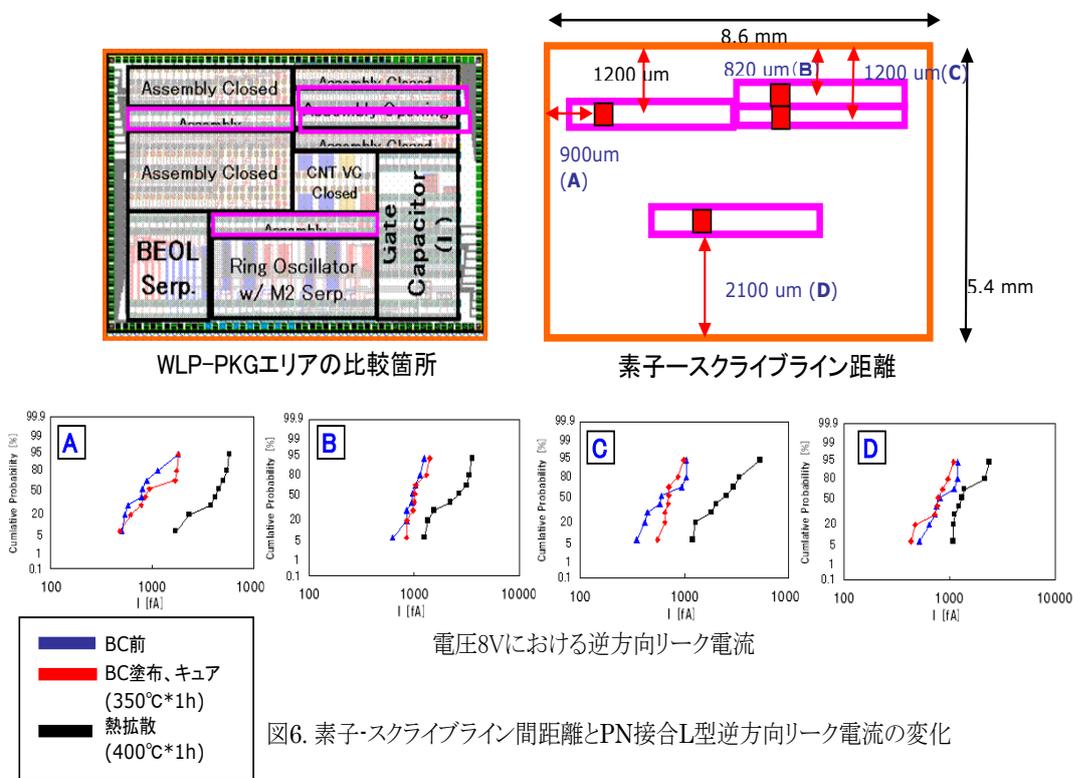
電圧8Vにおける逆方向リーク電流の変化

図5. 測定箇所とPN接合L型逆方向IV特性

6.1.2 チップ内汚染比較

熱拡散による逆方向リーク電流の増加が、スクライブラインからの銅拡散が原因であることを確認するため、スクライブライン-素子間の距離とIV特性の変化について比較した(図6)。

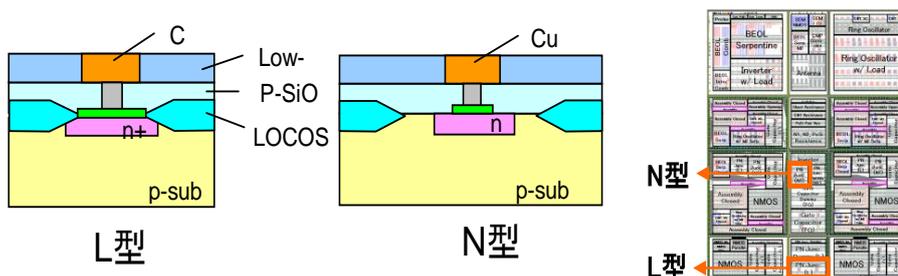
リーク電流の増加はスクライブラインからの距離が遠いほど小さい(図6 D)ことから、逆方向リーク電流の増加はSi側面からの銅の拡散度が原因であることがわかる。



6.2 PN接合逆方向IV特性 (PN接合エリア)

PN接合について、他のサイズのL型、N型の逆方向IV特性を測定した。(図7, 8, 9)

L型、N型ともに、素子のサイズが大きくなるほど、リーク電流は短時間で、大きく増加した。



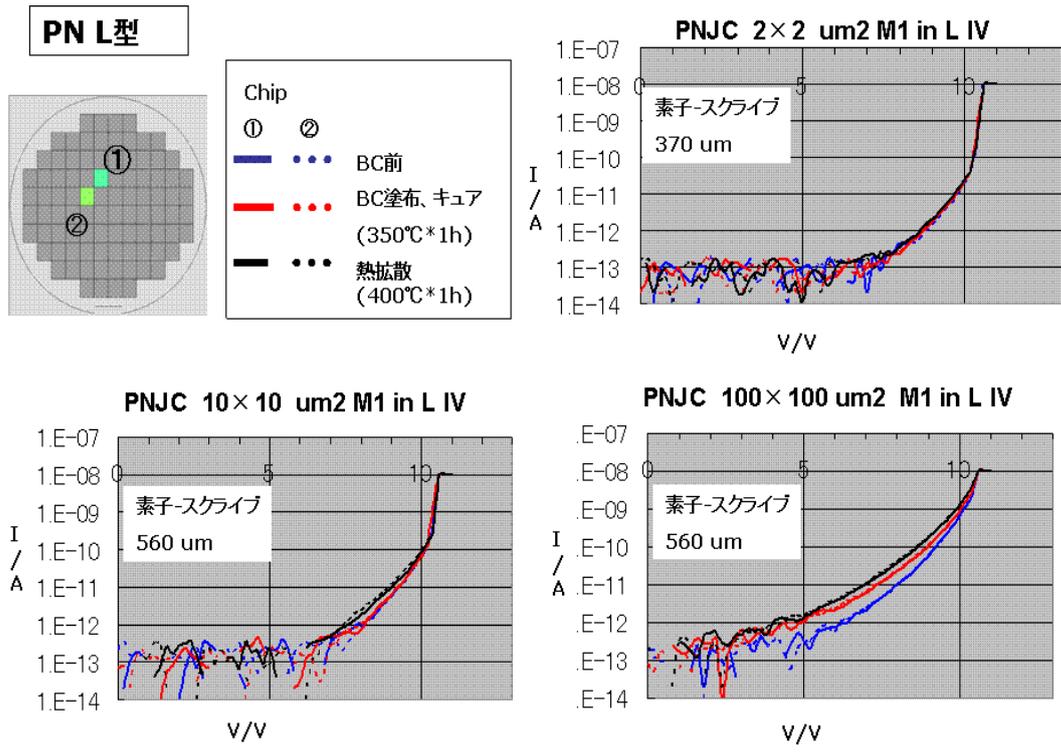


図8. L型PN接合逆方向IV特性 (2*2um2, 10*10um2, 100*100um2)

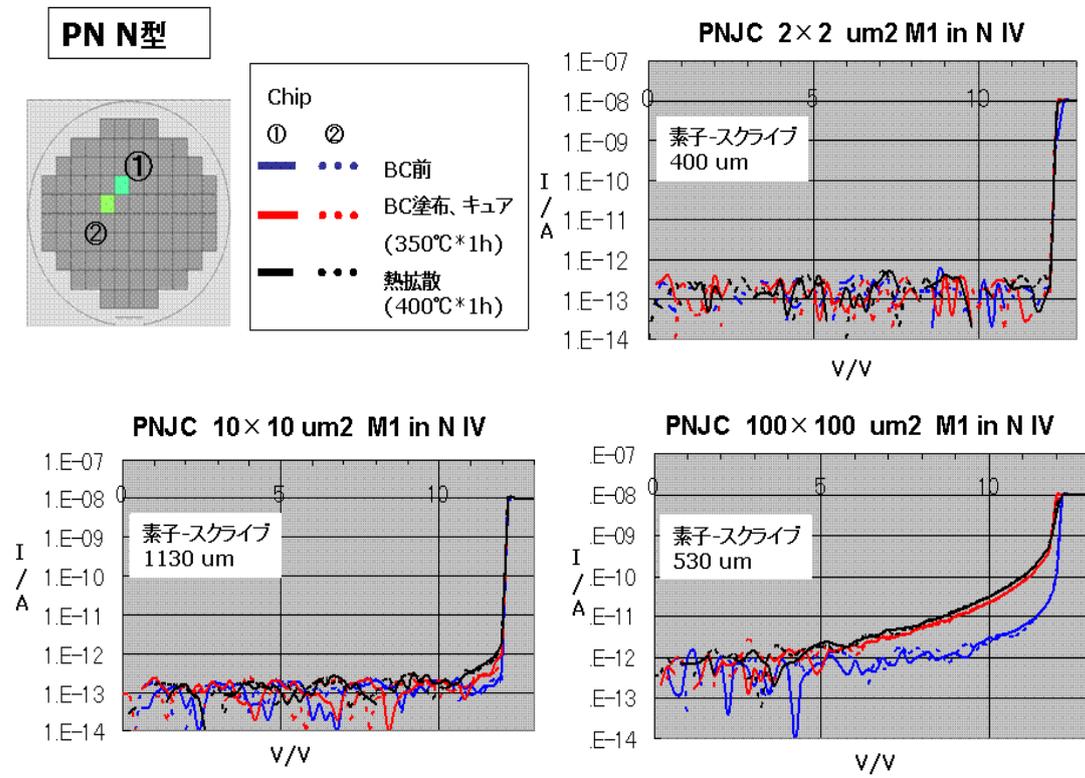


図9. N型PN接合逆方向IV特性 (サイズ2*2um2, 10*10um2, 100*100um2)

6.3 NMOSTランジスタ (Vth)

NMOSTランジスタ (図10)について、熱拡散前後のしきい電圧Vth (ドレイン電圧3V, 電流10nA)を評価した。熱処理により多少の値の変動は見られるが、汚染を行っていないウェーハでも同様に変化がみられることから、NMOSTランジスタにおいて、銅汚染の影響はみられないことがわかる。(図11)

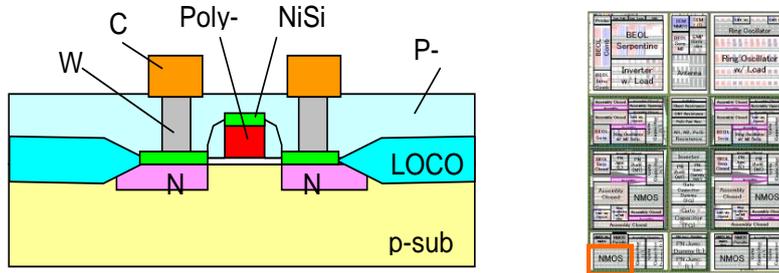


図10. NMOSTランジスタモデルと測定エリア

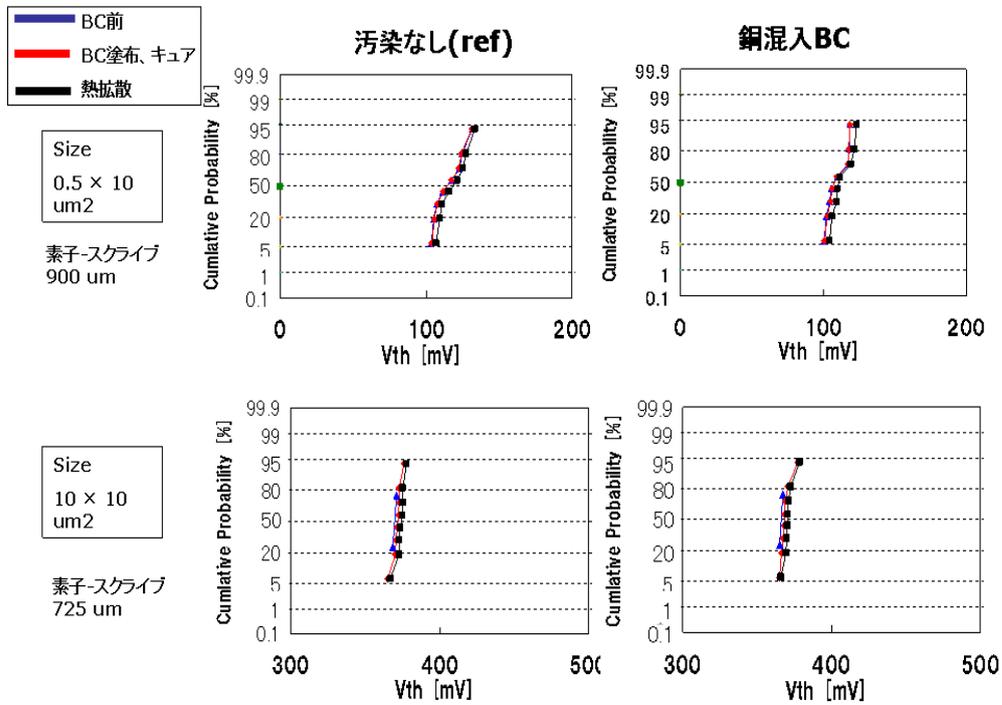


図11. NMOSTランジスタ(サイズ0.5*10um, 10*10um2)のVth変化

6.4 銅汚染評価まとめ

他素子、配線の評価結果を表1に示す。

CAST-T2ウェーハにおいて側面からの熱拡散(350°C*1h+400°C*1h)によりCuの汚染影響がみられた素子はL型PN接合,N型PN接合であり、トランジスタ(NMOS,寄生MOS)やPoSi抵抗、配線には影響が見られない。

表1. 銅汚染評価素子まとめ

Floorplan	測定部	サイズ	スクライプからの最短距離	汚染影響
Assembly (WLP)	NMOS	0.5*10	820	なし
	PN(L型)	2*2	620	検出限界
		2*10	780	あり
		10*10	820, 900, 1200, 2100	あり
Po Si抵抗	10*1	820	なし	
PN接合 (L)	PN(L型)	2*2	370	検出限界
		10*10	560	あり
		100*100	560	あり
PN接合 (N)	PN (N型)	2*2	400	検出限界
		10*10	1130	あり
		100*100	520	あり
NMOS	NMOS	0.5*10	900	なし
		0.6*10	900	なし
		1*10	1400	なし
		10*10	725	なし
	寄生MOS (M1)	0.6*3	2150	なし
		1.6*10	2150	なし
寄生MOS (M2)	0.6*3	2150	なし	
	1.6*10	2150	なし	
ゲート容量 IV(~5V)	ゲート容量 (FG,L)	2*2	550	なし
		10*10	550	なし
		100*100	550	なし
Probe	Pad (抵抗、リーク)	-	640	なし
BEOL Comb	M1 くし型IV 100mm	L/S 0.2	650	なし
	M2 くし型IV 100mm	L/S 0.2	1600	なし
WLP	M1M2viachain 10000	0.25*0.25	820	なし

7.残された課題

特になし。

8. 関連報告

特になし。

9. その他

特になし。

10.データベース

特になし。

IV. 実用化・事業化の見通しについて

1. CASMAT における実用化・事業化の見通し

1. 1 成果の実用化可能性

本プロジェクトは主に、『部材分野の技術戦略マップを活用し、将来の部材の基盤技術の方向性を見定めるとともに、材料関係者だけでなく多様な連携（川上川下の垂直連携、材料創成と加工の水平連携等）による基盤技術開発を支援することで、部材分野の技術革新を促進すること』を目的とした「ナノテク・部材イノベーションプログラム」の中で独立行政法人新エネルギー・産業技術総合開発機構（NEDO）の助成事業として実施してきた。また、このプロジェクトに先行して次世代半導体材料技術研究組合（CASMAT）では、平成 15 年度～平成 17 年度まで『次世代半導体ナノ材料高度評価プロジェクト』、平成 18 年度～平成 20 年度まで『次世代高度部材開発評価基盤の開発』を NEDO 助成事業として実施した。

半導体材料評価基盤の構築の経緯と CASMAT および組合員企業の役割を参るストーリーとして図 1. 1 - 1 に示す。CASMAT 発足時から協調領域と競争領域を峻別して、研究開発を実施してきた。半導体プロセスをベースとする材料の評価・解析方法の開発については、協調領域として CASMAT が担当する。材料開発およびその製品の事業化については、競争領域となるので、組合員企業が担当することとしてきた。

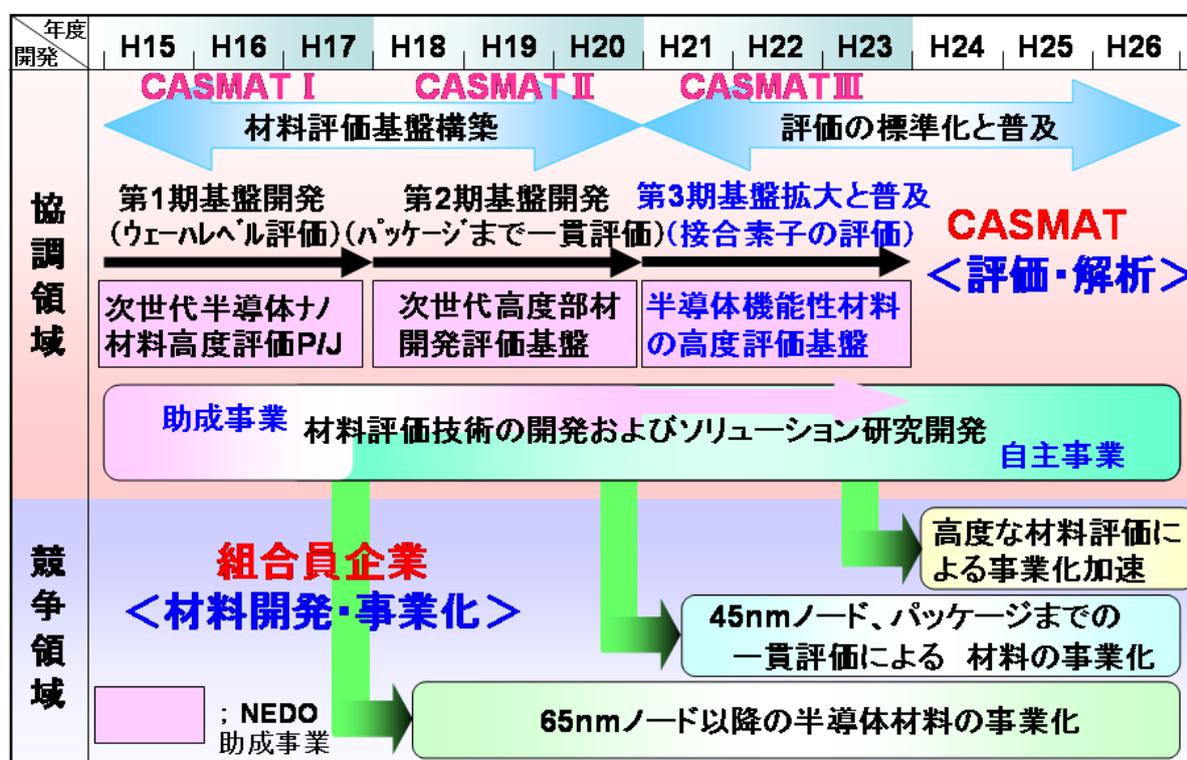


図 1. 1 - 1 半導体材料評価基盤の構築の経緯と CASMAT および組合員企業の役割

CASMAT I の『次世代半導体ナノ材料高度評価プロジェクト』では、これまで半導体デバイスにおけるバックエンドプロセスでの多層配線形成工程に用いられる材料とプロセス条件をセットにした部材（材料・プロセス）の統合的ソリューションを提案するため、その基盤となる要素技術として評価技術および開発支援ツール（TEG：Test Element Group）の開発を実施した。CASMAT I の運営スキームを図 1. 1-2 に示す。CASMAT I では、ほとんどが共通領域としての提案材料評価プログラムであり、その成果を利用した一部分が個別領域としてのアフィリエーションプログラムであった。ここでは、それぞれのプログラムの実施に当たっての種々の取り決めを確立させた。すなわち、提案材料はコード化して提案した組合員以外には材料が特定できないこと、材料評価結果は、技術情報 B として全組合員に開示されること、特許に関しては組合員、CASMAT いずれかの単独出願を原則とすることなどである。CASMAT II の『次世代高度部材開発評価基盤の開発』では、半導体材料分野での各種新規材料・プロセスを最適統合させた部材の統合的ソリューションの提案につながる高度部材開発評価基盤の確立のため、配線工程からパッケージ工程までの一貫した材料評価方法を開発した。CASMAT II およびそれに続く CASMAT III の運営スキームを図 1. 1-3 に示す。CASMAT II 以降は、共通領域の提案材料評価プログラムをベースにして、それまでに構築してきた材料評価基盤の活用を促進するため、施設を有効に活用するプログラム使用や TEG 利用プログラムなどの個別領域のプログラムを新たに加えて運営してきた。

さらに、新たな材料を短時間で半導体製造に実用化するためには、半導体製品の信頼性への影響が直接把握できる材料評価基盤が必要であることから、平成 21 年度から平成 23 年度までの CASMAT III では本プロジェクトの『半導体機能性材料の高度評価基盤開発』を実施した。半導体デバイス性能を支配する接合素子（p-n 接合、SiO₂-Si 接合などを指す）の信頼性に対して、材料や製造工程の影響を的確に且つ迅速に把握できる高度材料評価基盤を確立し、半導体材料の問題点や課題を明確にすることで、材料開発をより一層高効率化することができる。さらに、製造工程全体を一貫して評価することにより、新機能性材料の高効率開発とともに材料の最適な統合ソリューションを提案することができ、半導体製造技術の開発効率をも向上させることが可能になる。

以上のように、CASMAT III での本プロジェクトは、3 年間の単独のものではなく、これまでの 6 年間の先行プロジェクトをベースにして実施してきたものである。

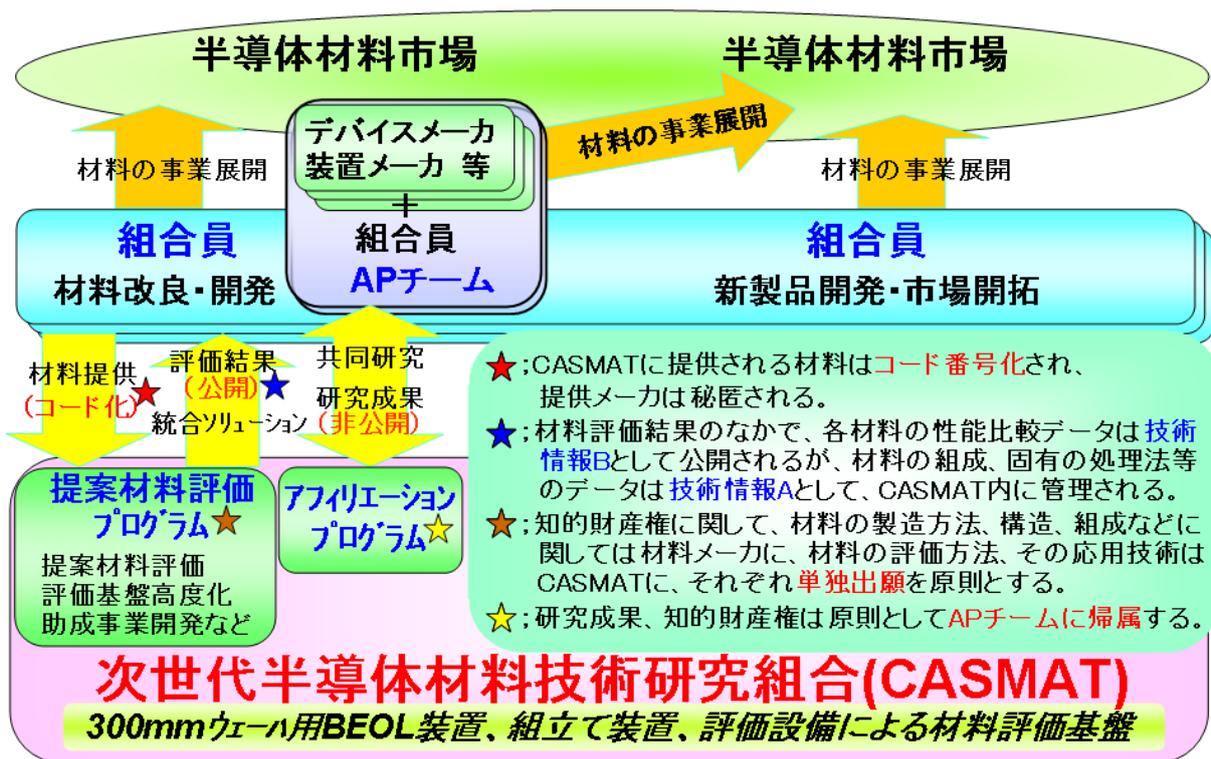


図 1. 1-2 CASMAT I の運営スキーム

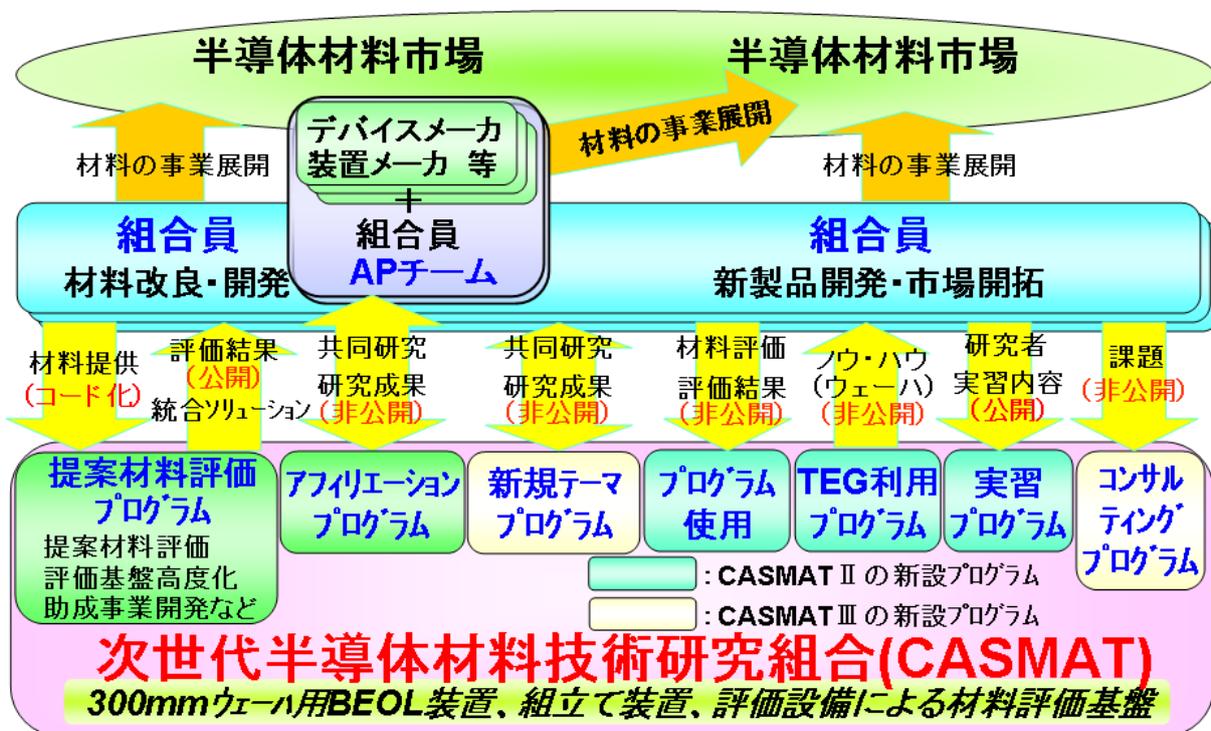


図 1. 1-3 CASMAT II、CASMAT III の運営スキーム

ここで、本事業の実用化・事業化については、**図 1. 1-4**のように定義する。すなわち、第 1 には、材料評価基盤の実用化であり、本事業の成果である材料評価基盤の有効活用とその継続を図ることである。具体的には、材料評価基準書が有効活用されること、TEG を材料メーカーが継続的に入手可能とすること、知的財産権（特許権など）が活用されることである。材料評価基準書については各組合員企業に配布済みであり、活用されている。第 2 には、組合員企業での事業化であり、材料評価基盤を活用した半導体材料の事業化が図られることである。具体的には、組合員企業の既存製品の競争力強化や市場シェアの向上すること、新規製品の開拓や新規市場への参入が達成されることなどが挙げられる。なお、組合員企業での事業化については、別途詳細な報告が組合員企業から行なわれる。

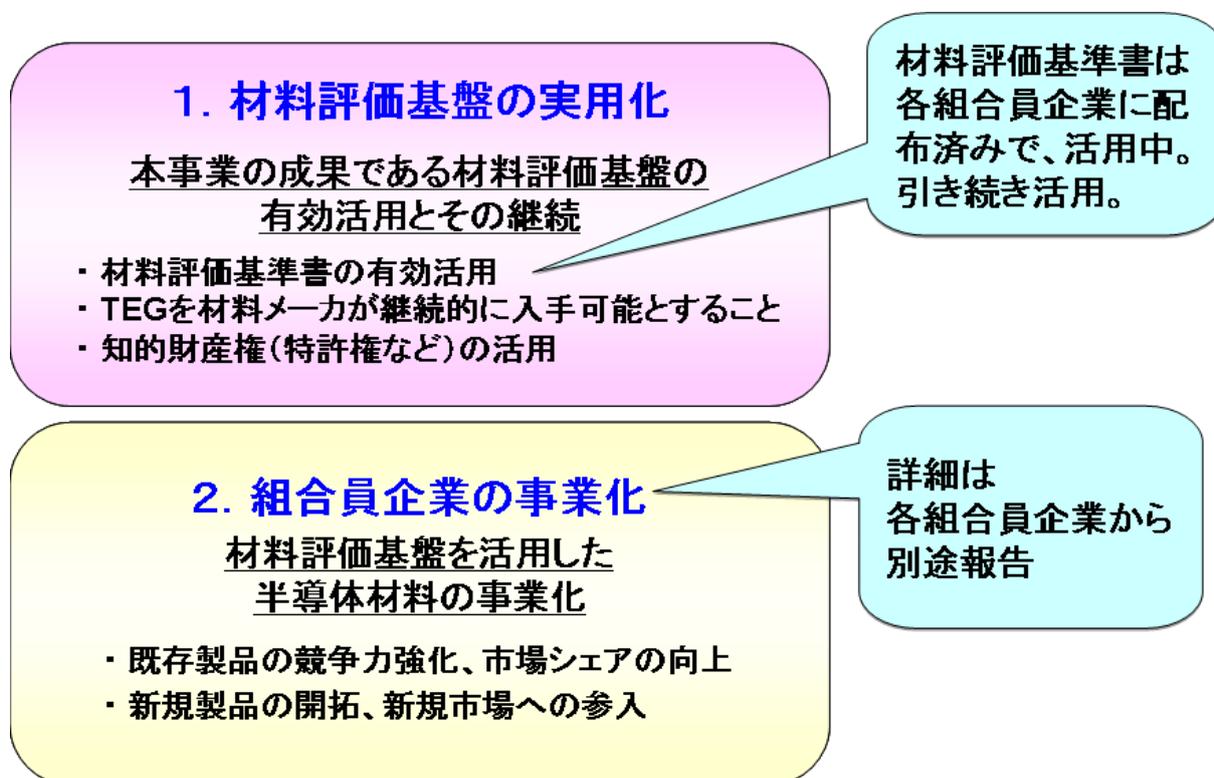


図 1. 1-4 本事業の実用化・事業化の定義

1. 1. 1 成果の有効性

成果の有効性については、まず提案材料評価プログラムとして、組合員が CASMAT の開発した材料評価基盤を共通に利用できることが挙げられる。すなわち、組合員は自社で開発した材料を CASMAT に持ち込み、評価基盤を利用して材料評価を行うことができる。平成 21 年度から平成 23 年度（CASMATⅢ）の 3 年間に CASMAT に持ち込

まれた材料の累計を図 1. 1. 1-1 に示す。ここで提案された材料には、自主事業として CASMAT I, II の成果を利用して評価する材料が含まれており、それが約 90% あり、助成事業に関連する材料は約 10% である。CASMAT の成果は、300 mm ウェーハを用いて半導体製造プロセスをベースにして BEOL 以降の半導体材料を評価できる材料評価基盤を構築したことである。平成 18 年度から平成 20 年度の CASMAT II の期間に対して CASMAT III の期間では、CMP スラリと Low-k は材料が絞り込まれてきたため減少しているものの、その他の材料は着実に増加している。すなわち材料評価基盤の活用により、着実に評価実績が積みあがっており、今後も成果の活用が充分見込める。

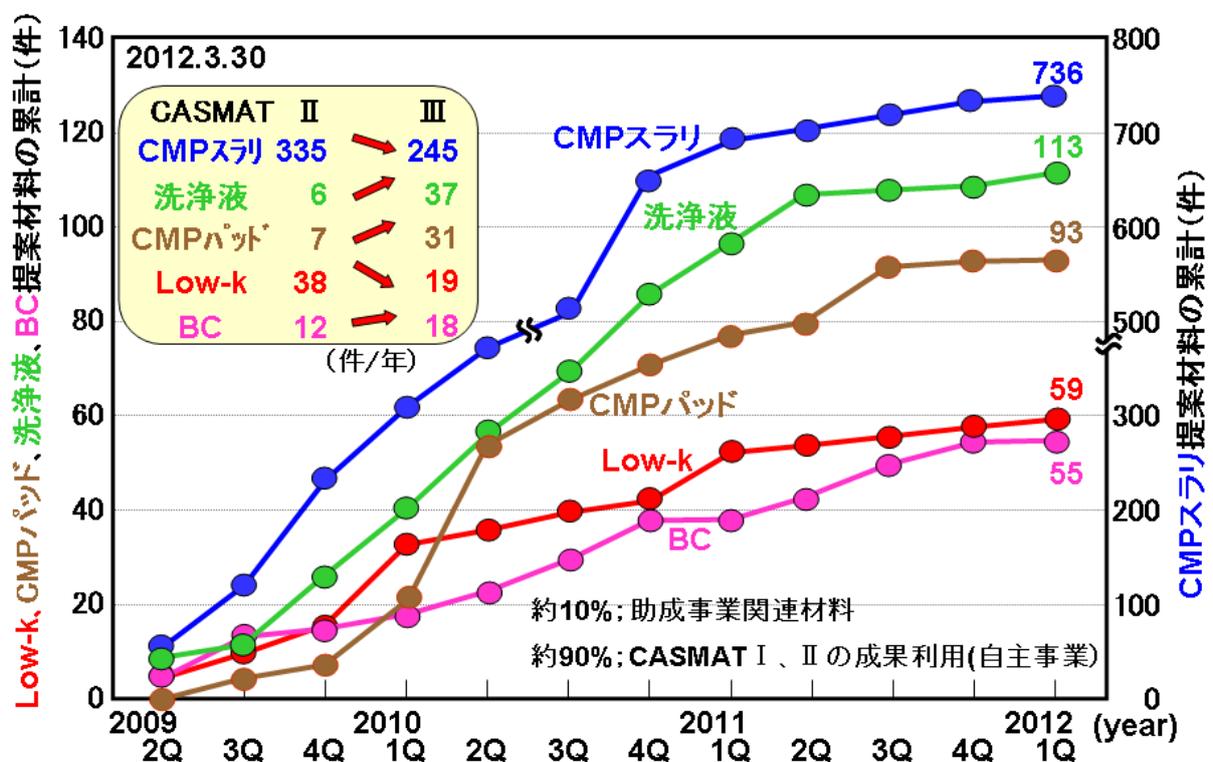


図 1. 1. 1-1 CASMAT に持ち込まれた材料の累計

次に、研究開発の過程で得られた知的財産権の1つであるノウハウの活用として、TEG 利用プログラムと装置を有効活用するプログラム使用がある。自主事業として CASMATⅢの期間における、これらの実施件数の累計を図 1. 1. 1-2 に示す。CASMATⅡの期間に比べ、TEG 利用プログラムは3倍以上、プログラム使用は2倍弱にそれぞれ大きな伸びを示している。特に TEG 利用プログラムについては、組合員以外の利用では 11 倍と極めて大きな伸びを示した。このように TEG の利用実績は着実に上がっており、成果の活用が今後も見込まれる。

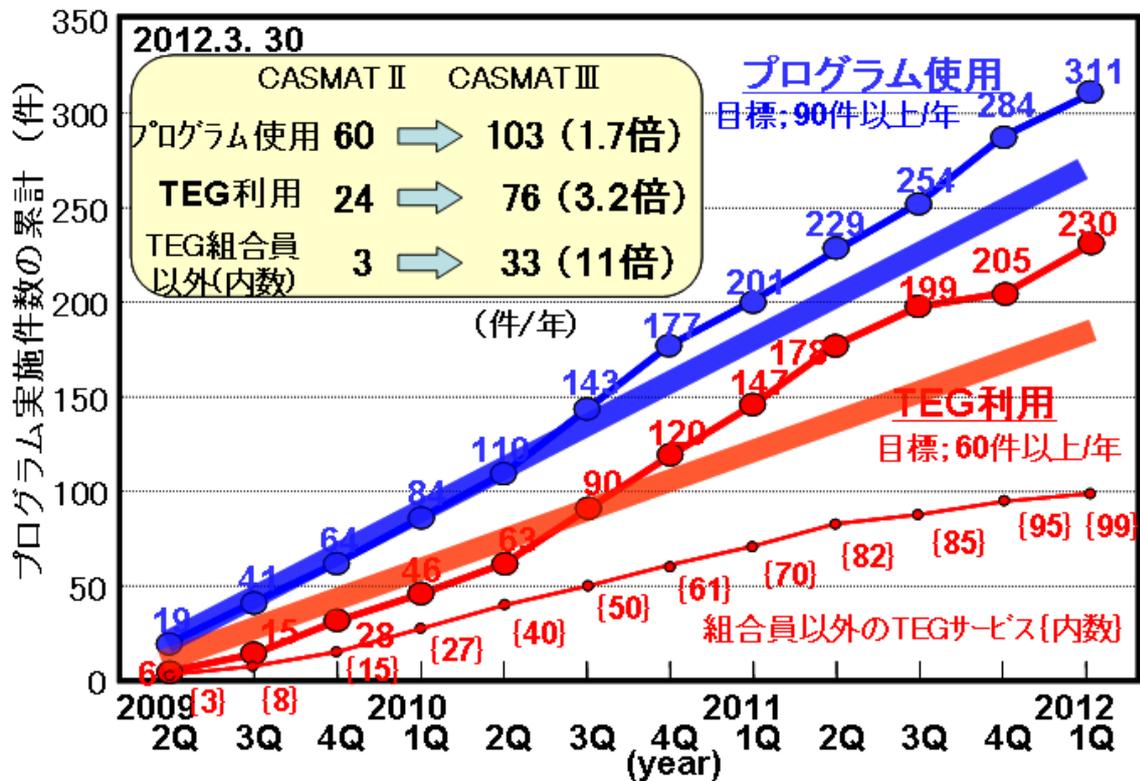


図 1. 1. 1-2 TEG 利用プログラムとプログラム使用の実施件数の累計

知的財産権の特許に関して、材料評価方法や半導体の製造方法などについて CASMATⅠの最初からこれまで 9 件の特許を取得してきた。本プロジェクトの期間では、まだ取得した特許はないが、13 件の特許を出願している。この 13 件の出願については毎年権利化の判定会議を行ない、審査請求の要否を決めていく。また今後、特許の成立している 9 件および公開された出願特許についてはホームページに公開していくことを計画しており、特許の実施許諾の拡大に繋げていく。

1. 1. 2 組合員企業での有効性

CASMATⅢに参画した組合員企業7社に対してのアンケート結果を図1.1.2-1に示す。CASMATの材料評価によるビジネス展開への効果としては、44の既存顧客への対応、また、51の新規顧客の開拓にそれぞれ貢献していることがわかった。これらの件数は、CASMATⅡまでの成果も利用したCASMATⅢの期間での実績である。今回の助成事業の効果としては、まだ極めて少数と思われるが、今後本事業の成果も利用される件数が伸びていくものと思われる。

既存顧客への貢献



(数字:顧客数×材料種の総計)

新規顧客の開拓



(数字:顧客数×材料種の総計)

A~G; JSR(株)、昭和電工(株)、住友ベークライト(株)、東レ(株)、日産化学工業(株)、日立化成工業(株)、三菱化学(株)

具体例 : ・データ共有等の連携強化
・問題の解決
・新製品評価実施
・新製品採用など

具体例 : ・ソリューションの提供
・サンプル評価実施
・新製品採用見通し
・新製品採用など

図 1. 1. 2 - 1 ビジネス展開に対する CASMAT での材料評価の効果

1. 1. 3 市場、技術動向

世界の半導体市場は2009年にリーマンショックにより対前年比9.0%減少したが、2010年には回復して26.5%増となり、その後は2011年に9.0%増となっており、この後も9%前後の増加が予想されている。半導体市場の動向に連動する形で半導体材料市場も推移することが予測され、2011年に7%増となっており、今後もほぼこのような割合での増加が見込まれている。

一方、半導体技術についてみれば、微細化だけでなく、3次元化やアナログ、高耐圧など多様な製造技術が用いられようとしている。それにともなって多様な材料とそれらの擦り合わせが重要な要素になると考えられる。すなわち、製造プロセスをベース

した材料評価の重要性がますます高まると考えられる。本プロジェクトで構築してきたような評価基盤を一貫して構築することはなかなか難しいかもしれないが、部分的にはあっても、各材料メーカーがデバイスメーカー或いは種々の研究機関と連携して継続できることが望まれる。

1. 1. 4 課題と対応策

実用化・事業化において、CASMATとして大きな課題は、本事業で構築した材料評価基盤の有効活用とその継続である。現状の見込みでは、平成25年3月に組合を解散（予定）する。平成24年9月までは、これまで述べてきた実用化対象のプログラムをCASMATにて実行できる。それ以降は解散に向けての準備期間に入り、装置を稼働させることができなくなるため、CASMATでの実施はできなくなる。平成25年度以降は、事業承継会社に承継いただくことになる。

組合解散後は、共通領域という意味はなくなるので、その実用化対象である提案材料評価プログラムは廃止せざるをえない。しかし、CASMAT自体の事業化としてきた個別領域の実用化対象については、形は変わるものの、できるだけ継続できる対応策を検討してきた。その中で、まず重要に成るのがCASMAT事業を承継していただく事業承継会社を設定することである。すでに組合としての候補会社は決定済みである。

プログラム使用については、組合員各社で個別に実施できるものは実施していただくように、組合員に優先して装置を引き取っていただくこととした。平成24年度内には装置の移設を完了いただく予定である。

TEG利用プログラムについては、平成24年度内にTEGを製造委託できるライセンス先を選定し、契約を完了させる。すでにライセンス先3社を選定し、契約交渉段階にある。平成24年10月以降は、CASMATでの作成は不可能になるので、ライセンス先でのTEG作成が可能になるようにする。平成25年度以降は、ライセンス許諾に関する契約などを事業承継会社に引き継いでいただく予定である。

特許の実施許諾にあたっては、平成24年度内に特許を事業承継会社に移管する。平成25年度以降は、権利化判定、ホームページでの開示、実施許諾を事業承継会社で行なっていただく予定である。

以上、平成25年3月にCASMATの解散（予定）により、CASMATでの実用化・事業化の継続ができなくなるが、解散までに事業承継会社と連携を取り、可能な限り材料評価基盤の活用と継続を図っていく。

1. 2 事業化までのシナリオ

1. 2. 1 実用化・事業化計画

実用化・事業化計画について、**図 1. 2. 1 - 1** に示す。平成 24 年 9 月までは、CASMAT で実用化してきたプログラムを事業として実施する。しかし、平成 25 年 3 月に組合を解散するので、4 月以降は事業承継会社が主体的に事業を継承することとなる。事業内容としては、知的財産権の活用として TEG ライセンスの許諾と特許の実施許諾になる。これらをスムーズに実行するため、平成 24 年度内に TEG ライセンス先の選定と契約を行ない、また、事業承継会社への特許の移管、特許のホームページでの開示を行なう。

項目 \ 年度	平成24年度	平成25年度	平成26年度	平成27年度	平成28年度
事業の主体	← CASMAT →	← 事業承継会社 →	← 事業承継会社 →	← 事業承継会社 →	← 事業承継会社 →
材料評価基準書の活用	CASMAT での活用 装置搬出	(CASMAT解散)	組合員企業個別に活用	組合員企業個別に活用	組合員企業個別に活用
TEG活用	← ライセンス先選定 契約 →	← TEGライセンス許諾 →	← TEGライセンス許諾 →	← TEGライセンス許諾 →	← TEGライセンス許諾 →
	CASMAT 提供 30枚/月	← ライセンス先から TEG提供 →			
		40枚/月	50枚/月	60枚/月	60枚/月
特許権利化・広報	◇ 権利化判定	◇ 権利化判定	◇ 権利化判定	◇ 権利化判定	◇ 権利化判定
	← ホームページ公開 →	← ホームページ公開 →	← ホームページ公開 →	← ホームページ公開 →	← ホームページ公開 →

図 1. 2. 1 - 1 実用化・事業化計画

1. 2. 2 売上・損益の見通し

実用化・事業化計画に基づいて、TEG 利用プログラムについて以下の想定をして売上を予測した結果を図 1. 2. 2-1 に示す。TEG 利用プログラムの平成 24 年度は CASMAT が提供し、平均単価を 10 万円とした。平成 25 年度以降は、ライセンス許諾になり、TEG の平均単価を 20 万円、ライセンス料をその 5% とした。

(単位:k¥)

項目		年度	平成24年度	平成25年度	平成26年度	平成27年度	平成28年度
事業の主体			←CASMAT→		←事業承継会社→		
TEG利用 プログラム	枚数(枚)		180	480	600	720	720
	単価		100	200×0.05	200×0.05	200×0.05	200×0.05
	売上		18,000	4,800	6,000	7,200	7,200

・平成25年度以降;TEGの平均単価200k¥、ライセンス料5%とする

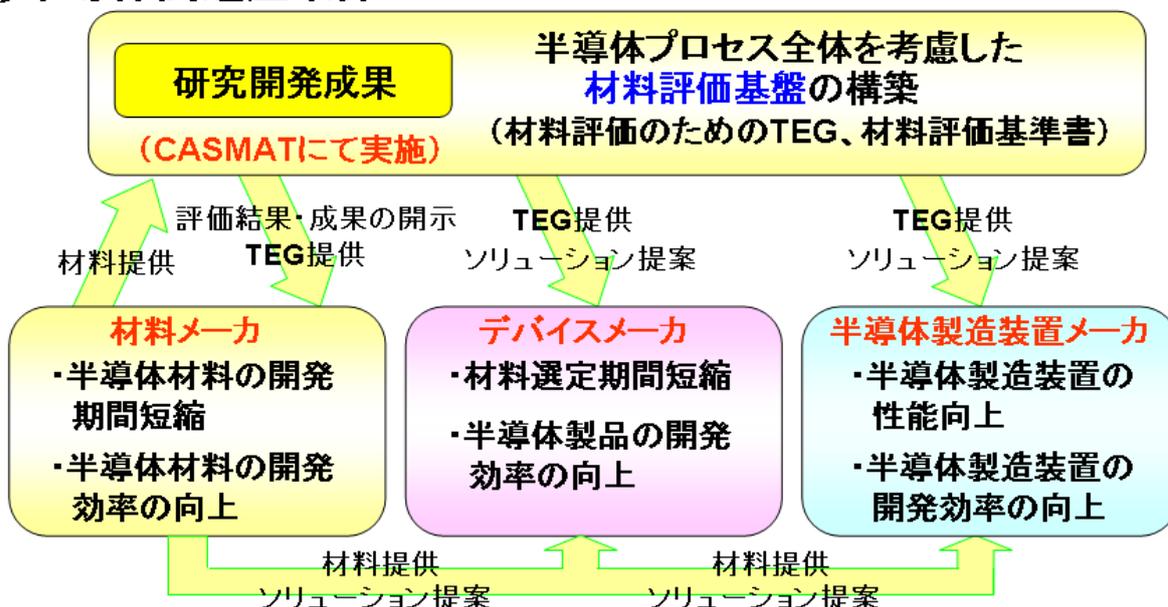
図 1. 2. 2-1 売上の試算結果

1. 3 波及効果

波及効果として、技術面での効果をまとめて図1. 3-1に示す。まず半導体関連産業界として材料メーカ、デバイスメーカ、半導体製造装置メーカへの波及効果が考えられる。半導体材料メーカでは、CASMATが開発した評価基盤やTEGサービスを利用することにより、製品の開発期間短縮、開発効率の向上を図ることができる。また、材料メーカ自身が半導体プロセスをベースとする評価データを取得することができるので、技術のすり合わせが頻繁に行われる国内半導体デバイスメーカ、半導体製造装置メーカ等に対して、その評価データや評価に基づくソリューションと同時に材料を提供することが可能になる。結果としてデバイスや半導体製造装置の製品の開発効率や性能が向上し、ひいてはわが国半導体関連産業全体の市場競争力をより一層強化することができる。

さらに関連するエレクトロニクス業界においては、開発された半導体材料の評価技術が、半導体と関連するLCD、ELなどのディスプレイ技術、LED、ELなどの照明技術さらにはMEMS技術などにおいても材料評価技術として応用することが可能であり、それらの製品の開発効率の向上、開発期間の短縮などという波及効果が期待される。加えて川下に当たる家電、通信、自動車などの業界での技術開発の更なる活性化と、それによる市場拡大、雇用促進にも寄与することが期待できる。

①半導体関連産業界



②その他の関連産業界

- ・材料評価技術の応用 → ディスプレイ(LCD、EL)、MEMS等の業界
- ・製品性能向上、市場拡大、雇用促進 → 家電、通信、自動車等の業界

図 1. 3-1 技術面での波及効果

経済面では、次のようなことが考えられる。本プロジェクトでは、研究成果を参加組合員企業全体で共有し、また共通プログラムでの材料評価結果は原則として全組合員に開示される。その結果、組合員は自社の技術開発レベル（位置づけ）がわかり、今後の研究開発の方向を明確に判断することができ、各組合員企業での事業の選択と集中に繋げることができる。このことは、研究開発投資の再配分等といった側面でも、組合員企業各社における研究開発投資効率の向上が期待できる。例としては、材料メーカー間で同じような研究開発に無益な投資をすることを防ぐことも可能になる。

また、材料を評価することは、材料メーカーにとってはどちらかと言えば競争と言うよりも協調できる領域である。材料評価の基盤を共同で立ち上げることにより、個々の材料メーカーでの高額な設備投資を抑制することができる。また、サンプル作成やその材料費などの研究開発経費についても抑制する効果があると考えられる。

研究開発面では、協調領域と競争領域を峻別して運営する CASMAT のような事業化スキームが、特に材料メーカーに受け入れられてきたことである。新製品や新技術を創出すると言うよりも、むしろ研究開発においてはインフラ的な材料評価のような協調領域での研究開発をコンソーシアムが担当し、新製品開発のような競争領域はコンソーシアムメンバ各社が担当するという運営のスキームである。このようなスキームで実施されるコンソーシアムとして、平成 22 年 4 月にリチウム電池の材料評価のため、おもに電池材料メーカーをメンバとする「技術研究組合リチウムイオン電池材料評価研究センター」(LIBTEC) が発足し、また、平成 23 年 3 月には有機 EL をはじめとする化学材料を評価するため、おもに化学材料メーカーをメンバとして「次世代化学材料評価技術研究組合」(CEREBA) が発足した。それぞれの技術研究組合の今後の活躍が期待される。

人材育成面では、CASMAT 発足以来、各材料メーカー 12 社から約 50 名に上る材料開発の研究者が CASMAT に出向し、研究員として 2~3 年間従事してきたことで、これまでは全く話をする機会もなかった同業他社の研究者との人脈ができたことが挙げられる。このことは、研究者が自社に戻ってからも、様々な場面で有効な情報交換を可能にするものと期待できる。また、本プロジェクトでは、FEOL 素子を搭載したウェーハを用いて評価することにより、デバイスに関しての構造の観察や電気特性の測定を実際に行い、まだ入り口に過ぎないが、デバイスについての知識を高めることができたと思う。このようなことは、材料メーカーではほとんど経験できないことであり、今後、顧客であるデバイスメーカーの技術者との議論の中で情報交換の理解に大いに役立つものと期待される。

1. 4 まとめ

本事業期間内の評価材料数、プログラム使用および TEG 利用件数の実績、さらには組合員アンケートによるビジネス展開の実績から、成果である材料評価基盤は材料メーカーの事業化推進に貢献できる見通しである。本事業の成果である材料評価基盤を成す評価基準書は、組合員企業に配布済みである。現在も活用されており、今後も引き続き活用される見通しである。また、もう 1 つの要素である TEG は、ライセンス許諾により継続的に入手可能となる。

平成 25 年 3 月の CASMAT の解散に対しては、TEG ライセンス事業と特許の実施許諾事業を、事業承継会社に引き継ぐことで、材料評価基盤が継続して活用できる仕組みを構築した。これにより、組合解散後も、成果である材料評価基盤が有効に活用され、材料メーカーの競争力維持・強化が継続して可能となる。

V. 成果資料

V. 1 外部発表リスト

No.	発表者	所属	タイトル	発表誌名	査読	発表日	研究課題
1	滝本 嘉夫 前田 展秀	CASMAT	Novel Dielectric-Constant Evaluation Method for Low-k Multi-level Metallization Structures in ULSI	IEEE Transactions on Semiconductor Manufacturing, 2009, Vol.22, No 2.	有	2009年6月	研究開発項目③
2	奥谷 謙 大槻 裕人 田中 孝明 川本 佳史	CASMAT	Evaluation of Cu-CMP slurry performance using CMP-TEG wafer	ADMETA2009	有	2009/10/20	研究開発項目②
3	奥谷 謙 安西 創 松本 貴志 川本 佳史	CASMAT	Evaluation of CMP Materials Using CASMAT CMP-TEG wafer	ICPT2009	有	2009/11/21	研究開発項目②
4	川本 佳史	CASMAT	半導体用材料評価基盤の研究開発状況	超LSI製造・試験装置ガイドブック2010年度版(「電子材料」12月号別冊)	無	2009年12月	研究開発項目③
5	山本 景壽	CASMAT	CASMATで実施している研究(材料評価)事例の紹介	平成21年度第4回電子SI連絡協議会/企画委員会	無	2010/1/26	研究開発項目③
6	奥谷 謙	CASMAT	Evaluation of Cu-CMP corrosion caused by different density pattern connection	ADMETA2010	有	2010/10/21	研究開発項目②
7	奥谷 謙	CASMAT	Cu line corrosion caused by electro potential difference due to different density pattern connection	ICPT2010	有	2010/11/15	研究開発項目②
8	飯森 弘和 船津 圭亮 川本 佳史	CASMAT	シエアテスターによる絶縁樹脂材料の密着力評価	第25回エレクトロニクス実装学会講演大会	無	2011/3/8	研究開発項目③
	宮崎 大地 南橋 克哉 富川 真佐夫	東レ(株)					
9	奥谷 謙	CASMAT	Cu-CMPプロセスにおける濃淡電池効果によるCu配線の腐食	精密工学会 2011年度 春季大会	無	2011/3/14	研究開発項目②

No.	発表者	所属	タイトル	発表誌名	査読	発表日	研究課題
10	平井 美帆子	CASMAT	Plasma Damage Recovery of Organic Low-k material	Journal of Photopolymer Science and Technology.	無	2011年4月	研究開発項目③
	多田 昌弘	住友ベークライト(株)					
	古賀 和博 秋山 仁人	CASMAT					
11	玉置洋一	CASMAT	New test structure for evaluating low-k dielectric interconnect layers by using ring-oscillators and metal comb/serpentine patterns.	IEEE ICMTS2011	有	2011/4/6	研究開発項目①
12	奥谷謙	CASMAT	Cu-CMPプロセスにおける濃淡電池効果によるCu配線の腐食	第109回 精密工学会「プラナリゼーションCMPとその応用技術専門委員会」	無	2011/4/22	研究開発項目②
13	平井美帆子	CASMAT	Integration of an organic ultra low-k material (k=2.2) and applying a plasma damage recovery process	ADMETA2011	有	2011/9/14	研究開発項目③
14	秋山仁人	CASMAT	Evaluation of SOD materials for narrow pitch process of 60nm 1/2 pitch.	ADMETA2011	有	2011/9/14	研究開発項目③
15	奥谷謙	CASMAT	Cu corrosion caused by concentration cell effect in Cu-CMP process	ADMETA2011	有	2011/9/14	研究開発項目②
16	伊藤篤史	CASMAT	先端洗浄技術における汚染除去のメカニズム ～CMP後洗浄技術を中心に～	日本学術振興会「結晶加工と評価技術」第145委員会第127回研究会	無	2011/8/19	研究開発項目②
17	平井美帆子	CASMAT	Integration of an organic ultra low-k material (k=2.2). and applying a plasma damage recovery process	AMC2011	有	2011/10/4	研究開発項目③
18	奥谷謙	CASMAT	Evaluation of yield impact depending on under layer un-planarity of Cu-CMP	ICPT2011	有	2011/11/9	研究開発項目③
19	玉置洋一	CASMAT	New Evaluation Method of Low-k Dielectric Films by using a Gated PN-junction Diode and a Field MOS Transistor.	IEEE ICMTS2012	有	2012/3/21	研究開発項目①

V. 2 特許リスト

出願番号	出願名称	出願日	研究課題
特願2010-026716	半導体装置、及びその製造方法	10.02.09	研究開発項目③
特願2010-066449	デバイス、及びデバイスの層間剥離判定方法	10.03.23	研究開発項目③
特願2010-080768	半導体集積回路用テスト回路	10.03.31	研究開発項目①
特願2011-039875	表面特性観察方法、表面特性観察方法に供される試料の製造方法、及び表面特性観察方法に供される試料	11.02.25	研究開発項目②
特願2011-129834	TEG構造、及び層間剥離箇所探索方法	11.06.10	研究開発項目③
特願2011-166383	半導体装置、及びその製造方法	11.07.29	研究開発項目②
特願2011-264241	絶縁膜評価方法およびテスト素子	11.12.02	研究開発項目①
特願2011-273969	絶縁膜評価方法およびテスト素子	11.12.15	研究開発項目①
特願2011-277097	絶縁膜評価方法およびテスト素子	11.12.19	研究開発項目①
特願2012-073883	半導体装置、及びその製造方法	12.3.28	研究開発項目③
特願2012-073884	半導体素子の製造方法	12.3.28	研究開発項目③
特願2012-080920	テスト素子、絶縁膜評価方法および半導体素子検査方法	12.3.30	研究開発項目②
特願2012-091306	半導体装置の配線形成方法	12.4.12	研究開発項目③

VI. 参考文献

III. 2. 1

- 1) R. S. Muller, and T. I. Kamins, Device Electronics for Integrated Circuits, 3rd Edition, John Wiley & Sons, 2003.
- 2) Y. Takimoto, and N. Maeda, 'Novel Dielectric- Constant Evaluation Method for Low-k Multilevel Metallization Structures in ULSI.' IEEE Trans. on Semiconductor Manufacturing, Vol.22, No.2, pp.317-320, 2009.
- 3) T. Matsuda, H. Iwata, T. Ohzone, K. Yamashita, N. Koike, and K. Tatsuuma, 'A Combined Test Structure with Ring Oscillator and Inverter Chain for Evaluating Optimum High-Speed / Low-Power Operation.' Proceedings of ICMTS, pp.79-84, 2003.
- 4) 菅野卓雄監修、飯塚哲哉編、「CMOS 超 LSI の設計」、培風館、1989.

III. 2. 2

- 1) S. M. Sze, Semiconductor Devices, Physics and Technology, 2nd Edition, John Wiley & Sons,, 2002.
- 2) S. T. Kong, P. S. Ronald and C. Lee, 'Investigation on the Field Leakage Current in 0.35um CMOS Technology at High Temperature,' Proc. ICMTS, pp.102-106, 2010.
- 3) 中前正彦、王冬、浅野種正、宮尾正信、「高速 LSI 用ひずみ Si ウェハー技術」、応用物理、74 巻、9 号、pp.1217-1223, 2005.

III. 2. 3

- 1) P. R. Gray, P. J. Hurst, S. H. Lewis, R. G. Mayer, "Analysis and Design of Analog Integrated Circuits." 4th Edition, John Wiley & Sons., 2001.
- 2) 林喜宏、「低誘電率絶縁膜材料の進化と最先端 ULSI 多層配線技術」、応用物理、74 巻、9 号、pp.1178-1184, 2005.
- 3) M. Bhushan, M. B. Ketchen, S. Polonsky, and A. Gattiker, 'Ring Oscillator Based Technique for Measuring Variability Statistics.' Proceedings of ICMTS, pp.87-92, 2006

IV. 1

- 1) 木浦成俊、「2010 半導体データブック」(株) 電子ジャーナル、2010.4.26 発行
- 2) プレスリリース、「2011 年世界半導体材料出荷額は 478 億 6 千万ドル」SEMI Japan、2012.4.6