

「低炭素社会を実現する超低電圧ナノエレクトロニクス  
プロジェクト／低炭素社会を実現する超低電圧デバイス  
プロジェクト」

中間評価報告書（案）概要

目 次

分科会委員名簿 .....	1
プロジェクト概要 .....	2
評価概要（案） .....	9
評点結果 .....	18

## はじめに

本書は、第31回研究評価委員会において設置された「低炭素社会を実現する超低電圧デバイスプロジェクト」（中間評価）の研究評価委員会分科会（第1回（平成24年8月30日）及び現地調査会（平成24年8月29日））において策定した評価報告書（案）の概要であり、NEDO技術委員・技術委員会等規程第32条の規定に基づき、第33回研究評価委員会（平成24年11月13日）にて、その評価結果について報告するものである。

平成24年11月

独立行政法人新エネルギー・産業技術総合開発機構  
研究評価委員会「低炭素社会を実現する超低電圧ナノエレクトロニクスプロジェクト／低炭素社会を実現する超低電圧デバイスプロジェクト」分科会  
（中間評価）

分科会長 伊藤 隆司

独立行政法人新エネルギー・産業技術総合開発機構 研究評価委員会  
「低炭素社会を実現する超低電圧ナノエレクトロニクスプロジェクト」/  
低炭素社会を実現する超低電圧デバイスプロジェクト」(中間評価)

分科会委員名簿

(平成24年8月現在)

	氏名	所属、役職
分科会長	いとう たかし 伊藤 隆司	広島大学 ナノデバイス・バイオ融合科学研究所 客員教授
分科会長 代理	まつやま きみひで 松山 公秀	九州大学 大学院システム情報科学研究所 情報エレクトロニクス部門 教授
委員	きっかわ たかまる 吉川 公磨	広島大学 ナノデバイス・バイオ融合科学研究所 教授
	どうしょう しろう 道正 志郎	パナソニック株式会社 デジタルコア開発センター ハードウェア設計エキスパート
	ふくしま としたか 福島 敏高	早稲田大学 ナノ理工学研究機構 客員教授
	ふじむら しゅうぞう 藤村 修三	東京工業大学 イノベーションマネジメント研究科 教授
	まつざわ あきら 松澤 昭	東京工業大学 大学院理工学研究科 電子物理学専攻 教授

敬称略、五十音順

# プロジェクト概要

最終更新日

平成 24 年 8 月 15 日

プログラム(又は施策)名	IT イノベーションプログラム						
プロジェクト名	低炭素社会を実現する超低電圧デバイスプロジェクト	プロジェクト番号	P10023				
担当推進部/担当者	電子・材料・ナノテクノロジー部 島津高行(平成 23 年 3 月～平成 24 年 3 月) 電子・材料・ナノテクノロジー部 波佐昭則(平成 24 年 4 月～平成 24 年 8 月現在)						
0. 事業の概要	本プロジェクトは、ナノテクノロジーで培われた新規の機能材料や新規のデバイス構造に立脚して、集積回路の低電圧動作と高機能・高集積化を実現し、集積回路の低電力化を通してエレクトロニクス機器の消費電力を大幅に低減する技術を確認することを目的として実施する。						
I. 事業の位置付け・必要性について	<p>半導体技術は、情報家電、コンピュータ、通信装置、自動車、医療機器など、我が国の経済を支える先端産業の競争力強化に不可欠な基盤技術である。その発展を支えているのは、シリコン集積回路とその基本素子(デバイス)の CMOS トランジスタであり、これまで、CMOS トランジスタの寸法を微細化するプロセス技術と、微細デバイスを機能させる回路技術により、高性能化・低電力化を実現してきた。</p> <p>低炭素社会の実現には、上記に代表されるエレクトロニクス機器の究極的な低電圧動作による飛躍的な低電力化が必須であり、デバイスの低電圧動作と不揮発動作が不可欠な技術要素である。CMOS 基本回路の消費電力は電圧の自乗に比例するので、電圧を 1/3 にすれば、単純には消費電力がほぼ 1/10 になる。また、電源を遮断しても情報が保持される不揮発デバイスを使えば、待機状態での消費電力がゼロになり、これも、消費電力の低減に大きな効果をもたらす。このように、動作状態では電圧の低減で、待機状態では不揮発動作を使うことで、消費電力の低減が達成される。これらの機能を満たす新しい超低電圧・不揮発デバイスの開発が必要である。</p> <p>欧米においては、大型の産学連携ナノエレクトロニクス拠点の整備がここ数年で飛躍的に進み、超低電圧・不揮発デバイスをはじめとした、次世代デバイスに関する実用化を目指した研究が活発に行われ、今後、開発競争は熾烈化するものと考えられる。海外の研究開発活動の活発化により、このような状況を放置すれば、超低電圧・不揮発デバイスに関する我が国の技術開発の競争力を失いかねない。</p> <p>以上のように、本プロジェクトは、わが国の競争力の確保と、エネルギー消費削減・低炭素化の両方に貢献すると期待され、本プロジェクト推進の必要性は高い。</p>						
II. 研究開発マネジメントについて							
事業の目標	新構造・材料を用いて、超低電圧・不揮発デバイスを実現するための基盤技術を確認して 0.4V の超低電圧化を実現し、IT 機器の大幅な小型化・高性能化と低電化を実現する。						
事業の計画内容	主な実施事項	H22fy	H23fy	H24fy	H25fy	H26fy	
	経産省直執行	←→					
	NEDO 技術開発	←→					
開発予算 (百万円) 契約種類: (委託)	会計・勘定	H22fy	H23fy	H24fy	H25fy	H26fy	総額
	一般会計	(2,045) <sup>※1</sup>	2,299	2,277			
	特別会計	-	-	-			
	総予算額	(2,045) <sup>※1</sup>	2,299	2,277			
※1: 経済産業省直執行分							

開発体制	経産省担当原課	産業技術環境局研究開発課
	プロジェクトリーダー	リーダー:住広直孝 超低電圧デバイス技術研究組合・研究本部長 副:木村紳一郎 超低電圧デバイス技術研究組合・研究企画部長
	委託先	超低電圧デバイス技術研究組合(参加10社) 株式会社荏原製作所 東京エレクトロン株式会社 株式会社東芝 日本電気株式会社 株式会社日立国際電気(H23～) 株式会社日立製作所 富士通株式会社 富士通セミコンダクター株式会社 三菱電機株式会社 ルネサスエレクトロニクス株式会社 共同実施先 立命館大学、神戸大学、中央大学、産業技術総合研究所、筑波大学、東京大学、慶応義塾、芝浦工業大学、電気通信大学、京都大学、京都工芸繊維大学、大阪大学、東京理科大学
情勢変化への対応	<p>(1) 東北地方太平洋沖地震発生による実施方針・計画の変更 平成23年3月11日に発生した東北地方太平洋沖地震のために、産業技術総合研究所のスーパークリーンルームが使用不能となったため、平成22年度の実実施計画遂行に遅れが生じ、事業実施期間を平成24年3月31日まで延期する計画変更を実施(結果として平成23年8月末に繰り上げ完了)。</p> <p>(2) 研究開発項目⑤の実実施方針・計画の変更 他研究機関のベンチマーク、国際学会調査によりナノトランジスタ構造デバイスの特徴の一つである基盤バイアス制御の活用に注目が集まっていることが分かった。本研究の優位性を確実にするため、開発の前倒しを目的として、共同実施先の追加(電気通信大学、芝浦工業大学)を実施。</p> <p>(3) 技術推進委員会評価への対応のため実施方針・計画の変更 平成23年12月16日実施した技術推進委員会での指摘事項に対し各研究開発項目間の連携強化、及び研究開発項目②、④に於いては専門研究員の増強、実施計画の見直しを実施。</p>	
中間評価結果への対応	平成24年8月中間評価実施のため現時点記載すべき事項無し。	
評価に関する事項	事前評価	平成22年度実施 担当部 NEDO 電子・材料・ナノテクノロジー部
	中間評価	平成24年度 中間評価実施予定
	事後評価	平成27年度 事後評価実施予定
Ⅲ. 研究開発成果について	<p>研究開発項目① 磁性変化デバイス 「ロジック集積回路内1次メモリを対象とした、高集積・高速特性・高書き換え耐性などの機能を有する超低電圧・不揮発デバイスの開発」</p> <p>磁性変化デバイスの基本構造およびプロセスとして、トップピン構造、歪エンジニアリング、界面垂直磁化、SAF構造などを開発し、中間目標のスペックである、電圧0.4V程度10ns</p>	

のパルスでの読み書きと読み書き電流  $100\mu\text{A}$  以下を実証した。  
CoFe シード層挿入による高品質 MgO 成膜プロセスを開発し、加速試験で  $10^{16}$  回の書き換えと 10 年間の絶縁耐性を実証した。  
多値構造とそれを実現するプロセスとして、MTJ の 2 段積層構造の一括加工方式を提案し、試作により多値動作を確認した。  
300mm 径ウエハを用いて、2 層 Cu 配線間への磁性変化デバイスの埋め込みプロセスフロー案を作成し、試作を行い、デバイス動作を確認した。  
MTJ の SPICE モデルを提案し、実測値との整合性を確認した。低消費電力動作のために、新しい負性抵抗読み取り方式を用いた、誤書き込みを起こさないセンシング技術を開発し、起版したマスクに搭載した。これらの結果から、中間目標は達成できる見通しである。

#### 研究開発項目②

##### 相変化デバイス

「外部記憶の高速低電力データ転送を実現する、高集積・高速低電力書き込み特性などの機能を有する超低電圧・不揮発デバイスの開発」

300mm 径ウエハの成膜装置を用い、GeTe/Sb<sub>2</sub>Te<sub>3</sub> 超格子構造形成に世界で初めて成功した。50nm 直径の W 電極を有する GeTe/Sb<sub>2</sub>Te<sub>3</sub> 超格子抵抗 TEG を 300mm ラインで試作し、100 以上の抵抗比で動作することを確認した。低抵抗から高抵抗へ変化する動作が、従来の Ge<sub>2</sub>Sb<sub>2</sub>Te<sub>5</sub> の 1/25 以下である 70uA の電流、3.5pJ のエネルギーで起きることを実証した。高抵抗から低抵抗へ変化する動作は、さらに低い 60uA で起こることを確認し、相変化の低電力化に超格子膜が有効であることを、300mm の試作環境で実証できた。

ナノメータオーダーサイズの結晶を有する熱拡散防止層を用いることにより、電気抵抗を増加させ、かつ熱伝導率を減少させることに成功し、相変化デバイスの動作電力を 1/10 に削減する見通しを得た。

W 配線/シリコンダイオード/相変化膜/W 配線からなるクロスポイント構造のメモリセルを試作し、ダイオードの正常動作と相変化材料の抵抗変化現象を確認した。超格子膜とシリコンダイオードを組み合わせることで、中間目標は達成できる見通しである。

#### 研究開発項目③

##### 原子移動型スイッチ

「配線切り換えを可能とするスイッチを対象とした、低電流・高速書き換え、高オン・オフ抵抗比、小面積などの機能を有する超低電圧・不揮発スイッチデバイスの開発」

ポリマー固体電解質 (PSE) を使う、二つの原子移動型スイッチ素子を相補的に配置した 3 端子構造を提案・試作し、低電圧化と高信頼性が両立できる見通しを得た。3 端子構造では、もう一方の素子が相補的に動作して印加される電圧を軽減するため、長寿命化 (10 年以上) が図られる。これによって、2V での書き換え動作が実現した (従来の 2 端子構造は 3.5V)。

3 端子原子移動型スイッチを用いた 0.5k ~ 1k ビットスイッチアレイ (スイッチを配列したもの) を、300mm ラインの BEOL プラットフォームを用いて試作し、2V での書き換え、オン/オフ抵抗比  $10^5$  以上、電流速度積  $10^{-10}\text{A}\cdot\text{s}$  以下、書換え回数  $10^3$  以上、プログラム電圧ばらつき  $\sigma = 0.2\text{V}$ 、および初期信頼性を確認した。また、特性評価 TEG として、新しい 1M ビットおよび 16k スイッチアレイを設計し、かつ機能検証 TEG として 32x32 クロスバースイッチ、プログラマブルロジックセルを設計し、試作した。これらの結果から、中間目標は達成できる見通しである。

#### 研究開発項目④

##### 三次元ナノカーボン配線

「集積回路チップ内において、機能ブロックの三次元集積を実現するための、微細幅・超低電気抵抗、超高アスペクト比配線・材料技術の開発」

微細幅グラフェン配線を多層剥離グラフェンにより作製し、線幅 100nm でシート抵抗 34  $\Omega/\square$  を実証した。配線抵抗の配線幅、グラフェン層数、温度に対する依存性から低抵抗化の指針を得た。

配線応用に必要な低温( $\leq 600^\circ\text{C}$ )での多層グラフェン成長において、触媒段差を起点とする低温固有の成長機構を明らかにし、かつ、耐熱性触媒組成の開発により、触媒の薄膜化と所望の位置への優先成長を実現した。

超高アスペクト比(AR)コンタクト埋め込みに向け、AR12、100nm $\Phi$  のホール底からのCNT 選択成長を確認した。AR16 ホール作製を完了し、ホール底を含む内面全面からのCNT 成長を確認。選択成長検討を開始した。

300mmナノカーボン成長装置を整備し、段差構造基板への多層グラフェン成長を確認するとともに、コンタクトホール底に適用可能な導電性下地金属(TiN)を用いて、300mm基板全面でCNTの高密度( $6 \times 10^{11}/\text{cm}^2$ )成長を得た。

触媒基板上でCNTの固定化とCMP平坦化プロセスを開発し、CNT埋め込みコンタクトの平坦化を実証した。

配線集積化に向け、緩和寸法(最小設計線幅・ホール径 90nm)の配線TEGを設計し、専用マスクを起こして最大 4 層のTEG基板を作製し、300mm基板での配線構造・プロセス開発を開始した。横配線実証構造候補としてダマシ型配線溝へのグラフェン成長、触媒埋め込みとCMP研磨のプロセスを可能にした。これらの結果から、中間目標は達成できる見通しである。

#### 研究開発項目⑤

##### ナトランジスタ構造デバイス

「CMOS トランジスタの超低電圧動作、及びリーク電流抑制を同時に実現するための、低しきい値ばらつきトランジスタを集積化するための技術開発、並びに、この技術を用いた高集積機能素子における低電圧動作実証」

薄い埋め込み酸化膜上に極薄シリコンを形成した、SOI構造のSOTBトランジスタとその製造プロセスを開発し、低ばらつき( $4\sigma V_{th}=40.8\text{mV}$ )と、SRAMセルの0.4V動作を確認した。また、低電圧での回路動作安定性に影響するトランジスタ出力電流のばらつきが、試作したSOTBトランジスタで大幅に低減することを世界で初めて実証した。さらに、柔軟な特性制御と低ばらつきを両立できるローカルグランドプレーン構造を提案し、従来構造に比べてばらつきや短チャネル特性が優れていることを実証した。

SOTBとバルクCMOSを組み合わせたハイブリッド構造と、SOTBに最適化された標準セルを含む回路設計プラットフォームを開発し、テスト回路のレイアウトを行った。これらの結果から、中間目標は達成できる見通しである。

#### 研究開発項目⑥

##### 「BEOL設計・製造基盤(プラットフォーム)開発」

65nmBEOLプロセスフローを開発し、新材料、新構造を用いたBEOLデバイスを、企業製造ラインと繋げて試作できる設計・プロセスプラットフォームを開発した。

半導体製造ラインで形成した多層配線を有するCMOS基板上に、産総研SCR(Super Clean Room)でローカル配線およびセミグローバル配線を形成する配線製造基盤技術を開発し、配線特性が所望の特性を実現していることを確認した。

新材料の汚染管理として、1. エッジカットリングによる新材料付着防止、2. 薬液による新材料除去、3. 新材料上HDP膜による汚染拡散防止、4. FOUPによるハンドリング管理手法を開発し、汚染管理の効果を確認した。

半導体製造ラインPDKとSCR-PDKを統合した設計ルール、配線特性パラメータOPCルール等からなる連携ファブPDKを策定した。

本テーマは平成23年で終了した。

	投稿論文	「査読付き」36件、「その他」54件
	特許	「出願済」44件(うちPCT1件、米国出願1件)、「登録」0件、「実施」0件 特記事項:なし
	その他の外部発表(プレス発表等)	第1回成果報告会 2011年12月15日 つくば国際会議場 300名  新聞発表 雑誌、Web掲載 研究開発項目① 日刊工業新聞 2011年6月15日 日刊工業新聞 2012年4月17日 日刊工業新聞 2012年6月13日 朝日新聞デジタル版 2012年6月13日 日経Tech-On 2012年6月13日* 日経エレクトロニクス 2012年7月9日 研究開発項目③ 日刊工業新聞 2011年12月8日 日経産業新聞 2012年6月20日 日経Tech-On 2012年6月13日 (*①と同時掲載) 研究開発項目⑤ 日刊工業新聞 2012年6月20日 日経Tech-On 2012年6月13日 (*①と同時掲載)
IV. 実用化、事業化の見通しについて	<ul style="list-style-type: none"> <li>集積回路の設計・製造を基幹事業としている参加企業((株)東芝、富士通セミコンダクター(株)、ルネサスエレクトロニクス(株))においては、開発した技術は次世代以降の既存製品や新製品に直接搭載されることで、市場占有率の増加や新市場の開拓に貢献する。</li> <li>IT製品や応用システムの提供、サービスを事業分野とする企業(日本電気(株)、(株)日立製作所、富士通(株)、三菱電機(株))においては、本プロジェクトで開発した技術は、製品であるIT製品や応用システムにおける新機能付加、或いは性能向上を通して競争力の向上に貢献する。</li> <li>半導体製造装置企業((株)荏原製作所、東京エレクトロン(株)、(株)日立国際電気)においては、新材料、新プロセスを処理する集積回路製造装置が製品となる。</li> </ul>	
V. 基本計画に関する事項	作成時期	平成23年3月 作成
	変更履歴	—

# 技術分野全体での位置づけ

(分科会資料5-2より抜粋)

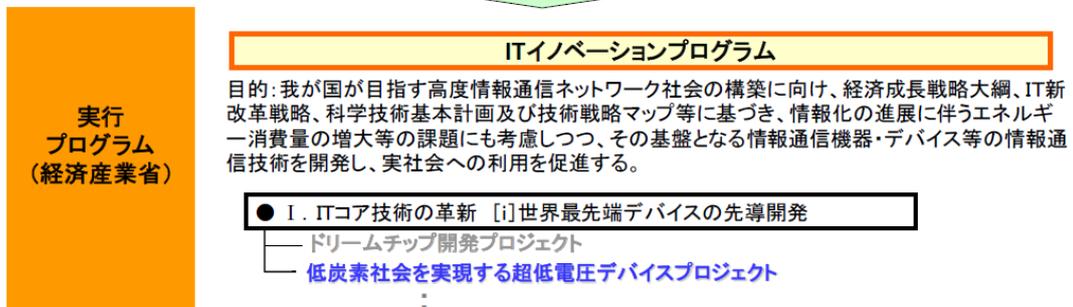
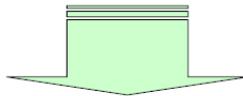
I. 事業の位置付け・必要性について  
(1)NEDOの事業としての妥当性

## 政策上の位置付け

公開

### 経済産業省 研究開発プログラム「ITイノベーションプログラム」の 1テーマとして実施

産業技術政策 (政府全体)	第3期科学技術基本計画	<ul style="list-style-type: none"> <li>■ 継続的イノベーションを具現化するための科学技術の研究開発基盤の実現</li> <li>■ 革新的IT技術による産業の持続的な発展の実現</li> <li>■ すべての国民がITの恩恵を実感できる社会の実現</li> </ul>
	IT新改革戦略	<ul style="list-style-type: none"> <li>■ いつでも、どこでも、誰でもITの恩恵を実感できる社会の実現</li> </ul>



I. 事業の位置付け・必要性について  
(1)NEDOの事業としての妥当性

## NEDO中期目標における位置付け

公開

「高度な情報通信社会の実現」、「IT産業の国際競争力の強化」のため、  
情報技術開発分野の半導体における技術開発の一環として実施。

● 高度情報通信社会とそれを支える技術分野



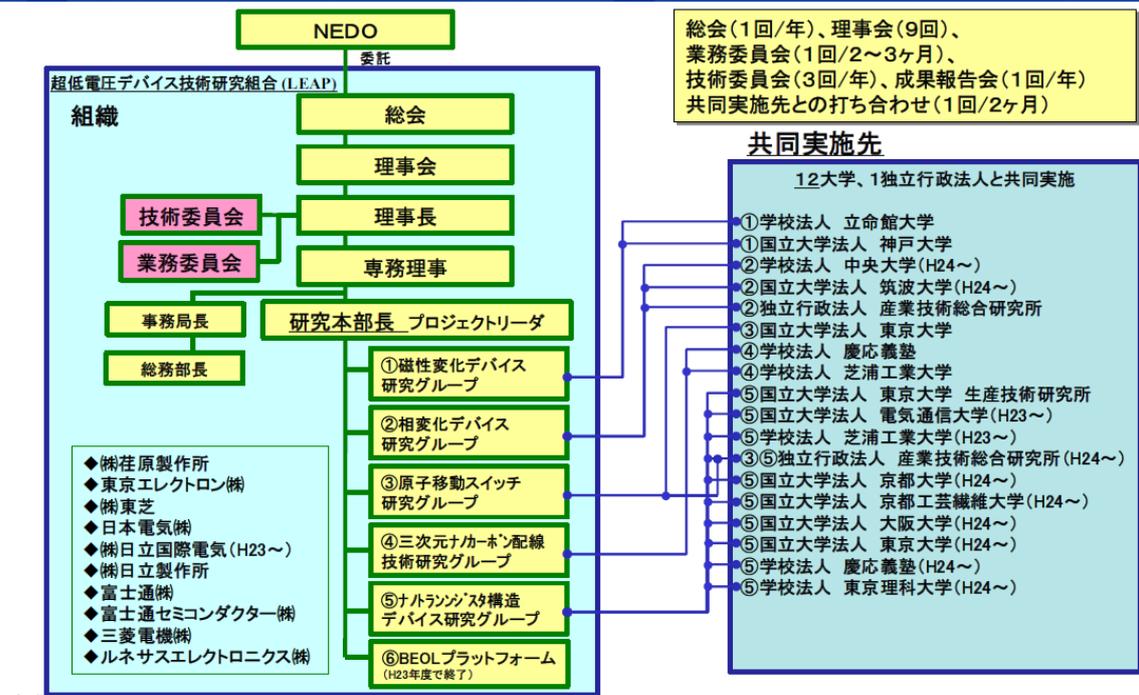
「低炭素社会を実現する超低電圧ナノエレクトロニクスプロジェクト  
 ／低炭素社会を実現する超低電圧デバイスプロジェクト」

全体の研究開発実施体制

II. 研究開発マネジメント  
 (3) 研究開発の実施体制

研究開発の実施体制

公開



II. 研究開発マネジメント  
 (3) 研究開発の実施体制

組合参加企業

公開

LEAP: Low-power Electronics Association & Project

超低電圧デバイス技術研究組合 (LEAP\*)  
 富士通、三菱電機、日立製作所、日本電気、東芝、ルネサスエレクトロニクス、  
 荏原製作所、東京エレクトロン、日立国際電気、富士通セミコンダクター

実施場所: TIAナノエレ拠点(産総研スーパークリーンルーム)

研究開発項目	参加企業名
①磁性変化デバイス	富士通(株)、富士通セミコンダクター(株)、三菱電機(株)
②相変化デバイス	(株)日立製作所、(株)日立国際電気
③原子移動スイッチ	日本電気(株)
④三次元ナノカーボン配線	(株)東芝、東京エレクトロン(株)、(株)荏原製作所
⑤ナノトランジスタ構造デバイス	ルネサスエレクトロニクス(株)
⑥BEOLプラットフォーム	参加企業共同開発

# 「低炭素社会を実現する超低電圧ナノエレクトロニクスプロジェクト

## ／低炭素社会を実現する超低電圧デバイスプロジェクト」（中間評価）

### 評価概要（案）

#### 1. 総論

##### 1) 総合評価

本プロジェクトは、BEOL (Back End Of Line) デバイスを中心として様々な展開が期待できる研究テーマを取り上げ、研究体制を構築し、SCR (Super Clean Room) 施設およびつくば地区の研究環境を有効に活用することにより、短期間にも拘わらず世界トップレベルの研究成果を挙げ中間目標をほぼ達成した。我が国の半導体産業再興への核となり得る技術が育成されつつある。早期の実用化が達成できれば日本の LSI (Large-Scale Integration) 競争力復活に寄与する可能性がある。

一方、LSI はデバイス・回路・システムの 3 つの連携が重要であり、システムとして実現させるためにはデバイス要素技術の開発だけでなく回路技術の開発も不可欠である。メモリの実用化を早めるためにも、書込み・読出しに必要な周辺回路や、既存の IP[FEOL (Front End of Line)] との整合性についてもプロジェクト内で検討の対象に入れるべきではないか。また、新しい材料や製造方法を用いるため、現象の解明とともに低コスト化の検討も重要である。要素プロセス・材料技術開発としては大きな成果が期待されるが、プロジェクト終了時までには受け入れる企業側の事業戦略を具体的に示す必要がある。最終目標に向けては、実用化・事業化を視野に入れた開発をさらに意識する必要がある。そのための課題および体制を十分に検討し、必要なら研究計画の柔軟な見直しを行われたい。横の連携を一層密にすることにより、全体としてより大きなストーリーが描けないだろうか。

事業化において外国企業へ LSI の生産委託を行い、そのデバイスを活用する場合には、ライセンスを含めた技術移転の戦略を今から構築しておく必要がある。クロスライセンスの観点からも、有用技術については余さず特許化を図り、知的財産の確保に一層注力していくことが望まれる。

##### 2) 今後に対する提言

プロジェクト終了後の実用化・事業化には様々な形態が考えられるので柔軟に対応する必要があり、技術移管想定先の事業部門とも協議を重ねられたい。BEOL プラットフォームは、LEAP (Low-power Electronics Association & Project) 内部のみならず、プロジェクト終了後も参加企業の互換性のあるファウンドリのサテライト BEOL として提供し、広く我が国の SOC (System on Chip) 設計に展開し、海外に技術優位差をつけて産業創造に貢献するべきと考える。

また、デバイスの能力を 100% 発揮可能な、周辺回路の開発と設計者が容易にこ

の超低電圧デバイスを取り扱える EDA (Electronic Design Automation) 環境をプロジェクト期間内に整備することが重要である。

プログラマブルロジックデバイスに関しては、本プロジェクトは基本的にプロセス・デバイス技術のプロジェクトであるので、デバイス開発のめどがつき次第、本格的な大規模プログラマブルロジックデバイスの設計や CAD 開発の新たなプロジェクトをスタートさせるべきではないか。

個別テーマには新規性の高いデバイス技術も含まれていることから、官学の関連研究機関とも連携し、材料科学や固体物理に係る基礎研究面の掘り下げを行なうことが必要であろう。既存デバイスの代替に際しては、製造歩留まりが成否の一因となるので、実素子レベルでの評価データを蓄積し、デバイスとしての将来性、収益性を見極めることが重要である。

さらに、国際競争力の強化という観点から、技術の囲い込み（技術流出の防止）についての有効的かつ具体的なシナリオを描いて欲しい。知的財産の確保は不可欠であり、特に外国特許出願を強化して、企業の競争力強化に役立てる必要がある。

## 2. 各論

### 1) 事業の位置付け・必要性について

今後予測される高度情報化の急進に対して情報機器の総消費電力を抑制するためには、既存技術の延長では限界があり、革新的なデバイス原理の探索とそのデバイス化技術の確立が必要である。また、本プロジェクトは、バックエンドプロセスを中心に、日本が強い材料を主体としたプロジェクトであり、その中心となる不揮発デバイスはメモリの革新を生むだけでなく、今後にますます重要性を増すプログラマブルロジックデバイスに繋がるものである。当該目標達成に整合した各テーマを厳選しており、IT イノベーションによる新規事業展開に繋がる可能性があり、かつ個々の企業が取り組むには資金面や技術普及のためのリスクが大きいことから NEDO の事業として妥当である。

### 2) 研究開発マネジメントについて

本プロジェクトは目標設定段階から十分な計画検討がなされ、集中研としての効率のよい研究体制としてマネジメントされている。また、独立性の高い各個別テーマに対し、各年次毎に適切な重点配分が行われており、戦略的な開発スケジュールが策定されている。

一方、中間目標が研究の予想到達点を示しているだけで、開発のマイルストーンになってないテーマや、最終目標に向けての計画に具体性が欠けるテーマがある。また、事業計画は相手先がはっきりしない限り不明な点はどうしても残ってしまうため致し方ない点もあるが、開発された技術を守る上での特許のアライアンスやビジネスモデルが現在の所、引継ぎ先企業に任されており不明な点がある。

最終目標を確実に達成することと、並行して、デバイスとしての実用化、事業化のために実用化を担当する各企業の内部体制を早く確立していただきたい。研究開

発項目ごとの研究マネジメントだけでなく、研究開発項目間のシナジー効果を発揮できるような研究マネジメントが望まれる。

### 3) 研究開発成果について

短期間の研究期間にも拘わらずさらに震災の影響を克服して、プロジェクト全体としては、革新的な新規材料、新規デバイスの開発を含む高い水準の中間目標の達成に成功している。また、開発成果は世界のトップレベルにあると認められ、LSI市場にもたらすインパクトは大きく市場の創造につながると考えられる。今後の課題や具体的施策は明確化されており、最終目標達成の可能性は高い。

一方、デバイス技術に比べ、それらを有効に活用する周辺回路技術の開発は今後の計画での実施になっているが、十分にデバイス能力を活用できる回路技術の開発を目指していただきたい。また、特許出願件数、特に外国出願件数が少ない。成果を参加企業の内製よりもファウンダリー等の他企業へライセンスし、製造委託するものについては、知財戦略がやや不明確である。我が国の産業競争力をいかに確保するか、知財をいかに囲い込みむか、知財の流出をいかに防ぐか明確なシナリオを描いてほしい。

### 4) 実用化、事業化の見通しについて

実用化・事業化の企業が想定されており、技術移管先との連携も概ね良好である。また、各デバイスは、300mm ウェハプロセスに適用可能な製造プロセスを基盤として試作されており、幾つかのデバイスについては信頼性・歩留り等においても実用レベルの特性が実現されつつある。本プロジェクトが目指す省電力型情報機器は、カーエレクトロニクス、センサネットワーク、高性能サーバ、大容量データセンターなどの様々な応用分野に適用可能である。

一方、現在の連携は企業の研究開発部門が中心のようであるため、今後は事業部門・製造部門の責任者を含めた連携の努力をして、研究者の移管を含めた前倒しの計画で臨んでほしい。また、実用化、事業化を担当する各企業の具体的な取組みが提示されていない。そのため、実用化・事業化を視野に入れた後半の計画が具体性に欠ける項目が見受けられるので、さらなる検討を重ねられたい。

プロジェクト開始前に比べても移管先企業の情勢が急変しており、いくつかの企業において半導体製造は、半導体設計製造企業、あるいはファウンダリー企業への委託になる可能性があり、事業化戦略では知財を含め、ライセンスやアライアンス戦略が現状を明確にする必要がある。また、デバイスメーカーの内製および外部委託の戦略も明確にする必要がある。

## 個別テーマに関する評価

	成果に関する評価及び実用化、事業化の見通しに関する評価及び今後に対する提言
ロジック集積回路内 1 次メモリを対象とした、高集積・高速特性・高書き換え耐性などの機能を有する超低電圧・不揮発デバイスの開発	<p>                             実用を目指したトップレベルの <b>MRAM</b> 特性を実証しており、中間目標を達成したと認められる。特に、書き換え耐性が <math>10^{16}</math> 回を実現し、10 年間のデータ保持を達成する等実用性の高いデバイスを実現している。また、トップピン型磁気トンネル接合や歪エンジニアリング等の新技術の積極的導入を図ることで、世界最高レベルの低電圧動作に成功している。                         </p> <p>                             一方、歩留まりおよび信頼性については、300mm ウエハを使用して実験しているが、特性ばらつきや再現性のデータが提示されてない。事業化に向けた 300mm ウエハ面内での磁性メモリ性能の歩留まり評価が必要で、後半の目標としている高信頼化・高歩留まり・低コスト化の課題を早急に洗い出しておく必要がある。また、抵抗の変化値が小さいことから、読み出し回路の設計が従来に比べて難しくなる。読み出し時間をメモリの実力を発揮できる程度に短くできるかが課題である。                         </p> <p>                             なお、<b>MRAM</b> は小規模ながら実用化フェーズに入っており、本プロジェクトの包括的開発体制の特色を活かし、並行開発されている低電圧トランジスタとの集積化等により、省電力という機軸での高い競争力を有するメモリシステムへの展開が望まれる。また、製造工程が複雑化することから、現状の製造コストをどれくらい改善できるかも長期的な課題であろう。                         </p>

	成果に関する評価及び実用化、事業化の見通しに関する評価及び今後に対する提言
外部記憶の高速低電力データ転送を実現する、高集積・高速低電力書き込み特性などの機能を有する超低電圧・不揮発デバイスの開発	<p>超格子構造により相変化時の原子移動距離をナノメートルオーダーに抑えることで、動作エネルギーが低く寿命が長い独自技術を開発し、世界最高レベルの相変化電流値を達成している点は本デバイスのポテンシャルを示す成果の一つとして高く評価できる。今後は、実用化を急ぎ、早くデファクトスタンダードとしての地位を確立していただきたい。</p> <p>一方、中間目標のクロスポイント型セルが超格子構造で現時点ではまだ実現できていないこと、<b>300mm</b> ウエハ上で特性の均一性や再現性確保の見通しを得ていないことは大きな課題である。また、事業化に向けた、<b>300mm</b> ウエハ面内の相変化メモリデバイス性能歩留まり評価が必要である。さらに、チップ外部製造委託する場合は、ファウンドリへの技術流出と知財権化の収支バランスが懸念される。</p> <p>今後、素子の微細化を含め実用デバイスとしての特性向上を図るには、相変化機構等に関する詳細な理解、メモリ技術だけではなく回路技術など全体的な技術の俯瞰、および素子形成後の工程で加わる熱処理、ボンディング、パッケージング、マウンティング、使用環境といった加熱される環境までも考慮する必要がある。</p>

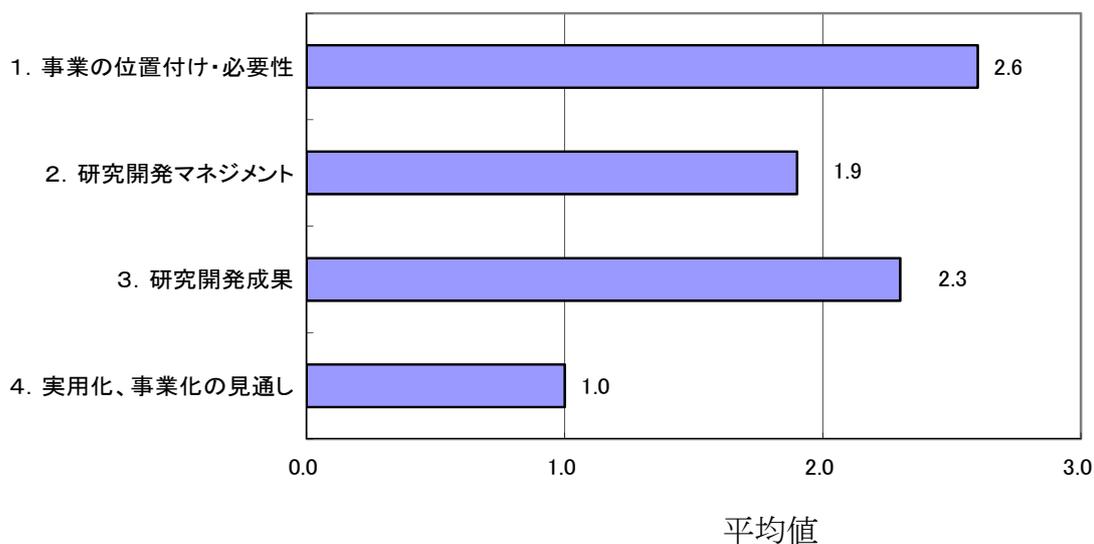
	成果に関する評価及び実用化、事業化の見通しに関する評価及び今後に対する提言
配線切り換えを可能とするスイッチを対象とした、低電流・高速書き換え、高オン・オフ抵抗比、小面積などの機能を有する超低電圧・不揮発スイッチデバイスの開発	<p>オンチップでの機能再構成を実現する新しいコンセプトのデバイスであり、小規模ながら、クロスバースイッチ、プログラマブルロジックアレイ等、実素子構成での機能動作評価に成功している点は高く評価できる。また、プログラム電圧 2V と <math>10^5</math> という高いオンオフ比、10 年以上高温でのオフ状態保持等のデバイス特性を実現している点は非常に有望である。実際にプログラマブルデバイスを試作して動作確認がなされている。</p> <p>しかしながら、300mm ウェハ上での特性均一性確保の見通しを早急に得る必要がある。中間目標である <math>10^3</math> 回の書き換えは達成し、125℃における状態保持が確認されているが、<math>10^3</math> 回の書き換え後の素子の信頼性データをとる必要がある。材料や原理について、明確になっていない点が、事業化局面で信頼性に懸念がある。</p> <p>なお、本開発は FPGA 等との競合が予想されるが、すでに FPGA 関連では多数の特許が出願されており、一部分のデバイス技術関連の特許を握っただけで他社技術に抵触せずに事業を起こすことが果たして可能かという不安がある。事業モデルの構築が課題となるであろう。</p>

	成果に関する評価及び実用化、事業化の見通しに関する評価及び今後に対する提言
集積回路チップ内において、機能ブロックの三次元集積を実現するための、微細幅・超低電気抵抗、超高アスペクト比配線・材料技術の開発	<p>CNT の 300mm ウェハ全面への堆積、高アスペクト比ビア形成、多層グラフェンの成長などナノカーボン材料によるメタル配線の微細化限界打破や 3 次元配線に向けた高い水準の成果が得られており、グラフェンを用いた配線の技術レベルとしては世界最先端にある。</p> <p>一方、CVD グラフェンの電気特性データがまだ無いなかで、中間目標は多層剥離膜による最小寸法 25nm までの測定で性能を示しているが、剥離グラフェンでは集積化の可能性は低いので、最終目標が 20nm 以下の LSI 配線技術としての事業化への見通しは得られてない。また、実際に実用化レベルの低抵抗値を実現するにはドーピングによる低抵抗化を必須としているが、その際の課題がまだ明確にはなっていない事が計画の見通しを悪くしている。さらに配線技術としての生産性については、量産性に向けた具体的な課題抽出とプロセス開発が必要である。</p>

	成果に関する評価及び実用化、事業化の見通しに関する評価及び今後に対する提言
<p>CMOS トランジスタの超低電圧動作、及びリーク電流抑制を同時に実現するための、低しきい値ばらつきトランジスタを集積化するための技術開発、並びに、この技術を用いた高集積機能素子における低電圧動作実証</p>	<p>動作の低電圧・省電力化に有効なトランジスタ構造を汎用プロセスで作製し、世界トップレベルのしきい値ばらつき低減に成功している。特殊なプロセスに依存することなく、新規構造の導入により出力電流のばらつきについても顕著な低減効果を実証している点は、量産性の観点から高く評価できる。また、非常に実用的であり、十分な成果が出ていると評価できる。産学連携プログラムとしても一つの成功例となるのではないか。</p> <p>一方、中間目標の 100 万個トランジスタのばらつき評価は現時点ではまだ実現されていない。SOI (Silicon on Insulator) 層は 12nm 程度であるが、この Si 薄膜を 300mm ウェハに形成する技術が実用化・事業化に当たっての最大のネックにならないか懸念があるが、全く触れられてない。SOI ウェハコスト・プロセスコストの検討も課題である。1 万個トランジスタの特性ばらつきは評価できるが、量産に向けては 300mm ウェハ全面分布で評価する必要がある。また、加工技術が 65nm より微細化進展したとき、どのようにスケーリングされるのか指針も必要である。</p> <p>さらに事業化については、技術は非常に有望であるが、如何に技術を囲い込んで利益に結びつけるかの事業化モデルの構築が重要。課題は、マルチファウンドリへの生産委託や普及の戦略である。成功にはライセンスなど実用化戦略を強化が必須となる。</p>

	成果に関する評価及び今後に対する提言
BEOL 設計・製造 基盤(プラットフォーム) 開発	<p>SCR300mm ラインで 200nm のグローバル配線と 120nm のローカル配線を実現し、汚染管理や OPC (Optical Proximity Correction) 開発を含めて、BEOL デバイスの試作に対応できるように短期に立ち上げたことは評価できる。また、実際に LSI 製造と設計に必要なプロセスルールや PDK (Process Design Kit) が構築されており着々と実用化に進んでいる印象がある。</p> <p>一方、PDK としては CAD、DRC、LVS ルールまでは整備される予定はあるが、メモリ等の周辺回路のライブラリ化を誰が担当するのか、あるいは導入各社に任せられるのかが不明。また、プラットフォームが本プロジェクト内部の使用に限定するのではなく、参加企業の FEOL と接続してオフラインで新材料デバイス量産化開発研究に他国に先駆けて供用されることを期待する。</p> <p>なお、本技術はメモリ技術の実用化であるので、できれば PDK にメモリの周辺回路ライブラリからメモリ合成ツール等を含めて開発し、設計者が設計しやすい環境まで整備していただきたい。</p>

## 評点結果 [プロジェクト全体]



評価項目	平均値	素点 (注)							
		A	A	A	B	B	A	B	
1. 事業の位置付け・必要性について	2.6	A	A	A	B	B	A	B	
2. 研究開発マネジメントについて	1.9	B	B	B	B	B	A	D	
3. 研究開発成果について	2.3	B	B	A	A	A	A	D	
4. 実用化、事業化の見通しについて	1.0	C	C	B	C	C	C	D	

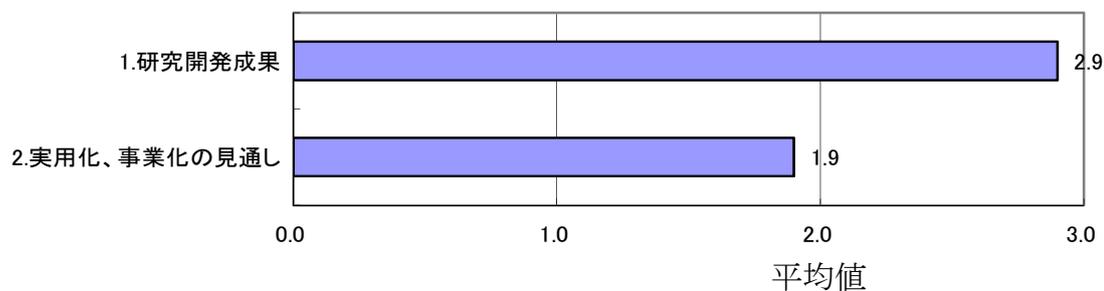
(注) A=3, B=2, C=1, D=0 として事務局が数値に換算し、平均値を算出。

### 〈判定基準〉

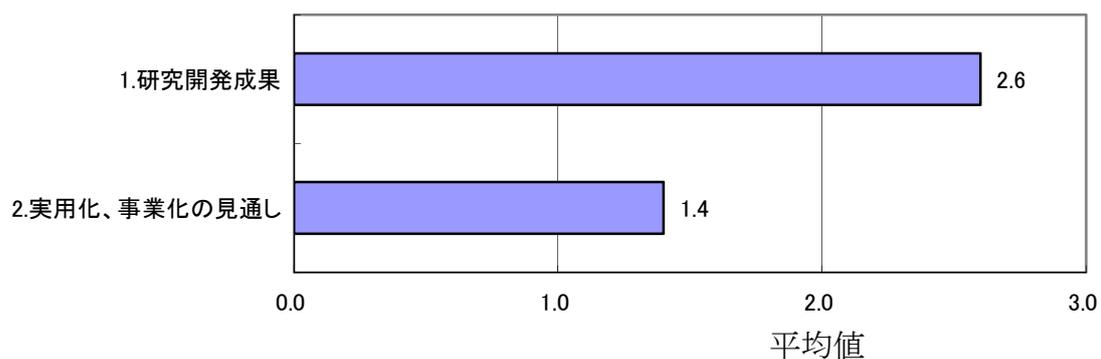
1. 事業の位置付け・必要性について	3. 研究開発成果について
・非常に重要 →A	・非常によい →A
・重要 →B	・よい →B
・概ね妥当 →C	・概ね妥当 →C
・妥当性がない、又は失われた →D	・妥当とはいえない →D
2. 研究開発マネジメントについて	4. 実用化、事業化の見通しについて
・非常によい →A	・明確 →A
・よい →B	・妥当 →B
・概ね適切 →C	・概ね妥当であるが、課題あり →C
・適切とはいえない →D	・見通しが不明 →D

## 評点結果〔個別テーマ〕

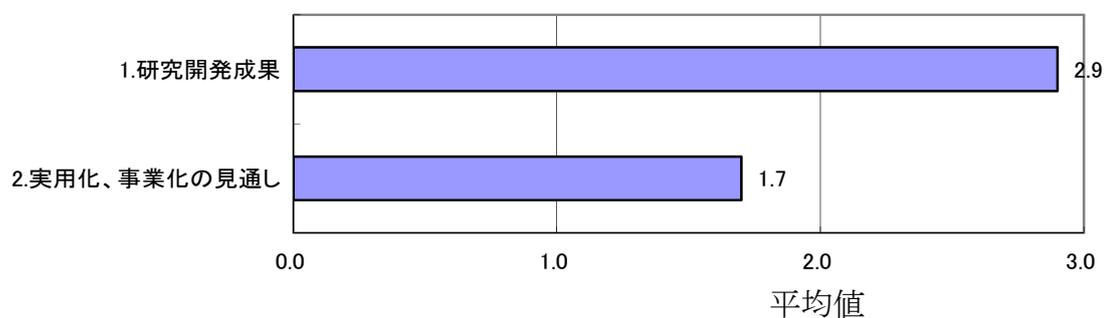
ロジック集積回路内 1 次メモリを対象とした、高集積・高速特性・高書き換え耐性などの機能を有する超低電圧・不揮発デバイスの開発



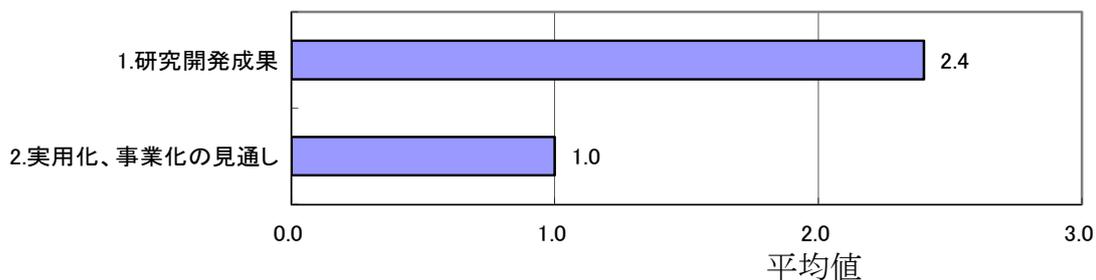
外部記憶の高速低電力データ転送を実現する、高集積・高速低電力書き込み特性などの機能を有する超低電圧・不揮発デバイスの開発



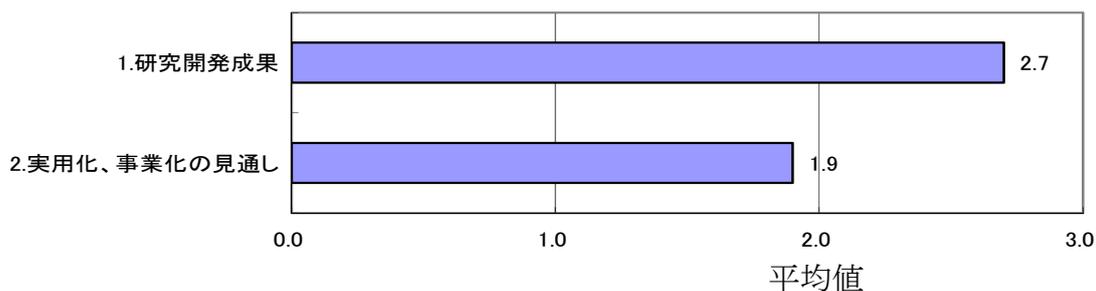
配線切り換えを可能とするスイッチを対象とした、低電流・高速書き換え、高オン・オフ抵抗比、小面積などの機能を有する超低電圧・不揮発スイッチデバイスの開発



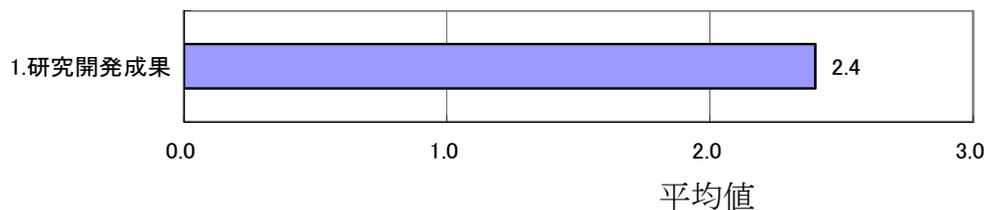
集積回路チップ内において、機能ブロックの三次元集積を実現するための、微細幅・超低電気抵抗、超高アスペクト比配線・材料技術の開発



CMOS トランジスタの超低電圧動作、及びリーク電流抑制を同時に実現するための、低しきい値ばらつきトランジスタを集積化するための技術開発、並びに、この技術を用いた高集積機能素子における低電圧動作実証



BEOL 設計・製造基盤（プラットフォーム）開発



個別テーマ名と評価項目	平均値	素点 (注)							
ロジック集積回路内 1 次メモリを対象とした、高集積・高速特性・高書き換え耐性などの機能を有する超低電圧・不揮発デバイスの開発									
1. 研究開発成果について	2.9	A	A	A	A	B	A	A	
2. 実用化、事業化の見通しについて	1.9	B	B	A	C	C	C	A	
外部記憶の高速低電力データ転送を実現する、高集積・高速低電力書き込み特性などの機能を有する超低電圧・不揮発デバイスの開発									
1. 研究開発成果について	2.6	A	C	A	A	B	A	A	
2. 実用化、事業化の見通しについて	1.4	B	B	B	C	C	C	C	
配線切り換えを可能とするスイッチを対象とした、低電流・高速書き換え、高オン・オフ抵抗比、小面積などの機能を有する超低電圧・不揮発スイッチデバイスの開発									
1. 研究開発成果について	2.9	A	A	A	A	A	A	B	
2. 実用化、事業化の見通しについて	1.7	B	B	A	C	B	C	C	
集積回路チップ内において、機能ブロックの三次元集積を実現するための、微細幅・超低電気抵抗、超高アスペクト比配線・材料技術の開発									
1. 研究開発成果について	2.4	B	C	A	A	B	A	A	
2. 実用化、事業化の見通しについて	1.0	C	D	B	C	C	C	C	
CMOS トランジスタの超低電圧動作、及びリーク電流抑制を同時に実現するための、低しきい値ばらつきトランジスタを集積化するための技術開発、並びに、この技術を用いた高集積機能素子における低電圧動作実証									
1. 研究開発成果について	2.7	A	B	B	A	A	A	A	
2. 実用化、事業化の見通しについて	1.9	C	B	A	B	B	C	B	
BEOL 設計・製造基盤 (プラットフォーム) 開発									
1. 研究開発成果について	2.4	A	B	B	A	B	A	B	

(注) A=3, B=2, C=1, D=0 として事務局が数値に換算し、平均値を算出。

〈判定基準〉

1. 研究開発成果について	2. 実用化、事業化の見通しについて
・非常によい	→A ・明確
・よい	→B ・妥当
・概ね適切	→C ・概ね妥当であるが、課題あり
・適切とはいえない	→D ・見通しが不明