

「低炭素社会を実現する超低電圧ナノエレクトロニクスプロジェクト／ナノエレクトロニクス半導体新材料・新構造ナノ電子デバイス技術開発」  
事後評価報告書（案）概要

目 次

分科会委員名簿 .....	1
プロジェクト概要 .....	2
評価概要（案） .....	8
評点結果 .....	1 1

## はじめに

本書は、第31回研究評価委員会において設置された「低炭素社会を実現する超低電圧ナノエレクトロニクスプロジェクト／ナノエレクトロニクス半導体新材料・新構造ナノ電子デバイス技術開発」(事後評価)の研究評価委員会分科会(第1回(平成24年9月21日))において策定した評価報告書(案)の概要であり、NEDO技術委員・技術委員会等規程第32条の規定に基づき、第35回研究評価委員会(平成25年3月26日)にて、その評価結果について報告するものである。

平成25年3月

独立行政法人新エネルギー・産業技術総合開発機構  
研究評価委員会「低炭素社会を実現する超低電圧ナノエレクトロニクスプロジェクト／ナノエレクトロニクス半導体新材料・新構造ナノ電子デバイス技術開発」  
分科会(事後評価)

分科会長 浅野 種正

独立行政法人新エネルギー・産業技術総合開発機構 研究評価委員会  
「低炭素社会を実現する超低電圧ナノエレクトロニクスプロジェクト/  
ナノエレクトロニクス半導体新材料・新構造ナノ電子デバイス技術開発」  
(事後評価)

分科会委員名簿

(平成24年9月現在)

	氏名	所属、役職
分科会長	あさの 浅野 たねまさ 種正*	九州大学 大学院システム情報科学研究所 情報エレクトロニクス部門 教授
分科会長 代理	ごとう 後藤 さとし 敏*	早稲田大学 大学院情報生産システム研究科 教授
委員	いちむら 市村 まさや 正也	名古屋工業大学 大学院工学研究科 電気電子工学科 つくり領域 教授
	おおの 大野 ひでお 英男	東北大学 電気通信研究所 附属ナノ・スピン実験施設 教授
	たけだ 竹田 せいじ 精治	大阪大学 産業科学研究所 産業科学ナノテクノロジー センター ナノ構造・機能評価研究分野 教授
	ふくい 福井 たかし 孝志	北海道大学 大学院情報科学研究科 情報エレクトロ ニクス専攻 集積システム講座 集積デバイス学研究 室 教授 量子集積エレクトロニクス研究センター センター長
	ふじわら 藤原 あきら 聡	NTT株式会社 物性科学基礎研究所 量子電子研究 部 部長
	まつもと 松本 かずひこ 和彦	大阪大学 産業科学研究所 半導体量子科学研究分野 教授

敬称略、五十音順

注\*：実施者の一部と同一組織であるが、所属部署が異なるため(九州大学 先導物質  
科学研究所、早稲田大学 ナノテクノロジー研究所)、「NEDO 技術委員・技術評価委  
員規程(平成23年7月7日改正)」第34条(評価における利害関係者の排除)に  
より、利害関係はないとする。

## プロジェクト概要

		作成日	平成24年8月8日				
プログラム名	IT イノベーションプログラム、ナノテク・部材イノベーションプログラム						
プロジェクト名	ナノエレクトロニクス半導体新材料・新構造ナノ電子デバイス技術開発	プロジェクト番号	P09002				
担当推進部/担当者	電子・材料・ナノテクノロジー部 / 小林丈夫						
0. 事業の概要	半導体集積回路 (LSI) の更なる高機能化・低消費電力化に向けて、電子デバイス性能の技術的な飽和を突破するための”新材料”、”新プロセス”、”新構造”を実現する半導体技術を、ナノテクノロジーを最大限に活用することによって創生し、将来の産業応用への芽を見出すことを目的として、シリコンナノワイヤ技術、次世代メモリ技術、新材料技術の開発を行う。						
I. 事業の位置付け・必要性について	IT 社会を根底から支える半導体LSIには一層の高機能化、低消費電力化が求められている。従来、半導体LSIは微細化技術の向上により機能、消費電力、集積度、コストにおける急速な進歩を達成してきた。一方、LSIの更なる性能向上には、単なる微細化のみならず、新材料、新プロセス、新構造など革新的技術の導入が不可欠であり、その必要性は微細化の進展とともにますます大きくなっている。このため、シリコンで培った微細化技術やデバイス原理をこれまで同様に活用しながら、シリコンという材料の物理的限界を突破するための”新材料”、”新プロセス”、”新構造”を実現する半導体技術を、ナノテクノロジーを最大限に活用することによって創生し、将来の産業応用への芽を見出すことを目的とした技術開発を行う。						
II. 研究開発マネジメントについて							
事業の目標	平成 23 年度までに、産業界が10年後を見据えた将来の集積回路システムとして展開できる電子デバイスを開発する際に産業技術として活用できるかどうかの実現可能性を見極める。						
事業の計画内容	主な実施項目	H19fy	H20fy	H21fy	H22fy	H23fy	備考
	①-(1)シリコンナノワイヤトランジスタの知識統合研究開発	→					早期終了
	①-(2)ナノワイヤ FETの研究開発	→					
	①-(3)シリコンナノワイヤトランジスタの物性探究と集積化の研究開発	→					
	②-(1)新構造 FinFETによるSRAM技術の研究開発	→					
	②-(2)次世代相変化メモリ技術の研究開発	→					別PJに移管
	②-(3)ナノギャップ不揮発性メモリ技術の研究開発	→					
	③-(1)カーボンナノチューブトランジスタ技術の研究開発	→					早期終了
	③-(2)シリコンプラットフォーム上 III-V 族半導体チャネルトランジスタ技術の研究開発	→					
	③-(3)シリコンウェハ中の原子空孔濃度定量評価技術の研究開発	→					

開発予算(百万円)	会計・勘定	H19fy	H20fy	H21fy	H22fy	H23fy	総計
	一般会計(経産省)	493	599	—	—	—	1092
	一般会計(NEDO)	—	—	564	468	260	1292
	総予算額	493	599	564	468	260	2384
開発体制	経済産業省原課	商務情報政策局 情報通信機器課					
	プロジェクトリーダー	設置していない					
	委託先	独立行政法人産業技術総合研究所 株式会社東芝 国立大学法人東京工業大学 国立大学法人東京大学 国立大学法人京都大学 株式会社船井電機新応用技術研究所 国立大学法人名古屋大学 独立行政法人物質・材料研究機構 国立大学法人新潟大学					
情勢変化への対応	<p>本研究開発は、経済産業省により、公募によって研究開発実施者が選定され、平成19年度より委託により実施している。平成21年度より、NEDO技術開発機構が本研究開発を運営・管理するに当たっては、平成20年度までの進捗状況を踏まえた研究開発内容・計画及び実施体制の妥当性について、外部有識者による審議を含めた評価を行った上で最適な研究開発体制を構築し、委託して実施した。</p> <p>平成21年に本プロジェクト予算の削減に伴い「シリコンナノワイヤ技術:シリコンナノワイヤトランジスタの知識統合研究開発」と「新材料技術:カーボンナノチューブトランジスタ技術の研究開発」の2件を前倒して早期終了した。</p> <p>更に、平成22年度から始まった「低炭素社会を実現する超低電圧ナノエレクトロニクスプロジェクト」強化のために技術親和性の高い本プロジェクトの「次世代メモリ:相変化メモリ:次世代相変化メモリ技術の研究開発」を同プロジェクトに移行した。</p> <p>また、目標達成促進のために「次世代メモリ技術:ナノギャップ不揮発性メモリ技術の研究開発」「新材料技術:シリコンプラットフォーム上Ⅲ-V族半導体チャネルトランジスタ技術の研究開発」「新材料技術:シリコンウェハ中の原子空孔濃度定量評価技術の研究開発」の3件に対し平成22年度に加速予算69百万円を加算した。</p>						
Ⅲ. 研究開発成果について	<p>① シリコンナノワイヤ技術</p> <p>① -(1)シリコンナノワイヤトランジスタの知識統合研究開発</p> <p>FET の究極形であるナノワイヤトランジスタを対象として、産業界が集積回路システムの構成要素としての実現可能性を見極めるために、ナノワイヤトランジスタの構造や特性を予測し、構造・材料・プロセスの設計を行うための知識体系を構築することを目的とした。このために、ナノワイヤトランジスタを原子レベルの正確さで作製する技術と特性の評価技術、ナノワイヤトランジスタの構造やひずみ、ポテンシャル分布をナノレベルで計測する物理計測評価解析技術、ナノワイヤトランジスタの構造やトランジスタ特性を予測できるシミュレーション技術の研究開発を行い、それぞれの要素技術について、世界最高水準の成果を得た。</p> <p>① -(2)ナノワイヤ FET の研究開発</p> <p>半導体技術の課題であるCMOS微細化の限界打破のために、新たな構造の視点からSiナノワイヤFETの基盤技術研究を行った。理論解析と実験結果により、SiナノワイヤFETがその限界を十分に打破し、今後10年に亘って微細化を継続し、その性能を向上させながら数nmの世代まで本命デバイスとして進化することが予測されるようになった。そのための技術開発ロードマップを作成した。これにより、低電力、高性能な情報処理用のロジックCMOS集積回路の作製が可能となり、今後のスマート社会に向けてより豊かで人に優しい社会の実現が期待される。</p> <p>① -(3)シリコンナノワイヤトランジスタの物性探究と集積化の研究開発</p> <p>・ワイヤ幅が10nm以下のシリコンナノワイヤトランジスタを開発し評価を行った。ナ</p>						

ノワイヤ幅が 9nm のときに正孔移動度は最大となり、その移動度は正孔のユニバーサル移動度の 2.3 倍に達することを世界で初めて実験により示し、通常のバルクトランジスタより高い性能を得ることができることを明らかにした。〈東京大学〉  
・300mm ラインを活用して、トライゲートシリコンナノワイヤトランジスタを作製し、特性評価を行った。最終的にノワイヤサイズとして 10nm 径、ゲート長として 15nm 以下のデバイスを動作させ、オフ電流を抑えつつ、高いオン電流を実現することに成功した。(東芝)

## ②次世代メモリ技術

### ② -(1)新構造 FinFET による SRAM 技術の研究開発

FinFET 作製基盤技術として、20nm 級微細 FinFET 作製技術を構築した。世界最小レベルまで特性バラツキが抑えられた 20nmFinFET を実現した。また、14nm 世代 FinFET のオン電流バラツキ要因を世界に先駆け解明した。SRAM 回路技術として、20nm 級 4 端子型 FinFET を用いた Flex-Pass-Gate-SRAM 回路を実現した。また、素子バラツキと SRAM 特性バラツキ相関の詳細な解析に成功した。さらに、周辺回路も含め、Flex-Pass-Gate-SRAM 回路 IP を確立し、バルクトランジスタ比でセル面積増加無、動作余裕 1.5 倍、消費電力 1/30 を確認した。

### ③ --(2)次世代相変化メモリ技術の研究開発

第一原理計算に基づいて、[(GeTe)<sub>2</sub>/(Sb<sub>2</sub>Te<sub>3</sub>)<sub>4</sub>]<sup>7-8</sup> を用いた相変化メモリデバイスを新たに創成・作製・評価し、目標値を遥かに上回る性能を実証した。同組成の合金を用いる従来型相変化メモリデバイスとの電力費比で 1/32 を達成し、最終目標の 1/5 を遥かに上回る成果を上げることができた。

### ② -(3)ナノギャップ不揮発性メモリ技術の研究開発

平面先鋭型金属ナノギャップ素子を用いて NGS 基本動作特性を評価するとともに、縦型NGS素子の開発と、4 kbit のデバイスの試作・評価を行った。その結果、最終目標の性能である1)書き換え高速性 100 ns 以下、2)稠密性(上下電極交点の直径 φ:40 nm)、3)書き換え耐性 105 回以上(継続評価中)を実証した。動作電圧・電流の低減化については、素子構造の微細化もしくは素子を酸素などの活性ガスで充填することで、目標である5 V 以下・20 μA 以下での動作を達成した。また、素子作製後の初期ギャップ幅を小さくすることで、フォーミング電圧の低減も可能であることが分かった。

## ③ 新材料技術

### ③-(1)カーボンナノチューブトランジスタ技術の研究開発

カーボンナノチューブ(CNT)を用いた FET の実現性を検証すべく以下の研究開発を行い、その可能性が高いことを示した。

まず、相補型インバーターの作製技術を開発しインバーター動作を実証した。次にマッシュルームゲートFETを作製し真性性能で現在の Si レベルの動作周波数 100GHz を示した。更なる高速動作のために CNT 水平配向成長の高密度化に取り組み、23本/μm の高密度配向成長を実現し目標である50本/μm への道筋をつけた。また CNT の導電性に依存した電場下配向成長の活用による半導体 CNT 優先成長の可能性を示した。さらに実用化に向けた基本課題を探索しチャネルの電気伝導特性ばらつきの存在を示した。

### ③-(2)シリコンプラットフォーム上 III-V 族半導体チャネルトランジスタ技術の研究開発

チャネル形成技術に関し、有機金属気相成長を用いて、選択ヘテロエピタキシャル成長や貼り合わせ法により、III-V-OI 基板の形成に成功した。MIS 界面技術に関し、InGaAs 表面のプラズマ窒化、硫黄・セレン処理、III 族原子終端技術により、界面特性を改善した。MISトランジスタ形成技術に関し、Ni-InGaAs メタル S/D 構造、InGaAs MOS 界面パッファ技術などにより、高移動度 InGaAs-OI MOSFET を実証した。また、高移動度の III-V nMOSFET を Ge pMOSFET を同じ基板上に集積化することに成功した。以上の成果より、本研究の最終目標を達成した。

### ③-(3)シリコンウェハ中の原子空孔濃度定量評価技術の研究開発

超音波計測による弾性定数の低温ソフト化の測定により、ウェハ中の原子空孔濃度を評価する技術を確立し、大規模シミュレーションにより原子空孔軌道の巨大

	な電気四極子と超音波歪みの結合を解明した。これを用いて、ウェハやインゴット中で原子空孔濃度が分布していることを検出し、COP 分析と原子空孔濃度の相関、デバイス製造プロセスによる原子空孔濃度の変化を検出した。この成果は、原子空孔濃度を表示したシリコンウェハの開発を促し、ウェハの付加価値を向上させ、さらにデバイス製造プロセスでの原子空孔評価・制御技術を促進することで、デバイス特性と歩留まりを向上させ、日本の半導体産業の競争力強化に繋がると期待できる。	
	投稿論文	210 件
	学会発表・講演	754 件
	特許	149 件 (内外国出願:69 件)
IV. 実用化の見通しについて	「新構造 FinFET による SRAM 技術」「ナノギャップ不揮発性メモリ技術」「シリコンウェハ中の原子空孔濃度定量評価技術」の3件は事業化予定企業と共同で実用化研究の段階に移り平成27～28年頃の事業化にむけて活動している。「シリコンナノワイヤ技術(3件)」「III-V 族半導体チャネルトランジスタ技術」は公的研究機関、企業の研究部門がしゅたいとなり次世代のメモリ、ロジックデバイスの基盤プロセスをめざして研究を継続している。	
V. 評価に関する事項	事前評価	平成 20 年度実施 (担当部:電子・情報技術開発部)
	中間評価以降	平成 24 年度 事後評価実施予定
VI. 基本計画に関する事項	作成時期	平成 21 年 3 月
	変更履歴	平成 22 年 3 月 実施体制変更

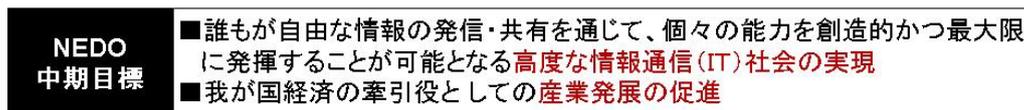
## 技術分野全体での位置づけ

(分科会資料6より抜粋)

### 経済産業省 研究開発プログラム「イノベーションプログラム」の『IT』と『ナノテク・部材』の一テーマとして実施



### NEDO中期目標「高度な情報通信社会の実現」における情報技術開発分野の半導体技術の一環

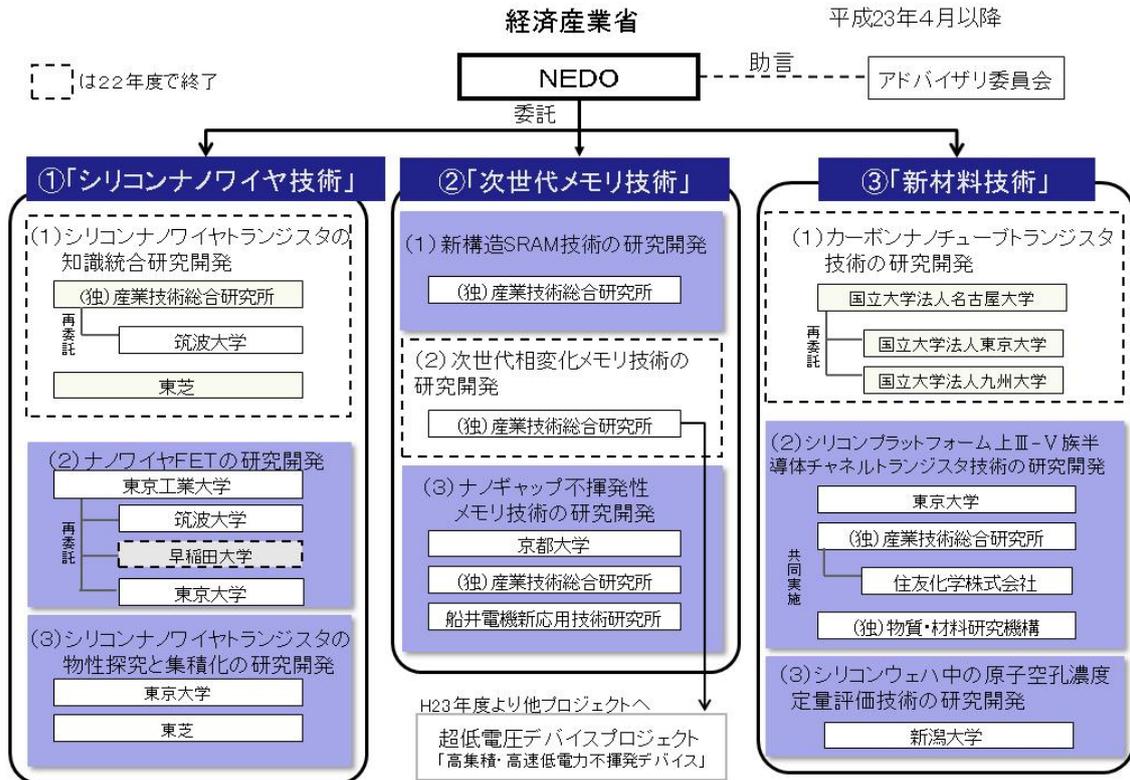


#### NEDO事業一覧図



「低炭素社会を実現する超低電圧ナノエレクトロニクスプロジェクト  
ト／ナノエレクトロニクス半導体新材料・新構造ナノ電子デバイス  
技術開発」

全体の研究開発実施体制



# 「低炭素社会を実現する超低電圧ナノエレクトロニクスプロジェクト ／ナノエレクトロニクス半導体新材料・新構造ナノ電子デバイス技術開 発」(事後評価)

## 評価概要 (案)

### 1. 総論

#### 1) 総合評価

ナノエレクトロニクスのシーズ技術を探索、発展することを主旨とした本事業は、日本の産業の将来にとって必要な事業である。設定したシリコンナノワイヤ技術、次世代メモリ技術、新材料技術の3つのテーマとも、高度で新たな知見を多く創出していることは高く評価でき、その成果の産業界への普及に関して多いなる期待がもてる。テーマの進捗によっては研究開発の加速資金を投入するなど、NEDOのマネジメント上の工夫があったことも高く評価できる。非常に高いポテンシャルの研究内容を実施し、世界的に見ても充分高い内容の結果を得ている。

一方、ナノワイヤのサブテーマには相互補完性が認められるため、それぞれの連携を促進する機会を更に多く設けるべきであった。また、シリコンナノワイヤトランジスタの知識統合研究開発に関しては、世界の競合研究機関とのベンチマークを行い、技術の優位性・課題を明確にする活動が不足していた。

#### 2) 今後に対する提言

LSI 製造における協業体制のグローバル化が進む中、この研究開発の成果を半導体産業のデザイン、マスク製造からウェーハ、実装までの逆ピラミッド構造のどこに活かすか、別の切り口で見れば、材料、マスクデザインも含むプロセス技術、装置に活かして国益を生み出すための次の研究開発フェーズに国の施策として取り組む必要がある。装置メーカーやファンドリとの連携を計画している成果については、スピード感のある実用化戦略を策定して頂きたい。また、III-V 族半導体チャネルトランジスタなどの有望な次世代技術は、技術の囲い込み、実用化に必要な周辺技術の取り込み、他の研究者・研究機関の参画呼びかけを行って頂きたい。

## 2. 各論

### 1) 事業の位置付け・必要性について

国内半導体産業は日本経済を底支えする基幹産業である。将来必要と予想される革新技术への取組は、民間企業だけでは実施が困難であり、NEDO 事業として相応しいと言える。ナノエレクトロニクスに関する研究開発は、欧米、アジアでも活発化しており、国内における研究開発の推進は時宜を得たものである。研究開発のフェーズとしては世界的にもシーズ技術の確立段階にあり、本事業の目的は世界的動向からみても妥当であると言える。

一方、本事業の目標と予算規模の適性についての説明が十分とは言えない面があった。各技術が将来のどの時点での事業化になるかをもっと明確に描くべきであった。得られた高いポテンシャルのテーマの発展のさせ方を、各テーマ実施者だけに任せるのではなく、NEDO からよりきめ細かな指導を行うとともに、今後の日本の企業の国際競争力の向上に繋ぐための具体的施策の策定が必要であると考えられる。

### 2) 研究開発マネジメントについて

2020 年以降の半導体 LSI に対する要求を満たす可能性のある革新的で戦略的なテーマが選定されており、目標についても可能なところは数値目標を設定している。各個別テーマの実施チームは、それぞれの分野で実績のある研究者が参画しており、十分な研究推進能力をもつと言える。ダイナミックで適切なマネジメントを行った点は高く評価できる。半導体ロードマップ委員会の予測に基づいた計画が進められており、ロジック、メモリともに戦略は、ほぼ妥当であった。研究開発に基礎・学理の検証を行う研究者を組み込んでいることも評価できる。

一方、ナノワイヤの 3 テーマに関しては技術親和性が高いため連携を NEDO が主導的立場で推進するべきであった。本事業の位置づけを、基礎基盤開発から次の実用化開発への移行の是非を見極めるところまでとしているが、次のフェーズへの移行を円滑に進めるために判断基準を事業視点で品種毎にあらかじめ設定しておくことも一案である。また、シリコンナノワイヤ 3 テーマについて、実施者間の連携の体制が明確には見えてこなかった。実用化に一番近く、国際競争が激しいテーマだけにもっと連携があると良かった。

### 3) 研究開発成果について

いずれの研究グループも非常に高度な実験技術を持っており、個々の成果は、世界最高水準であるものが多い。日本発の独創的で革新的な技術に発展する可能性のあるものもある。特に III-V 族半導体チャネル、シリコンナノワイヤや FinFET (立体構造トランジスタ : Fin Field Effect Transistor) などで、世界をリードする成果を創出している点を高く評価したい。超格子相変化メモリなど新材料も新しい機能素子の実現の観点から非常に魅力的である。知的財産権の取得も概ね良好である。

今後は各企業が成果の普及にむけて、どのように進めていくかが重要である。

一方、一部の個別技術については挑戦的ではあるが実用化が未だ見え難いものがあり、設定目標も含めて本事業適合していたかの検証が必要であろう。また、各テーマの成果について、国際競争力の状況の分析結果をより具体的に明示して頂きたかった。

### 4) 実用化の見通しについて

個別テーマごとに出口イメージを概ね明確にもっていると言える。一部の研究テーマについては、既に民間企業と開発を進めているものもあり、受取手への情報発信も円滑に行われていると評価できる。

一方、多くの課題が、終了後、3年間を経て、実用化判断、実用化開発というストーリーになっているが、この3年間でどの程度の活動がなされ、実用化の判断ができるまで、煮詰めることができるのか不明である。技術開発成果がもたらす価値をより明確に伝えるためのデータを収集する必要がある。

## 個別テーマに関する評価

### 1 シリコンナノワイヤ技術

	成果に関する評価及び実用化の見通しに関する評価及び今後に対する提言
1) シリコンナノワイヤトランジスタの知識統合研究開発	<p>ナノワイヤトランジスタの作製、評価、シミュレーションを統合して進めた点は、非常に高く評価できる。また、それぞれでレベルの高い成果が得られており、一つひとつの成果にシリコンナノワイヤにとどまらない広い波及効果も期待できる。「酸素エッチング」という原子オーダーでの正確なエッチング技術を開発し、しかも集積回路への応用まで可能という有望な技術を開発している点は高く評価できる。また斜め AFM（原子間力顕微鏡）という独自技術を開発し、ナノデバイスの計測に活用している点、STM（走査トンネル顕微鏡）/AFM 融合構造を作製しデバイス評価に用いている点も他に類を見ない独自性を有しており、これも高く評価できる。十分な基礎技術の開発に成功したと言える。</p> <p>一方、ベンチマークが詳細に行われてはいない、事業化の筋道が立っていないという点が課題である。また、産業界との連携が少し弱いように感じられた。日本の独自の産業発展になるように展開してほしい。ナノワイヤトランジスタの電気的特性については、多くの報告があるので、それらとの比較の上で、本課題の成果が総合的に性能向上にどのように貢献するかを明確に示せることが望ましい。</p>
2) ナノワイヤ FET の研究開発	<p>Si ナノワイヤの電子構造、ショットキー障壁高さ、伝導特性などのシミュレーション技術を構築し実際に製作したワイヤとの比較検証を行い、Si ナノワイヤ FET のもつ優位性を理論的実験的側面から明らかにしてきた点は高く評価できる。シリコンナノワイヤでは角に界面準位が集中する為に、ワイヤとしては四角い断面の方がより大きな電流が得られる点を見いだした事は今後のナノワイヤの指針を与えるものであり重要である。また、界面までを含めた第一原理計算から出発した理論計算は学術的に興味深い。基礎物理に立脚したデバイス研究として高く評価できる。</p> <p>一方、今後の課題として、成果（技術）の出口をきちっと考える必要がある。本当に電子機器メーカーに生産委託できるところまで行くのか。作製技術面での新規性が弱いという印象を受ける。コンパクト</p>

	<p>モデルに関して実験との整合性をさらに向上させ、世界の標準的なモデルになるようさらに研究を進めてもらいたい。</p>
<p>3) シリコンナノワイヤトランジスタの物性探究と集積化の研究開発</p>	<p>研究成果は世界トップレベルである。また、強く実用化を意識した研究である。ナノワイヤ中のキャリア移動度の決定要因を明らかにした点、および、ナノワイヤの直径を <b>9nm</b> とすることで最大の正孔移動度を発現させることができる点をその根拠も含めて明らかにした点は極めて高く評価できる。ナノワイヤの直径を小さくすると界面の問題で移動度が下がり、逆に歪みの効果で特性が向上する方向に動くという事を発見した点は見事である。探索研究としては、独創的なプロセス技術でナノワイヤ <b>FET</b> (電界効果トランジスタ) の作製に成功しており、十分な成果が上がった。東大と東芝の研究役割分担と連携も十分よくできている。</p> <p>一方、応用の出口が結局メモリなのであれば、開発項目も変わってくるはずで、そのあたりの戦略が若干見えづらい。さらに、東大と東芝でそれぞれゲート幅とゲート長の問題を担当されたが、両者の極限、すなわち短ゲート幅、短ゲート長のナノワイヤ <b>FET</b> の結果も重要である。企業は得られた成果や派生技術を今後の実用化、事業化にぜひ生かしていただきたい。</p>

## 2 次世代メモリ技術

	成果に関する評価及び実用化の見通しに関する評価及び今後に対する提言
1) 新構造 FinFET による SRAM 技術の研究開発	<p>ゲート長 20nm 水準の FinFET (立体構造トランジスタ;Fin Field Effect Transistor) を実現、特性バラツキを世界最小にする技術を開発、4 端子 FinFET を有効に利用した独自の SRAM(Static Random Access Memory;記憶保持動作を必要としないランダムアクセスメモリ) 回路を実現し、待機時消費電力を従来の 30 分の 1 にまで低減できることを示した技術は高く評価できる。プロジェクトの中ではもっとも実用化に近い技術であり、近い将来の集積回路製造を視野に入れた研究が行われた。ここで開発された素子(4 端子 FinFET)はそれにとどまらず広い応用可能性を持っている。FinFET の優れた基盤技術が開発され、回路の IP (知的財産権) の整備を進めるなど、充分成果が上がっている。</p> <p>一方、開発した SRAM 回路を IP としてビジネスを展開する方法については今後さらに詰める必要がある。また、集積化の可能性をシミュレーションで示されているが、実際に集積化したものを見せていただいた方がインパクトが大きい。なお、これらの開発した技術は、やはり日本国内の企業に技術移転して、日本の企業の体力アップに繋げるべきである。</p>
2) 次世代相変化メモリ技術の研究開発	<p>独創的な発想で超格子型新規相変化薄膜材料を開発し、従来型相変化メモリに比べて消費電力を 100 分の 1 以下に低減した成果は、極めて高く評価できる。新しい半導体メモリ市場を形成できる可能性が高く、開発をさらに加速して推進すべき成果である。また、超格子構造によって相変化を制御するというアイデアは物理的・学術的にも非常に興味深く、さらに期待していた効果を実際に発現させたことは画期的な成果である。</p> <p>なお、今後の実用化に向けては、この技術の実用化へのストーリーが不十分である。競合他社と製品で競うのか、あるいは他社へライセンスするのか。知的財産権の提供など戦略をしっかりと立ててほしい。</p>
3) ナノギャップ不揮発メモリ技術の研究開発	<p>10<sup>5</sup> 回以上の書き込み・消去耐性、低温～高温までのデータ保持特性、10 年以上のデータ保持特性、10ns の高速書き込みなど、不揮発メモリとして高い潜在性をもつことを示した点、4k ビットメモリを試作し、その特性バラツキを評価し、改善目標を具体的に示した点は高く評価できる。簡単な構造でメ</p>

メモリを構成できる利点をもつ。ギャップ距離の変化がスイッチング機構である事を解明した点は重要である。

一方、大規模化が可能か、動作電圧の低減は可能か等、今後実用化に向けて解決すべき課題が少なくない。実用化には、さらなる技術的な工夫とそれによる飛躍的な発展が必要であろう。集積化の可能性を充分に見極めるとともに、バラツキも含めて量産性の評価も進めないと、実用化が見えなくなる可能性がある。他の競合メモリとの得失比較を充分に行う必要がある。

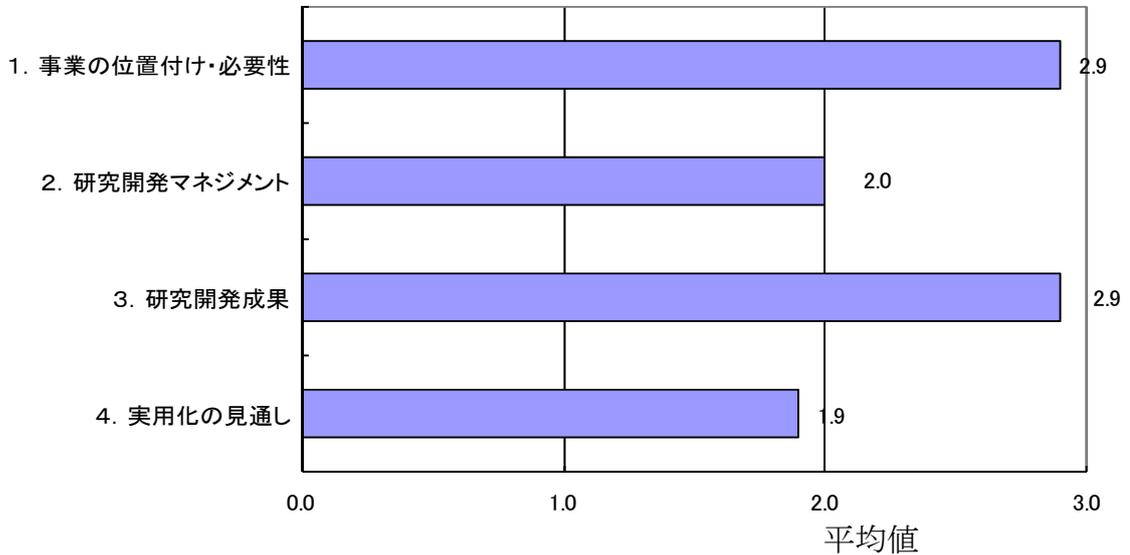
### 3 新材料技術

成果に関する評価及び実用化の見通しに関する評価及び今後に対する提言	
1) カーボンナノチューブトランジスタ技術の研究開発	<p><b>CMOS</b>（相補型金属酸化膜半導体）インバータの動作が可能であることを示した点、<b>100</b> ギガヘルツの周波数でも動作できる可能性を示した点は高く評価できる。<b>CNT</b>（カーボンナノチューブ）がもつ潜在性のいくつかを実証した。<b>CNTFET</b>（<b>CNT</b> 電界効果トランジスタ）としては、ほぼ目標値が達成されている。学術的成果は大きい。</p> <p>一方、まだ基礎的な段階であり、<b>More Moore</b>（微細化を象徴するムーアの法則をさらに進めるアプローチ）に対応できるものではない。現在は <b>CNT</b> 自体と単独のトランジスタが研究対象になっている段階である。<b>CNT</b> 自体が、人為的制御が及ばない部分がどうしても残る。単独のトランジスタはできても、高い集積度と均一性が要求される集積回路を実現するのは容易ではない。</p>
2) シリコンプラットフォーム上-V族半導体チャンネルトランジスタ技術の研究開発	<p><b>InGaAs</b> とシリコン酸化膜の、貼り合わせ技術を開発した点、ヘテロエピタキシャル成長技術と貼り合わせ技術によって、極薄の <b>InGaAs-on-insulator</b> 構造を <b>Si</b> 基板上に作製できることを示した点、原子層制御でゲート絶縁膜を形成し、世界初の極薄 <b>MOS</b>（金属酸化膜半導体）型 <b>FET</b>（電界効果トランジスタ）の動作を実証するなど目覚ましい成果を挙げた。極めてレベルの高い成果である。また企業との連携も十分に進んでおり実用化への進展は着実である。</p> <p>一方、基礎技術が確立した所であるので、今後実際にどのように集積回路を作製して行けば良いかの展開を計ってほしい。半導体装置メーカーとの連携については、日本発の技術・産業として成長するように、戦略的に推進して頂きたい。</p>
3) シリコンウェハ中の原子空孔濃度定量評価技術の研究開発	<p>シリコンウェハ中の原子空孔濃度の分布を、超音波を使って非破壊で測定、モニターできる技術を開発し、原子空孔濃度とボイド等との相関について基礎的な知見を得ている。研究開発組織に、シリコン結晶欠陥について民間企業で研究実績を挙げた研究者を加えたことが一定の成果を挙げる原動力となったと考えられる。</p> <p>一方、シリコン結晶成長については従来から多面的に評価解析が行われており、種々の格子欠陥が成</p>

長後の結晶に空間的に不均一に含まれていると考えられている。評価手法が、標的とする欠陥以外の欠陥も合わせて見てしまう可能性は完全に排除できないので、結晶欠陥に関する従来知見と、本評価法により結論された単一原子空孔の分布との関連性が明確になるとさらに本評価法の有効性が示せられる。他の評価手法との得失比較も充分してほしい。

また、評価技術を実用化することは大学だけでは難しいので、もっと密接に企業と協力関係をもっておく必要がある。

## 評点結果〔プロジェクト全体〕



評価項目	平均値	素点 (注)							
		A	A	B	A	A	A	A	A
1. 事業の位置付け・必要性について	2.9	A	A	B	A	A	A	A	A
2. 研究開発マネジメントについて	2.0	A	B	C	C	B	B	A	B
3. 研究開発成果について	2.9	A	B	A	A	A	A	A	A
4. 実用化の見通しについて	1.9	B	B	D	B	B	B	A	B

(注) A=3, B=2, C=1, D=0 として事務局が数値に換算し、平均値を算出。

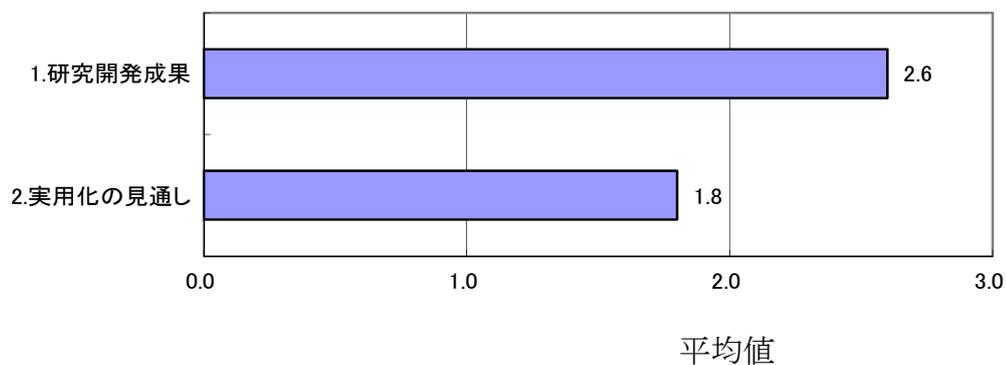
### 〈判定基準〉

1. 事業の位置付け・必要性について	3. 研究開発成果について	
・非常に重要	A ・非常によい	A
・重要	B ・よい	B
・概ね妥当	C ・概ね妥当	C
・妥当性がない、又は失われた	D ・妥当とはいえない	D
2. 研究開発マネジメントについて	4. 実用化の見通しについて	
・非常によい	A ・明確	A
・よい	B ・妥当	B
・概ね適切	C ・概ね妥当であるが、課題あり	C
・適切とはいえない	D ・見通しが不明	D

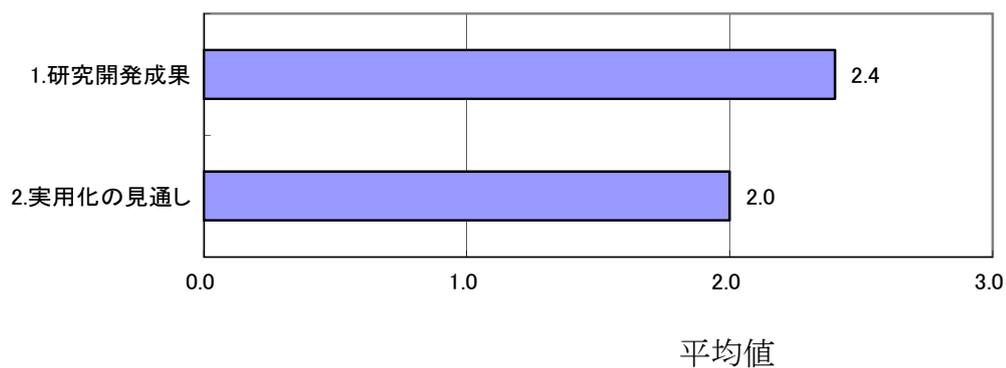
## 評点結果〔個別テーマ〕

### 1 シリコンナノワイヤ技術

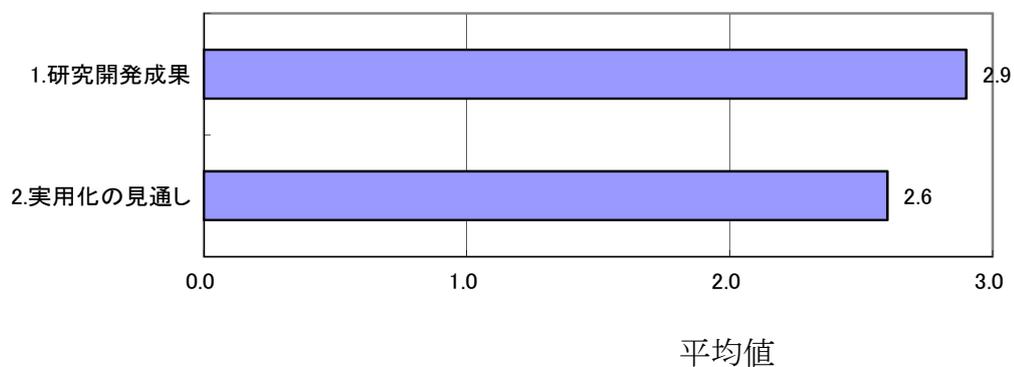
#### 1) シリコンナノワイヤトランジスタの知識統合研究開発



#### 2) ナノワイヤ FET の研究開発

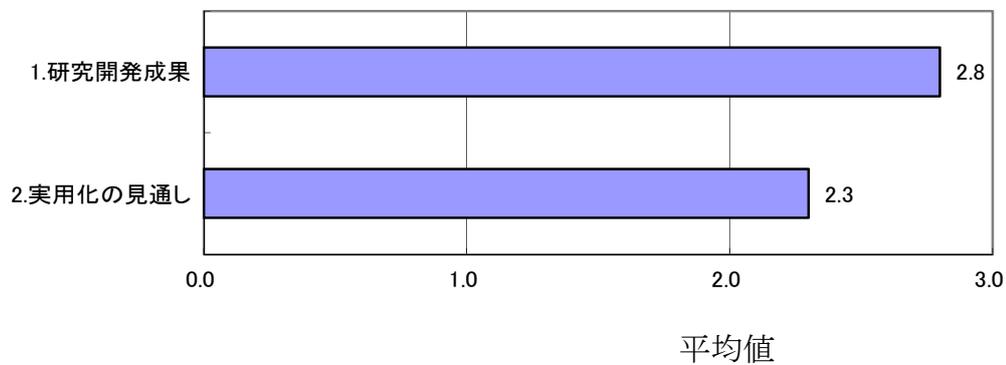


#### 3) シリコンナノワイヤトランジスタの物性探究と集積化の研究開発

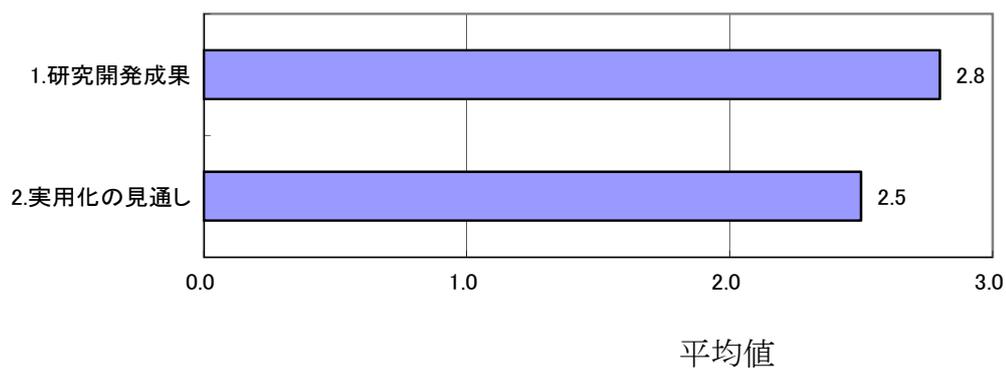


## 2 次世代メモリ技術

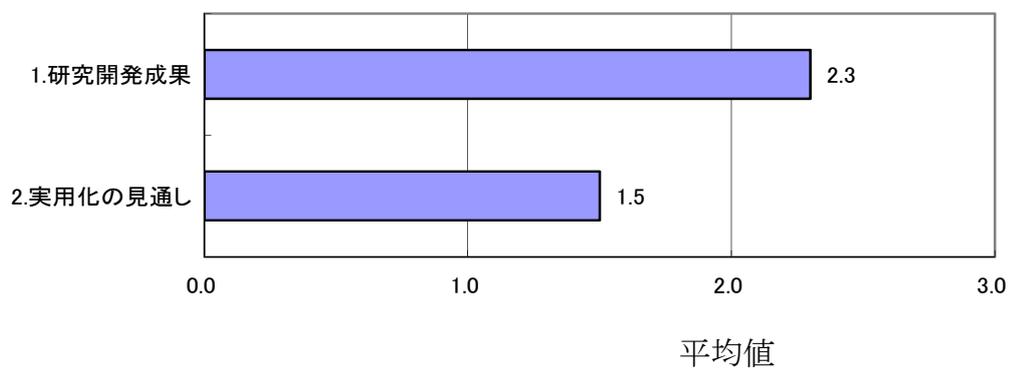
### 1) 新構造 FinFET による SRAM 技術の研究開発



### 2) 次世代相変化メモリ技術の研究開発

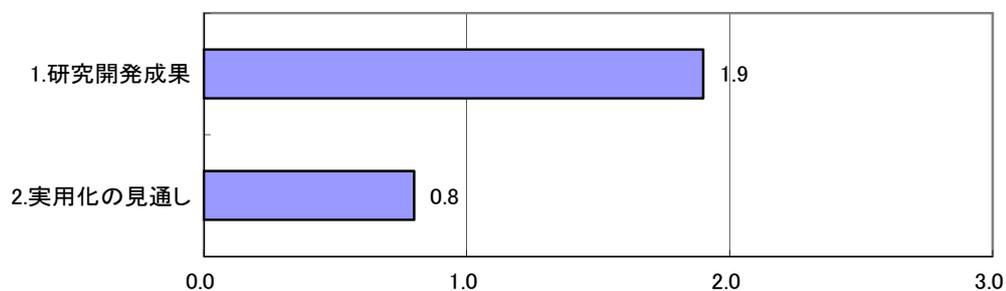


### 3) ナノギャップ不揮発メモリ技術の研究開発



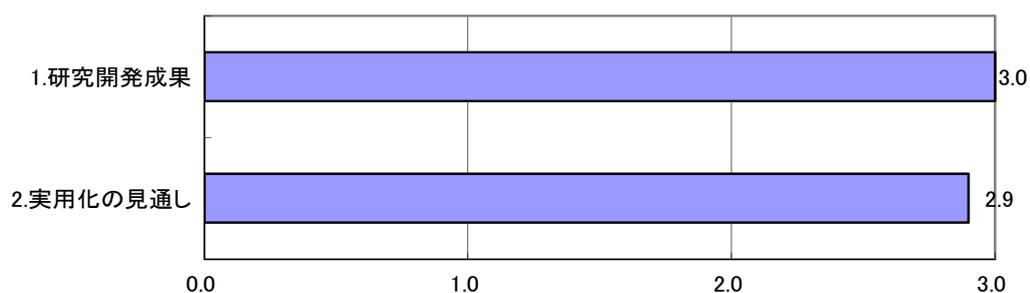
### 3 新材料技術

#### 1) カーボンナノチューブトランジスタ技術の研究開発



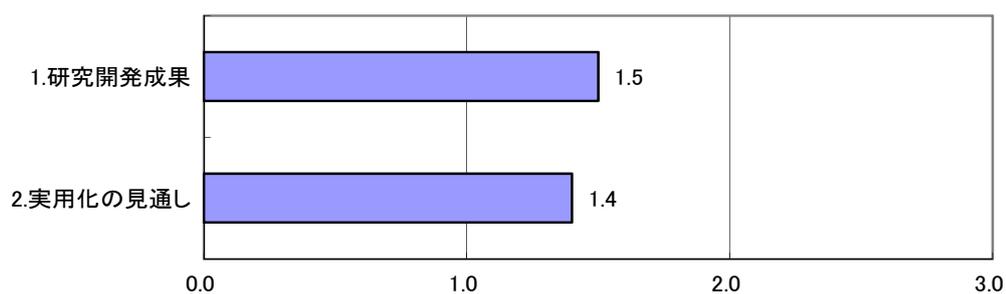
平均値

#### 2) シリコンプラットフォーム上III-V族半導体チャネルトランジスタ技術の研究開発



平均値

#### 3) シリコンウェハ中の原子空孔濃度定量評価技術の研究開発



平均値

個別テーマ名と評価項目	平均値	素点 (注)							
1 シリコンナノワイヤ技術									
1) シリコンナノワイヤトランジスタの知識統合研究開発									
1. 研究開発成果について	2.6	A	A	C	A	A	A	A	B
2. 実用化の見通しについて	1.8	B	B	D	A	B	C	B	B
2) ナノワイヤ FET の研究開発									
1. 研究開発成果について	2.4	B	B	B	A	A	B	A	B
2. 実用化の見通しについて	2.0	B	B	C	A	B	B	B	B
3) シリコンナノワイヤトランジスタの物性探究と集積化の研究開発									
1. 研究開発成果について	2.9	A	A	A	B	A	A	A	A
2. 実用化の見通しについて	2.6	B	A	B	A	B	A	A	A
2 次世代メモリ技術									
1) 新構造 FinFET による SRAM 技術の研究開発									
1. 研究開発成果について	2.8	A	A	B	A	A	B	A	A
2. 実用化の見通しについて	2.3	B	B	C	A	B	B	A	A
2) 次世代相変化メモリ技術の研究開発									
1. 研究開発成果について	2.8	A	A	A	A	C	A	A	A
2. 実用化の見通しについて	2.5	A	A	C	A	B	A	A	B
3) ナノギャップ不揮発メモリ技術の研究開発									
1. 研究開発成果について	2.3	C	B	B	A	A	A	B	B
2. 実用化の見通しについて	1.5	C	C	C	C	A	B	B	C
3 新材料技術									
1) カーボンナノチューブトランジスタ技術の研究開発									
1. 研究開発成果について	1.9	C	B	B	B	B	B	B	B
2. 実用化の見通しについて	0.8	C	D	C	C	D	C	C	C
2) シリコンプラットフォーム上 - 族半導体チャネルトランジスタ技術の研究開発									
1. 研究開発成果について	3.0	A	A	A	A	A	A	A	A
2. 実用化の見通しについて	2.9	A	A	B	A	A	A	A	A
3) シリコンウェハ中の原子空孔濃度定量評価技術の研究開発									
1. 研究開発成果について	1.5	C	B	C	D	A	C	B	B
2. 実用化の見通しについて	1.4	C	C	C	D	A	B	B	C

(注) A=3, B=2, C=1, D=0 として事務局が数値に換算し、平均値を算出。

〈判定基準〉

1. 研究開発成果について

- ・非常によい
- ・よい
- ・概ね適切
- ・適切とはいえない

2. 実用化の見通しについて

- |   |                |   |
|---|----------------|---|
| A | ・明確            | A |
| B | ・妥当            | B |
| C | ・概ね妥当であるが、課題あり | C |
| D | ・見通しが不明        | D |