

ITイノベーションプログラム、
エネルギーイノベーションプログラム
「次世代パワーエレクトロニクス技術開発
(グリーンITプロジェクト)」

事業原簿

公開版

担当部	独立行政法人 新エネルギー・産業技術総合開発機構 電子・材料・ナノテクノロジー部
-----	---

－ 目次 －

I	事業の位置付け・必要性について	I - 1
1.	NEDO の関与の必要性・制度への適合性	I - 1
1.1	NEDO が関与することの意義	I - 1
1.2	実施の効果(費用対効果)	I - 13
2.	事業の背景・目的・位置づけ	I - 18
2.1	事業の背景	I - 18
2.2	事業の目的	I - 20
2.3	事業の位置づけ	I - 22
II	研究開発マネジメントについて	II - 1
1.	事業の目標	II - 1
1.1	事業の目標	II - 1
1.2	研究開発項目毎の詳細な目標	II - 3
1.2.1	SiC パワーデバイスを用いたデータセンタ用サーバ電源 技術開発	II - 3
1.2.1.1	SiC 接合 FET およびショットキーバリアダイオード の開発	II - 4
1.2.1.2	サーバ用回路・電源システムの開発	II - 6
1.2.2	SiC パワーデバイスを用いた太陽光発電用パワー コンディショナ技術開発	II - 9
1.2.2.1	パワーコンディショナの開発	II - 9
1.2.2.2	SiC-MOSFET の開発	II - 11
1.2.3	次世代 SiC パワーデバイス・電力変換器基盤技術開発	II - 12
1.2.3.1	電力変換器用 SiC スイッチングデバイス基盤技術	II - 12
1.2.3.2	高温動作電力変換器設計試作技術	II - 14
2.	事業の計画内容	II - 18
2.1	研究開発の内容	II - 18
2.1.1	SiC パワーデバイスを用いたデータセンタ用サーバ 電源技術開発	II - 18
2.1.1.1	SiC 接合 FET およびショットキーバリアダイオード の開発	II - 18
2.1.1.2	サーバ用回路・電源システム技術の開発	II - 19
2.1.2	SiC パワーデバイスを用いた太陽光発電用パワー コンディショナ技術開発	II - 21
2.1.2.1	パワーコンディショナの開発	II - 21

2.1.2.2	SiC-MOSFET の開発	II- 22
2.1.3	次世代 SiC パワーデバイス・電力変換器基盤技術開発	II- 24
2.1.3.1	電力変換器用 SiC スイッチングデバイス基盤技術	II- 24
2.1.3.2	高温動作電力変換器設計試作技術	II- 24
2.2	研究開発の実施体制	II- 30
2.3	研究の運営管理	II- 31
3	情勢変化への対応	II- 32
III	研究開発成果について	III- 1
1.	事業全体の成果	III- 1
	SiC パワーデバイスを用いたデータセンタ用サーバ電源技術開発	
	SiC 接合 FET およびショットキーダイオードの開発	
	600V / 0A 接合 FET の開発	
	600V / 0A ショットキーダイオードの開発	
	サーバ用回路・電源システム技術の開発	
	高速駆動回路技術	
	サーバ電源システム開発	
	SiC パワーデバイスを用いた太陽光発電用パワーコンディショナ技術開発	
	SiC-MOSFET の開発	
	パワーコンディショナーの開発	
	次世代 SiC パワーデバイス・電力変換器基盤技術開発	
	電力変換器用 SiC スイッチングデバイス基盤技術	
	高温動作電力変換器設計試作技術	
	高温高信頼化基盤技術	
	高パワー密度インバータの設計製造技術	
	高温実装基盤技術	
	統合設計技術	
2.	研究開発項目毎の成果	III- 3
2.1	SiC パワーデバイスを用いたデータセンタ用サーバ	
電源技術開発		III- 3
2.1.1	SiC 接合 FET およびショットキーダイオードの開発	III- 3
2.1.1.1	600V / 40A 接合 FET の開発	III- 3
2.1.1.2	600V / 40A ショットキーダイオードの開発	III- 10
2.1.1.3	加速資金による研究成果前倒しの効果	III- 12
2.1.2	サーバ用回路・電源システム技術の開発	III- 13
2.1.2.1	高速駆動回路技術	III- 13
2.1.2.2	サーバ電源システム開発	III- 19

2.1.3	まとめ	III- 26
2.2	SiC パワーデバイスを用いた太陽光発電用パワーコン		
	ディショナ技術開発	III- 28
2.2.1	SiC-MOSFET の開発	III- 28
2.2.1.1	低抵抗化の検証	III- 28
2.2.1.2	信頼性基礎評価	III- 36
2.2.1.3	成果の評価	III- 38
2.2.2	パワーコンディショナーの開発	III- 39
2.2.2.1	高速駆動	III- 39
2.2.2.2	高キャリア周波数駆動	III- 42
2.2.2.3	フィルタ設計	III- 46
2.2.2.4	ミニモデル設計	III- 49
2.2.2.5	30kW級パワコンの試作と動作検証	III- 52
2.2.2.6	成果の評価	III- 54
2.3	次世代 SiC パワーデバイス・電力変換器基盤技術開発	III- 56
2.3.1	電力変換器用 SiC スイッチングデバイス基盤技術	III- 56
2.3.1.1	IT 機器用 SiC パワーMOSFET の低オン抵抗化	III- 56
2.3.1.2	電力変換用 SiC デバイスのトータル性能の信頼性	III- 57
2.3.1.3	高品質ウエハ評価・管理技術	III- 60
2.3.2	高温動作電力変換器設計試作技術	III- 66
2.3.2.1	高温高信頼化基盤技術	III- 66
2.3.2.2	高パワー密度インバータの設計製造技術	III- 82
2.3.2.3	高温実装基盤技術	III-115
2.3.2.4	統合設計技術	III-131
IV	実用化・事業化に向けての見通し及び取組について	IV- 1
1.	実用化・事業化に向けての見通し及び取組について	IV- 1
1.1	SiC 電力変換器応用システム及び SiC パワーデバイスの		
	実用化見通し	IV- 1
1.1.1	SiC 接合 FET 及び SiC 接合 FET を適用したサーバ		
	電源の実用化見通し	IV- 1
1.1.2	太陽光発電用パワーコンディショナ及び MOS-FET		
	の実用化見通し	IV- 3
1.1.3	電力変換器基盤技術の実用化見通し	IV- 5
	添付資料	添付資料- 1
	特許、論文、社外発表等リスト	添付資料- 1

プロジェクト基本計画	添付資料- 37
イノベーションプログラム基本計画	添付資料- 61
事前評価書	添付資料-123

概要

		作成日	平成 25 年 11 月 20 日
プログラム（又は施策）名		ITイノベーションプログラム エネルギーイノベーションプログラム	
プロジェクト名	次世代パワーエレクトロニクス技術開発	プロジェクト番号	P09004
担当推進部/担当者		電子・材料・ナノテクノロジー部 担当者氏名 主担当：柚須圭一郎 副担当：井谷 司	
O.事業の概要		<p>SiC パワーエレクトロニクスの特色を生かした応用分野における優位性の実証は、NEDOプロジェクト他で既に試みられている。産業界からは各種応用分野開拓や普及の視点に立って、電力利用高効率性はもとより、制御性、信頼性、使い勝手の向上などへの幅広い期待と様々な要請が有る。一方、これらの実現には、Si とは異なる特性のエレクトロニクスを活用するため、回路設計、モジュール、変換器などに対する基盤技術の確立が必要である。また、実際の応用に向けてノイズ対策や熱設計などの問題も解決する必要がある。本研究では、電源の各種システムへの組み込み応用を想定し、SiC パワーエレクトロニクスの特色を極限まで引き出す技術開発に取り組む。具体的には、システム用電源の高効率性を目指して、SiC スwitchングデバイス開発、回路設計、変換器を組み込んだシステム最適化を行う。また多様な応用に向けて高効率性と変換器の高パワー密度小型・軽量性を、高キャリア周波数化と高温実装で実現する。利用上問題になる高キャリア周波数化によるインバータの電磁干渉対策などの研究を行う。また、プロジェクト推進に当たり、デバイス、回路技術、変換器などの専門性の研究開発を深堀りするとともに、各分野間の技術情報の共有、大学との共同実施で議論の補完を行う。それらを通じて実用化や普及への多様なユーザの立場からの要請を斟酌し、SiC パワーエレクトロニクスならではの特性の発現、システムのエネルギー効率向上、高付加価値、高信頼性など実現する。</p>	
I.事業の位置付け・必要性について		<p>限られた資源やエネルギー源の有効利用、地球の温暖化問題の解決に向け、電気エネルギーとしての利用への移行は課題解決に有力な手段の一つである。電気エネルギー利用には、発電から消費に至るまでに電圧、電流、周波数などを制御する多数のエネルギー変換器を経由する。総合的な効率率は、各変換器の効率の積で決まり、省エネルギーには低損失な変換器の開発と普及が必要である。また、普及には各種応用機器システムに適した制御を行える使い勝手の良いパワーエレクトロニクスの開発が急務の課題である。この要請への期待に応えるべく、SiC パワー半導体の実用化に我が国は長年取り組んできた。モータへの応用を想定して、NEDOでは平成21年に「パワーエレクトロニクスインバータ基盤技術開発」を実施し、Si半導体に比べた様々な優位性を実証した。この成果が切っ掛けになり、インバータのみならず多様なシステムへの組み込みが可能となるDC/DCコンバータなど各種変換器開発の基盤技術が産業界から期待が高まってきた。</p> <p>一方、工場、事業所、家庭などのユビキタス情報化(IT)が進みIT社会における電力の需要は急激な増加傾向にあり、この分野の省エネルギー(グリーンIT)化が各国で取り込まれ始め、データセンタの省エネルギー化が上げられた。また、データセンタへのグリーンな電力の導入や温暖化対策として自然エネルギーの有効利用への期待は高まり、発電システムの大規模化や普及に備え高効率化を実現するSiCパワーエレクトロニクスの導入に期待が集まっている。このような分野へのSiCの導入には、変換器をシステムに組み込むための指標として、高効率性に加え、小型・軽量化、保守の簡素化に繋がる高信頼性に向けた基盤技術開発への要請も高い。</p> <p>本プロジェクトは、平成20年度に発足したエネルギーイノベーションとITイノベーションプログラムの枠の中で立案され、SiCパワーエレクトロニクスの実用化に必要な基盤技術の確立、具体的なシステムに適用して有効性の実証と関連する課題の抽出ならびに解決策を明らかにすることで、我が国の関連産業の競争力強化と省エネルギーに資することを目的とする。</p>	

II. 研究開発マネジメントについて

事業の目標	平成24年度までに、(i)データセンター用2kWサーバ電源開発を行い、電力変換効率が50%負荷で94%以上の効率を実証する。(ii)太陽光発電用30kWパワーコンディショナの開発を行い、定格出力時に98%以上の変換効率を実証する。(iii)パワーデバイス・電力基盤技術研究開発を行い、信頼性の高い高温実装技術を開発する。その技術を用い、All SiCパワーモジュールを開発し、60kW/lの高パワー密度インバータの要素技術を開発する。					
事業の計画内容	主な実施事項	H21fy	H22fy	H23fy	H24fy	
	①SiCパワーデバイスを用いたデータセンター用サーバ電源技術開発	—————→				
	②SiCパワーデバイスを用いた太陽光発電用パワーコンディショナ技術開発	—————→				
	③次世代SiCパワーデバイス・電力変換器基盤技術開発	—————→				
開発予算(会計・勘定)	会計・勘定	H21fy	H22fy	H23fy	H24fy	総額
	特別会計	920	492	219	115	1746
	加速予算	50	146	75	140	411
	総予算額	970	638	294	255	2157
	うち委託	970	638	244	105	2057
	うち助成	-	-	-	-	-
	うち共同研究(負担率1/2)			50	50	100
開発体制	経産省担当原課	商務情報政策局 情報通信機器課				
	プロジェクトリーダー	独立行政法人 産業技術総合研究所 先進パワーエレクトロニクス研究センター長 奥村 元				
	委託先	株式会社 日立製作所、三菱電機 株式会社、独立行政法人 産業技術総合研究所、技術研究組合 次世代パワーエレクトロニクス研究開発機構				
情勢変化への対応	前プロジェクトでSiCパワーエレクトロニクスの有効性が示された結果、応用開拓や普及への期待が世界で集まり、デバイス開発や変換器をシステムに組み込んだ研究の競争が日米欧で激しくなってきた。一方、4年間と言う短期間で目標数値を達成するために、(i)接合FET信頼性向上用プロセス装置、(ii)MOSFET設計シミュレーションツール、(iii)高温実装技術と電磁干渉問題解決等の課題に対する実験装置の充実を図るため、加速追加資金を411百万円投入した。その結果、成果の前倒しに繋げ、システムの効率向上、変換器の小型高パワー密度化で世界に先駆けた成果を達成した。					
評価に関する事項	事前評価	平成20年度実施 担当部 電子・情報技術開発部				
	事後評価	平成25年度 事後評価実施				

<p>III. 研究開発成果について</p>	<p>【事業全体】 オール SiC 変換器の開発に必需なスイッチングデバイスとして、接合 FET, MOSFET の開発を行い、低オン抵抗化、高信頼性を備えたデバイス開発に成功した。これらを組み込んだ、データセンター用 IT サーバ電源と太陽光発電用パワーコンディショナの開発において、世界最高効率を達成。多様な応用を想定した各種変換器設計基盤技術として、市販の接合 FET を使い、回路技術開発、高温実装、高キャリア化により信頼性の高パワー密度変換器開発を試み 70kW/ℓ を達成。これらの開発を通じ、SiC パワーエレクトロニクスを使い勝手を高め、付加価値の追究に必要な SiC パワーエレクトロニクス基盤技術を確立した。</p> <p>【個別テーマ】</p> <p>①SiC パワーデバイスを用いたデータセンター用サーバ電源技術開発</p> <p>(i) 接合 FET の開発 耐圧：600V 以上、電流容量：40A 以上、オン抵抗率：2.1mΩ・cm² のデバイスを開発した。その性能とプロセスの高度化により十分な寿命が評価され信頼性においても問題がないことを実証し、世界のトップクラスのデバイスを実現した。</p> <p>(ii) サーバ電源の開発 2kW サーバ電源のプロトタイプを試作し、50%負荷で、95.10%の電力変換効率を実証した。</p> <p>②SiC パワーデバイスを用いた太陽光発電用パワーコンディショナ技術開発</p> <p>(i) MOSFET の開発 耐圧：1200V 以上、電流容量：75A 以上。オン抵抗率：5mΩ・cm² のデバイスを開発した。MOS デバイスで共通の問題である SiC/SiO₂ 界面の長期信頼性に関して、酸化プロセスの開発により問題解決を図り、十分な寿命を確保した。世界のトップクラスのデバイスを実現した。</p> <p>(ii) パワーコンディショナの開発 30kW 級の太陽光用のパワーコンディショナのプロトタイプを試作し、定格運転時の変換効率として 98%以上を実証した。</p> <p>③次世代 SiC 電力変換器基盤技術開発</p> <p>(i) 高温実装技術 高密度小型化インバータ開発するため、パワーデバイスを 200~250℃で動作させることを可能とする高温実装技術を開発する。SiC デバイス固定のためのダイアタッチ用ハンダなどの材料開発、封止材料開発、各種熱疲労試験を実施し、-40~250℃のヒートサイクルにおいて、IEC 標準を超える性能特性を得た。これらを踏まえて、更に高温での信頼性の高い両面接合技術を提案して、基本的性能評価を終えた。</p> <p>(ii) 高パワー密度インバータの設計製造技術 変換器の普及に必要な、小型・軽量化のために接合温の高温化と高キャリア化による変換器回路技術、温度と電気特性他の低損失化に影響する問題を解決する統合設計技術を駆使して、変換器設計基盤技術を確立した。それに基づく、複数のインバータの試作を、性能評価、信頼性評価などを通じ、70kW/ℓの性能を達成した。また、インバータ他の変換器として、DC/DC コンバータ、高周波化による変換器内の電源トランスの小型化に必要な技術課題を解決し、DC/DC 変換器の高パワー密度化を達成した。併わせて、高キャリア変換器の EMC 解決のフィルター問題を解決した。</p> <p>(iii) ウエハ、デバイス信頼性 低オン抵抗と耐圧を両立するダブル UMOS 構造の開発と、エピ付ウエハの欠陥に関する評価は 21 年度で終了。</p>		
	<table border="1"> <tr> <td data-bbox="478 1612 622 1680">投稿論文</td> <td data-bbox="622 1612 1428 1680">37 件 「査読付き」 19 件、「その他」 18 件、口頭発表：135 件（国際会議：33 件）</td> </tr> </table>	投稿論文	37 件 「査読付き」 19 件、「その他」 18 件、口頭発表：135 件（国際会議：33 件）
	投稿論文	37 件 「査読付き」 19 件、「その他」 18 件、口頭発表：135 件（国際会議：33 件）	
<table border="1"> <tr> <td data-bbox="478 1680 622 1736">特許</td> <td data-bbox="622 1680 1428 1736">「出願済」のべ 25 件、「登録」0 件、「実施」0 件（うち国際出願のべ 5 件(PCT)）</td> </tr> </table>	特許	「出願済」のべ 25 件、「登録」0 件、「実施」0 件（うち国際出願のべ 5 件(PCT)）	
特許	「出願済」のべ 25 件、「登録」0 件、「実施」0 件（うち国際出願のべ 5 件(PCT)）		
<p>IV. 実用化・事業化の見通しについて</p>	<p>本プロジェクトによって、SiC パワーエレクトロニクスを2つのシステムに応用することで、Si では達成できない電源の高効率性を実証した。また、市場で使われる技術としての高信頼性の確立も達成し、実用化、事業化に向けた展開が出来る。また、電力変換器基盤技術の成果によって、インバータ、DC/DC コンバータ、チョップパナの各種変換器の回路技術等に基づく変換器設計指針の確立が出来た。併せて、普及に必要な、高効率な変換器の小型化・軽量化のための、高温実装や高キャリア化の技術開発が達成でき、様々な応用を想定したシステムメーカの製品開発戦略に貢献することが期待できる。</p> <p>デバイスに関して、SBDの販売計画中のメーカもある。</p>		

V. 基本計画に関する事項	作成時期	平成21年3月
	変更履歴	<p>(1) 平成21年3月、「次世代パワーエレクトロニクス技術開発（グリーンITプロジェクト）」制定。</p> <p>(2) 平成23年1月、「低炭素社会を実現する新材料パワー半導体プロジェクト」制定。</p> <p>(3) 平成23年3月、「低炭素社会を実現する新材料パワー半導体プロジェクト」および「次世代パワーエレクトロニクス技術開発（グリーンITプロジェクト）」の基本計画の統合に伴う改定。</p> <p>(4) 平成23年7月、独立行政法人新エネルギー・産業技術総合開発機構法の改正に伴う改訂。</p> <p>(5) 平成24年3月、研究開発項目①（9）の追加による改定。</p> <p>(6) 平成25年3月、事業項目「低炭素社会を実現する新材料パワー半導体プロジェクト」根拠法変更に伴う改訂。</p>

【プロジェクト用語集】

用語	説明
2 レベル	2 段階の電圧をスイッチングすることにより電圧波形を出力する制御方式で最も一般的に用いられる。
3 レベル	3 段階の電圧をスイッチングすることにより、電圧波形を出力すること制御方式で、2 レベル制御に対して出力波形がより正弦波に近くフィルタの小型化などにつながる。
CTE	coefficient of thermal expansion の略。線膨張率。温度の上昇に対応して長さが変化する割合。
DC/DC コンバータ	入力側に直流電圧を加え、出力側の直流電圧を自由自在に変えることができる回路。
DUT	Device Under Test の略。被試験デバイス。
EMI フィルタ	EMI は Electro Magnetic Interference の頭文字をとったもので、直略すると電磁妨害。EMI フィルタは、この電磁妨害を解消するためのものであり、本報告では、SiC インバータから発生するノイズを除去または低減する装置。
IEC 規格	国際電気標準会議 (International Electrotechnical Commission : IEC) が制定する国際規格。
IGBT	絶縁ゲートバイポーラトランジスタ(絶縁ゲートバイポーラトランジスタ、Insulated Gate Bipolar Transistor、IGBT)は半導体素子のひとつで、MOSFET をゲート部に組み込んだバイポーラトランジスタである。電力制御の用途で使用される。
MOSFET	MOSFET (Metal-oxide-semiconductor field-effect transistor)は、電界効果トランジスタ (FET) の一種である。酸化膜下に電流を流すチャネルを形成し、酸化膜上の電極(ゲート電極)の電位により流れる電流を制御することができる。
PWM 制御	PWM とは Pulse Width Modulation の頭文字をとったもの。パルス幅を長くしたり、短くしたりして、電流や電圧を制御する方式のことである。一定周期(キャリア周波数)でスイッチの ON/OFF を繰り返し、ON 状態の時間幅(デューティ比)を制御することで正弦波に近い波形を作成できる。

UMOSFET	MOS ゲートが U 字に掘ったトレンチ側面に位置する MOSFET。チャンネル電流が縦方向に流れるため、チップ面積に占めるチャンネルの割合が小さく、セルを高密度化してオン抵抗が低減できる。SiC-MOSFET は低いチャンネル移動度によりチャンネル抵抗が高いため、UMOSFET 構造によるオン抵抗低減効果は大きい。
アバランシェ降伏	半導体中の電界強度が増大するとキャリアが雪崩のように増倍し降伏すること。これは空乏層内に熱励起で発生した電子が空乏層内で電界の力を受けて加速され、格子に散乱される過程で、価電子を次々と弾き飛ばして自由電子を作り出し、雪崩のように電子が増えて、大きな電流が流れてしまう現象である。
インバータ	直流電力(DC)を交流電力(AC)に変換する装置一般の総称。逆変換装置とも言う。サーバ電源では絶縁トランス前段の直流電力を交流電力に変換する DC/AC 変換回路(フルブリッジ)部を指す。
オン抵抗	導通(オン)損失を決定する特性であり、SiC は絶縁破壊電界が高いため、ドリフト層を薄膜高濃度化でき、Si に比べて大幅にオン抵抗低減が可能である。ドリフト抵抗の寄与が小さい 600V、1200V クラスでは Si の IGBT や SJ、GaN-HEMT と競合する。
オン抵抗率	パワーデバイスの特性を示す指標の一つで、オン状態での素子内部の抵抗を単位面積当たりに換算した値。 $m\Omega \cdot cm^2$ という単位が用いられることが多い。ドレイン電流とドレイン電圧の関係が線形領域にある場合の電圧微分から求められる。
オン電圧	パワーデバイスの特性を表す数値。ゲート - ソース間にしきい値以上の電圧(たとえば +15V)をかけてデバイスをオン状態にし、ドレインに対してある電流(一般に定格電流)を流したときの電圧降下を測定。この電圧降下を電流で割ったものをいう。単位は Ω 。
階調制御方式	階調制御型インバータ方式では、インバータの出力電圧の変化が非常に小さく、出力波形が擬似正弦波であるため、後段の平滑フィルタをなくすことが可能となる。
界面準位	異種材料の界面に存在し、電子や正孔を捕獲する準位のこと。SiC パワーデバイスでは、主に SiO ₂ /SiC 界面の準位を指す。

回路パラメータ抽出	回路図に現れない寄生キャパシタンス、寄生インダクタンスを、実際の回路配線パターンに基づき、電磁界解析技術を用いて導出すること。SiC パワーデバイスでは、スイッチング速度が、Si パワーデバイスに比べて高速であるため、回路の過渡応答特性を向上させるためには、寄生キャパシタンス、寄生インダクタンスの低減が求められる。
拡散バリア	一般には、半導体集積回路等において、Cu、Al 等の金属イオンの拡散に対して有効なバリアのこと。ここでは、SiC パワーデバイスを、回路基板に AuGe はんだを用いて接合する際、酸化保護層として設けてある Ni の拡散に対して有効なバリアを指す。
活性化アニール	イオン注入後は不純物原子は格子点にないため、アニールにより格子点に置き換え活性化する必要がある。アニールは、結晶の損傷を回復させる目的と、結晶中のドナーあるいはアクセプタとなるキャリアとして活性化させる目的がある。
貫通刃状転位	転位に付随する格子の歪みの方向と転位の方向が直交する転位を刃状転位と呼ぶ。4H-SiC 結晶のC軸方向に沿って走り、転位に付随する歪みの方向がC軸方向に対して垂直方向を向いている転位を貫通刃状転位と呼ぶ。
貫通らせん転位	転位に付随する格子の歪みの方向と転位の方向が平行な転位をらせん転位と呼ぶ。4H-SiC 結晶のC軸方向に沿って走り、転位に付随する歪みの方向がC軸方向を向く転位を貫通らせん転位と呼ぶ。
還流用ダイオード	インバータ回路において、還流モード動作の時に還流電流を流すために必要なダイオードのこと。本文では接合 FET に逆並列接続させた SiC ショットキーダイオードのことを指す。
帰還容量	トランジスタに寄生している静電容量のひとつ。入力容量は C_{iss} 、帰還容量は C_{rss} 、出力容量は C_{oss} と記号化されている。これらの容量が、MOSFET の使用周波数やスイッチング速度を制約する。
寄生キャパシタンス	キャパシタンスは電気回路の要素のひとつで、電流と電圧の変化率との比。スイッチングなどで電圧(電位)の急激な変化が生じたときに、浮遊キャパシタンスを介して意図しない経路に電流が流れることがあり、ノイズ発生や誤動作の原因となる。低ノイズ電源にあっては浮遊キャパシタンスの管理が重要になる。

基底面転位	六方晶の結晶構造では、 C 軸に垂直な結晶格子の面を基底面と呼んでいる。転位が基底面に沿って走っていて、転位に付随する格子歪みの方向も基底面に沿っている転位を基底面転位と呼ぶ。
基板オフ角	エピ膜の品質向上を目的として、基板表面がジャストの結晶面から数度傾斜したオフ基板を用いてエピ成長を行われている。よってトレンチの方向によっては対面するゲートの結晶方位がオフ角度分異なり、ゲート特性が変わってしまう。1度以下のオフ基板を用いたエピ成長技術の開発が行われている。
キャパシタ	電圧を保持する部品。用途として、スナバキャパシタ、フィルタキャパシタ、平滑キャパシタなどがあり、スナバーはスイッチング時～数 100ns のサージ電圧を、フィルタは PWM リップル～数 100 μs の電圧変動を、平滑は負荷変動～数 100ms の電圧変動を抑制する作用をする。
キャリアの伝導度	キャリアとは電子・正孔のことであり、伝導度とはキャリアの流れやすさを言う。本文においては接合 FET のキャリア密度とキャリア移動度の両方に起因する電流の流れやすさを指す
キャリア周波数	PWM 制御方式において、パルス幅変調周期を決定する周波数のこと。このキャリア周波数で、被変調波を変調する。このキャリア周波数が高いほど、インバータ出力の電流波形が正弦波により近づき、結果、モータの騒音も低下する。
キャロット	エピ膜成長時に現れる格子欠陥。基板中の貫通らせん転位が、エピ膜成長中に幾つかの部分転位と積層欠陥に分解し形成される。光学顕微鏡観察では一般的にニンジンの形をした外形よりキャロットと呼ぶ。
金属間化合物	2 種類以上の金属によって構成される化合物。接合部界面に生成する金属間化合物は、一般に、堅く、かつ、脆く、接合の信頼性の問題点となることが多い。本研究では、 AuGe はんだに Ni が拡散で Ni-Ge が粒状の金属間化合物となること、及びこの反応の進行による Ni 酸化防止膜の消耗による信頼性の低下の問題を取り上げた。

ゲート酸化膜保護	エピ膜表面に現れる欠陥。エピ膜成長時に粒子状の 3C-SiC 結晶構造の粒子が表面に付着した後、 4H-SiC の結晶構造のエピ膜中に、ステップフロー成長により、尾をひくような 3C-SiC 構造の異常成長部が現れることがある。流星状の外見からコメットと呼ぶ。
高温接合材料	電極接合を形成するための接合材料。ここでは、 SiC の耐高温動作特性を生かすため、動作温度 200~250℃ で溶けることなく、回路動作可能な接合材料を指す。
高温放置試験	対象物に、一定の熱ストレスを与え、接合劣化、不純物析出、金属間化合物生成などについて検証する試験。
格子欠陥	結晶中では構成原子は 3次元 的に規則正しくなっていない。この 3次元 構造に乱れが生じている部分を格子欠陥と総称する。歪みを伴う線状の格子欠陥を転位と呼ぶ。格子の積層の順番に乱れを持つ面状の欠陥を積層欠陥と呼ぶ。
高調波	高調波とは、ある周波数成分をもつ波動に対して、その整数倍の高次の周波数成分。
誤点弧	インバータ回路において、上下アームどちらか片方アームのトランジスタをオフ状態からオン状態に遷移させた場合、本来オフ状態であるはずの片側(対向)アームのゲート電位が急激な(dv/dt)によって電位が上昇し、対向アームのトランジスタが誤ってオン状態になってしまう現象。
コメット	エピ膜表面に現れる欠陥。エピ膜成長時に粒子状の 3C-SiC の結晶構造のダウンフォールなどがエピ膜表面に付着した後、ステップフローモードで成長している 4H-SiC の結晶構造のエピ膜中に、尾をひくような 3C-SiC 構造の異常成長部が現れ、流星のような外見が観察される欠陥をコメットと呼んでいる。
サージ電圧	サージ電圧(surge voltage)とは、電気回路などに瞬間的に発生するパルス状の電圧のことである。
サーモビューアー	物体が放射する赤外線の色長分布などを見て対象物の温度を測定する機器。
三角欠陥	4H-SiC の結晶構造のエピ膜中に現れる欠陥。厚みのある三角形状の 3C-SiC の結晶構造の領域が異常成長している部分を三角欠陥と呼ぶ。

酸化保護膜	酸化を防止するための材料表に形成する膜。ここでは、回路基板の回路パターンに用いている Cu 回路板が、200～250℃で酸化するのを防止するため、めっきで形成した Ni 膜を指す。
しきい値	トランジスタをオン状態にして所望の電流の流すために必要なゲート印加電圧のこと。接合 FET においてはドレイン電流 1mA/cm ² を流すために必要なゲート印加電圧(約 1V)を指す。
上下アーム	インバータ回路において高電位側電源にドレインが接続されたトランジスタとそれに逆並列接続された還流ダイオードのスイッチ群を上アームと言い、ソースが低電位側電源に接続されたほうのスイッチ群を下アームと言う。上下アームとはこれらの上下スイッチ群をあわせた素子群を指す
初期不良	試験投入直後に、すでにそのデバイスが壊れている(正常に作動しない)状態。
ショックレー型積層欠陥	結晶格子面の積層の順番に乱れを持つ面状の格子欠陥を積層欠陥と呼ぶ。積層欠陥の縁には部分転位とよばれる 1次元の格子欠陥が付随している。この部分転位に付随する格子の歪みの方向が、積層欠陥面に平行なものをショックレー型積層欠陥、平行ではないものをフランク型積層欠陥と呼び、それぞれ形成原因や性質などが異なる。
ショックレー型部分転位	ショックレー型積層欠陥の縁に付随する部分転位。
ショットキーバリアダイオード	ショットキーバリアダイオード(Schottky Barrier Diode: SBD)は金属と半導体との接合によって生じるショットキー障壁を利用したダイオードである。PN 接合ダイオードに比べると順方向の電圧降下が低く、スイッチング速度が速いという特長を持つ。SiC を用いることで Si では出来なかった高耐圧領域の SBD が実用化されるようになった。
シンタ接合	固相反応接合の 1 つ。有機物を添加したペースト状の材料を、接合したい母材間に塗布し、所定の温度で熱処理することで、母材とシンタ材料を固相反応で接合する。接合温度はシンタ材料の融点以下である。材料の粒径をサブミナノサイズとして反応性をたかめ、固相反応が短時間で進むようにするなどの工夫がされている。

スイッチング周波数	電力変換器の主スイッチングデバイスが一秒間にスイッチングする回数。スイッチング周波数が高いほど、変換器の制御精度や応答速度が良くなり、同時にフィルタ部品の小型化に寄与する。反面、スイッチング毎にスイッチング損失が発生するため、一般に高スイッチング周波数化は電力変換効率を悪くする。
スイッチング損失	電気回路の開閉にともなう電力の損失。
スピードアップコンデンサ	ゲート電極を高速に充放電するために、接合 FET のゲート電極に直列接続する小容量(~nF)のコンデンサ。通常はゲート抵抗と並列接続して利用する。
整流回路	交流電力(AC)を直流電力(DC)に変換する装置一般の総称。順変換装置とも言う。サーバ電源では入力である商用 200V の AC 電力を DC 電力に変換する回路を指し、ダイオード 4 つによる構成された回路を指す。
接合 FET	FET(Field Effect Transistor)の一種。n 型基板を用いた SiC では、電子をキャリアとして用いるユニポーラデバイスである。本文では P 型のゲート電極と N 型のソース電極が冶金学接合を有する意味で接合を有するトランジスタの意味で用いている。
遷移的液相焼結法	固相反応接合の 1 つ。少なくとも 1 種類の低融点金属を含む 2 種類以上の金属箔を逐次積層・昇温することにより、低融点金属が液化により効率的に固相反応が進行し、合金化することで接合を形成すること。最近では、電子デバイスの接合に用いるため、ペースト状の材料についても研究もされている。
走査型電子顕微鏡 (SEM)	加速して絞った電子を表面に入射させ表面から散乱された 2 次電子を用いて、表面の凹凸、物質の異なりなどによる 2 次電子放出率の差を利用してコントラストを画像化する顕微鏡。
ソフトスイッチング	一般に、共振回路を利用して、主スイッチングデバイスの端子電圧または電流を 0 にしてスイッチングさせる。スイッチング損失やスイッチングサージなどスイッチングストレスの低減に有効。零電圧ターンオン、零電圧ターンオフ、零電流ターンオン、零電流ターンオフなどに分類され、さまざまな回路方式が提案されている。

ターンオフ損失	トランジスタをオン状態からオフ状態に遷移させたときに発生する電力損失のこと。遷移状態ではドレイン電圧が印加された状態とドレイン電流が流れる状態が存在し、これらによって電力損失が発生する。
ターンオン損失	トランジスタをオフ状態からオン状態に遷移させたときに発生する電力損失のこと。遷移状態ではドレイン電圧が印加された状態とドレイン電流が流れる状態が存在し、これらによって電力損失が発生する。
ダイアタッチメント	パワーデバイス(ダイ)を、セラミック基板などに固定する作業。ダイボンディングともいう。
ダイオード(SBD)	電流を一方向にしか流さないデバイス。半導体のPN接合の整流作用を利用したPNダイオードが一般である。 金属と半導体のショットキー接合を用いたダイオードをSBD(ショットキーバリアダイオード Schottky Barrier Diode)と呼ぶ。
ダイシエア	ダイアタッチされた試験片を、専用ツールを用いて横から水平方向に押し、これが破断された時の強度。 はんだの接合強度の評価に用いる。
ダウンフォール	エピ膜表面に現れる欠陥。光学顕微鏡観察では粒子状のものが表面に観察される。エピ膜成長時に炉の内壁などに存在する3C-構造のSiCの粒子がエピ膜表面に降って、付着することにより形成される欠陥。
ダブルトレンチ構造	トレンチゲート底の酸化膜を高電界から保護する構造として、pベース内にトレンチを形成し、その周囲にp型領域を形成した構造である。DMOSFETのようにp型領域から伸びた空乏層によってゲートトレンチの酸化膜が保護できる。
チャンネル部	MOSFETでは、電界で流れるキャリアの量を制御し、オン・オフのスイッチングを行なう。その際に半導体中でキャリアが流れ、制御される部分をチャンネルと言う。
チョッパダイオード	チョッパ回路に用いられるダイオードのこと。サーバ電源では力率変換回路(PFC: Power Factor Correction)部に用いられるSiチョッパダイオードのことである。
チョッパ回路	直流の電圧を変えるには専用の電気回路が必要であり、その回路がチョッパ回路。また、チョッパ回路はいろんな電力変換回路の中で最も簡単な回路であり、インバータ、高力率コンバータ、DC/DCコンバータなど各種の電力変換回路に用いられる。

電源効率	電源回路における電力変換効率のこと。入力電力と出力電力の比率で表され、1に近づけば近づくほど電源回路における変換効率が高く、変換時の損失が少ないことを示す。
電子負荷	電子デバイスを利用した負荷装置の総称。電源回路の評価には出力に負荷を接続する必要があるが、アナログ抵抗器では直流電流値を制御できないため、トランジスタ等を電子負荷として用いる。負荷の制御はトランジスタの制御電圧を所望の値に設定することで可能となる。
電子線誘起電流法 (EBIC)	加速して絞った電子線を半導体デバイスに照射し、一次電子線の連続的な非弾性散乱の過程で、デバイス内部に電子正孔対が生成される。EBICは、試料内部の電界構造(半導体の接合構造)と結晶中の少数キャリアのライフタイムが短くなるような箇所に敏感で、転位や積層欠陥の位置も特定出来る。
電力変換器	直流または交流の電力を入力とし、負荷が要求する電力に変換する装置。
透過型電子顕微鏡 (TEM)	高圧の電子ビームを薄い試料に照射しその透過電子の干渉コントラストから固体内部の物質の違い、原子の配列等に関する情報を得る顕微鏡。原子の配列の乱れから欠陥に関する情報が得られる。
トランジスタ (MOSFET、JFET、IGBT)	パワー半導体デバイスの種類。一般に、陽極端子(ドレインまたはコレクタ)、陰極端子(ソースまたはエミッタ)、制御端子(ゲートまたはベース)の3端子を持つ。制御端子への信号によって、陽極端子と陰極端子の通電/遮断を切り替える。
トレンチゲート	チャンネル密度を上げるゲート構造として有効であるが、SiCでは六方晶系の結晶構造に起因して、チャンネル移動度や寿命などのゲート特性がトレンチ面の方位に依存する。また、SiCはSiに比べて硬いためドライエッチおよびその後の平滑処理が容易でなく、ゲート特性への影響が懸念される。
ノーマリ・オフ	制御信号がないときに、オフになるように設計されたトランジスタ。

パワーコンディショナ	パワーコンディショナ(パワコン)は、太陽光発電システムや家庭用燃料電池を利用際に用いられる。これらの電源は直流で出力されるが、家庭用に利用する場合は 100V の交流に変換しなければならない。パワコンは発電された電気を家庭などの環境で使用できるように変換する機器であり、インバータの一種である。
パワーサイクル試験	対象物を、周期的な電気動作環境下に置き、接合劣化、温度差による熱機械疲労、配線およびワイヤの断線、総合動作などについて検証する試験。
パワーデバイス	電力用半導体素子は、アナログ半導体に属する電力制御用の半導体素子であり、一般的にはパワーデバイスとも呼ばれる。いわゆる弱電機器に使用されている半導体と比べ、高電圧/大電流を扱え、整流ダイオード、パワートランジスタ(パワーMOSFET、絶縁ゲートバイポーラトランジスタ (IGBT))、サイリスタ、等がある。
はんだ接合	母材を接合するために液層温度 450℃未満の溶加剤(はんだ)を用いる接合技術のこと。はんだには、Sn をベースにした、共晶系の材料が広く使用されており、共晶温度以上に温度を上昇し溶解、液層による濡れ広がりを経て温度を下げることで母材どうしを接合する。液相過程を経るので、均一で密度が高い接合を実現できる。
ヒステリシス	ヒステリシス (Hysteresis) とは、ある状態が、現在加えられている電圧・電流だけでなく、過去に加わった電圧・電流に依存して変化すること。
フィルタ	フィルタとは、入力された電気信号に帯域制限をかけたり、特定の周波数成分を取り出すための電気回路(または電子回路)、つまりフィルタの役割をする電気回路のことを言う。
浮遊インダクタンス	インダクタンスは電気回路の要素のひとつで、電圧と電流の変化率との比。 浮遊インダクタンスは、電流の変化を妨げる作用があり高速スイッチングを阻害する。電力変換器の構成部品実装にあつては電流が変化する経路の浮遊インダクタンスの低減が重要になる。

フリップチップ接合	実装基板上にチップを実装する方法の1つ。デバイス表面と基板を電氣的に接続する際、一般的なワイヤボンドではなく、 bumps や接合材料を用いて接合する。デバイスで発生する熱を基板に伝えやすく、大きな電流を流せるなど、パワーエレクトロニクスに適した特徴をもつが、複数電極/デバイスの一括接合が難しなどの課題もある。
ヤング率	縦弾性係数とも呼ばれ、弾性範囲で単位ひずみあたり、どれだけ応力が必要かを示す物質固有の定数である。応力-ひずみ曲線の直線部における傾きに相当し、物質の形状によらないばね定数と理解できる。
有限要素法	数学的には、解析的に解くことが難しい微分方程式の近似解を数値的に計算する方法の一つ。構造力学や流体力学などの様々な分野で使用されており、たとえば、複雑な形状・性質を持つ物体を単純な小部分に分割することで近似し、全体の挙動の予測などに用いられている。
ユニポーラデバイス	電子または正孔のいずれかを用いて電流を流すトランジスタ。その両方をつかうバイポーラデバイスに対して、オン抵抗が大きくなるものの、スイッチング損失が小さい特徴を持つ。
容量カップリング	回路内に存在する容量(コンデンサ)の片方の電極の交流成分エネルギーが、対向電極に伝達されること。本文では接合FETのゲート信号がスピードアップコンデンサを經由してゲート電極に伝達されることを指す。
リアクタ(平滑リアクタ)	電流を保持する部品。コンデンサと同様に、スイッチングサージ抑制、PWMリップル抑制、負荷電流変動抑制などの用途がある。一般に鉄心やアモルファスなどの磁性体を利用したものが多く、それを用いない空芯リアクトルも使われる。
リアクトル	インダクタを利用した、受動素子である。インバータの入力または出力側の交流回路に設置する。インバータの入力側の交流回路に設置するリアクトルは、力率改善、および高調波抑制に効果がある。インバータの出力側に設置するリアクトル：騒音低減およびサージ電圧抑制に効果がある。

リカバリ特性	ダイオードの状態変化の特性。急激に順方向電圧を印加したときに阻止状態から導通状態に変化するフォワードリカバリと、急激に逆電流を流した時に導通状態から阻止状態に変化するリバースリカバリがある。単にリカバリ特性と述べた場合、後者のリバースリカバリ特性を意味する。
力率改善回路	電源回路等の力率(power factor)を 1 に近づけるための回路の総称。力率とは有効電力を皮相電力で除算した値である。本文ではトランジスタとチョップダイオードから構成される回路を指す。
リップル電流	直流の電流の中に含まれている脈動の成分のこと。
リフロー	セラミック基板(またはプリント基板)とパワーデバイスなどの電子部品を半田実装する工程。

I. 事業の位置付け・必要性について

1. NEDO の関与の必要性・制度への適合性

1.1 NEDO が関与することの意義

(1)省エネルギーへの取り組み

近年、社会の発展とともにエネルギー需要は増加傾向にあるため、我が国では長年省エネルギーへの多角的取り組みが精力的に行われ、最先端のレベルにあると認識されている。このことは、産業競争力を高める上で不可欠な要素で、実際GDPの伸びにも拘らず、産業セクターではエネルギー使用量の伸び幅は長年小さく収まっている。一方、持続的発展の視点からは限られた資源やエネルギーの有効利用、温暖化防止といった地球規模の問題への配慮もますます重要となってきた。そうした中で、社会の情報化が進み、利便性の追求から家庭、事業所、運輸などなどの産業分野ではユビキタスIT化により、エネルギー消費増加傾向が続く。それらを司るIT産業も含めると我が国の総電力をIT化が押し上げる傾向が続くと予想の下で、対策や解決に取り組むことが喫緊の課題の一つとなっている。

その対策の一つとして、我が国が大きく依存する化石燃料を熱としてではなく、効率や制御性の高い電気エネルギーの形で利用することが促進されている。また環境負荷低減に向けて、太陽光・風力などの再生可能エネルギーの導入促進が計られている。電気エネルギーの有効利用には、発電(創エネ)、送電(送エネ)、蓄電(蓄エネ)、配電などの各分野で高効率性に対し技術革新が取り組まれている。末端までの配電には、多数の電力変換器が組み込まれ、それぞれの段階で電力仕様(電圧、電流、周波数など)は異なるものの、各変換器効率の積が最終的な電力有効利用率に影響する。効率の向上に向けた技術開発は当然であるが、電力エネルギーの有効利用に向けた使い易さや信頼性などを伴ったパワーエレクトロニクスの普及が益々必要で、さらにITによる制御性向上、価格などを含めて、ユーザの立場に立った技術革新も日々進んでいる。高度パワーエレクトロニクスを支えるためには、デバイス、周辺材料・部品、回路、モジュール、変換器、制御系、システム、系統との接続をカバーする広い裾野を持つ研究の展開が必要である。

現在使われているパワー半導体デバイスは、ほとんどがSi(シリコン)を材料とするものである。Siパワーエレクトロニクスの分野に於いて、我が国の電機産業界はパワー用Siウエハに始まり、デバイス、変換器、システムなどに対して長年の開発歴史と実績が有り、多様な応用分野でのパワーエレクトロニクス機器の技術、製品のレベルの高さと世界シェアを確保している。今なお、Siパワーエレクトロニクスの性能は年々歳歳進歩しているものの、電力利用効率向上と言う課題に限って見れば近年成熟カーブを描き始めている。また、省エネの観点からは、個別機器の性能向上のみならず、パワーエレクトロニクスの普及・市場開拓に向けた低価格化、多様な品揃えへの施策も新たな課題になっている。加えて、IT機器同様電力ネットワーク化が進み、ITを駆使したエネル

ギーマネジメントによる社会インフラとして高効率性の確保が必要とされ、様々な規模の大きなシステムに対するパワーエレクトロニクスの新たな使われ方に繋がる研究開発も要請され始めている。我が国の産業競争力の確保の点において、大きな基盤を確立している Si パワーエレクトロニクスに対して、新たな市場拡大への技術革新に期待が大きい。パワーエレクトロニクスの多様な応用を考えると、原点に戻ったデバイスや部品レベルからの性能向上に始まり、回路技術とモジュールや変換器、応用機器と接続した段階でシステムレベルでのエネルギー利用最適化などが求められている。そうした中で、新たなブレイクスルーに繋がる Si とは異なる新しい半導体材料である SiC, GaN, ダイヤモンドなどに代表されるワイドバンドギャップ半導体の技術展開に期待が集まっている所以である。

(2)ワイドバンドギャップ半導体への期待

中でも代表的な SiC(炭化珪素)は、材料科学的特性から描かれるパワーエレクトロニクスへの可能性(Figure of Merit)に対し、Si パワー半導体に対する特色、優位性を引き出す研究が長年なされてきた。パワーエレクトロニクスとしての注目点は、低損失性に繋がる低オン抵抗とデバイスの高耐電圧とを両立させることが材料科学的に期待され、実現され始めている。スイッチングに伴う損失も少ないため、Si よりも高い周波数での動作に適し、電源を構成する周辺部品(キャパシタ、リアクトル)の小型化が期待できる。さらに、Si 半導体として今のところ使用が難しい 200℃以上の高温でも動作可能で、変換器熱設計マージンの広がりやパワーエレクトロニクス機器に必須な冷却系の簡素化に期待が有る。これらの背景のもとに、長年のウエハ、デバイス等の研究開発成果を踏まえて、新たな応用分野開拓に必要な回路技術や変換器、システムへの組み込み、それに必要な高信頼性などに対する研究展開が待ち望まれている。

このような特性を実証する目的で実施された NEDO プロジェクト「パワエレインバータ基盤技術開発」(2006～2008 年度)では、SiC-SBD(Shottky Barrier Diode)及び SiC-MOSFET(Metal-Oxide-Semiconductor Field-Effect Transistor)を開発するとともに、それらを用いたインバータを試作し、SiC 化によってインバータの電力損失を 70%減少させた。デバイスの発熱低減の特色を生かした熱設計により、変換器部品の最適配置設計から変換器体積を 1/4 へと減じさせ、パワーエレクトロニクスにとって電力変換効率、体積と言った重要指標が大幅に改善出来ることを世界に先駆け実証した。我が国は材料、デバイスから変換器までの一貫研究を長年進めてきておりこの分野をリードするところとなっている。

残念ながら 2009 年時点では SiC の高い性能にも拘らず、デバイスコストが非常に高いため、SiC パワーエレクトロニクスは産業界、市場では受け入れられなかった。しかし、前記プロジェクトの成果が我が国での SiC 応用研究開発の必要性、促進の機運を盛り上げ、技術のみならず価格を始め産業化や普及に必要な視点からの研究開発への必要

性を産学官セクターに認識させたことはプロジェクトの重要な貢献であった。Si パワー半導体に比較しての低損失性は電力利用効率向上をもたらすことは既に実証され始めているが、高耐圧化と低オン抵抗化、発熱低減と熱設計、高周波化と小型化、耐高温材料・部品と実装技術など総合的にパワーエレクトロニクスとしての極限性能の追究が欧米で始まっている。その結果、SiC 変換器の高性能化、多様な応用分野でシステムに組み込んだ場合の利点、特色など、Si パワーエレクトロニクスに比較した付加価値を明らかに出来、市場から大きく期待される段階になってきた。

前プロジェクトでは、変換器の効率と小型化と言う付加価値を示した。一般的な議論ではあるが、小型化は工業製品の生産性を高め軽量性やメンテナンスフリーなどをもたらす、市場での低価格化を導く切っ掛けを与える。パワーエレクトロニクス機器として普及への弾みになり、さらに高い生産性は価格への良い循環として影響を与え、SiC パワーエレクトロニクスが内包する高価格に対する障壁を下げ、産業競争力に繋がる。

(3)市場と普及のための SiC パワーエレクトロニクスの課題

SiC パワーエレクトロニクスのポテンシャルは示されたが、本格的な普及や市場の形成にあたって、ウエハ、デバイスなどの価格問題に、重点的な取組がなされている(新材料プロジェクト)。実用化、普及、産業化の観点で SiC パワーエレクトロニクスとしての開発状況を整理してみる。スタート時点では、低電圧・小電流の SBD が普及しつつあったが、スイッチングデバイスである FET は信頼性など、開発要素を残していた。また、JFET については、低しきい値電圧に起因する誤点弧と言った不安定性を回路的に解決することが望まれていた。さらに JFET は大きなゲート電流に起因してドライブ回路設計の自由度に制限が生じるため、早期に MOSFET 技術の確立が望まれた。このように、SiC パワースwitching素子としての特性に対する期待は大きくても、その性能を引き出す回路技術、それらに基づく変換器作製技術を含めた SiC パワーエレクトロニクスとしての立ち上げ環境は未熟であった。

未熟な状況の一つは、本プロジェクト開始後に耐圧 1200V 程度の JFET、MOSFET がテスト的に市販され始めたが、Si デバイスのレベルから比べると本来の SiC デバイスとしての性能は十分発揮されていなく、まさに端緒についた段階と言える。僅かに試作されたデバイスもその入手コストは Si デバイスに比較して桁違いに高く、SiC 特性を評価する回路研究や、変換器までを含めた研究を行える環境は限られていた。SiC パワーエレクトロニクスへの産業界からは関心は高かったものの、基礎的な成果の公表は少なかった。一方、外販を含めた Si パワー半導体を扱う企業では、内製の SiC デバイス開発を進め、応用研究開発を行っていたが、多くの企業からはシステムへの組み込みと言った競争領域の研究成果の公表がほとんどなく、変換器を中心とする SiC パワーエレクトロニクスの実体の把握、応用への課題抽出、市場の開拓、普及に対する総合的戦略を産学官全体で立て難い状況にあった。

そのため、シーズ研究の成果と市場が受け入れる評価ポイントとのマッチングを目指した研究開発の必要性への要望機運が高まってきた。市場の期待は、SiC 材料特性(Figure of Merit)から想定並びに期待されるパワーエレクトロニクスとしての特性をデバイス、回路レベルで極限まで引き出し、変換器を構成することで、SiC パワーエレクトロニクスならではの付加価値を示し、更には信頼性の高い使いこなせる技術にまで高める事である。

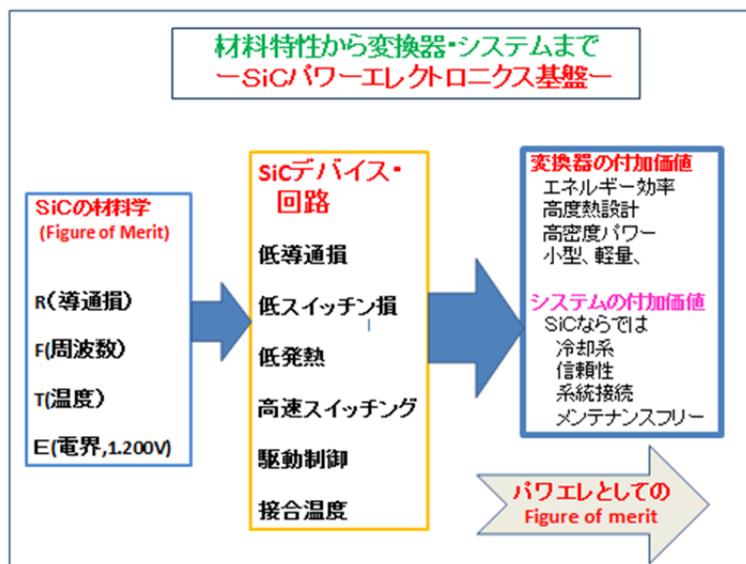


図 I .1.1-1 SiC材料科学から想定されるパワーエレクトロニクスの極限特性を引き出すための各研究領域の開発課題例。

図 I .1.1-1 には現在期待される SiC パワーエレクトロニクスとしての開発課題を整理した。(i)材料科学から想定される SiC パワーエレクトロニクスの Figure of Merit, (ii)デバイスとプロセス技術、(iii)回路技術、(iv)変換器、(v)システム・応用と言う各領域は主たる学会活動のカバーする範囲に倣ったものである。しかし、SiC パワーエレクトロニクスの実現は、既存の回路図上の Si デバイスを単純に置き換えても性能を十分引き出せないことは想像に難しくなく、たとえ動作しても特性の最適化には実際に組み上げた様々な回路で工夫が不可欠である。例えば、SiC 固有の高速スイッチング特性を生かすためには、付随してサージ電圧の発生や電磁干渉ノイズ(EMI)などの利用上の問題を引き起こす可能性も高い。そのため、回路の浮遊容量をいかに低く抑えるかと言った Si パワーエレクトロニクス用では満足出来ない回路技術への対策や、周辺部品開発、実装技術の研究が不可欠であることが明らかになってきた。当然であるが、このような情報は SiC デバイスや回路を扱った研究者集団によって初めてもたらされ、それに対してユーザ側では「言われてみれば納得」と言う状況で、簡単に Si デバイスへの代替へと進める

訳でもない。回路、変換器への取り組むべき課題や、デバイスへのフィードバックの必要性などが具体的に明らかになり、現在は各分野の中で学会活動としてや産学連携の下で応用分野も巻き込んで研究開発が鋭意進められている。技術的な問題のみならず市場からの熱い期待は、さらに踏み込んで、「変換器を中心としたユーザ側が苦勞なく使える SiC パワーエレクトロニクス技術」としての完成度への要望である。その意味で図 I.1.1-2 に示す、ウエハ、デバイス研究と言ったシーズ開拓に基づく上流からの R&D に加え、応用側から見たシステム、変換器、実装、回路モジュール、デバイスへと行ったユーザ(下流)から遡る発想や視点、議論に裏付けられた R&D が必要である。言い換えれば、それぞれの専門分野間の連携を強く意識してこのプロジェクトは立案され、実施体制のマネジメントがなされた。

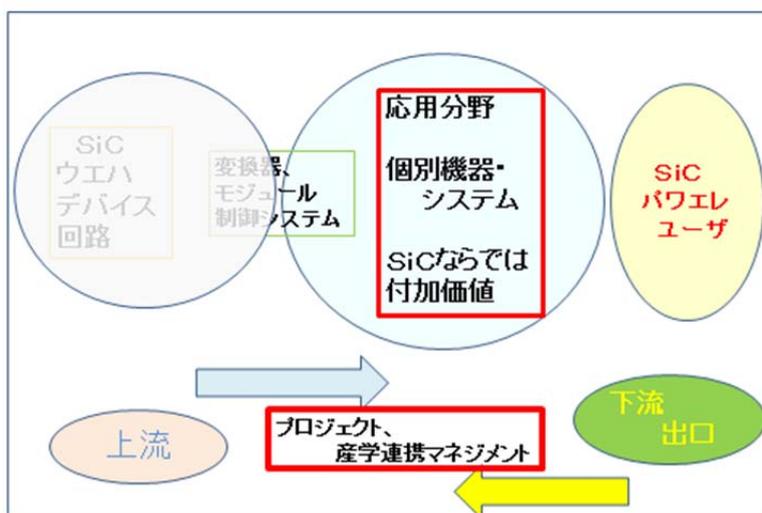


図 I.1.1-2 次世代パワエレクトロニクスプロジェクトの研究展開、実用化、市場開拓を目指したマネジメントにおける、上流、下流(出口)との双方向視点。

(4)SiC パワーエレクトロニクスの普及を目指して

かつて、Si インバータを組み込んだハイエンド製品は高価格であった。にもかかわらず、エネルギー利用効率向上と、インバータの低価格化への努力が実り、現在は我が国の白物家電から電鉄などの産業分野まで高い普及率でインバータ化が進んでいる。これは、インバータ導入の指標一つである省エネ効果が「ユーザの利点」として費用対効果のレベルで分かり易く理解され、インバータの普及に繋がり民生機器で世界に先駆けた高い普及率を我が国は達成している。

本プロジェクトの推進目的には、(1)「ユーザの利益」に繋がる Si パワーエレクトロニクスを超えたエネルギー高効率利用を達成する先端研究は当然であるが、(2)「グリーンイノベーション」と言う省エネルギーによる温暖化ガス抑制として「社会の利益」

を引き出すことが要請されて居る。図 I.1.1-3 にユーザベネフィットとソーシャルベネフィットの関係を示した。個別機器への SiC パワーエレクトロニクス導入は、省エネを通して温室効果ガス低減に寄与する小さな第一歩であるが、グローバルな温室効果ガス削減への貢献は、市場での SiC パワーエレクトロニクスの普及率向上と言う大きな課題への挑戦が必要である。このプロジェクトの成果は将来ソーシャルベネフィットへを引き出す役割を担う。

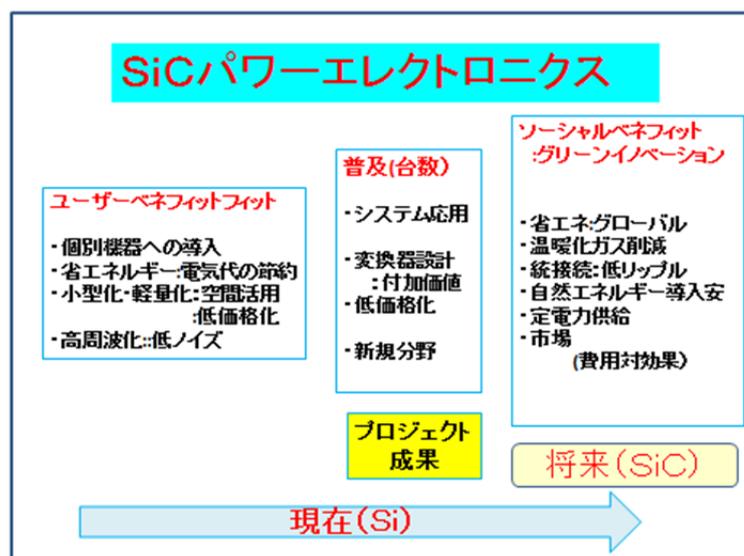


図 I.1.1-3 SiCの個別機器への導入によりもたらされる利益(ユーザベネフィット)から、次の段階としての実用化、応用分野開拓と普及の促進技術がもたらすグローバルな社会的利益(ソーシャルベネフィット)

SiC パワーエレクトロニクスの Figure of Merit を描き、まず個別機器への導入でその実力と利点を確認することがスタートラインである。プロジェクト開始当時の状況を簡単にまとめると、(i)パワーデバイス作製可能な良質なウエハの不足、(ii)高品質デバイスの入手困難さと桁違いの高価格、(iii)変換器作製など応用開発に繋がる研究開発はごく限られた研究環境でしか実施出来ず、SiC パワーエレクトロニクスの実の姿への理解は進んでなかった。つまり、「良さそうだけど高い」と言う状況では優れた研究開発成果も費用対効果から市場での受け入れ障壁は高い。市場への普及には、性能は当然として費用対効果が重要な因子の一つで有る。ところで、価格を決める要因は複雑で研究現場で簡単に議論できるものではないが、各プロセス段階で歩留まり向上と言う流れが有り、ウエハとデバイスについては各種欠陥による信頼性の相関は古くて新しいテーマで、主として、高品質ウエハの大口径化、第2世代高耐圧用エピとデバイス開発は新材料プロジェクトで研が展開がなされている。

本プロジェクトは、図 I.1.1-4 に示すように、デバイスから応用への分野に重点を置

き、SiC パワーエレクトロニクスを使いこなす回路技術、変換器開発、システム応用におけるトータルなエネルギー効率の追求などを特色として、ユーザの求める付加価値を高めることで普及への貢献に重点を置いている。

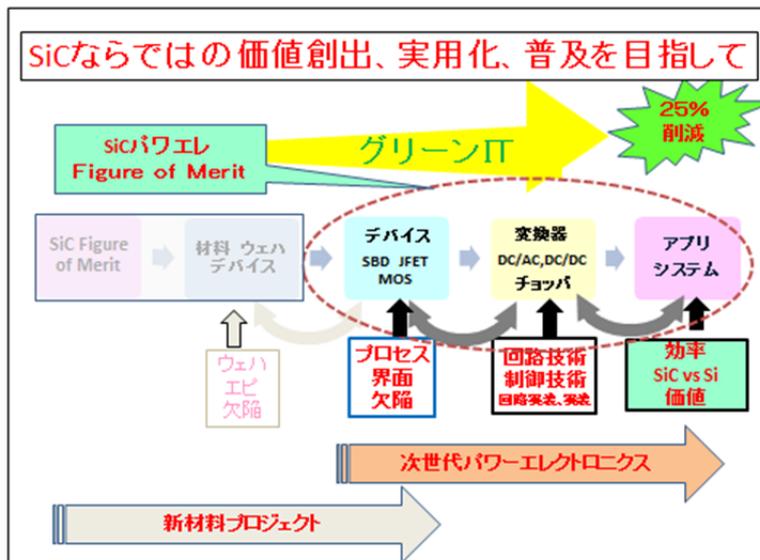


図 I .1.1-4 プロジェクトの展開における研究領域の重点と新材料プロジェクトと次世代パワーエレクトロニクスプロジェクトの連携関係。

プロジェクト研究展開は、一般には図 I .1.1-4 に示すような、SiC ウェハ、エピタキシャル膜、デバイス、回路、変換器と言った要素技術開発とその成果の受け渡しと積み上げの伝統的な研究開発のリニアモデルも有効であり必要であった。SiC の優れた特性を生かした応用分野に対して市場を開拓するためには、変換器やシステムに組み込んだパワーエレクトロニクスとしての特色や SiC ならではの付加価値をもつ特性のアピールが不可欠である。そのため、本プロジェクトでは第一世代(<1200V)に分類される耐圧領域を対象に、主としてデバイス以降の回路、モジュール、変換器、それを組み込んだシステム並びに各開発段階の連携に重点を置いて研究課題設定を行った。なお、21年度のはウェハとエピにともなる欠陥の評価、低オン抵抗を目指した MOSFET の開発も進め、図 I .1.1-4 の左の部分を担当した。このプロジェクトのカバーする耐圧領域は Si パワーエレクトロニクスの市場として高いシェアを持つため、Si 分野の速い技術進歩動向に対しても適切な情報収集し、市場育成の観点から SiC パワーエレクトロニクスの優位性目指すこと、ユーザの動向にも常に配慮を行った。

SiC パワーエレクトロニクスとしての最先端技術開発に重点を置きつつ、社会から省エネに対する要請の高いシステム事例として、データセンタのグリーン化に基盤を置いた。後述するようにデータセンタのエネルギー効率向上は社会的問題として重視され始

め様々な取り組みがなされている。温暖化ガス低減へに SiC をIT機器電源への応用はインパクトが大きいというに、世界中で使われる製品の数が大きく SiC の普及と言う点でも良い課題である。具体的には、

1. データセンタ用サーバ電源への SiC 導入による高効率化
2. データセンタで使う太陽光発電用パワーコンディショナへの SiC 導入による高効率化
3. 各種応用に必要な高パワー密度 SiC インバータ他変換器の設計基盤技術確立

の3テーマを取り上げた。

上記3テーマは実際の展開の中では、PFC回路、インバータのみならずチョップ回路、DC/DC コンバータ、パワーコンディショナと言った各種変換器開発、それらの高性能化に必要な高周波化とリアクトル、高温実装技術、電磁干渉問題など多岐にわたる SiC パワーエレクトロニクスに付随する課題を取り上げ、パワーエレクトロニクスとして SiC デバイスを使いこなすシステムの問題や変換器設計基盤の確立に努めた。

また、プロジェクトで得られる成果はいずれデータセンタの省エネの見地から、直流配電や UPS で使われるエネルギー高効率変換器技術革新へ貢献をするものと期待され、SiC パワーエレクトロニクスの特色の積極的アピールが可能である。さらに、本研究の範囲外であるが、パワーエレクトロニクスシステムは多くの場合系統との連携が不可欠である。PFC は無効電力削減や太陽光発電電力を系統に戻す上ではリップル低減など、系統への影響や擾乱がより少ないことが不可欠で、SiC パワーエレクトロニクスが大きな利点をもたらす。

(5) プロジェクトの社会的背景：グリーンイノベーション

本プロジェクトは、平成 20 年度に発足したエネルギーイノベーションと IT イノベーションプログラムの枠組みの中で立案された。IT イノベーションプログラムのなかでグリーンITが提唱された理由を簡単に整理しておく。情報機器のもたらす利便性や高度社会の実現は、「人、コト、モノ」に関わるエネルギーの高効率な利用をもたらすので、” Green by IT” と言われている。一方、IT の駆使は大量の電力消費を伴う。以前は、(i)機器コストそのものが高時代、次いで(ii)インフラが高時代の課題を技術革新で乗り越えた結果、現在は(iii)データセンタでの運用コストが大きな問題になり、中でも、電力代が運営上の大きな問題になっている。また、社会問題としても浮かび上がってきた。ITに関わる電力は日米でほぼ同様な傾向がみられ、総電力に対し現在はほぼ数%を占める程度であるが、モバイル通信の普及、ユビキタスIT化、高精細画像、動画、更には M2M(Machine-to-Management)で通信量はうなぎ上りに増えると予想されてきた。実際ここしばらくの電力使用量を分析するとこの傾向傾向が裏付けられている。また、(i)情報機器は 24 時間トラフィックの流れ、変動に対して備えるという常時性が通常の

パワーエレクトロニクス機器とは大きく異なる性格を持つ。(ii)システムの電力消費構成要素から、大きな負荷変動が発生しても連動して大幅にシステムの電力消費が変わらない(演算素子の消費電力は大きく変わる)、(iii)これらの機器の消費電力は概ねデータセンタ内での発熱となり、それを冷却する空調システムが図4に示したように大幅な電力を消費する。そのため、(iv)トラフィックの増加に対応したインフラの拡充、増設トレンドにより、IT分野における電力消費は総需要に対し、いずれ2桁代になると指摘され、同時に温暖化ガスの排出セクターとしてのグリーンイノベーションへの取り組み義務が課せられてきた。すなわち、個別機器のエネルギー有効利用達成だけでなく、情報化社会に必要な「社会インフラ」のエネルギー高効率化が持続的発展の視点からの課題である。

アメリカの事例であるが、データセンタでの電力消費の増加傾向について図 I.1.1-5 に示す。2025年には、約1000億 kWh/年になると予想される。電力消費の内訳は約35%が主演算機器であるCPUが占め、次いで約20%がサーバ電源で消費されている。IT機器の電力消費はほとんどセンタ内での発熱に繋がり、図4で示される様にほぼ同量の空調消費電力になるため、機器の省エネはデータセンタにとって2重の省エネに繋がる。

この問題に対して、Si半導体が支えるCPUなどの低消費電力化、回路、システム技術の進歩による省エネルギーへの取り組みがなされ、「グリーンIT推進協議会」などの活動が貢献している。データセンタ全体の消費電力の問題に対しては、プロジェクト立案前には米国議会から省エネへの取り組みの勧告がなされた。このようなITに関わる電力消費問題の取り組みが”Green of IT”と言われ、エネルギー高効率利用の課題に対するSiCの取り組みは時宜を得たものである。

本プロジェクトでは、SiCパワーエレクトロニクスの出番として、データセンタで大量に使われるサーバ電源の高効率化を目指した。また、データセンタで消費する電力のグリーン化に対して、本プロジェクトでは、自然エネルギーの導入の促進のために、太陽光発電システムに使われるパワーコンディショナの高効率化を追究する。

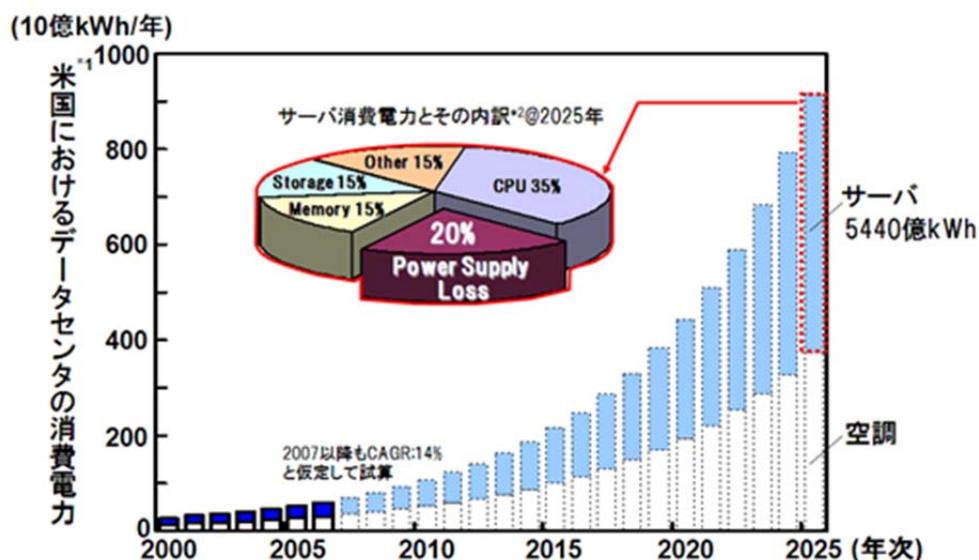


図 I .1.1-5 米国のデータセンタの消費電力とその内訳、並びに、空調設備の電力消費に関する、実績と 2025 年までの予測データ。サーバ電力のうち、CPUは 35%に対して、他の部分が 65%、又電源が 20%の消費割合を占める。これら機器がデータセンタ内で熱源になるため、サーバの消費電力に匹敵する電力が空調で消費される。

(6)市場での付加価値を目指した SiC パワーエレクトロニクス

前プロジェクトではインバータなどの変換器の効率向や小型化の特性を引き出した。今後は多様な応用、しかも普及への展開を念頭に入れると、各種高性能変換器開発に加え、組み込んだ製品の使いやすさや高付加価値への展開が必要である。一方、普及や信頼性と言う視点から配慮すべき点として、SiC パワーエレクトロニクスにはすでに 30 年以上の歴史が有り、コスト、信頼性、多様な用途への品揃え、使いこなしといった産業界の要請を取り込んで工学知を結集させて対応してきた歴史的蓄積を基に、盤石な産業基盤を構築している。

これに対して SiC パワーエレクトロニクスは省エネルギーの視点を武器に切り込んできたが、“SiC ならではの”の特色のみならず、産業界からは SiC を組み込んだ製品の強い競争力という点で導入に対する費用対効果の問題が強い関心事である。

本プロジェクトでは、第 1 研究センターから第 3 研究センターまでの 3 拠点で主としてデバイス以降の下流に向けて、システム応用も含む研究展開を行った。

1. SiCの特性を引き出す、信頼性の高い低損失スイッチングデバイスの開発(第1、2、3研究センター)、
2. 開発したデバイス並びに市販のデバイス特性を引き出す回路技術、モジュール、変換器作製(第1、2、3研究センター)

3. システムでのSiCパワーエレクトロニクスの高効率化(第1, 2研究センター)
4. 各種変換器(DC/AC、DC/DC、PFCなど)高効率化、高機能化(第1、2、3研究センター)
5. 高温実装技術と高パワー密度変換器(第3研究センター)
6. SiCパワーエレクトロニクスの高周波化に伴うEMI(第3研究センター)

を追究する。

図 I.1.1-5 に SiC パワーエレクトロニクスのもたらす付加価値について示した。SiC デバイスの低損失性はエネルギー利用効率向上に直ちにつながる。また、低損失性は発熱低減で、変換器の熱設計による部品配列の高密度化、抜熱がやり易くなるため、小型化をもたらす。小型化は用いる材料を減らし、システムサイドに立てば、電鉄などで使われる大型変換器などの小型化の場合は取り外しや点検のメンテナンスを容易にし、手間などの間接経費節減にもつながる。熱の問題をシステムサイドから追究すれば冷却系の簡略化にも繋がり、更に SiC の高温特性を生かすことで冷却の高効率化から、さらなる軽量化・小型化の可能性もある。周波数の問題は、応用によって必要とする範囲の最適化の設計が必要で、例えばモータを駆動するインバータでは 10kHz 程度で十分であるが、電源では利用する周波数範囲も広く変換器の周辺部品であるキャパシタ、リアクトルを小さくするので、電源体積の小型化をもたらす、併せて、周辺部品の低価格化に繋がる。例えば、絶縁トランスを含むコンバータ(DC/DC 変換器)では、周波数に応じたトランスの小型化が達成出来るため応用サイドから期待が大きい。

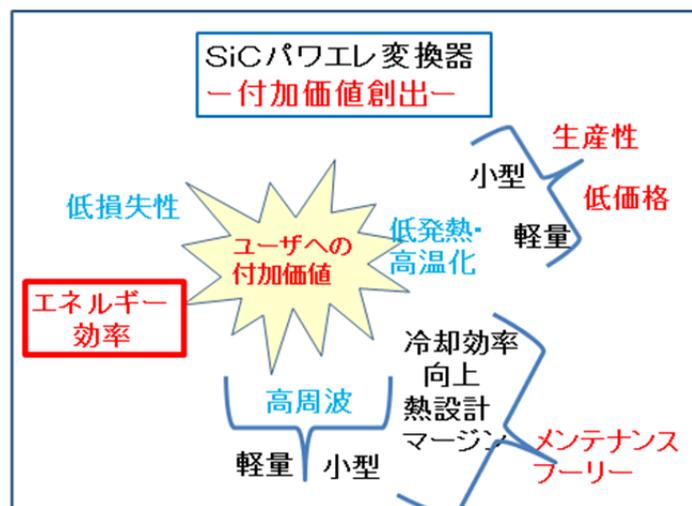


図 I.1.1-6 SiCのFigure of Merit(青色) から予見と期待されるSiCパワーエレクトロニクス応用による “SiCならではの” のシステムレベルまで含めたの付加価値(黒)と市場からの要請(赤)。

本プロジェクトでは、第1、2研究センターでは主としてSiパワーエレクトロニクスで稼働するシステム機器にSiCパワーエレクトロニクスを組み込んだの効率向上の追究を行なった。導入に当たり付加価値が認められれば、サーバ電源やパワーコンディショナの将来の普及台数の数からグローバルな省エネルギー、グリーンイノベーションへの貢献は明らかである。第3研究センターでは各種変換器の小型化を目標とし、接合温度(Tj)、高周波化に対する回路パラメータ、熱設計の最適化の下にエネルギーパワー密度(kW/ℓ)の指標を追究しながら、多様な応用システムに組み込む場合の付加価値を満足する必要な設計指針を明らかにした。

Si素子をSiCに置き換えることでパワーエレクトロニクスに対する様々な優位性を示してきたが、それだけでは市場拡大への期待は望めない。従来技術には信頼性などの計り知れない基盤が長年確立されており、デバイスの一部置き換えによる思わぬ悪影響が出ることは長年築いた製品実績に対して産業界にとっては好ましくない。その克服にはSiCならではの特色ある特性の引き出しとそれを活用した応用分野の開拓、ユーザ側の費用対効果と言う大きな課題への挑戦が必要である。そのためには、効率向上は当然の出発点として、小型・軽量化、信頼性とメンテナンス簡素化、冷却系の簡素化と言ったパワエレとしての付加価値の追究とそのような仕様に向けた設計基盤の確立、使いこなす技術、費用対効果などへの挑戦が本プロジェクトの普及に対する潜在的な目標である。

以上から、本プロジェクトをNEDOが実施することが適切である理由をまとめると、次の通りとなる。

政策的には、我が国の国家的課題に対する取り組みであって、SiCパワーエレクトロニクスは、資源枯渇、地球温暖化問題解決への大きな貢献が期待されている。特に、近年急増しているIT産業の電力消費に対して何らかの対策が求められているが、パワーエレクトロニクスの技術開発は、それに対して直接的な効果をもたらすものである。また、エネルギー有効利用の政策のもとで、SiCパワーエレクトロニクスは自然エネルギーの有効利用にむけても貢献できる。近くZB(ゼタバイト)オーダーに及ぶ世界の情報容量を蓄積し続けるデータセンタに用いられるIT電源は、今後も増加の一途を辿ることは不可避であり、IT電源用SiCパワーエレクトロニクスの省エネルギー効果は世界規模で絶大である。自然エネルギーの代表格である太陽光発電用パワーコンディショナに用いられるSiCパワーエレクトロニクスも社会インフラとして直接的な寄与をする。また電力変換器基盤技術の確立は、SiCパワーエレクトロニクスの応用分野に対する汎用的な変換器設計技術につながる。

次に、電子デバイス・電子機器産業は我が国の基幹産業であり、SiCパワーエレクトロニクス分野の技術開発の推進は、当該産業分野の国際競争力向上に大きな効果を発揮すると期待されている。現状、パワエレ半導体デバイス関連の国内企業群が国際的に大

きな存在感を有する状況で、本プロジェクトの成果は、あらゆる電力利用機器の商品性拡大に貢献するため、既存の電機産業以外の産業競争力強化にも大きな波及効果が期待される。

一方、SiC パワーエレクトロニクスの本格事業化には、コストと信頼性という2大リスク要因を取り除き、スムーズに研究開発と産業化の間に存在する「死の谷」を越えるための工夫が必要である。本プロジェクトで対象とするパワーエレクトロニクス機器のように、スイッチングデバイスのみならずリアクトル・キャパシタ・浮遊容量を最少にする配線基板、高温実装等、数多くの要素部品、技術のすり合せを要するシステムでは、さまざまな部品のまったく新しいサプライチェーンを確立する必要がある。需要側・供給側の利害に既存の関係が影響しがちな個別企業の活動に任せず、事業化に向けたトリガーとしての公的資金の投入は有効と考えられる。

さらに、国外では、CREE 社が米国の国家プロジェクト DARPA 等の支援を受けて技術力を高めている。また独 Infineon 社は低耐圧 SBD を起点に小規模ながらデバイス事業を充実しつつある。このような国外状況から技術面で我が国の優位性を維持・向上するだけでなく、国内の関心を誘起し、電機産業にとどまらず多種にわたる国内関連企業の SiC パワーエレクトロニクスの研究開発投資への意欲を不断に高めていくことが重要である。

以上のような理由から、本技術開発は、NEDO が関与して各企業等の連携のもとに進めることの意義が大きいものとする。

なお、経済産業省によって平成 21 年に策定された同省「ナノテク・部材イノベーションプログラム」の中では、「あらゆる分野に対して高度化あるいは不連続な革新(ジャンプアップ)をもたらすナノテクノロジー及び革新的部材技術を確立するとともに、その実用化や市場化を促進することで、我が国産業の国際競争力の維持・強化や解決困難な社会的課題の克服等を可能とする」ことを目的に取り組むと規定されている。また、「IT イノベーションプログラム」の中では、「情報化の進展に伴うエネルギー消費量の増大等の課題にも考慮しつつ、その基盤となる情報通信機器・デバイス等の情報通信技術を開発し、実社会への利用を促進する」ことを目的に取り組むと規定されている。このように、本技術開発は同省の政策にも合致した内容となっている。

1.2 実施の効果(費用対効果)

(1)市場創出効果

既に、パワーエレクトロニクス機器はさまざまな電力応用分野で使われている。図 I.1.2-1 に示すように、情報家電の電源回路や照明・冷蔵庫・家庭用エアコンのインバータといった家電分野から、データセンタや一般オフィスのサーバ電源・空調機器などの事業用機器、各種製造業・農業・鉱業等で使われる産業動力機器用のインバータ、電車・エレベータ等の輸送機器、太陽光発電や風力発電など再生可能エネルギーのパワー

コンディショナなどで利用されている。さらに、HV (Hybrid Vehicle)・PHV(Plug-in Hybrid Vehicle)・EV(Electric Vehicle)といった巨大市場も見込まれ、カバーする範囲が拡大しつつある。さらに、SiC の潜在能力を極限まで引き出した高耐圧デバイスの実現により、送配電系統への適用も可能になると言われている。SiC パワーデバイス技術の確立によって、これらすべての分野のエネルギー利用効率の向上が期待される。コスト・信頼性・耐圧などの課題が解決されれば、これまでの Si デバイスのほとんどが置き換えられる可能性が有る。

パワー半導体の世界市場規模は 2010 年に 142 億米ドル(80 円/USD 換算で 1 兆円超)、2020 年には 400 億米ドル(80 円/USD 換算で 3 兆円超)に成長するとの予測がある[1]。

SiC パワー半導体は、2001 年に市販が開始された SiC-SBD が、ノート PC 用の AC アダプタの小型化や、サーバ用電源の高効率化などに貢献していると言われている。SiC-FET については、小容量のデバイスが市販され始めているが、Si デバイスに比べて高価であることから、現時点では実質的な市場は形成されていないとみられる。

パワー半導体市場全体に占める SiC デバイスの割合は、2010 年には約 0.5%と小さいが、今後、年率 30~40%と Si 半導体を大幅にしのぐ高い成長率が見込まれる。すでに、ダイオードの分野は年率 50%以上の勢いで生産を増やし、特に Si-IGBT とのハイブリッド技術を市場に送り出している。将来、スイッチングデバイスも含めて全パワーエレクトロニクス半導体市場の 5 割程度が SiC デバイスによって占められるとすれば、2020

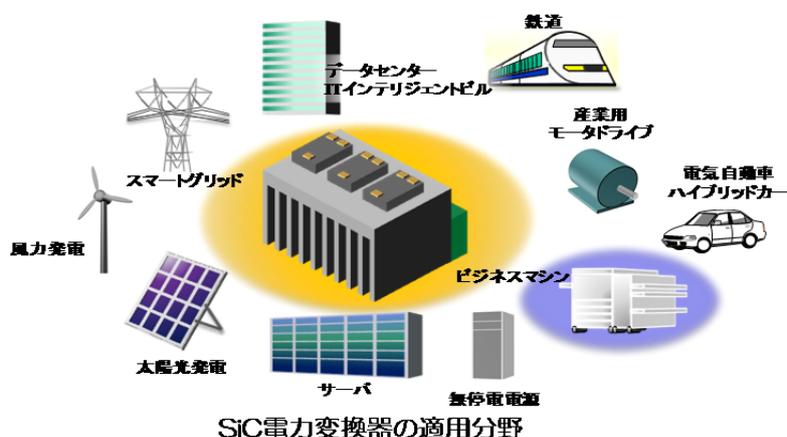


図 I .1.2-1 SiC パワーエレクトロニクスの適用が期待される分野の例

年までに SiC パワー半導体デバイスによって1兆円規模の市場が形成されるものと期待される。

このような予測通りに SiC デバイス市場が成長するためには、デバイスの低価格化が必須である。SiC ウエハの大口径は一枚あたりのチップ数の観点からも、プロセス装置

の入手の面からも、本格普及の最低条件と言われている。大口径 6 インチの高品質 SiC ウェハの量産化技術の確立を目標の一つとして、NEDO は「低炭素社会を実現する新材料パワー半導体プロジェクト」を、平成 22 年度から実施中である。

SiC パワー半導体デバイスを搭載する機器の市場は、デバイス市場に対して桁違いに大きい。平成 22 年度の我が国の電子部品・電気機器・情報機器産業の製品出荷額は 44 兆円であり、関係する企業の従業員数は合計 115 万人に上る[2]。これらの分野すべてに、SiC パワーエレクトロニクスが貢献する可能性がある。SiC パワーエレクトロニクス機器は、既存の製品分野の Si 半導体を置き換えるのに加えて、次世代自動車、太陽光発電用(PV)パワーコンディショナー等、新用途への展開が期待されており、多くの新製品分野に対する貢献が望まれている。本事業によって、参画企業群の技術開発が推進されて魅力ある製品創出が可能となり、SiC デバイス応用機器の市場が順調に成長するきっかけになることが期待できる。

本事業の事業規模は、表 I.1.2-1 の通り、平成 21 年度の事業開始から最終年度の平成 24 年度の4年間で 21 億 5 千万円強、となっている。このような大規模なプロジェクトであるが、SiC パワーエレクトロニクスとして、変換器の開発、SiC ならではの応用、普及、市場の開拓は、低炭素社会の実現など社会目的の重要性に照らして妥当と考えている。

表 I.1.2-1 本プロジェクトの事業規模(NEDO負担額)年度推移。平成 21 年度～23 年度は実績額、24 年度は予算額。単位：百万円。

会計・勘定	H21fy	H22fy	H23fy	H24fy	総額
特別会計	920	492	219	115	1746
加速予算	50	146	75	140	411
総予算額	970	638	294	255	2157
うち委託	970	638	244	105	2057
うち助成	-	-	-	-	-
うち共同研究 (負担率 1/2)			50	50	100

加速実績は、下記のとおりである

平成 21 年度

デバイスシミュレータ導入によるデバイス開発加速(FUPET 第 2 研究センター(現三菱電機)、平成 22 年 2 月、50 百万円)

平成 22 年度

消耗品費等の増額による電力変換器パワー密度増大(FUPET 第 3 研究センター(現

FUPET 研究センター)、平成 22 年 6 月、66 百万円)

洗浄技術装置導入によりデバイス開発加速(第1センター(現日立製作所)、平成 22 年 11 月、80 百万円)

平成 23 年度

消耗品費等の増額による電力変換器のEMIノイズ解決(FUPET 研究センター、平成 23 年 6 月、75 百万円)

平成 24 年度

消耗品費等の増額による電力変換器パワー密度増大(FUPET 研究センター、平成 24 年 4 月、140 百万円)

(2)省エネルギー効果

Si インバータを SiC インバータに置き換えることによって、70%の損失低減が可能である[4]。この低減率を仮定し、EV・PHV・HV、IT 機器関連、産業用動力機器のインバータ化促進の3種類を試算すると、すべてが Si デバイスであった場合に比べて、図 I.1.2-2 に示す省エネ効果が予測されている[5]。2030 年にパワー半導体のうち 80～100%を SiC デバイスが占めれば、我が国だけで原油換算年間 5000 万 kL 以上の高い省エネ効果を示す。この省エネ効果を CO₂ 排出量に換算すると 10 百万 t/年となり、我が国全体の CO₂ 排出量の 1%程度に相当する。

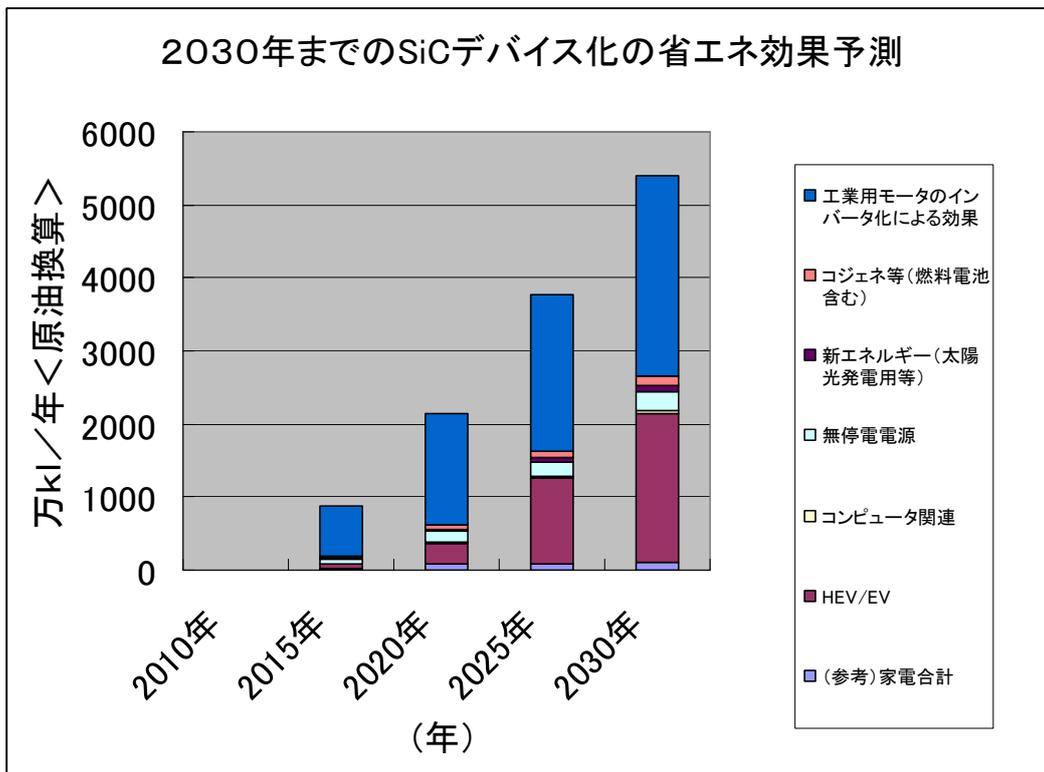


図 I.1.2-2 我が国のインバータ SiC 化による省エネ効果予測[5]

2. 事業の背景・目的・位置づけ

2.1 事業の背景

(1)産業的背景

SiC ウエハメーカー

現時点では、SiC デバイスの市場が限定的であるため、SiC ウエハの世界市場規模は約 50 億円程度である。このうち米国 CREE 社が 50%以上のシェアを占め、II-VI 社(米国)・SiCrystal(独)と続く。我が国では、唯一新日鐵が系列会社の新日鐵マテリアルズ(株)を通して市販を開始しているが、シェアは小さく、約 2%に過ぎない(2009 年)。このほか国内メーカーとしては、昭和電工が SiC エピタキシャル膜成長事業を行っている。

このような状況から、我が国において、大口径・高品質 SiC ウエハを安定的に供給する体制を整えることが、ウエハ以降のデバイスメーカー・機器メーカーの製品開発および製造基盤確立に不可欠であると考えられる。そのために、大口径・高品質の SiC ウエハ量産技術の確立を主目標とする「低炭素社会を実現する新材料パワー半導体プロジェクト」が平成 22 年度から発足している。

デバイスメーカー

現在使用されているパワーデバイスのほとんどは Si デバイスであるが、その世界市場における日本メーカーのシェアは 2009 年に 30%と、存在感を有している。しかし、パワーデバイス全体の世界市場シェア上位 5 社は国外企業(STMicroelectronics(伊・仏)、Texas Instruments (米)、Infineon Technologies(独)、Fairchild Semiconductor (米)、Vishay (米))に占められている。国内企業では、6 位に東芝、8 位に三菱電機、12 位にルネサステクノロジ、14 位に富士電機、16 位にロームの 5 社が位置している。これら国内上位 5 社の占めるシェアは 15%であるものの、パワー半導体デバイス市場は、CPU やメモリのような国際的寡占状態ではなく、世界的にも各企業が数%ずつのシェアを分け合っている。Si デバイスは、IGBT や GTO と言ったパワー半導体が製造されてきたが、最近 IGBT の低耐圧向け製品は発展途上国でも開発され始め、早晩価格競争に巻き込まれる恐れもある。このような市場構成の中、今後の企業戦略によっては勢力図が大きく変化する可能性もあり SiC パワー半導体の市場投入はそのきっかけとなりうる。それゆえ回路技術や、変換器、その制御を含めてモジュールをブラックボックス化することで SiC ならではの応用や製造技術に対する付加価値を高める研究開発の必要性を戦略的に考える時期である。

我が国パワーデバイス企業の世界シェアは長期的には漸減傾向にあり、メモリや液晶パネルのようなシェア低下を避けるために舵を切る岐路にある。各社とも、その切り札として SiC デバイスを見ている。

プロジェクト開始時点である 2008 年の SiC デバイスの各社事業化状況は次のとおりである。Siemens 系の Infineon Technologies 社が 2001 年に SiC-SBD を製品化した後、Si デバイスに比べれば事業規模は小さいものの、着実に事業を進めている。このほか、

STMicroelectronics 社、CREE 社が SBD 中心に事業を行っている。これらの耐圧は 600 ~1200V 級であり民生用(AC アダプター、LED バックライト電源、サーバ電源等)が主用途である。

プロジェクト発足時点に市場投入され始めた JFET は SiCED, Semisouth が先行して販売してきたが、ドライブ電流が大きいため用途は限定的とみられる。また、最近になって、米国 Semisouth 社はノーマリオフの JFET の生産を中止しノーマリオンにのみ業務を集約し始め、デバイスユーザ側にとっては厳しい環境となっている。更には会社経営状況からデバイスの製造さえも危ぶまれている。一方、国内では、プロジェクト実施中に、ローム(株)が 1200V・20A 級の MOSFET 量産開始を 2010 年 12 月にアナウンスした。三菱電機は 2012 年に 1200V 級の MOSFET を適用したパワーモジュールを発表している。富士電機も 2012 年に SiC-SBD を使用した産業用インバータを報道発表した。国外では CREE 社が耐圧 1200V 級の MOSFET を 2011 年 1 月に発表し、次世代デバイスの発表も最近行われている。このように、1200V 級のデバイスに関しては、我が国においてもいくつかの企業が事業化に取り組みつつあり、デバイス製造の歩留まり向上・信頼性向上・コスト低減を加速する必要がある。

周辺部品メーカー

SiC パワーエレクトロニクスはデバイスの動作原理や回路において基本的な差はないものの、材料固有の周波数特性において差異が顕著である。応用に合わせて、その特性を引き出すためには高周波回路を動作させる周辺デバイスの開発も追随しなければならない。これまで未着手領域である材料、部品に関して一部のメーカーでキャパシタやリアクトルの研究の端緒についたばかりである。更に部品としての開発は今後 SiC パワーエレクトロニクス分野との連携で進める必要がある。

また、SiC の特性の一つに、高温で動作可能である。過大な負荷に対する接合温度の許容値は、Si パワーデバイスに比べると高く、200°C以上に及ぶが、この特性を活用するためにはデバイス実装技術の開発が必要である。実装材料そのものの耐高温特性の開発はもちろんであるが、パワーエレクトロニクス特有幅広い温度範囲でのヒートサイクルによる、変換器内の異種材料の組み合わせの伸び縮み、材料の変質・変形、大電流の通電などの問題や影響を調べることで、信頼性確立のためにそのソリューションが求められる。

技術的基盤

SiC デバイスに関して、欧州・米国・日本のそれぞれで、長期間にわたり研究開発が進められてきた。日本でも、SiC の基礎研究が先駆的に行われてきた。

国際的なコミュニティとして、交互に隔年で開催される” International Conference on Silicon Carbide and Related Materials(ICSCRM)” と ” European Conference on Silicon

Carbide and Related Materials(ECSCRM)”があるが、報告件数のうち1/3程度が我が国の機関によるもので、存在感を示している。

我が国では、本プロジェクト以前より NEDO を中心に数次の国家プロジェクトを行ってきており、前記の成果にも、国家プロジェクトが大きく貢献している。直近では、すでに述べたように NEDO プロジェクト「パワーエレクトロニクスインバータ基盤技術開発」(2006 年～2008 年)において、SiC ウェハ品質向上から電源機器設計技術に至る広い範囲の技術高度化を行い、Si-SBD と Si-MOSFET を使用したインバータを試作し、Si-IGBT の場合に比べて電力損失を 70%も低減できることを実証した。この成果はグリーン IT アワードを受賞し、広く認知されることとなった。

国外でも、SiC デバイス関連の研究開発には多額の公的資金が投入されている。例えば、米国では米国科学財団(NSF)・DARPA・エネルギー省(DOE)が公的資金を投入している。NSF の資金による研究開発プログラムの例としてノースカロライナ州立大学が中心となる FREEDM(the Future Renewable Electric Energy Delivery and Management Systems Center)がある。FREEDM は年間 4 百万 USD 規模の活動で、SiC や GaN などの最先端デバイスを使用したシステム開発などを行っている。DARPA によるプロジェクトには、CREE 社・General Electric 社などが参加しており、空母・潜水艦など小型化が要求される用途への適用を念頭に開発を進めている。現時点では、例えば DOE から、送配電系統への適用(高電圧)を目的として CREE 社が 5.2 百万 USD/3 年の、Genesic Corp.は 2.5 百万 USD/2 年の補助金を得ている。このほか米国では Naval Research Lab.など軍関係の研究機関などが SiC の研究を活発に行っている。

2.2 事業の目的

我が国は、いくつかのキー技術を先行的に開発してきたが、DARPA や DOE の集中投資によって成長した米国に対して、現時点では必ずしも優位に無い。欧州も基盤的技術開発で実績を有し、Infineon の SBD 中心に着実に SiC 事業を展開し、Si-IGBT とのハイブリッド路線を強力に進め、太陽光発電のパワーコンディショナを中心に SBD の販売を年 60%強の勢いで売り上げをのばし始めている。また、最近では、JFET を市場に投入し始めている。このような状況の中で、我が国は、民生分野を中心とする大規模市場の成長に遅れないよう、積極的な展開が必要で、そのためには、(i) SiC パワーエレクトロニクスならではの応用が最初はスタートすると思われるが、価格が有る範囲に収まれば(ii)順次 Si パワーエレクトロニクスの置き換え。(iii)さらなる応用の開拓に対する積極的な戦略が求められる。言わずもがなであるが、前者では SiC パワーエレクトロニクスでは引き出せない特性、後者ではビジネスの拡大に伴う価格、信頼性、使い勝手、品揃えなどのユーザからの観点の厳しい競争である。前者には、SiC パワーエレクトロニクスとしての Figure of merit を引き出し、SiC ならではの特性や付加価値の創出とシステムとしての最適化を図る視点が不可欠である。後者では、製品の中で従来技術を置き換えに見合った費用対

効果が市場からの厳しい評価軸である。

(具体的な課題)

本プロジェクトで取り上げる社会インフラに関連するシステムは、

- (i) データセンタIT機器用高効率電源技術開発
- (ii) 太陽光発電システム用のパワーコンディショナ技術開発
を上げる。

これらの機器は、グリーンIT化の対象の機器として捉えられ、今後のIT化や、自然エネルギーの利用と言う社会からの強い要請に対して規模の拡大が見込まれる。規模市場の成長に伴い、今後のマスの大きな民生品への SiC デバイス搭載は EV・PHV・HV への適用であると見ているが、そのためには、デバイスの高い信頼性と低価格とをさらに両立する必要がある。このためには、高品質かつ大口径なウエハを安定して供給できる体制、デバイスの信頼性に影響するキラー欠陥の除去を実現することが必須要件である。そのため、

- (iii) ウエハの評価と低オン抵抗構造デバイスの研究課題
を上げる。

また、各種応用を想定するうえで、変換器の付加価値を高めるために、kW/l をパラメタにした高密度変換器の基盤技術として、

- (iv) 次世代電力変換器基盤技術開発をとりあげる。

これらの成果が EV、HEV などの新しい分野への本格展開に繋がる SiC デバイス普及のトリガーになると考えている。

本プロジェクトのカバーする範囲を含め、今後の SiC パワーエレクトロニクスの展開を模式的に図 I.2.2-1 に示す。地球温暖化抑制、省エネ等の社会的課題解決に向けた期待と、これまでに蓄積した技術発展の成果が背景となって、今、まさに SiC パワーエレクトロニクス本格展開の入口にさしかかっている。世界規模の電子デバイス関連企業群が駆動母体として存在することが我が国の特長であることは言うまでもない。さらに、使用電圧 100~200V では、データサーバや太陽光発電パワーコンディショナ、エアコンや家電製品など、様々な低耐圧パワーエレクトロニクスの守備範囲が広がっており、それら製品を得意とする装置産業が我が国には豊富である。

このような展望の中で、SiC 関連事業の本格的な成長が可能となるように、SiC の具体的な応用によりシステムの効率向上の実証と今後の応用される機器に対して変換器の設計基盤技術をまとめることをプロジェクトは一つの目的としている。これによって、IT産業の急成長による電力需要急増という課題解決に寄与することが、本プロジェクトの社会的な目的である。

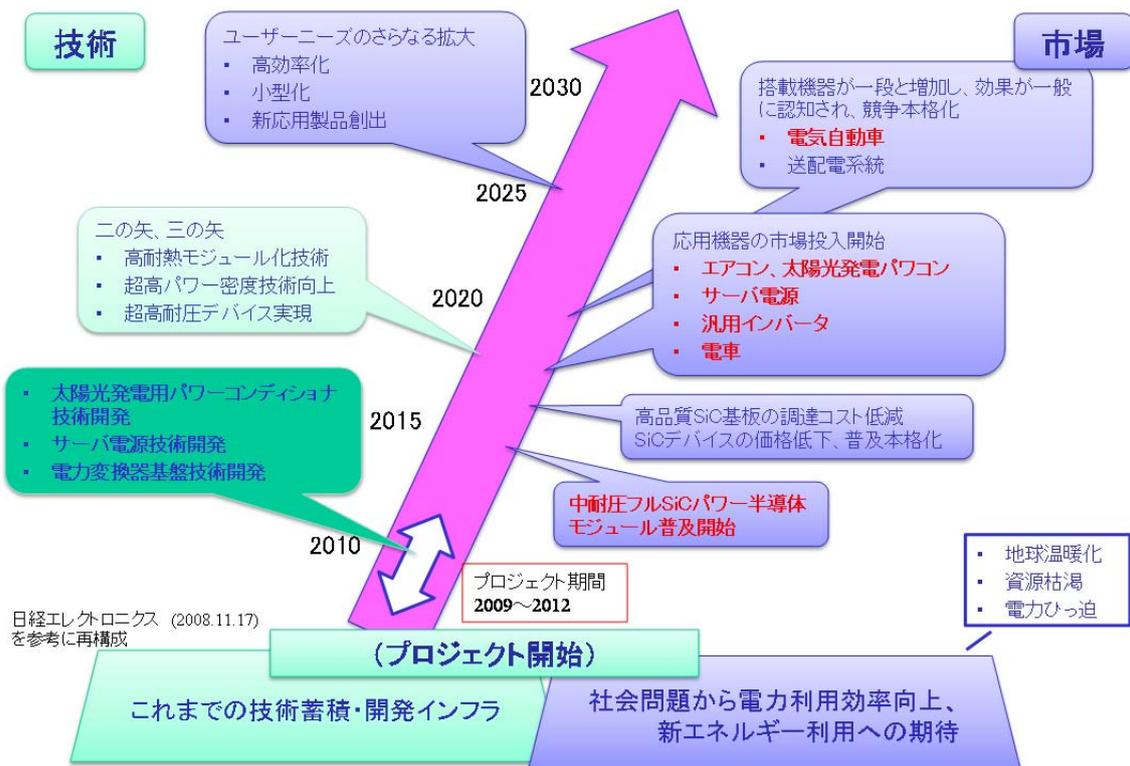


図 I.2.2-1 SiC パワーエレクトロニクスの本格普及に向けた展開の模式図

2.3 事業の位置付け

図 I.2.3-1 に、本事業の関連プロジェクトの中での位置付けを示す。同図において、青の網かけを施した部分が本プロジェクトである。本プロジェクトは、600~1200V のクラスの耐圧のデバイスの特性向上を図るとともに、それをを用いた高効率電力変換機器の設計技術開発を中心とした開発を担っている。SiC パワエレの研究開発がスタートして時点で、SiC の Figure of merit を引き出すためには、この電圧範囲でデバイスの耐圧、電流、オン抵抗低減、スイッチング特性へ生かす立場から着実に R&D を進めなければならない。Figure of Merit の一つである E に関しては、第一世代の開発をターゲットとする。しかも、SiC パワーエレクトロニクスの市場の 75% はこの第一世代の領域である。盤石な基盤を築いてきた領域に対して SiC のパワーエレクトロニクスに切り込むことは、技術において勝つことは当然として、導入による SiC パワエレのユーザが利点を感じることである。今まで省エネの利点を掲げてきたが、システム的な発想からすると、システムとしての省エネであり、そのために軽量、小型、低価格、メンテナンスフリーなどの多様な付加価値をアピールできる R&D の展開、製造側からは生産性への魅力が必要である。

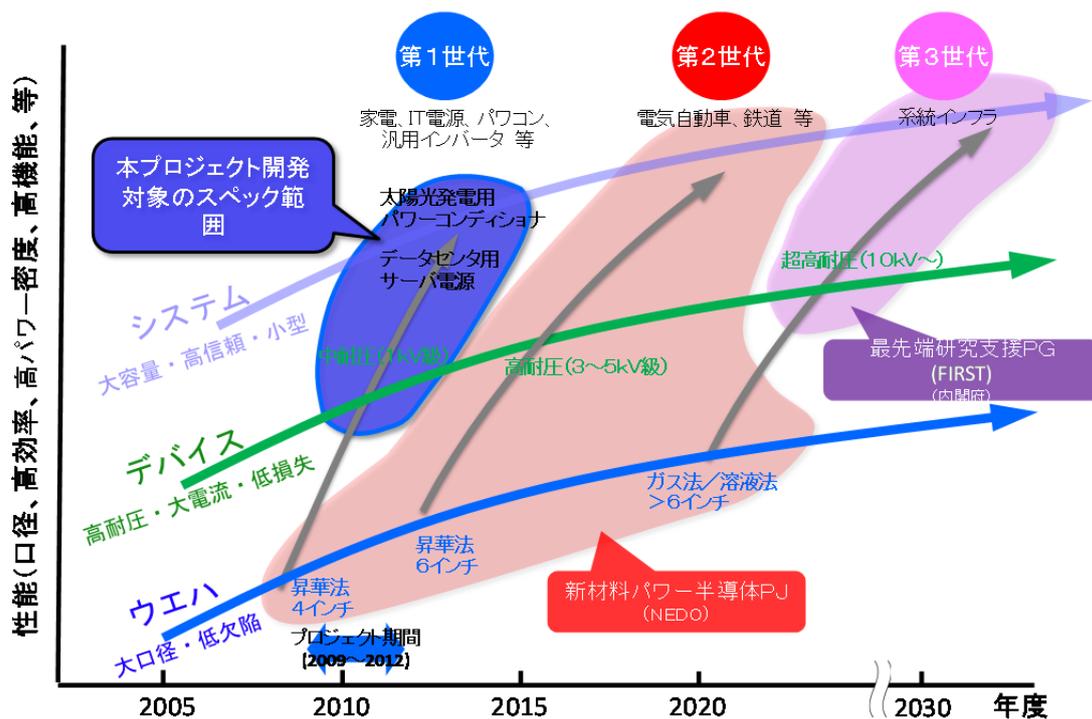


図 I.2.3-1 本事業の関連プロジェクトの中での位置づけ

参考資料

[1] 矢野経済研究所

<http://www.yano.co.jp/press/press.php/000903> など

[2] 経済産業省 平成 22 年工業統計表、平成 22 年確報(概要版)

<http://www.meti.go.jp/statistics/tyo/kougyo/result-2/h22/gaiyo/index.html>

[3] Yole Development 予測

<http://techon.nikkeibp.co.jp/article/NEWS/20111220/202814/>

[4] NEDO プロジェクト「パワーエレクトロニクスインバータ基盤技術開発」平成 21 年結果

[5] 次世代省エネデバイス技術調査報告書(平成 20 年 3 月(財)新機能素子研究開発協会 等

[6] 平成22年度特許出願技術動向調査報告書グリーンパワーIC(株アイサプライ・ジャパンによる市場データ)、特許庁、平成23年2月

Ⅱ. 研究開発マネジメントについて

1. 事業の目標

1.1 事業の目標

本研究開発全体の目標は、地球温暖化の問題は、世界全体で取り組むべき重要課題であり、経済・社会活動と地球環境の調和を実現するためには、画期的な技術革新が求められる。一方、IT化に伴い、いつでも、どこでも、何にでもコンピュータがつながり、ネットワークを流れるデータはうなぎ上りに増え、データセンタを始めIT関連設備の電力需要は近年増え、やがて、世界でも日本でもIT関連の電力が総需要に対する比率が増えると懸念され始めている。

上記の目標達成に向けて、平成 21 年度よりデータセンタやその電源としての分散型太陽光発電システムにおける交流・直流変換器など電力制御に用いられるパワーデバイスを従来の Si に変わり、より低損失なシリコンカーバイド(SiC)を用いたものとする技術開発を行うとともに、システムレベルでの検証を行う。そのため、SiC の物性科学的に期待される Figure of Merit と前プロジェクトで実証された SiC の特性を引き出した変換器をIT関連の応用分野に適用し、SiC パワーエレクトロニクス基盤の確立、省エネルギーに果たす役割とグリーンITへの貢献の確立である。

これにより電源で発生するエネルギー損失を飛躍的に削減する技術を平成 24 年度までに確立し、我が国の関連産業の国際競争力強化と省エネルギーに貢献することを目的にITイノベーションプログラム及びエネルギーイノベーションプログラムの一環として実施する。

このため、基本計画において、研究開発項目(1)～(3)を設定して、平成 21 年度から委託事業を開始した。平成 21 年度から 24 年度にかけて重点化が必要となる研究開発項目に関して、単年度ベースの加速資金を投入した。(4)デバイスシュミレータ(21 年度)、(5)変換器パワー密度増大(22 年度)、(6)デバイス開発(22 年度)、(7)EMI ノイズ(23 年度)、(8)変換器パワー密度増大(24 年度)を実施した。

(1)～(3)及び(4)～(8)対応関係は以下のとおりである。

デバイスシュミレータ(22 年度)は研究開発項目(2)に対する加速的位置づけであり、低オン抵抗MOSFETの開発を進める中、オン抵抗と耐圧の最適化を満足するデバイス構造のシミュレーションを行いデバイス開発を加速する目的で実施する。

変換器パワー密度増大(22 年度)、EMI ノイズ対策(23 年度)、変換器パワー密度増大(24 年度) は研究開発項目(3)に対する加速的位置づけであり、高エネルギー密度変換器の基礎開発を加速する目的で実施する。また、高エネルギー密度変換器の EMI ノイズの解決と、高温実装における材料のヒートサイクル下における劣化問題解決を加速する目的で実施する。高エネルギー密度変換器の高周波化によるリアクトルなどの小型化と、高温実装、3次元実装の問題解決のための両面実装の基礎研究を加速する目的で実施する。

研究開発項目(3)の中では、研究開発項目③(1)「電力変換用 SiC パワースイッチング基盤技術」が取り上げられているが、産業技術政策動向を勘案して見直しを行った結果、平成 21 年度をもって終了することとする。

1.2 研究開発項目毎の詳細な目標

1.2.1 SiC パワーデバイスを用いたデータセンタ用サーバ電源技術開発

近年のIT技術の進展によりIT機器が消費する電力も膨大な量が見込まれている。米国でデータセンタの電力消費が急増しているが、メモリベンダであるマイクロン社によれば、その内約 20%はサーバ電源で電力損失として失われており、米国環境保護省公開データと合わせて鑑みると、2025 年には約 1000 億 kWh/年になると予想される。サーバ電源での電力損失は発熱となるため、空調の消費電力への影響も大きい。このままデータセンタの増設が続けば、我が国においても、米国と同様に、多くの電力がサーバ電源で失われることになる。

こうした背景の下、省エネルギー化・地球温暖化解消の観点から、データセンタ用サーバ電源に代表される数 kW 級電源機器の電力損失の大幅低減と機器小型化の実現が必須課題となっているが、従来の Si パワーデバイスを用いた電源の効率改善は限界に近づいている(図 II.1.2.1-1)ため、その実現には電源機器への SiC パワーデバイスの適用が有効である。そこで、次世代省エネデバイスとして期待される SiC パワーデバイスを適用し、さらに高効率の電源を開発することとした。

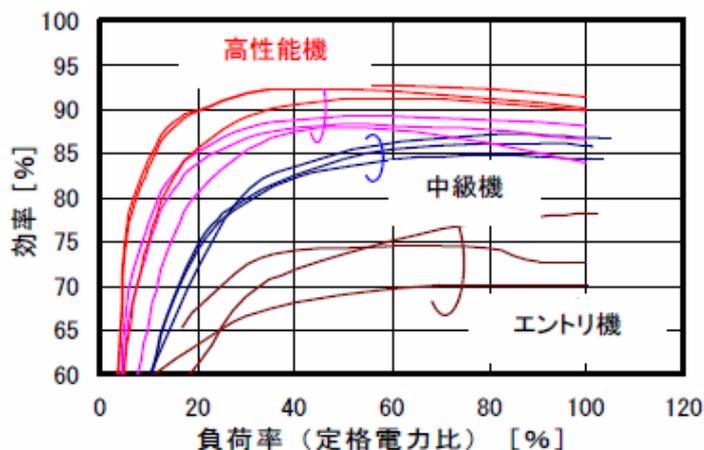
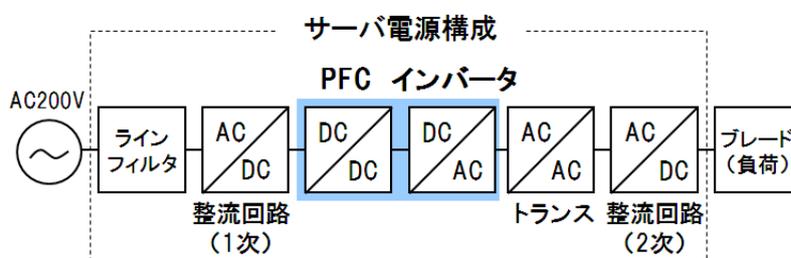


図 II.1.2.1-1 サーバ電源の電力効率特性(プロジェクト開始時)

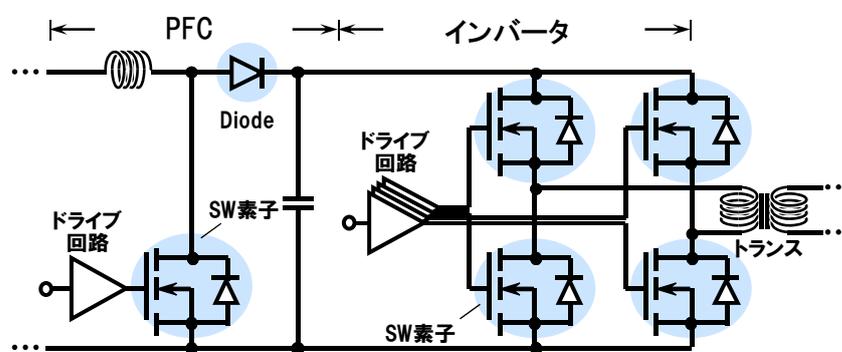
電力容量が数 kW 級のデータセンタ用電源の省エネルギー化に向け、SiC パワーデバイスの高性能化技術開発を行い、それらの開発により得られた高性能デバイスを電源機器用電力変換器へ適用して電力変換技術の開発を行う。加えて、上記電源のプロトタイプを試作し、その低損失、高効率特性を実証する。SiC パワーデバイス開発においては、

SiC スwitchングデバイス、SiC ダイオードの高性能化、Switchング特性改善、そして信頼性向上等の技術開発を実施する。サーバ電源開発においては、電源機器に適した駆動方式、高効率化、高信頼性化等に関わる技術開発を行う。

サーバ電源の構成ブロック図と回路図を図Ⅱ.1.2.1-2、図Ⅱ.1.2.1-3 に示す。力率改善回路(PFC: power factor correction)部と DC/AC インバータ部に SiC パワーデバイスを適用する。1000 億 kWh/年の電力損失が、既存の Si MOSFET とダイオードを搭載した効率 90%の電源で発生すると仮定すると、SiC スwitchングデバイスと SiC ダイオードに置換え、効率を 90.5%に改善することで、50 億 kWh/年の電力削減効果がある。すなわち、SiC スwitchングデバイスと SiC ダイオードの適用により効率を 0.5%改善出来れば年間 280 万 t の CO₂ を削減出来ると試算される。CO₂ 削減量は、排出係数を 0.000559t-CO₂/kWh として試算した。



図Ⅱ.1.2.1-2 サーバ電源の構成ブロック図



図Ⅱ.1.2.1-3 サーバ電源の構成回路図

1.2.1.1 SiC 接合 FET 及びショットキーバリアダイオードの開発

(1) SiC 接合 FET の開発

[最終目標(平成 24 年度)]

耐圧 600V、定格電流 40A、特性オン抵抗 $2.5\text{m}\Omega \cdot \text{cm}^2$ 以下(室温環境下)のノーマリ

オフ型 SiC 接合 FET の開発と、実質寿命 10 年を有する Si パワーデバイスに準じた信頼性試験を実施する。

[目標設定の根拠]

サーバ電源の効率目標を達成するためには、従来、サーバ電源に使われていた Si MOSFET の導通損失を半減することが必要との試算に基づいて、導通損失半減に必要な特性オン抵抗をスイッチングデバイス開発の第 1 の目標とした。SiC 接合 FET の目標値は、AC 入力 200V、DC 出力 12V、電力容量 2kW のサーバ電源への適用のため耐圧 600V、電流 40A のノーマリオフ型とし、Si-MOSFET で最も低損失な Super Junction MOSFET をデバイス競合技術と考え、その特性オン抵抗が現状で $20\text{m}\Omega\cdot\text{cm}^2$ であることから、将来の見込まれる特性改善後に対しても十分な優位性を保つ値とした。また、サーバ用電源では、まず、信頼性の確保が求められる。データセンタで電源回路が停止あるいは故障するとデータ処理が停止するだけでなく、場合によってはデータ自体の消失を招くことがあり、高信頼の電源とすることがきわめて重要である。そこで、SiC パワーデバイス実用化のために不可欠な Si パワーデバイスに準じた信頼性試験の実施を第 2 の目標とした。表 II.1.2.1.1-1 に平成 21 年 8 月時点の耐圧 600V SiC スwitchングデバイスのベンチマークを示す。

表 II.1.2.1.1-1 耐圧 600V SiC スwitchングデバイスのベンチマーク

耐圧	600V		
機関	FUPET第一研究センター		A社 (DMOS)
	現状	目標	
電流	12A (2並列で24A)	40A	20A
オン抵抗	$3.3\text{m}\Omega\cdot\text{cm}^2$ (2並列)	$< 2.5\text{m}\Omega\cdot\text{cm}^2$	$5\text{m}\Omega\cdot\text{cm}^2$
電流密度	$375\text{A}/\text{cm}^2$	—	—
チップ	2.5mm x 2.5mm	—	2.4mm x 4.8mm
備考	—		開発中

(2) SiC ショットキーバリアダイオードの開発

[最終目標(平成 24 年度)]

耐圧 600V、定格電流 40A の SiC ショットキーバリアダイオードの開発と、実質寿命 10 年を有する Si パワーデバイスに準じた信頼性試験を実施する。

[目標設定の根拠]

電源内の DC/DC コンバータ部では、ショットキーバリアダイオードは接合 FET と並列に用いられるので、耐圧、定格電流共に、接合 FET と規格を揃えた。電源内の PFC 部にも、DC/DC コンバータ部と同じダイオードを適用することが出来る。また、SiC パワーデバイス実用化のために不可欠な Si パワーデバイスに準じた信頼性試験の実施を目標とした。表 II.1.2.1.1-2 に平成 21 年 8 月時点の耐圧 600V SiC スイッチングデバイスのベンチマークを示す。

表 II.1.2.1.1-2 耐圧600V SiCダイオードのベンチマーク

耐圧	600V			
	FUPET第一研究センター		B社	C社
機関	現状	目標		
電流	20A	40A	10A	10A
オン電圧	1.6V	< 2.0V	1.5V	1.2-1.5V
チップ	2.0mm x 2.0mm	—	不明	1.6mm x 1.6mm ⁽¹⁾
備考	—		ウェハ出荷開始	受注生産 ⁽²⁾

(1): 推定値

(2): 平成 21 年にホームページから削除

1.2.1.2 サーバ用回路・電源システムの開発

(1) 高速駆動回路技術

[最終目標(平成 24 年度)]

耐圧 600V、定格電流 40A ノーマリオフ型 SiC 接合 FET を用いて、高速にスイッチング可能な、ソース側の配線の接続方式を検討する。目標は、最適化した接続方式にて、ターンオン時間 100ns 以下、ターンオフ時間 100ns 以下を実現するゲート駆動回路を構築する。

[目標設定の根拠]

サーバ電源の効率目標を達成するためには、従来、サーバ電源に使われていた Si MOSFET のスイッチング損失を 1/2 に低減することが必要との試算に基づいて、従来の Si-MOSFET のスイッチング速度を高速化し、100ns 以下のスイッチング特性を実現することを高速駆動回路技術の第 1 の目標とした。上記 1.2.1.1 にて示した SiC 接合 FET の定格、耐圧 600V、電流 40A のノーマリオフ型に対し、現行のサーバ電源にて搭載されている Super Junction MOSFET や IGBT モジュールをデバイス競合技術と考え、そのスイッチング特性が 120ns~430ns 程度であることから、将来の見込まれる特性改善後に対しても十分な優位性を値とした。表 II.1.2.1.2-1 に平成 21 年 8 月時点の耐圧 600V SiC スイッチングデバイスのベンチマークを示す。

表 II.1.2.1.2-1 耐圧 600V スイッチング素子のベンチマーク

耐圧	600V		
デバイス	SiC-JFET	Si-MOSFET	Si-IGBT
機関	FUPET 第一研究センター	C 社	
	目標		
電流	40A	40A	50A
ターンオン時間	< 100ns	120ns	240ns
ターンオフ時間	< 100ns	200ns	430ns

(2) サーバ電源システム開発

[最終目標(平成 24 年度)]

電力容量が 2kW 級のサーバ電源のプロトタイプを試作し、その電力変換効率が 50% 負荷で 94%以上であることを実証する。

[目標設定の根拠]

表 II.1.2.1.2-2 サーバ電源の電力効率基準

規格	団体	対象	基準	発効時期
CSCI	CSCI	PSU電源ユニット	効率 85%:Bronze 89%:Silver 92%:Gold	2007/6~
Energy Star	EPA/DOE	サーバ (ブレード含む)	効率、力率 89%、0.9 (≤1000W) 92%、0.9 (>1000W) Idle電力	2009/2~
80PLUS	Ecos EPRI	PSU電源ユニット	効率 85%:Bronze 89%:Silver 92%:Gold	2008/3~

CSCI: Climate Savers Computing Initiative (NPO 法人)

EPA/DOE: [U.S. Environmental Protection Agency](#) 米国環境保護庁
/ [U.S. Department of Energy](#) 米国エネルギー省

Ecos: [Ecos Consulting](#)

EPRI: [Electric Power Research Institute](#) 米国電力中央研究所

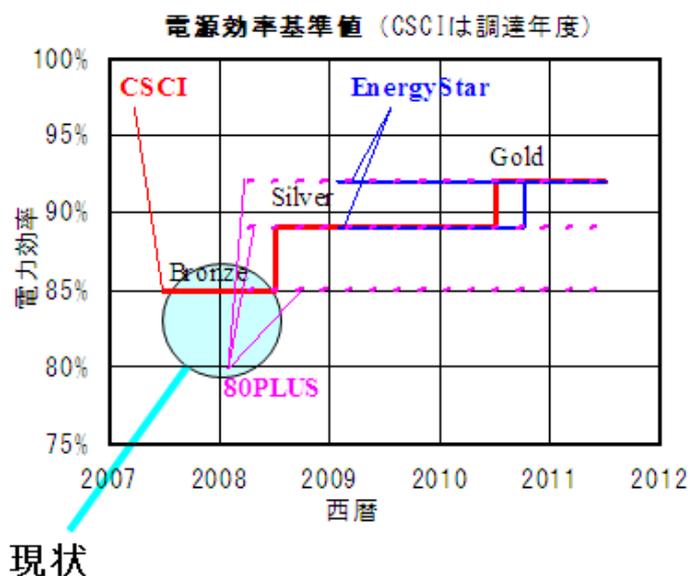


図 II.1.2.1.2-1 電力効率基準値の推移(サーバ電源)

本研究開発の目的はSiCデバイスを適用することにより、データセンタの消費電力を低減すると共に、CO₂削減に寄与することである。80PLUSでは2011年には92%の効率(GOLD規格)の実現が求められており、その達成が第一であるが、これを上回り、さらに今後制定されるであろう上位規格をクリアするとともに、Siデバイスでは達成が困難と推定される94%以上を目標値に設定した。

1.2.2 SiC パワーデバイスを用いた太陽光発電用パワーコンディショナ技術開発

本研究開発項目の詳細な数値目標を以下に説明する。まず、パワーコンディショナの数値目標及びその根拠を説明し、その後必要とされる MOSFET の数値目標を説明する。

1.2.2.1 パワーコンディショナの開発

電力容量が数 10kW 級の太陽光発電システム用パワーコンディショナの高効率化に向けて、高速スイッチング技術、高キャリア周波数化技術、フィルタの最適化技術、電磁環境適合化技術などの電力変換技術の研究開発を行う。さらに 30kW 級の太陽光発電用パワーコンディショナのプロトタイプを試作し、定格運転時にその効率が 98% 以上である低損失性、高効率化を実証する。

またその性能を実現するために必要なパワーデバイスの高性能化を行う。具体的には、ダイオードに SiC-ショットキーバリアダイオード、スイッチングデバイスに SiC-MOSFET を選択し、その大容量化、低オン抵抗化、しきい値制御などの高性能化技術を開発し、SiC-MOSFET において、耐圧：1200 V 以上、電流容量：75A 以上、オン抵抗率：5 mΩ・cm² 以下(室温環境下)を達成する。

加えて現在、高い信頼性を実現している Si パワーデバイスに対し実施されている各種信頼性基礎評価試験を、本プロジェクトで開発した SiC パワーデバイスに対して行う。

[目標設定の根拠]

資源・エネルギーの限られた状況で社会の持続的発展を目指すために、エレクトロニクス分野における省エネ、更には電力エネルギーの高効率利用を可能とするパワーエレクトロニクス技術が世の中の大きな関心を集めつつある。

経済産業省・NEDOにおいても、平成 20 年度よりグリーン IT プロジェクトがスタートし、この問題への取り組みが活発化している。また、社会全体としても CO₂ 排出削減への要請は極めて大きく、エネルギー源として化石燃料への依存度を減らすために、自然エネルギー(太陽光、風力等)の導入が喫緊の課題である。

これらの問題に対処するためには、自然エネルギー設備・施設に向けたパワーエレクトロニクスの革新、即ち、使いやすい高機能・低損失電力変換器の開発が必須となる。

表 II.1.2.2-1 太陽光発電用パワコンのベンチマーク

	開発	研究		製品	
	三菱電機	A社		B社	C社
デバイス	Siデバイス	SiC-MOSFET	Si-IGBT	Siデバイス	Siデバイス
出力	100kW	7kW	7kW	15kW	100kW
効率(Euro)	97.5%**	97.5%	95.5%	97.7%	-
効率(75%負荷)	97.5%	-	-	-	-
効率(定格)	97.2%**	97.5%*	96.4%*	-	94%以上
構成	3相 480V コンバータ	3相 400V コンバータレス	3相 400V コンバータレス	3相 400V コンバータレス	3相 400V トランス
回路	階調制御	PWM(2レベル)	PWM(2レベル)	マルチレベル	PWM

太陽光発電システムでより多くの電力を得るためには、光エネルギーを直流の電気エネルギーに変換(発電)する太陽電池セルの効率向上とともに、発電した直流電力を交流電力に変換するパワーコンディショナの効率向上が必要である。そのため太陽光発電用パワーコンディショナの市場における競争軸は効率となっており、国内外で効率改善に向けた研究開発が活発化している。Si デバイスを用いた太陽光発電用パワーコンディショナにおいては、Si パワーデバイスの大幅な性能改善が期待されないことから、回路方式の改善による効率向上が進められている。その中で従来主流であったPWM(Pulse Width Modulation)方式に対し新規回路方式である階調制御方式を用いることで効率 97.5%(100kW、3 相、480V)が達成されている。

一方、SiC デバイスの低損失特性を活かした太陽光発電用パワーコンディショナ効率改善検討は、ドイツのフラウンホーファー研究所が着手しており、PWM 方式で 97.5%(7kW、3 相、400V)を達成している。表 II.1.2.2-1 に太陽光発電用パワコンのベンチマークを示す。

開発する太陽光発電用パワーコンディショナは、今後世界的に設置が拡大すると期待される産業、公共システムなどの大規模システムを想定した 400V、3 相仕様とする。また基本構成として DC/DC コンバータ、トランスを含まない構成とする。

太陽光パワーコンディショナは高精度で安定な正弦波交流出力が要求

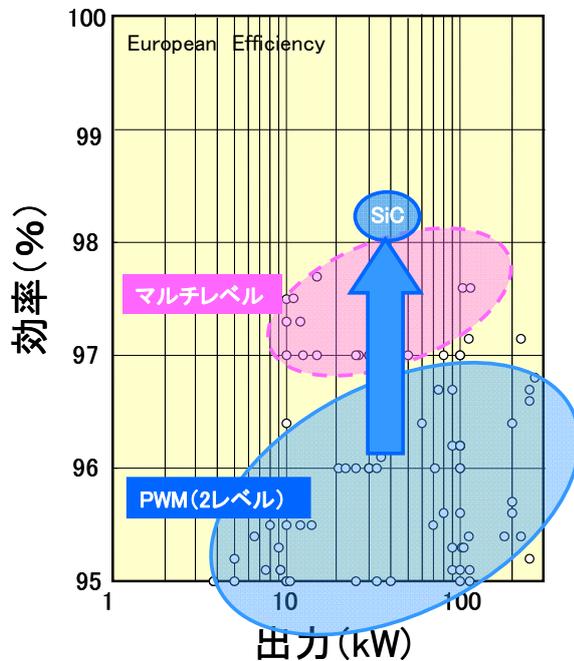


図 II.1.2.2-1 プロジェクトで実現を予定しているパワーコンディショナの性能比較(効率と出力)

されるため、変換器そのものの低損失化のみならず正弦波交流出力に必要なフィルタにおける損失と、それと密接に係る変換機の損失とを合わせた最適化技術開発が必須である。

上記の技術開発で得られた技術成果を基に、実際に太陽光発電用パワーコンディショナのプロトタイプを試作し、その運転時の特性を評価することで、その低損失、高効率特性を実証する。本プロジェクトで実現を予定しているパワーコンディショナの性能比較(効率と出力)を図に示す。Siを用いたパワーコンディショナにおいてマルチレベルでしか実現できなかった97%以上の高効率をPWM(2レベル)で実現できることになる。

1.2.2.2 SiC-MOSFET の開発

太陽光発電用パワーコンディショナ技術開発と並行して、太陽光発電用パワーコンディショナの効率目標達成に必要なSiCデバイス開発を以下のように実施する。

適用するSiCパワーデバイスについては、ダイオードにSiC-ショットキーバリアダイオード、スイッチングデバイスには、そのゲート駆動回路として基本的には従来のSi-IGBTと同様な回路構成が適用可能であり、またノーマリオフが実現しやすく実用化に有利であることから、SiC-MOSFETを選択する。デバイス耐圧は、AC400V系の太陽光発電システムを想定していることから、SiC-MOSFET、ショットキーバリアダイオードともに1200Vを選択する。表II.1.2.2-2に10kW級以上のインバータへの適用検討が可能な容量を有するSiC-MOSFETのベンチマークを示す。

パワーコンディショナの変換効率向上のためには更なるオン抵抗低減が不可欠であるため、デバイスの最終目標値としてオン抵抗を40%近く低減することとした。

表II.1.2.2-2 大容量SiC-MOSFETのベンチマーク

	パワーエレクトロニクス インバータ基盤技術開発 (三菱電機)	A社	B社	C社
オン抵抗(mΩ cm ²)	5	7.5	7.5 (typ.)	11
耐圧(V)	1200	1200	1200	1000
電流(A)	25	20	20	16
チップサイズ	3.6mm × 3.6mm	2.4mm × 4.8mm	4mm × 4mm	4.5mm × 4.5mm
備考	2009年	2009年	2009年 (SiC-MOSFETモジュール データシートより)	2008年 (ECSCRM)

* インバータへの適用検討がされている報告

1.2.3 次世代 SiC パワーデバイス・電力変換器基盤技術開発

プロジェクト開始時点で、量や性能を問わなければ SiC ダイオードの入手は可能であったが、スイッチングデバイスはまだ市場にはほとんど出回って無かった。SiC パワーエレクトロニクス用のスイッチングデバイスには、JFET, MOSFET が提案されそれぞれ特徴がある。前者の開発は先行し市販品の入手は一部可能であったが性能などは開発段階であり、後者は入手が不可能な状況であった。

本プロジェクトでは、性能やユーザの使い勝手の良さから期待の大きい MOSFET をターゲットにして、低オン抵抗と耐圧性の両方を満足する課題を設定した。デバイスシミュレーション技術を駆使して構造を検討し、作製手法のプロセス技術の開発を行った。MOS特性やデバイスの信頼性には SiO₂/SiC 界面特性の制御が極めて重要であることが知られること、又高温の過酷な環境での使用も視野に入れ、高性能特性引き出せる酸化手法、表面安定化プロセス、電極材料などの信頼性評価手法の開拓などを手掛けた。

SiC パワーデバイス特性向上の課題に加え、デバイスの信頼性には未解決の問題があり、しかも何が影響するかなどはほとんど明らかでない。SiC パワーエレクトロニクスの普及の観点からはデバイス作製の歩留りや信頼性向上が不可欠で、デバイスレベルのウエハ品質まで遡り、デバイス特性と欠陥等との相関の解明が重要課題である。ウエハの品質は、インゴットに含まれる結晶欠陥、ウエハ切り出し時、研磨やエピ成長時に発生する新たな欠陥の増加と言った問題がある。本プロジェクトでは、(i)エピウエハの反り、(ii)欠陥の自動計測手法の開発、(iii)エピ膜形成時に導入される欠陥と作製法との関係の 3 課題についてターゲットを定めて、メーカーの異なる購入エピウエハについて系統的に調べた。

一方、市場で入手し得るスイッチングデバイス JFET を用いて高効率変換器開発を目指し、関連する課題を取り上げた。SiC デバイスの特性から予想される低損失性は変換器の熱問題の負担を軽くし、変換器の高パワー密度化に貢献が可能である。このことは、変換器の小型化、軽量化と言う普及の観点で重要である。さらに、一般に Si デバイスを用いた変換器では冷却系が大きな体積を占めることから、SiC の Figure of Merit から期待される特性として、積極的に接合温度(T_j)を高めることで冷却器の効率を高め、高パワー密度化への路線も追究した。T_jには 200°C以上を想定して、Si デバイスのモジュールに比べると経験のない苛酷な環境で使われる材料の高温対策、実装、両面実装などの問題を取り上げた。

1.2.3.1 電力変換器 SiC スwitchングデバイス基盤技術

(1)低オン抵抗を有する高速スイッチングデバイス

[最終目標]

新構造素子／新プロセスを用いて、革新的電力変換器に必要となる超低オン抵抗を有する高速スイッチングデバイスを(600 ~ 1200 V)の範囲のいずれかの耐圧で且つデ

バイス温度 200 °Cにおいて $R_{on}A/V_B^2 \leq 4.0 \text{ m}\Omega\text{cm}^2 /(\text{kV})^2$ ($R_{on}A$: 特性オン抵抗、 V_B : 耐圧)、電流容量 10 A 以上)を開発する。

[目標設定の根拠]

材料科学から予想される SiC デバイスの特色を生かし、パワーエレクトロニクスとしての特性を引き出すポイントは、MOS デバイスの低オン抵抗と耐圧の両立である。これらの最適化はデバイス構造に大きく依存する。オン抵抗と耐圧のトレードオフの要件を満足するためには、酸化絶縁膜の破壊を導く電界集中を避ける構造の設計が不可欠である。また、きわめて小さなチップを用いたデバイス特性の公表が始まったが実用段階には程遠く、本研究では電源機器用に必要な 10A 級のデバイスを想定し、さらに SiC の高温特性を生かす用途も視野に入れ、接合温度(T_j)を 200°Cまで範囲を広げた。その結果学会等で公表されているデバイスに比べ高いスペックになっている。

(2) 電力変換用 SiC デバイスのトータル性能の信頼性

[最終目標]

デバイス温度 200 ~250 °Cにおいて実用化に耐える電極・配線のエレクトロマイグレーション寿命、ゲート酸化膜の寿命、破壊耐量等に関する高信頼化技術を開発するとともにデバイスとしての信頼性評価技術を確立する。

[目標設定の根拠]

SiC デバイスの省エネ特性は当然のこととして、普及においては Si デバイスでは不可能な苛酷な使用を想定した。接合温度(T_j)200°Cのデバイスを実現するには、プロセス開発と過酷な環境での利用に必要なデバイス周辺技術の開発が未踏領域である。MOS 界面の安定性を確立するための酸化プロセスや作製したデバイスが過酷な利用環境における耐量性の問題を実用化のためにクリアすべき課題と考えた。

1.2.3.2 高温動作電力変換器設計試作技術

これまで電力変換器が利用されていない領域に電力変換器の導入・普及を図る事が、省エネルギー化の推進の上で非常に重要である。しかし、現状の Si パワー半導体を利用した電力変換器では、その設備体格の大きさやコスト(初期導入コストおよびメンテナンスコスト)の大きさから、電力変換器が導入される領域は限定的となっているのが実情である。そこで、電力変換器の広範囲の導入・普及を進める重要な技術として、出力パワー密度(kW/ℓ: 電力変換器の単位体積あたりの出力)性能の向上を取り上げた。

高出力パワー密度化は、小形・軽量化を意味しており、そのためには損失の削減による部品の充填、冷却部品の体積削減、高速スイッチング技術による周辺受動部品の小型化などの手段がある。これらの手段に対応する上で、SiC が持つ低損失性や高速スイッチング性は、非常に魅力が大きい。また、高出力パワー密度化は、部品の小形化、部品点数の削減、輸送コストの削減にもなるため、低コスト化にもつながる。

素子損失低減や高速スイッチングによる高出力パワー密度化の努力は、従来の Si パワー半導体の場合においても追求されてきているが、SiC パワー半導体の場合には、これらの手段に加え、動作時における素子の接合温度の高温化という手段が利用できる。これは、素子の高温動作化により、外気温と素子の間での温度差がより大きくなり、より大きな放熱効果が得られるためである。この結果、放熱部品の削減が可能となるので、より一層の高出力パワー密度化(小形・軽量化)が期待される。また、液冷式冷却方式から強制空冷方式、あるいは強制空冷方式から自然空冷方式といった冷却方式の変更も可能となり、従来の Si パワー半導体を利用する電力変換器に比べ、より一層の高信頼化(メンテナンスフリー化)が図られる。

以上より、本研究開発では出力パワー密度を指標として、SiC 素子の高温実装技術、高温動作電力変換器の設計・製作技術の開発を進め、試作電力変換器による出力パワー密度性能の検証を行う事とした。これらの技術開発の結果として、Si パワー半導体を用いた従来型の電力変換器に対して小形軽量化および低コスト化が進展するため、電力変換器の導入・普及を通じた省エネルギー化がより進展する事になる。

(1)高温動作を可能とする高温実装

[最終目標(平成 24 年度)]

次世代パワー素子を接合温度(外部環境温度に素子の自己発熱による温度上昇分を加えた温度)200～250℃で動作させる事を可能とする高温実装技術を開発する。

[目標設定の根拠]

本開発項目では、SiC 電力変換器の高出力パワー密度化のための重要基盤技術である接合温度 200～250℃に対応する実装技術の開発を目標に定めた。この値は、現状の Si パワー素子で用いられている接合温度領域(最大 150～175℃)を大きく超える値である。

この素子温度の目標値の設定に際しては、以下の技術的な条件を考慮した。

- ・入手可能と予想される SiC 素子

SiC 素子の技術は完成されている段階ではなく、本事業期間中においても、その性能向上が十分に期待できる状況であった。また、実装技術の検証を行うためには、多数のサンプルを用いた要素試験が必要である。したがって、本開発項目において利用する SiC 素子は、最先端の性能を立証するチャンピオンデータ品というよりも、性能が揃っているとともに、ある程度まとまった数量が供給される品である必要がある。

- ・素子と配線金属との接合の高温信頼性

SiC 素子と配線金属との間の接合には、想定される接合温度に長時間耐えることができる材料を用いなければならない。耐高温性を有する接合材料の種類は限られており、AuSn(融点約 280°C)、AuGe(融点約 360°C)などが、ある程度の接合信頼性の実績を有する候補材料であった。

- ・絶縁封止材の高温信頼性

半導体チップを覆うための絶縁封止材は、電力変換器の実現に必須であるが、この材料も想定される接合温度に長時間耐える必要がある。さらに、絶縁封止材は、半導体チップ、絶縁基板、配線金属といった周辺部材との密着性や絶縁性能を-40°Cから最大接合温度の範囲で維持するとともに、周辺部材が持つ熱膨張係数の違いに起因する熱応力にも耐える必要がある。こうした条件に対応できそうな材料は極めて限定的であり、250°Cレベルが見通せる状況であった。

- ・Si パワー素子の高温動作化の動向

現状の Si パワー素子で用いられている接合温度は最大で 150~175°Cの領域である。Si パワー素子の場合においても、高温動作により電力変換器の高出力パワー密度化の可能性はある。しかし、Si パワー素子の場合、接合温度が 200°C付近を超えると、その特性が急速に悪くなると予測された。そこで、Si パワー素子では達成が困難なレベルの高パワー密度化を狙う事を念頭に、接合温度は 200°C以上を目標にした。

以上の状況から、高温実装技術の開発目標として、接合温度 200~250°Cの領域が設定された。

この温度領域(接合温度 200~250°C)における実装技術の実現に必要な技術開発の課題としては、以下の項目が挙げられる。

- ・高温実装材料(ダイボンド材料、配線材料、絶縁材料)

実装に用いられる材料は、使用される高温(200~250°C)環境に耐える必要があり、この温度環境での材料単体での高温(250°C)安定性、温度サイクル(-40~+250°C)に対する安定性が不可欠である。よって、材料単体で、これらの条件に耐えるかどうかを評価する必要がある。

- ・材料の相性問題(熱応力、熱変形、化学反応)

実装を行った場合、異なる材料(半導体、接合材、金属、セラミクス、樹脂等)が一体

化される。各材料の線膨張率が異なるので、温度の変化により、接触界面には熱応力や変形が発生する。また、異種材料の接触面での不要な化学反応(冶金学的反応を含む)が進行しないようにする必要がある。よって、材料を組み合わせた際に問題が発生しないことを確認・評価するための試験やシミュレーション技術が必要である。

- ・モジュール設計技術(回路設計・組立技術)

モジュールの設計を行う際には、回路の性能を損う事のない部品配置の検討を行うためのシミュレーション技術が必要である。

(2)高パワー密度インバータ

[最終年度(平成 24 年度)]

素子の高温動作条件を取り入れた 25~30kW/ℓ級の出力パワー密度(電力変換器の出力パワーを、SiC パワー素子、周辺回路素子、フィルタ、ヒートシンクから成る構成体の総体積で除した値)を持つ電力変換器の試作検証(なお、上記の目標値は、その後の研究開発の進展による前倒し達成があった事から、平成 22 年度に 40 KW/ℓに、平成 23 年度に 60 KW/ℓに、それぞれ引き上げられた。)

[目標設定の根拠]

本開発項目では、SiC 電力変換器の出力パワー密度の向上を開発目標とし、事業開始段階の目標として、25~30kW/ℓ級の出力パワー密度を設定した。この値は、目標設定時において Si パワー素子を利用している電力変換器が有する値の 10 倍以上という高い目標値である。

この出力パワー密度の目標値の設定に際しては、以下の技術的な条件を考慮した。

- ・高温実装技術の適用効果

前項の高温実装技術(接合温度 200~250℃に対応)の進展予測と、過去の NEDO プロジェクト(「パワーエレクトロニクスインバータ基盤技術開発」2006~2008 年度)における検討結果から、高温実装技術の導入で 150℃の接合温度を 200℃に向上できれば、出力パワー密度が 1.2 倍程度向上することが予想された。

- ・SiC 変換器の試作実績

過去の NEDO プロジェクト(「パワーエレクトロニクスインバータ基盤技術開発」2006~2008 年度)における検討結果から、SiC 素子の低損失性を利用することで約 10kW/ℓの出力パワー密度が期待できることが予想された。

- ・出力パワー密度のトレンド

過去の変換器の高出力パワー密度化のトレンド(H.Ohashi 他 IEICE Trans. commun., E87-B, 2004)における最先端の研究開発ラインから、2012 年段階での推定値が、25~30kW/ℓ付近と予想された。

- ・SiC パワー素子の高速動作化

SiC 素子は高速動作が可能であることから、スイッチング周波数を増加させることが

できる。スイッチング周波数の増加により、フィルタ等の周辺受動部品の削減が可能となる。スイッチング周波数を約 3 倍に増加することで、周辺部品の体積が 1/3 近くにまで削減できることが期待された。

- ・ SiC パワー素子の性能向上

変換器の試作を行うためには、性能が揃っていると同時に、ある程度まとまった数量が供給される品を利用する必要がある。こうした性能・数量の要求を満たすであろう SiC 素子においても、本事業期間中におけるその性能向上が十分に期待できる状況であった。仮に、素子損失が NEDO プロジェクト(「パワーエレクトロニクスインバータ基盤技術開発」2006～2008 年度)の 65%程度にまで低減されれば、冷却体(ヒートシンク)体積の半減が期待できると見積もられた。

以上の状況を勘案し、出力パワー密度の目標値として、**25～30KW/l**が設定された。この出力パワー密度の実現に必要な技術開発の課題としては、以下の項目が挙げられる。

- ・ 素子温度の選択

高温実装技術の導入で冷却部品体積の削減が期待されるが、素子温度の上昇は、素子の損失増加を招く負の側面も持っている。このため、素子温度には最適値があると考えられるので、その温度の選択を左右する要因を分析するとともに、素子温度の選択方法を見出す必要があった。

- ・ 高速スイッチング技術

電力変換器の中で、インダクタやコンデンサといった受動部品の体積も大きい。これら部品の小形化を推進するためには、SiC 素子の高速スイッチング技術を確立する必要がある。具体的には、スイッチングに伴う過渡振動現象の抑制、誤動作防止、EMI 対策等の技術開発が必要であった。

2.事業の計画内容

2.1 研究開発の内容

2.1.1 SiC パワーデバイスを用いたデータセンタ用のサーバ電源開発

2.1.1.1 SiC 接合 FET 及びショットキーバリアダイオードの開発

表Ⅱ.2.1.1.1-1 に研究開発スケジュールを示し、以下内容について説明する。

(1) SiC 接合 FET の開発

SiC 接合 FET をサーバ電源に適用した場合のデバイス特性上の課題抽出に加え、デバイス大電流化時のプロセス上の課題明確化が目的である。そこで平成 21 年度は、これまで自社研究で開発を進めてきた従来のトレンチゲート構造を用いて 20A 単一チップを開発するとともに、比較のため 10A チップ 2 並列デバイスを開発する。特性目標は、耐圧 600V、オン電圧 1V@20A(2 並列の場合は 10A/個)、特性オン抵抗 $3.5\text{m}\Omega\cdot\text{cm}^2$ である。

デバイス作製において、従来、接合 FET やダイオードの層間絶縁膜は、活性化アニール後に SiC 基板表面を酸化し、一旦この熱酸化膜を除去し、その後、再度、熱酸化膜を形成し、上層にプラズマ CVD SiO_2 膜を積層して形成していた。犠牲酸化や熱酸化膜の形成には Si プロセス用の酸化装置を用い、ドライ酸化で、酸化温度は装置の上限である 1100°C としていた。このようにして層間絶縁膜を形成したデバイスの特性試験を行うと、試験中に耐圧等の逆方向特性が変動する場合があった。 1100°C で形成した熱酸化膜/SiC 界面には、伝導帯から 0.1eV のところで、 $10^{13}\text{cm}^{-2}\text{eV}^{-1}$ 以上の界面準位が存在する。特性変動は、この準位への電荷の出入りの影響と推定される。比較的低温で形成した熱酸化膜/SiC 界面の界面順位の悪影響は、MOSFET ではよく知られたことであり、 1300°C 以上の高温熱酸化によるゲート絶縁膜形成や熱酸化後のゲート絶縁膜/SiC 界面に対する窒化処理といった対策が講じられてきた。接合 FET やダイオードの層間絶縁膜においても、デバイスの信頼性を向上させるためには、熱酸化膜/SiC 界面の界面準位を MOSFET と同様の手法で低減する必要がある。このため、SiC 基板に対して 1300°C 以上の高温酸化と、酸化後の窒化処理を施すことの出来る酸化装置を新たに導入し、接合 FET やダイオードの層間絶縁膜形成に適用する。界面準位を $5\times 10^{12}\text{cm}^{-2}\text{eV}^{-1}$ 以下まで低減することで、特性変動を防止する。

平成 22 年度は、平成 21 年度に開発した 600V/20A 接合 FET を用いて、ブロッキング試験や連続通電試験を実施し、耐量・信頼性の基本データを取得する。また、ノーマリオフ接合 FET で問題となっている低閾値電圧を改善するため、デバイス構造およびパッケージ構成を検討する。特性目標は閾値電圧 3.5V 以上である。大電流化のためチップ面積を大きくするとゲート抵抗が大きくなるため、21 年度に、その影響を検討し、レイアウトの工夫によるゲート抵抗の低減を実施する。

平成 23 年度は、40A 接合 FET 向けに、さらなるゲート抵抗低減に向け、レイアウト

トを改善する。20A/40A 接合 FET を電源検討用に試作する。また、ブロッキング試験や連続通電試験を実施し、耐量・信頼性と言った信頼性に関するデータを取得し、Si 同等の信頼性を実証する。接合 FET の開発については、加速資金を導入し 23 年度に最終目標を達成する。

平成 24 年度は、開発した接合 FET を多数個試作し、サーバ用回路・電源システム技術の検討用に供給する。

(2) SiC ショットキーバリアダイオードの開発

これまで自社研究にて、耐圧 600V、電流 10A のショットキーバリアダイオードを開発済である。平成 21 年度は従来技術を用いて、電流容量 20A のショットキーバリアダイオードを開発する。特性目標は、オン電圧 2.0V@20A である。

平成 22 年度は、平成 21 年度に開発した 600V/20A ダイオードを用いて、ブロッキング試験や連続通電試験を実施し、耐量・信頼性の基本データを取得する。

平成 23 年度は、20A/40A ショットキーバリアダイオードを電源検討用に試作する。また、ブロッキング試験や連続通電試験を実施し、耐量・信頼性の信頼性データを取得し、Si 同等の信頼性を実証する。ショットキーバリアダイオードの開発については、加速資金を導入し 23 年度に最終目標を達成する。

平成 24 年度は、開発したショットキーバリアダイオードを多数個試作し、サーバ用回路・電源システム技術の検討用に供給する。

2.1.1.2 サーバ用回路・電源システム技術の開発

(1) 高速駆動回路技術

接合 FET は閾値電圧 V_{th} が約 1.5V と低く、かつ駆動最大ゲート電圧も 2.5V-3.0V と低いため、高速なスイッチング動作が得られない、さらにはノイズに対して弱いなどの点が問題である。

平成 21 年度は、接合 FET を駆動するための回路基礎検討を実施する。600V/40A(接合 FET デバイスは、10A 素子を 4 並列以上接続で対応)素子を用いて、高速にスイッチング可能な、ソース側の配線の接続方式を検討する。目標は、最適化した接続方式にて、ターンオン時間 100ns 以下、ターンオフ時間 100ns 以下を実現するゲート駆動回路を構築する。

平成 22 年度は、21 年度に開発する高速スイッチングゲート駆動回路を用い、600V/40A(接合 FET デバイスは、20A 素子を 2 並列以上接続で対応)素子を用いて、スイッチング速度を検証し、スイッチング損失を評価する。

(2) サーバ電源システム開発

平成 21 年度は、サーバ用電源システムで、目標効率 94%以上を達成し、かつ高信頼な動作を実現するための技術課題を抽出する。接合 FET は閾値電圧 V_{th} が約 1.5V と低く、オン時のゲート電圧(2.5V-3.0V)と閾値電圧との差が小さく、反対アームの dv/dt に対する誤オフ耐量が低いと考えられる。また、オフ時においても、反対アームの dv/dt に対する誤オン耐量が低いと考えられる。平成 21 年度は、閾値電圧 V_{th} (1.5V)に対する、誤オンや誤オフの dv/dt 耐量を明確化し、オンゲート電圧やオフゲート電圧の設計指針を立てる。

平成 22 年度は、SiC デバイスを適用した電源回路の設計、試作、評価検証が目標であり、21 年度の研究で得られた成果を元に実験用電源回路を作製し、誤動作に対する信頼性と効率を評価する。また、サーバ用電源の効率評価装置を導入し、PFC 回路部や DC/DC 回路部の各ユニットの効率評価を計測できるように効率評価装置を立ち上げる。

平成 23 年度は、20A 接合 FET と 20A ショットキーバリアダイオードを用いて PFC 回路部、DC/DC 回路部を部分試作し、これらの回路の動作確認と最適化調整を行う。この結果に基づいてサーバ向け電源回路を試作し、平成 22 年度に立ちあげる効率評価装置を用いて、93%の電源効率を検証する。

平成 24 年度は、23 年度に開発する 40A 接合 FET と 40A ショットキーバリアダイオードを PFC 回路部、DC/DC 回路部に適用して、電力容量が 2 kW 級のサーバ電源のプロトタイプを試作し、その電力変換効率が 50%負荷で 94% 以上であることを実証する。

表 II.2.1.1.1-1 研究開発スケジュール

	平成21年度	平成22年度	平成23年度	平成24年度
成果目標	<ul style="list-style-type: none"> 低損失・高速駆動検討 サーバ電源適用に対する課題抽出 600V/20A接合 FET・ダイオード 	<ul style="list-style-type: none"> SiCデバイスを適用した電源回路の設計、試作、評価検証 	<ul style="list-style-type: none"> 電源用接合FET、ダイオード及び回路技術を電源試作に適用し、目標効率達成のための改良を実施 	<ul style="list-style-type: none"> 変換効率94%実証 耐圧600V/電流40A/オン抵抗2.7mΩ cm²以下 Siデバイスに準じた信頼性試験実施
回路・電源システム	従来型接合FET適用回路検討	<ul style="list-style-type: none"> 駆動回路基礎検討 効率試算・課題抽出 	実験用電源回路	電源最終仕様
	電源用接合FET・ダイオード適用 SiCサーバ電源		SiCサーバ電源試作	<ul style="list-style-type: none"> 効率評価 調整 実証実験
デバイス	従来型接合FET・ダイオード [耐圧600V, 電流20A]	<ul style="list-style-type: none"> 大電流化 電源用特性評価(課題抽出) 耐量, 信頼性評価(課題抽出) 	電源用接合FET	平成22年度加速資金による前倒し
	電源用接合FET・ダイオード [耐圧600V, 電流20A/40A]	<ul style="list-style-type: none"> 要素技術検討 耐量, 信頼性向上 高閾値化検討 低損失化 	<ul style="list-style-type: none"> 大電流化 耐量, 信頼性評価 	デバイス最終仕様

2.1.2 SiC パワーデバイスを用いた太陽光発電用パワーコンディショナ技術開発

本節では、パワーコンディショナ技術開発の年度毎の開発内容を説明する。まず、パワーコンディショナについて説明し、その後 MOSFET について説明する。

2.1.2.1 パワーコンディショナの開発

本研究開発項目では、SiC パワー半導体デバイスやそれを用いた機器の特性向上と適用範囲の拡大のため、SiC パワー半導体デバイスを用いた電力変換器の実証を早期に実現することが緊急の課題である。

そのため本事業において、以下の開発を行う。

①電力容量が数 10kW 級の太陽光発電システム用の電源の高効率化に向けて、高速スイッチング技術、高キャリア周波数化技術、フィルタの最適化技術、電磁環境適合化技術などの電力変換技術を開発する。

以上の技術を開発するために、平成 21 年度から 24 年度の 4 年間に行う実施内容を以下に示す。また、そのときのスケジュールを図 II.2.1.2.1-1 に示す。

【H21 年度】

太陽光発電用パワーコンディショナの高効率化に向けて、スイッチング損失低減に大きな効果のある高速スイッチング技術の基礎検討を行う。具体的には高速スイッチング時に発生するサージ電圧抑制のために、低インダクタンス構造を持つ主回路構造を検討し、実験用プロトタイプを作製する。さらに SiC-MOSFET を高速駆動するための高速ゲート駆動回路方式を検討し、試作する。これらの試作した主回路、ゲート駆動回路を用いて、実際に SiC-MOSFET 及びショットキーバリアダイオードのスイッチング動作試験を実施し、様々なスイッチング特性データを取得する。続いて得られたスイッチング特性データをもとに、太陽光発電用パワーコンディショナ用の主回路方式の基礎検討を実施する。2 レベル、3 レベルなどの複数の主回路方式を検討し、それに対し、標準的なフィルタの特性データと上記実験で取得した SiC-MOSFET のスイッチング特性、静特性から、パワーコンディショナとしての動作条件における損失をシミュレーションにより計算し、それにより各回路方式の課題を抽出する。

また、フィルタの小型化に効果が期待される高キャリア周波数駆動については、スイッチング時のデッドタイム短縮に向けた検討を行い、デッドタイム 1 μ sec 以下を実現する駆動方式を確立する。加えて、フィルタを含まない変換器部単独で、キャリア周波数 50kHz での動作を検証する。

【H22 年度】

フィルタの最適設計手法開発として、各種のコア材、巻き線形状でのフィルタの損失特性、周波数特性の精密評価を実施する。続いて、21 年度に実施した主回路方式による損失推定に、前記評価検討において得られたフィルタの損失データを適用し、変換器とフィルタを含めた総合損失推定技術の高度化を図る。さらにフィルタ

を含んだ系での試験を行う。続いて、これらのデータ、知見を統合することにより、太陽光発電用パワーコンディショナの高効率を実現する主回路方式の最適化設計を行う。以上の検討結果をもとに、数kW級の太陽光発電用パワーコンディショナのミニモデルを設計、試作する。

太陽光発電用パワーコンディショナの特性を評価するための評価設備を導入し、上記ミニモデルの動作試験を実施し、効率評価を行う。これにより、高効率太陽光発電用パワーコンディショナ実現への課題抽出を実施するとともに、最終目標達成への技術的な見通しを明らかにする。

【H23年度】

太陽光発電用パワーコンディショナ開発では、H22年度に試作したミニモデルを用いた試験結果を元に30kW級太陽光発電用パワーコンディショナのプロトタイプによる目標達成に向けて設計検討を行う。H22年度に導入したパワコン評価設備によりプロトタイプの動作試験を実施し、損失・効率評価を実施する。得られた損失をベースにH22年度に検討を行った損失推定技術と組み合わせて、損失を詳細に解析する。

【H24年度】

太陽光発電用パワーコンディショナ開発では、H23年度の結果を元に最終目標達成に向けて三相交流を対象に30kW級太陽光発電用パワーコンディショナのプロトタイプを試作し、定格出力時に98%以上のシステム効率をもつことを実証する。

2.1.2.2 SiC-MOSFETの開発

そのため本事業において、SiC-MOSFETとして以下の開発を行う。

①パワーコンディショナの効率改善に必要なパワーデバイスの高性能化を行う。具体的には、ダイオードにSiC-ショットキーバリアダイオード、スイッチングデバイスにSiC-MOSFETを選択し、その低オン抵抗化等の高性能化技術を開発する。

以上の技術を開発するために、平成21年度から24年度の4年間に行う実施内容を以下に示す。

【H21年度】

パワーコンディショナ開発に必要なSiC-MOSFET、及びSBDを試作、供給するために、平成21年度当時として品質が安定している3インチSiCウェハを用いたプロセスを構築する。そのためにイオン注入機の3インチステージなどの設備を導入する。また、大電流デバイスのオンウェハ評価、連続通電評価などのデバイス評価設備を導入し、デバイスチップの信頼性基礎評価を含めた評価環境の整備を行う。また、SiCパワーデバイスのデバイス設計高度化の準備をあわせて行なう。

【H22年度】

ゲート酸化膜形成時の窒化プロセスの高度化を図り、低オン抵抗化を進める。さ

らにこれらのデバイスを変換器試作に供給する。また、SiC パワーデバイスのデバイス設計高度化を行なう。デバイスの信頼性の基礎評価も実施する。

【H23 年度】

H22 年度に開発した低オン抵抗化構造 MOSFET の技術を用い試作検証 30kW級パワコンに向けた特性と容量を兼ね備えた MOSFET を実現する。

【H24 年度】

H23 年度に開発した低オン抵抗化構造 MOSFET をもとに最終目標である耐圧：1200 V 以上、電流量：75A 以上、オン抵抗率：5 mΩ・cm² 以下(室温環境下)を達成し上記のパワーコンディショナプロトタイプの高効率向上に用いる。

本研究開発項目の開発スケジュールを図 II.2.1.2.1-1 に示す。平成 21 年度の加速資金を利用して、デバイスの性能向上に向け 3D シミュレーションソフトウェアを導入する。本シミュレータを用いることで SiC デバイス加速の前倒しが可能となりパワコンの開発を推進することが出来る。

開発スケジュール

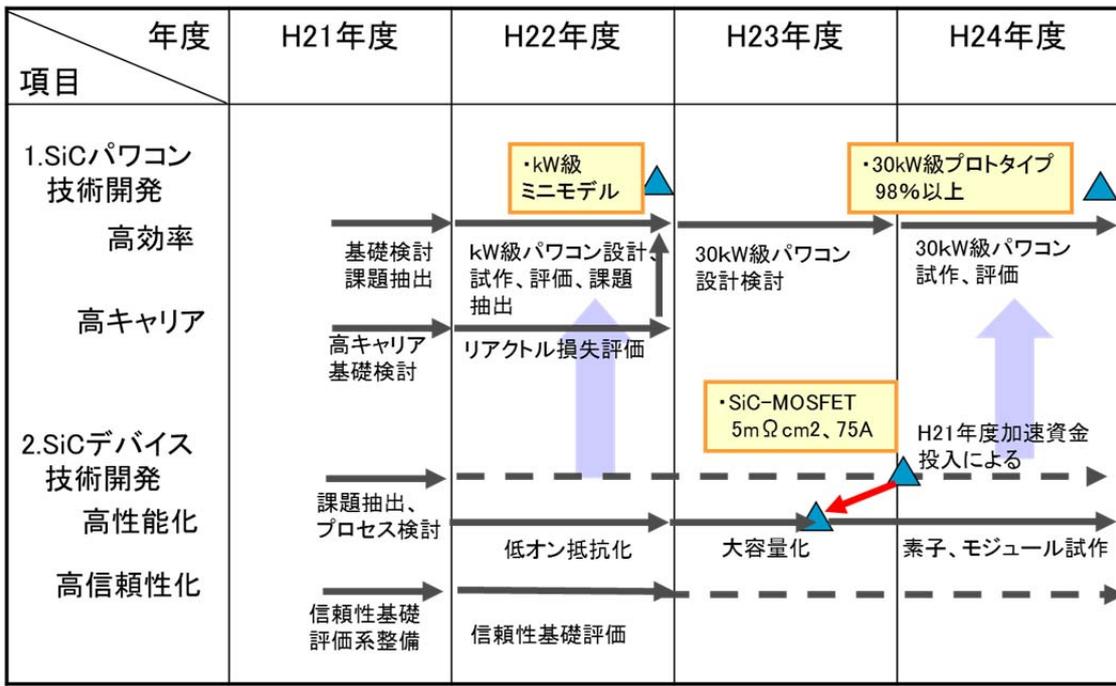


図 II.2.1.2.1-1 開発スケジュール

2.1.3 次世代 SiC パワーデバイス・電力変換器基盤技術開発

2.1.3.1 電力変換器 SiC スwitchングデバイス基盤技術

(1)低オン抵抗を有する高速スイッチングデバイス

スイッチングデバイスには複数のデバイス構造(JFET, MOSFETなど)が提案されているが、使いやすさ、制御性の高い MOS 構造への期待が高い。本プロジェクトでは第一世代の耐圧領域を対象とするので、1200V 程度以下が研究対象領域になる。この領域は Si パワーエレクトロニクス市場が非常に大きく、性能面で SiC デバイスの低オン抵抗を限界まで小さくすることが求められる。そのために、耐圧、オン抵抗などのデバイス構造パラメータの最適化を図るシミュレーション手法を駆使する。

UMOS構造を採用することで低オン抵抗特性を引き出すことを目指す。一方、UMOS 構造は電界集中による耐圧は低くなることが予想され。デバイスシミュレーションを駆使し最適構造の検討を行う。また、UMOS構造の作製には新たなプロセス技術も合わせて開発する必要がある。

(2) 電力変換用 SiC デバイスのトータル性能の信頼性

MOS 構造のデバイス特性や信頼性に影響を与える要因の一つは、SiC/SiO₂ヘテロ界面の安定性である。安定性や信頼性は酸化膜の作製手法に依存し、多くの研究成果が学会等で発表されているが、必ずしも統一的な解釈や見解が出ているわけではない。そのため、酸化手法の検討とデバイスの特性や信頼性に関わる界面の評価手法を駆使した研究を行う。また苛酷な使用や高温環境での使用が想定されるため、電極・配線のエレクトロマイグレーション寿命、破壊耐量に関する信頼性評価が必要である。200°C程度の温度環境は Si デバイスでは未踏の領域で高い温度環境にさらされることや負荷変動に伴う接合温度の変動を冷熱サイクルなどを通じてシミュレーションし、現象の把握や問題解決に繋げて信頼性の確保が重要である。そのため信頼性評価設備を整備して系統的評価を試みる研究を行う。

2.1.3.2 高温動作電力変換器設計試作技術

(1)高温高信頼化基盤技術

省エネルギー化の推進には、電力変換器の高効率化と並んで、その普及拡大が重要であることが、素子協調査報告書(「電力使用機器の消費電力量に関する現状と近未来の動向調査」2009年3月)等で指摘されている。電力変換器の普及拡大の阻害要因のひとつとして、電力変換器の設備体格が大きく、設置に制約を生じる事が挙げられる。すなわち、電力変換器の普及拡大には、小形・軽量化を進める事が重要である。また、小形・軽量化の進展は、部品の小形化や点数削減、輸送コスト削減な

どを通じた低コスト化にもつながる。

また、過去の NEDO プロジェクト(「パワーエレクトロニクスインバータ基盤技術開発」2006～2008 年度)における検討結果のひとつとして、低損失素子の高温動作化が電力変換器の出力パワー密度(電力変換既出力をその体積で除した小形・軽量化を示す指標)の向上に有効であるという結果が得られている(図 II. . .3.2-1)。この図は、600V 耐圧の SiC-MOSFET を利用した三相インバータ(スイッチング周波数 20kHz)の場合における SiC 素子の特性オン抵抗 $R_{on}S$ と接合温度(100～200℃)が、冷却体(ヒートシンク)のみを考慮に入れた際の出力パワー密度に与える影響を示したものである。この解析結果から、低損失の素子を高い接合温度で利用する事が、電力変換器の高出力パワー密度化に有効である事が読み取れる。(パワー素子の高温動作化により、素子のオン抵抗増大に伴う素子損失の増加を招くが、冷却体の温度上昇に伴う外気との熱交換効率の向上効果が現れるため、結果として冷却体の体積は小さくなる。このため、出力パワー密度が大きくなる。)

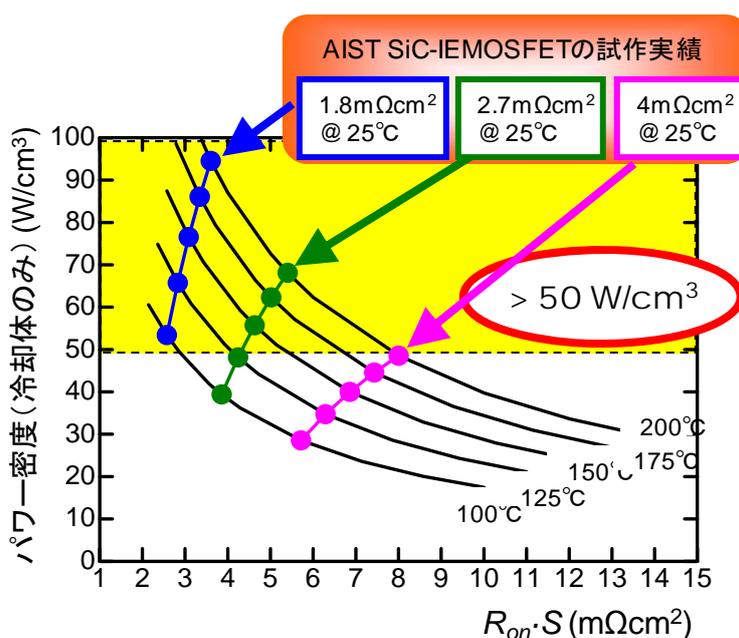


図 II.2.1.3.2-1 高温動作化による出力パワー密度の向上

以上に基づき、SiC 素子の接合温度の高温化による電力変換器の高出力パワー密度化技術が研究開発課題として設定される。

SiC 素子の接合温度の高温化による電力変換器の高出力パワー密度化技術の研究開発の線表を示す(図 II.2.1.3.2-2)。

パワー素子の高温動作化により、電力変換器の高出力パワー密度化が図られるが、その達成度はパワー素子の接合温度に影響される。また、パワー素子と共に利用さ

れる接合材(ハンダ等)、絶縁封止材などの材料の選択、熱応力対策もパワー素子の接合温度の条件に大きく左右される。従来の Si パワー素子で用いられている接合温度は、最大でも 150~175°C の温度領域である。SiC パワー素子単体は、Si パワー素子に比べて、高い接合温度での動作が可能であるが、この性質を利用した電力変換器を実現するためには、周辺材料も含めた検討が必要である。そこで、本研究開発では、以下の検討を行う事とする。

- ・実装シミュレーション技術

200~250°C という高い接合温度で素子を使おうとする場合、構成材料の物性値や高温時の素子特性の把握が重要である。しかし、この温度領域のデータが不足している状況である。このため、本技術開発の初期段階においては、高温環境における材料特性の把握等を進めるとともに、得られたデータに基づいた実装シミュレーション技術を開発する。これにより、実装時の状況を事前把握する事が可能となる。そして、高信頼高温実装技術の確立をめざし、実装シミュレーションの活用による構造面での改善を図る。

- ・接合の高温信頼性確保

実装に使われる半導体チップ、接合材、配線金属、基板、樹脂等の各種材料の長期信頼性を確保する必要があることから、それらの評価(単体評価だけでなく、組合せ評価を含む)を行い、劣化原因の明確化や劣化機構の解明を進める。そして、超寿命化に向けた対策を明らかにする。なお、信頼性向上にあたっては、前述の実装シミュレーション技術との連携を取りながら進め、最終段階では、250°C-1000 時間の高温耐久性を持つ実装技術を開発する。

- ・電力変換器の統合設計技術

本技術開発では、電力変換器の高出力パワー密度化を目標にしている。高出力パワー密度化を達成するための手段としては、パワー半導体の高温動作を可能とする高温実装技術と高速スイッチング技術が挙げられる。こうした電力変換器の設計には、種々の設計パラメータ(例えば、素子温度、スイッチング速度、スイッチング周波数、回路レイアウトなど)を決める必要がある。しかし、各設計パラメータの間には、トレードオフ関係があるなどするため、電氣的、熱的、機械構造的な設計のバランスをとる必要がある。そこで、本技術開発では、電気・熱・機械構造の各シミュレーションの併用とそれらに基づく部品配置や配線方式の改善、高速スイッチングに伴い問題が顕在化してくる EMI やサージ現象への対策などを進め、設計の高度化を図る。

以上の検討結果を踏まえ、最終年度において、200~250°C に対応する高温実装技術を適用した電力変換器の設計・試作を行い、出力パワー密度性能として、25~30KW/l の達成を目指す事とする。

	平成21年度	平成22年度	平成23年度	平成24年度
高温実装技術	実装評価 装置準備 実装シミュレーション 環境整備	高温環境のデータ蓄積(250°C-300h級) 実装シミュレーション(要素モデル中心)	実装技術高信頼化(1000h超への見通し) 実装シミュレーション(最終器に向けた解析)	実装技術高信頼化(250°C-1000h級) 200~250°Cの高温実装技術への対応
統合設計技術	高温動作変換器設計 設計法の整備(高温動作対応)	試設計	設計精度の向上	最終設計 変換器の設計条件明確化
試作器による検証	高温動作変換器の性能実証 基礎設計(回路方式等)	予備検証試験	要素モデル試験	試作器による検証 試作・検証試験
目標	当初目標		25~30W/cm ³ 級 要素モデル試験	25~30W/cm ³ 級 変換器の試作・検証
	加速費(22年度) 最終目標引き上げ	(目標前倒し達成)		40W/cm ³ 級
	加速費(23年度) 変形観測装置導入 最終目標再引き上げ		設計・評価精度の向上 (目標前倒し達成)	60W/cm ³ 級
	新構造モジュールの追加		(新規構造の提案)	両面冷却構造モジュールの試作・検証

注1：出力パワー密度の目標設定は、目標の前倒し達成(平成22および23年度)に伴う加速費の投入があったことから、2度に渡って引き上げられている。

注2：平成23年度の加速費投入に際しては、新規構造(両面冷却構造)の試作・検証が最終目標に追加されている。

注3：出力パワー密度は基本計画においてはW/cm³を用いているため本研究計画線表も同様に用いたが、本文中では実際の扱うパワーに合わせてKW/lを用いた。

図II.2.1.3.2-2 研究計画線表

(3)高温実装基盤技術

現在のパワーモジュールでは、パワー素子の配線にワイヤボンドを利用する事が一般的である。SiCパワー素子では、Siパワー素子に比べ、耐高温性、高速動作性、高耐圧性、高電流密度性の点で、有利な物性値を有しているが、高温条件下においても大きな電流密度を維持する要求に対しては、ワイヤボンドによる電流供給限界や信頼性への懸念が生じる。これに対し、パワー素子両面の電極に基板接合を形成する両面接合が実現できれば、ワイヤボンディングを排することが可能となり、高

温での電流供給に大きな改善が図られるとともに、放熱の点でも有利となる。また、両面接合構造は、ワイヤのルーピングのための空間も削減される点や、短配線化を通じたインダクタンスの低減の点でも魅力が大きい。また、ワイヤボンドに限らず、材料を高温環境で利用する場合には、材料自身の劣化(例えば、酸化や化学的あるいは冶金学的反応)などの懸念も存在するので、材料面からの信頼性評価も必要である。

こうした状況から、**200～250℃**のデバイス温度に対応可能な部品・材料等に対する試験評価(高温放置試験や熱サイクル試験等による材料評価)を進めるとともに、次世代型の実装構造として、両面接合方式によるモジュールを目指した開発を行う。

接合材料に関しては、**AuGe** 高温はんだの接合特性の評価を行い、劣化機構の解明を進めた。その結果、**W** 拡散バリアの導入による劣化抑制を提案し、その効果を確認した。また、劣化機構の解明を通じ、接合の寿命予測を行う手法を見出す事に成功し、必要な寿命を確保するための電極の仕様を明確化した。また、**CuSn** や **Au** ペーストによる接合形成に関する検討を進め、両面接合方式のモジュール構造の実現に目途をつけた。(なお、**CuSn** や **Au** ペースト等の材料の適用は、近傍への受動素子の設置や、更なる積層化を可能とするので、パワーモジュールの三次元高密度実装につなげることが出来る有用な技術である。)

これらの技術を利用した両面接合方式の構造の実現は、放熱性能向上(チップの両面からの抜熱が可能)や配線インダクタンスの低減といった効果をもたらす。そこで、こうした観点から、三次元回路における回路パラメータの抽出を目的に、電磁界解析シミュレーションを活用した三次元回路技術の開発も進める。

(4)統合設計技術

設計段階から実装構造の挙動を把握する事ができるよう、高性能な熱/機械のシミュレーション技術の確立を目的として検討を進める。材料単体の熱的/機械的な物性パラメータの把握、複合部品の実効的物性パラメータの把握、実変形(弾性変形、塑性変形)観測を通じたシミュレーションの精度向上を図る観点からデータの蓄積を図る。また、これらの解析技術に基づき、熱応力緩和を考慮した実装構造の提案を行う。

また、高速スイッチング時に問題となってくるスイッチングサージの問題について、その発生機構の明確化を行うとともに、回路条件とスイッチング速度の関係から決まるサージ抑制条件を導出した。そして、サージの抑制効果を実験的に確認した。これにより、素子の高速スイッチングに伴う問題が解決できるとともに、回路設計面での指針が示される。

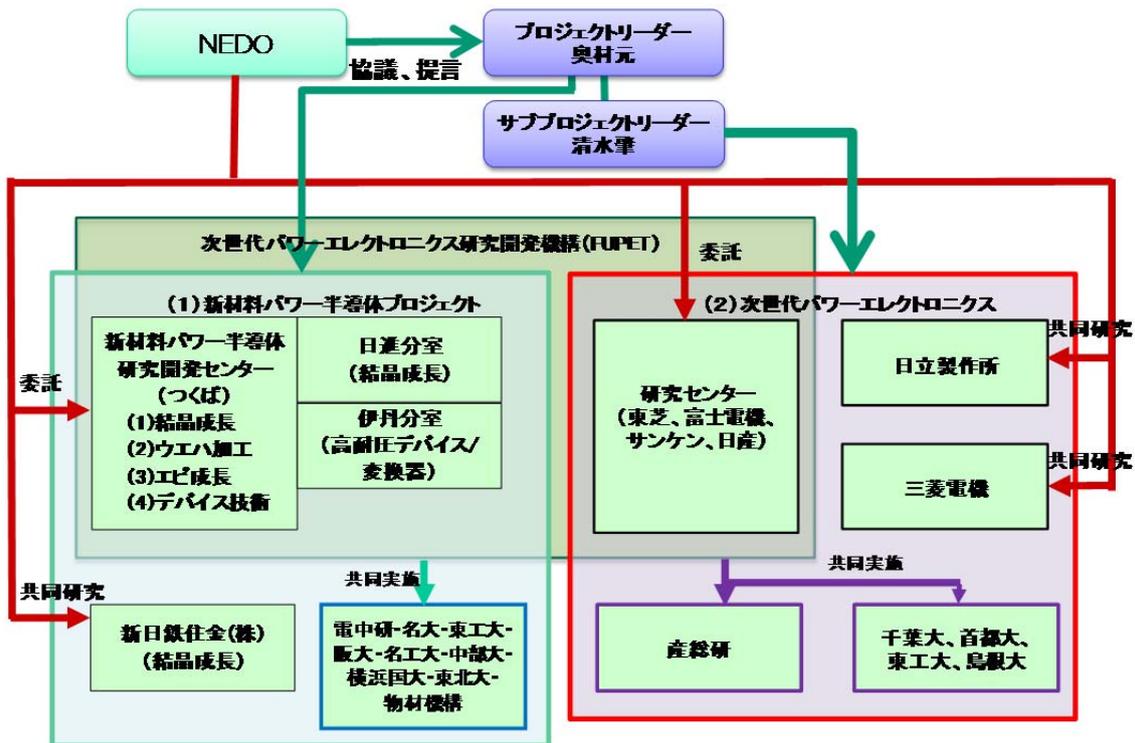
電力変換器の設計における種々の設計パラメータ(例えば、素子温度、スイッチング速度、スイッチング周波数、回路レイアウトなど)の決定に際しては、設計パラメータ間のトレードオフ関係を考慮に入れた最適化が必要である。そこで、前 NEDO

プロジェクト(「パワーエレクトロニクスインバータ基盤技術開発」2006～2008年度)において開発された統合設計法で利用する設計データベースに接合温度の条件を追加し、拡張を行った。具体的には、接合温度が異なる場合の素子の挙動をデータベースに取り込み、対応可能な接合温度の条件を拡張する。また、冷却部品の選定についての検討幅を広げるために、冷却系の設計パラメータである冷却風速のデータを取り込むための拡充を行う。これにより、高温動作電力変換器の設計パラメータの決定を容易に行えるようになる。

2.2 研究開発の実施体制

本研究開発は、NEDO 技術開発機構が、単独ないし複数の原則、本邦の企業、研究組合、公益法人等の研究機関(原則、本邦の企業等で日本国内に研究開発拠点を有していること。なお、国外の企業等(大学、研究機関を含む)の特別の研究開発能力、研究施設等の活用または国際標準獲得の観点から国外企業等との連携が必要な部分を、国外企業等との連携により実施することができる。)から公募によって研究開発実施者を選定後、共同研究契約等を締結する研究体を構築し、委託して実施する。H21 年度に採択された機関は技術研究組合次世代パワーエレクトロニクス研究開発機構(以下、FUPET)と独立行政法人産業技術総合開発機構(以下、産総研)である。

共同研究開発に参加する各研究開発グループの有する研究開発ポテンシャルの最大限の活用により効率的な研究開発の推進を図る観点から、研究体には NEDO 技術開発機構が委託先決定後に委嘱する研究開発責任者(プロジェクトリーダー、以下 PL)を置き、その下に研究者を可能な限り結集して効果的な研究開発を実施する。上記要件の下、本プロジェクトの管理・運営に関しては、技術的な指導・適切な予算の執行・効率化を意識した研究開発項目の組み換え等に指導力の発揮を期待し、PL 及びサブプロジェクトリーダー(以下、SPL)を設置した。PL は、独立行政法人 産業技術総合研究所 先進パワーエレクトロニクス研究センター長 奥村元氏に、SPL は独立行政法人 産業技術総合研究所 先進パワーエレクトロニクス研究センター 清水肇氏に委嘱した。H22 年度にスタートした「低炭素社会を実現する新材料パワー半導体プロジェクト」との分担を明確にすべく、研究開発項目①として「低炭素社会を実現する新材料パワー半導体プロジェクト」を設置し実質的リーダーとして奥村元氏を位置づけると共に、研究開発項目②として「次世代パワーエレクトロニクス技術開発(グリーンITプロジェクト)」を設置し実質的リーダーとして清水肇氏を位置づけた。実施体制の概念を図 II.2.2-1 に示す。



図Ⅱ.2.2-1 平成 24 年度のプロジェクト実施体制

2.3 研究開発の運営管理

研究開発全体の管理・執行に責任と決定権を有する NEDO 技術開発機構は、経済産業省及び PL と密接な関係を維持しつつ、プログラムの目的及び目標、並びに本研究開発の目的及び目標に照らして適切な運営管理を実施する。また、必要に応じて、外部有識者の意見を運営管理に反映させる。具体的には、年 2 回開催する NEDO 定期ヒアリングほか、随時のコミュニケーションを通して運営管理に NEDO の意思を反映させる。

3.情勢変化への対応

H22年度より、次世代 SiC パワーエレクトロニクスを効果的に開発するために産業の上流にあたる材料開発に重点を置いた「低炭素社会を実現する新材料パワー半導体プロジェクト」を新たにスタートさせた。これにより材料開発からデバイス／モジュール開発をカバーする「低炭素社会を実現する新材料パワー半導体プロジェクト」と、デバイス／モジュール開発からパワーインバーター／コンディショナー開発をカバーする本プロジェクト「次世代パワーエレクトロニクス技術開発(グリーンITプロジェクト)」の役割分担がより明確になりシナジー効果による効率的な技術開発が可能となった。

一方、情勢変化に対応してより効率的な技術開発を行うために実施体制の変更も積極的に行ってきた(図 II.3-1 参照)。H21 年度に委託した産総研は、独立行政法人への委託を見直す方針と、既にあるつくば集中研への委託を一括管理とすべく H22 年度に FUPET への委託として一本化した。これにより事務処理の簡素化が図れると共により効率的な分室、集中研間の情報交換が可能となった。さらに研究開発項目(1)と(2)の技術開発度が成熟した H23 年度にはデータセンタ用サーバ電源の事業化を担う日立製作所が開発項目(1)を共同研究として担当し、太陽光発電用パワーコンディショナの事業化を担う三菱電機が開発項目(2)を共同研究として担当した。両開発項目に共通する高パワー密度のモジュール開発を目的とした基盤技術は引き続き FUPET が担当した。

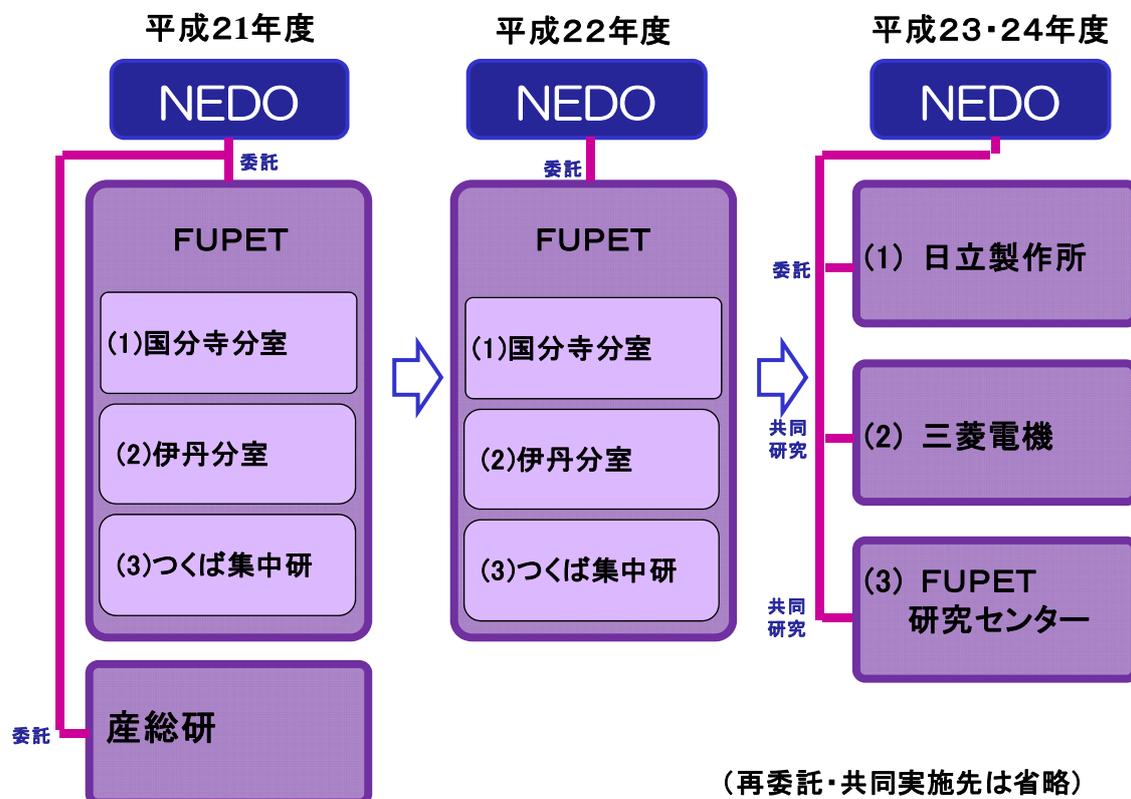


図 II.3-1 プロジェクト実施体制の変遷

NEDO は情勢変化に応じた技術開発マネジメントを常に意識している。技術開発の進展に対応した予算の追加配分もその一つである。平成 21 年度に加速資金を投入して、研究開発項目(2)「SiC パワーデバイスを用いた太陽光発電用パワーコンディショナ技術開発」の事業内容「スイッチング損失低減に大きな効果のある高速スイッチング技術の基礎検討」において、三次元のデバイスシミュレーターを用いた MOSFET デバイス内の脆弱点の推定、及び強化のための設計支援を行った。この措置により当初目標よりトータル損失を更に低減した世界最高の低損失電力変換機器を持つ太陽光発電用パワーコンディショナを実現することが出来た。H22 年度には、SiC パワーFET 高温実装および MOSFET 高度化技術のため、及び世界最高パワー密度の大電力インバータ開発用のデバイス信頼性向上開発設備のために、それぞれ加速資金を投入した。前者の措置によって当初目標のパワー密度を大幅に向上させた 40kW/l に目処がついた。また後者の対応によって JFET デバイス開発の一年前倒しが可能となった。H23 年度には次世代 SiC 電力変換器基盤技術開発に係る EMC 問題を解決するために、ノイズ原因をつきとめて大幅に低減するとともに、微小変形の測定を試作にフィードバックして設計技術を高度化させることに加速資金を投入し、SiC 電力変換器の革新的な設計方針を国外に先駆けて具体化し特許出願を行った。以上のように、本プロジェクトでは各研究開発項目の重要局面においてタイムリーな加速資金投入を実施した結果当初計画以上の成果を上げるに至った。

Ⅲ. 研究開発成果について

1. 事業全体の成果

目標に対する成果、目標の達成度を表Ⅲ.1-1 に示す。

表Ⅲ.1-1 全体成果のまとめ

目 標	研究開発成果	達成度
(1)SiC パワーデバイスを用いたデータセンタ用サーバ電源技術開発		
<p>耐圧：600V 以上、電流容量：40A 以上、オン抵抗率：2.5mΩ・cm² 以下(室温環境下)の SiC スイッチングデバイスを開発する。また、電力容量が 2kW 級のサーバ電源のプロトタイプを試作し、その電力変換効率が 50%負荷で 94% 以上であることを実証する。</p>	<p>耐圧：740V、電流容量：40A、オン抵抗率：2.1mΩ・cm²(室温環境下)の SiC 接合 FET を開発した。 2kW サーバ電源のプロトタイプを試作し、50%負荷で 95.10%の電力変換効率を実証した。</p>	達成
(2)SiC パワーデバイスを用いた太陽光発電用パワーコンディショナ技術開発		
<p>耐圧：1200V 以上、電流容量：75A 以上、オン抵抗率：5mΩ・cm²以下(室温環境下)の SiC スイッチングデバイスを開発する。この SiC スイッチングデバイス技術を用いて、太陽光発電用パワーコンディショナ技術を開発して、電力容量が 30kW 級の太陽光発電用パワーコンディショナのプロトタイプを試作し、これが定格出力時に 98%以上のシステム効率をもつことを実証する。</p>	<p>低オン抵抗化技術の開発を行い、特性オン抵抗率 5mΩ・cm² かつ大面積(有効面積 5mm²)MOSFET を試作し 75A 通電を実証した。 30kW 級の太陽光発電用パワーコンディショナのプロトタイプを試作し定格運転時の変換効率 98%以上(ピーク効率 98.88%)を実証した。</p>	達成
(3)次世代 SiC パワーデバイス・電力変換器基盤技術開発		
<p>次世代パワーデバイスをデバイス温度(注1)200～250℃で動作させることを可能とする高温実装技術を開発する。また、デバイス温度 250℃という高温動作デバイス条件を取り入れた高出力パワー密度変換器の統合設計技術の適用により、60kW/ℓ 級の出力パワー密度(注 2)を持つ革新的電力変換器の動作検証が可能なレベルの要素技術を確立する。</p>	<p>Au-Ge、Zn-Alダイアタッチ、絶縁基板、Alワイヤボンド及び封止材を開発。これらで+250℃-3000 時間放置、-40～+250℃-3000 サイクルを実証した。 Alワイヤボンドのパワーサイクル試験(ΔTj=165℃)において、2 万サイクル超の高信頼を実証した。 上記技術を用いた All-SiC パワーモジュールを開発。これを用いた三相インバータを試作し、モータ実負荷動作にて有効性を確認した。同3次試作において、70kW/ℓ(25kW, 0.34ℓ)を実証した。</p>	達成

<p>(注1)外部環境温度にデバイス自己発熱による温度上昇分を加えた温度をデバイス温度と定義する。以後に記載されるデバイス温度は全て同定義である。</p> <p>(注2)出力パワーを SiC パワーデバイス・周辺回路素子・フィルタ・ヒートシンクから成る構成体の総体積により除算したものを出力パワー密度と定義する。</p>		
--	--	--

注：項番は、基本計画の研究開発項目番号

2. 研究開発項目毎の成果

2.1 SiC パワーデバイスを用いたデータセンタ用サーバ電源技術開発

本章では SiC パワーデバイスを用いたデータセンタ用サーバ電源技術について各項目を詳細に説明する。はじめに SiC 接合 FET およびショットキーバリアダイオードについて、次にサーバ用回路・電源システム技術の詳細について述べる。

2.1.1 SiC 接合 FET およびショットキーバリアダイオードの開発

本項では、まずサーバ電源搭載に向けた 600V, 40A の大容量 SiC 接合 FET 開発の課題について述べる。次にこの課題を解決するチャンネルプロファイル技術、チップレイアウト技術、界面準位低減プロセス構築結果について述べる。開発した技術を適用しオン抵抗 $2.1\text{m}\Omega\cdot\text{cm}^2$ の実証結果や信頼性評価結果について説明する。続いて SiC ショットキーバリアダイオードの試作結果について述べる。具体的には、これまで自社で開発してきた 10A ダイオードプロセスに、SiC 接合 FET 開発のために構築した大容量向け共通プロセス技術を適用し、4mm \square チップのダイオードを試作した結果について述べる。

2.1.1.1 600V, 40A, SiC 接合 FET の開発

SiC 素子を大容量化するためには、チップ面積を大きくすることが最も効果的である。しかしながら SiC 基板には多数の欠陥が含まれており、安易な大面積化はチップ歩留まりを極端に低下させてしまう。したがって素子構造を工夫して特性オン抵抗($\text{m}\Omega\cdot\text{cm}^2$)を低減し、チップ面積増加を最小限に抑える技術が重要となる。接合 FET の特性オン抵抗を低減するためには、そのチャンネル構造を微細化、即ち単位面積当たりに含まれるユニットセル(接合 FET 一つのチャンネル)を縮小することが必須である。ここでユニットセルを縮小することは、接合 FET のソース幅(図Ⅲ.2.1.1.1-1 の p+gate 間で挟まれた距離)を狭くすることである。ソース幅を狭くすると、単位面積当たりの素子数が増えるため、特性オン抵抗が低減できる。その一方、ソース幅を狭くするため、微細化した接合 FET の特性はソース幅の加工寸法誤差の影響を受けやすくなる。例えばソース幅が設計寸法よりも狭くなると、オン抵抗が増加してしまう。したがってソース幅を狭くした場合においても、特性オン抵抗が増加しないようにチャンネル領域の不純物濃度を高くする必要がある。しかし安易にチャンネル領域の不純物濃度を高くすると、チャンネル領域の一部で高電界が生じ耐圧が低下する懸念もある。このため、微細チャンネル構造を有する接合 FET のオン抵抗低減と耐圧確保が一つの課題となる。

大容量化のためには、特性オン抵抗を低減できたとしてもある程度のチップサイズ拡大は避けられない。大面積化した場合の二つ目の課題は、ゲート配線抵抗の低減である。接合 FET はゲートソース間に寄生ダイオードを有するため、2.5V 程度のゲート電圧を印加するとゲートソース間に順方向のリーク電流が流れる。したがって、大面積化によってゲート配線抵抗が増加すると、ゲートリーク電流起因による電圧効果が生じる。接合 FET のオン抵抗はそのゲートソース間電圧に強く依存するため、ゲート電圧が降下するとオン抵抗が低下してしまう恐れがある。

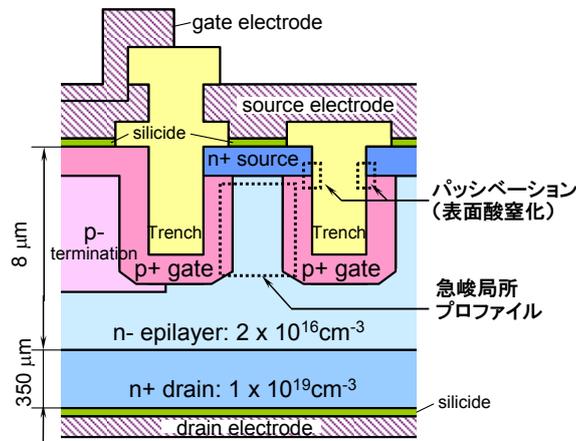
三つ目の課題は、接合 FET のしきい値制御である。接合 FET は空乏層幅で制御されるため、そのしきい値は約 1V であり、一般的な SiMOSFET のしきい値(約 2~6 V)と比較して低い。回路技術の部分で後述するが、しきい値が低いとインバータ動作時に誤点弧が発生する、動作マージンが確保できない等の問題が生じるためしきい値の制御が重要である。

最後の課題は、Si 素子同等の信頼性の確保である。SiC は様々な結晶欠陥を含むため、層間絶縁膜との界面に界面準位が存在する。この界面準位には電荷の出入りがあるとされ、接合 FET やダイオードを長時間通電させたときに耐圧低下等の原因となる。このため Si 素子同等の信頼性(長時間の通電/耐圧状態後も特性変動なし)を確保するためには、界面準位を低減するプロセス技術の構築が不可欠である。

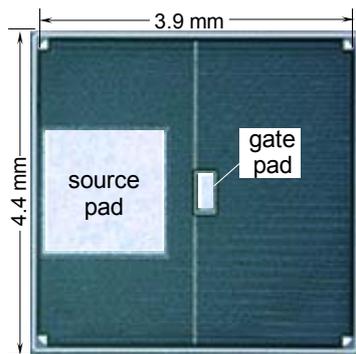
以上説明したように、SiC 接合 FET を大容量化するためには四つの大きな課題がある。以下この四つの課題の解決方法を検討し、その効果を説明する。

(1) 微細チャネル接合 FET のオン抵抗低減と高耐圧化の両立

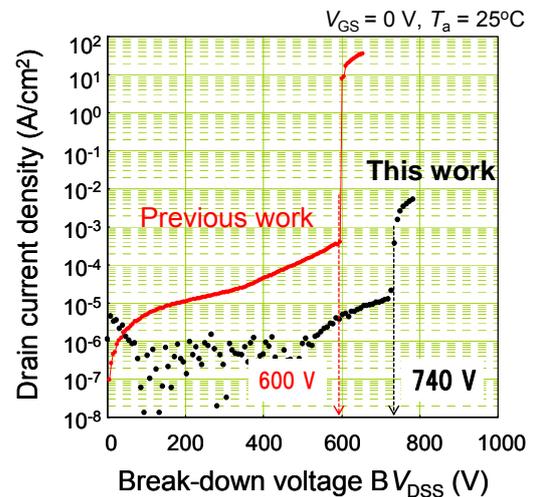
図Ⅲ.2.1.1.1-1 に今回試作した接合 FET の断面概略図を示す。接合 FET の構造は、これまで自社で開発してきた、トレンチ部に形成した p+gate でドリフト領域を挟み込んだ縦型トレンチ接合 FET である。本プロジェクトではこの構造をベースに、オン抵抗低減のため局所的にチャネル領域の不純物濃度を高めた急峻局所プロファイルを開発した。これによりチャネル領域のキャリアの伝導度が高められ、ソース幅を微細化した場合においてもオン抵抗の低減が可能となる。また局所的に不純物濃度を高めているため、高電界が発生しやすい箇所の電解集中が避けられ耐圧確保が可能となる。さらに、P+gate とドリフト層の濃度勾配が急峻となるため、チャネル領域内の静電ポテンシャルが過剰に低下せず、高耐圧化が実現できる。図Ⅲ.2.1.1.1-2 に試作した 40 A 接合 FET のチップ外観を示す。



図Ⅲ.2.1.1.1-1 試作した接合 FET の断面概略図



図Ⅲ.2.1.1.1-2 試作した 40A 接合 FET



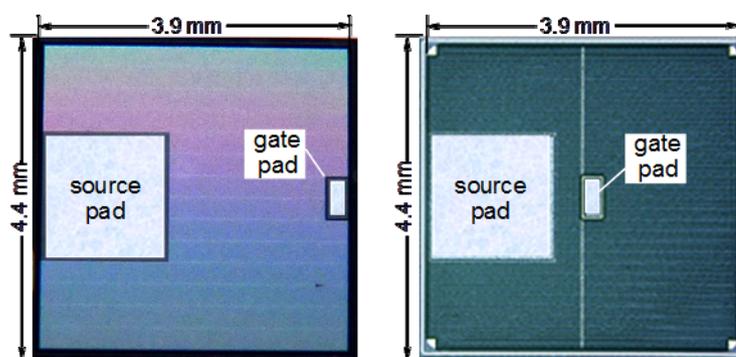
図Ⅲ.2.1.1.1-3 耐圧特性

図Ⅲ.2.1.1.1-3 に耐圧特性の測定結果を示す。局所的な高電界領域の抑制とチャネル領域の濃度勾配急峻化に効果によって、耐圧を 600V から 740V まで高耐圧化できた。なおオン抵抗低減の効果は、急峻局所プロファイルに加え、ゲート配線抵抗の低減効果も含まれるため、次の項目で説明する。

(2) ゲート配線抵抗の低減

図Ⅲ.2.1.1.1-4 に従来の 40A 接合 FET と新たに試作したゲートパッド最適配置を実施したチップレイアウトを示す。自社開発してきた小容量接合 FET はワイヤボンディングの容易性やゲート配線抵抗値がオン抵抗に与える影響が小さいと判断し、図

の従来 40A 接合 FET と同様にゲートパッドをチップ端部に配置していた。一方、本プロジェクトで開発した 40A 接合 FET はチップサイズが大きく、ワイヤリングの観点からはゲートパッド配置の自由度が増す、また検討の結果、ゲート配線長の遠近端差が大きくゲート配線抵抗値が大きくなりオン抵抗に与える影響が増加することが分かった。そこでゲートパッドの配置をチップ端部からチップ中央へ配置することで、ゲートパッドから遠端の接合 FET ユニットセルのゲート電極まで距離が短くなりゲート配線抵抗が低減できる。試算ではゲート抵抗を約 1/4 に低減できる。この結果、ゲートリーク電流起因の電圧降下が少なくなる。またゲートパッドから接合 FET セルのゲート電極までの遠近端差が少なくなる効果もあり、スイッチング時に多数のユニットセルが同時にオン及びオフし、スイッチ速度を高速化される効果も期待できる。



(a) チップ端配置

(b) チップ中央配置

図Ⅲ.2.1.1.1-4 接合 FET のゲートパッド中央配置化

ゲートパッド中央配置化と前述した急峻局所プロファイルを併用することで、特性オン抵抗を従来の $3.5\text{m}\Omega\cdot\text{cm}^2$ 程度の値から $2.1\text{m}\Omega\cdot\text{cm}^2$ に低減できることを確認した。

(3) SiC 接合 FET のしきい値制御

接合 FET のしきい値は約 1V と低いため、インバータ動作時に誤点弧が発生する、動作マージンが確保できない等の問題が生じる。そこで接合 FET のゲート電極に外付けダイオードを直列に接続するダイオード型しきい値制御方式を考案した。図 III.2.1.1.1-5 に本方式の概略回路図を、図 III.2.1.1.1-6 にしきい値を制御した効果を示すしきい値特性を示した。

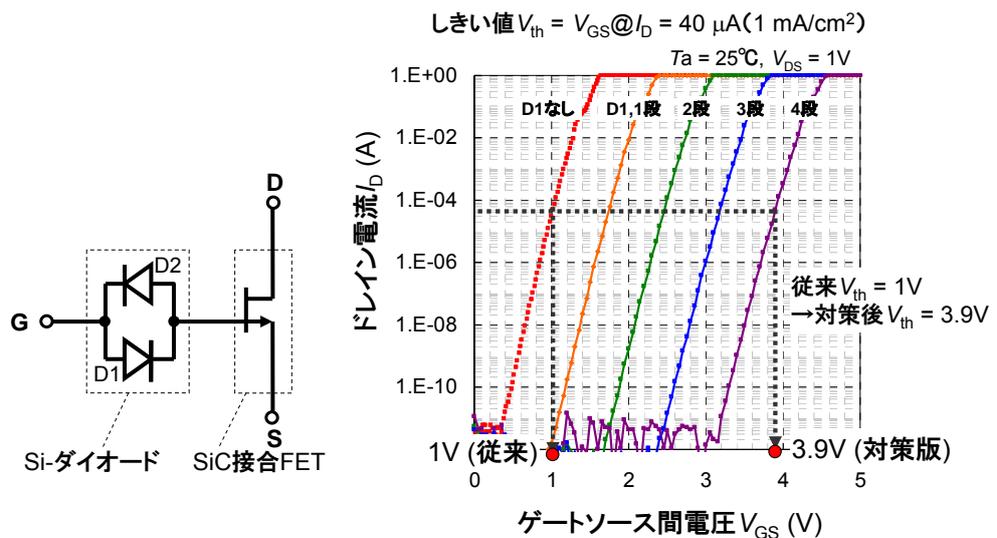


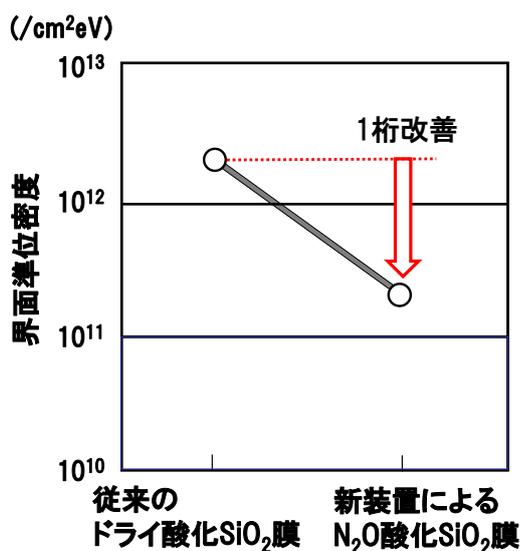
図 III.2.1.1.1-5 提案しきい値制御方式

図 III.2.1.1.1-6 しきい値特性測定結果

図 III.2.1.1.1-6 に示したように、開発した接合 FET 素子のしきい値は 1V であるのに対し、ダイオード D1 を直列 4 段接続した場合の実効的なしきい値は 3.9V となる。本方式を用いれば、接合 FET のしきい値が低いというデメリットを補うことができる可能性がある。なお、この方法は直列接続するダイオードの段数で所望のしきい値を制御できる利点がある半面、多段にダイオードを接続するため実装面積が増加するというデメリットもある。このため、サーバ電源への実装方法や接合 FET のゲート駆動電圧設計等に鑑み適用/非適用を選択する必要がある。

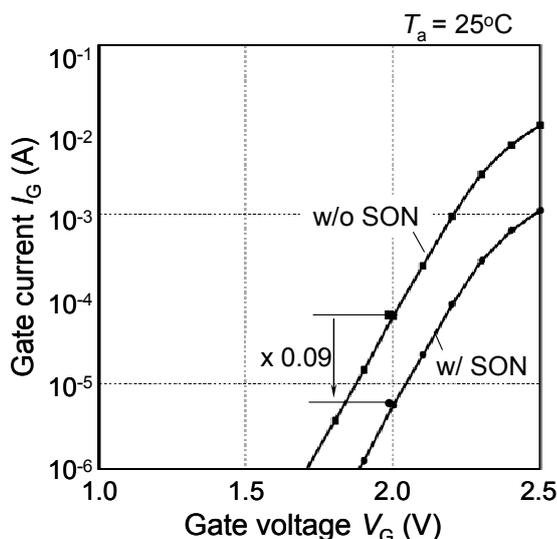
(4) SiC 接合 FET の信頼性確保

SiC は様々な結晶欠陥を含むため、層間絶縁膜との界面に界面準位が存在する。この界面準位には電荷の出入りがあるとされ、接合 FET やダイオードを長時間通電させたときに耐圧低下等の原因となる。このため Si 素子同等の信頼性(長時間の通電/耐圧状態後も特性変動なし)を確保するためには、界面準位を低減するプロセス技術の構築が不可欠である。そこで SiC/層間絶縁膜の界面準位を低減するためにパッシベーション膜形成装置を導入した。



図Ⅲ.2.1.1.1-7 Si 面キャパシタによる界面準位の測定結果

本装置を用いれば層間絶縁膜形成後に窒化処理を施すことができる。窒化処理を施すことで、SiC/層間絶縁膜に存在する界面準位を低減できる。図Ⅲ.2.1.1.1-7 に本装置を用いて作製した Si 面キャパシタにおける界面準位の測定結果を示す。測定の結果、界面準位を一桁低減できることが分かった。なお本装置による界面準位低減効果によって、接合 FET のゲートソース境界側面の界面準位起因のゲートリークも削減できる。図Ⅲ.2.1.1.1-8 に本装置適用前後のゲートリーク特性を示した。w/o SON(Surface Oxynitridation) のサンプルは表面酸窒化を実施しなかったサンプル、w/ SON は表面酸窒化を施したサンプルである。図から分かるように、ゲートリーク電流を約一桁低減できることが明らかになった。



図Ⅲ.2.1.1.1-8 順方向ゲート電流のゲート電圧依存性

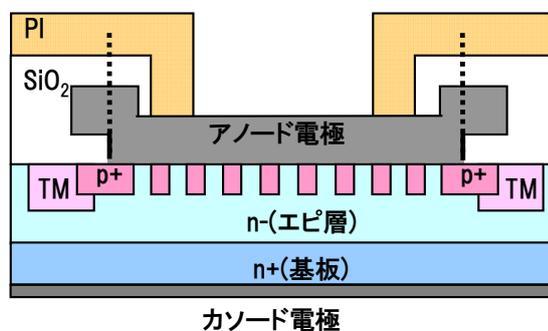
以上のように、本装置を用いれば界面準位低減による信頼性確保が可能となる。そこで接合 FET の高温逆バイアス試験、高温通電試験、負荷短絡試験を実施し、Si 同等の性能が得られるか評価した。評価結果を表Ⅲ.2.1.1.1-1 に示す。表Ⅲ.2.1.1.1-1 の結果から分かるように、導入したパッシベーション膜形成装置を適用して接合 FET を試作することで、Si 素子同等の信頼性確保が可能であることを実証できた。

表Ⅲ.2.1.1.1-1 SiC 接合 FET の信頼性評価結果

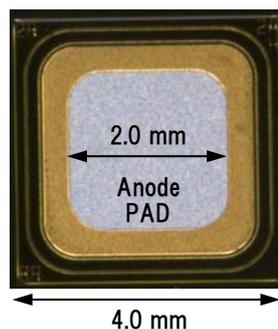
試験項目	判定	判断基準	評価結果	サンプル数	評価条件
高温逆バイアス	○	長時間経過後の 特性変動の有無	特性変動無し	3	ドレイン電圧 $V_{DS} = +600V$, $T_a = 150^\circ C$, 300hr
高温ゲート正バイアス	○			5	ゲート電圧 $V_{GS} = +2.5V$, $T_a = 150^\circ C$, 1000hr
高温ゲート負バイアス	○			5	ゲート電圧 $V_{GS} = -2.5V$, $T_a = 150^\circ C$, 1000hr
負荷短絡	○	破壊時間 > 20 usec	200 ~ 700 usec	2	ゲートパルス幅 10~1000us, $V_G = 3.5 V$

2.1.1.2 600V, 40A, SiC ショットキーバリアダイオードの開発

次にサーバ電源用に開発した 600V, 40A SiC ショットキーバリアダイオードについて説明する。今回試作したダイオードについては、これまで自社で開発してきた 10A ショットキーバリアダイオード技術をベースにしている。図Ⅲ.2.1.1.2-1 にショットキーバリアダイオードの概略構造図を示す。SiC 基板の上にエピ層を形成し、ストライプ状に p+領域を形成するジャンクションバリア型ショットキーバリアダイオードである。サーバ電源向けに 40A の大容量ダイオードを開発するにあたり、大容量接合 FET 開発のために構築した共通プロセス技術を 40A ショットキーバリアダイオードにも適用した。図Ⅲ.2.1.1.2-2 に試作した 600V 40A ダイオードのチップ外観を示す。

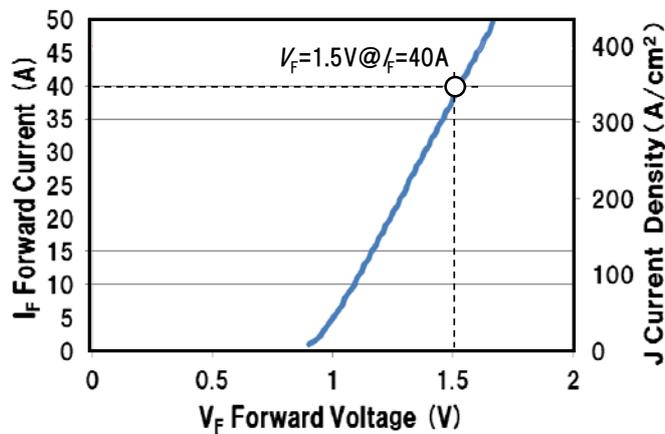


図Ⅲ.2.1.1.2-1 ショットキーバリアダイオードの概略構造図

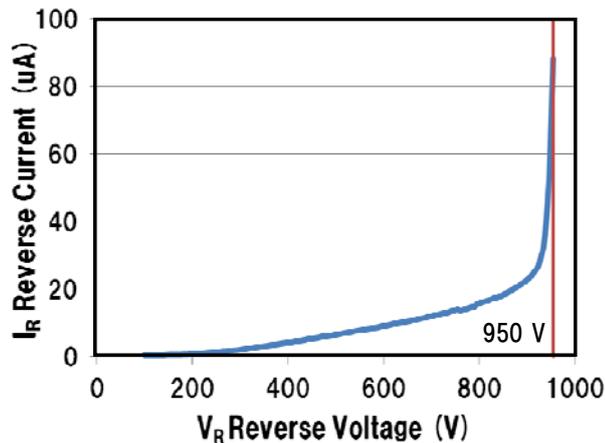


図Ⅲ.2.1.1.2-2 試作した 600V 40A ショットキーバリアダイオード

図Ⅲ.2.1.1.2-3 に試作した 40A ショットキーバリアダイオードの順方向電流電圧特性を示す。測定の結果、オン電圧 $V_F = 1.5 \text{ V}@I_F = 40\text{A}$ であり、目標オン電圧 2.0V 以下を実証できた。また耐圧特性を図Ⅲ.2.1.1.2-4 に示す。得られた耐圧は目標耐圧 600 V を超える 950 V であり、サーバ電源搭載に十分なオン電圧と耐圧を確保できることが実証できた。また接合 FET と同様に信頼性試験を実施した。表Ⅲ.2.1.1.2-1 に評価結果を示す。この表から分かるように、本プロジェクトで構築した高信頼性プロセス技術を用いることで、Si 同等の信頼性を確保することができた。



図Ⅲ.2.1.1.2-3 順方向電流電圧特性 ($T_a = 25^\circ\text{C}$)



図Ⅲ.2.1.1.2-4 耐圧測定結果 ($T_a = 25^\circ\text{C}$)

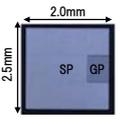
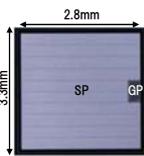
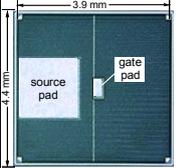
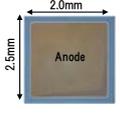
表Ⅲ.2.1.1.2-1 ショットキーバリアダイオードの信頼性評価結果

試験項目	判定	判断基準	評価結果	サンプル数	評価条件
高温逆バイアス	○	長時間経過後の特性変動の有無	特性変動無し	5	ドレイン電圧 $V_{AK} = +600\text{V}$, $T_a = 150^\circ\text{C}$, 1000hr
高温順方向通電	○	定格以上の電流耐量	定格の9倍	2	DC 40A, $T_a = 150^\circ\text{C}$, 1000hr
IFSMサージ	○	定格以上の電流耐量	定格の9倍	1	周期 50Hz(10ms)パルス印加

2.1.1.3 加速資金による研究成果前倒しの効果

本プロジェクトは、SiC デバイス開発を H24 年度に完了する予定であった。一方で米国の Semisouth 社やドイツのインフィニオン社らが H23 年度に接合 FET やショットキーバリアダイオードの製品化をアナウンスし始めたため、本プロジェクトにおいても SiC 素子開発を加速する必要があると判断し、そのためのプロセス装置を導入した。本装置の導入により、SiC 素子開発を H23 年度に完了することができた。表Ⅲ.2.1.1.3-1 に当初の SiC 素子開発と加速資金導入による研究成果前倒しの結果を示した。

表Ⅲ.2.1.1.3-1 加速資金導入による SiC 素子開発前倒しの効果

年度	H21年度		H22年度		H23年度		H24年度	
	4月	3月	4月	3月	4月	3月	4月	3月
600V 接合FET								
開発目標								
電流容量(A)	10 A 2並列		20 A		20 A		40 A	
オン抵抗率(mΩ・cm ²)	≤3.5		≤3.5		≤2.5		≤2.5	
信頼性試験							Si同等性能	
開発実績								
試作チップ							1年前倒し	
電流容量(A)	10 A 2並列		20 A		40 A			
オン抵抗率(mΩ・cm ²)	3.3		2.5		2.1			
信頼性試験	—		Si同等性能確認		追加項目確認			
600V ショットキーダイオード								
開発目標								
電流容量(A)	20		40		40		40	
オン電圧(V)	2.0		2.0		2.0		2.0	
信頼性試験							Si同等性能	
開発実績								
試作チップ							1年前倒し	
電流容量(A)	20		40					
オン電圧(V)	1.6V@20A		1.5V@40A					
信頼性試験	—		Si同等性能確認		追加項目確認			

2.1.2 サーバ用回路・電源システム技術の開発

本項では、開発した SiC 接合 FET 及びショットキーバリアダイオードを用いた高効率サーバ用電源回路向けの高速駆動回路技術と電源システム技術の詳細を説明する。はじめに高速駆動回路技術であるスピードアップコンデンサ併用ソース端子分割方式とその実証結果を説明する。次に、開発した SiC 接合 FET と高速駆動回路技術をサーバ電源に適用する際の設計項目、即ち接合 FET の要求仕様と駆動速度高速化のためのゲート電圧設計結果について説明する。また今回の試作電源に搭載した動作マージン補償回路について説明する。さらに、電源効率を評価するための測定系と高効率化に関する対策案について記載する。最後に、2kW プロトタイプ電源の効率評価結果について述べる。

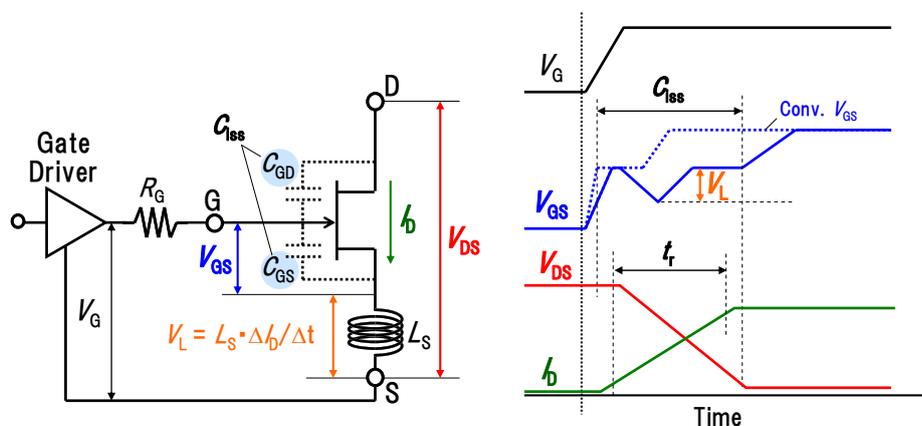
2.1.2.1 高速駆動回路技術

前章でも述べた通り、開発した SiC 接合 FET 特性オン抵抗は $2.5\text{m}\Omega \cdot \text{cm}^2$ 以下と小さいものの、しきい値が約 1 V と接合 FET オン時のゲート電圧 V_{GS} (~ 2.5 V) との差が小さい。さらに、チャンネルオン抵抗 $R_{DS(on)}$ のゲート電圧依存性も大きく、ゲートソース間電圧 V_{GS} がスイッチング動作時に発生するノイズの影響を受けると、そのオン抵抗が変動し電源回路の損失増加の要因ともなり得る。そこで、SiC 接合 FET を従来のパワースイッチ素子の駆動方法を流用して駆動した場合において、スイッチングノイズが発生するメカニズムを解析し、そのノイズを抑えてスイッチング時間を高速化する方法を検討した。

(1) SiC 接合 FET の駆動方法の課題

図Ⅲ.2.1.2.1-1 は SiC 接合 FET を一般的なパワースイッチ素子の駆動方法を用いてスイッチングさせた場合の動作波形を示している。同左図に示すように、ゲートドライバ回路(Gate Driver)はソース端子 S の電位を基準に所望のゲート電位 V_G を出力する。ゲート端子 G の電位の立ち上がり立ち下がり、ゲートドライバの出力電流や外付けゲート抵抗 R_G 、スイッチ素子の入力容量等に依存する。したがって、ゲート駆動時間を高速化するには、ゲート端子に発生するノイズを抑えつつ、ゲート抵抗を低く設定することが通常の Si 素子では効果的である。なお、例えばスイッチ素

子をディスクリートパッケージに実装する際には、図に示すような寄生インダクタンス L_s が生じる。この寄生インダクタンスによってサージ電圧 V_L が発生するが、通常の Si 素子ではゲート電圧 V_G が高く(例えば 15 V 程度)設定できるため、そのサージ電圧 V_L を差し引いても、実効的なゲートソース電圧 V_{GS} を十分に確保できる。一方 SiC 接合 FET はゲートソース間に順方向寄生ダイオードが存在するため、ゲート電位 V_G は最大 3 V が設定上限値である。この理由は、3V 以上の高いゲート電位 V_G を印加すると、接合 FET の寄生ダイオードが完全にオンするため、1 A 以上のゲートリーク電流が流れてしまう。その結果、電源回路の損失を増加させてしまうためである。このためソース端子 S に接続される寄生インダクタンス L_s が存在すると、同右図の波形のようにサージ電圧 V_L が発生し、実効的なゲートソース間電圧 V_{GS} が低下する。特に SiC 接合 FET には、この影響が大きい。また SiC 接合 FET はその構造上入力容量 C_{iss} が大きく、ゲート電圧 V_{GS} を完全にオン電圧に遷移するために必要なゲート電荷 Q_g も大きいので、スイッチング速度を高速化することが難しい。以上のように、一般的なスイッチ素子の駆動方式を流用して SiC 接合 FET を駆動する場合には、(i) ソース端子 S の寄生インダクタンス L_s を低減する、(ii) SiC 接合 FET の入力容量 C_{iss} を高速充放電する、以上の 2 点が高速駆動のポイントである。



図III.2.1.2.1-1 従来駆動方法を用いて SiC 接合 FET を駆動した時のスイッチング波形

(2) スピードアップコンデンサ併用ソース端子分割方式

前述の二つの課題を解決するために、スピードアップコンデンサ併用ソース端子分割方式を考案した。図III.2.1.2.1-2、図III.2.1.2.1-3 にその方法と効果の概略を示す。説明の簡単化のために、まずソース端子分割方式について図III.2.1.2.1-2 を用いて説明する。ソース端子分割方式は、同左図に示すようにソース端子 S を S1 と S2 に分

割し、ソース端子 S1 を主回路電流 I_b が流れる接地側へ接続し、ソース端子 S2 を主回路電流 I_b が流れないゲートドライバ回路のソース電位側へ接続する。ゲートドライバ側には主回路電流 I_b が流れないので、寄生インダクタンス L_{S2} に起因するサージ電圧 v_L は非常に小さい。このため同右図の波形に示したように、サージ電圧が小さいため SiC 接合 FET を高速駆動するために必要な実効的なゲートソース電圧 V_{GS} が十分に確保できる。言い換えれば、スイッチ時間 tr' を短くできる。次に提案したソース端子分割方式に、さらなる高速化のためのスピードアップコンデンサを併用した方式について説明する。図 III.2.1.2.1-3 にその概略を示す。

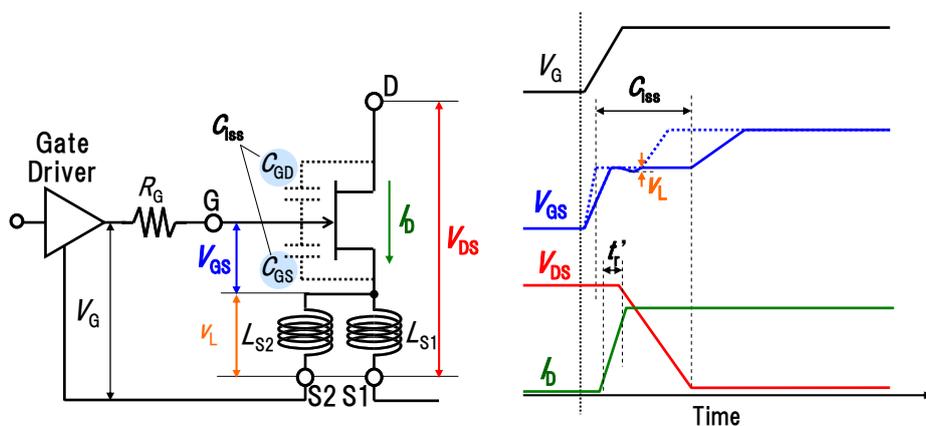


図 III.2.1.2.1-2 ソース端子分割方式

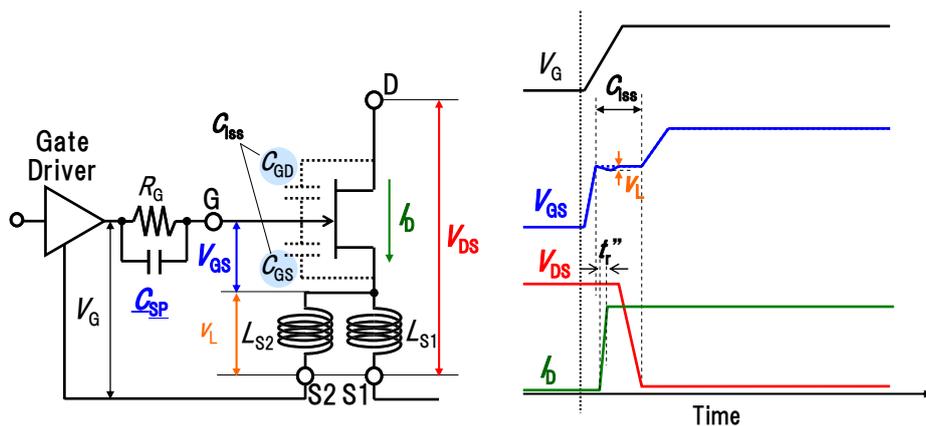


図 III.2.1.2.1-3 スピードアップコンデンサ併用ソース端子分割方式

今回提案する併用方式は同左図に示したように、スピードアップコンデンサ C_{SP} を外付けゲート抵抗 R_G と並列接続する方式である。スピードアップコンデンサ C_{SP}

の役割はゲート抵抗 R_G を介して SiC 接合 FET に入力されるゲートドライバの出力電流を補うように、コンデンサ C_{SP} に蓄積した電荷を接合 FET の入出力容量 C_{iss} に高速充電することが可能となる。コンデンサ C_{SP} に蓄積された電荷を接合 FET のゲート電荷 Q_g の充放電に利用することができるため、入出力容量 C_{iss} の高速充放電が可能となる。したがって、同右図のスイッチ波形に示したように、所謂テラス電位期間が短縮され、スイッチ時間 tr' が、ソース端子分割方式だけを用いた場合よりもさらに短縮できる。

なお提案したスピードアップコンデンサ併用ソース端子分割方式は、ソース端子を物理的に分割するため一般的なディスクリートパッケージである TO-247 や TO-220 を用いて SiC 接合 FET を実装することはできない。そのため本方式の駆動方式を実現するために、4 ピンのパッケージを新たに試作した。図 III.2.1.2.1-4 にその外観を示す。

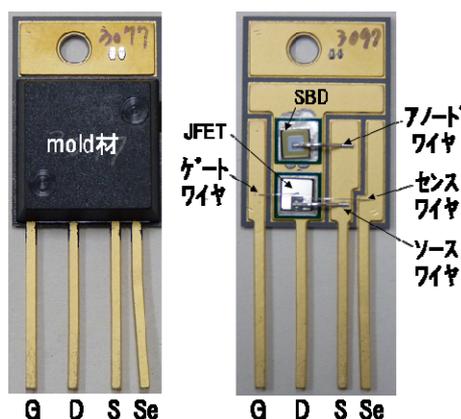


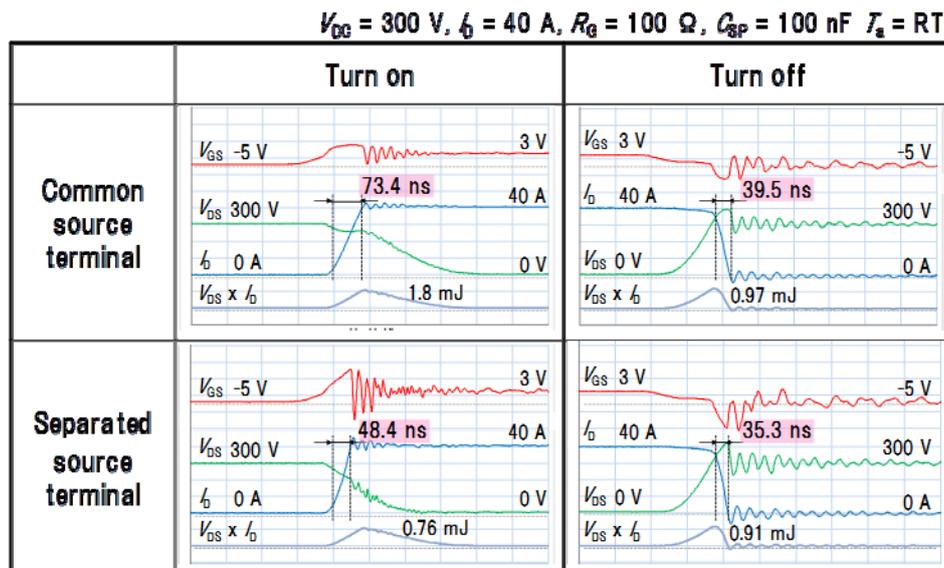
図 III.2.1.2.1-4 試作した 4pin 対応パッケージに実装した 40A SiC 接合 FET と 40A SiC ショットキーバリアダイオード

試作したパッケージの端子配置は、左からゲート G、ドレイン D、ソース S、センス Se である。ソース端子 S は主回路電流 I_0 が流れる接地側へ接続し、センス端子 Se はスイッチング電流 I_0 が流れないゲートドライバ側へ接続する。また SiC 接合 FET と各端子は 125 μm のアルミワイヤを超音波接合して接続した。なお同図に示したパッケージは DCDC 回路用であり、還流用ダイオードである SiC ショットキーバリアダイオード SBD を集積実装した例である。以上のようなパッケージを利用して提案回路方式の実証実験を実施した。

(3) スイッチング速度の実証実験

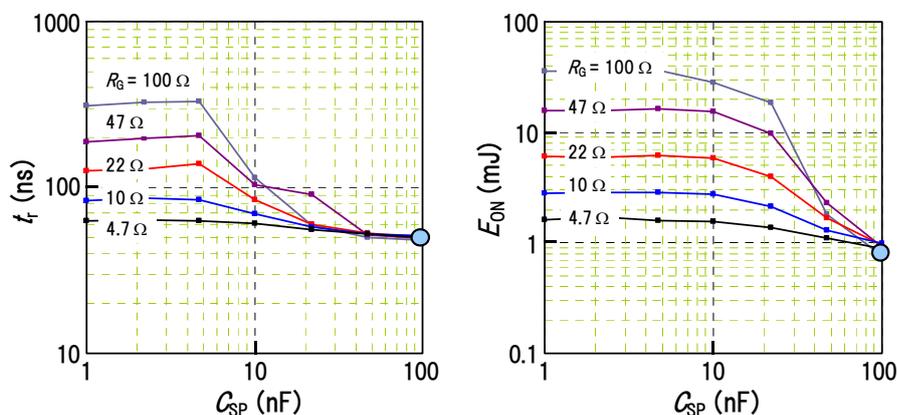
図Ⅲ.2.1.2.1-5 に従来のソース端子共通方式(Common source terminal)とソース端子分割方式(Separated source terminal)を用いた場合のスイッチング波形を示す。なおスイッチング回路は誘導負荷と、下アームのスイッチ素子と還流ダイオードから構成した単発スイッチング回路である。主回路電圧 V_{DS} は 300V、電流は 40 A の条件でスイッチングさせた。また両方式ともにスピードアップコンデンサ C_{SP} 100 nF、外付けゲート抵抗 R_G 100 Ω を SiC 接合 FET のゲート電極にそれぞれ接続している。スイッチング時間 t_{on} 、 t_{off} はそれぞれスイッチング電流の立ち上がり 10%~90%、および立ち下り 90%~10%をプローブして算出した。

図から分かるように、ソース端子共通方式のスイッチング時間は t_{on} 73.4 ns、 t_{off} 39.5 ns、ターンオン損失は 1.8 mJ/pulse、ターンオフ損失は 0.97 mJ/pulse であった。一方、提案したソース端子分割方式のスイッチング時間は t_{on} 48.4 ns、 t_{off} 35.3 ns、ターンオン損失は 0.76 mJ/pulse、ターンオフ損失は 0.91 mJ/pulse であった。この結果から、提案方式のソース端子分割方式を用いれば、駆動速度高速化とスイッチング損失低減の両立の効果を得られることが分かった。またターンオン側のゲートソース電圧 V_{GS} のスイッチング波形をみると、 V_{GS} の立ち上がりの高速化が見取れる一方、ターンオフ側の V_{GS} の立ち下りはさほど違いが見られない。このため、ターンオンとターンオフにおいてスイッチング時間高速化の効果に差が生じたと考えられる。



図Ⅲ.2.1.2.1-5 スイッチング速度の測定結果

図Ⅲ.2.1.2.1-6 は、スピードアップコンデンサ併用ソース端子分割方式を用いた場合の、ターンオン時のスイッチング時間 t_r とターンオン損失 E_{on} のスピードアップコンデンサ容量値 C_{SP} 依存性である。パラメータは外付けゲート抵抗 R_G 値である。容量値 1 nF においてゲート抵抗 R_G を小さくすると、スイッチング時間 t_r およびスイッチング損失 E_{on} が低減することがわかる。これはコンデンサ容量値が比較的小さく、スイッチング速度がゲート抵抗 R_G の値に依存しているためと考えられる。また、ゲート抵抗 R_G が 4.7Ω と小さい場合は、スイッチング速度 t_r は容量値 C_{SP} にあまり依存しない。ゲート抵抗 R_G が小さいと、 C_{SP} の容量カップリング効果が小さくなるためである。なおゲート抵抗 R_G が小さいと、スイッチングノイズが大きくなり動作が不安定になるため、ゲート抵抗 R_G はスイッチング損失が増加しない範囲で大きくすることが望ましい。そこで今回は図Ⅲ.2.1.2.1-6 の結果から、ゲート抵抗 R_G 100 Ω、スピードアップコンデンサ値 C_{SP} 100 nF と設定した。



図Ⅲ.2.1.2.1-6 ターンオン時間 t_r とターンオン損失 E_{on} の C_{SP} 依存性
($V_{DS} = 300 \text{ V}$, $I_D = 40 \text{ A}$, $T_a = \text{RT}$)

なお表Ⅲ.2.1.2.1-1 に本方式による高速化の経過を示した。平成 21 年度にソース端子分割方式を考案し、スイッチ速度高速化とゲート電圧跳ね上がりによる誤点弧防止の効果を確認した。初年度は 10 A 接合 FET を 7 並列、100 ns のスイッチング速度であったが、回路定数最適化や集積パッケージ開発の結果、最終的には 50 ns 以下のスイッチング速度が得られた。目標を大きく上回る高速化の結果、PFC 部の回路簡素化に寄与し損失低減に貢献できた。

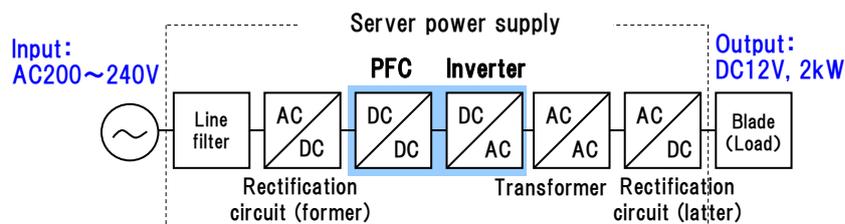
年度	目標	ソース端子分割方式を適用			
		H21	H22	H23	H24
ターンオン速度 (ns)	< 100	86	55	48	—
ターンオフ速度 (ns)	< 100	51	55	35	—
ターンオン損失 (mJ/pulse)		0.87	0.38	0.76	
ターンオフ損失 (mJ/pulse)		3.64	1.53	0.91	
評価条件					
接合FET容量 (A)	40	10	40	40	—
並列度	1	7	1	1	—

2.1.2.2 サーバ電源システム開発

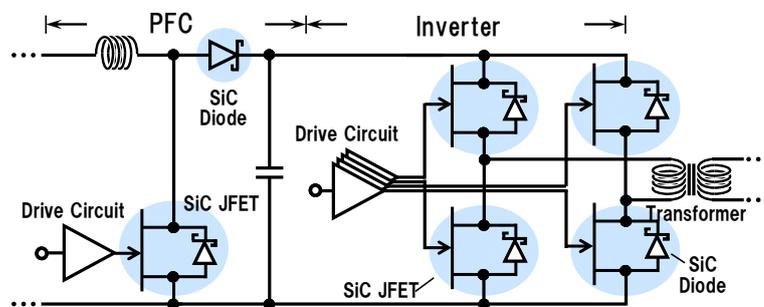
本段落では、開発した SiC 接合 FET と高速駆動回路技術をサーバ電源に適用する際の設計項目、即ち接合 FET の要求仕様と駆動速度高速化のためのゲート電圧設計結果について説明する。また今回の試作電源に搭載した動作マージン補償回路について説明する。さらに、電源効率を評価するための測定系と高効率化に関する様々な対策案について記載する。最後に、2kW プロトタイプ電源の効率評価結果について述べる。

(1) サーバ電源回路システム

はじめにサーバ電源の概要を説明する。図Ⅲ.2.1.2.2-1 は、サーバ電源のブロック図を示している。サーバ電源(Server power supply)の役割は、入力電源 AC 200 V を負荷である DC 12V 175A (2kW)に変換して CPU ボード(Blade)に供給することである。その構成は、ノイズ除去用のラインフィルタ、AC/DC 変換用の整流ダイオード回路、DC 200V を 360V に変換する力率改善回路 PFC、DC 360V を AC 360 V に変換するインバータ回路、AC360 V を AC 12V に降圧するトランス Transformer、及び降圧された AC 電圧を DC 変換する整流回路から構成される。一般的なサーバ電源では、PFC 回路とインバータ回路にシリコン MOSFET 素子が適用されている。SiC 素子を適用する場合は、図Ⅲ.2.1.2.2-2 に示したように PFC 回路とインバータ回路においてハッチングされた素子が好適である。PFC 回路においては主スイッチとチョッパーダイオード、インバータ回路においては主スイッチと還流用のダイオードがその候補である。



図Ⅲ.2.1.2.2-1 サーバ電源ブロック図



図Ⅲ.2.1.2.2-2 力率改善回路 PFC とインバータ回路 DCDC

これらの素子に開発した SiC 素子を適用するにあたり、現状のサーバ電源に搭載されているパワー素子の特性値を列記し、素子要求特性を表 III.2.1.2.2-1 に抽出した。なお、SiC ショットキーバリアダイオードはスイッチ素子と定格電流を合わせることで、オン電圧が Si ダイオードと比較して低いことが重要優先項目である。サーバ電源搭載に関しては、上記二つの項目を満たす SiC ショットキーバリアダイオードがデバイス開発にて完了しているため、本段落ではこれ以降 SiC 接合 FET に関する設計検討結果について述べる。

表 III.2.1.2.2-1 サーバ電源に搭載されるパワー素子特性値

スイッチ素子(ノーマリオフ型)	Si SJMOS	要求仕様	SiC JFET		SiC MOSFET
機関	C社	—	本PJ	Semisouth*6	Cree*7
量産時期(予定含)	量産済	—	T.B.D	'10	'10
耐圧BV _{DSS} (V)	600	> 600	600	1200	1200
抵抗率 (mΩ・cm ²)	不明	< 2.5	2.1	97.1	141.2
ダイサイズ (mm ²)	不明	—	4.4 x 4.4	4.9 x 2.2	4.1 x 4.1
オン抵抗 R _{DS*} (mΩ)	68	~ 30	25	50	80
電流量(A)	40	~ 40	40	30	33
ton, toff(ns)	120, 200	< 60, <100	48, 35		
しきい値V _{GS(th)} *2 (V)	4	Si同等	1	1	2.5
ゲート順方向電流I _{GEWD} *3 (mA)	—	—	~ 20	480	—
ゲート電圧 V _{GSS} *4 (V)	±30	—	(-15/+3)		-5/+20
素子動作温度max (°C)	150	—	> 200		> 200
容量特性 C _{iss} /C _{oss} /C _{rss} *5 (pF)	3900/9200/280	—	6650/499/449	1420/206/194	2000/236/22
信頼性	—	Si同等	Si同等	—	酸化膜信頼性課題 しきい値変動 > 1 V
ゲート駆動回路	—	既存駆動回路流用	大電流駆動回路が必要		既存駆動回路流用

*0 JFET/MOSはカタログ値。RohmはId-VdグラフからID=20A, VGS=20Vの値を読み取り

*3 IG@VGS=3 V, Ta = 25°C

*1 JFETはVG=3.0 V, VDS=1V, Ta = 25°C条件のID値を記載。MOSは文献値を抜粋

*4 JFETは推奨値

*2 JFETはVGS@ID = 1mA/cm2, Ta = 25°C, MOSはVDS = 10V, ID = 1mA,文献値を抜粋

*7 Cree CMF20120Dデータシートを抜粋

*5 JFET VDS = 100V, VGS = 0V, f = 1MHz

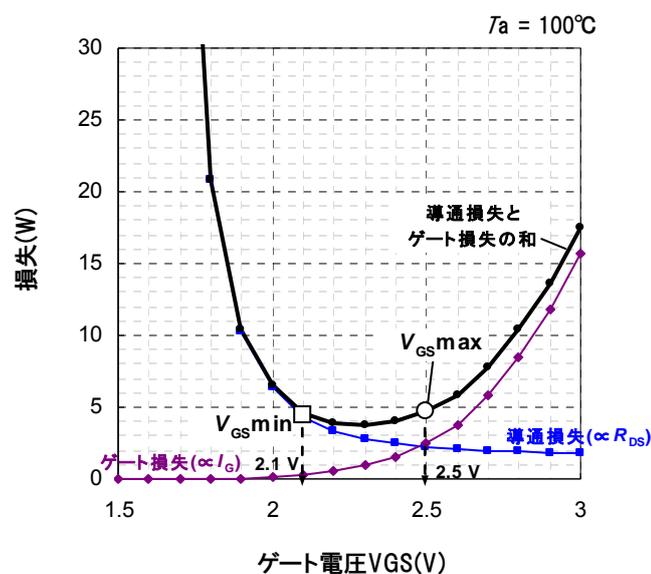
*6 Semisouth はSJEC120R050データシート値抜粋

ダイオード(PFC用途)	Si PiND	要求仕様	SiC SBD	
機関	D社	—	本PJ	E社
量産時期(予定含)	量産済	—	T.B.D	10
耐圧BV _{DSS} (V)	600	> 600	600	1200
オン電圧@IF = 10A (V)	3.2	< 2.0	1.1	1.3
電流量(A)	10	~40	40	50
ダイサイズ (mm ²)	不明	—	4.0 x 4.0	4.0 x 8.2
trr(ns)	30	< 30	—	—
素子動作温度max (°C)	150	—	> 200	
信頼性	—	Si同等	Si同等	

スイッチ素子の要求仕様を表 III.2.1.2.2-1 に示した。要求仕様の根拠は II 章で記載した通りであるが、サーバ電源に従来搭載されていた SiMOS 素子特性をベースに、損失削減効果の高い項目である特性オン抵抗は 2.5 mΩ・cm² 以下(オン抵抗: ~30 mΩ)、スイッチング時間 ton、toff は Si 素子比 1/2、電流量や信頼性等は Si 素子同等とした。PFC 用途向けのダイオードについても同様に、導通損失低減のためオン電圧 < 2.0 V@IF = 10A、電流量や信頼性等は Si 素子同等とした。なお表には本プロジェクトで開発した SiC 接合 FET と SiC ショットキーバリアダイオードの特性値を他社のデバイス特性と併記した。

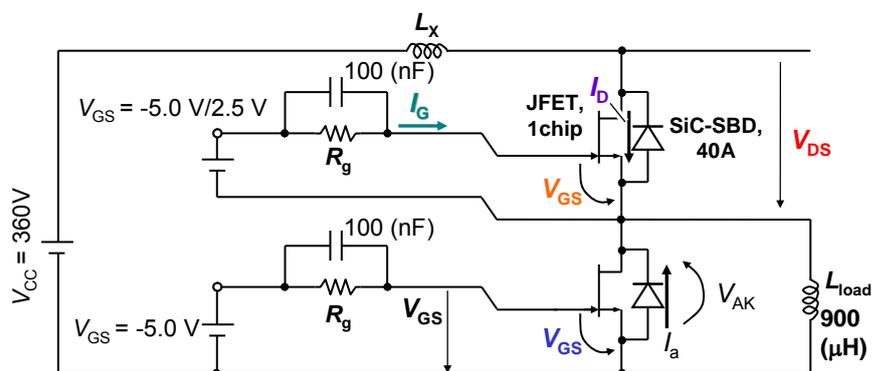
(2) SiC 接合 FET 高速駆動のための駆動電圧設計

本段落では、前述した SiC 接合 FET をサーバ電源に搭載する際の課題と対策について検討結果を述べる。前述したように SiC 接合 FET はしきい値が約 1V 程度と低くゲート駆動電圧の変動によりその特性が大きく左右される。本研究ではこれを解決するために前述したスピードアップコンデンサ併用ソース端子分割方式を提案した。サーバ電源に SiC 接合 FET を搭載するに当たっては、スイッチ速度の高速化、スイッチ素子の導通損失の低減が必要であり、このため上記提案方式は必須である。上記提案方式の重要設計項目はゲート駆動電圧である。オン電圧を高く設定すると、導通損失は低減できるが接合 FET の順方向ゲート電流が急激に増加するため、かえって損失を増加させてしまう恐れがある。また、オフ電圧を深く(負方向に高く)設定すると、インバータ回路における誤点弧防止及び高速駆動に効果がある一方、過渡的なノイズが発生し、接合 FET のゲート電極に過剰に深い電圧が印加され、接合 FET を破壊する恐れがある。そこで、接合 FET のゲート駆動(オン・オフ)電圧を以下の検討をもとに設計した。オン電圧は、接合 FET のオン抵抗低減による損失削減効果と、ゲート電流によるゲート損失増加の影響を両方考慮して、電源回路の損失が最小になるようなゲートオン電圧とした。(図Ⅲ.2.1.2.2-3) オフ電圧は、上下アームに SiC 接合 FET を配置した単発スイッチング試験回路(図Ⅲ.2.1.2.2-4)を構築し、ゲート抵抗 R_G を変更してスイッチング速度とゲート電圧ノイズ波形を観測し、開発した SiC 接合 FET のゲートソース間逆方向耐圧内(-15V 程度)に抑えられる電圧値とした。以下、ゲートオン電圧の検討結果について説明する。



図Ⅲ.2.1.2.2-3 PFC 回路とインバータ回路における損失のゲート電圧依存性(試算)

図Ⅲ.2.1.2.2-3 は、ゲートオン電圧の検討結果である。横軸はゲート電圧 V_{GS} 、縦軸は損失である。図から分かるようにゲート電圧 V_{GS} を高くすると導通損失は減少する。しかしながらゲート電圧を高くするとゲート電流起因のゲート損失は増加する。このため導通損失とゲート損失の和は下に凸の形となる。この計算値から、ゲート電圧 V_{GS} の設計中心は 2.3 V とし、最小は 2.1 V、最大 2.5 V と設定した。



図Ⅲ.2.1.2.2-4 単発スイッチング試験回路

(3) インバータ回路における動作マージン補償回路

次にインバータ回路に SiC 接合 FET を適用する際の動作マージンに関する課題について検討した。図Ⅲ.2.1.2.2-5 に動作マージン補償回路の配置図を、図Ⅲ.2.1.2.2-6 にその動作原理を示した。一般的にインバータ回路は、上下アームスイッチが同時にオンしないようにデッドタイムが設けられている。また SiMOSFET はしきい値電圧が比較的高い。このため図Ⅲ.2.1.2.2-6 の SiMOSFET の場合のように上アームスイッチ(A)と下アームスイッチ(B)のゲートソース電圧 V_{GS} が、オンオフの境界領域にある場合でも誤オンする恐れはない。しかしながら SiC 接合 FET はしきい値が 1V 程度と低いため、図Ⅲ.2.1.2.2-6 の SiC JFET の場合に示したようにデッドタイム期間に上アームスイッチ(A)が誤オンする恐れがある。そこでこのような誤オン動作が生じないように、(i)ターンオフ動作を高速化する、(ii)ゲートオフ電圧レベルを適切に

制御し、ターンオンタイミングを調整する、以上の 2 項目を満たすようなマージン補償回路をインバータ回路に組み込んだ。これにより SiC 接合 FET を用いた場合においても誤オン動作せず確実にデッドタイムを確保することが可能となった。

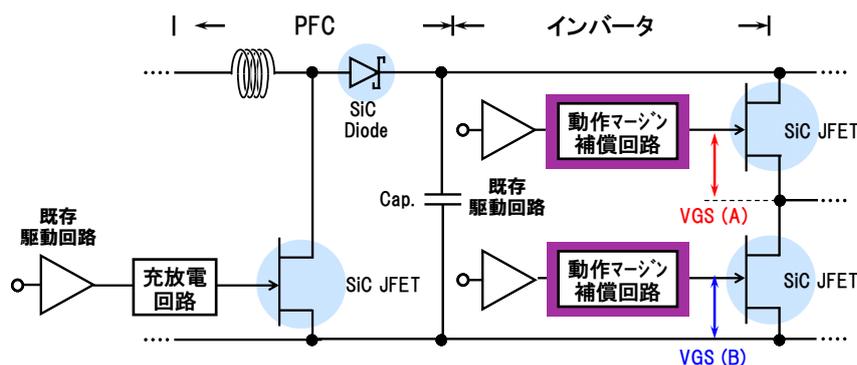


図 III.2.1.2.2-5 動作マージン補償回路

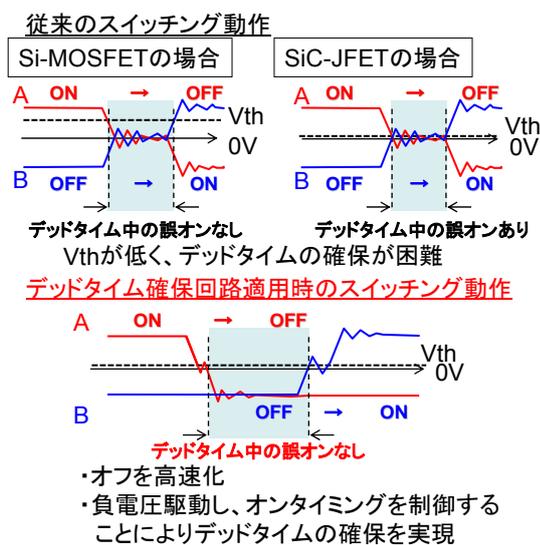


図 III.2.1.2.2-6 動作マージン補償回路の動作原理

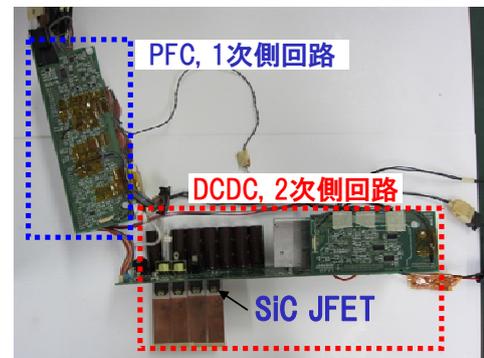
(4) サーバ電源効率評価システム及びサーバ電源の変換効率改善の検討

本段落では、これまで提案した回路や設計定数を適用して試作したサーバ電源の評価システム構築と電源効率改善の検討結果について述べる。提案方式を用いることで負荷率 50%での電源効率を 95.10%まで改善することが実証できた。

図Ⅲ.2.1.2.2-7 に構築したサーバ電源評価システムを示す。入力用の 230 V AC 電源と測定対象物であるサーバ電源、サーバ電源の負荷として電子負荷を利用し、変換効率は電力メータを用いて評価するものである。また図Ⅲ.2.1.2.2-8 に試作したサーバ電源の外観を示した。図ではインバータ回路 DCDC に SiC 接合 FET を搭載した例を示している。



図Ⅲ.2.1.2.2-7 サーバ電源の電源効率評価系



図Ⅲ.2.1.2.2-8 試作したサーバ電源

今回試作した電源に搭載されている主な技術は下記の通りである。

- ・ スピードアップコンデンサ併用ソース端子分割方式
 - －スピードアップコンデンサとゲート抵抗の最適化
 - －損失削減と高速駆動時間両立するゲートオンオフ電圧設計
- ・ 動作マージン補償回路
- ・ 接合 FET とショットキーバリアダイオードの集積パッケージ技術

また、高効率化の追加検討を実施し、SiC 接合 FET のゲートパッド最適配置、プロセス改善によるゲートリーク電流削減、主回路電源電圧や接合 FET の駆動電圧の最適化、スイッチング高速化に伴う不要回路削除等を実施した。以上のような施策を盛り込み、電源効率を評価した。

開発した技術を適用し、負荷率 50%において効率 95.10% (2kW 電源)を達成した。また、負荷率 50%以下では、従来の Si-MOSFET を用いた機種よりも 2%の効率向上を実現した。低負荷率での効率向上もサーバ電源にとって重要である。大規模データセンターでは、負荷が小さい時間帯は、複数の電源のうち、一部を止めることにより、効率の低い低負荷率での電源稼働を避ける制御も実施されているが、低負荷率における個々の電源の効率向上も強く求められている。

2.1.3 まとめ

本項では、開発した SiC 接合 FET 及びショットキーバリアダイオードを用いた高効率サーバ用電源回路向けの高速駆動回路技術と電源システム技術の成果について評価する。

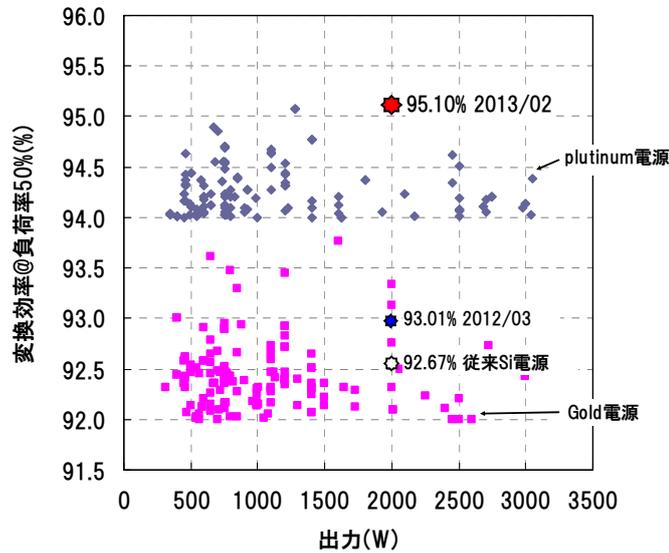
(1) 目標の達成度

はじめに、目標の達成度について述べる。表Ⅲ.2.1.3-1 に開発した SiC 接合 FET と競合他社技術の比較を示す。本プロジェクトにて開発したノーマリオフ接合 FET のオン抵抗は、Semisouth 社や Infineon 社と比較しても低く、世界 No.1 のオン抵抗(<30 mΩ)を達成できた。また製品化済みの SiCMOSFET の特性オン抵抗、電流容量よりも優れた性能を有する点、Si 素子同等の信頼性を有する点に鑑みれば、本プロジェクトで開発した SiC 接合 FET 素子は、その開発当初の目標である、耐圧 600 V、電流容量 40 A、特性オン抵抗 2.5mΩ・cm²以下、実質寿命 10 年を有する信頼性試験の実施、を大きく上回ることができたと言える。

表Ⅲ.2.1.3-1 開発した SiC 接合 FET と競合他社技術の比較

SiC素子	JFET			MOSFET	
	ノーマリオフ		ノーマリオン	ノーマリオフ	
機関	本PJ	Semisouth	Infineon	Cree CMF20120D	ローム SCH2080KE
耐圧BV _{DSS} (V)	600	1200	1200	1200	1200
ダイサイズ (mm ²)	4.4 x 4.4	4.87 x 2.17	不明	4.1 x 4.1	4 x 4 (推定)
オン抵抗 R _{DS} (mΩ)	<30	50	35	80	80
抵抗率 (mΩ・cm ²)	2.1	4.0	不明	9.4	~9(推定)
電流容量(A)	40	30	30	33	35
しきい値V _{GS(soft)} (V)	1	1	-5	3.8 typ.	1.6 min/4.0 max
ゲート電圧 V _{GSS} (V)	-15 V/+3 V		-19V / 0V	-5 V/+ 25 V	-6 V/+ 22 V
信頼性	Si同等を実証	問題なしと推定		小面積でも酸化膜信頼性が問題 しきい値変動 > 1 V、欠陥起因歩留低	
ゲート駆動回路	高速駆動回路を開発		カスコード型にしてSiMOSを駆動	Si MOSの駆動回路を流用可能	

次にサーバ電源回路向け技術の成果について述べる。前項で述べたように本プロジェクトでは、高速駆動回路技術として、スピードアップ併用ソース端子分割方式を提案した。考案した回路技術を用いてスイッチング速度 100 ns 以下を実証し、その後の回路定数最適化等によりターンオン速度 48 ns、ターンオフ速度 35 ns を実証した。図Ⅲ.2.1.3-1 に開発したサーバ電源と、Si 素子を用いた従来電源の変換効率をプロットした。開発した回路技術を適用し 2012 年 3 月には変換効率 93.01%を得た。また当初目標であった 100 ns を上回るスイッチング高速化の結果、PFC 回路部等の回路簡素化が可能となった。また主回路電源電圧最適化や、効率測定点の見直し等を実施した結果、最終的な変換効率は 95.10%(2kW 電源、負荷率 50%)となった。当初目標であった変換効率 94%を約 1%上回ることができた。さらに 80plus で公開されているサーバ電源の変換効率と比較しても、2kW 級のサーバ電源では最高クラスの効率を達成した。



図Ⅲ.2.1.3-1 開発したサーバ電源の変換効率と他社電源効率の比較
(80plus のデータは 2012 年 10 月 24 日時点)

(2) 成果の意義

近年のIT技術の進展によりIT機器が消費する電力も膨大な量が見込まれている。米国でデータセンタの電力消費が急増しているが、その内約 20%はサーバ電源で電力損失として失われており、2025 年には、約 1000 億 kWh/年になると予想される。損失が大きいのは、サーバ電源の台数が多く、多くが、原則的に 24 時間、365 日、連続運転されており、稼働率が高いためである。本プロジェクトにて開発した技術をサーバ電源に適用し、1000 億 kWh/年の電力損失が効率 90%の電源で発生すると仮定すると、効率を 90.5%と 0.5%改善することで、50 億 kWh/年の電力削減効果がある。排出係数を 0.000559t-CO₂/kWh と仮定すれば、変換効率を 0.5%改善出来れば、年間 280 万 t の CO₂ を削減出来ると試算できる。このように、本プロジェクトの技術によって地球温暖化防止に貢献できる点を鑑みれば、社会的な意義が高いと言える。また、SiC パワーデバイスの低抵抗化・高信頼化技術を確立できた点、高性能な SiC 素子の特長を最大限活用する駆動回路技術や電源システム技術の基本方式が確立できた点を鑑みれば、パワーエレクトロニクス技術発展に寄与した点で意義が高いと言える。

2.2 SiC パワーデバイスを用いた太陽光発電用パワーコンディショナ技術開発

本節では研究開発項目について開発内容の説明を行う。まず SiC-MOSFET の開発の説明を行い、その後パワーコンディショナの説明を行う。

2.2.1 SiC-MOSFET の開発

本節では、最終目標である耐圧：1200 V 以上、電流容量：75A 以上、オン抵抗率：5 $m\Omega \cdot cm^2$ 以下の MOSFET を実現するための技術開発内容を説明する。

SiC を用いたパワーデバイスにおいて、600V 以上のスイッチングデバイスでは接合 FET と MOSFET が製品化に向けた開発が進められている。

MOSFET は酸化膜上にゲート電極を配置しゲート電極に印加する電圧により、酸化膜下のチャネル部の電流を制御する事が出来る。この構造は Si のパワーデバイスである IGBT 等にも用いられており、電圧制御が可能な事から制御回路系の負荷が小さくて済み制御性がよい利点を持つ。このため、高速制御などに向いていると考えられる。

このように優れた特性を持つ MOSFET であるが、課題としてはチャネル部の低抵抗化を含めた素子としても低抵抗化と酸化膜の信頼性の確保が上げられる。本プロジェクトにおいては、以上の二点の課題に関して改善を試みた内容について以下に示す。

2.2.1.1 低抵抗化の検証

SiC-MOSFET の断面模式図を図 III.2.2.1.1-1 に示す。図 III.2.2.1.1-1 の左上はセルの断面を示しており、右側にフロント面の写真を示している。図 III.2.2.1.1-1 のように、MOSFET は四角形のユニットセルの多重並列配置からなる。

MOSFET はプレーナ型と呼ばれるタイプであり、n 型ドリフト層の上部に p+層を形成し酸化膜を挟んでポリシリコンゲート電極を配置しチャネルを形成している。

右側写真中の四角い部分がソースコンタクトと呼ばれる部分でありソース電極と n+及び p+層との電气的な接続を取っている。

次に本プロジェクトで作製した MOSFET の基本プロセスを以下に説明する。

今回のプロセスにおいて、デバイスの作製には、オフ角が 4 度の 4H 型ポリタイプによる n 型 SiC エピウェハを用いた。サイズは 3 インチである。

基板の厚みは 300 μm 程度であるが、その上部に形成されるエピ層の厚さおよび

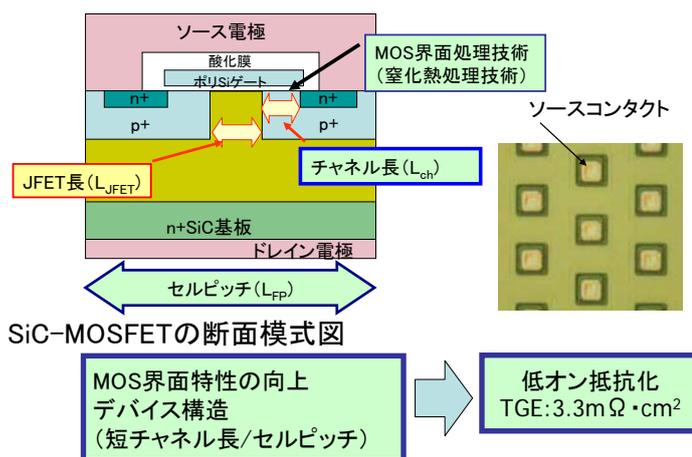


図 III.2.2.1.1-1 SiC-MOSFET の断面模式図

ドーピング濃度については、1.2kV の印加電圧でリーク電流が十分に抑えられるように設定した。

MOSFET の p 型ウェル領域、n 型ソース領域は、それぞれ Al、N イオンをボックス形状で注入することにより形成した。注入元素の活性化は Ar 雰囲気での高温・短時間アニールにより行った。ゲート酸化膜は水蒸気/酸素雰囲気での熱酸化及び後述の酸窒化処理を施して形成し、ゲート電極には n 型ポリシリコンを使用した。層間絶縁膜を堆積してコンタクトホールを形成した後、低抵抗のコンタクト合金層を形成して、ワイヤボンディングが可能な厚膜 Al 層をソース電極として堆積させた。裏面については、コンタクト合金層を形成した後、半田によるダイボンドが可能なドレイン電極を堆積させた。

耐圧を得るための終端については、低濃度の Al イオン注入による JTE (Junction Termination Extension) 構造を採用し、安定なアバランシェ降伏を示すように数値計算によって最適化した。表面の保護膜にはポリイミド膜を用いた。

注入不純物の活性化アニールはシャトル形の誘導加熱炉を用い、Ar 雰囲気中 1700°C の処理をした。本手法によれば、 $2 \times 10^{18} \text{ cm}^{-3}$ 程度に Al 注入された p 型層の活性化率として 85% となることを確認している。

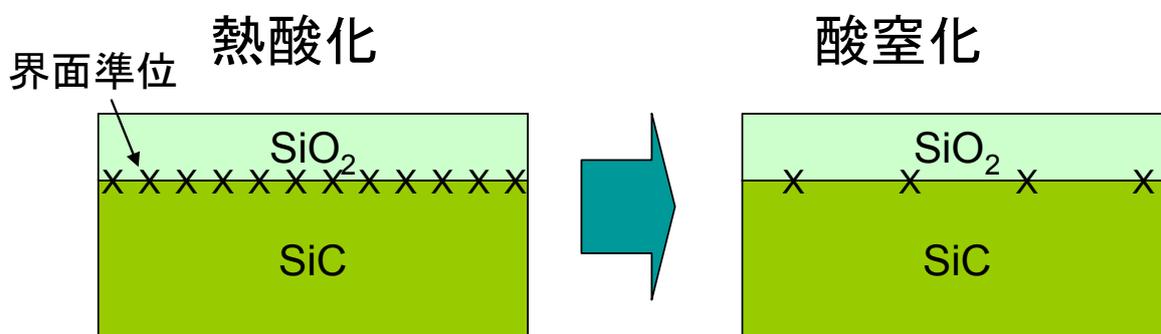
以上の構造及びプロセスの MOSFET のオン抵抗を低減するために次の二項目の開発を行った。

- ①チャネル部分の抵抗値低減
- ②構造パラメータの最適化

以下にその内容について説明する。

チャネル部の抵抗値低減

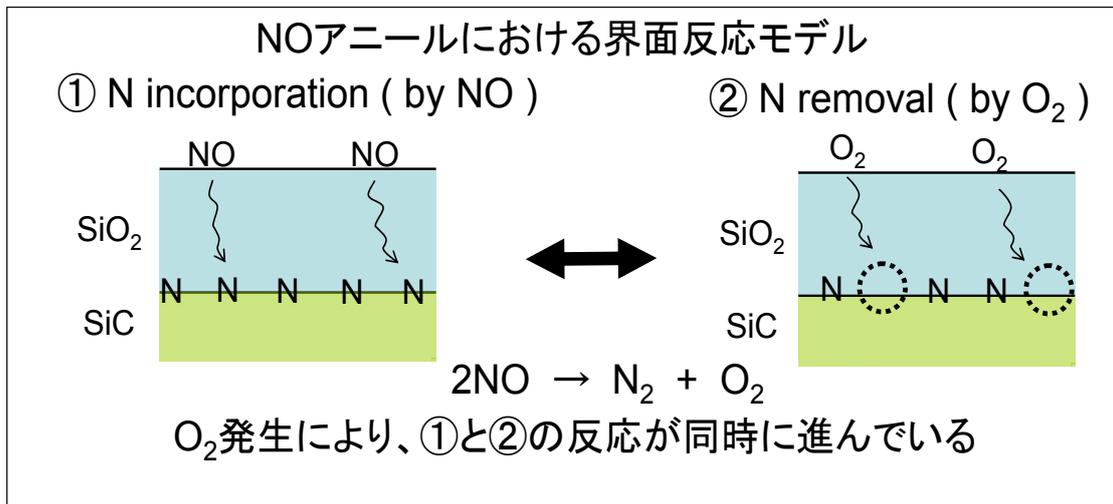
SiC-MOSFET のオン抵抗は、チャネル部の抵抗値が大半を占める。この抵抗は、チャネル部の移動度に強く依存する。移動度は界面準位により制限されているためチャネル部分 (MOS 部分) の界面処理技術の開発を行った。具体的にはゲート熱酸化膜形成



図Ⅲ.2.2.1.1-2 ゲート形成方法

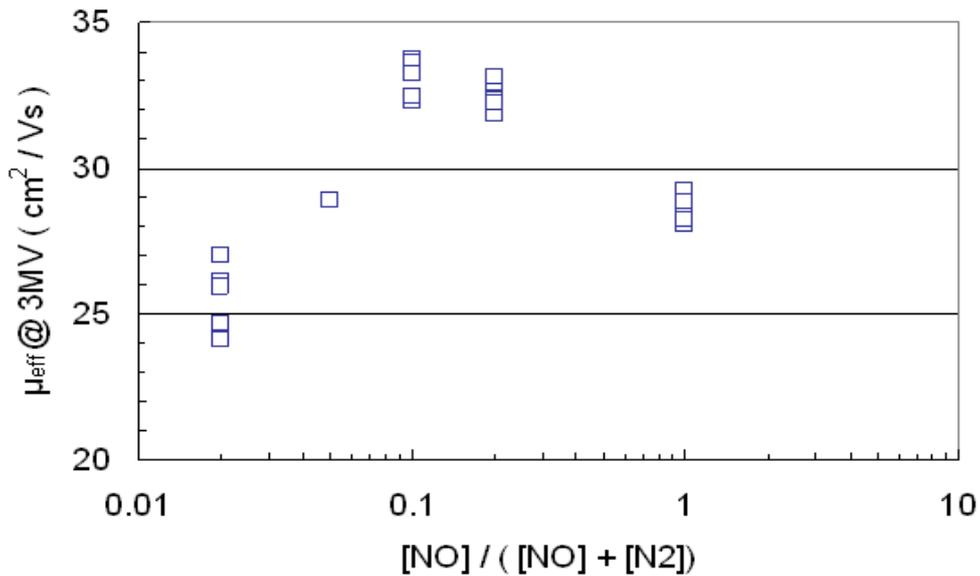
後の窒化熱処理に於いて、NO を N₂ で希釈することで移動度を改善する窒化熱処理技術である。この技術によりチャンネル部の移動度を改善でき MOSFET の低オン抵抗化が実現できた。図Ⅲ.2.2.1.1-2 に窒化熱処理技術の原理を示す。通常熱酸化により形成した MOS 界面には界面準位が多数存在しチャンネル抵抗が高いままになっていた。今回の窒化熱処理技術により、界面準位の低減が可能となりチャンネル抵抗の低減が可能となる。

図Ⅲ.2.2.1.1-3 に NO アニールにおける界面反応モデルを示している。NO アニールの過程により O₂ が発生することで図中の①N の形成と②O₂ による N の除外の反応が並列して進行することになる。移動度の向上には、NO の熱分解抑制により、NO 濃度に対する O₂ 濃度 ($[O_2] / [NO]$) を低減(反応②を抑制)し、窒化処理の効果を向上することが重要である。このためには、NO に N₂ を混合することで、N₂ 濃度を上げ図中の反応式に示される NO の熱分解を抑制することが有効である。



図Ⅲ.2.2.1.1-3 NO アニールにおける界面反応モデル

これらの観点から処理を最適化するために横型 MOS を用いて界面処理技術の高度化試験を実施した。そのときの結果を図に示す。図Ⅲ.2.2.1.1-4 において横軸は、アニールガス中の [NO] 比を示している。図のように比率が 0.1 近傍で移動度は極大値を取ることが分かる。すなわち、NO 比率を 100% から 10% に下げることにより、チャンネル移動度が増加した。これは、 $[O_2] / [NO]$ の値が低減した為と考えられる。NO 比率が 10% 以下である場合には、チャンネル移動度が低下したが、これは、窒化処理時間が不十分である可能性があると考えている。



図Ⅲ.2.2.1.1-4 [NO]/([NO]+ [N₂])と移動度の関係

以上のように窒化熱処理技術によりチャンネル部の特性の大幅な向上を実現することが出来た。

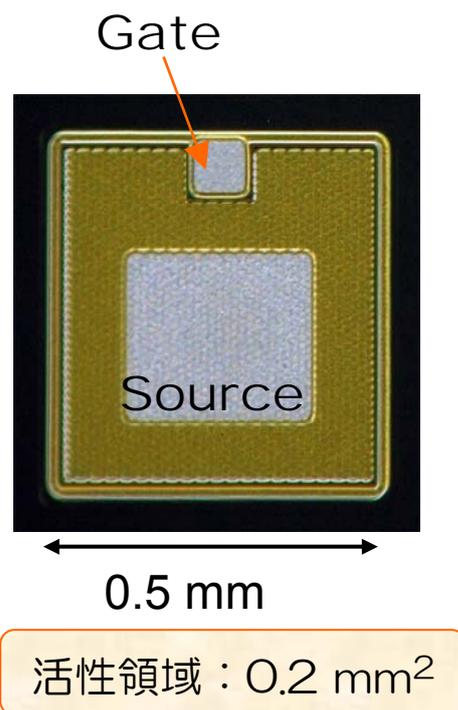
MOSFET 構造の最適化

MOSFET は、個々が MOSFET として動作するユニットセルを多数、並列に接続することにより作られており、オン時の抵抗の低減にはこのユニットセルの各サイズの縮小が有効である。

そこでユニットセルの微細化について、MOSFET の特性とユニットセルの構造パラメータとの関係を三次元デバイスシミュレータなどにより系統的に調べ、SiC-MOSFET の低抵抗化検討を実施した。

具体的には、図Ⅲ.2.2.1.1-1 中の J_{FET} 長、チャンネル長、セルピッチを最適化することにより MOSFET として更なる低抵抗化を実現している。

このために用いた TEG (Test Element Group) の写真を図Ⅲ.2.2.1.1-5 に示す。TEG はチップサイズ 0.5mm² (活性領域 0.2mm²) である。TEG として 4H-SiC(0001) 基板上に 1.2



図Ⅲ.2.2.1.1-5 TEG 写真

kV 耐圧仕様(ドリフト層の不純物濃度(N_D-N_A) $1e16 \text{ cm}^{-3}$ 、膜厚 $12 \mu\text{m}$)の縦型 MOSFET を作製した。 p -well コンタクト領域は Al の高温注入によって形成し、ゲート酸化膜はパイロジェニックウェット酸化と NO を用いたポスト窒化プロセスによって形成した。ソース/ドレイン間耐圧として 1.2 kV を保持しつつチャネル特性を改善するよう p -well の注入 Al 分布を構造設計し、MOSFET のユニットセルにおけるセルピッチやチャネル長、隣接 p -well 間隔(JFET 長)を変化させた素子(有効領域 0.2mm^2)の静特性評価を室温で行った。

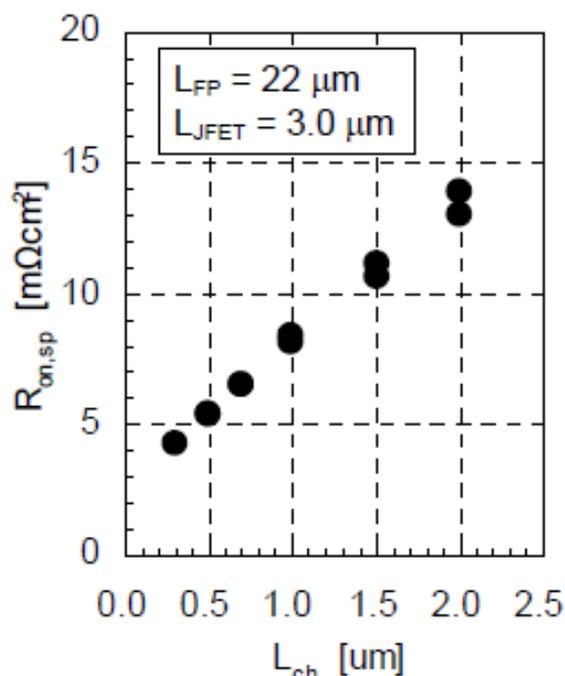
図Ⅲ.2.2.1.1-6 にチャネル長(L_{ch})に対するオン抵抗率($R_{on, sp}$ @ドレイン電流密度 100 A/cm^2)を示す。短チャネル長化によってほぼ比例関係を保って減少する。

また、セルピッチ(L_{FP})縮小によるチャネル幅密度の増加によっても低オン抵抗化が図られた。これらのトレンドから見積もられたチャネル移動度は $22 \text{ cm}^2/\text{V}\cdot\text{sec}$ であった。図Ⅲ.2.2.1.1-7 に JFET 長(L_{JFET})依存性を示す。

TEG を用いて最適化したときの MOSFET 特性を左図に示す。ゲート電圧を 15V としたときのオン抵抗率とチャネル長(L_{CH})、JFET 長(L_{JFET})の関係及び最適化した構造での室温でのオン抵抗率が示されている。

図中の●はセルピッチ $22 \mu\text{m}$ 、チャネル長 $0.7 \mu\text{m}$ の構造の JFET 長依存性を示しており、△はセルピッチ $7 \mu\text{m}$ 、チャネル長 $0.3 \mu\text{m}$ の場合の JFET 長依存性を示している。いずれもオン抵抗率の JFET 長依存性は顕著ではない。セルピッチを $7 \mu\text{m}$ とした場合にはオン抵抗率として $3.3\text{m}\Omega\cdot\text{cm}^2$ が得られる事が分かる。

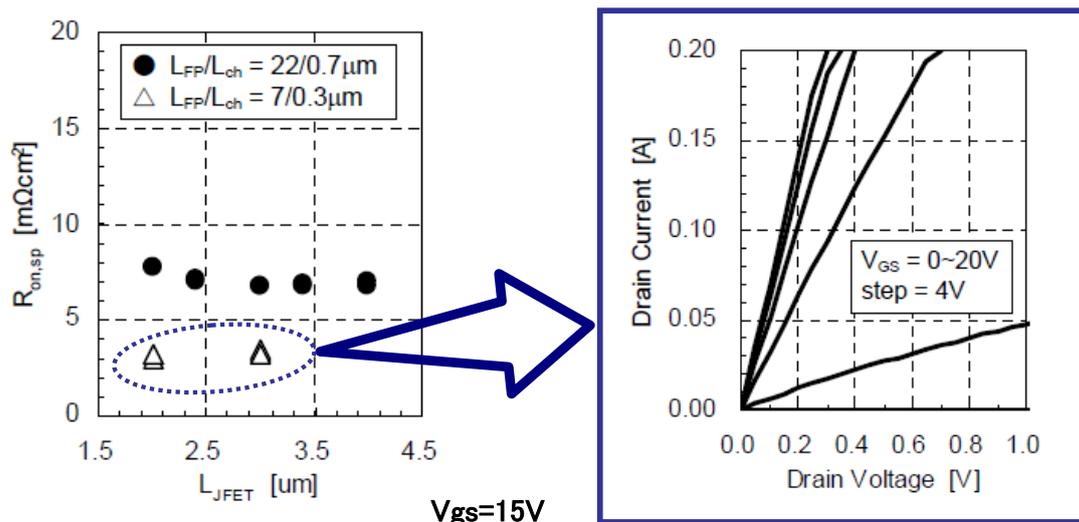
JFET 部は、裏面のドレイン電極から表面のソース電極へ電流が流れる際の経路に位置し、比較的大きな抵抗値をもつ p 型ウエル領域の間隙部分である。過去の知見において JFET 部の間隔が $3 \mu\text{m}$ 以下で JFET の間隔と共に急激にオン抵抗率は増加する。これは p 型ウエルと n 型ドリフト層との間の pn 接合部に形成される空乏層が、およそ $2.5 \mu\text{m}$ の p 型ウエル間隔において電流経路を塞ぐことによる。 p 型ウエル領域の間隙部分の導電性と耐圧あるいはゲート酸化膜信頼性との間にはトレードオフの関係があり p 型ウエル間隔の最適値を探す必要がある。



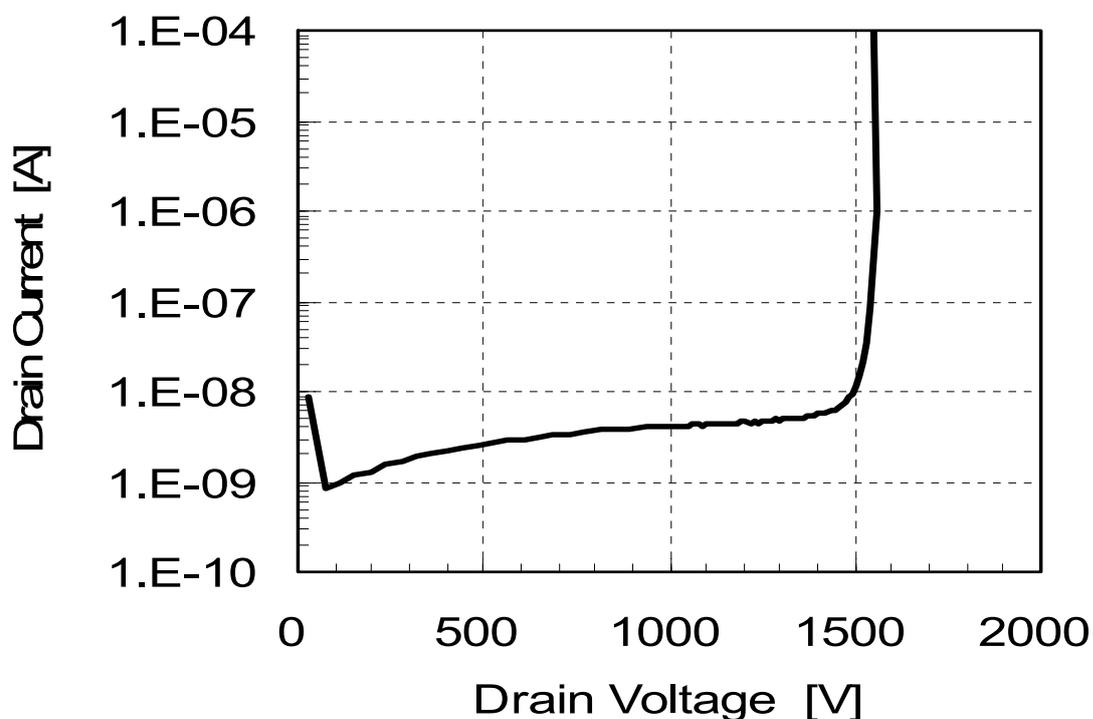
図Ⅲ.2.2.1.1-6 TEG 試作 SiC-MOSFET のオン抵抗率とチャネル長の関係

一方で、JFET 長縮小によってチャネル幅密度が増加してチャネル抵抗は低減する方向に動く。今回の素子ではそれらがおおよそバランスされ、JFET 長のオン抵抗に与える影響は小さいことが図に示されている。

図Ⅲ.2.2.1.1-7 に微細化された素子における室温での $I_{DS}-V_{DS}$ 特性を示す。ソース/ドレイン間耐圧として 1.2 kV を保持しつつ、ゲート電圧(V_{GS})15 V でオン抵抗率 $3.3 \text{ m}\Omega \cdot \text{cm}^2$ が得られた。



図Ⅲ.2.2.1.1-7 TEG 試作 SiC-MOSFET の IV 特性



図Ⅲ.2.2.1.1-8 TEG 試作 SiC-MOSFET の IV 特性

図Ⅲ.2.2.1.1-7(右)は、セルピッチ $7\mu\text{m}$ でチャンネル長 $0.3\mu\text{m}$ のときに実現した $3.3\text{m}\Omega\cdot\text{cm}^2$ のオン抵抗率を持つ MOSFET の IV 特性を示している。このときのゲート電圧は 0 から 20V までを 4V 刻みで測定している。

この素子の逆バイアス時のリーク電流特性を図Ⅲ.2.2.1.1-8 に示す。図は室温時の特性を示しているが、アバランシェ電圧は 1500V 以上が得られている。アバランシェ電圧は素子動作時の温度依存性を持つが通常の使用範囲において 10%程度の変化と見込まれている。従って、1200V 素子として十分な耐圧を持つことが検証されている。

大容量 MOSFET の開発

次にパワーコンディショナに適用する大容量の MOSFET について説明する。

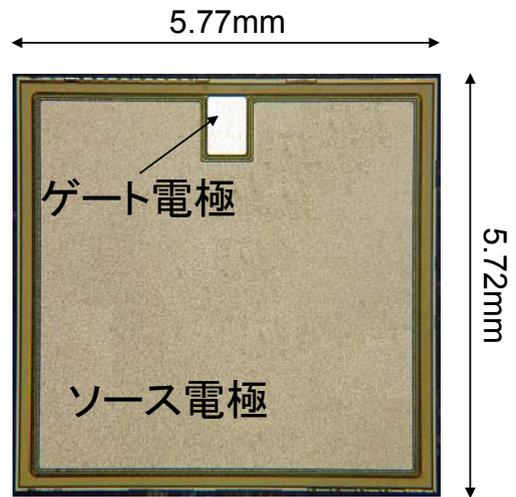
現状の SiC デバイスについては、特に高温を必要とする作製プロセス技術が開発途上にあること、結晶欠陥が多いなど SiC ウェハの品質が不十分であること、などの理由により 1 チップ当たりの面積を大きくすることができず、概ね 10A 級以下の電流容量をもつものに限られていた。

パワーデバイスではさらに大きな電流を必要とする場合が多いため、大電流容量化が SiC デバイスの課題であった。

次に、上述の技術をパワーコンディショナ向けデバイスに展開し試作した MOSFET について説明する。

右図Ⅲ.2.2.1.1-9 はパワーコンディショナに適用した MOSFET を示している。素子サイズは $5.77\times 5.72\text{mm}$ であり活性領域の面積は 0.251cm^2 である。図Ⅲ.2.2.1.1-9 に示している MOSFET のチャンネル長、セルピッチ、JFET 長を以下に示す。

活性領域：	0.251m^2
チャンネル長：	$0.5\mu\text{m}$
セルピッチ：	$10\mu\text{m}$
JFET 長：	$2.6\mu\text{m}$

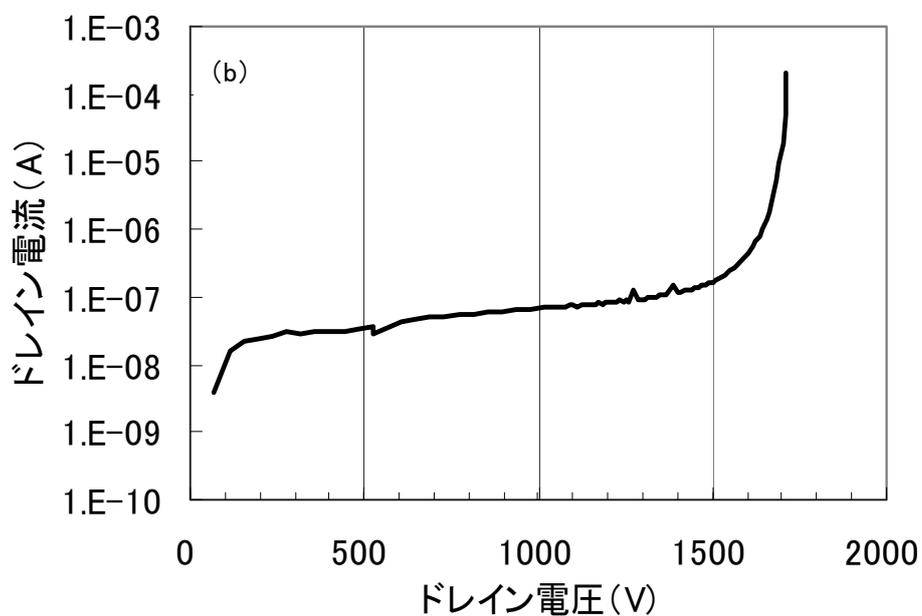
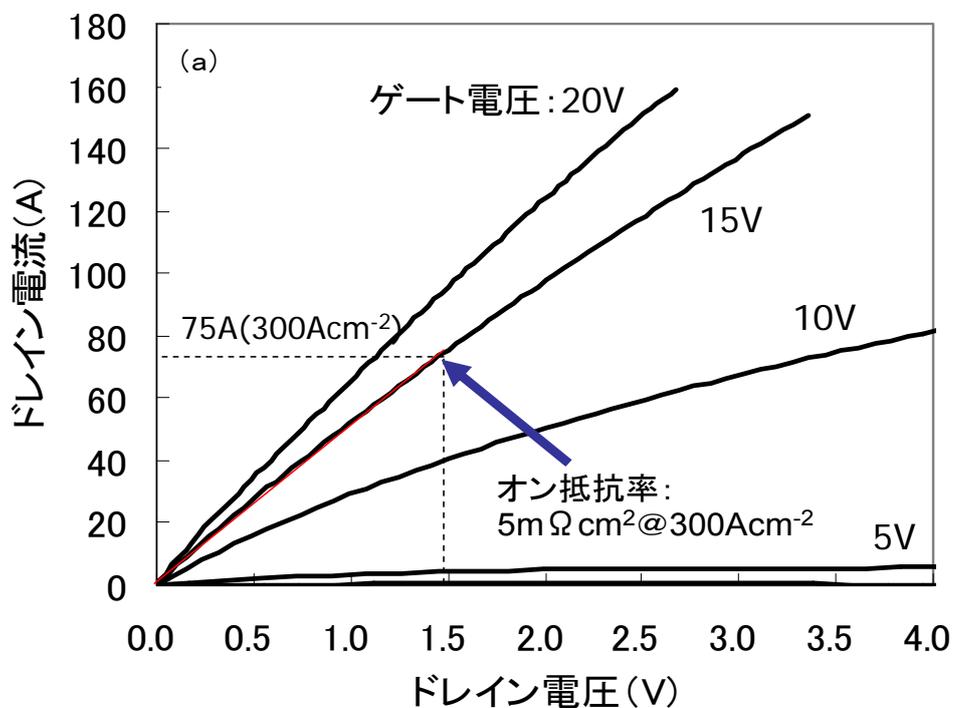


図Ⅲ.2.2.1.1-9 パワコン向け大容量 MOSFET

次に MOSFET の電気特性を説明する。

図Ⅲ.2.2.1.1-10 は室温での IV 特性を示しており、ゲート電圧を 0V から 20V まで 5V 刻みとしており、それに伴って特性が向上している事が分かる。現在の Si-IGBT が通常ゲート電圧 15V で駆動しているためゲート電圧 15V 時の特性抵抗値を評価した。図に示されるように、ゲート電圧を 15V とし、75A ($300\text{A}/\text{cm}^2$ の電流密度)を通電したときのドレイン電圧は 1.5V であった。この結果と素子の有効面積から $300\text{A}/\text{cm}^2$ のオン抵抗率を評価した結果 $5\text{m}\Omega\cdot\text{cm}^2$ を実現している。

素子のアバランシェ電圧は下図に示されるように 1600V 以上あり、1200V 定格デバイスとして十分な耐圧を持つことが示されている。



図Ⅲ.2.2.1.1-10 大容量 MOSFET の IV 特性(a)及び逆特性(b)

2.2.1.2 信頼性基礎評価

次に MOSFET の信頼性基礎評価試験結果について説明する。前記のように MOSFET は、電圧により電流値を制御できるため制御回路側への負荷が小さく、回路構成の簡便化、制御回路の低損失化が可能となる。また、制御性にも優れておりスイッチング損失低減に向けた高速駆動が可能であるなど優れたデバイスである。

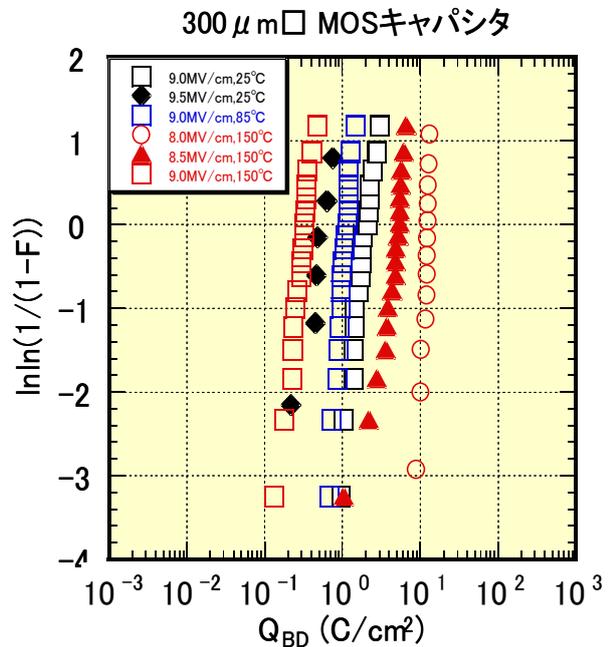
一方でパワーデバイスとして機器に搭載するためには酸化膜の信頼性を確立する必要があった。

基礎評価試験として、酸化膜の信頼性に関して MOS キャパシタ及び MOSFET を用いた TDDDB(time dependent dielectric breakdown) を実施した。

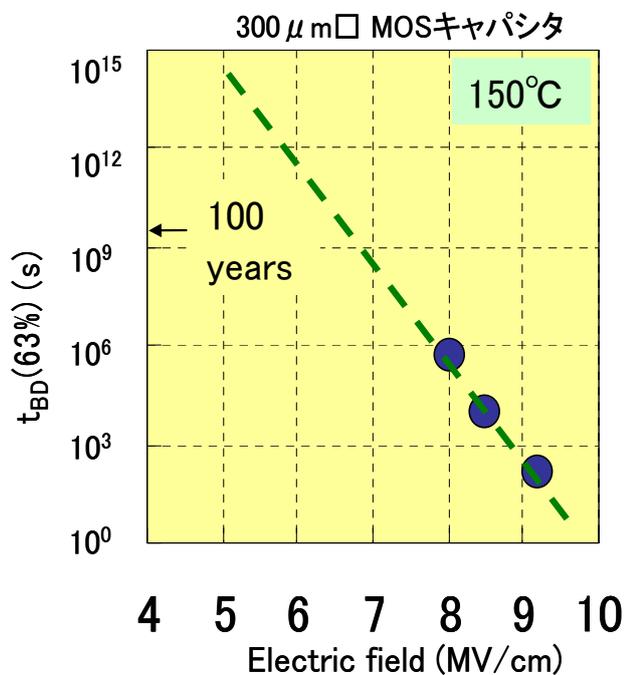
MOS キャパシタは、n 型エピ上に酸化膜を形成し作製している。素子サイズは $300\ \mu\text{m}^2$ である。ゲート酸化膜の形成条件は前述の窒化熱処理と同じ工程を用いている。また、TDDDB の試験前に電流電圧特性を測定し絶縁破壊電界強度は $10\text{MV}/\text{cm}$ 以上あることを検証している。

右図 III.2.2.1.2-1 に評価結果を示している。上図は破壊電荷量 (Q_{BD}) のワイブルプロットを示している。評価時のストレス電界は 8.5、9.0、9.5 MV/cm であり、素子温度は 25、85、 150°C である。

図 III.2.2.1.2-1(上) に示されるよ



破壊電荷量 (Q_{BD}) のワイブルプロット



破壊時間の電界強度依存性

図 III.2.2.1.2-1 破壊電荷量と破壊時間の電界強度依存性

うに、累積故障率(縦軸)が Q_{BD} 値に殆ど依存しない事が分かる。このことは、良質な酸化膜が形成されておりプロセス起因による不良等、初期不良が殆ど発生していない事を示している。

図の電界、素子温度の依存性を見ると電界強度及び素子温度が高くなるにつれて Q_{BD} 値が小さくなっていく事が分かる。例えば、素子温度 150°C 、電界強度 $8\text{MV}/\text{cm}$ 時の Q_{BD} は、今回試作した酸化膜において $1\text{C}/\text{cm}^2$ 程度が確保できている事が分かる。

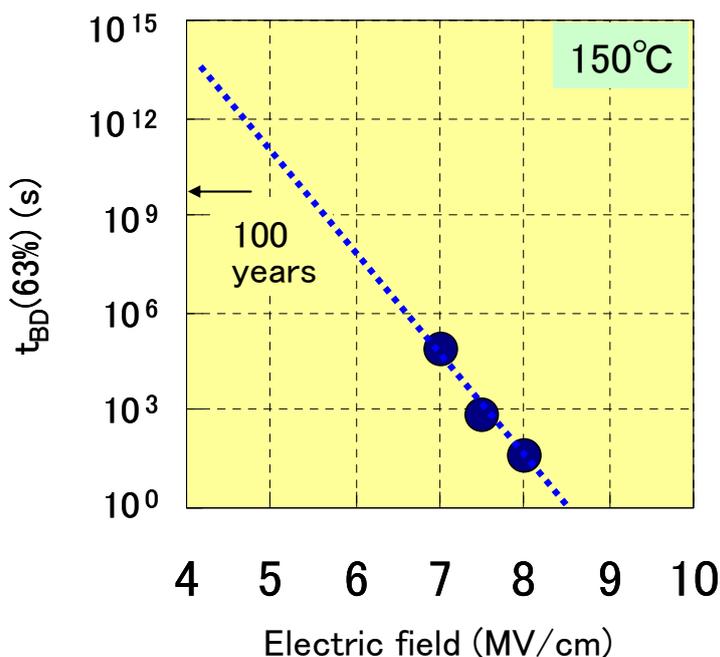
下図Ⅲ.2.2.1.2-1 は、ワイブルプロットより求めた 63%破壊時間(t_{BD})と酸化膜の印加電界強度の関係を示している。図において素子温度は 150°C である。図に示されるように、実験時の電界強度より得られた結果の外挿を破線で示している。電界強度として $6\text{MV}/\text{cm}$ の時に 63%破壊時間として 100 年程度が確保できている事が分かる。

通常の MOSFET の動作時の電界強度は $4\text{MV}/\text{cm}$ 以下であるため、MOS キャパシタの TDDDB 評価から、ゲート酸化膜として十分長い寿命を確保できている事が分かる。

次に MOSFET を用いた TDDDB 評価結果を示す。実際の MOSFET のプロセスでは前述の MOS キャパシタ作製プロセスよりも複雑な工程を通る。この影響を評価するために MOSFET を用いた試験を行った。このときの試験では $3\text{mm}\square$ の MOSFET を用いている。評価は $7, 7.5, 8\text{ MV}/\text{cm}$ の電界を酸化膜に印加するよ

うにゲート電圧を設定しワイブルプロットより寿命を求めている。測定時の素子温度は 150°C である。評価結果を図Ⅲ.2.2.1.2-2 に示す。図に示されるように電界強度として $5\text{MV}/\text{cm}$ で 100 年程度の寿命になると考えられる。従って、 $4\text{MV}/\text{cm}$ の電界強度の場合でも 100 年を超える寿命が得られることを示しており MOSFET として十分長い寿命を有すると考えられる。

3mm \square SiC-MOSFET



図Ⅲ.2.2.1.2-2 3mm \square MOSFET の TDDDB 試験結果

2.2.1.3 成果の評価

本項では、開発した SiC-MOSFET の成果について評価する

(1) 目標の達成度

はじめに、目標の達成度について述べる。本研究開発項目における MOSFET の最終目標値は、

素子耐圧：1200V以上

オン抵抗値： $5\text{m}\Omega\cdot\text{cm}^2$

電流容量：75A 以上

である。

開発された MOSFET の順方向特性及び逆方向特性を図Ⅲ.2.2.1.1-10 に示している。図に示されるように、素子耐圧、オン抵抗値及び電流容量のいずれも最終目標値を達成している。

また、SiC-MOSFET では酸化膜の信頼性が不安視されているが、今回の開発で得られた MOSFET を用いた信頼性基礎評価では、図Ⅲ.2.2.1.2-1 及び 2.2.1.2-2 に示されるように十分な信頼性を持つことが示されている。

(2) 成果の意義

SiC デバイスをパワエレ機器に用いることでエネルギーのロスを低減し CO₂ 削減に有効性は各種の報告書に示されている。課題となっていたのは、必要とされる低抵抗化と製品展開時の信頼性の確保である。使い勝手の良い MOSFET は、酸化膜形成時のチャネル部に発生する界面準位の影響による移動度の低下とそれに伴う抵抗値の増加と電圧印加時の酸化膜寿命に難があった。

しかしながら、今回の開発によりチャネル部の移動度を大幅に改善する酸窒化処理技術を確立することにより移動度を大幅に改善し製品展開に十分な低抵抗特性を得ることができた。また、酸化膜の寿命に関しても実使用上問題のない長寿命を実現することが出来た。このように、本開発により MOSFET の性能を大幅に改善できたことは省エネ技術の発展に大きく寄与したと考えられる。

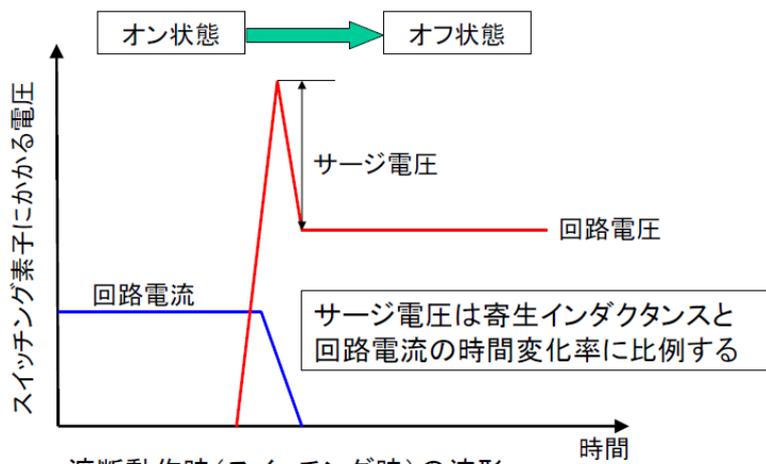
2.2.2 パワーコンディショナの開発

続いてパワーコンディショナの開発内容を説明する。内容は、高速駆動系、高キャリア周波数駆動、フィルタの損失低減とパワーコンディショナの高効率化である。SiC デバイスの適用として従来のプロジェクトではモーター駆動に主眼をおいて技術開発を行ってきた。今回のプロジェクトでは、太陽光パワコンなど再生可能エネルギーを商用周波数のエネルギーに高効率で変換する場合に必要な技術開発を行う。

2.2.2.1 高速駆動

電力変換器の損失は素子抵抗に依存する導通損とスイッチング時に発生するスイッチング損の二種類の和である。

スイッチング損失は、スイッチング時の電圧と電流の積の積分であるために短時間でスイッチングすればするほど損失低減が可能となる。SiC-MOSFET は Si-IGBT に対して高速の駆動が可能であるためスイッチング損失の低減には適したデバイスである。



遮断動作時（スイッチング時）の波形

図 III.2.2.2.1-1 スイッチング時の電圧波形

上述のようにスイッチング時間を短縮することにより低減が可能である一方で、図

III.2.2.2.1-1 に示されるように回路電流の変化と回路の寄生インダクタンスの影響によりサージ電圧が発生する。このサージ電圧が素子耐圧を超えると素子破壊に至るためにスイ

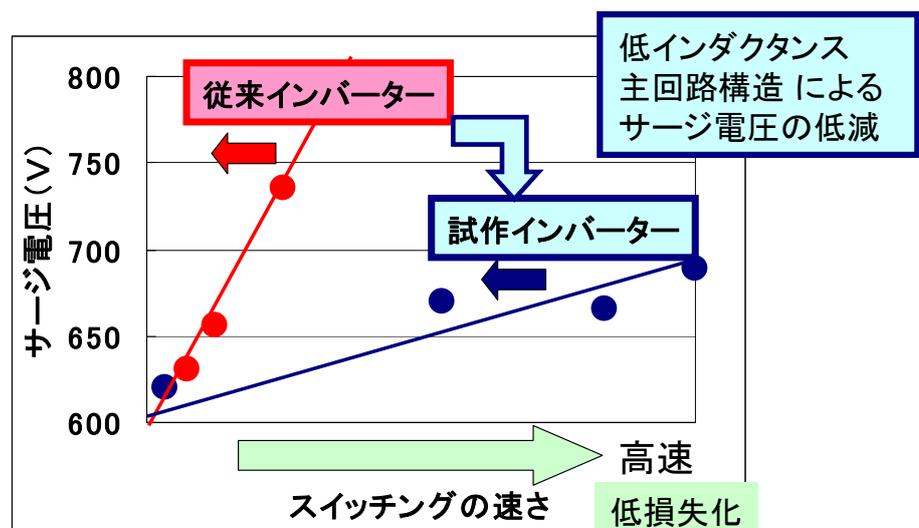


図 III.2.2.2.1-2 低インダクタンス主回路構造によるサージ電圧抑制と損失低減

ッチング時には寄生インダクタンスによって定まる下限がある。

したがって、スイッチング時間を更に短縮し損失低減を実現するためには主回路の低インダクタンス化のための技術開発が必須である。

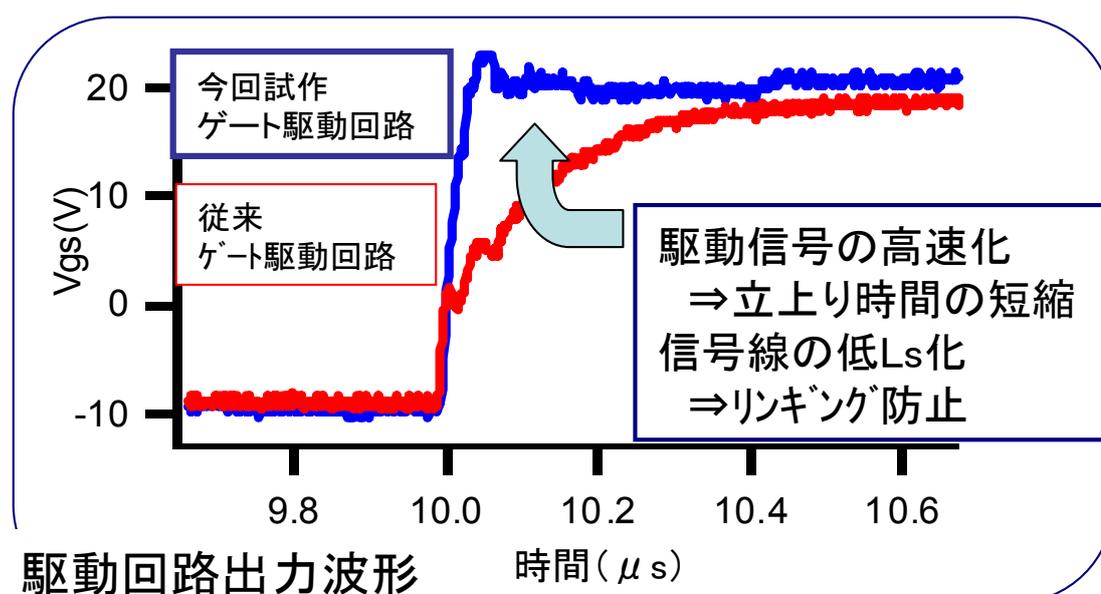
今回主回路インダクタンスを 10nH 程度に低減した回路構成を用いてスイッチング試験を実施した。低インダクタンス化により図Ⅲ.2.2.2.1-2 に示されるようにサージ電圧が従来構造に対して大幅に低減することが可能となり、結果としてスイッチング損失の大幅な低減が可能となった。

このときに用いた駆動回路の波形を示す。図Ⅲ.2.2.2.1-3 には従来駆動回路の場合の波形及び新しく開発した駆動回路によるゲート電圧波形を示している。

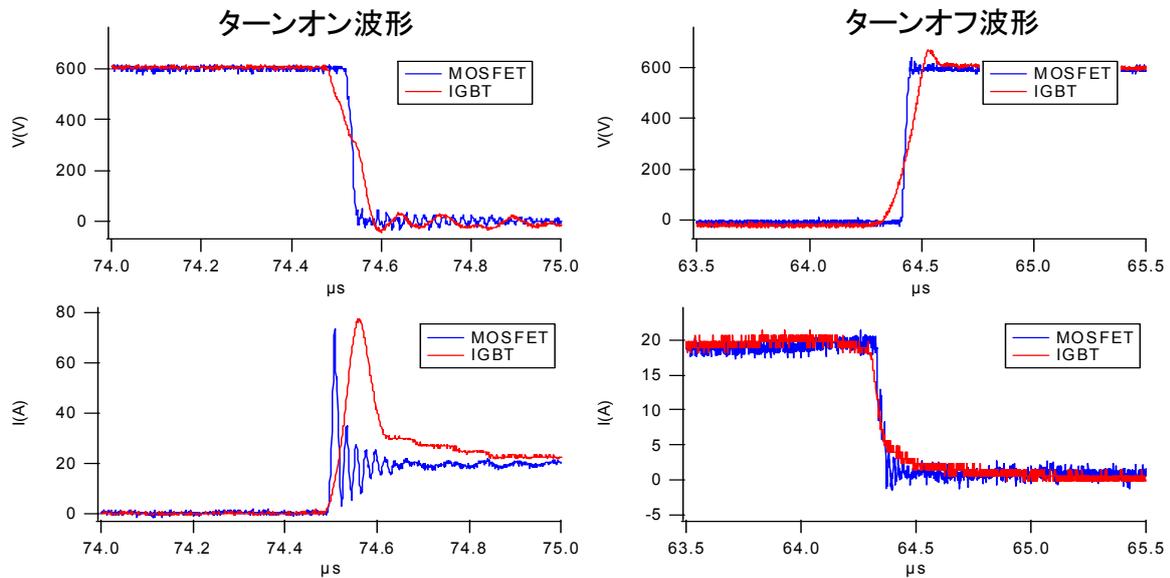
図のように今回開発した回路によりに 10ns 程度のゲート電圧の立ち上がり時間を実現している。通常のインバータ回路では、制御回路の信号をより線を用いてゲート電極に接続している。このためより線部分のインダクタンスの影響により信号が鈍ってしまい十分な速度を実現する事が出来ない。今回の制御回路はより線の代わりに FPC(Flexible printed circuits)を用いて低インダクタンス化を実現している。

高速でスイッチングした場合には、MOSFET の帰還容量の影響によりドライバ回路へ dV/dt に起因したノイズが侵入する。今回の回路では、ノイズ対策として、ノイズクランプダイオードによる低減とスイッチングノイズが電源ラインを經由して入力信号系に流れ込まないようにするフィルタを装着している。この結果として、スイッチング試験や駆動試験においてノイズによる誤動作は抑制されている。

試作駆動回路



図Ⅲ.2.2.2.1-3 試作駆動回路のゲート駆動波形



図Ⅲ.2.2.2.1-4 高速駆動回路を用いたスイッチ

この駆動回路を用いたときの MOSFET のスイッチング波形を図Ⅲ.2.2.2.1-4 に示す。図において赤線は IGBT を用いたときの波形を示している。図に示されるように、ターンオン時に、

電圧立ち下がり時間：19ns 電流立ち上り時間：5ns

ターンオフ時に

電圧立ち上がり時間：24ns 電流立ち上り時間：38ns

の立ち上がり時間を実現できている。また IGBT に対して遙かに高速でスイッチングを行っているにも関わらずスイッチング時のサージ電圧は IGBT の場合に比べて大幅に低減できており、図に示されるように殆ど無視できる程度であることがわかる。

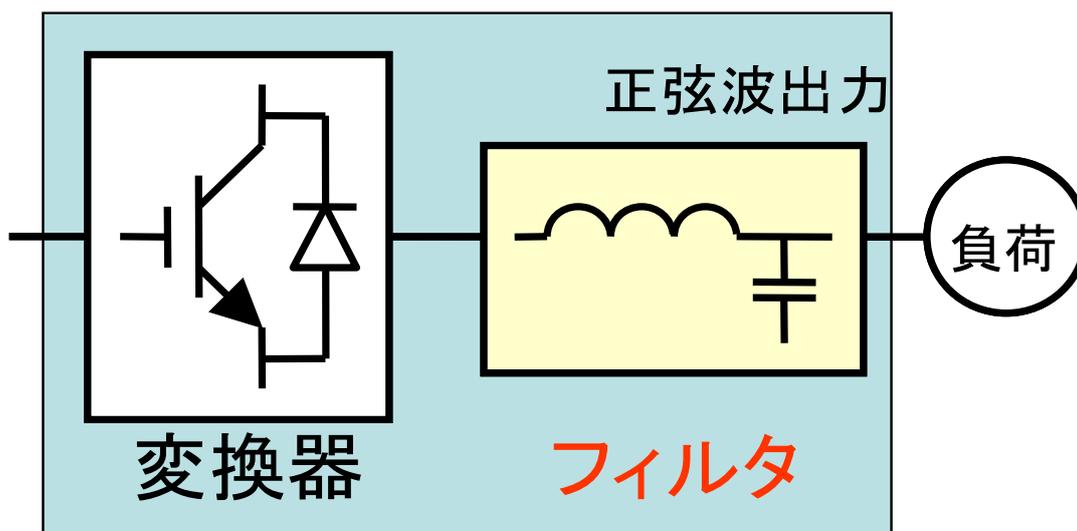
今回の試験により、回路の寄生インダクタンスを低減することでスイッチング時間を従来より更に短縮する素子駆動が可能となり、この結果として、ON/OFF 損失の大幅低減が可能であることが示された。

また、駆動回路系にノイズ対策を施す事で安定動作が可能である事も検証できた。

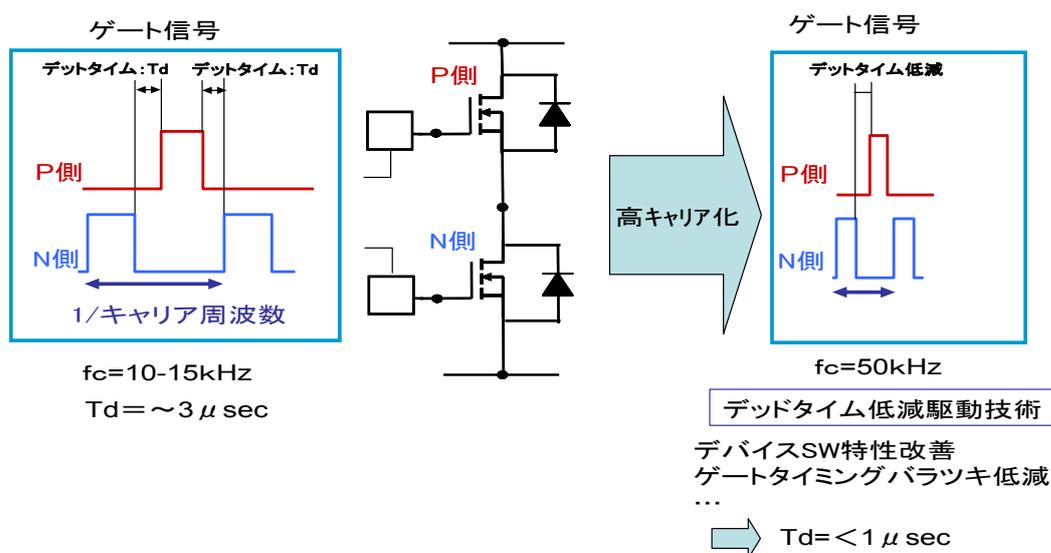
SiC デバイスの特徴の一つは、IGBT に比べて高速の動作が可能になる事にある。その特長を生かすためには、主回路構造の低インダクタンス化技術、駆動回路の高速化及び外部ノイズに対する耐性を向上する技術等が必要となるが、上述のように今回のプロジェクト開発を行う事が出来た。これらの成果は、太陽光パワーコンディショナ以外のパワーエレ分野に適用が可能である。

2.2.2.2 高キャリア周波数駆動

Ⅲ.2 次に SiC デバイスの特長である高速動作に関連して高キャリア周波数駆動に関する技術開発結果について説明する。再生可能エネルギーなどの電力を商用周波数の電力に変換する場合の電力変換器の一般的な構造を図に示す。電力変換器は IGBT 等のようなスイッチング素子から構成されている。スイッチング素子は外部の制御信号により回路に流れる電流の ON/OFF を制御する機能を持っている。このため変換器の出力波形は滑らかな正弦波ではなく矩形波の列になる場合が殆どである。このような



図Ⅲ.2.2.2-1 変換器とフィルタ配置



図Ⅲ.2.2.2-2 デッドタイムとスイッチングの関係

出力波形から正弦波だけを取り出すためにはフィルタ回路が必要となる。この結果として電力変換器は、図Ⅲ.2.2.2-1のように変換器部とフィルタから構成されている。フィルタは変換器出力から高調波成分を除去するために必要であるが、フィルタサイズ・重量・コストなどの要因のため小型化・低コスト化・低損失化が求められている。

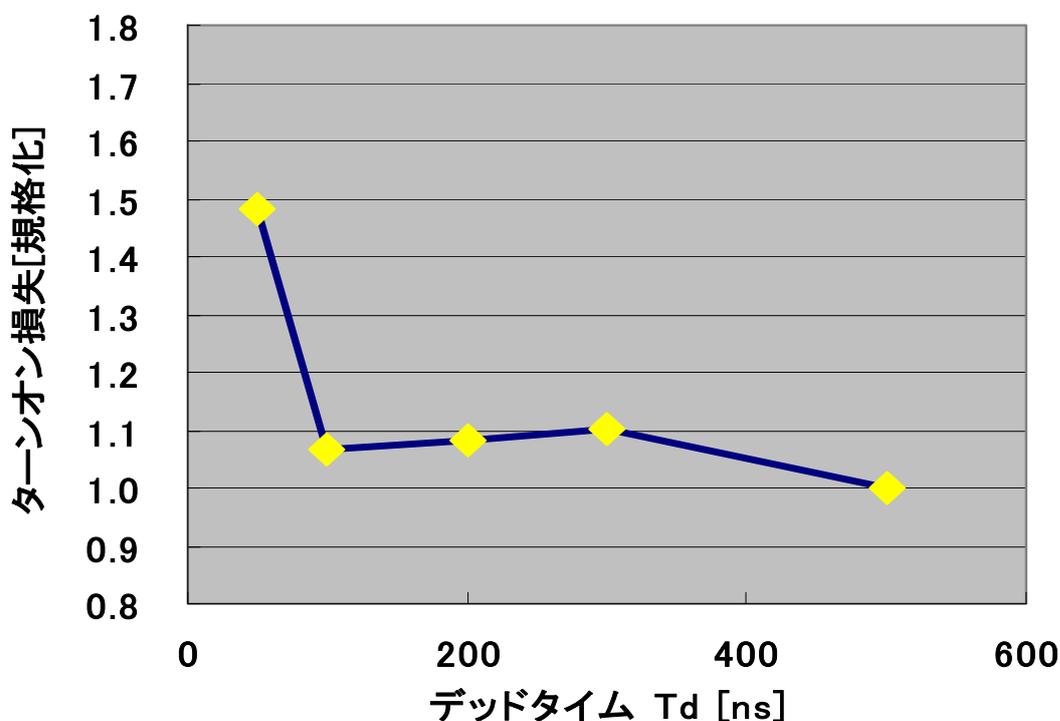
このためには、高キャリア周波数動作が有効であるが、Si デバイスでは 15kHz 程度が限界にある。これは、Si デバイスである IGBT の動作速度が遅い事に起因する。動作速度が遅い事はスイッチング時の損失が大きくなる事に繋がる。このため、キャリア周波数を上げた場合 Si デバイスではスイッチング損失が非常に大きくなってしまい、キャリア周波数に上限があった。このためスイッチング損失の小さい SiC デバイスへの期待が大きい。高キャリア周波数化することにより商用周波数に対する高調波成分が低減される事になりフィルタ類の小型軽量化が可能となる。

以上のように電力変換器の設計ではキャリア周波数増による損失増とフィルタ類減による低損失化のトレードオフ最適化が必要となる。

また、フィルタの小型化に効果が期待される高キャリア周波数駆動については、スイッチング時のデッドタイム短縮が必要となる。図 2.2.2-2 にその様子を示す。デッドタイムは、交互に ON/OFF する上下のスイッチング素子において両方の素子が OFF 状態になっている時間を示す。これは、回路の誤動作などにより上下の素子が同時に ON 状態となり短絡状態に陥る事を防ぐ目的で設定されている。

デッドタイム期間中の電流は還流ダイオードに流れる事となり損失の増大に繋がる。デッドタイムの短縮を実現するためには、外部環境が変化した場合(例えば、環境温度や外部擾乱など)でも駆動回路の発生する制御信号のタイミングに揺らぎがないようにしなければならない。

本プロジェクトではデッドタイム短縮に向けた検討を行い、デッドタイム 1 μ sec 以下を実現する駆動方式を確立した。加えて、フィルタを含まない変換器部単独で、キャリア周波数 50kHz での動作を検証したので以下に示す。



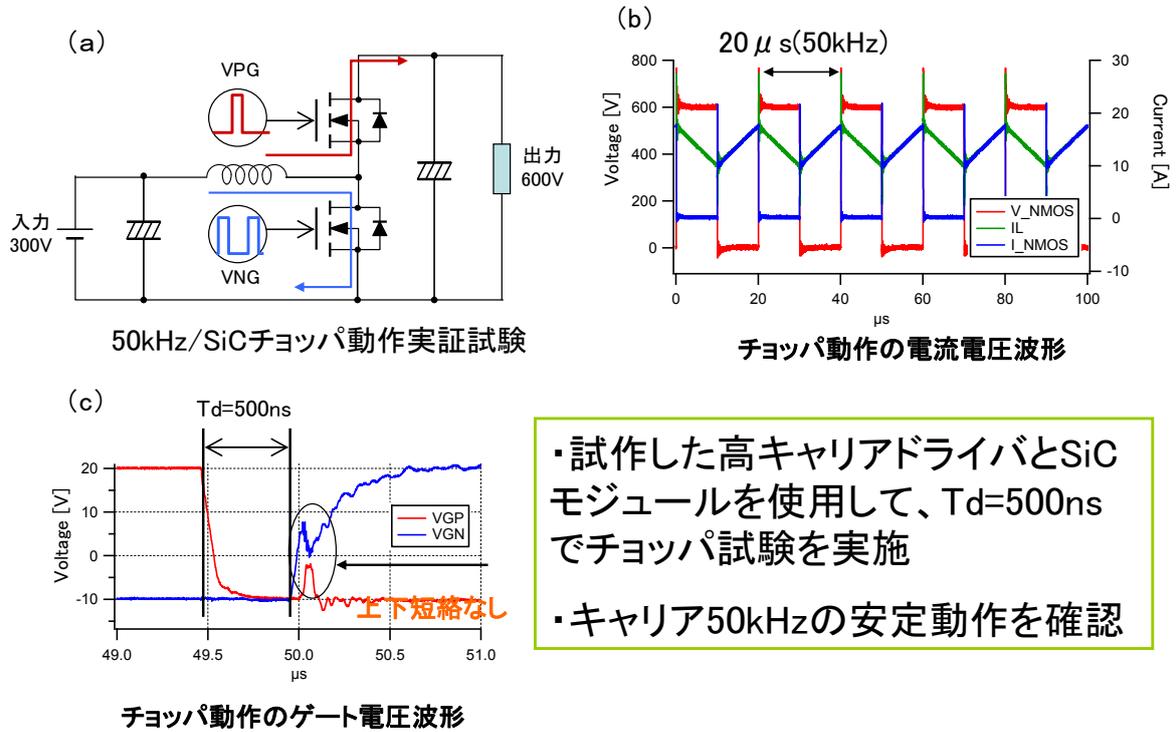
図Ⅲ.2.2.2.2-3 デッドタイムとスイッチング損失の関係

デッドタイム(T_d)を短縮した駆動回路について検討を行った。通常の回路系では、キャリア周波数 10~15kHz、デッドタイム $3\mu s$ 程度で駆動しているが、今回の試作では 50kHz 駆動をおこなう。このために、ゲートタイミングのばらつき低減技術によりデッドタイムの低減を行った。ドライバ回路は前述の高速ドライブ回路を用い絶縁カプラと組み合わせることにより電気絶縁部の高速化を行った。

フルブリッジ回路構成にてデッドタイムとスイッチング損失の関係を測定した結果を図Ⅲ.2.2.2.2-3 に示す。デッドタイムが短くなると上下の MOSFET が同時に ON になる状態が発生しスイッチング損失が増加する。この点からデッドタイムの下限を設定した。図に示されるようにデッドタイムが 100ns 以下になると損失が急激に増加することが分かる。したがって今回の試作では $0.5\mu s$ のデッドタイムでインバータ動作を試みた。

図Ⅲ.2.2.2.2-4 のチョッパー回路を用いてキャリア周波数 50kHz での動作検証を行った。測定の結果を下図に示す。図に示されるようにチョッパー回路を用いた安定動作をキャリア周波数 50kHz で確認できている。

上下の MOSFET のゲート電圧波形が図に示されている。片側の MOSFET が ON した際に逆側のゲート電圧に跳ね上がりが発生するが図から約 8V である事が分かる。このことよりスイッチングノイズにより上下が同時にオン状態になる不具合が発生せず安定に動作している事が分かる。



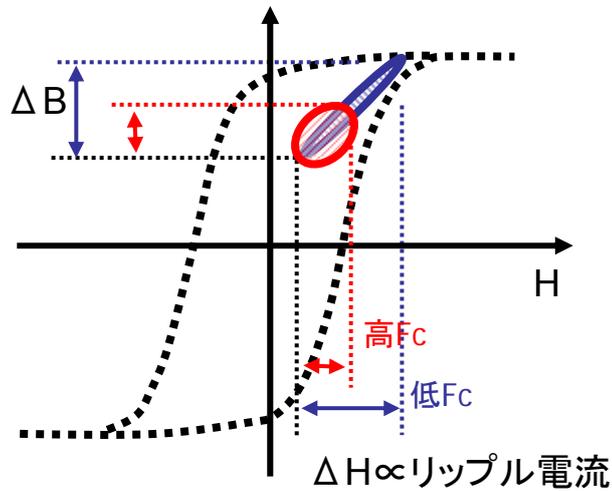
図III.2.2.2.2-4 高キャリア周波数動作の検証

2.2.2.3 フィルタ設計

前述のように太陽光パワーコンディショナにおいてフィルタの損失は大きな割合を占めている。通常のパワーコンバータの場合約1%の損失がフィルタ部分で発生している。パワーコンディショナの変換効率を改善するためには電力変換部の損失のみならずフィルタ部分の損失も低減する必要がある。

今回のプロジェクトでは、フィルタ構成の最適化を行う目的でフィルタの損失評価系を構築した。

フィルタの損失は、銅損と鉄損に大別できる。銅損はコイル部に流れる電流の抵抗損失と渦電流損失に分類でき、鉄損はコア部分に流れる渦電流による損失とコア材料によるヒステリシス損失に分類される。ヒステリシス損失は、図III.2.2.2.3-1の斜線部面積×周波数(Fc)に相当する。高キャリア周波数化はヒステリシス損失を増加させる影響がある。一方で、高キャリア周波数にする事によりリップル電流が低減される。このために、図の斜線部面積が縮小し損失を低減する効果を持つ。このような効果もあるため、ヒステリシス損失低減のためには、コア材料の選定、リアクトルサイズの最適化設計が必要になる。

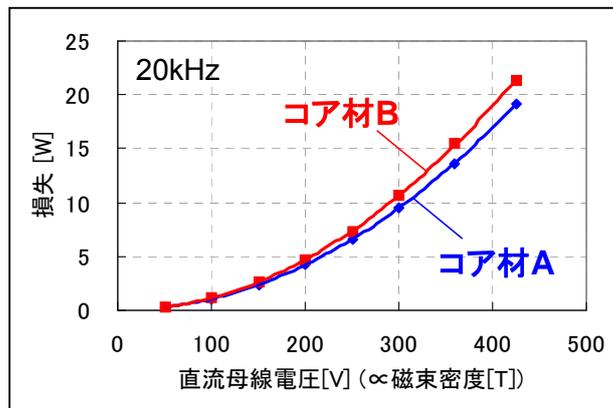


図III.2.2.2.3-1 フィルタ部のヒステリシス損失

表III.2.2.2.3-1 コア材料と鉄損

	コアの鉄損
コア材A	18.8W/kg
コア材B	2.5W/kg

※磁束密度0.1T, 20kHz時の損失(カタログ値)



図III.2.2.2.3-2 材料の損失

渦電流損の低減には、フィルタ構造／コア材料／巻線形状最適化を行わなければならない。

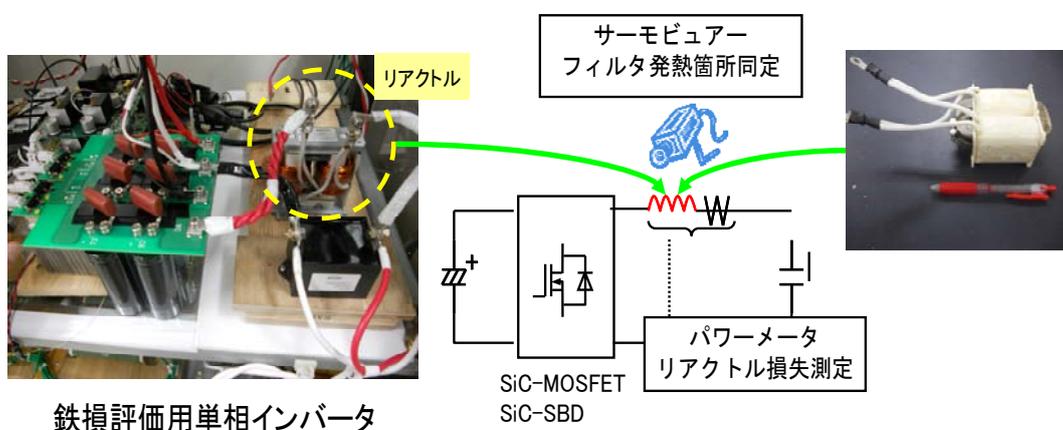
今回のフィルタ設計において鉄損低減のため材料損失の異なるコア材料を用いて損失低減を試みた。図Ⅲ.2.2.2.3-2 にその結果を示す。表Ⅲ.2.2.2.3-1 に示されるように材料 A はコアの鉄損が非常に大きい材料であり、B は少ない材料である。二つの材料を用いて同様の計上のリアクトルを作製して損失の評価を行った結果を図に示している。図に示されるように両方の材料でリアクトルとしての損失はほぼ同じレベルである事が分かる。

リアクトルの損失が材料に依存しない原因を究明するために損失の発生箇所を可視化できる装置を試作した。

図Ⅲ.2.2.2.3-3 に構成を示している。図中のリアクトルがフィルタに相当している。

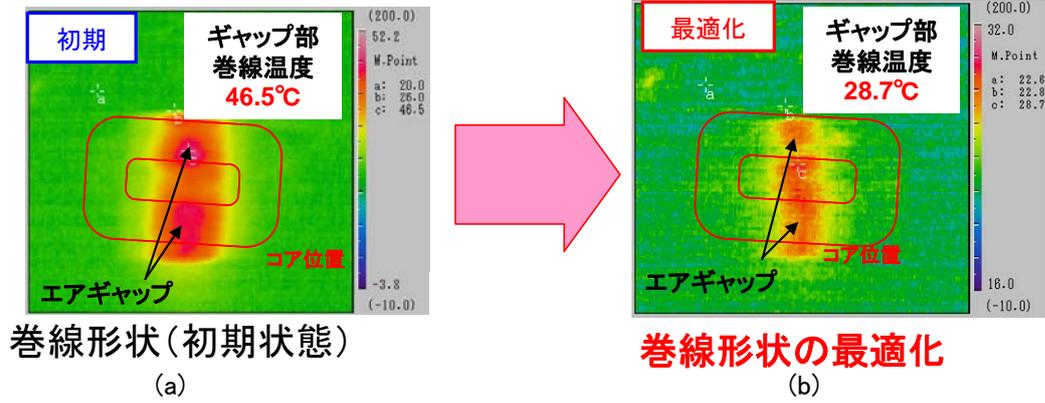
今回構築した測定系はフィルタ部分の発熱をサーモビューアで取り込み温度分布より発熱部分の可視化を行えるようにしている。この装置を用いることでコイルに流れる渦電流分布を可視化出来、巻線及びリアクトルを構成しているコアのギャップ間隔を最適化することで渦電流損を低減する構造を実現することができる。

リアクトルに通電する高周波のリップル電流を模擬するために SiC-MOSFET を用いて電源を構成している。



図Ⅲ.2.2.2.3-3 フィルタの損失評価系

図Ⅲ.2.2.2.3-4 に評価結果の一例を示している。左上図は初期状態の巻線形状を用いたときの渦電流損失分布を示している。図中の赤い部位がコイルと電界が鎖交して渦電流損失を発生している部位に相当する。図に示されるようにコイル温度は 46.5℃まで上昇している事が分かる。

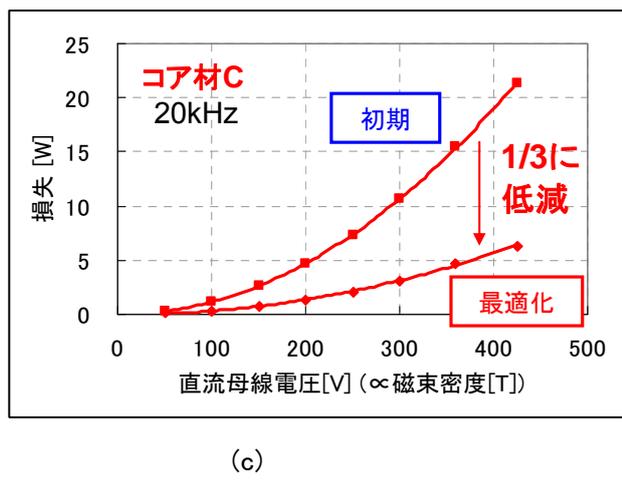


図Ⅲ.2.2.2.3-4 フィルタの最適化による損失低減

(a) 初期巻線形状

(b) 最適化後

(c) 損失低減効果



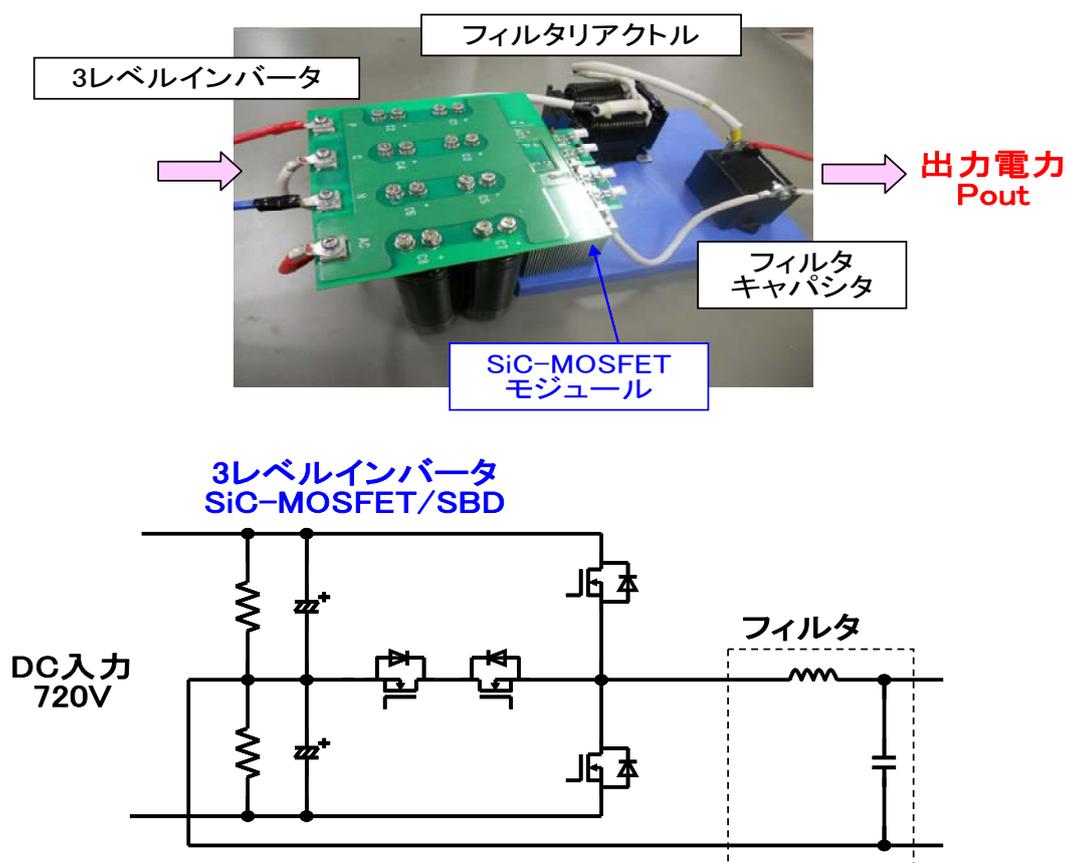
この部分の巻線方式およびコアのエアギャップ間隔を最適化することにより右図のように渦電流損を低減することが可能となる。この場合、コイルの発熱による温度は 28.7°C と初期の値に対して大幅に改善している事が分かる。

右下図(c)は 20kHz の交流を印加したときの直流母線電圧と損失の関係を示している。初期に比べて巻き線の改善により損失を 1/3 に低減できている事が示されている。

2.2.2.4 ミニモデル設計

パワーコンディショナ的设计手順を以下に示す。まず、SiC-MOSFET 及び SBD を組み合わせた仮モジュールを作製し導通損失及びスイッチング損失評価を行った。その結果を基に 2 レベル及びマルチレベルの主回路構成を用いた時の電力変換効率の推定を行った。

その結果、2 レベル回路構成において定格出力時の電力変換効率を 98%まで高めることが出来ることが分かった。しかしながら、中間出力時の電力変換効率が非常に劣化した。太陽光パワーコンディショナの場合パネルの最大出力に応じて電力変換器を設計する事になるが、通常の動作状態においてパネルが最大出力を出す場合はまれである。このためパワーコンディショナとして高効率を実現するためには低出力時の効率を高効率化する必要がある。このため、本プロジェクトにおけるパワーコンディショナの主回路構成としては 3 レベル回路方式で 30kW パワーコンディショナを検討することにした。本回路では中性点部のデバイスにも電流が流れるため、Si-IGBT の様に低電流域の損失の大きいデバイスより SiC-MOSFET の様に低電流域で導通損失の小さいデバイスが適している。



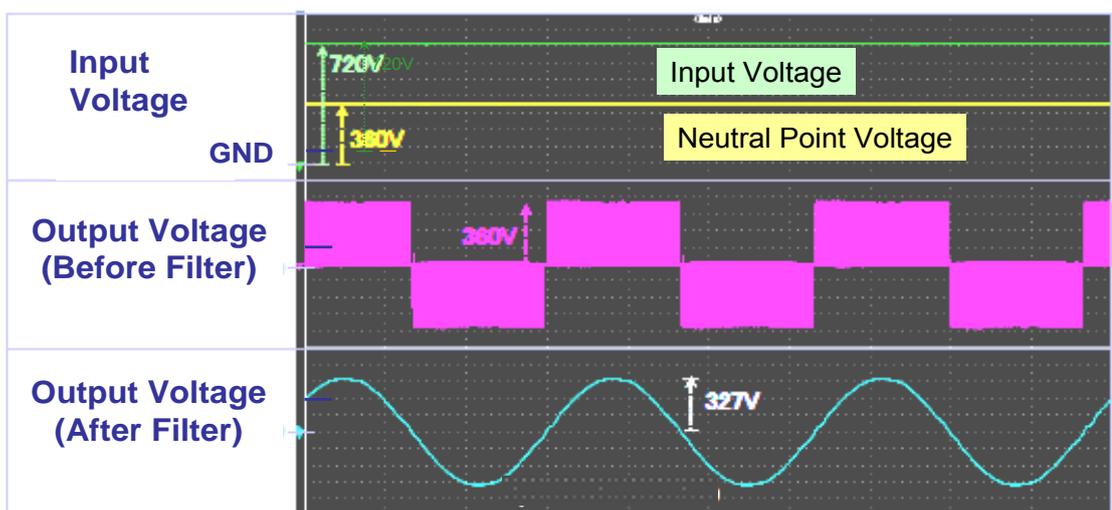
図III.2.2.2.4-1 ミニモデルインバータ外観図と主回路構成

また、数kW 級のミニモデルを先行して試作し動作させる事で中性点接地方式の主回路構造の課題を抽出し 30kW 級パワーコンディショナに展開する事とした。

図Ⅲ.2.2.2.4-1 に試作したミニモデルの回路構成及び外観図を示している。

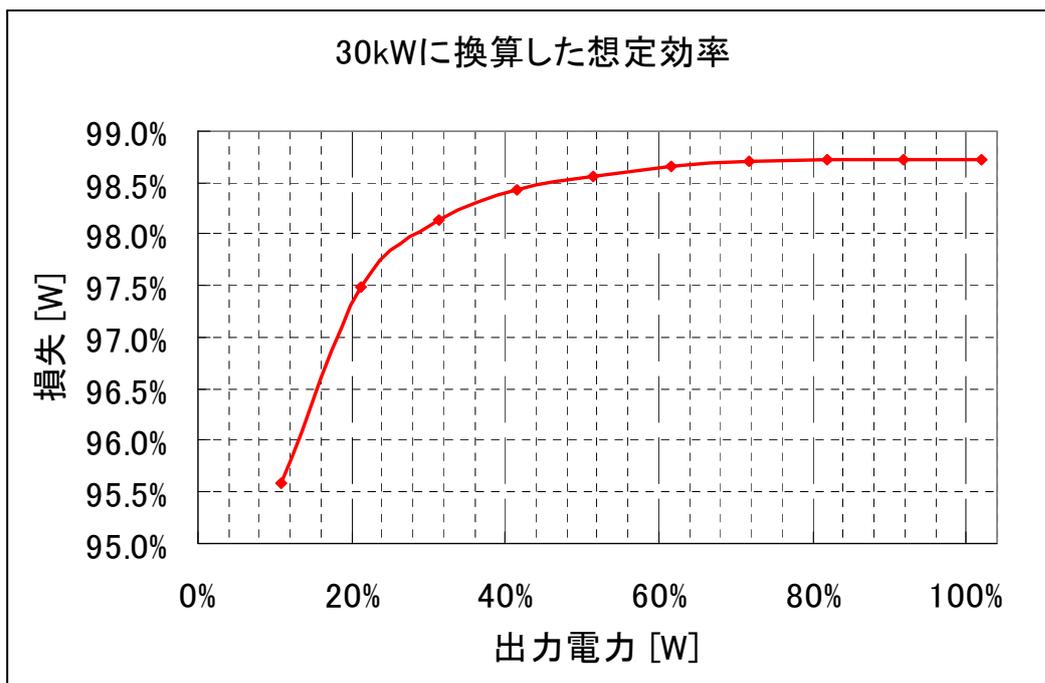
下図は上述のモジュールを連続動作させたときの入力電圧、フィルタ前後の電圧波形を示している。入力電圧は GND に対して 720V となっている。中性点の電位はその 1/2 になっている。図Ⅲ.2.2.2.4-2 に示されるように安定した動作を示している。

また、中央部に変換器の出力端での電圧波形を示しているがパルス高さ 360V のパルス列である事が分かる。このパルス列をフィルタにより高調波成分が除去され正弦波出力が得られている事が三段目の図に示されている。



図Ⅲ.2.2.2.4-2 ミニモデルインバータ動作波形

下図Ⅲ.2.2.2.4-3 は、このときの動作結果を用いて損失を評価し、その結果を基に 30kW パワーコンディショナの想定電力変換効率を算出したグラフである。図に示されるように、定格出力時の変換効率として 98.5%以上が得られている。



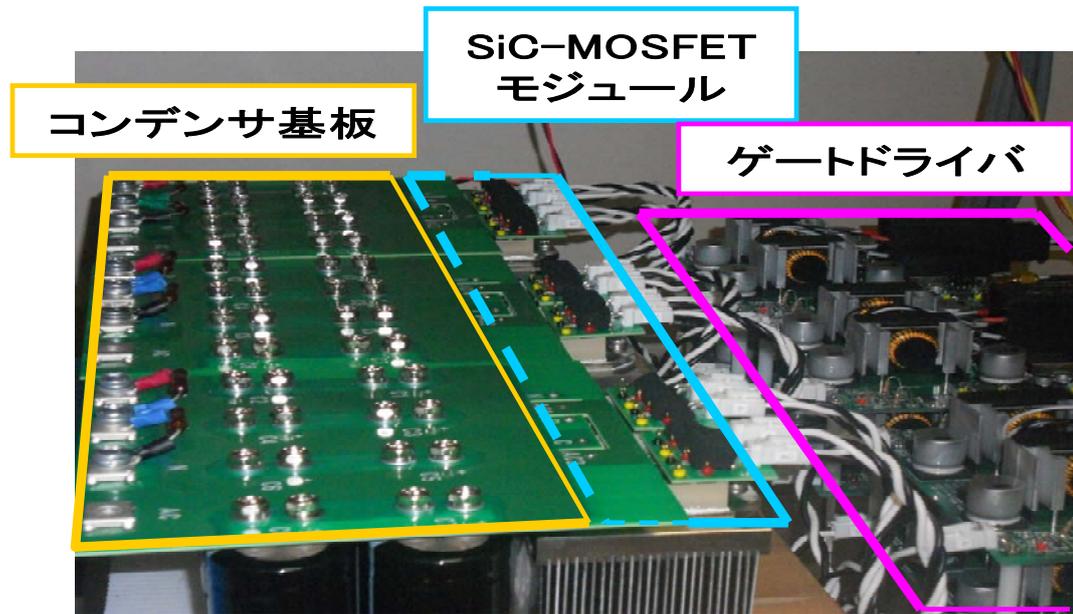
図Ⅲ.2.2.2.4-3 ミニモデル評価結果を元に 30kW パワコン動作時の電力変換効率推定

2.2.2.5 30kW級パワーコンディショナの試作と動作検証

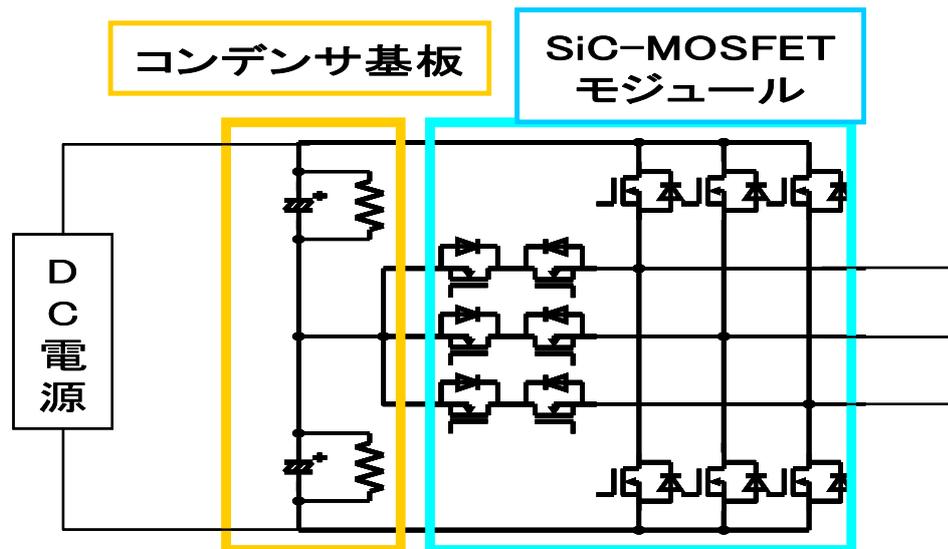
ミニモデルの結果を基に 30kW 級のパワーコンディショナの設計試作評価を行ったので以下に結果を説明する。

図Ⅲ.2.2.2.5-1 に 30kW 級の 3 相パワーコンディショナの外觀写真と主回路構成を示す。

上図は外觀を示しておりゲートドライバ回路と SiC-MOSFET モジュール及びコンデンサ基板が示されている。下図は、主回路構成を示している。ミニモデルと同じ中性



30kWプロトタイプの外観

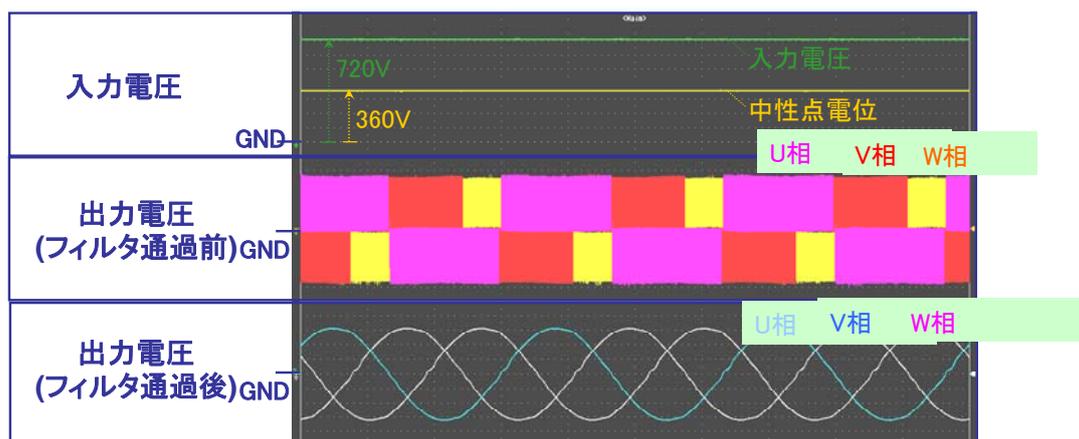


主回路構成

図Ⅲ.2.2.2.5-1 3レベルインバータ外觀図と主回路構成

点接地方式の3レベルの回路構成をしている。

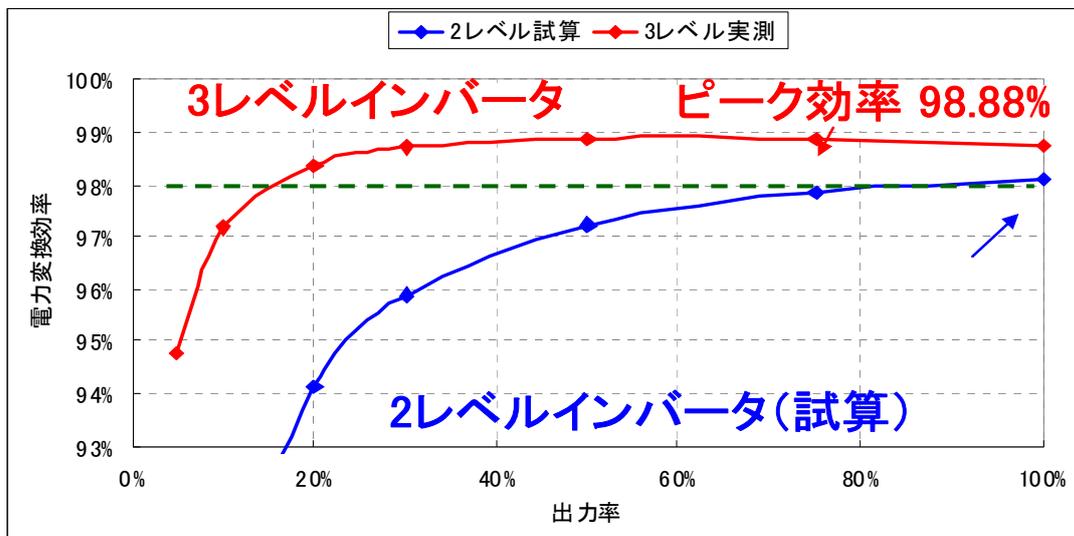
図Ⅲ.2.2.2.5-2に三相インバータ動作を行ったときの入力電圧、フィルタ通過前後の電圧波形を示す。ミニモデルと同様にフィルタの効果により出力電圧波形は高調波成分を除去され正弦波出力が得られていることが分かる。



図Ⅲ.2.2.2.5-2 3レベルインバータ動作時の波形

この回路構成を用いたときの電力変換効率の測定結果を図Ⅲ.2.2.2.5-3に示す。

3レベルインバータの場合の電力変換効率は定格出力時で98.5%以上、ピーク値98.88%を実現していることが分かる。一方で2レベルインバータ動作時の試算値は図中の青線で示されている。定格出力時に98.09%が予想されているが負荷率の低下と共に変換効率が急速に劣化し50%負荷時で97%に劣化する。3レベル構成では50%負荷時でも98.5%の効率を実現できると共に25%負荷時でも98%の変換効率を実現している。



図III.2.2.2.5-3 3レベルインバータ動作時の電力変換効率

2.2.2.6 成果の評価

本項では、開発したパワーコンディショナの成果について評価する

(1) 目標の達成度

はじめに、目標の達成度について述べる。本研究開発項目におけるパワーコンディショナの最終目標値は、

三相交流 30kW級太陽光パワーコンディショナのプロトタイプを試作し、定格出力時に 98%以上の電力変換効率を実証

である。

SiC-MOSFET を用いて開発した 30kW パワーコンディショナのプロトタイプの電力変換効率を図III.2.2.2.5-3 に示している。図に示されるように、100%の定格出力時に 98%以上の変換効率を実現していることが示されている。また、ピークの電力変換効率は 98.88%に達しており最終目標値を大きく上回る成果を実現している。

(2) 成果の意義

SiC デバイスをパワーレ機器に用いることでエネルギーのロスを低減し CO₂ 削減に有効性は各種の報告書に示されている。課題となっていたのは、Si-IGBT と異なる構造を持つ SiC-MOSFET を使いこなす技術の開発である。特に、MOSFET は IGBT と異なり高速のスイッチングが可能である。この特長を活かすために、従来の駆動回路の高速化が求められると共にスイッチング時のサージ電圧の発生を抑制するために主回路部分のインダクタンスを低減する必要がある。

今回の駆動回路及び主回路構成の低インダクタンス化の開発により高速の駆動及びサージ電圧の低減を実現することが出来た。

また、SiC デバイスの特徴である高周波駆動に関しても、キャリア周波数 50kHz、デッドタイム 500ns で駆動できる回路を試作し安定動作を実証した。この成果は、シリコンより高い周波数領域でフィルタ回路の小型化低コスト化及びパワーコンディショナを初めとする電力変換器の静音性向上に展開することが出来る。

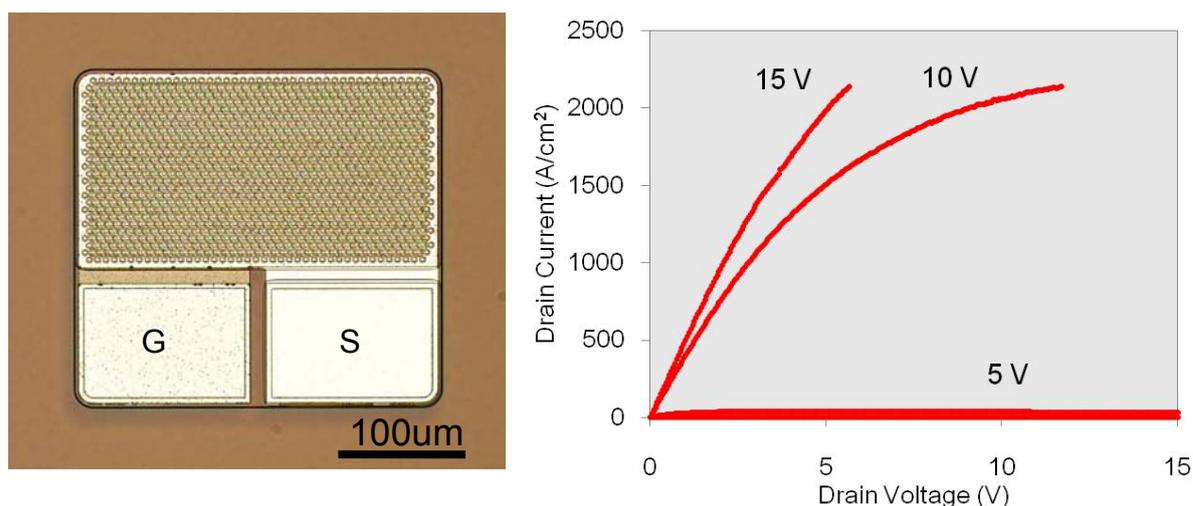
パワーコンディショナを 2 レベル制御から 3 レベル制御にすることにより低出力時の変換効率を向上することが出来る。SiC-MOSFET をスイッチング回路に用いると、Si-IGBT に対して低出力時の損失が更に小さいため、3 レベル化の効果がより顕著となる。このため、パワーコンディショナとしても従来の Si デバイスでは実現できなかった高い電力変換効率を実証したことは、SiC デバイスの製品展開にむけて大きく寄与したと考えられる。

2.3 次世代 SiC パワーデバイス・電力変換器基盤技術開発

2.3.1 電力変換器用SiCスイッチングデバイス基盤技術

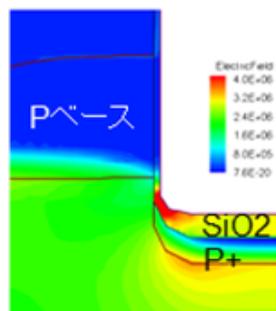
2.3.1.1 IT機器電源用SiCパワーMOSFETの低オン抵抗化技術

図Ⅲ.2.3.1.1-1に示すように従来型のUMOS構造を有するSiC-MOSFETを試作してDMOS構造のMOSFETと比較してオン抵抗の優位性を確認した。しかし、当初から懸念された通り、耐圧は低くなり300V程度であった。この理由は、図Ⅲ.2.3.1.1-2にデバイスシミュレーションの結果を示すようにU字の底の酸化膜に電界が集中するためである。そこで、デバイスシミュレーションを用いて新規構造を検討した。従来型のUMOS構造の他にもう一つU字構造(ダブルUMOS構造(図Ⅲ.2.3.1.1-3))を設け、周囲にp型領域を埋め込むことにより、PN接合から延びた空乏層によってUMOSゲート酸化膜が高電界から遮蔽され、一方、そのことによるオン抵抗の上昇は小さいので高耐圧化と低オン抵抗化の両立が図れる。また、オン抵抗低減にはトレンチ形状をチャンネル密度が高い六角形等にすることが有効だが、MOSゲートの動作がトレンチ面により不均一となり、デバイス信頼性の低下が懸念されていた。これは一般的なSiCウエハが(0001)面から傾斜していることで、トレンチ側壁の結晶方位がトレンチ方向によって異なっているためである。この問題に対し結晶方位の傾斜角度が小さい微傾斜基板にトレンチを形成すればトレンチ面間の特性が均一化できることを明らかにした。2009年のSiC国際会議であるInternational Conference on Silicon Carbide and Related Materials 2009(ICSCRM2009)の招待講演で世界中の研究者から注目を集め、デバイス設計と作製技術力の高さを示すことができた意義は大きかった。



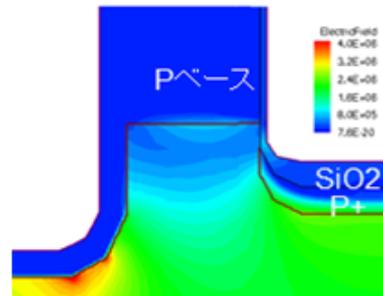
図Ⅲ.2.3.1.1-1 従来型のUMOSFETの上面からの光学写真(左)と電流-電圧特性(右)

従来型
UMOSFET



図Ⅲ.2.3.1.1-2 従来型 UMOSFET の電界分布
U字底の SiO₂ 膜の電界が赤く示されており
高いことが分かる。

ダブルトレン
チUMOSFET



図Ⅲ.2.3.1.1-3 新規提案(ダブルトレン
チ)UMOSFET の電界分布
従来型と比較して U字底の SiO₂ 膜
にかかる電界が小さい。

2.3.1.2 電力変換用 SiC デバイスのトータル性能の信頼性

ゲート酸化膜の信頼性寿命、電極・配線のエレクトロマイグレーション寿命、破壊耐量に関する信頼性評価のための設備を整備して評価を試み基本的な評価プロセスを構築することを目標にして研究を行った。

図Ⅲ.2.3.1.2-1に示すようにNH₃アニールによりリーク電流の立ち上がり電圧が高くなることがわかり、ゲート酸化膜の信頼性が向上することを突き止めた。しかし、図Ⅲ.2.3.1.2-2に示す様に界面準位密度とフラットバンドシフトが大きく、今後界面化学的、デバイス物理的な詳細研究が必要である。

配線・電極のエレクトロマイグレーション試験のためのコンタクト構造を検討して TEG を完成した。破壊耐量については、図Ⅲ.2.3.1.2-3 と図Ⅲ.2.3.1.2-4 に示すようにアバランシェ耐量を 200℃で測定する評価システムを構築して、実際に耐量を測定した。今後は、SiC-MOSFET のトータルでの信頼性向上に大きく寄与すると考えられ、スイッチングデバイスの普及に役割を果たした。

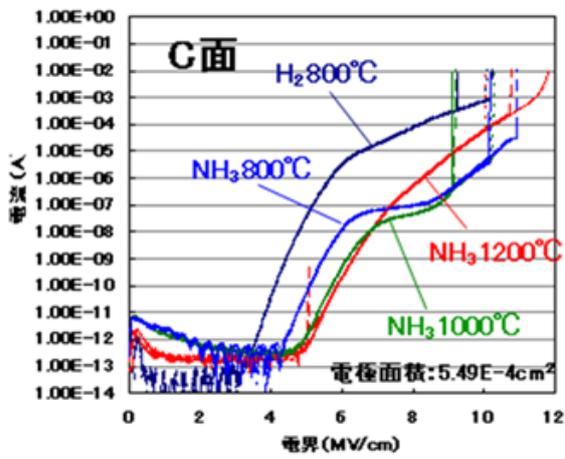


図 III.2.3.1.2-1 リーク電流の立ち上がり電界に対する NH₃ アニールの効果

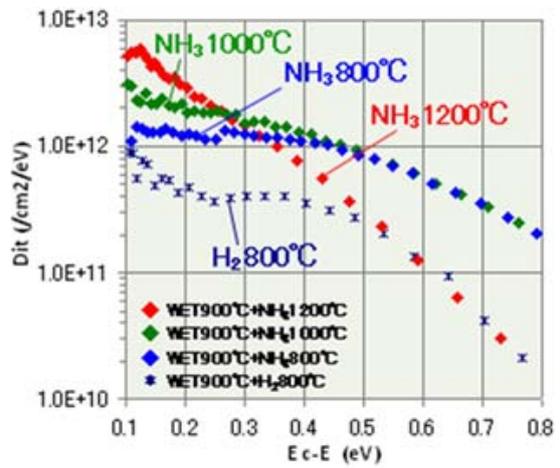


図 III.2.3.1.2-2 界面準位密度(Dit)に対する NH₃ アニールの効果。Ditは水素アニールよりも高い。

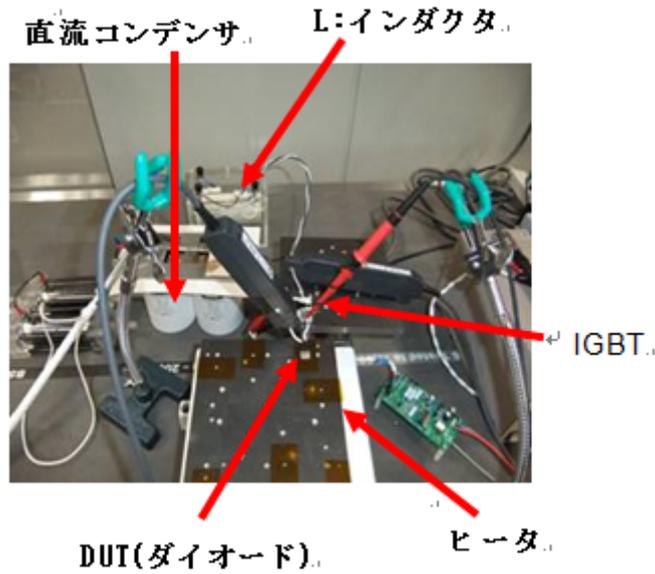
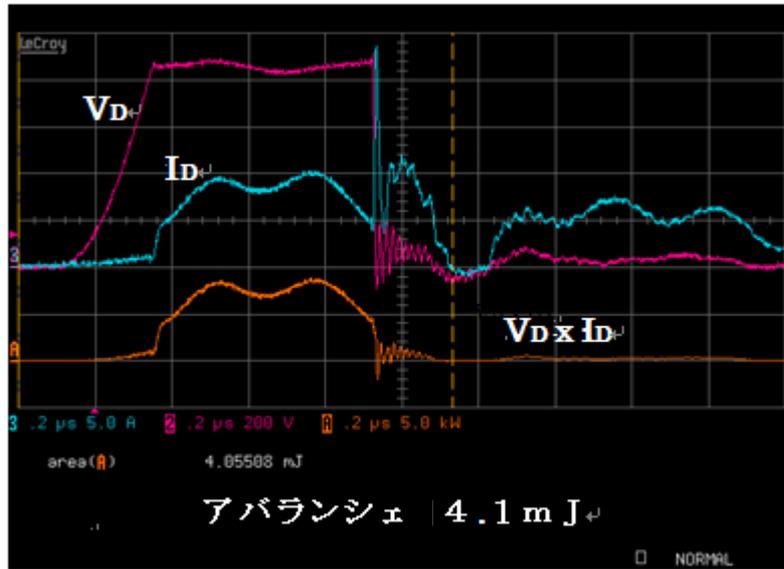


図 III.2.3.1.2-3 破壊耐量測定システム



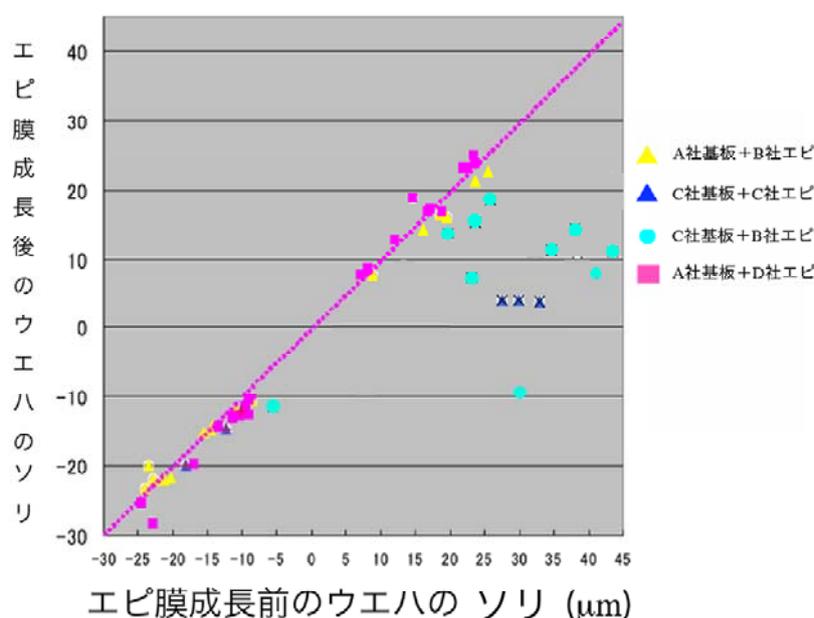
図Ⅲ.2.3.1.2-4 アバランシェ耐量測定結果

2.3.1.3 高品質ウエハ評価・管理技術

パワーエレクトロニクス的发展には、まず SiC パワーデバイス特性向上を目指す、普及の視点ではデバイスの信頼性を高めることが課題である。ウエハに起因する部分が多いが未解決の問題があり、しかも何が影響するかなど、定性的にも定量的にもほとんど明らかでない。SiC デバイス作製の歩留りや信頼性向上を目指し、ウエハ品質まで遡り、デバイス特性と欠陥等との相関の解明が重要課題である。ウエハの品質は、インゴットに含まれる結晶欠陥、ウエハ切り出し時、研磨やエピ成長時に発生する新たな欠陥の増加と言った問題が多数有る。本プロジェクトでは、(a)エピウエハの反り、(b)欠陥の自動計測手法の開発、(c)エピ膜形成時に導入される欠陥と作製法との関係の3課題についてターゲットを定めて、メーカーの異なる購入エピウエハについて系統的に調べた。

(a) ウエハ大口径化に向けての問題点の調査

同一ウエハを用いエピ膜成長前後の形状変化をトロペル社製のウエハ平面度測定装置で測定したソリの値を図III.2.3.1.3-1に示す。この図でソリの値が正の場合ウエハ表面は凹状にそっている。測定結果は、大部分のウエハでエピ膜成長によりソリ値がマイナス側へシフトし次第に凸状に変化していく傾向を示している。本測定は $10\mu\text{m}$ のエピ膜の厚みの状態だが、エピ膜の厚みの増加や、ウエハ口径の拡大により、凸状への変化はさらに強調される傾向にある。高耐压デバイス開発に向けて解決すべき課題である



図III.2.3.1.3-1 エピ膜成長前後のウエハのソリのプロット

2インチペアウエハに $10\mu\text{m}$ のエピ膜成長を行った。ウエハは A 社および C 社の 2 種類。エピ膜成長は B 社、C 社、D 社の三社が行ったものを計測した。

ウエハの変形をもたらす要因として以下の項目が既に議論されている。

(i)エピ膜と基盤の窒素濃度の違いに起因する格子定数差による弾性変形による可能性

Jacobsonら[1]は4H-SiCに窒素を微量添加した場合の格子定数の変化を理論的に算出し、エピ膜と基板の窒素濃度の違いに起因する格子定数の違いによるミスフィット歪みの値を計算している。計算結果では、60-90 μm 程度のエピ膜成長では、エピ膜と基板との界面に界面転位が導入されることを予測している。エピ膜の厚さが薄い場合、界面転位は導入されず、エピ膜つきウエハには弾性的な変形をもたらすことが予測される。このことより、図III.2.3.1.3-1の変化はエピ膜と基板の格子定数の差による弾性的な変形と推察される。

(ii)エピ膜成長中の熱歪みによる塑性変形による可能性

X線トポグラフでエピ膜中の転位構造を観察すると、1-3 μm 程度のエピ膜の膜厚においても、すでにエピ膜と基板との界面に界面転位が発生していることが一般に観察される。この原因について、土田ら[2]、Zhangら[3]はエピ膜成長時の高温で温度の不均一性に起因する塑性変形が原因であることを指摘している。この、界面転位の導入による塑性変形により、エピ膜成長後にウエハが変形している可能性も推察される。

以上の可能性より、エピ膜成長後のウエハの変形は、ウエハ内部に歪みのためこんだ弾性変形によるものなのか、熱応力による塑性変形によるものなのか、あるいは両者の混合状態が原因なのかは現在のところ明らかではない。

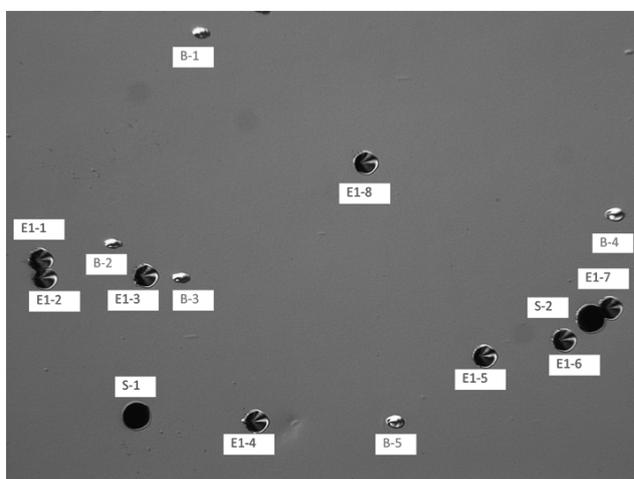
しかしながら、X線トポグラフの観察による界面転位密度から求められる塑性変形量と、実際に観察されている変形量とは対応がつきにくく、また界面転位密度から求められる塑性変形の量は、観察されている変形量よりも小さく見積もられるため、エピ膜成長に伴うウエハの変形の主成分は、弾性的変形によるものではないかと現在のところ推察される。今後さらなる解析を必要とする。

本研究では、2インチウエハ、10 μm 程度のエピ膜を対象にしたが、今後SiCデバイスの普及に伴い、ウエハの口径拡大の方向に進む。また、高耐圧化に向けてエピ膜の厚みも増すので、反り等のデバイスプロセスに影響する様々な問題を事前に予測し、その対処について考察しておくことは重要である。2インチウエハのエピ膜成長に伴う形状変化の原因についてこのような系統的な研究成果が歩留りや性能、信頼性向上に貢献すると考えられる。さらに本研究の手法を、切断や加工研磨による形状変化についての系統的調査に適用すれば有効な知見がさらに得られる。ウエハの形状についての測定データの蓄積は、ウエハの形状に関する標準化の議論に資する情報になると考えられ、ウエハの口径拡大が今後進めば本研究が生かされる。

(b) 転位密度の自動計測法の開発

転位密度の識別計数するために貫通らせん転位、貫通刃状転位、基底面転位のエッチピットを同定して個数を計数するソフトを開発した。Windows XP 上での本ソフトの動作では画像 200 枚の処理に約 10 分の時間を必要とした。本ソフトにより解析された一例を図Ⅲ.2.3.1.3-2 に示す。観察された各エッチピット像に対して、本ソフトが貫通らせん転位、貫通刃状転位、基底面転位の判定を行い、各転位のエッチピットにタグをつけ個数を数えている。撮影画像の目視計数は合計 2910 本であったが、本自動計測ソフトでの計数は 2575 本で、とりこぼし率は 11.1% で転位密度 12875 本/cm² が求められた。取りこぼしの理由は、各画像のふちでピット像が切れ、完全な形を保っていないもの、多数の貫通刃状転位のピットが連続的に繋がり亜粒界を形成するようなケースなどが計数出来なかった。今後、取りこぼし率を下げる計数手法を工夫したソフト開発が必要である。

現在まで、転位によるエッチピットの計数は光学顕微鏡像を使った目視により計数している。この作業は煩雑で人的な誤差も含まれるうえ非能率である。自動で転位種を判別し計数することが可能になり、デバイス作製研究グループがソフトの導入によりウエハとの相関を解明したデータが今後発表されれば、デバイスの信頼性、歩留りに貢献する意義が有る。ソフトの改良を加えて商業的に販売することも考えられる。今後、転位密度の計数が自動的に能率良く行われる。

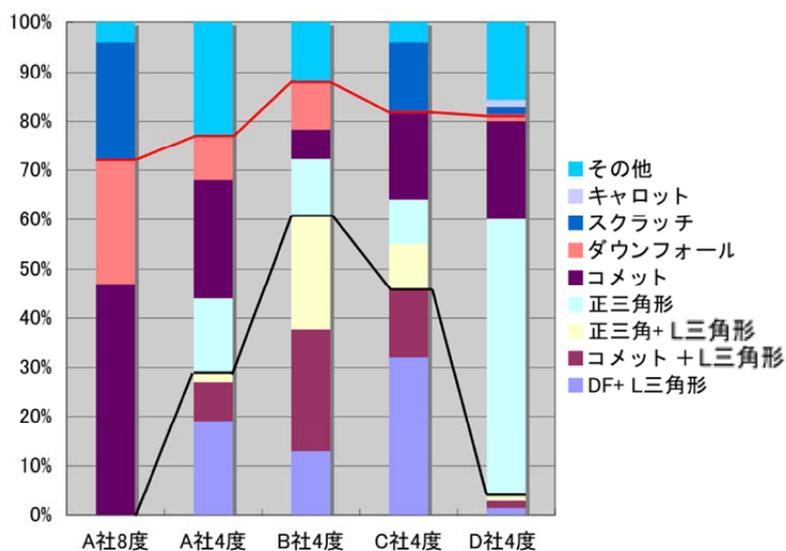


図Ⅲ.2.3.1.3-2 開発されたソフトによりタグづけされたピット像。それぞれのエッチピットを、ソフトにより貫通らせん転位(S)、貫通刃状転位(E1)、基底面転位(B)の判別を行い個数を求めた。

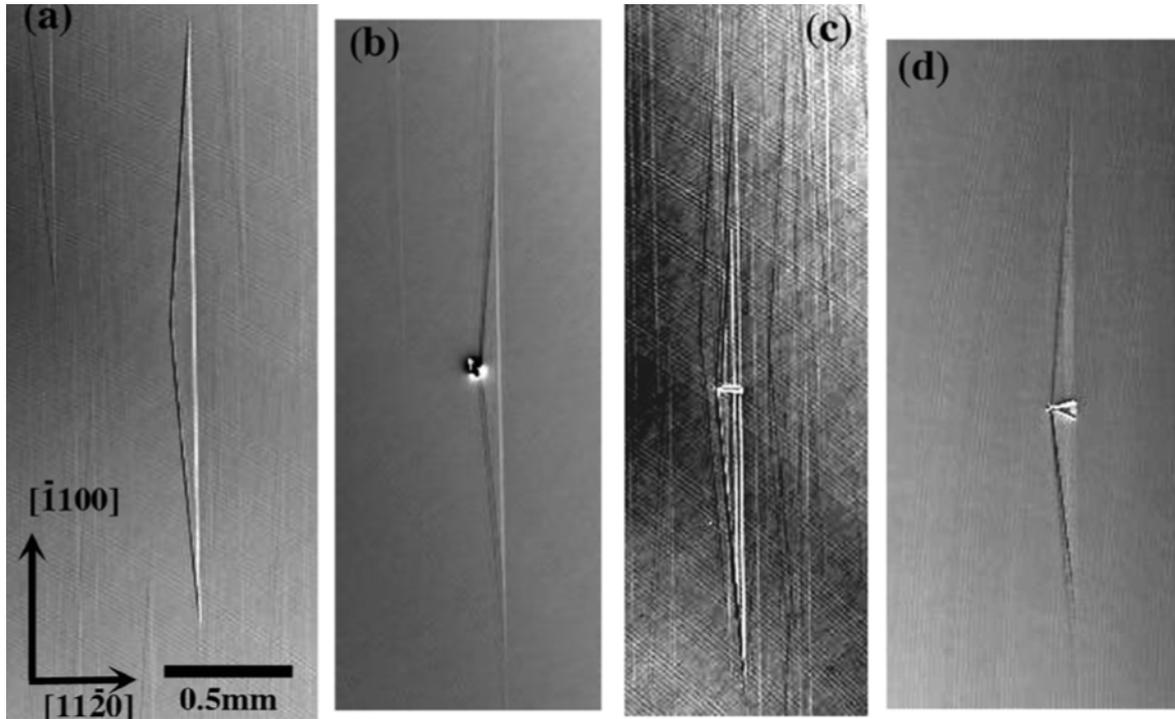
(c) 光学的ウエハ表面観察装置による エピ膜欠陥の分類法の開発と、マクロ欠陥の分類の統計的解析、およびマクロ欠陥の構造解析

光学的ウエハ表面観察装置による エピ膜欠陥の分類法の開発と、マクロ欠陥の分類の統計的解析では、4 度オフウエハでのエピ膜成長に伴うマクロ欠陥の分類、計数、比率を求めた。図Ⅲ.2.3.1.3-3 に各社のエピ膜欠陥種類の比率の調査結果をまとめた。

黒い線より下は L 三角形欠陥(鈍角形の形状の三角欠陥)を含む欠陥の割合を示している。L 三角形欠陥は 8 度オフウエハのエピ膜では観察されず、4 度オフウエハで新たに出現した三角形形状の欠陥である。図Ⅲ.2.3.1.3-4 に観察された L 三角形欠陥を示す。



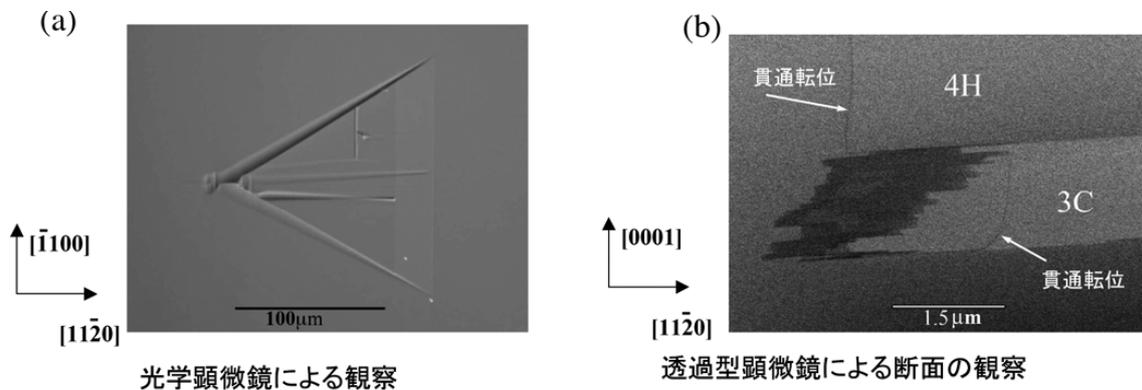
図Ⅲ.2.3.1.3-3 エピ膜つきウエハの各社のエピ膜欠陥の比率



図Ⅲ.2.3.1.3-4 4度オフウエハで新たに検出された鈍角三角形欠陥(L 三角形欠陥)の
カンデラ像。

(a)発生原因不明のもの、(b)ダウンフォールに起因したもの、(c)コメットの発生に起因した
もの、(d)通常の三角形欠陥の発生に起因したもの。

マクロ欠陥の分布はウエハベンダに大きく依存し、図Ⅲ.2.3.1.3-5 で示すように光学顕微鏡観察(a)では同一に見えても、透過型電子顕微鏡(b)の断面観察像で差異が出るものもあり、観察技術のさらなる高度化が必要である。まだ系統的な解析は出来ないが、ダウンフォールと三角欠陥は MOS キャパシタなどに対して重要なキラー欠陥であり、三角欠陥や L 三角欠陥のうち発生原因不明のものが多数存在していることが明らかになった。



図III.2.3.1.3-5 (a)SiC エピタキシー膜表面で観察される光学顕微鏡で観察される三角形欠陥。(b)三角形欠陥の透過型電子顕微鏡による断面の観察結果。 $2\mu\text{m}$ 程度の膜厚の3C型結晶構造のSiC層が4H型結晶構造のSiCエピ膜中に生成している。

光学的ウエハ表面観察装置によるエピ膜欠陥の分類法の開発と、マクロ欠陥の分類の統計的解析、およびマクロ欠陥の構造解析では、4度オフエピウエハに移行して初めて現れた鈍角三角形欠陥の解析がおこなわれ、鈍角三角形欠陥の実態が理解された。MOSキャパシタの破壊原因の一つになること、また発生原因の一部が明確になったことはデバイス開発の上で重要である。鈍角三角形欠陥は4度オフウエハのエピ膜表面に頻繁に現れている。その発生を抑えることが望まれている。

参考文献

- [1] Jacobson H ほか Appl. Phys. Lett. 82 3689 (2003).
- [2] 土田秀一ほか SiC 及び関連ワイ第16回ドバンドギャップ半導体研究会第16回講演会予稿集(2007).
- [3] Zhang ほか Material Sci. Forum 679-680 pp306-309 (2011).

2.3.2 高温動作電力変換器設計試作技術

2.3.2.1 高温高信頼化基盤技術

本項では SiC パワーデバイスの半導体最大接合温度 T_{jmax} を 200~250°C の温度領域まで拡張して動作させることを可能とする高温高信頼パワーモジュール実装技術の開発の成果を報告する。企業出身者で構成される FUPET 研究センターが本開発を担当した。開発する高温高信頼パワーモジュール実装技術形態は地球上で記録される一般的な最低大気温度 $T_a (= -40^\circ\text{C})$ にも当然、耐えなくてはならないから、「高温高信頼実装技術」をより正確に定義すれば、「温度が変動する場合も含めてパワーデバイスが最大 $T_j = -40^\circ\text{C} \sim 250^\circ\text{C}$ の温度領域で動作することを可能とする高信頼実装技術」と表現することができる。

パワーモジュールの内部で最も高温になり、かつ、温度変動が激しいのは、言うまでもなく、発熱体としての SiC パワーデバイスである。よって、SiC パワーデバイスに直接接して接合を形成している「接合構造体」が最も高温高信頼化すべき実装対象要素である。それらは4つあり、(1)ダイアタッチメント系と、(2)ワイヤボンド系と、(3)封止樹脂系と、(4)導体板貼り絶縁基板系とである(後述するパワーモジュール構造参照)。本プロジェクトサブ課題ではこれら実装対象要素の高温高信頼化を推進した。なお、開発するのは材料ではなく「系」である。ダイアタッチメント材としての高温はんだや封止材としての耐熱樹脂の開発はもちろん重要であるが、パワーモジュール開発で最も重要なのはそれらを使用して構成される系、すなわち、構造体の信頼性である。

本プロジェクトサブ課題の達成度と得られた成果の産業的価値を(本報告を閲読する)誰もが確認できるようにするために以下のように共通の数値目標、コミットメントとターゲットを定め開発を実行した。ターゲット目標は温度設定においても、寿命においても、コミットメント目標に比べて格段にストレッチな目標になっている。

コミットメント：

- ① 高温放置耐性 200°C、1000 時間
- ② 冷熱サイクル耐性 $-40^\circ\text{C} \Leftrightarrow 200^\circ\text{C}$ 、1000 サイクル

ターゲット：

- ① 高温放置耐性 250°C、3000 時間
- ② 冷熱サイクル耐性 $-40^\circ\text{C} \Leftrightarrow 250^\circ\text{C}$ 、3000 サイクル

ここで 1000 時間、1000 サイクルは家電製品や産業システムなどで広く認知されている信頼性基準である。一方、3000 時間、3000 サイクルは屋外や酷環境での使用が想定

されている製品のデファクト基準で、たとえば、車両などがこれに該当する。

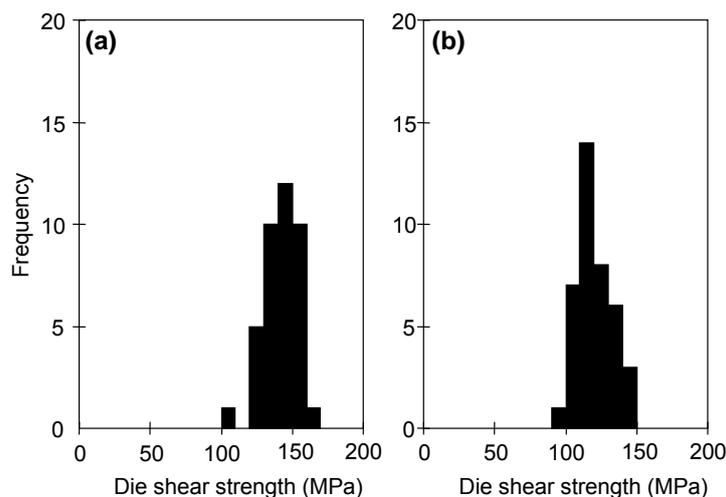
以下、各実装対象要素毎に本プロジェクトの結果を報告する。

(1)高温高信頼 Au-Ge ダイアタッチメント

ダイアタッチはダイボンドとも言われる。パワーモジュールの中で最も重要な部分である。最大 250℃での使用を想定すると、300℃以上の耐熱性(あるいは融点)があり、かつ、接合プロセス温度がパワーチップの耐熱温度(約 420℃)より低い接合材料を選ぶ必要がある。SiC ダイアタッチの方式は、はんだ付けのほか導電性接着剤、ナノ粒子接合、拡散接合などの方式が提案されているが、今日に至るまで、それを用いて形成したダイアタッチ系の報告は非常に少なく、特に高温放置や高温サイクルの信頼性データはなきに等しいか、あっても、短時間に劣化が進む結果しか報告されていない。

融点が上記ダイアタッチの温度要件を満たしていること、短時間の高温使用であるが多くの研究者に利用されていること、そして何よりも、簡単なはんだで接合できること、などの理由により、共晶 Au-Ge はんだ(融点 356℃)を接合材の第一候補に据え、ダイアタッチ系の開発を行った。絶縁基板は後述する Cu 両面貼り SiN 基板、SiC チップは、寸法 2×2 mm²であって、裏面には Ni シリサイドオーミックコンタクトにメタライズしたチップを使用した。

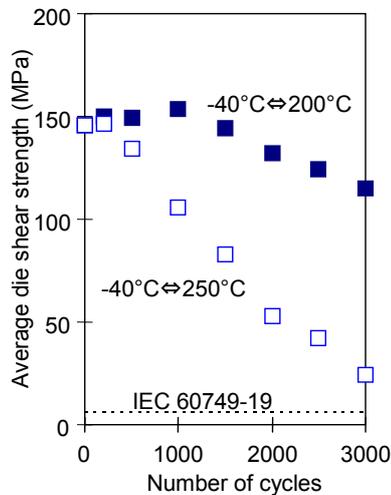
Au-Ge はんだのリフロー条件は勿論、材料となる Au-Ge 材(メーカ、表面処理、材料形態)や SiN 基板(メーカ、めっき処理、表面処理、Cu 電極パターンや厚み)、SiC チップ(蒸着条件、メタライゼーションの構成、表面処理)の適正化を効率的に進めたところ、上記ターゲット目標を超える寿命の接合信頼性を達成することに成功した(コミットメント目標も達成)。以下これを立証する信頼性試験結果を説明する。



図III.2.3.2.1-1 SiC/Au-Ge/Cu-SiN ダイアタッチメント系の3000時間放置試験後のダイシエア強度分布。(a)200℃放置、(b)250℃放置

寿命の判定はダイアタッチの接合信頼性国際規格 IEC60749-19(= 6.2 MPa)である。

図 III.2.3.2.1-1 は開発した Au-Ge ダイアタッチ系の 200℃(左図)、250℃(右図)放置試験の結果である。それぞれの温度でサンプル 50 個を 3000 時間経過させた後のダイシエア強度の分布を示している。200℃では事実上、ダイシエア強度の劣化は起きない。一方、250℃では接



図Ⅲ.2.3.2.1-2 SiC/Au-Ge/Cu-SiN ダイアタッチメント系の冷熱サイクル試験結果。平均ダイシエ強度の変化。

合強度の若干の低下が認められたが、IEC 規格 6.2 MPa を参照すれば、依然十分すぎる値である。

図Ⅲ.2.3.2.1-2 は $-40^{\circ}\text{C}\Leftrightarrow 200^{\circ}\text{C}$ 、 $-40^{\circ}\text{C}\Leftrightarrow 250^{\circ}\text{C}$ 冷熱サイクル試験の結果を、シエ強度とサイクル数の関数として、示している。図から明らかなように、本開発 Au-Ge ダイアタッチ系は $-40^{\circ}\text{C}\Leftrightarrow 200^{\circ}\text{C}$ 試験でも $-40^{\circ}\text{C}\Leftrightarrow 250^{\circ}\text{C}$ 試験でも 3000 サイクル後において、IEC 規格を満足するダイシエ強度を保持していることが分かる。

この高温高信頼 Au-Ge ダイアタッチメントの完成で後述する SiC インバータ 1 次試作(モデル TOPPA)の製作に目途がつき、設計が開始された。

(2)冷熱サイクル耐性超強化技術

上記 Au-Ge ダイアタッチ系の冷熱サイクル信頼性に関する成果(図Ⅲ.2.3.2.1-2)を学術講演会で公表したときに、賛辞に混じって、 $-40^{\circ}\text{C}\Leftrightarrow 250^{\circ}\text{C}$ 試験のダイシエ強度低下の速度を抑制する技術の開発を求める声が聞かれた。要望はその後の講演の機会などでも止まらなかった。理由を確認したところ、「もっと長寿命が必要なアプリケーションがある」、「現結果は規格に対しマージンが少なく 3000 サイクル保証できるか微妙である」などの意見があった。こうして、冷熱サイクル耐性をさらに向上させる開発をオプションとして実行した。

Au-Ge ダイアタッチ系に限らず、高温ダイアタッチの劣化を促進する要因は SiC チップの熱膨張率(CTE: coefficient of thermal expansion = 6.6 ppm/ $^{\circ}\text{C}$)と絶縁基板貼付け導体の熱膨張率(本例では Cu で CTE = 16.8 ppm/ $^{\circ}\text{C}$)との大きなミスマッチに起因する熱応力である。 ΔT_j が大きい冷熱サイクルを繰り返すうちに大きな変位運動によってダイアタッチ(はんだ)層が疲労してクラックが進展し、それが、ダイシエ強度を劣化させる。

この問題を解決するために、絶縁基板貼付け導体を延性の高い純 Al とし、繰り返し変位の歪を貼付け Al 導体の変形で吸収させる方法が提案されているが、この方法を実施してみると、 $-40^{\circ}\text{C}\Leftrightarrow 250^{\circ}\text{C}$ 冷熱サイクルストレスでは、Al の加工硬化で亀裂が進展してダイシエ強度が低下する、Al 表面が激しく粗面化する、表面のめっき層(Ni めっきなど)が瓦解する、など問題が起これり、この対策が容易でないことが分

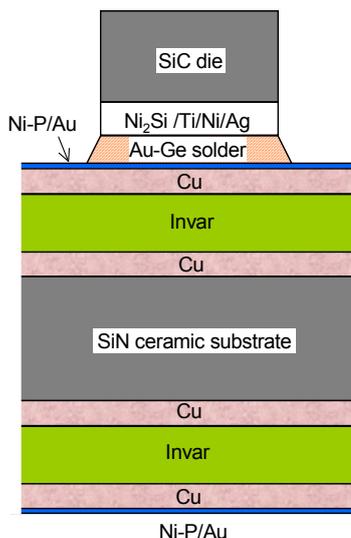


図 III.2.3.2.1-3 CIC電極材基板を用いたAu-Geダイアタッチメント系

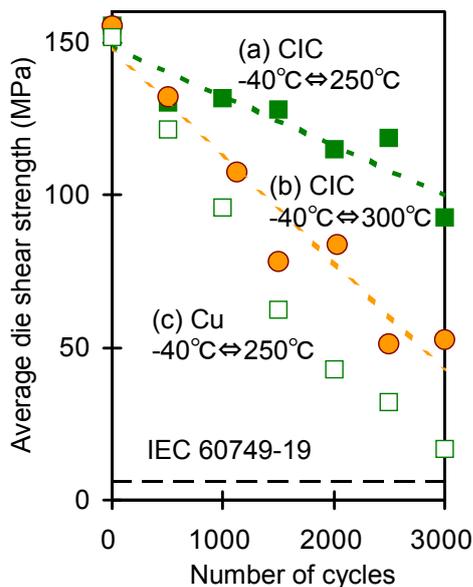


図 III.2.3.2.1-4 Au-Ge ダイアタッチメント系の冷熱サイクル試験結果：(a), (b)CIC-SiN 基板、(c) Cu-SiN 基板。

かった。

図 III.2.3.2.1-3 は本プロジェクトで考案した新しい方法を図示した模式図である。本方法では SiC の CTE に、近い CTE を呈する導体板(たとえば CIC(Cu/Invar/Cu)クラッド材や Mo など)を貼り付けた絶縁基板(たとえば SiN)とし、これに SiC パワーチップを接合させる。CTE がほぼ同じなので、Au-Ge ダイアタッチ層の熱歪は軽減され、結果として冷熱サイクル耐性が向上するであろう、という目論見のもと、面方向の有効 CTE が 5.1 ppm/°C である CIC 導体板(Cu/Invar/Cu=1/8/1)を貼り付けた CIC-SiN 基板を国内セラミック基板メーカーの協力を得て試作し Au-Ge ダイアタッチ系を構成して、-40°C⇔250°C 試験及び -40°C⇔300°C 試験を実施した。その結果を図 III.2.3.2.1-4 に示す。-40°C⇔250°C 試験の結果においては、サイクルの進行に伴うダイシェア強度の低下は大幅に緩和され、3000 サイクルでは 92 MPa もの高強度を示した。この値は IEC 規格の約 15 倍の高さである。強度が IEC 規格まで下降するサイクル寿命(推定値)は 8800 サイクルであった。また、 T_{jmax} をさらに 50°C 拡張した -40°C⇔300°C 試験でもサイクル寿命 > 3000 サイクルが初めて実現された。

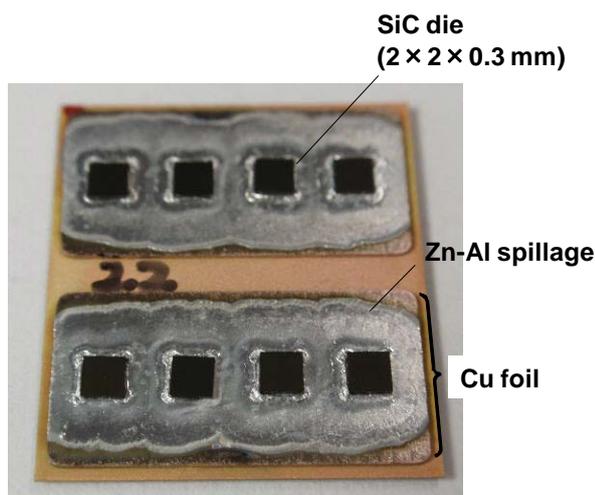
産業界から改善の要望があった冷熱サイクル耐性超強化はこうして達成された。なお、原理を考慮すれば自明のとおり、この冷熱サイクル耐性超強化技術は Au-Ge はんだに限らずに全てのダイアタッチ(次項の Zn-Al ダイアタッチやその他はんだ以外のダイアタッチ)の冷熱サイクル延命に有効である。

(3)ベースメタル Zn-Al ダイアタッチ

SiC ダイアタッチ系に対する産業界からのもう 1 つの強い要望は「ベースメタルを使った安価なダイアタッチを開発してほしい」というものである。その点は、企業出身者で構成される本プロジェクトサブ課題実施者(FUPET 研究センター)らも全く同感であり、プロジェクトの初期からオプションとして開発を進める計画であった。しかし、つぎに述べる理由により大きな困難が予想されていた。

産業での利用を考える場合、ROHS 対応の観点から鉛およびこれを含有するはんだを利用できない。また金 Au などの貴金属を含む材料はコスト面が高いため、産業界での利用に限られる。これらを除くと、周期律材料物性表を参照すればすぐ分かるように、300°C~400°C付近に融点を有するベースメタルは存在せず、この温度域に融点(共融点)を有する二元ベースメタル合金も状態図集などを開いて調べる限り存在しない。共融点 382°Cの共晶 Zn-Al が唯一の例外である。金属種と融点を見る限り、この合金系は期待のダイアタッチ材である。しかしながら、Zn も Al も極めて酸化しやすい元素であることから、良好な濡れがえられないという致命的な問題があり、世界で僅か1グループが細々とダイアタッチ開発をしているだけであった。

そこで、国内金属材料メーカーとタイアップし、良質な共晶 Zn-Al 合金を入手して SiC でダイアッチを形成し、ベンチマークである前記先行開発グループの結果と自分達の実験結果とを分析的に比較検討しながら我々独自の製作法を探求したところ、図III.2.3.2.1-5に示すような良好な濡れ拡がりが起こる Zn-Al ダイアタッチ法を確立することに成功した。この新しいダイアタッチ形成法のポイント[1][2]は以下の4つである。



図III.2.3.2.1-5 SiC/Zn-Al/Cu-SiN ダイアタッチメント系

- ① 絶縁基板導体板の Ni めっき表面を Cu 膜で仕上げる
- ② SiC ダイに微弱な荷重(> 5g/mm²)を掛ける
- ③ ダイより小さな面積の Zn-Al プリフォームを使用する
- ④ 減圧(< 100 Pa)下でリフローする

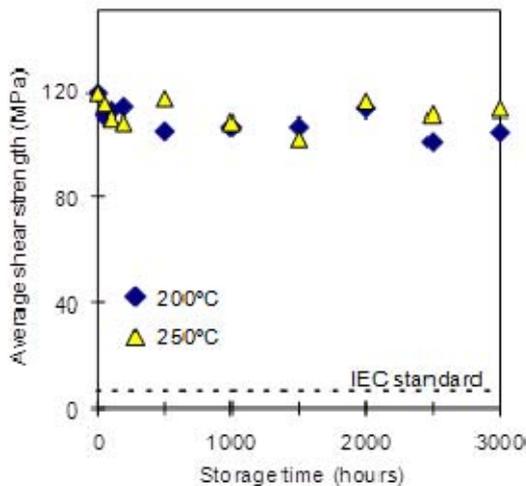


図 III.2.3.2.1-6 Zn-Al ダイアタッチメント系の 200°C 及び 250°C 放置試験結果。ダイシェア強度の変化。

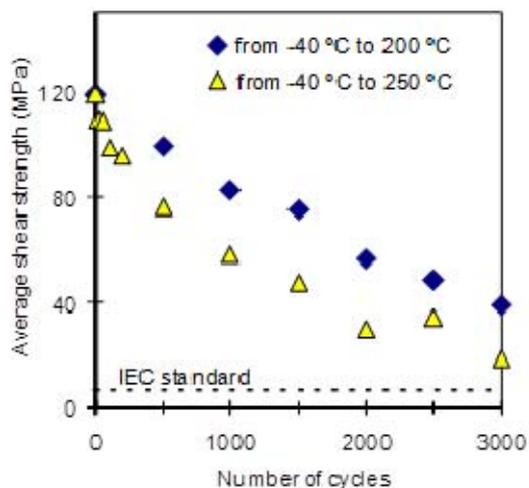


図 III.2.3.2.1-7 Zn-Al ダイアタッチメント系の冷熱サイクル試験結果。ダイシェア強度の変化。

図 III.2.3.2.1-6 は上記新方法で作製した SiC ダイアタッチの 200°C と 250°C の放置試験の結果である。絶縁基板は Ni めっきした Cu-SiN 基板である。Ni めっき表面に、さらに Cu めっきを施す。グラフから明らかなように、200°C 放置試験も 250°C 放置試験も 3000 時間の時間レンジにおいてダイシェア強度はほぼ一定であり、強度低下に結びつく劣化は起こらないといえる。図 III.2.3.2.1-7 は冷熱サイクル試験の結果である。-40°C ⇄ 200°C 試験も -40°C ⇄ 250°C 試験も IEC 規格を満足したまま 3000 サイクルを終了している。こうして、ベースメタル Zn-Al ダイアタッチ系においても 2.3.2.1 項記載のコミットメント目標のみならずターゲット目標をも達成することに成功した。

なお、図 III.2.3.2.1-7 の -40°C ⇄ 250°C 試験で観察されたダイシェア強度の急速な劣化は前項(2)記載の冷熱サイクル耐性超強化技術の適用で改善できると期待される。
参考文献

- [1] S. Tanimoto et al., Mater. Sci. Forum, 717-720 (2012), pp. 853-856
- [2] S. Tanimoto et al., Proceedings, IMAPS HiTEC 2012, (2012), pp. 110-116

(4)耐熱 AI ワイヤボンド

-40~250°Cでの実装高信頼性の要求に対し、AI ワイヤーボンディングは悲観的な見解が大勢で、その実、使用が不可能であることを立証した実験的証拠はなかった。本開発サブ課題ではこの見解の妥当性を検証するとともに、ワイヤーボンディングの高温高信頼化に取り組む。250°C 放置試験と -40~250°C 冷熱サイクル試験に加えて、 $\Delta T_j=165^\circ\text{C}$ パワーサイクル試験 (MAX200°C) を行い信頼度の評価を行った。AI ワイヤ

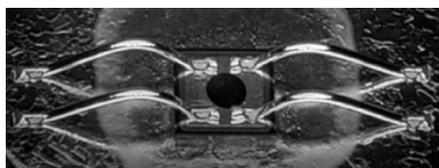
ーボンディングの高温信頼性の確保が十分可能である事を示す。

図Ⅲ.2.3.2.1-8 に示すように、1st ボンドが SiC 半導体 Al 電極、2nd ボンドが Si₃N₄ 基板上の銅配線(NiP, Au めっき)になる様 Al ワイヤーボンディングサンプルを作製した。最適化の結果、ワイヤー材はアルミ製φ200μm(市販品)に決定した。このサンプルを図Ⅲ.2.3.2.1-9 に示すツイザーブル試験法にて強度測定と破断モードの評価を行った。冷熱試験サンプルでは Al ワイヤー断面の平均粒径も測定した。ワイヤー抵抗測定用サンプルは、プル強度測定用サンプルと同様の部材であるが、チップ搭載部と 2nd ボンディング部の銅配線が分かれているものを使用し、ボンディング接合界面も含めた抵抗値変動を測定した。

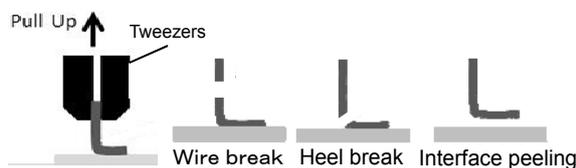
図Ⅲ.2.3.2.1-10 にあるように 3000 サイクルまで冷熱試験を行ってもプル強度は IEC60749-22 の規格(図中の点線)に対し 1.8 倍の余裕度を示した。破壊モードは主に Wire break と Heel break で、発生確率はほぼ半々であり、Interface peeling は 3000 サイクル試験しても主たる故障モードになることはなかった。平均粒径は初期成長が速いが、後半は緩やかな成長となっており、この傾向はプル強度にもみられた。これは、ホールペッチ式(1)に示される様に、粒径増加による降伏応力低下の関係があるため、それに伴い破断強度も低下したと考えられる。

$$\sigma_y = \sigma_0 + k_y \times d^{-1/2} \quad \dots (1)$$

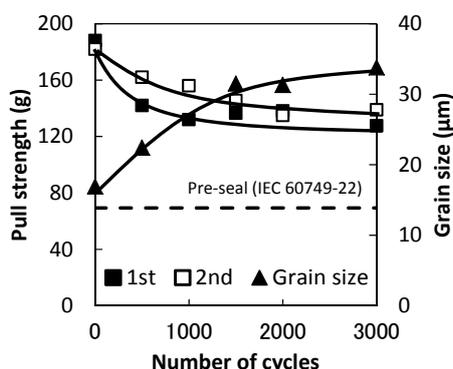
σ_y : plastic flow stress σ_0 : friction stress
 k_y : defines d : grain size



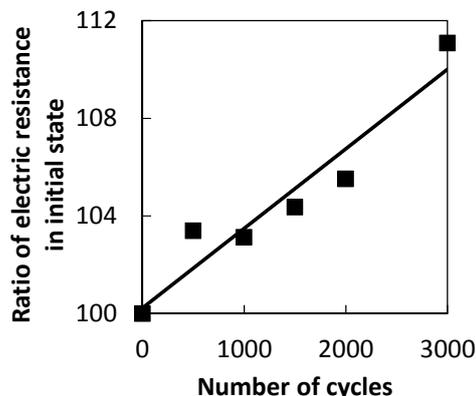
図Ⅲ.2.3.2.1-8 冷熱試験イメージ



図Ⅲ.2.3.2.1-9 ツイザーブル試験法



図Ⅲ.2.3.2.1-10 プル強度とワイヤー断面粒径



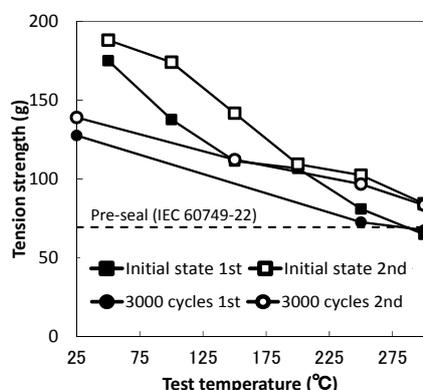
図Ⅲ.2.3.2.1-11 ワイヤー抵抗値変動

本実験で得られたプル強度と平均粒径^{-1/2}の相関係数は、1st で 0.93、2nd で 0.98

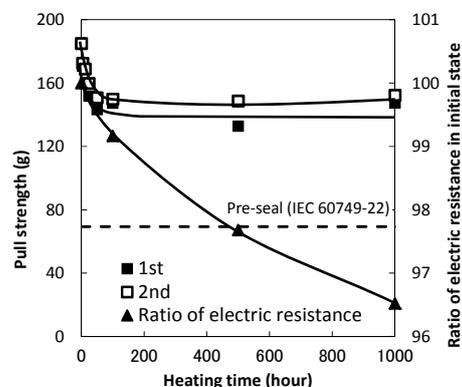
と強い相関がみられ、プル強度は粒径増大の影響である事が示唆された。

図Ⅲ.2.3.2.1-11 に試験前 AI ワイヤの抵抗値を 100 とした場合の冷熱試験による抵抗値変動を示す。3000 サイクルを行っても抵抗値は 11% 増に収まっており、実用上問題になるレベルではない。一般的に冷熱試験において最も懸念されるのはボンディング接合界面のクラック進展であり、それに伴う **Interface peeling** や抵抗値上昇などであるが、本実験結果からその点については特に問題なく、むしろ 250℃までの信頼性を考える場合、AI ワイヤ自身のプル強度の低下を考慮すべきである事が示唆される。

次に、上記冷熱試験 3000 サイクル行ったサンプルと初期サンプルの高温時のプル強度を図Ⅲ.2.3.2.1-12 に示す。



図Ⅲ.2.3.2.1-12 高温でのワイヤープル強度



図Ⅲ.2.3.2.1-13 高温放置でのプル強度

高温になるにつれて、初期サンプルと冷熱 3000 サイクルサンプルとのプル強度差は収束して行くことがわかった。また、250℃においてはどちらも IEC60749-22 の規格を満足している。

次に、高温放置試験結果を示す。図Ⅲ.2.3.2.1-13 は 250℃で高温放置した時間とそのサンプルのプル強度と初期品の抵抗値を 100 とした場合の抵抗値変動である。プル強度は 100 時間の熱処理まで急激に下がるが、その後強度低下がほぼなくなる。これは前記冷熱試験の結果(図Ⅲ.2.3.2.1-10)と同じ様に、ワイヤ粒径の増大および安定化が進んだと考えられる。1000 時間で IEC 規格に対して 2.1 倍の余裕度を示している。一方抵抗値は 1000 時間で 96.5% 程度までの低下で安定している。この試験では主として 100 時間以内に起こる劣化を詳細に観察したため、サンプル数が早期に枯渇し、1000 時間で終了を余儀なくされた。そこで、3000 時間連続放置試験を新規に実施した。この試験では 250℃とともに更に 50℃高い 300℃の試験も実施した。表Ⅲ.2.3.2.1-1 はその結果で、3000 時間放置後の平均プル強度と平均プル強度/IEC 規格比を示している。なお、ここで実施したプル試験法は図Ⅲ.2.3.2.1-9 のツイーザープル試験法ではなく、フックを使用した標準ワイヤープル試験法である。

はじめに 250°Cの結果を参照すると、3000 時間後のワイヤープル強度は初期の75%まで低下するが、その値は IEC 規格のまだ 2.6 倍と十分な値であることが分かる。即ち、本開発 AI ワイヤ

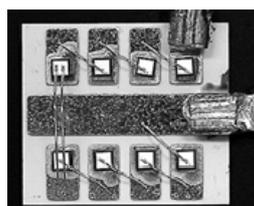
表Ⅲ.2.3.2.1-1 連続 3000 時間放置試験結果

Strage test	0 hour	3000 hours	
		250°C	300°C
Pull strength (gF)	241	180	164
Reative strength	100	75	68
IEC ratio	3.4	2.6	2.3

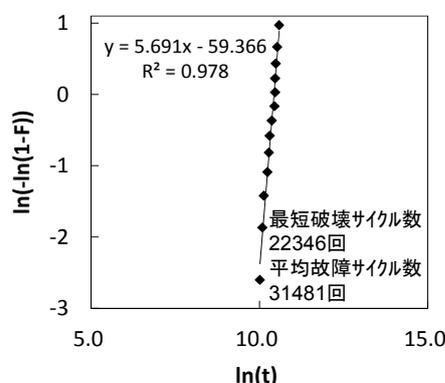
ーボンド技術は 250°C、3000 時間に耐える信頼度を有している。また、300°C、3000 時間の結果も試験後、2.3 倍の強度で IEC 規格を満たしていることが理解される。

以上の様に、本開発課題で開発した AI ワイヤーボンディングは 250°C放置試験ならびに-40°C⇔250°C冷熱サイクル試験のコミットメント目標はもちろんのこと、ターゲット目標も達成していると言うことができる。

最後に、パワーサイクル試験を行った。図Ⅲ.2.3.2.1-14 のように SiC-SBD を 8 個直列になる様 AI ワイヤーボンディングサンプルを作製した。パワーサイクル条件は 6.2A を 2 秒通電とした。このときのジャンクション温度のスイングは 35~200°C、 $\Delta T_j=165^\circ\text{C}$ である。ワイブルプロットを図Ⅲ.2.3.2.1-15 に示す。同図からわかるように、故障はすべて摩耗故障領域であった。また、最低故障サイクル数は 22, 346 回であり、本実験では産業用 Si-IGBT 製品などに求められるパワーサイクル試験 $\Delta T_j=100^\circ\text{C}$ 、15, 000 回の規格を上回っていることがわかった。



図Ⅲ.2.3.2.1-14
パワーサイクル試験サンプル



図Ⅲ.2.3.2.1-15
パワーサイクル試験結果ワイブルプロット

(5)冷熱サイクル高耐性金属貼り絶縁基板

最大温度 250℃の長期使用(> 3000 時間)に耐えられる安価な絶縁基板は、今日、セラミック基板以外ない。Cu 板または Al 板をセラミック板 SiN や AlN、Al₂O₃ に接合させた各種絶縁基板(以下「Cu-SiN」などと略記)が実用に供されている。しかしながら、温度差の大きい冷熱サイクルに晒されると、「バイメタル」ストレス効果によって生じる繰り返し変位によって、Cu 貼りセラミック基板では Cu 板がすぐ剥離する(図Ⅲ.2.3.2.1-16(a)参照)、Al 貼りセラミック基板では Al 板が激しく粗面化(亀裂と隆起の発生)するという深刻な問題が起きて、これを抜本的に解決する技術の開発が必要であった。

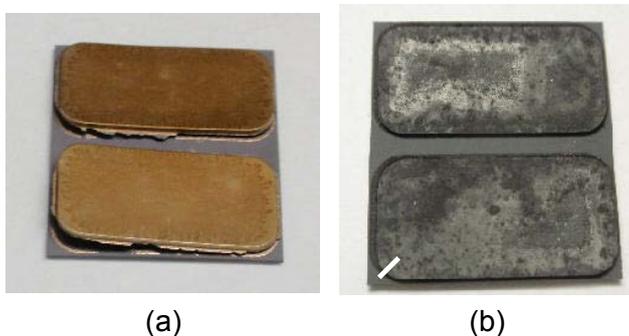
本サブ課題実施の初頭、冷熱サイクルベンチマーク試験を実施したところ、Cu-SiN 基板が他と比べて一桁以上高信頼であったことから、これを第1候補に据えて、国内の有力セラミックメカ数社と協業して導体板(Cu)の剥離対策を推進した。

冷熱サイクル試験で Cu が剥離した Cu-SiN 基板の剥離面を解析したところ、Cu 板は Cu/SiN 界面(=活性金属接合層)ではなく SiN 基板内で破断していること、したがって、Cu と SiN の接着性の問題ではないことが判明した。この観察に基づいて、絶縁基板の材質の改良、Cu 板の純度や熱処理条件の改良、Cu 板の対称両面貼り化、Cu 板の厚みの削減、Cu 板パターンのコーナー部の丸めなどに取り組んだ結果、-40℃⇔250℃冷熱サイクル試験において、ターゲット目標を 3 倍以上過達する 1 万サイクル超(図Ⅲ.2.3.2.1-16(b)参照)を達成することに成功した。

この絶縁基板高信頼化の成功が契機となって上述のダイアタッチの高信頼化とオール SiC インバータ 1 次試作(TOPPA、後述)が急加速した。またこの基板技術はインバータ 2 次試作(NIJI)以降で使用する多層セラミック基板にも適用され、高信頼が確認された。

(6)高信頼 2 層構造絶縁(セラミック)基板

高出力パワー密度を実現させるため、モジュール主回路の線路で生じる寄生インダクタンス L を大幅に低減させる技術開発が必要である。電磁界シミュレーション(Q3D)と技術調査の結果、セラミック基板を 2 層構造(導体板は 3 層)とすることで所期の目的が達せられる見通



図Ⅲ.2.3.2.1-16 -40℃⇔250℃冷熱サイクル試験に掛けたSiN基板の外観: (a) Cu-SiN (100サイクル後) and (b) CIC-SiN (1万サイクル後)

しを得たことから(詳細は 2.3.2.2 (1)低インダクタンス化 で報告)、SiC インバータ 2 次試作(モデル NIJI)搭載を狙って、モジュールの抜本的低インダクタンス化を図るために高温高信頼低インダクタンス 2 層セラミック基板の開発を進めた。多層セラミック基板をパワーモジュールに適用した例は、調査した限りにおいて過去に報告がなく、それだけに通常の売買契約に依拠した試作では、技術的にも時間的にも、多難な前途が予想された。このため、2 層基板製造技術を保有する国内有力セラミック基板メーカーと緊密にコラボレーションする道を選んだ。

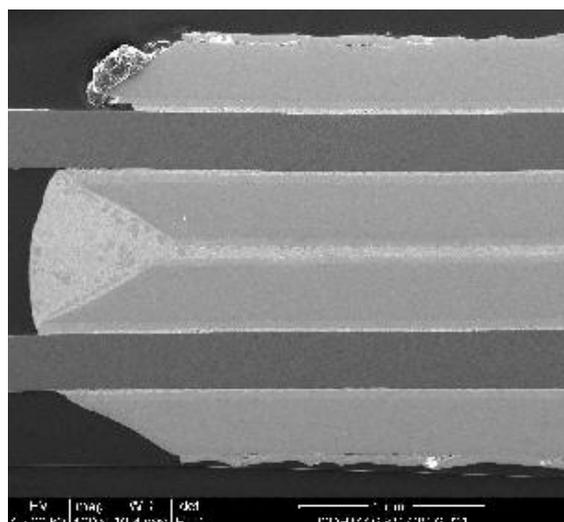
はじめに、前項(5)で述べた冷熱サイクル高耐性絶縁基板 Cu-SiN を活性金属接合法で 2 層張り合わせた構成のインバータ NIJI 用設計基板(スルーホールあり)を試作し、250°C 放置試験と -40°C ⇄ 250°C 冷熱サイ



図Ⅲ.2.3.2.1-17 CIC(Cu/Invar/Cu)電極に換えた改良 2 層 SiN 基板

クル試験を実施したところ、250°C 放置試験はターゲット目標 3000 時間を難なくクリアできることができた。しかしながら、-40°C ⇄ 250°C 冷熱サイクル試験では 1000 サイクルは達成できたものの、3000 サイクル到達前に最上面、最下面の Cu 板が剥離する故障が発生し、ターゲット目標達成が困難であることが判った。ターゲット目標が達成できなければ、本技術のアプリケーションの適用の範囲が限定されることになる。このため、ターゲット目標の達成を期して 2 層構造セラミック基板の更なる高信頼化に取り組むことにした。

図Ⅲ.2.3.2.1-17 は本開発課題実施者が最終的に提案した高温高信頼 2 層構造セラミック基板の構造模式図である。熱膨張係数 CTE を 5.1 ppm/°C に調整した CIC 導体板(Cu/Invar/Cu=1/8/1)を貼り付けた CIC-SiN 基板 2 枚を活性金属接合法で接合させた。CIC 導体板の CTE は SiN 基板と差がなく、このまま限界試験に移行すると試験の長期化が予想されたので、試験条件を -40°C ⇄ 300°C と厳しくして寿命の短縮を狙い、新規



図Ⅲ.2.3.2.1-18 -40°C ⇄ 300°C 冷熱サイクル試験 5000 サイクル後の CIC-SiN 基板端部の断面 SEM 写真。

に限界試験を実施した。本プロジェクト終了の間際まで試験を実施したが、5000 サイクルに達したところで試験を打ち切らざるを得なかった。

図Ⅲ.2.3.2.1-18 は $-40^{\circ}\text{C}\leftrightarrow 300^{\circ}\text{C}$ 冷熱試験で 5000 サイクルを経過したサンプルの断面電子顕微鏡写真である。観察位置は熱応力が最大となる導体板最外縁コーナー部分(導体板も最も剥離しやすい部位)である。写真を一瞥して明白なおおり、上部導体接合面でも下部導体接合面でも中間導体接合面(2 面あり)でも導体板の剥離は観察されない。こうして、冷熱サイクル耐性のターゲット目標をサイクル数でも最大温度でも大幅に超える高信頼 2 層構造基板を完成させた。

(7)封止樹脂

パワーモジュールにおいて、樹脂封止は高電圧絶縁性を維持しながら線間の不用意な接触を防ぐとともに環境汚損などから SiC チップを保護する重責を担っている。SiC チップに直接接触れる樹脂剤には、ダイアタッチ材や絶縁基板、ボンディングワイヤなどと同様に長期に温度 T_{jmax} に耐える耐熱性が要求される。しかしながら、本課題実施者の知る限り、パワーモジュール実装形態で十分な長期信頼性(たとえば 250°C 放置で寿命 > 3000 時間)を達成したとする報告はなく、スペックに適合した樹脂封止技術の不在が冒頭に述べた高性能 SiC 変換器早期実現を妨げる一因になっていた。

封止樹脂の高温高信頼化は本プロジェクトのメインストリームから大きく逸脱しているし、オプションとして遂行するにはあまりにも重すぎる課題であった。しかし、幸いなことに、プロジェクト中期あたりから、樹脂製造メーカ各社から 200°C 超の耐熱性を狙った新封止樹脂の開発情報がメディアを通じて発信されるようになり好機が訪れた。本プロジェクトでは耐熱シリコーン樹脂開発主要メーカ 4 社とコラボレーションを実施し、開発品を入手し、各社同意のもとでベンチマーク試験を持続的に実施し、各社に試験結果(寿命や故障モード、サンプル)をオンタイムで返す作業を繰り返すことにより、高温高信頼化を達成する道を選んだ。

各社にフィードバックするたびに、各社の改良の手が加えられ、耐熱性が向上させた樹脂が送られてくる。以下、本プロジェクト終了間際で打ち切ったベンチマーク試験の結果を報告するが、その前に断っておきたいことは、ベンチマークは各社製品の品評を意図したものではないこと、現段階での到達度を示していること、耐熱性の改良は各社で持続しており、もっとよい結果が早晚現れることである。表 III.2.3.2.1-2 は 200℃放置試験と 250℃放置試験、-40℃⇔250℃冷熱サイクル試験の結果である。MTTF(Median Time To Failure)は寿命分布の中央値である。”>” が付いた数字は試験が終了して生存であることを示している。サンプルは SiC ショットキーバリアダイオード(SBD)を実装した TO-254 セラミックパッケージをシリコン樹脂で封止したサンプルである。故障の判定は外観不良と SBD の電気特性異常であった。

はじめに、200℃放置試験の結果に注目すると、試験した全品種が高温放置耐性のコミットメント目標 200℃、1000 時間を達成した。内、2 社 2 品種が 3000 時間を超えた。次に 250℃放置試験を見ると、1 社 1 品種が高温放置耐性のターゲット目標 250℃、3000 時間に到達した。そして、-40℃⇔250℃冷熱サイクル試験の結果に着目すると 1 社 1 品種がターゲット目標、3000 サイクルを達成した。

こうして、250℃放置試験及び-40℃⇔250℃冷熱サイクル試験の両ターゲット目標達成することに成功した。

(8)モジュールアセンブリ設計

上記開発した高温高信頼モジュール構成要素を実際のパワーモジュールに組み立てるアセンブリプロセスを構築した。

プロセス設計を行う上で考慮すべき要点は以下のとおりである。

表 III.2.3.2.1-2 シリコン樹脂封止モジュールのベンチマーク試験結果

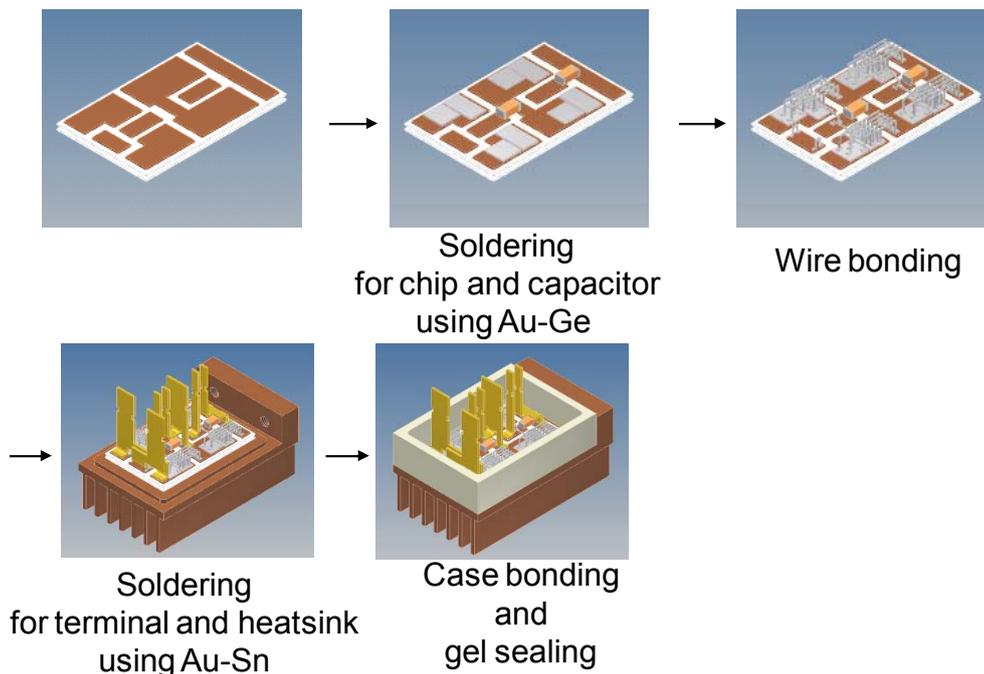
Supplier	ID of Material	200℃ storage MTTF(Hr)	250℃ storage MTTF(Hr)	-40<->250℃ TCT MCTF(cycles)
A社	BYG-001G	1500	100	200
	BYG-002G	2500	100	500
	RX-157A	>3000	500	500
B社	B1	2000	24	-
	B2	1500	24	-
	X-32-3318-A/B	-	200	1000
	X-32-3318-2A/B	-	500	1500
C社	920 LT A/B	1000	24	-
D社	D1	2000	24	-
	DCT-BG001-NT	>3000	>3000	500
	DCT-BG002-1-NT	-	>1500	>3000
	DCT-BG002-2-NT	-	>1500	2500
	DCT-WR001-NT	-	>3000	200
	DCT-WR002-NT	-	>1500	500

- ① 加工温度が高い工程を先行させる
- ② 耐熱性が高い材料から先にとりつける
- ③ 先行取り付け部品と加工装置のツールの干渉を防ぐ
- ④ 先行加工の影響(表面の変質、汚染、酸化、滲み出し)を考慮する

図Ⅲ.2.3.2.1-19 は上記要点を踏まえながら、組み立てた SiC インバータ「2-in-1」モジュールアセンブリプロセスである。このプロセスは1次試作～3次試作のモジュール組立てに共通して使用された。

プロセスを工程順にしたがって説明すると、初めに、セラミック(SiN)絶縁基板の表面に SiC パワーデバイス(FET と SBD)と誤点弧防止セラミックコンデンサ(3.2.2.2で説明)を Au-Ge はんだを用いて接合させる。つづいて Al ワイヤーボンドでパワーデバイス表面の電極と周辺回路を結線する。次に Al ワイヤーまで張ったセラミック絶縁基板を Cu 製(Ni/Au めっき)の冷却フィンに接合させると同時にセラミック絶縁基板の表面に端子電極(N 極、P 極、出力、ゲート信号、Cu 製 Ni/Au めっき)を接合させる。ここで接合には共晶 Au-Sn 高温はんだ(融点 280℃)を用いる。最後に耐熱樹脂 PPS(または PEEK)ケースを耐熱接着剤で取りつけ、ケースの内部に耐熱シリコーン樹脂を充填して、PPS(または PEEK)製の蓋をすれば 2-in-1 モジュールが完成する。

なお、本プロジェクトサブ課題では共晶 Au-Sn 高温はんだ接合の開発も本格的に実施したが、関連技術であるため報告は省略した(論文発表で公表している)。



図Ⅲ.2.3.2.1-19 2イン1 SiC パワーモジュールの組立て工程

(9) まとめ

1) 目標の達成度

コミットメント目標とターゲット目標を定めて、超高出力パワー密度パワーモジュールの中で最も高温、高温度サイクルに晒されるダイアタッチメント系とワイヤボンド系と封止樹脂系と導体板貼り絶縁基板系の高温高信頼化を推進した。この内、上位のターゲット目標は、「250℃放置試験 3000 時間」「-40℃⇔250℃冷熱サイクル試験 3000 サイクル」であった。

開発の結果、すべてのモジュール要素系において、ターゲット目標を達成、もしくは、過達することに成功した。また、上記高温高信頼を達成した系(とその製作工程)をすべて組みこんだ高温高信頼 2-in-1 パワーモジュールのアセンブリプロセスを構築して、高温高信頼パワーモジュールを完成させた。後述の 2.3.2.2 で使用したモジュールがこのモジュールである。

2) 成果の意義

上記モジュール実装の各系において、各開発成果は、ターゲット目標の達成の時期とレベルの両者において世界に抜きん出ており、日本の次世代 SiC 変換器技術の国際的優位性を担保する極めて大きな意義がある。

本高温高信頼実装技術のそれぞれは企業出身技術者がいずれ製品化することを念

頭において開発した極めて実用的な技術である。近い将来、SiC パワーデバイスの価格が下がって、SiC 変換器の商品化の時期が訪れたときに軽微な手直しでその商品に適用できると信じている。

3) 知的財産権の取得

本プロジェクトサブ課題関係で、平成 25 年 2 月末までに 6 件の国内出願、3 件の外国出願を行った。

4) 成果の普及

本サブ課題で得られた成果は、成果がでた時期にほぼオンタイムで学術講演会や論文等で公表され、そのときどきに比較的高い評価を獲得することに成功した。それがその後、沢山の講演会や論文誌に招かれるきっかけとなり、本開発技術の認知と普及が一段と増した。論文発表の 1 件が優秀論文賞に、3 件が **Selected Papers** (内一件は英論文) に輝いた。

CEATEC やナノテク展(NEDO ブース)などに実機を添えて出展するとともに、プレスリリースを通してマスメディアや業界外の潜在アプリケーションユーザに向けて技術を積極的にアピールした。その甲斐あって、20 件を越える記事が新聞、雑誌、Web サイトで報道された、また、インターネットやセミコンジャパンなどの国際展示会専門セミナーや大学から招かれ、最新成果を盛り込んだ講義で好評を博した。商業雑誌 2 誌でも成果を報告した。

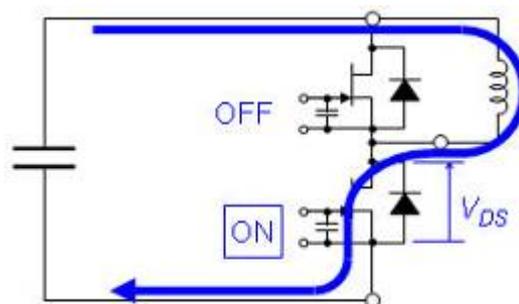
2.3.2.2 高パワー密度インバータの設計製造技術

(1)低インダクタンス化

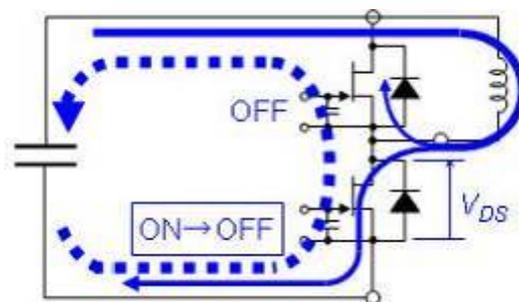
インバータのようなスイッチング装置において、設計上は不本意な「配線インダクタンス」は小さいに越したことはない。配線インダクタンスの弊害は3つ挙げることができる。第1は、トランジスタがスイッチングする際、とくに電流Iをターンオフする際にトランジスタの主端子間に $\Delta V=L(di/dt)$ なるサージ電圧が重畳し、ピーク電圧が素子耐圧を超えるとトランジスタが壊れてしまう。

SiC-MOSFET や SiC-JFET は従来の Si 製トランジスタよりスイッチングが速いので、とくに注意しなければならない。では、具体的にインバータ回路のどこのインダクタンスを低減すればよいのか？ それを理解するためにインバータ回路における電流の挙動をみてみよう。図

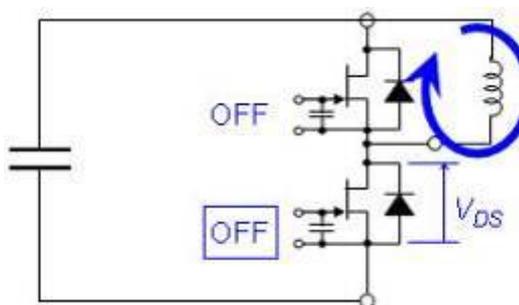
Ⅲ.2.3.2.2-1 は、インバータ回路を簡素化し、チャージタンクとしてのキャパシタと、1相分のレグに誘導負荷が接続された構成で示したものである。3相インバータの中の電流の挙動も、ある瞬間にはこの回路で説明できる。まず、(a)では、下(アーム)のトランジスタがオン状態で、電流が青い実線のように流れているとする。下トランジスタがオフ状態になった暁には(c)のようになる。このタイミングでは上トランジスタはオンしていても電流は逆流状態であり、電流はもっぱら並列した還流ダイオードを流れる。問題はこの過渡時である。(b)は下アームのトランジスタがターンオフしている最中の状態を示したものである。下アームのトランジスタを通して「ドレインからソースへ向かう電流が



(a)下トランジスタ：オン



(b)下トランジスタ：ターンオフ中



(c)下トランジスタ：オフ

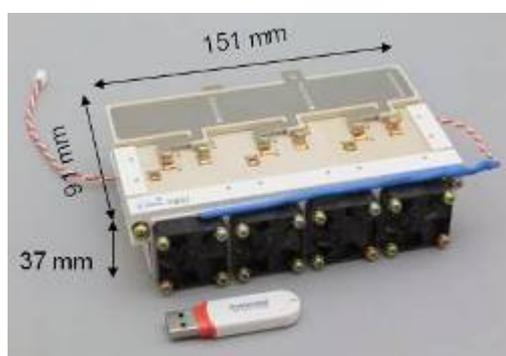
図Ⅲ.2.3.2.2-1 スイッチング時の電流変化

減少」してゆく、同時に上アームの還流ダイオードを通して「ダイオードの陽極から陰極に向かう電流が増加」してゆく。すると、全体としては「破線向きの循環電流が増加してゆく」ということになる。これが前述した ΔV を生む(di/dt)である。従って ΔV を抑制するためには、この破線に沿ったループの配線インダクタンスを考えなければならない。つまり、具体的に着目すべき部分は、パワーモジュールの内部ならびに図中の、実際にはインバータの入力端子間に挿入しているリップル電圧低減用キャパシタからパワーモジュールに至るまでの配線である。

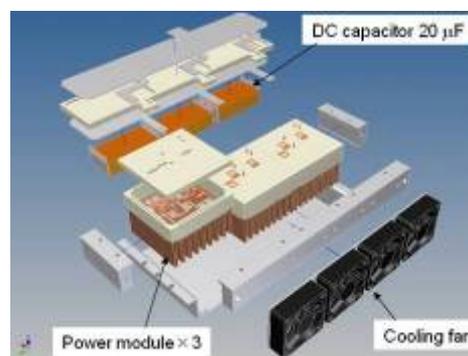
その他、配線インダクタンスの第2の弊害は、素子自身その他浮遊キャパシタンスとの共振でスイッチング時に伝導ノイズならびに電磁放射が発生し、インバータ自身ならびに周辺の電気回路に誤動作を起こすことがある。一般に、このキャパシタンス成分は半導体チップの面積やセラミック基板の構造に起因しており、低減することは難しい。よって、これら課題を回避するためには、やはり配線インダクタンスを重点に考える。そして第3の弊害としては、トランジスタチップが並列構成されている場合、両者につながる配線長にアンバランスがあると、スイッチングの際に電流が一方のチップに多く流れてしまい、過熱その他の不具合をもたらす、ということである。本プロジェクトにおけるバスバーならびにモジュールのセラミック基板上のパターンレイアウトは、こうした点に留意して設計した。

ところで、電流が流れる電線は 1cm につき 10nH 弱のインダクタンスを原理的に持っている。このことから、スイッチング装置の低インダクタンス化には、内部構造以前にまず装置がある程度小型であることが必須であるといえる。そこで、設計にあたっては、まずインバータ全体の「小型化」を目指した。その上で、インダクタンス低減策として、(i)対抗電流が流れる配線を平行し近接させる、(ii)その配線を薄板状にしてさらに近接させる、それが叶わない場合には(iii)対抗電流の流れる配線に、薄板状の絶縁体を挟んで導体板を近接させ、電流変化に伴って誘導される渦電流によってインダクタンスを低減する、などの工夫をした。

本プロジェクトではまず最初にオーソドックスな構造のモジュールを使ったイン



(a)TOPPA の外観



(b)内部構造

図III.2.3.2.2-2 インバータ「TOPPA」に搭載した SiC パワーモジュール

バータをつくり (TOPPA, MAINA)、さらに改良を重ねて超低インダクタンスモジュールを搭載したインバータ (NIJI, SIRD) をつくった。これらのインダクタンス低減に関する工夫点について順次、説明をする。

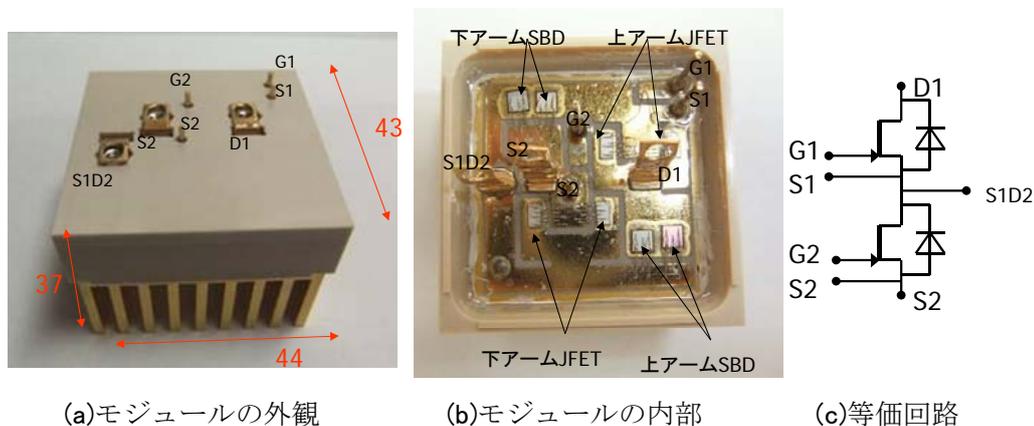
①初期インバータ (TOPPA) とそのモジュールのインダクタンス設計

まず、図Ⅲ.2.3.2.2-2 は(a)初期に製作したインバータ「TOPPA」の外観ならびに(b)その内部構造を説明する分解図である。3つの SiC モジュールにはそれぞれ1相分に対応するトランジスタと還流ダイオードが搭載されている。(b)の左上にはキャパシタスタックが見えるが、このように2枚のバスバーが絶縁板を挟む形にし、バスバーもなるべく幅広にしてビアホールを駆使してキャパシタ周辺のインダクタンスを低減している。

図Ⅲ.2.3.2.2-3 は、上記の装置に搭載した SiC パワーモジュールの外観、(b)フタを開けて内部の配線構造を示した写真、(c)等価回路である。モジュールサイズは 41mm 角、内部のセラミック基板は 35mm 角である。構造は従来のパワーモジュール同様、配線パターンをもつセラミック基板上に半導体チップと端子を半田付けした形である。このモジュールでは低 Ron の SiC-JFET チップを2個並列で使うこととしたため、インダクタンス低減のほか、とくに並列チップにつながる配線のインダクタンスの対称性に配慮した。部位として着眼したのは、(A)主電流と(B)ゲート電流の経路である。

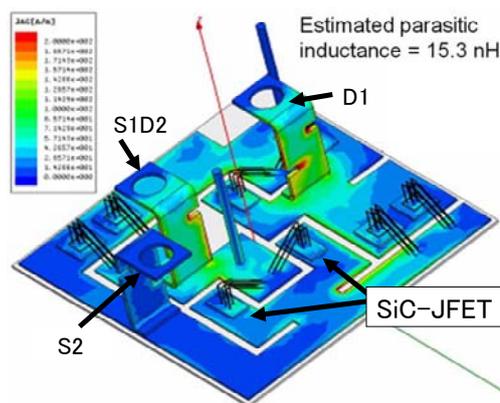
(A)主電流経路

従来の Si 製トランジスタたとえば IGBT を搭載したモジュールでは、チップはもっと整然と配置されている。反面、並列チップ同士の間で主電流経路長のバランスは良いとはいえないのだが、それでも IGBT の場合はオン抵抗がその配線抵抗の差異より遥かに大きいのと、素子自身がスイッチングの過渡期間には MOSFET 同様、オン抵抗が温度に対して正の相関特性をもつので、たとえゲートや主電流経路のインダクタンスに多少のアンバランスがあっても問題ない。ゲートを順バイアスする



図Ⅲ.2.3.2.2-3 インバータ「TOPPA」に搭載した SiC パワーモジュール

SiC-JFET について当初、その辺のデータが乏しかったので、並列チップ間の配線長がなるべく均等になるように配慮した。ダイオードチップについては、2.5V 以上の順バイアスシフトがあるので、さほど神経質にはならなかった。



なお、(b)を見るように、このモジュールを搭載したインバータが負荷に交流電

図Ⅲ.2.3.2.2-4 インバータ「TOPPA」に搭載した SiC パワーモジュールの電流分布シミュレーション

力を出力しているとき、負荷につながる S1D2 端子へ電流が流入してくるモードにおいては、基板の上側だけに電流が流れ、PWM 制御で電流が切り替わる時には、パターンの上半分のダイオードとトランジスタの間で電流の変化が見られる。この電流の変化はセラミック基板裏面にある導体に渦電流を発生させ、おもて側の配線インダクタンスを低減するために一役買っている。S1D2 端子から電流が流出するモードにおいても基板の下側を使って同様のことが起こる。図Ⅲ.2.3.2.2-4 は電流のバランスを検証するために行ったシミュレーションである。2 つのトランジスタにはほぼ均等な電流が流れている。なお、同時に計算した主端子間のインダクタンスは 15.3nH であった。

さらに、チップレイアウトにあたっては、使用したワイヤボンダーの治具が、基板上に端子を立てた後でも干渉しないように配慮してある。また、熱的にも分散するようにチップを配置したつもりだったが、図Ⅲ.2.3.2.2-3 (a)に示す方向にフィンを切ったため、同図(b)を見ればわかるように中央部の1つのフィンが2つの JFET チップの発熱を受け持つ形になってしまった。このことにより、並列している JFET チップ同士に温度差が生じ、電気特性の差につながりかねないため、この点は次期型モジュールの設計に向けてチェックポイントの1つとした。

(B)ゲート電流経路

今回使った SiC-JFET はノーマリ・オフ型で、導通状態にするためにはゲート電位を pn 接合の順電流が流れるところまで印加し、実際に導通状態ではゲート電流が流れる。Si 製 JFET でゲートをここまで順バイアス状態にすると素子内部は高注入水準状態になり、ターンオフ時には内部に溜まった過剰少数キャリアをすっかり引き抜き終わるまでターンオフしない。そのアナロジーから、設計当初はターンオフ時の電荷引き抜き時間を気にして、とくにゲート配線のインダクタンスを極力小さ

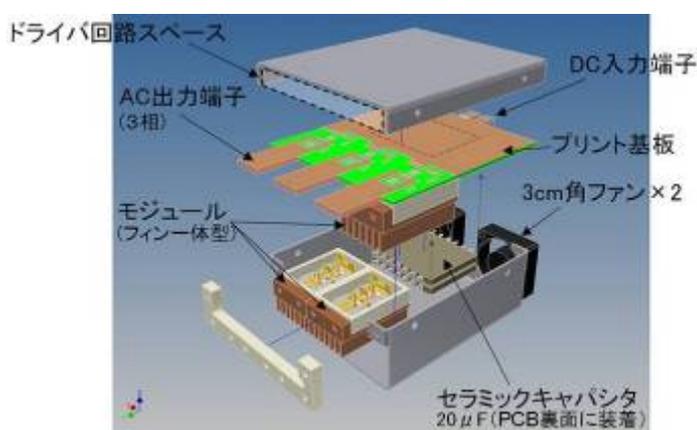
くしようとした。しかし、実際に SiC 素子を駆動してみると、使用した SiC-JFET 中のキャリアライフタイムが Si に比べて格段に短かったので、結果的にその心配はほとんどなかった。それでも、並列するチップに張るゲートワイヤの長さが著しく違えば、スイッチング速度の速い SiC の場合は明らかに影響する。その点からもこの対称性は軽視できない。ゲート配線は図 III.2.3.2.2-3(b) に示すように対称に張られている。

② 後期インバータ (NIJI) とそのモジュールのインダクタンス設計

図 III.2.3.2.2-5 は、(a) インバータ「NIJI」の外観ならびに(b)内部構造を示す分解図である。別章で説明しているように、本構造では、まずキャパシタが板状になったバスバーと一体化しており(プリント基板の裏側に接続されている)、この部分のインダクタンスが大幅に低減している。

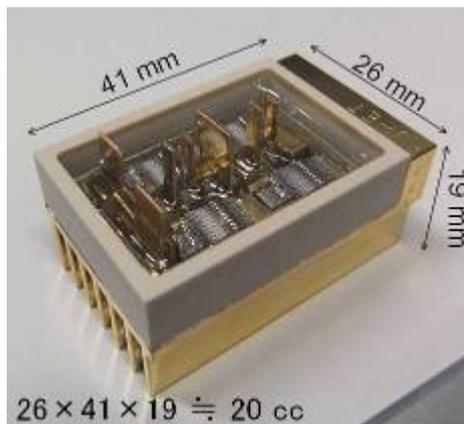


(a)インバータの外観

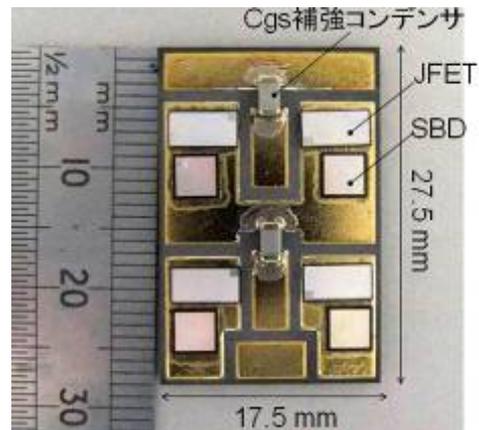


(b)内部構造

図III.2.3.2.2-5 インバータ「NIJI」に搭載した SiC パワーモジュール



(a)モジュールの外観



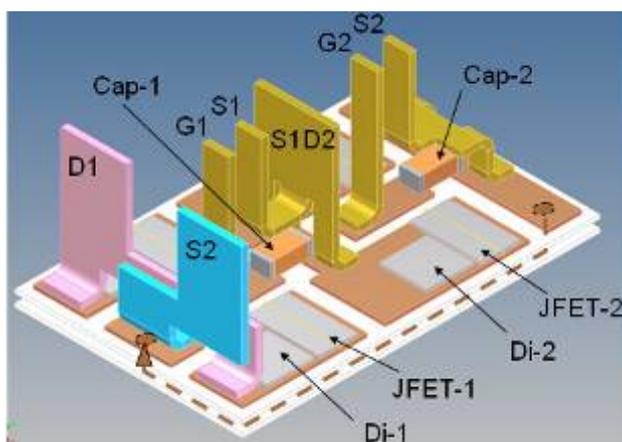
(b)セラミック基板とチップ

図Ⅲ.2.3.2.2-6 インバータ「NIJI」に搭載した SiC パワーモジュール

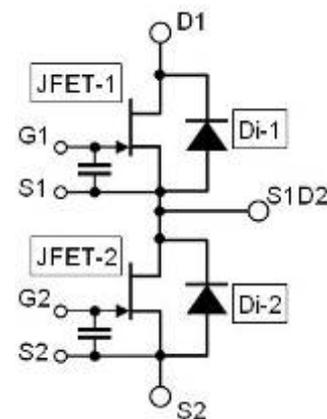
(A)主電流経路

図Ⅲ.2.3.2.2-6 は(a)「NIJI」に搭載した SiC モジュールの外観ならびに(b)その内部のセラミック基板に SiC チップ(JFET と SBD)を半田付けした写真である。ワイヤボンディングと端子を取り付ける前の姿である。このモジュールでも、2 チップ並列構成をとっている。今回は左右対称な構成となっているので電流バランスならびに放熱性は理想的である。

なお、このセラミック基板はインダクタンス低減のため、今回は2枚構成とした。そのしくみを説明したのが図Ⅲ.2.3.2.2-7である。外部端子 D1 が高電位 DC 線に接続され、そこから供給される電流は JFET-1 を通る。出力端子が S1D2 であり、下ア



(a)基板中の電流の流れ



(b)等価回路

図Ⅲ.2.3.2.2-7 インバータ「NIJI」に搭載した SiC パワーモジュール

ム側トランジスタ JFET-2 を通った電流は基板の端部にて、セラミック基板に穴あけられたビアホールを伝って2枚のセラミック基板の間の層に入り、端子 D1 の近くで再びビアホールを通過して外部端子 S2 に接続している。従来、配線を1枚のセラミック基板上でレイアウトする場合、配線が半導体チップを迂回しなければならず、その事によりインダクタンスはどうしても一定以下には低減できなかった。しかし、このような構成にすると、おもて面配線と中間層配線の距離はセラミック基板の厚みになるため、大幅なインダクタンス低減が可能になった。シミュレーションによる寄生インダクタンスの値は 4.5nH であった。本モジュールのインダクタンスについては次節で説明する。

また、モジュールへの入力端子となる D1 と S2 は、途中まで近接させているが、どうしても沿面距離を稼がなければならないため、このように離さざるを得なかった。さらに、発熱源たる半導体チップから冷却フィンまでの間にセラミック基板を1枚増やすことによる熱抵抗増加は、本プロジェクトで目指した高温空冷構造の場合、ほとんど無視できる(水冷の場合は 10~15%増加してしまう)。

	TOPPA	TOPPA改良案	S氏の案	MK氏の案1	MK氏+MY氏合作	MK氏の案2	MY氏の案	MK氏の案3	最終案
構造	1階建	1階建	2階建	2階建	2階建	2階建	2階建	2階建	2階建
VIA	なし	なし	有り	なし	なし	なし	有り	有り	有り
	7	3	5	5	2	1	4		
面積	1040	896	989	988	819	588	954	623.5	564.25
長辺	32.5	32	46	38	39	28	36	29	30.5
短辺	32	28	21.5	26	21	21	26.5	21.5	18.5
Gフイヤ打てる?	○	○	○	△	△	△	○	○	○
電流バランス	○	○	△	○	△	△	○	○	○
チップの階層	全て1階	全て1階	一部2階	すべて2階	すべて2階	すべて2階	全て1階	すべて2階	すべて2階
PNインダクタンス				~5	5.7	4.2			
G/Sインダクタンス	~15	~15	~15	~15	~15	~15			
その他(+)	1階のみ	1階のみ		1、2階熱結合が心配(ボイト)	1、2階熱結合が心配(ボイト)	1、2階熱結合が心配(ボイト)	セラコン3つ置ける		
その他(-)									

図Ⅲ.2.3.2.2-8 後期モジュール構造の決定経緯

ちなみに、この構造に至るまでには、FUPET 研究センター主要メンバーで案を出し合い、多角的に検討を重ねた結果、最終的に初期モジュールのセラミック基板の半分以下の面積を達成したものである。本構造決定に至るまでの経緯を、図 III.2.3.2.2-8 に示す。

・主電流経路のインダクタンス
評価

通常は電流センサを回路の配線に装着して電流波形を測定し、電圧波形と共に

$$V = L \frac{dI}{dt}$$

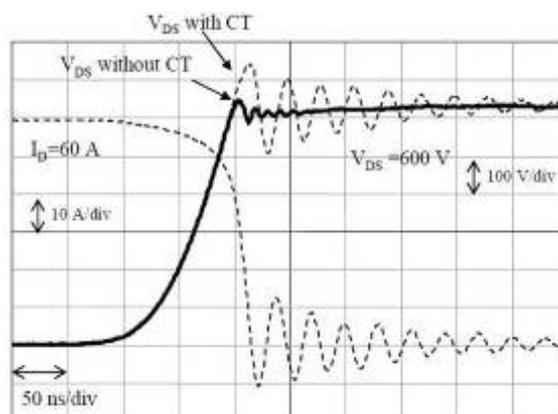


図 III.2.3.2.2-9 電流センサの有無によるスイッチング波形の違い

の関係を使ってインダクタンス L を割り出す。ところが本モジュールの場合、図 III.2.3.2.2-9 に示

すようにその方法では破線で示すような激しいリングングが発生してしまい、割り出されたインダクタンスは 50nH となった。これは明らかに大きすぎる値である。原因は電流センサを装着する余地をこしらえるために、本来はない余分な配線を延長したためであった。そこで、試しに電流計測をあきらめ、余分な配線をなくして電圧波形だけを計測すると、実線のように殆どリングングが起こらなくなる。こちらがこのモジュール本来の特性である。このように、低いインダクタンスを計測しようとする、測定すること自体が外乱になって正しい値が得られない、という事態に陥った。数 nH とはそういう世界である。

そこで我々は電圧波形のみからインダクタンスを読み取る試みを行った。上記の式を積分すると、

$$\int V dt = L \int dI_D = LI_D$$

$$\therefore L = \frac{\int V dt}{I_D}$$

となり、図 III.2.3.2.2-10(b) に示すように適切な区間で電圧波形を積分すれば、インダ

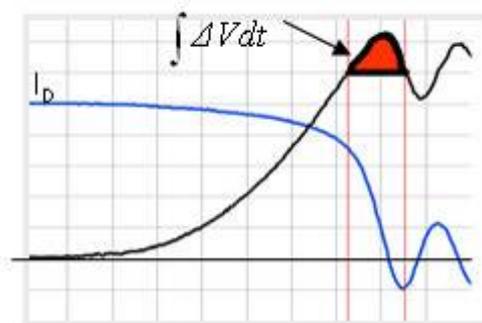
クタンスが推定できる。同図(c)には電流波形も示してあるが、実際には計測できない。頼りは電圧波形と電源電圧のみである。SiCトランジスタの場合、 C_{DS} が大きいので実際の主電流は(c)に描いたとおり、ターンオフ時に自身の寄生キャパシタンスを充電するためかなりの量の電流(電荷)が奪われてしまう。また、電圧波形がオーバーシュートを終えて電源電圧に戻る瞬間は電流にとっては共振電流が逆流のピークになっているところであり、積分して I_D になるタイミングを正確に決めることは困難である。しかし、SiCトランジスタのスイッチングが速く、上述の誤差を含めて「近い値である」として算出したインダクタンスは **9.3nH** となった(図中(b))。ここからスナバキャパシタのカタログに記載されている寄生インダクタンス **3.7nH** を差し引くと、正味のモジュールのインダクタンスは **5.5nH** と算出できる。これと回路定数シミュレータ(Q3D)の答え **4.5nH** とを比較すると、どうやらこのモジュールのインダクタンスは有効数字 1 桁で **5nH** であると言える。

(B)ゲート電流経路

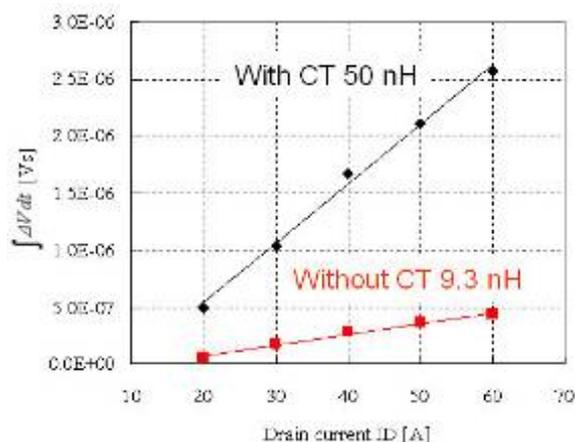
図 III.2.3.2.2-7 に示すとおり、G/S 配線も立体配線により近接させ、低インダクタンス化をはかった。近接したまま垂直に立ち上がった G/S 配線はプリント基板側のパターンに接続し、低インダクタンスを保ったままゲートドライブ回路へと接続している。

Method	Components	L
Electromagnetic simulation	Module	4.5 nH
Impedance analyzer	Module	5.5 nH
	Snubber capacitor	3.7 nH
Double pulse test without CT	Module + Snubber capacitor	9.3 nH
Double pulse test with CT	Module + Snubber capacitor	50 nH

(a)各手法による主電流経路のインダクタンス



(b)電圧波形のみからインダクタンスを割り出す手法



(c)スイッチング波形からインダクタンスを割り出す試み

図 III.2.3.2.2-10 主端子間インダクタンスを計測する試み

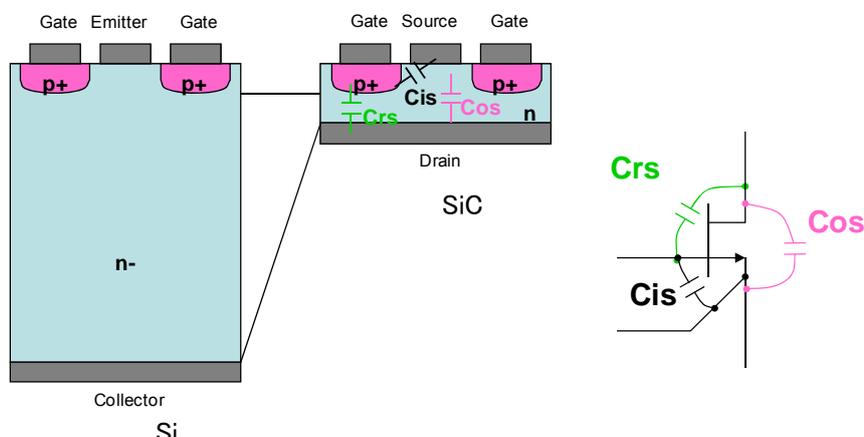
(2)ゲート誤動作対策技術

従来からパワーデバイスに用いられている Si と比較して SiC は電界強度が高い。SiC パワーデバイスはこの特性を利用してデバイスの耐圧層を薄くする。これは優れた低オン抵抗特性を得る反面、寄生キャパシタ容量を増加させる。

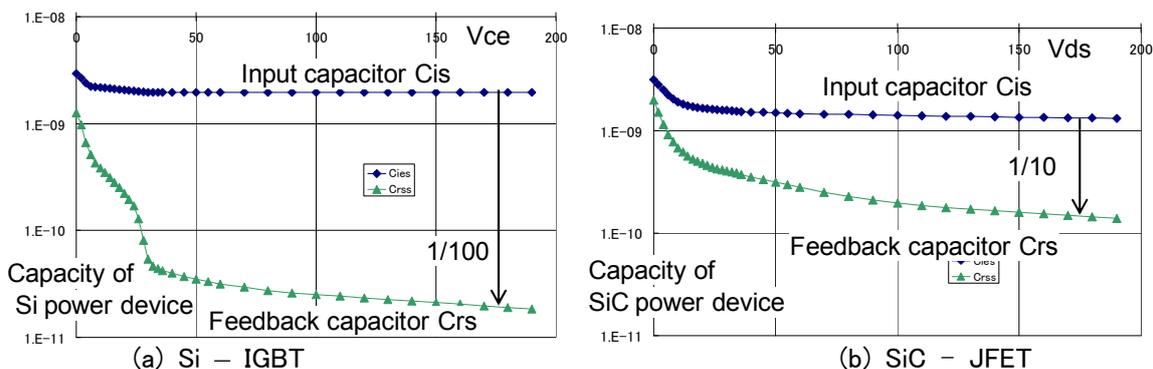
図Ⅲ.2.3.2.2-11 は Si パワーデバイスと SiC パワーデバイスの断面模式図である。SiC パワーデバイスは Si パワーデバイスと比較してドレインとソースの距離が短くなるため、出力容量 C_{os} と帰還容量 C_{rs} が大きくなる。

図Ⅲ.2.3.2.2-12 は同程度の耐圧・電流容量を持つ Si-IGBT と SiC-JFET の入力容量 C_{is} と帰還容量 C_{rs} をデータシートを基にプロットしたものである。Si パワーデバイスの帰還容量は入力容量の 1/100 であるのに対して、SiC パワーデバイスでは 1/10 となっている。すなわち、SiC パワーデバイスは Si パワーデバイスと比較して帰還容量が 10 倍大きい。

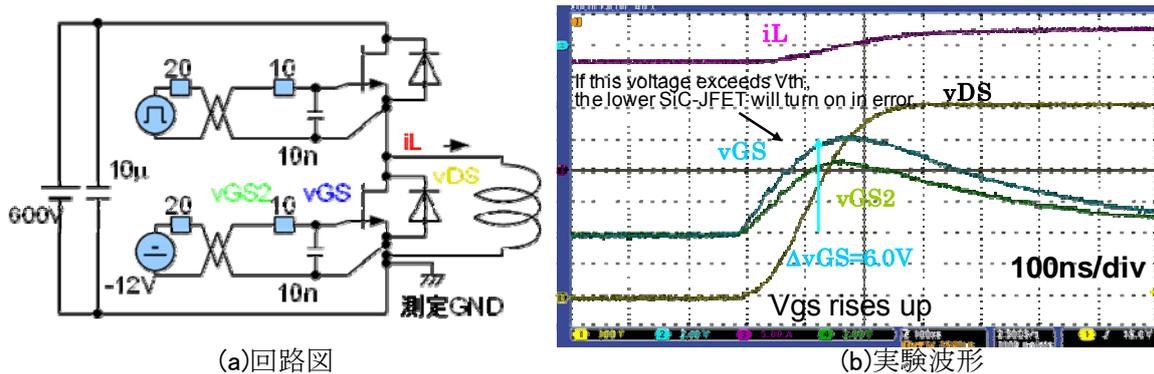
帰還容量が大きいときの問題点を図Ⅲ.2.3.2.2-13 を使って説明する。同図(a)はダブルパルス試験と呼ばれる基本回路でインバータの1アーム分を構成する。上側 SiC-JFET に接続されたゲート駆動回路からパルス電圧を出力することで上側 SiC-JFET のターンオン、ターンオフ特性および下側 SBD のリカバリ特性を評価する。このとき、



図Ⅲ.2.3.2.2-11 パワーデバイスの断面模式図



図Ⅲ.2.3.2.2-12 パワーデバイスの入力容量と帰還容量



(a)回路図

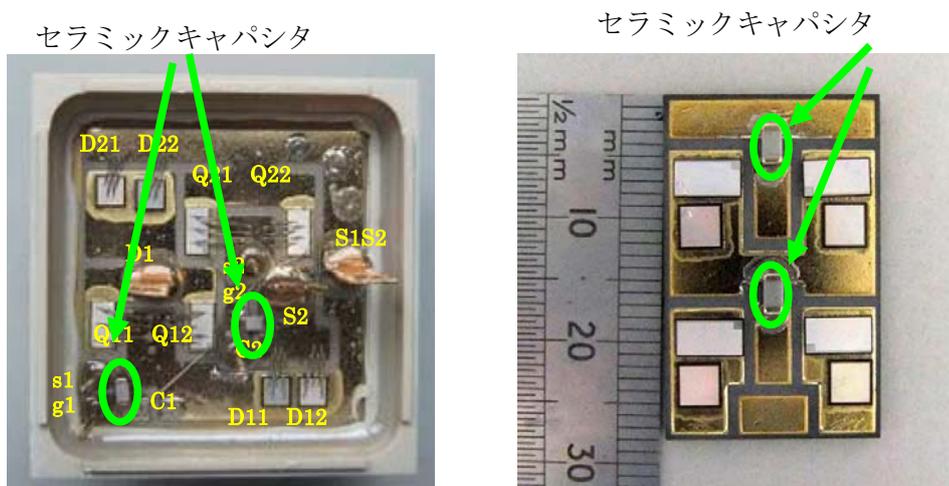
(b)実験波形

図III.2.3.2-13 SiC パワーデバイスのダブルパルス試験

下側 SiC-JFET が誤点弧しないように下側のゲート駆動回路からはゲートソース間に対して負電圧を出力している。

同図(b)は上側 SiC-JFET がターンオンしたときの実験波形である。上側 SiC-JFET ターンオンで、下側 SiC-JFET のドレイン電位が上昇する。このとき、下側 SiC-JFET の帰還容量に電流が流れ、下側 SiC-JFET のゲート電位が上昇する。この上昇が SiC-JFET のゲートしきい値電圧を超えると誤動作して、下側 SiC-JFET がオン状態になる。すなわち、上下の SiC-JFET が同時にオンになるため、直流電源から過大な電流が SiC-JFET に流れることになり、最悪の場合、SiC-JFET が破損する。

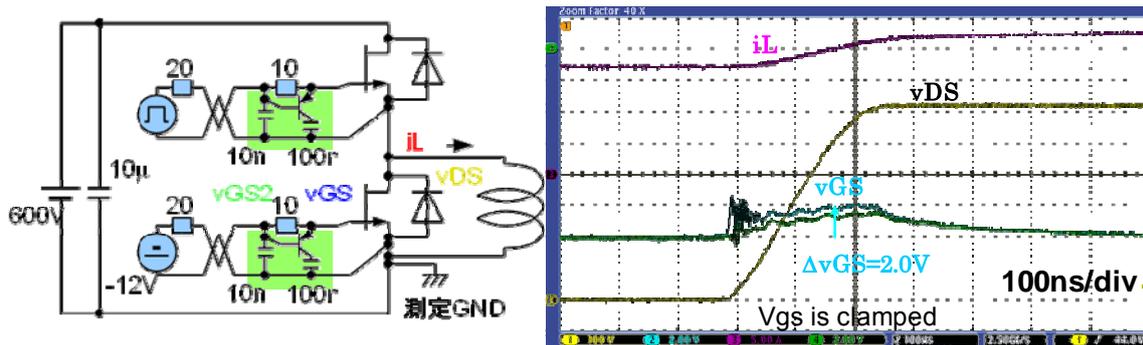
この誤動作は、従来の Si パワーデバイスでも発生するが、帰還容量の大きい SiC パワーデバイスのほうが顕著である。対策技術として、SiC パワーデバイスのゲートソース間に、帰還容量の 100 倍程度の容量を持つセラミックキャパシタを接続する方法が用いられる。今回のインバータにおいても、図III.2.3.2-14 に示すようにパワーモジュール内のゲートソース間に 100nF のセラミックキャパシタを挿入している。



(a)MAINA パワーモジュール内部

(b)NIJI パワーモジュール内部

図III.2.3.2-14 パワーモジュール内部とゲートソース間キャパシタ



(a)回路図

(b)実験波形

図III.2.3.2.2-15 誤点弧防止回路を用いたダブルパルス試験

このキャパシタの挿入はキャパシタ充放電電流分のゲート駆動回路電流の増加に伴うゲート駆動回路ストレスの増加だけでなく、ゲート波形変化が鈍くなることによるスイッチング速度の低下がある。スイッチング速度を低下させることなく誤動作を防止する技術が求められる。

図III.2.3.2.2-15(a)は上述の課題を解決するゲート駆動回路[1]である。ゲートソース間にPNPトランジスタとキャパシタ(100nF)の直列回路を接続している。同図(b)はその実験波形である。ゲート負バイアス中に誤ってゲート電位が上昇したときにPNPトランジスタがオンし、等価的にゲートソース間の容量が増加する。100nFのキャパシタは定電圧で充電されているためゲート駆動波形を鈍くする原因にならず、誤動作防止と高速スイッチングの両立が達成できる。

誤動作は本プロジェクトで使用したSiCパワーデバイスの問題であり、IGBTなどSiデバイスでは大きな問題にならない。この課題に対して、上述の方式を提案し、室温の実験で検証した。なお、本プロジェクトでは高温で動作するパワーモジュールを開発する。これに内蔵可能なPNPトランジスタがないため、提案の方式は使わずに図III.2.3.2.2-14に示すように従来方式(セラミックキャパシタの挿入のみ)にしている。

参考文献

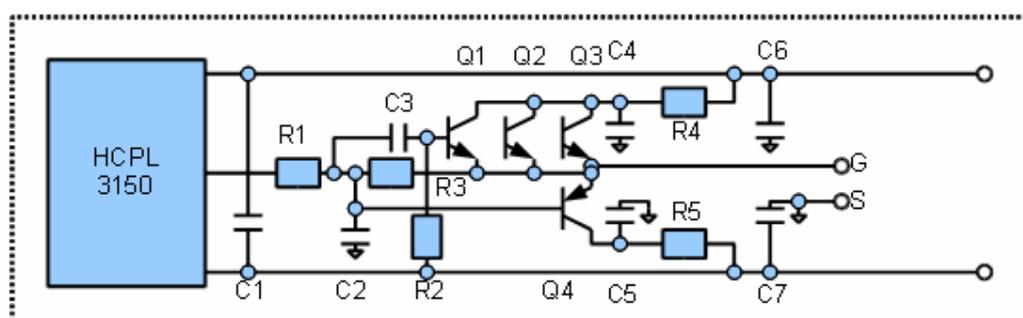
- [1] 関子祐輔、佐藤 伸二、松井康平、村上善則、谷本 智、SiC JFET 安定動作のための駆動回路の検討 平成 23 年電気学会全国大会

(3)高速動作ゲート駆動回路技術

パワーモジュールには、主スイッチングデバイスにノーマリオフ SiC-JFET(ゲートしきい値は約 1.5V)を採用している。JFET 構造であるため、パワーデバイスのゲートソース間に PN 接合が形成されており、ここに接合電位電圧(SiC の場合、約 +2.5V)以上を印加すると電流が流れる。この電流はゲート駆動回路の負担を増やすだけでなく、SiC-JFET の損失も増やす。2.5V 以下の電圧でゲート駆動回路を構成すると、十分なゲート駆動電圧の立ち上がりが得られないため、SiC デバイスのスイッチング(特にターンオン)が遅くなる。

SiC-JFET を高速にスイッチングする方法として、ゲートに対して 100ns~200ns の短時間だけ高パワーのパルス電流をながし、ターンオンが完了したらゲート駆動回路の電流出力を抑える方式が用いられる。しかし、従来の Si パワーデバイスのゲート駆動回路と比較して、回路が複雑かつ大型になる欠点があった。

図Ⅲ.2.3.2.2-16 は、新たに提案した高速動作ゲート駆動回路[1]である。回路が簡単であり、一般的な SiC-JFET の駆動回路と比較して基板面積を約 4 分の 1 にできる。ターンオン時は C4 から Q1~Q3 を介してゲートにパルス電流を流す。このとき



図Ⅲ.2.3.2.2-16 提案する高速動作ゲート駆動回路

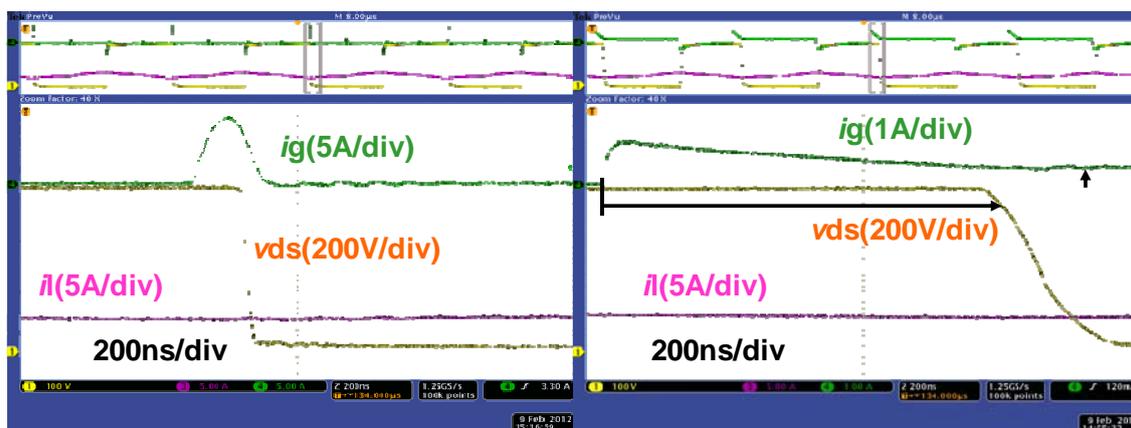


図Ⅲ.2.3.2.2-17 高速動作ゲート駆動回路を組み込んだ3相インバータ

のパルス幅は、C3 と R2 の定数で調整する。ターンオンが完了すると、高抵抗 R3 によりゲート電流を抑える。図Ⅲ.2.3.2.2-17 はゲート駆動回路を6回路分組み込んだ3相インバータの写真である。制御マイコンを含めて、インバータに内蔵可能である。

図Ⅲ.2.3.2.2-18 にターンオン実験波形を示す。(b)汎用ゲート駆動回路では最大ゲート電流が1A程度までしか流せず、非常に遅いスイッチングとなっている。これに対して(a)高速動作ゲート駆動回路では、最大13Aのゲート駆動電流を流すことで、高速なスイッチングを実現している。

以上から、高速かつ小型のゲート駆動回路が実現している。



(a)高速動作ゲート駆動回路

(b)汎用ゲート駆動回路

図Ⅲ.2.3.2.2-18 ターンオンスイッチング波形

参考文献

- [1]佐藤 伸二、関子祐輔、松井康平、谷本 智、村上善則，ノーマリオフ SiC-JFET 用高速スイッチングゲート駆動回路，電力技術／電力系統技術／半導体電力変換 合同研究会

(4)高温駆動における限界熱抵抗設計手法

SiC パワーデバイスはその優れた材料特性から、1kV 程度の耐圧範囲において IGBT と同等以下のオン損失を達成できるユニポーラデバイスが作製できる。このため、電力変換機においてはスイッチング損失の低減も期待できる。加えて Si デバイス以上の高温動作が見込め、変換器の小型化も期待できる。

一方、一般にユニポーラデバイスは、接合温度の上昇に伴いオン抵抗が指数関数的に増加する。このため、熱設計如何によっては、自己発熱による接合温度上昇・損失増大を繰返し、最悪の場合にはデバイスの破損を招く可能性がある。本現象は熱暴走と呼ばれるが、これを抑止しつつ、高温動作を実現するための熱設計手法について理論的考察を行い、その妥当性を実験的に検証した。

熱暴走の発生限界条件はデバイス温度と損失、および抜熱量との相関から導出できる。図 III.2.3.2.2-19 に Infineon 製 Si-MOS(IPW65R037C6)、Semisouth 製 SiC-JFET(SJEC120R025)を、各々2 並列とし、これに直流 30A を通電した場合のデバイス温度と損失の相関を示す。また、外気温度を 25°C とし、上記通電条件で熱暴走を生じないための限界熱抵抗で冷却した場合の、デバイス温度と抜熱量との相関も合わせて示す。抜熱限界特性の違いによって、Si-MOS の冷却器は SiC に比べて、少なくとも 1.3 倍の冷却能力が必要である。仮に実際の熱抵抗、または通電電流がこれを上回る場合、すべてのデバイス温度において発熱量が抜熱量を上回るため、熱暴走を生じる。実際にはデバイス損失はスイッチング損も含まれることから、こ

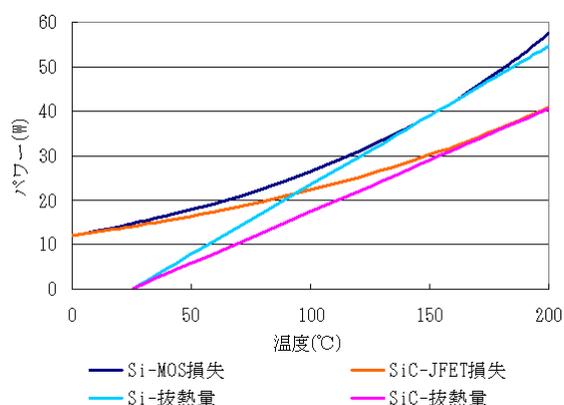
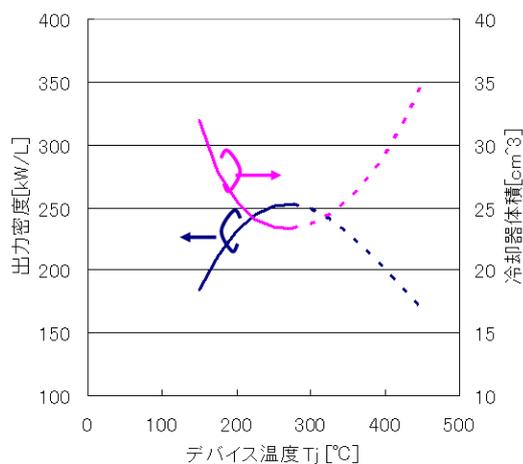


図 III.2.3.2.2-19

温度とデバイス損失・抜熱量の相関

の限界熱抵抗値は、デバイス損失曲線と抜熱量直線が交点を持つ条件、として繰返し計算などから導出することができる。なお図 III.2.3.2.2-19 から、Si デバイスを駆動温度 150°C 以下で設計する場合には、本現象は問題とならない一方、Si 以上の高温動作を目指す SiC デバイスでは、本現象を考慮した熱設計が必要であることも合わせて見て取れる。

上記を踏まえ、Semisouth 製 SiC-JFET(SJEC120R025)を用いて、スイッチング周波数 20kHz、出力 18kW のインバータを試作した場合に見込める、デバイス温度と出力密度の相関を図 III.2.3.2.2-20 に示す。雰囲気温度は 25°C とした。なお、ここで示す出力密度は、出力を冷却器容積で除した値とし、平滑コンデンサ、ドライバ等、



図Ⅲ.2.3.2.2-20
デバイス温度と出力密度の相関

250°C以上となる条件で駆動させるための熱設計は、上述の通り 250°C以上において図Ⅲ.2.3.2.2-19 のデバイス損失と抜熱量曲線の交点を有する様熱抵抗を設計することである。一方、この場合 250°C以下においても必然的に交点を有することになるため、実際の駆動温度は 250°C以下に有する交点の温度となり、結果として 250°C以上の温度では駆動できない。

その他インバータ構成部品は含まない。また、冷却器体積はグローバル電子(株)が公表している、強制空冷風速 3m/s における強制空冷での、冷却器包絡体積と熱抵抗の相関から算出した。同図より、出力密度はデバイス温度 250°C近傍で最大値を取ることが分かる。この出力密度最大となる条件が、上述の限界熱抵抗値となるよう冷却器熱抵抗を設計した場合に当る。なお、250°C以上において図Ⅲ.2.3.2.2-20 の曲線を点線とした理由を下記に述べる。

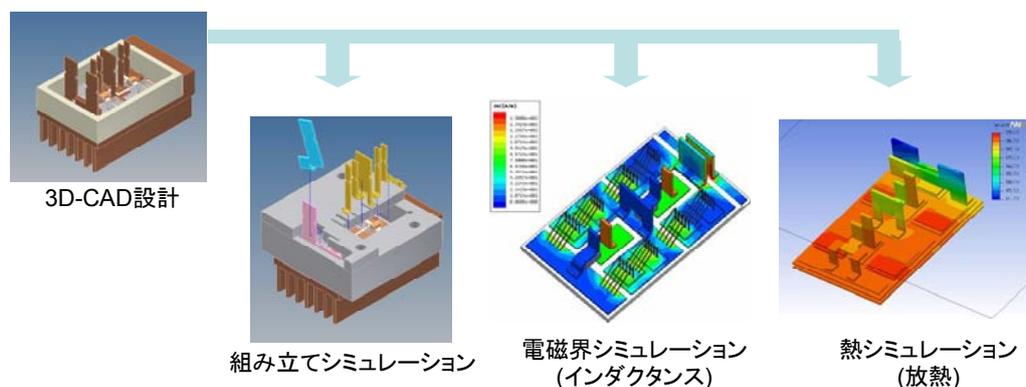
(5)統合設計(冷却・電気特性・生産性)

近年の計算機の進歩は目覚ましいものがあり、ほんの10数年前は専用のパソコンでしか行えなかった3D設計や、さらに大規模な計算機を必要としたCAE解析(熱流体解析など)もデスクトップパソコンで容易に行えるようになった。これらの手法を有効に取り入れて電気、熱、構造の統合的な設計を行った。

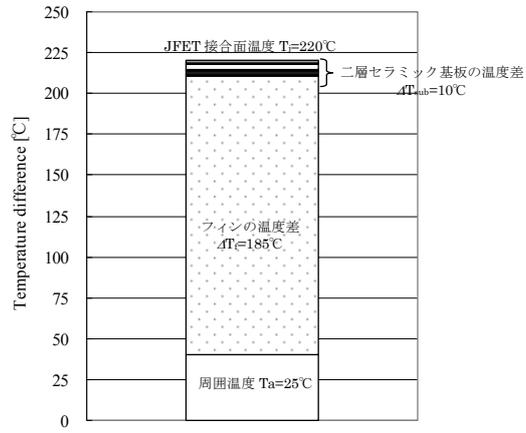
パワーモジュール、インバータの設計はまず、3D-CADを用いて行う。3D-CADで設計することにより、組立時の干渉などを事前に解析でき確実な試作が可能になる。また、容易に電磁界解析、熱流体解析が行えて、統合的な設計が可能となる。この概念図を図Ⅲ.2.3.2.2-21に示す。

二層セラミック基板による低インダクタンス化は電磁界解析(Q3D)にて事前に5nH以下にできることを確認したうえで試作に取り掛かった。また、二層セラミック基板を採用するに当たり追加セラミック分の熱抵抗の増大が懸念されるが、こちらも熱流体解析(Icepack)を活用して $T_j=200^{\circ}\text{C}$ 以上での高温駆動では追加セラミック分の熱抵抗増大は考慮しなくてよいレベルであることを事前に明らかにしていた。図Ⅲ.2.3.2.2-22に冷却フィンからデバイスまでの温度分布を計算した結果を示す。図からわかるように冷却フィンが大半の温度を受け持つので、追加したセラミックによる温度上昇分はほぼ無視できる。

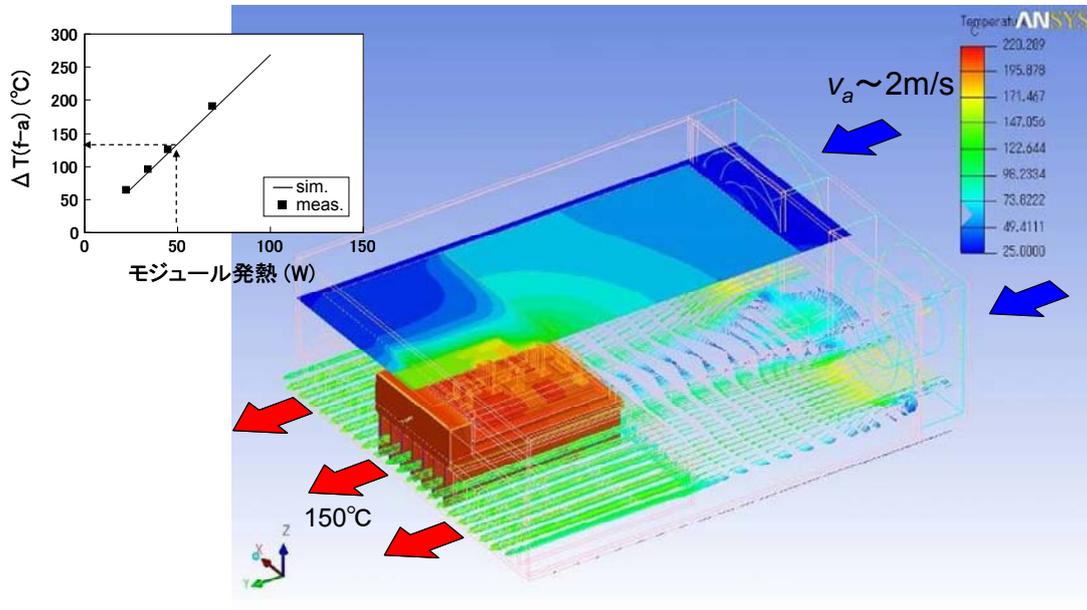
図Ⅲ.2.3.2.2-23にインバータでの熱流体解析結果を示す。CAE解析を有効に活用してモジュール単体だけでなくインバータレベルで熱、電気、構造の統合設計を行い、高パワー密度化を達成した。



図Ⅲ.2.3.2.2-21 3D-CAD を利用した CAE 解析結果



図Ⅲ.2.3.2.2-22 JFET 直下の温度分布解析結果



図Ⅲ.2.3.2.2-23 インバータでの熱流体解析結果

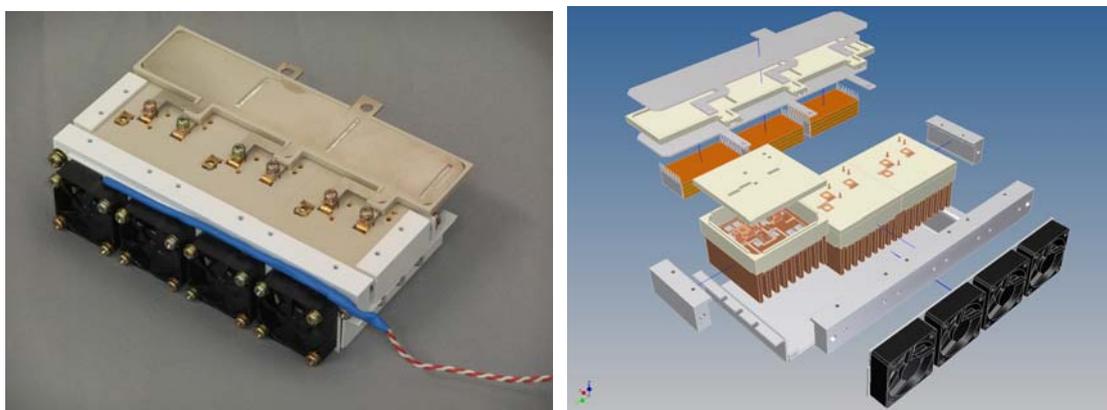
(6)インバータ1次試作(TOPPA, MAINA)

本プロジェクトで最初に製作した3相インバータの仕様を表Ⅲ.2.3.2.2-1 に、外形と回路図を図Ⅲ.2.3.2.2-24 にそれぞれ示す。3個の冷却フィンが取り付けられた2-in-1 パワーモジュールと、フィルタキャパシタ、冷却ファンを主な構成要素としている。MAINA は TOPPA に対してゲート-ソース間へのセラミックキャパシタの内蔵と SiC-JFET 面積の増大がなされているが外形は同一である。

最も大きい発熱源であるパワーモジュールと冷却ファンを隣接配置することにより、冷却能力の向上を図る。フィルタキャパシタには 200℃以上で動作可能な高温対応のセラミックキャパシタを採用し、パワーモジュールの風下に配置した。フィルタキャパシタ容量は、定格出力時の電圧リップルを 2%以下とする 10 μ F とした。

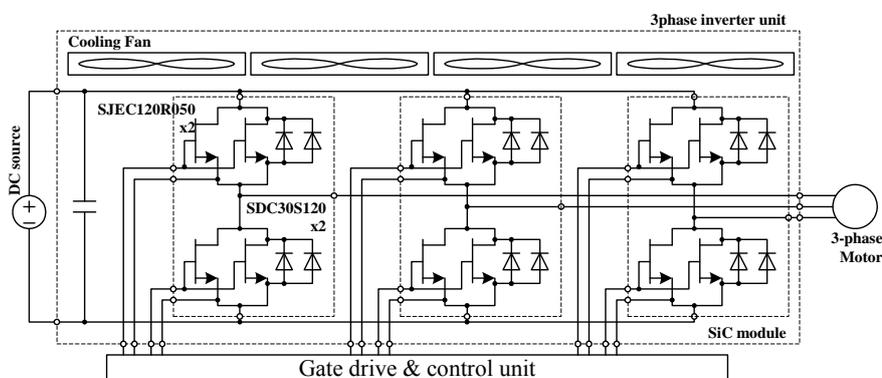
表Ⅲ.2.3.2.2-1 インバータ仕様(TOPPA/MAINA)

Size	151mmWx91mmDx37mmH
Volume	500cc
Capacity	3-phase 10kW
Input voltage	600 VDC
Output voltage	50Hz 400Vrms
Switching frequency	50kHz



(a)外観写真

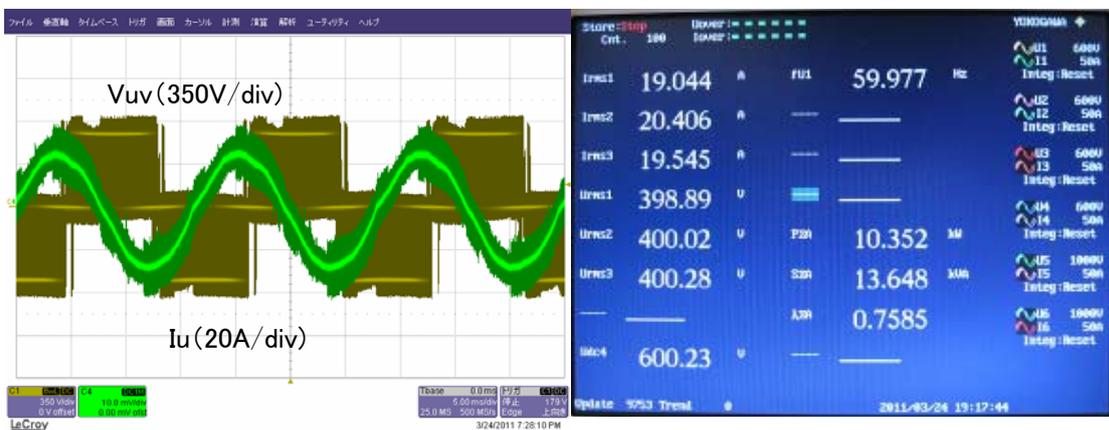
(b)構成



(c) 回路構成(破線内が SiC インバータ)

図Ⅲ.2.3.2.2-24 All-SiC インバータ(TOPPA/MAINA)

図Ⅲ.2.3.2.2-25 は 3 相誘導モータ負荷を駆動したときの動作波形とパワーメータの読みである。スイッチング周波数 50kHz の条件で 10kW の出力を確認している。定格 10kW 出力を約 500cc の容積で実現し、20kW/l を達成した。



(a)インバータ出力線間電圧と相電流 (b)パワーメータの表示

図Ⅲ.2.3.2.2-25 モータ実負荷実験波形(10kW)

(7)インバータ2次試作(NIJI)

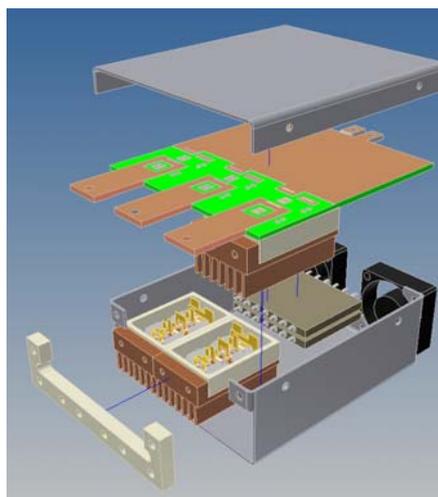
1次試作の評価結果を基に、これを改良した2次試作の仕様を表Ⅲ.2.3.2.2-2に、外形を図Ⅲ.2.3.2.2-26に示す。主回路を1枚のプリント基板に集約するなど小型化を実施し、1次試作とおなじ10kW出力ながら、容積を半分にして倍の電力密度を達成している。フィルタキャパシタをパワーモジュールの風上に配置してキャパシタの温度上昇を抑えた。これにより、容量密度(容量/容積)の大きい汎用キャパシタ利用が可能になった。直流側電圧リップルの低減を狙って、フィルタキャパシタの容量をTOPPA/MAINAの2倍の $20\mu\text{F}$ にした。

表Ⅲ.2.3.2.2-2 インバータ仕様(NIJI)

Size	107mmWx80mmDx33mmH
Volume	250cc
Capacity	3-phase 10kW
Input voltage	600 VDC
Output voltage	50Hz 400Vrms
Switching Frequency	50kHz



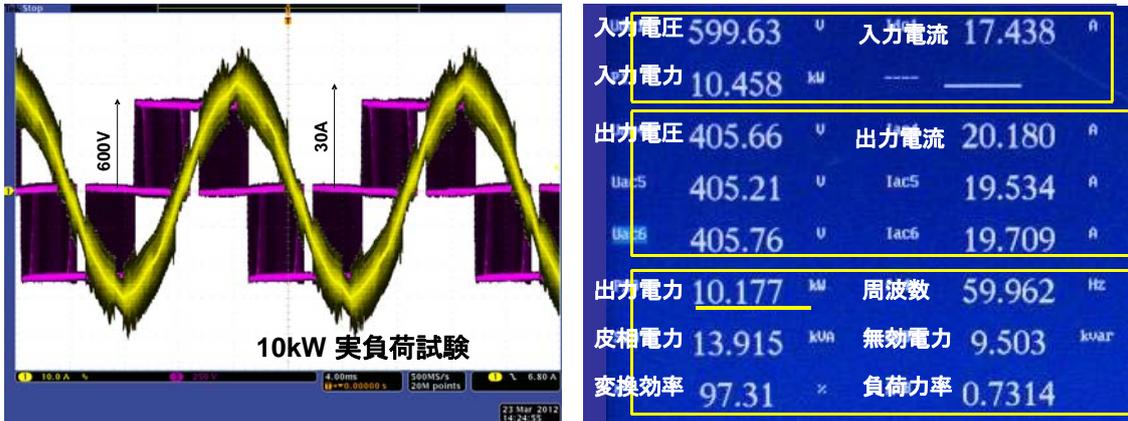
(a) 外形



(b) 分解図

図Ⅲ.2.3.2.2-26 All-SiC インバータ 2次試作(NIJI)

図Ⅲ.2.3.2.2-27 は 3 相誘導モータ負荷を駆動したときの動作波形とパワーメータの読みである。スイッチング周波数 50kHz の条件で 10kW の出力を確認している。定格 10kW 出力を約 250cc の容積で実現し、40kW/l を達成した。



(a)インバータ出力線間電圧と相電流

(b)パワーメータの表示

図Ⅲ.2.3.2.2-27 モータ実負荷実験波形(10kW)

(8)インバータ3次試作

三次試作インバータでは、二次試作インバータで得られた課題を解決してさらにパワー密度を高める工夫を行った。二次試作インバータから主に改良した点を下記に示す。

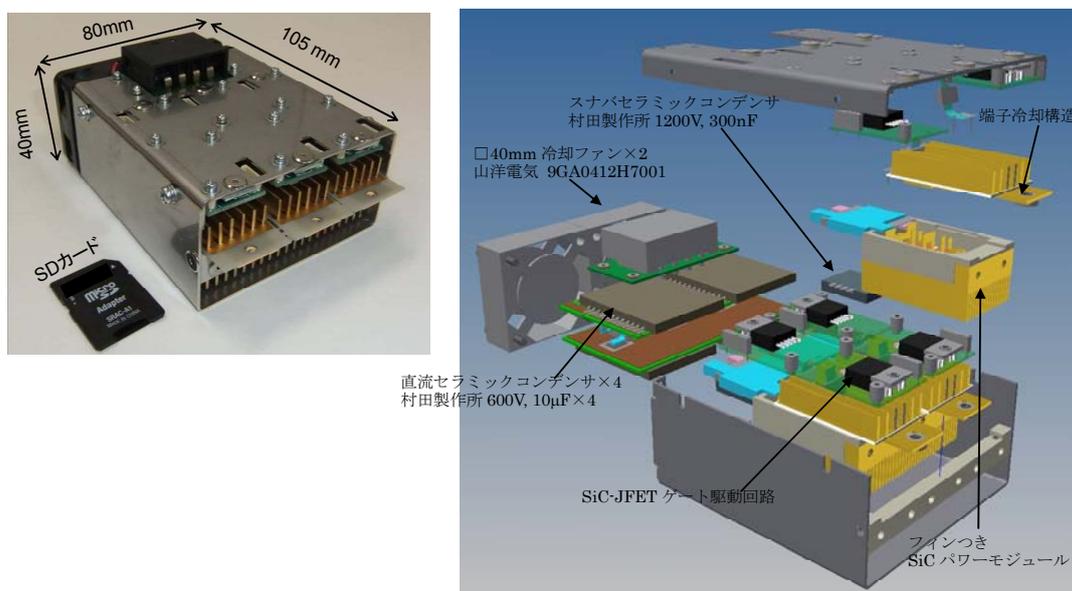
- 端子冷却構造の開発によりゲート駆動回路のインバータ内への実装。
- ゲート駆動回路の直近配置によるスイッチング損失の 40%低減。
- 高出力冷却ファンの採用とフィンピッチの最適化による熱抵抗 40%低減。

図Ⅲ.2.3.2.2-28 に三次試作インバータの写真、分解イラストを示す。開発したインバータは SiC パワーモジュール(三相分)、DC コンデンサ(40 μ F)、ゲート駆動回路、強制空冷用ファン、筐体からなり体積は 0.34L である。H ブリッジでの評価で出力 25kW 相当、70kW/l を達成した。

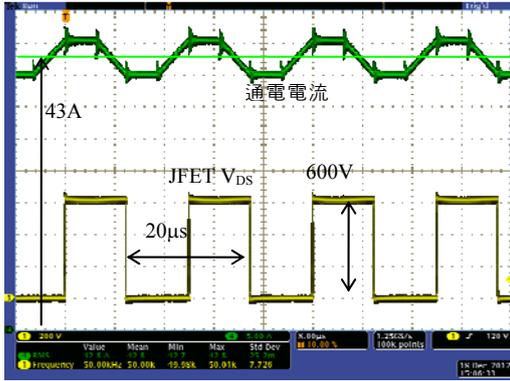
事前評価として三相インバータの二相分を使用し、H ブリッジでの連続通電試験によりパワー密度を評価した結果を説明する。H ブリッジでの通電電流と三相駆動の電流実効値が同じ場合、導通損失とスイッチング損失は等価とみなせる。また、冷却フィンがパワーモジュール毎に独立しているため、デバイス損失に対するモジュールの温度上昇も三相駆動と等価とみなすことができる。図Ⅲ.2.3.2.2-29 に 43A 通電時の負荷電流と JFET の D-S 電圧波形を示す。また、冷却フィンに埋め込んだ熱伝対によって測定した駆動開始からの温度履歴を図Ⅲ.2.3.2.2-29 に示す。図Ⅲ.2.3.2.2-29、Ⅲ.2.3.2.2-30 からわかるように 600V、43A を駆動周波数 50kHz でスイッチングしており、そのときのフィン定常温度は約 180℃である。事前に行った冷

却能力評価からフィンの熱抵抗 $R_{th}(f-a)=1.4^{\circ}\text{C}/\text{W}$ 、モジュール全熱抵抗 $R_{th}(j-a)=1.6^{\circ}\text{C}/\text{W}$ がわかっており、デバイス接合温度(T_j)は 200°C と推定している。以上の結果により本インバータを三相 400V 、 43A 出力で力率 $\cos\phi=0.85$ とした場合、出力 25kW に相当し、 $T_j=200^{\circ}\text{C}$ にてパワー密度 $70\text{kW}/\ell$ を達成したと判断した。

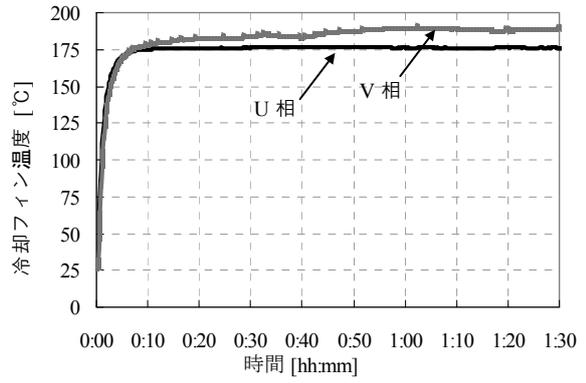
実際にインバータをサンケン電気の試験場に持ち込んで 22kW 誘導モータでの試験を行った。図Ⅲ.2.3.2.2-31 にその際の三相波形を示す。モータは回転したが、想定以上の高温になり試験を中断した。SiC 高速スイッチング時の高 dV/dt によってモータの静電容量を通してゼロ相電流が流れ、それによって発熱していることが原因として考えられる。また、ゼロ相電流によるゲート回路の誤動作によってアーム短絡が発生し、それが発熱の原因になっている可能性もある。SiC デバイスを低損失で駆動させるためには高 dV/dt 化は必須であるが、それに伴う誤動作対策が今後の課題である。



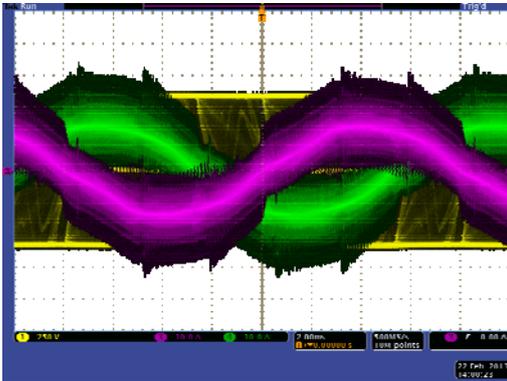
図Ⅲ.2.3.2.2-28 三次試作インバータ写真と分解イラスト



図Ⅲ.2.3.2.2-29 通電電流と JFET D-S 電圧波形



図Ⅲ.2.3.2.2-30 冷却フィン温度履歴



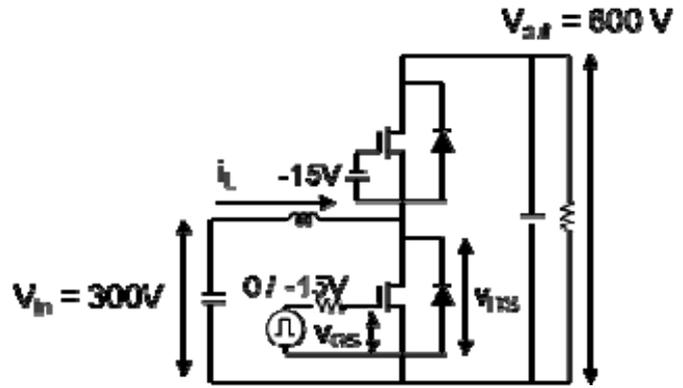
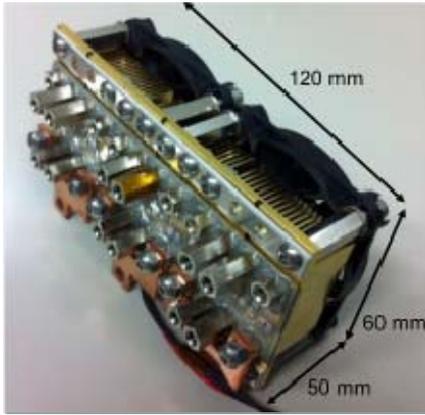
図Ⅲ.2.3.2.2-31 三相交流波形

(9)高周波 SiC チョップ回路の開発

SiC パワーデバイス(JFET、SiC-MOSFET)は、現状の Si-IGBT に対して低スイッチング損失という特長から、スイッチング周波数の高周波化による電力変換装置の高パワー密度化が期待できる。ここでは SiC パワーデバイスを用いて、高周波化による昇圧チョップの平滑リアクトルのインダクタンスおよび、サイズ低減について検証した。

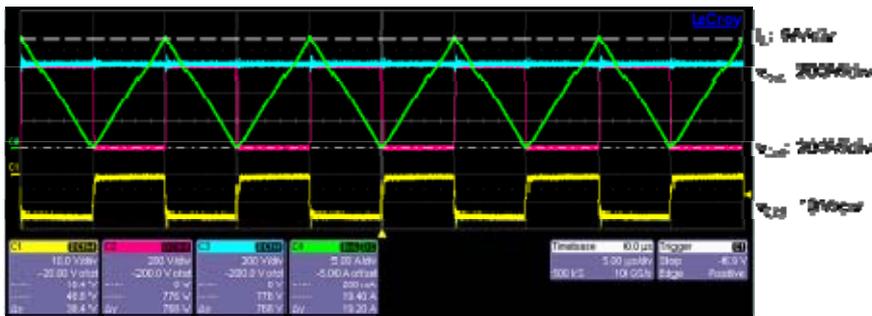
まず、All SiC 化により従来の Si-IGBT に対してスイッチング周波数の高周波化が可能であることを確認するために、1200V 50A 2in1 タイプの All SiC モジュール(SiC-JFET+SiC-SBD で構成)と Si-IGBT+SiC-SBD で構成したハイブリッドペアモジュールを試作し、それぞれの動作周波数の限界を実験で評価した。評価結果から、All SiC モジュールおよび、ハイブリッドペアモジュールの動作周波数限界はそれぞれ、100 kHz、22 kHz であることが分かり、SiC パワーデバイスは現状の Si-IGBT に対して 4.5 倍の高周波化が可能であることが判明した。この結果は、平滑リアクトルのインダクタンスを 1/4.5 に小型化できることを示す。

次に、SiC-JFET+SiC-SBD で構成した 1200V 150A 2in1 タイプの All SiC パワーユニットを試作し(図Ⅲ.2.3.2.2-32)、これを用いて、スイッチング周波数: 100 kHz、入力電圧: 300 V、出力電圧: 600 V の昇圧チョップを試作した。All SiC パワーユニット部の体積は 360 cm³ (12cm x 6cm x 5cm)である。図Ⅲ.2.3.2.2-33 は、昇圧チョップの等価回路を示す。平滑リアクトルのリップル電流は、±10 A とし、スイッチング周波数が 100 kHz であることから、インダクタンスの設計値は 75 μH とした。ここで、All SiC パワーユニットの冷却能力で制限される許容損失は 300 W であり⁽¹⁾、この回路条件における昇圧チョップの最大出力電力は 14 kW である。今回、フェライトコアを用いた定格電流 60A の平滑リアクトルを試作した。このリアクトルの体積は 668 cm³(10.6 cm x 9 cm x 7 cm)であり、All SiC パワーユニットの体積と組み合わせた昇圧チョップの体積は約 1 L となる。したがって、最大出力時のパワー密度は 14 kW/l である。図Ⅲ.2.3.2.2-34 は、スイッチング周波数: 100 kHz、出力電力: 3 kW の条件での昇圧チョップの各部の連続動作波形を示す。この時の All SiC パワーユニットの損失は 135 W であり、試算結果と一致した。今回の結果から、All SiC モジュールを用いることによりスイッチング周波数は従来 Si-IGBT に対して 4.5 倍の 100 kHz まで上昇できることが実証し、変換器の小型化に成功した。しかし、未だ昇圧チョップの全体体積に対して平滑リアクトルの体積が約 2/3 と大部分を占めており、磁性体材料を含めたリアクトルの小型化が高パワー密度化のために今後の重要課題であることが明らかとなった。



図Ⅲ.2.3.2.2-32 1200V 150A 2in1 タイプ
All SiC パワーユニット

図Ⅲ.2.3.2.2-33 昇圧チョッパの等価回路



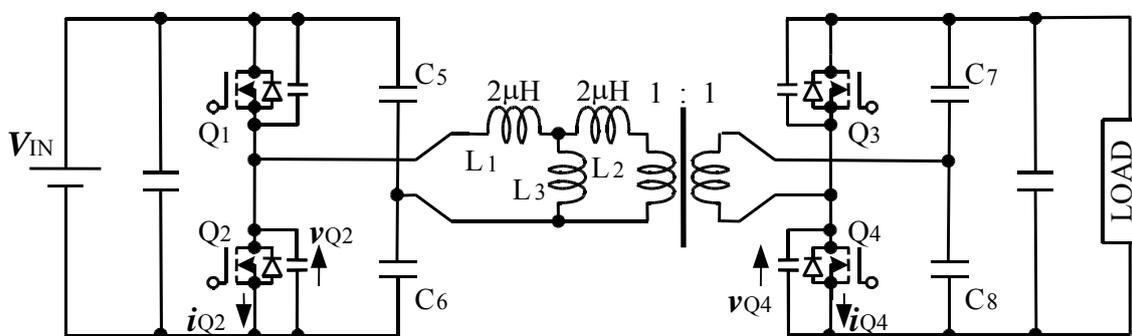
図Ⅲ.2.3.2.2-34 昇圧チョッパの各部の動作波形
スイッチング周波数: 100 kHz、出力電力: 3 kW

(10)ソフトスイッチング All-SiC 高周波絶縁 DC-DC コンバータ

インバータの評価において、ALL-SiC インバータが高周波スイッチングで安定して動作することが確認できた。この高周波スイッチングは、直流リアクトルを持つチョッパ、交流フィルタを持つ力率改善回路(PFC)や高周波トランスを持つDC/DCコンバータの小型化に有効である。

インバータ 2 次試作(NIJI)に用いたパワーモジュールを利用して、DC/DC コンバータを製作する。変換器の回路図および外形を図III.2.3.2.2-35 に示す。変換器は①直流-高周波変換器、②高周波-直流変換器と、図示しない高周波トランスから構成される。高周波でも安定に動作させるため、各変換器はハーフブリッジ構成とした。変換器はひとつのパワーモジュールと2個の平滑キャパシタで構成される。同図の各パワーデバイスに並列に接続されているキャパシタはロスレススナバであり、パワーデバイスを零電圧ターンオフさせる作用をする。同キャパシタはデバイスの寄生出力容量を利用するため、この部品の追加はない。

各パワーモジュールは上下アームを DUTY50%で交互にオンオフさせる。二つの変換器の位相を調整することによって、出力電力を調整する。また、本変換器はトランスの漏れインダクタンスとパワーデバイスの寄生容量の共振を利用した共振型変換器であり、無負荷も含めて全領域でソフトスイッチングを実現する。これにより、スイッチング損失が軽減される。



(a) 回路図



(b) 外形



(c) 主回路部分

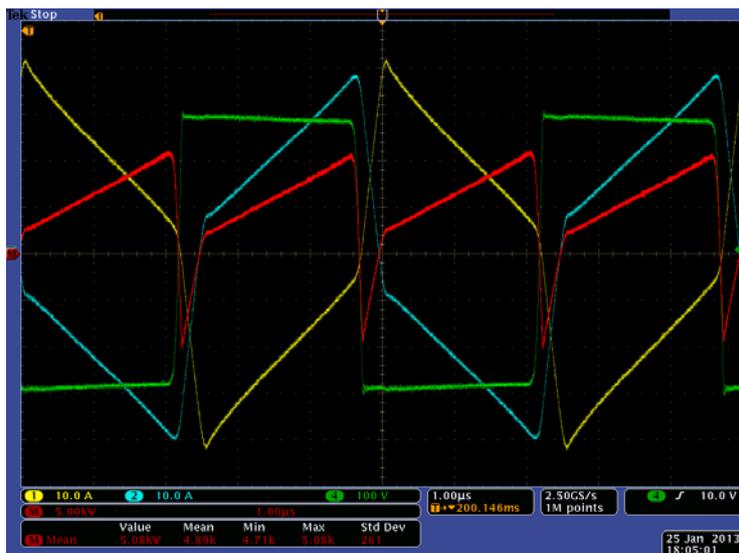
図III.2.3.2.2-35 All-SiC 高周波 DC/DC コンバータ

パワーモジュールに使う SiC デバイス(JFET および SBD)には、インバータ 2 次試作で用いた Semisouth 製のほかに、図Ⅲ.2.3.2.2-36 に示す日立製作所製 SiC デバイスも用いている。

図Ⅲ.2.3.2.2-37 は DC/DC コンバータの動作波形である。200kHz 動作であり、最大 40A の電流を流している。平均 5kW での動作を達成している。



図Ⅲ.2.3.2.2-36
日立製 SiC デバイスチップを
使った All-SiC パワーモジュール
SiC-JFET と SiC-SBD を
各 4 個内蔵する



図Ⅲ.2.3.2.2-37
DC/DC コンバータの
実験波形例
緑：トランスの 1 次電圧
青：トランスの 1 次電流
黄：トランスの 2 次電流
赤：トランスの 1 次電力
赤＝緑×青
平均電力：約 5kW

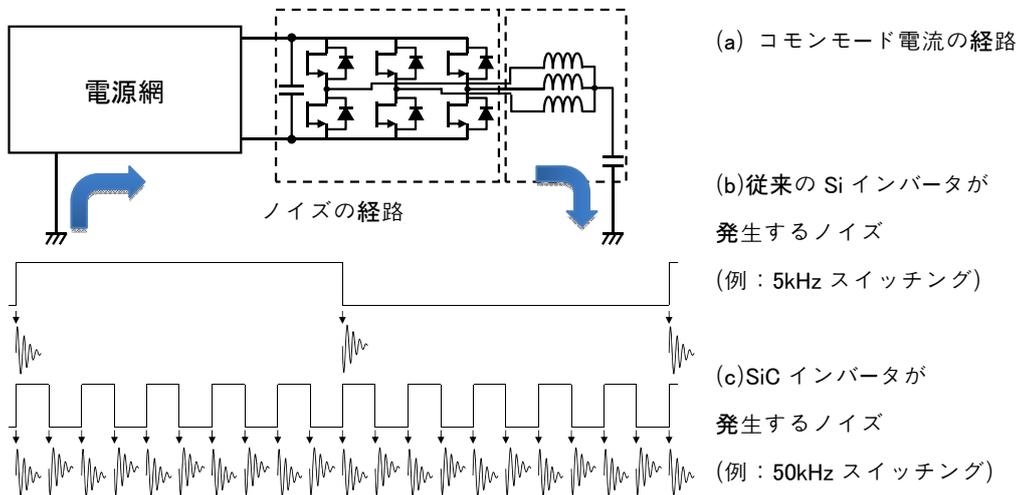
インバータ 2 次試作(NIJI=40kW/ℓ)は3個のパワーデバイスで構成された。すなわち、1パワーモジュールあたり 3.3kW の変換容量である。本 DC/DC コンバータを構成している①直流-高周波変換器、②高周波-直流変換器は、それぞれ1パワーモジュールで構成されており、5kW の動作を達成している。すなわち、1.5 倍の出力容量になる。本結果より、NIJI の 1.5 倍の 60kW/ℓ の見通しが得られた。

(11) EMI 対策

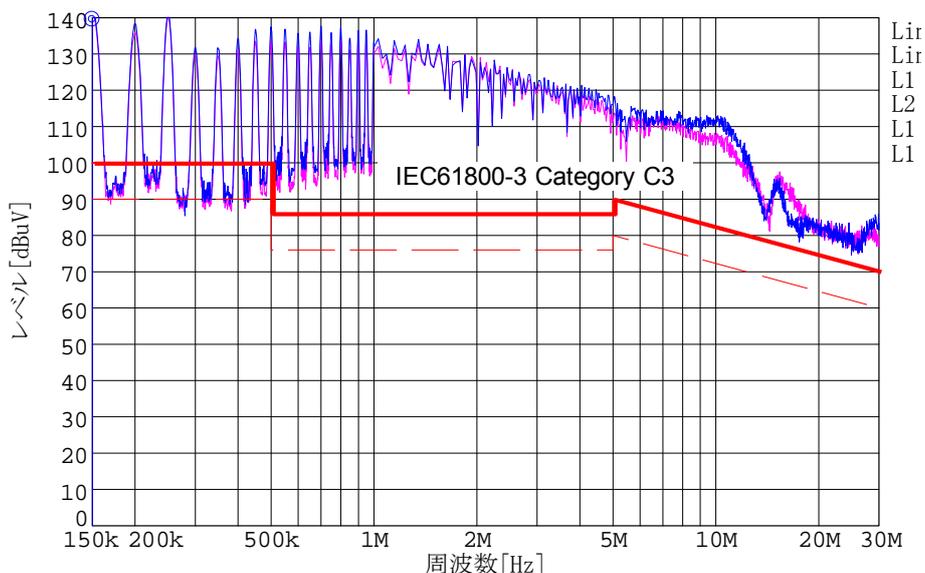
LC フィルタの小型軽量化につながるインバータの高周波スイッチングは、電力変換器の高出力電力密度化に有効である。しかしながら、有害な EMI ノイズが非常に大きくなる。

図Ⅲ.2.3.2.2-38 は EMI ノイズ発生の概念図である。EMI ノイズは電源から負荷に流れるコモンモード電流であり、インバータのスイッチング毎に発生する。高周波スイッチングにあつてはコモンモード電流の流れる回数が増え、さらに SiC インバータは高速にスイッチングによるスイッチング毎のコモンモード電流が大きいため、従来の Si-IGBT インバータよりも非常に大きな EMI ノイズになる。

図Ⅲ.2.3.2.2-39 は 50kHz でスイッチングする SiC インバータで誘導電動機負荷を動作させたときの、直流系統に発生するコモンモード電流の測定結果である。IEC 規格よりも 40dB=100 倍大きな EMI ノイズを測定している。

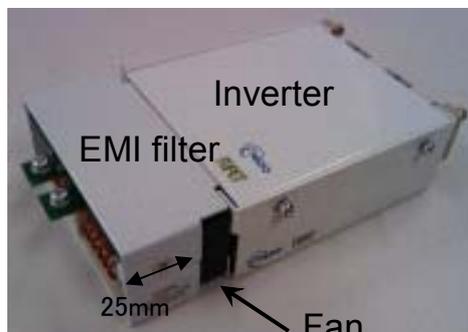


図Ⅲ.2.3.2.2-38 EMI ノイズ(コモンモード電流)の発生概念図



図Ⅲ.2.3.2.2-39 インバータ 2 次試作から発生する EMI ノイズ測定結果

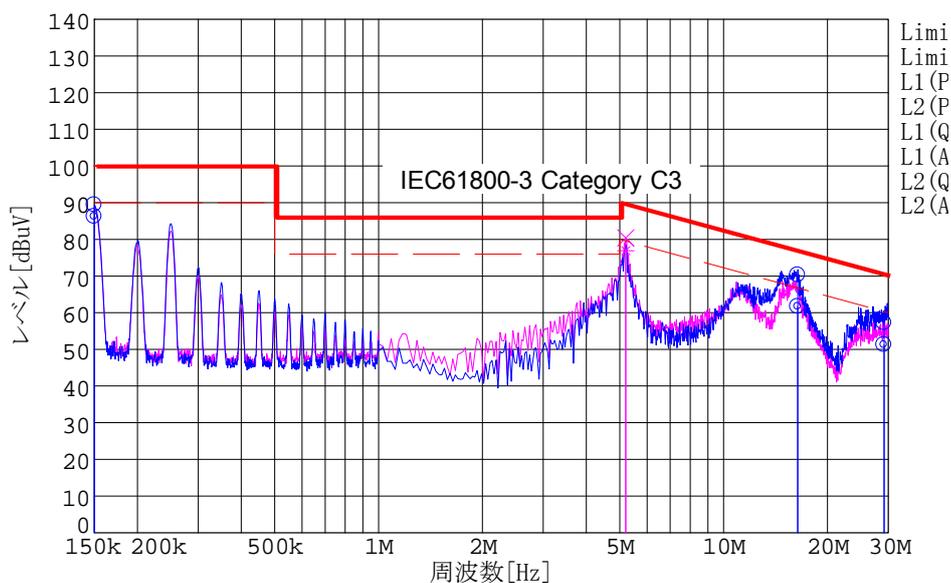
SiC インバータを高周波スイッチングで動作させるには、EMI ノイズの低減が必須である。そこで、SiC インバータの特性に合わせた EMI フィルタを開発が必要になる。



図Ⅲ.2.3.2.2-40 EMI フィルタ+インバータの写真

図Ⅲ.2.3.2.2-40 は開発した EMI フィルタの 3 次試作の写真である。

図Ⅲ.2.3.2.2-41 は EMI フィルタを組み込んだ SiC インバータの EMI ノイズ測定結果である。EMI ノイズの大幅な低減を実現し、IEC 規格内にいれることができた。



図Ⅲ.2.3.2.2-41 EMI フィルタ付き SiC インバータの EMI ノイズ測定結果

(12)まとめ

1) 目標の達成度

高パワー密度インバータの設計製造技術にたいし、3回の加速費による目標修正(引き上げ)を実施している。

平成22年度、出力電力密度の最終目標を25kW/ℓから40kW/ℓに引き上げるとともに、 $T_j > 200^\circ\text{C}$ での実負荷動作を目標に加えた。

平成23年度、高速・高周波スイッチングによるEMIノイズ増加への対策を目標に加えた。平成24年度、最終目標を60kW/ℓに引き上げた。

高出力電力密度を達成するために、SiCパワーデバイスの高温動作技術を開発した。200°C以上における信頼性の開発は2.3.2.1節で述べたとおりである。モジュールとインバータの構造設計、冷却設計、電気設計などの統合設計を構築した。40kW/ℓの高出力電力密度条件下で自己発熱と強制風冷却が200°C以上でバランスするように限界設計を行い、疑似負荷試験によってこれを確認した。さらに誘導電動機を用いた実負荷試験も実施した。これらにより、200°C以上での動作と40kW/ℓでの実負荷動作の目標を達成した。

高電力密度化を実現するために高周波スイッチングが必須になるが、この高周波スイッチングによって新たな問題として発生するEMIノイズについて解析を行い、EMIフィルタを開発した。高周波スイッチングにおいてもIEC規格をクリアするレベルまでノイズを抑制している。

さらなる出力電力密度の向上を目指し、ソフトスイッチング技術を用いた変換器の基礎実験を実施した。スイッチング損失の低減により同一のパワーモジュールで1.5倍の電力密度動作を実験により確認し、60kW/ℓの実負荷動作が実現した。また、40kW/ℓを実現した2次試作の三相インバータを改善した3次試作では、70kW/ℓでの疑似負荷動作を達成した。

2) 成果の意義

高温動作にあたっては、高温デバイス特性収集とパワーモジュールの冷却設計技術を構築した。出力電力/変換器容積となる高電力密度にあたっては、出力電力の限界値の設計と変換器の小型化設計を実施した。すなわち成果は、高温・電力密度のポイントだけに留まらず、様々なニーズに対応する拡張性を持っている。

ほぼすべての成果について、電力変換器の試作を実施し、実機動作で検証して設計の正しさを確認した。

なお、SiCインバータの設計・評価・実証にあたり、共同実施となる4大学と協議を重ねて、様々な助言をいただいた。特に、(5)統合設計技術、(6)インバータ1次試作、(7)インバータ2次試作の部分では、千葉大の佐藤教授よりスイッチング周波数と直流リンクコンデンサの容量選定に対する助言をいただき、設計に反映させた。

(10)All-SiC高周波絶縁DC-DCコンバータでは、東工大の赤木教授より回路方式の選

定と回路定数の設計に対して、島根大学の山本准教授より高周波化と絶縁トランスの設計に対して、それぞれ助言をいただいた。(11)EMI対策では、ノイズの評価方法と対策に対して首都大の清水教授より助言をいただいた。

3) 知的財産権の取得

高温信頼性技術開発を含め、平成25年2月末までに6件の国内出願、1件の外国出願を行った。

4) 成果の普及

本サブ課題で得られた成果は、成果がでた時期にほぼオンタイムで学術講演会や論文等で広報され、そのときどきに高い評価を獲得した。CEATEC やナノテク展 (NEDO ブース)などに実機を添えて出展するとともに、プレスリリースを通してマスメディアや業界外の潜在アプリケーションユーザに向けて技術を積極的にアピールした。また、インターネプロンやセミコンジャパンなどの国際展示会専門セミナーや大学から招かれ、最新成果を盛り込んだ講義で好評を博した。商業雑誌2誌でも成果を報告した。

2.3.2.3 高温実装基盤技術

電力変換器の高密度化は、これまでの Si デバイスの場合大きな体積を占めていた冷却器の高温動作による小型化、高周波動作による受動素子の小型化、使用部品の高密度実装などが考えられる。ただし、これらを実現するには受動素子の高温特性・耐高温性、高温・大電流密度となるデバイス接合信頼性、高周波動作のための回路設計などにも注意を払う必要がある。

従来の Si パワーデバイスを用いたモジュールでは、電気的な接合を形成するため、デバイスの片面をダイボンディングし、反対側をワイヤーボンドの構造が一般的である。SiC パワーデバイスを用いる場合、SiC パワーデバイスの高温動作により冷却器を小型化できるが、冷却が片面であるため、廃熱の熱フラックスが制限される。また、ワイヤーボンドは、高温・大電流環境での使用に問題を生じる可能性があるため、将来の SiC パワーデバイスの大電流密度化を見据えた対策が必要である。

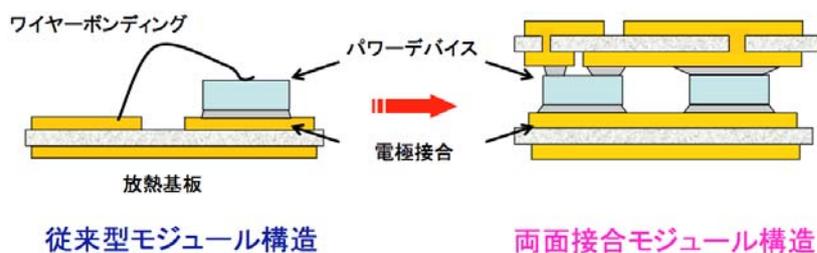


図 III.2.3.2.3-1 従来モジュール、および、両面接合モジュールの模式図

これら冷却、大電流密度化の課題を解決するため、SiC パワーデバイスの両面に対し電極接合を形成する、両面接合パワーモジュールが有る(図 III.2.3.2.3-1)。両面接合パワーモジュールの場合、パワーデバイスの両面に冷却器を設置することができるため、パワーデバイスからより大きな熱フラックスを抜くことができる。さらに、高温接合信頼性・ハンドリングできる電流密度等で問題が起こりうるワイヤーボンディングを排することが可能であり、更に、受動部品の近接高密度配置・還流電流を意識した回路設計等にも対応でき、将来のパワーモジュールには不可欠の技術と考えている。

研究は、主に設計技術と接合技術に分けて行なった。設計では、高温動作電力変換器を前提とした両面接合モジュールを実現するため、3次元 CAD によるモデル作製を取り入れ、繰り返し熱応力が小さくなるように寸法の小さなモジュールにおいて、発熱による相互干渉を抑えるためのデバイス配置に注力した。更に、このモデルを元に、高周波動作の際問題となる、低インダクタンス化に取り組んだ。接合技術では、まず基盤となるダイボンディング技術に取り組み、信頼性/問題点を明らかにするとともに、将来より高温動作を目指す際に必要となる拡散バリアについて研究を進めた。次に、両面接合モジュール実現のための技術として、2種類の焼結接合、デバイスチップの非

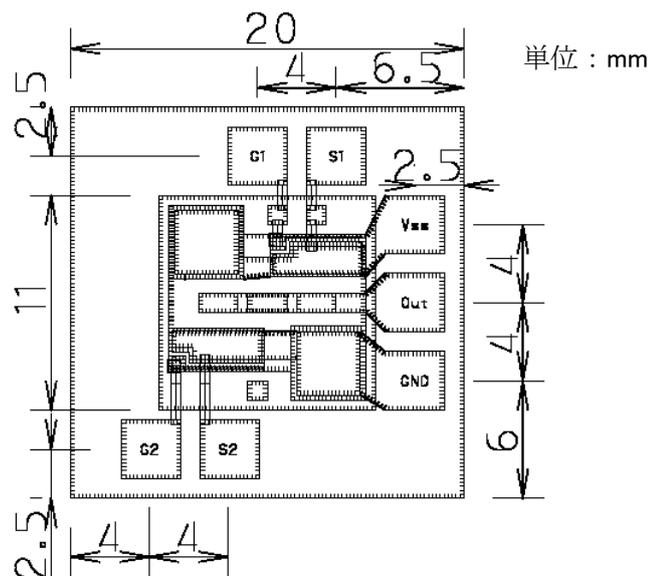
AI 電極化、作製プロセス中の Ni 拡散を抑える2種類の下地作製技術について技術開発を行い、ダイボンド技術と組み合わせることにより、両面接合パワーモジュール構造作製技術を構築し、 $-40\sim 250^{\circ}\text{C}$ 冷熱サイクル試験により熱的な信頼性を、DC 特性評価により電気的な接合を確認した。

研究の実施にあたり、当初計画にはなかった両面モジュール作製実証を達成するため、加速予算を活用した。

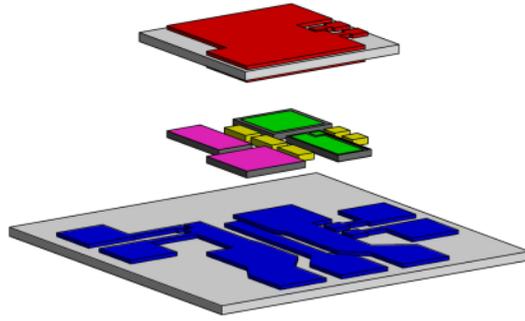
(1)高温動作モジュール設計技術の検討

(1)-1 3次元CADによるモデル作製/設計技術

SiC パワーデバイスを用いた高温実装技術の検証モジュール回路設計を行った。モジュールは 2 in 1 のハーフブリッジ回路で構成されており、SiC パワーデバイスを両側から回路基板で挟み込むサンドイッチ型の 3 次元構造を有する両面接合モジュールである。高温実装に必要な技術課題の抽出を行うため、一つのモジュールの中にシンター材料を使用したフリップチップボンディング、高温はんだを使用したリフローダイボンディングを行う工程を想定した設計とした。モジュールの設計には従来用いていた 2 次元 CAD ではなく、3 次元対応回路 CAD(図Ⅲ.2.3.2.3-2、図Ⅲ.2.3.2.3-3)を用いた。3 次元対応回路 CAD では、回路パラメーターシミュレーション、熱構造解析シミュレーション、基板レイアウト作製などのシミュレーションソフトウェアにて取り扱える形式で出力が可能であるため、設計プロセスの効率化がはかれる。



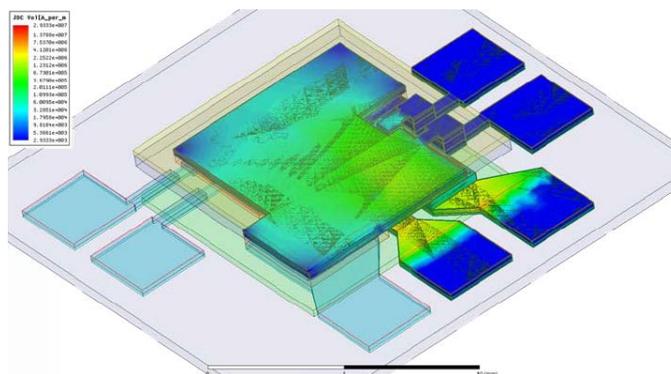
図Ⅲ.2.3.2.3-2 回路レイアウト 2次元表示



図Ⅲ.2.3.2.3-3 3次元表示

(1)-2 回路パラメータ抽出

SiC パワーデバイスを用いたモジュールにおいて、高出力パワー密度化動作を行なうため、設計モジュール内のループインダクタンスを、事前検討により評価し、小さく抑えることが重要である。そのため、3次元 CAD で設計したモジュール構造データを、電子部品向け寄生パラメータ抽出ソフトウェア ANSYS Q3D Extractor に入力し、設計したモジュールの回路の DC 電流分布評価(図Ⅲ.2.3.2.3-4)を経て、寄生インダクタンスを評価した。目標とする In-Out 間のインダクタンスは、SiC パワーデバイスのスイッチング速度を 40V/ns と仮定しサージ電圧が電源電圧の 1.5 倍程度となる 10nH とした。両面接合構造では、ワイヤーボンディングに比べ配線長を短く抑えることができるだけでなく、組み立て装置精度(本プロジェクト中の現状値では±5μm)にて、配線(電流パス)の位置を制御できる。これにより、設計したモジュールでは、両面接合という構造のため、目標値に比べ 1/4 以下となる、2.4nH@DC/1.6nH@10MHz を達成できる見込み出ることがわかった。



図Ⅲ.2.3.2.3-4 パラメーター抽出例：DC 電流密度分布

(2) 高温接合技術の検討

(2)-1 ダイボンド(高温はんだ接合)技術

SiC パワーデバイスを用いた電力変換器の小型化の最も重要なポイントは、高温

動作による冷却機構の簡略化・小型化である。パワーデバイスは、最も温度の上昇する部品で、これを他の部品に接続することなしに、パワーモジュールを構成することはできない。このため、SiC パワーデバイスを想定した 200~250°C で利用可能な接合材料は重要である。250°C 以上に使用可能なはんだは主に Au-Si と Au-Ge 共晶はんだである。Au-Ge はんだは Au-Si はんだより濡れ性が良いので、高温はんだとして有利である。真空リフロー炉を用い、2.2mm 角の SiC-SBD デバイスを Si_3N_4 (320 μmt)/Cu(300 μmt)/Ni(P)(5 μmt)/Au(0.05 μmt) 構造の AMC (Active Metal Brazed Copper) 配線基板に Au-Ge 共晶はんだで接合した(図 III.2.3.2.3-5)。デバイス裏面電極表面は Ni/Ag でメタライズされている。リフローピーク温度は 410°C であった。Au-Ge 共晶はんだ/AMC 基板の界面に生成した金属間化合物は接合の信頼性を決める。Au-Ge 共晶はんだによる接合の寿命を予測するために、各温度におけるはんだ/AMC 基板の界面に生成した金属間化合物の成長を観察した。接合した試料は 200°C、250°C、300°C、330°C の温度下で、高温保持試験を行った。微小部 X 線回折(μXRD)で 330°C、100 h 放置後の試料の断面分析を行った。また、エネルギー分散型 X 線分光法(EDX)により界面に生じた各層の元素も分析した。元素分析と μXRD 分析結果によると、はんだ側から Cu 配線基板までの順番で各層はそれぞれ Au-Ge はんだ、Ni-Ge、 Ni_5Ge_3 、 Ni_3P 、Ni(P)、Cu 配線基板であることが分かった。金属間化合物の成長は主に Ni_5Ge_3 の成長によって決められ、Ni-Ge 金属間化合物の成長に伴い、Ni(P)酸化保護層が消耗される。Ni(P)が消耗してしまうと、その下にある Cu 配線の酸化が始まり、接合強度に深刻な影響を及ぼすため、これを接合の寿命と考えることができる。表 III.2.3.2.3-1 に、 Ni_5Ge_3 の成長によって Ni(P)保護膜が無くなるまで時間を、200°C~330°C の範囲でまとめた。表に示す通り、330°C では 400 時間程度で Cu の酸化が始まるが、温度を 250°C とすることにより、約 24 倍遅くすることができ、9600 時間となることが明らかになった。

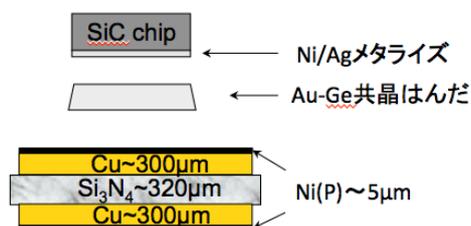


図 III.2.3.2.3-5 SiC チップ / AMC 配線基板の断面模式図

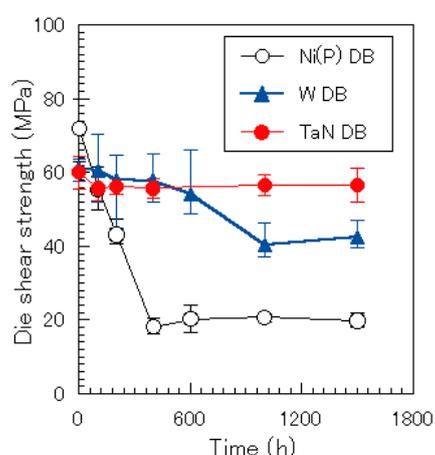
表III.2.3.2.3-1 200～330℃における Cu 配線層の酸化が始まるまでの時間。

Temperature(°C)	200	250	300	330
Time (h)	17500	9600	1800	400

(2)-2 高温はんだ拡散バリア

従来の Ni(P)層は Pb フリーはんだと Cu 配線の酸化保護層としては効果があるが、上記の研究では、Au-Ge 等の高温はんだについては、Ge と Ni の反応が問題となることが示された。このため、将来の 250℃を超える温度領域で接合の寿命を担保するためには、Ni と Ge の反応を抑制する、高温はんだ拡散バリアの開発が必要である。パワーエレクトロニクス素子の電極と接合する拡散バリアは低い電気抵抗と高い熱伝導率が必要な上、高温においては Au-Ge はんだと Ni(P)とは安定に共存する性質が必要となる。即ち、この拡散バリアは Au、Ge、Ni、P との固溶度が低く、できるだけ金属間化合物が生成しなく、または、金属間化合物が生成しても、拡散バリアとしての効能があることが必要となる。状態図及び拡散データを調べた上で、第1の候補として、タングステン(W)は各要求に満たす金属であると分かった。また、第2の候補として、TaN は良好な導電性を有し、Ge、Au、Ni と長い時間でも共存できることが分かった。従って、TaN は Au-Ge はんだと Ni(P)の拡散バリアとして有望と予測される。一方、TaN とはんだ及び Ni(P)層の接合強度を向上させるため、Ta/TaN/Ta 拡散バリア構造とすることにした。W 及び Ta/TaN/Ta 拡散バリア効果を検討するために、スパッタリングにより AMC 基板の Ni(P)層に、それぞれ 0.2 μm 厚みの W 層と Ta/TaN/Ta 層構造を持つ 2 種類の試料を作製した。そこに、2.2 mm 角の SiC-SBD チップを Au-Ge はんだで接合した。接合した試料を 330℃、空気中において高温放置し、接合の信頼性についてシェア強度を評価した。図III.2.3.2.3-6 はデバイスの接合強度の高温保持時間依存性を示す。比較のため、従来の Ni(P)層を設けた AMC 基板の上に接合したデバイスの接合強度も同じ図にプロットした。Ni(P) 拡散バリアを有する試料は、高温放置の初期段階では、そのダイシェア強度が高温放置時間の増加に伴い Ni-Ge 金属間化合物は早く成長し、接合強度は低くなった。これに対して、W 拡散バリアを設けた AMC 基板に接合したデバイスの接合強度が 40 時間まで高い値を維持したままほぼ変化しなかった。その後、接合強度が若干低減したが、その変化は緩やかで、1000 時間以降の接合強度も、通常の AMC 基板に接合したサンプルに比べ、2 倍以上の値を示した。一方、Ta/TaN/Ta 拡散バリアを設けた AMC 基板に接合したデバイスの接合強度が実験範囲の 1000 時間を経過しても、高い値を維持したままほぼ変化せず、W 拡散バリアに比較しても良い結果を示した。SEM/EDX 分析の結果によると、W 拡散バリアでは、300℃、1000 時間経過後、W 層の欠陥あるところで Cu と Au-Ge はんだとの相互拡散が観察されたが、ほとんどの部分では W 層により、相互拡散が抑制されていた。Ta/TaN/Ta 拡散バリアにつ

いては、SEM/EDX 及び TEM/EDX 分析を行なったが、W 拡散バリアに見られた欠陥は観察されなかった。また、電気抵抗については、W 拡散バリアと Ta/TaN/Ta 拡散バリアを作製したサンプルモジュールに対して、実験開始前と各測定時間において評価を行なったが、実験時間内(1800h)の変化は観察されなかった。以上より、W 拡散バリア、Ta/TaN/Ta 拡散バリアについて、Au-Ge はんだと Ni(P)層との相互拡散防止のため、比較実験を行い、特に Ta/TaN/Ta 拡散バリアを導入することにより、330°C を超える温度領域においても、高温接合信頼性を著しく改善することができ、これは 200~250°C の温度領域においても、大きな改善が期待できることを示した。



図III.2.3.2.3-6 Ni(P)/W、Ni(P)/Ta/TaN/Ta 拡散を用いた接合の、ダイシヤ強度の 330°C 放置時間依存性。比較のため、Ni(P)酸化防止層のみの結果をあわせ示す。

(2)-3 フリップチップ接合技術

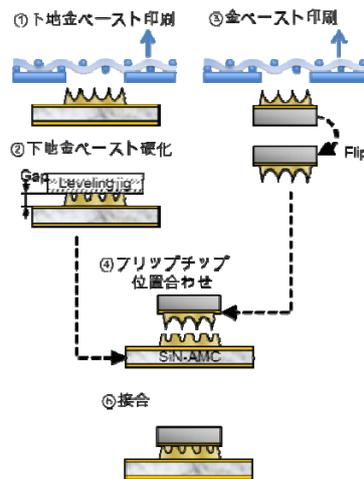
両面モジュールの組み立てプロセスでは、SiC チップの両面への接合が必要となる。3端子デバイスである、FET への接合形成においては、第1の面はドレイン電極のみで、現在においてもダイボンディングによる接合が実用されているが、第2の面については、ゲート・ソース電極が存在し、それぞれに接合を形成する技術が必要となる。

SiC パワーデバイスは、ゲート電極が小さくゲートとソース間の距離が狭いため、ぬれ広がり of 接合材料を用いて、位置精度良くデバイスを基板に接合することが求められる。はんだでは融点以上で溶解した時に必ずぬれ広がり存在し、このぬれ広がりがゲート/ソース間のショートの原因となる可能性がある。このため、接合材料としてははんだではなく、後述のシタ材料を用いることを想定し、プロセスを設計した。また、ゲート/ソースを正確にアライメントするため、フリップチップボンダを用いた接合技術を開発した。



図Ⅲ.2.3.2.3-7 フリップチップボンダ

図Ⅲ.2.3.2.3-8 に、フリップチップ接合技術／シンター接合材料を用いたソース／ゲート電極の位置合わせ接合プロセスを示す。図に示す通り、基板、チップの両方、もしくは、どちらかにシンター材料のペーストを、スクリーン印刷により、塗布を行なえるよう、組み立てプロセスを設計した。組み立てには、フリップチップボンダ(図Ⅲ.2.3.2.3-7)を用いた。フリップチップボンダには、上部／下部ステージが装備されており、それぞれに基板／SiC チップを搭載し、位置精度 $\pm 5\mu\text{m}$ で、 x, y, θ のアライメントが可能である。また、各ステージにはパルスヒーターが装備されており、どちらも 400°C まで加熱可能である。更に、上部ステージには、最大 100N の荷重を印加できる。これら要素技術を組み合わせ、チップを必要な回数、逐次フリップ接続することにより、複雑な両面接合モジュールの組み立てプロセスを設計した。



図Ⅲ.2.3.2.3-8 ソース／ゲート電極の位置合わせ接合プロセス

(2)-4 Cu/Sn 粉末ペーストを用いた遷移的液相焼結による接合

Au-Ge 等の高温はんだでは、200~250°Cの動作温度において、電極接合の高い信頼性を既に達成しているが、FET のゲート/ソース等、近接した複数の電極接合を形成は、はんだであるが故、ぬれ広がり問題となり、短絡の危険がある。また、モジュールを作製するプロセスを考えると、接合プロセスを複数に分けると作製プロセスが容易となるが、はんだで全てのプロセスを構成する場合は、各プロセスごとに Au-Ge のように高い信頼性を有する高温はんだが必要となるが、高温環境下で使用可能なはんだの種類が少ないため難しい。これらを解決する接合材料として、焼結接合が考えられるが、プロセスや高温信頼性の点で十分でなく、これらの開発が重要である。両面モジュールのゲート/ソース電極接合を行うため、CuSn 粉末ペースト、および、サブミクロン金ペーストについて検討を行った。

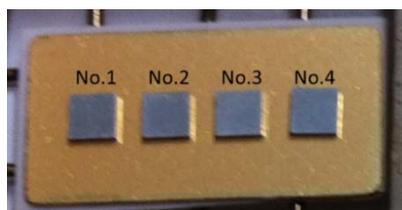
遷移的液相焼結法(TLPS: Transient Liquid Phase Sintering)は低いプロセス温度で焼成すると、化学反応により融点が高い化合物となるため、焼成温度で再熔融する可能性はなく、高温で動作する SiC パワーモジュールの組み立て、特に両面実装プロセスに都合が良い。Cu-Sn の TLPS による接合は、260~300°Cの焼結温度に対して、融点 415°Cの Cu_6Sn_5 、そして、融点 670°Cの Cu_3Sn による接合が形成可能である。Cu と Sn の金属粉末を混合ペーストを出発ペーストとして、これを AMC 基板上にポッティング、260°C、 N_2 雰囲気において SiC パワー素子を $\text{Si}_3\text{N}_4/\text{Cu}/\text{Ni(P)}/\text{Ag}$ 基板にダイボンディングした。SEM/EDX、EPMA 等分析によると、Cu と Sn の液体-固体の遷移的拡散反応により高融点の($\text{Cu}_6\text{Sn}_5 + \text{Cu}_3\text{Sn} + \text{Cu}$)金属組織が得られ、接合を 300°Cに高温保持すると、 Cu_6Sn_5 が Cu と反応し、 Cu_3Sn 相になることがわかった。また、TEM/EDX 分析により、Cu-Sn と AMC 接合界面には、 Ni_3P 層が生成することが確認されたが、その成長速度は大変遅く、300°C、1800h を経過しても、 Ni(P) 層が約 $1\ \mu\text{m}$ 消耗する程度で、Au-Ge はんだと AMC 基板の場合と比較すると 1/5 程度であり、すなわち、 Ni(P) が残存していることが寿命であるとすれば、5倍以上の寿命を持つ可能性があることがわかった。-40~250°Cの冷熱サイクル 500 サイクル後、SiC-SBD の接合強度(シヤ強度)は冷熱サイクルによらず、約 50MPa の値を維持していた。

(2)-5 サブミクロン金ペースト

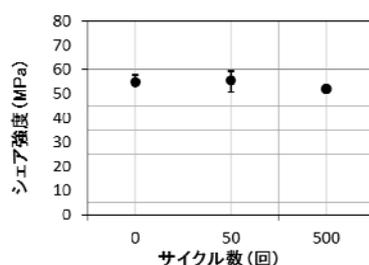
ぬれ広がりのない単純な焼結材料として、Au ナノペーストを用いた接合作製技術を開発し、評価した。Au ナノペーストは、焼結温度が比較的低温の 250°Cで行なえるだけでなく、材料の性質上、酸素濃度制御も不要で、接合構造の実証には適した材料である。

開発したプロセスは、回路基板電極上に金ペーストをスクリーン印刷で塗布し、フリップチップボンダ装置を用いて加熱して接合するものである。接合条件は 250°C

で2分間の加熱のみを行い、加圧は行わない。基板電極表面に SiC-SBD を4チップ逐次接合を行った基板およびチップの外観写真を図III.2.3.2.3-9に示す。はんだ材で接合した場合と異なり、チップの周りに金ペーストがはみ出していないことが分かる。パワーデバイスの使用環境を想定して $-40\sim 250^{\circ}\text{C}$ の冷熱サイクル試験を行い、接合強度をシエア試験によって確認した。各試験チップ数は3個である。接合直後のシエア強度は55MPa程度の接合強度であった。さらに500回までの $-40^{\circ}\text{C}\sim 250^{\circ}\text{C}$ の冷熱サイクル試験でも接合強度の低下は見られなかった(図III.2.3.2.3-10)。



図III.2.3.2.3-9 基板に接合した SiC-SBD チップ接合



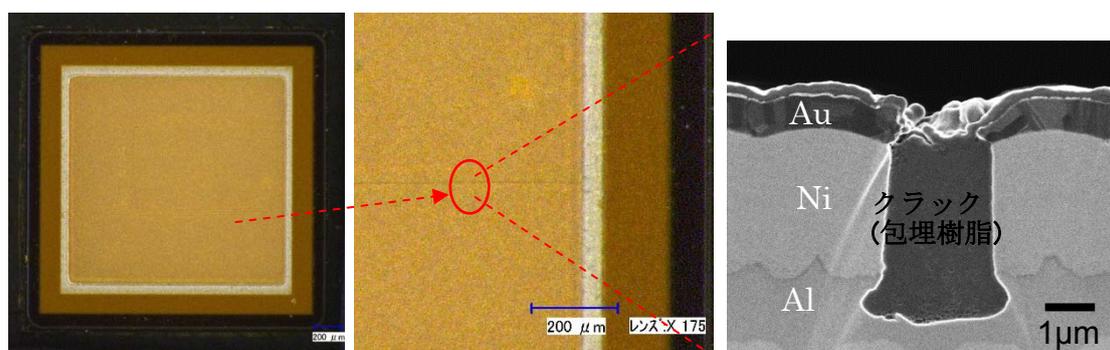
図III.2.3.2.3-10 シエア試験結果

(2)-6 ソース/ゲート Al 電極置換技術

現在の SiC パワーデバイスの高温接合技術では、主に高温はんだを用いている。SiC パワーデバイスの電極は両面に有り、はんだ接合を想定した Ag 電極と、Al ワイヤボンディングを前提とした Al 電極となっている。Al 電極は、表面に酸化アルミが存在し、はんだやシンター材料で接合することが難しい。両面接合を作製するためには、この Al 電極を Au 電極等に置換することが必要である。この目的のため、SiC パワーデバイス向けに、Al 電極を Au 電極に置換する技術を開発した。具体的には、チップの酸化層を含むアルミ電極に対し、ジンケート処理により Zn を析出させ、その後ニッケルメッキおよび金めっきによる金表面被膜を形成した。

この処理の信頼性評価のために $-40^{\circ}\text{C}\sim 250^{\circ}\text{C}$ の冷熱サイクル試験を行った。500回の冷熱サイクル試験を行なった試料を観察したところ、表面被膜にクラックが観察された。クラックは、実験で用いたデバイスの $1.7\text{mm}\square$ 電極に対し、4~5本程度であった。デバイス特性への影響を調べるため、その断面を SEM で観察したと

ころ、クラックはアルミ内部で止まっていたことから、デバイスへの影響は無いものと考えられる(図Ⅲ.2.3.2.3-11)。クラック発生の原因については、新規のプロセスであるため詳細な調査が必要であるが、ジンケート処理の際の欠陥が原因で、そこが弱点となり冷熱サイクル試験においてクラックが発生すると推察している。



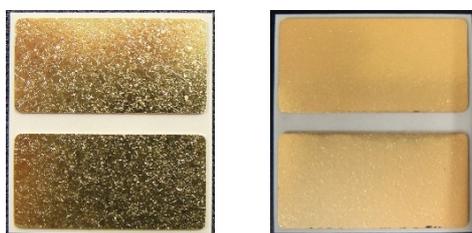
図Ⅲ.2.3.2.3-11 表面の Al 電極を Ni/Au 置換した SiC デバイスに乗じたクラックの観察結果。クラックは Al 内部にとどまっている。

(2)-7 Ni 拡散抑制技術①-下地厚 Au メッキ

パワーデバイス用放熱基板は、セラミックスの母材に対し、回路配線層として Cu 層が接合されている。上記の通り、Cu 回路配線層には、高温環境下で酸化するのを防ぐため Ni(P)メッキが、更に、接合材料との濡れ性を確保/酸化防止のため、薄い Au のメッキ膜を用いることが多い(図Ⅲ.2.3.2.3-5)。しかし、この Au 膜は薄く、被覆性も完璧ではないため、また、高温環境下で Ni が Au 表面に拡散してくる。接合プロセスにおいて、経過時間が短い範囲では、はんだやシンター材料による接合が可能であるが、時間が経過してくると Ni の酸化により、接合が難しくなる。特に、フリップチップボンダによる接合では、逐次接合プロセスとなるため、複数チップを逐次接続する場合、後に接合を実施するチップの部位ほど、Ni の拡散/酸化が進行するため、接合が難しくなる。ここでは、この原因を表面 Au メッキ層(膜厚~50nm)が薄いことが原因と考え、Au メッキ層の厚さを 0.9~2.0μm 程度と増加させる方向で変化させ、検証を行った。

実験は、通常の AMC 基板(Si-N 基板/Cu~300μm/Ni(P)~5μm/Au~50nm)に対し厚付け金メッキ(図Ⅲ.2.3.2.3-12)を行い、これに対する接合特性を実験的に検討した。試料には、厚付け金めっきをそれぞれ 0.9 μm、1.2 μm、2.0 μm 行った基板を用意し、300° C の温度で所定の時間アニールを行った。アニール後の基板に金ペーストをディスプレイペンサでポイント塗布して焼結し、接合不良となる時間を調査した(表Ⅲ.2.3.2.3-2)。その結果、2 μm 厚の金めっき処理を行うと、300° C で 2 時間以上の加熱でもシンタ接合が可能であり、フリップチップボンダでは、20 式以上のチップ

を逐次接合可能な十分な時間であることがわかった。



図Ⅲ.2.3.2.3-12 厚付け金処理前(左)、後(右)

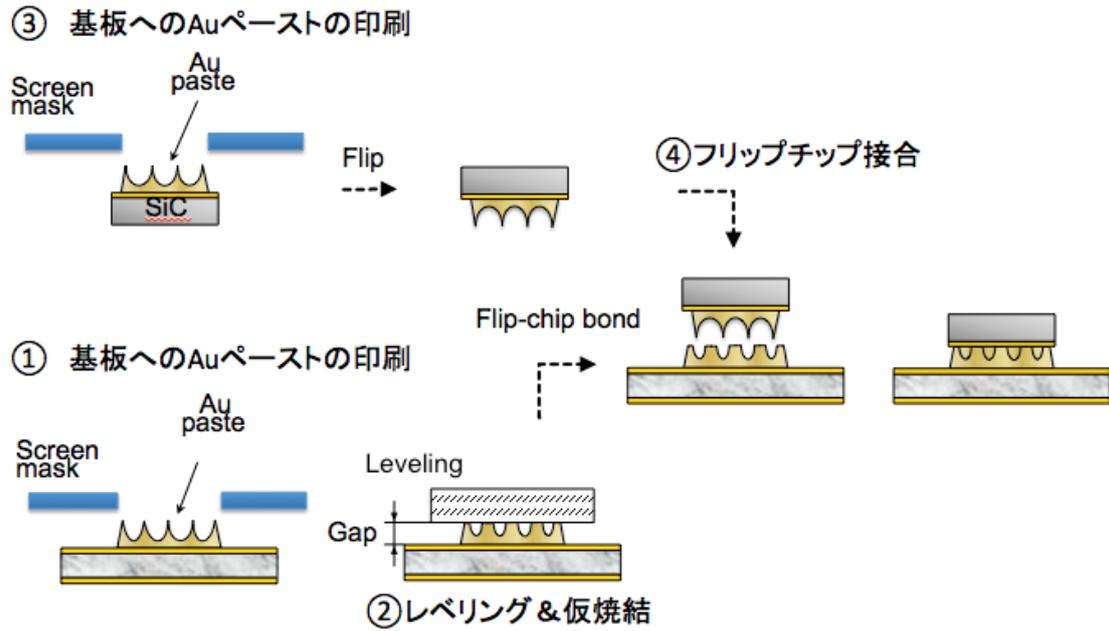
表Ⅲ.2.3.2.3-2 アニール時間と接合可否

表面処理	アニール時間(分)				
	0	2	60	90	120
フラッシュ金	○	×			
厚付け金 0.9um	○	○	○	×	
厚付け金 1.2um	○	○	○	○	×
厚付け金 2.0um	○	○	○	○	○

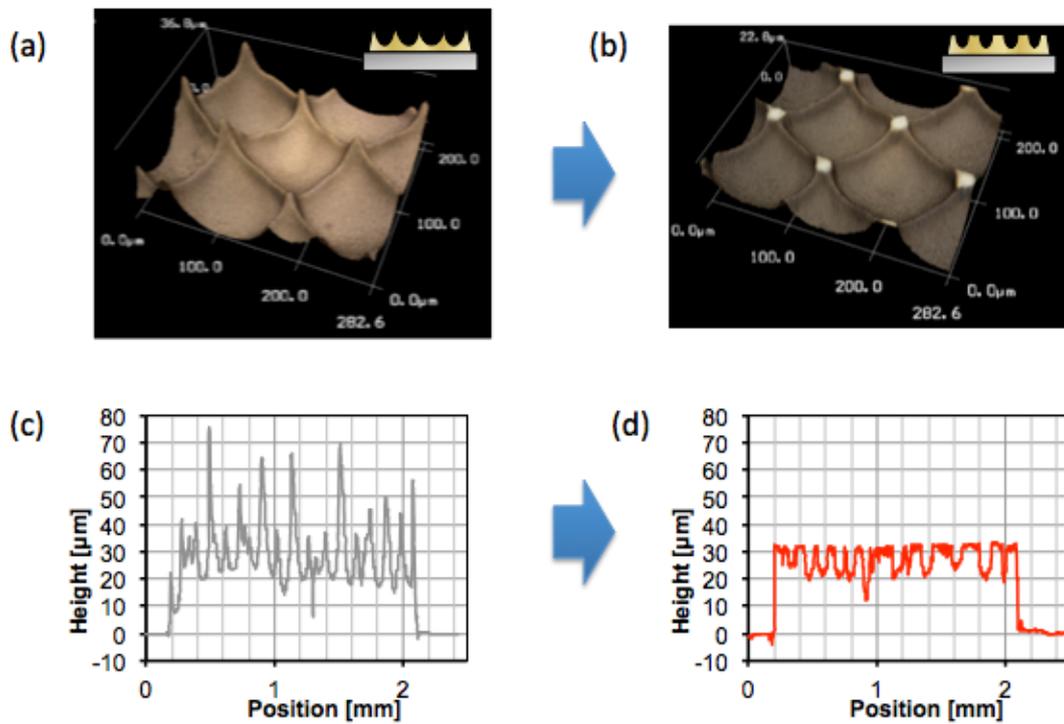
○:接合良 ×:接合不良

(2)-8 Ni 拡散抑制技術②-下地 Au ペースト

上記厚付けのメッキでは、回路基板材料や回路パターンによっては、Au 異常偏析によるめっき不良が発生するという問題があった。また、ウェットプロセスであるので、本質的に基板の絶縁部分への金属コンタミの発生や、処理時間が長いなどの問題も考慮しなければならない。そこで、厚付けのメッキの代替プロセスとして、事前に回路基板側に金ペーストを印刷塗布／仮焼結するプロセスを開発した。このプロセスにより、回路基板の厚付け金めっき処理が不要で、かつ接合時の金ペーストの広がりも抑制可能な方法を開発した。

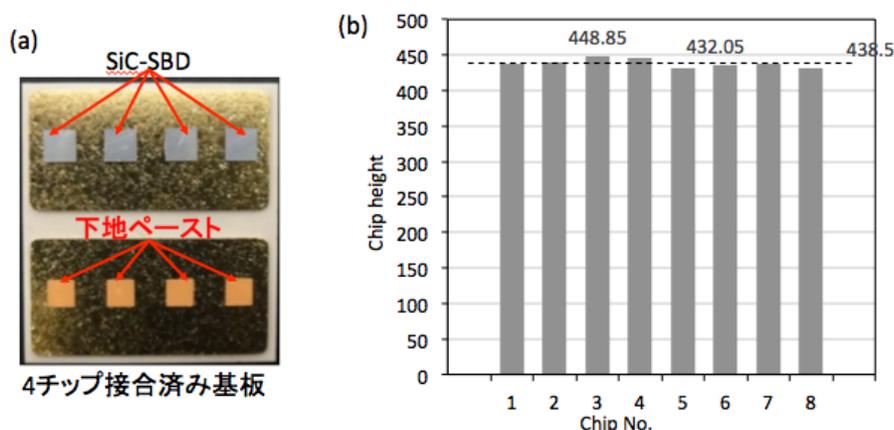


図Ⅲ.2.3.2.3-13 下地 Au ペーストを用いた接合プロセス



図Ⅲ.2.3.2.3-14 レベリングプロセス。(a)(c) レベリングプロセス前のレーザー顕微鏡観察結果、及び、粗さプロファイル。(b)(d) レベリングプロセス後のレーザー顕微鏡観察結果、及び、粗さプロファイル。

図Ⅲ.2.3.2.3-13 に開発したプロセスを示す。まず、基板に Au ペーストパターンをスクリーン印刷により形成する。基板電極に高粘度・高密度の金ペーストをスクリーン印刷すると、印刷されたペーストにスクリーンマスクに起因する突起が形成される(図Ⅲ.2.3.2.3-14(a)(c))突起は、高さがまちまちで、最終的な接合材料の不均一をもたらす可能性があるため、治具を用いて高さを揃えた状態(図Ⅲ.2.3.2.3-14(b)(d))で仮焼結を行い、金ペーストを硬化させる。フリップチップ接合の際にはこの下地 Au ペーストに対してチップを重ね合わせて接合を行う(図Ⅲ.2.3.2.3-15(a))。これにより、自動的にチップと基板のギャップ調整が可能となり、プロセスが簡便となる。図Ⅲ.2.3.2.3-15(b)背面高さばらつきを示す。8個のサンプルの平均高さ 439 μm に対し、最高 449 μm 、最低 432 μm と 20 μm 以下の高低差を達成できた。

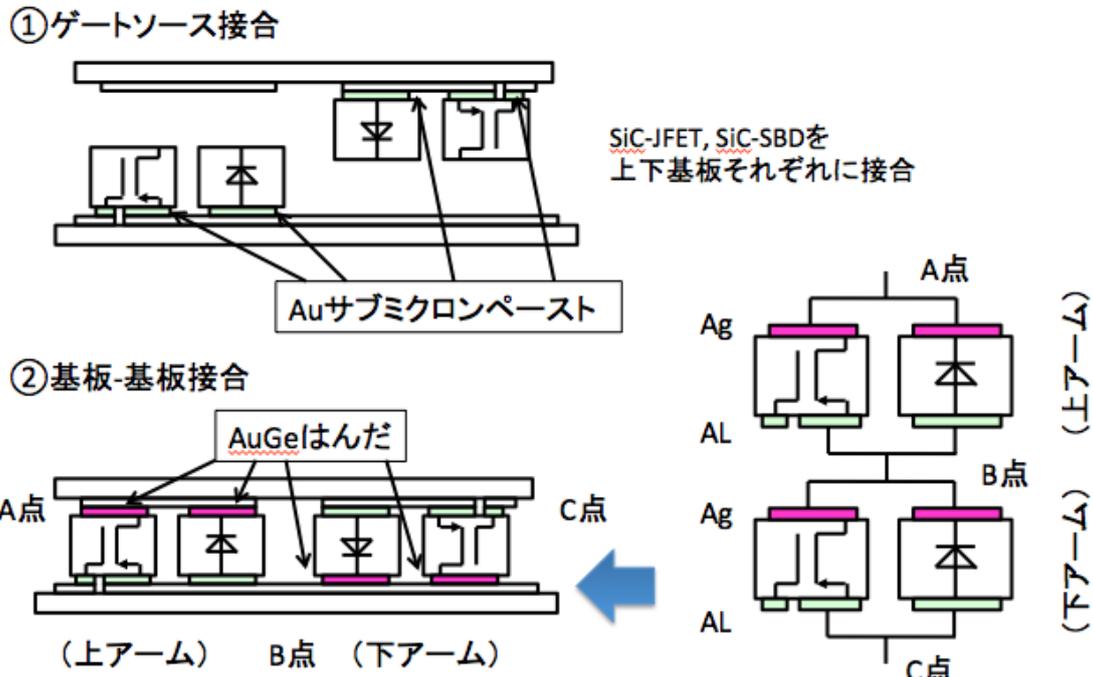


図Ⅲ.2.3.2.3-15 (a)接合中のテスト基板、(b)背面高さばらつき

(2)-9 両面パワーモジュール化技術

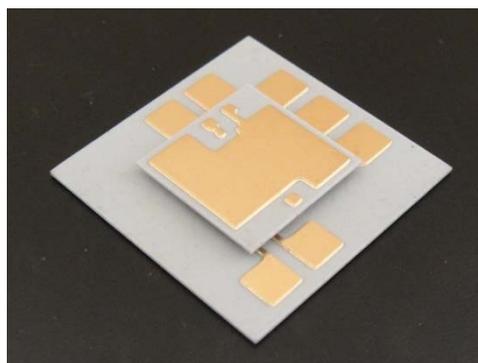
両面パワーモジュールの実現のためには、デバイスのアライメント接合に加え、第二の電極接合をどのようなプロセスで組み立てるかが次の課題となる。

図Ⅲ.2.3.2.3-16 に両面パワーモジュール作製プロセスを示す。寄生インダクタンスが最小になる配線構成とするため、上下それぞれ SiC-JFET、及び、SiC-SBD を Au サブミクロンペーストで接合した基板を、AuGe はんだを用いて一括してモジュール化する技術を開発した。AuGe シートはんだの厚さは 50 μm とし、真空リフロー装置で接合した。これは、AuGe シートはんだ溶融時に表面張力で液滴となり高さが増えることを用いて、SiC デバイスの背面ばらつき \sim 20 μm を許容しつつ、各接合箇所ですべて基板と接合するためである。



図Ⅲ.2.3.2.3-16 両面パワーモジュール作製プロセス(Face-Down 接合技術)

図Ⅲ.2.3.2.3-17 に作製した両面接合モジュールを示す。光学顕微鏡、X-ray、電気性能等を検討した結果として、はんだはチップへの両側へ流動しなかったことが分かった。X-ray 透過写真によると、接合部のボイド率が5%以下であり、問題がなかった。In-Out 間のインダクタンスを LCR メーターで評価したところ、およそ 3nH であり、ほぼ設計値どおりであることがわかった。



図Ⅲ.2.3.2.3-17 作製した両面パワーモジュール

作製したサンドイッチ型パワーモジュールは、SiC パワーデバイスの高温動作を想定して、 -40°C ～ 250°C 間の冷熱サイクル試験を行った。温度差 290°C の熱サイクルを行うと、熱変形によりモジュールが破壊されることが想定されるが、冷熱サイ

クル試験 500 回後、目視によりモジュールを検査したが、剥離などは見られなかった。より詳細に、モジュール外部から接合部分の破壊を確認するため、モジュール中の SiC-JFET、SiC-SBD の静特性評価を行った。

基板電極にフリップチップ接合した SiC-JFET、SiC-SBD に対し、プローバでコンタクトをとり、カーブトレーサを用いて SiC-JFET の電流-電圧特性 (I_D - V_{DS})、SiC-SBD 順方向特性 (I_F - V_F) を評価した (図 III.2.3.2.3-18)。SiC-JFET に対して、与えた各ゲート電圧に対して、 I_D - V_{DS} 特性が取得できたこと、更に、SiC-SBD に対し I_F - V_F が取得できたことから、開発したプロセスにおいて、ゲート-ソース間のショートが無い事、基板と SiC パワーデバイスが AuGe の表面張力によって接合できることが確認できた。また、各ゲート電圧の I_D - V_{DS} カーブ、 I_F - V_F カーブは、それぞれ接合前のベアダイ時とボンディング後でほぼ変化がなく、開発した作製プロセスがデバイス特性に及ぼす影響が小さいことが確認された。更に、 $-40^{\circ}\text{C}\sim 250^{\circ}\text{C}$ 冷熱サイクル試験 500 回後の特性が、冷熱サイクル試験前の特性とほぼ代わらないことから、作製した構造が冷熱サイクルに対して高い信頼性を有することが明らかになった。

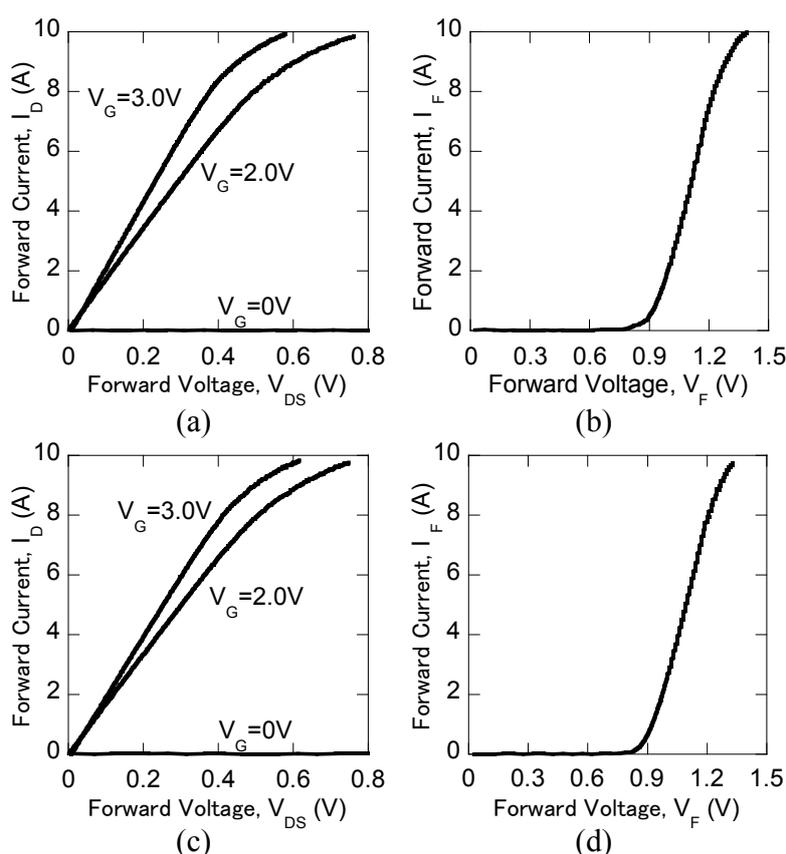


図 III.2.3.2.3-18 作製した両面モジュールに組み込まれている SiC-JFET のドレイン電流 (I_D)-ドレイン電圧 (V_{DS}) 特性のゲート電圧 (V_G) 依存性、及び、SiC-SBD の順方向特性。(a)(b) モジュール作製直後、(c)(d)- $40^{\circ}\text{C}\sim 250^{\circ}\text{C}$ 冷熱サイクル 500 回後。

(3) まとめ

1) 目標の達成度

(高温接合)W、TaN などの拡散バリアを用いることで、高温における電極接合の信頼性を向上させることができることを確認した。放熱基板の Ni 酸化保護膜が失われる時間を寿命と想定した場合、200°C～330°Cに対して、それぞれ寿命を求めることができた。

(両面モジュール)高温動作を目指した両面実装モジュールでは、最終の評価において、大電力を用いた評価を行うことはできなかったが、-40°C～+250°C冷熱サイクル 500 回の後、用いた JFET、SBD の電気特性が評価可能で、電氣的な接続がとれていることが確認でき、目的を達成した。

2) 成果の意義

高温での接合信頼性について検証を行い、200°Cを超える高温における、未だ見いだされていない問題点について、検討を行なった。たとえば、Cu 配線の寿命=Ni めっき層の拡散に拡散による消失であると考え、Ni めっき層の温度依存拡散係数からの寿命予測技術を提案した。さらに、300°Cを超える温度における、Ni めっき層の拡散を抑制する拡散バリアについて開発を行った。また、将来の大電流密度化の課題を見据えて、SiC パワーデバイスの表面に対し電極接合を形成する技術に注目し、技術開発を行った。これらの技術は、将来における、高温環境下、もしくは、大電流密度用途での実用化開発において、重要な要素技術となると考えている。

3) 知的財産権の取得

高温接合に関する研究で3件、両面モジュールに関する研究で2件の特許を出願している。

4) 成果の普及

成果の普及のため、積極的に学会等での報告を行なった(16件)。また、上記の通り、合計 5 件の特許を出願している。更に、開発した評価技術/両面モジュール技術を発展させる形で、後継プロジェクトへの提案の一端とし、新材料プロジェクト、課題9の高耐熱部品統合パワーモジュール化技術開発が、2012年9月より開始されている。

2.3.2.4 統合設計技術

素子の高温動作を利用する変換器においては、その設計パラメータが多い点と、設計パラメータ間でのトレードオフ関係がある点から、設計点を何処に選ぶかが大きな問題となる。(例えば、素子の温度を上げる設計は、ヒートシンクからの抜熱性能の向上による小形化の側面と、素子損失の増大によるヒートシンクの大形化の側面があり、設計点の選択は重要な課題である。)

また、高温動作パワーモジュールは、数多くの部品の高温特性の擦り合わせで実現されるため、実際に組み合わせた際、どのような問題が起きるか正確に把握することが重要である。室温に近い単純なモジュールであれば、有限要素解析による熱・構造連成シミュレーションで予測することも可能であるが、熱物性パラメータの不足等も指摘されており、十分なシミュレーションができていない。そのため、シミュレーション精度を高める点でも、材料科学的な研究は重要となる。

こうした観点から、高温動作変換器の設計点を見つけるための設計法の検討、実装シミュレーションの精度向上を通じた実装設計技術の高度化につながる基板の熱変形評価、スイッチング動作時に素子に大きな過渡電圧を発生し、素子耐圧の選択に深刻なダメージを与えるサージ電圧の発生機構解明とその抑制指針の検討を実施した。

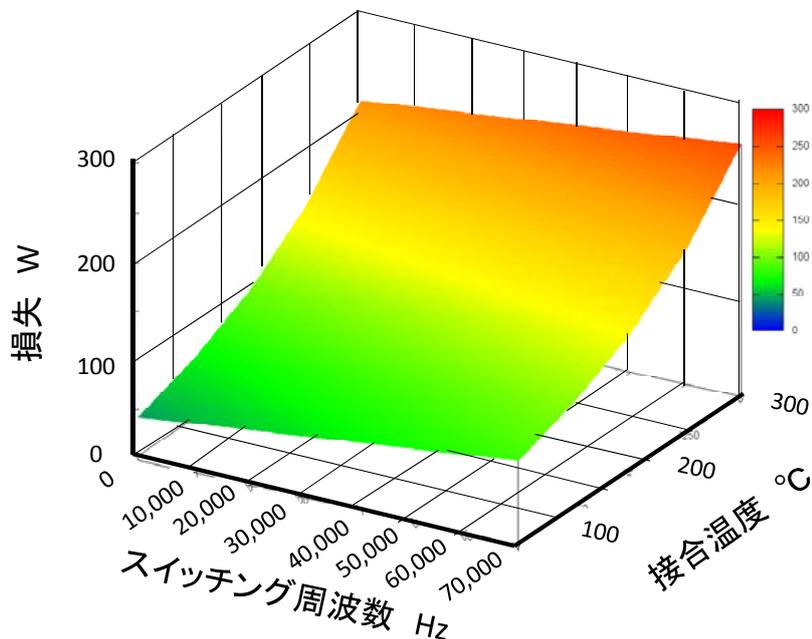
研究の実施にあたり、加速予算で当初計画にはなかった熱変形評価システムを整備し、残留応力や物性パラメータの温度変化の影響などを、前倒し評価することができた。

(1) 統合設計技術の検討

変換器の設計点探索の手法としては、前プロジェクトである「パワーエレクトロニクスインバータ基盤技術開発」(2006～2008年度)で利用した統合設計法を用いた。この手法は、部品特性等を設計データベースとして持ち、各設計パラメータ間のトレードオフ関係を考慮に入れた設計点の選択を支援するツールである。この設計ツールでは、高温に対する設計データベースが不足していたことから、本検討では、設計データベースの拡充による検討範囲の拡大を行い、出力パワー密度性能の観点から、高温動作変換器の設計点の探索を行った。

三相インバータ(AC400V-20A 出力)のモジュール損失の接合温度とスイッチング周波数に対する依存性の例を図III.2.3.2.4-1に示す。なお、素子は1200V-40Aで、オン抵抗 $36\text{m}\Omega$ ($T_j=100^\circ\text{C}$)を想定し、ハードスイッチング条件で計算を行った。この例では、接合温度の上昇に伴うオン抵抗増加の影響が支配的である。

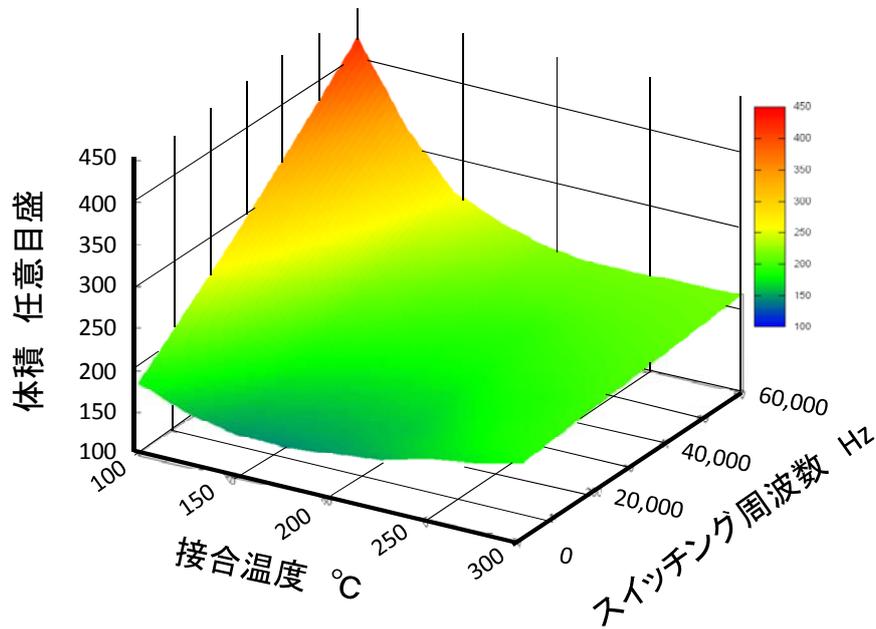
このモジュールに対するヒートシンクの体積は、損失、素子の接合温度、モジュールとヒートシンクの熱抵抗、外気温、冷却風速から求められる。なお、ヒートシンクの体積と熱抵抗の関係、ヒートシンクの熱抵抗と冷却風速の関係は、それぞれ、市販品の特性をデータベース化して得た近似特性を利用している。



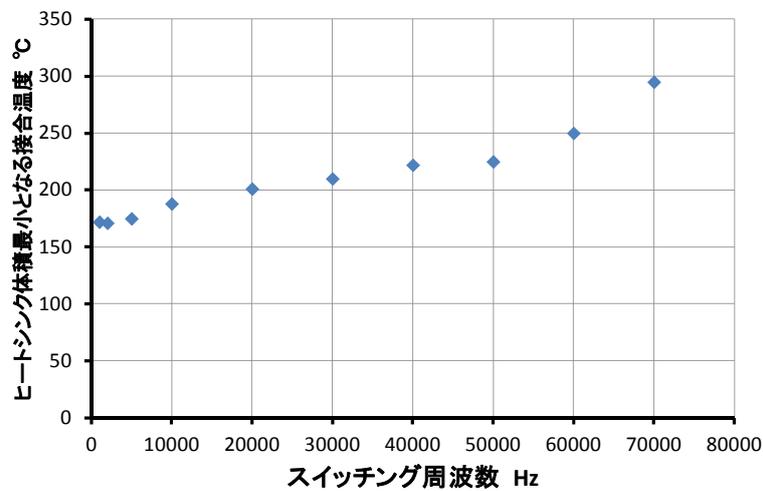
図Ⅲ.2.3.2.4-1 三相インバータのモジュール損失

外気温 25°C、冷却風速 3m/S の際のヒートシンク体積を求めると、図Ⅲ.2.3.2.4-2 が得られる。同じスイッチング周波数で見た場合、接合温度の上昇に伴って、ある程度の温度まではヒートシンクの冷却効果の改善効果が支配的となるために、体積が減少する。しかし、接合温度が上がりすぎると素子の損失増加の影響が支配的となる事から、体積は徐々に増加に転じる。本例の場合、ヒートシンク体積を最小とする接合温度は、図Ⅲ.2.3.2.4-3 のように読み取ることができた。本例の場合、スイッチング周波数によって素子温度の選び方が若干変わるが、スイッチング周波数 20～60kHz の範囲では、接合温度 200～250°Cを選択すれば、ヒートシンク体積が最小化される事がわかる。

なお、ここで示した結果はあくまでも一例であり、素子の損失特性やスイッチング方式によっては、損失特性が異なるので、結果も異なってくることに注意が必要である。ただし、図Ⅲ.2.3.2.4-1 に対応する損失特性を得ておけば、その後の手順そのものは共通である。



図Ⅲ.2.3.2.4-2 三相インバータのヒートシンク体積



図Ⅲ.2.3.2.4-3 ヒートシンク体積を最小化する接合温度

(2) 放熱基板の熱変形評価の検討

我々のグループでは、SiC パワー素子を用いたモジュールの作製に、Cu 電極を接合した SiN 基板を用いている。ここでは、最終的に SiC パワー素子実装したモジュールの変形評価を目標に、このモジュールの要素として、以下の4種類のサンプルについて用意した。

- ・ サンプル① Cu 板 20mm×20mm×0.3mm^t
- ・ サンプル② SiN 基板 18mm×20mm×0.32mm^t
- ・ サンプル③ 片面 Cu 電極接合 SiN 基板
(Cu 電極寸法 17mm×8.5mm×0.3mm^t×2、SiN 基板寸法 18mm×20mm×0.32mm^t)
- ・ サンプル④ 両面 Cu 電極接合 SiN 基板
(Cu 電極寸法 17mm×8.5mm×0.3mm^t×2、SiN 基板寸法 18mm×20mm×0.32mm^t)

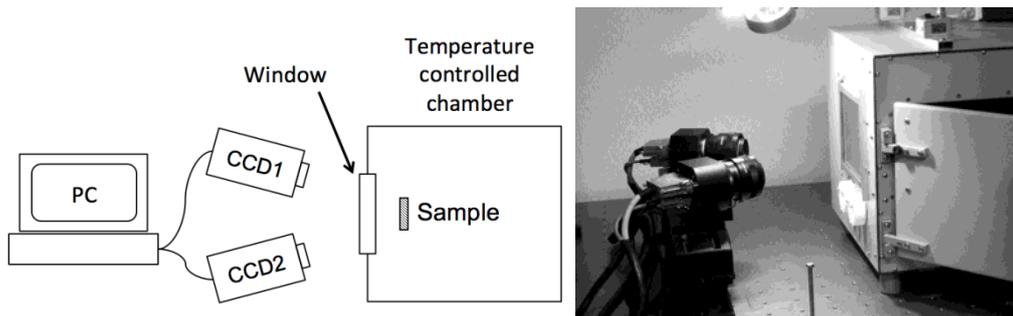
サンプル④については、我々のグループで汎用的に用いている、両面に Cu 電極を有する SiN 基板を用いた。サンプル③は、片面にのみ、サンプル④と同様の Cu 電極を有する構造とした。

これまで、材料の変形計測には、モアレ干渉法やレーザー法が、用いられてきた。モアレ干渉法は、平坦な材料の変位を計測・評価する方法としては実績が有るが、3次元の複雑な形状の計測は難しい。また、レーザー法は、計測のためレーザーをスキャンするため、1回の測定を短時間で終わらせることが難しく、スキャンの間に温度変化が有る測定については、不向きである。

一方、デジタル画像相関法(DIC: Digital Image Correlation)は2台の CCD カメラによって撮影された画像を解析することにより、サンプル表面の構造、及び、変形を評価する方法である。

そのため、①焦点が合う範囲であれば、表面に3次元的な形状を有するサンプルについても評価可能、②データの取り込みは写真撮影時間となり短時間に行なうことができる、など優れた特徴を有する。

本実験では、市販のデジタル画像相関法装置を用いて行なった。装置の概要を図 III.2.3.2.4-4 に示す。画像を取り込む CCD カメラの他、サンプルの温度制御を行なう恒温チャンバー、画像の解析・変形量を評価する PC から構成される。恒温チャンバー内にサンプルをセットし、温度を室温から 250℃まで変化させ、その間、デジタル画像相関法にて、変形データを取得／評価した。



図III.2.3.2.4-4 熱変形評価装置のセットアップ

サンプル① Cu 板 20mm×20mm×0.3mmt

サンプル② SiN 基板 18mm×20mm×0.32mmt

サンプル③ 片面 Cu 電極接合 SiN 基板

(Cu 電極寸法 17mm×8.5mm×0.3mmt×2、SiN 基板寸法 18mm×20mm×0.32mmt)

サンプル④ 両面 Cu 電極接合 SiN 基板

(Cu 電極寸法 17mm×8.5mm×0.3mmt×2、SiN 基板寸法 18mm×20mm×0.32mmt)

サンプル③、④から得られた変形データは、有限要素法を用いた材料変形シミュレーションと比較を行った。表III.2.3.2.4-1に、計算に用いた、Cu および Si の、ヤング率、ポアソン比、熱膨張係数、密度、熱伝導率を示す。熱膨張係数に着目すると、Cu は SiN に比べて、およそ6倍大きい。そのため、SiN 基板の両面に Cu 電極が有するサンプル④では、基板の両面に等しい熱応力が発生し、変形は発生しづらいが、サンプル③では、Cu 電極が片面のみであるため、反りが発生すると予測される。

デジタル画像相関法の、測定精度を検証するため、熱膨張係数を50℃～250℃の範囲で測定した。図III.2.3.2.4-5 (a)にサンプル①の Cu、図III.2.3.2.4-5 (b)にサンプル②の SiN の結果を示す。図から明らかなように、Cu では、データのばらつきが少なく直線上に並んでいるが、SiN では、ばらつきが大きくなっている。これは熱膨張係数の差により、SiN では、Cu より変形量が小さく、測定精度が厳しくなるためと考えている。デジタル画像相関法にて得られた Cu、SiN の熱膨張係数は、それぞれ、 $17.5 \times 10^{-6} / ^\circ\text{C}$ 、 $2.14 \times 10^{-6} / ^\circ\text{C}$ であった。それぞれ、Table 1 の値と比較すると、変形量が小さな SiN では Cu に比べ精度が劣るが、評価可能であることがわかった。

サンプル③、サンプル④について、温度を室温から250℃まで変化させ、サンプルの変形評価を行った。

図III.2.3.2.4-6 に、サンプル法線方向のコンタ図を示す。観察は、Cu 電極のある側から行っており、コンタ図中の正の値は、試料が Cu 電極の有る側に凸にそって

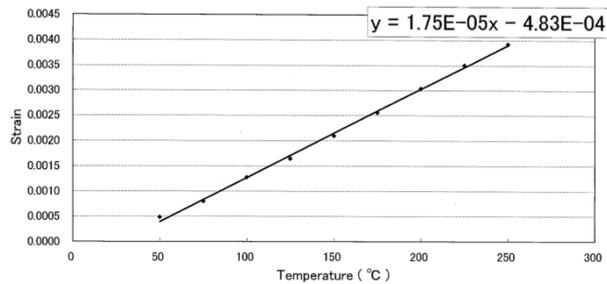
る事に対応する。

サンプル③では温度変化に伴い、室温では四隅の部分が正の変形量を示しているのに対し、75℃ではほぼ一様となり、さらに150℃、250℃と温度を上昇させるにつれ、サンプル中央部が正の値を示すように変化していることがわかる。これは、Cu電極側から見たとき、室温では中央付近が窪んでいたのに対し、温度上昇に伴い、中央付近がせり上がってくることを示している。一方、サンプル④では、各温度でほぼ同じ分布を示しており、顕著な材料の変形は発生していない。これは、サンプル④の場合、SiN基板の両側にCu電極が対象に配置されているため、熱変化に伴い発生する応力が釣り合い、変形をもたらさないためである。一方、サンプル③では、Cu電極が片側にしかないため、温度変化に伴う応力の釣り合いが取れず、明瞭な変形が観察されている。

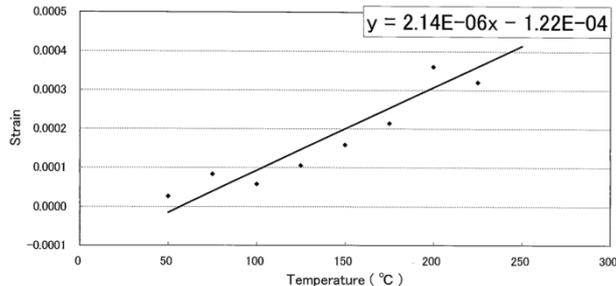
表Ⅲ.2.3.2.4-1 CuとSi₃N₄の物性値

	Young's Modulus (GPa)	Poisson Ratio	Coefficient of Thermal Expansion (10 ⁶ /°C)	Density (kg/m ³)	Thermal Conductivity (W/mK)
Cu	130	0.34	16.6	8300	390
Si ₃ N ₄	320	0.29	2.8	3240	60

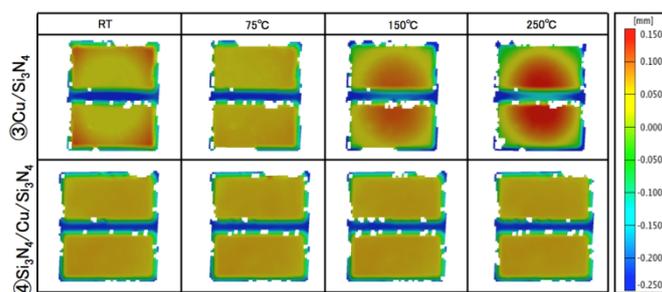
(a)



(b)

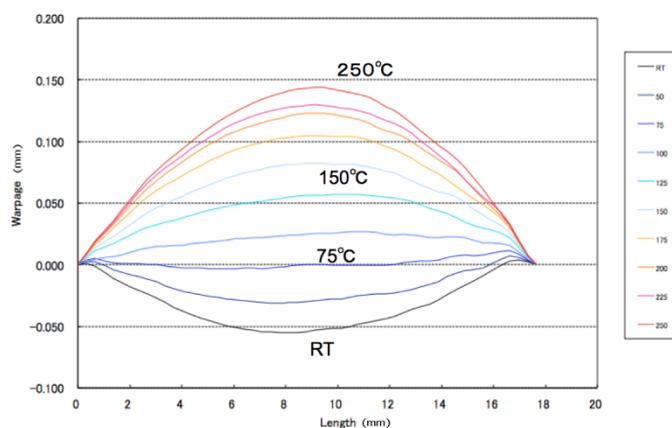


図Ⅲ.2.3.2.4-5 温度変化による (a) Cu, (b) Si₃N₄の変形



図III.2.3.2.4-6 サンプル3、4に対する温度依存変形コンタ図

サンプル③について、基板中央付近を通る水平な線にそった法線方向の変化量を、図III.2.3.2.4-7 に示す。変化を明瞭にするため、サンプル両端での値を0になるように表示した。図より明らかなように、中央部の値は、室温では負であったのに対し、温度を上昇にともない正の値に変化している。これは、室温でサンプルは決して平坦ではなく、残留応力による変形が発生している事を示しており、このサンプルでは、SiN 基板の Cu 電極が無い側が凸に変形している。温度上昇に伴い、75°Cでほぼ平坦になる事から、残留応力が解放されると考えられる。さらに、温度上昇に伴い、Cu 電極が有る側が凸に変形することがわかった。



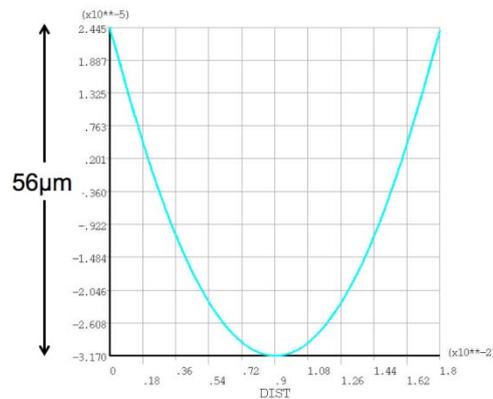
図III.2.3.2.4-7 サンプル3に対する変形量-温度依存生

以上より、高温での動作を前提とする電力変換器に用いる基板においては、室温で残留応力による変形があることがわかった。また、残留応力がゼロとなる温度を制御することができれば、パワー素子動作温度にて、基板に発生する応力を低く制御できる可能性があり、信頼性向上につながると考えられる。

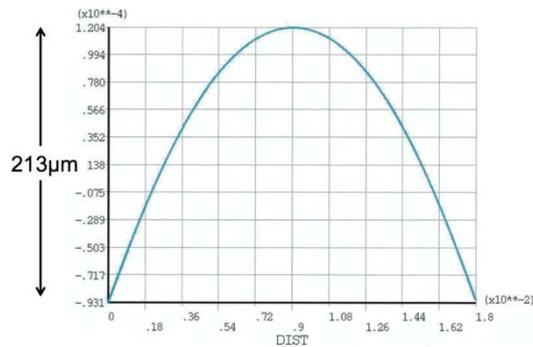
上記の材料変形は、SiN と Cu の材料物性に起因し発生しているため、有限要素法

を用いた計算機シミュレーションを弾性領域で行ない比較した。計算には、Table 1 のパラメータを用い、また、サンプル③に対する変形観察の結果から、残留応力ゼロとなる温度を75°Cとして計算を行なった。この条件のもと、25°C、および、250°C について計算した結果を、それぞれ図Ⅲ.2.3.2.4-8 (a)、(b)に示す。図Ⅲ.2.3.2.4-8 (a) に示す通り、シミュレーションから予測される25°C基板法線方向の最大変位は約55μmで、これは、図Ⅲ.2.3.2.4-7(b)の25°Cの時の最大変位55μmと良く一致している。一方、図Ⅲ.2.3.2.4-8 (b)に示す、250°Cの時の最大変位は、約210μmで、これは図Ⅲ.2.3.2.4-7(b)の250°Cの時の155μmより、大きな値となっている。25°Cの時のシミュレーション結果が良く合っていることから、計算方法に誤りはないと考えているが、実験結果において変形量が少なかったことから、弾性領域を仮定しシミュレーションを行なったことに誤りがあり、Cu電極における塑性変形³⁾など、シミュレーション条件を再検討する必要があると考えている。今後、電力変換器の動作温度における応力分散技術、複合材料構造物における冷熱サイクルでの疲労蓄積効果などの評価・対応が必要になると予測され、3次元変形観察がその一助となることを期待している。

(a)



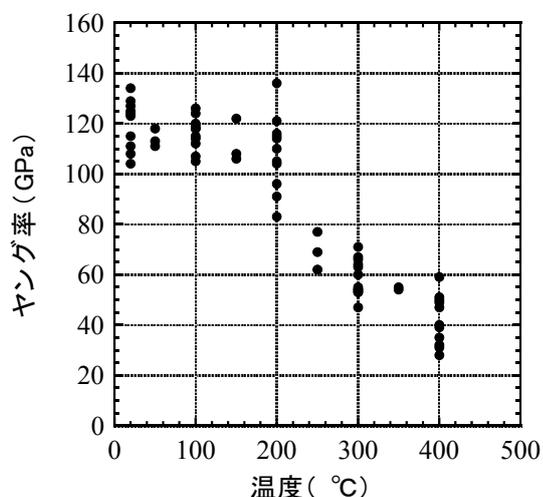
(b)



図Ⅲ.2.3.2.4-8 サンプル3に対する変形シミュレーション(a) 25°C, (b) 250°C.

Cu の塑性変形効果ヒントを得るため、圧延無酸素銅の試験サンプルに対し、ヤング率の温度変化を、室温から 400°C の範囲で調べた。図Ⅲ.2.3.2.4-9 より明らかなように、200°C 付近を界に、ヤング率は低温側ではほぼ一定、高温側では温度の上昇に応じて単調に減少して行くことが明らかになった。これより、室温～200°C では、モジュール全体を1つの剛体として扱うことができるが、200°C を超えると Cu のヤング率が急速に低下するため、SiN の熱膨張係数がモジュールの変形を支配することが予想される。

200°C 超えた温度領域では、これまであまり Cu を構造材に用いる適用例がなく、情報が少ない。そのため、必要な物性情報については実測等で取得して行くと同時に、有限要素法による熱変形シミュレーションや、3次元変形観察装置を連携・活用し、シミュレーション技術の精度向上を行い、実際の変換器のような、材質の異なる部品を組み合わせた構造物の熱的な弱点の抽出を行うことが重要と考えている。



図Ⅲ.2.3.2.4-9 圧延無酸素銅に対するヤング率の温度変化

(3) SiC-SBD のターンオフサージ電圧の検討

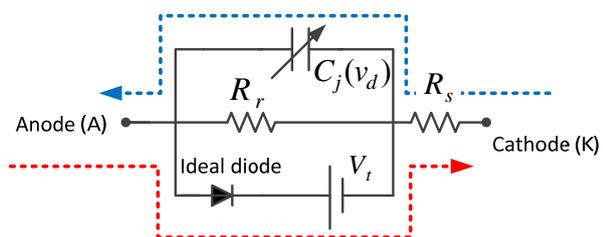
SiC パワーデバイスを用いたパワーモジュールでは、SiC パワーデバイスの高速性、扱う電流が大きいこと等から、大きなターンオフサージ電圧が問題となる。これは使用する部品の耐電圧を高める必要があり、回路設計の制約となる。そのため、サージ電圧が発生するメカニズムの解明と、これに基づいた設計可能範囲の明確化は、実回路設計の目安となるため、重要である。

回路シミュレーションに使用できる、適用条件の明確化された、SiC デバイスのモデルについて開発すること目的に、SiC ショットキーバリアダイオード(SBD)について検討した。

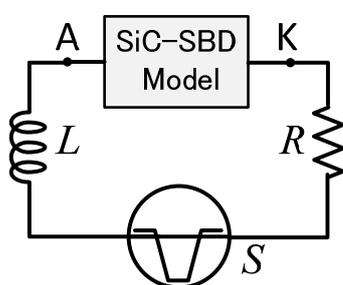
図Ⅲ.2.3.2.4-10 に検討した、SiC-SBD のモデルを示す。このモデルでは、逆方向印可電圧によって変化する接合容量が組み込まれている。このモデルと、固定の接合容量を持つモデルについてシミュレーションを行ない、実験と比較した所、接合容量が逆方向印可電圧によって変化するモデルの方が、よりよく実験を説明できることがわかり、モデルの有効性を確認した。

このモデルを用いて、トランジスタ駆動を想定した、ターンオフサージ電圧を調べるため、図Ⅲ.2.3.2.4-11 の回路について検討した。ターンオフサージ電圧は、一般的に、トランジスタのスイッチング速度が早くなるにつれて大きくなるが、この現象は、トランジスタのスイッチング速度、回路電流のフォールタイム、および、サージ電圧の振動周期が重要であり。これにより3つの事象に分類することができることを見出した(図Ⅲ.2.3.2.4-12)。サージ電圧の発生を、所定の電圧比以内に抑えるためには、 $ta+tb \leq f$ となる領域に回路パラメータを調整することが重要であることを

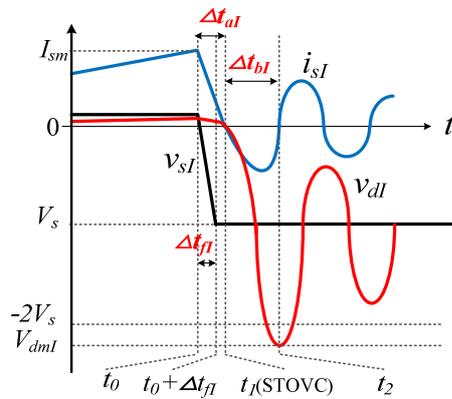
明らかにした。



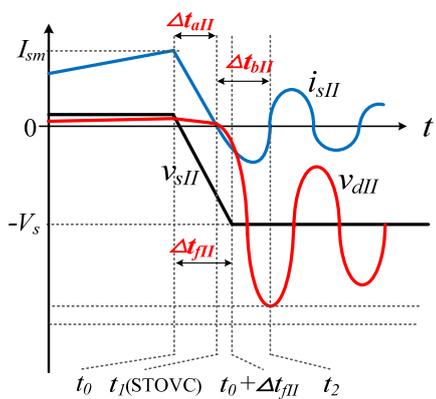
図Ⅲ.2.3.2.4-10 SiC-SBD モデル



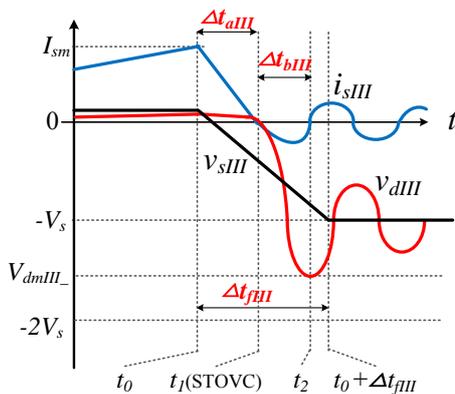
図Ⅲ.2.3.2.4-11 解析に用いた回路



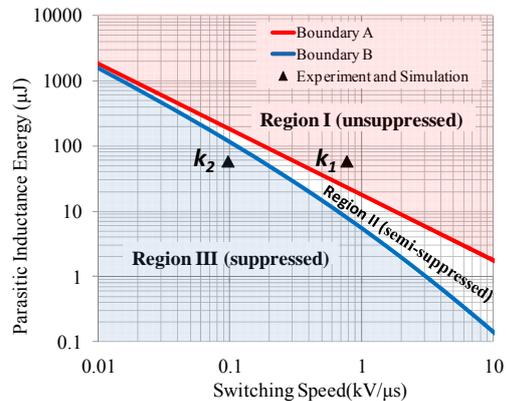
(a) Region I ($\Delta t_{fI} \leq \Delta t_{aI}$)



(b) Region II ($\Delta t_{aII} \leq \Delta t_{fII} \leq \Delta t_{aII} + \Delta t_{bII}$)



(c) Region III ($\Delta t_{fIII} \geq \Delta t_{aIII} + \Delta t_{bIII}$)



(d) Relationship between the parasitic inductance energy and switching speed

図Ⅲ.2.3.2.4-12 (a)(b)(c)Region I～Ⅲにおけるスイッチング波形の模式図、(d) 寄生インダクタンスとスイッチング波形の関係、及び、Region I～Ⅲの占める領域

(4) まとめ

1) 目標の達成度

基板変形観察 加速資金で取得した、変形観察装置を用いて、放熱基板の要素モデル検討を行い、200～250℃領域を含む基板の熱変形観察を行った。シミュレーション結果との比較より、約200℃という、Cuの融点から十分低い温度領域であっても、Cuの非弾性的な効果が現れることを明らかにし、シミュレーション精度の高度化に貢献した。

SiC-SBD のターンオフサージ電圧の検討 トランジスタのスイッチング速度と回路インダクタンスについて、モジュールの要求に応じた回路パラメータの選択範囲を示すことに成功した。

2) 成果の意義

SiC パワー半導体の能力を生かした電力変換器開発では、温度・電圧・スイッチング速度など、これらを組み合わせた対応が必要で、これらは現在の Si パワー半導体技術と技術領域が異なるため、多数の問題を解決する必要がある。SiC パワー半導体の普及に向けて、これら問題の解決を、電力変換器開発と平行して実施しておくことは重要である。たとえば、現在のシミュレーション技術では、物性データや、実験とシミュレーションとの検証不足により、シミュレーションの精度が十分でない。DIC 変形観察では、対象物の変形をサブミクロンの精度で評価することができるため、シミュレーションとの比較が容易で、物性データの評価はもちろん、実際のモジュール変形評価により、シミュレーション精度向上に資すると考えている。さらに、故障につながる変形・破壊の早期発見による信頼性試験の時間短縮、時間やコンピュータ資源の制限により実施が難しい大規模なシミュレーションの代替などが可能と考えている。

SiC-SBD サージ電圧の検討では、高いサージ電圧の発生を避けデバイス破壊を防ぐばかりでなく、回路の要求に応じて、スイッチング速度、回路インダクタンスの目安が得られるため、設計指針をたてるのが容易となる。

3) 知的財産権の取得

知的財産権の取得には至っていない。

4) 成果の普及

成果の普及のため、積極的に学会等での報告を行なった(3件)。

IV. 実用化・事業化についての見通し及び取り組みについて

1. 実用化・事業化についての見通し及び取り組みについて

1.1 SiC 電力変換器応用システム及び SiC パワーデバイスの実用化見通し

1.1.1 SiC 接合 FET 及び SiC 接合 FET を適用したサーバ電源の実用化見通し

本項では本プロジェクトで開発した SiC 接合 FET 及びこれを用いたサーバ電源の実用化、事業化の見通し、すなわち残された課題について示す。要約すると下記の通りである。

- ・ SiC 接合 FET
 - －チップコスト削減のための大口径ウェハプロセス技術の開発
 - －簡易な駆動回路方式の開発
- ・ SiC 接合 FET を用いたサーバ電源
 - －接合 FET の高周波動作による電源小型化技術の開発

接合 FET の最も大きな課題はチップコスト削減である。サーバ電源では、システムユーザからのパワーデバイスに対する価格低減要求が非常に強い。このため本プロジェクトのスコープになかった SiC 素子の低コスト技術の確立が重要となる。特にチップ歩留まりの向上や SiC ウェハ大口径化によるコスト削減が効果的である。また大口径ウェハに対応したプロセス基盤技術や接合 FET の工程簡略化も重要である。接合 FET のコスト削減という意味では、電源以外の適用アプリケーションを積極的に開拓することも重要である。例えばハイブリッド自動車用のインバータや、太陽光発電用のパワーコンディショナといった今後市場規模の拡大が見込めるアプリケーションへの適用を検討する必要がある。このため、接合 FET の駆動方法や実装方式を簡素化し、各アプリケーションにおいて接合 FET が採用されやすい回路実装方式の開発が重要課題となる。

次に SiC 接合 FET を適用したサーバ電源の実用化、事業化について述べる。実用化の判断材料となる最大のポイントは、SiC 電源を用いたデータセンタ事業の成立性である。具体的に言えば、SiC 化に伴うサーバ電源コスト増加の試算及び将来コストの予測と、データセンタシステムからみた SiC 電源のメリットの検討が必要である。前者の電源コストの試算については、SiC 素子を適用するためパワーデバイスコストの上昇は避けられない。したがって、スイッチング周波数を高めて電源回路の主変圧器等の受動部品を小型化(低コスト化)することが重要である。一方安易な高周波化はスイッチング損失の増加やスイッチングノイズの増加を招く。したがって、高周波動作時におけるスイッチング損失低減やノイズ低減方法を検討する必要がある。

また後者のデータセンタシステムからみた SiC 電源メリットの検討という意味では、データセンタ市場(サーバ市場)規模・状況を鑑みることが重要である。特に昨今の世界

サーバ市場はサーバベンダの上位 3 社で市場の 75%が占有される。このため、データセンターシステムの大きな潮流、即ち、省エネ化、堅牢性(災害に対するディザスタリカバリ、データ分散管理)、データセンタ大規模化による集中管理(クラウド化)等のニーズを先取りし、サーバ電源としての優位化技術・必要とされる要素技術と、本プロジェクトで開発した技術が合致するかの検証を継続して実施する必要がある。今回のプロジェクトで開発した高効率電源回路技術をベースに、高周波化による電源小型化がデータセンター事業に与えるインパクトを検討し、事業化を推進していく予定である。

1.1.2 太陽光発電用パワーコンディショナ及び MOS-FET の実用化見通し

(1) 成果の実用化可能性

① 研究開発成果が産業へ及ぼす波及効果

パワーエレクトロニクスの市場規模は約 6 兆円で、産業、家電、分散電源、自動車、電鉄、IT 機器等広い分野に適用されている。これらの市場では、パワーエレクトロニクスの特長である低損失化、小型化、高速化、高温環境対応への期待が大きい。その市場規模は増加すると予想され、2050 年には本研究開発成果が貢献できる耐圧が数百 V 以上のデバイス市場で約 10 兆円と、現在の約 10 倍に増加するとの推定がなされている。

SiC パワーデバイスのパワーエレクトロニクス機器への適用を想定した性能実証が活発化してきている。SiC パワーデバイスを適用することによって、今後増大することが予想される IT 関係の消費電力の低減や、低損失化、高温動作化による冷却関係ユニットの小型化や冷却に要するエネルギーの削減による製品価値の向上が期待される。

今後の電力化率の増大と電力エネルギー利用の高効率化と相まって、新規製品の普及を促進する。2008 年には「Cool Earth-エネルギー革新技术計画」が発表され、パワーエレクトロニクスは其中で部門横断の重要技術と位置づけられ、次世代デバイスとして SiC デバイスの実用化の必要性があげられている。これまでパワーエレクトロニクスでは長く Si デバイスを用いてきた。SiC パワーデバイスは数十年に一度の変革をパワーエレクトロニクスにもたらすものと期待されている。SiC パワーデバイスを用いた高性能かつ高効率なパワーエレクトロニクス機器の普及が省エネルギー、CO₂ 削減に貢献するとともに、国内パワーエレクトロニクス産業の競争力拡大に寄与するものと考えられる。

太陽光発電システムは地球温暖化問題を背景として市場が拡大しており、2008 年度には全世界で 6.9GW が生産され、2010 年には 10GW、2015 年には 25GW に到達するとの予想がある。また太陽光発電システムの需要拡大に対応して太陽光発電システムに不可欠なパワーコンディショナ市場も増加し、2008 年には 2006 年に比べ 2 倍の規模となり、2010 年には全世界で 20 億ドルを超えるとの予想がなされている。現在太陽光パワーコンディショナ市場において、高効率化が競争軸となっており、本委託事業における SiC パワーデバイス適用による高効率化に関する研究成果により、世界市場において製品競争力強化に寄与できると考えられる。

また、SiC デバイスが広く普及した際の省エネルギー効果は、2030 年には原油換算で約 5,400 万 kℓ、と予測されており(2007 年度 NEDO 調査「次世代省エネデバイス」における(財)新機能素子研究開発協調査による)、大きな省エネルギー効果が期待される。

(2) 事業化までのシナリオ

本プロジェクトでは太陽光発電用パワーコンディショナの効率向上に向けて変換器の最適駆動方式の検討、キャリア周波数、フィルタの最適化を行うことで、効率の改善に向けた研究開発を行い、Si デバイスでは実現できなかった高効率を達成した。またその実現に必要な SiC-MOSFET、ショットキーダイオードの高性能化技術も開発した。

本研究開発の成果を実用化につなげていくためには、製品に適用していく上で必要となる以下のような製品化技術を開発していく必要がある。

- ① SiC デバイスは従来の Si IGBT や Si pin ダイオードと比べてスイッチング速度が速いなど、異なる過渡特性を示すため、これに適合した駆動回路、保護回路が必要となる。
- ② 高速応答性に起因して EMI が課題となるため、EMI を抑制するための駆動技術開発や低インダクタンスとなるモジュール設計などを実施する必要がある。

2012 年度に本研究開発を完遂した後、上記課題を克服するべく実用化開発を実施し、事業化の見極めを行った後に製品化を行う予定である。また、製品化後も機種展開を実施することで事業の拡大を目指す。また、チップの高性能化により更なる低損失、小型・軽量化を進めていく予定である。

1.1.3 電力変換器基盤技術の実用化見通し

第3拠点では、SiC パワー半導体素子が持つ優れた素子特性を活用することで、従来の Si パワー半導体素子では実現できない水準の電力変換器の小形・軽量化の達成を目指した研究開発を集中研方式で実施した。具体的には、SiC パワー半導体素子が持つ高速スイッチング性能の活用による周辺受動素子削減技術、耐高温性性能を活用するための高温(200～250℃級)実装技術、高温動作電力変換器の設計・製作技術、の開発を進めるとともに、試作電力変換器による性能検証を行った。

ここで取り上げた電力変換器の小形・軽量化という課題は、特定用途の電力変換器に対してのみ利用される技術ではなく、集中研に参加する各機関それぞれが想定している応用機器に共通する基盤的技術である。したがって、集中研に参加する各機関は、本事業で開発された技術を基にして、それぞれが想定する応用機器に即した追加的な技術開発や評価試験を進め、その後に実用化するという手順が想定されている。(これは、応用機器に近い作業ほど各機関のノウハウ等が入り込む割合が高くなるため、集中研における技術開発課題として扱う事が難しくなるためである。このため、集中研方式で実施する共通基盤技術の開発と、この共通基盤技術に基づいて各機関が独自に進める応用機器向け(実用化向け)開発の2段階の開発を経た実用化が、事業開始当初より想定されている。)

集中研究拠点に参加する機関の中で、産総研だけは製造を実施することができる機関ではない。このため、集中研究拠点での開発技術の実用化にあたっては、他の参加機関とは対応方針が異なる。具体的には、産総研は、今回の開発成果を必要とする製造者に対する積極的な技術移転を通じて開発技術の実用化に貢献する。また、当該技術のより一層の高度化や実用化に向けた追加的な開発や評価(応用機器が要求する条件に対応した追加的な開発や評価試験)等を、製造者とともに共同研究等によって進めるといった対応も行う。

こうした技術移転や共同研究を進めるための枠組みの代表的なものとして、経済産業省や文部科学省の支援の下で発足した「つくばイノベーションアリーナ(TIA-nano)」があり、そのコア技術領域の一つとして「パワーエレクトロニクス」が位置づけられている。ここでは、本技術開発事業の集中研究拠点が置かれていた産総研の各種リソースを活用した産学官連携のハブ機能(人材育成も含む)を果たす体制が構築されている。特に、パワーエレクトロニクス領域においては、関連企業の共同研究連合体として、「つくばパワーエレクトロニクスコンステレーション(TPEC)」というオープンイノベーション拠点も発足している。TPEC では SiC パワー半導体素子のための専用試作ラインをコアインフラとしており、各種の材料を扱う素材関係、パワー半導体素子製造関係、パワー半導体のユーザである応用機器関係といった幅広い業種・業態の企業が多数集まった研究開発コンソーシアムを形成している。(平成25年度9月時点で、参加機関数は30を超えている。)TPEC 参加機関にとっては、最終の応用機器イメージを共有しながら、ア

ライセンスを組もうとする他業界の参加者と共に必要な素子技術や応用技術を公平なコストシェアで開発出来る仕組みとなっている。(参加機関は基本的に TPEC で創出された成果を全て使うことが出来る仕組みなので、最終的な投資に至るビジネス判断ができる段階まで、コスト削減と同時に単独で行う以上の開発成果を得られるのが、参加者の最大のメリットである。)

こうした活動の過去の例としては、TPEC の前身となった産総研「産業変革イニシアティブ(2009～2011年)」の活動がある。この活動では、NEDO の研究開発事業の成果である SiC の IEMOS(当時、世界最高性能を有する素子として認知されていた産総研独自構造のパワー素子)が有する優れた性能に着目した 2 社(素子製造企業と装置企業)と産総研が共同研究体制を構築し、約 3 年をかけて信頼性/安定性を確保した量産レベルのデバイス製造技術を確立した。その結果、NEDO の研究開発事業の成果であるパワー素子の技術を利用した応用機器(汎用インバータや太陽光発電用パワーコンディショナ)のプロトタイプを企業側が完成するに至った。

産総研では、こうした枠組みを中心に、今回の集中研究拠点成果である基盤技術である(200～250℃級対応の高温実装技術や高速スイッチング技術など)の企業への技術移転や、特定の応用機器に特化した追加開発・評価等を進める。この追加開発・評価等には、2～3 年を要すると予想されるが、集中研究拠点での開発成果を活用した電力変換器の小形・軽量化の効果を早期に製品に適用出来るよう、関係機関とは事業終了後も継続的に協力をを行う所存である。

添付資料

1 SiC パワーデバイスを用いたデータセンタ用サーバ電源技術開発

表 2.1 データセンタ用サーバ電源技術に係る特許、論文、外部発表等の件数(内訳)

区分 年度	特許出願		論文		発表		その他外部発表 (プレス発表等)
	国内	外国 (PCT 含)	査読 付き	その他 (招待論文)	査読 付き	その他 (招待講演)	
H21FY						1 件	
H22FY	1 件	1 件			1 件	1 件	
H23FY	1 件	1 件	2 件				
H24FY	1 件	1 件	1 件		2 件	2 件	

表 2.2 データセンタ用サーバ電源技術に係る特許リスト

番号	出願者	出願番号	国内/外国/PCT	出願日	状態	名称	発明者
1	日立	PCT/JP2011/ 072529	PCT	2011/9/30	出願	半導体駆動回路およびそれを用いた電力変換装置	畑中歩
2	日立	P2011-224553	国内/外国	2011/10/12	出願	半導体スイッチング回路	小川貴史
3	日立	PCT/JP2013/ 068039	国内/外国	2013/7/1	出願	パワー半導体の駆動回路およびインバータ装置	加藤かおる

表 2.3 データセンタ用サーバ電源技術に係る学会発表・投稿論文リスト

番号	発表者 投稿者	所属	タイトル	発表誌名	査読	発表年月 日
1	望月和 浩, 横山 夏樹	日立	4H-SiC への Al イ オン注入の二次 元モデリング	応用物理学会 2010 年春 季第 57 回応用物理学関 係連合講演会	無 (発表)	2010/03/17
2	望月和 浩, 横山 夏樹	日立	Two-dimensional modeling of aluminum-ion implantation into 4H-SiC	The 8th European Conference on Silicon Carbide and Related Materials, 2010	有 (発表)	2010/08/27
3	望月和 浩, 横山 夏樹	日立	4H-SiC へのイオ ン注入二次元モ デリングの適用 性評価	応用物理学会 2010 年秋 季応用物理学会学術講 演会	無 (発表)	2010/09/14
4	望月和 浩, 横山 夏樹	日立	Two-dimensional modeling of aluminum-ion implantation into 4H-SiC	Material Science Forum 2011	有 (論文)	2011/09/02
5	望月和 浩, 横山 夏樹	日立	Two-Dimensional Analytical Model for Concentration Profiles Implanted Into 4H-SiC(0001)	IEEE Transactions on Electron Devices	有 (論文)	2011/02/01
6	石川勝 美, 加藤 かおる, 畑中歩, 小川和 俊, 清水 悠佳, 横 山夏樹	日立	High speed drive circuit with a separated source terminal for 600V / 40A normally-off SiC JFET	The 9th European Conference on Silicon Carbide and Related Materials, 2012	有 (発表)	2012/09/02
7	石川勝 美, 加藤 かおる,	日立	High speed drive circuit with a separated source	Material Science Forum 2013	(論文)	2013/02/13

	畑中歩, 小川和 俊, 清水 悠佳, 横 山夏樹		terminal for 600V / 40A normally-off SiC JFET			
8	横山夏 樹, 石川 勝美	日立	R&D of power supply in data center using SiC power devices	SiC パワー半導体関連プ ロジェクト合同シンポ ジウム	無 (発表)	2012/11/11
9	横山夏 樹, 清水 悠佳, 秋 山悟	日立	高性能 SiC-JFET の開発	応用物理学会 2013 年春 季応用物理学会学術講 演会	無 (発表)	2013/03/27
10	清水悠 佳, 沖野 泰之, 秋 山悟, 加 藤かお る, 横山 夏樹, 石 川勝美	日立	600-V 27m Ω Normally-off SiC JFET for High Efficiency Power Supply	2012 International Conference on Solid State Devices and Materials	有 (発表)	2012/09/25

2 SiC パワーデバイスを用いた太陽光発電用パワーコンディショナ技術開発

表 2.4 SiC パワーデバイスを用いた太陽光発電用パワーコンディショナ技術開発に係る
特許・論文・外部発表等の件数(内訳)

区分 年度	特許出願		論文		発表		その他外部発表 (プレス発表等)
	国内	外国 (PCT 含)	査読 付き	その他 (招待論文)	査読 付き	その他 (招待講演)	
H21FY	0 件	0 件	0 件	0 件()	0 件	0 件()	0 件
H22FY	0 件	0 件	0 件	0 件()	1 件	0 件(0)	0 件
H23FY	3 件	0 件	0 件	0 件()	3 件	1 件(1)	0 件
H24FY	0 件	0 件	0 件	0 件()	0 件	0 件()	0 件

表 2.5 SiC パワーデバイスを用いた太陽光発電用パワーコンディショナ技術開発に係る特許リスト

番号	出願者	受付番号	国内/外国/PCT	出願日	状態	名称	発明者
1	三菱	615712JP01	国内	2011年05月06日	出願	半導体装置およびその製造方法	三浦成久、渡邊寛
2	三菱	615713JP01	国内	2011年05月06日	出願	半導体装置およびその製造方法	三浦成久、渡邊寛
3	三菱	619507JP01	国内	2011年12月01日	出願	電力変換装置	地道 拓志

表 2.6 SiC パワーデバイスを用いた太陽光発電用パワーコンディショナ技術開発に係る研究発表・講演

番号	発表者投稿者	所属	タイトル	発表誌名	査読	発表年月日
1	中田修平、北村達也、木ノ内伸一、炭谷博昭、今泉昌之、大井健史、大森達夫	三菱	SiC-MOSFETの高速スイッチング特性	平成22年 電気学会全国大会	無	2010/3/19
2	中田修平	三菱	SiCインバーター	第1回 技術フォーラム 「SiC パワーデバイスを活かす」	無	2010/7/5
3	三浦 成久、日野 史郎、藤平 景子、中尾 之泰、海老池 勇史、中田 修平、今泉 昌之、炭谷 博明	三菱	SiC MOSFET 低抵抗化のためのセル構造設計	第19回 シリコンカーバイド(SiC)及び関連ワイドギャップ半導体研究会	無	2010/10/22

4	中田修平、三浦成久、中木義行、今泉昌之、黒岩丈晴、豊田吉彦、高見哲也、炭谷博昭、木ノ内伸一、大井健史、大森達夫	三菱	SiCデバイスと応用技術開発	第19回 シリコンカーバイド(SiC)及び関連ワイドギャップ半導体研究会	無	2010/10/22
---	---	----	----------------	--------------------------------------	---	------------

3 次世代 SiC パワーデバイス・電力変換器基盤技術開発

表 2.7 次世代 SiC パワーデバイス・電力変換器基盤技術開発に係る特許、論文、外部発表等の件数

区分	特許出願		論文			発表			その他外部発表 (プレス発表等)
	国内	外国 (PCT 含)	査読付 き	その他	(招待 論文)	査読付 き	その他	(招待 講演)	
H21FY	0	0	1	1	0	2	6	2	0
H22FY	0	0	5	3	1	5	12	5	2
H23FY	6	2	4	6	1	8	21	12	7
H24FY	8	0	6	5	1	5	27	19	0

表 2.8 次世代 SiC パワーデバイス・電力変換器基盤技術開発に係る特許リスト

番号	出願者	出願番号	国内/外国/PCT	出願日	状態	名称	発明者
1	日産自動車(株)サンケン電気(株)富士電機(株)	特願 2011-107171	国内	2011/5/12	出願	スイッチング回路及び半導体モジュール	関子祐輔、谷本智、村上善典、佐藤伸二、松井康平
2	日産自動車(株)住友金属鉱山	特願 2011-165508	国内	2011/7/28	出願	半導体装置/ZnAl/金属基板接	谷本智、関子祐輔、村上善則、井

	(株)サンケン電気(株)富士電機(株)					合体の構造およびその製造方法	関隆士、高森雅人、佐藤伸二、松井康平
3	富士電機(株)サンケン電気(株)日産自動車(株)	特願 2011-168469	国内	2011/8/1	出願	パワー半導体モジュール	松井康平、関子祐輔、谷本智、村上善典、佐藤伸二
4	日産自動車(株)サンケン電気(株)富士電機(株)	特願 2011-184019	国内	2011/8/25	出願	半導体モジュール	関子祐輔、村上善典、谷本智、佐藤伸二、松井康平
5	サンケン電気(株)富士電機(株)日産自動車(株)	特願 2011-200308	国内	2011/9/14	出願	半導体モジュール	佐藤伸二、松井康平、関子祐輔、谷本智、村上善典
6	産総研	特願 2011-289925	国内	2011/12/28	出願	半導体チップ、半導体モジュール、及び半導体チップ実装方法	佐藤 弘、仲川 博、郎 豊群、山口 浩
7	日産自動車(株)住友金属鉱山(株)サンケン電気(株)富士電機(株)	特願 2012-102954	国内	2012/4/27	出願	半導体チップ、半導体モジュール、及び半導体チップ実装方法	谷本智、関子祐輔、村上善典、松井康平、佐藤伸二
8	日産自動車(株)サンケン電気	PCT-JP2012-62129	外国	2012/5/11	出願	スイッチング回路及び半導	関子祐輔、谷本智、村上善典、佐

	(株)富士電機(株)					体モジュール	藤伸二、松井康平
9	富士電機(株)サンケン電気(株)日産自動車(株)	PCT -JP2012 -69512	外国	2012/7/31	出願	パワー半導体モジュール	松井康平、 関子祐輔、 谷本智、村 上善典、佐 藤伸二
10	日産自動車株式会社京セラ株式会社サンケン電気株式会社富士電機株式会社	特願 2012 -184460	国内	2012/8/23	出願	絶縁基板、 多層セラ ミック絶 縁基板、パ ワー半導 体装置と 絶縁基板 の接合構 造体、及び パワー半 導体モジ ュール	谷本智、谷 澤秀和、佐 藤伸二、松 井康平、早 川浩二
11	富士電機株式会社日産自動車株式会社サンケン電気株式会社	特願 2012 -213620	国内	2012/9/27	出願	パワー半導体モジュール	松井康平、 佐々木健 介、谷本 智、村上善 則、佐藤伸 二、谷澤秀 和
12	日産自動車株式会社清川メッキ工業株式会社サンケン電気株式会社富士電機株式会社	特願 2012 -235304	国内	2012/10/25	出願	Au系はんだダイア タッチメ ント半導 体装置お よびその 製造方法	谷本智、佐 藤伸二、松 井康平、福 島悠

13	日産自動車株式会社サンケン電気株式会社富士電機株式会社	特願 2012-250852	国内	2012/11/15	出願	Au 系はんだダイアタッチメント半導体装置およびその製造方法	谷本智、谷澤秀和、佐藤伸二、松井康平
14	産総研	特願 2012-261438	国内	2012/11/29	出願	半導体モジュール	佐藤 弘、仲川 博、郎 豊群、山口 浩
15	産総研、田中貴金属工業	特願 2013-027968	国内	2013/2/15	出願	接合方法及び半導体モジュールの製造方法	加藤 史樹、仲川博、郎 豊群、佐藤弘、山口浩、小柏俊典
16	産総研	特願 2013-074080	国内	2013/3/29	出願	回路基板の接合方法及び半導体モジュールの製造方法	加藤 史樹、仲川博、郎 豊群、佐藤弘、山口浩
17	産総研	特願 2013-074087	国内	2013/3/29	出願	接合方法及び半導体モジュールの製造方法	郎 豊群、仲川 博、加藤 史樹、佐藤弘、山口浩

(※Patent Cooperation Treaty :特許協力条約)

表 2.9 次世代 SiC パワーデバイス・電力変換器基盤技術開発に係る投稿論文リスト

番号	発表者	所属	タイトル	発表誌名、 ページ番号	査 読	発表年月 日
1	郎 豊群、 仲川 博、 青柳 昌宏、 大橋 弘通、 山口 浩	産総研	パワーデバイスの 3 次元実装に向けた微 小金属保護層付き半 導体 AI 電極	第 19 回マイクロ エレクトロニク スシンポジウム 論 文 集 (MES2009) , pp.57-60	無	2009/9/1
2	S. Tanimoto, N. Nishio, T. Suzuki, Y. Murakami, H. Ohashi, H. Yamaguchi, H. Okumura	FUPET, 日産自 動車, 産 総研	Electromigration Reliability of the Contact Hole in SiC Power Devices Operated at Higher Junction Temperatures	Materials Science Forum	有	2010/3/1
3	F. Lang, H. Nakagawa, M. Aoyagi, H. Oohashi, H. Yamaguchi	産総研	Impact of joint materials on the reliability of double-side packaged SiC power devices during high temperature aging	J. OF MATERIALS SCIENCE-MATER IALS IN ELECTRONICS , Vol.21, No.9 , pp.917-925	有	2010/7/1
4	郎 豊群、 山口 浩、 佐藤 弘	産総研	実装基板の表面処理 によるパワーデバイ スの高温接合信頼性 の向上	MES2010 エレク トロニクス実装 学会秋季大会第 20 回マイクロエ レクトロニクス シンポジウム論 文集, pp.27-30	有	2010/9/1

5	F. Lang, H. Oohashi, H. Yamaguchi	産総研	Effect of Solder Diffusion Barriers on the Joint Reliability of SiC Power Devices Operated above 300°C	Proc. of 2010 Electronics System Integration Technology Conference , pp.P0224-1-P0224-5	無	2010/9/1
6	谷本 智	FUPET, 日産自動車	7章 SiCのプロセス技術における「オーミック電極」	専門書「半導体SiC技術と応用」		2010/10/1
7	S. Sato, K. Matsui, Y. Zushi, Y. Murakami, S. Tanimoto, H. Sato, H. Yamaguchi	FUPET, サンケン電気, 富士電機 HD, 日産自動車, 産総研	Forced-Air-Cooled 10 kW Three-Phase SiC Inverter with Output Power Density of More than 20 kW/L	Silicon Carbide and Related Materials 2011 Part2, pp.853-856	有	2011/3/1
8	S. Tanimoto, M. Miyabe, T. Shiiyama, T. Suzuki, H. Yamaguchi, S. Nakashima and H. Okumura	FUPET, 日産自動車, 産総研	Toward a better understanding of Ni-based ohmic contacts on SiC	Mater. Sci. Forum, Vol.579-680 (2011) pp. 465-468.	有	2011/3/1
9	K. Matsui, Y. Zushi, Y. Murakami, S. Tanimoto and S. Sato	FUPET, 富士電機 HD, 日産自動車, サンケン電気	A compact 5-nH one-phase-leg SiC power module for a 600V-40W/cc inverter	Silicon Carbide and Related Materials 2011 Part2 , pp.1233-1236	有	2011/3/1

10	R.Simanjorang, H. Yamaguchi, H. Oohashi, K. Nakao, T. Ninomiya, S. Abe, M. Kaga, A. Fukui	産総研	High-Efficiency High-Power dc-dc Converter for Energy and Space Saving of Power-Supply System in a Data Center	Twenty-Sixth Annual IEEE Applied Power Electronics Conference and Exposition	無	2011/3/1
11	R.Simanjorang, H. Nakagawa, H. Yamaguchi, H. Sato	産総研	Turn-off Surge Voltage Analysis of 1200V SiC Schottky Barrier Diode	The 2011 Annual Meeting Record IEEE Japan	無	2011/3/1
12	F. Lang, H. Yamaguchi, H. Oohashi, H. Sato	産総研	Improvement in Joint Reliability of SiC Power Devices by a Diffusion Barrier between Au-Ge Solder and Cu/Ni(P) Metalized Ceramic Substrates	J. OF ELECTRONIC MATERIALS , Vol.40, No.7 , pp.1563-1571	有	2011/7/1
13	F. Lang, H. Yamaguchi, H. Sato	産総研	Package Reliability of the SiC Power Modules in Harsh Environments	Proc. International Conference and Exhibition on High TemperatureElect ronics Network (HiTEN 2011), pp.139-144	有	2011/7/1
14	R. Simanjorang, H. Nakagawa, H. Yamaguchi, H. Sato	産総研	Turn-off Surge Voltage Behavior of SiC Schottky Barrier Diode	Japan Industry Application Society Conference 2011	無	2011/9/1

15	郎 豊群、 山口 浩、 佐藤 弘	産総研	Au-Ge はんだ/Ni(P) 接合界面の微細構造	第二十一回マイ クロエレクトロ ニクスシンポジ ウム論文集、 pp.265-268	無	2011/9/1
16	郎 豊群、 山口 浩、 佐藤 弘	産総研	高温はんだ拡散バリ ア	日本溶接学会マ イクロ接合研究 委員会第52回マ イクロ接合研究 委員会ソルダリ ング分科会資料、 pp.53-6	無	2011/10/1
17	佐藤 伸二、 松井康平、 関子祐輔、 谷本 智、 村上善則	FUPET, サンケ ン電気、 富士電 機 HD、 日産自 動車	SiC を用いた高電力 密度 3 相インバータ の開発	サンケン技報		2011/12/1
18	谷本 智	FUPET, 日産自 動車	新技術搭載 出力密 度 40kW/L オール SiC インバータの開発	月刊誌 OHM		2012/1/1
19	佐藤 弘、 仲川 博、 劉 小軍、 郎 豊群、 山口 浩	産総研	高パワー密度電力変 換器用実装基板の熱 変形評価	Mate2012 , pp.239-242	無	2012/1/1
20	B. Chen, H. Matsuhata, T. Sekiguchi, K.IchinosekiH. Okumura	産総研	Surface defects and accompanying imperfections in 4H-SiC: Optical, structural and electrical characterization	ACTA MATERIALIA 60 (2012) pp51	有	2012/1

21	谷本 智、 松井康平、 関子祐輔、 佐藤 伸二、 村上善則、 山田朋幸	FUPET, 日産自 動車, サ ンケン 電気, 新 機能素 子研究 開発協 会	小型高出力 SiC パワ ーモジュールの高温 鉛フリーはんだ接合 信頼性	第 18 回「エレク トロニクスにお けるマイクロ接 合・実装技術」シ ンポジウム, Mate 2012 論文 集 pp.107-112	有	2012/1/31
22	B. Chen, H. Matsuhata, K. Kumagai, T. Sekiguchi, K.IchinosekiH. Okumura	産総研	Direct imaging and optical activities of stacking faults in 4H-SiC homoepitaxial films	Journal of Applied PhySiCs, 111 (2012) pp.053513	有	2012/3
23	B. Chen, H. Matsuhata, T. Sekiguchi, K.IchinosekiH. Okumura	産総研	Tuning minority carrier lifetime through stacking fault, the case of polytype SiC	Applied PhySiCs Letter 100 (2012) pp.132108	有	2012/4
24	S. Tanimoto, K. Matsui, Y. Zushi, S. Sato, Y. Murakami, M. Takamori, T. Iseki	FUPET, 富士電 機, 日産 自動車, 住友金 属鉱山	Common Metal Die Attachment for SiC Power Devices Operated in an Extended Junction Temperature Range	Material Science Forum, Vol.717-720 (2012) pp. 853-856	有	2012/3/1
25	郎 豊群、 山口 浩、 仲川 博、 佐藤 弘	産総研	遷移的液相焼結法 (TLPS)による SiC パ ワーデバイスの高温 接合技術	第 26 回 エレク トロニクス実装 学会講演大会講 演論文集, pp.295-296	無	2012/3/1

26	F. Lang, H. Nakagawa, H. Yamaguchi, H. Sato	産総研	Integration Technologies to Realize the Next-Generation High Temperature and High Power Density SiC Inverters	Proc. of 2012 International Conference in Advanced Manufacturing for Multifunctional Miniaturised Devices, pp.37-38	無	2012/5/1
27	S. Tanimoto, K. Matsui, Y. Zushi, S. Sato, Y. Murakami, M. Takamori, T. Iseki	FUPET, 富士電機, 日産自動車, サンケン電気, 住友金属鉱山	Eutectic Zn-Al Die Attachment for Higher Tj SiC Power Applications: Fabrication Method and Die Shear Strength Reliability	IMAPS International Conference on High Temperature Electronics(HiTEC 2012), Proceedings, pp.110-116	有	2012/5/8
28	郎 豊群、 山口 浩、 仲川 博、 佐藤 弘	産総研	Ni(P)/Ta/TaN/Ta 拡散バリアを用いた新しい高温はんだ接合技術	エレクトロニクス実装学会誌, Vol.15, No.4, pp.271-278	有	2012/7/1
29	F. Lang, H. Yamaguchi, H. Nakagawa, H. Sato	産総研	High Temperature Resistant Joint Technology for SiC Power Devices Using Transient Liquid Phase Sintering Process	Proc. of The 13th International Conference on Electronic Packaging Technology & High Density Packaging, , pp.157-161	有	2012/8/1

30	S. Sato, K. Matsui, Y. Zushi, Y. Murakami, S. Tanimoto	FUPET, サンケン 電気, 富士電 機, 日産 自動車	Development of High Power Density All-SiC Three-Phase Inverter	ECS Transactions , Volume 50, No.3, Gallium Nitride and Silicon Carbide Power Technologies 2, pp.15-24 (2012)	有	2012/9/1
31	関子祐輔、 佐藤 伸二、 松井康平、 村上善則、 谷本 智	FUPET, 日産自 動車, サ ンケン 電気, 富 士電機, 日産自 動車	Collaborative Reserch on a high Power Density Air-cooled SiC Inverter	Nissan Technical Review, Special Issue		2012/9/1
32	郎 豊群、 山口 浩、 仲川 博、 佐藤 弘	産総研	Ni(P)/Ta/TaN/Ta 拡 散バリアを用いた新 しい高温はんだ接合 技術	表面実装技術, Vol.13, No.10 , pp.56-63	有	2012/10/1
33	松井康平、 佐藤伸二、 佐々木健介、 谷本智、 谷澤秀和、 村上善則	FUPET, 富士電 機, サン ケン電 気, 日産 自動車	低インダクタンスモ ジュール	日刊工業新聞 工業材料 12月 号		2012/11/15
34	K. Sasaki, S. Sato, K. Matsui, Y. Murakami, S. Tanimoto, H. Tanisawa	FUPET, 日産自 動車, サ ンケン 電気, 富 士電機	40kW/L High switching frequency Three-Phase AC400V All-SiC Inverter	Materials Science Forum, Vol. 740-742, 1081	有	2013/1/25

35	谷本智、 谷澤秀和、 渡辺衣世、 松井康平、 佐藤伸二	FUPET, 日産自動車, サンケン電気, 富士電機	SiC ダイアタッチメントの高温高信頼化法	19th Symposium on "Microjoining and Assembly Technology in Electronics" (mate 2013), 論文集, pp.121-126	有	2013/1/29
36	S. Tanimoto, H. Tanisawa, K. Watanabe, K. Matsui, S. Sato	FUPET, 日産自動車, サンケン電気, 富士電機	Power module package structure capable of surviving greater ΔT_j thermal cycles	Materials Science Forum, Vol. 740-742 (2013) pp.1040-1043.	有	2013/2/28

表 2.10 次世代 SiC パワーデバイス・電力変換器基盤技術開発に係る外部発表リスト

番号	発表者	所属	タイトル	発表先	発表年月日
1	郎 豊群、 仲川 博、 青柳 昌宏、 大橋 弘通、 山口 浩	産総研	パワーデバイスの 3次元実装に向けた微小金属保護層付き半導体 AI 電極	エレクトロニクス実装学会秋季大会第 19 回マイクロエレクトロニクスシンポジウム(MES2009)	2009/9/10
2	S. Tanimoto , N. Nishio , T. Suzuki, Y. Murakami, H. Ohashi, H. Yamaguchi, H. Okumura	FUPET , 日産自動車, 産総研	Electromigration Reliability of the Contact Hole in SiC Power Devices Operated at Higher Junction Temperatures	ICSCRM 2009	2009/10/13
3	S. Harada	産総研	Isotropic channel mobility in UMOSFETs on 4H-SiC C-face with vicinal off-angle	ICSCRM 2009	2009/10/13

4	高尾和人、 原田信介、 福田憲司、 四戸孝、 大橋弘通	FUPET , 東芝, 産総研	Evaluation of a SiC Power Module Using Low-on-Resistance IEMOSFET and JBS for High Power Density Power Converter	APEC2010	2010/2/25
5	谷本 智、 宮部正徳、 椎山貴光、 鈴木達弘、 山口浩、 中島信一、 奥村元	FUPET , 日産自 動車, 産総研	4H-SiC 低抵抗 Ni 熱 処理コンタクトの構 造解析	第 57 回応用物理学 関係連合講演会	2010/3/17
6	谷本 智、 松井康平、 高尾和人、 佐藤 伸二、 村上善則、 山口浩	FUPET , 日産自 動車, 富士電 機, 東 芝, サ ンケン 電気, 産総研	Au-Ge 共晶はんだ接 合 SiC チップの高温 シェア強度	第 57 回応用物理学 関係連合講演会	2010/3/17
7	松井康平、 佐藤 伸二、 高尾和人、 谷本 智、 村上善則、 山口浩	FUPET , 富士電 機, サ ンケン 電気, 東芝, 日産自 動車, 産総研	電力変換器の出力パ ワー密度が最大とな る Ti	平成 22 年電気学会 全国大会 4-134, 第 4 分冊 p.226	2010/3/17

8	S. Tanimoto, K. Matsui, Y. Murakami, H. Yamaguchi, H. Okumura	FUPET , 日産自 動車, 産総研	Assessment of Au-Ge Die Attachment for an Extended Junction Temperature Range in Power Applications	HiTEC 2010 Proceedings	2010/5/11
9	陳 斌 松畑 洋文 関口 隆史 一ノ関 共一 奥村 元	産総研	Identification of defects on 4H-SiC epitaxial layers by scanning electron microscope.	日本顕微鏡学会(代)66 回学術講演会 ポス ター発表	2010/5/24
10	陳 斌 松畑 洋文 関口 隆史 一ノ関 共一 奥村 元	産総研	Crystallographic analysis of the 3C-particles in 4H-SiC epitaxial films.	日本顕微鏡学会(代)66 回学術講演会 口頭 発表	2010/5/24
11	高尾和人、 原田信介、 四戸孝、 大橋弘通	FUPET , 東芝, 産総研	Performance evaluation of all SiC power converters for realizing high power density of 50W/cm ³	IPEC-Sapporo2010	2010/6/24
12	S. Tanimoto, M. Miyabe, T. Shiiyama, T. Suzuki, H. Yamaguchi, S. Nakashima, H. Okumura	FUPET , 日産 自 動 車, 産 総研	Toward a better understanding of Ni ₂ Si-based contact on SiC	ECSCRM	2010/8/29

13	S. Sato, K. Matsui, Y. Zushi, Y. Murakami, S. Tanimoto, H. Sato, H. Yamaguchi	FUPET , サンケン ン 電 気, 富 士 電 機, 日 産自動 車, 産 総研	Forced-Air-Cooled 10kW Three-Phase SiC Inverter with an Output Power Density of more than 20kW/L	ECSCRМ	2010/8/29
14	松井康平、 佐藤 伸二、 関子祐輔、 谷本 智、 村上善則、山口浩	FUPET , 富士電 機, サ ンケン 電気, 日産自 動車, 産総研	SiC パワーデバイス を適用した高パワー 密度変換器-高温接 合技術の現状と課題 -	「富士電機パワーデ バイス・スマート接 合」共同研究部門設 立記念講演会	2010/9/2
15	郎 豊群、 山口 浩、 佐藤 弘	産総研	実装基板の表面処理 によるパワーデバイ スの高温接合信頼性 の向上	MES2010 エレクト ロニクス実装学会秋 季大会	2010/9/9
16	谷本 智、 松井康平、 高尾和人、 佐藤 伸二、 村上善則、 佐藤弘、山口浩	FUPET , 日産自 動車, 富士電 機, 東 芝, サ ンケン 電気, 産総研	SiC 素子 Au-Ge 共晶 はんだ接合系の高温 放置信頼性	第 71 回応用物理学 会学術講演会	2010/9/14

17	郎 豊群、 大橋 弘通、 山口 浩	産総研	Effect of Solder Diffusion Barriers on the Joint Reliability of SiC Power Devices Operated above 300°C	2010 Electronics SystemIntegration Technology Conference (ESTC 2010)	2010/9/16
18	谷本 智	FUPET , 日産自動車	Ni コンタクトをめぐる最新トピックス	SiC 及び関連ワイドギャップ半導体研究会 第 19 回講演会 予稿集, V-1, pp.8-9	2010/10/21
19	谷本 智、 松井康平、 冢子祐輔、 高尾和人、 佐藤伸二、 村上善則、 佐藤弘、山口浩	FUPET , 日産自動車、 富士電機、東芝、サンケン電気、 産総研	SiC/Au-Ge/SiN 接合系の冷熱サイクル試験	SiC 及び関連ワイドギャップ半導体研究会 第 19 回講演会 予稿集, P-72, pp.173-174	2010/10/21
20	松井康平、 佐藤伸二、 冢子祐輔、 高尾和人、 谷本 智、 村上善則、 佐藤弘、山口浩	FUPET , 富士電機、サンケン電気、 日産自動車、 東芝、 産総研	Tj=200°C対応 All-SiC 10kW 三相インバータ	SiC 及び関連ワイドギャップ半導体研究会 第 19 回講演会 予稿集, IX-1, pp.30-31	2010/10/22
21	谷本 智	FUPET , 日産自動車	CO2 削減の切り札に -SiC パワーエレクトロニクス	「 Green Device 2010」フォーラム	2010/11/10

22	松井康平、 佐藤伸二、 村上善則、 谷本 智	FUPET , 富士電機, サンケン電気, 日産自動車	小型高効率電力変換器設計技術	低炭素フロンティアを目指して「ENEX 2011」	2011/2/8
23	谷本 智、 松井康平、 関子祐輔、 佐藤伸二、 村上善則、 山田朋幸	FUPET , 日産自動車, 富士電機, サンケン電気, 新機能素子研究開発協会	SiC 用高温 Au-Ge ダイボンドとその信頼性評価	高温エレクトロニクス研究会	2011/3/2
24	チェスンチョル、 郎 豊群、 劉 小軍、 仲川 博、山口浩、 佐藤 弘	産総研	SiC パワー半導体素子の高温動作における熱応力	第 25 回エレクトロニクス実装学会講演大会	2011/3/9
25	関子祐輔、 佐藤 伸二、 松井康平、 村上善則、 谷本 智	FUPET , 日産自動車, サンケン 電気, 富士電機	SiC JFET 安定動作のための駆動回路の検討	平成 23 年電気学会全国大会	2011/3/16

26	谷本 智、 松井康平、 佐藤 伸二、 関子祐輔、 村上善則、 山田朋幸	FUPET , 日産 自 動 車, 富 士 電 機, サ ンケン 電気, 新機能 素子研 究開発 協会	SiC/Au-Sn/Cu-SiN 接合体の高温ダイシ ェア強度特性	第 58 回応用物理学 関係連合講演会	2011/3/24
27	谷本 智、 宮部正徳、 椎山貴光、 鈴木達広、 中島信一、 山田朋幸	FUPET , 日産自 動車, 新機能 素子研 究開発 協会	4H-SiC Ni コンタク トの低抵抗化モデル の検証	第 58 回応用物理学 関係連合講演会	2011/3/24
28	谷本 智、 松井康平、 関子祐輔、 佐藤 伸二、 村上善則、 山田朋幸、 高尾和人	FUPET , 日産自 動車, 富士電 機, 新 機能素 子研究 開発協 会, 東 芝	300℃耐熱高信頼 SiC パワーデバイス	応電分科会研究例会 「ワイドギャップ半 導体パワーデバイス ～Si、SiC、 GaN の すみ分けと展開～」	2011/6/23
29	谷本 智	FUPET , 日産自 動車	SiC デバイスの高温 動作に向けた信頼性 課題	学振 154 委員会 7 月 研究会	2011/7/8

30	郎 豊群、 山口 浩、 佐藤 弘	産総研	Package Reliability of the SiC Power Modules in Harsh Environments	International Conference and Exhibition on High Temperature Electronics Network (HiTEN2011)	2011/7/19
31	谷本 智、 松井康平、 関子祐輔、 村上善則、 山田朋幸	FUPET , 日産自 動車, 新機能 素子研 究開発 協会	SiC 用高温 Au-Ge ダ イボンドとその信頼 性評価	第 11 回熱設計・対策 技術シンポジウム	2011/7/21
32	S. Tanimoto	FUPET , 日産自 動車	Toward Development of Ohmic Contacts Capable of Operating Reliably on SiC Power Devices in an Extended Temperature Range	The 7th International Conference on Silicon Epitaxy and Heterostructures(ICS I-7)	2011/8/28
33	高尾和人、 四戸孝	FUPET , 東芝	Demonstration of 25W/cm ³ class All SiC Three Phase Inverter	EPE2011	2011/8/30
34	高尾和人、 四戸孝	FUPET , 東芝	Demonstration of High Power Density Converters using SiC Devices	ECPE SiC & GaN User Forum	2011/9/1
35	R. Simanjorang, H. Nakagawa, H. Yamaguchi, H. Sato	産総研	Turn-off Surge Voltage Behavior of SiC Schottky Barrier Diode	Japan Industry Applications Society Conference 2011	2011/9/8
36	郎 豊群、 山口 浩、 佐藤 弘	産総研	Au-Ge はんだ/Ni(P) 接合界面の微細構造	MES2011	2011/9/9

37	S. Tanimoto, K. Matsui, Y. Zushi, S. Sato, Y. Murakami, M. Takamori, T. Iseki	FUPET , 日産自動車, 富士電機, 住友金属 鉱山	Common Metal Die Attachment for SiC Power Devices Operated in an Extended Junction Temperature Range	ICSCRM2011	2011/9/11
38	K. Matsui, Y. Zushi, Y. Murakami, S. Tanimoto, S. Sato	FUPET , 富士電機, 日産自動車, サンケン電気	A compact 5-nH one-phase-leg SiC power module for a 600V-60A-40W/cc inverter	ICSCRM	2011/9/11
39	S. Sato, Y. Zushi, K. Matsui, Y. Murakami, S. Tanimoto	FUPET , サンケン電気, 日産自動車, 富士電機	30 kW/L Three-Phase AC 400 V All-SiC Inverter	ICSCRM	2011/9/11
40	松井康平	FUPET , 富士電機	SiC パワーデバイスを適用した高パワー密度変換器-高温接合技術の現状と課題 -	はんだ・微細接合部会シンポジウム パワーデバイス/パワーモジュールにおける微細接合技術	2011/9/27

41	谷本 智、 山田 朋幸、 佐藤 伸二、 関子 祐輔、 村上 善則、 松井 康平	FUPET 、 日産自動車、 新機能素子研究開発協会 、サンケン電気、富士電機	SiC デバイス高温動作に向けた信頼性課題と SiC インバータの開発	EAG・ナノサイエンスセミナー	2011/10/7
42	高尾和人、 四戸孝	FUPET 、 東芝	パワー密度 25W/cm ³ 級 All SiC 三相インバータの設計と試作評価	電気学会 電子デバイス 半導体電力変換 合同研究会	2011/10/27
43	郎 豊群、 山口 浩、 佐藤 弘	産総研	高温はんだ拡散バリア	(社)日本溶接学会	2011/10/28
44	谷本 智、 松井康平、 関子祐輔、 佐藤 伸二、 村上善則、 山田朋幸	FUPET 、 日産自動車、 富士電機、サンケン電気、 新機能素子研究開発協会	ここまできた SiC インバータ —高パワー密度化と応用展開—	第4回 SiC パワーデバイス技術フォーラム(主催:文科省京都環境ナノクラスター)	2011/11/7

45	佐藤 伸二、 松井康平、 谷本 智、 関子祐輔、 村上善則	FUPET , サンケン 電 気, 富士 電 機, 日 産自動車	省エネ社会の切り札 超小型高出力の交流 電源	福井大学主催「地域 イノベーション事 業」キックオフセミ ナー	2011/11/9
46	松井康平、 佐藤 伸二、 関子祐輔、 谷本 智、 村上善則	FUPET , 富士電 機, サ ンケン 電気, 日産自 動車	5nH 低インダクタン ス SiC パワーモジュ ールと 40W/cc イン バータの開発	SiC 及び関連ワイド バンドギャップ半導 体研究会 第 20 回講 演会 予稿集 VI-2, pp.28-29	2011/12/8
47	佐藤 伸二、 松井康平、 関子祐輔、 谷本 智、 村上善則	FUPET , サンケン 電 気, 富士 電 機, 日 産自動車	30 kW/L Three-Phase AC 400 V All-SiC Inverter	SiC 及び関連ワイド バンドギャップ半導 体研究会 第 20 回講 演会 予稿集 P-114, pp.241-242	2011/12/8
48	関子祐輔、 佐藤 伸二、 松井康平、 村上善則、 谷本 智	FUPET , 日産自 動車, サンケン 電 気, 富士電機	All-SiC3 相インバー タの伝導性 EMI 評価	SiC 及び関連ワイド バンドギャップ半導 体研究会 第 20 回講 演会 予稿集 P-113, pp.239-240	2011/12/8

49	郎 豊群、 谷本 智、 大橋 弘通、 山口 浩、 仲川 博、 佐藤 弘、	産総研	直接はんだ付けられるAI電極及び高温接合信頼性	第 20 回シリコンカーバイド(SiC)及び関連ワイドギャップ半導体研究会	2011/12/8
50	谷本 智、 松井康平、 関子祐輔、 佐藤 伸二、 村上善則、 高森雅人、 井関隆士	FUPET , 日産自動車, 富士電機, サンケン電気, 住友金属鉱山	高温・広温度域動作 SiC パワーデバイスのための卑金属 Zn-Al ダイ・アタッチメント	SiC 及び関連ワイドバンドギャップ半導体研究会 第 20 回講演会 予稿集 III-3, pp.12-13	2011/12/9
51	佐藤 伸二	FUPET , サンケン電気	SiC デバイスを用いた高電力密度インバータの開発	電子情報通信学会第 2 種研究会	2011/12/9
52	村上善則	FUPET , 日産自動車	高温高パワー密度 SiC 半導体実装技術の実際	第 42 回インターネットコンジャパン専門技術セミナー	2012/1/19
53	佐藤弘、仲川博、 劉 小軍、郎 豊群、 山口 浩	産総研	高パワー密度電力変換器用実装基板の熱変形評価	Mate2012	2012/2/1
54	関子祐輔、 佐藤 伸二、 松井康平、 村上善則、 谷本 智	FUPET , 日産自動車, サンケン電気, 富士電機	A novel gate assist circuit for quick and stable driving of SiC-JFETs in a 3 phase inverter	APEC	2012/2/5

55	松井康平、 関子祐輔、 高尾和人、 佐藤 伸二、 村上善則、 谷本 智、 山田朋幸	FUPET , 富士電機, 日産自動車, 東芝, サンケン電気, 新機能素子研究開発協会	低炭素社会を実現する小型高パワ密度 SiC 変換器	nano tech 2012	2012/2/15
56	佐藤 伸二、 関子祐輔、 松井康平、 谷本 智、 村上善則	FUPET , サンケン電気, 日産自動車, 富士電機	ノーマリオフ SiC-J FET用高速スイッチングゲート駆動回路	電気学会研究会資料, SPC-12-071	2012/3/5
57	郎 豊群、 山口 浩、 仲川 博、 佐藤 弘	産総研	遷移的液相焼結法 (TLPS)による SiC パワーデバイスの高温接合技術	第 26 回 エレクトロニクス実装学会春季講演大会	2012/3/9

58	谷本 智、 松井康平、 関子祐輔、 佐藤 伸二、 村上善則、 山田朋幸	FUPET , 日産自 動車, 富士電 機, サ ンケン 電気, 新機能 素子研 究開発 協会	p 型 SiC 領域 Ti/Al コンタクトの形成パ ラメータと接触抵抗 率の関係	2012 年春季第 59 回 応用物理学関係連合 講演会	2012/3/15
59	F. Lang, H. Nakagawa, H. Yamaguchi, H. Sato	産総研	Integration Technologies to Realize the Next-Generation High Temperature and High Power Density SiC Inverters	2012 International Conference in Advanced Manufacturing for Multifunctional Miniaturised Device	2012/05/22 招待講演
60	谷本 智	FUPET , 日産自 動車	電気自動車パワーエ レクトロニクス～モ ーター・インバータの 高性能化を目指して ～	東工大大学院総合理 工学研究科「物理電 子システム特論」	2012/6/1
61	松井康平、 佐藤 伸二、 関子祐輔、 谷本 智、 谷澤秀和、 村上善則	FUPET , 富士電 機, サ ンケン 電気, 日産自 動車	超低インダクタンス SiC モジュール ～ 5nHSiC モジュール と 40W/cc インバー タ～	SEMI Forum Japan	2012/6/14
62	清水肇	FUPET , 産総研	次世代パワーエレー クトロニクス技術開発 (グリーン IT プロジ ェクト)」成果報告	SiC アライアンス公 開シンポジウム	2012/6/28

63	佐藤 伸二	FUPET , サンケン電気	SiC パワーデバイスを用いた高電力密度インバータ	第 27 回 2012 スイッチング電源技術シンポジウム, D6-2	2012/7/11
64	佐藤伸二、 松井康平、 佐々木健介、 谷本智、 村上善則、 谷澤秀和	FUPET , サンケン電気、富士電機、日産自動車	高スイッチング周波数高出力密度 SiC 電力変換器の開発	SiC 研究会 個別討論会	2012/7/27
65	谷本 智、 佐々木健介、 平間宣恵、 渡辺衣世、 谷澤秀和、 松井康平、 佐藤 伸二、 村上善則、 和田敏美	FUPET , 日産自動車、サンケン電気、富士電機	電動車 SiC パワーモジュール用途 ZnAl 耐熱ダイアタッチの開発	応用物理学会 SiC 及び関連ワイドギャップ半導体研究会 第 7 回個別討論会	2012/7/27
66	谷澤秀和、 谷本 智、 渡辺衣世、 佐藤 伸二、 松井康平	FUPET , サンケン電気、日産自動車、富士電機	SiC 実装における Al ワイヤーボンディングの高温信頼性評価	応用物理学会 SiC 及び関連ワイドギャップ半導体研究会 第 7 回個別討論会	2012/7/27
67	谷本 智	FUPET , 日産自動車	～内燃機関車から電動車の時代へ～SiC パワーエレクトロニクスの現状と課題	応用物理学会第 40 回薄膜・表面物理セミナー	2012/8/3

68	F. Lang, H. Yamaguchi, H. Nakagawa, H. Sato	産総研	High Temperature Resistant Joint Technology for SiC Power Devices Using Transient Liquid Phase Sintering Process	The 13th International Conference on Electronic Packaging Technology. & High Density Packaging (ICEPT-HDP 2012)	2012/8/15
69	S. Tanimoto, H. Tanizawa, K. Watanabe, K. Matsui, S. Sato	FUPET , 日産自動車, サンケン電気, 富士電機	Package structure capable of surviving greater Tj thermal cycles	ECSCRM 2012	2012/9/2
70	K. Sasaki, S. Sato, K. Matsui, Y. Murakami, S. Tanimoto, H. Tanisawa	FUPET , 日産自動車, サンケン電気, 富士電機	40kW/L High switching frequency Three-Phase AC400V All-SiC Inverter	9 European Conference on Silicon Carbide & Related Materials (ECSCRM 2012)	2012/9/2
71	谷本 智、 平間宣恵、 渡辺衣世、 谷澤秀和、 松井康平、 佐藤 伸二	FUPET , 日産自動車, サンケン電気, 富士電機	SiC パワーモジュール向け Pb フリー高温 BiAgSn ダイアタッチメント	応用物理学会 2012 年秋季第 73 回応用物理学会学術講演会	2012/9/11
72	村上善則	FUPET , 日産自動車	高温・高パワー密度 SiC 半導体実装技術	自動車技術会 車載用パワーエレクトロニクス技術委員会 (依頼講演)	2012/9/25

73	谷本智	FUPET ，日産自動車	高速スイッチング高 出力パワ密度 SiC イ ンバータの開発	横浜高度実装技術コ ンソーシアム(YJC) 第6回シンポジウム (招待講演)	2012/9/25
74	S. Sato, K. Matsui, Y. Zushi, Y. Murakami, S. Tanimoto	FUPET ，サンケ ン電 気，富 士電 機，日 産自動 車	Development of High Power Density Three-Phase Inverter	Electrochemical Society Meeting "GaN and SiC Power Technologies"	2012/10/7
75	村上善則	FUPET ，日産自動車	SiC デバイスの実用 技術について(依頼 講演)	平成24年度冬学期、 東京大学大学院・工 学系研究科 融合情 報学特別講義Ⅲ(依 頼講演)	2012/10/17
76	佐藤伸二、 松井康平、 佐々木健介、 谷本智、 村上善則、 谷澤秀和	FUPET ，サンケ ン電 気，富 士電 機，日 産自動 車	ワイドギャップ半導 体デバイスの特徴と All-SiC インバータ の開発	E.E.研究所報告(崇城 大学 E.E.研究所)， Vol.18, No.1, 2012， pp/11-17	2012/10/25
77	谷本智、 谷澤秀和、 渡辺衣世、 松井康平、 佐藤伸二	FUPET ，日産自 動車， サンケ ン電 気，富 士電機	小型高出力 SiC パワ ーモジュール用途高 温高信頼ダイアタッ チメント	第54回ソルダリン グ分科会(溶接学会 マイクロ接合研究委 員)	2012/10/26

78	加藤 史樹、 仲川 博、 郎 豊群、 佐藤 弘、 山口 浩	産総研	両面実装パワーモジュールに向けた SiC-SBD のサブミクロン金ペーストによる接合	SiC 及び関連ワイドギャップ半導体研究会	2012/11/19
79	郎 豊群、 山口 浩、 仲川 博、 佐藤 弘	産総研	SiC デバイスの Cu-Sn 遷移的液相焼結 (TLPS) 接合における高温保持挙動	SiC 及び関連ワイドギャップ半導体研究会	2012/11/19
80	R. Simanjorang, H. Nakagawa, H. Yamaguchi, H. Sato	産総研	Influence of Switching Speed and Parasitic Inductance on Turn-Off Surge Voltage of SiC Schottky Barrier Diode	SiC 及び関連ワイドギャップ半導体研究会	2012/11/19
81	谷本智、 谷澤秀和、 渡辺衣世、 松井康平、 佐藤伸二	FUPET , 日産自動車, サンケン 電気, 富士電機	SiC 高 Tj ドライブ実現に向けた実装課題とその現状	第 21 回 SiC 及び関連ワイドギャップ半導体研究会	2012/11/20
82	松井康平	FUPET , 富士電機	200°C 駆動 All-SiC インバータの冷却構造解析と実測評価	サイバネットシステム(株)主催 コントロールユニットの熱対策セミナー	2012/12/5
83	松井康平	FUPET , 富士電機	SiC High output power density inverter	SEMICON Japan 2012	2012/12/7
84	松井康平	FUPET , 富士電機	200°C 駆動 All-SiC インバータの冷却構造解析と実測評価	サイバネットシステム(株)主催 コントロールユニットの熱対策セミナー	2012/12/14

85	谷本智、 谷澤秀和、 松井康平、 佐藤伸二	FUPET ， 日産自動車， サンケン 電気，富士電機	SiC 時代の実装技術	第 42 回インターネット プロコンジャパン専門 技術セミナー	2013/1/16
86	谷本智、 谷澤秀和、 渡辺衣世、 松井康平、 佐藤伸二	FUPET ，日産自動車， サンケン 電気， 富士電機	SiC ダイアタッチメントの高温高信頼化 法	19th Symposium on "Microjoining and Assembly Technology in Electronics" (mate 2013) , 論文集 , pp.121-126	2013/1/29
87	谷澤秀和、 谷本智、 渡辺衣世、 佐藤伸二、 松井康平、 村上善則、 佐々木健介	FUPET ， サンケン 電気，日産自動車，富士電機	SiC 実装における AL ワイヤーボンディングの長期高温信頼性 評価	19th Symposium on "Microjoining and Assembly Technology in Electronics" (mate 2013), pp.105-110	2013/1/29
88	谷本智、 渡辺衣世、 谷澤秀和、 松井康平、 佐藤伸二	FUPET ， 日産自動車， サンケン 電気，富士電機	-高 Tj ドライブと高速スイッチング実現 -コンパクト SiC パワーモジュール	第 22 回長野実装フォーラム「次世代 SiC パワーモジュール実用化のカギを握る実装技術の最前線」	2013/2/15

89	谷澤秀和、 谷本智、 渡辺衣世、 佐藤伸二、 松井康平、 村上善則、 佐々木健介	FUPET ， サンケン 電 気，日 産自動 車，富 士電機	200°C超え AI ワイヤ の信頼性	第 22 回長野実装フ ォーラム「次世代 SiC パワーモジュー ル実用化のカギを握 る実装技術の最前 線」	2013/2/15
90	谷本智、 谷澤秀和、 渡辺衣世、 松井康平、 佐藤伸二	FUPET ，日産 自 動 車，サ ンケン 電気， 富士電 機	SiC パワーモジュー ルのための耐熱樹脂 ベンチマーク試験	第 27 回エレクトロ ニクス実装学会講演 大会 論文集 (2013) pp.316-319	2013/3/13
91	谷本智	FUPET ，日産 自動車	-電動車時代に寵児 になれるか-SiC・ GaN パワ-エレクト ロニクスの現状と今 後(基調講演)	第 3 回パワーデバイ ス用シリコンおよび 関連半導体材料に関 する研究会	2013/3/14
92	松井康平、 佐々木健介、 谷本智、 村上善則、 谷澤秀和、 佐藤伸二	FUPET ，富士 電機， 日産自 動車， サンケ ン電気	70kW/L All-SiC イン バータの開発	電気学会全国大会	2013/3/20
93	松井康平、 佐々木健介、 谷本智、 村上善則、 谷澤秀和、 佐藤伸二	FUPET ， 富士電 機，日 産自動 車，サ ンケン 電気	高パワー密度 SiC イ ンバータ開発	応用物理学会春季講 演会	2013/3/27

94	谷本智、 渡辺衣世、 谷澤秀和、 佐藤伸二、 松井康平	FUPET , 日産自 動車, サンケ ン 電 気, 富 士電機	SiC パワーモジュー ルの $\Delta T_j = 165^\circ\text{C}$ パ ワーサイクル試験	2013 年 第 60 回応 用物理学会春季学術 講演会	2013/3/27
95	谷本智、 渡辺衣世、 谷澤秀和、 佐藤伸二、 松井康平	FUPET , 日産 自 動 車, サ ンケン 電気, 富士電 機	SiC パワーモジュー ル高温 BiAgX ダイア タッチメントの信頼 性	2013 年 第 60 回応 用物理学会春季学術 講演会	2013/3/27

(ナノテク・部材イノベーションプログラム、ITイノベーションプログラム、エネルギーイノベーションプログラム)

「低炭素社会を実現する次世代パワーエレクトロニクスプロジェクト」

基本計画

電子・材料・ナノテクノロジー部

1. 研究開発の目的・目標・内容

(1) 研究開発の目的

エネルギー生成方法の多様化は、資源枯渇および地球温暖化の解決に向けた重要な検討課題であるが、中でも、電気エネルギーへの移行は、課題解決の有力な手段のひとつである。電力の生成から消費に至るフローにおいて、電力利用効率向上の手段として、パワー半導体デバイスによる電力変換・制御（直流・交流変換、周波数制御等）は、すでに多くのフェーズで行われている。さらに、これまでパワー半導体が適用されていなかった機器への展開や、新たな応用分野が急激に広がることによって、パワー半導体デバイスが利用される局面は大幅に増加すると見込まれる。たとえば、ハイブリッド自動車の普及など電化の進む社会への転換がその起動力の一つである。また、高度に情報化が進む今日の社会では、ブロードバンドの普及、IT機器の高度化・設置台数の急激な増加に伴い、機器が消費する電力の急激な増大が見込まれており、情報関連機器の省エネルギー化が重要な課題となっている。このためにも、パワー半導体デバイスが電力利用効率向上に大きく役立つと考えられる。このように、パワー半導体デバイスによる電力損失の低減は低炭素社会の実現に向けて極めて重要である。

現在は、パワー半導体デバイスの材料として主にSi（シリコン）が使用されているが、電力損失がSiの1/100以下、数kVの高耐圧性など、パワー半導体として極めて優れた性能を有した新材料SiC（炭化珪素）の実用化が期待されている。SiCパワー半導体デバイスを用いることにより、従来のSiデバイスを用いた電力変換モジュールと比べ、電力損失が格段に低い、また小型で大電力を扱える電力変換機器を実現することが期待される。インバータ等の電力変換装置の適用範囲が鉄道や次世代自動車などの環境産業をはじめとして極めて広いことから、社会全体への波及効果が極めて大きく、さまざまな産業において、その成長の鍵となるものである。したがって、パワー半導体デバイスおよび電力変換機器における技術力は我が国産業の国際競争力を左右するものである。

我が国における関連技術開発としては、主として産業用モータ駆動用を想定して、SiCウエハ品質と関連づけたSiCデバイスの大容量化/高信頼化の技術開発、或いはインバータコア技術開発がNEDOプロジェクト（「パワーエレクトロニクスインバータ基盤技

術開発」2006年～2008年など）において行われてきている。同プロジェクトにて開発されたSiCウエハ品質向上および評価技術・デバイスプロセス技術・回路技術・熱設計技術等、全体的な技術の高度化の結果として、Siデバイスに比べ大幅な損失低減（同定格インバータユニットにおいて、現在主流のSi-IGBTを適用した場合に比べ、70%損失を低減）が実証されるに至っている。

IT産業の電力消費低減に寄与するため、データセンタやその電力源に用いる交流・直流変換等の高効率化を実現したり、電気自動車のように新たに拡大しつつある応用製品に適した電力変換機器を実現したりするためには、具体的な適用製品を想定して、高電流密度化（大容量化）や、デバイス・機器の信頼性向上といったSiCデバイス性能の高度化を進めることが重要である。同時に、SiCデバイスとの組み合わせにおいて力を発揮する材料・部品・回路設計・ノイズ対策や熱設計などの課題を解決していく必要がある。

一方、SiCパワー半導体デバイスの効率向上・適用範囲拡大を支え、普及の鍵となるのは、SiC半導体材料の高品質化と供給安定化であるが、現在のSiCウエハ市場は、4インチウエハが限定された規模で生産されている状況であって、かつ海外企業による寡占状況と言わざるを得ない。このことから生じる供給安定性への不安及び高価格が開発・普及への足かせになっている。それだけでなく、諸外国においてはごく最近になって6インチウエハ実現がアナウンスされ、かつ、高耐圧領域でのSiC電力変換器の実証が進みつつある。

このような背景のもと、6インチ級SiCウエハ量産化技術の構築と対応するデバイス化プロセス装置開発、並びにSiCパワー半導体デバイスを用いた電力変換器の効能実証を早期に実現することが緊急の課題となった。SiCパワー半導体デバイスの応用製品としては、急激に増大しつつあるIT産業の電力消費量増加の対策となるデータセンタ用電源や、その電力源として意味がある分散型太陽光発電システムなどに用いる電力制御機器が有望であり、その高効率化・小型化・高信頼化に貢献するデバイス技術開発・設計技術開発等を前記したウエハやプロセス装置開発と並行して行うことは極めて重要である。

以上のように、これらの課題に対して積極的な取り組みを行うことは、電力分野における省エネルギー技術の国際的牽引、及び我が国の産業競争力強化にとって極めて重要な意味を持つものである。

そこで上記を目的として、本研究開発プロジェクトをナノテク・部材イノベーションプログラム、ITイノベーションプログラム、およびエネルギーイノベーションプログラムの一環として、実施する。

（2）研究開発の目標

本研究開発の目標は、高品質・低コストな大口径SiCウエハ製造技術、SiC高耐圧スイッチングデバイス製造技術、応用に即した電力変換器の設計技術開発、システムシステムにおけるSiCスイッチングデバイスの効果実証、さらに高温実装技術をはじめとする要素技術の確立である。

研究開発項目①においては、別紙の研究開発計画に基づき、平成24年度までに基盤技術を確立し、平成26年度までに①高品質・大口径結晶成長、ウエハ加工、エピタキシャル膜形成まで一貫した製造技術の確立、②高耐圧スイッチングデバイス製造技術を確立し、これを用いた低損失電力変換器の試作・実証等を行う。

また、SiC大口径ウエハ化に関して、現状の昇華法結晶成長技術を6インチ対応とし、ウエハ加工プロセスと併せ6インチ4H-SiCウエハを実現する。また、ウエハ加工要素プロセスの能力検証を加速し、SiCデバイス化のための高温プロセス装置等に関して6インチ対応装置を開発すると共に、3kV以上の高耐圧領域でのSiCダイオードを用いた低損失パワーモジュールの性能検証を行う。

さらに、SiCの特長である高い接合温度において動作するSiCパワー素子の近傍に配置できる高耐熱受動部品を開発するとともに、それらを配置したパワーモジュールを試作して各実装部品間の相互の影響を検証し、それによって各開発部品の優位性を明らかにする。

研究開発項目②においては、別紙の研究開発計画に基づき、データセンタやその電源としての分散型太陽光発電システムにおいて交流・直流変換等、電力制御に用いられているパワーデバイスを、従来のシリコンに代わりより低損失かつ高耐電圧であるSiCを用いたものとする技術開発を行うとともにシステムレベルでの実証を行う。これにより、電源で発生するエネルギー損失を飛躍的に削減する技術を確立するため、平成24年度末までに次の最終目標を達成する。

- ・電力容量が2kW級のサーバ電源のプロトタイプを試作し、その電力変換効率が負荷50%で94%以上であることを実証する。
- ・電力容量が30kW級の太陽光発電用パワーコンディショナのプロトタイプを試作し、これが定格出力時に98%以上のシステム効率をもつことを実証する。
- ・デバイス温度200～250℃で動作させることを可能とする高温実装技術を開発し、60W/cm³級の出力パワー密度を持つ革新的電力変換器の動作検証が可能なレベルの要素技術を確立する。

(3) 研究開発の内容

上記目標を達成するために、以下の研究開発項目について、別紙の研究開発計画に基づき研究開発を実施するとともに、国内外の関連情報の収集及び調査等を行う。研究開発項目は以下の通り設定する。

研究開発項目① 低炭素社会を実現する新材料パワー半導体プロジェクト

- (1) 高品質・大口径SiC結晶成長技術開発／革新的SiC結晶成長技術開発
[委託事業・共同研究事業（NEDO負担率：1／2）]
- (2) 大口径SiCウエハ加工技術開発 [委託事業]
- (3) SiCエピタキシャル膜成長技術（大口径対応技術／高速・厚膜成長技術）

[委託事業]

- (4) SiC高耐圧スイッチングデバイス製造技術 [委託事業]
- (5) SiCウエハ量産化技術開発 [助成事業(助成率: 2/3)]
- (6) 大口径SiCウエハ加工要素プロセス検証 [委託事業]
- (7) SiC高耐圧大容量パワーモジュール検証 [委託事業]
- (8) 大口径対応デバイスプロセス装置開発 [助成事業(助成率: 2/3)]
- (9) 高耐熱部品統合パワーモジュール化技術開発 [委託事業、共同研究事業(NEDO負担率: 2/3)]

研究開発項目(9)は、実用化まで長期間を要するハイリスクな「基盤的技術」に対して、産学官の複数事業者が互いのノウハウ等を持ちより協調して実施する事業であり、原則、委託事業として実施する。ただし、上記以外のもの(※1)は、共同研究事業(NEDO負担率: 2/3)として実施する。

※1 民間企業単独、民間企業のみでの連携、大学等の単独等、産学官連携としないもの。

研究開発項目② 次世代パワーエレクトロニクス技術開発(グリーンITプロジェクト)

- (1) SiCパワーデバイスを用いたデータセンタ用サーバ電源技術開発
[共同研究事業(NEDO 負担率: 1/2)]
- (2) SiCパワーデバイスを用いた太陽光発電用パワーコンディショナ技術開発
[共同研究事業(NEDO 負担率: 1/2)]
- (3) 次世代SiC電力変換器基盤技術開発 [委託事業]

2. 研究開発の実施方式

(1) 研究開発の実施体制

本研究開発は、研究開発項目①のうち(1)から(4)まで、(6)および(7)は経済産業省が、企業、大学等の研究機関(委託先から再委託された研究開発実施者を含む)から公募によって研究開発実施者を選定し、共同研究契約等を締結する研究体を構築して開始したものであり、独立行政法人新エネルギー・産業技術総合開発機構(以下「NEDO」という。)が本研究開発の運営・管理を承継するに当たっては、その時点までの進捗状況を踏まえた研究開発内容・計画及び実施体制の妥当性について、外部有識者による審議を含めた評価を行った上で最適な研究開発体制を構築し、業務委託契約を締結して実施する。

上記以外の研究開発項目は、NEDOが、単独ないし複数の原則本邦の企業、大学等の研究機関(原則、本邦の企業等で日本国内に研究開発拠点を有していること。なお、国外の企業等(大学、研究機関を含む)の特別の研究開発能力、研究施設等の活用または国際標準獲得の観点から国外企業等との連携が必要な部分を、国外企業等との連携により実施することができる。)から公募によって研究開発実施者を選定し実施する。

本研究開発において、NEDOが主体となっていくべき基礎的・基盤的研究開発である研究開発項目①のうち（１）から（４）、（６）、（７）および（９）並びに研究開発項目②の各事業は委託または共同研究により実施し、市場化に向けた産業界の具体的な取り組みが示されるべき実用化研究開発である研究開発項目①のうち（５）および（８）の事業は助成（助成率2/3）により実施する。

また、研究開発に参加する各研究開発グループの有する研究開発ポテンシャルの最大限の活用により効率的な研究開発の推進を図る観点から、研究体にはNEDOが委嘱する研究開発責任者（プロジェクトリーダー）として、研究開発項目①及び②については独立行政法人産業技術総合研究所 先進パワーエレクトロニクス研究センター長 奥村 元氏を、さらに研究開発項目②に関してはサブプロジェクトリーダーとして、独立行政法人産業技術総合研究所 先進パワーエレクトロニクス研究センター 清水 肇氏を置き、その下に研究者を可能な限り結集して効果的な研究開発を実施する。

（２）研究開発の運営管理

研究開発全体の管理・執行に責任を有するNEDOは、経済産業省及びプロジェクトリーダーと密接な関係を維持しつつ、事業の目的及び目標、並びに本研究開発の目的及び目標に照らして適切な運営管理を実施する。具体的には、必要に応じて、外部有識者の意見を運営管理に反映させる技術検討委員会等における外部有識者の意見を運営管理に反映させる他、四半期に一回程度プロジェクトリーダーとともに事業の進捗について報告を受けること等により進捗の確認及び管理を行うものとする。

３．研究開発の実施期間

本研究開発の期間は、平成21年度から平成26年度までの6年間とする。ただし、この期間内において、研究開発項目毎に研究開発期間を設定する。研究開発項目①のうち（１）から（４）については、平成22年度から平成26年度までの5年間とし、（５）から（８）については、平成23年3月から平成24年2月までとし、（９）については、平成24年度から平成26年度までの3年間とする。

また、研究開発項目②については、平成21年度から平成24年度までの4年間とする。

４．評価に関する事項

NEDOは、技術的及び政策的観点から、研究開発の意義、目標達成度、成果の技術的意義及び将来産業への波及効果等について、研究開発項目①については、外部有識者による研究開発の中間評価を平成24年度、事後評価を平成27年度に実施し、研究開発項目②については、事後評価を平成25年度に実施する。中間評価結果を踏まえ、事業の加速・

縮小など必要な体制の再構築を含め、後年度の研究開発に反映することとする。なお、評価の時期については、当該研究開発に係る技術動向、政策動向や当該研究開発の進捗状況等に応じて、前倒しする等、適宜見直すものとする。

5. その他の重要事項

(1) 研究開発成果の取扱い

① 共通基盤技術の形成に資する成果の普及

得られた研究開発成果のうち、共通基盤技術に係るものについては、プロジェクト内で速やかに共有した後、NEDOおよび実施者が協力して普及に努めるものとする。

② 知的基盤整備事業又は標準化等との連携

得られた研究開発の成果については、知的基盤整備事業又は標準化等との連携を図るため、データベースへのデータの提供、海外展開を行う上で、性能評価指標やインターフェース等に関する標準案の検討及び提案等を積極的に行う。

③ 知的所有権の帰属

委託研究開発の成果に関わる知的所有権については、「独立行政法人新エネルギー・産業技術総合開発機構新エネルギー・産業技術業務方法書」第26条の規定等に基づき、原則として、すべて委託先及び共同研究先に帰属させることとする。

なお、国際展開を見据えた、パワー半導体デバイスおよび電力変換機器に係る技術に係る知財管理を適切に行うこととする。

(2) 基本計画の変更

NEDOは、研究開発内容の妥当性を確保するために、社会・経済的状況、国内外の研究開発動向、政策動向、プログラム基本計画の変更、第三者の視点からの評価結果、研究開発費の確保状況、当該研究開発の進捗状況等を総合的に勘案し、達成目標、実施期間、研究開発体制等、基本計画の見直しを弾力的に行うものとする。

(3) 根拠法

本プロジェクトは、独立行政法人新エネルギー・産業技術総合開発機構法第15条第1項第1号ニに基づき実施する。

(4) その他

受託者は、本研究開発から得られる成果の産業面での着実な活用を図るため、事業化への計画を立案する。事業の進捗等を考慮して計画の必要な見直しを行うとともに、研究開

発期間中であっても、実用化が可能な成果については、迅速な事業化に務めるものとする。具体的には、高品質・低コストな大口径S i Cウエハ及びS i C高耐圧スイッチングデバイスの実用化・事業化に加え、最終製品であるオールS i C電力変換器搭載ハイブリッド／電気自動車・鉄道等の実用化についても具体的な計画の立案に務めるものとする。

6. 基本計画の改訂履歴

- (1) 平成21年3月、「次世代パワーエレクトロニクス技術開発（グリーンITプロジェクト）」制定。
- (2) 平成23年1月、「低炭素社会を実現する新材料パワー半導体プロジェクト」制定。
- (3) 平成23年3月、「低炭素社会を実現する新材料パワー半導体プロジェクト」および「次世代パワーエレクトロニクス技術開発（グリーンITプロジェクト）」の基本計画の統合に伴う改定。
- (4) 平成23年7月、独立行政法人新エネルギー・産業技術総合開発機構法の改正に伴う改訂。
- (5) 平成24年3月、研究開発項目①（9）の追加による改定。
- (6) 平成25年3月、事業項目「低炭素社会を実現する新材料パワー半導体プロジェクト」根拠法変更に伴う改訂。

(別紙) 研究開発計画

研究開発項目①「低炭素社会を実現する新材料パワー半導体プロジェクト」

(1)「高品質・大口径S i C結晶成長技術開発／革新的S i C結晶成長技術開発」

1. 研究開発の必要性

次世代パワー半導体として期待されるS i Cの開発・普及にあたっては、ウエハの品質及び供給の不安定性、高コストが最大のボトルネックとなっている。高品質・低コストな大口径S i C結晶成長技術の確立により、S i Cウエハを安定的に供給することによって、多量のウエハを必要とするデバイス及びインバータ等のモジュール開発を加速し、早期の実用化につなげる事が可能となる。

2. 研究開発の具体的内容

現在のS i C結晶成長法である昇華法は、生産性、品質、コストともに課題がある。これらを解決するため、昇華法の抜本的な高度化のほか、飛躍的な品質や生産性の向上が期待される革新的な結晶成長技術（ガス法、液相法等）の開発を行う。また、大口径・高品質S i C結晶の評価技術を開発する。

3. 達成目標

昇華法において、以下の項目を満たす製造技術を確立する。なお、平成24年度までに基盤技術を確立し、平成25年度以降、大口径ウエハ加工技術、大口径エピタキシャル膜成長技術の成果を合わせ、結晶成長から加工、エピタキシャル膜成長に至るまでの一貫した6インチエピウエハ製造技術として確立する。また、革新的結晶成長法についても、平成24年度までにそのための要素技術を確立し、平成26年度までに将来的に昇華法を凌駕するポテンシャルを評価可能な大型結晶を実現してその可能性を検証する。さらに、大口径・高品質S i C結晶の評価技術を確立する。

【中間目標】

昇華法においては、口径6インチで、

- ① 10^3 個/cm²台の転位密度を実現するのに必要な高品質化にかかわる基盤技術を確立する。
- ② 0.5mm/h以上の結晶を実現するのに必要な成長速度向上にかかわる基盤技術を確立する。

革新的結晶成長法においては、高速性、高品質性、長尺化／口径拡大等の各課題に対する要素技術を確立し、口径2インチ、厚さ1mmの4H-S i C単結晶の成長を実現する。

【最終目標】

昇華法においては、口径6インチ、長さ50mm以上で、

- ① 有効面積（端部3mmを除く）全域において転位密度 1×10^3 個/cm²以下の結晶を実現する。
- ② 有効面積（端部3mmを除く）全域において転位密度 5×10^3 個/cm²以下の結晶を成長速度0.5mm/h以上で実現する。

革新的結晶成長法においては、口径2インチ以上、長さ20mm以上の4H-SiC単結晶を実現した上で、昇華法に対する優位性を検証する。

研究開発項目①「低炭素社会を実現する新材料パワー半導体プロジェクト」

(2)「大口径S i C ウェハ加工技術開発」

1. 研究開発の必要性

S i Cはダイヤモンドに次ぐ高硬度を有しているため精密加工が極めて困難であり、例えば、現在の4インチウェハの切断に際しては、高価なダイヤモンドスラリーを多量に使わなければならないうえ、その切断スピードは極めて遅く、数日を要している。結晶の大口径化に伴い、既存の加工技術では、更に時間を要することになり、加工工程がボトルネックになるおそれがある。また、加工コストはウェハのコストの約1/3を占めており、低コスト化の観点からも技術の高度化が必要である。

2. 研究開発の具体的内容

切断、研削、研磨の各技術について、6インチウェハに対応した高精度化、高速化及び低コスト化に資する加工技術の開発を行う。具体的には、高速・高効率・低損傷な切断技術の開発、研削精度向上のためのナノレベルでの砥石制御技術、耐薬品性の高いS i Cに有効な化学的機械的研磨法(CMP)の開発等を行う。

なお、これらの各工程は前後の工程に大きな影響を与えるため、密接な連携を図りつつ研究開発を実施することとする。

3. 達成目標

6インチ結晶において、以下の項目を満たす実用的な加工(切断・研削・研磨)技術を確立する。なお、平成24年度までに基盤技術を確立し、25年度以降、大口径結晶成長技術、大口径エピタキシャル膜成長技術の成果を合わせ、結晶成長から加工、エピタキシャル膜成長に至るまでの一貫した6インチエピウェハ製造技術として確立する。

【中間目標】

ウェハ切断技術に関して、3インチ結晶で切断速度150 μ m/分以上、同時切断枚数10枚以上、切り代300 μ m以下を実現する。また、3~4インチ結晶/ウェハを対象にして、切断、研削、粗研磨、仕上げ研磨の各要素工程の最適化、及び接続最適化を行い、6インチS i C結晶/ウェハ加工の高速・高品質な一貫プロセス最適化の方針を決定する。

【最終目標】

6インチ結晶/ウェハを対象に、以下の効率性を実現する。

- ① 切断：速度300 μ m/分以上、同時切断枚数10枚以上、切り代250 μ m以下
- ② インゴットから表面仕上げ精度Rm s (表面荒さ) 0.1nm@2 μ m \times 2 μ mのベアウェハを実現する統合加工プロセスとして、プロセス時間24時間以内

研究開発項目①「低炭素社会を実現する新材料パワー半導体プロジェクト」

(3)「SiCエピタキシャル膜成長技術（大口径対応技術／高速・厚膜成長技術）」

1. 研究開発の必要性

エピタキシャル膜の品質はデバイスの性能・歩留まりに直接影響するため、その技術開発は極めて重要である。SiCエピタキシャル膜の作製にあたっては、1,600°Cから1,800°Cの高温環境下でシランガス(SiH₄)とプロパンガス(C₃H₈)からSiCを合成するため、高温環境下での極めて精密な制御技術を要する。そのため、SiCデバイスの普及において、エピタキシャル膜成長プロセスの高コスト性がボトルネックになっており、低コスト化には大口径ウエハを同時に多数枚処理できるエピタキシャル膜成長技術及びその品質評価技術の確立が必要である。

一方、デバイスの高耐圧化に対応するためには、数10μm以上の厚いエピタキシャル膜が必要となる。そのため、プロセス時間の観点から、厚いエピタキシャル膜の作製には成長速度が重要であり、高速エピタキシャル膜成長技術が必要となるが、現状デバイス品質との両立は確認されていない。それゆえ、高耐圧デバイスの実現・普及には、量産に対応できる高速成長での高品質・厚膜エピタキシャル膜成長技術及びその特性評価技術の確立が必要となる。

2. 研究開発の具体的内容

SiCウエハの大口径化に対応した、大面積で均一かつ低欠陥なエピタキシャル膜を高スループットで成長できるエピタキシャル膜成長技術及び高耐圧デバイスの作製に対応できる厚膜を高均一・高純度かつ高速で成長できるエピタキシャル膜成長技術を開発する。また、その両者に対応した大口径／厚膜SiCエピタキシャルウエハ評価技術を開発する。

3. 達成目標

SiCエピタキシャル膜成長の大口径対応技術と高速・厚膜成長技術を確立する。大口径対応技術については、平成24年度までに基盤技術を確立し、平成25年度以降、大口径結晶成長技術、大口径ウエハ加工技術の成果を合わせ、結晶成長から加工、エピタキシャル膜成長に至るまでの一貫した6インチエピウエハ製造技術として確立する。高速・厚膜成長技術については、平成24年度までにプロトタイプ炉によって要素技術開発を進め、平成25年度以降、高耐圧デバイス用厚膜エピタキシャル膜成長技術の確立を目指すとともに、高耐圧デバイス製造技術開発のために厚膜・高純度エピウエハを提供する体制を整える。

【中間目標】

① 大口径対応技術

みなし6インチ径のエピタキシャル膜成長を行い、6インチ成長プロセスにおける問題

点を把握すると共に、当該成長膜に対して以下の品質を実現する。

- ・ 均一度：厚さ±10%、ドーピング濃度±20%
- ・ 品質 エピ成長起因の表面欠陥密度：2個/cm²以下

② 高速・厚膜成長技術

口径2インチ、膜厚50μm以上のエピタキシャル膜に対して以下の品質を実現し、SiC厚膜形成技術を確立する。

- ・ 純度 残留キャリア濃度： 3×10^{14} /cm³以下
- ・ 品質 エピ成長起因の表面欠陥密度：5個/cm²以下

【最終目標】

①大口径対応技術

口径：6インチ、処理枚数：3枚以上のエピタキシャル膜に対し、以下の品質を実現する。

- ・ 均一度：厚さ±5%、ドーピング濃度±10%
- ・ 品質 エピ成長起因の表面欠陥密度：0.5個/cm²以下

②高速・厚膜成長技術

成長速度100μm/h以上で作成した口径4インチ、膜厚50μm以上のエピタキシャル膜に対し、以下の品質を実現する。

- ・ 純度 残留キャリア濃度： 3×10^{14} /cm³以下
- ・ 均一度：厚さ±2%、ドーピング濃度±10%
- ・ 品質 エピ成長起因の表面欠陥密度：1.0個/cm²以下

研究開発項目①「低炭素社会を実現する新材料パワー半導体プロジェクト」

(4)「SiC高耐圧スイッチングデバイス製造技術」

1. 研究開発の必要性

3～5kV領域の高耐圧スイッチングデバイスの実用化により、高速鉄道等のインバータの電力変換効率の向上や小型・軽量化による設計の自由度向上など、低炭素社会の構築、産業競争力強化に極めて大きな効果が期待される。

2. 研究開発の具体的内容

3～5kV級の高耐圧かつ低損失なSiCスイッチングデバイスを製造するための新規耐圧構造の設計／作製技術、高耐圧デバイス酸化膜信頼性向上技術、限界性能向上技術、高耐圧デバイス実装技術、高耐圧デバイス評価技術、大容量電力変換器設計技術の開発を行う。

3. 達成目標

以下の項目を満たすSiC高耐圧スイッチングデバイス製造技術を確立する。

新規耐圧構造デバイスについて、平成24年度までに、当該耐圧構造設計・作製プロセス技術、高耐圧デバイス酸化膜信頼性向上、高耐圧デバイス実装技術、高耐圧デバイス評価技術、高温実装技術などの要素技術を開発し、25年度以降、エピタキシャル膜の成長技術（高速・厚膜成長技術）の成果を活用して、新規耐圧構造を適用した低損失なSiC高耐圧スイッチングデバイスを試作し、動作実証を行う。

高耐圧大容量デバイスについて、平成24年までに、高耐圧大容量デバイス設計・試作技術、限界性能向上技術、電力変換器設計技術などの要素技術を開発する。25年度以降、エピタキシャル膜の成長技術（高速・厚膜成長技術）の成果を活用して、SiC高耐圧大容量スイッチングデバイスの製造技術の確立を進めるとともに、大容量電力変換器の試作を行い、大容量・低損失動作の実証を行う。

【中間目標】

①新規耐圧構造デバイス

より低損失化が可能な新規高耐圧デバイス構造とその作製要素プロセスを開発し、当該構造で耐圧3kV以上の高耐圧SiC-MOSFETを実現する。

②高耐圧大容量デバイス

耐圧3kV以上の高耐圧SiC-MOSFETを実現すると共に、SiC-MOSFET、SiC-SBDを適用した3kV以上の電力変換器モジュールを試作して、当該電圧領域のスイッチング及び多並列接続に関する要素技術を確立する。

【最終目標】

①新規耐圧構造デバイス

必要な各種要素技術を高度化し、耐圧：3 kV以上で特性オン抵抗：15 mΩ cm²以下の高耐圧SiC-MOSFETを実現する。

②高耐圧大容量デバイス

耐圧：3 kV以上、オン抵抗80 mΩ以下（室温環境下）、定格出力電流密度100 A/cm²以上の高耐圧SiC-MOSFETを開発し、当該デバイスを用いたMVA級電力変換器を試作して、その動作時の電力損失が同耐圧のSi電力変換器の50%以下であることを実証する。

研究開発項目①「低炭素社会を実現する新材料パワー半導体プロジェクト」

(5)「SiCウエハ量産化技術開発」

1. 研究開発の必要性

平成22年になり、海外ウエハメーカーによるSiC6インチウエハ実用化の動きがより活発化してきており、平成23年から24年には少量ながら、4インチウエハと同等品質の6インチウエハ試供品が市場投入されると見込まれる。これにより本格展開に向けて大口径SiCウエハの独占供給による価格吊り上げやそれに伴う日本国内関連産業の停滞が懸念される。

この状況を打破するためには、本体プロジェクトによる高品質・大口径化技術開発の完了に先立って、既存技術を活用していち早く6インチウエハを実現することが急務である。早期の6インチ実現を進めることにより、量産化に向けた技術課題の早出しが進むだけでなく、SiC基板供給の海外依存を脱却し、国内SiC基板の安定供給による国内SiC市場の立ち上げ加速化につながる。また、本体プロジェクトで開発を進める高度化技術（高品質・高生産性）の受け皿となるウエハ技術検証ライン構築にも資すると期待できる。

2. 研究開発の具体的内容

昇華法をベースとした既存技術活用により、早期に6インチ4H-SiCウエハ実現にむけた道筋を明確にする。そのために、バルク結晶成長やウエハ加工に関わる大口径対応装置導入・立上げを進め、6インチ4H-SiCインゴットの実現と共に、その量産化に向けた課題抽出を進める。その中では、必要な製造要素技術の工業レベルでの再現性、および量産性の検証を含めた生産性向上技術、低コスト化技術（装置改善・工程改善）、検査技術の開発を並行して進め、月産1,000枚規模のSiCウエハ生産技術へ展開可能な、量産化製造に関する基盤技術を確立する。

上記開発成果は、将来的には、6インチSiCウエハを継続的に試作可能なプロトライン構築に繋げる。そのラインを活用してデバイス・システム開発にウエハ供給を実施し、その評価結果をフィードバックすることで量産化技術開発の加速化を図る。

3. 達成目標

大口径4H-SiCウエハの量産化技術開発可能な環境整備（昇華法結晶成長炉、ウエハ加工装置）を実施し、

- 有効面積（端部3mmを除く）全域において転位密度 1×10^4 個/cm²以下の口径6インチ4H-SiCインゴットを実現する基盤技術を確立する。

または、

- 成長速度0.25mm/h以上で転位密度 5×10^4 個/cm²以下の口径6インチ4H-SiCインゴットを実現する基盤技術を確立する。

研究開発項目①「低炭素社会を実現する新材料パワー半導体プロジェクト」

(6)「大口径S i C ウェハ加工要素プロセス検証」

研究開発の必要性

S i C ウェハの加工技術に関して、産業的に見合ったウェハコストを実現するため、インゴット切断、研削、粗研磨（ラッピング）、仕上げ研磨（CMP）の4工程を6インチ級の大口徑ウェハに対応させながら、従来技術を越える高能率、低ダメージ、超平坦化を一貫プロセスとして達成することが、今後の高品質6インチウェハ早期実用化のためには必須となる。しかしながら、高硬脆材料であるS i Cインゴットを能率良く、かつ加工変質層の発生を最小限に抑えてウェハに加工する上記4工程における最適な要素プロセスは、未成熟であると共に個々の能力限界が明確ではない。

特に切断技術においては、ワイヤー速度、ワイヤー張力不足に起因する切断能率の低さが問題視されている。また、上記各工程においては、高能率化と低損傷化の二律背反性がS i Cウェハ加工にとって極めて解決が難しい課題となっており、本体プロジェクトにおける大口徑ウェハ高速一貫加工プロセスの確立のためには、S i C材料に対する各種加工法の特徴、および加工ダメージ層形成過程の高精度な分析を通じて、個々の要素工程の能力限界と最適加工条件を抽出しておくことが早期に求められる。

2. 研究開発の具体的内容

本体プロジェクトにおける大口徑S i Cインゴットから高品質ウェハを実現する大口徑ウェハ一貫加工プロセス開発に資するため、インゴット切断、研削、粗研磨、仕上げ研磨の各要素プロセスに関して、現状技術での試加工実験を通して、能力限界・個別課題の抽出を進め、大口徑S i Cウェハ高速一貫加工プロセス加工への適用性を検証する。

3. 達成目標

切断技術として、ダイヤモンドを使ったマルチワイヤーソーにおいて、S i C 6インチインゴットに対して150 μ m/分以上の高速切断が可能になる最大ワイヤー速度：約4,000m/min、最大張力：70Nの高速高剛性切断技術を実現する。更に、切断、研削、粗研磨、仕上げ研磨の各工程に関して、個々の要素工程の能力限界と最適加工条件（砥石、砥粒、研磨定盤種、装置技術、加工動作管理、能率等）を抽出し、S i Cウェハ加工における高速一貫プロセス確立に資する統合的なデータ蓄積を行う。

研究開発項目①「低炭素社会を実現する新材料パワー半導体プロジェクト」

(7)「SiC高耐圧大容量パワーモジュール検証」

1. 研究開発の必要性

3～5 kV領域の高耐圧デバイスの実用化により、高速鉄道等のインバータの電力変換効率の向上や小型・軽量化による設計の自由度向上など、低炭素社会の構築、産業競争力強化に極めて大きな効果が期待される。この電圧領域では、社会インフラとしての応用分野が広いにもかかわらず、SiCを用いたパワースwitchングデバイスやパワーモジュールの開発が諸外国に比べて後手に回っている。しかしながら、パワーモジュール応用がより簡易なダイオードを選択するだけでも、リカバリー損失及びターンオン時のSwitchング損失を低減でき、従来のSiデバイスを用いたものに対して大幅な低損失化・小型化が可能となり、早期実用化に大きな進展が期待できると共に、上記電圧領域におけるAll SiCデバイスパワーモジュール実現に技術的指針を与えられることから、SiCダイオードを用いた高耐圧パワーモジュール検証への早期の取り組みが求められている。

2. 研究開発の具体的内容

高耐圧（3.3 kV級）かつ低損失なSiCショットキーバリアダイオードを実現するための新規耐圧構造設計・作製プロセス技術、高耐圧デバイス評価技術の開発を行う。また、当該SiCショットキーバリアダイオードとSwitchング素子としてSi絶縁ゲートバイポーラトランジスタを選択（ハイブリッド構造）した大容量パワーモジュール設計技術を開発し、SiC大容量パワーモジュールの試作／動作実証を行うことで、SiCデバイスの活用が当該電圧領域におけるパワーモジュールでも有効であることを実証する。

3. 達成目標

耐圧3.3 kV定格電流75 AのSiCショットキーバリアダイオードを開発し、Si絶縁ゲートバイポーラトランジスタと組み合わせて1,000 A級大容量パワーモジュールを試作してその動作を実証するとともに、All SiCデバイスパワーモジュール実現に必要とされるSiCFETの仕様に対する技術的指針を得る。

研究開発項目①「低炭素社会を実現する新材料パワー半導体プロジェクト」

(8)「大口径対応デバイスプロセス装置開発」

1. 研究開発の必要性

S i Cデバイス化プロセス技術において、先行しているS iデバイス技術と大きく異なり、更なる開発の必要性があるのは、プロセス温度がより高いイオン注入、活性加熱処理、高温酸化等の高温熱処理プロセス、並びにウエハが透明であることに起因した困難さが残存する露光プロセスである。これらのデバイス化プロセスではS iデバイス用の装置技術を転用することが本質的に困難であり、また、既存のS i C 4インチプロセス装置技術の延長では均一性等の生産レベルで必要とされる性能の達成も困難である。S i Cの6インチウエハが実用化されても以後のデバイス化プロセスで対応できず、このままでは6インチウエハに立脚したデバイス開発に支障を来す。実用化のためには、S i C 6インチウエハを想定した当該デバイス化プロセス装置の開発が不可欠である。

2. 研究開発の具体的内容

S i Cデバイス化プロセスの内、S iデバイスプロセスとは異なる高温プロセス技術、或いは透明基板対応技術に関して、6インチウエハ対応装置を開発する。更に、当該装置を用いたデバイス試作によって最終性能を確認できるよう、研究計画終了後に必要な措置をとる。

3. 達成目標

6インチS i Cウエハを対象に、イオン注入、活性化熱処理、高温酸化等のデバイス化のための高温プロセス装置、或いは透明ウエハ対応露光装置を開発し、所定の処理特性の面内均一性を達成する。具体的には、

イオン注入装置の場合、

- ・ 室温から800°Cまでの全領域でイオン注入が可能なこと
- ・ 温度均一性：6インチ面内：±15°C
- ・ A1注入イオン電流：200μA上

活性化熱処理装置の場合、

- ・ 熱処理温度：1, 800°C以上
- ・ 温度均一性：6インチ面内：±30°C
- ・ 一度に25枚以上処理可能なこと。

高温酸化装置の場合

- ・ 1, 200°C以上の高温でパイロジェニック酸化、及びH₂、NH₃、N₂Oガス処理が可能なこと。
- ・ 温度均一性：6インチ面内：±15°C
- ・ 一度に25枚以上処理可能なこと。

- 1, 100°Cで処理したSiゲート絶縁膜に含まれる金属不純物が $1 \times 10^{11} \text{ cm}^{-2}$ 未満であること。

露光装置の場合、

- 6インチ4H-SiCウエハに対する重ね合わせ精度に関して、中心点及び4隅において、ばらつき（標準偏差の3倍以内）が65nm以下であることであること。
- 解像度（市販のレジストをもちいた標準プロセス）に関して、350nmのライン&スペースパターンを転写できること。

研究開発項目① 「低炭素社会を実現する新材料パワー半導体プロジェクト」

(9)「高耐熱部品統合パワーモジュール化技術開発」

1. 研究開発の必要性

Siパワー半導体素子で達成不可能なレベルの小型・軽量電力変換器の実現には、SiCパワー半導体素子の採用と、その高温動作・高速スイッチングが有効である。例えば電気自動車などの応用分野において、これに関連する技術開発に対する期待が大きい。中でも、高耐熱の受動素子等の開発と、それらをパワー半導体素子近傍に配置する実装技術が重要である。しかし、従来のSiパワー半導体素子の動作温度を超える環境に対応する実装技術、並びに実用的高耐熱部品の開発は未着手であり、早期開発が望まれている。

このため、SiC高性能パワー半導体素子を対象にした高温実装技術の開発と、これに適合する高耐熱部品の要素開発を連携して進める必要がある。

2. 研究開発の具体的内容

Siでは動作不可能な接合温度領域(200~250℃)においてSiCパワー素子が高速スイッチング性能を発揮できるよう、開発する耐熱部品をパワー素子近傍に配置するために必要な高信頼接合技術等の実装基盤技術を開発する。

上記の実装技術に対応する高温領域において基本性能(耐電圧・周波数特性等)を有し、かつ実装プロセスに対する耐性を有する受動部品(スナバコンデンサ・スナバ抵抗等)、および過酷なヒートサイクルに耐えるメタライズ放熱基板・配線基板等の構造部材の要素技術を開発する。

部品レベルの耐熱性および電気特性、並びに部品を実装技術によって統合し単一パッケージ化した際の耐熱性および電気特性を評価し、問題点を把握する。これにより、高耐熱動部品と、それに対応した統合モジュール技術を効率的に開発する。

3. 達成目標

接合温度が225℃以上で動作するSiCパワー素子の近傍に、新規開発の高耐熱受動部品を配置したパワーモジュールを試作し、各実装部品間の相互の影響を検証する。また、試作したパワーモジュールの耐熱性と電気特性の評価を通して、高温動作における課題を抽出するとともに、その解決の見通しを示す。

ここで、試作するパワーモジュールは耐電圧1200V/50A級とし、開発・搭載する受動部品および部材の仕様は下記のとおりとする。

(スナバコンデンサ) 静電容量0.1μF級、耐電圧1kV級、共振周波数10MHz級のコンデンサにおいて、使用時の耐熱温度250℃であり、-40~250℃の温度領域における静電容量の変動が±10%以下、かつ、体積が40mm³以下(例えば、5×4×2mm)。

(スナバ抵抗) 抵抗値 $10\ \Omega$ 級、定格電力 $1\ \text{W}$ 級の抵抗体において、使用時の耐熱温度 $250\ ^\circ\text{C}$ であり、 $-40\sim 250\ ^\circ\text{C}$ の温度領域における抵抗値の変動が $\pm 10\%$ 以下、かつ、 $10\ \text{MHz}$ までの周波数領域における抵抗値の変動が $\pm 10\%$ 以下、かつ、体積 $20\ \text{mm}^3$ 以下 (例えば、 $6.3 \times 3.1 \times 1\ \text{mm}$)。

(メタライズ放熱基板) 熱伝導率 $180\ \text{W}/(\text{mK})$ 以上、曲げ強度 $600\ \text{MPa}$ 以上、破壊靱性 $6\ \text{MPa} \cdot \text{m}^{1/2}$ 以上の絶縁素材を用いた、サイズ $5000\ \text{mm}^2$ 以上、厚み $1/80\ \text{inch}$ ($0.32\ \text{mm}$) 以下で両面に金属プレートが接合されたメタライズ放熱基板において、耐電圧 $1200\ \text{V}$ 以上、 $-40\sim 250\ ^\circ\text{C}$ の温度範囲での耐ヒートサイクルが 1000 回以上。

(配線基板) 使用時の耐熱温度 $250\ ^\circ\text{C}$ であり、当該温度において耐電圧 $1200\ \text{V}$ 、 $50\ \text{A}$ 級の電流が通電可能な内部配線を有し、かつ、実装されるパワー素子電極に対する内部配線の位置精度 $\pm 20\ \mu\text{m}$ 以下。

研究開発項目②「次世代パワーエレクトロニクス技術開発（グリーンITプロジェクト）」

(1)「SiCパワーデバイスを用いたデータセンタ用サーバ電源技術開発」

1. 研究開発の必要性

近年のIT技術の進展によりIT機器が消費する電力も膨大な量が見込まれている。こうした背景の下、省エネルギー化・地球温暖化解消の観点から、データセンタ用サーバ電源に代表される数kW級電源機器の電力損失の大幅低減と機器小型化の実現が必須課題となっており、その実現には電源機器へのSiCパワーデバイスの適用が有効である。そのためには、SiCパワーデバイスの高性能化とSiCパワーデバイスを適用した電源機器用電力変換器の高度化に関する技術開発が必要である。

2. 研究開発の具体的内容

電力容量が数kW級のデータセンタ用電源の省エネルギー化、小型化に向け、SiCパワーデバイスの高性能化技術開発を行い、それらの開発により得られた高性能デバイスを電源機器用電力変換器へ適用して電力変換技術の開発を行う。加えて、上記電源のプロトタイプを試作し、その低損失、高効率特性を実証する。SiCパワーデバイス開発においては、SiCダイオード、SiCスイッチングデバイスの高性能化、スイッチング特性改善等の技術開発を実施する。サーバ電源開発においては、電源機器に適した駆動方式、高効率化等に関わる技術開発を行う。

3. 達成目標

耐圧：600V以上、電流容量：40A以上、オン抵抗率： $2.5\text{m}\Omega\text{cm}^2$ 以下（室温環境下）のSiCスイッチングデバイスを開発する。また、電力容量が2kW級のサーバ電源のプロトタイプを試作し、その電力変換効率が50%負荷で94%以上であることを実証する。

研究開発項目②「次世代パワーエレクトロニクス技術開発」

(2)「SiC パワーデバイスを用いた太陽光発電用パワーコンディショナ技術開発」

1. 研究開発の必要性

パワーエレクトロニクス応用としてモータ駆動と同様に重要な数10kW級の太陽光発電用パワーコンディショナに関して電力損失の大幅低減と機器の小型化を実現するためには、SiCデバイスの適用が有効である。そのためには、SiCパワーデバイスの高性能化と、SiCパワーデバイスを適用したパワーコンディショナの高度化に関する技術開発が必要である。

2. 研究開発の具体的内容

太陽光発電システム用パワーコンディショナの省エネルギー化、小型化に向け、SiCパワーデバイスの高性能化技術開発を行うと共に、駆動回路方式に対応したSiCデバイスのしきい値制御技術を行う。さらに、それらの開発により得られた高性能デバイスを用いて、太陽光発電システム用パワーコンディショナへ適用する電力変換技術の開発を行う。加えて、上記パワーコンディショナのプロトタイプを試作し、その低損失、高効率特性を実証する。デバイス技術においては、SiCダイオード・SiCスイッチングデバイスの低オン抵抗化技術、しきい値制御技術、変換器の駆動方式、スイッチング技術及び、フィルタの最適化技術開発を実施する。

3. 達成目標

耐圧：1200V以上、電流容量：75A以上、オン抵抗率： $5\text{m}\Omega\text{cm}^2$ 以下（室温環境下）のSiCスイッチングデバイスを開発する。このSiCスイッチングデバイス技術を用いて、太陽光発電用パワーコンディショナ技術を開発して、電力容量が30kW級の太陽光発電用パワーコンディショナのプロトタイプを試作し、これが定格出力時に98%以上のシステム効率をもつことを実証する。

研究開発項目②「次世代パワーエレクトロニクス技術開発」

(3)「次世代SiC電力変換器基盤技術開発」

1. 研究開発の必要性

高出力パワー密度を持つ革新的電力変換器を実現するためには、パワーデバイスを高速かつ高温で動作させる必要があり、高温環境下での高信頼化技術や周辺回路デバイス等を含めた設計技術と実装技術が不可欠となることから、これらの技術を開発・統合する電力変換器の高出力パワー密度性能を検証する必要がある。

2. 研究開発の具体的内容

次世代パワーデバイスを利用した革新的電力変換器設計技術と高温実装技術等を開発し、それらを取り入れた電力変換器の高出力パワー密度性能の検証を行う。

より具体的には、次世代パワーデバイスを、高温で反復動作させると共にその優れた高温特性の活用を可能とする実装要素技術（配線、絶縁、冷却、回路レイアウト技術等）を開発する。また、高温環境下でのデバイス特性試験を通じて高パワー密度変換器の統合設計体系に高温条件を導入する。これらにより、次世代パワーデバイスを用いた電力変換器の高出力パワー密度性能の向上を図る。

3. 達成目標

次世代パワーデバイスをデバイス温度^(注1) 200～250℃で動作させることを可能とする高温実装技術を開発する。また、デバイス温度250℃という高温動作デバイス条件を取り入れた高出力パワー密度変換器の統合設計技術の適用により、60W/cm³級の出力パワー密度^(注2)を持つ革新的電力変換器の動作検証が可能なレベルの要素技術を確立する。

(注1) 外部環境温度にデバイス自己発熱による温度上昇分を加えた温度をデバイス温度と定義する。以後に記載されるデバイス温度は全て同定義である。

(注2) 出力パワーをSiCパワーデバイス・周辺回路素子・フィルタ・ヒートシンクから成る構成体の総体積により除算したものを出力パワー密度と定義する。

なお、平成22年度計画策定にあたり、産業技術政策動向等および目標の必須性を勘案して基本計画の見直しを行った結果、「研究開発項目③」の「(1) 電力変換器用SiCパワースイッチングデバイス基盤技術」については、当該研究開発は平成21年度をもって終了することとした。

イノベーションプログラム 基本計画

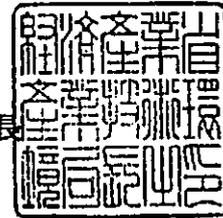
平成21年4月
経 済 産 業 省

経済産業省

平成 21・03・23 産局第 2 号

平成 21 年 4 月 1 日

経済産業省産業技術環境局長



経済産業省商務情報政策局長



ITイノベーションプログラム基本計画の策定について

上記の件について、イノベーションプログラム実施要領（平成16・07・27産局第1号）第4条第1項の規定に基づき、別添のとおり制定する。

(別 添)

平成 21・03・23 産局第 2 号

平成 21 年 4 月 1 日

IT イノベーションプログラム基本計画

1. 目的

我が国が目指す高度情報通信ネットワーク社会の構築に向け、経済成長戦略大綱、IT 新改革戦略、科学技術基本計画及び技術戦略マップ等に基づき、情報化の進展に伴うエネルギー消費量の増大等の課題にも考慮しつつ、その基盤となる情報通信機器・デバイス等の情報通信技術を開発し、実社会への利用を促進する。また、情報システム・ソフトウェアについて品質、信頼性及び生産性の向上を推進し、組み込みソフトウェア産業強化、オープンソースソフトウェアを安心して活用するための環境整備、独創的な人材の発掘等、我が国産業競争力強化のための必要な基盤整備を実施することによって、IT の利活用の深化・拡大を図り、より豊かな国民生活を実現するとともに、我が国の経済活力の向上を図ることを目的とする。

2. 政策的位置付け

- 「経済成長戦略大綱」（2006年7月財政・経済一体改革会議。2007年6月改訂・経済財政諮問会議報告、2008年6月改訂・経済財政諮問会議報告）

IT 革新による競争力強化、IT 革新を支える産業・基盤の強化に必要な研究開発の推進に対応

- 「第3期科学技術基本計画」（2006年3月閣議決定）

国家的・社会的課題に対応した研究開発の重点推進4分野である情報通信分野、分野別推進戦略（2006年3月総合科学技術会議）における重点分野である情報通信分野に位置づけられるもの。

- 「IT 新改革戦略」（2006年1月高度情報通信ネットワーク社会推進戦略本部）
次世代のIT 社会の基礎となる研究開発の推進等に対応。「IT による地域活性化等緊急プログラム」（2008年2月）、「IT 政策ロードマップ」（2008年6月）、「重点計画－2008（2008年8月）」等を策定。

3. 達成目標

- (1) 情報経済社会を形成する上で必要不可欠な基盤技術である情報通信機器・デバイス等に関しては、「革新的な技術の確立」と「その開発成果の普及促進」を図る。

【目標】

- ・情報通信機器・デバイス産業の付加価値額を、2020年度において、2008年度比で、約50%増加させる。
- ・半導体の微細化に係る革新的基盤技術の開発（テクノロジーノード45nm以細）
- ・革新的な大型ディスプレイ技術の開発（消費電力を現状機器と比較して約50%以下）

- ・革新的なネットワーク機器技術の開発（消費電力を現状機器と比較して60%以下）

(2) 経済社会システムの信頼性確保に大きく寄与する情報システム・ソフトウェアに関しては、品質、信頼性及び生産性の向上や産学官の開発リソースの連携強化により、「人材育成」と「ソフトウェア工学の開発」等を積極的に推進する。

【目標】

- ・情報サービス・ソフトウェア産業の付加価値額を、2015年度において、2004年度比で、約25%増加させる。
- ・組み込みシステム等の不具合発生率（2011年度までに2006年度比50%減）

4. 研究開発内容

[プロジェクト]

I. ITコア技術の革新

[i] 世界最先端デバイスの先導開発

(1) 次世代半導体材料・プロセス基盤プロジェクト (MIRAI) (運営費交付金)

①概要

テクノロジーノード45nm以細のデバイスの実現に必要な極限微細化技術や、新構造CMOSの研究開発などの既存技術のブレークスルーが期待される先端的基盤技術研究を行う。また、国際半導体ロードマップにおいてエマージングテクノロジーと呼ばれる萌芽的な先端基盤技術の開発に取り組み、技術の見極め・絞り込みを行う。

②技術目標及び達成時期

2010年度までに半導体の微細化に関してテクノロジーノード45nm以細のデバイス実現に必要な革新的基盤技術を、産業界において自ら実用化に向けた展開を図る際の判断ができる水準まで技術開発を行い、技術選択肢として提示する。

③研究開発期間

2001年度～2010年度

(2) 次世代低消費電力半導体基盤技術開発 (MIRAI) (運営費交付金) (再掲)

①概要

IT化の進展、IT利活用の高度化を支え、あらゆる機器に組み込まれている半導体の低消費電力化を図るため、テクノロジーノード（微細化レベル）45nm以細の次世代低消費電力半導体の実現を目指し、微細加工の基盤技術やマスク（半導体素子製造過程で用いる原板）の低コスト化・製造時間短縮に必要な基盤技術開発を行う。

なお、本事業は、エネルギー需給構造の高度化を図る観点から行うものである。

②技術目標及び達成時期

2010年度までに、マスク設計・描画・検査の各工程に共通的なマスクデータ処理技術、繰り返しパターンやパターン重要度を利用した描画・検査高速化技術等の基本的な開発及びEUVLマスク基盤技術として、許容欠陥の指標明確化、ブランクス有位相欠陥検査技術の確立等を完了する。

③研究開発期間

2004年度～2010年度

(3) ドリームチップ開発プロジェクト（運営費交付金）

①概要

あらゆる社会ニーズに情報技術が今後も迅速に対応し、夢の社会を創り上げるため新しい方向の半導体技術として、これまで平面的な構造に過ぎなかった半導体デバイスに、立体構造という新たな概念を取り込み、社会ニーズの要請に適確に対応すべく、産業・ユーザーと密接な連携をとりながら、多様な用途に応じた夢の新機能デバイス(ドリーム・チップ)を開発する。

②技術目標及び達成時期

2012年度までに、立体構造化技術を発展・統合し、これまでにない革新的な半導体(ドリームチップ)基盤技術を開発する。

③研究開発期間

2008年度～2012年度

(4) 次世代プロセスフレンドリー設計技術開発（運営費交付金）（再掲）

①概要

あらゆる機器に組み込まれている半導体の低消費電力化を図るため、テクノロジーノード45nm以細の半導体に対応するSoC(System on Chip)設計技術を開発する。具体的には、テクノロジーノード45nm以細の半導体の共通設計基盤技術開発として、DFM(Design For Manufacturing)基盤技術を中核とした設計及び製造の全体最適を確保する全く新しいSoC製造フローを開発する。

なお、本事業は、エネルギー需給構造の高度化を図る観点から行うものである。

②技術目標及び達成時期

テクノロジーノード45nm以細のSoC開発において製造性を考慮した共通設計基盤技術を確立し、システムLSIデバイスの省エネルギーを実現するとともに、設計生産性を従来予想に比べ2倍にすることを目標とする。

③研究開発期間

2006年度～2010年度

(5) ナノエレクトロニクス半導体新材料・新構造技術開発—うち新材料・新構造ナノ電子デバイス（運営費交付金）（再掲）

①概要

従来の半導体は、性能の向上（高速化、低消費電力化、高集積化）を確保するために微細化が進められてきたが、絶縁性、誘電率等の物理的限界、微細化に伴う製造コストの増大など、集積度向上によるメリットが十分達成されなくなっている。

本研究開発では、シリコンで培った微細化技術やデバイス原理を活用しながら、シリコン材料の物理的限界を突破するための“新材料”および“新(デバイス)構造”の開発を行い、次世代の電子デバイス技術を確立する。

②技術目標及び達成時期

2011年度までに、産業界が10年後を見据えた将来の電子デバイスを開発する際に、産業技術として活用できるかどうかの実現可能性を見極め、また技術シーズを確立する。

③研究開発期間

2007年度～2011年度

(6) スピントロニクス不揮発性機能技術プロジェクト（運営費交付金）（再掲）

①概要

将来のエレクトロニクスにおいて中核的な基盤技術となり得るスピントロニクス技術（電子の電荷ではなく、電子の自転＝「スピン」を利用する全く新しいエレクトロニクス技術）を確立するため、強磁性体ナノ構造体におけるスピンの制御・利用基盤技術を開発し、我が国が世界に誇るシーズ技術を核として、産学官の共同研究体制を構築し、将来の中核的エレクトロニクス技術における我が国の優位性の確保を図る。

②技術目標及び達成時期

2010年度までに、超高集積で高速な不揮発性メモリとして期待されるスピンメモリのための基盤技術を確立する。また、新ストレージ・メモリデバイス、不揮発性スピン光機能素子、スピン能動素子等の新しい動作原理によるスピン新機能素子の実現のための基盤技術を確立する。

③研究開発期間

2006年度～2010年度

(7) 半導体機能性材料の高度評価基盤開発（運営費交付金）（再掲）

①概要

情報通信機器の高機能化や低消費電力化等の要求を満たす半導体集積回路を実現するため、新たな機能性材料開発に貢献する評価基盤技術を開発し、さらに開発した機能性材料を半導体及び半導体集積回路に適用できる統合的なソリューション技術を開発する。

なお、本事業は、エネルギー需給構造の高度化を図る観点から行うものである。

②技術的目標及び達成時期

2011年度までに、半導体デバイス性能に直結する接合素子の性能性及び信頼性等、半導体製造プロセス全体を俯瞰しつつ機能性材料開発が可能となる評価基盤技術を開発し、開発した機能性材料を用いた統合的なソリューションが提案できる材料評価基盤を構築する。

③研究開発期間

2009年度～2011年度

[ii] 半導体アーキテクチャの革新

(1) 半導体アプリケーションチッププロジェクト（運営費交付金）（再掲）

①概要

エネルギー需給構造の高度化を図る観点から行うものであり、情報通信機器、特に、情報家電（車載を含む）の低消費電力化を実現できる半導体アプリケーションチップ技術の開発を行う。

なお、本事業は、エネルギー需給構造の高度化を図る観点から行うものである。

②技術目標及び達成時期

2009年度までに情報家電の低消費電力化を実現できるアプリケーションチップ技術を開発する。

③研究開発期間

2003年度～2009年度

(2) 次世代回路アーキテクチャ技術開発事業

①概要

大学等での優秀な人材による革新的な半導体デバイス技術の開発を促進するため、革新的なアイデアによる半導体デバイス技術の提案を募集し、研究開発により設計された半導体デバイスを実際の半導体デバイスとして試作・評価を行う。

②技術目標及び達成時期

2010年度までに、本プロジェクトによって産業界が「実活用が期待できる」と評価する回路アーキテクチャを10件以上創出する。

③研究開発期間

2008年度～2012年度

[iii] 光技術の革新利用

(1) 低損失オプティカル新機能部材技術開発（運営費交付金）（再掲）

①概要

近接場光の原理・効果を応用した低損失オプティカル新機能部材技術を開発し、実用化の目処を得ることを目的とする。動作原理に近接場光を用いるオプティカル新機能部材は、従来の材料特性のみに依存した光学部品では不可能な機能・性能を発揮し、液晶プロジェクター・液晶ディスプレイなど情報家電の省エネルギー、高性能・高信頼化を図る上でのキーデバイスとなることが期待できる。

なお、本事業は、エネルギー需給構造の高度化を図る観点から行うものである。

②技術目標及び達成時期

2010年度までに、共通基盤技術として、ナノ構造部材の設計・作製・評価技術を開発するとともに、ナノ構造部材に発現する近接場光の機能を動作原理とする低損失オプティカル新機能部材を検討し機能を確認する。

③研究開発期間

2006年度～2010年度

(2) 次世代光波制御材料・素子化技術（運営費交付金）（再掲）

①概要

ガラス材料に関する精密モールド技術を確立し、機能性の高い光波制御素子を低コストで生産できるプロセス技術を開発することで部材の小型化・高機能化を図りつつ、省エネを実現する。

なお、本事業は、エネルギー需給構造の高度化を図る観点から行うものである。

②技術目標及び達成時期

2010年度までにサブ波長レベルの微細構造をガラス表面にモールド成形する技術を実現し、実装可能な具体的なデバイスを作製する。

③研究開発期間

2006年度～2010年度

(3) 三次元光デバイス高効率製造技術（運営費交付金）（再掲）

①概要

波面制御素子による空間光変調技術を確立し、ガラス中に三次元造形を高精度に一括形成できるプロセス技術を開発する。この技術を用いて、具体的な光デバイスを作製し、当該技術の有効性の確認と市場への早期参入のための基盤技術を確立する。

②技術目標及び達成時期

2010年度までに波面制御素子による空間光変調技術を用いたフェムト秒レーザー照射技術等を確立し、高精度の光デバイスを高速に作製できるプロセス技術を開発する。

③研究開発期間

2006年度～2010年度

II. 省エネ革新

[i] 情報ネットワークシステムの徹底的省エネの実現

(1) グリーンITプロジェクト（運営費交付金）（再掲）

①概要

情報化社会の進展に伴うIT機器の消費電力の大幅な増大に対応し、抜本的な省エネを実現するため、サーバ、ネットワーク機器等の各装置の省エネに加え、省エネ型の巨大コンピュータ技術（グリーン・クラウドコンピューティング技術）、パワーエレクトロニクス技術等を開発する。

なお、本事業は、エネルギー需給構造の高度化を図る観点から行うものである。

②技術目標及び達成時期

2012年度までに、IT機器・システムのエネルギー消費効率を2倍に向上させる基盤技術を開発する。

③研究開発期間

2008年度～2012年度

(2) 次世代高効率ネットワークデバイス技術開発（運営費交付金）（再掲）

①概要

エネルギー需給構造の高度化を図る観点から行うものであり、ネットワークで伝送されるデータ量の爆発的増加に伴い、関連機器の消費エネルギーが増大している中で、ネットワーク全体の消費電力量を抑制することが喫緊の課題であり、消費エネルギーの低減に大きく貢献するルータ・スイッチの高速化のための研究開発を実施するとともに、機器そのものの消費エネルギーを低減するための研究開発を実施する。

なお、本事業は、エネルギー需給構造の高度化を図る観点から行うものである。

②技術的目標及び達成時期

2011年度までに、1チャンネルあたり40Gbps超の通信速度に対応するトラフィック計測・分析・管理技術や40Gbpsのインターフェース、さらなる通信速度向上（100Gbps超）を実現するハードウェア技術、SFQ（単一磁束量子）スイッチに関する基盤技術を開発する。

③研究開発期間

2007年度～2011年度

(3) 次世代高効率エネルギー利用型住宅システム技術開発・実証事業（再掲）

①概要

ゼロ・エミッションハウスによる生活の大幅な省エネの実現に向け、家屋内直流配電システムや、電力需給の状態に応じた太陽電池等の分散型電源の制御、電力ネットワークを活用した家電の制御等、住宅全体としてエネルギーの最適制御を行うシステムの開発・実証を行う。

なお、本事業は、エネルギー需給構造の高度化を図る観点から行うものである。

②技術的目標及び達成時期

2011年度までに、直流給電・配電に関する規格の標準化、直流配電の電流・電圧の規格化、蓄電池設置に係る安全規制の改正に対する提案が可能となる技術を確立する。

③研究開発期間

2009年度～2011年度

[ii] 情報機器の徹底的省エネの実現

(1) 次世代大型低消費電力ディスプレイ基盤技術開発（運営費交付金）（再掲）

①概要

エネルギー需給構造の高度化を図る観点から行うものであり、次世代の大型液晶及び大型プラズマディスプレイに関する低消費電力ディスプレイを実現するための研究開発を行う。

なお、本事業は、エネルギー需給構造の高度化を図る観点から行うものである。

②技術的目標及び達成時期

2011年度までに、液晶に関しては、高効率バックライト、革新的なTFTアレイプロセス技術・製造装置及び低消費電力型の画像処理エンジン等に係る技術を確立する。また、プラズマディスプレイに関しては、超低電圧駆動等に係る技術を確立する。

③研究開発期間

2007年度～2011年度

[iii] 省エネを支えるプロセス基盤技術

(1) ナノエレクトロニクス半導体新材料・新構造技術開発—うち窒化物系化合物半導体基板・エピタキシャル成長技術の開発（運営費交付金）（再掲）

①概要

窒化物系化合物半導体は、パワーデバイス、高周波デバイス、発光デバイス等、重要なデバイスの飛躍的な性能向上と消費電力削減への貢献を期待されている。このため、従来の半導体材料では実現出来ない領域で動作可能なハイパワー・超高効率の電子素子、超高速電子素子等の作成に必要な窒化物系化合物半導体先進技術の国際競争力を強化すべく、高品質かつ大口径単結晶基板、高品質かつ大口径エピタキシャル成長技術等の開発を行う。

なお、本事業は、エネルギー需給構造の高度化を図る観点から行うものである。

②技術目標及び達成時期

2011年度までに、次世代窒化物系半導体デバイスを実現する以下結晶作製技術を開発する。

1) 基板技術 (Ga N、A l Nバルク結晶作製技術)

- ・口径2～4インチで高品質エピ成膜を可能とする低コストの単結晶基板作製技術の確立。

2) エピ技術 (エピタキシャル成膜及び計測評価技術)

- ・低欠陥高品質エピ層を実現する成膜技術及び膜成長過程を計測評価する技術の確立。
- ・高出力かつ高安定動作可能なエピ層の実現
- ・高耐圧超高速な新しいデバイス構造の開発

③研究開発期間

2007年度～2011年度

III. 情報爆発への対応

ITの利活用による知の創造

(1) 情報大航海プロジェクト

①概要

IT化の進展に伴い、現在、世界中において、情報量の「爆発」が起こっており、Web上のデジタル情報にとどまらず、社会活動のあらゆる場面において、情報の「創出」・「蓄積」がなされている。このため、個人情報や知的財産の適切な保護にも配慮しつつ、多種多様な大量の情報の中から必要な情報を簡便かつ的確に検索・解析するための技術開発を行うとともに、それらを用いた先進的な事業について実証することにより、技術の普及・展開を目指す。

②技術的目標及び達成時期

2009年度までに、必要な情報を簡便かつ的確に検索・解析するための技術を開発し、汎用化してオープンに利用できるような共通基盤を構築する。

③研究開発期間

2007年度～2009年度

(2) ITとサービスの融合による新市場創出促進事業

①概要

サービスの生産性向上や新しいサービスを創出するため、サービス工学の手法を活用して、情報蓄積・解析技術等のサービス実現に必要な情報技術を特定し、それらを組み合わせることによって、業種横断的に活用可能な共通する基盤技術の技術開発に取り組むとともに、それらを用いた先進的な事業について公的な分野で実証し、共通化・汎用化を行ってオープンにし、情報蓄積・解析技術等を活用した新サービスを生み出す。

②技術的目標及び達成時期

2012年度までに、サービスの生産性向上や多種多様な個人やビジネスのニーズ、社会的課題に応える新たなサービスを創出するための技術や方法論を確立し、サービス分野における新事業基盤を構築する。

③研究開発期間

2009年度～2012年度

(3) 車載ITシステムを活用した緊急医療体制整備

①概要

救急搬送時において救急センターや救急車側に医療機関のリアルタイム性を高めた情報を提供するとともに、医療機関までの最速な順路を示すことにより、適切かつ迅速な救急搬送体制の高度化に寄与するシステムを開発する。

②技術的目標及び達成時期

2012年度までに、各医療機関における医療スタッフ状況に関する情報を収集するためのシステムの開発およびこれと救急センターと連結する車載器の開発、医療スタッフ状況情報収集システムと車載器とをネットワークで連結するシステムを開発する。

③研究開発期間

2009年度～2012年度

IV. 情報システム・ソフトウェアの安全性・信頼性・生産性の向上とオープンスタンダードの普及推進

(1) セキュアプラットフォームプロジェクト

①概要

我が国産業のIT生産性の向上及び情報セキュリティレベルの底上げを図るため、異なる情報システムを一つのサーバ上に統合するだけでなく、これまで情報システムごとに別々に設定していた情報アクセス権限を統合し集中管理する機構を導入した革新的な仮想化技術（セキュア・プラットフォーム）の開発を行う。

②技術的目標及び達成時期

2009年度までに、統合アクセス制御基盤や、それにより制御可能となるよう必要なアクセス機構を備えた仮想化機能等を開発する。

③研究開発期間

2007年度～2009年度

(2) 産学連携ソフトウェア工学の実践（運営費交付金を含む）

①概要

現場の技術者の経験則等に委ねられていたソフトウェア開発に、工学的手法を導入すべく、ソフトウェアエンジニアリング手法を開発・普及する。

最初の適用分野として自動車分野を取り上げ、車載制御用基盤ソフトウェア等の開発を行うとともに、工学的手法を適用して、統合システムの信頼性を向上させる設計ツールの開発にも着手する。

②技術的目標及び達成時期

2009年度までに、本事業による成果をユーザやベンダなどの民間企業に広く普及し、活用することにより、我が国におけるソフトウェアの生産性及び信頼性を向上させる。

③研究開発期間

2004年度～2009年度

(3) オープンソフトウェア利用促進事業（運営費交付金）

①概要

誰もが利用できる標準化されたソフトウェアの活用を促進するため、その利用のための

技術的なガイド（技術参照モデル）の普及・改良や相互運用性を評価するための体制の整備等を進める。

②技術的目標及び達成時期

2012年度までに、技術参照モデル（TRM）の開発・普及やOSSサポートに係る人材育成などを行うことにより、オープンスタンダードの普及推進を図る。

③研究開発期間

2003年度～2010年度

(4) IT投資効率向上のための共通基盤開発プロジェクト

①概要

我が国の生産性及び競争力の向上のため、情報家電をはじめとした分野でのIT投資を、競争領域と非競争領域に峻別し、非競争領域について共通基盤を開発・オープン化等を進めていく。海外の組込みソフトウェアの動向も調査することにより、国際的に通用する共通基盤の構築を目指す。あわせて情報システム分野において、海外の動向も踏まえつつ、業界横断的に利用可能な共通基盤を検討する。

②技術的目標及び達成時期

非競争領域においては企業間で連携・強調し、IT投資の効率向上を図ることを目的とする共通基盤を2009年までに構築する。また、2010年までに共通基盤を用いた検証を行い、その結果を踏まえた上で、共通基盤の改善と産業界へ利用促進を図る。

③研究開発期間

2008年度～2010年度

(5) ITSの規格化事業（第2フェーズ）

①概要

主要国の自動車のITS技術及びその基盤となる電子化関連技術を調査し、今後標準化すべき分野の特定を行う。その結果をふまえ、標準化原案を作成し、ISOに提案を行う。また、当該原案が国際標準となるよう、ISOの国際会議に積極的に参加するとともに、随時、当該標準化原案の補強データを作成し、国際会議に提供する。

②技術的目標及び達成時期

2010年度までにITSに係る標準化案を作成しISOに対して提案又は国際規格として制定する。また自動車の電子化技術に関して、次世代では日本が主導をとるべく戦略を策定。

③研究開発期間

2006年度～2010年度

5. 政策目標の実現に向けた環境整備

【法律】

- ・ 情報処理の振興を目的に、昭和45年に情報処理の促進に関する法律が制定。
- ・ 半導体集積回路の回路配置の適正な利用の確保を目的に、昭和63年に半導体集積回路の回路配置に関する法律が制定。

【税制】

- ・ 情報セキュリティ強化を確保しつつ生産性の向上を図るためのIT投資に対し、35%特別償却又は7%税額控除(情報基盤強化税制)。
- ・ ソフトウェアを含む機械装置等に対し、30%特別償却又は7%税額控除(中小企業投資促進税制)。

【国際標準化】

各プロジェクトで得られた成果のうち、標準化すべきものについては、適切な標準化活動(国際規格(ISO/IEC))、日本工業規格(JIS)、その他国際的に認知された標準の提案等)を実施する。特に、産学連携ソフトウェア工学の実践における組込みソフトウェア開発については、国際標準の動向を踏まえた開発を促進することにより、プロジェクトの成果の幅広い普及を促進する。

【関係機関との連携】

各プロジェクトのうち、研究開発を効率的・効果的に推進する観点から関係機関との連携が必要なものについては、これを積極的に行う。

但し、関係機関が行う研究開発等の独自性を妨げるものではない。

【導入普及促進】

成果の普及を図るため、これまでの終了プロジェクトの成果の全部または、一部についてはオープンソースソフトウェアとして公開する。また、高信頼な組込みソフトウェアの開発では、ソフトウェアエンジニアリングセンター(SEC)において提供される各種エンジニアリング手法を開発現場に適用し、当該技術の効果を明らかにしながら開発を進める。

【その他】

・ グラント事業

NEDOの産業技術研究助成事業を活用し、萌芽的・革新的な情報通信関係の技術シーズの発掘を行う。また、ソフトウェア分野の独創的な技術やビジネスシーズを有した人材を発掘する。

・ 事業終了後の連携

産学官連携の研究体制を通して活動を行い、これらの事業の終了後も各分野の研究者・技術者が有機的に連携し、更に新たな研究を作り出す環境を構築する。

・ 人材育成

ハードウェア分野においては、出来る限り大学との連携を重視し、各種フェロースhip制度を活用しつつ、最先端の情報通信基盤研究現場への学生等の参画を推進することにより次世代の研究開発人材の育成を図る。また、ソフトウェア分野における独創的な人材を発掘し、育成するとともに、優秀な人材が集うコミュニティを構築するなど、発掘された人材の才能をさらに伸ばすための取組を進める。

・ 広報/啓発

毎年10月を「情報化月間」としている。

6. 研究開発の実施に当たっての留意事項

事業の全部又は一部について独立行政法人の運営費交付金により実施されるもの（事業名に（運営費交付金）と記載したものは、中期目標、中期計画等に基づき、運営費交付金の総額の範囲内で、当該独立行政法人の裁量によって実施されるものである。

7. 改訂履歴

- (1) 平成12年12月28日付け、情報通信基盤高度化プログラム基本計画を制定。
- (2) 平成14年2月28日付け、情報通信基盤高度化プログラム基本計画及び次世代半導体デバイスプロセス等基盤技術プログラム基本計画を制定。情報通信基盤高度化プログラム基本計画（平成12・12・27工総第12号）は廃止。
- (3) 平成15年1月31日付け、情報通信基盤高度化プログラム基本計画及び次世代半導体デバイスプロセス等基盤技術プログラム基本計画を制定。情報通信基盤高度化プログラム基本計画（平成14・02・25産局第17号）及び次世代半導体デバイスプロセス等基盤技術プログラム基本計画（平成14・02・25産局第18号）は、廃止。
- (4) 平成15年3月10日付け、情報通信基盤高度化プログラム基本計画、次世代半導体デバイスプロセス等基盤技術プログラム基本計画、次世代ディスプレイ技術開発プログラム基本計画及び情報通信基盤ソフトウェア開発推進プログラム基本計画を制定。情報通信基盤高度化プログラム基本計画（平成15・01・29産局第1号）及び次世代半導体デバイスプロセス等基盤技術プログラム基本計画（平成15・01・29産局第2号）は、廃止。

なお、情報通信機器高度化プログラム基本計画（平成15・01・29産局第1号）及び次世代半導体デバイスプロセス等基盤技術プログラム基本計画（平成15・01・29産局第2号）の一部は、次世代ディスプレイ技術開発プログラム基本計画及び情報通信基盤ソフトウェア開発推進プログラム基本計画へ移行。

- (5) 平成16年2月3日付け、高度情報通信機器・デバイス基盤プログラム基本計画及び情報通信基盤ソフトウェア開発推進プログラム基本計画を制定。情報通信機器高度化プログラム基本計画（平成15・03・07産局第14号）、次世代半導体デバイスプロセス等基盤技術プログラム基本計画（平成15・03・07産局第7号）、次世代ディスプレイ技術開発プログラム基本計画（平成15・03・07産局第4号）は、高度情報通信機器・デバイス基盤プログラム基本計画に統合することとし、廃止。また、情報通信基盤ソフトウェア開発推進プログラム基本計画（平成15・03・07産局第14号）は、廃止。
- (6) 平成17年3月25日付け、高度情報通信機器・デバイス基盤プログラム基本計画を制定。高度情報通信機器・デバイス基盤プログラム基本計画（平成16・02・03産局第1号）は廃止。また、平成17年3月31日付け、情報通信基盤ソフトウェア開発推進プログラム基本計画を制定。情報通信基盤ソフトウェア開発推進プログラム基本計画（平成16・02・03産局第2号）は廃止。
- (7) 平成18年3月31日付け、高度情報通信機器・デバイス基盤プログラム基本計画及び情報通信基盤ソフトウェア開発推進プログラム基本計画を制定。高度情報通信機器・デバイス基盤プログラム基本計画（平成17・03・25産局第7号）及び情報通信基盤ソフトウェア開発推進プログラム基本計画（平成17・03・25産局第6号）は廃止。
- (8) 平成19年4月2日付け、高度情報通信機器・デバイス基盤プログラム基本計画及び情

報通信基盤ソフトウェア開発推進プログラム基本計画を制定。高度情報通信機器・デバイス基盤プログラム基本計画（平成18・03・31産局第4号）及び情報通信基盤ソフトウェア開発推進プログラム基本計画（平成18・03・31産局第5号）は廃止。

- (9) 平成20年4月1日付け、ITイノベーションプログラム基本計画を制定。情報通信機器高度化・デバイス基盤プログラム基本計画（平成19・03・12産局第7号）及び情報通信基盤ソフトウェア開発推進プログラム基本計画（平成19・03・12産局第8号）は、本プログラム基本計画に統合することとし、廃止。
- (9) 平成21年4月1日付け、ITイノベーションプログラム基本計画を制定。ITイノベーションプログラム基本計画（平成20・03・27産局第1号）は、廃止。

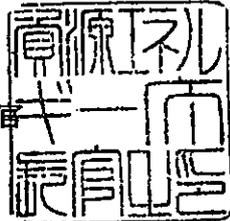
経済産業省

平成21・03・26産局第1号
平成21年4月1日

経済産業省産業技術環境局長



経済産業省資源エネルギー庁長官



エネルギーイノベーションプログラム基本計画の制定について

上記の件について、イノベーションプログラム実施要領（平成16・07・27産局第1号）第4条第1項の規定に基づき、別添のとおり制定する。

エネルギーイノベーションプログラム基本計画

1. 目的

資源に乏しい我が国が、将来にわたり持続的発展を達成するためには、革新的なエネルギー技術の開発、導入・普及によって、各国に先んじて次世代型のエネルギー利用社会の構築に取り組んでいくことが不可欠である。他方、エネルギー技術開発は、長期間を要するとともに大規模投資を伴う一方で将来の不確実性が大きいことから、民間企業が持続的な取組を行うことは必ずしも容易ではない。このため、政府が長期を見据えた将来の技術進展の方向性を示し、官民双方がこの方向性を共有することで、長期にわたり軸のぶれない取組の実施が可能となる。

エネルギー安全保障の確立や、世界全体の温室効果ガスを2050年までに半減するという長期目標を達成するため、以下に政策の柱毎に目的を示す。

1-I. 総合エネルギー効率の向上

1970年代以来、官民をあげて省エネルギーに取り組み、産業構造の転換や新たな製造技術の導入、民生機器の効率改善等により世界最高水準の省エネルギーを達成している。今後、「新・国家エネルギー戦略」に掲げる、2030年までにGDPあたりのエネルギー利用効率を約30%向上を実現していくためには、産業部門はもとより、全部門において、総合エネルギー効率の向上に資する技術開発とその成果の導入を促進する。

1-II. 運輸部門の燃料多様化

ほぼ100%を石油に依存する運輸部門は、我が国エネルギー需給構造上、最も脆弱性が高く、その需給構造の次世代化は、将来に向けた早急な対策が不可欠な課題となっている。

「新・国家エネルギー戦略」に掲げる目標（2030年に向け、運輸部門の石油依存度が80%程度となることを目指す）の実現のためにも、官民が中長期的な展望・方向性を共有しつつ、技術開発と関連施策を推進する。

1-III. 新エネルギー等の開発・導入促進

太陽光、風力、バイオマスなどの新エネルギーは、エネルギー源の多様化や地球温暖化対策の観点から重要である。しかし、現時点では経済性や出力安定性といった普及へ向けての課題が存在する。

そのため、これらの課題解決に向けた技術開発の推進及び新エネルギーの導入促進のための関連施策の実施により、更なる新エネルギーの普及を推進する。

1-IV. 原子力等利用の推進とその大前提となる安全の確保

原子力発電は供給安定性に優れ、運用時にCO₂を排出しないクリーンなエネルギー源である。安全確保を大前提に核燃料サイクルを含む原子力発電を着実に推進する。

1-V. 化石燃料の安定供給確保と有効かつクリーンな利用

化石燃料資源の大宗を輸入に依存する我が国にとって、その安定供給の確保は国家安全保障に直結する課題である。このため、石油・天然ガス等の安定供給確保を目指し、我が国企業による資源国における資源開発等に対する支援等の施策を進めるとともに、その有効かつクリーンな利用を図る。

2. 政策的位置付け

- 低炭素社会づくり行動計画（2008年7月閣議決定）

2008年6月の福田総理（当時）のスピーチ「福田ビジョン」等を受け、我が国が低炭素社会へ移行していくための具体的な道筋を示すため、国全体を低炭素化へ動かす仕組みや革新的な技術開発、国民一人ひとりの行動を促すための取組について策定。「環境エネルギー技術革新計画」や「Cool Earth－エネルギー革新技術計画」等に示された革新的技術の開発に5年間で300億ドル程度を投入するという具体的な目標が示された。
- 環境エネルギー技術革新計画（2008年5月）

温室効果ガスの大幅な削減を目指すだけでなく、エネルギー安全保障、環境と経済の両立、開発途上国への貢献等を考慮し、以下の戦略等を策定。

 1. 低炭素社会実現に向けた我が国の技術戦略
 2. 国際的な温室効果ガス削減策への貢献策
 3. 革新的環境エネルギー技術開発の推進方策
- Cool Earth－エネルギー革新技術計画（2008年3月）

2007年5月の総理イニシアティブ「クールアース50」を受け、世界全体の温室効果ガスの排出量を現状に比して2050年までに半減するという長期目標を達成するため、エネルギー分野における革新的な技術開発について検討をおこない、21の技術を選定。
- エネルギー基本計画（2007年3月閣議決定）

重点的に研究開発のための施策を講ずべきエネルギーに関する技術及びその施策として、

 1. 総合エネルギー効率の向上に資する技術
 2. 原子力利用の推進とその大前提となる安全の確保に資する技術
 3. 運輸部門のエネルギー多様化に資する技術
 4. 新エネルギーに関する技術
 5. 化石燃料の安定供給確保と有効かつクリーンな利用に資する技術

以上が位置づけられている。
- 新・国家エネルギー戦略（2006年5月）

世界最先端のエネルギー需給構造の実現を図るため

 1. 省エネルギーフロントランナー計画
 2. 運輸エネルギーの次世代化計画
 3. 新エネルギーイノベーション計画
 4. 原子力立国計画

以上の計画が位置づけられている。また、資源外交、エネルギー環境協力の総合的な強化を図るため、「総合資源確保戦略」が位置づけられている。
- 第3期科学技術基本計画（2006年3月閣議決定）

国の存立にとって基盤的であり国として取り組むことが不可欠な研究開発課題を重視して研究開発を推進する「推進4分野」であるエネルギー分野、分野別推進戦略（2006年3月総合科学技術会議）における「推進4分野」であるエネルギー分野に位置づけられている。

○ 経済成長戦略大綱（２００６年７月財政・経済一体改革会議）

資源・エネルギー政策の戦略的展開として

1. 省エネルギーフロントランナー計画
2. 次世代自動車・燃料イニシアティブ等による運輸エネルギー一次世代化
3. 新エネルギーイノベーション計画
4. 原子力立国計画
5. 資源外交、環境・エネルギー協力等の総合的な強化

以上が位置づけられている。

○ 京都議定書目標達成計画（２００５年４月閣議決定）

「京都議定書の約束を達成するとともに、更に「脱温暖化社会」に向けて長期的・継続的な排出削減を進めるには、究極的には化石燃料への依存を減らすことが必要である。環境と経済の両立を図りつつ、これらの目標を達成するため、省エネルギー、未利用エネルギーの利用等の技術革新を加速し、効率的な機器や先進的なシステムの普及を図り、世界をリードする環境立国を目指す。」とされている。

3. 達成目標

3-I. 総合エネルギー効率の向上

転換部門における「エネルギー転換効率向上」、産業部門における「製造プロセス効率向上」、民生・運輸部門における「省エネルギー」などにより、GDP当たりのエネルギー消費指数を２０３０年度までに少なくとも３０％改善することを目指す。

3-II. 運輸部門の燃料多様化

バイオマス由来燃料、GTL、BTL、CTLなどの新燃料、電気自動車や燃料電池自動車などの導入により、現在ほぼ１００％の運輸部門の石油依存度を２０３０年までに８０％程度とすることを目指す。

3-III. 新エネルギー等の開発・導入促進

太陽光、風力、バイオマスなどの新エネルギーの技術開発や燃料電池など革新的なエネルギー高度利用を促進することにより、新エネルギー等の自立的な普及を目指すことで、エネルギー源の多様化及び地球温暖化対策に貢献する。

3-IV. 原子力等利用の推進とその大前提となる安全の確保

２０３０年以降においても、発電電力量に占める比率を３０～４０％程度以上とすることを目指すため、高速増殖炉サイクルの早期実用化、既設軽水炉代替へ対応する次世代軽水炉の開発、軽水炉技術を前提とした核燃料サイクルの確立、放射性廃棄物対策などの技術開発を推進する。

3-V. 化石燃料の安定供給確保と有効かつクリーンな利用

石油・天然ガスの化石燃料の安定供給確保を目指し、資源獲得能力の強化に資する先端的な技術開発を推進するとともに、環境負荷低減のために化石燃料の効率的かつクリーンな利用を促進するための技術開発・導入を目指す。

4. 研究開発内容

4-I. 総合エネルギー効率の向上

4-I-i. 共通

(1) 省エネルギー革新技术開発事業（運営費交付金）

①概要

テーマ公募型事業として、「Cool Earth-エネルギー革新技术計画」に基づき、「先導研究」、「実用化開発」及び「実証研究」の3つの技術開発フェーズに加え、「挑戦研究」フェーズを追加し、革新的な省エネルギー技術の開発を行う。

②技術目標及び達成時期

世界全体の温室効果ガス排出量を現状に比べて2050年までに半減するという長期目標を実現するための「Cool Earth-エネルギー革新技术計画」の主旨に基づき、大幅な省エネルギー効果を発揮する革新的なエネルギー使用合理化技術について研究開発・実用化を推進する。

③研究開発時期

2003年度～2013年度

(2) エネルギー使用合理化産業技術研究助成事業（運営費交付金）

①概要

産業界や社会のニーズに応える省エネルギー技術のシーズの発掘とその育成、並びに、省エネルギー技術に関する次世代の研究リーダーの育成を図る。この目的のため、産業界からの期待が高い技術領域・課題を提示した上で、大学や独立行政法人の研究者等から研究開発テーマを募集する。厳正な外部評価によって省エネルギー効果があり且つ独創的・革新的なテーマを選定し、研究者代表者個人を特定して助成金を交付する。

②技術的目標及び達成時期

独創性のある研究者等を助成すると共に、中間評価ゲート方式が醸成する競争的環境の下で企業との連携を強化させることにより、10～15年後の実用化が有望な革新的省エネルギー技術の研究開発を促進する。本事業では革新的省エネルギー技術の実用化への第1歩となる特許について、助成期間終了後の出願比率を100%とすることを目標とするとともに、省エネルギー技術に関する次世代の研究リーダーの育成を図る。

③研究開発期間

2000年度～

(3) 新エネルギー技術実用化補助事業（運営費交付金）（4-III-i参照）

(4) 非化石エネルギー産業技術研究助成事業（運営費交付金）（4-III-i参照）

4-I-ii. 超燃焼システム技術

(1) 環境調和型製鉄プロセス技術開発（運営費交付金）（再掲）

①概要

高炉ガスからの効率的な二酸化炭素分離と中低温排熱の有効活用及び水素を炭素（コークス）の一部代替として鉄鉱石を還元する革新的製鉄プロセスの開発を行う。

②技術的目標及び達成時期

最終的な技術開発目標として製鉄プロセスにおけるCO₂排出量を30%削減することを目指し、2050年までに実用化する。

③研究開発期間

2008年度～2017年度

(2) 資源対応力強化のための革新的製鉄プロセス技術開発（運営費交付金）

①概要

高品位な製鉄材料（鉄鉱石・石炭等）の入手が困難になってきていることから、原料使用量の低減及び、比較的入手が容易な低品位原料の使用拡大を図ることが喫緊の課題となっている。本技術開発では、還元剤として低品位な石炭と鉄鉱石の塊成物を開発し、炉内反応の高速化・低温化を実現することにより、省エネルギーで高効率な革新的製鉄プロセスを開発する。

②技術的目標及び達成時期

2011年度までに、①革新的塊成物の組成・構造条件の探索、②革新的塊成物の製造プロセス、③革新的塊成物による高炉操業プロセスを開発する。これらによる効果は、年産400万トン規模の中型高炉に適用した場合の炭材使用量のうち高品位炭使用量が約80%から50%程度に削減可能となるとともに、革新的塊成物を高炉に使用する操業技術の改良による還元材比の低減により、新開発のプロセスを含めた製鉄プロセスでの投入エネルギーは約10%削減される。

③研究開発期間

2009年度～2011年度

(3) 革新的ガラス溶融プロセス技術開発（運営費交付金）

①概要

プラズマ等による高温を利用し瞬時にガラス原料をガラス化することにより、極めて効率的にガラスを気中で溶融（インフライトメルティング法）し省エネに資する革新的ガラス溶融プロセス技術を開発する。

なお、本事業は、エネルギー需給構造の高度化を図る観点から行うものである。

②技術的目標及び達成時期

2012年度までに、インフライトメルティング法により原料を溶解する技術、カレットをガラス原料として利用するため高効率で加熱する技術、カレット融液とインフライトメルティング法による原料融液とを高速で混合する技術を開発する。

③研究開発期間

2008年度～2012年度

(4) 革新的マイクロ反応場利用部材技術開発（運営費交付金）

①概要

エネルギー需給構造の高度化を図る観点から行うものであり、マイクロリアクター、ナノ空孔などの精密反応場を利用し、反応分子の自由な運動を活性種レベルで制御した革新的な化学反応プロセスと新機能材料創成技術の確立を目指す。さらに、マイクロリアクターとナノ空孔反応場の組み合わせ、各反応場とマイクロ波等のエネルギー供給手段との組み合わせにより協奏的反応場を構成し、さらなる高効率生産等を可能にする基盤技術を開発する。これらの技術の確立により、反応システムの小型化、多段プロセスの簡略化等を通じた化学産業の製造工程等の省エネルギー化を図る。

なお、本事業は、エネルギー需給構造の高度化を図る観点から行うものである。

②技術的目標及び達成時期

2010年度までに、マイクロリアクター技術、ナノ空孔技術を軸とし、これらに更にマイクロ波、超臨界流体等のエネルギー供給手段を組み合わせた協奏的反応場を構成することにより、これまでにない革新的な化学反応プロセスを確立し、新機能材料創成技術を実現する。さらに、これらの技術を用いて高性能・高機能電子材料、医薬中間体などの部材を開発する。

③研究開発期間

2006年度～2010年度

(5) 鉄鋼材料の革新的高強度・高機能化基盤研究開発（運営費交付金）

①概要

プラント、構造物や自動車等の革新的な高効率化、省エネルギー化、長寿命化、安全・安心化を図るため、最新の科学的知見を導入し、鉄鋼材料及び鋼構造物を超高機能化する基盤的研究開発を行う。具体的には、高強度鋼、高機能鋼の実用化拡大の基盤となる（1）高級鋼厚板（高強度鋼、極低温用鋼、耐熱鋼）溶接部の信頼性・寿命を大幅に向上する溶接施工技術（高密度・清浄熱源溶接技術）、及びクリープ破壊、金属組織制御技術を基本とする溶接材料技術（クリープ破壊及び水素破壊の機構解明等を踏まえた）の開発、（2）部材の軽量化を図るために強度、加工性等の最適機能傾斜を付与する機械部品鍛造技術（駆動部材の信頼性確保のための耐疲労破壊特性の向上を踏まえた）の開発を行う。

なお、本事業は、エネルギー需給構造の高度化を図る観点から行うものである。

②技術目標及び達成時期

2011年度までに、高級鋼厚板（高強度鋼・極低温用鋼・耐熱鋼）の溶接を予熱・後熱なしに可能とする溶接技術と材料技術を開発するとともに、傾斜機能部材の鍛造技術を開発する。

③研究開発期間

2007年度～2011年度

(6) 希少金属等高効率回収システム開発

①概要

小型電子・電気機器にはベースメタルや、金、銀等の貴金属の他、インジウム、ニッケル等の希少金属等を含有している。現状では、これらの機器が廃棄された後は、非常に高温で処理する乾式製錬技術を用いてリサイクル・処理されているため、多大なエネルギーを消費するばかりか、回収可能な金属が銅、金、銀等に限定されており、その他の希少金属等は回収できずに廃棄処分されている。このため、湿式製錬技術を活用した高効率な最適技術の開発等を通じて、回収工程の省エネルギー及び希少金属等の回収率向上を図る。

②技術目標及び達成時期

- ・ 従来方法（乾式製錬）で処理する場合に比べて、大幅な省エネルギーの実現（省エネルギー効果：原油換算で約78万kl/年削減）
- ・ 廃小型電子・電気機器、廃超硬工具等中に含まれる希少金属等の回収率の向上（インジウム0%→90%、ニッケル50%→95%、コバルト0%→95%、タンタル0%→80%、タングステン90%→95%、レアアース 0%→80%）

③研究開発期間

2007年度～2010年度

(7) 低品位鉱石・難処理鉱石に対応した革新的製錬プロセス技術の研究開発

①概要

世界的な鉱石品位の低下、不要元素等の不純物の増加に対応するため、我が国非鉄金属業においては、低品位鉱石の利用拡大による我が国の鉱物資源の安定供給確保の強化が喫緊の課題となっているため、低品位・難処理鉱石の革新的な省エネルギー型の製錬プロセスを開発する。

②技術目標及び達成時期

低品位鉱石及び難処理鉱石から効率的に銅等有用な非鉄金属を回収するため、低品位鉱石・難処理鉱石に対応した省エネルギー型プロセスによる新たな選鉱技術、製錬技術及び不純物対策技術の研究開発を行う。

(1) 高品位精鉱回収技術

低品位鉱石・難処理鉱石から高品位の精鉱を得る選鉱技術の開発。

ハンドリングが難しい極微細鉱等難処理鉱を処理する製錬技術の開発。

(2) 有用金属の抽出等回収技術

低品位精鉱から含有金属を高効率に回収する製錬技術の開発。

(3) 高濃度不純物の除去等対策技術

不要な元素（ヒ素、ビスマス、アンチモン等）等を多く含む精鉱からの不純物除去、分離、安定化等技術の開発。

上記要素技術を開発し、将来的にエネルギー消費原単位の悪化が予測される非鉄金属製錬について、省エネルギー見込み量、原油換算約2.6万KLを達成。

③研究開発期間

2009年度～2012年度

(8) 環境調和型水循環技術開発

①概要

我が国が強みを持つ、膜技術を始めとする水処理技術を強化し、省水型・環境調和型の水循環システムの開発に資する省エネ・省水型の要素技術を開発する。

②技術目標及び達成時期

2013年度までに、以下の技術を開発する。

- 革新的膜分離技術の開発：
従来法に比べ膜透過加圧エネルギー等を50%以上削減。
- 省エネ型膜分離活性汚泥法(MBR)技術の開発：
従来法に比べ膜洗浄の曝気(空気気泡)エネルギー等を30%以上削減。
- 有用金属・有害物質の分離・回収技術の開発：
従来法に比べ汚泥の削減により汚泥処理・処分エネルギーを80%以上削減。
- 高効率難分解性物質分解技術の開発：
従来法に比べ窒素処理に係るエネルギーを50%以上削減。
オゾン酸化法等のエネルギーを50%以上削減。

③研究開発期間

2009年度～2013年度

(9) 微生物機能を活用した環境調和型製造基盤技術開発

i) 微生物機能を活用した高度製造基盤技術開発(運営費交付金)

①概要

エネルギー需給構造の高度化を図る観点から行うものであり、省エネルギーかつ環境負荷が少ないといった特徴を有する微生物機能を活用した有用物質の革新的な生産プロセス(モノ作り)の技術を構築するため、産業用途に必要な機能既知遺伝子で構成されたゲノムを持ち、物質生産性向上につながる性能を備えた高性能宿主細胞の創製や、微生物反応の多様化・高機能化技術を開発するとともに、バイオマスを原料として有用物質を体系的かつ効率的に生産する(バイオリファイナリー)ための基盤技術を開発する。

②技術目標及び達成時期

2010年度までに、物質生産性向上につながる性能を備えた高性能宿主細胞を創製するとともに、バイオプロセスの実用化適用範囲の拡大のための微生物反応の多様化・高機能化技術の開発を行う。バイオリファイナリー技術については、バイオマスを高効率で糖化し、糖から高効率で各種化成品の基幹物質を生産するバイオプロセス体系を構築する。

③研究開発期間

2006年度～2010年度

ii) 微生物群のデザイン化による高効率型環境バイオ処理技術開発（運営費交付金）

①概要

エネルギー需給構造の高度化を図る観点から行うものであり、従来エネルギー多消費・廃棄物多排出型であった廃水・廃棄物処理において、微生物群の構成及び配置等を人為的に制御（デザイン化）することで、その処理効率を大幅に向上させ、省エネルギーで廃棄物も少ない高効率型廃水、廃棄物処理の基盤技術を確立する。

②技術目標及び達成時期

2011年度までに、特定有用微生物群を人為的に安定導入・維持もしくは人為的に空間配置・優先化させる等のデザイン化技術を開発し、従来の廃水、廃棄物処理に比べより高効率で省エネルギーな処理技術を開発するとともに、実用化に資するための実証可能なテストプラント規模にて評価する。

③研究開発期間

2007年度～2011年度

(10) 省エネルギー型化学技術創成研究開発補助事業

①概要

化学企業が有する技術シーズの中で、省エネルギーのポテンシャルが大きいにもかかわらず民間だけで事業を進めるには開発リスクが大きいこと等がネックになって十分な研究開発費が投じられていない技術に対して、戦略的な研究開発支援を実施することにより、化学産業のみならず、各種最終製品や他産業において抜本的なエネルギー効率の改善を促進するものである。

②技術的目標及び達成時期

2010年度までに、将来の発展が有望な技術に関する研究開発の実施とその実用化と普及を通し、化学産業のみならず他分野も含めた我が国省エネルギー対策への一層の寄与を目標とする。

③研究開発期間

2004年度～2010年度

(11) エネルギー使用合理化繊維関連次世代技術開発

①概要

製造エネルギーの低減を図ることができる革新的な繊維製品製造技術の開発や、使用することでエネルギー消費の低減が可能となる新たな繊維製品を開発。

②技術的目標及び達成時期

2010年度までに、以下の開発を行う。

①次世代資材用繊維の開発

②ポリエチレンテレフタレート製造エネルギー低減技術の開発

③研究開発期間

2005年度～2009年度

(12) 高効率ガスタービン実用化技術開発

①概要

省エネルギー及びCO₂削減の観点から電力産業用高効率ガスタービンの実用化を目指し、大容量機（25万kW程度（コンバインド出力40万kW））の高効率化（52%→56%）のために1700℃級ガスタービンの実用化に必要な先端要素技術を適用した各要素モジュールの検証等を実施する。また、小中容量機（10万kW程度）の高効率化（45%→51%）のために有望とされている高温分空気利用ガスタービンの実用化に必要な多段軸流圧縮機、多缶燃焼器等の開発を行うとともにシステムの信頼性等の検証を行う。

②技術的目標及び達成時期

1700℃級ガスタービン実用化技術開発：先端要素技術を活用した燃焼器、タービン、圧縮機等各モジュールの検証等を行い、送電端熱効率56%以上の達成が可能なことを確認する。

高温分空気利用ガスタービン実用化技術開発：2011年までに軸流圧縮機の3.5%（空気重量比）吸気噴霧冷却技術、低NO_x燃焼技術（運用負荷帯で10ppm以下）等を開発すると共に、実機に近い条件での要素機器の信頼性・耐久性を確認する。

③研究開発期間

2008年度～2011年度

(13) エネルギー使用合理化高効率パルプ工程技術開発（運営費交付金）

①概要

紙パルプ産業では、環境に関する自主行動計画に基づき、2010年度までに製品当たり化石エネルギー原単位を1990年度比13%削減し、CO₂排出原単位を10%削減することを目指し、紙パルプ工程における省エネルギー対策を着実に進めているものの、より一層の省エネルギー対策を進めるためには、技術開発によるブレークスルーが必要となっている。紙パルプ産業は、エネルギー多消費型産業のひとつであり、紙パルプ工程での省エネルギー対策は波及効果が大きいことから、紙パルプ工程におけるエネルギー使用合理化に資する技術開発を提案公募により実施する。

②技術的目標及び達成時期

京都議定書の第1約束期間中、又は、第2約束期間中を目途として実用化に至るような技術開発を行うことで、京都議定書の第1約束期間の目標を着実に達成するとともに、現在、検討が行われている第2約束期間に向けた省エネルギー対策の更なる深化を進めていく。

③研究開発期間

2005年度～2010年度

(14) 革新的省エネセラミックス製造技術開発（運営費交付金）

①概要

小型炉設備で生産可能な小型セラミック中空ユニットを複数組みあわせること

で、これまでその製造が難しかった複雑な形状を持つ大型セラミックス部材を省エネで製作することができる革新的なセラミック部材製造技術を開発する。

なお、本事業は、エネルギー需給構造の高度化を図る観点から行うものである。

②技術目標及び達成時期

2013年度までに、高機能化された小さな精密ブロックを立体的に組み上げ、高効率で接合、一体化をし、複雑な形状の部材や大型の部材を製造可能とする革新的なプロセス技術の基盤を確立し、高耐性部材、高温断熱部材及び高比剛性部材の試作を行う。

③研究開発期間

2009年度～2013年度

(15) 発電プラント用超高純度金属材料開発 (運営費交付金) (4-IV-v 参照)

(16) 先進超々臨界圧火力発電実用化要素技術開発 (4-V-iv 参照)

(17) 噴流床石炭ガス化発電プラント開発 (4-V-iv 参照)

(18) 石油精製高度機能融合技術開発 (4-V-ii 参照)

4-I-iii. 時空を超えたエネルギー利用技術

(1) カーボンナノチューブキャパシタ開発プロジェクト (運営費交付金)

①概要

高純度、高密度に配向した長尺の単層カーボンナノチューブの大量合成技術を開発するとともに、これを用いた従来よりも格段にパワー (電力) と蓄電量が大きなキャパシタを開発する。

なお、本事業は、エネルギー需給構造の高度化を図る観点から行うものである。

②技術目標及び達成時期

2010年度までに、単層カーボンナノチューブの高度配向技術及び大量生産技術を確立するとともに、キャパシタ製造技術を確立することで、20Wh/Kgの高エネルギー密度と耐久性を有する電気二重層キャパシタを開発する。

③研究開発期間

2006年度～2010年度

(2) イットリウム系超電導電力機器技術開発 (運営費交付金) (4-IV-iv 参照)

(3) 高温超電導電力ケーブル実証プロジェクト (運営費交付金) (4-IV-iv 参照)

(4) 固体高分子形燃料電池実用化戦略的技術開発 (運営費交付金) (4-III-v 参照)

(5) 燃料電池先端科学研究 (運営費交付金) (4-III-v 参照)

(6) 固体酸化物形燃料電池システム要素技術開発 (運営費交付金) (4-III-v 参照)

(7) 水素貯蔵材料先端基礎研究事業 (運営費交付金) (4-III-v 参照)

(8) 水素製造・輸送・貯蔵システム等技術開発 (運営費交付金) (4-III-v 参照)

(9) 固体酸化物形燃料電池実証研究 (運営費交付金) (4-III-v 参照)

(10) 大規模電力供給用太陽光発電システム安定化等実証事業 (運営費交付金) (4-IV-v 参照)

(11) 次世代蓄電システム実用化戦略的技術開発 (運営費交付金) (4-IV-v 参照)

(12) 革新型蓄電池先端科学基礎研究 (運営費交付金) (4-III-iii 参照)

4-I-iv. 省エネ型情報生活空間創生技術

(1) グリーンITプロジェクト（運営費交付金）

①概要

情報化社会の進展に伴うIT機器の消費電力の大幅な増大に対応し、抜本的な省エネを実現するため、サーバ、ネットワーク機器等の各装置の省エネに加え、省エネ型の巨大コンピューティング技術（グリーン・クラウドコンピューティング技術）、パワーエレクトロニクス技術を開発する。

②技術目標及び達成時期

2012年度までに、IT機器・システムのエネルギー消費効率を2倍に向上させる基盤技術を開発する。

③研究開発期間

2008年度～2012年度

(2) 次世代高効率ネットワークデバイス技術開発（運営費交付金）

①概要

エネルギー需給構造の高度化を図る観点から行うものであり、ネットワークで伝送されるデータ量の爆発的増加に伴い、関連機器の消費エネルギーが増大している中で、ネットワーク全体の消費電力量を抑制することが喫緊の課題であり、消費エネルギーの低減に大きく貢献するルータ・スイッチの高速化のための研究開発を実施するとともに、機器そのものの消費エネルギーを低減するための研究開発を実施する。

②技術的目標及び達成時期

2011年度までに、1チャンネルあたり40Gbps超の通信速度に対応するトラフィック計測・分析・管理技術や40Gbpsのインターフェース、さらなる通信速度向上（100Gbps超）を実現するハードウェア技術、SFQ（単一磁束量子）スイッチに関する実現を可能とするための基盤技術を開発する。

③研究開発期間

2007年度～2011年度

(3) 次世代大型低消費電力ディスプレイ基盤技術開発（運営費交付金）

①概要

エネルギー需給構造の高度化を図る観点から行うものであり、次世代の大型液晶及び大型プラズマディスプレイに関する低消費電力ディスプレイを実現するための研究開発を行う。

②技術的目標及び達成時期

2011年度までに、液晶に関しては、高効率バックライト、革新的なTFTアレイプロセス技術・製造装置及び低消費電力型の画像処理エンジン等に係る技術を確立する。また、プラズマディスプレイに関しては、超低電圧駆動等に係る技術を確立する。

③研究開発期間

2007年度～2011年度

(4) 有機発光機構を用いた高効率照明の開発（運営費交付金）

①概要

エネルギー需給構造の高度化を図る観点から行うものであり、蛍光灯に代わる高効率照明として有機EL発光機構を用いるための技術開発課題（発光効率、演色性、面均一性、生産コスト）等を明らかにし、それをブレイクスルーする技術シーズを抽出する。

②技術目標及び達成時期

2009年までに現在一般に普及している蛍光灯照明に代わる高効率照明としての必要スペックを達成するとともに、次世代照明として同じく期待されているLEDとの差別化要素を技術的に達成し、大面積／高スループット／低コストで量産するプロセス技術を開発する。また、現在蛍光灯の間接・拡散照明が用いられている照明機器を代替する有機EL照明を実用的なコストで製造できる技術を確立する。

③研究開発期間

2007年度～2009年度

(5) マルチセラミックス膜新断熱材料の開発（運営費交付金）

①概要

住宅やビルなどの冷暖房における大幅な省エネを実現する画期的な断熱性能を持つ壁および窓材料を、セラミックスのナノ多孔体構造やポリマー複合化構造などからなるマルチセラミックス膜アセンブリ技術によって開発する。

なお、本事業は、エネルギー需給構造の高度化を図る観点から行うものである。

②技術目標及び達成時期

2011年度までに、熱貫流率（熱の伝わりやすさ）が $0.3\text{W}/\text{m}^2\text{K}$ 以下、壁厚さ10mm程度の超断熱壁材料および熱貫流率が $0.4\text{W}/\text{m}^2\text{K}$ 以下、光（可視光）透過率が65%以上（Low-Eガラス使用）、ヘイズ率が1%以下の超断熱窓材料を実現する。

③研究開発期間

2007年度～2011年度

(6) 超フレキシブルディスプレイ部材技術開発（運営費交付金）

①概要

製造工程等の省エネルギー化を実現するために行う。従来、表示デバイスの製造には、真空蒸着と高温下での焼成と、それに伴う排ガス排水処理が必須であった。これを、ロールtoロール方式に代替することで常圧、常温下での製造を実現し、フレキシブルな薄型ディスプレイを製造する。そのために、有機TFT材料およびコンタクトプリント技術等を開発する。

なお、本事業は、エネルギー需給構造の高度化を図る観点から行うものである。

②技術的目標及び達成時期

2009年度までに、実用化に向けた実証のための巻き取り方式ディスプレイのプロトタイプを試作する。またフレキシブルデバイス材料開発に貢献する部材ならびに薄膜複合化技術を開発し、これらをパネル化するための実用化技術を確立する。

③研究開発期間

2006年度～2009年度

(7) 低損失オプティカル新機能部材技術開発（運営費交付金）

①概要

近接場光の原理・効果を応用した低損失オプティカル新機能部材技術を開発し、実用化の目処を得ることを目的とする。動作原理に近接場光を用いるオプティカル新機能部材は、従来の材料特性のみに依存した光学部品では不可能な機能・性能を発揮し、液晶プロジェクター・液晶ディスプレイなど情報家電の省エネルギー、高性能・高信頼化を図る上でのキーデバイスとなることが期待できる。

なお、本事業は、エネルギー需給構造の高度化を図る観点から行うものである。

②技術目標及び達成時期

2010年度までに、共通基盤技術として、ナノ構造部材の設計・作製・評価技術を開発するとともに、ナノ構造部材に発現する近接場光の機能を動作原理とする低損失オプティカル新機能部材を検討し機能を確認する。

③研究開発期間

2006年度～2010年度

(8) 次世代光波制御材料・素子化技術（運営費交付金）

①概要

ガラス材料に関する精密モールド技術を確立し、機能性の高い光波制御素子を低コストで生産できるプロセス技術を開発することで部材の小型化・高機能化を図りつつ、省エネを実現する。

なお、本事業は、エネルギー需給構造の高度化を図る観点から行うものである。

②技術目標及び達成時期

2010年度までにサブ波長レベルの微細構造をガラス表面にモールド成形する技術を実現し、実装可能な具体的なデバイスを作製する。

③研究開発期間

2006年度～2010年度

(9) 次世代高効率エネルギー利用型住宅システム技術開発・実証事業

(運営費交付金)

①概要

ゼロ・エミッションハウスによる生活の大幅な省エネの実現に向け、家屋内直流配電システムや、電力需給の状態に応じた太陽電池等の分散型電源の制御、電力ネットワークを活用した家電の制御等、住宅全体としてエネルギーの最適制御

を行うシステムの開発・実証を行う。

②技術的目標及び達成時期

2011年度までに、直流給電・配電に関する規格の標準化、直流配電の電流・電圧の規格化、蓄電池設置に係る安全規制の改正に対する提案が可能となる技術を確立する。

③研究開発期間

2009年度～2011年度

4-I-V. 先進交通社会確立技術

(1) エネルギーITS (運営費交付金)

①概要

平成19年5月の「次世代自動車・燃料イニシアティブ」に基づき、運輸部門のエネルギー消費効率改善のため、自動運転・隊列走行技術、高度交通流制御技術等の省エネルギーに資するITS技術の開発を行う。

②技術的目標及び達成時期

2012年度までにCO2削減効果評価方法の確立を図るとともに、2020年代に実用化が見通せる運転制御、隊列走行の基盤技術の確立を目指す。

③研究開発期間

2008年度～2012年度

(2) サステナブルハイパーコンジット技術の開発 (運営費交付金)

①概要

炭素繊維複合材料は、軽量、高強度等の優れた特性を有している。従来の熱硬化性樹脂を用いた炭素繊維複合材料では成形性・加工性に乏しくリサイクルが困難であったため、熱可塑性樹脂を用いた炭素繊維複合材料(CFRTP)の開発を行う。

なお、本事業は、エネルギー需給構造の高度化を図る観点から行うものである。

②技術目標及び達成時期

2012年度までに、炭素繊維と熱可塑性樹脂との中間基材を開発し、高速成形技術、接合技術及びリサイクル技術を開発する。

③研究開発期間

2008年度～2012年度

(3) 次世代構造部材創製・加工技術開発 (次世代航空機用)

①概要

エネルギー需給構造の高度化を図る観点から行うものであり、航空機、高速車両等の輸送機器への先進材料の本格導入を加速させるため、先進複合材料及び先進金属材料について部材開発、設計試作及び評価を実施することで、軽量化によりエネルギー使用効率を大幅に向上させる革新的な構造部材の創製・加工技術の開発を行う。

②技術目標及び達成時期

2012年度までに、複合材の構造健全性診断技術、チタン合金の創製・加工技術を確立するとともに、航空機用エンジンへの適用を目指し、耐熱・耐衝撃性に優れた複合材料を開発する。

③研究開発期間

2003年度～2012年度

(4) 環境適応型小型航空機用エンジン研究開発 (運営費交付金)

①概要

エネルギー需給構造の高度化を図る観点から行うものであり、エネルギー使用効率を大幅に向上し、環境対策にも優れた次世代の小型航空機用エンジンの開発にとって重要な要素技術の研究開発を行う。

②技術目標及び達成時期

2010年度までに、エネルギー使用効率を大幅に向上する構造設計技術、騒音、NOx等の環境負荷対応に優れた環境対策技術、インテグレーション技術、高バイパス比化等の高性能化技術といった要素技術の研究開発・実証を行う。

③研究開発期間

2003年度～2010年度

(5) 省エネ用炭素繊維複合材技術開発

①概要

航空機、自動車、鉄道、船舶等の輸送機械等における炭素繊維複合材の適用範囲を拡大し、省エネルギーの促進を図るため、先進的な炭素繊維複合材成形技術や、耐雷対策の容易化技術等の研究開発・実証を行う。

②技術目標及び達成時期

2013年度までに、従来の方法に比べ、曲率の大きな部位の成形も行うことができるVARTM(バータム)法等の炭素繊維複合材成形技術や、炭素繊維複合材を用いた製品の耐雷性能を容易に確保する技術の研究開発・実証を行う。

③研究開発期間

2008年度～2013年度

(6) 燃料電池システム等実証研究 (運営費交付金) (4-III-v参照)

(7) 次世代蓄電システム実用化戦略的技術開発 (運営費交付金) (4-IV-v参照)

4-I-vi. 次世代省エネデバイス技術

(1) ナノエレクトロニクス半導体新材料・新構造技術開発 ーうち窒化物系化合物半導体基板・エピタキシャル成長技術の開発 (運営費交付金)

①概要

窒化物系化合物半導体は、パワーデバイス、高周波デバイス、発光デバイス等、重要なデバイスの飛躍的な性能向上と消費電力削減への貢献を期待されている。このため、従来の半導体材料では実現出来ない領域で動作可能なハイパワー・超

高効率の電子素子、超高速電子素子等の作成に必要な窒化物系化合物半導体先進技術の国際競争力を強化すべく、高品質かつ大口径単結晶基板、高品質かつ大口径エピタキシャル成長技術等の開発を行う。

なお、本事業は、エネルギー需給構造の高度化を図る観点から行うものである。

②技術目標及び達成時期

2011年度までに、次世代窒化物系半導体デバイスを実現する以下結晶作製技術を開発する。

1) 基板技術 (GaN、AlNバルク結晶作製技術)

・口径2～4インチで高品質エピ成膜を可能とする低コストの単結晶基板作製技術の確立。

2) エピ技術 (エピタキシャル成膜及び計測評価技術)

・低欠陥高品質エピ層を実現する成膜技術及び膜成長過程を計測評価する技術の確立。

・高出力かつ高安定動作可能なエピ層の実現

・高耐圧超高速な新しいデバイス構造の開発

③研究開発期間

2007年度～2011年度

(2) 次世代低消費電力半導体基盤技術開発 (MIRAI) (運営費交付金)

①概要

エネルギー需給構造の高度化を図る観点から行うものであり、IT化の進展、IT利活用の高度化を支え、あらゆる機器に組み込まれている半導体の低消費電力化を図るため、テクノロジーノード (微細化レベル) 45nm以細の次世代低消費電力半導体を実現するため、微細加工の基盤技術やマスク (半導体素子製造過程で用いる原板) の低コスト化・製造時間短縮に必要な基盤技術の開発等を行う。

②技術目標及び達成時期

2010年度までに、マスク設計・描画・検査の各工程に共通的なマスクデータ処理技術、繰り返しパターンやパターン重要度を利用した描画・検査高速化技術等の基本的な開発及びEUVLマスク基盤技術として、許容欠陥の指標明確化、ブランクスの位相欠陥検査技術の確立等を完了する。

③研究開発期間

2001年度～2010年度

(3) 半導体アプリケーションチッププロジェクト (運営費交付金)

①概要

エネルギー需給構造の高度化を図る観点から行うものであり、情報通信機器、特に、情報家電 (車載を含む) の低消費電力化を実現できる半導体アプリケーションチップ技術の開発を行う。

②技術目標及び達成時期

2009年度までに情報家電の低消費電力化を実現できるアプリケーションチ

ップ技術を開発する。

③研究開発期間

2003年度～2009年度

(4) 次世代プロセスフレンドリー設計技術開発（運営費交付金）

①概要

エネルギー需給構造の高度化を図る観点から行うものであり、あらゆる機器に組み込まれている半導体の低消費電力化を図るため、テクノロジーノード45nm以細の半導体に対応するSoC (System on Chip) 設計技術を開発する。具体的には、テクノロジーノード45nm以細の半導体の共通設計基盤技術開発として、DFM (Design For Manufacturing) 基盤技術の中核とした設計及び製造の全体最適を確保する全く新しいSoC製造フローを開発する。

②技術目標及び達成時期

テクノロジーノード45nm以細のSoC開発において製造性を考慮した共通設計基盤技術を確立し、システムLSIデバイスの省エネルギーを実現するとともに、設計生産性を従来予想に比べ2倍にすることを目標とする。

③研究開発期間

2006年度～2010年度

(5) 半導体機能性材料の高度評価基盤開発（運営費交付金）

①概要

情報通信機器の高機能化や低消費電力化等の要求を満たす半導体集積回路を実現するため、新たな機能性材料開発に貢献する評価基盤技術を開発し、さらに開発した機能性材料の半導体及び半導体集積回路への適用を可能とする統合的なソリューション技術を開発する。

なお、本事業は、エネルギー需給構造の高度化を図る観点から行うものである。

②技術的目標及び達成時期

2011年度までに、半導体デバイス性能に直結する接合素子の性能性及び信頼性等、半導体製造プロセス全体を俯瞰しつつ、機能性材料開発が可能となる評価基盤技術を開発し、開発した機能性材料を用いた統合的なソリューションが提案できる材料評価基盤を構築する。

③研究開発期間

2009年度～2011年度

4-I-vii. その他

(1) 次世代構造部材創製・加工技術開発（次世代衛星基盤）

①概要

国際商業市場における我が国衛星メーカーの競争力を強化するべく、準天頂衛星システム※（利用者に対し、米国が運用するGPSとの補完による高精度な位置情報等の提供を可能にするシステム）の構築に不可欠な基盤技術（産業競争力強

化にも直結する衛星の軽量化、長寿命化に関する技術等)の開発を行う。本プロジェクトの一部については、他部門と比較して需要増加の割合が高い運輸部門のエネルギー消費を抑制すべく、自動車、高速車両等の輸送機器の軽量化・効率化にも資する複合材料製造設計等の基盤技術を確立するためのものであり、エネルギー需給構造の高度化を図る観点から行うものである。

※ 静止軌道と一定の角度をなす傾斜軌道に複数の衛星を配置し、見かけ上、常に天頂付近に最低1つの衛星を位置させるシステム。

②技術目標及び達成時期

2010年度までに、準天頂衛星システムの構築に不可欠な基盤技術(産業競争力強化にも直結する衛星の軽量化、長寿命化に関する技術等)の開発を実施し、宇宙空間での技術実証を行う。

③研究開発期間

2003年度～2010年度

4-II. 運輸部門の燃料多様化

4-II-i. 共通

- (1) 新エネルギー技術実用化補助事業(運営費交付金)(4-III-i参照)
- (2) 非化石エネルギー産業技術研究助成事業(運営費交付金)(4-III-i参照)

4-II-ii. バイオマス由来燃料

- (1) 新エネルギー技術研究開発(運営費交付金)(4-III-iv参照)
- (2) E3地域流通スタンダードモデル(運営費交付金)(4-III-iv参照)
- (3) バイオマス等未活用エネルギー実証事業(運営費交付金)(4-III-iv参照)
- (4) バイオマスエネルギー地域システム化実験事業(運営費交付金)(4-III-iv参照)
- (5) セルロース系エタノール革新的生産システム開発(運営費交付金)(4-III-iv参照)

4-II-iii. GTL等の合成液体燃料

- (1) 天然ガスの液体燃料化(GTL)技術実証研究(運営費交付金)(4-V-ii参照)

4-II-iv. 燃料電池自動車および水素関連技術

- (1) 固体高分子形燃料電池実用化戦略的技術開発(運営費交付金)(4-III-v参照)
- (2) 燃料電池先端科学研究(運営費交付金)(4-III-v参照)
- (3) 水素製造・輸送・貯蔵システム等技術開発(運営費交付金)(4-III-v参照)
- (4) 水素貯蔵材料先端基盤研究事業(運営費交付金)(4-III-v参照)
- (5) 水素社会構築共通基盤整備事業(運営費交付金)(4-III-v参照)
- (6) 燃料電池システム等実証研究(運営費交付金)(4-III-v参照)

4-II-v. 電気自動車

- (1) 次世代蓄電システム実用化戦略的技術開発(運営費交付金)(4-IV-v参照)
- (2) 革新型蓄電池先端科学基礎研究(運営費交付金)(4-III-iii参照)

4-Ⅲ. 新エネルギー等の開発・導入促進

4-Ⅲ-ⅰ. 共通

(1) 新エネルギー技術研究開発（運営費交付金）

① 概要

新エネルギーの自立的普及に向けて、太陽光、風力、バイオマスなど新エネルギー分野でのイノベーションを促進すべく、高効率かつ低コストを目指した先進的技術開発を実施する。具体的には以下の研究開発を実施する。

- A. 革新的な太陽電池の開発を実施する研究拠点を形成し、海外との研究協力等を行いながら、超長期の視野に立って、飛躍的な性能向上を目指した太陽光発電技術の開発を推進する。(革新型太陽電池国際研究拠点整備事業)
- B. 中長期的に、より一層の高効率化と低コスト化を目指して、革新的な材料、構造等を採用した太陽光発電技術の開発を推進する。(太陽光発電システム未来技術研究開発)
- C. 2020年の目標発電コスト14円/kWhおよび太陽光発電システムの大幅な効率向上を実現すべく、未来技術研究開発などで得られた要素技術開発の成果の内、実用化が期待できる太陽電池作製に係る技術について課題を設定し早期実用化を助成する。(太陽光発電システム実用化促進技術開発)
- D. 電力供給源としての太陽光発電の信頼性を確立し、今後の太陽光発電システムの円滑な普及促進を図るため、太陽光発電システムの大量普及時に不可欠な性能評価技術やリサイクル・リユース技術等システムの共通基盤技術に係る研究等を実施する。(太陽光発電システム共通基盤技術研究開発)
- E. PVシステムの普及拡大のため、「集中連系型太陽光発電システム実証研究」の設備を有効利用しながら、認証制度にも資する複数台連系に係わる試験方法を確立する。(単独運転検出装置の複数台連系試験技術開発研究)
- F. 風力発電技術の国際的な動向を把握しつつ、我が国の複雑地形における風力発電利用上の各種課題を克服するための基礎から応用までの技術について研究開発を行う。具体的には我が国の厳しい風特性を反映した風特性モデルの確立及び高々度風況観測を簡便に行うためのリモートセンシング技術の精度検証・評価を行う。

また、全国規模での落雷電流計測、落雷様相観測による雷特性の把握、落雷特性・落雷保護対策と被害実態との相関把握、上記を踏まえた効果的な落雷保護対策の検討及び実機規模での実雷による保護対策検証等を実施し、高精度落雷リスクマップを作成するとともに、風力発電設備へのより効果的な落雷等に対する対策を策定する。(次世代風力発電技術研究開発事業)
- G. 我が国特有の海上特性や気象・海象条件を把握し、これらの自然条件に適した洋上風況観測法や風力発電システムに関する技術開発とその実証を行なうと共に、環境影響評価システム手法を確立する。(洋上風力発電技術研究開発)
- H. バイオマスのエネルギー利用の促進を図るためには、発生地域が分散し、形状・性状が多種多様にわたるバイオマス資源を利用しやすい形態の有用エネルギーへ効率的に転換できる技術を開発する。(バイオマスエネルギー等高効率転換技術開発)

I. 世界的にもベンチャー企業による太陽光発電、新型風力発電、燃料電池、バイオ燃料分野におけるイノベーション活動が活発化していることを踏まえ、詳細目標設定・多段階選抜形の米国S B I R制度を参考に特定のキーテクノロジーに対するベンチャーのチャレンジを強力的に支援する。(新エネルギーベンチャー技術革新事業)

② 技術目標及び達成時期

- A. 2050年までに「変換効率が40%超」かつ「発電コストが汎用電力料金並み(7円/kWh)」の太陽電池を実用化することを目指した研究開発の中で、変換効率40%超の実現に向けた技術の基礎・探索研究段階と位置づけて研究開発を実施する。
- B. 2020年頃に業務用電力料金並の発電コスト(14円/kWh、モジュール製造原価として75円/W程度)、2030年頃に火力発電の発電コスト(7円/kWh、モジュール製造原価として50円/W程度)の実現に向けた中・長期的な技術開発を行う。
- C. 2015年に向けて市場競争力を備えた本格生産・商用化を目指す。
- D. 2020年度の技術開発目標である発電コスト14円/kWhを目指し、中期的な視点での太陽光発電の普及拡大に資する。
- E. 2009年度末までに、電力系統側が受け入れ可能な、導入台数の制限のない能動型単独運転検出装置の試験方法を確立する。
- F. 2012年度までに、風力発電の基礎から応用までの技術について、国際的な動向を把握しつつ、我が国特有の気象・地形に起因する各種問題(風車耐久性等)を克服するための研究開発を行って、我が国の風車産業の振興に資するとともに、IEA RD&D WINDなどの最先端の国際的風力発電共同研究に研究成果を反映させる。

また、2012年度までに、高精度落雷リスクマップを作成するとともに、風力発電設備へのより効果的な落雷等に対する対策を策定する。

- G. 2013年度までに、我が国の海象・気象条件に適した、洋上風況観測システム、洋上風力発電システム及び環境影響評価の手法等の技術を確立する。
- H. 2004年度より、バイオマスエネルギー転換プロセスにおける各工程のボトルネックを抽出し、2008年度までに開発が完了するよう、それぞれのボトルネックをブレークスルーする要素技術開発を提案公募方式により実施する。更に、2005年度より2009年度まで、バイオマスのエネルギー転換・利用技術等の分野において2030年の普及を目指した新規な革新的技術を発掘するための先導技術研究開発を提案公募方式により実施する。
- I. 潜在的なオプションの顕在化や関連産業分野の技術開発による技術革新により、新エネルギー導入促進技術オプションの多様化と経済性の向上に寄与する。

③ 研究開発期間

2007年度～2011年度

(2) 新エネルギー技術フィールドテスト事業 (運営費交付金)

① 概要

2010年度の新エネルギー導入目標達成に向け、新技術を活用した太陽光発電及び太陽熱利用システムの有効性の検証、バイオマス熱利用システムの性能・経済性等の検証、風車立地に必要な高所の風況データの収集・解析など総合的な新エネルギーフィールドテストを実施する。具体的には以下のフィールドテストを実施する。

- A. 新技術を活用した太陽光発電システム等を設置し、出力特性等の情報収集及び分析を行うことで、その有効性を確認するとともに、ガイドラインの策定等により広く情報発信を行う。(太陽光発電新技術等フィールドテスト事業)
- B. 新利用形態の太陽熱利用システムや未利用分野においてシステムを設置し、出力特性等の情報収集及び分析を行うことで、その有効性を確認するとともに、ガイドラインの策定等により広く情報発信を行う。(太陽熱高度利用システムフィールドテスト事業)
- C. 広く薄く賦存するバイオマスを、民間企業や研究機関等において研究開発が終了段階をむかえた高効率に熱利用できるシステムを設置し、設置場所の熱需要に合わせたフィールドテストを実施することにより、実運転におけるバイオマス熱利用転換システムとしての課題抽出、解決を行い、早期実用化を図り、バイオマスエネルギーの導入促進を行う。(地域バイオマス熱利用フィールドテスト事業)
- D. 風力発電の導入目標(2010年度300万kW)を達成するため、共同研究事業者と大型風車の導入普及に必要な高所の風況データの収集・解析・評価を行い、公開する。(風力発電フィールドテスト事業)

② 技術目標及び達成時期

- A. 設置システムについて、2007年度に策定したガイドラインを2009年度、2012年度及び2015年度に見直し改訂する。
- B. 設置システムについて、2007年度に策定したガイドラインを2009年度に改訂する。また、2012年度及び2015年度に見直し改訂する。
- C. 一定レベルまで確立されたバイオマス熱利用技術について、性能や経済性等の状況・データを収集・分析し、熱利用システムの有効性を実証するとともに、これらの結果を公表することで汎用性の高い熱利用システムの確立し、2010年度のバイオマス熱利用の導入目標(308万KL)達成を目指す
- D. 2010年度までに、高所の風況データの解析・評価を行い、導入普及に有用な資料の取りまとめを行い、これらの結果を風力発電事業者、研究機関や風力発電事業を計画している各種団体等に公開することにより、風力発電導入の素地を形成し、風力発電の導入を拡大する。

③ 研究開発期間

2007年度～2011年度

(3) 新エネルギー技術実用化補助金（運営費交付金）

① 概要

科学技術基本計画における戦略的技術領域・課題にかかる技術課題等で石油代替エネルギーの製造・生成・利用に資する実用化開発を行う民間企業に対し助成支援する。

② 技術目標及び達成時期

助成事業終了後3年以上を経過した時点で25%の実用化達成率。加えて、知的資産経営の方針に対する審査時の評価を通じて、「技術等の知的資産を活かす経営の下で収益拡大を図る（技術を経営、収益につなげる）」意識を普及させる。

③ 研究開発期間

2000年度～

(4) 非化石エネルギー産業技術研究助成事業（運営費交付金）

① 概要

産業界や社会のニーズに応える石油代替技術のシーズの発掘とその育成、並びに、石油代替技術に関する次世代の研究リーダーの育成を図る。この目的のため、産業界からの期待が高い技術領域・課題を提示した上で、大学や独立行政法人の若手研究者等から研究開発テーマを募集する。厳正な外部評価によって石油代替効果があり且つ独創的・革新的なテーマを選定し、研究者代表者個人を特定して助成金を交付する。

② 技術目標及び達成時期

独創性のある若手研究者等を助成すると共に、中間評価ゲート方式が醸成する競争的環境の下で企業との連携を強化させることにより、10～15年後の実用化が有望な革新的石油代替技術の研究開発を促進する。本事業では革新的石油代替技術の実用化への第1歩となる特許について、助成期間終了後の出願比率を100%とすることを目標とするとともに、石油代替技術に関する次世代の研究リーダーの育成を図る。

③ 研究開発期間

2000年度～

4-III-ii. 太陽・風力

(1) 太陽光発電無線送受電技術の研究開発

① 概要

将来の新エネルギーシステムとして期待される宇宙太陽光発電システム（SSPS）の中核的技術として応用可能なマイクロ波による太陽光発電無線送受電技術の確立に向け、安全性や効率性等の確保に不可欠な精密ビーム制御技術の研究開発を行う。

② 技術目標及び達成時期

2012年度までに複数のフェーズドアレイパネル間の位相同期を行い、パイロット信号の方向にマイクロ波を電送するレトロディレクティブ技術を活用した精密ビーム制御技術の確立を目指す。

③ 研究開発期間

2008年度～2012年度

4-III-iii. 電力系統制御・電力貯蔵

(1) 革新型蓄電池先端科学基礎研究 (運営費交付金)

① 概要

電池の基礎的な反応原理・反応メカニズムを解明することで、既存の蓄電池の性能向上及び革新型蓄電池の実現に向けた基礎技術の確立を目指す。

② 技術目標及び達成時期

世界最高レベルの放射光施設を用いた評価装置により、蓄電池の反応メカニズムを解明するとともに、2030年に電気自動車の航続距離500km、コスト1/40を実現すべく、新材料の開発を行う。

③ 研究開発期間

2009年度～2015年度

(2) 次世代蓄電システム実用化戦略的技術開発 (運営費交付金) (4-IV-v 参照)

(3) 大規模電力供給用太陽光発電システム安定化等実証事業 (運営費交付金) (4-IV-v 参照)

4-III-iv. バイオマス・廃棄物・地熱等

(1) E3 地域流通スタンダードモデル創成事業 (運営費交付金)

① 概要

離島(全域)におけるエタノール3%混合ガソリン(E3)の製造から給油までの大規模なフィールドテストを通じ、E3利用に関する社会システムモデルの構築と一般社会へ適用する際の技術課題の抽出を行う。

② 技術目標及び達成時期

2010年の「京都議定書目標達成計画」の導入目標(50万kl)に資するため、2009年度にE3利用の社会モデルを構築し、2011年度までにその検証を行う。

③ 研究開発期間

2007年度～2011年度

(2) バイオマス等未活用エネルギー実証事業 (運営費交付金)

① 概要

地域に賦存する未活用の資源であるバイオマスをエネルギーとして有効活用するため、熔融ガス化等熱化学的変換技術による燃料化システムやメタンガス等生物化学的変換技術による燃料化システム等の実証試験事業、事業可能性調査等を実施し、利用ノウハウ等を蓄積、本格的なバイオマス等エネルギーの導入を推進する。

② 技術目標及び達成時期

2009年度までに、バイオマス等の種別やエネルギー変換手法、更には地域

特性を加味した一連のエネルギー転換システム毎のフィージビリティスタディや試験設備の設置により、バイオマス等の運搬・収集、エネルギー転換及びエネルギー利用に係るデータの収集、分析、評価を実施し、その結果をフィードバックすることによって本格的なバイオマス等エネルギーの導入を目指す。

③ 研究開発期間

2001年度～2009年度

(3) バイオマスエネルギー地域システム化実験事業（運営費交付金）

① 概要

バイオマスエネルギーの資源収集・運搬、転換、残渣処理、利用までの一連の利活用システムについての、各要素の連携の最適化を図るための実証を実施することによって、地域特性に適合した地域主導によるバイオマスの地産地消・地域循環型の先導的モデルシステムを構築することによりバイオマスエネルギーの導入を促進する。

② 技術目標及び達成時期

2009年度までに、国内バイオマス資源の安定的かつ経済的な供給システム、最適なエネルギー転換技術、エネルギー転換後に発生する残渣の処理等の一連の地産地消型エネルギー転換システムについて、ノウハウ蓄積、課題抽出及びその対策方法の策定、技術確立を行う。また、ここで確立されたバイオマスエネルギーシステムは他地域への波及を先導する事例となることを目標とする。

③ 研究開発期間

2005年度～2009年度

(4) セルロース系エタノール革新的生産システム開発（運営費交付金）

① 概要

大規模安定供給が可能で、かつ食料と競合しない、草本系、木質系のセルロース系バイオマス原料の栽培からバイオエタノール製造までの一貫生産システムを構築し、環境負荷、経済性等を評価する。加えて、大規模生産に当たり危惧されている、生態系破壊、森林破壊、ライフサイクルでの環境負荷増大等の負の影響についての適切な評価、認証等、持続可能なバイオ燃料の生産拡大を担保する社会システム整備のあり方についても調査研究を行う。

② 技術目標及び達成時期

2015年までに、製造コスト40円/L以下、エネルギー回収率35%以上を達成するための技術開発を行う。

③ 研究開発期間

2009年度～2013年度

4-III-v. 燃料電池

(1) 固体高分子形燃料電池実用化戦略的技術開発（運営費交付金）

① 概要

自動車用、家庭・業務用等に利用される固体高分子形燃料電池（PEFC）の実用化・普及に向け、要素技術、システム化技術及び次世代技術等の開発を行うとともに、共通的な課題解決に向けた研究開発の体制の構築を図る。

② 技術目標及び達成時期

2009年度までに、固体高分子形燃料電池の経済性・耐久性の向上や高性能化のための技術開発を行い、燃料電池の普及段階へ向けて必要な基本的技術を確立する。

③ 研究開発期間

2005年度～2009年度

(2) 燃料電池先端科学研究（運営費交付金）

① 概要

燃料電池の基本的反応メカニズムについての根本的な理解を深めるために、高度な科学的知見を要する現象解析及びそのための研究体制の整備を行い、現状の技術開発における壁を打破するための知見を蓄積する。

② 技術目標及び達成時期

2009年度までに、燃料電池内における反応機構を電気化学（電極触媒反応、イオン移動、分子移動等）及び材料化学（溶解・腐食反応、錯形成反応、ラジカル反応、固相内拡散等）の観点から解明する。また、燃料電池新技術の性能を適切に評価・実証するための基本システムを構築する。

③ 研究開発期間

2005年度～2009年度

(3) 固体酸化物形燃料電池システム要素技術開発（運営費交付金）

① 概要

固体酸化物形燃料電池（SOFC）は発電効率が高く、分散型電源として期待されるが、実用化・普及のためには耐久性・信頼性向上、低コスト化等の課題を解決することが必要であり、材料開発や劣化要因解明など基盤的な要素技術の研究を行う。

② 技術目標及び達成時期

2012年度までに、①耐久性・信頼性の向上のための劣化要因解明等の基礎研究、②低コスト化のための材料等や高出力セルスタックの開発、③起動停止対応等の実用性向上のための技術開発を実施する。

③ 研究開発期間

2008年度～2012年度

(4) セラミックリアクター開発（運営費交付金）

① 概要

低温域かつ高効率なエネルギー変換を可能とする次世代型セラミックリアクターの実現のため、世界最高効率の燃料電池マイクロセルの集積構造技術等の開発を行う。

なお、本事業は、エネルギー需給構造の高度化を図る観点から行うものである。

② 技術目標及び達成時期

2009年度までに、新電解質材料の適用や電極反応の高効率化等による、低温作動時（650℃以下）での出力性能を向上させる材料技術と共に、マイクロセルの集積構造化や精緻なインターフェース構築のための製造プロセス技術を開発。そして、これらの技術を統合することにより、次世代型セラミックリアクターとしてのプロトタイプモジュール実証（出力性能2kW/L等）を行う。

③ 研究開発期間

2005年度～2009年度

(5) 水素製造・輸送・貯蔵システム等技術開発（運営費交付金）

① 概要

水素の製造・輸送・貯蔵等に係る機器やシステムについて、性能・信頼性・耐久性の向上や低コスト化を目指す水素利用技術の研究開発を行い、水素社会の実現に必要な基盤技術の確立を図る。

② 技術目標及び達成時期

2012年度までに、水素製造・貯蔵・輸送・充填に関する機器やシステムの信頼性・耐久性向上、低コスト化、性能向上等実用化検証や要素技術開発、及び当該技術を飛躍的に進展させることができる革新的技術開発や調査研究などを行い、その成果を産業界に提供することにより、水素エネルギー初期導入間近の関連機器製造・普及技術として完成させ、水素社会の真の実現に必要な基盤技術の確立を図る。

③ 研究開発期間

2008年度～2012年度

(6) 水素貯蔵材料先端基盤研究事業（運営費交付金）

① 概要

世界トップ水準の優れた研究者を中核に、国内外の研究機関・企業のバーチャルな連携の下、高圧水素貯蔵に比べよりコンパクトかつ効率的な水素貯蔵を可能とする水素貯蔵材料の性能向上に必要な条件等を明らかにすることにより、燃料電池自動車の航続距離の飛躍的向上を図る。

② 技術目標及び達成時期

2011年度までに、水素貯蔵材料の基本原理、さらには水素貯蔵能力の革新的向上に必要な条件を明らかにすることにより、水素をより安全・簡便・効率的かつ低コストに輸送・貯蔵するための技術基盤を確立する。

③ 研究開発期間

2007年度～2011年度

(7) 水素先端科学基礎研究事業（運営費交付金）

① 概要

水素の輸送や貯蔵に必須な材料に関し、水素脆化等の基本原理の解明及び対策の検討を中心とした高度な科学的知見を要する先端的研究を、国内外の研究者を結集し行うことにより、水素をより安全・簡便に利用するための技術基盤を確立する。

② 技術目標及び達成時期

2012年度までに、水素脆化、水素トライボロジーの基本原理の解明及び対策の検討等を行い、水素をより安全・簡便に利用するための技術指針を産業界に提供する。

③ 研究開発期間

2006年度～2012年度

(8) 水素社会構築共通基盤整備事業（運営費交付金）

① 概要

燃料電池の導入・普及に資する基盤整備のため、製品性能の試験・評価手法及び国内外の基準・標準の確立を図る。

② 技術目標及び達成時期

2009年度を目途に、安全性等に係るデータを取得し、そのデータを基に試験・評価手法の確立、国際標準の確立、規制の再点検を三位一体で進める。

③ 研究開発期間

2005年度～2009年度

(9) 固体酸化物形燃料電池実証研究（運営費交付金）

① 概要

発電効率が高く、分散型電源として期待される固体酸化物形燃料電池（SOFC）の研究開発・実用化の促進のため、耐久性を始めとしたデータの取得・課題抽出等のための実証を実施する。

② 技術目標及び達成時期

2010年度までに、SOFCシステムの実証試験を数十～数百台規模で実施し、蓄積が不足している耐久性を始めとした実証データの取得・課題抽出等を行い、SOFC技術開発等へのフィードバックを行う。

③ 研究開発期間

2007年度～2010年度

(10) 燃料電池システム等実証研究 (運営費交付金)

① 概要

実条件に近い中での燃料電池自動車等の実証走行や、高圧水素貯蔵システム、多角的な燃料供給システムの検証を進め、水素エネルギー社会における水素利用の課題等を抽出するとともに、燃料電池・水素に対する国民的理解の醸成を図る。

② 技術目標及び達成時期

2010年度までに、実使用条件下における技術的課題を抽出するとともに、環境特性、エネルギー総合効率、安全性、耐久性等に関する基準・標準に資するデータを取得し、燃料電池自動車、水素ステーションの研究開発等へのフィードバックを行う。

③ 研究開発期間

2006年度～2010年度

(11) 将来型燃料高度利用技術開発 (4-V-ii 参照)

4-IV. 原子力等利用の推進とその大前提となる安全の確保

4-IV-i. 軽水炉・軽水炉核燃料サイクル

<新型軽水炉>

(1) 次世代軽水炉等技術開発

① 概要

2030年前後に見込まれる大規模な代替炉建設需要に対応するため、安全性・経済性、信頼性等に優れ、世界標準を獲得し得る次世代軽水炉の技術開発を行う

② 技術目標及び達成時期

2010年度までに、次世代軽水炉の実現に必要な要素技術開発等及びプラント概念の成立性について見通しを得るための概念設計検討を行う。

③ 研究開発期間

2008年度～2010年度 (見直し)

<軽水炉使用済燃料再処理技術の高度化>

(2) 使用済燃料再処理事業高度化

① 概要

再処理施設で用いられるガラス固化技術について、より多くの白金族元素等を含む高レベル廃液を溶融可能な新しい性状のガラスを開発するとともに、これに対応しうる新型の溶融炉を開発することにより、我が国の使用済燃料再処理技術の高度化を図る。新型ガラス溶融炉の開発に際しては、六ヶ所再処理工場の運転経験を反映する研究もあわせ行う。

② 技術目標及び達成時期

より多くの白金族元素等を含む高レベル廃液を溶融可能なガラス及び溶融炉の開発等によって、より高品質のガラス固化体を製造可能なガラス固化技術を開発する。

また、本事業によって開発されたガラス固化技術を、5年程度で更新が計画されている日本原燃株式会社六ヶ所再処理工場のガラス溶融炉及び同工場のガラス固化施設の運転に反映させる。

③研究開発期間

2009年度～2011年度

<プルサーマルの推進>

(3) 全炉心混合酸化物燃料原子炉施設技術開発

①概要

プルサーマルが当面のプルトニウム利用策として期待されていることを踏まえ、既存の軽水炉に比べ約3倍のプルトニウムを装荷することができる全炉心混合酸化物燃料原子炉に必要な技術開発を行う。

②技術目標及び達成時期

2011年度までに、原子炉の開発に必要な設計、解析、試験等を行い、全炉心混合酸化物燃料原子炉技術を確立する。

③研究開発期間

1996年度～2011年度

<軽水炉サイクルから高速増殖炉サイクルへの円滑な移行のための技術開発>

(4) 高速炉再処理回収ウラン等除染技術開発

①概要

FBR実証炉及び関連サイクル施設の早期実現を図るため、文部科学省と連携し、「高速増殖炉サイクル実用化研究開発」を推進する。そのなかで、次世代再処理工場から発生する高線量回収ウラン等を既存軽水炉燃料製造施設で取扱可能とする、次世代再処理工場と調和可能な回収ウラン等の除染技術について、調査・基礎試験等を行い、商業的に利用可能な除染技術候補の検討等を実施する。選定された技術については、プロセス試験等を実施する。

②技術目標及び達成時期

2010年度までに、回収ウラン等の除染プロセスの候補技術の洗い出し及び候補プロセス技術の基礎試験を終了し、次世代再処理技術との適合性の検証を行い、プロセス試験を実施すべき除染プロセス技術を選定する。

また、2015年までに、選定した除染プロセス技術について工学化規模でのプロセス試験を行い、商業的に利用可能な転換前高除染技術としての実効性を検証する。

③研究開発期間

2007年度～2015年度

<ウラン濃縮技術の高度化>

(5) 遠心法ウラン濃縮技術開発

①概要

我が国におけるウラン濃縮技術や生産能力の維持・向上のため、世界最高水準

の性能を有するなど国際的に比肩し得る経済性と性能を有する新型遠心分離機を開発する。

②技術目標及び達成時期

2009年度までに、国際役務価格\$100/kg SWU相当を目指して、現在実用化している金属銅遠心分離機の約5倍という高い分離性能や同遠心分離器を上回る寿命など国際的に比肩し得る技術レベルを有する新型遠心分離機の開発を目指すとともに、最終仕様の新型遠心分離機を多数台用いたカスケード試験の実施により商用プラントとしての信頼性を確立し、運転要領の策定を行う。

③研究開発期間

2002年度～2009年度

<回収ウラン>

(6) 回収ウラン利用技術開発

①概要

六ヶ所再処理工場で回収される回収ウランを再濃縮し、再び軽水炉で利用するため、濃縮施設等既存施設への影響等を把握し、転換プロセスを中心とした回収ウラン利用技術を開発する。併せて劣化ウラン酸化固形化についても検討を行う。

②技術目標及び達成時期

2012年頃までに、劣化ウランの取扱・管理の容易さや貯蔵効率を向上させるための劣化ウラン酸化固形化（再転換を含む）技術の研究開発を行い、同技術に係る基礎プロセスを確立する。2015年度頃までに、再処理により回収される回収ウランの濃縮が可能な商用遠心分離機的设计を確定する。

③研究開発期間

2008年度～2015年度

<共通基盤技術開発>

(7) 革新的実用原子力技術開発

①概要

第4世代原子力システムに関する国際フォーラム（GIF）や国際原子力エネルギー・パートナーシップ（GNEP）等の国際協力枠組みにおいて国際連携による研究開発が提案されている技術分野や、近年希薄化が懸念される原子力を支える基盤技術分野について、産業界の参画やニーズ提示のもと、大学等が実施する研究活動への支援や将来の原子力人材の育成を実施しており、各分野の目的に沿った革新的な技術開発を行う。

②技術目標及び達成時期

2011年度まで、基盤技術分野、国際協力技術分野において個別テーマ毎に研究開発を実施する。

③研究開発期間

2000年度～2011年度（見直し）

4-IV-ii. 高速増殖炉（FBR）サイクル

(1) 発電用新型炉等技術開発

①概要

FBR実証炉及び関連サイクル施設の早期実現を図るため、文部科学省と連携し、「高速増殖炉サイクル実用化研究開発」を推進する。具体的には、実証炉に必要な要素技術のうち、設計・建設段階において必要となる実プラント技術として、格納容器設計技術、耐震性評価技術、高温材料設計技術、保守・補修技術、大型構造物製作技術の試験等を実施する。

②技術目標及び達成時期

2010年度までに、実証炉の概念設計へ反映しうる設計基準データ等の技術的根拠を得る。

③研究開発期間

2007年度～2010年度

(2) 高速炉再処理回収ウラン等除染技術開発（4-IV-i 参照）

4-IV-iii. 放射性廃棄物処理処分

(1) 地層処分技術調査等

①概要

i) 地層処分共通技術開発

高レベル放射性廃棄物等の地層処分における共通的技術として、今後段階的に進められる処分地選定の際に重要となる地質等調査技術の高度化開発を行う。

ii) 高レベル放射性廃棄物関連処分技術開発

高レベル放射性廃棄物処分に係る基盤技術として、人工バリア等の長期性能評価技術、処分場操業の際のオーバーパック溶接や搬送・定置等の遠隔操作技術の開発を行う。

iii) TRU廃棄物処分関連技術開発

TRU廃棄物の地層処分に係る基盤技術として、高レベル放射性廃棄物との併置処分の可能性も念頭に、TRU廃棄物に固有に含まれる核種の閉じ込め技術や人工バリア等の長期性能評価技術の開発を行う。

②技術目標及び達成時期

i) 地層処分共通技術開発

2011年度までに、処分地選定の初期段階で必要となる地上からの調査技術のうち、特に沿岸域の環境や高精度での地下水評価等に係る調査評価技術の高度化・確証を行う。

ii) 高レベル放射性廃棄物関連処分技術開発

2011年度までに、人工バリア等の長期性能評価技術や遠隔操作等の工学技術について高度化を図り、幅広い地質環境に対応可能な技術選択肢と成立性を提示する。

iii) TRU廃棄物処分関連技術開発

2011年度までに、TRU廃棄物に固有に含まれるヨウ素129や炭素1

4の閉じ込め、高アルカリ環境下での人工バリアの性能評価等に関し、幅広い地質環境に対応可能なデータ・モデルの整備と技術選択肢の提示を行う。

③研究開発期間

1998年度～2011年度

(2) 管理型処分技術調査等

i) 地下空洞型処分施設性能確認試験

①概要

TRU廃棄物や発電所廃棄物等の余裕深度処分において検討されている「地下空洞型処分施設」の成立性確認のため、実規模大の空洞を利用した総合的な確認試験を行う。

②技術目標及び達成時期

2011年度までに、実規模大の空洞内にコンクリートピット等からなる地下空洞型処分施設を構築し、施工性や初期性能の総合的な確認を行う。

③研究開発期間

2006年度～2011年

(3) 放射性廃棄物共通技術調査等

①概要

i) 放射性廃棄物重要基礎技術研究調査

放射性廃棄物処分に係る国内外の最新知見の収集・分析、重要かつ基礎的な課題の抽出並びに研究を実施し、長期に及ぶ処分事業等を支える技術基盤の拡充を図る。

ii) 放射性核種生物圏移行評価高度化調査

放射性廃棄物処分の安全評価に共通的な基盤情報として、生物圏における核種移行プロセスを評価するため、日本の風土を反映した核種移行パラメータ・モデルを整備する。

②技術目標及び達成時期

i) 放射性廃棄物重要基礎技術研究調査

2011年度までに、放射性廃棄物処分に共通的な重要基礎技術として、地質環境の長期安定性評価、人工バリアや岩盤の長期挙動評価等に係る知見を整備する。

ii) 放射性核種生物圏移行評価高度化調査

2011年度までに、沿岸域の環境も含めたわが国表層環境への適用とTRU廃棄物に固有の核種等を考慮した、生物圏核種移行のモデルとデータベースを構築する。

③研究開発期間

2001年度～2011年度

4-IV-iv. 原子力利用推進に資する電力系統技術

(1) イットリウム系超電導電力機器技術開発(運営費交付金)

①概要

世界的にも我が国が最先端の技術力を有する次世代高温超電導線材を活用し、経済社会の基盤となる電力の安定的かつ効率的な供給システムを実現するため、システムを適正に制御し、電力供給を安定化させるための技術及び発電電力を無駄なく輸送するための高効率な送電技術の確立を目指す。

②技術目標及び達成時期

2012年度までに、イットリウム系超電導線材を用いたSMES、電力ケーブル、変圧器実現のための重要な技術開発を行い、各機器の成立性を実証する。

③研究開発期間

2008年度～2012年度

(2) 高温超電導ケーブル実証プロジェクト(運営費交付金)

①概要

革新的な高効率送電技術を確立して高温超電導ケーブルの実用化を促進するため、工業生産プロセスで実用化レベルに達している高温超電導線材(DI-BSCCO等)を活用し、首都圏の系統に接続する実証試験及び評価を行う。

なお、本事業は、発電用施設による電気の供給の円滑化を図る観点から行うものである。

②技術目標及び達成時期

2011年度までに、200MVA級の中間接続部を有した三心一括型高温超電導ケーブルを、冷却装置や保護装置などの付帯設備とともに66KV実系統に接続して、12ヶ月以上の長期連系試験を行うことによって総合的な安全性や信頼性を実証する。

③研究開発期間

2007年度～2012年度

4-IV-v. その他電力供給安定化技術

(1) 大規模電力供給用太陽光発電系統安定化等実証事業(運営費交付金)

①概要

大規模太陽光発電を電力系統に連系した場合に課題となる系統安定化対策やピーク対策のための技術等を開発するとともに、その有効性を実証する。

また、国内外の先進的な次世代技術の価格性能を比較することを通じて技術開発を加速する。

②技術目標及び達成時期

2010年度までに、下記の実証研究を行い、その有効性を確認する。

- (イ) 蓄電池等を組み合わせた出力変動抑制システムの有効性。
- (ロ) 発電出力のピーク制御(午後のピーク帯へのシフト)の有効性。
- (ハ) 大型インバータによる高調波抑制システムの有効性。
- (ニ) 国内外メーカーの太陽電池モジュールの特性比較を行い、性能、経済性等

を比較・検証。

③研究開発期間

2006年度～2010年度

(2) 次世代蓄電システム実用化戦略的技術開発(運営費交付金)

①概要

蓄電池技術は、新エネルギーの出力安定化や燃料電池自動車(FCV)・ハイブリッド自動車(HEV)・電気自動車(EV)等の高効率次世代自動車に共通する重要なコア技術である。そこで、高性能蓄電システムに係る要素技術開発、新材料開発及び基盤技術の開発を行う。

A. 系統連系円滑化蓄電システム技術開発

B. 次世代自動車用高性能蓄電システム技術開発

②技術目標及び達成時期

A. 2010年度末において、寿命10年、コスト4万円/kWh、1MW規模のシステムおよび要素技術の確立と2030年において寿命20年、コスト1.5万円/kWh、20～30MW規模の蓄電システムを見通せる技術開発。また、新エネルギー対応の充放電パターン等、基礎データの整備、大型化に伴う安全性や寿命等の評価手法の確立。

B. 2011年度末において、電池開発では、0.3kWhモジュールを作製し、重量エネルギー密度100Wh/kg、出力密度2000W/kg、寿命10年、コスト4万円/kWhを達成すること(条件:3kWhの組電池、100万台生産ベース)。電池構成材料及び電池反応制御技術の開発では重量エネルギー密度200Wh/kg、出力密度2500W/kg、コスト3万円/kWhを小型単電池で達成すること(上記と同条件)。たま、電池周辺機器開発では、格段の高性能化、コンパクト化、低コスト化を達成すること。さらに、重量エネルギー密度500Wh/kgを見通せる新規概念・構造の蓄電池基礎開発の他、劣化・寿命診断法、安全性評価などの各種試験法等の開発およびそれら共通基盤技術の基準・標準化。

③研究開発期間

2007年度～2011年度

(3) 発電プラント用超高純度金属材料の開発(運営費交付金)

①概要

超高純度金属材料を発電設備の蒸気配管等に実用化することを目指し、高純度金属材料の高度化に向けた低コスト・量産化製造技術を開発し、実使用環境における超高純度金属材料の耐久性試験等を行う。

なお、本事業は、発電用施設における電気の供給の円滑化を図る観点から行うものである。

②技術目標及び達成時期

2009年までに、不純物総量100ppm未満、溶解量数100kg以上の低コスト・量産化技術製造技術を開発するとともに、製造された超高純度材料が発電プ

ラントの各種機器に適用でき、本材料の持つ優れた特性を長期に亘って発揮できることを確認する。

③研究開発期間

2005年度～2009年度

4-V. 化石燃料の安定供給確保と有効かつクリーンな利用

4-V-i. 石油・天然ガス・石炭の探鉱・開発・生産技術

(1) 石油・天然ガス開発・利用促進型大型／特別研究（運営費交付金）

①概要

石油及び可燃性天然ガス資源の開発に係る技術の振興を図る観点から、大水深、複雑な地層といった悪条件化が進む石油・天然ガスの探鉱・開発技術、利用拡大が見込まれる天然ガス田の開発促進に資する天然ガス有効利用技術等について、短期間で実用化が期待され、民間ニーズに直結した研究開発を提案公募により実施する。

②技術目標及び達成時期

2012年度までに、我が国の石油・天然ガスの探鉱・開発技術力の向上、及び天然ガスの利用の促進に向けた天然ガスの有効利用技術の開発を行う。

③研究開発期間

2001年度～2012年度

(2) 石炭生産技術開発

①概要

石油代替エネルギーである石炭の安定供給を図るため、発熱量が低いものの低灰分、低硫黄といった特徴を有する低品位炭の有効利用を目的として、低品位炭の発熱量を高め、自然発火性を抑制する低品位炭改質技術を開発する。

②技術目標及び達成時期

2009年度までに、3500～5000kcal/kg の発熱量の低品位炭を瀝青炭並みの6000kcal/kg 以上に改質する低品位炭改質技術を開発し、600t/d 大型実証プラントでの製造技術を確立する。

③研究開発期間

2006年度～2009年度

(3) 石油精製物質等簡易有害性評価手法開発（運営費交付金）

①概要

石油の生産及び流通の合理化を図る観点から、石油製品等に含まれる化学物質によるリスクを把握し、必要な対策を適切に行うことを可能とするため、*in vitro* 培養系技術等の活用により遺伝子組換え細胞等を用いた *in vitro* 系簡易有害性予測手法、また、トキシコゲノミクスを活用した短期動物試験結果と相関する遺伝子発現データセットを開発する。

②技術目標及び達成時期

2010年度までに、遺伝子導入技術、幹細胞分化誘導技術、生物発光技術等

を適用した培養細胞を用いて、試験期間1ヶ月程度、発がん性、催奇形性及び免疫毒性を予測評価できる試験手法を開発し、また、遺伝子発現解析技術を短期動物試験に適用し、28日間反復投与試験結果と相関する遺伝子発現データセットを完成させる。また、標準的な試験プロトコルを策定する。

③研究開発期間

2006年度～2010年度

(4) 石油資源遠隔探知技術の研究開発

①概要

我が国が開発・運用する多様な地球観測センサ（ASTER、PALSAR等）の地球観測データを用いて、石油・天然ガス等の安定供給確保のため、資源開発・探査、環境観測等に有効なデータの処理解析手法の研究開発を行う。また、地球観測データのような大容量のデータを容易に扱えるシステムの研究開発を実施することで資源開発・探査、環境観測を含む多様な分野でのリモートセンシングの利用拡大を図る。

②技術目標及び達成時期

2010年度までに、資源開発・探査、環境観測等の分野における地球観測データ処理・解析技術の向上及び地球観測データの利用の拡大を図る。

③研究開発期間

1981年度～2010年度

(5) ハイパースペクトルセンサ等の研究開発（運営費交付金）

①概要

資源開発に有効な岩石・鉱物や地質構造解析の高次元解析を可能とするハイパースペクトルセンサの開発を行うとともに、軌道上におけるデータ取得の実証を行い、センサ技術の確立を行う。

②技術目標及び達成時期

2011年度までにスペクトル分解能200バンド前後のハイパースペクトルセンサを開発し、地表面のスペクトル情報を取得して資源開発に有効なセンサ技術の実証を行う。

③研究開発期間

2007年度～2011年度

(6) 次世代合成開口レーダ等の研究開発

①概要

石油の生産及び流通の合理化を図る観点から行うものであり、石油及び可燃性天然ガス資源等の開発に資するため、資源探査能力を格段に向上した合成開口レーダである次世代合成開口レーダ（PALSAR）の健全性評価やセンサを維持することにより、取得される画像データを用いた石油・天然ガス資源の遠隔探知を行う技術を確立する。

②技術目標及び達成時期

PALSARの開発、健全性の評価・維持を実施することにより、2010年度までに、レーダ技術の高度化（アンテナ指向の電子制御化、分解能の向上、多偏波観測等）を図る。

③研究開発期間

1993年度～2010年度

(7) 極軌道プラットフォーム搭載用資源探査観測システムの研究開発

①概要

石油の生産及び流通の合理化を図る観点から行うものであり、石油及び可燃性天然ガス資源等の開発に資するため、資源探査能力を格段に向上した光学センサである資源探査用将来型センサ（ASTER）の健全性評価やセンサを維持することにより、取得される画像データを用いた石油・天然ガス資源の遠隔探知を行う技術を確立する。

②技術目標及び達成時期

ASTERの開発、健全性の評価・維持を実施することにより、2010年度までに、センサ技術の高度化（ポインティング機能の追加、分解能の向上、熱センサの搭載等）を図る。

③研究開発期間

1987年度～2010年度

4-V-ii. 石油・天然ガスの有効利用技術

(1) 石油燃料次世代環境対策技術開発

①概要

バイオマス燃料から製造した石油製品が自動車排出ガスに及ぼす影響、新たな自動車燃焼技術（自着火燃焼（着火までに燃料と空気を十分に混合し、その混合気体を点火プラグの使用なしで圧縮することにより着火させる燃焼法でNO_x排出低減、熱効率が高等の利点がある））に適應した燃料に関する技術開発を実施する。

また、建設機械、発電機等のオフロードエンジンの排ガスによる環境負荷低減や石油燃焼機器の効率的な利用を進めるための技術開発を実施する。

②技術目標及び達成時期

バイオマス燃料の利用時における、燃料と自動車エンジン技術の両面の影響評価を進め、技術的課題を解決し、運輸部門における燃料多様化を目指す。

また、オフロードエンジンの規制は欧米が先行していることから、2012年頃、欧米において規制強化が予定されている排ガス規制に対応した技術を確立し、我が国における規制強化に対応可能な燃焼技術を実現することを目指す。

③研究開発期間

2002年度～2011年度

(2) 石油精製高度機能融合技術開発

①概要

石油精製業を中心とする石油コンビナート全体の横断的かつ高度な運営機能の融合を図り、単独企業のみでは達成困難なコンビナート域内の省資源、省エネルギーの向上を進めるため、異業種異企業間における限りある貴重なエネルギー資源の利用効率の高い生産技術に関し技術の開発・実証を行う。

②技術目標及び達成時期

2009年度までに、我が国における他のコンビナートへの波及効果を含め、CO₂排出量を63万トン/年削減可能とする技術を確立する。

③研究開発期間

2006年度～2009年度

(3) 将来型燃料高度利用技術開発

①概要

省エネ、二酸化炭素削減効果が見込まれる燃料電池自動車の燃料である高純度(99.99%以上)水素を安定的かつ経済的に供給することは重要である。石油は、その長所として豊富な水素供給余力と安価な水素製造技術及び全国に展開した災害に強いガソリンスタンドを保有している。これら石油の長所を活かした水素供給システムの確立により、水素社会の早期実現に貢献するものである。本事業では、製油所からの高純度水素供給技術開発とガソリンスタンドを拠点とする高純度水素製造技術開発を行う。

②技術目標及び達成時期

コスト低減のため製油所におけるナフサから高効率(80%以上)な高純度水素製造を可能とする新たな技術を開発する。また、供給地のガソリンスタンドにおいて有機ハイドライドから高純度の水素を高効率(80%)に取り出すための水素発生装置を開発する。また、脱硫後の灯油硫黄分を検出限界以下の10ppb以下とする脱硫剤の開発を行うとともに、貴金属使用量を2-3wt%から0.5wt%以下まで低減しても、従来と同等の高い性能が維持できる改質触媒を開発する。さらに、膜分離型反応器を用いた99.99%高純度水素の製造効率を80%、4万時間の耐久性が期待できる水素製造システムを開発する。

③研究開発期間

2008年度～2010年度

(4) 革新的次世代石油精製等技術開発

①概要

原油価格の高騰・高止まりや原油の重質化と製品需要構造変化等の石油を巡る大きな環境変化のなか、連産品である石油製品を今後とも長期的に安定化かつ効率的に供給するためには、製油所の更なる高度化に向けた技術の開発実用化が必要である。このため、非在来型原油を含めた重質油を原料として、製油所におけるボトムレス化、余剰となる分解留分の高付加価値等のためのプロセスや触媒技術等の開発を行う。また、次世代の技術シーズ創出のため、これまでの技術とは

異なる発想により我が国唯一の革新的な新規触媒研究、新規膜分技術研究、新規製造プロセス研究等を産官学の連携等により実施する。

②技術目標及び達成時期

2011年度までに重質油対応型高過酷度接触流動分解技術（HS-FCC）については、3千BD規模（商業レベルの1/10規模）の実証研究を通じ、プロピレン収率20%以上（既存技術4%程度）、将来不足が予想される高オクタン価ガソリン基材（RON98（既存技術92程度））の製造を可能とする技術を確立する。

③研究開発期間

2007年度～2011年度

(5) 次世代高信頼性ガスセンサー技術開発

①概要

一酸化炭素中毒やガス漏れなどのガス事故を限りなくゼロに近づけるため、センサ素子のナノレベルでのメカニズム解析及び開発設計を行い、コードレスで高信頼性を有する次世代高信頼性ガスセンサ（COセンサ・メタンセンサ）を開発する。

なお、本事業は、エネルギー需給構造の高度化を図る観点から行うものである。

②技術目標及び達成時期

2011年度までに、最先端のナノテクノロジー及びMEMS技術を導入し、電池駆動で5年以上の長寿命、高信頼性（数百ppm以下の故障率）、低コストなCOとメタンのセンサを開発する。

③研究開発期間

2008年度～2011年度

(6) 天然ガスの液体燃料化（GTL）技術実証研究（運営費交付金）

①概要

硫黄等を含まず排出ガスがクリーン、着火性が高いという特徴を有することから石油系燃料代替として期待されるGTLについて、天然ガス中に含まれるCO₂を除去せず、原料として積極的に活用することから、従来利用が困難であったCO₂を多く含むガス田からの天然ガスが利用可能、CO₂除去装置が不要であることによる生産設備コストの低減が可能、といった強みを有する我が国独自のGTL製造技術の確立を図る。

②技術目標及び達成時期

2010年度までに、実証プラントによる運転研究（500バレル/日）を行い、商業規模でのGTL製造技術を確立する。

③研究開発期間

2006年度～2010年度

(7) 石油・天然ガス開発・利用促進型大型/特別研究（運営費交付金）（4-V-i 参照）

(8) 高効率ガスタービン実用化技術開発（4-I-ii 参照）

4-V-iii. メタンハイドレート等非在来化石資源の利用技術

(1) メタンハイドレート開発促進委託費

①概要

日本周辺海域に相当量の賦存が見込まれ、国産のクリーンなエネルギー資源として有望なメタンハイドレートを利用可能とするため、資源量評価手法、生産手法及び環境影響評価手法等の確立のための技術開発を行う。

②技術目標及び達成時期

2016年度までに、商業的産出のための技術を整備することを目指し、日本周辺海域におけるメタンハイドレートの賦存状況と特性の明確化、有望賦存海域からのメタンハイドレート資源フィールドの選択及び現場産出試験等による生産手法の確立等を推進する。

③研究開発期間

2001年度～2016年度

(2) 革新的次世代石油精製等技術開発（4-V-ii 参照）

4-V-iv. 石炭クリーン利用技術

(1) 革新的ゼロエミッション石炭火力発電プロジェクト

①概要

石炭の高効率な利用を図るために、

- i. 酸素吹きによる石炭ガス化発電の開発実証及び化学吸収法によるCO₂の分離・回収技術の実証
- ii. 石炭ガス化発電からCCSまで一貫したトータルシステムの設計等
- iii. 次世代IGCC（石炭ガス化複合発電）など革新的な石炭ガス化技術にかかる先進基盤研究を行う。

②技術目標及び達成時期

2009年度までに、パイロットプラントにおいて、高圧の石炭ガスからCO₂の分離・回収技術の確立及びガス化炉の信頼性向上へ向けて、3炭種以上の適応炭種拡大試験を実施する。

③研究開発期間

2007年度～2012年度

(2) 国際革新的ゼロエミッション石炭火力発電プロジェクト補助金

①概要

石炭火力発電から排出されるCO₂の削減技術について諸外国との実証事業等を実施し、当該技術の普及基盤を整備することにより、エネルギー供給に対する環境上の制約を取り除き、もって我が国エネルギー需給構造の安定化を図る。

②技術目標及び達成時期

石炭ガス化技術等実証普及事業では、海外において取り組みが進められているゼロエミッション型石炭火力発電の石炭ガス化・発電技術、CO₂分離回収技術、

CO₂輸送貯留技術等に関する情報収集や関連する技術調査の実施等により、我が国におけるゼロエミッション型石炭火力発電の実用化開発に資する技術・知見を得る。

酸素燃焼国際共同実証事業では、既存の微粉炭火力発電の改造による酸素燃焼方式のゼロエミッション型石炭火力発電プラントの実用化を目標とするものであり、既存のプラントの改造により対応可能であること、酸素燃焼を行うことにより、燃焼ガスからCO₂を分離する装置が不要であることから、比較的 low コストで極めて大きなCO₂削減効果が期待できる。

石炭火力発電原油増進回収国際共同事業では、2008年5月の日中首脳会談で合意された「日中間でのCCS-EOR（二酸化炭素の回収・貯留、石油増進回収法）協力」に係る日中共同事業として、中国における石炭火力発電CCS-EOR事業の事前調査としてCCS-EORの有効性確認、CCS-EORの経済性・事業実現性等を検討する。これらにより、多量のCO₂排出削減を実現するモデルの構築、世界のCO₂排出削減への貢献が期待出来る。

③研究開発期間

2007年度～2016年度

(3) 先進超々臨界圧火力発電実用化要素技術開発費補助金

①概要

従来の超々臨界圧火力発電（USC）は、蒸気温度の最高温度は630℃程度が限界で、送電端熱効率も42～43%が原理的限界といわれてきた。しかしながら、近年の材料技術の進歩により、700℃以上の蒸気温度を達成できる可能性が見えてきたことから、これらの材料を活用した先進超々臨界圧火力発電技術（A-USC）の開発を行うものである。A-USCは、蒸気温度700℃級で46%、750℃級で48%の高い送電端熱効率の達成が可能な技術であり、2020年以降増大する経年石炭火力発電のリプレース需要に対応するため、早急に技術開発を進める必要がある。そのため、ボイラーメーカー、タービンメーカー及び材料メーカーが共同でA-USCの技術開発に取り組む。

②技術目標及び達成時期

平成22年度までにシステム基本設計を完了し、シミュレーションにより送電端熱効率46%～48%の達成が可能なことを確認する。平成24年度までにボイラー、タービン部材等が700℃以上の蒸気温度に耐えられるかどうかを試作、評価し、経済性を含めたシステム成立性への見通しを得る。平成27年～平成28年度に実缶試験、回転試験を実施し、蒸気温度700℃以上の条件下でボイラー、タービンの信頼性を確認する。また、ボイラー、タービン部材について3万～7万時間の長期信頼性試験を実施し材料特性を検証する。

③研究開発期間

2008年度～2016年度

(4) 石炭利用技術開発（一部、運営費交付金）

①概要

環境適合的な石炭利用の拡大を図るため、石炭利用プロセスにおける環境影響を低減させる手法の開発等、クリーン・コール・テクノロジーの開発を行う。

②技術目標及び達成時期

2009年度までに、

- ・ 化学原料等に利用可能な合成用ガスを石炭乾留ガスから無触媒で製造する技術をパイロットプラントで確立する（無触媒石炭乾留ガス改質技術開発）。

2011年度までに、

- ・ 石炭利用プロセスにおいて、環境分析技術の高精度化、環境影響成分の挙動解析のためのモデルの構築等により、環境への影響低減手法を開発する（戦略的石炭ガス化・燃焼技術開発）。

③研究開発期間

1995年度～2011年度

- ・ 戦略的石炭ガス化・燃焼技術開発 2007年度～2011年度
- ・ 無触媒石炭乾留ガス改質技術開発 2006年度～2009年度

(5) 噴流床石炭ガス化発電プラント開発費補助金

①概要

供給安定性に優れた石炭の高効率かつ低環境負荷での利用を図るため、石炭をガス化して燃料とし、コンバインドサイクル（ガスタービンと蒸気タービンの組合せ）を駆動する高効率発電技術（石炭ガス化複合発電技術（IGCC: Integrated coal Gasification Combined Cycle）の実証試験を行う。

②技術目標及び達成時期

2009年度までに、25万kWの実証機を用いた実証試験により、熱効率40.5%（送電端、高位発熱量ベース）を目指す。この目標は50万kWの商用機における熱効率46～48%に相当する。本技術は実証試験終了後の2010年度より商用化が可能である。

③研究開発期間

1999年度～2009年度

(6) 資源対応力強化のための革新的製鉄プロセス技術開発（運営費交付金）（4-I-ii 参照）

4-V-v. その他・共通

- (1) 新エネルギー技術実用化補助事業（運営費交付金）（4-III-i 参照）
- (2) 非化石エネルギー産業技術研究助成事業（運営費交付金）（4-III-i 参照）
- (3) 固体高分子形燃料電池実用化戦略的技術開発（運営費交付金）（4-III-v 参照）
- (4) 燃料電池先端科学研究（運営費交付金）（4-III-v 参照）
- (5) 固体酸化物形燃料電池システム要素技術開発（運営費交付金）（4-III-v 参照）
- (6) 水素製造・輸送・貯蔵システム等技術開発（運営費交付金）（4-III-v 参照）
- (7) 水素貯蔵材料先端基盤研究（運営費交付金）（4-III-v 参照）
- (8) 水素社会構築共通基盤整備事業（運営費交付金）（4-III-v 参照）
- (9) 水素先端科学基礎研究事業（運営費交付金）（4-III-v 参照）
- (10) 固体酸化物形燃料電池実証研究（運営費交付金）（4-III-v 参照）
- (11) 燃料電池システム等実証研究（運営費交付金）（4-III-v 参照）

5. 政策目標の実現に向けた環境整備（成果の実用化、導入普及に向けた取組）

5-I. 総合エネルギー効率の向上

- 事業者単位の規制体系の導入
- 住宅・建築物に係る省エネルギー対策の強化
- セクター別ベンチマークの導入と初期需要創出（高効率機器の導入補助等）
- トップランナー基準の対象機器の拡充等
- アジアにおける省エネルギー対策の推進を通じた我が国の国際競争力の向上
- 国民の省エネルギー意識の高まりに向けた取組

5-II. 運輸部門の燃料多様化

- 公共的車両への積極的導入
- 燃費基準の策定・改定
- アジアにおける新エネルギー協力
- 国際標準化による国際競争力向上

5-III. 新エネルギー等の開発・導入促進

- 補助金等による導入支援
- 新エネルギーベンチャービジネスに対する支援の拡大
- 新エネルギー産業構造の形成
- 電気事業制度・ガス事業制度の在り方の検討

5-IV. 原子力利用の推進とその大前提となる安全の確保

- 電力自由化環境下での原子力発電の新・増設の実現
- 資源確保戦略の展開
- 次世代を支える人材育成
- 中小型炉の海外市場への展開、我が国原子力産業の国際展開支援
- 原子力発電拡大と核不拡散の両立に向けた国際的枠組み作りへの積極的関与
- 国と地域の信頼強化

5-V. 化石燃料の安定供給確保と有効かつクリーンな利用

- 資源国等との総合的な関係強化（研究開発の推進・協力、人材育成・技術移転、経済関係強化など）
- 化石燃料のクリーンな利用の開拓

6. 研究開発の実施に当たっての留意事項

事業の全部又は一部について独立行政法人の運営費交付金による実施されるもの（事業名に（運営費交付金）と記載したもの）は、中期目標、中期計画等に基づき、運営費交付金の総額の範囲内で当該独立行政法人の裁量によって実施されるものである。

また、事業名に（採択テーマ）と記載された事業は、提案公募事業により採択されたテーマを記載したものであり、その採択や評価等は、提案公募事業の実施機関の責任の下、実施されるものである。

7. 改訂履歴

- (1) 平成16年7月7日付け、省エネルギー技術開発プログラム基本計画、新エネルギー技術開発プログラム基本計画、燃料技術開発プログラム基本計画、電力技術開発プログラム基本計画、原子力技術開発プログラム基本計画制定。固体高分子形燃料電池／水素エネルギー利用プログラム基本計画（平成16・02・03産局第6号）は、新エネルギー技術開発プログラム基本計画に統合することとし、廃止。
- (2) 平成17年3月31日付け制定。省エネルギー技術開発プログラム基本計画（平成16・06・04産局第8号）、新エネルギー技術開発プログラム基本計画（平成16・06・04産局第10号）、燃料技術開発プログラム基本計画（平成16・06・04産局第12号）、電力技術開発プログラム基本計画（平成16・06・04産局第11号）、原子力技術開発プログラム基本計画（平成16・06・04産局第13号）は、廃止。
- (3) 平成18年3月31日付け制定。省エネルギー技術開発プログラム基本計画（平成17・03・25産局第14号）、新エネルギー技術開発プログラム基本計画（平成17・03・25産局第9号）、燃料技術開発プログラム基本計画（平成17・03・25産局第17号）、電力技術開発プログラム基本計画（平成17・03・25産局第12号）、原子力技術開発プログラム基本計画（平成17・03・25産局第13号）は、廃止。また、次世代低公害車技術開発プログラム基本計画（平成17・03・29産局第2号）は、省エネルギー技術開発プログラム基本計画及び燃料技術開発プログラム基本計画に統合することとし、廃止。
- (4) 平成19年4月2日付け制定。省エネルギー技術開発プログラム基本計画（平成17・03・31産局第19号）、新エネルギー技術開発プログラム基本計画（平成18・03・31産局第15号）、燃料技術開発プログラム基本計画（平成18・03・31産局第18号）、電力技術開発プログラム基本計画（平成18・03・31産局第17号）、原子力技術開発プログラム基本計画（平成18・03・31産局第16号）は、廃止。
- (5) 平成20年4月1日付け、エネルギーイノベーションプログラム基本計画制定。省エネルギー技術開発プログラム基本計画（平成19・03・26産局第1号）、新エネルギー技術開発プログラム基本計画（平成19・03・20産局第4号）、燃料技術開発プログラム基本計画（平成19・03・19産局第7号）、電力技術開発プログラム基本計画（平成19・03・16産局第3号）、原子力技術開発プログラム基本計画（平成19・03・23産局第2号）は、本プログラム基本計画に統合することとし、廃止。
- (6) 平成21年4月1日付け制定。エネルギーイノベーションプログラム基本計画（平成20・03・25産局第5号）は廃止。

事前評価書

作成日		平成21年2月5日
1. 事業名称 (コード番号)	次世代パワーエレクトロニクス技術開発 (グリーン IT プロジェクト)	
2. 推進部署名	電子・情報技術開発部	
3. 事業概要	<p>(1) 概要：データセンタやその電力源に用いる交流・直流変換等、電力制御機器の低損失化と高耐圧化をより強力に推進するには、SiC パワーデバイスの性能を高め、それを用いたパワーシステムを実現する技術開発が必要である。すなわち具体的な適用製品を想定し、高キャリア周波数化での特性改善、高電流密度化（大容量化）、ゲート絶縁膜の信頼性向上（長寿命化、歩留まり向上等）といった SiC デバイス性能の高度化を進め次世代 SiC パワーデバイスを実現するとともに、従来 Si パワーデバイスを次世代 SiC パワーデバイスに置き換えて電力変換器に用いるための回路設計技術、ノイズ対策、熱設計などの SiC パワーデバイス実装に伴う課題等を解決していく必要がある。本プロジェクトでは、これらの要請を具現化して、次世代 SiC パワーデバイスを用いたデータセンタやその電力源に用いる電力制御機器実用化技術を確立することを目的とする。</p> <p>(2) 事業規模：平成21年度～24年度 40億円（未定）</p> <p>(3) 事業期間：平成21年度～24年度（4年間）</p>	
4. 評価の検討状況	<p>(1) 事業の位置付け・必要性</p> <p>IT 機器が消費する電力の省エネルギー化が求められる中、従来のシリコンスイッチングデバイスを用いたパワーエレクトロニクス機器では、材料の破壊電圧など物性上の理由からさらなる省エネルギー化が困難となりつつあり、IV 族二元系半導体である SiC が新たなパワーエレクトロニクス材料として注目されている。SiC スwitchングデバイスを用いることにより、従来のシリコンスイッチングデバイスを用いた電力変換モジュールと比べ、電力損失が格段に低い SiC 電力変換機器を実現することは喫緊の課題である。この位置付けのもと、具体的には以下の3テーマを行う。</p> <p>①SiC パワーデバイスを用いたデータセンタ用サーバ電源技術</p> <p>電力容量が数 kW 級のデータセンタ用電源の省エネルギー化、小型化に向け、SiC パワーデバイスの高性能化技術開発を行うと共に、それらの開発により得られた高性能デバイスを電源機器用電力変換器へ適用して電力変換技術の開発を行う。加えて、上記電源のプロトタイプを試作し、その低損失、高効率特性を実証する。</p> <p>②SiC パワーデバイスを用いた太陽光発電用パワーコンディショナ技術</p> <p>電力容量が数 10kW 級の太陽光発電システム用パワーコンディショナの省エネルギー化、小型化に向け、SiC パワーデバイスの高性能化技術開発を行うと共に、駆動回路方式に対応した SiC デバイスのしきい値制御技術を行う。さらに、それらの開発により得られた高性能デバイスを用いて、上記パワーコンディショナへ適用する電力変換技術の開発を行う。加えて、上記パワーコンディショナのプロトタイプを試作し、その低損失、高効率特性を実証する。</p> <p>③次世代 SiC パワーデバイス・電力変換器基盤技術</p> <p>革新的電力変換器実現のため、高温環境においても超低オン抵抗を有する次世代 SiC パワースwitchングデバイスに必要な革新的デバイス構造/高耐圧デバイス化プロセス、高信頼化技術を開発する。次世代パワーデバイスを利用した革新的電力変換器設計技術と高温実装技術等を開発し、それらを取り入れた電力変換器の高出力パワー密度性能の検証を行う。</p>	

(2) 研究開発目標の妥当性

①SiC パワーデバイスを用いたデータセンタ用サーバ電源技術

目標：耐圧：1200 V 以上、電流容量：40 A 以上、オン抵抗率：3.0 mΩcm² 以下（室温環境下）、寿命：10 年以上の SiC スイッチングデバイスを開発する。また、電力容量が 2 kW 級のサーバ電源のプロトタイプを試作し、その電力変換効率が負荷 50 % で 94 % 以上であることを実証する。

妥当性：上記の SiC パワーデバイス開発目標は、従来 Si パワーデバイスでは達成困難であり、妥当である。また、SiC パワーデバイスを用いたサーバ電源プロトタイプに関する上記の電力変換効率も、Si パワーデバイスを用いたサーバ電源技術では達成困難な妥当な目標である。

②SiC パワーデバイスを用いた太陽光発電用パワーコンディショナ技術

目標：耐圧：1200 V 以上、電流容量：75 A 以上、オン抵抗率：5 mΩcm² 以下（室温環境下）、寿命：10 年以上の SiC スイッチングデバイスを開発する。この SiC スイッチングデバイス技術を用いると共に、キャリア周波数 50 kHz 以上の太陽光発電用パワーコンディショナ技術を開発して、電力容量が 30 kW 級の太陽光発電用パワーコンディショナのプロトタイプを試作し、これが定格出力時に 98 % 以上のシステム効率をもつことを実証する。

妥当性：上記 SiC スイッチングデバイスの目標は、従来の Si スイッチングデバイスでは達成困難であり、妥当である。また、太陽光発電用パワーコンディショナ技術の目標に設定しているキャリア周波数と、電力容量 30 kW 級太陽光発電用パワーコンディショナ・プロトタイプの定格出力時のシステム効率は、Si スイッチングデバイスの利用では達成困難であり、SiC スイッチングデバイスを利用して初めて実現できる妥当な目標である。

③次世代 SiC パワーデバイス・電力変換器基盤技術

目標：(1)新構造素子／新プロセスを用いて、革新的電力変換器に必要となる超低オン抵抗を有する高速スイッチングデバイス（600 ～ 1200 V の範囲のいずれかの耐圧で且つデバイス温度 200 °C^(注1)において $R_{onA}/V_b^2 \leq 4.0 \text{ m}\Omega\text{cm}^2 / \text{kV}^2$ (R_{onA} : 特性オン抵抗、 V_b : 耐圧)、電流容量 10 A 以上)を開発する。また、デバイス温度 200 ～ 250 °Cにおいて実用化に耐える電極・配線のエレクトロマイグレーション寿命、ゲート酸化膜の信頼性寿命、破壊耐量に関する信頼性評価技術を確立すると共に、これらを達成できる高信頼化技術を開発する。

(2)次世代パワーデバイスをデバイス温度 200 ～ 250 °Cで動作させることを可能とする高温実装技術を開発する。また、デバイス温度 250 °Cの高温動作デバイス条件を取り入れた高出力パワー密度変換器の統合設計技術の適用により、25 ～ 30 W/cm³ 級の出力パワー密度^(注2)を持つ革新的電力変換器の試作検証を行う。

(注1) 外部環境温度にデバイス自己発熱による温度上昇分を加えた温度をデバイス温度と定義する。以後に記載されるデバイス温度は全て同定義である。

(注2) 出力パワーを SiC パワーデバイス・周辺回路素子・フィルタ・ヒートシンクから成る構成体の総体積により除算したものを出力パワー密度と定義する。

妥当性：上記目標は、次世代の高性能、高信頼性、長寿命の SiC パワースイッチングデバイスとこれを用いた小型、高性能の電力変換器の基盤技術を確立する上で妥当であり、今後、SiC パワーエレクトロニクスの適用分野を拡大・普及させる上でも妥当である。

(3) 研究開発マネジメント

公募を行い、最適な実施体制を構築する。また、必要に応じて、外部有識者の意見を求め、その結果を踏まえて事業全体の予算配分や計画について見直しを行い、適切な運営管理に努める。

(4) 研究開発成果

①SiC パワーデバイスを用いたデータセンタ用サーバ電源技術

低オン抵抗、高耐圧、高電流容量、長寿命の SiC パワーデバイス技術と、このデバイス技術を利用した低損失・高効率のデータセンタ用電源技術の確立が期待される。

②SiC パワーデバイスを用いた太陽光発電用パワーコンディショナ技術

低オン抵抗、高耐圧、高電流容量、長寿命の SiC パワーデバイス技術と、このデバイス技術を利用した低損失・高効率の太陽光発電用パワーコンディショナ技術の確立が期待される。

③次世代 SiC パワーデバイス・電力変換器基盤技術

次世代 SiC パワースイッチングデバイスの基盤技術（革新的デバイス構造／高耐圧デバイス化プロセス、高信頼化技術等）と電力変換器の基盤技術（次世代パワーデバイスを利用した革新的電力変換器設計技術と高温実装技術等）の確立が期待される。

(5) 実用化・事業化の見通し

①SiC パワーデバイスを用いたデータセンタ用サーバ電源技術

平成 24 年度以降、SiC パワーデバイスを用いた高性能、高効率・低損失のデータセンタ用電源の実用化と普及が期待される。

②SiC パワーデバイスを用いた太陽光発電用パワーコンディショナ技術

平成 24 年度以降、SiC パワーデバイスを用いた高性能、高効率・低損失の太陽光発電用パワーコンディショナの実用化と普及が期待される。

③次世代 SiC パワーデバイス・電力変換器基盤技術

次世代の革新的 SiC パワースイッチングデバイス技術の実用化とこのデバイス技術を用いた電力変換器技術の実用化が期待される。さらに、これらの技術を利用した高性能、高信頼性の革新的 SiC スイッチングデバイスとこのデバイスを用いた電力変換器が広い分野で実用化・事業化されることが期待される。

本プロジェクトの研究成果の実用化・事業化によって、現在、データセンタ用電源や太陽光発電用パワーコンディショナ等の電力変換器が発生しているエネルギー損失の 30% 低減が省エネルギー効果として期待できる。

(6) その他特記事項

なし

5. 総合評価

本プロジェクトは、高性能、高信頼性、長寿命の SiC パワーデバイスの実用化と、このデバイスを用いた電力変換器技術の実用化とプロトタイプ機器の性能実証（省エネルギー、小型化）、さらには次世代の SiC パワーデバイス・電力変換器技術の基盤技術までを行う必要があり、リスクを伴う挑戦的な技術開発である。そのため、民間企業単独で開発することは極めて困難であり、NEDO が実施する事業として、産学官の共同研究体制を構築しながら適切に進めることが重要である。