「高速不揮発メモリ機能技術開発」

事後評価報告書

表　紙

平成２６年３月

独立行政法人新エネルギー・産業技術総合開発機構

研究評価委員会

平成２６年３月

独立行政法人新エネルギー･産業技術総合開発機構
　理事長　古川　一夫　殿

独立行政法人新エネルギー・産業技術総合開発機構
研究評価委員会 委員長 西村　吉雄

ＮＥＤＯ技術委員・技術委員会等規程第３３条の規定に基づき、別添のとおり評価結果について報告します。

「高速不揮発メモリ機能技術開発」

事後評価報告書

平成２６年３月

独立行政法人新エネルギー・産業技術総合開発機構

研究評価委員会

目　次

はじめに　1
分科会委員名簿　2
審議経過　3
評価概要　4
研究評価委員会におけるコメント　7
研究評価委員会委員名簿　8

第１章　評価
　1.　プロジェクト全体に関する評価結果　1-1
　　1.　1　総論
　　1.　2　各論
　2.　評点結果　1-16

第２章　評価対象プロジェクト
　1.　事業原簿　2-1
　2.　分科会における説明資料　2-2

参考資料１　評価の実施方法　参考資料 1-1
参考資料２　評価に係る被評価者意見　参考資料 2-1
参考資料３　分科会議事録　参考資料 3-1
参考資料４　評価結果を受けた今後の取り組み方針について　参考資料 4-1

はじめに

独立行政法人新エネルギー・産業技術総合開発機構においては、被評価プロジェクトごとに当該技術の外部専門家、有識者等によって構成される研究評価分科会を研究評価委員会によって設置し、同分科会にて被評価対象プロジェクトの研究評価を行い、評価報告書案を策定の上、研究評価委員会において確定している。

本書は、「高速不揮発メモリ機能技術開発」の事後評価報告書であり、第３５回研究評価委員会において設置された「高速不揮発メモリ機能技術開発」（事後評価）研究評価分科会において評価報告書案を策定し、第３８回研究評価委員会（平成２６年３月２７日）に諮り、確定されたものである。

平成２６年３月
独立行政法人新エネルギー・産業技術総合開発機構
研究評価委員会

「高速不揮発メモリ機能技術開発」

事後評価分科会委員名簿

（平成２５年１１月現在）

<table>
<tr><th></th><th>氏名</th><th>所属、役職</th></tr>
<tr><td>分科
会長</td><td>さくらい　たかやす
桜井　貴康</td><td>東京大学　生産技術研究所　第3部　教授</td></tr>
<tr><td>分科
会長
代理</td><td>たかはし　やすお
高橋　庸夫</td><td>北海道大学　大学院情報科学研究科
情報エレクトロニクス専攻　教授</td></tr>
<tr><td rowspan="6">委員</td><td>きもと　つねのぶ
木本　恒暢</td><td>京都大学　大学院工学研究科　電子工学専攻　教授</td></tr>
<tr><td>しらいし　けんじ
白石　賢二</td><td>名古屋大学　大学院工学研究科　計算理工学専攻　教授</td></tr>
<tr><td>ひがしの　てるお
東野　輝夫</td><td>大阪大学　大学院情報科学研究科
情報ネットワーク学専攻　教授</td></tr>
<tr><td>みやもと　やすゆき
宮本　恭幸</td><td>東京工業大学　大学院理工学研究科
電子物理工学専攻　教授</td></tr>
<tr><td>むらかみ　かずあき
村上　和彰</td><td>九州大学　大学院システム情報科学研究院
情報知能工学部門　教授</td></tr>
</table>

敬称略、五十音順

注＊：実施者の一部と同一組織であるが、所属部署が異なるため（実施者：東京大学　大学院工学系研究科）「NEDO 技術委員・技術評価委員規程（平成２３年７月７日改正）」第３４条（評価における利害関係者の排除）により、利害関係はないとする。

審議経過

● 第１回　分科会（平成２５年１１月１８日）

公開セッション

１．開会、分科会の設置、資料の確認

２．分科会の公開について

３．評価の実施方法と評価報告書の公開について

４．プロジェクトの概要説明

非公開セッション

５．研究開発マネジメントに関する補足説明

６．プロジェクトの詳細説明

７．「実用化・事業化に向けての見通し及び取り組み」について

８．全体を通しての質疑

公開セッション

９．まとめ・講評

１０．今後の予定、その他

１１．閉会

● 第３８回研究評価委員会（平成２６年３月２７日）

評価概要

１．総論

１）総合評価

クラウドコンピューティング、ビッグデータ等で今後重要性を増す低消費電力ストレージクラスメモリを目指し、ReRAM（Resistance Random Access Memory；抵抗変化メモリ）をベースとしたアーキテクチャ技術とデバイス技術の開発が、レイヤー連携しながら行われた。アーキテクチャ・レイヤーでは ReRAM デバイスに対する仕様を明確化し、デバイス・レイヤーでは、その仕様に対応するデバイス開発に注力した結果、より効率的な技術開発が行われ、競争力のある技術成果が得られた。魅力的なメモリと言われながら、学術的知見に乏しく、特性バラツキの大きかった ReRAM の実用化に向けた挑戦的なプロジェクトであったが、ReRAM 素子の材料に立ち返り、スイッチング材料の酸素制御という物理的メカニズムを踏まえて素子特性の改善に取り組んだ点が高く評価できる。

一方、デバイスとしては、当初目標はクリアしたものの、スイッチング素子の信頼性向上やばらつき低減など、高速不揮発メモリの実用化に向けて幾つかの課題が残っているので、それらを改善して実用化につなげていただきたい。

２）今後に対する提言

データセンターなどのメモリシステムでは、データの種類やデータ操作などによってメモリアクセスのパターンには特徴が出てくることが予想される。今回はアーキテクチャおよびデバイス・レイヤーでの最適化で成果が得られたが、実際のシステムやアプリケーションに即した最適化技術を加味すると、より競争力が増すものと考えられる。競合する MRAM（Magneto resistive Random Access Memory；磁気抵抗メモリ）、PRAM（Phase-Change Random Access Memory；相変化メモリ）等の進展を考慮し、これらのメモリに対する優位性とコスト競争力を十分に検討いただきたい。

一方、成果として技術的には素晴らしいものが出たと考えるが、事業戦略的には、顧客ターゲットの絞り込みを含めてもう少し戦略的に進めるべきである。また、メモリセルサイズを縮小した大規模容量メモリからコントローラとセットでシステムとするとなっているが、スケーリングに不安が有るのならば、まずは中規模容量メモリの時点でコントローラとセットで実用化すべきではないか。中規模容量メモリのストレージクラスメモリのアーキテクチャなどが早く実用化されれば、国際的にもインパクトの大きな成果になると考えられる。今回のアーキテクチャ・レイヤーの成果は、ReRAM のみならず、他のデバイス技術にも有効である。

２．各論

１）事業の位置付け・必要性について

今後のクラウドコンピューティング、ビッグデータ等を含む情報技術産業の変革を、タイムリーに見通した技術開発であると考える。従来のハードディスク主体のメモリシステムでは消費電力が膨大になってしまうという課題があった。そのため、本技術開発はより消費電力の小さい半導体メモリシステムを実現するもので、社会的な意義は大きい。特に、高速な不揮発性メモリのアーキテクチャやデバイスを使って、有効に半導体メモリシステムを構成する技術開発であり、市場としても大きいことが期待できる。日本の電気・電子・情報産業の国際競争力強化も含めて、重要な課題の研究開発であり、NEDO が推進するプロジェクトとして適している。

なお、メモリ業界は国際的な競争が激しく、日本の圧倒的な優位性も低下しているので、メモリ・LSI 業界の産業競争力を高めるための政策を強化していっていただきたい。

２）研究開発マネジメントについて

東日本大震災や共同研究先の会社更生法申請などの情勢変化によく対応した。ReRAM のような、まだ動作原理も完全に解明されていないデバイス開発において、これまでのメモリには無い高速大容量低ビットコストの不揮発性メモリを果敢に目指している点は評価できる。また、不揮発メモリーデバイスアーキテクチャの研究を併走させ協調させることで、ReRAM メモリデバイスの性能目標が的確になされたと考えられ、効果的であった。プロジェクトの構成として、大規模メモリの企業と、不揮発性メモリアーキテクチャの専門家を協働させた効果が現れている。研究開発目標は具体的、挑戦的であり、スケジュールや予算規模も適切である。材料選択というもっとも重要なところから着手して、最終的には実用化を見据えるところまでの実証が実現できている点は研究フローにおける要素技術間の関係、順序が適切であった。また、エルピーダ社は外資であるマイクロン社傘下に入ったが、フラッシュをストレージクラスメモリとして一体となった商品として供給できる強みがでたと言える。

３）研究開発成果について

アーキテクチャ､デバイスともに競争力のある成果が出ている｡ReRAM と NAND 型フラッシュメモリの協調で、高速大容量・低ビットコストの不揮発性メモリ技術が構築され､トータルのメモリ性能向上に資する領域で実現しており､評価できる。素子の材料に立ち返り、物理的メカニズムを踏まえた素子特性の改善に取り組んだ点が高く評価できる。抵抗変化材料における酸素の供給、拡散を制御した点はユニークである。数値目標はほとんどクリアされている。フラッシュメモリなどの書き込み回数を削減し、消費電力を軽減するための不揮発アーキテクチャを開発し、有効性を示した点は高く評価できる。知財権の確保や成果の普及に関しても十分留意されている。

一方、ストレージクラスメモリの他の候補である、STT-MRAM（スピン注入型磁

気抵抗メモリ）や PRAM（相変化メモリ）においても大きな技術革新がなされており、差別化が今後の展開の重要な要素となる。

なお、クラウドのみならず、高速不揮発メモリシステムが有効に活用できる分野を開拓することも並行して考慮していくべきである。

４）実用化・事業化に向けての見通し及び取り組みについて

歩留まりや信頼性の確保まで到達していないが、実用化まで、あと一歩まで来ている。ReRAM の特徴と現在の技術水準を十分に把握した上で、本高速メモリの応用分野を見据えている。新たな大規模高速不揮発メモリとなり、情報産業など他産業への波及効果が大きい。ストレージクラスメモリの市場のニーズに焦点をあて、その中でも最有力とされる ReRAM に焦点を絞った点は評価できる。また、実用化の課題となっていた SET-RESET 電圧、信頼性、容量等に対して的確な課題が設定されており、消費電力 1/10、速度 11 倍、寿命 7 倍という成果は、実用化にとって非常に明瞭な優位性である。アーキテクチャ・レイヤーの開発技術成果は実用性が高い。

一方、デバイスでは実用化の過程で必要な、スイッチング素子の信頼性向上、バラツキ低減などのデータが、多少不足している。量産化において、バラツキなどの問題の解決の為にも早急にメカニズムについて、より詳細な検討を行うべきである。また、当初計画時には想定していなかった超格子構造による PRAM の高速化や、STT-MRAM 研究進展の速さ等から見て、早期に実用化を検討して、現時点での優位さを生かすべきである。

研究評価委員会におけるコメント

第３８回研究評価委員会（平成２６年３月２７日開催）に諮り、本評価報告書は確定された。研究評価委員会からのコメントは特になし。

研究評価委員会

委員名簿（敬称略、五十音順）

職　位	氏　名	所属、役職
委員長	西村　吉雄	技術ジャーナリスト
委員長代理	吉原　一紘	オミクロンナノテクノロジージャパン株式会社 最高顧問
委員	安宅　龍明	独立行政法人産業技術総合研究所　つくばイノベーションアリーナ推進本部　共用施設調整室　招聘研究員
	伊東　弘一	学校法人早稲田大学　理工学術院　招聘研究員 公立大学法人大阪府立大学　名誉教授
	稲葉　陽二	学校法人日本大学　法学部　教授
	小林　直人	学校法人早稲田大学　研究戦略センター　副所長／教授
	佐久間一郎	国立大学法人東京大学　大学院工学系研究科　附属医療福祉工学開発評価研究センター　センター長／教授
	佐藤　了平	国立大学法人大阪大学　産学連携本部　名誉教授／特任教授
	菅野　純夫	国立大学法人東京大学　大学院新領域創成科学研究科 メディカルゲノム専攻　教授
	宮島　　篤	国立大学法人東京大学　分子細胞生物学研究所　教授
	吉川　典彦	国立大学法人名古屋大学　大学院工学研究科　マイクロ・ナノシステム工学専攻　教授

第１章　　評価

この章では、分科会の総意である評価結果を枠内に掲載している。なお、枠の下の「○」「●」「・」が付された箇条書きは、評価委員の主な指摘事項を、参考として掲載したものである。

１．プロジェクト全体に関する評価結果

１．１　総論

１）総合評価

クラウドコンピューティング、ビッグデータ等で今後重要性を増す低消費電力ストレージクラスメモリを目指し、ReRAM（Resistance Random Access Memory ; 抵抗変化メモリ）をベースとしたアーキテクチャ技術とデバイス技術の開発が、レイヤー連携しながら行われた。アーキテクチャ・レイヤーではReRAM デバイスに対する仕様を明確化し、デバイス・レイヤーでは、その仕様に対応するデバイス開発に注力した結果、より効率的な技術開発が行われ、競争力のある技術成果が得られた。魅力的なメモリと言われながら、学術的知見に乏しく、特性バラツキの大きかった ReRAM の実用化に向けた挑戦的なプロジェクトであったが、ReRAM 素子の材料に立ち返り、スイッチング材料の酸素制御という物理的メカニズムを踏まえて素子特性の改善に取り組んだ点が高く評価できる。

一方、デバイスとしては、当初目標はクリアしたものの、スイッチング素子の信頼性向上やばらつき低減など、高速不揮発メモリの実用化に向けて幾つかの課題が残っているので、それらを改善して実用化につなげていただきたい。

〈主な肯定的意見〉

○　省エネが担保された形でのクラウドコンピューティング、ビッグデータ等対応可能なハードウエア構築に関わる研究開発であり、この上に搭載される情報処理技術の Key となる技術の構築が急務である。ハードウエア、ソフトウエアを問わず、日本の情報処理産業の基盤となる技術の構築に関わる開発であり、加えて、あらゆる産業の基礎をなす技術であるので、国際競争力強化も含めて、重要な課題の研究開発であり、有効であったと考える。プロジェクトの途中で、東日本大震災があり、また共同研究先が会社更生法申請をするなど、多難な道のりであったが、抵抗変化メモリと NAND 型フラッシュメモリが協働可能な性能の不揮発性メモリデバイスを開拓し、新たなハードウエア領域を構築できている。

○　今後重要性を増すストレージクラスメモリ（SCM）を目指し、ReRAM をベースとしたアーキテクチャ技術とデバイス技術の開発が、レイヤー連携しながら行われた。アーキテクチャ・レイヤーでは ReRAM デバイスに対する仕様を明確化し、デバイス・レイヤーでは、その仕様に対応するデバイス開発に注力した結果、より効率的な技術開発が行われ、競争力のある技術成果が得られた。このようなレイヤー連携は今後ますます重要になると考えられる。アーキテクチャ・レイヤーでは、フラッシュメモリの書き

換え回数を減らす技術などを開発し、メモリシステムとしての消費電力を1/10 にできる目途が立った。デバイス・レイヤーでは、書き込みやリセットの物理的なメカニズムが明確にされた。これは、実用化された時に歩留り改善など、技術的なかなめとなる重要な知見である。また、中規模アレイでの実証により当初目標を達成した。

○ ReRAM を用いた新規不揮発性メモリ素子、集積化、およびアーキテクチャに関する研究開発である。魅力的なメモリと言われながら、学術的知見に乏しく、特性バラツキの大きかったメモリの実用化に向けた挑戦的なプロジェクトと言える。ReRAM 素子の材料に立ち返り、スイッチング材料の酸素制御という物理的メカニズムを踏まえて素子特性の改善に取り組んだ点が高く評価できる。作製プロセスやアーキテクチャに関する研究課題も網羅的、系統的に取り組み、多くの重要な成果を挙げている。企業と大学の役割分担も明確であり、特許出願も十分な水準である。ReRAM の特徴と現在の技術水準を十分に把握した上で、本高速メモリの応用分野、事業化を見据えている。

○ 本プロジェクトは材料科学の常識を覆す「金属酸化物に酸素空孔を導入する」というブレークスルーを実現し、このブレークスルーを足掛かりにReRAM の ON-OFF 比の向上、スイッチング電流（電圧）の低減と信頼性向上等のメモリとしての基本性能を着実に向上させることを成し遂げ、ReRAM の実用化に道をつけたプロジェクトである。さらに、ReRAM 等の比較的小容量のストレージクラスメモリを有効に利用することで、従来の NAND 型フラッシュメモリの超省電力化を実現する「普遍的な」アーキテクチャの提案と実証も行っている。このように、材料科学からアーキテクチャまで含めた広範囲かつ、効率的な連携によって ReRAM を用いたシステムを構築し、実用化を見据えるところまでもってきたことに敬意を表したい。

○ クラウド環境などでの大容量ストレージの効率的使用や省電力化をめざした研究プロジェクトとして興味深い内容である。また、得られた研究成果についてもかなり目標に近い成果が得られていると考えられる。特に不揮発アーキテクチャの研究は実用化も期待できる。

○ メモリのアクセスギャップに注目してストレージクラスメモリを目標として、速度で 11 倍、寿命で 7 倍、電力消費 1/10 を達成できる見込みが立ったことが非常に良い成果だと思う。

○ 総合的に見て、経営環境の変化が非常に激しい半導体メモリ業界、および、技術進展の速い半導体メモリ分野において、次の 3 点に関して適切に対応し、世界をリードする成果を出したことは大きく評価できる。①会社経営

環境の変化、②半導体メモリ業界の勢力変化、③半導体メモリのシステム化。

〈主な問題点・改善すべき点〉

- デバイスとしては、当初目標はクリアしたものの、実用化にはなお一層のばらつきの低減が望まれる。
- スイッチング素子の信頼性向上やばらつき低減、縦 MOS トランジスタの改善など、高速不揮発メモリの実用化に向けて幾つかの課題が残っているので、それらを改善して実用化につなげていただきたい。
- 比較的小容量のストレージクラスメモリを有効に利用する「普遍的なアーキテクチャ」が得られたので、今すぐに当該アーキテクチャを取り入れた、実用化に舵を切る方向も検討されることを望む。
- ReRAM のメカニズムについては、なぜバラツキがおこるか、verify が何回も必要な理由、小さくした時のスケーリング特性等まだ研究の余地がある。

〈主なその他の意見〉

・ 実施者の資本が、プロジェクトの途中で、国内メーカーから国外メーカーに移動するといった予想外の環境変化が起こったが、適切な判断のもと技術開発が継続され完遂されたのは、途中までの投資が無駄にならず有益であったと思われる。

・ 本プロジェクトにおいては、材料科学では金属酸化物に酸素空孔を導入するというブレークスルー、アーキテクチャでは比較的小容量のストレージクラスメモリの普遍的な利用法というブレークスルーが印象に残った。材料レベルとシステムレベルでブレークスルーが 3 年のプロジェクトの間に出現した点は高く評価したい。

・ 本研究期間中にエルピーダ社の会社更生法の適用があり、研究環境の厳しさなど、本研究を実施する当該研究者らの研究環境に大きな影響があったと考えられるにもかかわらず、適切に研究を推進したと考えられる。

２）今後に対する提言

データセンターなどのメモリシステムでは、データの種類やデータ操作などによってメモリアクセスのパターンには特徴が出てくることが予想される。今回はアーキテクチャおよびデバイス・レイヤーでの最適化で成果が得られたが、実際のシステムやアプリケーションに即した最適化技術を加味すると、より競争力が増すものと考えられる。競合するMRAM（Magneto resistive Random Access Memory ; 磁気抵抗メモリ）、PRAM（Phase-Change Random Access Memory ; 相変化メモリ）等の進展を考慮し、これらのメモリに対する優位性とコスト競争力を十分に検討いただきたい。 一方、成果として技術的には素晴らしいものが出たと考えるが、事業戦略的には、顧客ターゲットの絞り込みを含めてもう少し戦略的に進めるべきである。また、メモリセルサイズを縮小した大規模容量メモリからコントローラとセットでシステムとするとなっているが、スケーリングに不安が有るのならば、まずは中規模容量メモリの時点でコントローラとセットで実用化すべきではないか。中規模容量メモリのストレージクラスメモリのアーキテクチャなどが早く実用化されれば、国際的にもインパクトの大きな成果になると考えられる。今回のアーキテクチャ・レイヤーの成果は、ReRAMのみならず、他のデバイス技術にも有効である。

〈主な今後に対する提言〉

- データセンターなどのメモリシステムでは、データの種類やデータ操作などによってメモリアクセスのパターンには特徴が出てくることが予想される。今回はアーキテクチャおよびデバイス・レイヤーでの最適化で成果が得られたが、実際のシステムやアプリケーションに即した最適化技術を加味すると、より競争力が増すものと考えられる。
- 競合するMRAM、PRAM等の進展を考慮し、これらのメモリに対する優位性とコスト競争力を十分に検討いただきたい。
- 成果として技術的には素晴らしいものが出たと考えるが、事業戦略的に競争力があるか否かは少々不安。「技術に勝って、ビジネスで負けた」とならないよう、顧客ターゲットの絞り込みを含めてもう少し戦略的に進めるべきである。
- ストレージクラスメモリ用のコントローラとセットにシステムとして早期に実用化すべきと思う。中規模容量メモリまでは現状のメモリセルサイズで作製できるが、そこではメモリ単体で発売するとしており、メモリセルサイズを縮小した大規模容量メモリからコントローラとセットでシステムとするとなっているが、スケーリングに不安が有るのならば、まずは

中規模容量メモリの時点でコントローラとセットで実用化すべきではないかと思う。

・ 高速不揮発メモリの実用化に向けた取り組みを強化することで、得られた研究成果の実用化・事業化を目指していただきたい。中規模容量メモリのストレージクラスメモリ(SCM)のアーキテクチャなどが早く実用化されれば、国際的にもインパクトの大きな成果になると考えられる。
・ 全てのものへの情報の埋め込みを可能にする、半導体を主とした微細ハードウエア技術は、あらゆる産業の基盤である。これから到来するアンビエント情報化社会に向けて、ハードウエアをブラックボックス化して、国際競争に勝ち抜くことは難しくなる。今回の「高速不揮発メモリ機能技術開発」は、この領域に深く係わる技術であり、共同研究先である事業会社の判断に任せるのではなく、NEDO あるいは経産省主導で実用化に向けて推進して欲しい。
・ ストレージクラスメモリにおいて、最終的に市場を制するのが本研究で得られた金属酸化物積層型の ReRAM と決まったわけではない。従来型の TaO 系、或いは HfO 系の単純な単層型の ReRAM が市場を制することも考えられる。また、STT-MRAM（スピン注入型磁気抵抗メモリ）、PRAM 等の他の次世代不揮発性メモリに軍配があがることも考えられる。しかし、金属酸化物に酸素空孔を導入するという材料科学におけるブレークスルーを基礎とする本 ReRAM が市場を制するには、早めに市場をエルピーダ社自身で作ってしまう戦略が必要と考えられる。研究開発と同時に、他業種と連携して、市場形成、市場開拓にも全力で邁進していただきたい。

〈主なその他の意見〉

・ 今回のアーキテクチャ・レイヤーの成果は、ReRAM のみならず、他のデバイス技術の場合も有効であること可能性が高い。このプロジェクトの前提を越えるものではあるが、このような取り組みも今後は有益であると思われる。

１．２　各論

１）事業の位置付け・必要性について

今後のクラウドコンピューティング、ビッグデータ等を含む情報技術産業の変革を、タイムリーに見通した技術開発であると考える。従来のハードディスク主体のメモリシステムでは消費電力が膨大になってしまうという課題があった。そのため、本技術開発はより消費電力の小さい半導体メモリシステムを実現するもので、社会的な意義は大きい。特に、高速な不揮発性メモリのアーキテクチャやデバイスを使って、有効に半導体メモリシステムを構成する技術開発であり、市場としても大きいことが期待できる。日本の電気・電子・情報産業の国際競争力強化も含めて、重要な課題の研究開発であり、NEDO が推進するプロジェクトとして適している。

なお、メモリ業界は国際的な競争が激しく、日本の圧倒的な優位性も低下しているので、メモリ・LSI 業界の産業競争力を高めるための政策を強化していっていただきたい。

〈主な肯定的意見〉

○　今後のアンビエント情報社会構築のためには、その基盤となるハードウエア技術の構築無しには成り立たない。また、情報化技術は、今後のあらゆる産業の基礎をなす技術である。今回の高速不揮発メモリ技術はこの Key となる新規ハードウエア技術に相当し、日本の電気・電子・情報産業の国際競争力強化も含めて、重要な課題の研究開発であり、NEDO が推進するプロジェクトとして適している。今後のクラウドコンピューティング、ビッグデータ等を含む情報技術産業の変革を、タイムリーに見通した技術開発であると考える。ReRAM のような新たな材料を取り込んだ集積回路技術の構築には、そのプロセス開発に大きなリスクが伴うことから、企業は保守的になりがちであるので、挑戦的なプロジェクトとして NEDO が推進する必要がある。特に、近年の日本の半導体産業の衰退を見ると、NEDO の支援は不可欠であったと考える。

○　ビッグデータに代表されるような大量データを扱うためのメモリシステムは規模増大の一途をたどり、従来のハードディスク主体のメモリシステムでは消費電力が膨大になってしまうという課題があった。そのため、本技術開発はより消費電力の小さい半導体メモリシステムを実現するもので、社会的な意義は大きい。特に、高速な不揮発性メモリのアーキテクチャやデバイスを使って、有効に半導体メモリシステムを構成する技術開発であり、市場としても大きいことが期待できる。

○　魅力的なメモリと言われながら、学術的知見に乏しく、特性バラツキの大きかったメモリの実用化に向けた挑戦的なプロジェクトである。IT イノ

ベーション、省エネの観点で意義は大きく、NEDO の支援は妥当である。

○ ReRAM 技術自体とストレージクラスメモリの省エネ化を実現する「普遍的アーキテクチャ」に関するブレークスルーが得られたことは、IT イノベーションプログラムおよびエネルギーイノベーションプログラムの目標達成のために大きく寄与していると考えられる。さらに、金属酸化物の積層構造という極めて材料科学の基礎的知見を掘り起こしてから、当該 ReRAM の研究開発を行っている。このように基礎研究的要素を多くもつ当該研究開発は、NEDO 等の国が関与しなくてはなしえない事業であると考えられる。ReRAM 技術自体と ReRAM アーキテクチャに大きなブレークスルーがもたらされたことを勘案すると、投資に見合う成果が得られていると考えられる。ストレージクラスメモリに焦点を絞ったのは結果的によかったと思われる。他の DRAM 代替、NAND 型フラッシュメモリ代替という切り口は他プロジェクトでも行われていること、ストレージクラスメモリ開発が省エネルギー、日本の国際競争力向上に寄与することは疑いない。こうした活動を通して、国際貢献、新しい市場形成等の大きな動きにつながる期待（可能性）が強く感じられる。

○ クラウド環境の普及などに伴い、大容量ストレージの大幅な需要が増大する方向の中、大容量ストレージの効率的使用や省電力化をめざした研究プロジェクトを推進したことは社会的＆時代的なニーズに沿った研究課題であったと考えられる。日本の国際競争力の向上の観点からも、適切なテーマ設定であったと考えられる。

○ メモリのアクセスギャップは問題となっており、そこに注目しているのは IT からみてもエネルギーから見ても妥当であり、また市場などからみても妥当である。

〈主な問題点・改善すべき点〉

● 日本の半導体産業の最近の急激な衰退を見ると、このようなプロジェクトのスタートを早めるべきではなかったかと考える。

〈主なその他の意見〉

・ メモリ業界は国際的な競争が激しく、従前のような日本の圧倒的な優位性も低下しているので、国内のメモリ・LSI 業界の産業競争力を高めるための政策を強化していっていただきたい。メモリ・LSI 関連技術は IT 分野の基幹的な役割を果たしており、その強化は国策的にも重要であると考えられる。

２）研究開発マネジメントについて

東日本大震災や共同研究先の会社更生法申請などの情勢変化によく対応した。ReRAM のような、まだ動作原理も完全に解明されていないデバイス開発において、これまでのメモリには無い高速大容量低ビットコストの不揮発性メモリを果敢に目指している点は評価できる。また、不揮発メモリーデバイスアーキテクチャの研究を併走させ協調させることで、ReRAM メモリデバイスの性能目標が的確になされたと考えられ、効果的であった。プロジェクトの構成として、大規模メモリの企業と、不揮発性メモリアーキテクチャの専門家を協働させた効果が現れている。研究開発目標は具体的、挑戦的であり、スケジュールや予算規模も適切である。材料選択というもっとも重要なところから着手して、最終的には実用化を見据えるところまでの実証が実現できている点は研究フローにおける要素技術間の関係、順序が適切であった。また、エルピーダ社は外資であるマイクロン社傘下に入ったが、フラッシュをストレージクラスメモリとして一体となった商品として供給できる強みがでたと言える。

〈主な肯定的意見〉

○ プロジェクト期間における、東日本大震災や共同研究先が会社更生法申請などを考慮すると、いろいろな困難を極める情勢変化によく対応したと考える。抵抗変化メモリ(ReRAM)のような、まだ動作原理も完全に解明されていないデバイス開発においては、成果・到達点の予測は難しくなる中で、ストレージ分野の中で、これまでのメモリには無い高速大容量低ビットコストの不揮発性メモリを果敢に目指している点は評価できる。また、不揮発メモリーデバイスアーキテクチャの研究を併走させ協調させることで、ReRAM メモリデバイスの性能目標が的確になされたと考えられ、効果的であった。プロジェクトの構成として、大規模メモリの企業と、不揮発性メモリアーキテクチャの専門家を協働させた効果が現れている。また、この協調もスムーズになされているように見える。

○ 研究開発目標は具体的、挑戦的であり、スケジュールや予算規模も適切である。実施者は経営上の困難に直面したが、NAND フラッシュ技術を有する企業との提携により、本成果の事業化がむしろスムーズになった印象がある。大学との連携もうまく機能し、実施体制も適切である。

○ ReRAM の容量、SET-RESET 電圧等、ストレージクラスメモリとして市場を支配するのに必要なスペックの具体的目標が立てられており、評価できる。材料の絞り込みからはじめるエルピーダ社と AIST を中心とする ReRAM 技術開発と、新しい ReRAM のストレージクラスメモリからなるアーキテクチャを考案する中央大学グループの２つのグループが相補的

に研究を行う体制、予算配分は非常に目標達成には適合したものになっていると考えられる。目標達成に必要な２つ要素技術である ReRAM 自体の性能向上（容量、信頼性、スイッチング電流電圧等）と ReRAM を用いたアーキテクチャの考案を同時に遂行していることは評価できる。また、ReRAM 自体の性能向上においては、材料選択というもっとも重要なところから着手して、最終的には実用化を見据えるところまでの実証が実現できている点は研究フローにおける要素技術間の関係、順序が適切であったことを物語っている。また、当該成果はエルピーダ社が製品開発へとつなげる予定であり、当該技術の蓄積を実用化の観点から絞り込んだ結果であると考えられる。当該研究成果は目を見張るものがあり、結果を見る限り、真に技術力と事業化能力を有する企業が実施者として選定されていたことは明白である。ReRAM 技術自体の開発と ReRAM アーキテクチャの開発が有機的かつ効果的に連携できる体制になっていたことは評価できる。また、知的財産の取り扱いは問題ないと考える。エルピーダ社が会社更生法を申請するという予期せぬ事態に直面したにもかかわらず、NEDO を中心とした指揮系統はエルピーダ社の研究体制が整うまで待つということを行ったことは評価できる。また、東日本大震災による影響を考慮して実施期間を１か月延長したことも評価したい。

○ アーキテクチャ・レイヤーとデバイス・レイヤーの技術開発というレイヤー連携の仕組みを入れたことは成果を見ても極めて有効であったと考えられる。体制としても産学連携を活用し、適切なチーム作りが行われた。また、実施者の資本が、プロジェクトの途中で、国内メーカーから国外メーカーに移動するといった予想外の環境変化が起こったが、適切な判断が行われたと考えられる。

○ 適切な研究開発実施体制になっていると考えられる。また、本研究期間中にエルピーダ社の会社更生法の適用があり、会社的にも困難な点が多かった中、当該研究目標に向かって技術開発を進めた点は評価できる。不揮発アーキテクチャの研究については、本研究プロジェクトで対象とする高速不揮発メモリのみならず、関連する分野でも応用・実用化が期待できる。

〈主な問題点・改善すべき点〉

● エルピーダ社は外資であるマイクロン社傘下に入った。今後、このようなことは大いに考えられる。グローバル化する経済の中でアジア資本の傘下に入る企業も多くでてくると予想される。そのような産業は国として守るべき技術・製品を蓄積・生産していることもある。今回のエルピーダ社の例を皮切りにグローバル化する企業に対応したプロジェクトのあり方の

整備をお願いしたい。

- ● エルピーダ社の会社更生法の適用など LSI 関連業界は変化が激しいため、研究実施体制の変化に柔軟に対応できる体制作りも重要であると考えられる。

〈主なその他の意見〉

- ・ エルピーダメモリの会社更生法適用により、一時 NEDO からの費用負担がなくなっている時期があったにも関わらず、順調に進んだことは良かった。エルピーダメモリがマイクロンに買収されたことで、フラッシュ世界第四位のメーカーであるマイクロンのフラッシュをストレージクラスメモリとして一体となった商品として供給できる可能性が高まり、より実用化における強みがでたと言える。その意味では当初の計画より今回の買収で改善したと言える。
- ・ MRAM、PRAM 等の研究開発も随分進展しているように伺われる。これらのメモリとの対比（アップデート版）に関する説明があると、なお良いと思われる。

３）研究開発成果について

アーキテクチャ、デバイスともに競争力のある成果が出ている。ReRAM と NAND 型フラッシュメモリの協調で、高速大容量・低ビットコストの不揮発性メモリ技術が構築され、トータルのメモリ性能向上に資する領域で実現しており、評価できる。素子の材料に立ち返り、物理的メカニズムを踏まえた素子特性の改善に取り組んだ点が高く評価できる。抵抗変化材料における酸素の供給、拡散を制御した点はユニークである。数値目標はほとんどクリアされている。フラッシュメモリなどの書き込み回数を削減し、消費電力を軽減するための不揮発アーキテクチャを開発し、有効性を示した点は高く評価できる。知財権の確保や成果の普及に関しても十分留意されている。

一方、ストレージクラスメモリの他の候補である、STT-MRAM（スピン注入型磁気抵抗メモリ）や PRAM（相変化メモリ）においても大きな技術革新がなされており、差別化が今後の展開の重要な要素となる。

なお、クラウドのみならず、高速不揮発メモリシステムが有効に活用できる分野を開拓することも並行して考慮していくべきである。

〈主な肯定的意見〉

○ アーキテクチャ・レイヤー、デバイス・レイヤーともに競争力のある成果が出ている。また、知財権の確保や成果の普及に関しても十分留意されている。

○ ReRAM と NAND 型フラッシュメモリの協調を引き出すことで、高速大容量低ビットコストの不揮発性メモリ技術の構築が総合的になされている。特に、ReRAM 性能を、この協調が効果的にトータルのメモリ性能向上に資する領域で実現しており、評価できる。開発途中段階ではあるが、ReRAM セルアレイとしても世界最高規模のメモリアレイが動作している。知財なども的確に取得されているように見える。

○ ReRAM 素子の材料に立ち返り、物理的メカニズムを踏まえた素子特性の改善に取り組んだ点が高く評価できる。抵抗変化材料周辺における酸素の供給、拡散を徹底的に制御した点はユニークである。作製プロセスやアーキテクチャに関する研究課題も網羅的、系統的に取り組み、多くの重要な成果を挙げている。企業と大学の役割分担も明確であり、特許出願も十分な水準である。

○ ReRAM 自体の技術における数値目標はほぼクリアされている。一部クリアされていないものもあるが、当該プロジェクトで得られたアーキテクチャ（回路）技術を動員することで、ほとんどクリアされたということができる。また、エルピーダ社自体がストレージクラスメモリとして ReRAM

の製品化を視野に入れており、今後も市場創造も問題はない。なお、ReRAM はパナソニックが製品化しているが、非常に小さな容量のマイコンとしての実用化であり、より波及効果の大きなストレージクラスメモリへの展開こそが大きな市場と省エネルギー化につながるもので、今後のエルピーダ社に期待したい。

○ ストレージクラスメモリ(SCM)の事業化を目指した取り組みとして、ReRAM をベースにした高速不揮発メモリを開発するという初期の目標については、概ね達成されたと考えられる。また、フラッシュメモリなどの書き込み回数を削減し、消費電力を軽減するための不揮発アーキテクチャを開発し、有効性を示した点は高く評価できる。

○ 研究計画における目標はおおむね達成されており、充分意義があった。メモリ市場は拡大が続いており、おおきなシェアをとれる可能性がある。

○ 成果は目標を達成している。加えて、研究開発項目 2 で開発した技術は、今後のシステム化されたメモリデバイスの制御アーキテクチャとして標準的なものになる可能性もある。

〈主な問題点・改善すべき点〉

● ストレージクラスメモリの他の候補である、STT-MRAM や PRAM においても当該事業期間中に大きな技術革新がなされており、これらのメモリとどのように差別化してゆくかということに関しては、当該プロジェクトではあまり触れられていないが、今後の展開にはきわめて重要な要素となる。たとえば PRAM において超格子化するという大きなブレークスルーが出ており、これまでの PRAM の常識が打ち破られている。

● 試作システムやシミュレーションで実用化にある程度の目処はつけられたと考えられるが、実際にある程度のサイズの高速不揮発メモリが実用化されるには、まだまだ改善すべき点も残っており、実用化に向けたステップがやや不透明である。実用化に向けた取り組みを進めることを期待する。

〈主なその他の意見〉

・ クラウドのみならず、提案する高速不揮発メモリシステムが有効に活用できるような分野を開拓することも並行して考慮していくべきであると考えられる。

4）実用化・事業化に向けての見通し及び取り組みについて

歩留まりや信頼性の確保まで到達していないが、実用化まで、あと一歩まで来ている。ReRAM の特徴と現在の技術水準を十分に把握した上で、本高速メモリの応用分野を見据えている。新たな大規模高速不揮発メモリとなり、情報産業など他産業への波及効果が大きい。ストレージクラスメモリの市場のニーズに焦点をあて、その中でも最有力とされる ReRAM に焦点を絞った点は評価できる。また、実用化の課題となっていた SET-RESET 電圧、信頼性、容量等に対して的確な課題が設定されており、消費電力 1/10、速度 11 倍、寿命 7 倍という成果は、実用化にとって非常に明瞭な優位性である。アーキテクチャ・レイヤーの開発技術成果は実用性が高い。 一方、デバイスでは実用化の過程で必要な、スイッチング素子の信頼性向上、バラツキ低減などのデータが、多少不足している。量産化において、バラツキなどの問題の解決の為にも早急にメカニズムについて、より詳細な検討を行うべきである。また、当初計画時には想定していなかった超格子構造による PRAM の高速化や、STT-MRAM 研究進展の速さ等から見て、早期に実用化を検討して、現時点での優位さを生かすべきである。

〈主な肯定的意見〉

○ 歩留まりや信頼性の確保までは到達していないので、現状では、実用化が明確に見通せているとは言えないかもしれないが、実用化まで、あと一歩まで来ているように見える。新たな、大規模高速不揮発メモリとなる、新たなメモリの利用領域開拓につながる新技術が立ち上がるので、情報産業を含め他産業への波及効果が広範に渡ると考えられ、事業化の意義が大きい。

○ ReRAM の特徴と現在の技術水準を十分に把握した上で、本高速メモリの応用分野を見据えている。高速性と低消費電力の特徴を活かして、Enterprise 向け SSD 市場の約一割を狙う戦略なども興味深い。

○ ストレージクラスメモリという産業技術に市場のニーズを考えた末に焦点をあてて、その中でも最有力とされる ReRAM に焦点を絞った点は評価できる。また、ReRAM の実用化として課題となっていた SET-RESET 電圧、信頼性、容量等に対して的確な課題が設定されており、課題解決の方針は明確であった。当該研究開発成果で得られた成果は量産化につながる可能性は十分あると考えられる。現実にエルピーダ社自身が量産化を行うという意気込みを語ってくれた。

○ 電力 1/10、速度 11 倍、寿命 7 倍という成果は実用化にとって非常に明瞭な優位性であると思われる。

○ アーキテクチャ・レイヤーの開発技術成果は実用性が高い。
○ スイッチング素子の信頼性向上やばらつき低減、縦 MOS トランジスタの改善など、高速不揮発メモリの実用化に向けた課題はある程度明確化されており、課題解決の方針もかなり明確化されている。

〈主な問題点・改善すべき点〉
● デバイス・レイヤーでは実用化の過程で必要な、ばらつきなどのデータが、多少不足している。
● 量産化において、バラツキなどの問題の解決の為にも早急にメカニズムについてのより詳細な検討を行うべきである。
● 今後の、共同研究先の事業会社としては、実用化に向けて邁進する方針とは限らないように見受けられた。実用化は必ずしも、技術の良し悪しだけで判断されるとは決まらない恐れがあるので、開発した技術を無駄にしないためにも、NEDO や経産省の関与により、積極的に事業化をバックアップして欲しい。
● 実用化となると、他のメモリである STT-MRAM や PRAM との競争になる。それらとの現時点での差別化（事業当初の差別化はできている）がなされるともっと良かった。超格子型 PRAM の出現で PRAM は「融ける PRAM」から「融けない PRAM」に変わった。スイッチング速度、省エネ双方の観点から見ても事業当初とは全く別の次元に進化している。
● 中規模容量メモリの実現に固執している感が見受けられるが、小規模容量メモリでも、十分ストレージクラスメモリの省エネ化を実現する「普遍的アーキテクチャ」の出番はあると考える。市場、用途、等を吟味され、もっと早期に市場投入することをご検討いただきたい。
● フラッシュメモリの高速化や他の高速不揮発メモリの開発なども進んでおり、実用化を考慮した場合、競合技術と比較し性能面・コスト面での優位性を確保できるようにするため、より一層の技術開発の進捗が望まれる。
● 成果として技術的には素晴らしいものが出たと考えるが、事業戦略的に競争力があるか否かは少々不安。「技術に勝って、ビジネスで負けた」とならないよう、顧客ターゲットの絞り込みを含めてもう少し戦略的に進めるべきである。

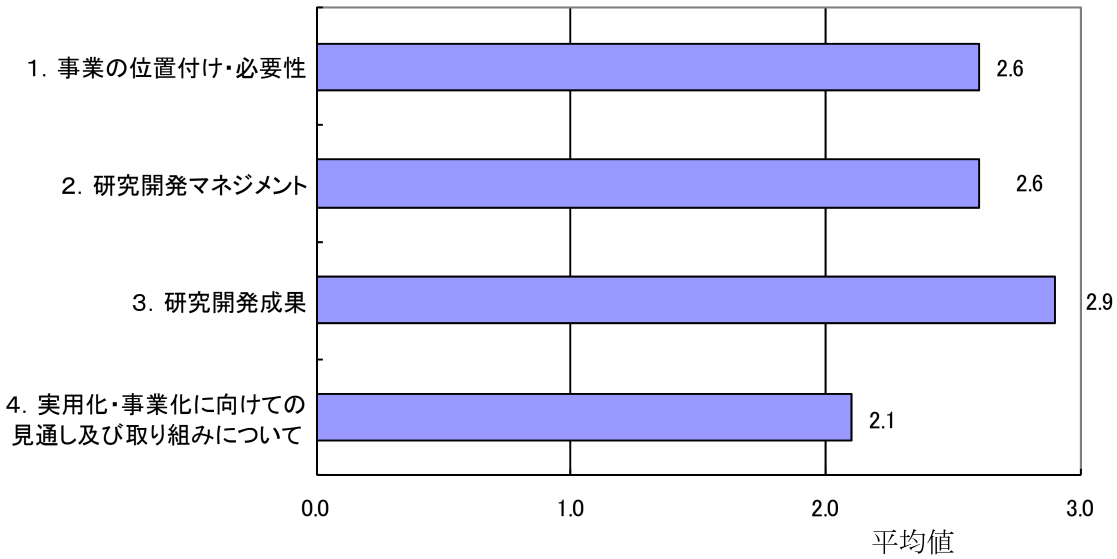
〈主なその他の意見〉
・ 事業化への技術課題として挙げられたものは、いずれも妥当であるが、「スイッチング素子の信頼性向上、バラツキ低減」については、本質的な解決策が見えておらず、プロセスの最適化による緩やかな改善に期待すること

になるように予測される。また、言うまでもなくメモリはコスト競争が厳しいので、本メモリのコスト競争力を十分に検討いただきたい。

- 当初計画時には想定していなかった超格子構造による PRAM の高速化や、STT-MRAM 研究進展の速さ等から見て、早期に実用化を検討して、現時点での優位さを生かすべきである。
- 実施者の資本が、プロジェクトの途中で、国内メーカーから国外メーカーに移動するといった予想外の環境変化が起こったためもあり、事業化判断には親会社の、より複雑な判断要素が入ることになった。
- 半導体技術の実用化は日本の産業のコメとなるものである。当該プロジェクトを皮切りに是非とも国を挙げてもっと、多くのプロジェクトを起こしてほしい。

２．評点結果

２．１　プロジェクト全体



評価項目	平均値	素点（注）						
１．事業の位置付け・必要性について	2.6	B	A	A	B	A	B	A
２．研究開発マネジメントについて	2.6	B	A	A	A	A	B	B
３．研究開発成果について	2.9	A	A	A	A	A	B	A
４．実用化・事業化に向けての見通し及び取り組みについて	2.1	C	B	B	A	A	C	A

（注）A=3，B=2，C=1，D=0 として事務局が数値に換算し、平均値を算出。

〈判定基準〉

１．事業の位置付け・必要性について
- ・非常に重要 →A
- ・重要 →B
- ・概ね妥当 →C
- ・妥当性がない、又は失われた →D

２．研究開発マネジメントについて
- ・非常によい →A
- ・よい →B
- ・概ね適切 →C
- ・適切とはいえない →D

３．研究開発成果について
- ・非常によい →A
- ・よい →B
- ・概ね妥当 →C
- ・妥当とはいえない →D

４．実用化・事業化に向けての見通し及び取り組みについて
- ・明確 →A
- ・妥当 →B
- ・概ね妥当 →C
- ・見通しが不明 →D

第２章　　評価対象プロジェクト

１．事業原簿

次ページより、当該事業の事業原簿を示す。

IT イノベーションプログラム・エネルギーイノベーションプログラム

「高速不揮発メモリ機能技術開発」

事業原簿
【公開版】

担当部	独立行政法人新エネルギー・産業技術総合開発機構 電子・材料・ナノテクノロジー部

―目次―

概　要・・概要-1
プロジェクト用語集・・プロジェクト用語集-1

Ⅰ. 事業の位置付け・必要性について

1. NEDOの関与の必要性・制度への適合性・・・1

1.1 NEDOが関与することの意義・・1

1.2 実施の効果予測（費用対効果）・・・3

2. 事業の背景・目的・位置づけ・・・3

2.1 事業の背景と目的・・3

2.2 事業の位置付け・・4

Ⅱ. 研究開発マネジメントについて

1. 事業の目標・・6

2. 事業の計画内容・・8

2.1 研究開発の内容・・8

(1) 事業内容・・8

(2) 研究開発スケジュール・・10

(3) 開発事業費実績・・11

2.2 研究開発の実施体制・・12

2.3 研究の運営管理・・13

2.4 研究開発成果の実用化・事業化に向けたマネジメントの妥当性・・・・・・・・・・・・・・・・・・・・・・・・14

3. 情勢変化への対応・・16

4. 中間評価結果への対応・・16

5. 評価に関する事項・・16

Ⅲ. 研究開発成果について

1. 事業全体の成果・・・17

2. 研究開発項目毎の成果・・・19

2.1 不揮発アーキテクチャの研究開発・・19

2.2 高速不揮発メモリの開発・・41

Ⅳ. 実用化・事業化に向けての見通し及び取り組みについて

1. 他社・市場状況・・・53

2. 実用化・事業化の見通しについて・・・55

（添付資料）

・プロジェクト基本計画

・事前評価書

・論文リスト

概　要

最終更新日	平成25年10月21日

プログラム名	IT イノベーションプログラム・エネルギーイノベーションプログラム		
プロジェクト名	高速不揮発メモリ機能技術開発	プロジェクト番号	P10002
担当推進部/担当者	電子・情報技術開発部　主担当者　島津　高行　（平成22年4月～平成23年6月） 電子・材料・ﾅﾉﾃｸﾉﾛｼﾞｰ部　主担当者　酒井　俊二　（平成23年7月～平成25年3月） 電子・材料・ﾅﾉﾃｸﾉﾛｼﾞｰ部　主担当者　遠目塚　幸二（平成25年4月～平成25年11月）		
0. 事業の概要	電源オフにしてもデータが保存され、かつ高速に動作する高速不揮発メモリを搭載したシステムの開発が革新的な超低消費電力情報機器の実現のために重要である。これらの要求に応えることのできる、高速性と不揮発性を両立したメモリの開発と不揮発アーキテクチャの研究開発を実施する。		
Ⅰ. 事業の位置付け・必要性について	わが国のエネルギーセキュリティの確保や世界中で取り組みが行われている温室効果ガス削減運動への対応は、今後の我が国の発展に不可欠な課題である。一方産業の観点においては、我が国の製造業で重要な位置を占める半導体および電子機器産業競争力の維持向上もまた重要な課題である。このような問題意識のもと、本プロジェクトでは情報機器において看過できない問題となっているメモリ消費電力の抜本的削減を目的として、高速不揮発メモリを搭載する革新的な超低消費電力情報機器の実現を目的とする。これまで多種の不揮発性メモリが提案されたものの、現時点では大容量・高速性・高信頼性・低消費電力をはじめとする種々の要求を満たしたものはなく、既存のメモリ素子を置き換えるまでに至っていない。そのため新規素子の提案も含め、メモリ素子の開発が引き続き重要である。同時に、開発されるメモリ素子の動作特性を想定したうえで、効率の良いシステムが成立するアーキテクチャの仕様、およびその基本構成を明らかにすることが期待される。アーキテクチャの開発は、メモリ素子の開発成果として得られる特性を最大限に生かし、メモリ素子が早期にかつ広く普及するための基盤となるため、世界的にも研究開発が進められている。以上のように、本プロジェクトは、わが国の競争力の確保と、地球レベルでのエネルギー消費削減・低炭素化の両方に貢献すると期待され、本プロジェクト推進の必要性は高い。		

Ⅱ. 研究開発マネジメントについて

事業の目標	・システムを部分的または全体的に不揮発化するために、現行メモリの代替となる高速不揮発メモリ素子を開発する。 ・基本ソフトウエアを含むデモシステムまたは仮想デモシステムによって消費電力を実質上1／10以下に削減できる構成を提示する。

事業の計画内容	主な実施事項	H22fy	H23fy	H24fy	H25fy
	高速不揮発メモリの開発	→	→	→	
	不揮発アーキテクチャの研究開発	→	→	→	

開発予算（会計・勘定別に事業費の実績額を記載）（単位：百万円）	会計・勘定	H22fy	H23fy	H24fy	総額
	特別会計（需給）	267	225	107	599
	加速予算（成果普及費を含む）	29	20	0	49
	総予算額	296	245	107	648
契約の種類	委託（負担率：100%）	48	49	49	146
	共同研究（負担率：2/3）	248			248
	共同研究（負担率：1/2）		196	58	254

<table>
<tr><td rowspan="2">開発体制</td><td>経産省担当原課</td><td colspan="2">商務情報政策局 情報通信機器課</td></tr>
<tr><td>委託先</td><td colspan="2">① 「高速不揮発メモリの開発」
共同研究先:エルピーダメモリ株式会社
共同実施先:(独)産業技術総合研究所、シャープ(株)
② 「不揮発アーキテクチャの研究開発」
委託先:中央大学
(平成 24 年 4 月 1 日 東京大学から権利承継)</td></tr>
<tr><td>情勢変化への対応</td><td colspan="3">(1) 平成 22 年2月 ReRAM とフラッシュメモリの統合ウエアレベリングの開発加速
(2) 平成 23 年2月 ReRAM 専用縦型 MOS トランジスタ($4F^2$)構造プロセス開発およびデータ処理アルゴリズムの研究開発加速
(3) 平成 25 年1月 東日本大震災影響による開発遅延対応のため、実施計画書更新および事業契約期間の延長(終了を平成 25 年 2 月 28 日から平成 25 年 3 月 31 日に変更)</td></tr>
<tr><td>中間評価結果への対応</td><td colspan="3">本プロジェクトは、実施期間が 3 年間であるため、中間評価は実施しない。</td></tr>
<tr><td rowspan="5">評価に関する事項</td><td>事前評価</td><td colspan="2">平成 22 年 2月実施 担当部 電子・情報技術開発部</td></tr>
<tr><td>基本計画検討委員会</td><td colspan="2">平成 22 年 2月実施 担当部 電子・情報技術開発部</td></tr>
<tr><td>採択審査委員会</td><td colspan="2">平成 22 年 6月実施 担当部 電子・情報技術開発部</td></tr>
<tr><td>技術推進委員会</td><td colspan="2">平成 23 年12月実施 担当部 電子・材料・ナノテクノロジー部</td></tr>
<tr><td>事後評価</td><td colspan="2">平成 25 年11月実施予定
担当部 電子・材料・ナノテクノロジー部</td></tr>
<tr><td rowspan="4">Ⅲ. 研究開発成果について</td><td colspan="3">①高速不揮発メモリの開発
プロジェクトの目標を全て達成した。特に、書換え耐性は、不揮発アーキテクチャの研究開発と組み合わせることにより、ストレージクラスメモリに必要な装置寿命を達成することが出来た。
②不揮発アーキテクチャの研究開発
消費電力を従来SSDアーキテクチャより実質1／10とすることが出来た。</td></tr>
<tr><td>投稿論文</td><td colspan="2">「査読付き」26 件、「その他」 0 件</td></tr>
<tr><td>特 許</td><td colspan="2">①「出願済」35 件、「登録」0 件、「実施」0 件(うち国際出願 12 件)
②「出願済」 9 件、「登録」0 件、「実施」0 件(うち国際出願 3 件)</td></tr>
<tr><td>その他の外部発表
(プレス発表等)</td><td colspan="2">2012 年 1 月 24 日 エルピーダメモリ株式会社よりプレスリリース。
「新メモリ(高速不揮発抵抗変化型メモリ、ReRAM)の開発に成功」
－64Mビットメモリセルアレイ動作を確認－

2012 年 6 月 12 日 中央大学竹内研究室よりプレスリリース
「性能を11倍化、電力を 93%削減、寿命を 7 倍化する ReRAM とフラッシュメモリのハイブリッド SSD」</td></tr>
</table>

<table>
<tr><td>Ⅳ. 実用化・事業化の
見通しについて</td><td colspan="2">ReRAM実用化のためには、更なるスイッチング素子の信頼性向上とばらつき低減が必要であり、プロジェクト終了後の現在も中規模アレイを使った改善活動を継続している。一方、大容量プロトチップは、回路設計を終わり、チップレベルでの動作確認をシミュレーションレベルで完了した。今後は、スイッチング素子の改善結果を反映させた大容量プロトチップの試作を行い、早期にサンプル出荷を行うことを目指す。</td></tr>
<tr><td rowspan="2">Ⅴ. 基本計画に
関する事項</td><td>作成時期</td><td>平成 22 年 3 月　作成</td></tr>
<tr><td>変更履歴</td><td>平成 22 年 3 月　制定。
平成 23 年 4 月　共同研究事業 NEDO 負担率を 2/3 から 1/2 に改訂。</td></tr>
</table>

プロジェクト用語集

	用語	説明
C	CAM セル	【8Gb プロトチップローカル用語】 チップの各種設定や、リダンダンシ情報が書き込まれているメモリセル。電源投入時の CAM-Sequence でセル情報が読み出され、チップ内の該当するレジスタにその情報がセットされる。
	CAM-SWL	【8Gb プロトチップローカル用語】 CAM セルを制御するサブワード線。
	CMOS	p チャネルと n チャネルの金属酸化膜半導体・電界効果トランジスタ(MOSFET)を、相補うように接続した集積回路の構造。消費電力の少ない論理回路を実現でき、集積度を上げることが可能である。
D	DLTS	Deep Level Transient Spectroscopy の略。深い準位過渡分光と呼ばれ、ショットキー障壁の空乏層幅を電圧で変調してキャパシタンスを評価することにより、界面のトラップ準位を評価することができる。
	DRAM	Dynamic Random Access Memory の略。高速に読み出し・書き込みのアクセスが可能であるが電源が切られるとデータが消失する揮発性のメモリ
	DT 電流	Direct Tunnneling 電流 絶縁膜中を電子または正孔がトンネル現象により透過することで流れる電流。
E	EELS	Electron Energy Loss Spectroscopy の略。電子エネルギー損失分光法と呼ばれ、薄片化した試料に入射した電子ビームが試料固体中の電子を励起して生じたエネルギー損失量に注目して固体中の元素の種類や化学結合状態を評価できる。
F	F 値	半導体プロセスにおける最小加工寸法値。DRAM においてはビット線の半ピッチ。例えば"F65"はビット線の線幅と線間隔が 65nm を意味する。また、単位メモリセルの面積もこの F を用いて 4F2, 6F2 などと表現をし、同一プロセスにおけるメモリセル 1 個当りの面積の比較に用いる。
	FeRAM	Ferroelectric Random Access Memory の略。強誘電体という、外部電界によって生じた電気分極が電界を切った後も零に戻らない物質を利用した不揮発性メモリである。電界の極性で電気分極が2つの状態をとり、これを情報記録に利用する。
G	GBL	【8Gb プロトチップローカル用語】 グローバルビット線
H	HRS	High Resistive State メモリ素子が高抵抗の状態
I	ICP	Inductively Coupled Plasma 誘導結合プラズマと呼ばれ、高周波数の変動磁場によってそのプラズマ内部に渦電流によるジュール熱を発生させることによって得られる高温のプラズマ

	I_{RESET}	RESET 電流。高抵抗状態へ変化させるに必要な書き込み電流。
	I_{SET}	SET 電流。低抵抗状態へ変化させるに必要な書き込み電流。
L	LRS	Low Resistive State メモリ素子が低抵抗の状態
M	MAT	【8Gb プロトチップローカル用語】 SWD(サブワードドライバ)と MUX(マルチプレクサ)で囲われたメモリアレイ。
	MRAM	Magnetic Random Access Memory の略。原子数個程度の厚さの絶縁体薄膜(トンネル障壁)を 2 層の磁性体薄膜(電極)で挟んだ構造を持ち、その磁性体電極の磁化方向を変化させることで抵抗値が変化するトンネル磁気抵抗(TMR)効果を応用したメモリ。微細加工時にエッチングを施しにくい低融点強磁性金属や貴金属からなる層構造を持つ。
P	PF 電流	Pool-Frenkel 電流 絶縁膜中に不純物や欠陥による順位が存在する場合、中性の捕獲サイト(トラップ)が電子と正イオンに分かれ、電子が伝導帯に熱的に放出される現象が生じる。このとき電子に対する正イオンのクーロンポテンシャル障壁が低下することで流れる電流。
	PRAM	Phase Change Random Access Memory の略。 DVD で用いられている GeSbTe からなる化合物をメモリ素子とし、メモリ素子に流れる電流により発生する発熱で、非晶質状態と結晶状態との相変化を起こすことを原理とする。非晶質状態は電気的に高抵抗に、また結晶状態は低抵抗になることにより、データを記憶する。
R	RBS	Rutherford Backscattering Spectroscopy の略。ラザフォード後方散乱分析と呼ばれ、MeV (メガエレクトロンボルト)イオンを固体に入射して後方へ散乱されるイオンのエネルギーを分析して固体中の元素の種類や深さ方向の分布を評価する方法。
	REG	【8Gb プロトチップローカル用語】 Resistor 回路。WA(ライトアンプ)、SA(センスアンプ)、PB(ページバッファ)等で構成される。
	RESET	メモリ素子を高抵抗状態(HRS)に変化させること、高抵抗状態への書き込みもしくはプログラム動作。
	ReRAM	Resistance Random Access Memory の略。電圧(電流)の印加により生じる抵抗変化を利用したランダムアクセスメモリ。RRAM あるいは ReRAM と呼ばれている。
	R_{RESET}	書き込まれた HRS の抵抗値
	R_{SET}	書き込まれた LRS の抵抗値
S	SEG	【8Gb プロトチップローカル用語】 1つの COL 置換セグメントの Col 制御回路の単位。約 1k 台の Reg.回路及びその Control 回路で構成

	SET	メモリ素子を低抵抗状態（LRS）に変化させること、 低抵抗状態への書き込みもしくはプログラム動作。
	SSD（ソリッド・ステート・ドライブ）	大容量のフラッシュメモリをハードディスクドライブの代わりに記憶媒体として用いる記憶装置。
	SIMS	Secondary Ion Mass Spectroscopy の略。二次イオン質量分析と呼ばれ、試料にイオンを照射し、試料表面からスパッタリング放出される二次イオンを質量分析することによって深さ方向の元素分布情報を得る分析手法。
	SPM	Scanning Probe Microscopy の略。走査プローブ顕微鏡法と呼ばれ、レーザーを照射したカンチレバーを試料表面で走査し、表面凹凸に依存して変化するレーザー位置を検出して表面形状観察を行う方法。
	STT-RAM	Spin Torque Transfer Random Access Memory の略。メモリ素子に電流を流し、スピントルク磁化反転という動作技術でメモリ動作を行う MRAM である。
T	TEM	Transmission Electron Microscopy の略。透過電子顕微鏡観察という観察手法であり、薄片化した試料に電子線を入射し、試料を透過した電子線を利用して観察を行う。
	TSC	Thermally Stimulated Current の略。熱刺激電流と呼ばれ、この電流の温度依存性を評価することによって、半導体内部や界面のトラップ準位の深さや密度を評価できる。
X	XPS	X-ray Photoelectron Spectroscopy の略。X 線光電子分光法と呼ばれ、X 線を固体表面に照射して発生する光電子を測定することにより、元素の種類や化学結合状態を評価できる。

あ行	誤り訂正（ECC）	データに符号誤り（エラー）が発生した場合に、エラーを検出・訂正する信号処理技術。
	ID リード	CPU から RRAM 等メモリに行う読み出し動作の一種。製品番号・仕様・容量などメモリの属性を CPU に読み出しを行う。
	ウエア・レベリング	フラッシュメモリなど、書き換えることができる回数が限られている記憶装置の使用寿命を延ばすための技術。書き換えが一つのメモリに集中せず、全てのメモリに均等に分散するように制御することで、媒体全体としての信頼性を向上させる。
か行	機能モデル	ハードウェアをモデル化したもの。複数の精度レベル（抽象度）を持つ。純粋なハードウェアの演算機能のみをモデル化したレベルから、ハードウェアのビット精度、サイクル精度を持つレベルがある。
	キャッシュメモリ	メモリシステム内の CPU、DRAM、ストレージ（SSD,HDD）などのデバイス間の性能差を埋めるためにデバイス間に挿入される高速なメモリ。キャッシュメモリにデータを一時的に蓄えることで、システムの高速化を図る。

	機能モデル	CPU、DRAM など LSI チップの動作、アクセス時間、消費電力等をソフトウエアで記述したモデル。機能モデルを組み合わせることで、ソフトウエア上で携帯電話などの機器を仮想的にシミュレーションできる。
	コードストレージ	プログラムを記憶し、実行可能なストレージデバイス
さ行	ストレージ	データを記憶するメモリ
	スケーリング	半導体プロセスにおける最小加工寸法値 F の縮小のこと。F 値の縮小に伴い、デバイスの性能も変化する。
	セット動作	RRAM のメモリ動作のうち、高抵抗状態から、低抵抗状態へのスイッチング動作。
た行	縦型 MOS トランジスタ (3D トランジスタ)	これまでのトランジスタ(平面構造:プレーナ型)を 3 次元方向に作成したもの。
な行	2 元系遷移金属酸化物	HfO_2, Ta_2O_5, NiO, CoO などの酸化物
	NAND コントローラ	NAND フラッシュメモリを制御するためのコントロール LSI。誤り訂正(ECC)、ウエア・レベリングなど NAND フラッシュメモリの信頼性向上制御を行う。
は行	バイポーラ動作	正と負の両極性の電圧で書込/消去を行うメモリ動作。例えば、書き込みを正電圧で行う場合は、消去を負電圧で行う。
	フォーミング(Forming)	メモリ素子をプログラム動作可能な状態にすること。ReRAM の場合はフィラメントの形成過程。
	フラッシュメモリ	データの一括消去を特徴とする、電気的にデータの読み書きが可能で電源を切ってもデータが消えない半導体記憶装置。
	ファイルシステム	OS(オペレーティングシステム)内でファイル(データ)のメモリへの転送など、フィイル制御を行うソフトウエア
	ブレイクダウン	素子への電圧印加により、なだれ電流が発生した状態。
	プロセスシュリンク	微細加工プロセス技術の微細化を行うこと
ま行	メモリマネジメントユニット(MMU)	CPU 内のメモリコントローラ機能部
	メモリインタリーブ	メモリのデータ転送を高速化する技術の一つ。複数のメモリバンク・チャネルに同時並行で読み書きを行なうことにより高速化を行なう。
	メモリセル	データを記憶する単位素子
	メモリアレイ	メモリセルを格子状に複数配置したもの
や行	ユニポーラ動作	正または負の単一極性の電圧で書込/消去を行うメモリ動作。
ら行	論理アドレスと物理アドレス	OS(ファイルシステム)が指定する、ソフトウエア上でファイル(データ)が記憶されるメモリの番地が論理アドレス。RRAM・フラッシュメモリなど実際のメモリにファイル(データ)が記憶されている番地が物理アドレス。
	リセット動作	RRAM のメモリ動作のうち、低抵抗状態から、高抵抗状態へのスイッチング動作。
わ行	ワークメモリ	システムのメインメモリ(作業メモリ)

Ⅰ.事業の位置付け・必要性について

1. NEDO の関与の必要性・制度への適合性

1.1 NEDO が関与することの意義

我が国のエネルギーセキュリティの確保や、世界中で取り組みが行われている温室効果ガス削減運動への対応は、今後の我が国の発展に不可欠な課題である。そのため、経済・社会活動を支えるあらゆる分野で、省エネルギー化を図る画期的な技術革新が求められている。特に、我が国をはじめとして先進国では経済・社会活動への情報機器の浸透が進んでおり、現行の生活水準を保ちつつ社会全体の消費電力の低減を図る上で、情報機器・システムの小電力化の貢献度は高い。また、近年経済発展が急速に進んでいるBRICsや今後経済発展が見込まれている諸国・地域においては、経済発展に伴い急速なIT化が進んでおり、パソコンや携帯電話といった情報機器の消費電力量が一層増大すると予想され、それら情報機器の大幅な低消費電力化が急務となる。さらに、これら諸国に続いて経済発展を目指す途上国においては、パソコンや携帯電話といった情報機器への普及ニーズは高いものの十分な電力インフラが整備されておらず、バッテリー動作に対応することが望ましい。以上より、極めて少ない電力で動作する事が可能な情報機器の実現が望まれている。これらの問題を解決するためには、現行の機器の内部構成を前提とした単体機器の省電力技術開発では不十分であり、革新的な超低消費電力情報機器の基盤となる技術開発が必要不可欠である。中でも、情報機器におけるメモリの消費電力の大きさは看過できないものであり、電源をオフにしてもデータが保存され、かつ高速に動作する高速不揮発メモリを搭載したシステムの開発が革新的な超低消費電力情報機器の実現に重要な要素となる。

このような動向を踏まえて本プロジェクトは、ITイノベーションプログラムおよびエネルギーイノベーションプログラムの一環として実施する。将来の情報通信分野における低炭素社会を実現する中核的・革新的技術であり、我が国エレクトロニクス産業の国際的優位性の確保と情報化社会のグローバル推進にとって大きな意義を持つものである。我が国が、新規メモリの開発技術力や産業知的財産権保有等で国際競争力の優位性がある中で、早期に研究開発を完了させ実用化，事業化を先駆的に投入することにより、先駆者利益を確保し、日本の半導体産業の活性化に繋がる技術である。（表Ⅰ-1）

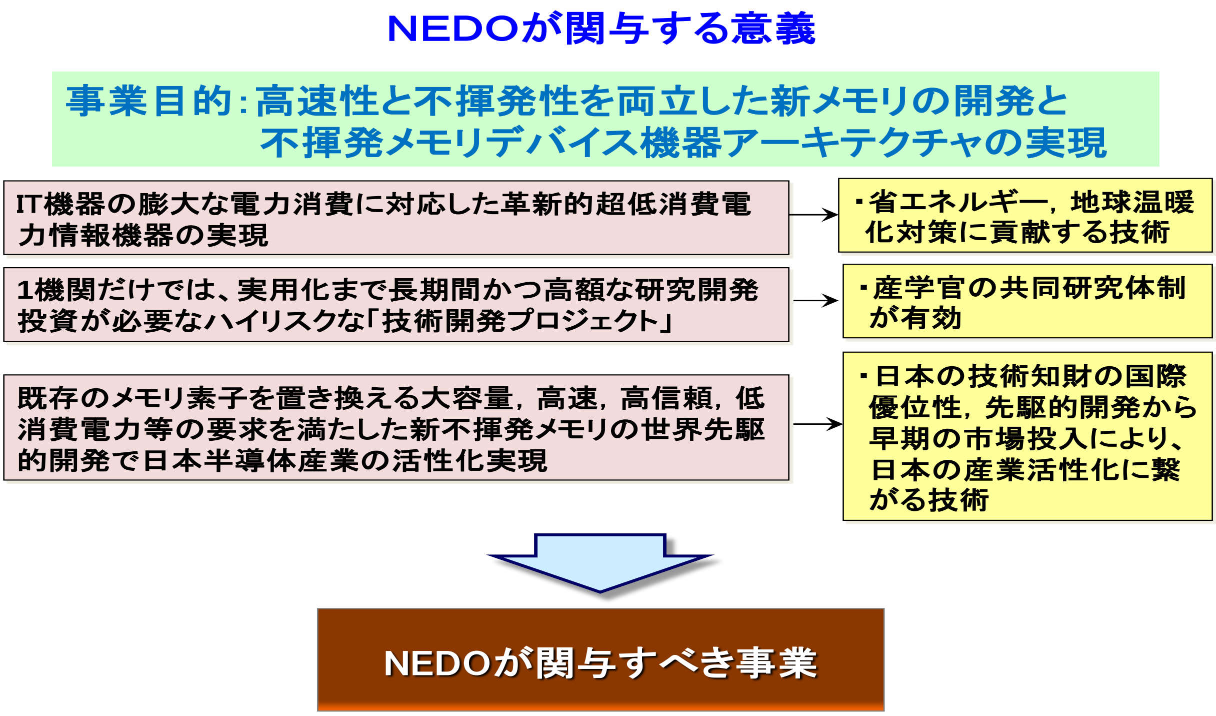
しかしながら「高速不揮発メモリ機能技術」の実現及び実用化には素子技術単体の開発のみ成らず、メモリシステムアーキテクチャの再検討など、多岐にわたる側面からのアプローチが必要であり、民間単独では行うことは、技術開発リソース及び開発資金的リスクも高く、極めて困難である。従って、本プロジェクトは、産学官の英知を結集して開発を行う必要があることに加え、その関連産業の国際競争力強化、および国家的重点目標である高度情報化社会の実現に寄与するものであり、産業政策・情報政策の面からも極めて重要な課題であることから、国家プロジェクトとして NEDO が関与すべきものと考えられる。

（図Ⅰ－1）

表Ⅰ-1　新不揮発メモリベンチマーク(2010 年当時)

提案されている新不揮発メモリ比較表

		既存メモリ				新不揮発メモリ		
		混載SRAM	DRAM	Flash	FeRAM	STT-MRAM	PRAM	ReRAM
データ記憶		揮発	揮発	不揮発	不揮発	不揮発	不揮発	不揮発
データ保持時間		－	数μ S	10Y	10Y	10Y	10Y	10Y
書換回数		10^{16}	10^{16}	10^{3}～10^{6}	10^{12}	10^{16}	10^{6}	10^{6}
書換電圧		<0.8V	>1.5V	>5V	<3V	<1V	<1V	<3V
アクセス時間		<5ns	<50ns	<50μ s	<100ns	<5ns	<100ns	<10ns
セルサイズ		<150F^2	4F^2	2F^2	>15F^2	6～14F^2	4F^2	4F^2
用途		Cash レジスタ	主記憶 メモリ	補助記憶 SSD	ICカード マイコン ゲーム	Cash Main	SCM Storage	SCM Storage SOC
開発推進企業国籍及び競争力	1			韓国	日本	日本	日本	日本
	2			日本	米国	米国	韓国	韓国
	3			米国	韓国	韓国	米国	米国



図Ⅰ-1　NEDO が関与する意義

1.2 実施の効果予測（費用対効果）

本プロジェクトは、事業期間3年間、事業予算規模約10．4億円（内、NEDO 負担額は6．5億円）の計画で進められた。

本プロジェクトは、モバイルPCやスマートフォンなどのほか、常時オンが原則であるルータおよび企業内サーバーを待機電力がゼロであるノーマリー・オフ化することで、消費電力の低減を図るものである。これらの取り組みにより、高速不揮発メモリの実用化，普及が拡大されると、2020年におけるメモリ市場における不揮発メモリのシェアは 10%に達し、不揮発メモリの製造チップ数は 10 億個を超えると予想される。これらから、2020 年における省電力効果は85億kWh／年、CO_2削減効果は約350万トン／年となると予測される。また、2020 年における不揮発メモリの市場創出規模は、約5，200億円が期待される。（図Ｉ－2）

※省電力量算出= 従来機器総消費電力量(2020 年)×新不揮発メモリ搭載機器採用率（2020 年：10％）×新不揮発メモリ搭載機器の電力削減率（90%）

CO2 換算量は、CO2=0.41kg/1kWh で換算

実施の効果予測（費用対効果）

事業総額10.4億円（NEDO負担分：6.5億円）に対し、下記予測効果

- ■ **2020年における省電力量　85億kWh/年**
- ■ **2020年におけるCO2削減効果　約350万トン/年**
- ■ **約5,200億円の経済効果創出（2020年度不揮発メモリ市場規模予測）**

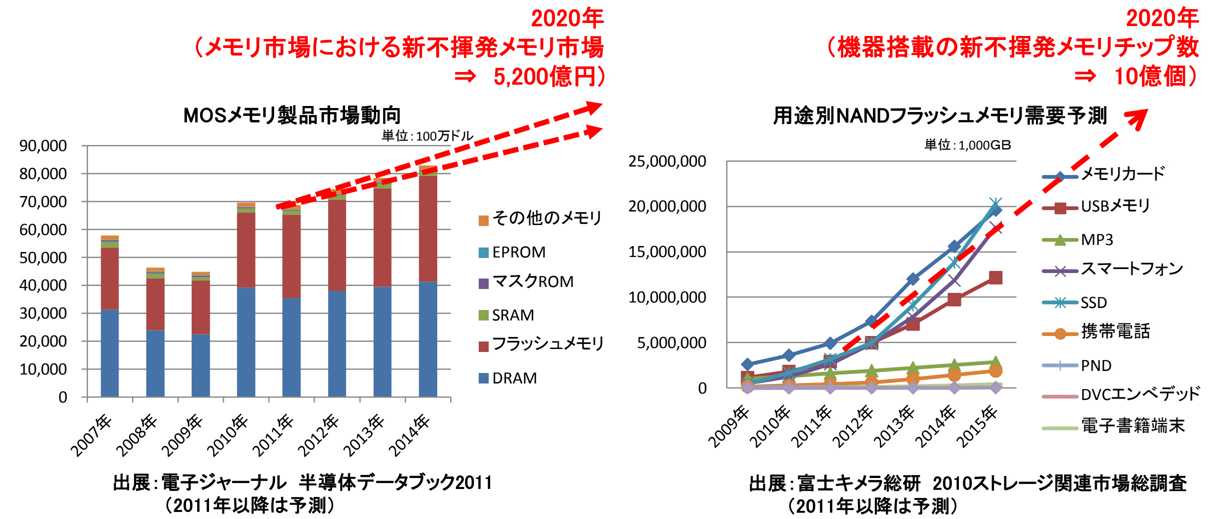


図　Ｉ－2　実施の効果予測（費用対効果）

2．事業の背景・目的・位置付け

2.1　事業の背景と目的

スマートグリッドやクラウドコンピューティングといった流れの中、ネットに流れる情報量の爆発的な増加、それに伴う IT 機器の待機電力を含む消費電力の急激な増加も指摘されており、今後コンピュータが社会のあらゆる局面で活用されるためには、メンテナンスの観点・低炭素化の観点から更なる機器・システムの低消費電力化が求められる。電源を切っても情報を保持できる次世代不揮発性素子は、この点で大きな

可能性を秘めている。当該分野のデバイス開発において、我が国の技術的水準は最先端にあって大きな発展の可能性を秘めているが、不揮発性素子やその周辺分野の更なる技術向上が必要である。他方でコンピュータアーキテクチャやソフトウェアの面では諸外国に比べて必ずしも研究開発が盛んでなく、早急な取り組みが求められる。

また、米国、欧州、韓国におけるそれぞれの企業や機関で、基礎研究から技術開発、実証研究等の取り組みが行われている。不揮発メモリに関する新規性を有した技術的成果が続々と登場しており、各国の開発競争が激化することが予想される。各国が自国の研究開発組織に数十億円規模の公的資金を投入するなど、戦略的な取り組みをおこなっていることを考慮すると、我が国においても、国際競争力強化の観点から、引き続き戦略的・重点的な支援が必要である。

NEDO においても、これまで半導体アプリケーションチッププロジェクト、スピントロニクス不揮発性機能技術プロジェクトや低炭素社会を実現する超低電圧デバイスプロジェクトにて、FeRAM、MRAM、PRAM など様々なメモリの個別開発を行い、それぞれ、一定の成果を上げて来た。しかし一方で、開発した不揮発メモリが既存のシステムに部品として組み込まれるのみでなく、現行の揮発メモリが有する利便性をも併せもつ新規高速不揮発メモリを軸に、情報機器システム全体を再構成し、我が国が当該業界でイニシアティブを握れることが、国際競争力強化の観点からも喫緊の課題となってきている。(図Ｉ－3)

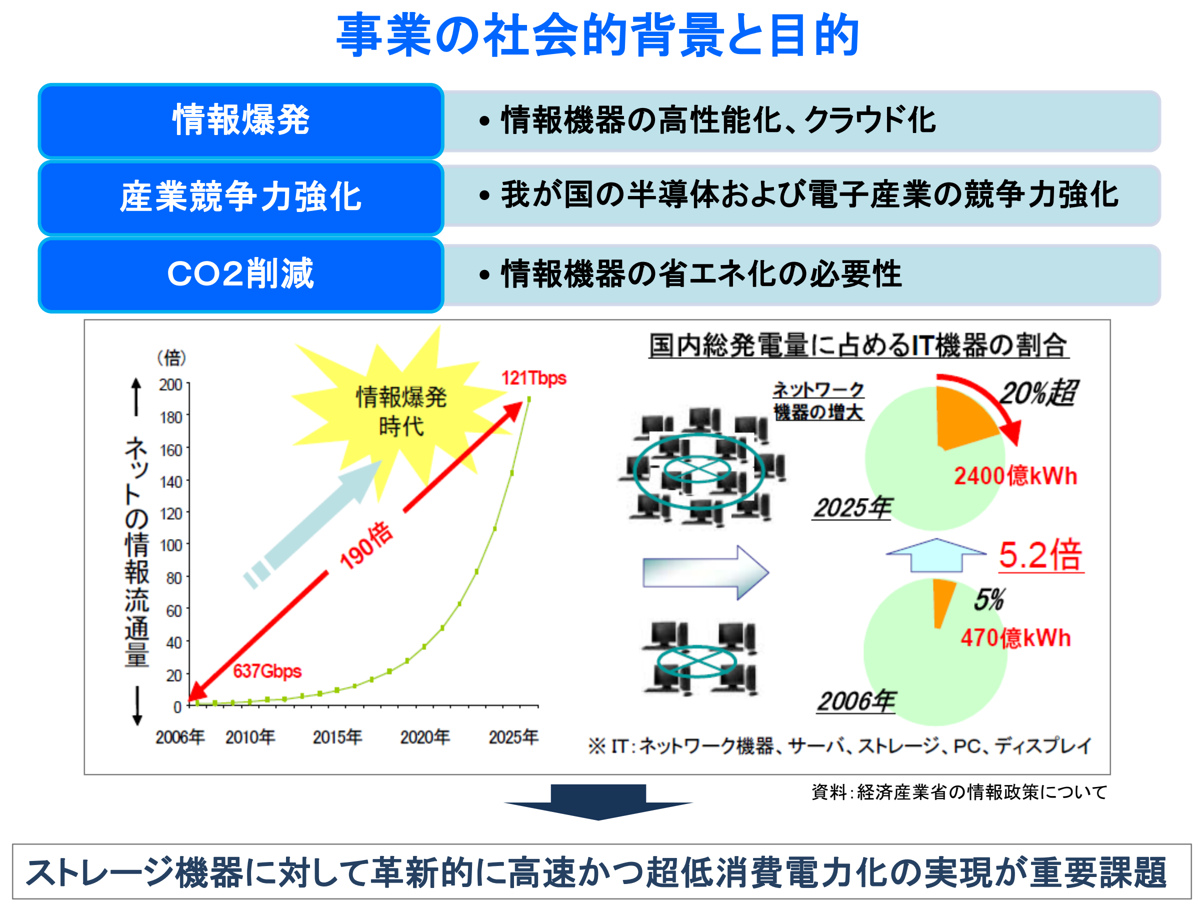


図　Ｉ-3　事業の社会的背景と目的

2.2 事業の位置付け

ネットなどに流れる情報量は年々爆発的に増加し、それを取り扱う情報技術もめざましい発展を見せている今日の社会では、情報・知識を、時間や場所の制約を受けず誰もが自由自在かつ安全に活用できる情報通信環境の実現が望まれている。また、2006年3月に閣議決定された「第3期科学技術基本計画」、および2010年６月に閣議決定された「新成長戦略」においても、世界をリードする「グリーン

イノベーション」を実現し、我が国の強みを活かし国際競争力強化のために注力すべき分野として、情報通信機器（IT 機器）・関連デバイス等の情報通信技術分野が挙げられている。そして、その「第3期科学技術基本計画」および「新成長戦略（基本方針）」に基づき、「IT イノベーションプログラム」として「半導体の微細化に係る革新的基盤技術の開発」等が具体的に展開された。

さらに、2011年8月に閣議決定された「第4期科学技術基本計画」でも「グリーンイノベーション」の継続が示され、直近では、「日本再興戦略」（2013年6月の閣議決定）で提示された「世界最高水準のIT 社会の実現」に向けて、「科学技術イノベーション総合戦略」（2013年6月の閣議決定）において、第4期科学技術基本計画と整合をとる形で、長期ビジョンと短期プログラムが設定された。これらの政策内容を支える基幹デバイスとなる半導体集積回路には、一層の高機能化、低消費電力化が求められている。（図 I-4）

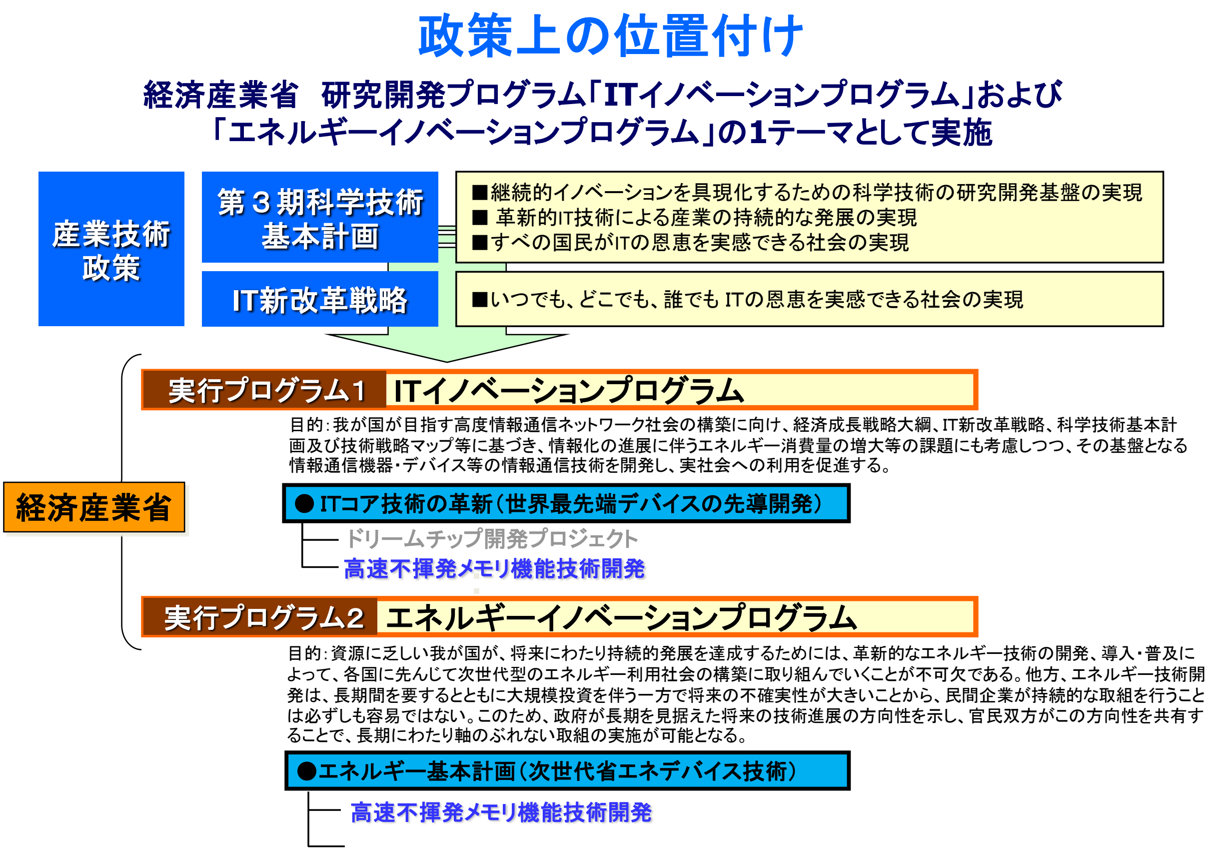


図　I -4　政策上の位置付け

また、NEDO の第2期中期計画（2008年度から2012年度）が示すように、我が国の「高度な情報通信社会の実現」、「IT 産業の国際競争力の強化」のため、半導体分野を注力すべき基盤技術分野として捉えており、NEDO の目標にも合致する開発プロジェクトである。

2013年3月に策定された第3期中期計画においても、電子デバイス分野で「我が国の電子関連企業の競争力向上と新市場開拓のために、低消費電力、高速処理、高信頼性、設計期間の短縮化等のデバイス技術開発を推進する。」とされ、引き続き電子デバイスの半導体分野は注力すべき基盤技術分野として捉えている。（図 I -5）

図　Ⅰ-5　NEDO 第2期中期計画における位置付け

Ⅱ．研究開発マネジメントについて

1.　事業の目標

我が国のエネルギーセキュリティの確保や、世界中で取り組みが行われている温室効果ガス削減運動への対応は、今後の我が国の発展に不可欠な課題である。そのため、経済・社会活動を支えるあらゆる分野で、省エネルギー化を図る画期的な技術革新が求められている。

特に、我が国をはじめとして先進国では経済・社会活動への情報機器の浸透が進んでおり、現行の生活水準を保ちつつ社会全体の消費電力の低減を図る上で、情報機器・システムの小電力化の貢献度は高い。また、現在経済発展が進んでいるＢＲＩＣｓや今後経済発展が見込まれている諸国・地域においては、経済発展に伴い急速なＩＴ化が進んでおり、パソコンや携帯電話といった情報機器の消費電力量が一層増大すると予想され、情報機器の大幅な低消費電力化が必須となる。さらに、これら諸国に続いて経済発展を目指す途上国においては、パソコンや携帯電話といった情報機器への普及ニーズは高いものの十分な電力インフラが整備されておらず、バッテリー動作に対応することが望ましい。以上より、極めて尐ない電力で動作する情報機器の実現が望まれている。

これらの問題を解決するためには、現行の機器の内部構成を前提とした単体機器の省電力技術開発では不十分であり、革新的な超低消費電力情報機器の基盤となる技術開発が必要不可欠である。中でも、情報機器におけるメモリの消費電力の大きさは看過できないものであり、電源をオフにしてもデータが保存され、かつ高速に動作する高速不揮発メモリを搭載したシステムの開発が革新的な超低消費電力情報機器の実現に重要な要素となる。

このような動向を踏まえて本プロジェクトではＩＴイノベーションプログラムおよびエネル

ギーイノベーションプログラムの一環として実施することとし、以下の２点を確立することを目的とする。

ａ）現行の揮発メモリに比較してより高速かつ大幅に消費電力を低減すること が可能な不揮発メモリの物理的な基本構成を確立する。

ｂ）同メモリが実用レベルに達した際の特性を予期して、その不揮発メモリがＣＰＵをはじめとする周囲の素子間の整合をとりつつ、全体として機能するのに必要な項目を明らかにし、それらの洗い出された項目に対応して必要なシステムの構成を提示することにより、低消費電力かつ有効なモデル機器の基本構成を確立する。

また、これまで揮発メモリの使用を前提として進められてきた情報機器が高速不揮発メモリの使用を前提とした場合、情報機器の設計手法は大きく変化することが予想される。このような設計手法は、当該メモリを用いて新規なシステムの設計に携わろうとする関係者間で、広く共有または活用されるべきものであり、その基盤となる知識の蓄積を図る。

研究開発項目①　「高速不揮発メモリの開発」
【共同研究事業】（ＮＥＤＯ負担率：１／２）

＜達成目標＞
(1) 書き換え耐性
ＤＲＡＭの書き込み耐性以上（≧$１０^{１６}$程度）
または、研究開発項目②不揮発アーキテクチャの研究開発との組み合わせにおいて実質的に適用製品の装置寿命と同等であること
(2) 書き込み電流
５０μＡ以下／セル
(3) 容量
１Gbit 以上、ないし１Gbit への拡張可能性の根拠を示すこと
(4) 読み書き時間
混載メモリマクロとして：ランダム３nsec 以下
（実用化目標１０ｎｓ以下：off chip）
(5) 動作温度上下限
０～５５℃で動作
(6) そのほか、民生用情報機器への適用時に致命的な制約がないこと

＜目標の根拠＞
(1) 書き換え耐性
研究開発項目②不揮発アーキテクチャの仕様から、適用製品（SCM 想定）の装置寿命を満足するための書き換え耐性仕様を設定。
(2) 書き込み電流
現行のＤＲＡＭと同等の書き込み電流（１０～５０μA）より設定。
(3) 容量
拡張性の根拠としての目標設定。
(4) 読み書き時間
書き込み時間単独の目標として、現行技術レベルの更なる高速化を目指した目標として設定。
(5) 動作温度上下限
情報通信機器での使用を前提としての目標設定。
(6) そのほか、民生用情報機器への適用時に致命的な制約がないこと
適用製品（SCM 想定）にコスト，標準規格等に課題無きことを設定

研究開発項目②「不揮発アーキテクチャの研究開発」
【委託事業】(ＮＥＤＯ負担率：１００ ％)

＜達成目標＞
研究開発項目①で得られたメモリを用い、現行のアーキテクチャの消費電力に対し、実質上１／１０以下に削減する不揮発アーキテクチャのいずれかまたは全部に関する構成事例を提示する。

＜目標の根拠＞
新たな価値としてノーマリー・オフのシステムを実現するためには、メモリの研究だけではなく、その不揮発メモリを実際に用いた場合に構成される現実的な不揮発アーキテクチャの検討を同時並行して実施し実現可能性を提示する必要がある。
適用製品の普及における省電力及びCO_2削減効果が、２０２０年の期待効果予測(省電力効果:85億kWh／年、CO_2削減効果:約350万トン／年)を実現するための必要要件。

2. 事業の計画内容

2.1 研究開発の内容

(1) 事業内容

研究開発項目① 「高速不揮発メモリの開発」

現行の揮発メモリに比較してより高速かつ大幅に消費電力を低減することが可能な不揮発メモリの物理的な基本構成を確立する。過去の取り組みとその評価で、半導体アプリケーションチッププロジェクトやスピントロニクス不揮発性機能技術プロジェクトにおいて、FeRAM、MRAM、ReRAMなど様々なメモリの個別開発を行い、それぞれ、一定の成果を上げている。しかし一方で、開発した不揮発メモリが既存のシステムに部品として組み込まれるのみでなく、現行の揮発メモリが有する利便性をも併せもつ新規高速不揮発メモリを軸に、情報機器システム全体を再構成し、我が国が当該業界でイニシアティブを握れることが、国際競争力強化の観点からも喫緊の課題となってきている。これまでのメモリ関連プロジェクトの成果も積極的に活用し、新しいアーキテクチャ創出を視野に入れた取り組みが重要となってきている。
本技術開発では、平成24年度までに1Gbit以上の容量を持つ高速な不揮発メモリ(ReRAM)を開発することを目標とする。不揮発メモリ(ReRAM)は、(図 Ⅱ-1)に示すように、読み出し/書き込み速度に優れ、微細化/大容量化にも有望であることから、メモリ市場の中で導入を目指す階層として考えるSCM(ストレージクラスメモリ)に採用され、大幅なビットコスト低減に寄与出来るものと考える。

不揮発メモリの特徴と適用用途

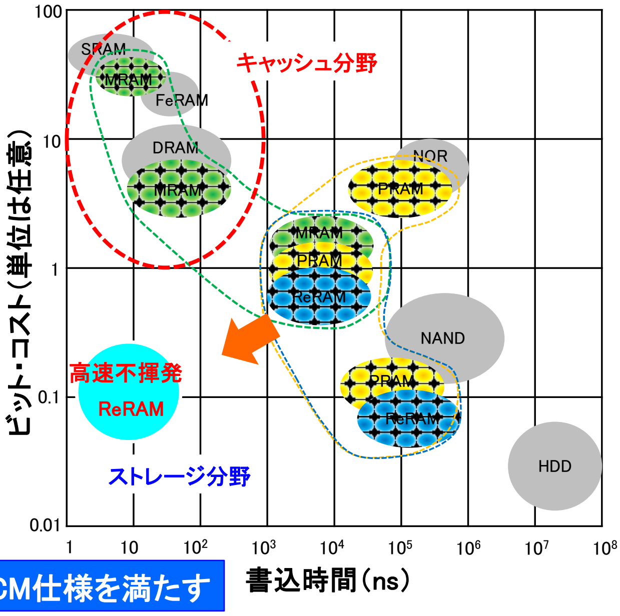
代表的メモリの特性比較*

揮発メモリ: DRAM, SRAM / 不揮発メモリ: NAND, FeRAM, MRAM, ReRAM, PRAM

	大容量化	読出時間	書込時間	書換回数
DRAM	○	50 ns	50 ns	無制限
SRAM	×	1-80ns	1-80ns	無制限
NAND	◎	50 ns	30ms/64KB	>10^3
FeRAM	△	数ns－100ns	数ns－100ns	>10^{12}
MRAM	△	数ns－50ns	数ns－50ns	無制限
ReRAM	◎	10ns－50ns	10ns－50ns	>10^6
PRAM	○	20-80 ns	100 ns	>10^6

高速性，大容量化性，書換耐性がSCM仕様を満たす

不揮発メモリの適用用途*



メモリービジネス　最重要キーワード　⇒　ビット・コスト低減

* 電子・情報技術分野の技術ロードマップ2009 解説書（NEDO）
日経BP社「半導体ストレージ2012資料」を基に作成

図 Ⅱ-1　不揮発メモリの特徴と適用用途

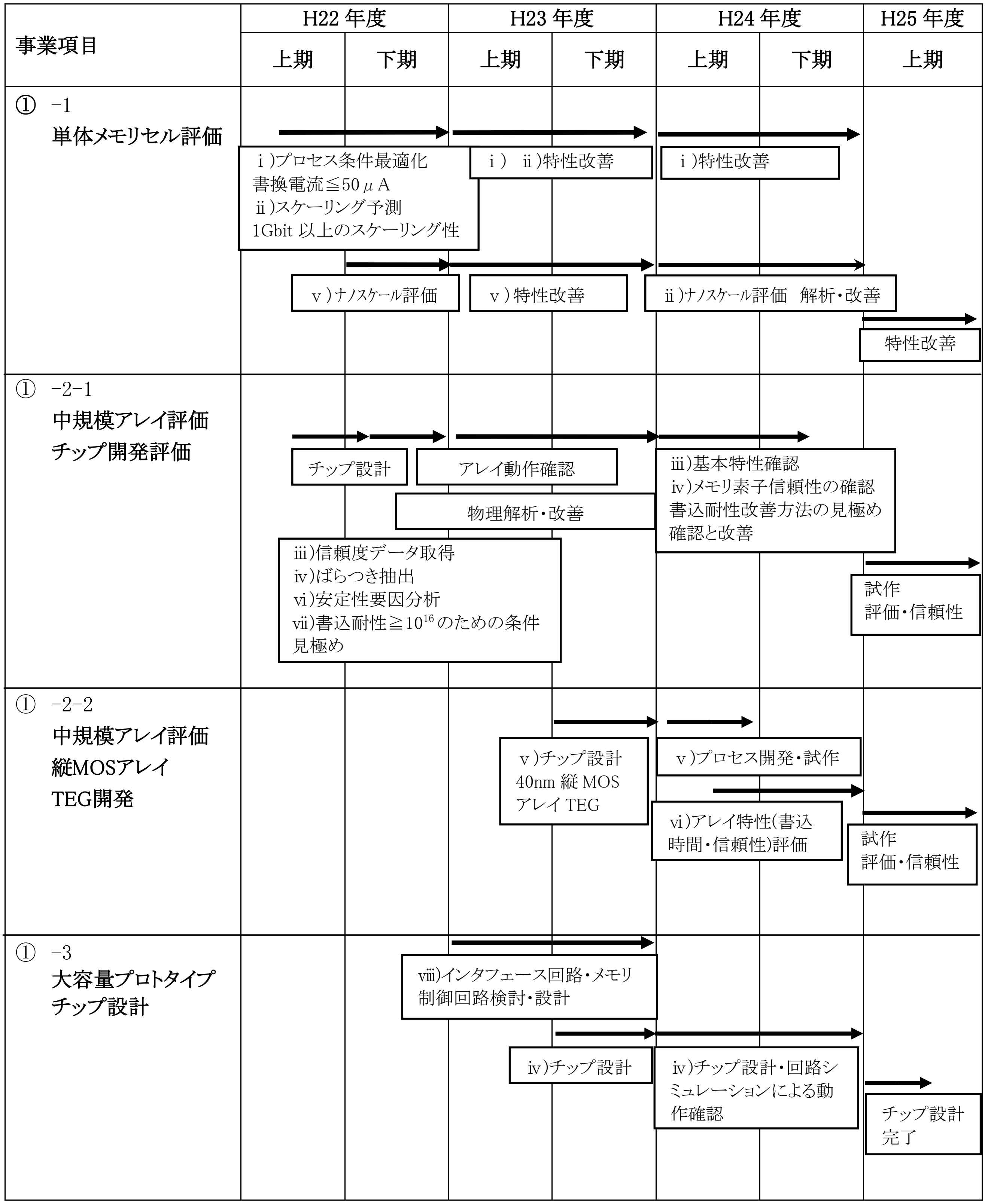
研究開発項目②「不揮発アーキテクチャの研究開発」

従来のメモリ階層は、CPUの論理演算処理部へのデータ供給能力向上を目的として設計されてきている。すなわち、集積度の向上のみを頼りに、論理演算処理部の近くに搭載するメモリを大容量化するに対してメモリを大容量かつ高速に見せるためのメモリ階層最適化が行われてきた。搭載可能なキャッシュメモリをできるだけ論理演算処理部の近くに配置し、そして多階層化することで高速性も実現して実装する手法はその典型である。しかし、例えばキャッシュメモリに限っても、多くのアクセスされない情報が保持されていることが10年以上前より指摘されており、揮発メモリが消費するスタティック電力の大部分は不要な情報の保持に費やされている。これは、揮発メモリで構成されているキャッシュメモリを、スタティック電力を消費しない不揮発メモリで構成することで消費電力を大きく削減できる可能性を示唆している。しかしながら、不揮発メモリには揮発メモリに比べてアクセス速度が遅く、アクセス時（特に書き込み時）の消費エネルギーが大きいという短所もある。したがって、揮発メモリと不揮発メモリの長所をお互いに補完しあえる新しいメモリ階層の構築が必要となる。また、DRAMとStorageの間には性能的に大きなギャップがあるため、従来のメモリ階層においては、上位メモリ階層からDRAMで構成される主記憶まではハードウェアによる制御、Storageを含む主記憶より下の階層は基本ソフトウェア（オペレーティングシステム）が制御している。しかし、DRAMとStorageの間に不揮発性素子を導入する場合には、メモリ階層間の性能差が縮小される傾向になるため、ハードウェアとソフトウェアのどちらがメモリ階層のどの範囲を司るのか、という点に関しても再検討する必要がある。本技術開発では、上記2つの点を勘案して、揮発メモリと不揮発メモリが混在し、その長所を発揮できる新しいメモリ階層の検討・提案を行う。

（2） 研究開発スケジュール

以降に各研究開発のスケジュールを示す

① 高速不揮発メモリの開発（主担当：エルピーダメモリ株式会社）



② 不揮発アーキテクチャの研究開発（主担当：学校法人中央大学）

事業項目	H22 年度		H23 年度		H24 年度		H25 年度
	上期	下期	上期	下期	上期	下期	上期
② 不揮発アーキテクチャの研究開発	1)メモリシステム開発プラットフォームの構築、2)メモリ特性（目標仕様）を用いたメモリモデルの開発と 単体メモリデバイス開発へのフィードバック		1)メモリ特性（実チップデータ）を用いたメモリシステム の検討・最適化 2)プロトタイプチップのデバイス仕様の決定		1) 仮想デモシステムを用いたフラッシュメモリへの書込を極力低減し、ReRAM に書込を代替するアルゴリズムの開発		

(3)開発事業費実績

（単位：百万円）

事業項目	契約	区分	H22 年度	H23 年度	H24 年度	総事業費
高速不揮発メモリの開発	共同研究契約（NEDO 負担率：H22＝2/3, H23-24=1/2）	契約額	373	427	116	916
		NEDO 負担金額	249	216	58	523
不揮発アーキテクチャの研究開発	委託契約（NEDO 負担率：100%）	契約額	48	29	49	126
		NEDO 負担金額	48	29	49	126
事業費総計			421	456	165	1,042
NEDO負担額総計			297	245	107	649

2.2 研究開発の実施体制

プロジェクト責任者をエルピーダメモリ株式会社として、研究開発項目を推進実施した。
共同実施先、委託先を含めた体制は、図 Ⅱ-2 に示す通りである。

「高速不揮発メモリ機能技術開発」実施体制

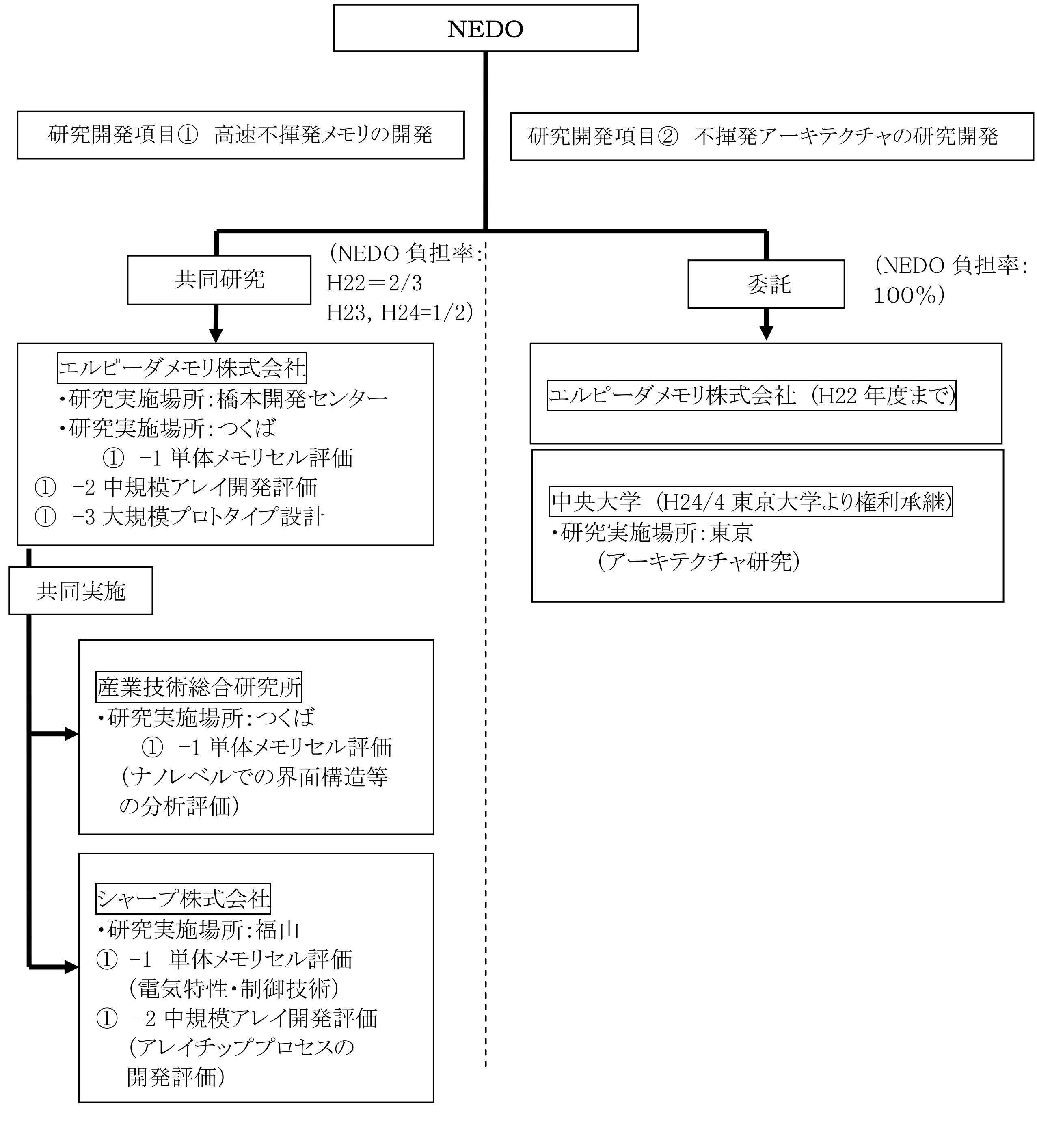


図 Ⅱ-2 本プロジェクトの研究開発実施体制

2.3 研究の運営管理

研究開発全体の管理・執行に責任を有するNEDOは、経済産業省及び研究開発実施者と密接な関係を維持しつつ、プログラムの目的及び目標並びに本研究開発の目的及び目標に照らして適切な運営管理を実施する。具体的には、必要に応じて設置される技術検討委員会等における外部有識者の意見を運営管理に反映させるとともに、産業競争力の強化と知的財産を含む研究成果の普及を両立させるための標準化活動、分野技術のベンチマーク活動を含めた取り組みを実施する。

【委託元（NEDO）】

平成22年 1月　ヒアリング
平成22年 2月　事前評価
平成22年 2月　基本計画検討委員会
平成22年 3月　パブリックコメント募集及び結果報告
平成22年 6月　実施者の採択審査委員会
平成23年 2月　本研究開発加速（開発成果創出促進制度適用）
平成23年12月　技術推進委員会
平成24年 2月　本研究開発加速（開発成果創出促進制度適用）
平成25年 1月　高速不揮発メモリ開発プロジェクトの契約期間延長
平成25年11月　事後評価分科会

【委託先（各実施者）】

平成22年 2月　基本計画決定
平成22年 4月　実施方針決定
平成22年10月　実施計画決定
平成22年12月　実施方針修正
平成23年 4月　実施計画変更
平成23年 8月　平成 22 年度中間年報
平成24年 1月　実施方針修正
平成24年 4月　実施計画変更
平成24年 6月　平成 23 年度中間年報
平成24年12月　実施計画変更
平成25年 4月　平成 22 年～24 年度実績報告
平成25年 5月　平成 22 年～24 年度成果報告

・平成 23 年12月　技術推進委員会実施

研究開発の設定目標に対する進捗度、実用化・事業化見通しを確認したうえで、委員の専門性を活かし目標達成のためのコメントを頂いた。技術推進委員会での主な指摘事項及びその対応について下表に示す。（表Ⅱ-1）

表Ⅱ-1　技術推進委員会（平成 23 年 12 月 20 日実施）での指摘事項及び対応まとめ

開発項目	指摘事項	対応
高速不揮発メモリ開発	書換耐性の目標達成指針を明確にすべき	製品開発ターゲットをSCMとして、アーキテクチャとの組み合わせでの目標設定（$\geqq 10^5$）し、書換耐性が$\geqq 10^6$の研究成果を得た。（研究成果に反映）
	動作メカニズムの解明と信頼性の確認をすべき	測定結果と物理分析結果を基にした動作モデルの構築とそれに基づく改善を推進し、フィールドリリース可能レベルの信頼性を確認した。（研究成果に反映）
	On/Off 比向上、抵抗値差マージン拡大策を検討すべき	材料・構造の最適化、単体メモリセルを使った短TAT評価を推進し On/Off 比向上、抵抗値差マージン拡大を図った。（研究成果に反映）
	他不揮発メモリのベンチマークと勝ち残り戦略を検討すべき	高速書き込みの利点を活かして最適な市場に早期参入するべく、他不揮発メモリベンチマークを行い戦略策定した（実用化・事業化の見通しに反映）
不揮発アーキテクチャの研究開発	波及効果の説明をすべき	ＳＣＭのみならず、エンタープライズサーバー，クラウドストレージなど様々なアプリケーションへ展開した。
	ReRAM 特有のデバイス特性を反映した回路設計技術の階層への貢献を説明すべき	システムレベルでの性能を劣化させることなく、低電力・高信頼性を実現する書き込み・センス方式を開発推進した。

2.4　研究開発成果の実用化，事業化に向けたマネージメントの妥当性

本研究開発の期間は、平成22年度から平成24年度までの 3 年間。

研究成果の実用化，事業化に向けて、委託元（NEDO）と委託先（各実施者）の合同による会議を実施し、研究開発の進捗チェックとともに、各実施者の実施しているテーマの実用化，事業化スケジュールを確認し議論した。（共同研究／委託研究契約書に付す研究成果の利用・普及条項の履行義務）

平成23年 9月　　開発進捗全体会議（1回）
平成23年10月　　開発進捗全体会議（2回）
平成24年 8月　　開発進捗全体会議（3回）
平成24年 9月　　開発進捗全体会議（4回）
平成25年 1月　　開発進捗全体会議（5回）
平成25年 3月　　開発進捗全体会議（6回）
平成25年 6月　　開発結果フォロー会議（1回）
平成25年 8月　　開発結果フォロー会議（2回）
平成25年10月　　開発結果フォロー会議（3回）

また、普及活動として、主に下記を実施した。

・平成 22 年 7 月の NEDO プレスリリースにおいて
「新規メモリ開発プロジェクトをスタート−携帯情報機器の消費電力を 1/10 以下に− 」を発表した。

・平成23年10月の CEATEC2011（Green IT Symposium）において
「ポストムーアを目指した NEDO 戦略」と題した公開シンポジウム開催した。
各実施者の実用化の利用先を想定した外部有識者の招待講演を加え、併設した意見交換会も含めて、実用化，事業化に向けての外部聴取を実施した。

知財マネジメントに関しては、図 Ⅱ-3 に示すように研究テーマの知財に関して、実施者間との運用ルールを規定し運営した。

◆ 参加各社の実用化・事業化をサポートするために、共同研究契約により研究開発成果 物の利用に関するルールを明確化

○バイ・ドール遵守事項（約款第 31 条第 3 項）の条件の遵守を約定することにより、委託研究開発から派生した発明等に係る知的財産権は すべて受託者に帰属
（成果報告書、これに類する著作権を除く。）

①産業財産権等の出願・登録等を行った場合は NEDO に報告すること
②国の要請に応じて、公共利益のために特に必要がある場合には、NEDO に無償で許諾すること
③正当な理由なく相当期間活用していない場合において、国の要請に応じ NEDO が活用を促進するために特に必要なときは、第三者に許諾すること
④第三者に移転、専用実施権の設定等する場合には、NEDO の事前承認を受けること
⑤ NEDO が実施する知的財産権の利用状況調査（バイドール調査）に対して回答すること
（バイドール調査への協力義務化）
但し、委託先が、①～⑤のいずれかを満たしておらず、かつ正当な理由が無いと NEDO が認める場合は、NEDO に無償譲渡しなければならない。

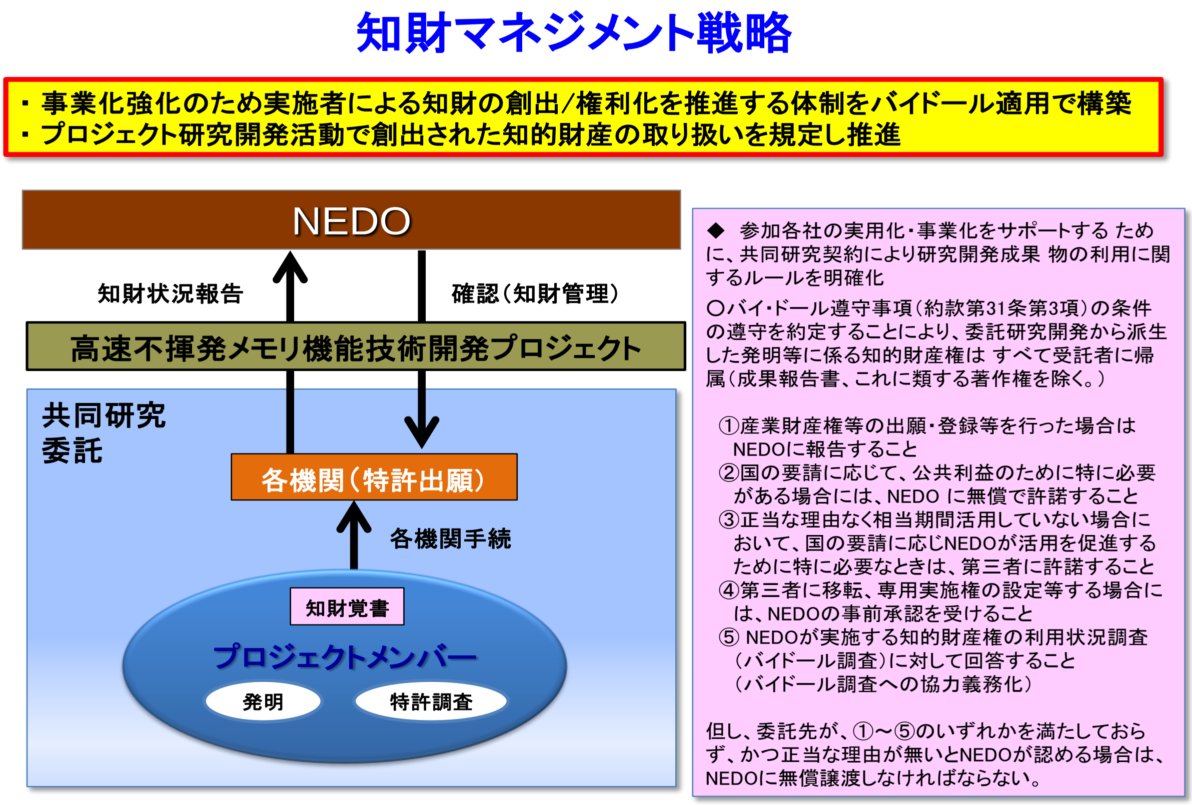


図 Ⅱ-3 本プロジェクトの知財マネジメント推進体制

3. 情勢変化への対応

本プロジェクトでは、研究開発の進捗と外部の情勢変化とを照らし合わせ、実施計画の変更,修正を行った。

(1) 平成 22 年度 ②不揮発アーキテクチャの研究開発において ReRAM とフラッシュメモリの統合ウエアレベリングの開発加速予算投入(平成 23年2月)

新アーキテクチャの検討をより一層推し進め、ReRAM とフラッシュメモリの統合ウエアレベリングの開発を行った。提案するメモリシステムでは、ReRAM とフラッシュメモリの両方に対して書き換え回数の平滑化(ウエアレベリング)が必要であった。従来のフラッシュメモリに対するウエアレベリングでは、各種テーブル(論物変換テーブル・不良ブロック管理テーブル・アクセス回数管理テーブル)を参照することで書き換え回数の平滑化を行った。アクセスサイズがフラッシュメモリに比べて小さい ReRAM では、テーブルのサイズが増大し、テーブルを格納するための RAM の容量が数ギガバイトまで増大し、それは電力・コストの増大を招いた。そこで、新メモリアーキテクチャに最適な統合ウエアレベリングを開発した。ReRAM に対して循環型アドレス変換システムを導入することで、RAM 容量を大幅に低減が可能となった。RAM 容量の削減により、新メモリシステムの電力及びコストの低減が可能となった。以上により、平成 23 年度に予定していた仮想デモシステムの開発を約 0.5 年加速することができた。

(2) 平成 23 年度 ②不揮発アーキテクチャの研究開発において ReRAM 専用縦型 MOS トランジスタ($4F^2$)構造プロセス開発およびデータ処理アルゴリズムの開発加速予算投入(平成 24年2月)

当初計画では、最終的な 40nm 8Gbit 3次元セル構造($4F^2$)の ReRAM プロトタイプチップを開発・評価するに当たり、既存の 40nm 3次元セル構造($4F^2$)DRAM プロセスを採用予定であったが、ReRAM 固有のプロセス課題があることが判り、技術推進委員会での評価を踏まえ、2 次元セル($6F^2$)構造チップの開発と平行して ReRAM 専用の縦型 MOS トランジスタ構造($4F^2$)の 40nm 1Gbit 中規模アレイ TEG を立ち上げる事が重要であると判断し、研究開発の加速を実行した。

また、より実用化に向けた ReRAM チップに対応するため、不揮発アーキテクチャの研究開発においても、その特性を評価し、最適にデータがやりとり出来るためのデータ処理アルゴリズムの開発を追加することとした。

(3) 平成 24 年度 東日本大震災影響により①高速不揮発メモリの開発遅延対応として、エルピーダメモリ株式会社との委託事業契約のプロジェクト期間を 1 ヶ月間延長(平成 25 年 1 月)

プロジェクト終了日を平成25年 2 月 28 日終了から平成25年 3 月 30 日終了に延長変更し、研究成果の遅れを解消した。

4. 中間評価結果への対応

本プロジェクトは、実施期間が 3 年間の中規模プロジェクトであるため、中間評価は実施しない。

5. 評価に関する事項

NEDO 技術開発機構は、技術的及び政策的観点から、研究開発の意義、目標達成度、成果に対する技術的意義ならびに将来の日本の産業への波及効果等について、外部有識者による本研究開発の技術評価を開催した。評価結果を踏まえてプロジェクトの各項目に対する見直し等を迅速に行った。

平成 22 年 2月 事前評価実施 (担当部 電子・情報技術開発部)
平成 22 年 2月 基本計画検討委員会実施 (担当部 電子・情報技術開発部)
平成 22 年 6月 採択審査委員会実施 (担当部 電子・情報技術開発部)
平成 23 年12月 技術推進委員会実施 (担当部 電子・材料・ﾅﾉﾃｸﾉﾛｼﾞｰ部)
平成 25 年11月 事後評価実施予定 (担当部 電子・材料・ﾅﾉﾃｸﾉﾛｼﾞｰ部)

Ⅲ．研究開発成果について

1．　事業全体の成果

Mobile機器やTablet端末、家庭内でのAV機器や、Enterpriseなど全てがクラウドの中で接続されるようになり、ストレージデータ・サービスの共用化が本格的に進み始めた。しかしながら、クラウド化が進むにつれ、データセンターのシステム拡大による記憶媒体の容量増大に伴い、現状、ハードディスク(HDD)を用いた場合、その発熱量の増大、それに伴う冷却装置・設備に係る費用、設置面積、電力消費が増大する。例えば、2020年の2ギガIOP/秒のデータ処理を実現するためには、HDDの場合、必要台数：500万台、設置面積：16,500 ft^2、消費電力：22メガワット、となり（IBMデータ）膨大なエネルギーが全世界で必要になる。

そこで、エコシステムとしてのHDDに変わる記憶媒体として、低電力・高性能な不揮発半導体メモリ（NAND FLASH）を適用した固体ストレージディスク（SSD: Solid State Disk）が提案された。現在では既にEnterprise向けシステムにおいて稼動しており、その大きな効果により、システムへの導入が加速的に進行している状況である。

IHS iSuppliが発表したリポートによると、世界のSSD出荷数は2012年の3,900万ユニットから、2013年は2.12倍の8,300万ユニットへと増加する見込みだという。SSD出荷数はその後も成長を続け、2016年には2億3,900万ユニットの出荷が予想されており、HDDの出荷台数の40%となる見込みであるとしている。

このように、益々その必要性が重要となるSSDにとって、NAND FLASHの信頼性・高速性のネックが顕在化してきており、より高性能なストレージ・クラス・メモリ（SCM）が注目されてきた。特に、DRAMキャッシュの代替として、高速・不揮発を有するメモリの開発には各社取り組みを行っているところである。

しかし、いずれの研究においても、未だ実用化までには至ってない状況である。

実用化のためには、メモリ素子が既存のシステムに組み込まれるのみでなく、新規メモリ素子を軸に、システム全体を再構成していくことが必要となっている。

我々は、低消費電力のシステムを構成すべく、高速不揮発メモリの実現を目指すこと、その候補として、多くの学会でも相次いで成果が報告されている遷移金属酸化物を用いたReRAM技術に着目した。

ReRAM技術に関して、すでに多くの実績および解析のKnow Howを有するシャープ株式会社およびデバイスの基本特性・理論で多くの実績を誇る産業技術総合研究所と、エルピーダメモリの製造技術とを合わせ、3社による共同開発により、高速不揮発メモリのデバイスの材料・構造・特性の最適化を計りメモリ素子の開発を実施。また、研究項目の一つである中央大学の研究成果を元にし、最適なシステム構成の開発と実現すべきSCMの基本仕様検討、プロトタイプチップの設計を行い、今後、エコシステムへのインパクトを測定する予定である。

本事業における H22～H24 年度までの達成の状況を以下の表 1-1 にまとめる。

研究開発項目②「不揮発アーキテクチャの研究開発」と組み合わせることにより、ストレージクラスメモリの実用化に必要なデバイス目標・特性を得ることができた。加えて、DRAM インタフェースを用いた場合と同等の高速性を得つつも、従来のメモリシステムに比較し大幅に電力削減を実現できることを示した。

本事業においては、数々の困難な場面に直面し、共同実施者との連携・多大なご協力を基に研究を進めていった。その中でも、これまで難航していた物理解析において、現象の理解・特性改善へ繋がる一つ有用な実験方法が見出され、メモリ素子の特性改善へ繋げることができたことは、本事業での大きな成果の一つであり、競合他社・研究機関以上の成果を得ることができたのではないだろうか。

今後、製品化を目指して、H25 年度以降もエルピーダメモリ独自に研究開発を進め、ReRAM 製品の実用化を目指していくものである。

表 1-1　事業全体の成果

①高速不揮発メモリの開発

目標		成果	達成度	今後の課題
1	DRAMの書き換え耐性以上(≧10^{16}程度) または、研究開発項目②との組み合わせにおいて、実質的に適用製品の装置寿命と同等であること	研究開発項目②より実用化に必要な装置寿命は≧10^5。デバイス性能は10^8を達成し、目標をクリア。	○	バラツキの改善
2	書き込み電流:50uA以下／セル	＜30uA　の実力を有することを確認	◎	
3	容量:1Gbit以上	中規模アレイ(1Gbit)の設計・評価完。 8Gbitプロトタイプ設計完。	○	実用化の判断
4	書き込み時間:ランダム3nsec以下 実用化目標10ns以下(off chip)	＜10ns(Off　Chip)の実力を有することを確認	○	縦MOS Tr特性・バラツキ
5	動作温度上下限:0～55℃で動作	保持特性: 240年@55℃達成	◎	
6	そのほか、民生用情報機器への適用時に致命的な制約がないこと	民生機器の実用化レベルまで達成している	◎	

②不揮発アーキテクチャの研究開発

目標		成果	達成度	今後の課題
1	研究開発項目①で得られたメモリを用い、現行のアーキテクチャの消費電力に対し、実質上1/10以下に削減する不揮発アーキテクチャの提示	高速不揮発性メモリに書き込みを代替するアーキテクチャと制御アルゴリズムを開発することに成功。 その結果、消費電力を従来SSDアーキテクチャより実質1/10とすることができ、本研究の目標を達成 。	◎	

◎ 大幅達成、○達成、△達成見込み、 ×未達

2. 研究開発項目毎の成果

2.1 不揮発アーキテクチャの研究開発

2.1.1 研究開発の成果

携帯電話やスマートフォン等の高機能携帯機器、電子ブックなどの普及が急速に進んできている。これらの機器はバッテリーによる駆動が主であり、搭載される部品には低消費電力であることの必要性が高い。特に搭載される半導体メモリの消費電力の低減が要求されており、高速に動作すると共に電源を切ってもデータが保持される不揮発メモリを搭載したシステムの開発が望まれている。本研究開発では高速不揮発メモリを用いて、現状のメモリアーキテクチャの消費電力に対して、実質上 1/10 以下に削減する不揮発アーキテクチャに関する構成事例を提示することを目標とする。

平成 22 年度は高速不揮発メモリを用いたメモリアーキテクチャのシステムレベルでの性能等を評価するための ESL(CAD)ツールを用いたメモリシステム開発プラットフォームを構築した。また、高速不揮発メモリの高速性・不揮発という特性を生かしたアーキテクチャとして、高速不揮発メモリとフラッシュメモリを搭載したメモリアーキテクチャ(SSD)を提案しピーク電力を 97%削減できることを示し SSDM(Solid-State Devices and Materials)で論文発表を行った。

平成 23 年度は ESL(CAD)ツールを用いて、平成 22 年度に開発したメモリシステム開発プラットフォーム上に、メモリ等のデバイスの機能モデルから成る仮想デモシステムを構築した。また、高速不揮発メモリの書き換え回数を 50 倍増加する、ターンバック書き込み方式を開発し、50 ナノメートルサイズの高速不揮発メモリ素子を用いて、有効性を実証し、IMW(International Memory Workshop)で論文発表を行った。提案手法はシステム性能の劣化なしに信頼性を向上することができる。

平成 24 年度は、平成 23 年度に開発した仮想デモシステムを用いて、従来のメモリアーキテクチャの消費電力に対し、実質上 1/10 以下に削減する不揮発アーキテクチャを開発した。フラッシュメモリのページサイズより小さな断片化したデータと、頻繁に上書きされるホットデータを高速不揮発メモリに格納することで、SSD の電力を93%削減することに成功した。電力削減と同時に、書き込み性能も 11 倍に高速化することができた。また、断片化したデータや頻繁にアクセスするデータを高速不揮発メモリに記憶することで、フラッシュメモリの書き換え回数を 1/7 に削減することに成功した。その結果、フラッシュメモリが書き換え回数の寿命に達すると置き換える、交換のコストを 1/7 に削減することに相当する。本技術は集積回路分野の世界トップクラスの学会である、Symposium on VLSI Circuits 2012 で論文発表を行った。本アーキテクチャにより、本研究の目標である、電力を 1/10 以下に削減することを達成した。

また、高速不揮発メモリに必要とされる仕様を探索し、書き込み、読み込み時間は 3μs 以下、書き換え回数は 10^5 回以上必要であることが明らかにした。その結果、「高速不揮発メモリ機能技術開発」プロジェクトで開発中の ReRAM が十分、実際のシステムで利用できることを明らかにした。

研究成果はジャーナル論文・国際会議・国内会議で 26 件を発表を行った。また、7 件の解説論文の発表を行った。特許は7件出願した。研究成果は、学会だけでなく、新聞社等のメディアにも注目され、47 件の報道が行われた。

ｉ）コードワード可変 ECC を用いた不揮発 RAM とNAND 型フラッシュメモリ統合 SSD

平成 22 年度では、大容量な高速不揮発 RAM をNAND フラッシュメモリへの書き込みバッファとして使用する SSD(ソリッドステートドライブ)において、ReRAM(抵抗変化型 RAM)や PRAM(相変化型 RAM)や MRAM(磁気抵抗型 RAM)などの高密度化が見込める高速不揮発 RAM と NAND フラッシュメモリ双方のエラーを効率よく訂正し、3.6 倍のビットエラーレートを許容可能とする ECC 手法を提案した。また、大容量高速不揮発 RAM を書き込みバッファとして使用することで、NAND フラッシュメモリと SSD インタフェース転送速度の差を補間し且つ既存の SSD インタフェース高速化手法に比べ 97%消費電力を抑える手法を示した。

現在のソリッドステートドライブ(SSD)には NAND フラッシュメモリが使用されている。NAND フラッシュメモリインタフェースの転送速度と PCI Express や SATA(Serial ATA バス)、SAS(Serial Attached SCSI バス)などの SSD インタフェースの転送速度には大きな速度差が存在する(図 2.1.1-1)。SSD の転送速度を高速化するためには NAND フラッシュメモリをインタリーブ(並列動作)させるなどの技術があるが、インタリーブ数を大きくすれば SSD 全体の消費電力が増加してしまう。また、書き込み速度に関しては高い書き込み電圧を得るための昇圧、正常に書き込まれたかどうかを判断するためのベリファイ等の時間がかかるため読み出し速度に比べて遅い。高速な書き込み用バッファとして DRAM が使用されるが、揮発性メモリであり瞬断時にデータが失われる可能性があるため、書き込み用バッファとして適していない。

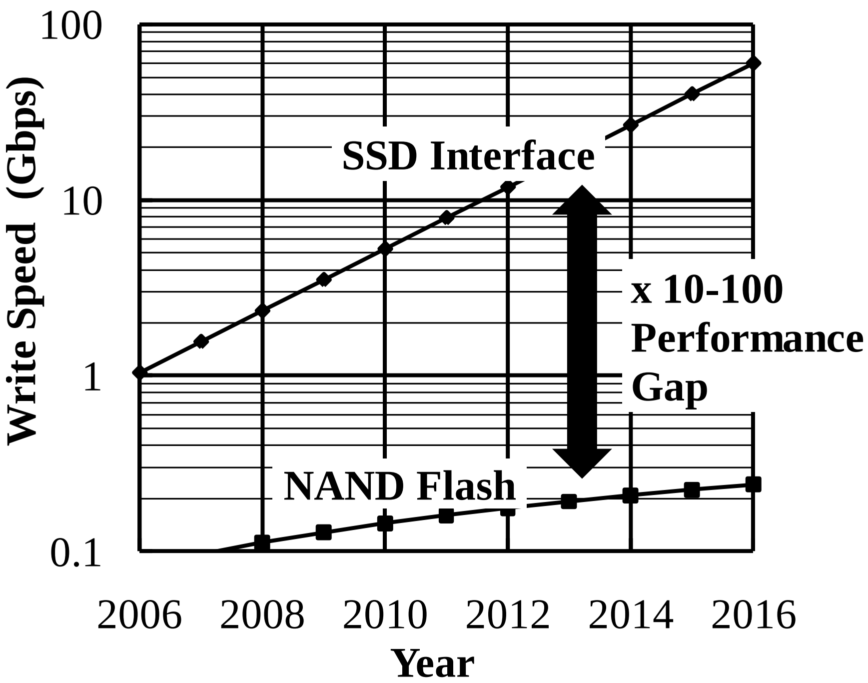


図 2.1.1-1 SSD 用インタフェースと NAND フラッシュメモリの書き込み速度。

そこで本項目では、大容量で高速な書き込み用バッファを用意することで NAND フラッシュメモリの書き込み時間を隠ぺいし高速化かつ低消費電力を実現するアーキテクチャを提案した(図 2.1.1-2 (a))。このアーキテクチャでは書き込みと読み出しの転送速度を 10Gbps にすることが可能である。書き込み時はホストから転送されるデータが不揮発 RAM に一時的に蓄えられ、そのデータを適宜 NAND フラッシュメモリへ転送することで高速化を図る(図 2.1.1-2(b))。読み出し時は NAND フラッシュメモリから直接ホストへデータを転送する(図 2.1.1-2(c))。提案した SSD の転送速度を表 2.1.1-1 に示す。

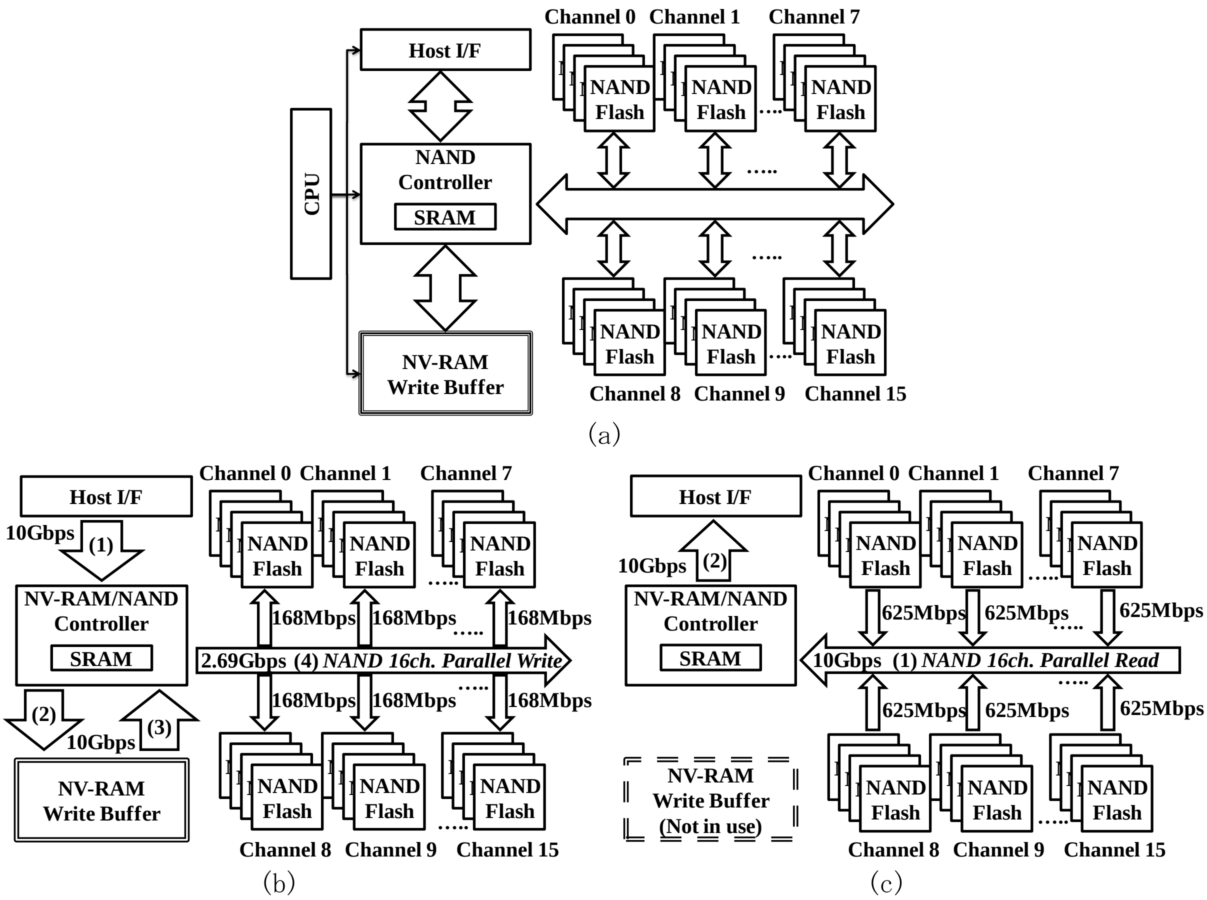


図 2.1.1-2 (a)提案した不揮発メモリと NAND フラッシュを統合した SSD。(b)書き込み時の動作。ホストから転送されるデータは不揮発 RAM に 10Gbps で書き込まれ、NAND フラッシュメモリに 2.69Gbps(平均)で書き込まれる。(c)読み出し時の動作。データは不揮発 RAM を介さず直接 NAND フラッシュメモリから 10Gbps で読み出される。

表 2.1.1-1　提案した SSD の転送速度

	Read (Gbps)	Buffered write (Gbps)	Sustained write (Gbps)
Speed	10	10	2.69

従来の SSD において、読み出し速度は入出力時間が支配的なため、NAND フラッシュメモリチップのインタリーブ数(N_{NAND})、つまりチャネル数を増加することで高速化されている。一方、書き込み速度は NAND フラッシュメモリの書き込み時間が読み出し時間に比べはるかに長いため、読み出し速度と同等の性能を得るためのインタリーブ数は爆発的に増加する。一方、提案した SSD では、不揮発 RAM の書き込み時間は NAND フラッシュメモリに比べて十分短く、1 本のデータ IO 当たりのデータ転送レートが高速であり、不揮発 RAM のインタフェースは DDR3 並みであると仮定すると、データ転送速度は入出力データバス幅(N_{IO})によって高速化される。以下、従来の SSD と提案した SSD が 10Gbps の性能を出す場合の消費電力を求める。 まず従来の SSD の消費電力について、NAND フラッシュメモリのインタフェースをデータ IO(入出力)数 16 の 40MHz DDR(Double Data Rate)とすると NAND フラッシュメモリの電源電圧 3V、書き込み読み出し時の動作電流 50mA として、従来の SSD では、チップ当たりの消費電力にインタリーブ数を乗じて

$$P_{SSD\_Conventional} = N_{NAND} \times 50mA \times 3V \qquad (1)$$

となる。

一方、提案した SSD は、電源電圧 1.5V データ IO 毎の書き込み、読み出し時の動作電流を 29mA, データ転送レート 1.6Gbps と仮定すると

$$P_{SSD\_\mathrm{Proposed}} = N_{IO} \times 29mA \times 1.5V \qquad (2)$$

となる。10Gbps の転送速度を実現しようとすると NAND フラッシュメモリの 1 チップあたりの書き込み平均転送速度は 0.168Gbps であるので N_{NAND} は 60 となる(図 2.1.1-3)。よって、$P_{SSD\_Conventional}$ は 10.2W となる。提案した SSD において不揮発 RAM に必要な N_{IO} は 7(図 2.1.1-4(a))であり $P_{SSD\_Proposed}$ は 0.3W となる。よって提案した 10Gbps のインタフェース性能を持つ SSD は、従来の高速化手法に比べて 97%の消費電力を低減可能である(図 2.1.1-4(b))。

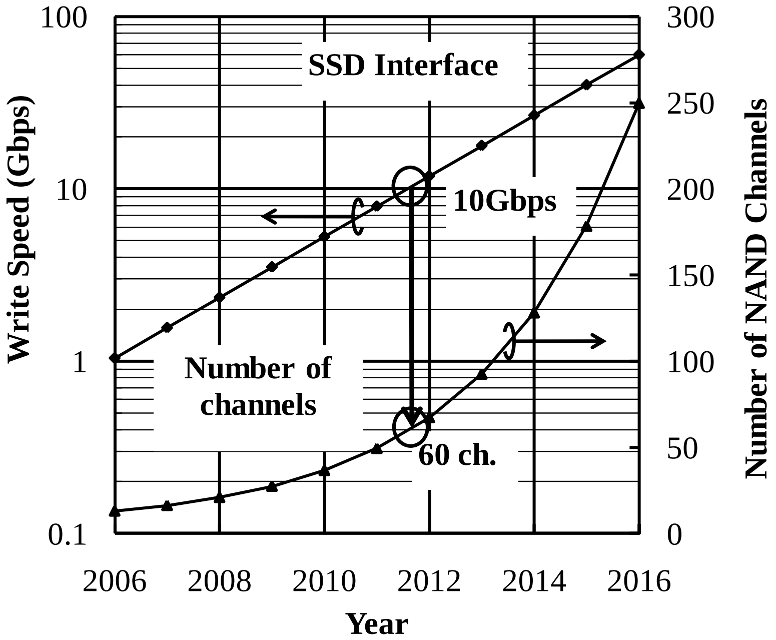


図 2.1.1-3 NAND フラッシュメモリのチャネル数(N_{NAND})と SSD 用インタフェース転送速度。

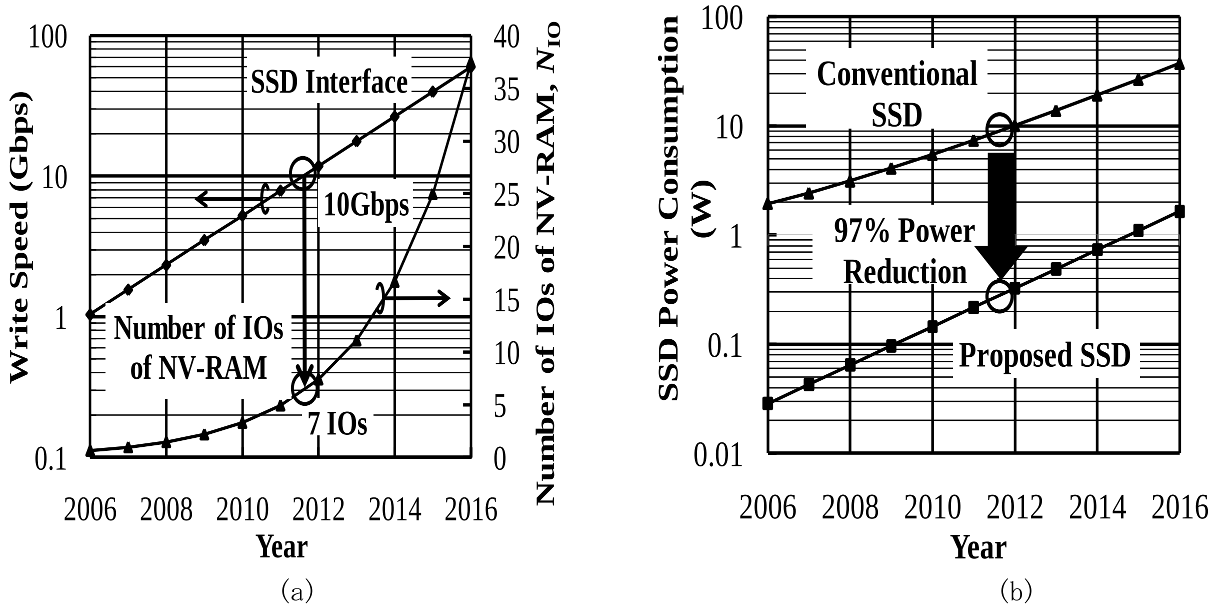


図 2.1.1-4 (a)1.6GHz DDR3 を仮定した場合の不揮発 RAM の入出力数(N_{IO})。7IO で 10Gbps を達成できる。(b)SSD の消費電力。提案した SSD は書き込み性能 10Gbps を得る場合、消費電力を 97%低減できる。

本項目では誤り訂正符号(ECC)の訂正能力に関しても議論している。本項目で提案した SSD には不揮発 RAM と NAND フラッシュメモリが搭載される。NAND フラッシュメモリはディスターブエラーやリテンションエラー等のメモリセルエラーが起こり、ECC が必要とされているが ReRAM や MRAM、PRAM などの不揮発 RAM についても微細化、高密度化されるとセルエラーは避けられないとされている。

現在、NAND フラッシュメモリを用いた SSD には Bose と Chaudhuri、Hocquenghem らによって発見された BCH 符号と呼ばれる ECC が用いられている。BCH 符号を始めとする ECC では、データに使われる情報記号と誤り訂正のためのパリティ検査記号が付随している。符号長を n、k ビットの情報記号があるとすると n-k ビットはパリティ検査記号となる。ECC を使用するには最初に情報記号となるデータを元にパリティを計算する符号化処理を行い、情報記号とパリティ検査記号をストレージに格納する。読み出す際にはストレージから読み出したパリティ検査記号を元に誤りを訂正する演算を行い、データを取り出す復号化処理を行う(図 2.1.1-5)。符号長と情報記号長の比率である符号化率は k/n で定義される。また、誤り訂正能力は n ビット中 t ビット訂正できるという指標で評価できる。誤り訂正数は

$$BER_{OUT} = \frac{1}{k}\sum_{i=t+1}^{N}\binom{N}{i}BER_{RAW}^{i}(1-BER_{RAW})^{N-i} \tag{3}$$

と計算される。しかし、復号化には符号長に対して 2 乗に比例した計算量が必要となる。ECC の復号回路では回路面積と演算時間がそれぞれ符号長に比例して大きくなるため、消費電力と回路面積が増加する。以降では、消費電力と回路面積の制約条件の下 ECC の符号長を最適化する手法を提案した。提案したアーキテクチャにおいて ECC 処理回路は不揮発 RAM と NAND フラッシュメモリの統合コントローラに内蔵される。簡易 ECC 手法では不揮発 RAM に書き込む際と NAND フラッシュメモリから読み出す際にそれぞれエンコーダ(符号化回路)で符号化処理し、デコーダ(復号化回路)で復号化処理する(図 2.1.1-5)。読み出し速度 10Gbps を実現するために NAND フラッシュメモリと同様に並列動作するチャネル数分の ECC 回路が必要となる。16 チャネルある場合は 16 セットの ECC 回路が必要となる。消費電力、回路面積からの制約から簡易 ECC 手法では誤り訂正は 2Kbyte の符号長となる。本提案では他の 2 手法をこの簡易 ECC 手法を基準とした誤り訂正能力で比較する。

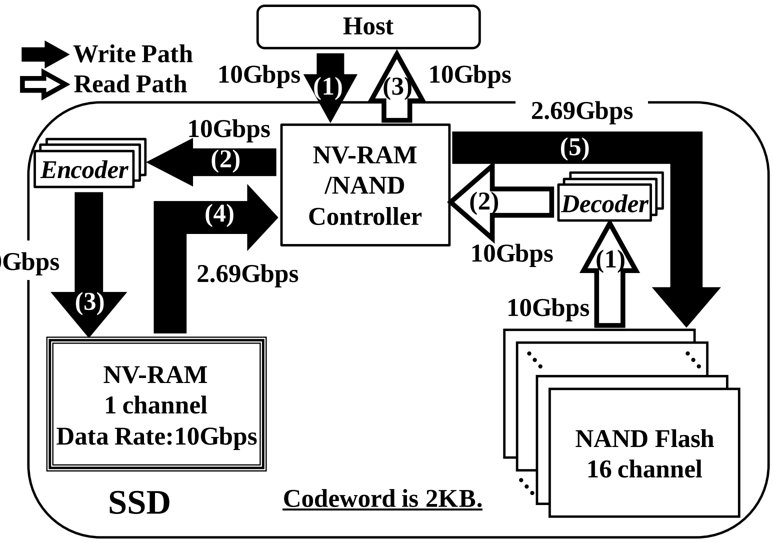
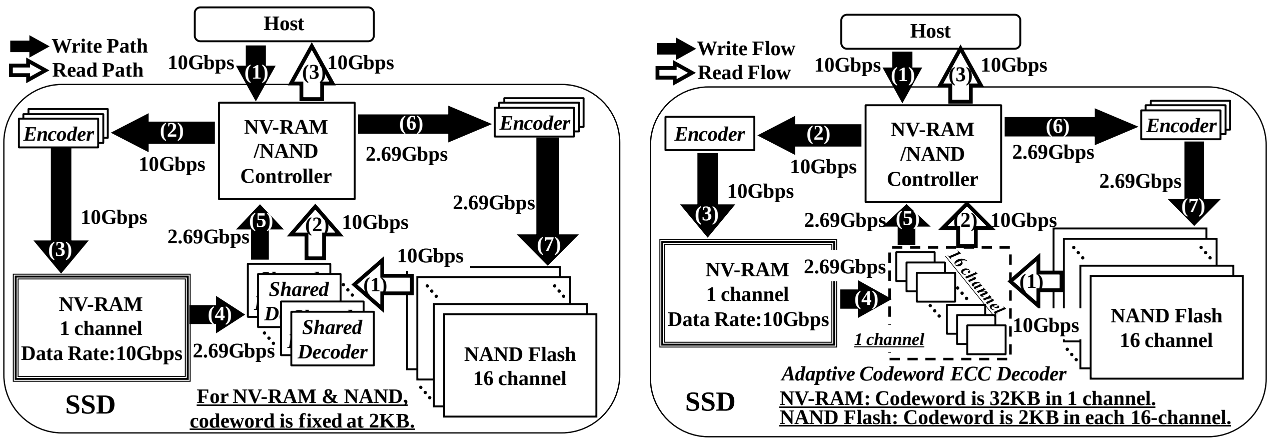


図 2.1.1-5 簡易 ECC 手法。符号化は不揮発 RAM に書き込む前に、復号化は NAND フラッシュメモリから読み出した後に行う。

本開発で提案した共有型 ECC 手法は不揮発 RAM と NAND フラッシュメモリのそれぞれで誤り訂正の処理が施される(図 2.1.1-6(a))。初段の ECC では、ホストから入力されたデータを不揮発 RAM に書き込む前に符号化し、不揮発 RAM から読み出されたデータを復号化して不揮発 RAM のメモリエラーを訂正する。次段の ECC では、初段の ECC デコーダから転送されたデータを NAND フラッシュメモリに書き込む前に符号化し、NAND フラッシュメモリから読み出されたデータを復号化して NAND フラッシュメモリのメモリエラーを訂正する。不揮発 RAM と NAND フラッシュメモリのエラーが独立に訂正される。不揮発 RAM、NAND フラッシュメモリ内で許されるビット誤り率をそれぞれ BER_{NVRAM}、BER_{NAND} とすると、全体で許容されるエラー率 BER_{TOTAL} は

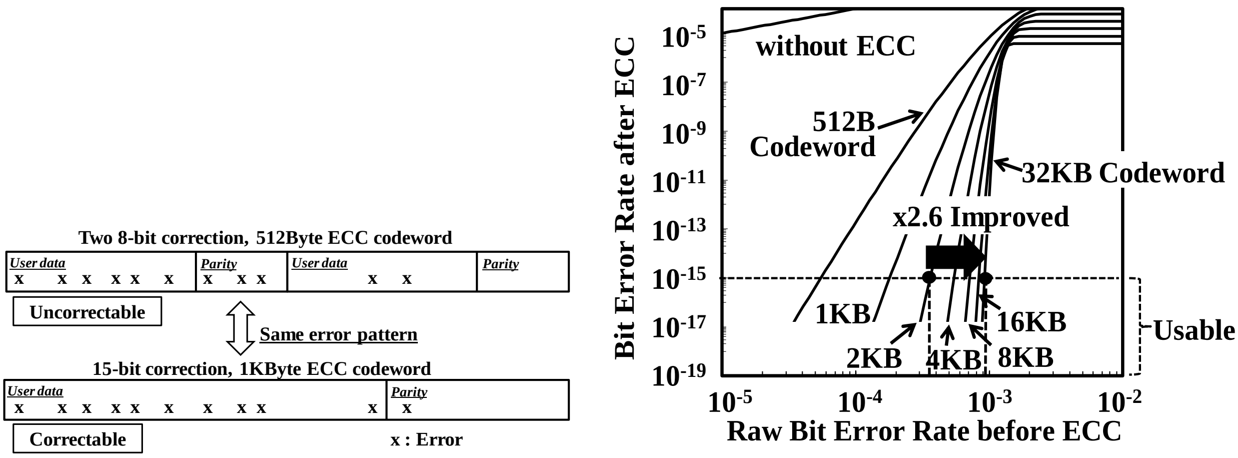
$$
\begin{aligned}
BER_{TOTAL} &= 1-(1-BER_{NVRAM})(1-BER_{NAND}) \\
&\approx BER_{NVRAM} + BER_{NAND}
\end{aligned} \quad (4)
$$

となる。よって、共有型 ECC 手法では簡易 ECC 手法と同じ符号長かつ符号化率の ECC を使用するならば 2 倍の誤り率が許されることになる。初段と次段の ECC のデコーダ回路は同時に動作する可能性があるため 2 つの独立したエンコーダが必要となる。一方、SSD の読み出しと書き込み処理は同時に発生しないためデコーダを共有することができる。共有型 ECC 手法では符号化回路が 2 つ必要となるが、ECC のエンコーダはデコーダに比べ 10 分の 1 以下の回路面積であるため、全体として ECC 処理回路は簡易 ECC 手法と比較して 1%以下しか回路面積は増加しない。本項目ではさらに不揮発 RAM と NAND フラッシュメモリ各々適応的に ECC の符号長を調整する手法を提案した(図 2.1.1-6(b))。共有型 ECC 手法と同様、不揮発 RAM と NAND フラッシュメモリの両方で誤り訂正の処理が行われる。この手法では不揮発 RAM に使用される ECC の符号長は、NAND フラッシュメモリに使用される符号長よりも大きくできる。これにより不揮発 RAM はより多くのビットエラーが許容され高い信頼性を確保することができる(図 2.1.1-7)。回路面積と消費電力の制約条件の下、信頼性を上げるために ECC の符号長を最大化することを考える。符号長と誤り訂正可能なビット誤り率を表 2.1.1-2 に示す。



(a) (b)

図 2.1.1-6 (a)共有型 ECC 手法。ECC の符号化・復号化は不揮発 RAM と NAND フラッシュメモリでそれぞれ行われる。デコーダ回路は共有される。(b)符号長適応型 ECC 手法。ECC の符号長は不揮発 RAM において 32Kbyte、NAND フラッシュメモリにおいては 2Kbyte を使用できる。



(a) (b)

図 2.1.1-7 (a)符号長 512Byte、1Kbyte それぞれの ECC で誤りが発生した場合の比較。符号長が大きいほど多くのエラーを訂正できる例。(b)ECC 処理前のビット誤り率と ECC 処理後のビット誤り率。

表 2. 1. 1-2　符号長と誤り訂正可能なビット誤り率

ECC codeword	2KByte	4KByte	8KByte	16KByte	32KByte
Acceptable raw bit error rate before ECC	3.6×10^{-4} (x 1)	5.5×10^{-4} (x 1.5)	7.1×10^{-4} (x 2.0)	8.4×10^{-4} (x 2.3)	9.2×10^{-4} (x 2.6)

NAND フラッシュメモリの ECC 回路はチャネル数分必要であり、16 チャネルの場合の符号長は 2Kbyte となる(図 2.1.1-9)。一方、不揮発 RAM は書き込み、読み出し速度共に高速であるためインタリーブは必要ない。従って、不揮発 RAM の ECC 処理回路は 1 チャネルでよい。回路面積と消費電力の制約から NAND フラッシュメモリ用の ECC 処理回路に比べて 16 倍の符号長である 32KByte の符号を用いることが可能である(図 2.1.1-8、図 2.1.1-9)。ゆえに、2Kbyte の符号長に比べて 2.6 倍の誤り率を許容することができる。NAND フラッシュメモリの ECC と合わせて全体では式(4)から簡易 ECC 手法の 3.6 倍、共有型 ECC 手法の 1.8 倍の誤り率を許容することができる。不揮発 RAM と NAND フラッシュメモリのデコーダ回路は同じものを利用するため ECC 回路面積の増分はほぼ無視することができる。表 2.1.1-3 に従来・提案 ECC 手法の比較をまとめる。

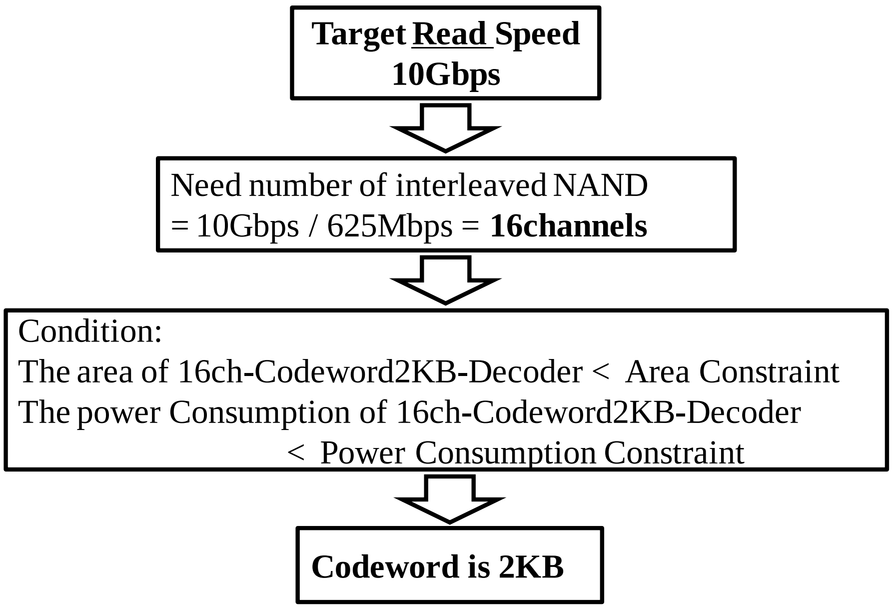
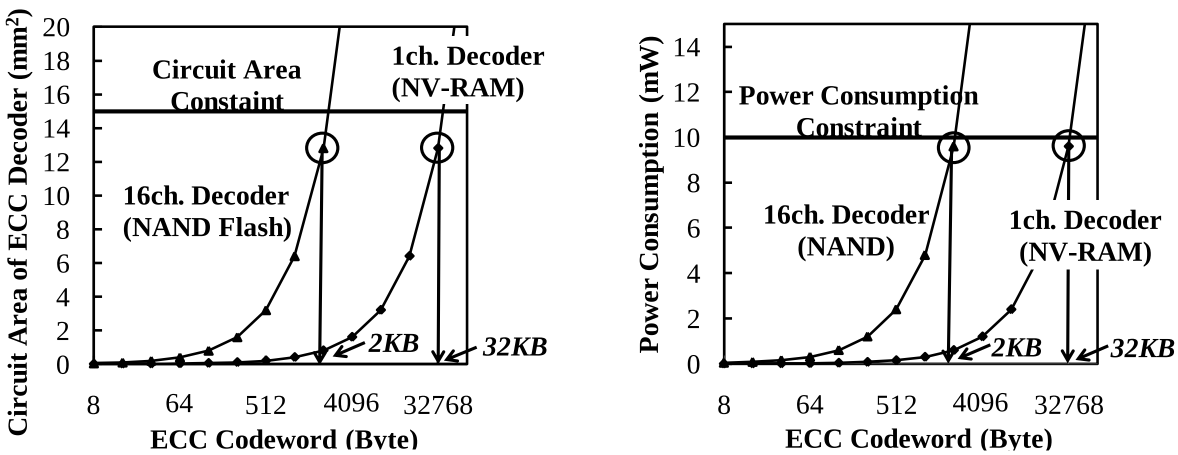


図 2.1.1-8　NAND フラッシュメモリ用 ECC の符号長決定フロー例



(a)　　　　　　　　　　　　(b)

図 2.1.1-9 (a)ECC の符号長と ECC 処理回路の面積の関係。符号長が増加すると回路面積も増加する。(b) ECC の符号長と ECC 処理回路における消費電力の関係。符号長が増加すると消費電力も増加する。

表 2.1.1- 3 簡易 ECC 手法、共有型 ECC 手法、符号長適応型 ECC 手法の比較。

	Single ECC	Proposed Shared ECC	Proposed Adaptive Codeword ECC
Acceptable Raw Bit Error Rate (NAND)	3.6 x 10^{-4}	3.6 x 10^{-4}	3.6 x 10^{-4}
Acceptable Raw Bit Error Rate (NV-RAM)		3.6 x 10^{-4}	9.2 x 10^{-4}
Acceptable Raw Bit Error Rate (Total: NV-RAM&NAND)	3.6 x 10^{-4} (x 1)	7.2 x 10^{-4} (x 2)	12.8 x 10^{-4} (x 3.6) (x 1.8)
ECC Codeword (NAND) [channel number]	2KByte [16ch]	2KByte [16ch]	2KByte [16ch]
ECC Codeword (NV-RAM) [channel number]		2KByte [16ch]	32KByte [1ch]
ECC circuit area (mm^2)	12.9 (x 1)	13.0 (x 1.01)	13.0 (x 1.01)

ⅱ）50nm 抵抗変化型メモリにおける耐久性向上書き換え手法

50nm 級の抵抗変化型メモリは高抵抗状態および低抵抗状態のばらつきが大きいため抵抗を制御するためのベリファイ・プログラミングが必要であることが測定から分かった。平成 23 年度では書き換え回数を向上させつつ最短のアクセス時間を同時に達成するための手法と測定結果からデバイスモデルを提案した。ReRAM の素子は初期状態では酸化物なので抵抗が高い状態であるが Forming という電圧をかける操作により、金属の濃度が高いフィラメントが成長し低抵抗状態（Low Resistance State: LRS）となる。Forming と逆方向に電圧パルスを加える Reset と呼ばれる操作を行うとフィラメントは破壊され、高抵抗状態(High Resistance State: HRS)となる。また、Forming と同方向に電圧パルスを加えるとフィラメントが成長し、低抵抗状態(Low Resistance State: LRS)となる(図 2.1.1-10)。しかし、Reset を行っても十分に高い抵抗状態にならないことがあり、また逆に Set を行っても低い抵抗状態にならないことがある。 Set を確実に行うために Reset 後に高電圧で Set する手法や Reset を確実に行うために次第に高い電圧をかけていく方法が提案されているものの、従来の研究は書き換え回数に注目したものではなく大量のデバイスを確実に HRS や LRS にすることに着目している。本研究では書き換え回数に注目し、HRS と LRS という状態に確実にするため下部電極系が 50nm である ReRAM の測定を通じて新しいベリファイ・プログラミングの手法について提案し、測定結果から ReRAM の摩耗モデルも提案した。

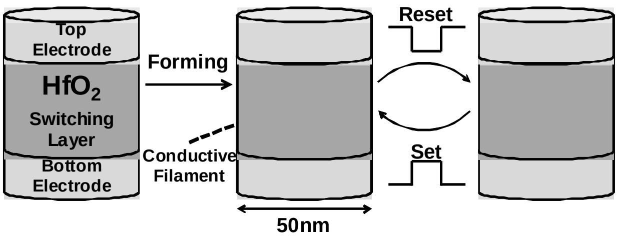
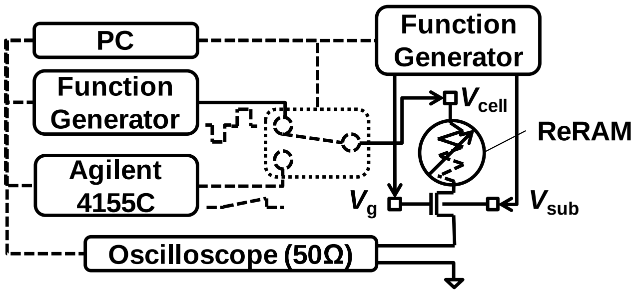


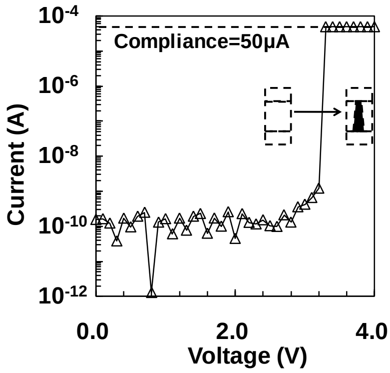
図 2.1.1-10 左：Forming を行う前の ReRAM の状態。中：Forming 後と Set 後の状態。フィラメントが成長して LRS になる。右：Reset 後の状態。フィラメントが途切れて HRS になる。

ⅱ)-1　ベリファイなし手法

ReRAM のベリファイ・プログラミング手法について比較検討するために ReRAM が集積されたウエハを用いて図 2.1.1-11(a)の測定系を組み、PC で各測定器を制御した。Forming は半導体パラメータアナライザで V_{cell} を 0V から 4V まで掃引することで行った(図 2.1.1-11(b))。まず、ReRAM の書き込みをベリファイ・プログラミングを行わずに単純に Set と Reset を繰り返し、抵抗を読み出すという測定を行った(図 2.1.1-12(a))。また、Set は V_{cell} が 2V で 50ns のパルスを、Reset は V_{cell} が−2V で 20ns のパルスを加えた。読み出しは V_{cell} に 0.1V を印加して行った。結果は図 2.1.1-12(b)のようになった。Set 後の抵抗は Reset 後より低くなってはいるが、実際にメモリセルとして使用する場合はセンスアンプ等で読み出すことを考慮すると抵抗の閾値を設けなければならないが、この状態ではそれを決定することが不可能である。よってこのデバイスにおいてはベリファイ・プログラミングの手法が必須となる。

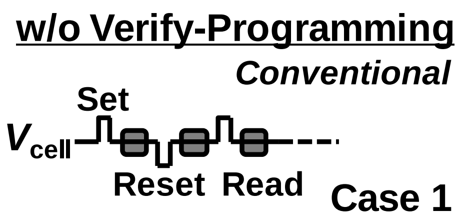


(a)

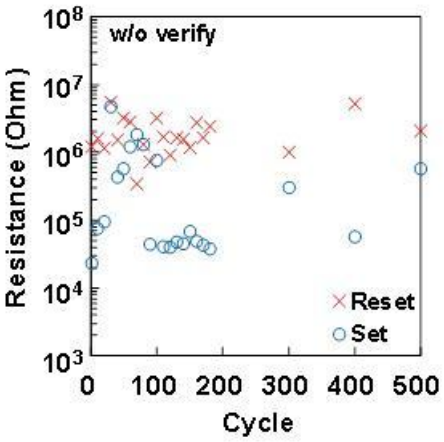


(b)

図 2.1.1-11　(a)ReRAM 測定系。(b)Forming 特性。



(a)

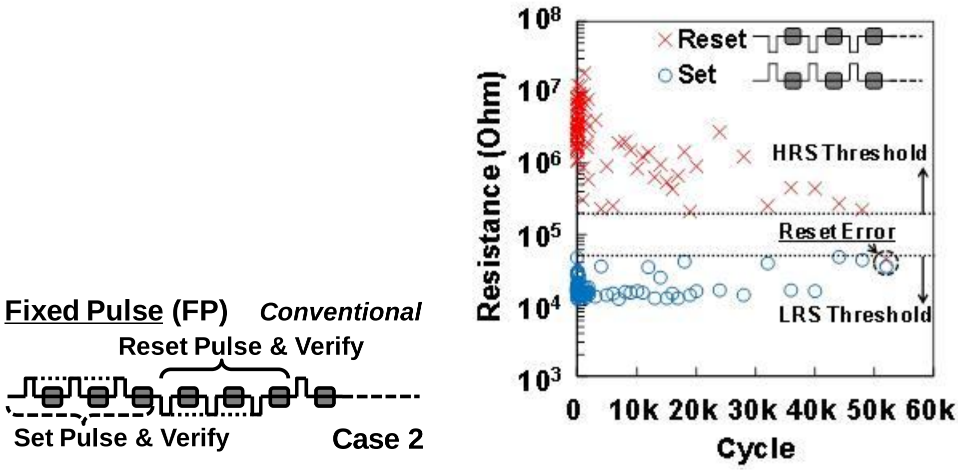


(b)

図 2.1.1-12　(a)ベリファイ・プログラミングを行わない操作。(b)ベリファイ・プログラミングを行わなかったときの書き換え回数と抵抗値の関係。

ⅱ)-2　固定パルス手法

簡易な手法として同じパルスを一定の閾値を超えるまで加え続けるという固定パルス手法(Fixed Pulse)を行った(図 2.1.1-13(a))。ここでは 20 回以上同じパルスを加え続けても閾値を超えなければデバイスが壊れたと判断する。LRS の閾値は 50kΩとし、HRS の閾値は 200kΩとした。結果は図 2.1.1-13(b)のようになった。デバイスが壊れるまでは HRS と LRS の状態になっているが、40k 回目までは正常に書き込みができたが 44k 回目で Reset ができずにデバイスが壊れた。



(a) (b)

図 2.1.1-13 (a)固定パルスによるベリファイ・プログラミング手法。(b)固定パルス手法によるベリファイ・プログラミングを行ったときの書き換え回数と抵抗値の関係。

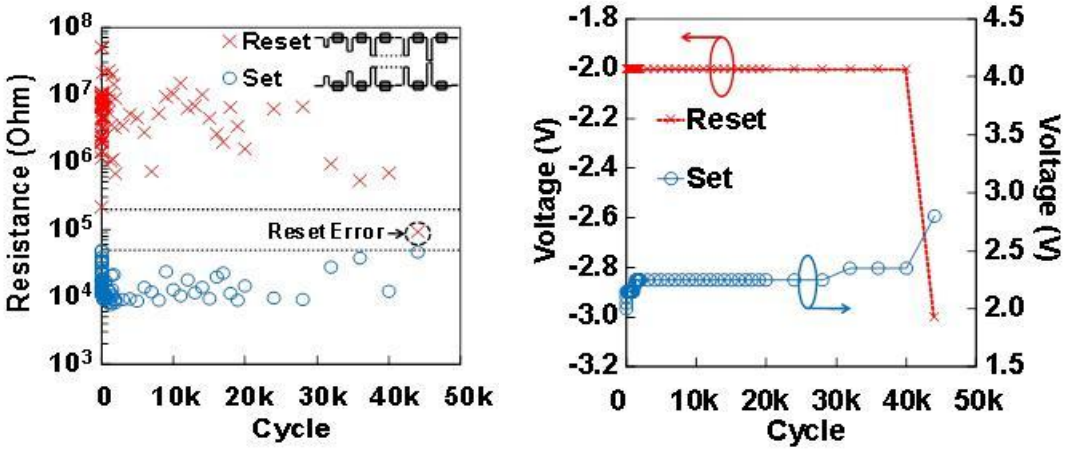
ⅱ)-3 電圧増加パルス手法

次に図 2.1.1-14(a)のように Set や Reset に失敗したら電圧を上げるという電圧増加パルス手法(Incremental Voltage: IV)を行った。これは図 2.1.1-13(b)の書き込みの失敗原因を電圧が足りなかったと考えたためである。この手法では最初の Set と Reset は 2V と-2V で行った。そして、書き込みに失敗すると 50mV ずつあげていく。1 回の Reset や Set の間に 20 回書き込みに失敗したらそのデバイスは壊れたと判断する。図 2.1.1-14(a)のように最初の Set において 4 回必要であったら次の Set は 2V+50mV×4=2.2V から書き込みを開始する。Reset も同様に行った。結果は図 2.1.1-14(b)のようになった。固定パルス手法よりも HRS と LRS の比が大きくなったが書き換えは 48k 回目まで成功という同じ結果になった。また、Set/Reset 時の電圧と回数を図 2.1.1-14(c)に示す。Set 電圧は書き込み失敗時にその都度上昇しているが、Reset 電圧はデバイス破壊まで 1 回も失敗することなく書き込みに成功した。

ⅱ)-4 復帰パルス幅増加手法

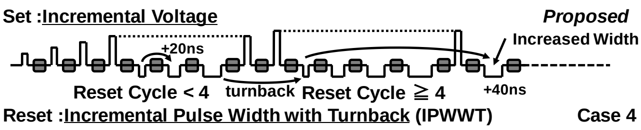
電圧増加次に図 2.1.1-15(a)のように Set は上記の電圧増加パルス手法で、Reset はパルス幅を増加する復帰パルス幅増加手法(Incremental Voltage with Turnback: IVWT)を取った。これは図 2.1.1-14(b)の結果から Set は電圧増加によるベリファイ・プログラミングが有効だと思われるが Reset のベリファイ・プログラミングは電圧増加パルス手法では有効性がないと判断したためである。また、電圧増加パルス手法と同様に単調にパルス幅を増加していくと書き込み速度が非常に遅くなる。よって Reset におけるベリファイ・プログラミングでは電圧を-2V で固定し 20ns ずつパルス幅を増加していくが 4 回以上失敗したときのみ次の Reset パルス幅を 40ns 増加するが 4 回未満ならば元のパルス幅で Reset を行うという手法を採用した。結果は図 2.1.1-15(b)のようになった。この手法では 104k 回まで書き込みに成功している。また、Set 電圧と Reset パルス幅の書き換え回数ごとの値を図 2.1.1-15(c)に示す。Set 電圧が単調に増加し、Reset のパルス幅は増加や元に戻ることを繰り返しながら全体的には徐々に増加していった。

(a)

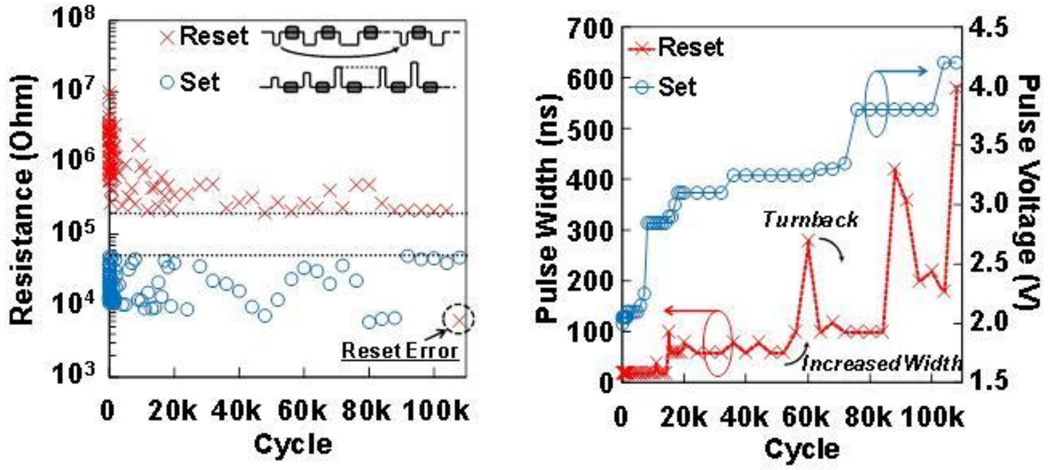


(b) (c)

図 2.1.1-14 電圧増加パルスによるベリファイ・プログラミング手法。(a)制御方式。(b)書き換え回数と抵抗値の関係。(c)書き換え回数と Set/Reset 電圧の関係。



(a)



(b) (c)

図 2.1.1-15 Reset を復帰パルス幅手法で、Set を電圧増加パルス手法で行うベリファイ・プログラミング手法。(a)制御方式。(b)書き換え回数と抵抗値の関係。(c)書き換え回数と Set 電圧/Reset パルス幅の関係。

ⅱ)-5 復帰電圧増加手法

復帰パルス幅増加手法で Reset を行う上記の方法では書き換え回数を増加することができたが、既に発表されているサイズが大きい ReRAM の書き換え回数を下回っている。また、上記の手法では Reset においてベリファイ・プログラミングの失敗が起きているがこれは Reset ではなく Set 電圧が高すぎるため Reset が困難になっているとも考えられる。よって、Set 電圧を復帰パルス幅増加手法と類似した変化させるという復帰電圧増加手法によるベリファイ・プログラミングで測定を行った。具体的にはパルス幅を 50ns で固定し 50mV ずつパルス幅を増加させ 4 回以上失敗したときのみ次の Set 電圧を 100mV 増加させるが 4 回未満ならば元の電圧で Set を行うという手法を採用した(図 2.1.1-16(a))。結果は図 2.1.1-16(b)のようになり書き換え回数は大幅に向上した。また、Set 電圧と Reset パルス幅を図 2.1.1-16(c)に示す。Set 電圧はこの手法により急激に増加することなく Set を行うことが困難であったときのみ電圧が大きく増加している。また、読み出し時間を 50ns と仮定

した場合に Set/Reset にかかった時間を図 2.1.1-16(d)に示す。Set と Reset の時間はそれぞれ最初の 40k の平均では 138ns と 70ns であり、これは NAND フラッシュメモリの 10000 倍以上高速である。また、図 2.1.1-16(e)には Set/Reset 時の最大電流を示した。電流はデバイスが破壊される直前に大きくなっていき最後には Reset に失敗した。図 2.1.1-16(f)にはこの手法で 20k 回書き込んだ後に 85℃におけるデータ保持特性を示した。10^6 秒まで良好な保持特性を得られた。

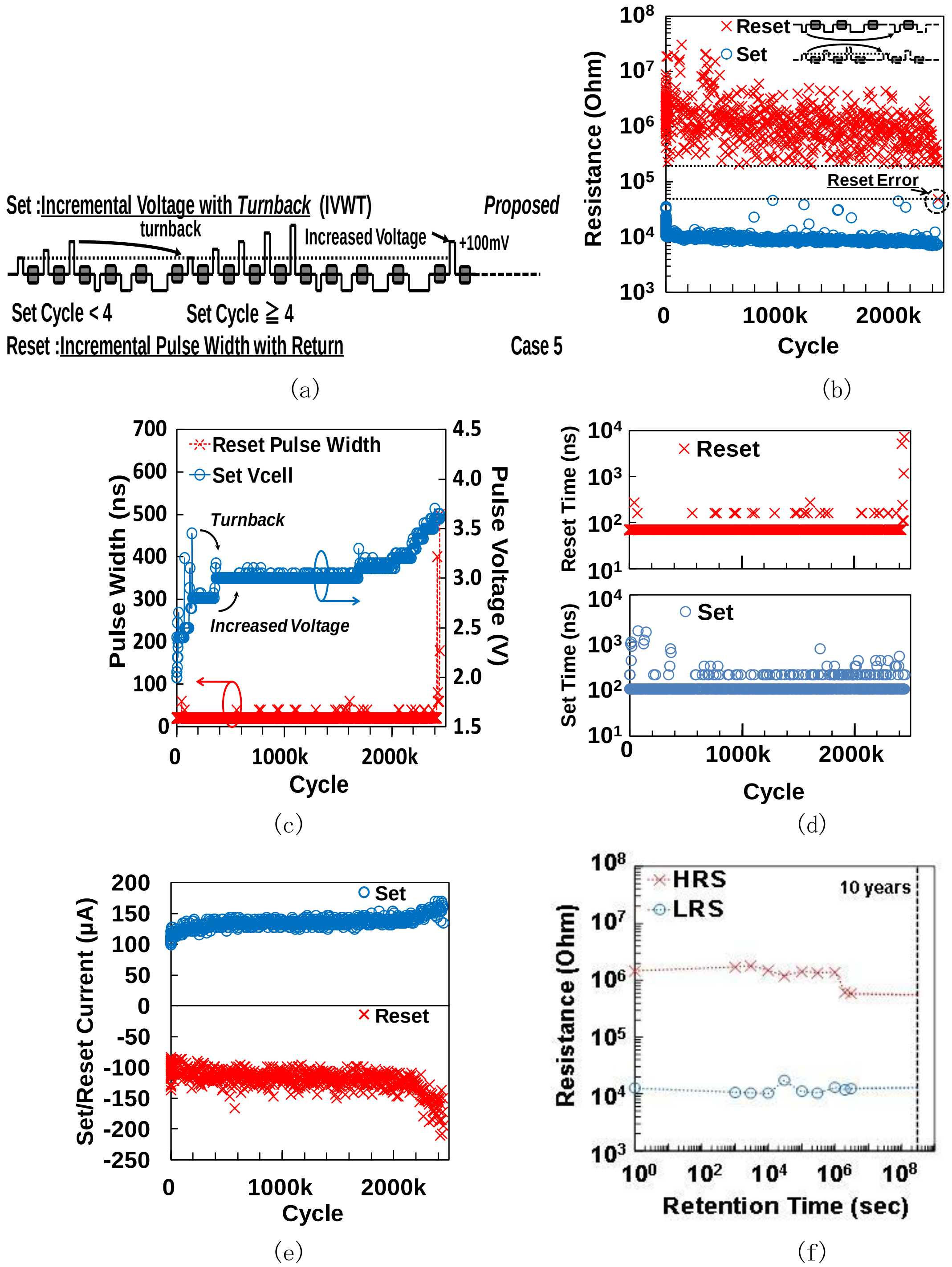


図 2.1.1-16　Reset を復帰パルス幅手法で、Set を復帰電圧増加パルス手法で行うベリファイ・プログラミング手法。(a)制御手法。(b)書き換え回数と抵抗値の関係。(c)書き換え回数と Set 電圧/Reset パルス幅の関係。(d)読み出し時間を 50ns と仮定した条件における書き換え回数と Set/Reset 時間の関係。(e)書き換え回数と最大書き換え電流の関係。(f) 20k 回書き換えを行った後の 85℃におけるデータ保持特性。

ⅱ)-6　デバイスの摩耗モデル

以上の測定結果から ReRAM のモデルを議論する(図 2.1.1-17)。ReRAM のデバイスサイズから動作するモデルが違うと言われている。今回使用したデバイスの下部電極系は 50nm であり、フィラメントの直径は 10nm と言われているのでフィラメントモデルを元にデバイスが故障するモデルを考える。フィラメントの幅はパルス幅に比例し、フィラメントの長さは電圧に比例すると考える。このモデルにおいて、摩耗したデバイスの LRS には長いパルスを、HRS には高い電圧のパルスを加えることでデバイスを回復させることができる。スイッチングを多く行うと LRS においてフィラメントは初期よりも太くなると考えられる。一方、HRS ではスイッチングを行っていくとフィラメントが初期よりも短くなると考えられる。摩耗したデバイスの LRS では Reset パルス幅が十分に長くないと上部電極の界面からフィラメントが取り除かれずに Reset に失敗する。よって復帰パルス増加手法は摩耗した LRS であるデバイスを回復することができると考えられる。一方、摩耗したデバイスの HRS では Set 電圧が十分に高くないとフィラメントは十分に上部電極まで成長せずに Set に失敗する。よって、電圧を増加させる手法で摩耗した HRS であるデバイスを回復することができる。ここで、電圧を増加させ過ぎるとフィラメントの幅が急激に増加してしまう。ゆえに、HRS から Set するために過剰な電圧を加えるとフィラメントが太くなってしまい Reset に失敗する。また、Reset パルスが長すぎると HRS でのフィラメントが短くなりすぎて Set に失敗する。よって、これらの過剰な Set や Reset を防止することと同時に書き込み時間を最小にするため、復帰パルス幅増加手法と復帰電圧増加手法が必要となる。

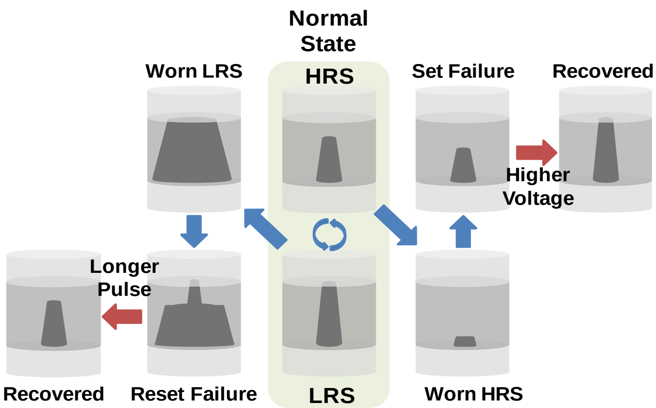


図 2.1.1-17　フィラメントモデルを元に提案した ReRAM の故障モデル。

表 2.1.1-4 にこれまでに挙げた手法と書き換え回数の関係を示した。また、表 2.1.1-5 には最初の 40k 回目までの HRS と LRS それぞれの平均と分散の比を示すとともに、1 回のベリファイ読み出し時間を 50ns と仮定したときの平均時間を示した。復帰パルス幅手法による Reset と復帰電圧増加手法による Set の組み合わせで簡易な同じパルスの繰り返しによるベリファイ・プログラミングによる書き換え回数は 50 倍以上になった。また、Set/Reset ごとの抵抗のばらつきはベリファイ・プログラミングを行った場合に比べ十分に抑えられた。また、フィラメントのデバイスモデルを仮定することで提案した手法がなぜ有効なのかを議論し、デバイスが摩耗していく現象をフィラメントの幅と長さがそれぞれパルス幅と電圧に関係するモデルを提案し説明した。

表 2.1.1- 4　ベリファイ・プログラミング手法と書き換え回数。

	Method	Set Method	Reset Method	Endurance
Conventional	Case 1	w/o Verification	w/o Verification	< 100
	Case 2	Fixed Pulse Set Cycle	Fixed Pulse Reset Cycle	48k
	Case 3	IV Set Cycle	IV Reset Cycle	40k
Proposed	Case 4	IV Set Cycle	IPWWT Reset Cycle	104k
	Case 5	IVWT Set Cycle	IPWWT Reset Cycle	2444k (x50)

表 2.1.1- 5　ベリファイ・プログラミング手法と最初の 40k 回までの抵抗値の平均と分散の比と読み出し時間を 50ns と仮定したときの平均時間。

	Method	σ_{LRS}/μ_{LRS}	σ_{HRS}/μ_{HRS}	Set Time	Reset Time
Conventional	Case 1	0.73	2.35	-	-
	Case 2	0.38	0.94	63 ns	73 ns
	Case 3	0.55	1.16	106 ns	70 ns
Proposed	Case 4	0.53	1.00	132 ns	86 ns
	Case 5	0.38	1.13	138 ns	70 ns

iii）消費電力 1/10 を実現する 3 次元実装 ReRAM/MLC NAND ハイブリッド SSD とデータマネジメント手法

平成 24 年度はおいて、ReRAM を SCM に用いた 3 次元実装 ReRAM/MLC NAND ハイブリッド SSD のデータマネジメントアルゴリズムの提案と、ReRAM に求められる仕様を探索した。その結果、従来の SSD の問題点を解消し、従来比で消費電力 1/10 を達成する SSD アーキテクチャを開発した。提案 SSD の物理イメージ図は図 2.1.1-18 のようになる。

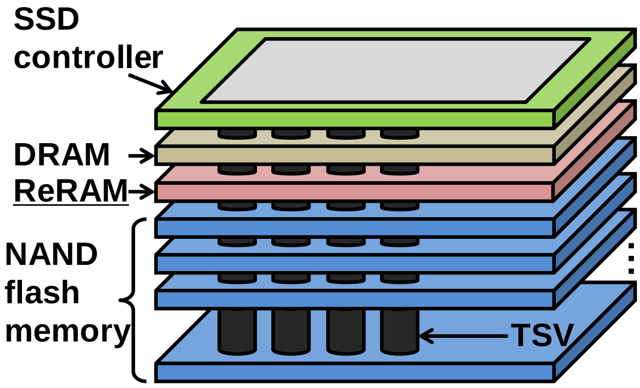
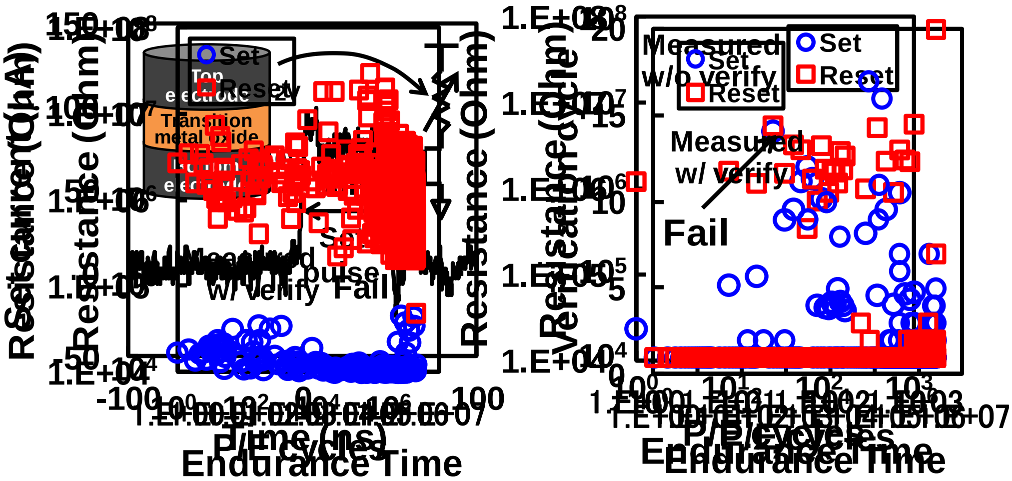


図 2.1.1-18　3 次元実装 ReRAM/MLC NAND ハイブリッド SSD の物理イメージ図

ⅲ)-1　ReRAM の仕様

まず昨年度の成果により ReRAM I/F の仕様について議論した。図 2.1.1-19(a)は、ReRAM の実測 Set パルス波形で、50ns の書き込みができている。ベリファイ･プログラミングを行うことで、書き換え回数は 10^6 回まで実現できるが、ワースト条件では、ベリファイ･プログラミングが 10 回以上必要であった図 2.1.1-19(b)は、ベリファイ･プログラミングありで書き換えした場合のベリファイ回数の実測結果である。よって、レイテンシーの要求仕様が厳しい DRAM I/F ではなく、NAND I/F のような、Ready/Busy を持つ仕様が必要である。

次に、データの上書き仕様について議論する。書き込みデータの断片化が SSD の書き込み性能低下の原因の一つであると示されている。表 2.1.1-6 に、NAND フラッシュメモリと ReRAM の仕様を示す。NAND フラッシュメモリの最小書き込み単位はページである。消去はブロック単位であり、書き込み済みページへは上書きができない。従って、ページサイズより小さい断片化したデータの上書きが発生した場合、上書き対象のページからデータを読み、上書きデータとマージをした後、新しいページにデータを書き込む。そして古いページは無効とする。NAND フラッシュメモリに上書きが続くと、無効ページが増え、書き込み可能な新しいページが少なくなる。書き込み可能な新しいページを作るためには、ブロック回収が必要となる。まず、ある一つのブロックに注目し、ブロック内の有効なデータは書き込み可能な他ブロックの新しいページにコピーする。結果ブロック内のページはすべて無効となり、そのブロックは消去できると同時に、書き込み可能な新しいページを得ることができる。これら一連の操作が書き込み性能、信頼性低下と、電力増大の原因となっている。これに対して、ReRAM のアクセス単位はセクター(512B)で、セクター単位での上書きが可能である。NAND フラッシュメモリは、記憶素子であるフローティングゲート(FG)と選択トランジスタが一体化した構造を持つことに対し、ReRAM は、選択トランジスタと記憶素子である抵抗変化素子が独立しているためである。これにより、断片化した上書きデータにより発生する問題を解決できる。



(a)　(b)

図 2.1.1-19　ReRAM の測定結果。(a)実測 Set パルス波形。(b)ベリファイ回数。

表 2.1.1-6　SLC/MLC NAND と ReRAM の仕様

	SLC/MLC NAND	ReRAM
Read latency (Max.)	85us/page	<3μs/sector
Write latency (Typical)	Lower page 400μs (SLC) Upper page 2800μs	(Set/Reset) <3μs/sector
Erase latency (Typical)	8500μs/block	Unnecessary
I/O: Toggle/ONFi DDR	400MHz	1066MHz
V_{DD} (Core / I/O)	3.3V / 1.8V	1.8V / 1.2V
Access unit	Page (16KiB)	Sector (512B)
Partial write/ overwrite	Impossible (erase required)	Possible
Required endurance	$3x10^3$	10^5

iii)-2　データマネジメントアルゴリズム

図 2.1.1-20 に 3 次元実装 ReRAM/MLC NAND ハイブリッド SSD のブロック図を示し、データマネジメントアルゴリズムを提案する。アイデアの鍵は、断片化したデータと、頻繁に上書きされるページのデータは ReRAM へ書き込み、シーケンシャルなデータは NAND フラッシュメモリに書き込むことである。

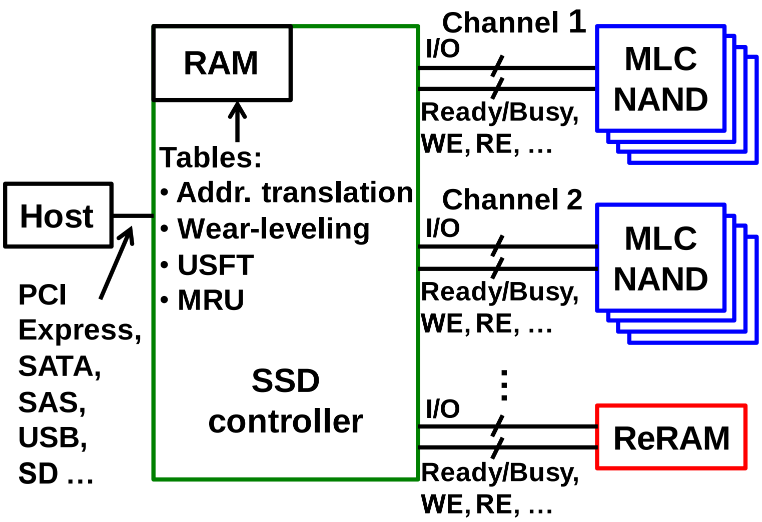


図 2.1.1-20　3 次元実装 ReRAM/MLC NAND ハイブリッド SSD のブロック図

まず、書き込みデータの断片化判定手法を提案する。図 2.1.1-21 で示す、Used Sector Flag Table (USFT)を SSD コントローラ内に持ち、Logical Sector Address (LSA)ごとに、使用済みであれば 1 未使用であれば 0 のフラグを記録する。次にページ単位の使用率 R を計算する。例えば、NAND フラッシュメモリのページサイズが 4KiB の場合、セクター数は 8 である。そのうち、使用済みのセクター数が 3 であれば使用率 R=3/8=0.375 となる。

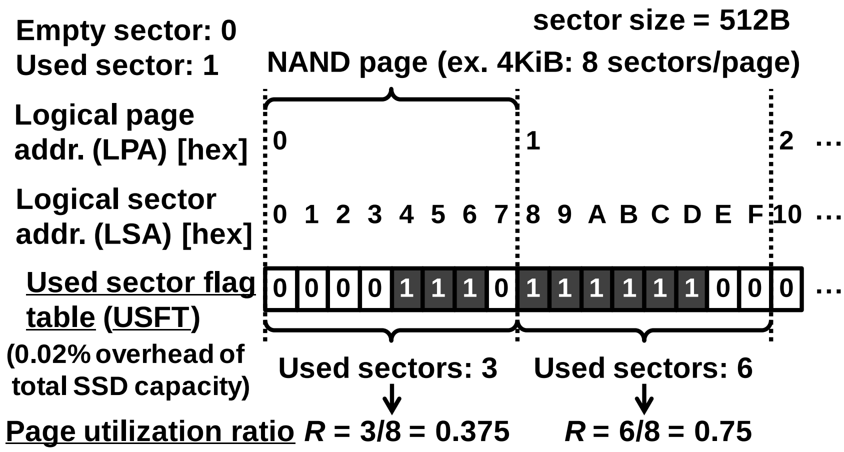
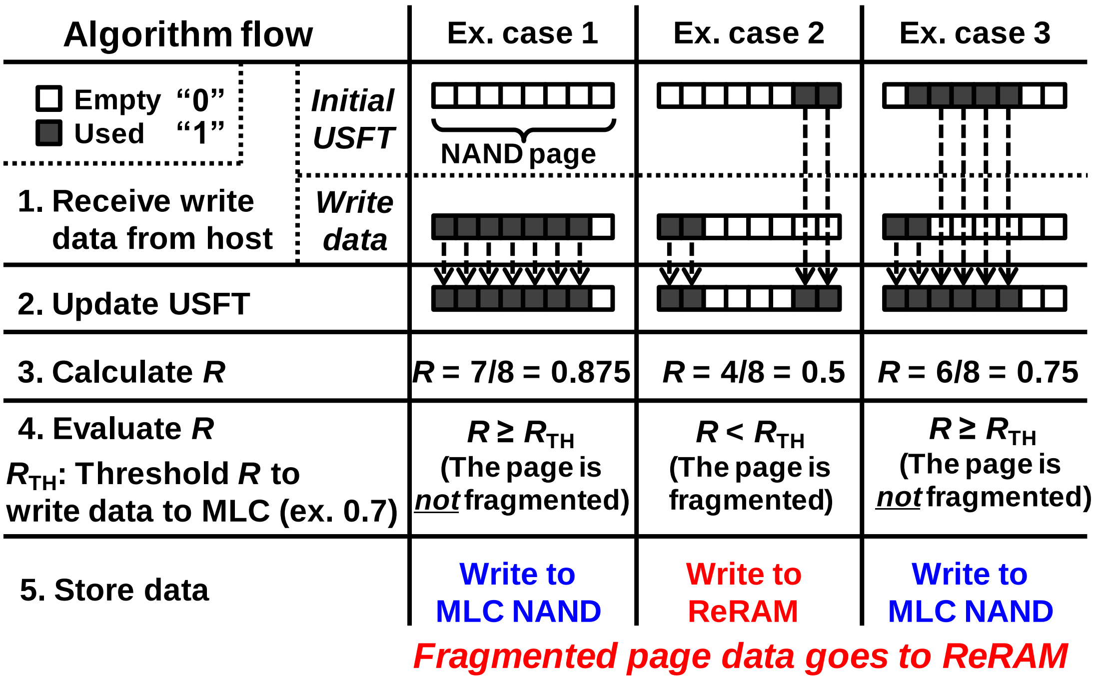


図 2.1.1-21 used sector flag table （USFT）と使用率 R の計算

データマネジメントアルゴリズムとして、図 2.1.1-22 に示す Anti-Fragmentation（AF）アルゴリズムを提案する。このアルゴリズムは断片化したデータのみ ReRAM に書き込むことを目的としている。ホストからのデータ書き込みリクエストが発行された場合、書き込み対象ページの使用率 R を計算する。R が基準値 R_{TH} より小さい場合、断片化したデータと判断し、ReRAM に書き込む。R_{TH} は ReRAM の空き容量でダイナミックに変更する。ReRAM の空き容量が多い場合には、R_{TH} の値を大きくし、ReRAM への書き込みが増えるようにする。ReRAM の空き容量が小さい場合には、R_{TH} の値を小さくし、より断片化したデータのみ ReRAM へ書き込むようにする。



(a)

ReRAM free region	~10%	10%~19%	20%~29%	30%~39%	40%~
R_{TH}	0	0.6	0.7	0.8	0.9

(b)

図 2.1.1-22 Anti-Fragmentation（AF）アルゴリズム。(a)Fragmented page 判定方法。(b)ダイナミック R_{TH} 変更方法。

次に、Most-Recently-Used (MRU) アルゴリズムを提案する（図 2.1.1-23)。ホストから来る書き込みリクエストの Logical Page Address (LPA) を FIFO アルゴリズムを使って MRU テーブルへ保存する。書き込みリクエストの LPA が、MRU テーブル内に存在する場合には、頻繁に上書きされる LPA と判断し、AF アルゴリズムの R と関係なく ReRAM に書き込む。このアルゴリズムにより、頻繁に上書きされるホットデータを、データの断片化に関わらず、ReRAM 内に留めることができる。

最後に、Reconsider-As-A-Fragmentation（RAAF）アルゴリズムを提案する（図 2.1.1-24)。AF アルゴリズムでは、ページの使用率 R が R_{TH} より大きくなった場合、そのページのデータは MLC NAND に留まり続けることになる。その R が R_{TH} より大きいページに断片化した書き込みリクエストがホストから来る場合、必ず MLC NAND 内で上書き操作が行われるため、性能低下の原因となる。RAAF は、この問題を解決し MLC NAND から ReRAM にデータを戻すアルゴリズムである。まず MLC NAND フラッシュメモリへデータが書き込まれたページの USFT はすべて 0 に戻す。次に、断片化した上書きリクエストが来た場合には、AF アルゴリズムにより R が小さいと判断され、MLC NAND フラッシュメモリのデータを ReRAM に書き戻す。以上により、RAAF はホストからの断片化した上書きデータを ReRAM へ書き込むことを実現する。

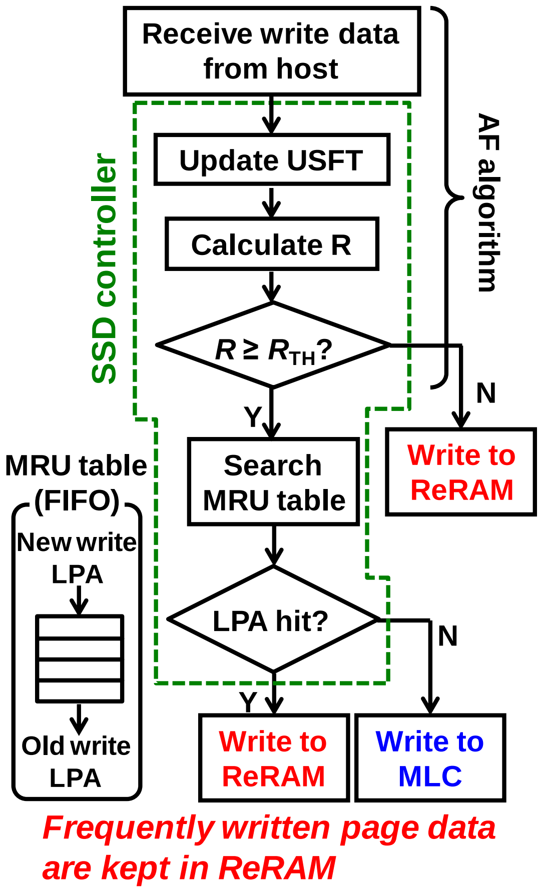


図 2.1.1-23　Most-Recently-Used (MRU) アルゴリズム

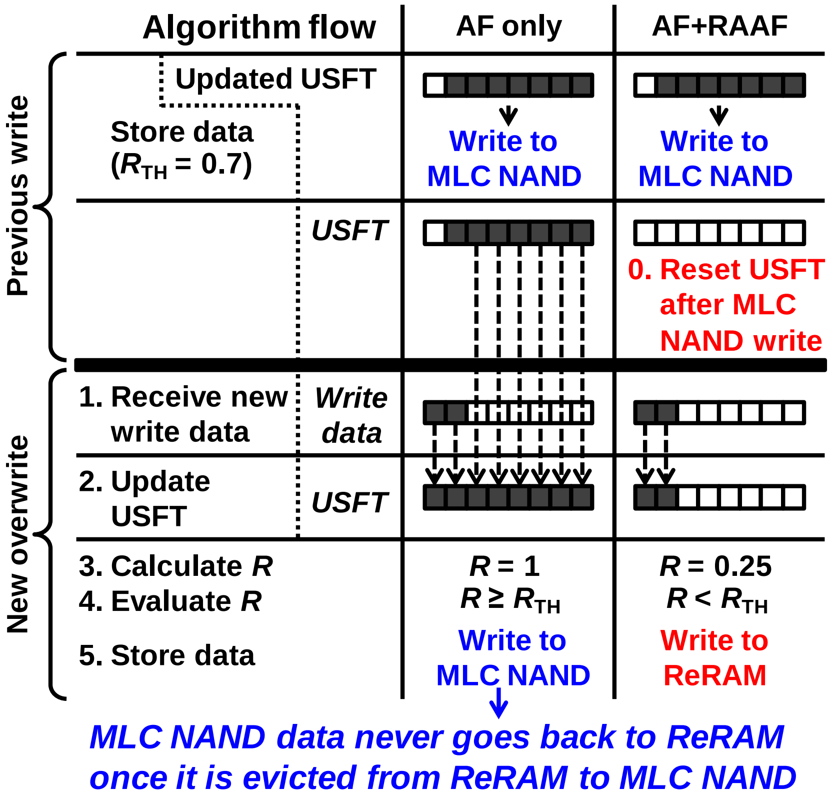


図 2.1.1-24　Reconsider-As-A-Fragmentation（RAAF）アルゴリズム

提案する 3 次元実装 ReRAM/MLC NAND ハイブリッド SSD について、TLM（transaction level modeling）ベースのエミュレータを前年度までに開発したため、これを用いて、書き込み性能、消去回数、消費電力の評価を行った。本エミュレータは各種メモリ遅延、消費エネルギー、書き換え回数を計算することが可能で、ブロック回収、ウェアレベリングなど各種 SSD 内動作を、ハードウェア記述言語を用いず、抽象度を上げた形で SSD 全体の動作のモデリングが可能である。比較対象には、従来の MLC NAND SSD と提案の 3 次元実装 ReRAM/MLC NAND ハイブリッド SSD、さらに ReRAM の代わりに SLC NAND を SCM に用いた SLC NAND/MLC NAND ハイブリッド SSD を用いた。評価に使ったワークロードは、図 2.1.1-25 に示すような、金融サーバのものを用いた。

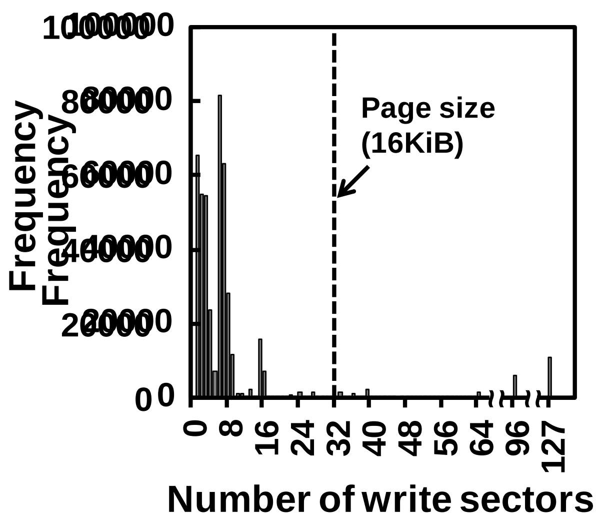


図 2.1.1-25　評価に使用した金融サーバの書き込みデータサイズの分布

評価結果を図 2.1.1-26 に示す。従来の MLC NAND SSD と比べて、提案アルゴリズムを用いた ReRAM/MLC NAND ハイブリッド SSD は、書き込み性能で 11 倍、79%の消費電力削減を実現した。さらに ReRAM/MLC NAND ハイブリッド SSD を 3 次元実装し IO 接続に TSV を用いた場合、IO 電力を 27 倍削減でき、消費電力を 93%削減できた。これにより消費電力を実質 1/10 にするアーキテクチャが可能であることが示された。TSV を用いた場合は、ESD 保護素子、パッケージ、PCB 配線などの負荷容量が削減できるためである。また MLC NAND の消去回数は、6.9 倍削減できた。SSD の交換周期を長くできるため、ストレージシステムのランニングコストを減らすことができる。

提案アルゴリズムを使い、ReRAM の代わりに SLC NAND を SCM に用いた場合、MLC NAND の消去回数を減らすことができる (図 2.1.1-26(c))。しかしながら、SLC NAND の消去回数は、MLC NAND の消去回数より 250 倍多く、SLC NAND のデバイス性能上許容できない。これは、断片化したデータが SLC NAND に書かれることで、頻繁にブロック回収が発生するためである。セクター単位で上書きが可能な ReRAM では、この問題が発生しないため、消去回数が SLC NAND より少ない。

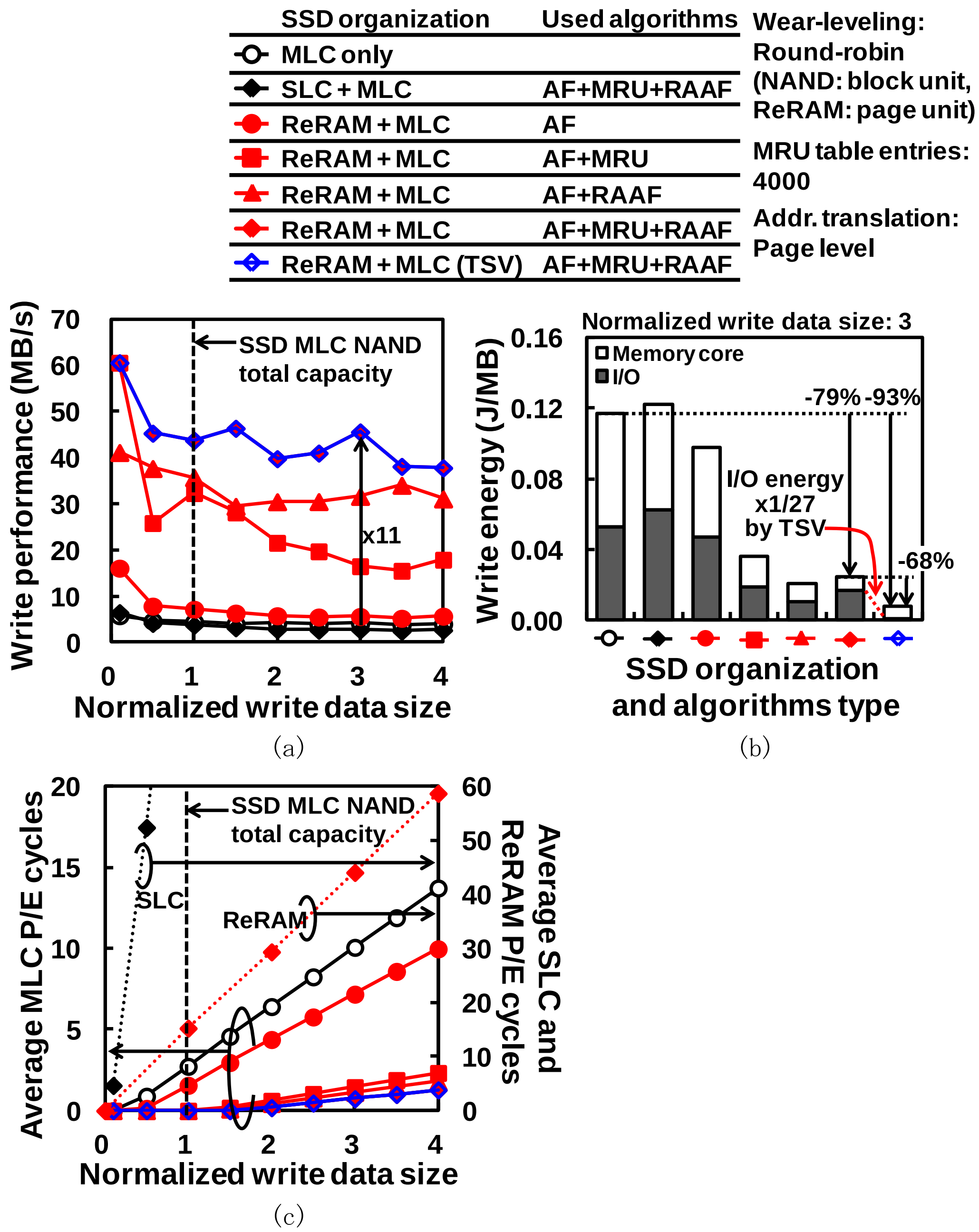
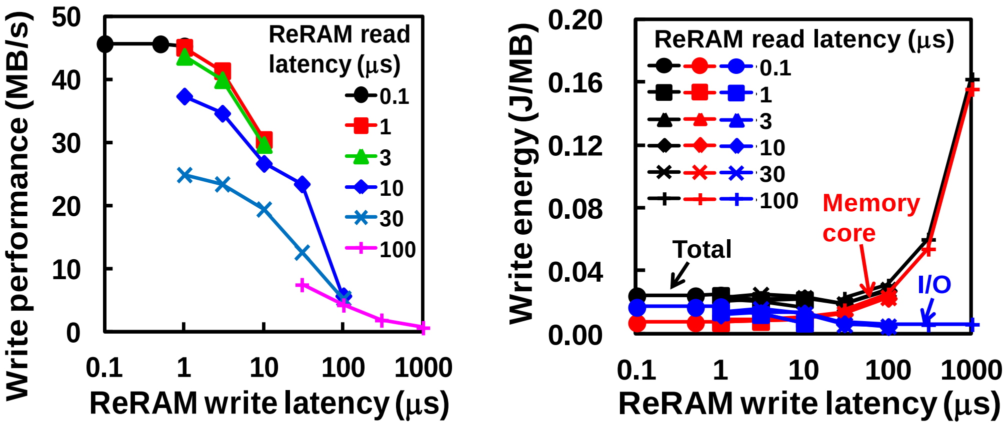


図 2.1.1-26 提案手法を含めた SSD の評価結果。(a)書き込み性能。(b)消費電力。TSV と ReRAM および提案アルゴリズムを用いることで消費電力 1/10 を実現。(c)書き換え回数。

次に ReRAM に求められる性能を探索した。図 2.1.1-27 に、ReRAM の書き込みレイテンシー、読み込みレイテンシーを様々に変えた場合の書き込み性能（図 2.1.1-27(a)）、消費電力(図 2.1.1-27(b))を示す。書き込み、読み込みレイテンシーは 3μs 以下であれば、書き込み性能を維持できることが判る。つまり、ReRAM の書き込みパルスを 50ns として 3μs までは書き込みベリファイ操作が許容できる。図 2.1.1-26(c)で ReRAM の書き換え回数と、MLC NAND の書き換え回数の比を示す。ReRAM の書き換え回数は、MLC NAND の書き換え回数の 28 倍であった。MLC NAND の許容書き換え回数を 3×10^3 とすると、ReRAM に求められる書き換え回数は 10^5 以下となる。ReRAM の書き換え回数は 10^6 のため、これを十分満たしている。本評価をまとめたものを表 2.1.1-7 に示す。



(a)　　　　　　　　(b)

図 2.1.1-27　ReRAM の書き込み、読み込みレイテンシーを様々に変えた場合の評価結果。
(a)書き込み性能(b)消費電力。

表 2. 1. 1-7 本研究のまとめ

	MLC NAND only	ReRAM + MLC	ReRAM + MLC (TSV)
Algorithm	-	AF+MRU +RAAF	AF+MRU +RAAF
Write performance (MB/s)	4.2	x11 46	46
Write energy (J/MB)	0.12	-79% 0.024	-93% 0.0079 -68%
MLC NAND P/E cycles*	3.6	x1/6.9 0.53	0.53

2.1.2 目的に照らした達成状況

平成 22 年度は主として、メモリ特性(目標仕様)を用いたメモリ等のモデルの開発を行うこととしていた。まず、システムパフォーマンス評価ツール、電力・熱評価ツール等の ESL(CAD)ツールを用いたメモリシステム開発プラットフォームの構築を行い、メモリ特性評価計測装置を導入し、メモリの特性評価に着手することで、目標を達成した。さらに高速不揮発メモリの高速性・不揮発という特性を生かしたアーキテクチャとして、高速不揮発メモリとフラッシュメモリを搭載したメモリアーキテクチャ(SSD)を提案しピーク電力を 97%削減できることを示しSSDM(Solid-State Devices and Materials)で論文発表を行った。

平成 23 年度は、メモリ特性(実チップデータ)を用いたメモリシステムの検討と最適化を行い、メモリシステム開発プラットフォームを用いて、機能モデルの作製および、仮想システムの開発に着手することとしていた。そこで、ESL(CAD)ツールを用いて、平成 22 年度に開発したメモリシステム開発プラットフォーム上に、メモリ等のデバイスの機能モデルから成る仮想デモシステムを構築することに成功した。さらに、メモリ特性評価において高速不揮発メモリの書き換え回数を 50 倍増加する、ターンバック書き込み方式を開発し、50 ナノメートルサイズの高速不揮発メモリ素子を用いて、有効性を実証し、IMW(International Memory Workshop)で論文発表を行った。提案手法はシステム性能の劣化なしに信頼性を向上することができる。ここで得られた知見、データはメモリシステムの最適化に必要なパラメータとして抽出、活用され、該当年度目標を達成した。

平成 24 年度は、平成 23 年度にまでに開発した仮想デモシステムを用いて、従来のメモリアーキテクチャの消費電力に対し、実質上 1/10 以下に削減する不揮発アーキテクチャの構成事例を探索することとしていた。そこで、フラッシュメモリへの書き込みに伴うデータ断片化による性能劣化を極力低減し、高速不揮発メモリに書き込みを代替するアーキテクチャと制御アルゴリズムを開発することに成功した。その結果、消費電力を従来 SSD アーキテクチャより実質 1/10 とすることができ、本研究の目標を達成することができた。また、これに付随して書き込み性能も 11 倍、フラッシュメモリの寿命を決定する書き換え回数も約 1/7 に削減できることも明らかとなった。さらに、高速不揮発メモリに求められる仕様を探索し、書き込み、読み込み時間は 3μs 以下、書き換え回数は 10^5 回以上必要であることを明らかにした。本技術は集積回路分野の世界トップクラスの学会である、Symposium on VLSI Circuits 2012 で論文発表が行われた。

研究成果はジャーナル論文・国際会議・国内会議で 26 件の発表を行った。また、7 件の解説論文の発表を行った。特許は7件出願した。研究成果は、学会だけでなく、新聞社等のメディアにも注目され、47 件の報道が行われた。

以上の結果より、「高速不揮発メモリ機能技術開発」プロジェクトで開発中の ReRAM が十分、実際のシステムで利用できることを明らかにし、本研究で設定した目標は全て達成された。

2.2 高速不揮発メモリの開発

独立行政法人新エネルギー・産業技術総合開発機構とエルピーダメモリは、「高速不揮発メモリ機能技術開発／高速不揮発メモリの開発」として、既存の不揮発メモリに比べて、高速性、書換え耐性を大幅に向上させ、情報機器の圧倒的な消費電力低減を実現しうる高速不揮発メモリの開発を平成22年から24年までの3年間共同で行った。また、共同実施先として、シャープ株式会社と独立行政法人産業技術総合研究所が参画した。メモリデバイスの仕様の策定は、「高速不揮発メモリ機能技術開発／不揮発アーキテクチャの研究開発」を行う中央大学チームと連携して実施した。

ギガビットクラスのメモリを実現するために、抵抗変化素子膜として遷移金属酸化物を選択した。この薄膜を上下の金属電極で挟む構造の抵抗変化素子の材料と構造の検討を、主に単体メモリセルの試作と評価を通して行った。この結果、平成23年度までにオンオフ比として一桁以上を、書き込み電流として20μA／セル程度を、書き込み時間として10ns程度を、書換え耐性として1E8回程度を、データ保持特性として240年(@55℃)を確認できた。これにより、プロジェクトの最終年度の目標である大容量プロトタイプチップの設計／回路シミュレーションを通して、ストレージクラスメモリの実用化判断を行うことが出来る見通しを得た。

抵抗変化素子と選択デバイスとしてのNch-MOSトランジスタから成るReRAMメモリセルをアレイ状に配置してメモリチップを構成する。平成24年度に実施した大容量プロトタイプチップの設計にフィードバックするため、中規模アレイ搭載チップおよび縦MOSアレイTEGの設計、試作、評価を行い、それぞれのアレイ動作を確認した。特に、縦MOSアレイTEGは、30～40nmプロセスで、選択デバイスに縦MOSトランジスタを用いた4F2メモリセルを使って平成23年度に設計を行い、平成24年度に試作を行って基本的なアレイ動作を確認することが出来た。これと同じタイプのメモリセルおよびプロセスを使うことで、更に、これをスケールダウンすることにより、大容量プロトタイプチップおよび、これ以降のギガビットクラスの高速不揮発メモリ実現の可能性をプロセス、デバイス面から見出した。

大容量プロトタイプチップは、縦MOSアレイTEGで開発したメモリセルをベースに設計した、容量8ギガビットのメモリである。ストレージクラスメモリとして、システム側からのデータ転送の高速化の要求に応えるための仕様の検討を、「高速不揮発メモリ機能技術開発／高速不揮発メモリの開発」チームと協業して行った。目標性能は、既存の不揮発メモリであるSLC　NANDフラッシュに対して10倍以上速いRead、Program時間とした。現在、設計を完了し、チップレベルでの動作を検証中であり、回路的に目標を達成できる見通しである。

以上により、遷移金属酸化物を用いた、ReRAMを、ギガビットクラスの高速不揮発メモリとして用いることで、ストレージクラスメモリが実用化可能なレベルであることの判断が出来た。

2.2.1　中規模アレイ TEG の設計

　ReRAMメモリセル素子は、抵抗変化材料とNch－MOSトランジスタから成り（図 2.2.1-1）、高抵抗状態（RESET状態＝1）と低抵抗状態（SET状態＝0）が存在する。高抵抗状態から低抵抗状態に変化させることをSET書き込み、逆に高抵抗状態から低抵抗状態に変化させることをRESET書き込みと定義する。SET書き込みは、図 2.2.1-2 においてワード線（WL）、トランジスタのゲートを電圧Vgとしてトランジスタをオン状態にしてビット線（BL）にSET電圧V_{SET} を印加することにより、ビット線からソース線（SL）に電流を流して行なう。この時、Vgを調整して流れる電流をI_{comp} に抑える必要がある。一方、RESET書き込みは、ソース線にリセット電圧V_{RESET} を印加してSET書き込みと逆に電流を流すことにより行なわれる（図 2.2.1-3）。また、ReRAMの初期の抵抗値は高抵抗状態となっており、ReRAM素子には初期化（フォーミング）動作が必要である。フォーミング動作はSET書き込みと方向に電流を流すことによって行なわれるが、ビット線（BL）に印加する電圧はセット電圧よりも高い電圧を印加する（$V_{FORMING} \geqq V_{SET}$）。この際、SET書き込みと同様に流れる電流を$I_{comp}$ 以下となる様にVgを設定して行なう。

Read動作はビット線にセット電圧よりも低い電圧をかけて行い、ビット線からソース線に流れる電流の大小をセンスアンプ回路で検出してメモリセルが高抵抗状態（RESET状態＝電流：小）と低抵抗状態（SET状態＝電流：大）を読み分ける（図 2.2.1-4）。

　これらの動作における電圧と素子に流れる電流の関係図を図 2.2.1-5 に示す。

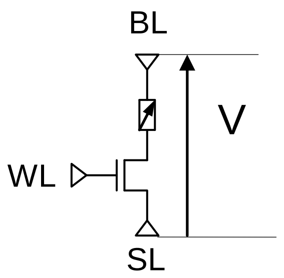


図 2.2.1-1 ReRAM 素子

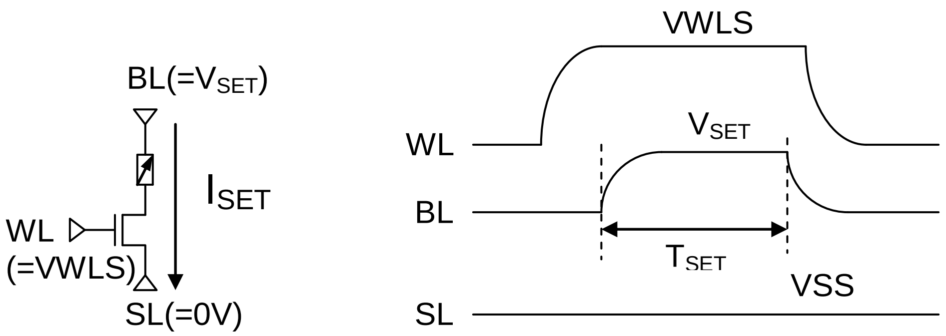


図 2.2.1-2 SET 動作

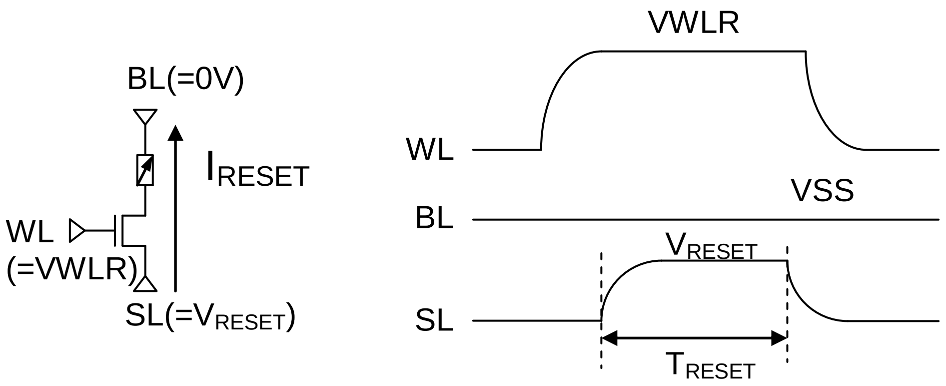


図 2.2.1-3 RESET 動作

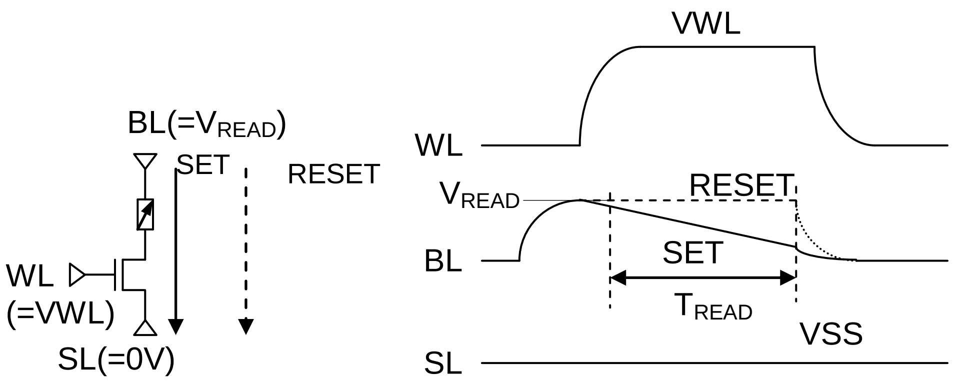


図 2.2.1-4 読み出し動作

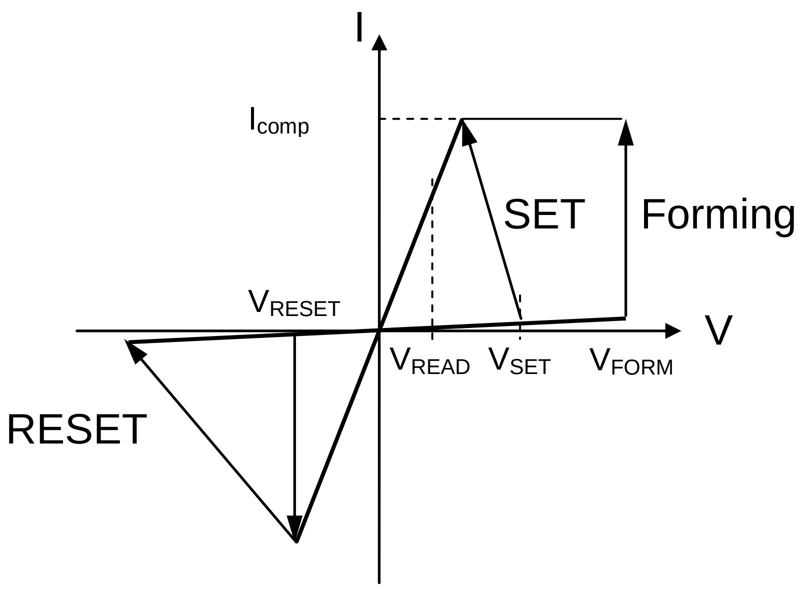


図 2.2.1-5 ReRAM 素子の電圧-電流特性

ReRAMメモリ素子の電気諸特性(電圧:V_{SET}、V_{RESET}、$V_{FORMING}$、V_{READ}、電流:I_{SET}、I_{RESET}、I_{comp}、時間:T_{SET}、T_{RESET}、T_{READ})は加工プロセス条件、材料の組み合わせ、構造などの影響を受けて大きく変動する。特に、電圧と電流については選択素子のNch－MOSトランジスタの特性との補完関係がある為、様々なReRAM素子に対応する為にはNch－MOSトランジスタの特性(耐圧＝最大印加可能電圧、電流駆動能力)を幅広く取る必要がある。この為、本研究で設計した中規模アレイTEGチップには2種類のNch－MOSトランジスタ(Cell－1, Cell－2)を選択デバイスとしたアレイを搭載することとした。表 2.2.1-1 に搭載するNch－MOSトランジスタ毎の電流・電圧仕様と搭載するメモリ容量を示す。

前述の様に、ReRAMメモリ素子の電気特性が大きく変動することに対応する為、電圧(V_{SET}、V_{RESET}、$V_{FORMING}$、V_{READ})、電流(I_{SET}、I_{RESET}、I_{comp})、時間(T_{SET}、T_{RESET}、T_{READ})は評価パラメータとして様々な値に変更できる仕組みをテストチップに搭載し、メモリ素子の評価に対応可能とした。また、メモリ素子の抵抗値は10KΩ～10MΩの広範囲にわたり測定可能な回路を搭載することにより、メモリセルの特性評価の範囲を広げることが可能となった。

図 2.2.1-6 に中規模アレイ搭載テストチップのチップ写真を示す。プロセスルールは65nm CMOSプロセスで、チップサイズは7．3mm×9．47mm＝69．131mm^{2}となった。Cell－1、Cell－2は図 2.2.1-6 の通り、Bank A／BとBankC／Dにそれぞれ搭載されている。電源電圧(VDD)は1．8Vで、語構成(I／O)は×16、最大データ転送速度は200Mbpsとなっている。

表 2.2.1-1　メモリ素子動作条件

	Cell1	Cell2
容量	64Mb (32Mb x 2Bank)	16Mb (8Mb x 2Bank)
$V_{FORMING}$ (max)	3.0V	4.0V
V_{SET} (max)	3.0V	3.5V
VWLS (max)	2.0V	2.8V
V_{RESET} (max)	3.0V	3.5V
VWLR (max)	2.0V	2.8V
V_{READ} (typ)	0.3V	0.3V
VWL (typ)	2.5V	2.5V
I_{SET} (max)	180uA	300uA
I_{RESET} (max)	180uA	300uA

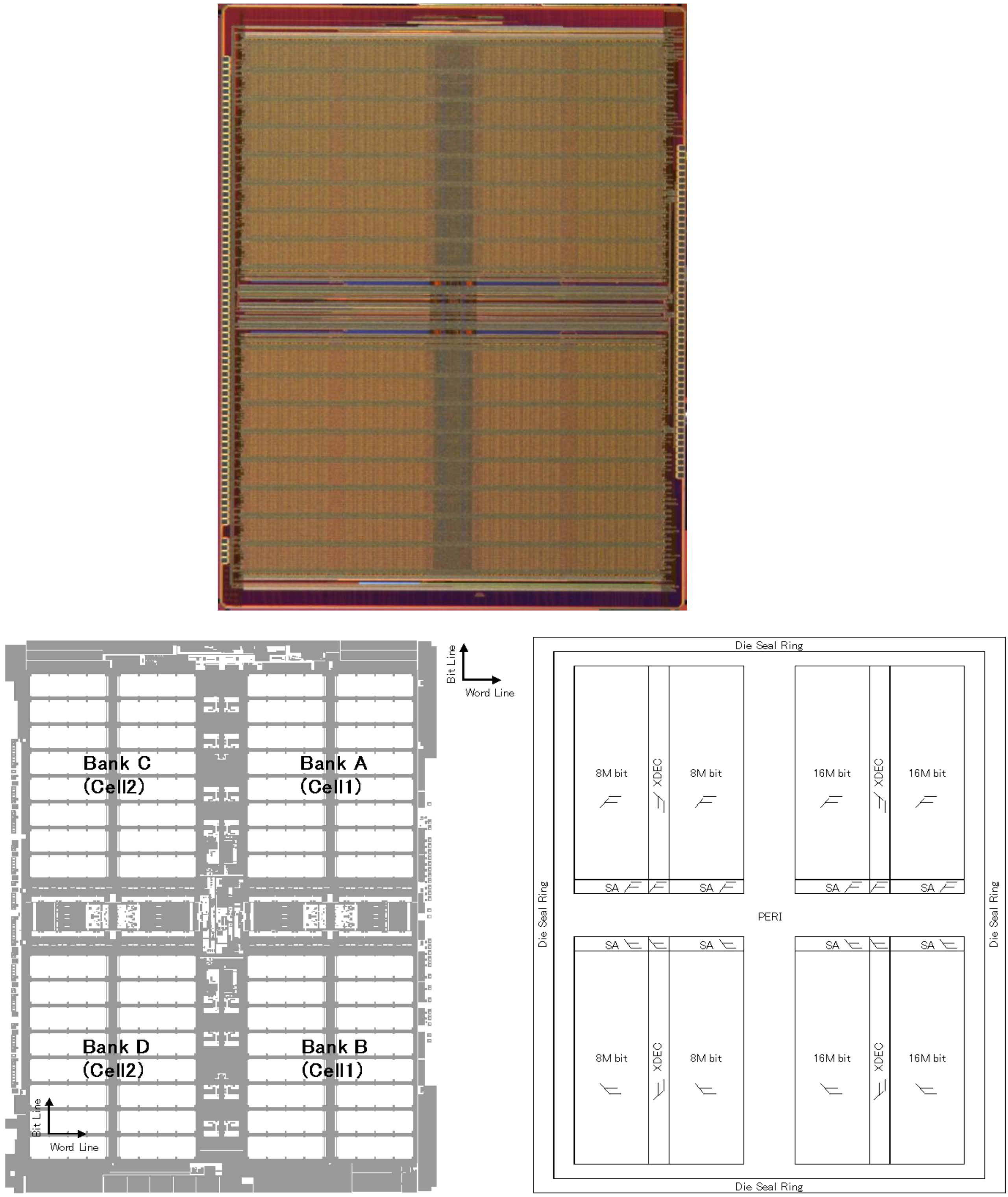


図 2.2.1-6 アレイ TEG チップ写真とバンク構成

2.2.2 単体メモリセルの試作と評価

容量1Gbit以上の高集積度のReRAMを実現するための基本データの取得を目的に単体メモリセルの試作を行った。単体メモリセルは、中規模アレイTEGの Cell1 と同じ構造の1ビットのセルをアルミ配線で引き出すものである。これにより、中規模アレイTEGをフル試作する場合に比べて、試作TATを大幅に短縮することが可能となった。試作には、300mmウエハ加工ラインを用いた。

抵抗変化素子膜としては、学会等で種々の材料が報告されているが、本研究では、既存のメモリプロセスとの整合性等も考慮して遷移金属酸化物を候補として選定した。また、素子膜とともにスイッチング特性を決める重要な要素となる電極材料／構造に関しても数種類を選択し、パラメータを比較した。更に、メモリプロセス構築で必要となる熱処理工程の影響も評価し、素子構造構築の判断材料とした。

平成22年度と平成23年度に、上記のタイプの単体メモリセルの試作評価を行い、書き込み電流として20μA／セル(図 2.2.2-1)を確認し、達成目標の2)を、また、書き込み時間として10ns(図 2.2.2-2)を確認し、達成目標4)を実用化レベルでクリアした。書き換え耐性は、10^8回(図 2.2.2-3)程度であり、DRAMの置き換えを考えた達成目標には届いていないが、既存のNANDフラッシュメモリを凌駕するものであり、ストレージクラスメモリとして十分実用化可能なレベルであると判断している。オンオフ比は一桁以上(図 2.2.2-4)と目標を達成。単体メモリセル評価を通して、中規模/大規模アレイに適用可能な素子構造を構築出来た。

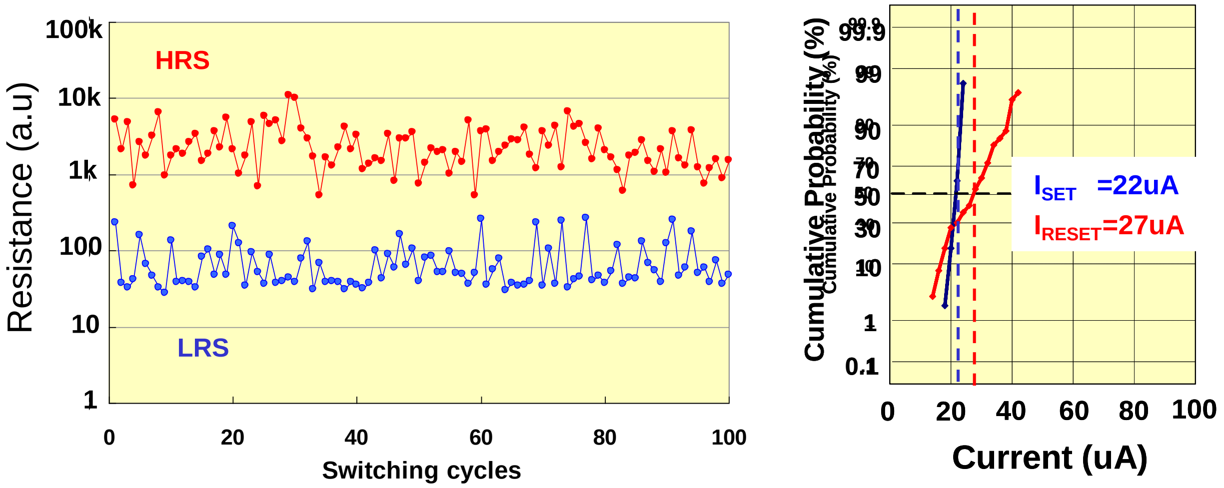


図 2.2.2-1 単体メモリセル Switching 特性

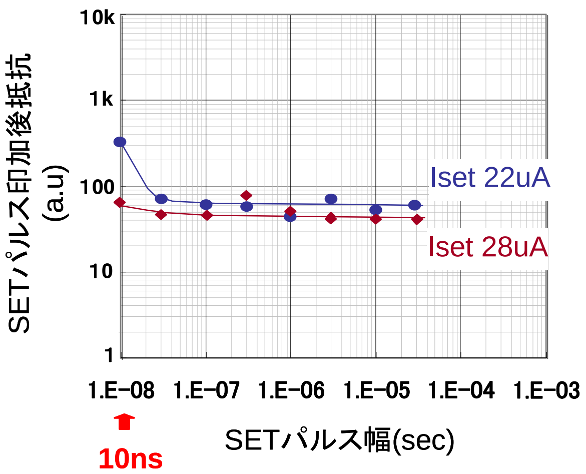


図 2.2.2-2 書き込み時間
10ns まで低電流書き込みが可能

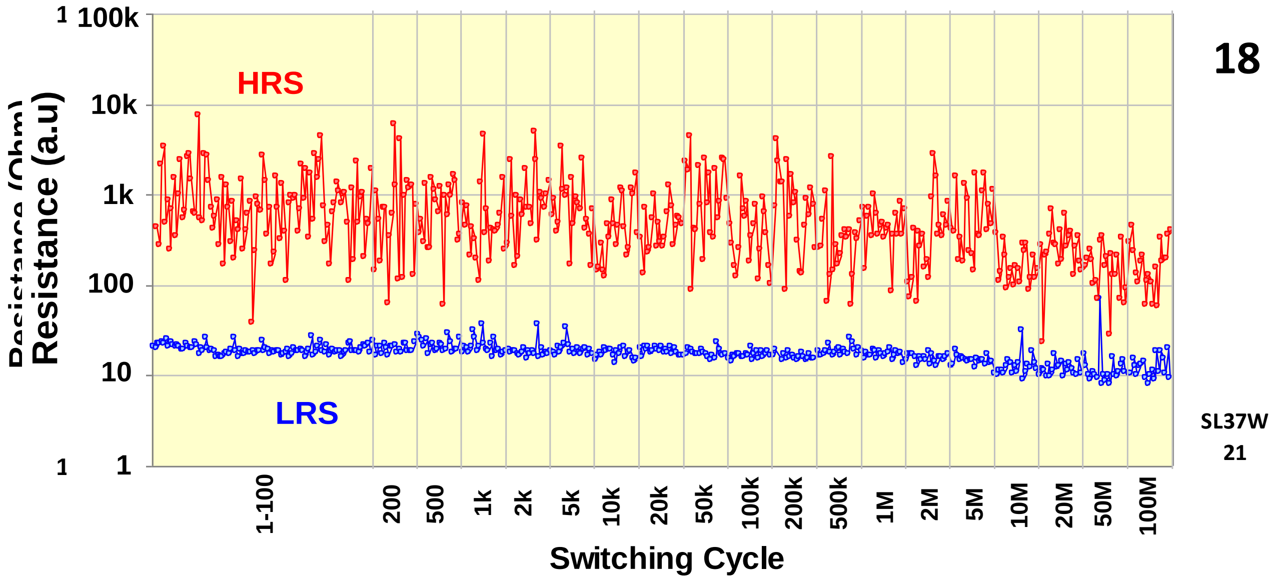


図 2.2.2-3 書き換え耐性

100cycle 以降、各測定ポイントで 20 回の Set/Reset を繰り返し測定。10^8 回まで Switching を確認。

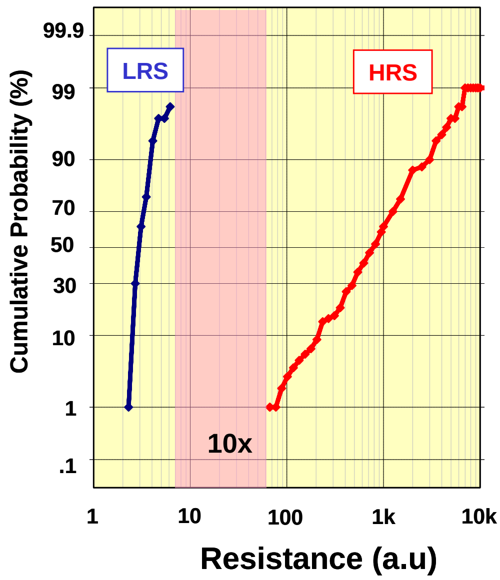


図 2.2.2-4 抵抗分布

2.2.3 中規模アレイ搭載テストチップの試作と評価

平成22年度に設計した中規模アレイ搭載テストチップの試作を平成23年度に行い、アレイ動作を確認した。このアレイの抵抗変化素子の下部電極サイズ（直径）はおよそ50nmであり、実用的なチップサイズで容量1Gbit以上を実現出来るレベルである。

この中規模アレイを用いてデータ保持特性を評価。55℃で240年(@$t_{1\%}$,図 2.2.3-1)を確認。製品化に向けて更に精度を上げていく。

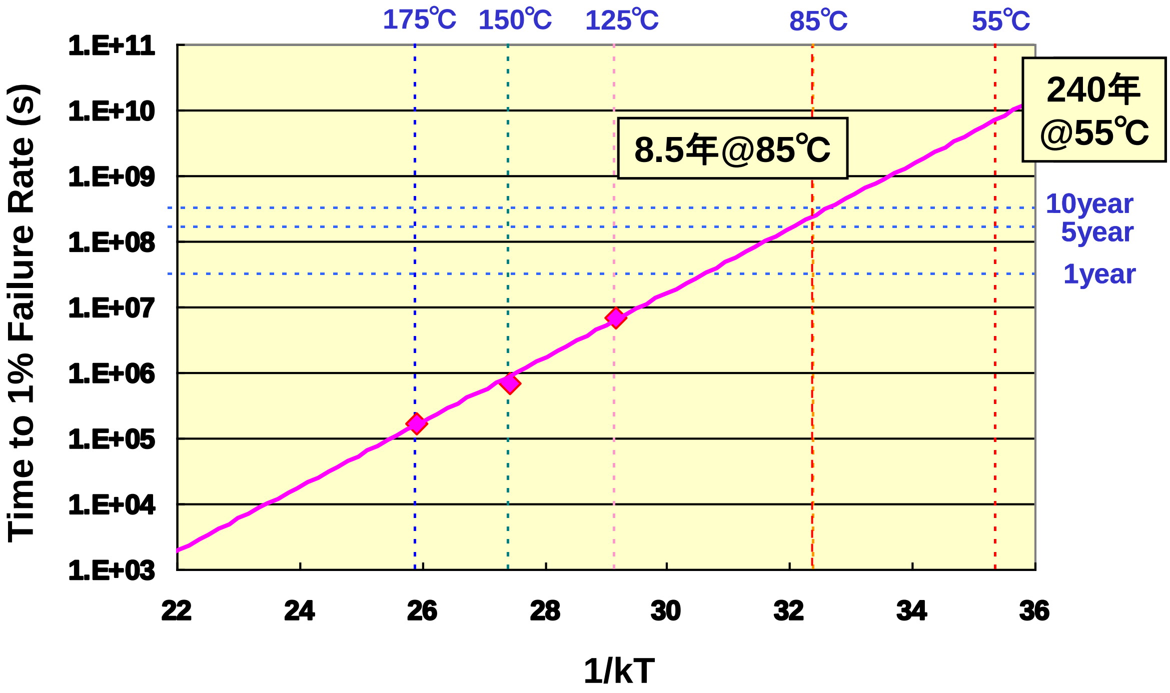


図 2.2.3-1 データ保持特性

2.2.4 縦MOSアレイTEGの設計

大容量プロトタイプチップではコスト面でリーズナブルなチップサイズを実現するため、30～40nmプロセスで、選択デバイスにセルサイズが4F2となる縦MOSトランジスタを採用する。抵抗変化素子と縦MOSトランジスタの整合性の確認と、トータルプロセスの立ち上げを目的とした1Gb縦MOSアレイTEGの設計を行った。

本アレイTEGの基本的な回路構成は前述の中規模アレイTEGチップを踏襲し、電圧、電流、時間は評価パラメータとして様々な値に変更できる仕組みを搭載し、抵抗変化素子の特性が大きく変動しても、同様に評価が可能となるように設計した。

ただし、縦MOSトランジスタの電流駆動能力と電圧条件が中規模アレイTEGに搭載したセルトランジスタ（平面N－Ch MOSトランジスタ）のものと異なる事、及び周辺トランジスタのプロセスが異なることから、メモリアレイ制御電圧と外部の電源電圧が異なる。図 2.2.4-1 に縦MOSアレイTEGのセル構造を、バイアス条件を表 2.2.4-1 に示す。

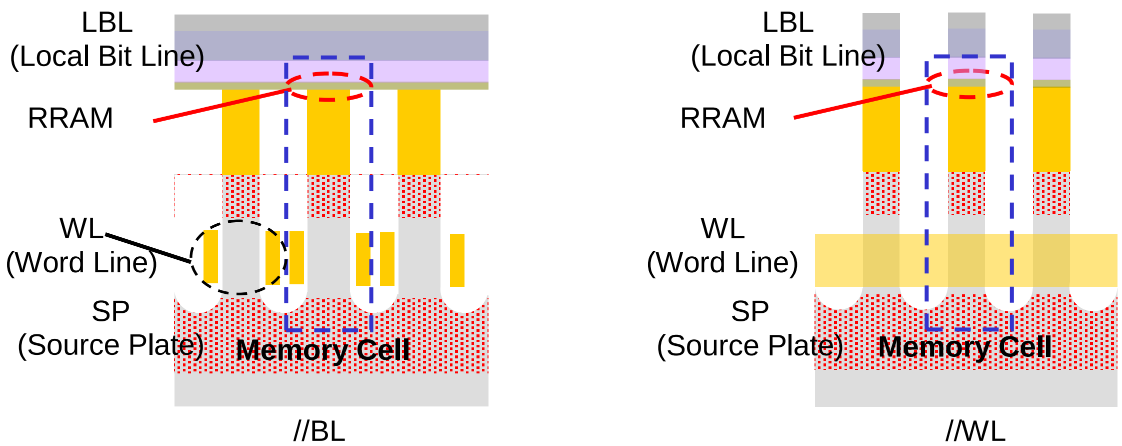


図 2.2.4-1 縦 MOS アレイ TEG セル構造

表 2.2.4-1 縦 MOS アレイ TEG 動作条件

電圧/電流	
$V_{FORMING}$ (max)	3.5V
V_{SET} (max)	2.5V
VWLS (max)	1.5V
V_{RESET} (max)	2.5V
VWLR (max)	2.0V
V_{READ} (typ)	0.3V
VWL (typ)	1.5V
VKK (max) (非選択WL電圧)	-2.0V
I_{SET} (max)	35uA
I_{RESET} (max)	35uA

図 2.2.4-2 に縦 MOS アレイ TEG のチップレイアウト結果を示す。チップサイズは 8.14mm x6.48mm=52.75mm2 で、評価可能ビット数は1Gb、プロセス加工用のダミーセルは約3Gb 含まれている。DDR3 インタフェース、電源電圧(=VDD)は 1.5V で語構成(I/O)は x8 となっている。

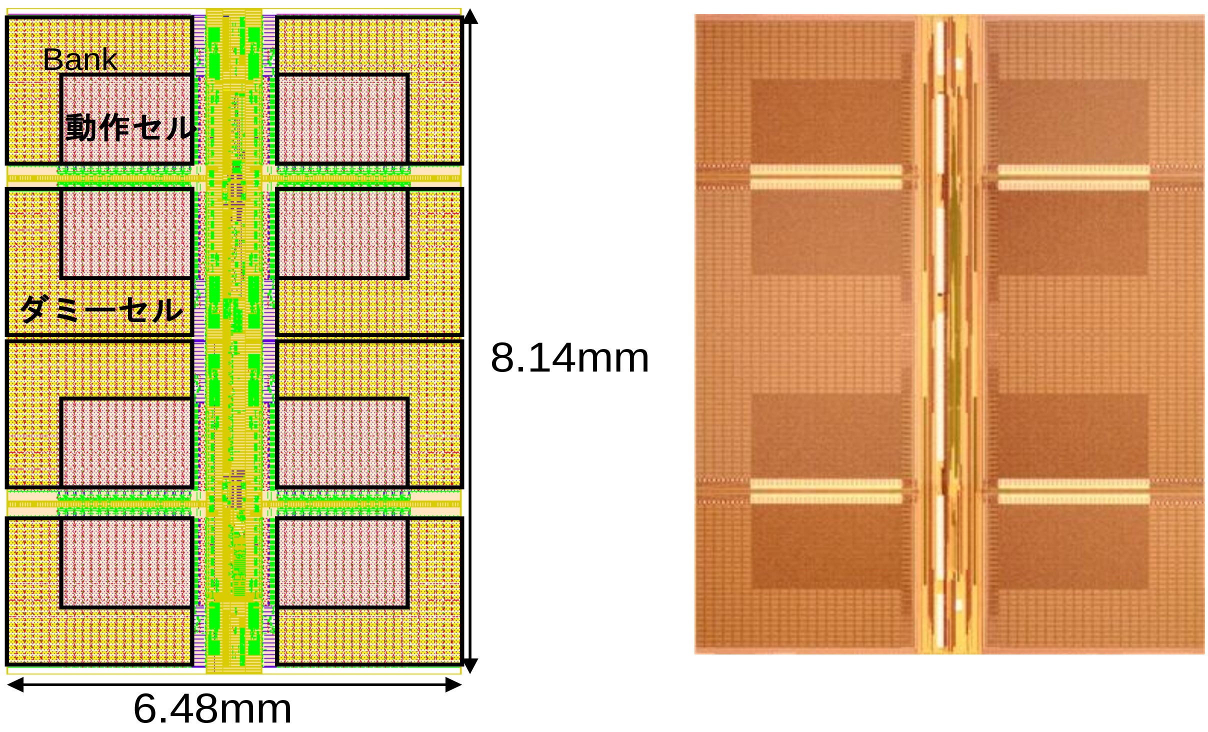


図 2.2.4-2 縦 MOS アレイ TEG チップイメージ

2.2.5 縦MOSアレイTEGの試作と評価

平成23年度に設計した縦MOSアレイTEGの試作と評価を平成24年度に行った。抵抗変化材料・電極材料の構造は、単体メモリセルと中規模アレイ搭載チップを使って開発したものを適用した。しかし、これらの従来ツールに比べて、縦MOSアレイTEGでは、フォーミングに要する電圧が大幅に増加し、フォーミングやその後のスイッチング特性が悪化することが判明した。従来ツールと縦MOSアレイTEGのメモリセルでは、下部電極径はほぼ等しいが、上部電極のサイズが、従来ツールでは、およそ200nmの方形パターンであるのに対して、縦MOSアレイTEGでは、設計最小寸法であるおよそ40nmのラインパターンであるという違いがある。物理解析を行った結果、上部電極の一部に使っている材料αを通して外部から酸素が進入することがフォーミング耐圧上昇の原因であることが判った。種々の実験の結果、材料αから酸素を通しにくい材料βに変えることで、フォーミング耐圧を改善出来た。また、電極材料の変更によるスイッチング特性への影響を抑えるため、構造の見直しを行った。この結果、従来の材料αで得られていたものと同等の特性を材料βでも実現出来た。

この新構造を縦MOSアレイTEGに適用することで、図 2.2.5-1 に示す様にアレイとしてのスイッチング特性を確認することが出来、ギガビットクラスのストレージクラスメモリ実現の可能性を見出した。

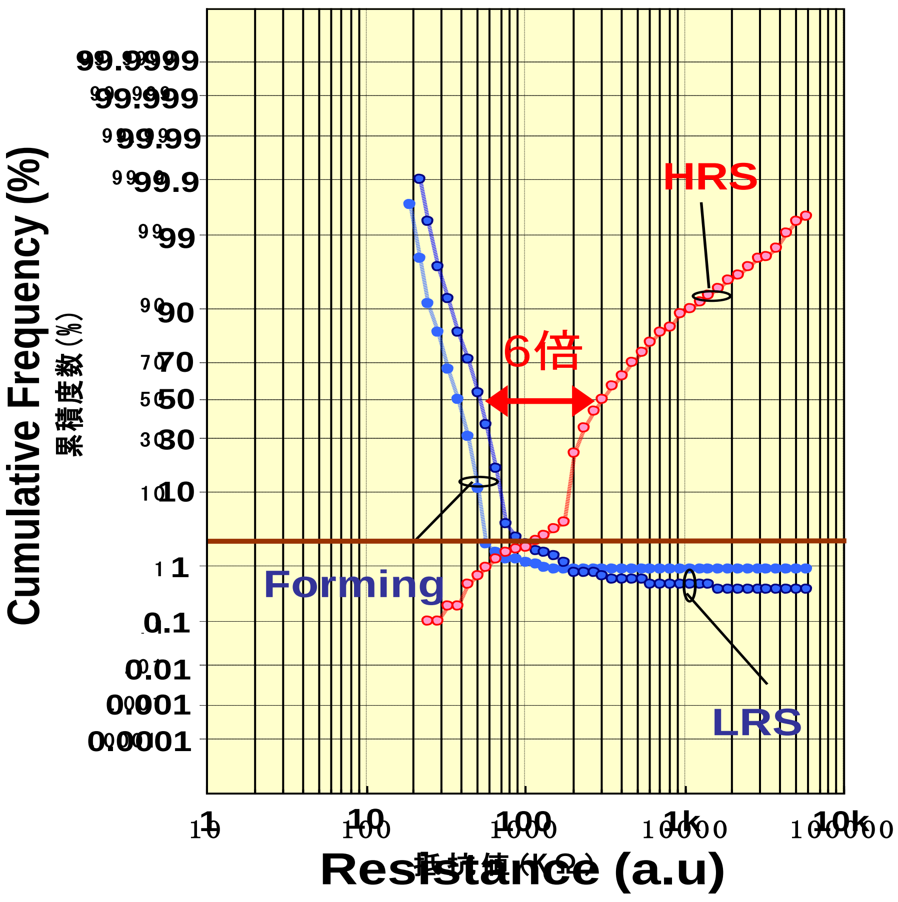


図 2.2.5-1 縦 MOS アレイ TEG のスイッチング特性(LRS/HRS 抵抗分布)

2.2.6 大容量プロトタイプチップの設計

縦 MOS アレイ TEG のメモリセルをベースに 8Gb プロトタイプチップの設計を行った。メモリセルは縦 MOS アレイ TEG と同じで、周辺トランジスタはスタンバイ電流低減の為、モバイル DRAM の周辺トランジスタを使用している。

「不揮発アーキテクチャの研究開発」における NAND Flash, DRAM, コントローラ＋ReRAM のシステムの研究との協業において、既存のメモリインタフェースを踏襲し、かつ高速データ転送が必要との要求から、コマンド・アドレス体系は NAND インタフェース、Din/Dout のデータ転送が高速な Toggle Mode を使用できるという点から、インタフェースとして、Toggle NAND 1.0 を採用した。このシステム側からデータ転送の高速化の要求に応える為に Read/Write 時のデータの転送レートを最大 400Mbps とし、通常の NAND フラッシュの 40Mbps(SDR モード)に対して高速化を図る。電源電圧は VDD=3.3V, VDDQ=1.8V で語構成(I/O)は x8 のみ。縦 MOS アレイ TEG では、アレイ制御の電圧は外部印加としていたが、本チップにおいては外部電圧 VDD から発生させている。チップサイズは、11.95mm x 8.03mm=95.96mm2、セル占有率は 59.6%。

プロトタイプチップの目標仕様を表 2.2.6-1 に、プロトタイプチップ・レイアウトイメージを図 2.2.6-1 に示す。

SLC NAND フラッシュに対して、10 倍以上短い Read(1st アクセス)時間、Program 時間を目標に設計を行い、メモリ特性に依存する部分はあるが、回路的に目標を達成できる見通しであり、現在チップレベルでの動作検証中である。（事業終了後、検証を完了済み）

表 2.2.6-1 プロトタイプチップ目標仕様

項目	目標
容量	8Gb (4Gb x 2Bank)
インタフェース	Toggle NAND 1.0
ページサイズ	(4K+128) Byte
ブロックサイズ	(256K+8K) Byte
ページプログラム時間 (typical)	8us
ブロック消去時間 (typical)	0.5ms
1st アクセス時間 (max.)	1us
シリアルアクセス時間 (min.)	5ns
Din/Dout スループット (max.)	SDR Mode: 200MB/s Toggle Mode: 400MB/s
動作電流 1 (max.) @Din/Dout Burst	SDR Mode: 30mA Toggle Mode: 200mA
動作電流 2 (max.) @Program/Erase	30mA
スタンバイ電流 (max.)	50uA
VDD/VDDQ	VDD=2.7V-3.6V/VDDQ=1.7V-1.95V
動作温度	0C - +85C
書き換え耐性	10^6 回以上

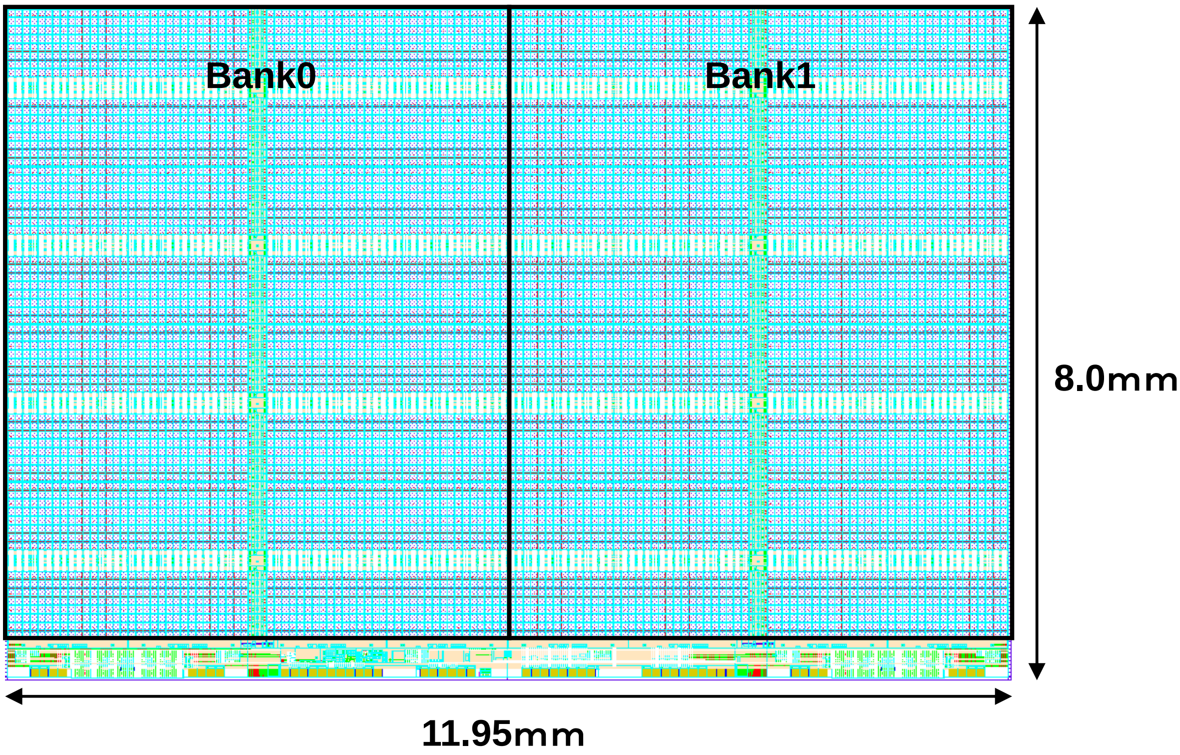


図 2.2.6-1 プロトタイプチップ・レイアウトイメージ

Ⅳ．実用化・事業化に向けての見通し及び取り組みについて

1．他社・市場状況

1－1．他社状況

次世代不揮発メモリとして、ReRAM の開発は更に活発となってきており、国際学会での発表においても年々その数が増加すると同時に、研究成果の質の向上も図られてきた。最近では、IMW2013 にて、トータル 53 件中 ReRAM のみで 3 ブロック・計 17 件の発表があり、数々の不揮発メモリの中で最も多くの研究成果が発表され、また大きな注目が注がれていた。多くのデバイス研究者・装置開発者からも次世代不揮発メモリとして、一早い実用化への期待が高いことが伺える。

表Ⅳ-1-1 に、メモリ・メーカー各社の ReRAM 開発への取り組み状況・ベンチマーク結果を示す。

表Ⅳ-1-1　各社 ReRAM 開発状況・ベンチマーク結果

	高速不揮発	NAND 代替					混載メモリ
プログラム方式・特徴	Bipolar				Unipolar	CMOx	Bipolar
企業	Elpida	A社		B社	C/D社	E/G社	H社
セルサイズ	$4F^2$	$4F^2$	$4F^2$	$4F^2$	$4F^2$	$4F^2$	$4F^2$
書き込み電圧 (SET/RESET)	+2.5V/-1.6V	4V/-5V	-5V/7V	-3V/+2.5V	2.5V<	-2.5V/+2.5V	-1.8V/+1.8V
書き込み電流	30uA～	80uA	30uA(DC)	-	?	1uA	<100uA
書き込み時間	<10ns	1000ns	10ns	-	230us (With Verify)	1000ns	<30ns
書換え回数	10^8	10^6	10^7	10^{10}	?	10^5	10^7
データ保持特性	10years	10years	10years	10^4s<	?	> 1Year	10years

Good　　Avarage　　Not Good

ReRAM の素子としてはこれまで二元系遷移金属酸化物を中心に多岐に渡る材料が研究されてきたが、現在では HfO、TaO、HfO/AlO、TiO などの材料にほぼ収束してきたもようだ。また、ターゲットとする市場は異なっているが、エルピーダメモリおよび Panasonic 社以外の各社においては、ポスト NAND Flash として性能・構造の最適化を図っている。それぞれに要求されるスペックに従い、プログラム電流・電圧、書き込み速度、書換え耐性と採用するセレクト・デバイス、素子配置構造の研究・最適化が進められている状況である。

現在、各社とも ReRAM に対する解決すべき課題が明確になりつつある状況であり、今後、特性改善のための研究及びメカニズム解析より、材料・構造の最適化、プログラム電圧・電流の低減、信頼性の更なる向上、バラツキの対策などが進められると思われる。また NAND Flash 代替のためにはチップコストの削減も必須技術開発事項であり、多層積層構造または BiCS に代表される NAND Flash の 3D 構造を応用した ReRAM 開発も進められるであろう。

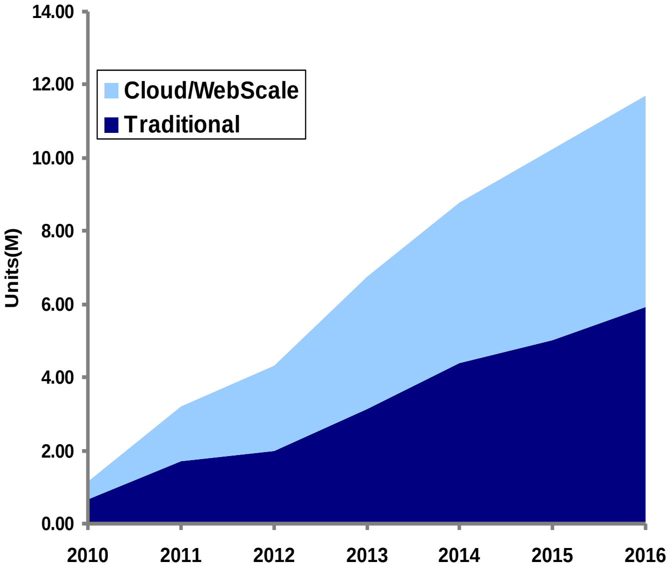
ISSC2013 においては、ポスト NAND Flash を目指した ReRAM の大容量化技術と回路技術について、Sandisk/東芝社より学会では初めてギガビットクラスの製品化を目指した 2 層スタック構造の 32GBit ReRAM テストチップの開発状況が報告され、多いに話題を呼んだところである。2015 年にはプロトタイプ品を市場投入していくとの事であり、他社においても、およそ同様の時期を見て開発を進めている状況である。

一方で、Panasonic 社はすでに自社マイコン用の組み込みメモリとして ReRAM を採用している。マイコンの消費電力削減、内蔵 NOR Flash の代替技術として量産が開始されているもようである。

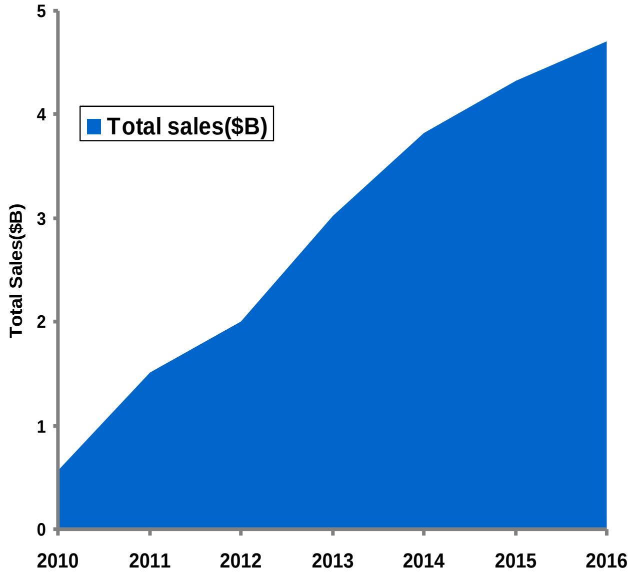
以上のように、各社の状況から 2015 年はポスト NAND Flash として大容量 ReRAM の製品化元年になる可能性が高いと考えられるのではないだろうか。

1－2. 市場状況

コンピューティングの世界は確実にパラダイムシフトを起こし、クラウド・コンピューティング化による膨大なデータの保存と共有化、それに伴うデータセンターの増大に伴い発生する発熱・冷却コスト削減のため、ストレージデバイスの SSD 化が急激に加速、SQL サーバーの高速化においても SSD の利用が加速されてきた。マイクロソフト社はじめ、各サーバーメーカーもプロモーション活動を活発に開始し、SSD 化を加速させている状況である。



図Ⅳ-1-1 Enterprise サーバー向け
SSD 出荷台数予測



図Ⅳ-1-2 Enterprise サーバー向け
SSD 出荷金額予測

図Ⅳ-1-1 に、Enterprise サーバー向け SSD の出荷台数予測、また図Ⅳ-1-2 には、Enterprise サーバー向け SSD の出荷金額予測(出典:Gartner 社)を示す。本事業を開始した 2010 年には、1.15 百万台・5.6 億ドルの市場規模であったが、2016 年にはおよそ 9 倍の 11.7 百万台、金額にすると 47 億ドルまで伸張すると予測されている。

現在のところ依然として SSD のメインとなるメモリは、これまでのように NAND Flash が主流であると見られている。高信頼度を要求される Enterprise 向け SSD においても、既に MLC の採用が加速しており、今後 TLC/QLC 化が加速され、よりコストパフォーマンスの高い不揮発メモリが要求されてくるようになるだろう。多値化・微細化プロセスにより十分でなくなる信頼性及び性能は、採用するメモリに適用したメモリコントローラーの最適化設計により補われる。つまり、ハードウェアとソフトウェアとのシステムレベルでの協調設計がより一層重要なファクターとなっている状況である。

1－3. まとめ

本事業においては、デバイスの開発とシステムの開発とを協調して行うことにより、新たなシステムの提案を行った。

現在、高性能サーバー用 SSD として、PCIe SSD が主流となっているが、レイテンシーは 20us 程度とまだまだ改善の余地は残されている。より、高性能・大容量のストレージサーバーを実現する上で、本事業で提案した高速不揮発メモリを SSD のキャッシュとして利用することにより、より高速で高信頼度、低電力化を実現するデバイスの提供が可能となると考える。

ReRAM の実用化については、デバイス改善及び評価と、中規模アレイ及び大規模アレイでの評価・信頼性の見極めを継続して行い、弱点部分をシステムレベルで補っていく最適仕様化・協調設計手法の水平展開を進め、製品化を目指して行きたい。

2．　実用化・事業化の見通しについて

　ReRAM実用化のためには、更なるスイッチング素子の信頼性向上とばらつき低減が必要であり、プロジェクト終了後の現在も中規模アレイを使った改善活動を継続している。一方、大容量プロトチップは、回路設計を終わり、チップレベルでの動作確認をシミュレーションレベルで完了した。今後は、スイッチング素子の改善結果を反映させた大容量プロトチップの試作を行い、早期にサンプル出荷を行うことを目指す。

（添付資料）
● **プロジェクト基本計画**

Ｐ１０００２

（ＩＴイノベーションプログラム・エネルギーイノベーションプログラム）
「高速不揮発メモリ機能技術開発」基本計画

電子・材料・ナノテクノロジー部

１．研究開発の目的・目標・内容
（１）研究開発の目的
①政策的な重要性

我が国のエネルギーセキュリティの確保や、世界中で取り組みが行われている温室効果ガス削減運動への対応は、今後の我が国の発展に不可欠な課題である。そのため、経済・社会活動を支えるあらゆる分野で、省エネルギー化を図る画期的な技術革新が求められている。

特に、我が国をはじめとして先進国では経済・社会活動への情報機器の浸透が進んでおり、現行の生活水準を保ちつつ社会全体の消費電力の低減を図る上で、情報機器・システムの小電力化の貢献度は高い。また、現在経済発展が進んでいるＢＲＩＣｓや今後経済発展が見込まれている諸国・地域においては、経済発展に伴い急速なＩＴ化が進んでおり、パソコンや携帯電話といった情報機器の消費電力量が一層増大すると予想され、情報機器の大幅な低消費電力化が必須となる。さらに、これら諸国に続いて経済発展を目指す途上国においては、パソコンや携帯電話といった情報機器への普及ニーズは高いものの十分な電力インフラが整備されておらず、バッテリー動作に対応することが望ましい。以上より、極めて少ない電力で動作する情報機器の実現が望まれている。

これらの問題を解決するためには、現行の機器の内部構成を前提とした単体機器の省電力技術開発では不十分であり、革新的な超低消費電力情報機器の基盤となる技術開発が必要不可欠である。中でも、情報機器におけるメモリの消費電力の大きさは看過できないものであり、電源をオフにしてもデータが保存され、かつ高速に動作する高速不揮発メモリを搭載したシステムの開発が革新的な超低消費電力情報機器の実現に重要な要素となる。

このような動向を踏まえて本プロジェクトは、ＩＴイノベーションプログラムおよびエネルギーイノベーションプログラムの一環として実施する。

②我が国の状況

我が国では、国内各機関により、様々な不揮発メモリの開発を進めており、世界に先駆けた研究成果をあげている。

一方で、ＤＲＡＭに代表される汎用のメモリは、容量・速度の向上などのトレンドに乗

った開発には巨額の投資を要するにもかかわらず、適用製品の基本設計がおもに海外企業によりなされたものであり、素子自体の規格はオープン化されているため、シェアを獲得するにはグローバルなコスト競争に勝ち続ける必要があり、利益を確保することが容易でない状況である。このため、これまでにない機能の素子を実現し、基本設計と市場を日本主導で立ち上げることが望まれる。不揮発メモリの使用を前提とする全く新しい情報機器システムを生み出すことが、その期待に応えるひとつの道筋と考える。

③世界の取り組み状況

米国、欧州、韓国におけるそれぞれの企業や機関で、基礎研究から技術開発、実証研究等の取り組みが行われている。不揮発メモリに関する新規性を有した技術的成果が続々と登場しており、各国の開発競争が激化することが予想される。各国が自国の研究開発組織に数十億円規模の公的資金を投入するなど、戦略的な取り組みをおこなっていることを考慮すると、我が国においても、国際競争力強化の観点から、引き続き戦略的・重点的な支援が必要である。

④本事業のねらい

本プロジェクトでは、以下の２点を目指す。

a)　現行の揮発メモリに比較してより高速かつ大幅に消費電力を低減することが可能な不揮発メモリの物理的な基本構成を確立する。

b)　同メモリが実用レベルに達した際の特性を予期して、その不揮発メモリがＣＰＵをはじめとする周囲の素子間の整合をとりつつ、全体として機能するのに必要な項目を明らかにし、それらの洗い出された項目に対応して必要なシステムの構成を提示することにより、低消費電力かつ有効なモデル機器の基本構成を確立する。

また、これまで揮発メモリの使用を前提として進められてきた情報機器が高速不揮発メモリの使用を前提とした場合、情報機器の設計手法は大きく変化することが予想される。このような設計手法は、当該メモリを用いて新規なシステムの設計に携わろうとする関係者間で、広く共有または活用されるべきものであり、その基盤となる知識の蓄積を図る。

（２）研究開発の目標

①過去の取り組みとその評価

これまで、半導体アプリケーションチッププロジェクトやスピントロニクス不揮発性機能技術プロジェクトにおいて、ＦｅＲＡM、MRAM、ＲｅＲAMなど様々なメモリの個別開発を行い、それぞれ、一定の成果を上げている。

しかし一方で、開発した不揮発メモリが既存のシステムに部品として組み込まれるのみでなく、現行の揮発メモリが有する利便性をも併せもつ新規高速不揮発メモリを

軸に、情報機器システム全体を再構成し、我が国が当該業界でイニシアティブを握れることが、国際競争力強化の観点からも喫緊の課題となってきている。これまでのメモリ関連プロジェクトの成果も積極的に活用し、新しいアーキテクチャ創出を視野に入れた取り組みが重要となってきている。

②本研究開発の目標

以下を平成２４年度までに達成する。

・システムを部分的または全体的に不揮発化するために、現行のメモリの代替となる高速不揮発メモリを開発する。

・基本ソフトウエアを含むデモシステムまたは仮想デモシステムによって消費電力を実質上１／１０以下に削減できる構成を提示する。

③本事業以外に必要とされる取り組み

標準化や普及活動等、本研究開発に関連して必要とされる取り組みを行う。

④全体としてのアウトカム目標

本プロジェクトは、モバイルＰＣやスマートフォンなどのほか、常時オンが原則であるルータおよび企業内サーバーを待機電力がゼロであるノーマリー･オフ化することで、消費電力の低減を図るものである。これらの取り組みにより、高速不揮発メモリの普及が拡大されると、２０２０年における省電力８５億ｋＷｈ／年、CO_2削減効果は約３５０万トン／年となる。また、約５，２００億円の市場規模創出が期待される。

（３）研究開発の内容

上記目標を達成するために、以下の研究開発項目について、別紙の研究開発計画に基づき研究開発を実施する。

［共同研究事業（ＮＥＤＯ負担率：１／２）］

研究開発項目①　高速不揮発メモリの開発

［委託事業］

研究開発項目②　不揮発アーキテクチャの研究開発

本研究開発項目は、試験・評価方法、基準・プラットフォームの提案等、国民経済的には大きな便益がありながらも、民間企業の研究開発投資に見合うものが見込めない「公共財の研究開発」事業であり、委託事業として実施する。

２．研究開発の実施方式

（１）研究開発の実施体制

本研究開発は、独立行政法人新エネルギー・産業技術総合開発機構（以下、「ＮＥＤＯ」という。）が、単独ないし複数の原則本邦の企業、大学等の研究機関（原則、本邦の企業等で日本国内に研究開発拠点を有していること。なお、国外の企業等（大学、研究機関を含む）の特別の研究開発能力、研究施設等の活用または国際標準獲得の観点から国外企業等との連携が必要な部分を、国外企業等との連携により実施することができる。）から、公募によって研究開発実施者を選定し共同研究（ＮＥＤＯ負担率１／２）および委託により実施する。また、必要に応じてプロジェクトリーダーを選定し、プロジェクトリーダーと密接な関係を維持し、効果的な研究開発を実施する。

（２）研究開発の運営管理

研究開発全体の管理・執行に責任を有するＮＥＤＯは、経済産業省及び研究開発実施者と密接な関係を維持しつつ、プログラムの目的及び目標、並びに本研究開発の目的及び目標に照らして適切な運営管理を実施する。具体的には、必要に応じて設置される技術検討委員会等における外部有識者の意見を運営管理に反映させるとともに、産業競争力の強化と知的財産を含む研究成果の普及を両立させるための標準化活動を含めた取り組みを実施する。

３．研究開発の実施期間

本研究開発の期間は、平成２２年度から平成２４年度までの３年間とする。

４．評価に関する事項

ＮＥＤＯは、技術的及び政策的観点から、研究開発の意義、目標達成度、成果の技術的意義並びに将来の産業への波及効果等について、外部有識者による研究開発の事後評価を平成２５年度に実施する。なお、評価の時期については、当該研究開発に係る技術動向、政策動向や当該研究開発の進捗状況等に応じて、前倒しする等、適宜見直すものとする。

５．その他の重要事項

（１）研究開発成果の取扱い

①共通基盤技術の形成に資する成果の普及

得られた研究成果のうち、下記共通基盤技術に係る研究開発成果については、ＮＥＤＯ、実施者とも普及に努めるものとする。

ａ）技術のモデル化および汎用性の獲得

・プロトタイプシステムの作成

・高速動作システムとソフトの開発

②知的基盤整備事業又は標準化等との連携

得られた研究開発の成果については、知的基盤整備事業又は標準化等との連携を図るため、データベースへのデータの提供、標準案の提案等を積極的に行う。

③知的財産権の帰属

委託研究開発及び共同研究の成果に関わる知的財産権については、「独立行政法人新エネルギー・産業技術総合開発機構新エネルギー・産業技術業務方法書」第２５条の規定等に基づき、原則として、すべて委託先及び共同研究先に帰属させることとする。

（２）基本計画の変更

ＮＥＤＯは、研究開発内容の妥当性を確保するため、社会・経済的状況、国内外の研究開発動向、政策動向、プログラム基本計画の変更、評価結果、研究開発費の確保状況、当該研究開発の進捗状況等を総合的に勘案し、達成目標、実施期間、研究開発体制等、基本計画の見直しを弾力的に行うものとする。

（３）根拠法

本プロジェクトは，独立行政法人新エネルギー・産業技術総合開発機構法第１５条第１項第１号ニに基づき実施する。

６．基本計画の改訂履歴

（１）平成２２年３月　制定。
（２）平成２３年４月　共同研究事業ＮＥＤＯ負担率を２／３から１／２に改訂
（３）平成２３年７月　独立行政法人新エネルギー・産業技術総合開発機構法の改正に伴う改訂。

（別紙）研究開発計画

研究開発項目①「高速不揮発メモリの開発」

１．研究開発の必要性

現在普及している情報機器はＣＰＵとメモリを主な構成要素としているが、高集積化・高周波数化に伴い、それらの消費電力増大が課題視されている。構成要素の１つであるＣＰＵについてはパワーゲイティング等の手法により一定の低消費電力化が達成されており、もう一方の構成要素であるメモリに対する低消費電力化が強く求められている。しかしながら、現在情報機器に用いられているメモリは、電源を供給しないと記憶が保持できない揮発メモリであるため、使用していないときにも電力が必要となり低消費電力化の妨げとなっている。いわゆるスリープモードでは、メモリの内容をストレージに退避する時間が必要であり、使い勝手に影響する。

電源を供給しなくても記憶を保持することができる不揮発メモリも種々提案されているが、現状ではいずれも開発段階であって、高速性、書き込み電流・電圧、書き換え回数などの制限から情報機器の主記憶素子としては決定打となっていない状況である。そこで今回、不揮発性でありながら、高速性・書き換え耐性などの特性を向上させ、情報機器の圧倒的な消費電力低減を実現しうる素子の開発を行う。

２．研究開発の具体的内容

現行揮発メモリの代替となり得る不揮発メモリを実現するため、メモリ材料および要素プロセスの開発を行う。

また、研究開発項目②「不揮発アーキテクチャの研究開発」から導きだされるメモリとしての必要性能とも整合させ、より効率的な研究開発を図る。

３．達成目標

ＤＲＡＭ機能を代替できる高速不揮発メモリを開発する。

その際、以下の条件を目標とする。

１．書き換え耐性

ＤＲＡＭの書き込み耐性以上（≧１０^{16}程度）または、研究開発項目②との組み合わせにおいて実質的に適用製品の装置寿命と同等であること

２．書き込み電流

５０μＡ以下／セル

３．容量

　１Ｇｂｉｔ以上、ないし１Ｇｂｉｔへの拡張可能性の根拠を示すこと

４．読み書き時間

混載メモリマクロとして：ランダム３ｎｓｅｃ以下

５．動作温度上下限

　０～５５℃で動作

６．そのほか、民生用情報機器への適用時に致命的な制約がないこと

研究開発項目②「不揮発アーキテクチャの研究開発」

１．研究開発の必要性

新たな価値としてノーマリー・オフのシステムを実現するためには、メモリの研究開発だけではなく、その不揮発メモリを実際に用いた場合に構成される現実的な不揮発アーキテクチャの検討を同時並行で実施し実現可能性を提示する必要がある。

２．研究開発の具体的内容

前項で記述した必要性に基づいて、メモリアーキテクチャ、システムアーキテクチャ、ＯＳ等不揮発アーキテクチャのいずれかまたは全部に関する開発を行う。開発にあたっては、研究開発項目①で開発するメモリと研究開発項目②で開発するシステム等が連係してスムーズに機能することが重要である。そこで、研究開発項目①のメモリ開発において予測される素子の特性値と不揮発アーキテクチャの動作との整合をとること、逆にシステム等側の要求をメモリに対する仕様へ適宜フィードバックすることによって、現行のアーキテクチャの消費電力に対し、実質上１／１０以下に削減することができる携帯情報機器等の実現可能性を提示する。

３．達成目標

研究開発項目①で得られたメモリを用い、現行のアーキテクチャの消費電力に対し、実質上１／１０以下に削減する不揮発アーキテクチャのいずれかまたは全部に関する構成事例を提示する。

（添付資料）
● 事前評価書

作成日 平成 22 年 2 月 25 日
1． 事業名称：高速不揮発メモリ機能技術開発
（コード番号）：P10002

2．推進部署名 電子・情報技術開発部

3．事業概要
(1) 概要：
　電源オフにしてもデータが保存され、かつ高速に動作する高速不揮発メモリを搭載したシステムの開発が革新的な超低消費電力情報機器の実現のために重要である。これらの要求に応えることのできる、①高速性と不揮発性を両立したメモリの開発と、②不揮発アーキテクチャの検討を実施する。
(2) 事業規模：総事業費（国費分） 3.3 億円（2/3 補助・委託）
(3) 事業期間：平成 22 年度～24 年度（3 年間）

4．評価の検討状況
(1) 事業の位置付け・必要性
　わが国のエネルギーセキュリティの確保や世界中で取り組みが行われている温室効果ガス削減運動への対応は、今後の我が国の発展に不可欠な課題である。一方産業の観点においては、我が国の製造業で重要な位置を占める半導体および電子機器産業競争力の維持向上もまた重要な課題である。このような問題意識のもと、本プロジェクトでは、情報機器において看過できない問題となっているメモリ消費電力の抜本的削減を目的として、高速不揮発メモリを搭載する革新的な超低消費電力情報機器の実現を目的とする。これまで多種の不揮発性メモリが提案されたものの、現時点では、大容量・高速性・高信頼性・低消費電力をはじめとする種々の要求を満たしたものはなく、既存のメモリ素子を置き換えるまでに至っていない。そのため新規素子の提案も含め、メモリ素子の開発が引き続き重要である。同時に、開発されるメモリ素子の動作特性を想定したうえで、効率の良いシステムが成立するアーキテクチャの仕様、およびその基本構成を明らかにすることが期待される。アーキテクチャの開発は、メモリ素子の開発成果として得られる特性を最大限に生かし、メモリ素子が早期にかつ広く普及するための基盤となるため、世界的にも研究開発が進められている。以上のように、本プロジェクトは、わが国の競争力の確保と、地球レベルでのエネルギー消費削減・低炭素化の両方に貢献すると期待され、本プロジェクト推進の必要性は高い。
(2) 研究開発目標の妥当性
　NEDOロードマップ上のシステム・イン・メモリに分類される。本プロジェクトの成果として同じくロードマップ上の「SoC における低消費電力長時間動作」や、「瞬時の電源 ON・OFF」の実現が期待される。また、システム LSI における従来の「次世代低電力化」の次段階に位置する。ノーマリー・オフの実現が期待され、ロードマップ中に「電子機器の設計自体をも大きく変えていくほどのインパクトを持つであろう」と記載された期待にも応え得るものと考えられる。具体的な研究開発目標としては、研究開発項目①では、現行の揮発性メモリ機能に置き換わることのできる性能として、以下を提示する。

1．書き換え耐性
　$\geqq 10^{16}$ (DRAM の書き込み耐性以上）または、②のシステム技術との組み合わせにおいて実質的に適用製品の装置寿命と同等であること
2．書き込み電流
　50μA 以下／セル
3．読み書き時間
　混載メモリマクロとして：ランダム3nsec 以下
4．容量
　1Gbit 以上、ないし 1Gbit への拡張可能性の根拠を示すこと
5．動作温度上下限

0～55℃で動作

6．その他

民生用情報機器への適用時に致命的な制約がないこと

研究開発項目②では、本研究開発後の技術的・経済的発展を想定して、①の成果がスムーズに実用化され、広く普及することを想定し、以下とした。

①で得られたメモリ素子を用い、現行の消費電力に対し、実質上1／10以下に削減するメモリアーキテクチャ、システムアーキテクチャ、OS 等不揮発アーキテクチャのいずれかまたは全部に関する構成事例を提示する。

以上は、2010年2月17日「高速不揮発メモリ機能技術開発」基本計画検討委員会での有識者との議論を踏まえたものであり、妥当と判断する。なお達成目標の設定値については、研究開発実施にあたっての必須の目標値のみを基本計画に設定することで、委託先公募において広く提案を収集し、優れた提案を採択する。

したがって、提案者が技術の優位性を示したい場合には、達成目標等を適時追加または改訂することによって対応できるものとする。また、これら目標設定については今後も委員会ならびに有識者ヒアリングなどで聴取した意見を適切に反映させる。

(3) 研究開発マネジメント

公募を通じて、高い技術を有する民間企業、大学等の研究機関による最適な実施体制を構築する。特に、メモリ素子の開発とアーキテクチャ開発の連携によって成果を最大化する点にマネジメントの力点を置く。また、競争力確保のため知財権の確保も推進する。外部有識者の意見を求め、その結果を踏まえて事業全体の予算配分や計画について見直しを行い、適切な運営管理に努める。さらに別途定められた技術評価に係る指針、および技術評価実施要領に基づき、技術的および産業技術政策的観点から、研究開発の意義、目標達成度、成果の技術的意義、将来の産業への波及効果等について、外部有識者による評価を実施する。

(4) 研究開発成果

本研究開発の成果は、世界最高水準のメモリ素子の実現にあたるとともに、研究開発項目②により、市場の創出や新たな技術領域の開拓とともに、汎用性のあるノウハウの提供が可能となる。さらに、メモリ素子の開発においては、材料開発・デバイス構造開発・プロセス開発・製造装置開発など広い範囲の連携が必要と想定される。

それぞれが幅広く、かつ有機的に関係するため、デバイス開発に直接かかわる事業体だけでなく、材料メーカー、製造装置メーカーをはじめとする種々の関連産業においても、技術の底上げと雇用の促進が期待される。

同時に、メモリ素子開発、システム開発の専門性を備えた人材の育成が期待できる。

(5) 実用化・事業化の見通し

本プロジェクトは2012年度で終了するが、その後、メモリ素子開発、アーキテクチャ開発を企業において本格化し、2015年にプロトタイプによって検証、引き続き量産化開発を行い、2018年に製品出荷を見込む。同時進行でアーキテクチャ、システムソフトウエア開発の本格化が必要である。さらに、不揮発・高速性を生かした低消費電力情報機器向けのアプリケーションソフトウエアまでの広がりが予想できる。これらより、成果の実用化可能性、波及効果および事業化までのシナリオは十分に見込まれると考える。

(6) その他特記事項

特になし

5．総合評価

本プロジェクトは、不揮発性メモリ素子を開発するとともに、素子の特性を最大に生かすアーキテクチャを同時に開発するという、挑戦的・野心的な研究開発であり、かつ、異なる企業体間、ないし産学官の連携がもっとも奏功すると期待できる。異なる事業体の連携推進というNEDO機能が貢献できる内容であるので、NEDOが実施する事業として適切であると判断する。

（添付資料）
●論文リスト

【研究発表・講演】

番号	発表者	所属	タイトル	発表誌名、ページ番号	査読	発表年	月日
1	Mayumi Fukuda, Kazuhide Higuchi, Shuhei Tanakamaru and Ken Takeuchi	東京大学	3.6-Times Higher Acceptable Raw Bit Error Rate, 97% Lower-Power, NV-RAM & NAND-Integrated Solid-State Drives (SSDs) with Adaptive Codeword ECC	International Conference on Solid State Devices and Materials (SSDM)		2010年	9月24日
2	Ken Takeuchi	東京大学	Storage Class Memory	8th International Workshop on Future Information Processing Technologies (IWFIPT)		2010年	10月19日
3	樋口和英、福田真由美、田中丸周平、竹内健	東京大学	不揮発性 RAM 及び NAND フラッシュを用いた SSD 向け高エラー率補償アーキテクチャとエラー訂正符号	電子情報通信学会 集積回路研究会		2010年	12月16日
4	Mayumi Fukuda, Kazuhide Higuchi and Ken Takeuchi	東京大学	Non-volatile RAM and NAND Flash Memory-Integrated Solid-State Drives (SSDs) with Adaptive Codeword ECC for 3.6-Times Acceptable Raw Bit Error Rate Enhancement and 97% Power Reduction	Japanese Journal of Applied Physics		2011年	4月20日
5	Ken Takeuchi	東京大学	Storage Class Memory and Memory System Innovation - International Collaboration for Material, Device, Circuit, Signal Processing and OS Integration	The Seventh International Nanotechnology Conference on Communication and Cooperation		2011年	5月17日
6	竹内健	東京大学	フラッシュメモリと抵抗変化型メモリの技術動向	新化学技術推進協会電子情報技術部会講演会		2011年	7月21日
7	Ken Takeuchi	東京大学	Green High Performance Storage Class Memory & NAND Flash Memory Hybrid SSD System	IEEE International Symposium on Low Power Electronics and Design		2011年	8月1日
8	竹内健	東京大学	3 次元 NAND フラッシュメモリ&SCM	Electronic Journal 第 771 回 Technical Seminar		2011年	8月2日
9	竹内健	東京大学	ストレージ・クラス・メモリ（SCM）を搭載した SSD の仮想プラットフォーム	シノプシス・ユーザーズ・ミーティング		2011年	9月1日
10	Kazuhide Higuchi, Kousuke Miyaji, Koh Johguchi and Ken Takeuchi	東京大学	50nm HfO2 ReRAM with 50-Times Endurance Enhancement by Set/Reset Turnback Pulse & Verify Scheme	International Conference on Solid State Devices and Materials (SSDM)		2011年	9月30日

番号	発表者	所属	タイトル	発表誌名、ページ番号	査読	発表年	月日
11	Ken Takeuchi	東京大学	Highly reliable Low Power Storage Class Memory & NAND Flash Memory Hybrid Solid-State Drive	IEEE Non-Volatile Memory Technology Symposium		2011年	11月10日
12	樋口和英、竹内健	東京大学	50nm 級抵抗変化型メモリにおける耐久性向上書き換え手法の研究	電子情報通信学会 集積回路研究会		2011年	12月15日
13	Kazuhide Higuchi, Kousuke Miyaji, Koh Johguchi and Ken Takeuchi	東京大学	Endurance Enhancement and High Speed Set/Reset of 50nm Generation HfO2-based Resistive Random Access Memory (ReRAM) Cell by Intelligent Set/Reset Pulse Shape Optimization and Verify Scheme	Japanese Journal of Applied Physics		2012年	2月20日
14	樋口和英、宮地幸祐、上口光、竹内健	東京大学	50nm 抵抗変化型メモリにおける書き換え回数向上手法	応用物理学会		2012年	3月16日
15	Kazuhide Higuchi, Tomoko Ogura Iwasaki and Ken Takeuch	中央大学	Investigation of Verify-Programming Methods to Achieve 10 Million Cycles for 50nm HfO2 ReRAM	IEEE International Memory Workshop		2012年	5月15日
16	Kazuhide Higuchi, Tomoko Ogura Iwasaki and Ken Takeuchi	中央大学	Investigation of Verify-Programming Methods to Achieve 10 Million Cycles for 50nm HfO2 ReRAM	IEEE International Memory Wo rkshop		2012年	5月20日
17	Hiroki Fujii, Kousuke Miyaji, Koh Johguchi, Kazuhide Higuchi, Chao Sun and Ken Takeuchi	中央大学	x11 Performance Increase, x6.9 Endurance Enhancement, 93% Energy Reduction of 3D TSV-Integrated Hybrid ReRAM/MLC NAND SSDs by Data Fragmentation Suppression	IEEE Symposium on VLSI Circuits		2012年	6月15日
18	竹内健	中央大学	SSD とストレージ・クラス・メモリを用いたメモリシステム	電気学会 ナノエレクトロニクス集積化・応用技術調査専門委員会		2012年	7月13日
19	竹内健	中央大学	x11 Performance Increase, x6.9 Endurance Enhancement, 93% Energy Reduction of 3D TSV-Integrated Hybrid ReRAM/MLC NAND SSDs by Data Fragmentation Suppression	Symposium on VLSI Circuits 報告会		2012年	7月28日
20	竹内健		次世代ビックデータ処理基盤システム ハードの強みを生かしたソフト・サービスの統合システム	JEITA マルチコア懇談会		2012年	9月4日

番号	発表者	所属	タイトル	発表誌名、ページ番号	査読	発表年	月日
21	竹内健		不揮発メモリの低電圧・低電力化技術	電子情報通信学会 ソサイエティ大会		2012年	9月13日
22	竹内健		ストレージクラスメモリを搭載したハイブリッド SSD と高信頼 ECC 技術	NE テクノロジー・シンポジウム		2012年	10月5日
23	Chao Sun, Kousuke Miyaji, Koh Johguchi and Ken Takeuchi		x8 High Write-Throughput, 84% Write-Energy Saving, x6.5 Extended Lifetime Hybrid ReRAM/MLC NAND SSD with Cold Data Eviction Algorithm	IEEE Non-Volatile Memory Technology Symposium		2012年	10月31日
24	Ken Takeuchi		Sophisticated Error Correction and Data Management Technologies for Storage Class Memory & NAND Flash Memory Hybrid Solid-State Drives (SSD)	IEEE Non-Volatile Memory Technology Symposium		2012年	11月1日
25	Ken Takeuchi		Signal Processing and Data Management Technologies for NAND&ReRAM Hybrid SSD	New Non-Volatile Memory Workshop		2012年	11月15日
26	Chao Sun, Hiroki Fujii, Kousuke Miyaji, Koh Johguchi, Kazuhide Higuchi and Ken Takeuchi		Over 10-times High-speed, Energy Efficient 3D TSV-Integrated Hybrid ReRAM/MLC NAND SSD by Intelligent Data Fragmentation Suppression	18th Asia and South Pacific Design Automation Conference		2013年	1月22日

２．分科会における説明資料

　次ページより、プロジェクト推進・実施者が、分科会においてプロジェクトを説明する際に使用した資料を示す。

ITイノベーションプログラム・エネルギーイノベーションプログラム

「高速不揮発メモリ機能技術開発」

（2010年度～2012年度　3年間）

（事後評価）

プロジェクトの概要　（公開）

「事業の位置付け・必要性」及び「研究開発マネジメント」

NEDO

電子・材料・ナノテクノロジー部

2013年　11月18日

公開

目　次

Ⅰ. 事業の位置付け・必要性　（NEDO）

Ⅱ. 研究開発マネジメント　（NEDO）

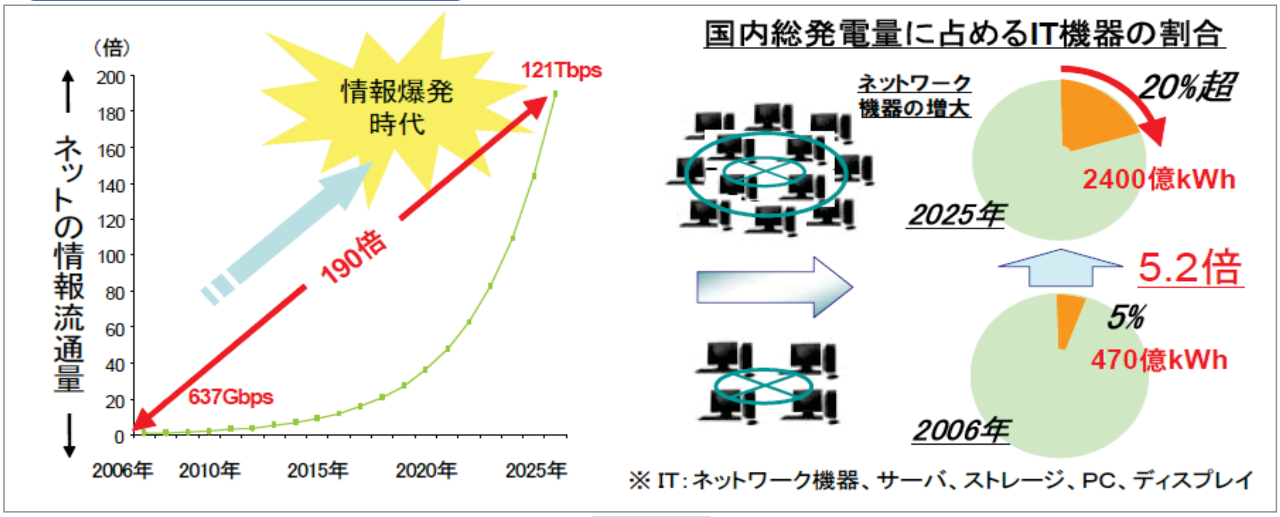
Ⅲ. 研究開発成果　（エルピーダメモリ）

Ⅳ. 実用化・事業化に向けての見通し及び取り組み　（エルピーダメモリ）

事業の社会的背景と目的

公開

情報爆発	・情報機器の拡大普及、クラウドサービス運用開始
CO2削減	・情報機器の省エネ化の必要性
産業競争力強化	・日本の半導体および電子産業の国際競争力強化



資料:経済産業省の情報政策について

ストレージ機器に対して革新的に高速かつ超低消費電力化の実現が重要課題

事業原簿:4ページ

政策上の位置付け

公開

経済産業省　研究開発プログラム「ITイノベーションプログラム」および「エネルギーイノベーションプログラム」の1テーマとして実施

産業技術政策

第3期科学技術基本計画
- ■ 継続的イノベーションを具現化するための科学技術の研究開発基盤の実現
- ■ 革新的IT技術による産業の持続的な発展の実現
- ■ すべての国民がITの恩恵を実感できる社会の実現

IT新改革戦略
- ■ いつでも、どこでも、誰でも ITの恩恵を実感できる社会の実現

経済産業省

実行プログラム1　ITイノベーションプログラム

目的:我が国が目指す高度情報通信ネットワーク社会の構築に向け、経済成長戦略大綱、IT新改革戦略、科学技術基本計画及び技術戦略マップ等に基づき、情報化の進展に伴うエネルギー消費量の増大等の課題にも考慮しつつ、その基盤となる情報通信機器・デバイス等の情報通信技術を開発し、実社会への利用を促進する。

● ITコア技術の革新(世界最先端デバイスの先導開発)
- ドリームチップ開発プロジェクト
- 高速不揮発メモリ機能技術開発
- ⋮

実行プログラム2　エネルギーイノベーションプログラム

目的:資源に乏しい我が国が、将来にわたり持続的発展を達成するためには、革新的なエネルギー技術の開発、導入・普及によって、各国に先んじて次世代型のエネルギー利用社会の構築に取り組んでいくことが不可欠である。他方、エネルギー技術開発は、長期間を要するとともに大規模投資を伴う一方で将来の不確実性が大きいことから、民間企業が持続的な取組を行うことは必ずしも容易ではない。このため、政府が長期を見据えた将来の技術進展の方向性を示し、官民双方がこの方向性を共有することで、長期にわたり軸のぶれない取組の実施が可能となる。

●エネルギー基本計画(次世代省エネデバイス技術)
- 高速不揮発メモリ機能技術開発
- ⋮

事業原簿:5ページ

NEDO第2期中期計画('08～12年)における位置付け

公開

「高度な情報通信社会の実現」「IT産業の国際競争力の強化」のため
情報技術開発分野の半導体における技術開発の一環として実施

第3期中期計画(2013年-2017年)においても継承

●高度情報通信社会とそれを支える技術分野

電子政府，シミュレーション　IPを用いた各種のアプリケーション　いつでも、だれでも、どこでも(ユビキタス)

Application Layer

Human Interface

中核

基盤

ユーザビリティ技術
User-Friendlyな ヒューマン・インターフェース 【相互運用性，セキュリティ機能の向上】

ストレージ・メモリ分野
小型・大容量HD，高速大容量
低消費電力の不揮発メモリ

コンピュータ分野
IT社会の基盤を構成する
高い可用性，信頼性

ネットワーク分野
基幹系ネットワークの高速大容量化
高速ワイヤレス通信

半導体分野
微細化による高集積化，設計効率化，他品種変量生産，微細化によらない新機能追求
シリコン系半導体デバイス，光デバイス，高周波デバイス，超電導デバイス

本プロジェクト対象分野

事業原簿：6ページ

提案されている新不揮発メモリ比較表

公開

(2010年当時)

		既存メモリ				新不揮発メモリ		
		混載SRAM	DRAM	Flash	FeRAM	STT-MRAM	PRAM	ReRAM
データ記憶		揮発	揮発	不揮発	不揮発	不揮発	不揮発	不揮発
データ保持時間		-	数μ S	10Y	10Y	10Y	10Y	10Y
書換回数		10^{16}	10^{16}	10^{3}～10^{6}	10^{12}	10^{16}	10^{6}	10^{6}
書換電圧		<0.8V	>1.5V	>5V	<3V	<1V	<1V	<3V
アクセス時間		<5ns	<50ns	<50μ s	<100ns	<5ns	<100ns	<10ns
セルサイズ		<150F²	4F²	2F²	>15F²	6～14F²	4F²	4F²
用途		Cash レジスタ	主記憶 メモリ	補助記憶SSD	ICカード マイコン ゲーム	Cash Main	SCM Storage	SCM Storage SOC
開発推進企業国籍及び技術優位性	1			韓国	日本	日本	日本	日本
	2			日本	米国	米国	韓国	韓国
	3			米国	韓国	韓国	米国	米国

事業原簿：2ページ

NEDOが関与する意義

公開

事業目的:高速性と不揮発性を両立した新メモリの開発と不揮発メモリデバイス機器アーキテクチャの実現

IT機器の膨大な電力消費に対応した革新的超低消費電力情報機器の実現 → ・省エネルギー, 地球温暖化対策に貢献する技術

1機関だけでは、実用化まで長期間かつ高額な研究開発投資が必要なハイリスクな「技術開発プロジェクト」 → ・産学官の共同研究体制が有効

既存のメモリ素子を置き換える大容量, 高速, 高信頼, 低消費電力等の要求を満たした新不揮発メモリの世界先駆的開発で日本半導体産業の活性化実現 → ・日本の技術知財の国際優位性, 先駆的開発から早期の市場投入により、日本の産業活性化に繋がる技術

NEDOが関与すべき事業

研究開発実施の効果予測

公開

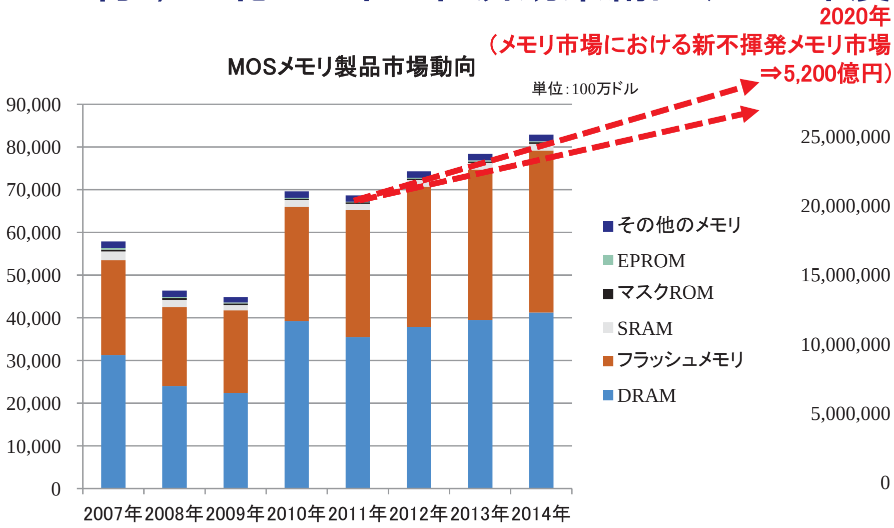
事業総額10.4億円(NEDO負担分:6.5億円)に対し、下記予測効果に寄与

- 2020年における省電力量予測 85億kWh/年
- 2020年におけるCO2削減効果予測 約350万トン/年
- 約5,200億円/年の経済効果創出(2020年度不揮発メモリ市場規模予測)

省電力量算出=従来機器総消費電力量(2020年)
×新不揮発メモリ搭載機器採用率(2020年:10%)
×新不揮発メモリ搭載機器の電力削減率(90%)

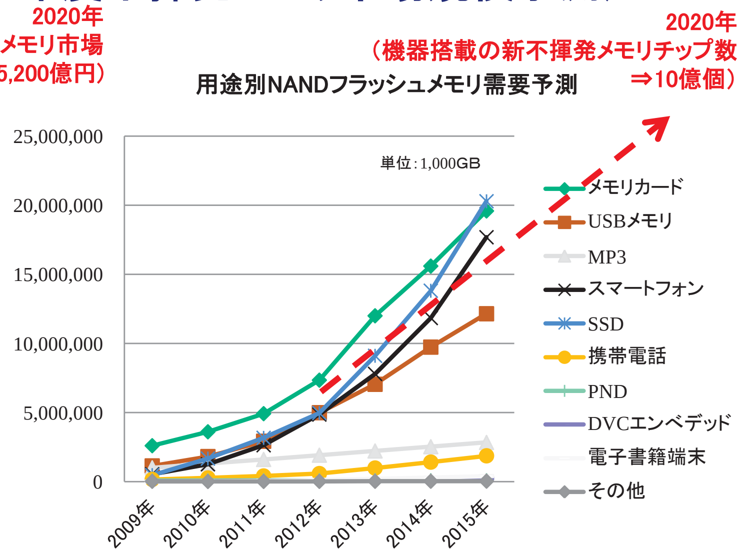
CO2=0.41kg/1kWhで換算

MOSメモリ製品市場動向



出展:電子ジャーナル 半導体データブック2011
(2011年以降は予測)

用途別NANDフラッシュメモリ需要予測



出展:富士キメラ総研 2010ストレージ関連市場総調査
(2011年以降は予測)

公開

研究開発目標と根拠

◆現行の揮発メモリに比較してより高速かつ大幅に消費電力を低減すること が可能な不揮発メモリの物理的な基本構成を確立
◆同メモリが実用レベルに達した際の特性を予期して、その不揮発メモリがCPUをはじめとする周囲の素子間の整合をとりつつ、全体として機能するのに必要な項目を明らかにし、それらの洗い出された項目に対応して必要なシステムの構成を提示することにより、低消費電力かつ有効なモデル機器の基本構成を確立

研究開発項目	研究開発目標（最終目標）	根　拠
研究開発項目① 高速不揮発メモリの開発	DRAM機能を代替できる高速不揮発メモリを開発する 1. 書き換え耐性 DRAMの書き換え耐性以上（≧10^{16} 程度） または、研究開発項目②との組み合わせにおいて実質的に適用製品の装置寿命と同等 2. 書き込み電流 50μ A以下/セル 3. 容量 1Gbit以上、ないし1Gbitへの拡張可能性を示す事 4. 書き込み時間 混載メモリマクロとして、ランダム3nsec以下 （実用化目標10ns以下：off chip） 5. 動作温度上下限 0～55℃で動作 6. その他 民生用情報機器への適用時に致命的な制約がない事	➢②不揮発アーキテクチャの仕様から、適用製品（SCM想定）の装置製品寿命を満足する書き換え耐性を設定 ➢現行のDRAMと同等の書き込み電流（10～50μ A）より設定 ➢拡張性の根拠として目標設定 ➢書き込み時間単独の目標として、現行技術レベルの更なる高速化を目指した目標として設定 ➢情報通信機器での使用を前提としての目標設定 ➢適用製品（SCM想定）にコスト，標準規格等に課題無きことを設定
研究開発項目② 不揮発アーキテクチャの研究開発	研究開発項目①で得られたメモリを用い、現行（2010年）のアーキテクチャの消費電力に対し、プロジェクト終了年（2012年）に実質上1/10以下に削減する不揮発アーキテクチャのいずれか、または全部に関する構成事例を提供する事	現状（2010年）から不揮発アーキテクチャの低消費電力機器実用化波及後の効果が、2020年において省電力量（85億kWh/年）及びCO2削減量（350万トン/年）を実現可能とするための基本要件

事業原簿：６ページ

公開

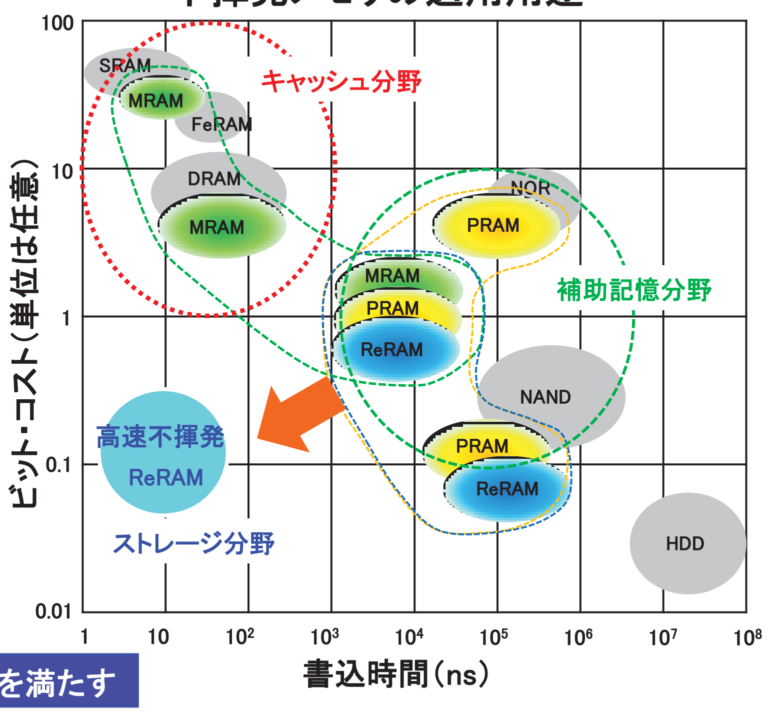
不揮発メモリの特徴と適用用途

代表的メモリの特性比較*

		大容量化	読出時間	書込時間	書換耐性
揮発メモリ	DRAM	○	50 ns	50 ns	無制限
揮発メモリ	SRAM	×	1-80ns	1-80ns	無制限
不揮発メモリ	NAND	◎	50 ns	30ms/64KB	>10^3
不揮発メモリ	FeRAM	△	数ns－100ns	数ns－100ns	>10^{12}
不揮発メモリ	MRAM	△	数ns－50ns	数ns－50ns	無制限
不揮発メモリ	ReRAM	◎	10ns－50ns	10ns－50ns	>10^6
不揮発メモリ	PRAM	○	20-80 ns	100 ns	>10^6

高速性，大容量化性，書換耐性がSCM仕様を満たす

不揮発メモリの適用用途*



メモリービジネスの最重要キーワード　⇒　ビット・コスト低減

＊ 電子・情報技術分野の技術ロードマップ2009 解説書（NEDO）
日経BP社「半導体ストレージ2012資料」を基に作成

事業原簿：９ページ

プロジェクト実施体制

公開

NEDO

【共同研究契約】 ①高速不揮発メモリの開発

【共同研究先】
エルピーダメモリ株式会社
- 単体メモリセル評価
- 中規模アレイセル開発評価
- 大規模プロトタイプチップ設計

【共同実施先】
産業技術総合研究所
- 単体メモリセル評価
（ナノレベルでの界面構造等の分析評価）

シャープ株式会社
- 単体メモリセル評価
（電気特性・制御技術）
- 中規模アレイセル開発評価
（ｱﾚｲﾁｯﾌﾟﾌﾟﾛｾｽの開発評価）

【委託契約】 ②不揮発アーキテクチャの研究開発

【委託先】
エルピーダメモリ株式会社
（2010年度のみ）

学校法人　中央大学 *
（国立大学法人　東京大学）

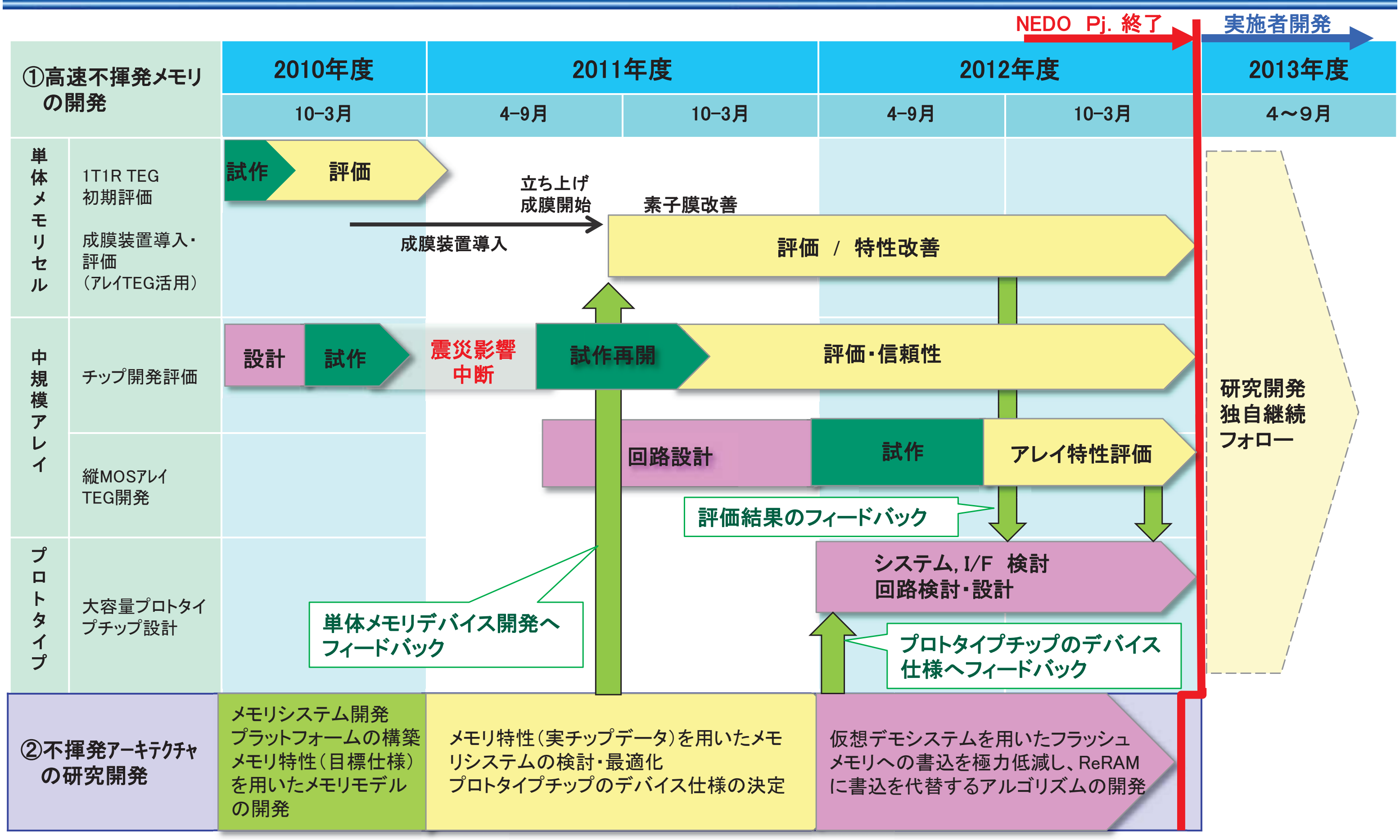
- 消費電力1/10以下の不揮発アーキテクチャ構成事例の提示

* 2010年～2011年　東京大学実施
2012年度から中央大学に権利継承

事業原簿：１２ページ

研究開発スケジュール

公開



事業原簿：１０ページ

開発総事業費

公開

（単位：百万円）

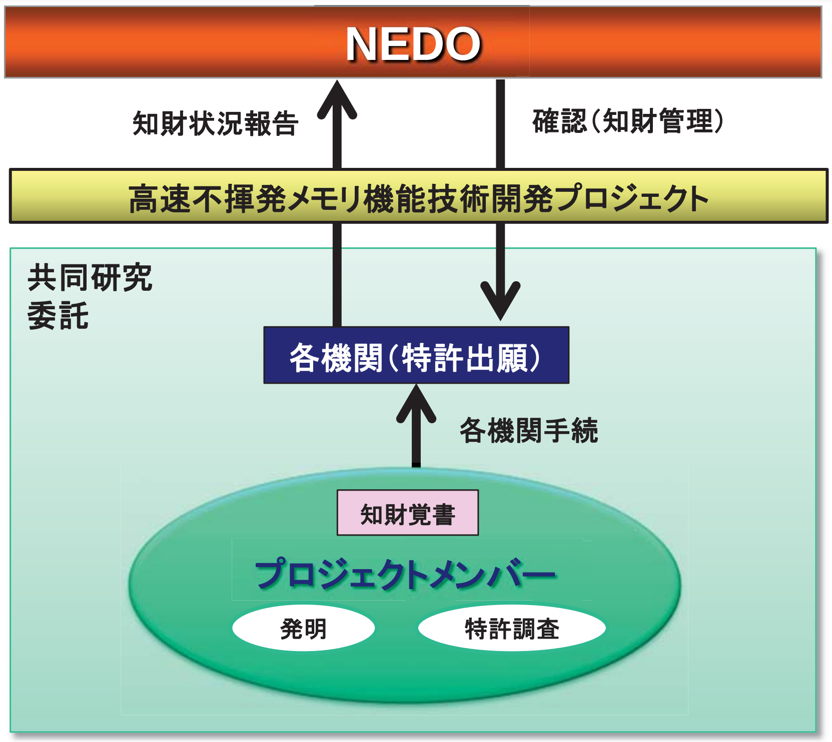
事業項目	契約	2010年度	2011年度	2012年度	総事業費
①高速不揮発メモリの開発	共同研究契約（NEDO負担率：2010年=2/3, 2011～2012=1/2）	373 (249)	427 (216)	116 (58)	916 (523)
②不揮発アーキテクチャの研究開発	委託契約（NEDO負担率：100%）	(48)	(29)	(49)	(126)
事業費総計		421	456	165	1,042
NEDO負担額総計		297	245	107	649

高速不揮発メモリ機能技術開発（2010年度～2012年度）
事業費総額：10.4億円/3年

知財マネジメント戦略

公開

- 事業化強化のため、実施者による知財の創出/権利化を推進する体制をバイドール適用で構築
- プロジェクト研究開発活動で創出された知的財産の取り扱いを規定し推進



◆ 参加各社の実用化・事業化をサポートするために、共同研究契約により研究開発成果 物の利用に関するルールを明確化

○バイ・ドール遵守事項（約款第31条第3項）の条件の遵守を約定することにより、委託研究開発から派生した発明等に係る知的財産権は すべて受託者に帰属（成果報告書、これに類する著作権を除く。）

①産業財産権等の出願・登録等を行った場合はNEDOに報告すること
②国の要請に応じて、公共利益のために特に必要がある場合には、NEDO に無償で許諾すること
③正当な理由なく相当期間活用していない場合において、国の要請に応じNEDOが活用を促進するために特に必要なときは、第三者に許諾すること
④第三者に移転、専用実施権の設定等する場合には、NEDOの事前承認を受けること
⑤ NEDOが実施する知的財産権の利用状況調査（バイドール調査）に対して回答すること（バイドール調査への協力義務化）

但し、委託先が、①～⑤のいずれかを満たしておらず、かつ正当な理由が無いとNEDOが認める場合は、NEDOに無償譲渡しなければならない。

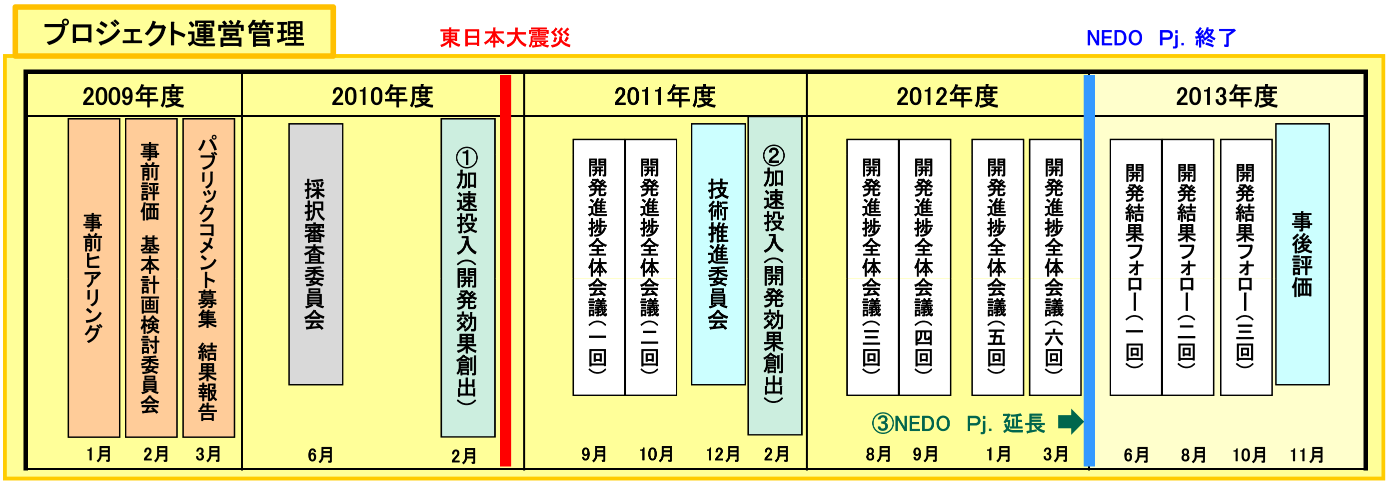
プロジェクト運営管理

公開

情勢変化への対応

①	◇②不揮発アーキテクチャ研究開発において、新メモリアーキテクチャ統合システム開発するために、加速メモリの過渡的特性を評価する計測装置を導入し、メモリモデルのパラメータ抽出を行う必要が生じ、開発加速投入（2010年度）	加速メモリの過渡的特性を評価する計測装置を導入し、メモリモデルのパラメータ抽出を行い、新メモリアーキテクチャ統合システム開発を0.5年前倒し（2011年2月）
②	◇②不揮発アーキテクチャ研究開発において、大容量プロトタイプ設計仕様提示を前倒しする必要が生じ、研究開発加速投入（2011年度）	不揮発メモリモデル計測装置導入し、仮想デモシステム構築を行いReRAM専用縦型MOSトランジスタ(4F²)構造プロセス開発およびデータ処理アルゴリズムの研究開発期間を0.5年前倒し（2012年2月）
③	◇東日本大震災影響に伴い、①高速不揮発メモリの開発遅延に対応（2012年度）	エルピーダメモリ株式会社との委託事業契約のプロジェクト期間を1ヶ月間延長し、研究成果遅れ解消　(2013年2月⇒2013年3月)

プロジェクト運営管理



技術推進委員会開催

公開

2011年12月に外部委員を含む技術推進委員会を開催

→ **高速不揮発メモリの実用化に向けた技術開発指針の確認と是正**

開発項目	指摘事項	対応
①高速不揮発メモリの開発	書換耐性の目標達成の指針を明確にすべき	製品開発ターゲットをSCMとして、アーキテクチャとの組み合わせで目標設定（≧10^5）し、10^6以上の書換耐性を得た。（研究成果に反映）
	動作メカニズムの解明と信頼性を確認すべき	測定結果と物理分析結果を基にした動作モデルの構築とそれに基づく改善を推進し、信頼性はフィールドリリース可能レベルを確認した。（研究成果に反映）
	On/Off比向上，抵抗値差マージン拡大策を検討すべき	材料・構造の最適化を行い、単体メモリセルを使った短TAT評価にて、On/Off比向上，抵抗値差マージン拡大を図った。（研究成果に反映）
	他不揮発メモリのベンチマークと勝ち残り戦略を検討すべき	高速書き込みの利点を活かして最適な市場に早期に参入するべく他不揮発メモリベンチマークを行い戦略策定した。（実用化・事業化計画に反映）
②不揮発アーキテクチャの研究開発	波及効果の説明をすべき	エンタープライズサーバー、クラウドストレージなどSCM以外の様々なアプリケーションへ展開した。
	ReRAM特有のデバイス特性を反映した回路設計技術の階層への貢献を説明すべき	システムレベルでの性能を劣化させることなく、低電力，高信頼性を実現する書き込み・センス方式を開発した。

公開

普及・広報活動

◆NEDOプレスリリース（2010.07.12）
・新規メモリ開発プロジェクトをスタート
　－携帯情報機器の消費電力を1/10以下に－

◆CEATEC2011（2011.10.06）
・NEDOブースにて技術展示
・Green IT Symposium 2011にて技術説明
　－ポストムーアを目指したNEDO戦略－

ITイノベーションプログラム・エネルギーイノベーションプログラム

「高速不揮発メモリ機能技術開発」

（2010年度～2012年度　3年間）

（事後評価）

プロジェクトの概要　（公開）

「研究開発成果」

エルピーダメモリ
シャープ
産総研
中央大学

2013年　11月18日

公開

目　次

Ⅰ. 事業の位置付け・必要性　（NEDO）

Ⅱ. 研究開発マネジメント　（NEDO）

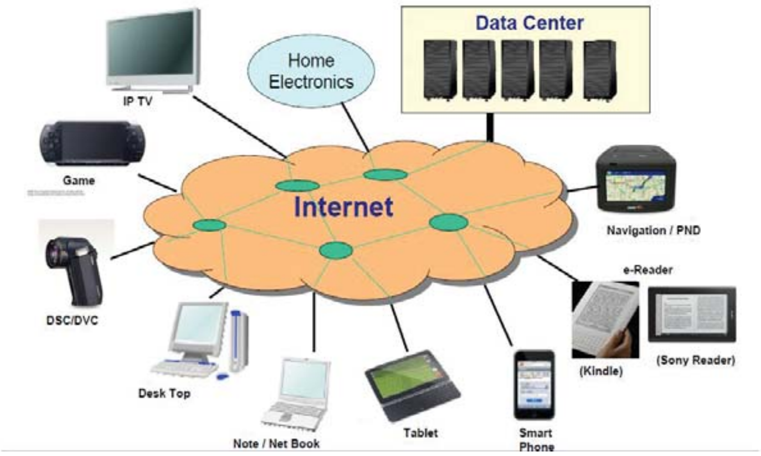
Ⅲ. 研究開発成果　（エルピーダメモリ）

Ⅳ. 実用化・事業化に向けての見通し及び取り組み　（エルピーダメモリ）

プロジェクトの背景1

公開

◆コンピューティングのパラダイムシフト
クラウド・コンピューティング



全てがクラウドの中でつながる。
Mobile機器、電子Bookなど需要が高まり、
通信量が増大。

◆クラウド・コンピューティング
の環境への影響

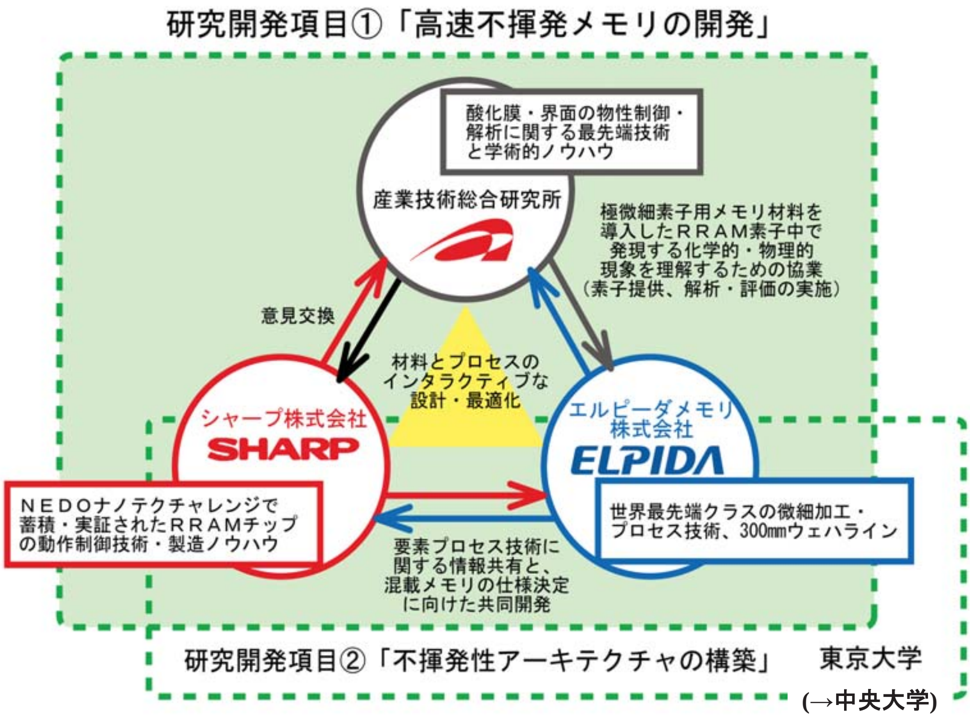
⇒ストレージ容量の増大、データセンターの巨大化
⇒ストレージ環境、発熱の問題→冷却コストの増大
例）2020年２ギガIOP/秒のデータ処理に必要な設備
HDD ： 必要台数：500万台
設置面積：16,500 ft2
消費電力：22メガワット

HDDシステムを代替する
◆低消費電力化、低コスト化、
高性能化を実現する
不揮発デバイスの要求大

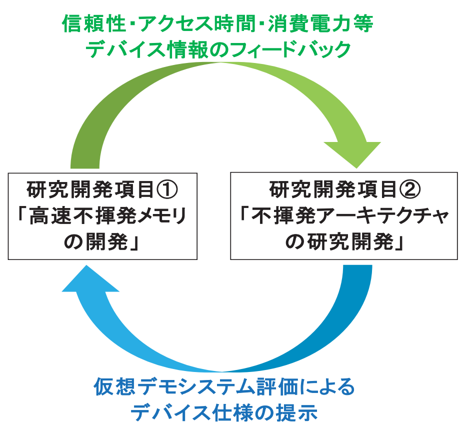
プロジェクトの体制

公開

◆研究体制の詳細



◆密接な研究項目の連携

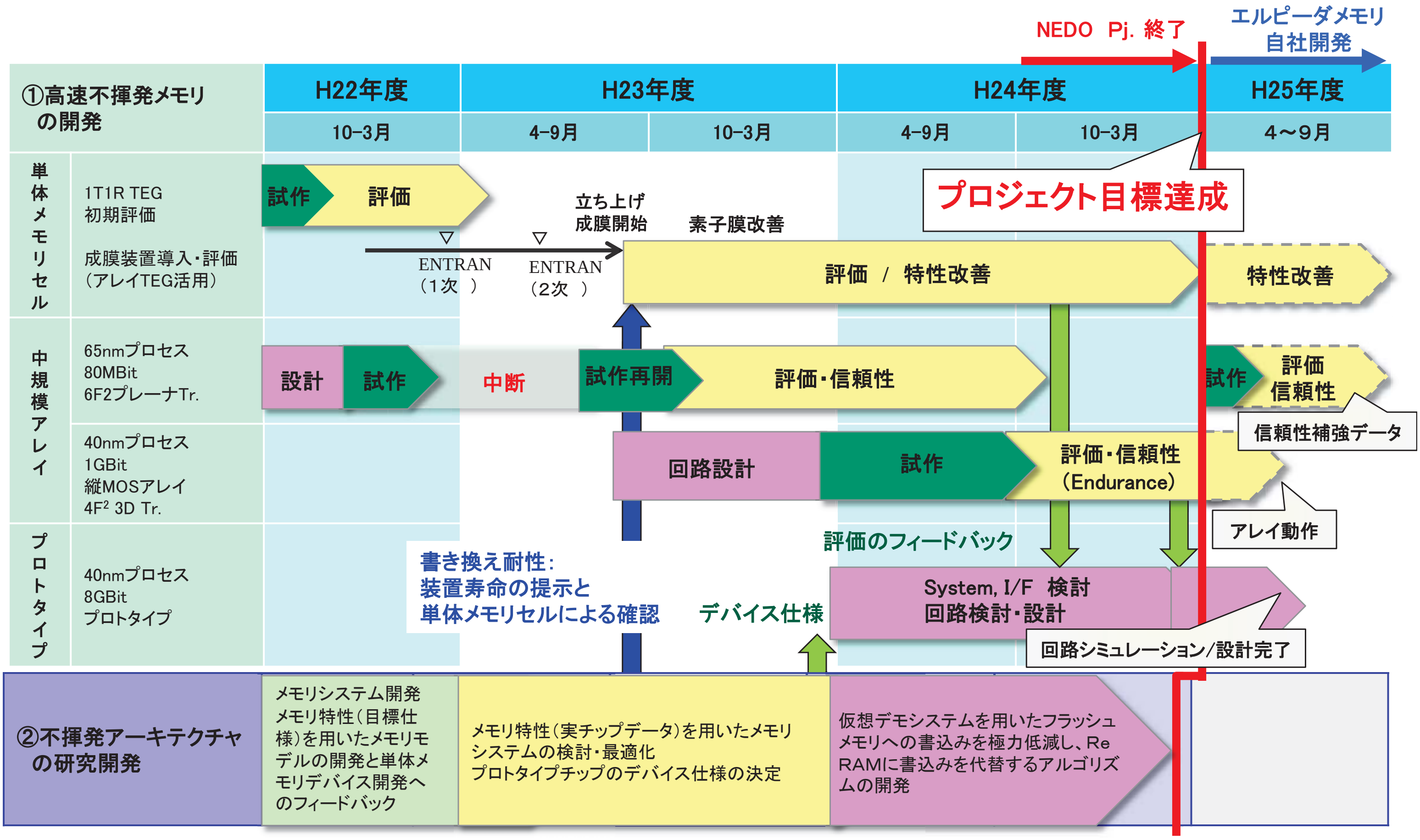


密接な連携の下、研究開発を推進
迅速なフィードバックを通して、
デバイス・システムのブラッシュ
アップを計る。

製品の特徴を生かしたシステム
開発及び標準化を実施。

研究開発スケジュール

公開



研究開発項目の目標と達成状況

公開

①高速不揮発メモリの開発

	目標	成果	達成度	今後の課題
1	DRAMの書き換え耐性以上(≧10^{16}程度) または、研究開発項目②との組み合わせにおいて、実質的に適用製品の装置寿命と同等であること(≧10^5)	研究開発項目②より実用化に必要な装置寿命は≧10^5。デバイス性能は10^8を達成し、目標をクリア。	○	バラツキの改善
2	書き込み電流:50uA以下／セル	<30uA の実力を有することを確認	◎	
3	容量:1Gbit以上	中規模アレイ(1Gbit)の設計・評価完。 8Gbitプロトタイプ設計完。	○	実用化の判断
4	書き込み時間:ランダム3nsec以下 実用化目標10ns以下(off chip)	<10ns(Off Chip)の実力を有することを確認	○	縦MOS Tr特性・バラツキ
5	動作温度上下限:0～55℃で動作	保持特性: 240年@55℃達成	◎	
6	そのほか、民生用情報機器への適用時に致命的な制約がないこと	民生機器の実用化レベルまで達成している	◎	

②不揮発アーキテクチャの研究開発

	目標	成果	達成度	今後の課題
1	研究開発項目①で得られたメモリを用い、現行のアーキテクチャの消費電力に対し、実質上1/10以下に削減する不揮発アーキテクチャの提示	高速不揮発メモリに書き込みを代替するアーキテクチャと制御アルゴリズムを開発することに成功。 その結果、消費電力を従来SSDアーキテクチャより実質1/10とすることができ、本研究の目標を達成 。	◎	

◎ 大幅達成、○達成、△達成見込み、 ×未達

②不揮発アーキテクチャの研究開発

公開

不揮発アーキテクチャの研究開発【実施者：中央大学, エルピーダメモリ（2010年度のみ）】

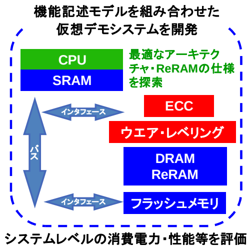
目的

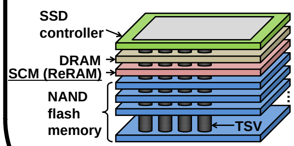
◆研究開発項目①で得られたメモリを用い、現行のアーキテクチャの消費電力に対し実質上1/10以下に削減する不揮発アーキテクチャの構成事例を提供

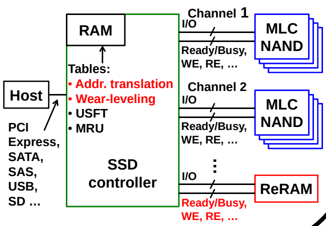
実施内容

◆ 仮想デモシステムの開発
プラットフォームCADの構築

◆ ReRAMとフラッシュメモリのハイブリッド構成の低電力メモリシステムを提案し、電力1/10以下を実現



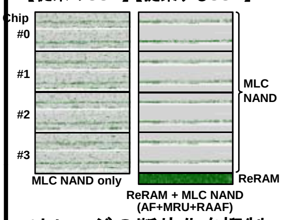




結果

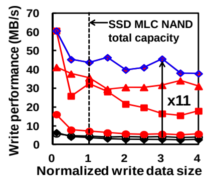
◆ データサイズ、書き込み頻度に応じて最適な書き込みを選択
◆ 断片化したデータ、頻繁に書き換えるデータはReRAMに記憶
◆ 大きなデータ・アクセスが少ないデータはフラッシュメモリに書き込む

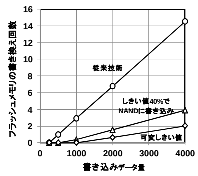
【従来のSSD】【提案するSSD】



ストレージの断片化を抑制

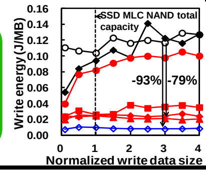
書き込み性能：x 11





フラッシュメモリの書き換え回数：x 1/7

電力：93%削減



ストレージの交換コストを削減（～ x 1/7）

ReRAMへの要求
アクセス時間 ≦ 3us
書き換え回数 ≧ 10^5回
容量 ≧ 8Gbit

成果のまとめ・残された課題

成果
・電力1/10以下を達成
　電力93%削減、性能11倍増加、信頼性7倍を同時に達成
・ReRAMのスペックを明確化し、研究①にフィードバック
　アクセス時間≦3us、書き換え回数 ≧ 10^5回、容量 ≧8Gbit

課題　実用化するアプリケーションでのアルゴリズムの最適化

①高速不揮発メモリの開発

公開

1） 単体メモリセル評価【実施者：エルピーダメモリ, 産総研, シャープ】

目的

◆書き込み電流≦50uAを目指したメモリセル抵抗素子膜の成膜プロセス条件の最適化

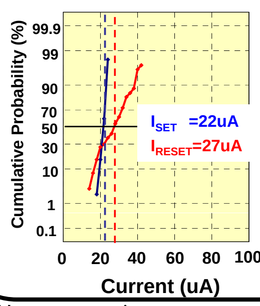
◆高速書き込みなどのReRAM特性の確認、及び、書き換え回数・データ保持特性などの信頼度データ取得

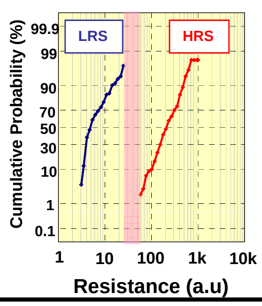
実施内容

◆中規模アレイTEGと同等のメモリセルを1T1R構成で評価
（下部電極サイズ：50nmφ）
試作TATを短縮し、早期のプロセスフィードバックを実現

結果1

◆低電流動作　~20uA/cellの実力把握

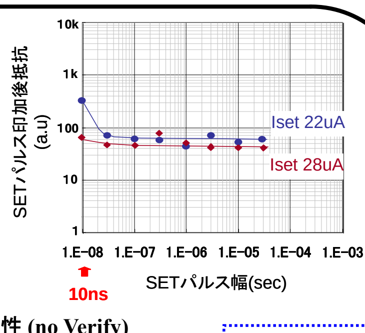




結果2

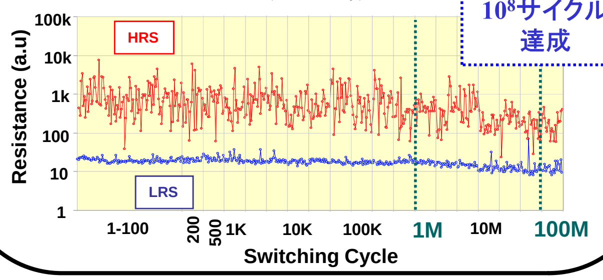
◆高速書き込み

10nsecでの
高速&低電流
書き込み達成



◆1E8サイクル書き換え耐性 (no Verify)

10^8サイクル
達成



成果のまとめ・残された課題

成果　低電流動作,高速書き込み,SCM実用化目標以上の書き換え耐性を確認。

課題　更なる微細化セル対応用に電流低減を目指す

公開

①高速不揮発メモリの開発

2)-1 中規模アレイ チップ開発・評価【実施者:エルピーダメモリ, シャープ】

目的

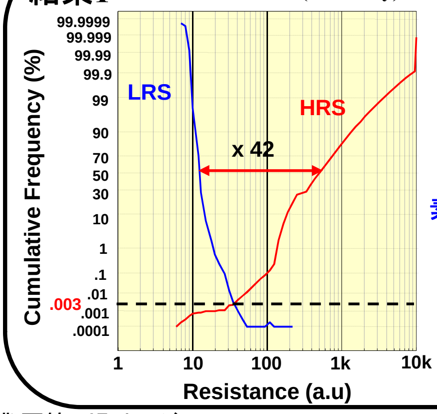
◆64Mbitの容量を持つアレイTEGにて、ReRAM特性ばらつきの低減及び信頼性データの蓄積を行う

実施内容

◆設計最小寸法65nmプロセスで、選択デバイスにプレーナータイプのMOS Tr.を使用

結果1

◆抵抗分布 (w/ Verify)

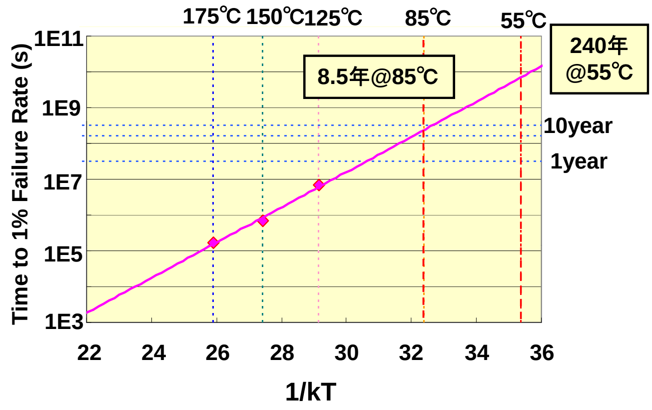


HRS/LRSのクロスポイントは0.003%

素子の改善と合せ、Verifyの最適化を進める

結果2

◆Data Retention



240年@55Cの実力把握

成果のまとめ・残された課題

成果 不揮発メモリとして240年@55Cを実現。

課題 抵抗分布の改善
・tail bitの不良解析、Verify最適化ほか推進中

公開

①高速不揮発メモリの開発

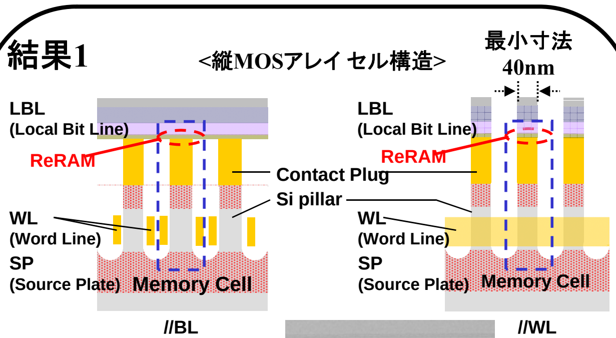
2)-2 中規模アレイ 縦MOSアレイTEG開発・評価【実施者:エルピーダメモリ, シャープ】

目的

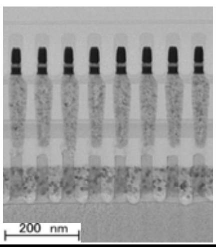
◆大容量プロトタイプで用いるセル構造(設計最小寸法40nmプロセス&選択デバイスにセルサイズが4F2となる縦MOS Tr.適用)を用いた設計と開発
◆1Gbitの容量を持つアレイでの特性評価

結果1

<縦MOSアレイ セル構造>

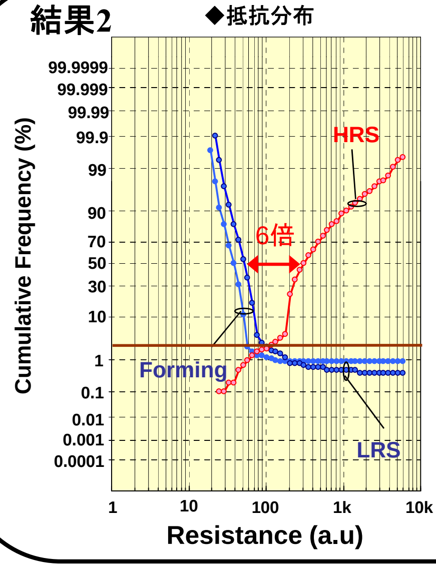


40nmプロセスでの微細セル試作完了(断面TEM)



結果2

◆抵抗分布



縦MOSアレイでスイッチング特性確認

抵抗分布は今後改善予定

成果のまとめ・残された課題

成果 ・40nmプロセス,4F2セルの試作成功。
・ギガビットアレイでReRAM特性を確認。
⇒ストレージクラスメモリ実現への可能性を提示

課題 抵抗分布の改善 (セルトランジスタ周りのプロセス改善ほか)

公開

①高速不揮発メモリの開発

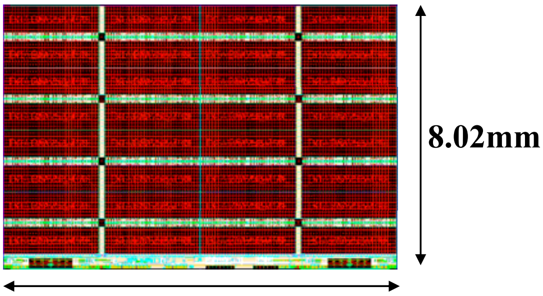
3） 大容量プロトタイプチップ設計【実施者：エルピーダメモリ】

目的

◆「不揮発アーキテクチャ」に適用可能な大容量プロトタイプチップの設計

結果1

◆8Gb プロトタイプチップ設計



チップ面積：95.839mm^2

結果2

◆チップ全体シミュレーションにより動作確認
◆目標仕様に対するシミュレーション結果は以下の通り

項目	目標	シミュレーション結果
ページプログラム時間 (typical)	8us	8.48us
ブロック消去時間 (typical)	0.5ms	0.78ms
1stアクセス時間 (max.)	1us	1.2us
シリアルアクセス時間 (min.)	5ns	5ns
Din/Dout スループット (max.)	SDR Mode: 200MB/s Toggle Mode: 400MB/s	200MB/s 400MB/s
動作電流1 (max.) @Din/Dout Burst	SDR Mode: 30mA Toggle Mode: 200mA	46.3mA (@tCK=5ns) 8.5mA (@tCK=30ns)
動作電流2 (max.) @Program/Erase	30mA	Program:49.22mA Erase:24.85mA
スタンバイ電流 (max.)	50uA	19uA

成果のまとめ・残された課題

成果 8Gb プロトタイプチップ設計完了。

課題 目標仕様未達項目について、チップ内動作の最適化を行なう

ITイノベーションプログラム・エネルギーイノベーションプログラム

「高速不揮発メモリ機能技術開発」

（2010年度～2012年度　3年間）

（事後評価）

プロジェクトの概要　（公開）

「実用化・事業化に向けての見通し及び取組み」

エルピーダメモリ

2013年　11月18日

公開

目　次

Ⅰ. 事業の位置付け・必要性　（NEDO）

Ⅱ. 研究開発マネジメント　（NEDO）

Ⅲ. 研究開発成果　（エルピーダメモリ）

Ⅳ. 実用化・事業化に向けての見通し及び取り組み　（エルピーダメモリ）

ベンチマーク

公開

・現在、製品化を目指して、各社開発中
・2015年がReRAM元年となる見込み

	高速不揮発	NAND 代替					混載メモリ
プログラム方式・特徴	Bipolar				Unipolar	CMOx	Bipolar
企業	Elpida	A社		B社	C/D社	E/G社	H社
セルサイズ	4F^2	4F^2	4F^2	4F^2	4F^2	4F^2	4F^2
書き込み電圧 (SET/RESET)	+2.5V/−1.6V	4V/−5V	−5V/7V	−3V/+2.5V	2.5V<	−2.5V/+2.5V	−1.8V/+1.8V
書き込み電流	30uA～	80uA	30uA(DC)	−	?	1uA	<100uA
書き込み時間	<10ns	1000ns	10ns	−	230us (With Verify)	1000ns	<30ns
書換え回数	10^8	10^6	10^7	10^{10}	?	10^5	10^7
データ保持特性	10years	10years	10years	10^{4}s<	?	> 1Year	10years

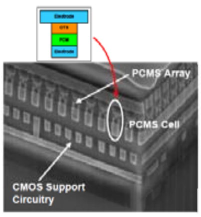
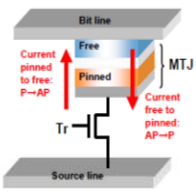
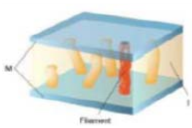
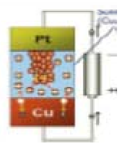
Good　Avarage　Not Good

他社開発状況より、特性面では優位な状況

新不揮発メモリの比較1

公開

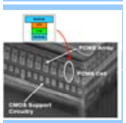
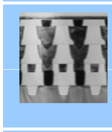
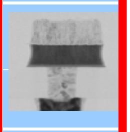
← ReRAM →

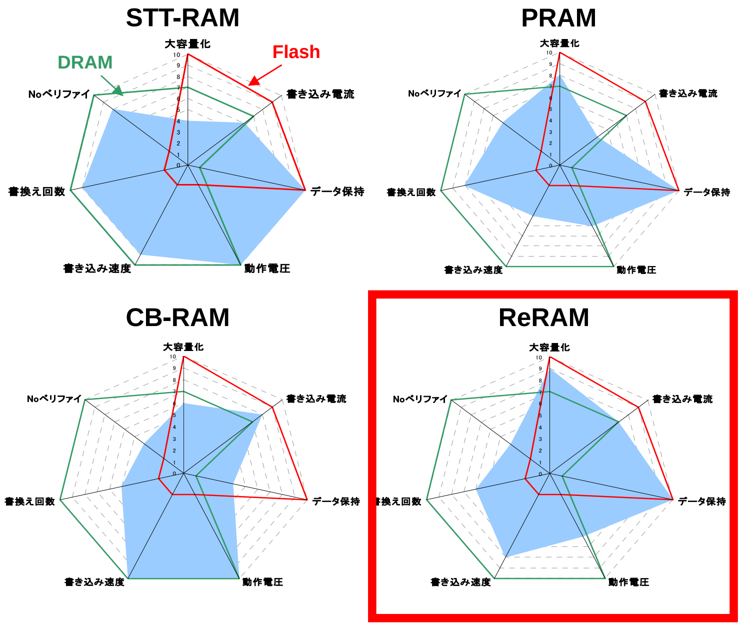
PRAM	STT-RAM	ReRAM	CB-RAM	Memristor
				
・GeSbTe ・アモルファス/結晶の相変化を利用 ・中～大規模容量 ・Unipolar書き込み	・MTJ素子 ・電流印加によるSpin反転。Spin依存のトンネル電流が変化 ・小～中規模容量 ・Bipolar書き込み	・遷移金属酸化物 ・電極間にフィラメントパスを形成 ・中～大規模容量 ・Unipolar/Bipolar書き込み	・Cu･Ag/GeSなど ・固体電解質中に金属イオンのパスを形成 ・中規模容量 ・Bipolar書き込み	・TiO2/TiO2-x ・酸素空孔による界面電位障壁変化 ・大規模容量 ・Bipolar書き込み

ReRAMの素子材料はDRAM工場への導入容易

公開

新不揮発メモリの比較2

	STT-RAM	PRAM	CB-RAM	ReRAM
セルサイズ	6-14F^2	4F^2	4-8F^2	4F^2
書き込み極性	Bipolar	Unipolar	Bipolar	Bipolar Unipolar
書き込み電圧	1.0-1.5V	1.5-3V	1.0-1.5V	～3V
書き込み電流	49uA	100uA	1-20uA	25uA
抵抗比	<2x	100x<	100x<	10x<
バラツキ	Narrow	Narrow	Wide	Wide(Rrst)
ベリファイ	NO	Yes(MLC)	YES	YES
ECC	YES	YES	YES	YES
書き込み時間	<7ns	<100ns	<5ns	<10ns
書換え回数	10^{15}	10^{12}	10^{10}	10^6
保持特性	10years	10years	Hour/Day	10years
積層	No	YES	YES	YES
多値	No	YES	YES	YES
アプリケーション	Cache/Main /SCM	SCM/Storage	Cache/Main	SCM/Storage
構造				
	1T1R	1D1R・1OTS1R	1T1R	1T1R・1D1R



・微細化・低消費電流・大容量化の可能性
・DRAM工場への材料親和性が高い
⇒ ReRAMを選択

事業原簿:53ページ

公開

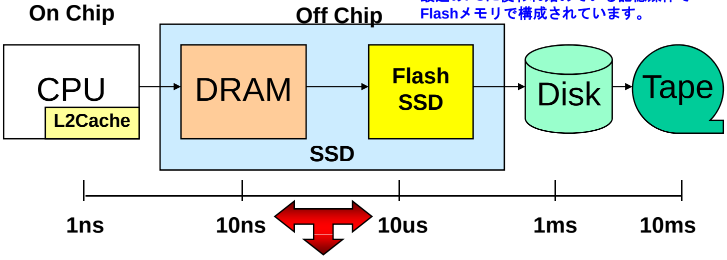
NEDO事業で提案するシステム

■PCメモリ・ストレージシステム全体像と提案するシステム

◆PCメモリ・ストレージシステムとアクセス時間

<現在のシステム>

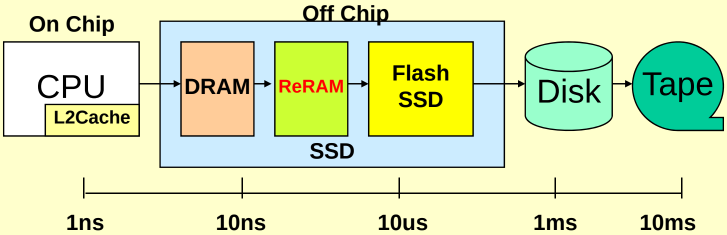
(注) Solid State Device(SSD) :
最近のPCに使われ始めている記憶媒体で
Flashメモリで構成されています。



SSDにおいて内蔵DRAMとFlashの間にスピード
のギャップが存在

ギャップを埋めてリソースを有効活用
⇒低消費電力化+システム性能向上

<本研究提案のシステム>

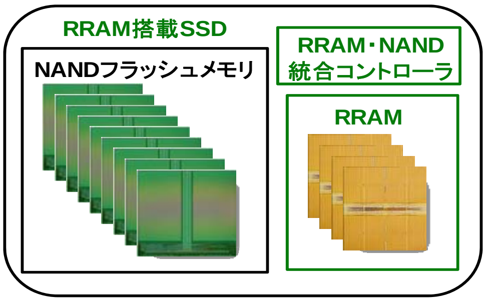


DRAMを減らし、不揮発キャッシュとしてReRAMを採用

◆研究開発項目②での実仕様検討

・< 100ns Read/Erase Time
・> 1GB/s 転送レート
・HDDの1/10消費電力
・低コスト
・書き換え回数

➔本研究では更なる高性能化を目指し、DRAM並みの10nsを視野に入れる。
（将来：DRAMレス）



【フラッシュメモリ】
総書き換えデータ量 512GBytex4000回書き換え＝2Peta Byte
【ReRAM】
・フラッシュメモリの書き換えに必要なRRAMの書き換え回数
2Peta Byte/ 1 GByte＝2x10^6回
・ウェアレベリングのために書き換え動作が3倍増加
・ReRAMに必要な書き換え回数＝6 x 10^6回

実質的な製品寿命と同等なReRAMに求められる
書き換え回数＝6x10^6回程度

事業原簿:53ページ

公開

新不揮発メモリはどう使われていくのか?

問い	答え
1）NANDの代替は？	NAND
2）DRAMの代替は？	DRAM
3）メモリシステムの問題は？	アクセスギャップ
4）新規メモリはどう使われていく？	従来メモリと共存

既存メモリとのコンビネーションのなか
最適な場所に、
最適なメモリが採用されていく

公開

実用化，事業化の見通しについて

◆ ReRAM実用化のためには、更なるスイッチング素子の信頼性向上とばらつき低減が必要であり、中規模アレイを使った改善を継続する。

◆ 大容量プロトチップは、回路設計を終わり、チップレベルでの動作確認をシミュレーションレベルで完了した。
今後は、上記の素子改善結果を反映させた試作を行い、早期にサンプル出荷を行うことを目指す。

◆ 最終目標であるSCM実現へ向けて、社内関係部門と連携をとりながら仕様の策定・回路設計・試作を行う。

知的財産権，成果の普及

公開

①高速不揮発メモリの開発	H22	H23	H24	計
特許出願（うち外国出願）		10	25（12）	35(12)
新聞・雑誌等への掲載		6		6
展示会への出展		1		1

②不揮発アーキテクチャの研究開発	H22	H23	H24	計
特許出願（うち外国出願）	1	4（1）	4（2）	9(3)
研究発表・講演	3	11	12	26
新聞・雑誌等への掲載	17	23	15	55
展示会への出展		1		1

※ ： 平成25年度9月30日現在

事業原簿：添付資料8ページ

プレスリリース

公開

NEWS RELEASE　ELPIDA

ECO-DRAM SPEED&ECOLOGY

2012年1月24日
エルピーダメモリ株式会社

新メモリ（高速不揮発性抵抗変化型メモリ、ReRAM）の開発に成功
～64Mビット メモリセルアレイ動作を確認～

メモリセルアレイ チップ写真

エルピーダメモリ株式会社（本社：東京都中央区、代表取締役社長兼CEO：坂本幸雄 以下、エルピーダ）は、このたび、次世代新メモリの一種である高速不揮発性抵抗変化型メモリ（ReRAM）の開発に初めて成功いたしました。回路線幅が50nm（ナノメートル、※注1）の製造技術プロセスを用いた試作品で、ReRAMでは世界最高レベルの大容量となる64M（メガ、※注2）ビットのメモリセルアレイ動作を確認したものです。なお、本開発は、NEDO（独立行政法人 新エネルギー・産業技術総合開発機構）との共同研究事業であり、シャープ株式会社、独立行政法人 産業技術総合研究所および東京大学との共同実施として進めているものです。

2012/1/24
プレスリリース

CEATEC2011
NEDOブースへ展示

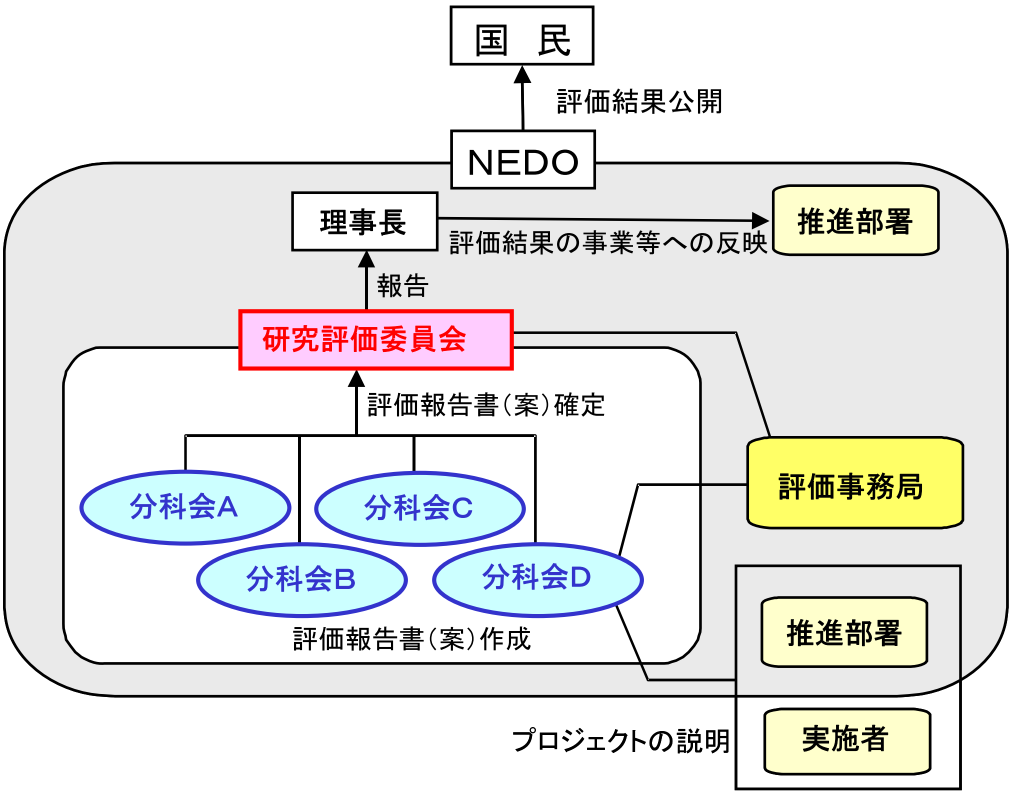
事業原簿：添付資料8ページ

参考資料１　　　評価の実施方法

本評価は、「技術評価実施規程」（平成 15 年 10 月制定）に基づいて研究評価を実施する。

独立行政法人新エネルギー・産業技術総合開発機構（NEDO）における研究評価の手順は、以下のように被評価プロジェクトごとに分科会を設置し、同分科会にて研究評価を行い、評価報告書（案）を策定の上、研究評価委員会において確定している。

- 「NEDO 技術委員・技術委員会等規程」に基づき研究評価委員会を設置
- 研究評価委員会はその下に分科会を設置



１．評価の目的

評価の目的は「技術評価実施規程」において。

- 業務の高度化等の自己改革を促進する
- 社会に対する説明責任を履行するとともに、
  経済・社会ニーズを取り込む
- 評価結果を資源配分に反映させ、資源の重点化及び業務の効率化を
  促進する

としている。

本評価においては、この趣旨を踏まえ、本事業の意義、研究開発目標・計画の妥当性、計画を比較した達成度、成果の意義、成果の実用化の可能性等について検討・評価した。

２．評価者

技術評価実施規程に基づき、事業の目的や態様に即した外部の専門家、有識者からなる委員会方式により評価を行う。分科会委員選定に当たっては以下の事項に配慮して行う。

- 科学技術全般に知見のある専門家、有識者
- 当該研究開発の分野の知見を有する専門家
- 研究開発マネジメントの専門家、経済学、環境問題、国際標準、その他社会的ニーズ関連の専門家、有識者
- 産業界の専門家、有識者
- ジャーナリスト

また、評価に対する中立性確保の観点から事業の推進側関係者を選任対象から除外し、また、事前評価の妥当性を判断するとの側面にかんがみ、事前評価に関与していない者を主体とする。

これらに基づき、分科会委員名簿にある７名を選任した。

なお、本分科会の事務局については、独立行政法人新エネルギー・産業技術総合開発機構評価部が担当した。

３．評価対象

平成２２年度に開始された「高速不揮発メモリ機能技術開発」プロジェクトを評価対象とした。

なお、分科会においては、当該事業の推進部署から提出された事業原簿、プ

ロジェクトの内容、成果に関する資料をもって評価した。

４．評価方法

分科会においては、当該事業の推進部署及び研究実施者からのヒアリングと、それを踏まえた分科会委員による評価コメント作成、評点法による評価及び実施者側等との議論等により評価作業を進めた。

なお、評価の透明性確保の観点から、知的財産保護の上で支障が生じると認められる場合等を除き、原則として分科会は公開とし、研究実施者と意見を交換する形で審議を行うこととした。

５．評価項目・評価基準

分科会においては、次に掲げる「評価項目・評価基準」で評価を行った。これは、研究評価委員会による『各分科会における評価項目・評価基準は、被評価プロジェクトの性格、中間・事後評価の別等に応じて、各分科会において判断すべきものである。』との考え方に従い、第 1 回分科会において、事務局が、研究評価委員会により示された「標準的評価項目・評価基準」（参考資料 1-7 頁参照）をもとに改定案を提示し、承認されたものである。

プロジェクト全体に係わる評価においては、主に事業の目的、計画、運営、達成度、成果の意義や実用化への見通し等について評価した。各個別テーマに係る評価については、主にその目標に対する達成度等について評価した。

評価項目・評価基準

１．事業の位置付け・必要性について

(1) ＮＥＤＯの事業としての妥当性

・ ＩＴイノベーションプログラムおよびエネルギーイノベーションプログラムの目標達成のために寄与しているか。
・ 民間活動のみでは改善できないものであること、又は公共性が高いことにより、ＮＥＤＯの関与が必要とされる事業か。
・ 当該事業を実施することによりもたらされる効果が、投じた予算との比較において十分であるか。

(2) 事業目的の妥当性

・ 内外の技術開発動向、国際競争力の状況、エネルギー需給動向、市場動向、政策動向、国際貢献の可能性等から見て、事業の目的は妥当か。

２．研究開発マネジメントについて

(1) 研究開発目標の妥当性

・ 内外の技術動向、市場動向等を踏まえて、戦略的な目標が設定されているか。
・ 目標達成度を測定・判断できる具体的かつ明確な開発目標を設定しているか。

(2) 研究開発計画の妥当性

・ 目標達成のために妥当なスケジュール、予算（各個別研究テーマごとの配分を含む）となっているか。
・ 目標達成に必要な要素技術を取り上げているか。
・ 研究開発フローにおける要素技術間の関係、順序は適切か。
・ 継続プロジェクトや長期プロジェクトの場合、技術蓄積を、実用化の観点から絞り込んだうえで活用が図られているか。

(3) 研究開発実施の事業体制の妥当性

・ 真に技術力と事業化能力を有する企業を実施者として選定しているか。
・ 適切な研究開発実施体制になっており、指揮命令系統及び責任体制が明確になっているか。
・ 目標達成及び効率的実施のために必要な実施者間の連携が十分に行わ

れる体制となっているか。

・ 知的財産取扱（実施者間の情報管理、秘密保持、出願・活用ルール含む）に関する考え方は整備され、適切に運用されているか。

(4) 研究開発成果の実用化・事業化に向けたマネジメントの妥当性

・ 成果の実用化・事業化につなげる戦略が明確になっているか。
・ 成果の実用化･事業化シナリオに基づき、成果の活用･実用化の担い手、ユーザーが関与する体制を構築しているか。
・ 全体を統括するプロジェクトリーダーが選任されている場合、成果の実用化・事業化シナリオに基づき、適切な研究開発のマネジメントが行われているか。
・ 成果の実用化・事業化につなげる知財戦略（オープン／クローズ戦略等）や標準化戦略が明確になっており、かつ妥当なものか。

(5) 情勢変化への対応等

・ 進捗状況を常に把握し、社会・経済の情勢の変化及び政策・技術動向等に機敏かつ適切に対応しているか。

３．研究開発成果について

(1) 目標の達成度と成果の意義

・ 成果は目標を達成しているか。
・ 成果は将来的に市場の拡大あるいは市場の創造につながることが期待できるか。
・ 成果は、他の競合技術と比較して優位性があるか。
・ 目標未達成の場合、達成できなかった原因が明らかで、かつ目標達成までの課題を把握し、この課題解決の方針が明確になっているなど、成果として評価できるか。
・ 設定された目標以外に技術的成果があれば付加的に評価する。
・ 世界初、世界最高水準、新たな技術領域の開拓、又は汎用性のある成果については、将来の産業につながる観点から特に顕著な成果が上がっている場合は、海外ベンチマークと比較の上で付加的に評価する。
・ 投入された予算に見合った成果が得られているか。
・ 大学又は公的研究機関で企業の開発を支援する取り組みを行った場合には、具体的に企業の取り組みに貢献しているか。

(2) 知的財産権等の取得及び標準化の取組

- 知的財産権等の取扱（特許や意匠登録出願、著作権や回路配置利用権の登録、品種登録出願、営業機密の管理等）は事業戦略、又は実用化計画に沿って国内外に適切に行われているか。

(3) 成果の普及

- 論文等の対外的な発表は、将来の産業につながる観点から戦略的に行われているか。
- 成果の活用・実用化の担い手・ユーザー等に対して、適切に成果を普及しているか。また、普及の見通しは立っているか。
- 一般に向けて広く情報発信をしているか。

４．実用化・事業化に向けての見通し及び取り組みについて

本項目における「実用化・事業化」の考え方
当該研究開発に係る試作品、サービス等の社会的利用(顧客への提供等)が開始されることであり、さらに、当該研究開発に係る商品、製品、サービス等の販売や利用により、企業活動(売り上げ等)に貢献することを言う。

(1)成果の実用化・事業化の見通し

- 産業技術としての見極め（適用可能性の明確化）ができているか。
- 実用化に向けて課題が明確になっているか。課題解決の方針が明確になっているか。
- 成果は市場やユーザーのニーズに合致しているか。
- 実用化に向けて、競合技術と比較し性能面、コスト面を含み優位性は確保される見通しはあるか。
- 量産化技術が確立される見通しはあるか。
- 事業化した場合に対象となる市場規模や成長性等により経済効果等が見込めるものとなっているか。
- プロジェクトの直接の成果ではないが、特に顕著な波及効果(技術的・経済的・社会的効果、人材育成等)がある場合には付加的に評価する。

(2) 実用化・事業化に向けた具体的取り組み

- プロジェクト終了後において実用化・事業化に向けて取り組む者が明確になっているか。また、取り組み計画、事業化までのマイルストーン、事業化する製品・サービス等の具体的な見通し等は立っているか。

標準的評価項目・評価基準

平成２５年５月１６日
NEDO

はじめに

本「標準的評価項目･評価基準」は、「技術評価実施規程」に定める技術評価の目的※を踏まえ、NEDO として評価を行う上での標準的な評価項目及び評価基準として用いる。

本文中の「実用化・事業化」に係る考え方及び評価の視点に関しては、対象となるプロジェクトの特性を踏まえ必要に応じ評価事務局がカスタマイズする。

※「技術評価実施規程」第 5 条(技術評価の目的) ①業務の高度化等自己改革の促進、②社会への説明責任、経済･社会ニーズの取り込み、③評価結果の資源配分反映による、資源の重点化及び業務の効率化促進

なお「評価項目」、「評価基準」、「評価の視点」は、以下のとおり。

◆評価項目：「１.・・・」
◆評価基準：上記、各項目中の「(１)・・・」
◆評価の視点：上記、各基準中の 「・」

評価項目・基準・視点

１．事業の位置付け・必要性について

(1) ＮＥＤＯの事業としての妥当性

- 特定の施策（プログラム)、制度の下で実施する事業の場合、当該施策・制度の目標達成のために寄与しているか。
- 民間活動のみでは改善できないものであること、又は公共性が高いことにより、ＮＥＤＯの関与が必要とされる事業か。
- 当該事業を実施することによりもたらされる効果が、投じた予算との比較において十分であるか。

(2) 事業目的の妥当性

- 内外の技術開発動向、国際競争力の状況、エネルギー需給動向、市場動向、政策動向、国際貢献の可能性等から見て、事業の目的は妥当か。

２．研究開発マネジメントについて

(1) 研究開発目標の妥当性

・ 内外の技術動向、市場動向等を踏まえて、戦略的な目標が設定されているか。

・ 目標達成度を測定・判断できる具体的かつ明確な開発目標を設定しているか。

(2) 研究開発計画の妥当性

・ 目標達成のために妥当なスケジュール、予算（各個別研究テーマごとの配分を含む）となっているか。

・ 目標達成に必要な要素技術を取り上げているか。

・ 研究開発フローにおける要素技術間の関係、順序は適切か。

・ 継続プロジェクトや長期プロジェクトの場合、技術蓄積を、実用化の観点から絞り込んだうえで活用が図られているか。

(3) 研究開発実施の事業体制の妥当性

・ 真に技術力と事業化能力を有する企業を実施者として選定しているか。

・ 適切な研究開発実施体制になっており、指揮命令系統及び責任体制が明確になっているか。

・ 研究管理法人を経由する場合、研究管理法人が真に必要な役割を担っているか。

・ 目標達成及び効率的実施のために必要な実施者間の連携 and／or 競争が十分に行われる体制となっているか。

・知的財産取扱（実施者間の情報管理、秘密保持、出願・活用ルール含む）に関する考え方は整備され、適切に運用されているか。

(4) 研究開発成果の実用化・事業化に向けたマネジメントの妥当性

(基礎的・基盤的研究開発及び知的基盤・標準整備等研究開発の場合は、「事業化」を除く）

・ 成果の実用化・事業化につなげる戦略が明確になっているか。

・ 成果の実用化・事業化シナリオに基づき、成果の活用・実用化の担い手、ユーザーが関与する体制を構築しているか。

・ 全体を統括するプロジェクトリーダーが選任されている場合、成果の実用化・事業化シナリオに基づき、適切な研究開発のマネジメントが行われているか。

・ 成果の実用化・事業化につなげる知財戦略(オープン／クローズ戦略等）や標準化戦略が明確になっており、かつ妥当なものか。

(5) 情勢変化への対応等

・ 進捗状況を常に把握し、社会・経済の情勢の変化及び政策・技術動向等に機敏かつ適切に対応しているか。

３．研究開発成果について

(1) 目標の達成度と成果の意義

・ 成果は目標を達成しているか。
・ 成果は将来的に市場の拡大あるいは市場の創造につながることが期待できるか。
・ 成果は、他の競合技術と比較して優位性があるか。
・ 目標未達成の場合、達成できなかった原因が明らかで、かつ目標達成までの課題を把握し、この課題解決の方針が明確になっているなど、成果として評価できるか。
・ 設定された目標以外に技術的成果があれば付加的に評価する。
・ 世界初、世界最高水準、新たな技術領域の開拓、又は汎用性のある成果については、将来の産業につながる観点から特に顕著な成果が上がっている場合は、海外ベンチマークと比較の上で付加的に評価する。
・ 投入された予算に見合った成果が得られているか。
・ 大学又は公的研究機関で企業の開発を支援する取り組みを行った場合には、具体的に企業の取り組みに貢献しているか。

(2) 知的財産権等の取得及び標準化の取組

・ 知的財産権等の取扱（特許や意匠登録出願、著作権や回路配置利用権の登録、品種登録出願、営業機密の管理等）は事業戦略、又は実用化計画に沿って国内外に適切に行われているか。
・ 国際標準化に関する事項が計画されている場合、得られた研究開発の成果に基づく国際標準化に向けた提案等の取組が適切に行われているか。

(3) 成果の普及

・ 論文等の対外的な発表は、将来の産業につながる観点から戦略的に行われているか。
・ 成果の活用・実用化の担い手・ユーザー等に対して、適切に成果を普及しているか。また、普及の見通しは立っているか。

・ 一般に向けて広く情報発信をしているか。

(4) 成果の最終目標の達成可能性(中間評価のみ設定)

・ 最終目標を達成できる見込みか。

・ 最終目標に向け、課題とその解決の道筋が明確に示され、かつ妥当なものか。

４．実用化・事業化に向けての見通し及び取り組みについて

本項目における「実用化・事業化」の考え方

当該研究開発に係る試作品、サービス等の社会的利用(顧客への提供等)が開始されることであり、さらに、当該研究開発に係る商品、製品、サービス等の販売や利用により、企業活動(売り上げ等)に貢献することを言う。

なお、評価の対象となるプロジェクトは、その意図する効果の範囲や時間軸に多様性を有することから、上記「実用化・事業化」の考え方はこうした各プロジェクトの性格を踏まえ必要に応じカスタマイズして用いる。

(1)成果の実用化・事業化の見通し

・ 産業技術としての見極め（適用可能性の明確化）ができているか。

・ 実用化に向けて課題が明確になっているか。課題解決の方針が明確になっているか。

・ 成果は市場やユーザーのニーズに合致しているか。

・ 実用化に向けて、競合技術と比較し性能面、コスト面を含み優位性は確保される見通しはあるか。

・ 量産化技術が確立される見通しはあるか。

・ 事業化した場合に対象となる市場規模や成長性等により経済効果等が見込めるものとなっているか。

・ 国際標準化に関する事項が計画されている場合、国際規格化等、標準整備に向けた見通しが得られているか。

・ プロジェクトの直接の成果ではないが、特に顕著な波及効果(技術的・経済的・社会的効果、人材育成等)がある場合には付加的に評価する。

(2)実用化・事業化に向けた具体的取り組み

・ プロジェクト終了後において実用化・事業化に向けて取り組む者が明確になっているか。また、取り組み計画、事業化までのマイルストーン、

事業化する製品・サービス等の具体的な見通し等は立っているか。

◆プロジェクトの性格が「基礎的・基盤的研究開発」である場合は以下を適用

４．実用化に向けての見通し及び取り組みについて

(1)成果の実用化の見通し

・ 実用化イメージに基づき、課題及びマイルストーンが明確になっているか。
・ 国際標準化に関する事項が計画されている場合、国際規格化等、標準整備に向けた見通しが得られているか。
・ プロジェクトの直接の成果ではないが、特に顕著な波及効果(技術的・経済的・社会的効果、人材育成等)がある場合には付加的に評価する。

(2) 実用化に向けた具体的取り組み

・ 成果の実用化に向けて、誰がどのように引き続き研究開発を取り組むのか明確になっているか。

◆プロジェクトの性格が「知的基盤・標準整備等の研究開発」である場合は以下を適用

４．実用化に向けての見通し及び取り組みについて

(1)成果の実用化の見通し

・ 整備した知的基盤についての利用は実際にあるか、その見通しが得られているか。
・ 公共財として知的基盤を供給、維持するための体制は整備されているか、その見込みはあるか。
・ 国際標準化に関する事項が計画されている場合、国際規格化等、標準整備に向けた見通しが得られているか。
・ ＪＩＳ化、標準整備に向けた見通しが得られているか。注）国内標準に限る
・ 一般向け広報は積極的になされているか。
・ プロジェクトの直接の成果ではないが、特に顕著な波及効果(技術的・経済的・社会的効果、人材育成等)がある場合には付加的に評価する。

(2) 実用化に向けた具体的取り組み

成果の実用化に向けて、誰がどのように引き続き研究開発を取り組むのか明確になっているか。

参考資料２　　　評価に係る被評価者意見

研究評価委員会（分科会）は、評価結果を確定するにあたり、あらかじめ当該実施者に対して評価結果を示し、その内容が、事実関係から正確性を欠くなどの意見がある場合に、補足説明、反論などの意見を求めた。研究評価委員会（分科会）では、意見があったものに対し、必要に応じて評価結果を修正の上、最終的な評価結果を確定した。

評価結果に対する被評価者意見は全て反映された。

参考資料３　分科会議事録

研究評価委員会
「高速不揮発メモリ機能技術開発」（事後評価）分科会
議事録

日　時：平成25年11月18日（月）13：00～17：55
場　所：大手町サンスカイルーム D室(朝日生命大手町ビル27F)

出席者（敬称略、順不同）

＜分科会委員＞

分科会長	桜井　貴康	東京大学 生産技術研究所 第3部	教授
分科会長代理	高橋　庸夫	北海道大学 大学院情報科学研究科 情報エレクトロニクス専攻	教授
委員	木本　恒暢	京都大学 大学院工学研究科 電子工学専攻	教授
委員	白石　賢二	名古屋大学 大学院工学研究科 計算理工学専攻	教授
委員	東野　輝夫	大阪大学 大学院情報科学研究科 情報ネットワーク学専攻	教授
委員	宮本　恭幸	東京工業大学 大学院理工学研究科 電子物理工学専攻	教授
委員	村上　和彰	九州大学 大学院システム情報科学研究院 情報知能工学部門	教授

＜推進者＞

岡田　武	NEDO　電子・材料・ナノテクノロジー部	部長
関根　久	同上	統括研究員
金里　雅敏	同上	主任研究員
遠目塚　幸二	同上	主査
波佐　昭則	同上	主査

＜実施者※メインテーブル着席者のみ＞

五味　秀樹	エルピーダメモリ株式会社	取締役 CTO
荻島　淳史	エルピーダメモリ株式会社　新メモリ開発グループ	エクゼクティブマネージャ
相澤　一雄	エルピーダメモリ株式会社　新メモリ開発グループ	プロフェッショナル
中井　潔	エルピーダメモリ株式会社　新メモリ開発グループ	プロフェッショナル
俣野　達哉	エルピーダメモリ株式会社　新メモリ開発グループ	プロフェッショナル
粟屋　信義	シャープ株式会社　基盤技術研究所	副所長
竹内　健	中央大学　理工学部	教授

＜企画調整＞

中谷　充良	NEDO　総務企画部	課長代理

＜事務局＞

保坂　尚子	NEDO　評価部	主幹
柳川　裕彦	NEDO　評価部	主査

議事次第

（公開セッション）

１．開会、分科会の設置、資料の確認

２．分科会の公開について

３．評価の実施方法及び評価報告書の構成

４．プロジェクトの概要説明

4.1「事業の位置付け・必要性」及び「研究開発マネジメント」について

4.2「研究開発成果」及び「実用化・事業化に向けての見通し及び取り組み」について

（非公開セッション）

５．研究開発マネジメントに関する補足説明

６．プロジェクトの詳細説明

6.1「高速不揮発メモリ機能技術開発／②不揮発アーキテクチャの研究」

6.2「高速不揮発メモリ機能技術開発／①高速不揮発メモリの開発」

７．「実用化・事業化に向けての見通し及び取り組み」について

８．　全体を通しての質疑

（公開セッション）

９．まとめ・講評

１０．今後の予定、その他

１１．閉会

議事内容

（公開セッション）

１．開会（分科会成立の確認、挨拶、資料の確認）

・開会宣言（事務局）

・研究評価委員会分科会の設置について、資料1-1、1-2に基づき事務局より説明。

・桜井分科会長挨拶

・出席者（委員、推進者、実施者、事務局）の紹介（事務局、推進者）

・配布資料確認（事務局）

２．分科会の公開について

事務局より資料 2-1 及び 2-2 に基づき説明し、議題 5.「研究開発マネジメントに関する補足説明」～議題 8.「全体を通しての質疑」を非公開とすることが了承された。

３．評価の実施方法及び評価報告書の構成

評価の手順を事務局より資料 3-1～3-5 に基づき説明し、了承された。

また、評価報告書の構成を事務局より資料 4 に基づき説明し、事務局案どおり了承された。

４ プロジェクトの概要説明

4.1「事業の位置付け・必要性」及び「研究開発マネジメント」について

推進者より資料5-2に基づき説明が行われた。

4.2「研究開発成果」及び「実用化・事業化に向けての見通し及び取り組み」について

実施者より資料5-3～資料5-4に基づき説明が行われた。

【桜井分科会長】　どうもありがとうございました。

それではただいまのご説明に対しまして、ご意見・ご質問等がありましたらお願いいたします。技術の詳細については、後ほど議題 5 で議論いたしますので、ここでは主に事業の位置付け・必要性、マネジメントについてのご意見をお願いいたします。それではよろしくお願いいたします。

【宮本委員】　初めの遠目塚さんの話で確認させていただきたいのですが、提案されている不揮発メモリ比較表は 2010 年時点となっていたのですが、そのあとのエルピーダ社から出されたデータと食い違っている気がするのですが、そのあたりについて説明いただけないでしょうか。

【遠目塚（推進者）】　2010 年当時、さまざまなベンチマークの資料があり、この段階ではどの不揮発メモリが有望なのかという議論の中でいろいろ判断した結果の概要を説明していますので、細かいデータがいろいろな部分で食い違っている部分はあります。ただ概観的なベンチマークを行って不揮発メモリが今後伸びる、日本国としても非常に力を入れている技術であるという判断材料にしたということです。ですから技術的な観点は若干違う部分があります。

【宮本委員】　一応確認しておきたいのですが、最後のところで全部日本が有利になっていますが、いまはどうなっているのでしょうか。

【遠目塚（推進者）】　後ほど非公開セッションでも説明しますが、若干遅れたり、隣国が優位になったりしていますが、全般的にはまだ日本の技術的な勢力の部分は衰えていないという判断があります。

【桜井分科会長】　エルピーダ社の資本がプロジェクトの途中で海外に移行したということですが、それに対する NEDO の立場はどのように考えればよろしいのでしょうか。

【遠目塚（推進者）】　その件は非公開セッションでまた補足説明させていただきますので、よろしくお願いします。

【村上委員】　今後の課題をまとめられた表があったかと思います。資料 5－3 のスライド番号の 23 枚目です。今後の課題といった場合、技術的な課題と事業化に向けての課題と考えられるかと思うのですが、ここに挙げられている「今後の課題」は、あくまで技術的な課題だという理解でよろしいでしょうか。それとも事業化に向けての課題もここには含まれているのでしょうか。

【荻島（実施者）】　これは一応単体レベルではプロジェクトの目標を達成できていますので、そこから大規模な、たとえば 1GB などを目指していきたいと思っています。

【村上委員】　もう 1 点、最後のご発表で、DRAM（ダイナミック・ランダム・アクセス・メモリ）工場との親和性の高さが今回の方式選択、アプローチ選択のところで効いていたように私は理解したのですが、この制約条件を取り払ったら、どんな選択が可能だったのか、これは仮定の話で「たら・れば」ですが。

【荻島（実施者）】　当初はソニー社がやっている CB-RAM（Conducting Bridge Random Access Memory）なども議論しましたが、そういう仮定を取ったとしても、いまの遷移金属酸化物系がいいデータを出していたのは間違いない。それに加えて親和性があるので採用しましたが、たとえばそれがだめだとしても、そこがゆえに開発を進めないということはないと思います。それがあったとしたら、またどうやって入れるかというところは課題だと思いますが、そこで NG となることはないと思います。

【東野委員】　たぶん技術的なことはまた後でお話があるのかと思いますが、不揮発メモリの開発とアーキテクチャの開発と両方でいろいろフィードバックをかけたことは、結局はアクセスギャップをどう埋

めるかということに相当するのですか。要は、どういうかたちで両方がコラボレーションしているか、答えられる範囲でもう少し教えていただけるとありがたいのですが。

【荻島（実施者）】　竹内教授のところではそれ以外にも、アクセスギャップをどう埋めるかとか、DRAMを代替するにはどうするかとか、いろいろ考えておられるので、そのへんも含めて今回いろいろやっています。最終的にはプロトタイプを設計するに当たって、第一に考えたのはプロトタイプを世の中に出していくためには、こういう新材料の性能がどうだということがあるので、プロトタイプの設計に関しては竹内教授のほうの研究にあったようなフラッシュと一体化したシステムをねらってやってきました。

【竹内（実施者）】　まずアプリケーションを探さなければいけないということもありましたが、それに加えてそもそもどういうメモリのチップをつくるべきかということが重要でした。確かに単体のデバイスとしては非常に高速にスイッチングするのですが、今回20nmといった非常に微細化されたチップを開発しますので、たとえば配線のRC遅延で、そもそもマイクロ秒オーダーがかかるとか、結局、性能、電力、容量、コストというもののいったい何を重要視してチップをつくるべきか、そういったメモリ自身がどうあるべきかというところからわれわれは入り込み、こういうアプロケーションだったらこういう仕様でどうですかと、そうするとエルピーダ社は、それはできる、できないと、そういったある種システムから回路、デバイスまで一体開発を行いました。

【桜井分科会長】　いまのフィードバックの中には書換え回数などがどうあるべきかという議論も含まれていたということですか。

【竹内（実施者）】　はい。

【高橋分科会長代理】　最初のモチベーションのところで、省エネと高速ということを遠目塚さんの最初のお話で重視してありまして、そのときにフェーズチェンジをしているのは遅いからというのが一つあるかもしれませんが、STT-MRAM（不揮発性磁性体メモリ）をやめる理由があまりちゃんと説明されなかったように感じていますが、そのあたりはいかがですか。

【荻島（実施者）】　MRAM（磁気抵抗メモリ）ですが、もちろん究極的にはエンデュランスから含めてMRAMはDRAMを代替できるようなデバイスだと思いますが、われわれのここの選択は、あくまでも3年後の事業化を考えなければいけない。そこにMRAMの材料がありますかというと、当時はたぶんなかったと思います。そこが一番の大きなところです。

【高橋分科会長代理】　NEDOとしての方針としてはいかがですかというのが聞きたかった。エルピーダ社の方針はすぐ理解できるのですが。

【遠目塚（推進者）】　本プロジェクトは冒頭のベンチマークシートにもありましたように、当時いろいろな新不揮発メモリの手法が考案されて、確かにベンチマークシートを見比べるとReRAM（resistance random access memory : 抵抗変化型メモリ）がいいのか、MRAMがいいのか、あるいはPRAM（相変化メモリ）がいいのかという判断は、当時はつかなかった。ただし荻島さんの説明にあったように、ReRAMが一番工場親和性がありました。要はBitコストを下げるということは、低コスト化につながるということで、今回ReRAMを選択して、目的としてはSCM（ストレージクラスメモリ）の分野の主メモリとなるように働きかけて実用化に向けて推進したという経緯があります。

【関根（推進者）】　補足します。この高速不揮発のところではReRAMですが、実はNEDOプロジェクトは電材部であと二つ、この不揮発メモリでMRAMはLEAP（超低電圧デバイス技術研究組合）のプロジェクト、そしてノーマリーオフプロジェクトで他社がアプローチしています。そちらのアプローチと合わせて新不揮発メモリの中で、これは高速不揮発だということで対応しているものです。いろいろなところの中から選択していくということです。

加えてその6ページにある話は、2010年当時どうだったかということで、NEDOがどう選んだか

ということを表しているものです。実用化に向けては、本プロジェクトは事後評価ですが、いまご紹介したプロジェクトの中には中間評価の段階もありますので、今後どれを選んでいくかということになると思います。

【白石委員】　先ほどの質問とも関連しますが、プロセスの親和性ということでハフニウム、アルミナなどを使う ReRAM を選ばれたということ、その結果がストレージクラスということになっていったような気がするのですが、最初から、たとえば DRAM の代替は DRAM である、フラッシュの代替はフラッシュ、NAND の代替は NAND ということは決まっていたのか。たとえば STT-RAM はご説明がありましたが、DRAM の代替に STT はなりうるし、もしフラッシュの代替をやろうとするのであれば、いま 30μA を実現されていると思いますが、もう少し電流を下げないと Tbit にはなかなかいかないだろうということを考えたときに、最初に親和性ありきでやられたのか、それとももう少し別のことも考えられてストレージクラスに行かれたのかが見えてこないのですが、いかがでしょうか。

【遠目塚（推進者）】　資料 5-2 の 10 ページ、「不揮発メモリの特徴と適用用途」の図表に示されるように、当時いろいろな手法の不揮発メモリが考案されてきました。この中でどのデバイスが、どの分野に行くのか、あるいは淘汰されて一つになるのかということを考えますと、今後伸びるであろうストレージ分野の高速不揮発に関しては、ReRAM が有望であろう。先ほど関根からも報告しましたように、ほかにも MRAM など不揮発ノーマリーオフでやった不揮発メモリに関してはキャッシュという分野に適用するのではないかという判断で、その分野はその分野でマネジメントします。今回はこのストレージ分野で ReRAM が有望ではないかという判断でこのプロジェクトを始めました。

【白石委員】　PRAM（相変化メモリ）で LEAP などがやっているというその他の方式などもお考えになったということもあるのですか。

【荻島（実施者）】　そうですね。

【白石委員】　PRAM も超格子型になって、従来のものとは格段によくなっていますので、そうすると 2010 年といまとではだいぶ変わっているのではないかという気がしています。

【荻島（実施者）】　われわれのところも、実はこの前に PRAM をやっていまして、ちょうどこの採択のころに超格子型のものが出てきて、われわれとしては先ほども申しましたように親和性は 3 番目です。まず大容量、スケーリングができること、高速であること、この二つがビジネス上はメインでした。それを考えた場合、PRAM はその当時高速ではなかった。したがってわれわれは高速のためには縦 MOS と組み合わせてこういう材料を使っていくことが一番、一つの方向だろう。NAND の代替にするにしても、NAND より 10 倍スピードが速ければいろいろなところに使えるだろうということで、そこを目指しました。

【木本委員】　いまお話が出たこの不揮発メモリの適用用途、右の図を説明いただきたいのですが、ここで青の高速不揮発､ReRAM が左下にあって､ストレージ分野を目指すということを書かれていますが、一方右のほうに ReRAM が 2 カ所にあります。今回は、書込み時間を高速化するということで従来の右の二つのところから、左下のこの大きい青丸のところをねらったという位置付けなのか、あるいはこの高速の書込みはすでにできていたのだけれども､こういう大規模な集積化ということについては、ばらつきの問題があって難しかったので、そこを取り組んだという意味なのか、どういう位置付けなのでしょうか。

【遠目塚（推進者）】　この図は、書込み時間が横軸で、縦軸にはビットコストという概念的な話ですが、過去には ReRAM でも書込み時間は若干長いのだけれど安いメモリの分野と、そこそこの書込み時間で若干値段が高いという 2 種類の得手、不得手のある ReRAM があった。このあたりを材料等、いろいろプロセスを改良して、ストレージメモリに適合するような高速で、かつ大容量で、最終的には汎用性のある低コスト化が可能であろうという判断で今回 ReRAM を選択して、このフィールドに適合し

ていくかたちで述べてあります。

【木本委員】　高速での書込み時間は、すでに学問的には確立されていたのかどうか。

【遠目塚（推進者）】　当時はまだこのグラフで見ると 1000ns ぐらいです。1μsec ぐらいの応答スピードしかないという状況を先ほど説明したように 10ns の高速性を実現するという目標がありました。

【桜井分科会長】　システムサイドとデバイスサイドがループを回しながら、いろいろと対話をしながら研究を進めたということでしたが、研究開始時と研究をしている最中で、目標の設定がシステム側の検討が進むに従って変わってきたというダイナミックな変化が途中であったでしょうか。あるいはこのプロジェクトを起こす前に会話がなされていて、だいたいその目標で最後まで来たのでしょうか。

【荻島（実施者）】　先ほど説明したようにプロジェクトの最初の採択のときに出したところが最後まで変わっていないでやり遂げたというのが概要だと思いますが、そのうちいろいろなことがあって、たとえば細かい話ですと、エンデュランスが Verify をかけないとうまく回らないところがあって、竹内教授のほうで Verify をどうやったらいいか、うまくいくかというところをやっていただきました。大筋は変わっていないと思います。

【桜井分科会長】　特に外部環境もダイナミックに変わるのだと思いますが、そのへんのフィードバックもだいたい予想の範囲内で最初の設定どおりで進んだということですか。

【竹内（実施者）】　基本的なアーキテクチャなどは変わっていないのですが、やはりこの間、一番大きかったのはクラウドがものすごく伸びていったことです。逆に言うとモバイルがだんだん先が見えてきたことがあって、高速なストレージ、そもそもハードディスクは主にクラウドで使われていたのですが、そういったもののニーズがものすごく高まっていたので、今日後ほどご紹介しますが、当初予想していた以上にそこをどんどん深掘りしていったというのは、大きな外部環境の影響であったのではないかと思います。

【桜井分科会長】　そうするとシステムサイドと一緒にやったことによって、時々の環境を取り込みながら、ダイナミックに変えていく能力を持っていたということですね。ありがとうございます。

それではプロジェクトの詳細内容につきましては、この後詳しく説明していただきますので、その際質問等をいただくことといたします。

（非公開セッション）

５．研究開発マネジメントに関する補足説明

省略

６．プロジェクトの詳細説明

省略

７．「実用化・事業化に向けての見通し及び取り組み」について

省略

８．　全体を通しての質疑

省略

（公開セッション）

９．まとめ・講評

【桜井分科会長】　審議が終了したので、各委員の皆様から講評をいただきたいと思います。

【村上委員】　研究成果としても非常に素晴らしい内容になっていると思います。それは三つの側面があります。すべて変化をきちんとキャッチアップしたことに対するものですが、一つ目はエルピーダ社の置かれた状況にきちんと対応して、困難な時期にもかかわらず研究を遂行されたことです。

二つ目は、特に不揮発性メモリのところで技術動向あるいはビジネス動向の変化をきちんとキャッ

チアップした点です。三つ目は、従来パソコンが普及すると同時に分散化で、大量のメモリを自分の周りで持って使うと思われていましたが、通信の発展とともにクラウドコンピューティングでメモリが置かれる場所が、このプロジェクトが走り始めたときと大きく変わりつつあります。計算パワーのみならず、メモリ等も含めてありようが大きく変わりましたが、この時代の変化もキャッチアップして、三つの変化にきちんと対応したことに対して敬服しています。

開発成果は材料的にも素晴らしいのですが、同じアーキテクチャの人間から見ても、竹内教授は普遍性の高い技術をつくられました。メモリシステムがこれまで抱えていたさまざまな課題に対して一つの答えを出しており、それに対しても非常に感銘を受けています。ぜひこの技術を事業化して、日本のこの分野における国力の回復に役立てていただけるよう期待しております。

【宮本委員】　私も非常に強く感激しました。まずはアーキテクチャで、性能が 11 倍向上して信頼性が 7 倍向上するということは、簡単に言うと 100 倍ぐらい値段が高くてもいいはずです。その意味では、すごく早くなり、かつアクセスギャップがなくなるのは、非常に価値があります。アクセスギャップをなくすためには速いメモリがなければいけませんが、ある程度まで結果が出ているので、できるだけ早く実用化していただければと思います。

【東野委員】　私も同じような意見です。これを始めたころは、こんなにクラウドがおおっぴらになってくるというイメージはなかったのですが、クラウドの使われ方自身が変わってきているので、今回アーキテクチャで提案されているように、DRAM とフラッシュメモリの間のギャップを埋めるという意味では非常におもしろい研究テーマだと思います。技術的なことも含めて、非常に熱心に取り組まれ、ある種の新しい技術を生みだした点に関しては非常に良かったと思っています。一方、クラウドのようにどんどんサイズが上がっていくので、できるだけこの技術が早く社会で実現化して還元されていくことが大事です。逆に言うと後追いでは苦しいと思うので、できるだけトップを走れるようにすることです。そういう側面で、事業化を含めて頑張っていただけるとありがたいと思います。

【白石委員】　大変素晴らしい成果で非常に感銘を受けました。材料開発という一番基本のところから竹内教授のシステム周りまで、一気通貫で次の事業化も見えています。NEDO、大変な目にあったエルピーダ社、また竹内教授も場所を移られて、皆さん大変な中でこれだけの成果を上げていて本当に感動しました。これはメモリ技術として、世界の核になるのではないかと期待しています。昨今の半導体事情は非常に暗いものが多いのですが、半導体産業、ナノエレ産業の市場規模はチップレベルで 30 兆円あります。自動車と同じような規模なので、この素晴らしい研究成果を核に、NEDO が日本のナノエレ復活を先導していただければありがたいと思います。桜井分科会長の CREST（科学技術振興機構の戦略的創造研究推進事業）も、そんなかたちだと思います。

【木本委員】　融合と言われながらバラつきも多いし、信頼性の問題もあるし、設計の指針も立たないメモリに挑戦して、材料、プロセス等、さまざまな工夫でいろいろな問題を克服したことを高く評価したいと思います。ReRAM の特徴と現状の課題を十分に把握したうえで、最も適切な応用を見据えて、それに向かって進めていることも非常に素晴らしいと思います。竹内教授のアーキテクチャの研究との連携も非常にうまく機能した、素晴らしいプロジェクトだと思います。いま手がけている 8GB のメモリ試作を完了して、「素晴らしい特性が出た」というプレスリリースを楽しみにしたいと思います。事業化もぜひ期待しています。

【高橋分科会長代理】　アーキテクチャから材料まで一貫した設計をすべてやって、大規模メモリをやってみないとわからない、個別のセルだけの研究やアーキテクチャだけの独立した研究ではなかなか到達できないところに到達したのは素晴らしいと思います。アプリケーションもある程度見通しがついているので、ぜひ強力に進めてほしいところです。これまでも大規模なメモリをつくって、いろいろなことがわかったと思いますが、今回の不安定性の多い ReRAM のようなデバイスは、それをうまく克

服できるキーも大規模セルに残っているような気がします。欠陥を逆用して、いい特性にうまくつなげたものはたくさんあるので、そういうことができて不安定性を持つデバイスならではの特徴が生きてくることを期待したいと思います。

【桜井分科会長】　まずは大変立派な成果を得た、実施者の皆様のご努力に敬意を表したいと思います。「デバイスあるいは材料からシステムまで」という異分野連携の設定は、大変良い仕組みだと思いました。わが国は、いろいろな分野の産業あるいは技術が集積しているところが特徴的なので、研究開発差別化のうえで、このような特徴を生かした立てつけは有効だと考えられます。システムのレベルでは汎用性の高い技術が提案され、実証されましたし、デバイスあるいは材料のレベルでは物理的なメカニズムや新しいメカニズム等がわかったのは大変大きな成果だと思います。事業化でいろいろな問題が出たときに、物理がわからないと対処がわからずに事業化が阻害されますが、しっかりメカニズムが明らかになったのは重要なことだと思います。デバイスのレベルはバラつきの低減等、まだ多少課題はあるものの、デバイスとシステムを併せた領域に関する事業化を期待したいと思います。

【桜井分科会長】　それでは推進部長、実施者代表から何かあれば最後に一言お願いします。

【岡田（推進者）】　本日は長時間にわたりご指導いただきまして、大変ありがとうございます。今回の不揮発メモリの開発は、ハードとソフト一体での開発です。これからの半導体産業を担うキラーデバイスとして差別化していくもの、コアになるものと、NEDO として非常に期待しております。NEDO は経済産業省の指導の下で、事業化の目途が立つところまで基盤技術開発をやっていますが、当然このテーマはこれから先の展開もあるので、NEDO として頑張っていきたいと思います。会社更生法の申請等、事業環境の変化もありましたが、半導体産業はビジネスも、ある意味で研究開発も国際分業しています。NEDO の成果をどういうかたちでグローバルなイノベーションにつなげていくかというところで、今回の話はいろいろな意味で非常にためになったと思います。当然 NEDO の成果はグローバルに通じる価値を創造していくものですから、非公開の部分もありましたが、説明されたような考え方で今後ともやっていきたいと思います。引き続き先生方には、ご指導のほど、どうぞよろしくお願いします。ありがとうございました。

【五味（実施者）】　実施者のエルピーダ社として一言お礼申し上げます。今日はお忙しい中、特に評価委員の先生方、NEDO の皆様、どうもありがとうございました。非常に温かいお言葉をいただき、われわれも心を強くして今後の研究開発をしていきたいと思います。特にエルピーダ社は 2012 年に更生法を申請して、NEDO の皆さんに大変ご心配とご苦労をおかけしました。大変申し訳ございませんでした。しかし非常にサポートしていただいて、ここまでたどり着くことができました。ありがとうございました。ここでお礼を申し上げたいと思います。われわれはマイクロンの下に入ってやりますが、マイクロンも広島工場での研究開発、生産を確約しているので、われわれも成果を生かせるように努力していきたいと思います。今後もよろしくお願いいたします。今日はありがとうございました。

【竹内（実施者）】　今日はご指導いただきまして、本当にありがとうございました。私はエルピーダ社が倒産したときは東大にいて、東大は借金を踏み倒されました。大学を移るタイミングで去る大学の借金を踏み倒されて、いろいろな経験をいたしました。それはさておき、今回はストレージの部分ですが、これから MRAM が登場すると、ある程度 RAM を置き換える等コンピュータアーキテクチャをいろいろ変えていくと思います。その第一歩が今回の私の研究だと思っていますが、コントローラーレベルまでは自分では何とかなっても、OS やデータベース自身を変えることは、私やデバイス屋だけではできません。コンピュータアーキテクチャの先生方など、いろいろな方の力を結集していかないと、せっかくあるデバイスの果実を得られないので、デバイスからソフトウェアまで、いろいろな先生方あるいは企業の方にご指導いただきながら研究できればと思っています。今日はどうもありがとうございました。

【桜井分科会長】　どうもありがとうございました。これにて分科会を終わらせていただきます。

１０．今後の予定、その他

１１．閉会

配布資料

資料 1-1　研究評価委員会分科会の設置について
資料 1-2　NEDO 技術委員・技術委員会等規程
資料 2-1　研究評価委員会分科会の公開について（案）
資料 2-2　研究評価委員会関係の公開について
資料 2-3　研究評価委員会分科会における秘密情報の守秘について
資料 2-4　研究評価委員会分科会における非公開資料の取り扱いについて
資料 3-1　NEDO における研究評価について
資料 3-2　技術評価実施規程
資料 3-3　評価項目・評価基準
資料 3-4　評点法の実施について（案）
資料 3-5　評価コメント及び評点票（案）
資料　4　評価報告書の構成について（案）
資料 5-1　事業原簿（公開）
資料 5-2　プロジェクトの概要説明資料(公開／事業の位置付け・必要性/研究開発マネジメント
資料 5-3　プロジェクトの概要説明資料(公開)／研究開発成果について
資料 5-4　プロジェクトの概要説明資料(公開)／実用化・事業化の見通し及び取り組みについて
資料 6-1　事業原簿（非公開）
資料 6-2　研究開発マネジメント補足説明（非公開）
資料 6-3-1～資料 6-3-2　プロジェクトの詳細説明資料（非公開）／各研究開発テーマの詳細
資料 6-4　プロジェクトの詳細説明資料（非公開）／実用化・事業化の見通しについて及び取り組みについて
資料　7　今後の予定

以上

参考資料４

評価結果を受けた今後の取り組み方針について

評価結果を受けた今後の取り組み方針について

評価における主な今後の提言	今後の取り組み方針
〇今回はアーキテクチャおよびデバイス・レイヤーでの最適化で成果が得られたが、実際のシステムやアプリケーションに即した最適化技術を加味すると、より競争力が増すものと考えられる。競合するMRAM（Magneto resistive Random Access Memory；磁気抵抗メモリ）、PRAM（Phase-Change Random Access Memory；相変化メモリ）等の進展を考慮し、これらのメモリに対する優位性とコスト競争力を十分に検討いただきたい。	〇高速不揮発メモリは、ＲｅＲＡＭ、ＭＲＡＭ、ＰＲＡＭの競争領域であり、今後１つの方式に淘汰されるのか、それぞれの分野で共存されるのかを見極める必要がある。その分析を十分に行った上で、事業化を検討していく。なお、不揮発メモリアーキテクチャの開発は、今のメモリシステムの課題（高速性，寿命，消費電力）を解決する有効な手段であるので、その技術は普及拡大していくと見込んでいる。
〇成果として技術的には素晴らしいものが出たと考えるが、事業戦略的には、顧客ターゲットの絞り込みを含めてもう少し戦略的に進めるべきである。	〇事業戦略については、今後クラウドコンピューティングニーズに伴い、需要拡大が見込まれるSCM（ストレージクラスメモリ）への適用を想定しているが、本分野のニーズ（容量、スピード、コスト）を的確に把握し、機会損失が起きないよう進める。
〇デバイスとしては、当初目標はクリアしたものの、スイッチング素子の信頼性向上やばらつき低減など、高速不揮発メモリの実用化に向けて幾つかの課題が残っているので、それらを改善して実用化につなげていただきたい。	〇高速不揮発メモリの実用化に向けた課題は、デバイス単体の特性向上（書換耐性、速度、容量）と共に、使用される場面においての、ハードとソフトの最適化（省エネ、信頼性、性能）方針等により、実施企業主体で解決に取り組む。

参考資料４－１

本研究評価委員会報告は、独立行政法人新エネルギー・産業技術総合開発機構（NEDO）評価部が委員会の事務局として編集しています。

平成２６年３月

NEDO 評価部
部長　竹下　　満
主幹　保坂　尚子
担当　柳川　裕彦

＊研究評価委員会に関する情報は NEDO のホームページに掲載しています。
（http://www.nedo.go.jp/introducing/iinkai/kenkyuu_index.html）

〒212-8554 神奈川県川崎市幸区大宮町1310番地
ミューザ川崎セントラルタワー20F
TEL 044-520-5161　FAX 044-520-5162