

P 0 9 0 0 2

P 1 0 0 2 3

(ITイノベーションプログラム、ナノテク・部材イノベーションプログラム)

「低炭素社会を実現する超低電圧ナノエレクトロニクスプロジェクト」

基本計画

電子・材料・ナノテクノロジー部

1. 研究開発の目的・目標・内容

半導体技術は、情報家電、コンピュータ、通信装置、自動車、医療機器など、我が国の経済を支える先端産業の競争力強化に不可欠な基盤技術である。その発展を支えているのは、シリコン集積回路とその基本素子（デバイス）のCMOSトランジスタであり、これまで、CMOSトランジスタの寸法を微細化するプロセス技術と、微細デバイスを機能させる回路技術により、高性能化・低電力化を実現してきた。

低炭素社会の実現には、上記に代表されるエレクトロニクス機器の究極的な低電圧動作による飛躍的な低電力化が必須であり、デバイスの低電圧動作と不揮発動作が不可欠な技術要素である。CMOS基本回路の消費電力は電圧の自乗に比例するので、電圧を1/3にすれば、単純には消費電力がほぼ1/10になる。また、電源を遮断しても情報が保持される不揮発デバイスを使えば、待機状態での消費電力がゼロになり、これも、消費電力の低減に大きな効果をもたらす。このように、動作状態では電圧の低減で、待機状態では不揮発動作を使うことで、消費電力の低減が達成される。これらの機能を満たす新しい超低電圧・不揮発デバイスの開発が必要である。

欧米においては、大型の産学連携ナノエレクトロニクス拠点の整備がここ数年で飛躍的に進み、超低電圧・不揮発デバイスをはじめとした、次世代デバイスに関する実用化を目指した研究が活発に行われ、今後、開発競争は熾烈化するものと考えられる。海外の研究開発活動の活発化により、このような状況を放置すれば、超低電圧・不揮発デバイスに関する我が国の技術開発の競争力を失いかねない。

そこで、事業項目「低炭素社会を実現する超低電圧デバイスプロジェクト」を、ナノテクノロジーで培われた新規の機能材料や新規のデバイス構造に立脚して、集積回路の低電圧動作と高機能・高集積化を実現し、集積回路の低電力化を通してエレクトロニクス機器の消費電力を大幅に低減する技術を確立することを目的として、「ITイノベーションプログラム」の一環として実施する。

情報技術がめざましく発展している今日の社会では、情報・知識を、時間や場所の制約を受けず誰もが自由自在かつ安全に活用できる情報通信環境の実現が望まれている。また、平成20年9月に改訂された経済成長戦略大綱において、我が国の国際競争力強化のために注力すべき分野として、情報家電、ロボットなどが挙げられている。このような応用システムの基幹となる半導体集積回路（LSI）には、一層の高機能化、低消費電力化が求

められている。

半導体技術がこれまでに機能、消費電力、集積度、コストにおける急速な進歩を達成してきたのは、集積回路を製造するときに使用される最小寸法を年々指数関数的に縮小する微細化技術の向上によるもので、今後も引き続き微細化技術開発を通じて、集積回路の機能あたりコストがさらに低減されIT技術のさらなる発展と経済における生産性と社会全体における生活の質の大きな改善をもたらすことが期待されている。また、ITRS及び技術戦略マップに示されている通り、LSIの性能向上には、単なる微細化のみならず、新材料、新プロセス、新構造など革新的技術の導入が不可欠で、その必要性は微細化の進展とともにますます大きくなる。すなわち、微細化によって得られてきたメリットをこれまで以上に享受しながらITを根底から支える半導体技術をさらに発展させていくために、2020年頃以後のLSIに求められる新材料、新構造、新プロセス技術の開発を実現する大学の技術シーズを発掘育成し、それらを将来の産業技術につなげていくための橋渡しを進める取り組みが必要である。

ナノエレクトロニクスは、ナノテクノロジーの最大の応用領域の一つである。一方、デジタル・デバイスのCMOS構造というアーキテクチャは極めて優れているため、これが維持できる限りこれを維持することが望ましく、そうすることによりこれまで半導体の発展を支えてきた「微細化」というドライバを引き続き活用することができる。したがって次世代のLSI技術開発で取るべき方向は、「シリコンで培った微細化技術やデバイス原理をこれまで同様に活用しながら、シリコンという材料の物理的特性を十分に踏まえた上で、様々な要因に基づいて出現するデバイス性能の技術的な飽和を突破するための”新材料”、”新プロセス”、”新構造”を実現すること」である。

そこで、事業項目「ナノエレクトロニクス半導体新材料・新構造ナノ電子デバイス技術開発」を、次世代の電子デバイスのために「シリコンで培った微細化技術やデバイス原理をこれまで同様に活用しながら、シリコンという材料の物理的限界を突破するための”新材料”、”新プロセス”、”新構造”を実現する」半導体技術を、ナノテクノロジーを最大限に活用することによって創生し、将来の産業応用への芽を見出すことを目的として、「ITIノベーションプログラム」及び「ナノテク・部材イノベーションプログラム」の一環として実施する。

各事業項目の概要を表1に示す。各事業項目の目的・目標・内容は別添1、別添2に示すとおりとする。

表1. 各事業項目の概要

	プロジェクト番号	事業項目名	実施期間
別添1	P10023	低炭素社会を実現する超低電圧デバイスプロジェクト	平成22年～27年 (6年間)
別添2	P09002	ナノエレクトロニクス半導体新材料・新構造 ナノ電子デバイス技術開発	平成21年～23年 (3年間)

2. 研究開発の実施方式

(1) 研究開発の実施体制

本研究開発は、経済産業省が、企業、大学等の研究機関（委託先から再委託された研究開発実施者を含む）から公募によって研究開発実施者を選定し、共同研究契約等を締結する研究体を構築して開始したものである。独立行政法人新エネルギー・産業技術総合開発機構（以下「NEDO」という。）が本研究開発の運営・管理を承継するに当たっては、その時点までの進捗状況を踏まえた研究開発内容・計画及び実施体制の妥当性について、外部有識者による審議を含めた評価を行った上で最適な研究開発体制を構築し、実施する。

平成19年度から開始した「ナノエレクトロニクス半導体新材料・新構造ナノ電子デバイス技術開発」については、平成21年度からNEDOが継承し、委託して実施する。

平成22年4月から開始した「低炭素社会を実現する超低電圧デバイスプロジェクト」については、平成23年3月からNEDOが継承し、委託して実施する。

(2) 研究開発の運営管理

研究開発全体の管理・執行に責任と決定権を有するNEDOは、経済産業省及び研究開発実施者と密接な関係を維持しつつ、事業の目的及び目標、並びに本研究開発の目的及び目標に照らして適切な運営管理を実施する。具体的には、必要に応じて、外部有識者の意見を運営管理に反映させる技術検討委員会等における外部有識者の意見を運営管理に反映させる他、四半期に一回程度事業の進捗について報告を受けること等により進捗の確認及び管理を行うものとする。

3. 研究開発の実施期間

本研究開発の期間は、平成21年度から平成27年度までの7年間とする。

各事業項目の実施期間は、別添1、別添2に示すとおりとする。

4. 評価に関する事項

NEDOは、技術的及び政策的観点から、研究開発の意義、目標達成度、成果の技術的意義及び将来産業への波及効果等について、事業項目毎に、外部有識者による研究開発の中間評価及び事後評価を実施する。具体的には事業項目「低炭素社会を実現する超低電圧デバイスプロジェクト」について平成24年度に中間評価、平成27年度に事後評価を実施する。また、事業項目「ナノエレクトロニクス半導体新材料・新構造ナノ電子デバイス技術開発」については平成21年度に中間評価を実施済みであり、平成24年度に事後評価を実施する。

中間評価結果を踏まえ、事業の加速・縮小など必要な体制の再構築を含め、後年度の研究開発に反映することとする。

なお、評価の時期については、当該研究開発に係る技術動向、政策動向や当該研究開発の進捗状況等に応じて、前倒しする等、適宜見直すものとする。

5. その他の重要事項

(1) 研究開発成果の取扱い

①共通基盤技術の形成に資する成果の普及

得られた研究開発成果のうち、共通基盤技術に係るものについては、プロジェクト内で速やかに共有した後、NEDOおよび実施者が協力して普及に努めるものとする。

②知的基盤整備事業又は標準化等との連携

得られた研究開発の成果については、知的基盤整備事業又は標準化等との連携を図るため、データベースへのデータの提供、標準案の提案等を積極的に行う。

③知的所有権の帰属

委託研究開発の成果に関わる知的所有権については、「独立行政法人新エネルギー・産業技術総合開発機構 新エネルギー・産業技術業務方法書」第25条の規定等に基づき、原則として、すべて委託先及び共同研究先に帰属させることとする。

(2) 基本計画の変更

NEDOは、研究開発内容の妥当性を確保するために、社会・経済的状況、国内外の研究開発動向、政策動向、プログラム基本計画の変更、第三者の視点からの評価結果、研究開発費の確保状況、当該研究開発の進捗状況等を総合的に勘案し、達成目標、実施期間、研究開発体制等、基本計画の見直しを弾力的に行うものとする。

(3) 根拠法

本プロジェクトは、独立行政法人新エネルギー・産業技術総合開発機構法第15条第1項第1号二および第1項第2号に基づき実施する。

6. 基本計画の改訂履歴

(1) 平成21年3月、事業項目「ナノエレクトロニクス半導体新材料・新構造ナノ電子デバイス技術開発」基本計画制定。

(2) 平成23年3月、事業項目「低炭素社会を実現する超低電圧デバイスプロジェクト」基本計画制定。

(3) 平成23年3月、事業項目「低炭素社会を実現する超低電圧デバイスプロジェクト」および事業項目「ナノエレクトロニクス半導体新材料・新構造ナノ電子デバイス技術開発」を併せ実施することに伴う改訂。

(4) 平成25年2月、事業項目「低炭素社会を実現する超低電圧デバイスプロジェクト」根拠法変更に伴う改訂。

(5) 平成27年2月、事業項目「低炭素社会を実現する超低電圧デバイスプロジェクト」の研究開発項目②、④の最終目標変更、及び研究実施期間延長に伴う改訂。

別添1 事業項目「低炭素社会を実現する超低電圧デバイスプロジェクト」の目的、目標、内容、および、実施期間

1. 研究開発の目的、目標及び内容

(1) 研究開発の目的

半導体技術は、情報家電、コンピュータ、通信装置、自動車、医療機器など、我が国の経済を支える先端産業の競争力強化に不可欠な基盤技術である。その発展を支えているのは、シリコン集積回路とその基本素子（デバイス）のCMOSトランジスタであり、これまで、CMOSトランジスタの寸法を微細化するプロセス技術と、微細デバイスを機能させる回路技術により、高性能化・低電力化を実現してきた。

低炭素社会の実現には、上記に代表されるエレクトロニクス機器の究極的な低電圧動作による飛躍的な低電力化が必須であり、デバイスの低電圧動作と不揮発動作が不可欠な技術要素である。CMOS基本回路の消費電力は電圧の自乗に比例するので、電圧を1/3にすれば、単純には消費電力がほぼ1/10になる。また、電源を遮断しても情報が保持される不揮発デバイスを使えば、待機状態での消費電力がゼロになり、これも、消費電力の低減に大きな効果をもたらす。このように、動作状態では電圧の低減で、待機状態では不揮発動作を使うことで、消費電力の低減が達成される。これらの機能を満たす新しい超低電圧・不揮発デバイスの開発が必要である。

欧米においては、大型の産学連携ナノエレクトロニクス拠点の整備がここ数年で飛躍的に進み、超低電圧・不揮発デバイスをはじめとした、次世代デバイスに関する実用化を目指した研究が活発に行われ、今後、開発競争は熾烈化するものと考えられる。海外の研究開発活動の活発化により、このような状況を放置すれば、超低電圧・不揮発デバイスに関する我が国の技術開発の競争力を失いかねない。

本プロジェクトは、ナノテクノロジーで培われた新規の機能材料や新規のデバイス構造に立脚して、集積回路の低電圧動作と高機能・高集積化を実現し、集積回路の低電力化を通してエレクトロニクス機器の消費電力を大幅に低減する技術を確立することを目的として、「ITイノベーションプログラム」の一環として、実施する。

(2) 研究開発の目標

①本研究開発の目標

研究開発の目的に即した革新的基礎技術、及び応用技術を確立することを目標とする。具体的には、別紙の研究開発計画に基づいた、プロジェクト3年経過時点における中間目標及び、プロジェクト終了時における最終目標を達成することとする。

②全体としてのアウトカム目標

本研究開発が対象とする集積回路を用いた産業機器やコンシューマ機器は、大幅な省

エネルギー効果が期待できる。2020年における省エネルギー効果の合計は、電力量に換算すると、163.4億 kWh/年、炭酸ガス削減量に換算すると、697万トン/年と見積もられる。

また本研究開発を実施し、他国に先駆けて省エネ機器を実現することで、2020年において、不揮発デバイスがデジタル家電用混載メモリの5割、データセンター用固体ストレージ等の3割、低電圧デバイスがIT機器用汎用マイコン等3割の普及率を目指す。

(3) 研究開発の内容

様々なエレクトロニクス機器を制御する集積回路は、計算処理を担うロジック集積回路と記憶処理を担うメモリ集積回路から構成されている。また、メモリ集積回路は、ロジック集積回路との情報応答性能や情報記憶容量に応じて、ロジック集積回路に混載される1次メモリ（高速、小容量）、さらには、大容量記憶を担う外部記憶（低速、大容量）などに細分される。これらの集積回路の低電力化を達成するために、以下の研究開発を実施する。

本研究開発は、実用化まで長期間を要するハイリスクな「基盤的技術」に対して、産学官の複数事業者が互いのノウハウ等を持ちより協調して実施する事業であり、委託事業として実施する。

[委託事業]

研究開発項目①「ロジック集積回路内1次メモリを対象とした、高集積・高速特性・高書き換え耐性などの機能を有する超低電圧・不揮発デバイスの開発」

研究開発項目②「外部記憶の高速低電力データ転送を実現する、高集積・高速低電力書き込み特性などの機能を有する超低電圧・不揮発デバイスの開発」

研究開発項目③「配線切り換えを可能とするスイッチを対象とした、低電流・高速書き換え、高オン・オフ抵抗比、小面積などの機能を有する超低電圧・不揮発スイッチデバイスの開発」

研究開発項目④「集積回路チップ内において、機能ブロックの三次元集積を実現するための、微細幅・超低電気抵抗、超高アスペクト比配線・材料技術の開発」

研究開発項目⑤「CMOSトランジスタの超低電圧動作、及びリーク電流抑制を同時に実現するための、低しきい値ばらつきトランジスタを集積化するための技術開発、並びに、この技術を用いた高集積機能素子における低電圧動作実証」

研究開発項目⑥「BEOL設計・製造基盤（プラットフォーム）(*1)開発」

*1 BEOL設計・製造基盤（プラットフォーム）

様々な新材料を使うデバイスや新構造デバイスを配線層（BEOL：Back end of Line）

の一部として作製する際に、材料・構造を問わず、すべてに共通で使える設計ルール、材料、プロセス工程などを総称してプラットフォームという。ここでは BEOL 設計基盤と BEOL 製造基盤を合わせて、BEOL 設計・製造基盤（プラットフォーム）と呼ぶ。

2. 研究開発の実施方式

(1) 研究開発の実施体制

本研究開発は、経済産業省が、企業、大学等の研究機関（委託先から再委託された研究開発実施者を含む）から公募によって研究開発実施者を選定し、共同研究契約等を締結する研究体を構築して開始したものである。

独立行政法人新エネルギー・産業技術総合開発機構（以下「NEDO」という。）が本研究開発の運営・管理を承継するに当たっては、その時点までの進捗状況を踏まえた研究開発内容・計画及び実施体制の妥当性について、外部有識者による審議を含めた評価を行った上で最適な研究開発体制を構築し、実施する。

(2) 研究開発の運営管理

研究開発全体の管理・執行に責任を有するNEDOは、経済産業省及び研究開発実施者と密接な関係を維持しつつ、プログラムの目的及び目標、並びに本研究開発の目的及び目標に照らして適切な運営管理を実施する。具体的には、必要に応じて設置される技術検討委員会等における外部有識者の意見を運営管理に反映させる他、四半期に一回程度プロジェクトリーダー等を通じてプロジェクトの進捗について報告を受けること等を行う。

3. 研究開発の実施期間

本研究開発の期間は、平成22年度から平成27年度までの6年間とする。ただし、この期間内において、研究開発項目毎に研究開発期間を設定する。研究開発項目①、③、⑤については、平成22年度から平成26年度までの5年間とする。また、研究開発項目⑥については、平成23年3月から平成24年2月とする。研究開発項目②、④については、平成22年度から平成27年度までの6年間とする。

4. 評価に関する項目

NEDOは、技術的及び政策的観点から、研究開発の意義、目標達成度、成果の技術的意義及び将来産業への波及効果等について、外部有識者による研究開発の中間評価を平成24年度、事後評価を平成27年度に実施する。中間評価結果を踏まえ、事業の加速・縮小など必要な体制の再構築を含め、後年度の研究開発に反映することとする。なお、評価の時期については、当該研究開発に係る技術動向、政策動向や当該研究開発の進捗状況等に応じて、前倒しする等、適宜見直すものとする。

5. その他の重要事項

(1) 研究開発成果の取扱い

① 共通基盤技術の形成に資する成果の普及

得られた研究開発成果のうち、共通基盤技術に係るものについては、プロジェクト内で速やかに共有した後、NEDOおよび実施者が協力して普及に努めるものとする。

② 知的基盤整備事業又は標準化等との連携

得られた研究開発の成果については、知的基盤整備事業又は標準化等との連携を図るため、データベースへのデータの提供、標準案の提案等を積極的に行う。

③ 知的所有権の帰属

委託研究開発の成果に関わる知的所有権については、「独立行政法人新エネルギー・産業技術総合開発機構 新エネルギー・産業技術業務方法書」第25条の規定等に基づき、原則として、すべて委託先及び共同研究先に帰属させることとする。

(2) 基本計画の変更

NEDOは、研究開発内容の妥当性を確保するために、社会・経済的状況、国内外の研究開発動向、政策動向、プログラム基本計画の変更、第三者の視点からの評価結果、研究開発費の確保状況、当該研究開発の進捗状況等を総合的に勘案し、達成目標、実施期間、研究開発体制等、基本計画の見直しを弾力的に行うものとする。

(3) 根拠法

本プロジェクトは、独立行政法人新エネルギー・産業技術総合開発機構法第15条第1項第1号二に基づき実施する。

6. 基本計画の改訂履歴

(1) 平成23年3月、制定。

(2) 平成25年3月、根拠法変更に伴う修正。

(3) 平成27年2月、研究開発項目②、④の最終目標変更、及び研究開発期間延長に伴う改訂。

(別紙) 研究開発計画

研究開発項目①「ロジック集積回路内 1 次メモリを対象とした、高集積・高速特性・高書き換え耐性などの機能を有する超低電圧・不揮発デバイスの開発」

1. 研究開発の必要性

銀行やライフラインなどの社会インフラ管理を担う大型コンピュータや、爆発的に増大するインターネットの情報を処理する大型サーバ、さらには、オフィス内の IT 機器、デジタル AV、携帯機器に代表される各種エレクトロニクス機器の情報処理量と機器台数の増大に伴い、機器が消費する電力の増大が焦眉の問題となっている。

これらのシステムにおいて情報処理機能を担う CPU や MPU に代表されるシステム LSI は、情報処理量増大に対処するため、高集積化と高速化が年々進み、その結果、1 チップの消費電力は 100W に達する品種も現れている。

低炭素社会の実現に向けては、エレクトロニクス機器に使用されるシステム LSI の消費電力を抑制する必要がある。システム LSI は、論理演算部とデータやプログラムを一時的に格納する 1 次メモリの SRAM が同一チップ上に混載されている。国際半導体ロードマップ(ITRS)によれば、LSI に混載されるメモリ部がチップ面積の約半分を占めるようになり、今後もその比率は更に増大すると予測されている。その理由は、情報処理能力を上げるためには、論理演算部とデータのやり取りを直接行う 1 次メモリの容量増大が非常に有効なためである。このように、混載される SRAM の容量が大きいため、そこで消費される動作時と待機時の電力を抑制することができれば、システム LSI の低消費電力化を通して、低炭素社会実現に貢献できる。

メモリの動作時の消費電力を低減するには、メモリの読み書きに必要な電圧を下げて適切な条件で動作させること、また待機時の消費電力を低減するには、電源を切ってもメモリ内の情報を保持できる不揮発性を持たせることが必要である。

2. 研究開発の具体的内容

上述の低電力化要件（低電圧読み書き、不揮発）と、混載 SRAM を置き換えるための要件（高集積、高速、高書き換え耐性）を満たすメモリの開発を行う。

- ・シミュレーション、試作および評価による最適メモリ材料、作製プロセス、およびメモリ構造の開発。
- ・書き換え耐性の加速試験方法の確立。
- ・信頼性評価方法の確立。
- ・システム LSI の多層配線内に、メモリを埋め込むインテグレーション技術の開発。
- ・メモリの読み書きを制御する周辺回路の開発と設計環境の構築。
- ・特定のアプリケーションを想定した回路による、超低電圧動作の実証。
- ・従来の 2 倍の高集積化を可能とする多値メモリセルの開発。

3. 達成目標

システム LSI に混載されている SRAM 機能を代替できる、低電圧動作の不揮発メモリを開発する。その際、以下の条件を目標とする。

【中間目標】（平成 24 年度末）

- ・メモリ単体レベルで、読み書き電圧 0.4V 以下、読み書き電流 100 μ A 以下、読み書き時間 10ns（電力量 0.4pJ 以下）の実証。1.2V 動作 SRAM の 1/10 の電力の実証。
- ・新材料を用いた新プロセスの、300mm バックエンドラインへの統合による、デバイス動作実証。
- ・試作・評価によるメモリパラメータ取得と、それを用いた低電圧動作用メモリ周辺回路設計。
- ・高集積化を可能とする多値動作の確認。

【最終目標】（平成 26 年度末）

- ・加速試験による 10 年間のリテンションと、書き換え回数 10^{16} 回の達成。
- ・実用に耐える信頼性技術確立への指針の提示。
- ・低電圧動作用の周辺回路を備えたメモリマクロで、読み書き電圧 0.4V、読み書き電流 100 μ A 以下、読み書き時間 10ns、1.2V 動作 SRAM の 1/10 の電力を実証すると共に、メガバイト級メモリの実現可能性の提示。
- ・メモリマクロでの多値動作を実証することによる、従来 SRAM 比 2 倍の高集積化の可能性を提示。

研究開発項目②「外部記憶の高速低電力データ転送を実現する、高集積・高速低電力書き込み特性などの機能を有する超低電圧・不揮発デバイスの開発」

1. 研究開発の必要性

インターネットの高速化と情報通信機器の高度化により、外部記憶が消費する電力量の爆発的増大が課題視されている。外部記憶には、膨大な量の情報を記憶し、瞬時に読み書きできる性能が求められているが 外部記憶として最も普及している HDD はディスク回転で動作が律速されるため、複数の HDD を組み合わせてデータの読み書きを高速化している。しかしながら企業、産業用途では、数百台の HDD 動作が必要なため冷却装置が欠かせず、さらに大規模な検索エンジンのデータセンターでは、発電所一基分に相当する電力が必要となっている。

一方、フラッシュメモリを搭載した SSD は、高速データ処理が可能でかつ消費電力が小さいため、記録容量は低いが HDD を代替する外部記録として、年々その需要が増大している。しかし、フラッシュメモリは、データ消去に際して消す必要のないデータも消去することから（ブロック単位でのデータ消去）、データを一時的に蓄えるキャッシュへのデータ退避と再書き込みが必要で、これらの処理が実効的な書き込み時間を増大させている。そのため現状の SSD でも、複数のフラッシュとキャッシュが組み合わされて動作しており、今後、チップ数の増大による消費電力増大と、複雑な使いこなしが避けられない課題になるのは必至である。

そこで、データ転送を高速低電力で実現し、外部記録の消費電力を圧倒的に低減しうる高集積メモリの開発を行う。

2. 研究開発の具体的内容

外部記憶の圧倒的な消費電力低減を実現するため、高集積、高速、低電力の要件を満たすメモリの開発を行う。

- ・物理的に最小セル面積が可能なクロスポイント型メモリセル技術。
- ・クロスポイント型セルによるユニポーラ動作が可能なメモリ材料技術。
- ・書き込み動作時のエネルギー散逸を防止して低電力化を可能とするメモリ構造技術。
- ・上記の材料及び構造を 300mm ウエハに搭載可能とするプロセス技術。
- ・メモリ材料を外部記憶向けに最適化するためのシミュレーション及び評価技術。
- ・クロスポイント型セル動作に特有なアレイ回路技術。
- ・上記メモリを用いた低電力高速データ転送技術。

3. 達成目標

外部記憶の高速低電力データ転送を実現する、高集積・高速低電力書き込み特性などの機能を有する不揮発デバイスを開発する。その際、以下の条件を目標とする。

【中間目標】（平成 24 年度末）

- ・単体デバイスとして、クロスポイント型メモリセル試作と動作実証。
- ・データ転送速度 200MB/s を、従来の 1/3 の電力（200mW）で可能とする単体デバイスの書き込み動作、およびさらなる高速低電力化の可能性の根拠の提示。

【最終目標】

（平成 26 年度末）

クロスポイント型メモリセルを集積化したメモリアレー試作と動作実証。

- ・書き換え回数 10^6 回以上の達成。
- ・データ転送速度 400MB/s の高速動作実証。
- ・従来の 1/10 の電力（66mW）の低電力動作実証。
- ・メモリセル面積 $4F^2$ ^(*2) のメモリアレーによる高集積性実証。

(*2) F : 最小加工寸法

（平成 27 年度末）

- ・TRAM^(*3) の 1.2V 以下の動作実証。
- ・更なる電力削減効果（33mW 以下）の見通しを得る。

(*3) TRAM : Topological-switching Random Access Memory

研究開発項目③「配線切り換えを可能とするスイッチを対象とした、低電流・高速書き換え、高オン・オフ抵抗比、小面積などの機能を有する超低電圧・不揮発スイッチデバイスの開発」

1. 研究開発の必要性

高度情報化社会の発展には、IT ネットワーク機器・車載電子機器・情報家電機器・モバイル機器など、様々な用途で用いられるロジック集積回路の性能向上が不可欠である。近年、電子機器の製品サイクルが短縮し、短 TAT、少量多品種生産、頻繁な仕様変更等が必要となってきたため、ロジック集積回路の一部または全部の回路を再構成可能にした、プログラマブルロジックへのニーズが高まっている。

プログラマブルロジックは、電子機器に組み込まれた後もその回路構成を変えられるため、ユーザーのニーズに沿った機能変更・追加、バグ修正、さらに不具合や劣化した回路の切り離し等をユーザーの手元で行えるようになる。柔軟なプログラマブルロジック集積回路を電子機器に組み込むことにより、ユーザーの意図した機能・動作が実現できるようになり、自然な形で人のニーズを満たし、行動を支援する“ヒューマンセントリック”な電子機器が提供できる。しかしながら、従来のプログラマブルロジックは、その高い消費電力のためにコンシューマ市場へ浸透していなかった。したがって、プログラマブルロジックデバイスの動作時および待機時の電力を削減することにより、低炭素社会を実現することが強く望まれる。

現在のプログラマブルロジックデバイスでは回路を再構成するスイッチに、パストランジスタと SRAM を組み合わせた SRAM スイッチが用いられている。しかしながら、上述のとおり、動作時および待機時の電力が大きく、低消費電力化が強く求められている。そこで、本研究では、低消費電力・低炭素社会を実現するため、プログラマブルロジックの大幅な低消費電力化が実現可能である技術の開発を行う。

2. 研究開発の具体的内容

配線切り換えを可能とするスイッチを対象とした、ロジック集積回路の低消費電力化・低電圧化に対応可能であり、かつ、スイッチの書き換え時、および保持時の低消費電力化を実現する超低電圧・不揮発スイッチデバイスの開発を行う。具体的には、オン・オフ抵抗比が大きく低電圧に対応可能であり、スイッチ素子の面積が小さく配線容量、およびスイッチ容量が低容量であり、書き換えに必要な書換え電流と書換え速度の積（電荷量）が小さく低電力書き換えが可能であるスイッチデバイスを実現する。

- ・スイッチ素子材料、構造および集積化プロセスの開発。
- ・本スイッチ素子に最適な回路技術の開発および既存のロジック集積回路との融合。
- ・素子の信頼性向上を目的とした機構解明および信頼性保証への基礎技術確立。

3. 達成目標

プログラマブルロジックの低消費電力化を実現できる、不揮発配線切り換えスイッチを開発する。その際、以下の条件を目標とする。

【中間目標】（平成 24 年度末）

- ・ スイッチ素子の材料選定、素子構造の最適化を行い単体素子の動作を検証。
- ・ 単体素子性能として書換え電流と書換え速度の積が 10^{-10}As 以下、オン・オフ抵抗比 10^5 以上、書き換え回数 10^3 以上の実証。

【最終目標】（平成 26 年度末）

以上の成果に基づき、

- ・ 大規模集積化に必要なスイッチ素子特性のばらつきを低減。
- ・ 300mm ウエハにロジック集積回路を試作し下記を達成する。
 - a) 本スイッチにより配線切り換えを行ったロジック集積回路が 0.4V で動作可能であり、その際の消費電力が SRAM スイッチにより配線切り替えを行った従来型 1.2V 動作ロジック集積回路の 1/10 以下。
 - b) スイッチ素子面積が同一世代の SRAM スイッチを用いたプログラマブルロジックデバイス (PLD) に比べ 1/20 以下。

研究開発項目④「集積回路チップ内において、機能ブロックの三次元集積を実現するための、微細幅・超低電気抵抗、超高アスペクト比配線・材料技術の開発」

1. 研究開発の必要性

集積回路の高集積化には、個々の素子同士を接続するための多層配線が不可欠である。これらの配線には現在、Cu、W等の金属材料が用いられているが、配線寸法の微細化、配線膜厚の薄膜化に伴って、結晶粒界や界面での電子の非弾性散乱効果による配線抵抗の増大が顕著になりつつある。既に配線幅 100nm を下回る領域で、この増大が現実のものとなりつつあるが、平成 28 年頃に予想される配線幅 10nm 前後の領域では、大幅な抵抗上昇が生じ、従来の金属材料では所要の性能を実現できない。

また、急速に進みつつある不揮発素子等の機能ブロックの三次元集積のためには、微細でかつこれまでにない超高アスペクト比（コンタクトホールの深さと直径の比）のコンタクト開発が求められている。現在までに、10 を超えるアスペクト比への W など金属の埋め込み技術が開発されているが、将来的にはアスペクト比 30 の埋め込みが必要になると予想されている。

2. 研究開発の具体的内容

以上のような必要性に基づいて、ナノカーボン材料を用いて、微細線幅・長距離に対応した横配線技術と微細径・超高アスペクト比に対応したコンタクトホール埋め込み技術の開発を行う。具体的には、300mm 対応の材料成長・加工・配線集積化に関する技術開発とともに、ナノカーボン材料の配線適用に関する理論検討、先行的材料合成・評価等の配線基礎技術開発を行い、大口径での配線技術の有効性を実証する。

3. 達成目標

三次元集積を実現するための、微細幅・超低電気抵抗、超高アスペクト比配線・材料技術を開発する。その際、以下の条件を目標とする。

【中間目標】（平成 24 年度末）

- ・微細線幅（100nm）、低抵抗（シート抵抗 $< 50\Omega/\square$ ）の配線実証。
- ・微細直径（90nm）、超高アスペクト比（ ≥ 16 ）のコンタクトホールへのナノカーボン材料埋め込み実証。

【最終目標】

（平成 26 年度末）

- ・微細線幅（ $\leq 20\text{nm}$ ）、長距離（0.7mm）、低抵抗（シート抵抗 $\leq 3\Omega/\square$ ）の配線実証。
- ・微細直径（90nm）、超アスペクト比（30）のコンタクトホールへのナノカーボン材料埋め込みと、W 以下の抵抗（接触抵抗を含む）の実証。

（平成 27 年度末）

- ・20nm 以細幅のグラフェンに対し 低抵抗化に有効で 触媒金属等の腐食の制御が可能

なドーピング材料の決定。

- ビアプラグ材料としての CNT 構造に適したドーピング手法の見極め。

研究開発項目⑤「CMOS トランジスタの超低電圧動作、及びリーク電流抑制を同時に実現するための、低しきい値ばらつきトランジスタを集積化するための技術開発、並びに、この技術を用いた高集積機能素子における低電圧動作実証」

1. 研究開発の必要性

ほとんどのエレクトロニクス機器にはシリコン集積回路が搭載されている。これまでのシリコン集積回路においては、主として CMOS トランジスタを微細化、高集積化することによって高機能化、高性能化、低消費電力化を実現してきた。これらの実現への必須要件は、微細化と動作電圧の低減を同時に推し進めることであった。CMOS トランジスタを用いた低消費電力用途の集積回路の動作電圧は、現在のところ 1.2V 程度まで低減されてきたが、素子特性のばらつきを考慮すると動作電圧の下限は 0.6V 前後とされており、このままでは動作電圧の低減が飽和するのは避けられない。また、動作電圧が低減すると、CMOS トランジスタの動作が不安定になるため、動作状態に応じてトランジスタの特性を制御するなどの技術を適用しないと、動作性能の低下やリーク電力の増大などの問題が生じる。このため、シリコン集積回路の消費電力を現状の 1/10 以下に低減するためには、主要素子である CMOS トランジスタの動作電圧を 0.4V 以下に低減できる技術や、使用状況に応じて動作条件を最適に制御する技術の確立が不可欠である。

2. 研究開発の具体的内容

動作電圧低減の主たる阻害要因である、しきい電圧ばらつきを低減でき、かつ、使用状態に応じて動作条件を変化させる基板バイアス電圧制御が可能な構造を有するナノトランジスタ構造デバイスを開発すると共に、それを集積化するために必要な技術開発を行う。

- ・ 0.4V 以下の低い電源電圧において個々のトランジスタの動作を最適化するための、シミュレーション、試作および評価。
- ・ ナノトランジスタ構造デバイスを用いた、基板バイアス電圧制御技術の開発および低電圧動作回路の設計指針の提示。
- ・ ナノトランジスタ構造デバイスと既存の CMOS トランジスタを集積した、融合集積化技術の開発。融合集積デバイス特有の信頼性阻害要因の解析と、大規模集積化試作による、実用に耐える信頼性確立への指針の提示。
- ・ 融合集積化 LSI のための設計情報の取得と設計環境構築への指針の提示。
- ・ 特定のアプリケーションを想定した回路における、消費電力低減効果の検証。

3. 達成目標

ナノトランジスタ構造デバイスと既存の CMOS トランジスタを融合集積化するための技術開発、並びに、この技術を用いた高集積機能素子における低電圧動作実証を行う。

その際、以下の条件を目標とする。

【中間目標】（平成 24 年度末）

- ・ 100 万個以上のトランジスタで、平均 $\pm 0.1V$ 以下（ $\pm 5\sigma$ ）の局所しきい電圧ばらつきの達成。
- ・ 低い電源電圧に動作を最適化し、基板バイアス制御技術を適用したナノトランジスタ構造デバイスを集積した 1Mbit 以上の SRAM での、0.4V 動作の実証。

【最終目標】（平成 26 年度末）

以上の成果を基に、

- ・ ナノトランジスタ構造デバイスと既存の CMOS トランジスタとの融合集積化技術を確立するとともに、その設計環境構築への指針を提示。
- ・ 従来デバイスに比較して消費電力を 1/10 に低減できる基盤技術を確立するとともに、実用化回路レベルでの達成目処を提示。

研究開発項目⑥「BEOL 設計・製造基盤（プラットフォーム）開発」

1. 研究開発の必然性

低炭素社会の実現には、エレクトロニクス機器の低電圧動作が必要である。これまでのシリコン集積回路においては、主として CMOS デバイスを微細化、高集積化することによって高機能化、高性能化、低消費電力化を実現してきた。しかし、ロジック集積回路の動作電圧には、CMOS デバイスの特性ばらつきなどに起因する低電圧化限界があり、さらなる低電圧動作は難しい状況になっている。

この課題を解決するために、IT イノベーションプログラム「低炭素社会を実現する超低電圧デバイスプロジェクト」の一環として、抵抗変化型の機能材料をシリコン集積回路の配線層の一部として作り、シリコン集積回路に情報の不揮発性を付加することで、革新的な超低電圧動作と高機能化を実現するためのプロジェクトが始まっている。

本プロジェクトの一環として、平成 22 年度補正予算による研究開発において、材料や構造の異なる超低電圧・不揮発デバイスを、300mm ウエハ CMOS 基板上に配線層（BEOL）の一部として作製するための BEOL 設計・製造基盤（プラットフォーム）開発を加速させ、上記デバイスの実用化実証の早期実現に資することを目的とする。

2. 研究開発の具体的内容

①BEOL 設計基盤開発

BEOL 製造基盤を用いて、様々な新材料・新構造デバイスを配線層の一部として作るために必要な、デバイス・配線などの設計基盤を開発する。具体的には、パターン設計ツール、パターン設計に際しての OPC（Optical Proximity Correction）ツール、検証ツール、パターン検査用電子顕微鏡等のツールと評価機器を導入し、PDK（Process Design Kit）を開発する。

②BEOL 製造基盤開発

300mm ウエハ CMOS 基板上に、下地 CMOS との位置関係など、デザインルールの整合性を保ちながら、配線層の一部として、様々な新材料・新構造デバイスを形成するための製造技術を開発する。特に、シリコン LSI では通常使用しない新材料の導入に際して、相互汚染や熱耐性、さらには、プロセス雰囲気などがデバイスに及ぼす影響という観点から、それぞれのデバイスの特性を損なうことのない BEOL 製造基盤を開発する。具体的には、新材料上での層間絶縁膜形成技術、新材料の一部が露出するエッチング技術、汚染防止技術、汚染除去技術、汚染評価技術などからなる、BEOL プロセスレシピと汚染防止のための管理プロトコルを開発する。また、そのために必要な、層間絶縁膜形成装置、層間絶縁膜のドライエッチング装置、化学的機械研磨装置などの装置を導入する。

3. 達成目標

【最終目標】（平成 23 年度末）

個別デバイス（研究開発項目①～③）の研究開発を推進するための共通設計基盤として、BEOL 設計・製造基盤（プラットフォーム）を開発する。その際、以下の条件を目標とする。

- ① 新材料や新構造デバイスに共通で使え、かつ、新材料の相互汚染や熱耐性、さらには、プロセス雰囲気の影響などの観点から、それぞれのデバイスの特性を損なうことのない、BEOL プロセスレシピの作成。
- ② 相互汚染防止、汚染除去、汚染評価などからなる管理プロトコルの作成。
- ③ PDK として、設計ルール、配線特性パラメータ、OPC ルールの策定。

別添2 事業項目「ナノエレクトロニクス半導体新材料・新構造ナノ電子デバイス技術開発」の目的、目標、内容及び実施期間

1. 研究開発の目的・目標・内容

(1) 研究開発の目的

情報技術がめざましく発展している今日の社会では、情報・知識を、時間や場所の制約を受けず誰もが自由自在かつ安全に活用できる情報通信環境の実現が望まれている。また、平成20年9月に改訂された経済成長戦略大綱において、我が国の国際競争力強化のために注力すべき分野として、情報家電、ロボットなどが挙げられている。このような応用システムの基幹となる半導体集積回路(LSI)には、一層の高機能化、低消費電力化が求められている。

半導体技術がこれまでに機能、消費電力、集積度、コストにおける急速な進歩を達成してきたのは、集積回路を製造するとき使用される最小寸法を年々指数関数的に縮小する微細化技術の向上によるもので、今後も引き続き微細化技術開発を通じて、集積回路の機能あたりコストがさらに低減されIT技術のさらなる発展と経済における生産性と社会全体における生活の質の大きな改善をもたらすことが期待されている。また、ITRS及び技術戦略マップに示されている通り、LSIの性能向上には、単なる微細化のみならず、新材料、新プロセス、新構造など革新的技術の導入が不可欠で、その必要性は微細化の進展とともにますます大きくなる。すなわち、微細化によって得られてきたメリットをこれまで以上に享受しながらITを根底から支える半導体技術をさらに発展させていくために、2020年頃以後のLSIに求められる新材料、新構造、新プロセス技術の開発を実現する大学の技術シーズを発掘育成し、それらを将来の産業技術につなげていくための橋渡しを進める取り組みが必要である。

ナノエレクトロニクスは、ナノテクノロジーの最大の応用領域の一つである。一方、デジタル・デバイスのCMOS構造というアーキテクチャは極めて優れているため、これが維持できる限りこれを維持することが望ましく、そうすることによりこれまで半導体の発展を支えてきた「微細化」というドライバを引き続き活用することができる。したがって次世代のLSI技術開発で取るべき方向は、「シリコンで培った微細化技術やデバイス原理をこれまで同様に活用しながら、シリコンという材料の物理的特性を十分に踏まえた上で、様々な要因に基づいて出現するデバイス性能の技術的な飽和を突破するための”新材料”、”新プロセス”、”新構造”を実現すること」である。

そこで本研究開発は、次世代の電子デバイスのために「シリコンで培った微細化技術やデバイス原理をこれまで同様に活用しながら、シリコンという材料の物理的限界を突破するための”新材料”、”新プロセス”、”新構造”を実現する」半導体技術を、ナノテクノロジーを最大限に活用することによって創生し、将来の産業応用への芽を見出すことを目的として、ITIノベーションプログラム及びナノテク・部材イノベーションプログラムの一環として実施する。

(2) 研究開発の目標

最終目標（平成23年度）

産業界が10年後を見据えた将来の集積回路システムとして展開できる電子デバイスを開発する際に産業技術として活用できるかどうかの実現可能性を見極めることができる技術シーズを確立する。技術開発項目毎に定める最終目標と中間目標については、別紙の通り。

(3) 研究開発の内容

上記目標を達成するために、シリコンで培った微細化技術やデバイス原理をこれまで同様に活用しながら、シリコンという材料やプレーナCMOS構造の物理的特性を十分に踏まえた上で、様々な要因に基づいて出現するデバイス性能の技術的な飽和を突破し、集積回路システムとして用いることを前提として以下の”新材料”技術や”新（デバイス）構造”に関する研究開発を行う。

[委託事業]

①シリコンナノワイヤ技術

シリコンCMOSの微細化が進み、チャンネルがワイヤ構造になり、その長さや断面寸法が10nm級になった際に顕在化する物理現象を積極的に取り込んだ高性能デバイス技術を開発する。具体的には、シリコンナノワイヤの加工技術、物理計測技術、電気特性計測技術、シミュレーション技術、統合設計技術を開発し、先端シリコンプロセスラインを用いたデバイス検証を行う。

- ・シリコンナノワイヤトランジスタの知識統合
- ・ナノワイヤFETの開発
- ・シリコンナノワイヤトランジスタの物性探究と集積化

②次世代メモリ技術

新構造および新材料により既存メモリを代替する技術を開発する。具体的には、マルチゲート型立体構造トランジスタを用いた低消費電力SRAM技術、低消費電力・高速動作新型相変化メモリ技術、ナノギャップ不揮発メモリ技術の開発を行う。

- ・新構造FinFETによるSRAM技術の開発
- ・次世代相変化メモリ技術の開発
- ・ナノギャップ不揮発メモリ技術の開発

③新材料技術

新チャンネル材料技術及び新材料評価技術を開発する。具体的には、化合物半導体チャンネルデバイス技術、カーボンナノチューブデバイス技術、シリコン中の原子空孔評価技術の開発を行う。

- ・カーボンナノチューブトランジスタ技術の開発
- ・シリコンプラットフォーム上III-V族半導体チャンネルトランジスタ技術の開発
- ・シリコンウェハ中の原子空孔濃度定量評価技術の開発

カーボンナノチューブトランジスタ技術の開発の最終目標のうち、別紙に示す開発は中間評価結

果を踏まえて見直しを行い、平成21年度をもって終了することとした。

なお、産業技術政策動向等を勘案して基本計画の見直しを行った結果、「①シリコンナノワイヤ技術」のうち「シリコンナノワイヤトランジスタの知識統合」、「②次世代メモリ技術」のうち「次世代相変化メモリ技術の開発」、「③新材料技術」のうち「カーボンナノチューブトランジスタ技術の開発」は平成22年度をもって終了することとした。

2. 研究開発の実施期間

本研究開発の期間は、平成21年度から平成23年度までの3年間とする。本研究開発は、平成19年度から平成20年度までの2年間に経済産業省が実施した「ナノエレクトロニクス半導体新材料・新構造技術開発—うち新材料・新構造ナノ電子デバイス」について、平成21年度より、NEDOの事業として実施する。

研究開発項目①ー(1)： シリコンナノワイヤトランジスタの知識統合研究開発

1. 研究開発の必要性

シングルナノ領域、即ちゲート長がサブ10nmの領域に到達すると、ゲートのチャネルに対する制御能力を最大化するために、直径がnmレベルのナノワイヤ構造をチャネルに採用することが必須になる。この領域では、量子効果が顕在化し、その利点を活かして高い性能を実現することが期待できる一方、原子レベルの構造揺らぎもデバイス特性に顕著な影響を与え、特性バラツキが今以上に深刻な課題になることが懸念される。

このため、量子効果が顕在化する特性寸法が10nm以下のナノワイヤトランジスタを対象に、高精度なデバイス試作と電気的特性評価、物理計測評価解析、デバイスシミュレーションを含む計算科学的解析を、総合的に行う。これによって、CMOSの将来形としてのナノワイヤトランジスタの特性を予測し、構造・材料・プロセスの設計を行うための基盤的知識体系を、科学的な裏付けを持って構築することを目的とする研究開発を行う。

2. 研究開発の具体的内容

(1) シリコンナノワイヤトランジスタの作製技術および特性解析に関する研究開発

ナノワイヤトランジスタを試作し、構造と特性を解析して両者の関係を定量的に把握する。シングルナノ領域でデバイス本来の特性を観測するためには、原子レベルで整ったデバイス構造を作製できることが、必要条件である。このため、ナノワイヤチャネル、高誘電率ゲートスタック及びメタルソース・ドレインの作製プロセスを開発し、電気的特性評価と物理計測評価解析を行う。

(2) ナノワイヤトランジスタの精密計測評価技術の研究開発

ナノワイヤトランジスタの動作特性は、形状や物性の変化に極めて敏感であると予想されるので、特性解析のためには原子レベル精度で3次的に形状や物性を計測評価できる技術が必須である。この要求に応え、形状やポテンシャル分布を3次元に計測できる走査プローブ技術を開発する。さらにX線の散乱・回折を用い、基板表面上に形成した多数のナノワイヤデバイス構造の形状や内部構造を精密に評価する技術を開発する。

(3) ナノワイヤトランジスタのシミュレーション技術の研究開発

量子効果が顕在化するナノワイヤトランジスタを対象に、原子スケールの構造安定性、不純物分布、ポテンシャル分布、界面構造、電気特性を予測・解析できるシミュレーション技術を開発する。また、キャリア輸送に対する量子効果及びチャネル内やソース・ドレイン領域でのキャリア散乱をできるだけ正確に導入したナノデバイス・シミュレータを構築する。

3. 達成目標

中間目標として、平成21年度末までに以下の目標を達成する。

(1) シリコンナノワイヤトランジスタの作製技術および特性解析に関する研究開発

・直径10nm級のシリコンナノワイヤ形成技術及び高誘電率ゲート絶縁膜の堆積技術とメタルソース・ドレイン形成技術を確立し、シリコンナノワイヤトランジスタの試作を行って電気特性を評価する。

(2) ナノワイヤトランジスタの精密計測評価技術の研究開発

・ナノワイヤを計測するための走査プローブ技術を開発し、原子間力顕微鏡による高アスペクト3次元形状の可視化と、孤立ナノワイヤの走査トンネル顕微鏡による計測を実現する。また、ライン&スペースパターンを基本とする擬似ナノワイヤデバイス構造に対して、X線散乱・回折法を用いて形状や内部構造の解析を行う。

(3) ナノワイヤトランジスタのシミュレーション技術の研究開発

・ナノワイヤトランジスタの構造安定性、界面構造、不純物分布、ポテンシャル分布、電気特性を解析する、要素シミュレーション技術を開発する。

・ナノワイヤトランジスタの特性評価を行うために、チャンネル領域での量子閉じ込め効果を取り入れた自己無撞着量子モンテカルロ・デバイスシミュレータを開発する。

最終目標として、平成23年度末までに以下の目標を達成する。

(1) シリコンナノワイヤトランジスタの作製技術および特性解析に関する研究開発

・表面が原子レベルで平滑な直径10nm以下のシリコンナノワイヤ形成技術、原子レベルで平坦な界面を有する高誘電率ゲート絶縁膜の堆積技術及びメタルソース・ドレイン形成技術を確立し、シリコンナノワイヤトランジスタを作製して、構造制御の効果を明らかにする。

(2) ナノワイヤトランジスタの精密計測評価技術の研究開発

・ナノワイヤの3次元走査プローブ計測により、サブnmの形状計測精度を実現する。

・絶縁体上に作製されたナノワイヤ構造のポテンシャル分布を、走査プローブで計測する技術を確立する。

・X線散乱・回折の解析により、基板表面上に周期的に形成したナノワイヤデバイスの形状及び内部構造とそれらのばらつきの評価を実現する。

(3) ナノワイヤトランジスタのシミュレーション技術の研究開発

・ナノワイヤトランジスタの構造安定性、界面構造、不純物分布、ポテンシャル分布、電気特性を予測・解析できる統合的シミュレーション技術を開発し、実験で得た実測値との比較によりその信頼性を検証する。

・自己無撞着量子モンテカルロ・デバイスシミュレータを開発し、ナノワイヤトランジスタの特性予測を実現する。

なお、本研究開発項目については、産業技術政策動向等を勘案して基本計画の見直しを行った結果、当該研究開発は平成22年度をもって終了することとした。

(別紙) 事業項目「ナノエレクトロニクス半導体新材料・新構造ナノ電子デバイス技術開発」の研究開発計画

研究開発項目①－(2)： ナノワイヤFETの研究開発

1. 研究開発の必要性

ゲート長微細化は2020年代で終焉を迎えることがほぼ確実な状況となって来たが、その後もロジックLSI素子としては現在の電流駆動型のCMOSFET系デバイスの性能向上を追究していくことが重要である。しかしながら、2020年代後半以降の具体的施策は依然として明示されておらずに空白となったままで、この部分の研究・技術開発ロードマップを作成することが急務となって来ている。ロジックLSIの発展を今後も継続して行くためには、低消費電力化と高性能化への絶え間ない努力が重要であり、低電源電圧下でOFF電流を今までよりも非常に低い値に維持したままで、今まで以上の大変に高いON電流を実現できる素子技術の実現が必要である。この為の手段であるが、この時代のゲート長(5~10nm)では伝導機構が準バルスティックとなるため、ゲート長を短くしてもON電流増加は望めず他の手段を用いる必要がある。

ゲート長微細化以外の手段として、ゲート電極がチャネルを取囲む構造であるが故にOFF電流の抑制に有利なことから、ナノワイヤの特長として準1次元伝導とマルチ量子チャネルに起因する極めて高いON電流を望めることからナノワイヤ系FETが、CMOS細化終焉の後の最有力候補として注目を集めるようになってきた。しかしながらナノワイヤFETの伝導はワイヤ径、ワイヤの結晶方位、ワイヤの応力によりバンド構造が大きく変化するという大変に複雑なメカニズムに支配されるため、これらのパラメータを考慮に入れた電流・電圧特性を記述するコンパクトモデルは確立しておらず、理論的にどこまで高いON電流が得られるかでさえ、不明の現状にある。更にワイヤ表面での散乱、ソース・ドレイン端でのキャリア注入・散乱・反跳など理論的、技術的に解決していかなければならない問題が山積している。

このため、SiナノワイヤFETを対象として、理論と実験の面からその性能を定量的に明らかにする。また、ナノワイヤFET導入の為の理論的・技術的課題を明確化し、その解決法の探索を行なう。それらの研究結果を踏まえ、実用化への本格的な研究開発を行なうためのSiナノワイヤFETのロードマップを作成することを目的とする研究開発を行う。

2. 研究開発の具体的内容

(1) Siナノワイヤの電子構造の量子論的検討

Siナノワイヤの詳細なバンド構造や金属/Siナノワイヤのショットキー界面を量子論的計算によって明らかにする。上記の結果を用いて、Siナノワイヤの物性を科学的見地から体系的に明らかにし、ロードマップ作成に繋げる。

(2) ナノワイヤFETのバリシテンシティ制御

ワイヤFET準バルスティック伝導において高い電流駆動力を実現する手段の検討を行う。その為にON電流を理論的に見積もるコンパクトモデルを構築する。OFF電流を支配する物理的モデルは明確

になっていないため、この検討も行う。

(3) SiナノワイヤFETの作製

SiナノワイヤFETの試作を行い、理論と比較することにより、コンパクトモデルの精度を高める。また、試作デバイスの構造・パタン設計、試作プロセス設計、試作の実行、試作デバイスの評価を通して、ナノワイヤFETの技術的な課題を具体的に明確化する。

(4) Siナノワイヤデバイスのロードマップ作成

上記(1)～(3)の結果に基づいてSiナノワイヤFETロードマップを作成する。本研究開発と同時に委託される関連研究開発の結果や今後国内外で発表されるであろう他機関の研究結果も含めて総合的に検討を行い、その科学的及び技術的課題を明らかにする。さらにこれらの課題を解決するための具体的施策を示し、今後の日本の研究開発体制のあるべき姿を提案する。

3. 達成目標

中間目標として、平成21年度末までに以下の目標を達成する。

(1) Siナノワイヤの電子構造の量子論的検討

- ・第一原理計算等を用いて、歪みなどによるSiナノワイヤの電子構造の変化を系統的に解析し、良好なバリスティックFET特性を得るための指針を示す。
- ・金属と半導体のナノ界面におけるショットキー障壁を第一原理計算等により見積もる。

(2) ナノワイヤFETのバリスティシティ制御

- ・バリスティック伝導に少数回の散乱を導入した場合のドレイン電流への影響を把握する。
- ・光応答・電気特性等の解析により、ナノワイヤFET中の電子ダイナミクスの特徴をモデル化する。
- ・Siナノワイヤの構造に依存したドレイン電流を明らかにし、記述する。

(3) SiナノワイヤFETの作製

- ・直径10nm級のSiナノワイヤFETの作製を行う。また、電気特性の解析によりキャリアの散乱メカニズムを考察し、プロセス上の技術課題を明確にする。
- ・Siナノワイヤと金属とのコンタクトにおける特異なシリサイド反応現象を実験により明らかにする。

(4) Siナノワイヤデバイスのロードマップ作成

- ・SiナノワイヤFETを実現するに当たり直面する技術的課題、科学的課題をタイムスケジュール上でリストアップし、解決するための方法の考察を行う。

最終目標として、平成23年度末までに以下の目標を達成する。

(1) Siナノワイヤの電子構造の量子論的検討

- ・Siナノワイヤの電子構造解析により、SiナノワイヤFET実用化に向けて解明すべき物理現象を明らかにする。
- ・金属とワイヤ状物質との間の曲率のあるナノ界面におけるショットキー障壁を第一原理計算等によって解析し、その特徴を理論的に明らかにする

(2) ナノワイヤFETのバリスティシティ制御

- ・準バリスティックSiナノワイヤFETの電圧・電流特性をコンパクトモデルで定式化する。

- ・コンパクトモデルによる解析と実験で得た実測値との比較を通じて、バリシテンシティを高めるなど性能最適化のための指針を明確化し、その理論・技術上の問題点を明らかにする。

(3) SiナノワイヤFETの作製

- ・SiナノワイヤFETの作製とその性能評価を通じて、理論予測との違いを明らかにし、その技術上の課題を明確にする。

(4) Siナノワイヤデバイスのロードマップ作成

- ・上記の研究開発の結果および他機関の研究結果も含めた総合的な検討に基づいて、最終目的であるSiナノワイヤデバイスのロードマップを作成する。さらにこれらの課題を解決するための具体的施策を示し、そのための今後の研究開発体制のあるべき姿を提案する。

(別紙) 事業項目「ナノエレクトロニクス半導体新材料・新構造ナノ電子デバイス技術開発」の研究開発計画

研究開発項目①－(3)： シリコンナノワイヤトランジスタの物性探究と集積化の研究開発

1. 研究開発の必要性

シリコンナノワイヤトランジスタは、将来のナノスケールシリコンMOSFETの一形態として注目されているが、ナノワイヤトランジスタのワイヤ・サイズの制御性、チャネル長の縮小化ではまだ不十分な面もあり、ナノワイヤで発現する物理現象の正確な理解、高性能化へ向けたデバイス最適構造の探求と実証など未解決な課題を多く残している。

このため、シリコンナノワイヤトランジスタ分野における上記課題を解決し、シリコンナノワイヤの物性研究とシリコンナノワイヤトランジスタの実用化に向けた基礎的データを取得することを目的とする研究開発を行う。

2. 研究開発の具体的内容

(1) 極細シリコンナノワイヤトランジスタの電気伝導探究と集積化に関する研究開発

主にチャネルは長いナノワイヤの直径が極めて細いシリコンナノワイヤトランジスタの研究を行う。具体的には、極細シリコンナノワイヤトランジスタの試作と物性探究、ひずみによる高性能化の検討、最適レイアウトと集積化の検討を行う。

(2) 短チャネルシリコンナノワイヤトランジスタの電気伝導探究と集積化に関する研究開発

主にナノワイヤ径はそれほど細くないがゲート長の短いシリコンナノワイヤトランジスタの研究を行う。具体的には、短チャネルシリコンナノワイヤトランジスタの試作と物性探究、短チャネル・少数キャリア散乱下における伝導特性の解析と高性能化の検討、最適回路形式と集積化の検討を行う。

3. 達成目標

中間目標として、平成21年度末までに以下の目標を達成する。

(1) 極細シリコンナノワイヤトランジスタの電気伝導探究と集積化に関する研究開発

ワイヤ径5nm以下の長チャネルシリコンナノワイヤトランジスタのアレイを作製する技術を確立する。

(2) 短チャネルシリコンナノワイヤトランジスタの電気伝導探究と集積化に関する研究開発

短チャネル・ナノワイヤトランジスタ、具体的にはチャネル長50nm以下、チャネル径25nm以下のシリコンナノワイヤトランジスタを作製する。

最終目標として、平成23年度末までに以下の目標を達成する。

(1) 極細シリコンナノワイヤトランジスタの電気伝導探究と集積化に関する研究開発

量子閉じ込めおよびひずみ等の効果を総合して通常のプレーナバルクMOSFETより高い移動度を示すシリコンナノワイヤトランジスタのパラメータを明らかにする。

(2) 短チャンネルシリコンナノワイヤトランジスタの電気伝導探究と集積化に関する研究開発

チャンネル長25 nm以下、チャンネル径10 nm以下のシリコンナノワイヤトランジスタを作製する。

(別紙) 事業項目「ナノエレクトロニクス半導体新材料・新構造ナノ電子デバイス技術開発」の研究開発計画

研究開発項目②－(1)： 新構造FinFETによるSRAM技術の研究開発

1. 研究開発の必要性

微細化が進むにつれて最初に動作限界の危機に直面すると考えられているSRAMの技術課題を解決することを目指し、微細化に伴う短チャネル効果に強いFinFETと、分離された2つのゲートを有し閾値電圧制御可能な4端子FinFETを有効に組み合わせた新規SRAM (Flex-Pass-Gate SRAM) セルの先行基盤技術開発を行い、その原理実証と本格開発に向けた課題抽出を行うことを目的とする研究開発を行う。

2. 研究開発の具体的内容

(1) 立体構造FinFET技術の研究開発

リソグラフィ寸法以下の立体構造を安定的に形成し、ばらつきの少ない所望の電気特性を実現するナノレベルの構造制御技術を開発して、立体構造トランジスタの性能向上を図り、低リーク電流かつ高駆動力のFinFETと閾値電圧調整可能な4端子FinFETの作製技術、及び、それらの集積回路技術を構築する。

(2) 4端子FinFETを用いた低消費電力・高ノイズ耐性SRAM回路技術の研究開発

SRAMセルをFinFET及び4端子FinFETで構成し、低消費電力と高ノイズ耐性、省SRAMセル面積、従来のSRAM設計資産との整合性を持ったSRAM新回路構成を提供する。さらに、前項で開発したFinFET特性に即した回路設計、レイアウトの最適化等を行い、SRAMセルアレイレベルでの動作を実証する。

3. 達成目標

中間目標として、平成21年度末までに以下の目標を達成する。

(1) 立体構造FinFET技術の研究開発

・極微細化プロセス、メタルゲート、high-k絶縁膜、多層配線などのFinFET回路作製への適用をはかり、ゲート長20nm、チャネル厚10nm以下の立体構造4端子FinFET作製技術の構築を行う。

(2) 4端子FinFETを用いた低消費電力・高ノイズ耐性SRAM回路技術の研究開発

・提案コンセプトを実現する4端子型FinFET低消費電力・高ノイズ耐性SRAM回路(具体的には、Flex-Pass-Gate SRAM) 設計を行う。
・バルクトランジスタを用いた設計比で、セル面積増加無、動作余裕1.5倍、待機時消費電力1/20以下の回路設計指針を得る。

最終目標として、平成23年度末までに以下の目標を達成する。

(1) 立体構造FinFET技術の研究開発

- ・ Flex-Pass-Gate SRAMへの上記FinFET導入を行う。

(2) 4端子FinFETを用いた低消費電力・高ノイズ耐性SRAM回路技術の研究開発

- ・ (1) で確立した微細4端子FinFETを用いたSRAMアレイを試作し、特性評価・解析によりIPを確立する。
- ・ 従来トランジスタと比較して、セル面積増加なしに、動作余裕を1.5倍に、待機時消費電力を1/20にできることを示す。

(別紙) 事業項目「ナノエレクトロニクス半導体新材料・新構造ナノ電子デバイス技術開発」の研究開発計画

研究開発項目②－(2)： 次世代相変化メモリ技術の研究開発

1. 研究開発の必要性

磁気抵抗メモリ、強誘電体メモリ等とともに、シリコンを基盤とする従来半導体メモリに挑む不揮発型新メモリとして、相変化メモリが注目されている。相変化メモリは、セル構造が簡単なため高密度化に適しているが、相変化記録薄膜中に「結晶」－「アモルファス」間の一次相変化を繰り返し発生させることから、膜の融点（650℃）以上に加熱する必要があり、消費電力と繰り返し記録耐性において更なる改良・改善が必要とされている。

このため、書き込み・読み出し回数の大幅な向上と作動電力を最小限にする技術を開発することで、省資源・省エネルギー型の不揮発性相変化固体メモリを開発することを目的とする研究開発を行う。

2. 研究開発の具体的内容

熔融状態のランダムな配列を高抵抗層とする従来型の相変化メモリではなく、新しい記録再生原理に基づいたカルコゲン化合物の超格子構造をボトムアップで作製し、書き込み・読み出し回数大幅な向上と動作電力の大幅な抑制を実現できるナノレベル構造制御を施した新型相変化メモリを開発する。また、密度汎関数法によるシミュレーションと実験とを同時並行的に実施することで相変化メモリの作製方法を見直し、ナノレベルで動作機能を制御する新技術を完成させる。そのために具体的には、下記4項目について研究開発を行なう。

- (1) 高速スイッチング現象に最適なナノレベル構造制御カルコゲナイド薄膜の結晶構造の検討
- (2) 抵抗加熱方式での熱的構造変化を最適に行うためのシミュレーション技術の開発
- (3) 再現性や信頼性など集積化に向けて必要となる特性の体系的理解のための動作温度領域における薄膜物性データベースの構築
- (4) 一定規模以上の集積化可能性を示すためのナノレベル微細加工を施したデバイス試作

3. 達成目標

中間目標として、平成21年度末までに以下の目標を達成する。

- (1) 高速スイッチング現象に最適なナノレベル構造制御カルコゲナイド薄膜の結晶構造の検討
超格子構造で高速動作可能な新規相変化材料組成を2材料以上シミュレーションによって見だし、実際にデバイスを作製して実験によって動作検証を行う。
- (2) 抵抗加熱方式での熱的構造変化を最適に行うためのシミュレーション技術の開発
熱シミュレーションソフトを完成させ、超格子構造からなる相変化メモリに適応して、超格子セル内部の温度分布を把握する。
- (3) 再現性や信頼性など集積化に向けて必要となる特性の体系的理解のための動作温度領域における

薄膜物性データベースの構築

シミュレーションの元となる各材料の薄膜熱物性の測定とデータベース化を行う。

(4) 一定規模以上の集積化可能性を示すためのナノレベル微細加工を施したデバイス試作

同等のサイズで作製された従来型の相変化固体メモリの性能と比較して、電力消費で1/3以下となるGeSbTe系超格子相変化メモリを作製する。

最終目標として、平成23年度末までに以下の目標を達成する。

(1) 高速スイッチング現象に最適なナノレベル構造制御カルコゲナイド薄膜の結晶構造の検討

超格子構造で高速動作可能な新規相変化材料組成を5材料以上シミュレーションによって見だし、実際にデバイスを作製して実験によって動作検証を行う。

(2) 抵抗加熱方式での熱的構造変化を最適に行うためのシミュレーション技術の開発

平成21年度末に目標を達成するため最終目標は設定しない。

(3) 再現性や信頼性など集積化に向けて必要となる特性の体系的理解のための動作温度領域における薄膜物性データベースの構築

シミュレーションの元となる各材料の薄膜熱物性の測定とデータベースの外販化を行う。

(4) 一定規模以上の集積化可能性を示すためのナノレベル微細加工を施したデバイス試作

同等のサイズで作製された従来型の相変化固体メモリの性能と比較して、電力消費で1/10以下となる超格子相変化メモリを実証する。

また、同等のサイズで作製された従来型の相変化固体メモリの性能と比較して、 10^{15} 回以上の繰り返し書き換え回数をもつ超格子相変化メモリを実証する。

なお、本研究開発項目については、産業技術政策動向等を勘案して基本計画の見直しを行った結果、当該研究開発は平成22年度をもって終了することとした。

(別紙) 事業項目「ナノエレクトロニクス半導体新材料・新構造ナノ電子デバイス技術開発」の研究開発計画

研究開発項目②－(3)： ナノギャップ不揮発性メモリ技術の研究開発

1. 研究開発の必要性

モバイル機器や情報家電などデジタル情報機器の急速な拡大に伴い、われわれが取り扱うべき情報量は飛躍的に増大しつつある。こうした状況の下、情報をいつでもどこでもすばやく記憶、読みだせるユニバーサルメモリの開発は必須となっており、磁気抵抗メモリや強誘電体メモリなど、さまざまな次世代不揮発性メモリの開発が精力的に進められている。なかでも抵抗スイッチメモリは、とりわけ微細化に有利なメモリとして注目されている。近年、この抵抗スイッチメモリに利用できる現象として、ナノスケールの微小間隙を有するナノギャップ電極構造において、入力電圧波形に依存して電極間の抵抗値が5桁も変化するナノギャップスイッチ（以下NGSと略する）現象が見出され、これを不揮発性メモリに応用する研究が進められている。NGSメモリは、その構造が著しく単純であり、従来の半導体デバイスにおける、不純物揺らぎ等に起因する微細化限界の壁を打ち破ることが可能な、日本発の超稠密不揮発性メモリとなることが期待される。しかしながら、NGS現象のメモリへの応用研究はその端緒についたばかりであり、実用化に向けての研究開発を行う必要がある。

このため、超稠密不揮発性メモリの実現を目指して、金属ナノギャップ構造を利用した、集積化可能なNGS不揮発性メモリを開発することを目的とする研究開発を行なう。

2. 研究開発の具体的内容

(1) 平面先鋭型金属ナノギャップ素子およびその基本特性評価技術の開発

NGS動作機構の解明、すなわちナノギャップ部の抵抗変化を引き起こす要因を明らかにするために、NGS特性評価に適した、AFMをベースとするナノプローブ計測評価手法を確立する。また、ナノプローブ計測法によるナノギャップ部の評価を可能とする素子、平面先鋭型金属ナノギャップ素子を開発する。

(2) 金属ナノギャップメモリ・デバイスの研究開発

金属ナノギャップメモリ・デバイスを試作および評価し、稠密性、高速性、不揮発性等の性能を実証する。

(3) 高性能メモリ金属ナノギャップ素子の研究開発

実用レベルの動作・保持環境においても高性能メモリ特性を持つ金属ナノギャップの基本素子構造作製および高性能メモリ特性を実現する動作手法の開発を行う。実用レベルの動作環境において動作電流が低く抑えられる構造、動作法を開発する。集積化ナノギャップ素子のバラツキの原因を見だし、それが低減できる駆動法の技術開発を行う。

3. 達成目標

中間目標として、平成21年度末までに以下の目標を達成する。

(1) 平面先鋭型金属ナノギャップ素子およびその基本特性評価技術の開発

ギャップ長10 nm、ギャップ幅30 nmの電極を有する平面型NGS素子を開発する。また、電極材料および絶縁層の材質を検討する。高感度ナノプローブ計測評価技術を開発し、電気伝導状態にあるときのNGSの構造を明らかにするとともに、パルス電圧印加前後の構造変化を評価する。さらに、バイアス印加中の動的な構造変化を測定可能なナノプローブ計測評価技術を開発する。

(2) 金属ナノギャップメモリ・デバイスの研究開発

縦型（上下金属配線間）のNGS素子およびメモリアレイを試作・評価し、下記の性能を実証する。

- ・高速性：1 μ s以下の書き換えスピード
- ・稠密性：上下電極交点のVia-hole 径 ϕ で100 nm
- ・書き換え耐性：10⁵回以上
- ・256bit アレイTEGによるメモリ動作（書き換えと読み出し）とbit バラツキ（抵抗値の分布）の検証

(3) 高性能メモリ金属ナノギャップ素子の研究開発

動作電流値を低減できる金属ナノギャップ基本素子構造および駆動法を開発する。具体的には、駆動最大電流値を50 μ A以下にできる構造、動作環境および駆動法を開発する。

最終目標として、平成23年度末までに以下の目標を達成する。

(1) 平面先鋭型金属ナノギャップ素子およびその基本特性評価技術の開発

ナノギャップ領域が極限的に微細化してもNGSメモリ動作することを検証するために、中間目標のデバイスサイズよりもさらに微細化した、ギャップ長5 nm、ギャップ幅10 nmの電極を有する平面型NGS素子を開発する。平成21年度までに開発した高感度ナノプローブ計測評価技術をさらに発展させ、AFM散逸計測などのナノプローブ物性計測法を用いてナノギャップ部の物性変化を測定することにより、長時間動作後のナノギャップ部の電気特性変化や組成変化を評価する。

(2) 金属ナノギャップメモリ・デバイスの研究開発

縦型NGS素子の微細化を進めるとともに、4 k b i t のデバイスを試作・評価し、下記の性能を実証する。

- ・高速性：100 n s以下の書き換えスピード
- ・稠密性：上下電極交点のVia-hole 径 ϕ で40 nm
- ・書き換え耐性：10⁶回以上

また、このデバイスを用いてNGS素子の特性バラツキを評価する。

(3) 高性能メモリ金属ナノギャップ素子の研究開発

素子特性として、最大電流値20 μ A以下、動作電圧5 V程度を実現する。

(別紙) 事業項目「ナノエレクトロニクス半導体新材料・新構造ナノ電子デバイス技術開発」の研究開発計画

研究開発項目③ー(1): カーボンナノチューブトランジスタ技術の研究開発

1. 研究開発の必要性

シリコン集積回路の高性能化が限界に近づきつつある中、この限界を打破しうる新しいデバイス技術の開発が強く求められている。カーボンナノチューブ(CNT)は理想的な一次元構造と優れた電子輸送特性を有し、その電子デバイス応用の期待が高い。

このため、CNTの電子デバイス応用を目指して、CNTの成長、デバイスプロセス、及びナノ計測に関して種々の課題を解決し、CNT電子デバイスの高性能性及び実用性を実証することを目的とした研究開発を行う。

2. 研究開発の具体的内容

(1) CNTデバイス作製技術の研究開発

・高密度CNTチャンネル形成技術、CNT-FETのコンタクト形成技術、デバイス表面保護膜形成技術、高密度短チャンネルデバイス作製技術を開発する。

・これらの技術を総合化してCNT-FETを試作し、高性能性及び実用性を実証する。

(2) CNT成長技術の研究開発

・原料ガスや電場などを高度に制御したCNT成長技術、CNTカイラリティ計測技術を開発し、半導体優先成長および高品質成長を実証する。

・高密度CNT配向成長を実現する触媒技術・基板技術を開発する。

・シリコンウェハ上でのCNT配向成長技術を開発する。

(3) CNTデバイスの局所評価技術の研究開発

・ナノプローブを利用した高精度なCNT欠陥評価技術およびCNTチャンネル電流検出技術を開発する。

3. 達成目標

中間目標として、平成21年度末までに以下の目標を達成する。

(1) CNTデバイス作製技術の研究開発

・高周波動作実証に向けてトップゲートFET作製技術を検討し、基本技術を確立する。

・本技術を高密度チャンネルFETに適用し、電流利得遮断周波数として5GHz以上を実証する。

(2) CNT成長技術の研究開発

・半導体CNT優先成長における電場制御効果を確認する。

・サファイア基板上で15本/ μm の高密度配向成長を実現する。

・シリコンウェハ上のCNT配向成長を実現する。

(3) CNTデバイスの局所評価技術の研究開発

・ナノプローブ評価技術として、10nm以下の空間分解能を有する電位測定技術、およびFETの個

別チャネルを流れる μ A以下の電流を評価できる技術を開発する。

最終目標として、平成23年度末までに以下の目標を達成する。

(1) CNTデバイス作製技術の研究開発

・高密度CNT形成技術、コンタクト形成技術、デバイス表面保護膜形成技術を確立するとともに、これらの技術を総合化することにより、50本/ μ m以上の高密度かつ50nm以下の短い配向チャネルFET技術を開発する。

- ・高密度チャネルFETの電流利得遮断周波数として50GHz以上を実証する。
- ・コンプリメンタリ素子の作製技術を開発し、論理動作を実証する。

(2) CNT成長技術の研究開発

・原料ガスおよび電場の制御による半導体CNT優先成長技術を開発するとともに、半導体優先成長CNTのFETへの適用可能性、高密度・配向成長と高品質化を実証する。

- ・単結晶基板上で50本/ μ mの超高密度・高配向CNTの可能性を検証する。
- ・シリコンウェハ上のCNT高度配向成長技術を開発する。

(3) CNTデバイスの局所評価技術の研究開発

・平成21年度末までに開発したナノプローブ評価技術を、CNT欠陥準位計測、およびFET個別チャネルの伝導特性評価に適用し、CNTチャネルの高品質性、高密度CNTチャネルの一様性、チャネル-電極間コンタクトの均一性、などの評価での有効性を検証する。

なお、本研究開発項目、最終目標のうち「(2) CNT成長技術の研究開発」の「シリコンウェハ上のCNT高度配向成長技術を開発する」については、中間評価結果をうけて見直しを行った結果、当該研究開発は平成21年度をもって終了することとした。

また、本研究開発項目については、産業技術政策動向等を勘案して基本計画の見直しを行った結果、当該研究開発は平成22年度をもって終了することとした。

(別紙) 事業項目「ナノエレクトロニクス半導体新材料・新構造ナノ電子デバイス技術開発」の研究開発計画

研究開発項目③－(2)： シリコンプラットフォーム上Ⅲ-V族半導体チャネルトランジスタ技術の研究開発

1. 研究開発の必要性

技術世代 $h p 22 \text{ nm}$ 以細の CMOS における性能向上や低消費電力化を、新たな高移動度チャネル材料と構造の導入により達成しようとするトレンドが近年明確化している。pMOSFET については、ひずみ GOI を用いることにより 10 倍を超える正孔移動度の向上が報告されているが、nMOSFET については、ひずみ Si 技術以降の電子移動度向上のための有効な手段が見出されていない。有効質量が極めて小さく移動度が極めて大きい、Ⅲ-V 族半導体を用いた nMOSFET は、バリスティック輸送が支配的となる技術世代においても高い駆動力を実現できる可能性がある。

一方、適用される技術世代を考えると、十分短チャネル効果が抑制できるトランジスタ構造とする必要がある。このためには、絶縁膜の上に薄膜Ⅲ-V 化合物半導体を形成したⅢ-V-On-Insulator (Ⅲ-V-OI) 構造を用いて、極薄ボディ MISFET あるいは FinFET などのマルチゲート FET を形成することが必要であると考えられる。更にこのような MOSFET を、ULSI 用の素子として実現するためには、Si プラットホームを用いることが必須である。そのためには、Si 基板上に上記のⅢ-V-OI を形成し、Si や Ge などでは得られない極めて高い電流駆動力を持ち、かつ短チャネル効果抑制にも優れた、将来の大規模集積回路に適用できる nMOSFET あるいは MISFET を実現することが期待される。

このため、 $h p 22 \text{ nm}$ 世代以降の高性能トランジスタを実現するためのデバイス構造として、Si 基板上更にその上の絶縁膜上に形成したⅢ-V 族半導体をチャネルとする MISFET を開発することを目的とする研究開発を行う。

2. 研究開発の具体的内容

Ⅲ-V 族半導体チャネル MISFET の最適素子構造・材料の明確化を進め、本デバイスの当該世代 CMOS への適用性を明らかにすると共に、将来の CMOS 構造への集積化の可能性を検証するために以下の研究開発を行う。

(1) Ⅲ-V-OI チャネル形成技術

有機金属気相成長法及び貼り合わせ法を用いた Si 基板上あるいは絶縁膜上への良質なⅢ-V 族半導体チャネル及びⅢ-V 族薄膜ウエハの形成技術を開発する。

(2) MIS 界面安定化技術及び界面評価技術

Ⅲ-V 族半導体 MIS 界面の最適化による高品質 MIS 構造形成技術並びに $h i g h - k$ 絶縁膜を含むゲートスタック構造形成技術を開発する。

(3) Ⅲ-V-OI MIS トランジスタ形成技術

Si 上あるいは絶縁膜上の n チャネルⅢ-V 族半導体チャネル MISFET の作製技術の確立と動作

実証を行う。

3. 達成目標

中間目標として、平成21年度末までに以下の目標を達成する。

- ・ III-V-OI チャンネルを形成する基本形成プロセス、および III-V MIS 界面を安定化できる基本プロセスを確立する。
- ・ III-V 族半導体基板上の n チャンネル III-V 族半導体チャンネル MISFET の作製技術を開発し、その高移動度動作を実証する。

最終目標として、平成23年度末までに以下の目標を達成する。

- ・ Si 上あるいは絶縁膜上の n チャンネル III-V 族半導体チャンネル MISFET の作製技術を開発し、その高移動度動作を実証する。
- ・ Si 上の III-V MISFET の最適素子構造・材料の明確化を進め、CMOS プラットフォームへの適用性を明らかにすると共に、将来の CMOS 構造への集積化の可能性を検証する。

(別紙) 事業項目「ナノエレクトロニクス半導体新材料・新構造ナノ電子デバイス技術開発」の研究開発計画

研究開発項目③－(3)： シリコンウェハ中の原子空孔濃度定量評価技術の研究開発

1. 研究開発の必要性

半導体産業におけるデバイス製造では、チョクラルスキー（CZ）法で製造したCZシリコン結晶から切り出したウェハを用いる。最近になり、2次欠陥であるボイドが全く存在しない完全結晶シリコンインゴットの製造技術が発達し、完全結晶ウェハを用いたデバイス製造技術が急速に進展している。CZシリコン中に存在する酸素をデバイス製造過程で析出させ金属汚染の除去を行なうゲッタリング技術は、微細化が進行してもデバイス製造技術に重要な役割を果たしている。ゲッタリング効果を得るには適量の酸素を析出させることが必要であるが、原子空孔は非常に重要な因子であり、酸素析出を著しく促進する。しかし、現在までシリコンウェハ中に存在する孤立した原子空孔の濃度評価法が確立していないので、完全結晶シリコンウェハを用いたデバイス製造においては、酸素析出にばらつきが生じ、動作特性の不良による歩留まりの低下など大きな困難が生じている。このような技術的困難を突破するために、原子空孔濃度を予め評価したシリコンウェハを用いてデバイスを製造する技術が半導体産業から強く要請されている。

このため、低温超音波計測により、シリコン結晶中の孤立した原子空孔の濃度を定量評価する分析技術を開発し、超音波計測による原子空孔濃度分析技術の実用化を進めることを目的とする研究開発を行う。

2. 研究開発の具体的内容

(1) 超音波計測を用いた原子空孔濃度分析の研究開発

超音波計測を用いて、弾性定数の低温ソフト化の大きさを精密に測定することで、産業界で用いられているシリコンウェハ中の原子空孔の濃度を定量的に評価する分析技術を開発する。

(2) 原子空孔のナノレベルシミュレーション技術の研究開発

密度汎関数法、分子動力学、並びにそれらをハイブリッド化した大規模計算手法を用いたシリコン中の原子空孔のナノレベルシミュレーション技術を開発する。

(3) シリコン結晶中の原子空孔分布計測と欠陥制御技術の開発

低温超音波計測による原子空孔の計測・分析技術を利用して、シリコンインゴット中の原子空孔濃度および2次結晶欠陥の三次元分布を求め、結晶製造時の結晶欠陥制御との対応を明確にして、デバイス製造評価に対応できるウェハ作製技術を開発する。

(4) 原子空孔濃度を評価した完全結晶ウェハを用いたデバイスの動作特性評価

超音波計測により原子空孔濃度を評価した完全結晶シリコンウェハを用いて試験的デバイスを製造し、原子空孔がデバイスの動作特性に及ぼす影響の評価技術を開発する。

3. 達成目標

中間目標として、平成21年度末までに以下の目標を達成する。

(1) 超音波計測を用いた原子空孔濃度分析の研究開発

完全結晶ウェハの原子空孔濃度を評価するために、圧電薄膜を用いた極低温超音波計測のシステムを構築し、20mKまでの極低温領域で高い音速分解能 ($\Delta v/v = 10^{-6}$ 以上) を実現する。

(2) 原子空孔のナノレベルシミュレーション技術の研究開発

512原子以上での大規模セルでのナノレベルシミュレーションを行い、原子空孔軌道の量子状態を精密に求める。

(3) シリコン結晶中の原子空孔分布計測と欠陥制御技術の開発

低温超音波計測を利用してCZ完全結晶インゴット中の原子空孔濃度とその空間分布を評価することによって、ウェハ結晶の品質特性との対応を明確にする。

(4) 原子空孔濃度を評価した完全結晶ウェハを用いたデバイスの動作特性評価

低温超音波計測により原子空孔濃度を予め評価した完全結晶ウェハを用いたテストデバイスを作製し、原子空孔濃度とデバイス特性との関連を調査し、歩留まりの向上を図るための基礎技術を確立する。

最終目標として、平成23年度末までに以下の目標を達成する。

(1) 超音波計測を用いた原子空孔濃度分析の研究開発

超音波計測によって低温ソフト化の量を測定することで、産業界で実用化が進んでいる完全結晶ウェハの原子空孔濃度の面内分布の分析技術を確立する。

(2) 原子空孔のナノレベルシミュレーション技術の研究開発

超音波計測の結果と比較しながら、大規模ナノレベルシミュレーションを行い、原子空孔軌道と超音波歪みとの結合定数を求め、産業界で実用化が進んでいる完全結晶ウェハ中の原子空孔濃度の評価に適用する。

(3) シリコン結晶中の原子空孔分布計測と欠陥制御技術の開発

as-grown結晶欠陥分布を決定する結晶育成時の熱履歴を厳密に制御する事で、原子空孔濃度を制御したデバイス評価に適した完全結晶ウェハを作製することを可能にする。

(4) 原子空孔濃度を評価した完全結晶ウェハを用いたデバイスの動作特性評価

低温超音波計測により原子空孔濃度を予め評価した完全結晶ウェハを用いてテストデバイスを作製し、原子空孔濃度とデバイス特性との関連を調査し、次世代の完全結晶ウェハを用いたデバイス製造のための基礎技術を確立する。