

平成 2 7 年度実施方針

電子・材料・ナノテクノロジー部

1. 件名：

プログラム名：ITイノベーションプログラム、ナノテク・部材イノベーション
プログラム

(大項目) 低炭素社会を実現する超低電圧ナノエレクトロニクスプロジェクト

2. 根拠法

独立行政法人新エネルギー・産業技術総合開発機構法第 1 5 条第 1 項第 1 号二

3. 背景及び目的・目標

半導体技術は、機器の高性能化、小型化、省電力化を通じて情報家電、コンピュータ、通信装置、自動車、医療機器など我が国経済を支える先端産業の競争力強化に不可欠な基盤技術である。その発展を支えているのは、CMOS (Complementary Metal Oxide Semiconductor: 相補型金属酸化膜半導体) 半導体デバイスで、これまで素子の寸法を微細化するプロセス技術開発により高性能化・低電力化を実現してきた。

低炭素化社会の実現には、エレクトロニクス機器の究極的低電圧動作による飛躍的な低電力化と、情報の不揮発性を利用した新機能創生、利便性などの高付加価値を同時に実現することが求められており、これらを満たす新しい超低電圧・不揮発デバイスの開発が必要である。

欧米においては、大型の産学連携ナノエレクトロニクス拠点の整備がここ数年で飛躍的に進み、超低電圧・不揮発デバイスをはじめとした、次世代デバイスに関する実用化を目指した研究が活発に行われ、今後、各国との開発競争は熾烈化するものと考えられる。海外の研究開発活動の活発化により、このような状況を放置すれば、超低電圧・不揮発デバイスに関する我が国の技術開発の競争力を失いかねない。

本プロジェクトは、「ITイノベーションプログラム」及び「ナノテク・部材イノベーションプログラム」の一環として、ナノテクノロジーで培われた新規の機能材料や新規のデバイス構造に立脚してLSIの低動作電圧化と高機能・高集積化を実現し、エレクトロニクス機器の消費電力を大幅に低減する技術を確立することを目的とし、平成27年度は下記の事業を実施する。

表 1. 事業項目の概要

	プロジェクト番号	事業項目名	実施期間
別添	P 1 0 0 2 3	低炭素社会を実現する超低電圧デバイスプロジェクト	平成 2 2 年度～ 2 7 年度 (6 年間)

4. 実施内容及び進捗 (達成) 状況

各事業項目の実施内容及び進捗 (達成) 状況は、別添のとおりである。

5. 事業内容

各事業項目の事業内容は、別添のとおりとする。

6. その他重要事項

(1) 評価の方法

各事業項目の中間評価、事後評価は別添のとおり実施する。

(2) 運営・管理

各事業項目について、別添のとおり、運営・管理する。

(3) 複数年度契約の実施

各事業項目について、別添のとおり、複数年度契約を実施する。

7. 実施方針の改定履歴

(1) 平成27年2月、制定。

別添 事業項目

「低炭素社会を実現する超低電圧デバイスプロジェクト」に係る平成27年度実施方針

1. 背景及び目的・目標

半導体技術は、機器の高性能化、小型化、省電力化を通じて情報家電、コンピュータ、通信装置、自動車、医療機器など我が国経済を支える先端産業の競争力強化に不可欠な基盤技術である。その発展を支えているのは、CMOS半導体デバイスで、これまで素子の寸法を微細化するプロセス技術開発により高性能化・低電力化を実現してきた。

低炭素化社会の実現には、エレクトロニクス機器の究極的低電圧動作による飛躍的な低電力化と、情報の不揮発性を利用した新機能創生、利便性などの高付加価値を同時に実現することが求められており、これらを満たす新しい超低電圧・不揮発デバイスの開発が必要である。

欧米においては、大型の産学連携ナノエレクトロニクス拠点の整備がここ数年で飛躍的に進み、超低電圧・不揮発デバイスをはじめとした、次世代デバイスに関する実用化を目指した研究が活発に行われ、今後、各国との開発競争は熾烈化するものと考えられる。海外の研究開発活動の活発化により、このような状況を放置すれば、超低電圧・不揮発デバイスに関する我が国の技術開発の競争力を失いかねない。

本プロジェクトは、「ITイノベーションプログラム」の一環として、ナノテクノロジーで培われた新規の機能材料や新規のデバイス構造に立脚してLSIの低動作電圧化と高機能・高集積化を実現し、エレクトロニクス機器の消費電力を大幅に低減する技術を確立することを目的とする。

本プロジェクトにおいては、以下の研究開発を実施する。

[委託事業]

研究開発項目①「ロジック集積回路内1次メモリを対象とした、高集積・高速特性・高書き換え耐性などの機能を有する超低電圧・不揮発デバイスの開発」

【中間目標】(平成24年度)

- ・メモリ単体レベルで、読み書き電圧0.4V以下、読み書き電流100 μ A以下、読み書き時間10ns(電力量0.4pJ以下)の実証。1.2V動作SRAMの1/10の電力の実証。
- ・新材料を用いた新プロセスの、300mmバックエンドラインへの統合による、デバイス動作実証。
- ・試作・評価によるメモリパラメータ取得と、それを用いた低電圧動作メモリ周辺回路設計。
- ・高集積化を可能とする多値動作の確認。

【最終目標】(平成26年度)

- ・加速試験による10年間のリテンションと、書き換え回数 10^{16} 回の達成。
- ・実用に耐える信頼性技術確立への指針の提示。
- ・低電圧動作の周辺回路を備えたメモリマクロで、読み書き電圧0.4V、読み書き電流100 μ A以下、読み書き時間10ns、1.2V動作SRAMの1/10の電力を実証すると共に、メガバイト級メモリの実現可能性の提示。
- ・メモリマクロでの多値動作を実証することによる、従来SRAM比2倍の高集積

化の可能性を提示。

研究開発項目②「外部記憶の高速低電力データ転送を実現する、高集積・高速低電力書き込み特性などの機能を有する超低電圧・不揮発デバイスの開発」

【中間目標】（平成24年度）

- ・単体デバイスとして、クロスポイント型メモリセル試作と動作実証。
- ・データ転送速度200MB/sを、従来の1/3の電力（200mW）で可能とする単体デバイスの書き込み動作、およびさらなる高速低電力化の可能性の根拠の提示。

【最終目標】

（平成26年度末）

クロスポイント型メモリセルを集積化したメモリアレイ試作と動作実証。

- ・書き換え回数 10^6 回以上の達成。
- ・データ転送速度400MB/sの高速動作実証。
- ・従来の1/10の電力（66mW）の低電力動作実証。
- ・メモリセル面積 $4F^2$ （*1）のメモリアレイによる高集積性実証。

（*1）F；最小加工寸法

（平成27年度末）

- ・TRAM（*2）の1.2V以下の動作実証。
- ・更なる電力削減効果（33mW以下）の見通しを得る。

（*2）TRAM: Topological-switching
Random Access Memory

研究開発項目③「配線切り換えを可能とするスイッチを対象とした、低電流・高速書き換え、高オン・オフ抵抗比、小面積などの機能を有する超低電圧・不揮発スイッチデバイスの開発」

【中間目標】（平成24年度）

- ・スイッチ素子の材料選定、素子構造の最適化を行い、単体素子の動作を検証。
- ・単体素子性能として書き換え電流と書き換え速度の積が 10^{-10} A・秒以下、オン・オフ抵抗比 10^5 以上、書き換え回数 10^3 以上の実証。

【最終目標】（平成26年度）

以上の成果に基づき、

- ・大規模集積化に必要なスイッチ素子特性のばらつきを低減。
- ・300nmウエハにロジック集積回路を試作し下記を達成する。
 - a) 本スイッチにより配線切り換えを行ったロジック集積回路が0.4Vで動作可能であり、その際の消費電力がSRAMスイッチにより配線切り換えを行った従来型1.2V動作ロジック集積回路に比べ1/10以下。
 - b) スwitch素子面積が同一世代のSRAMスイッチを用いたプログラマブルロジックデバイス（PLD）に比べ1/20以下。

研究開発項目④「集積回路チップ内において、機能ブロックの三次元集積を実現するための、微細幅・超低電気抵抗、超高アスペクト比配線・材料技術の開発」

【中間目標】（平成24年度）

- ・微細線幅（100nm）、低抵抗（シート抵抗 $<50\Omega/\square$ ）の配線実証。
- ・微細直径（90nm）、超高アスペクト比（ ≥ 16 ）のコンタクトホールへのナノカーボン材料埋め込み実証。

【最終目標】

(平成26年度末)

- ・微細線幅 ($\leq 20\text{ nm}$)、長距離 (0.7 mm)、低抵抗 (シート抵抗 $\leq 3\ \Omega/\square$) の配線実証。
- ・微細直径 (90 nm)、超アスペクト比 (30) のコンタクトホールへのナノカーボン材料埋め込みと、W (タングステン) 以下の抵抗 (接触抵抗を含む) の実証。

(平成27年度末)

- ・ 20 nm 以細幅のグラフェンに対し 低抵抗化に有効で、触媒金属等の腐食の制御が可能なドーピング材料の決定。
- ・ビアプラグ材料としてのCNT構造に適したドーピング手法の見極め。

研究開発項目⑤「CMOSトランジスタの超低電圧動作、及びリーク電流抑制を同時に実現するための、低しきい値ばらつきトランジスタを集積化するための技術開発、並びに、この技術を用いた高集積機能素子における低電圧動作実証」

【中間目標】(平成24年度)

- ・ 100 万個以上のトランジスタで、平均 $\pm 0.1\text{ V}$ 以下 ($\pm 5\sigma$) の局所しきい電圧ばらつきの達成。
- ・低い電源電圧に動作を最適化し、基板バイアス制御技術を適用したナノトランジスタ構造デバイスを集積した 1 Mbit 以上のSRAMでの、 0.4 V 動作の実証。

【最終目標】(平成26年度)

以上の成果を基に、

- ・ナノトランジスタ構造デバイスと既存のCMOSトランジスタとの融合集積化技術を確立するとともに、その設計環境構築への指針を提示。
- ・従来デバイスに比較して消費電力を $1/10$ に低減できる基盤技術を確立すると共に、実用化回路レベルでの達成目処を提示。

研究開発項目⑥「BEOL設計・製造基盤(プラットフォーム)開発」

【最終目標】(平成23年度)

個別デバイス(研究開発項目①~③)の研究開発を推進するための共通設計基盤として、BEOL設計・製造基盤(プラットフォーム)^(*2)を開発する。その際、以下の条件を目標とする。

*2 BEOL設計・製造基盤(プラットフォーム)

様々な新材料を使うデバイスや新構造デバイスを配線層(BEOL; Back end of Line)の一部として作製する際に、材料・構造を問わず、すべてに共通で使える設計ルール、材料、プロセス工程などを総称してプラットフォームという。ここでは、BEOL設計基盤とBEOL製造基盤を合わせて、BEOL設計・製造基盤(プラットフォーム)と呼ぶ。

- ・新材料や新構造デバイスに共通で使え、かつ、新材料の相互汚染や熱耐性、さらには、プロセス雰囲気の影響などの観点から、それぞれのデバイスの特性を損なうことのない、BEOLプロセスレシピの作成。
- ・相互汚染防止、汚染除去、汚染評価などからなる管理プロトコルの作成。
- ・PDK(Process Design Kit)として、設計ルール、配線特性パラメータ、OPCルールの策定。

2. 実施内容及び進捗（達成）状況

以下の研究開発を実施した。

2. 1 平成22～26年度（委託）事業内容

研究開発項目①「ロジック集積回路内1次メモリを対象とした、高集積・高速特性・高書き換え耐性などの機能を有する超低電圧・不揮発デバイスの開発」

（平成22年度）

（実施体制：超低電圧デバイス技術研究組合）

- ・磁性変化材料を成膜する磁性膜PVD装置など、主要装置の仕様を決定し、立上げを開始した。
- ・磁性変化材料等の新材料、同材料を用いた新プロセスを、300mmバックエンドラインに導入する際の、汚染防止の指針策定に向けた評価を行った。HF+H₂O₂処理を行うことで、磁性材料は $5 \times 10^{10} \text{ atoms/cm}^2$ 以下のレベルになることがわかった。
- ・磁性特性シミュレータにより、磁性変化デバイス構造の設計を実施し、設計指針を得た。
- ・プロセス開発用TEG（BEP1）とマクロ開発用TEG（LPT1）を設計し、同TEGを用いて磁性変化デバイスを形成することを目的とした要素プロセス技術の開発に着手した。
- ・混載SRAM機能を代替でき、かつ、低電力化を実現可能なデバイスの、材料成膜および加工技術の開発、および、BEOL設計・製造基盤に整合する製造プロセスの構築のための準備を行った。
- ・350℃ BEOL製造基盤に対して、上記デバイスの特性劣化が実用上問題ないことを実証するための準備を行った。

（平成23年度）

（実施体制：超低電圧デバイス技術研究組合

－共同実施 神戸大学、立命館大学）

- ・磁性変化デバイスの研究開発を行い、そのデバイス構造および要素プロセスとして、トップピン構造、界面垂直磁化膜/材料垂直磁化膜の多層構造、プロセス歪の導入、CoFeシード層上にMg後酸化トンネル膜を形成した構造の採用を決定し、その基本プロセスフローを構築した。
- ・磁性変化デバイスの多値化の検討を行い、トップピン積層構造、一括加工方式高速読み出し手法などの、多値デバイス設計指針を得た。
- ・回路シミュレーションに適したMTJ（Magnetic Tunnel Junction）のコンパクトモデルを提案し、実測値との整合性を確認した。
- ・300mmウエハで、2層Cu配線間への磁性変化デバイスの埋め込みフロー案を作成し、それに沿った試作を行い、動作を確認した。
- ・350℃ BEOL製造基盤に対して、上記デバイスの特性劣化が実用上問題ないことを実証した。
- ・磁性変化デバイスを、CMOSとCu配線が形成された300mm基板に埋め込むための集積化プロセス構築に着手した。

（平成24年度）

（実施体制：超低電圧デバイス技術研究組合

－共同実施 神戸大学、立命館大学）

- ・磁性変化デバイスの材料や構造の研究開発を行い、50 nm径のデバイスで、読み書き電圧0.4 V、最小読み書き電流50 μ A、読み書き時間10 ns（電力量0.2 pJ）を実証し、中間目標（0.4 pJ以下）を達成した。
- ・磁性変化デバイスの多値化の設計指針に基づいて、積層構造と加工プロセスを開発し、試作を通して4値の多値動作を確認し、中間目標を達成した。
- ・磁性変化デバイスの動作で特徴的な、抵抗値の非線形的な書き換え電圧依存性と、書き換え電圧のパルス幅依存性を再現できるSPICEモデルを開発し、中間目標を達成した。
- ・負性抵抗回路とそれに並列に昇圧負荷回路を設けた、低電圧でも動作可能な読み出し回路を提案した。この回路を試作評価した結果、0.4 Vの低電圧で、0.3 V以上の十分なセンス電位差を取得し中間目標を達成した。この周辺回路を搭載したメガビット級メモリTEGを起版した。
- ・トンネル絶縁膜の高品質化開発を通して、10年間の絶縁耐性保障と、1次メモリ適用に必須の無限回書き換え（ 10^{16} 回の書き換え耐性）を実証した。
- ・50 nm径の磁性変化デバイスをCu多層配線間に埋め込むため、磁性膜の加工技術や微細なMTJとCu配線を接触させるためのボーダーレスコンタクト技術などを開発した。これらの開発技術により、CMOSと下層Cu配線が形成された300 mm径基板に磁性変化デバイスと上層Cu配線を形成し、デバイスの動作を確認した。開発した集積化プロセスを用いて、デバイス寸法と電気特性の分布評価やばらつき要因の解析を開始した。
- ・磁性変化デバイスを用いたシステム（アプリケーション実証のためのチップが搭載されたボード）の評価を可能とする、ボード設計と評価の準備を開始した。

（平成25年度）

（実施体制：超低電圧デバイス技術研究組合

－共同実施 神戸大学、立命館大学）

- ・特性ばらつきの主要因であるデバイス形状ばらつきを改善する加工プロセスを開発し、形状ばらつき15% (3σ)以下を実現した。
- ・ウェハ全面測定による信頼性評価と、材料や構造へのフィードバックを通して、プロセス、構造などと、信頼性の関係を明確にして、信頼性のマージン設計を行った。
- ・試作評価を通して構造と材料の最適化を行い、4値の多値動作に適したデバイス構造を決定した。
- ・メモリアレイの評価や、データの読み書き用周辺回路を備えた1メガビット級のマクロの評価結果を、300 mm基板のCu多層配線間にデバイスを埋め込むための集積化プロセスへフィードバックし、集積化プロセスを決定した。
- ・上記マクロ試作評価を通して周辺回路の課題を抽出し、改善策を次の開発TEGに盛り込んだ。
- ・磁性変化デバイスを用いたアプリケーションチップTEG、およびボードを試作し評価を開始した。
- ・磁性変化デバイスの応用展開として、配線電流のセンシングが可能な磁性変化デバイスを開発し、100 μ A以下の精度によるCu配線の電流センシング動作を実証するとともに、集積化の可能性を提示した。

（平成26年度）

（実施体制：超低電圧デバイス技術研究組合

－共同実施 神戸大学、立命館大学）

- ・加速試験による10年間のリテンションと、書き換え回数 10^{16} 回が達成可能な磁性変化デバイスのプロセスレシピを決定した。
- ・実用に耐える信頼性技術確立へ向けて、信頼性の要件とその根拠などの指針を提示した。
- ・低電圧動作の周辺回路を備えたメモリマクロで、読み書き電圧0.4V、読み書き電流 $100\mu\text{A}$ 以下、読み書き時間 10ns 、1.2V動作SRAMの $1/10$ の電力を実証すると共に、メガバイト級メモリの実現可能性を提示した。
- ・メモリマクロでの多値動作を実証することにより、従来SRAM比2倍の高集積化の可能性を実証した。
- ・低電圧、高駆動能力トランジスタと磁性変化デバイスの融合技術を構築し、その有用性を実証した。
- ・磁性変化デバイスを用いた電流センシング技術の開発において、リアルタイムセンシング動作の可能性を検証するとともに、電流のセンシング精度 $10\mu\text{A}$ 以下とする可能性を実証した。

研究開発項目②「外部記憶の高速低電力データ転送を実現する、高集積・高速低電力書き込み特性などの機能を有する超低電圧・不揮発デバイスの開発」

(平成22年度)

(実施体制：超低電圧デバイス技術研究組合)

- ・ 300mm シリコンウエハ上へのGeSbTe相変化材料のPVD及びCVD成膜装置を改造し、立上げ、相変化デバイスの基本要素プロセス技術の開発に着手した。
- ・相変化材料と熱拡散防止層の接着性を評価する計測(臨界剥離加重と濡れ性測定)を完了した。
- ・クロスポイントセル用ダイオードのオン/オフ電流検討用TEGを設計した。同マスクを用いて相変化デバイスを形成することを目的とした、要素プロセス技術の開発に着手した。
- ・従来と比較して、計算時間 $1/10$ を実現する高速性能を有する相変化デバイスの熱・電気シミュレータを開発した。このシミュレータを用いて相変化デバイスの特性評価を行い、書き換え電力量がメモリセル材料や構造に依存して変化することを見出した。メモリセル構造とリセット動作の関係を検討し、目標の書き換え電力量 1pJ 以下を実現するための、デバイス設計指針を得た。
- ・外部記憶向け素子材料の成膜および加工技術の開発、および、BEOL設計・製造基盤に整合する製造プロセスの構築のための準備を行った。
- ・クロスポイント選択スイッチ材料の成膜および加工技術の開発、単体デバイスとして試作、および、動作を実証するための準備を行った。

(平成23年度)

(実施体制：超低電圧デバイス技術研究組合)

- ・相変化材料および熱拡散防止層の材料開発を行い、元素添加実験により、これらの材料の抵抗値を10倍以上に制御する指針を得た。さらに、シミュレーションを行い、相変化材料と熱拡散防止層の抵抗値制御により、外部記憶向けの書き込み電力0.1倍～0.85倍化が得られる見通しを示した。
- ・外部記憶向け素子材料の成膜および加工技術の開発を行い、金属/Ge₂Sb₂Te₅をパターンングすることに成功した。さらに、抵抗素子(1R素子)を単体デバイスとして試作し、メモリ動作を実証することで、開発した素子材料技術が、

BEOL設計・製造基盤に整合する製造プロセスであることを示した。

- ・ポリSiダイオードの電界緩和と電極金属の拡散を防止する成膜・アニール技術を開発した。さらに、金属/p-Si/i-Si/n-Si/金属の積層をパターンニングする加工技術を開発して、ポリSiダイオードのクロスポイント選択スイッチを単体デバイスとして試作し、動作を実証した。
- ・外部記憶向け素子材料を、CMOSとCu配線が形成された300mm基板に埋め込むための集積化プロセス構築に着手した。

(平成24年度)

(実施体制：超低電圧デバイス技術研究組合

－共同実施先 産業技術総合研究所、中央大学)

- ・熱拡散防止層の開発を行い、その結晶サイズを5nm程度とすることで、メモリセルの電気抵抗を増加させ、かつ熱伝導率を減少させることに成功した。この熱拡散防止層を適用した抵抗素子(1R素子)を単体デバイスとして試作し、書き換え電流を従来の $Ge_2Sb_2Te_5$ の1/3に削減するメモリ動作と、書き換え時間を従来の1/3以下の10nsecとして、動作電力を1/10に削減するメモリ動作を実証した。また、超格子相変化膜の低抵抗から高抵抗へ変化する動作が、従来の $Ge_2Sb_2Te_5$ の1/25以下である70uAの電流、3.5pJのエネルギーで起きることを実証した。ならびに、高抵抗から低抵抗へ変化する動作は、さらに低い60uAで起こることを確認した。以上の熱拡散防止層を用いたメモリセルと、超格子相変化膜を用いたメモリセルの両方において、中間目標である、データ転送速度200MB/sを、従来の1/3の電力(200mW)で可能とする書き込み動作、および、さらなる高速低電力化の可能性の根拠を提示した。
- ・300mm径ウエハの成膜装置を用い、 $GeTe/Sb_2Te_3$ 超格子構造形成に世界で初めて成功した。さらに、50nm直径のW電極を有する $GeTe/Sb_2Te_3$ 超格子抵抗TEGを300mmラインで試作することを通して、外部記憶向け素子材料を、CMOSとCu配線が形成された300mm基板に埋め込むための集積化プロセスを構築した。
- ・W配線/シリコンダイオード/相変化材料/W配線からなるクロスポイント選択スイッチを試作し、ダイオードの正常動作を確認した。さらに、相変化材料を搭載したクロスポイント型メモリセルを試作し、相変化材料の抵抗変化現象を確認することで、中間目標である、単体デバイスとして、クロスポイント型メモリセル試作と動作実証を達成した。加えて、クロスポイント型メモリアレイの集積化プロセスを開発するためのキロビット級TEGを設計し、マスクを起版した。

(平成25年度)

(実施体制：超低電圧デバイス技術研究組合

－共同実施先 産業技術総合研究所、中央大学、筑波大学)

- ・量子力学に基づく第一原理計算を用いて、外部記憶向け素子の動作機構が電荷注入機構、すなわち電荷の注入で原子移動が促進されることを解明した。また、 $GeTe/Sb_2Te_3$ 超格子膜への $GeSbTe$ の混合を排除することで、書き換え回数 10^6 回以上を達成した。さらに、 $GeTe/Sb_2Te_3$ 超格子素子が環境温度85℃以上で書き換えが可能であることを確認し、デバイスの動作環境温度85℃以上でのデータ保持の見通しが有ることを示した。
- ・外部記憶向け素子材料を適用したクロスポイント型メモリセルを、CMOSとCu配線が形成された300mm基板に埋め込むために、メモリセルの加工や洗浄などの集積化プロセスを構築した。

- ・外部記憶向け素子材料を適用した相変化デバイスメモリアレイを試作し、300nm径Si基板での均一性や素子特性ばらつきを評価した。その結果、メモリセルの側壁のプロセスダメージの大きいピラー型セルよりも、ダメージが小さいアイランド型セルが優れている、とするデバイス設計指針を得た。
- ・メモリセル面積 $4F^2$ (F ; 最小加工寸法) のクロスポイント型メモリアレイを試作評価し、書き換えに要する電流密度などのデバイス動作条件を取得した。さらに、得られた動作条件を基準として、GeTe/Sb₂Te₃超格子膜の信頼性や低電力動作を評価するためのメガビット級TEGを設計し、マスクの起版を行い、試作評価を開始した。

(平成26年度)

(実施体制：超低電圧デバイス技術研究組合)

-共同実施先 産業技術総合研究所、中央大学、名古屋大学)

- ・ドライエッチング及びウェット洗浄プロセスを改善して、特性ばらつきの主要因であるGeTe/Sb₂Te₃超格子の側壁ダメージを低減し、外部記憶向けのTRAMメモリアレイ試作を達成して動作実証した。
- ・GeTe/Sb₂Te₃超格子の最下層を最適化する試作評価を通して、GeTe/Sb₂Te₃超格子の結晶軸配向性を向上し、書き換え回数 10^8 回以上を達成した。
- ・外部記憶向け素子に要求されるユニポーラ動作回路を用いた16kbTRAMメモリアレイを試作評価し、外部記憶のデータ転送速度400MB/sの高速動作化の見通しを得た。
- ・GeTe/Sb₂Te₃超格子を用いたTRAMメモリアレイの評価結果に基づいて、外部記憶の並列チップ構成を想定し、従来の1/10の電力(66mW)での低電力動作が可能である見通しを得た。
- ・寸法200nmピッチ(ライン/スペース=100nm/100nm)のクロスポイント型メモリアレイを試作し、その正常動作を確認することで、メモリセル面積 $4F^2$ の高集積性を実証した。

研究開発項目③「配線切り換えを可能とするスイッチを対象とした、低電流・高速書き換え、高オン・オフ抵抗比、小面積などの機能を有する超低電圧・不揮発スイッチデバイスの開発」

(平成22年度)

(実施体制：超低電圧デバイス技術研究組合)

- ・オートプローバとスイッチ特性評価系で構成される原子移動型スイッチデバイス評価システムを構築した。さらに、構築した評価系を用いて、2端子原子移動型スイッチデバイスを評価し、ばらつき原因、それを除去するために有効な方策を得た。
- ・原子移動型スイッチをCMOSの多層配線の中に組み込むために、0.18μm以下の加工プロセス技術に適用可能な原子移動型スイッチの基本プロセスフローを設計した。
- ・スイッチ素子材料の成膜および加工技術の開発、および、BEOL設計・製造基盤に整合する製造プロセスの構築のための準備を行った。
- ・350℃ BEOL製造基盤に対して、スイッチ素子の劣化がないことを実証するための準備を行った。

(平成23年度)

(実施体制：超低電圧デバイス技術研究組合 ー共同実施先 東京大学)

- ・低電圧書き換え時の信頼性劣化を抑制でき、低電圧、低電流動作に対応した3端子型のデバイス構造を開発し、2Vでの書き込みと10年の信頼性を実現した。また、固体電解質材料としてPSEを用いることにより、スイッチの高いOFF信頼性が得られることを示した。
- ・原子移動型スイッチの抵抗変化状態の伝導機構をモデリングした。
- ・原子移動型スイッチのしきい電圧ばらつきの原因として、下部電極であるCu表面のラフネスおよびCuと固体電解質の界面の低酸化状態のバルブメタルの存在であることを明らかにし、しきい電圧ばらつきを改善した原子移動型スイッチの製造プロセスを構築した。さらに、65nmのCMOS基板上に、BEOL設計・製造基盤に整合した、「原子移動型スイッチ」、「ローカル配線」、「セミグローバル配線」の形成プロセスを構築した。
- ・構築した形成プロセスにより製造した、原子移動型スイッチの正常な抵抗変化動作を確認し、製造プロセスに起因するスイッチ特性の劣化がないことを示した。
- ・原子移動型スイッチ素子を、CMOSとCu配線が形成された300mm基板に埋め込むための集積化プロセス構築に着手した。

(平成24年度)

(実施体制：超低電圧デバイス技術研究組合

ー共同実施先 東京大学 産業技術総合研究所)

- ・スイッチ素子材料として下部電極にCu、固体電解質材料にPSE、上部電極にRuを用いることを基本構成とした3端子型原子移動スイッチの開発を行った。また、その最適化を実施し、単体素子性能として、書き換え電流と書き換え速度の積が 10^{-10} A・秒以下、オン・オフ抵抗比 10^5 以上、書き換え回数 10^3 以上であることを実証し、中間目標を達成した。
 - ・平成23年度に開発した集積化プロセスを基本とし、上記の3端子原子移動型スイッチを、CMOSとCu配線が形成された300mm基板に埋め込むためのBEOL設計・製造基盤と完全に整合した集積化プロセスを再構築し、さらにスイッチ素子特性改善のためのプロセス最適化を実施した。
 - ・上記集積化プロセスを用い、300mm CMOS基板上に単体の3端子原子移動型スイッチの集積化を実施し、200nsec、500uA（電流速度積： 10^{-10} A・秒）のプログラムパルスでプログラムが可能であることを確認した。オン・オフ抵抗比は、0.1V印加時の電流値から、5桁以上のオン・オフ比が得られていることを確認した。さらに、書き換え回数評価の結果、 10^3 回以上の書き換え耐性が得られた。これらによって、中間目標が達成されたことを確認した。
- 従来のSRAMスイッチを用いた再構成可能回路との消費電力比較を目的とした、10k論理ゲート規模の再構成可能回路の設計を実施し、TEGマスクを起版した。

(平成25年度)

(実施体制：超低電圧デバイス技術研究組合

ー共同実施先 東京大学 産業技術総合研究所、筑波大学)

- ・原子移動型スイッチのプログラム電圧ばらつきに対し、Cu電極上ホール開口後の大気暴露によってCu表面が酸化してプログラム電圧ばらつきが大きくなる知

見を得た。これを改善するため、ホール開口後にCu表面エッチング工程からバッファ成長工程までを真空一貫で行えるよう装置改造を実施し、Cu表面の酸化を抑制し、プログラム電圧ばらつきを $\sigma = 0.2\text{ V}$ まで低減した。

- 平成24年度に起版した10k論理ゲート規模の再構成可能回路の試作および評価を実施した。試作した10k論理ゲート規模の再構成回路に16ビット算術論理演算回路をマッピングし、その回路動作の評価を行い、ベリファイ波形と再構成回路からの出力波形が一致し、正常な回路動作が確認できた。また、動作時電力および回路面積はそれぞれ $1/3$ とすることができ、最終の目標である電力および回路面積 $1/4$ を達成するために、面積効率の高い配線やロジックセルのアーキテクチャの導入が必要であることが分かった。
- 平成24年度に起版した10k論理ゲート規模の再構成可能回路TEGの評価用ボードを作成した。本ボードには、再構成回路の電力・動作速度等々を評価するための電流アンプや外部クロック端子を、1つの機能検証例である画像処理を行うための画像入出力端子を備えており、再構成可能回路TEGのデモンストレーションが可能となった。
- 原子移動型スイッチの特性を生かした、面積効率の高い配線アーキテクチャの検討を行った。平成25年度は、配線アーキテクチャをアプリケーション毎に回路の動作性能と面積効率を算出して整理した。また、階層的な配線アーキテクチャを含むアーキテクチャの改良を進めた。その結果、従来比25%の回路面積の効率化の見通しを得た。
- 原子移動型スイッチとナノトランジスタ構造デバイスの融合技術相互接続性の検証および融合技術マクロの検討を目的とした融合技術TEGマスクの設計を完了した。
- 原子移動型スイッチの信頼性に関して、プログラム後の保持の評価を実施した。スイッチ素子のプログラム電流と保持温度、および保持時間から、故障率を予測するモデルを構築し、意図的に低いプログラム電流で書き込んだ素子における高温加速試験から、85℃の動作環境温度における10年後の故障率は1ppm以下となる予測値を得た。

(平成26年度)

(実施体制：超低電圧デバイス技術研究組合

-共同実施先 東京大学、産業技術総合研究所、筑波大学)

- 平成25年度までに構築した大規模集積化技術を基本として、スマートセンサ用データ圧縮アルゴリズムが検証可能な大規模プログラマブルロジック回路に適用可能なレベルまで原子スイッチ素子デバイス特性のばらつきを低減できる集積化技術の検討を行い、Cu表面の清浄化技術の開発、さらにはバッファ層最適化によるスイッチング速度高速化技術およびリーク電流低減技術等の開発を行い、大規模原子移動型集積化技術として完成させた。
- 階層的な配線アーキテクチャおよび階層的な配線アーキテクチャに対応したマッピングツールの開発を実施し、原子移動型スイッチを用いたプログラマブルロジック回路が0.4V以下の0.3Vまで動作可能であり、その際のアクティブ電力がSRAMスイッチにより配線切り替えを行った従来型0.8V動作ロジック集積回路に比べ約 $1/10$ であることを実証した。また、1.2V動作SRAMスイッチに対しては $1/20$ 以下であった。さらに、同一動作電圧でのアクティブ電力比較ではSRAMスイッチに対し、60%減であることを実証した。
- 集積化した原子移動型スイッチ素子のスイッチ面積は $0.7\text{ }\mu\text{m}^2$ であり、ス

イッチ素子の面積が同一世代のSRAMスイッチの約 $14\text{ }\mu\text{m}^2$ の $1/20$ であることを実証した。

- 平成25年度に設計した原子移動型スイッチとナノトランジスタ構造デバイスの融合技術TEGマスクを用いて、融合技術実証チップとして超低電力マイコン用SOTB ROMの試作と評価を行い、最小読出し電力 0.295 pJ/bit の低電力性能の実証を行った。

研究開発項目④「集積回路チップ内において、機能ブロックの三次元集積を実現するための、微細幅・超低電気抵抗、超高アスペクト比配線・材料技術の開発」
(平成22年度)

(実施体制：超低電圧デバイス技術研究組合)

- 小口径のナノカーボン成長装置を用いて成長プロセスの先行検討、材料物性、および、電気特性の評価環境整備、ナノカーボン材料成長の下地、および、付帯構造の候補絞り込みを行った。カーボンナノチューブ(CNT)の高アスペクト比ホール埋め込みに向けた要素技術として、触媒金属・下地層の条件検討を行うとともに、触媒不活性膜の積層によるホール側壁成長抑制の検討を行った。
- グラフェン成長では、触媒金属材料の探索を行い、多層成長用触媒候補の絞りこみを行った。さらに極薄触媒金属層上での成長条件検討を行い、グラフェンの結晶性を表すラマン分光による指標(G/D比)を、 600°C 以下の成長温度では最高レベルの10以上に高めた。
- 300 mm 成長装置・プロセス、および、 300 mm CMP装置・プロセスに向けた小口径での実験を含む基礎検討を行い、基本装置の仕様決定・作製・立上げを行った。
- ナノカーボン配線集積化のための環境整備を行うとともに、微細配線・CNT埋め込み検討TEGの基本仕様案を決定した。超高アスペクト比ホール埋め込みに向け、アスペクト比4~10の構造TEGでの下地層形成・成長の要素検討を開始した。不活性膜材料候補の絞り込みを行い、その成長抑制効果をホール側壁で実証した。
- ナノカーボン配線TEG試作と配線特性実証(シート抵抗 $\leq 500\ \Omega/\square$)するための準備を行った。
- 300 mm 基板全面でのコンタクトホール底に適用可能な導電性下地層(A1フリー)上の高密度CNT成長実証(密度 $\geq 10^{11}/\text{cm}^2$)するための準備を行った。

(平成23年度)

(実施体制：超低電圧デバイス技術研究組合

—共同実施先 芝浦工業大学、慶応義塾大学)

- 横方向配線用多層グラフェンの低温成長($\sim 600^\circ\text{C}$)をプラズマCVDにより実現するとともに、触媒段差を起点とする低温固有の成長機構を明らかにした。
- 剥離グラフェンで横方向配線評価構造を電子ビームリソグラフィにより作成し、基礎的な配線特性(シート抵抗 $\approx 300\ \Omega/\square$)を実証した。
- 300 mm 成長装置に触媒Ni-CVDモジュールとナノカーボン熱CVDモジュールを導入して、 300 mm 基板全面で、コンタクトホール底に適用可能な高密度CNT成長(密度 $1\sim 2\times 10^{11}/\text{cm}^2$)を実証した。
- 高アスペクト比(AR)コンタクトホール埋め込み用に、CNTの固定化プロ

セス（SOG含浸、硬化）を構築し、300mm基板でCNT固定層の割れ・欠けのないCMP研磨を実証した。

- ・アスペクト比（AR）1～4及び10のホールTEGを作製し、AR～4でのCNT埋め込みを実証するとともに、AR～10でのCNT成長評価を行って、ホール底からのCNT成長を確認した。
- ・微細直径（90nm）、超高アスペクト比（ ≥ 16 ）のコンタクトホールへのナノカーボン材料埋め込み実証に向けた、ナノカーボン成長・評価用TEGの作製、300mmでのナノカーボン成長・加工プロセス開発、及び、集積化技術開発に着手した。

（平成24年度）

（実施体制：超低電圧デバイス技術研究組合

ー共同実施先 芝浦工業大学、慶応義塾大学）

- ・横方向配線用多層グラフェンの微細線幅での配線抵抗（シート抵抗 $23\Omega/\square$ @ 92nm幅）を、剥離グラフェンを用いて実証し、中間目標を達成した。
- ・多層グラフェン低抵抗化のためのドーピング手法候補の検討を行い、臭素のインターカレーションドーピングにより、剥離グラフェンにおいて一桁以上の抵抗低減を実証した。
- ・多層グラフェンの低温CVD成長に基づいて横方向配線の集積化構造候補を抽出し、プロセスの比較検討を行った。触媒段差での成長起点制御のため、Ir等を添加した耐熱合金触媒を開発し、リソによる人工段差からの優先的なグラフェン成長を実証した。
- ・微細高ARホールTEG作製と、触媒Ni-CVDによる高ARホール底への極薄触媒層形成プロセスの整備により、AR～16（100nm径）ホールでのCNT埋め込みを実証し、中間目標を達成した。
- ・CNTビア用TEG基板を作製し、300mmでのCNTビア集積化に必要な要素プロセスの開発を進めた。これにより、ビア側壁でのCNT成長を抑制しながら、ビア底からのCNT成長、下層配線層を形成したCNTビアのCMP平坦化研磨、汎用BEOLラインへの投入による上部電極形成などのプロセスを整備した。

（平成25年度）

（実施体制：超低電圧デバイス技術研究組合

ー共同実施先 芝浦工業大学、慶應義塾大学、東京工芸大学）

- ・横方向配線向け多層グラフェンのドーピング手法をインターカレーション材料・条件範囲を広げて多元軽金属塩化物、エチレン重合体等について検討し、微細幅（ $\leq 100\text{nm}$ ）配線へ適用した。
- ・緩和寸法（最小線幅100nm）TEG結果に基づいて最終目標線幅の微細寸法配線の構造判断を行い、触媒ダマシ型配線構造で目標線幅の配線試作を行っていくことを決めた。
- ・グラフェン微細幅配線の層数・側壁ラフネス等の依存性をモンテカルロシミュレーションにより検討し、側壁ラフネスの低減が微細線幅での抵抗低減に有効なことを示した。また、原子レベルでのエッジ形状乱れや結晶粒界、各種の終端分子による電子伝導度への影響を、非平衡グリーン関数法をTight-Binding格子モデルに適用することで計算検討し、低抵抗化に適した構造を提示した。更に、低温CVDグラフェンの触媒や成長条件の最適化検討を進め、結晶品質（G/D比）や膜被覆性の向上を進めた。これらの実験結果と理論検

討に基づいて最終目標とする微細幅抵抗値への見通しを示した。

- ・ビア集積に対応したCNTの品質向上・CMP・電極接合等のプロセス依存性の検討を行った。300mm基板上での緩和ARビアスループロセスを整備し、導通特性を確認した。CNT成長条件により抵抗変化を確認した。
- ・超高AR化に対応したAR>16のCNTビアホール構造を開発した。

(平成26年度)

(実施体制：超低電圧デバイス技術研究組合)

—共同実施先 芝浦工業大学、慶應義塾大学、東京工芸大学)

- ・多層グラフェンへのドーピングによる低抵抗化検討を高温成長グラフェンにより進め、FeCl₃、MoCl₅による抵抗低減を実証した。エッジ制御による細線効果抑制の検討を行い、ドーピングプロセスによって低抵抗なジグザグエッジが失われたとしても実現可能なアームチェア(AC)型エッジへの窒素等の置換型ドーピングによる低抵抗化見通しを示した。これにより、微細幅(最小線幅≤20nm)横方向ナノカーボン配線の低抵抗化・細線効果抑制(シート抵抗≤3Ω/□)のための構造とプロセスを提示した。
- ・低温CVDグラフェンについて、成長条件検討により結晶品質(G/D比、被覆性等)の向上をはかった。また、低温CVDグラフェンの抵抗検証を進め、微細幅領域において高温結晶グラフェンとほぼ同レベルの抵抗率を示すことを実証した。高温結晶グラフェンにおけるドーピング検討結果を適用し、低温CVDグラフェンとして初めてドーピングに成功した。以上により、CVDグラフェンを用いた微細幅(最小線幅≤20nm)横方向ナノカーボン配線の構造とプロセスを提示するとともに、ドーピングにともなう触媒金属への影響等の検討を開始した。
- ・微細線幅・長距離(0.7mm)を含む横方向微細幅グラフェン配線構造の作製を行った。ハーフピッチ30nmの300mm径ダマシン配線TEGにNi触媒を埋め込み、CMPにより20-30nm幅のNi触媒配線パターンを形成した。このNi触媒配線上に選択的にグラフェンを成長させ、微細・長距離のグラフェン配線構造を実証した。
- ・超高AR化に対応した深さ2μm、最大AR>16のCNTビアホール構造を用いて、ビア内への触媒形成・CNT成長検討を行い、AR>30の超高ARビアへのナノカーボン材料埋め込み可能性に目途をつけた。
- ・ビア集積に対応したCNTの品質向上・CMP・電極接合等のプロセス依存性の検討を行った。CNTの品質と抵抗率の相関を単体抵抗評価により検証し、タンダステン以下の抵抗のためには、ドーピングによる低抵抗化が必要なことを示すとともに、CNTへのドーピング課題の検討を開始した。触媒形成およびCMPと電極形成のプロセス依存性検討により、300mm径基板上TEGの歩留まりを向上させ、最大で2万直列の大規模CNTビアチェーンを90%以上の高歩留りで動作させた。

研究開発項目⑤「CMOSトランジスタの超低電圧動作、及びリーク電流抑制を同時に実現するための、低しきい値ばらつきトランジスタを集積化するための技術開発、並びに、この技術を用いた高集積機能素子における低電圧動作実証」

(平成22年度)

(実施体制：超低電圧デバイス技術研究組合)

- ・超低電圧（0.4 V）動作のCMOSプラットフォーム構築に向け、ドーパントレス構造により低ばらつきを実現できるナノトランジスタ構造デバイスとして、埋め込み絶縁膜の薄いシリコンオンインシュレータ（SOI）構造を主たる候補として、低電力かつ量産化に最適な構造を設計した。
- ・ドーパントレストランジスタの構造確立、および、ハイブリッドプラットフォーム開発に向けて、トランジスタ製造プロセス、および、ハイブリッド化プロセスの試作検討を開始した。
- ・SRAMのような論理回路を例に、超低電圧動作のために必要なデバイス仕様を検討した。
- ・ナノトランジスタとバルクCMOSを共存させたハイブリッド構造の集積化プロセス構築に着手した。
- ・1万個以上のトランジスタで、平均±0.06（±4σ）V以下の局所しきい電圧ばらつきを達成するための準備を行った。

（平成23年度）

（実施体制：超低電圧デバイス技術研究組合

ー共同実施先 電気通信大学、芝浦工業大学、慶応義塾大学、
東京大学、京都大学、京都工芸繊維大学、大阪大学、産業技術
総合研究所、東京理科大学）

- ・低電圧動作のために最適な特性、かつ低ばらつきとなる構造を考案し、試作したデバイスで特性を確認した。
- ・試作したトランジスタのばらつき評価を行い、局所しきい電圧ばらつきが、1万個以上のトランジスタで、平均±0.06（±4σ）V以下となることを示した。
- ・ナノトランジスタとバルクCMOSを共存させたハイブリッド構造の集積化プロセスを構築し、各トランジスタの正常動作を確認した。
- ・SRAM動作検証用TEGを用いて、ナノトランジスタ構造デバイスによるSRAMの0.4 Vにおける動作性能を検証した。
- ・基板バイアス電圧印加を行うことが可能なナノトランジスタ構造用最適化セルライブラリ、さらに超低電圧LSIを構築するための設計手法と設計フローを開発し、回路検証用TEGを作成した。
- ・低い電源電圧に動作を最適化し、基板バイアス制御技術を適用したナノトランジスタ構造デバイスを集積した1Mbit以上のSRAMでの、0.4 V動作実証に着手した。
- ・従来デバイスに比較して消費電力を1/10に低減できる基盤技術の確立と実用化回路レベルでの達成目処の提示に向けた基本検討に着手した。

（平成24年度）

（実施体制：超低電圧デバイス技術研究組合

ー共同実施先 東京大学、電気通信大学、芝浦工業大学）

- ・低電圧動作のためのトランジスタ構造に改良を加え、デバイス試作により、しきい電圧の適正化やオン電流の向上、ばらつきの低減など、効果を確認した。
- ・試作したトランジスタのばらつき評価を行い、局所しきい電圧ばらつきが、100万個以上のトランジスタで、平均値±0.1 V以下（±5σ）となり、中間目標を達成した。
- ・試作したトランジスタのオン電流ばらつき $\sigma I_{on} / I_{on}$ が2.8%と、従来バルクトランジスタの6.6%に比べて半分以下になることを示し、その理由を解析した結果、しきい電圧ばらつきと同様に不純物が電流ばらつきの要因

であることを見いだした。

- 低い電源電圧にデバイス動作を最適化し、かつ、基板バイアス制御技術を適用したナノトランジスタ構造デバイスを集積した1メガビット以上のSRAMで0.4V動作を実証し、中間目標を達成した。
- SRAM等を含むナノトランジスタ構造用最適化セルライブラリと、これを使用したLSI設計フローに改良を加え、大規模回路TEG作成を通じて設計環境と設計フローが正しく機能することを検証した。
- 基板バイアス電圧を印加可能な大規模回路TEGの設計を通じて、従来デバイスと比較して消費電力を1/10に低減できるための基本検討を行った。
- デバイスを実用化レベルで集積したときの課題検討と従来デバイスと比較して消費電力を1/10に低減できることを実証するため、実証アプリケーションチップの設計開発、および、実証アプリケーションチップに必要な周辺回路等の設計開発を行い、実証アプリケーション用のマスクを起版した。
- 製造ロット間のばらつき低減や歩留まり等の改善のため、特にキーププロセスであるエピタキシャル成長工程の安定化のため、選択エピタキシャル成長装置を新規導入し、量産対応仕様のエピタキシャル成長プロセスの開発に着手した。

(平成25年度)

(実施体制：超低電圧デバイス技術研究組合

－共同実施先 電気通信大学、芝浦工業大学、慶応義塾大学、
東京大学、京都大学、京都工芸繊維大学、大阪大学、産業技術
総合研究所、東京理科大学)

- 平成24年度に導入した選択エピタキシャル成長装置を用いて、量産性の判断が行えるレベルでエピタキシャル成長工程の安定化を検討し、エピタキシャル成長膜厚のウエハ面内均一性が5%未満と十分小さい水準となることを実証した。
- 300mmウエハ全面での安定した低ばらつき特性を検証するためにSRAMの動作特性を評価し、ウエハ全面において90%以上のチップが0.4Vにて安定に動作することを実証した。また、超低電圧で回路が安定に動作し、待機電流が十分に低減できる特性に制御したナノトランジスタ構造デバイスのデバイスパラメータを取得し、このパラメータを超低電圧LSI設計プラットフォーム改良版に適用した。
- 平成24年度に設計した各種回路特性を評価し、低電圧回路特性ばらつき評価、ソフトウェア信頼性評価、アナログ回路特性評価を行った。この評価結果を通じて、従来デバイスに対して消費電力を1/10に低減することが可能と判断できる基礎的情報を得た。
- 評価モジュールを用いて実証アプリケーションチップ初版を評価し、0.4V以下の超低電圧で動作し、従来より大幅に優れた消費電力効率が実現することを示した。
- 上記の評価結果、および改良版設計プラットフォームを用いて、実証アプリケーションチップ改良版やそれと組み合わせて機能拡張するチップの新規設計を実施した。

(平成26年度)

(実施体制：超低電圧デバイス技術研究組合

－共同実施先 電気通信大学、芝浦工業大学、慶応義塾大学、
東京大学、京都大学、京都工芸繊維大学、大阪大学、

産業技術総合研究所、東京理科大学)

- ・平成24年度に導入した選択エピタキシャル成長装置を用いて、量産性の判断が可能な水準でエピタキシャル成長工程を確立した。さらに、周辺回路用バルクトランジスタを含んだ大規模での信頼性を評価し、量産可能レベルのデバイス・プロセス技術によってナノトランジスタ構造デバイスと既存のCMOSトランジスタの融合集積化技術を確立した。
- ・300mmウエハ全面での特性の均一性やSRAMの不良ビット低減を実証した。具体的には、ウエハ全面において95%以上のチップが安定に動作することを実証した。また、これまでのデバイス試作結果に基づいてキャリブレーションしたデバイスパラメータを用いてシミュレーションした回路動作特性と、試作したデバイスの実測回路特性がほぼ一致することも確認でき、構築した超低電圧LSI設計環境の完成度が高いことを実証した。
- ・超低電圧実用回路の信頼性を阻害する要因としてランダムテレグラフノイズ(RTN)やバイアス温度不安定性(BTI)などを検討した。前者についてはナノトランジスタ構造デバイスの特徴である低不純物濃度(ドーパントレス構造)がRTNの低減にも寄与していることが見出され、後者ではアンテナ効果の緩和構造などデバイスの配線構造等を検討することで良好な信頼性が得られることを実証し、以上の知見をもとに超低電圧動作回路の高信頼化のための設計環境構築指針を提示した。
- ・平成25年度および26年度に設計試作した各種回路特性を評価し、超低電圧回路特性評価、ソフトウェア信頼性評価、アナログ回路特性評価を行った。この評価結果を通じて、実用化回路レベルで従来デバイスに対して消費電力を1/10に低減する目処を示した。
- ・評価モジュールを用いて平成25年度および26年度に設計試作した実証アプリケーションチップ改良版を評価し、0.4V以下の超低電圧で動作し、実用化回路レベルで従来デバイスに対して消費電力を1/10に低減する基盤技術を確立した。
- ・原子移動型スイッチとナノトランジスタ構造デバイスの融合技術実証チップとして原子移動型スイッチによるROMを搭載したマイコンチップを設計試作し、最小読出し電力0.295pJ/bitの低電力性能の実証を行った。
- ・上記の評価結果により、最終目標であるナノトランジスタ構造デバイスと既存のCMOSトランジスタとの融合集積化技術を確立するとともに、その設計環境構築への指針を提示し、従来デバイスに比較して消費電力を1/10に低減できる基盤技術を確立するとともに、実用化回路レベルでの達成目処を示した。

研究開発項目⑥「BEOL設計・製造基盤(プラットフォーム)開発」

(平成22年度)

(実施体制：超低電圧デバイス技術研究組合)

プロセス・デザインキット(PDK; Process & Design Kit)整備に向けた検討を行った。また、これと並行して、CMOS基板上へのBEOLモジュール構築の事前検討として、CMOS基板を必要としない配線プロセス用の簡易マスクを作製し、2層Cu配線の形成を行った。

個別デバイス(研究開発項目①～③)の研究開発を推進するための共通設計基盤として、BEOL設計・製造基盤(プラットフォーム)を開発するための準備を行った。

(平成23年度)

(実施体制：超低電圧デバイス技術研究組合)

SCR300mmラインで、LSI製造ラインで形成した多層配線／CMOS基板上にファイン配線、およびグローバル配線を形成する配線製造基盤技術を開発し、CMOS特性、配線特性が所望の特性を実現していることを確認した。

新材料の汚染管理手法として、「エッジカットリングによる新材料付着防止」「薬液による新材料除去」、「新材料上HDP膜による汚染拡散防止」、「FOUPによるハンドリング管理」の4つの管理手法を検討し、効果を確認した。

連携ファブPDKとして、LSI製造ラインPDKとSCR-PDKを統合した設計ルールを策定し、試作に適用して効果を確認した。さらに、配線特性パラメータの取得、OPCデータの取得とOPCモデルの構築を行った。

2.2 実績推移

	22年度	23年度	24年度	25年度	26年度
	委託	委託	委託	委託	委託
実績額推移 一般勘定 (百万円)	2,045 (経済産業省)	2,299 (NEDO)	2,818 (NEDO)	1,752 (NEDO)	2,331 (NEDO)
特許 出願件数(件)	1	19	22	55	45*
論文 発表数(報)	0	3	5	11	30*
口頭発表数(件) (フォーラム等)	7	55	66	124	111*

*2014年11月27日現在

3. 事業内容

必要に応じてプロジェクトリーダーを設置し、以下の研究開発を実施する。また、本事業の運営等に活用するため必要に応じて調査等を行う。

3. 1 平成27年度（委託）事業内容

研究開発項目②「外部記憶の高速低電力データ転送を実現する、高集積・高速低電力書き込み特性などの機能を有する超低電圧・不揮発デバイスの開発」

（実施体制：株式会社 日立製作所、株式会社 東芝

－ 共同実施先 産業技術総合研究所、名古屋大学、北海道大学、東京大学）

- ・新組成超格子を用いたTRAMを300mm径Si基板上で試作し、素子特性ばらつきを評価する。
- ・新組成超格子を用いたTRAMの動作機構を解明し、1.2V以下の動作を実証する。
- ・新組成超格子を用いたTRAMの評価結果に基づいて、従来の1/20以下の更なる電力削減効果（33mW以下）の見通しを得る。

研究開発項目④「集積回路チップ内において、機能ブロックの三次元集積を実現するための、微細幅・超低電気抵抗、超高アスペクト比配線・材料技術の開発」

（実施体制：株式会社 東芝、東京エレクトロン株式会社、株式会社 荏原製作所

－ 共同実施先 芝浦工業大学、慶應義塾大学、東京工芸大学）

- ・平成26年度までのドーピングによる低抵抗化の検討を踏まえ、新たな課題として抽出されたドーピング材料による触媒金属の腐食や周辺絶縁膜等への汚染の影響を抑制できるドーピング材料を決定する。
- ・平成26年度までに開発したグラフェン配線用のモンテカルロシミュレーションモデルを踏まえ、実配線構造での電導特性予測を行う。また、平成26年度におけるエッジ構造や欠陥の電導特性への影響について行った計算物理による検討を踏まえ、計算する空間規模を拡張し、実配線構造に則した特性予測手法の開発を行う。これと並行して、SPMを用いたグラフェンの局所電導特性評価を配線構造に対して行う。
- ・平成26年度までの低温CVDグラフェン膜の高品質化の検討を踏まえ、ドーピング濃度向上につながるグラフェン結晶粒径拡大のためのグラフェン成長条件の最適化を行う。
- ・前項までのドーピング材料・プロセス、低温グラフェン成長プロセス開発に基づいて、周辺腐食対策とドーピングされたグラフェンの難エッチング性の改善等の検討を行うことにより、ドーピングするための集積構造・加工・周辺カバー絶縁膜プロセス案を提示する。
- ・平成26年度までのグラフェンへのドーピングによる低抵抗化の結果を踏まえ、CNTに対しても同様の手法で低抵抗化の検討を行ったが、CNTに関してはグラフェンとは異なるドーピングの課題があることが明らかになったため、格子置換型のドーピングとCNT表面へのドーピング検討を行い、CNTがビアプラグ材料として使用可能かの判断材料を得る。

3. 2 平成27年度事業規模

需給勘定 600百万円 (継続)

事業規模については、変動があり得る。

4. その他重要事項

4. 1 評価の方法

NEDOは、技術的及び政策的観点から、研究開発の意義、目標達成度、成果の技術的意義並びに将来の産業への波及効果等について、外部有識者による事後評価を平成27年度に実施する。

4. 2 運営・管理

本研究開発は、経済産業省が、企業、大学等の研究機関（委託先から再委託された研究開発実施者を含む）から公募によって研究開発実施者を選定し、共同研究契約等を締結する研究体を構築して開始したものである。独立行政法人新エネルギー・産業技術総合開発機構（以下「NEDO」という。）が本研究開発の運営・管理を承継するに当たっては、その時点までの進捗状況を踏まえた研究開発内容・計画及び実施体制の妥当性について、外部有識者による審議を含めた評価を行った上で最適な研究開発体制を構築し、実施している。

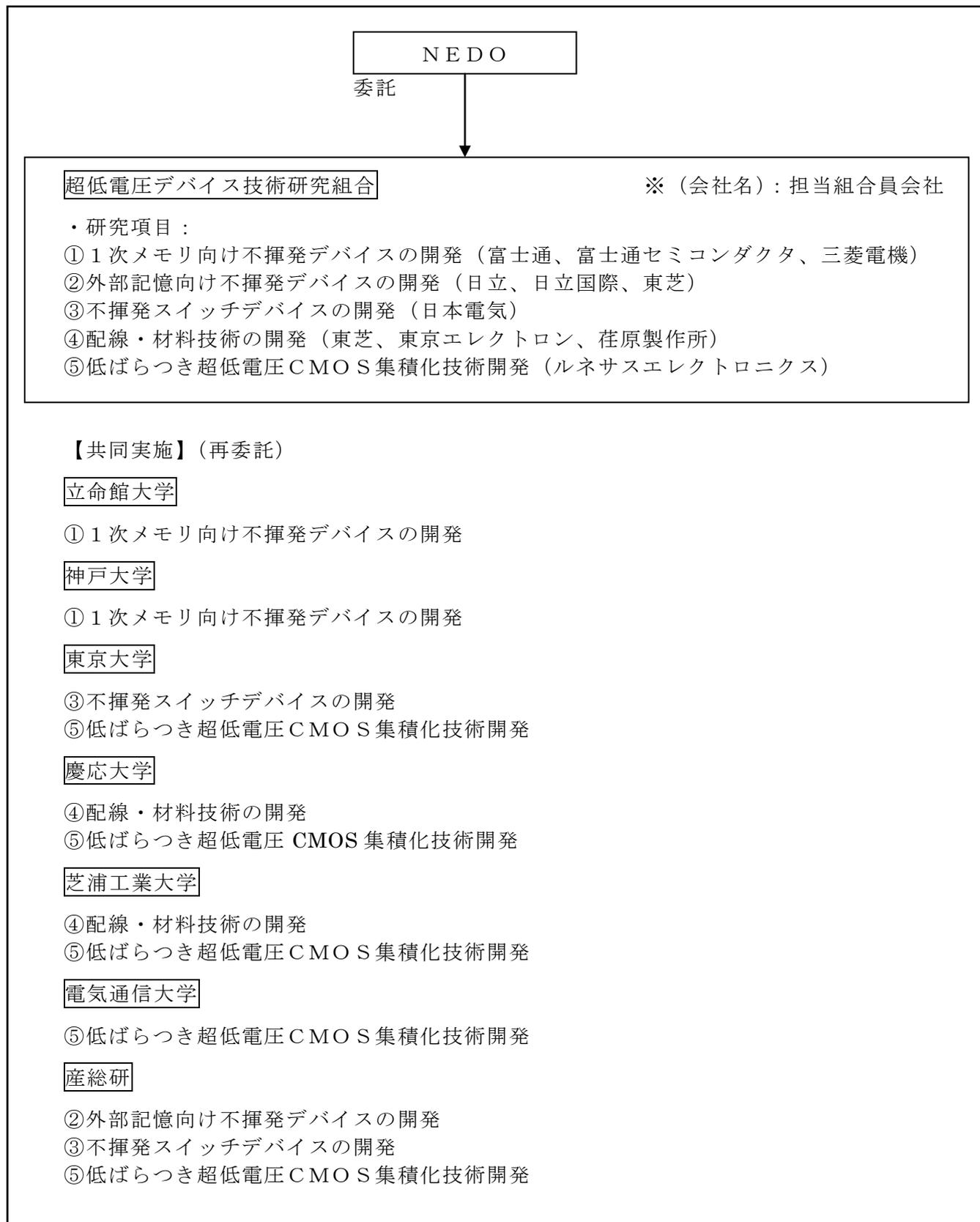
研究開発全体の管理・執行に責任と決定権を有するNEDOは、経済産業省と密接な関係を維持しつつ、プログラムの目的、および、目標に照らして適切な運営管理を実施する。また、必要に応じて、外部有識者の意見を運営管理に反映させる。

4. 3 複数年度契約の実施

平成22～27年度の複数年度契約を行う。

(別紙) 事業実施体制の全体図

「低炭素社会を実現する超低電力デバイスプロジェクト」実施体制
(1) 平成22年度～平成26年度 実施体制



京都大学

⑤低ばらつき超低電圧CMOS集積化技術開発

京都工芸繊維大学

⑤低ばらつき超低電圧CMOS集積化技術開発

大阪大学

⑤低ばらつき超低電圧CMOS集積化技術開発

筑波大学

③不揮発スイッチデバイスの開発

中央大学※1

②外部記憶向け不揮発デバイスの開発 ※2

東京工芸大学

④配線・材料技術の開発

名古屋大学※3

②外部記憶向け不揮発デバイスの開発 ※4

※1 平成24年4月より東京大学の実施者の一部が中央大学に移籍することに伴い、同大学を超低電圧デバイス技術研究組合の共同実施先に追加する。

※2 平成24年3月までは、東京大学で実施

※3 平成26年4月より筑波大学の実施者の一部が名古屋大学に移籍することに伴い、同大学を超低電圧デバイス技術研究組合の共同実施先に追加する。

※4 平成26年3月までは、筑波大学で実施

(2) 平成27年度 実施体制

