

## ITイノベーションプログラム

# 「低炭素社会を実現する超低電圧デバイスプロジェクト」

(2010年度～2015年度 6年間)

(事後評価)

## プロジェクトの概要 (公開)

○「事業の位置づけ・必要性」、及び「研究開発マネジメント」(NEDO)

○「研究開発成果」、及び「実用化等の見通し」(住広PL)

NEDO

電子・材料・ナノテクノロジー部

2015年 12月 3日

# 目次

---

- I. 事業の位置づけ・必要性について (NEDO)
- II. 研究開発マネジメント (NEDO)
- III. 研究開発成果 (住広PL)
- IV. 実用化・事業化に向けての見通しについて (住広PL)

## 2テーマ継続に伴うプロジェクトの延長について

プロジェクト期間を1年延長し、平成27年度は、下記2テーマの研究開発項目を継続実施

②相変化デバイス: 更なる省エネ効果の見極めを実施(日立、東芝)

④ナノカーボン配線: 新たな課題解決の見極めを実施(東芝、TEL、荏原)

当初計画: 平成22年度(2010年度)から平成26年度(2014年度)まで

⇒ 1年延長し、平成22年度(2010年度)から平成27年度(2015年度)までに

※ 他のテーマは、計画通り平成27年2月末で終了

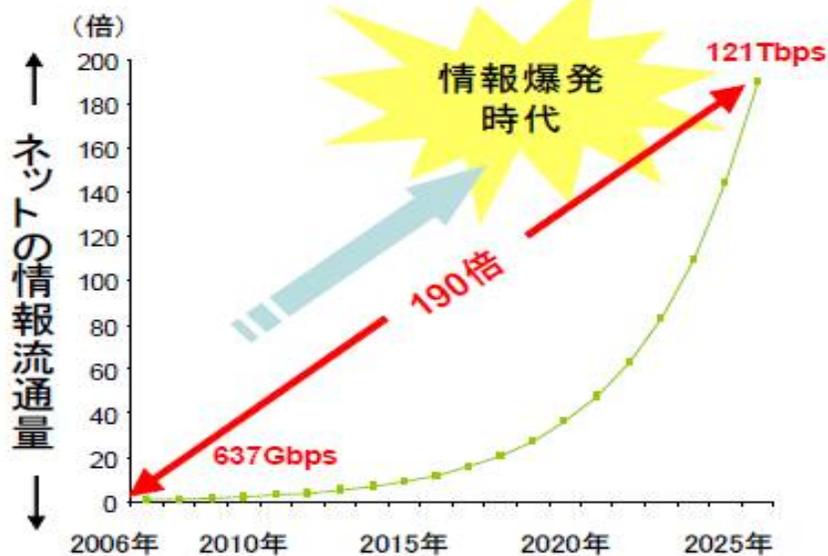
①磁性変化デバイス、③原子移動型スイッチ、⑤ナノランジスタ構造デバイス

年度	H22 (2010)	H23 (2011)	H24 (2012)	H25 (2013)	H26 (2014)	H27 (2015)	
研究開発項目	METI 直執行	研究開発項目①~⑤実施				②継続	④継続
		⑥実施	★ 中間評価			★ 事後評価	

# 背景と事業の目的

## 背景

### 情報爆発時代の到来



### IT機器の消費電力量が急増



グリーンITイニシアティブの推進 平成20年10月 経済産業省商務情報政策局 高濱 航 氏 発表資料より

[http://www.csai.jp/semina/2008/1006\\_semina.html](http://www.csai.jp/semina/2008/1006_semina.html)

## 事業の目的

低炭素社会の実現のため、IT機器の飛躍的な低電力化が必要

IT機器の消費電力を1/10とする超低電圧(0.4V)動作のデバイスコア技術を早期に開発

# 政策上の位置付け

## 経済産業省 研究開発プログラム「ITイノベーションプログラム」の 1テーマとして実施

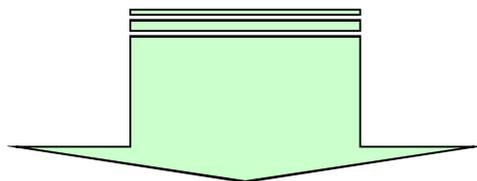
産業技術  
政策  
(政府全体)

第3期科学技術基  
本計画

- 継続的イノベーションを具現化するための科学技術の研究開発基盤の実現
- 革新的IT技術による産業の持続的な発展の実現
- すべての国民がITの恩恵を実感できる社会の実現

IT新改革戦略

- いつでも、どこでも、誰でもITの恩恵を実感できる社会の実現



実行  
プログラム  
(経済産業省)

### ITイノベーションプログラム

目的: 我が国が目指す高度情報通信ネットワーク社会の構築に向け、経済成長戦略大綱、IT新改革戦略、科学技術基本計画及び技術戦略マップ等に基づき、情報化の進展に伴うエネルギー消費量の増大等の課題にも考慮しつつ、その基盤となる情報通信機器・デバイス等の情報通信技術を開発し、実社会への利用を促進する。

● I. ITコア技術の革新 [i]世界最先端デバイスの先導開発

— ドリームチップ開発プロジェクト

— 低炭素社会を実現する超低電圧デバイスプロジェクト

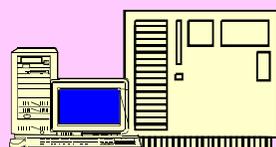


# NEDO中期目標における位置付け

「高度な情報通信社会の実現」、「IT産業の国際競争力の強化」のため、  
情報技術開発分野の半導体における技術開発の一環として実施。

## ●高度情報通信社会とそれを支える技術分野

電子政府、シミュレーション



高信頼性サーバ

IPを用いた各種のアプリケーション



電子商取引



遠隔XX

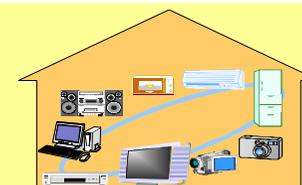


教育

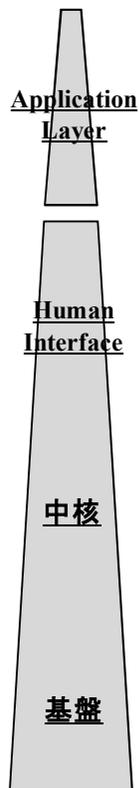
いつでも、だれでも、どこでも(ユビキタス)



携帯電話、PDA、  
Wearable Computer



デジタル情報家電



### ユーザビリティ技術

User-friendlyなヒューマン・インターフェース【相互運用性、セキュリティ機能の向上】

### ストレージ・メモリ分野

小型・大容量HD、高速大容量、低消費電力の不揮発性メモリ

### コンピュータ分野

IT社会の基盤を構成する、高い可用性、信頼性

### ネットワーク分野

基幹系ネットワークの高速大容量化、高速ワイヤレス通信

### 半導体分野

微細化による高集積化、設計効率化、他品種変量生産、微細化によらない新機能追求

シリコン系半導体デバイス、光デバイス、高周波デバイス、超電導デバイス

**本プロジェクト対象分野**

# NEDOが関与する意義

事業目的: ナノテクノロジーで培われた新規材料・デバイス構造に立脚して、集積回路の低電圧動作と高機能・高集積化を実現し、集積回路の低電力化を通してエレクトロニクス機器の消費電力を大幅に低減する技術を確立する。

低炭素社会の実現には、飛躍的な低電力化が必須  
デバイスの低電圧動作と不揮発動作が不可欠な技術要素

・抵抗変化型BEOLデバイス ・集積化基盤技術

省エネルギー、地球温暖化対策に貢献する技術

ナノテクノロジーで培われた新規の機能材料や新規の  
デバイス構造

・不揮発性メモリ ・ナノトランジスタ構造デバイス

日本の技術優位性により  
産業競争力強化に繋がる技術

実用化まで長期間を要するハイリスクな「基盤技術開発」

産学官共同研究体制が  
適する

欧米において、大型の産学連携ナノエレクトロニクス  
拠点が飛躍的に整備されつつある

イコールフットイング

NEDO技術開発機構が関与すべき事業

# 実施の効果

低炭素社会を実現する超低電圧デバイスプロジェクトの総事業費:118.5 億円/6年間

## 経済効果

半導体IC市場予測:2020年に33兆円以上  
(2018年以降、年3.1%成長を仮定)

2020年に  
ロジック、マイコン:8000億円  
メモリ:1兆2000億円

## 省エネ効果

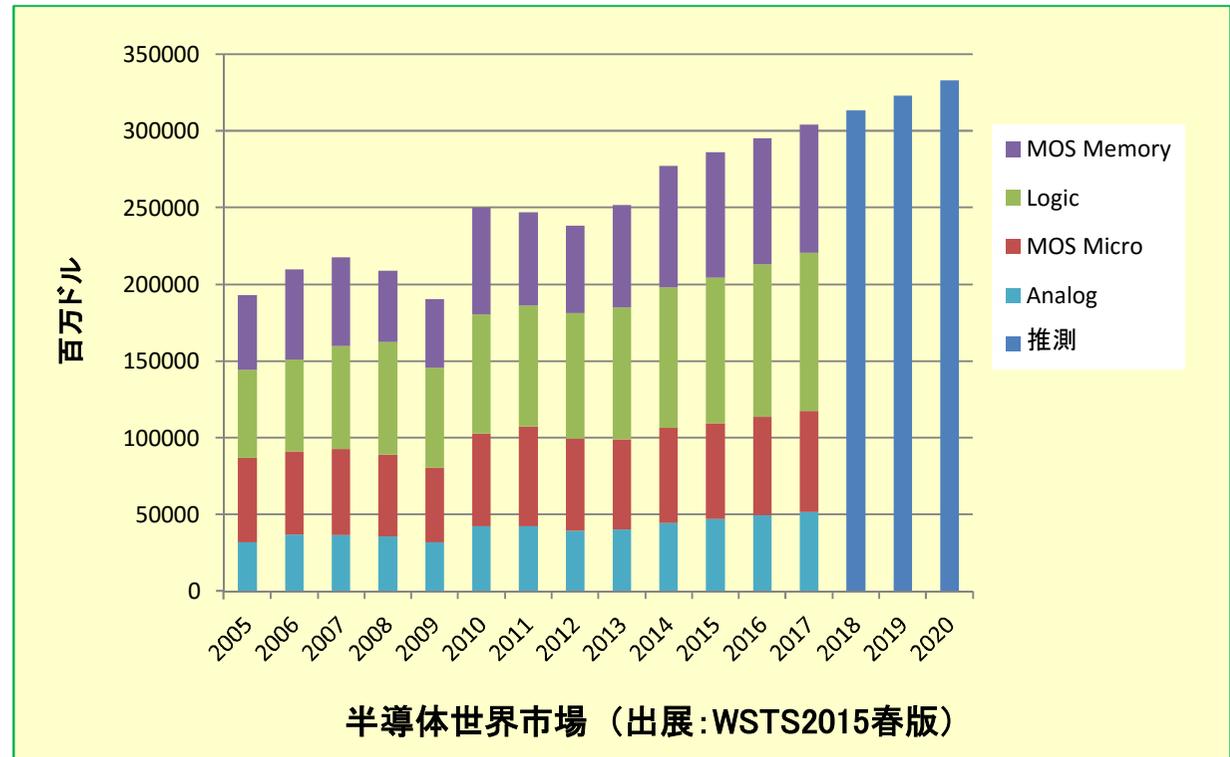
本研究開発が対象とする集積回路を用いた産業機器やコンシューマ機器は、大幅な省エネルギー効果が期待できる。

2020年に 163.4億kWh/年



697万トン/年

他国に先駆けて省エネ機器を実現することで、2020年において、  
不揮発デバイスは、デジタル家電用混載メモリで5割、データセンター用固体ストレージ等で3割、  
低電圧デバイスは、IT機器用汎用マイコン等において3割の普及率を目指す。



※成功確率を100%で計算

I. 事業の位置付け・必要性について

(2) 事業目的の妥当性

# 他研究機関の開発状況

赤字は競合するテーマ

組織	IMEC	MINATEC	CEA/LETI	Albany NanoTech	ITRI Electronics & Opto. Res. Lab	Fusionopolis	超低電圧デバイスプロジェクト (Tsukuba-TIA)
国・地域	ベルギー	フランス	フランス	米国	台湾	シンガポール	日本
ターゲット	ナノエレクトロニクス CMOS技術 ヘルスケア	マイクロエレクトロニクス、 ナノテクノロジー、 エネルギー	マイクロエレクトロニクス、 情報、ヘルスケア	CMOS技術 (リソグラフィ中心)	光電子融合、 MRAM、3D積層 BEOL Lab	R&D ファンダリ CMOS& MEMS プロセス	超低電圧不揮発デバイス・基 盤技術 BEOLプラットフォーム
主要テーマ	<ul style="list-style-type: none"> <li>● CMOS微細化 (&lt;20nm)</li> <li>● 新構造デバイス</li> <li>● ナノカーボン、新材料不揮発デバイス(MRAM, 相変化, RRAM, 原子移動デバイスメモリ応用)</li> </ul>	<ul style="list-style-type: none"> <li>● <b>マイクロ・ナノテクノロジー</b> (300mm)</li> <li>● MEMS (200mm)</li> <li>● バイオテクノロジー</li> <li>● エネルギー</li> </ul>	<ul style="list-style-type: none"> <li>● <b>FD-SOI</b></li> <li>● <b>応用向デバイス</b></li> <li>● ヘルスケア・医療</li> <li>● 通信</li> <li>● 運輸・環境・環境モニタ・安全</li> <li>● 防衛・宇宙</li> </ul>	<ul style="list-style-type: none"> <li>● CMOS微細化 (&lt;20nm)</li> <li>● 低電力志向</li> <li>● <b>FD-SOI</b></li> <li>● グラフェン、CNT応用デバイス(大学)</li> </ul>	<ul style="list-style-type: none"> <li>● ウエハ3次元積層、実装</li> <li>● <b>相変化を用いた新材料不揮発メモリ</b></li> </ul>	<ul style="list-style-type: none"> <li>● <b>ストレージ応用新材料不揮発デバイス(相変化, MRAM)</b></li> <li>● <b>CMOS基板にBEOL工程新デバイス付加</b></li> </ul>	<ul style="list-style-type: none"> <li>● 新材料不揮発デバイス 磁性変化、相変化、原子移動等BEOLプロセスで構築</li> <li>● 集積化基板技術 ナノカーボン(CNT, グラフェン) 配線、ナノ構造トランジスタ(SOTB)</li> <li>● BEOL工程で異種材料を融合するプラットフォーム</li> </ul>
クリーンルーム面積 (ウエハ径)	4800m <sup>2</sup> 300mm 3200m <sup>2</sup> 200mm	8000m <sup>2</sup> (300, 200mm)	8000m <sup>2</sup> (200, 300, MEMS用)	北(3200m <sup>2</sup> ) 南(3000m <sup>2</sup> ) (300mm)	200 mm	5200m <sup>2</sup> (200mm)	SCR(3000m <sup>2</sup> )(300mm) 研究ライン(1500m <sup>2</sup> )
参加企業組織・大学	<ul style="list-style-type: none"> <li>● ASML, Infineon, NXP, Bosch, SOITEC, STMicro, Thales, Thomson Silicon Components.</li> <li>● エルピーダ、パナソニック</li> </ul>	<ul style="list-style-type: none"> <li>● Leti, STMicro, Semitool</li> <li>● AIST, NIMS, MMC(日本)</li> <li>● 250社以上</li> </ul>	<ul style="list-style-type: none"> <li>● MINATEC, IBM, STMicro,</li> <li>● Micro Machine Center(日本)</li> </ul>	<ul style="list-style-type: none"> <li>● IBM, Global Foundaries, ASML, Micron, Toshiba, 東エレ、AMAT、ASML、Vistec,</li> <li>● Sematech</li> <li>● 300以上</li> </ul>		<ul style="list-style-type: none"> <li>● 日米欧の32社参加(日東電工等)</li> <li>● スタンフォード大、精華大学など26校がパートナー。</li> </ul>	<ul style="list-style-type: none"> <li>● 組合: 荏原、東芝、東京エレクトロン、NEC、富士通、富士通セミコン、日立国際電気、日立、三菱、ルネサスエレクトロニクス</li> <li>● 産総研、慶応大学、神戸大、芝浦工大、東京大学、電気通信大、立命館大</li> </ul>
その他	研究者 2051 (職員1276) 予算 332M・ (2012年)	人員 4000(内 Leti2400)+学生 560 予算 350M・ (内Leti220M・) (2015)	研究者 2400 予算 220M・ (2015年)(25% 政府資金)	CNSE 366M\$ (2014)	人員 5740 (2012年)		研究者 55 2010年度(20.5億円) 2011年度(22.9億円) 2012年度(28.2億円) 2013年度(17.5億円) 2014年度(23.3億円) 2015年度( 6億円) (総額 118億円/6年)

# 事業の目標

**IT機器の消費電力を1/10とする超低電圧(0.4V)動作のデバイスコア技術を早期に開発**  
 ⇒ CPUやメモリからなるロジック集積回路の超低電圧化、低消費電力化を目指す

従来システム (CMOS-CPU+揮発デバイス+メカニカルデバイス)

→ 低電圧・省電力システム(低電圧論理回路+不揮発デバイス)へ転換

## 研究開発項目

用途	ロジック マイコン CPU (SRAM、キャッシュメモリ含む)	メモリ
低電圧	⑤ナノTr.構造デバイス	④ナノカーボン配線
不揮発デバイス	③原子移動型スイッチ ①磁性変化デバイス	②相変化デバイス

### [不揮発デバイス技術開発]

- ① 1次メモリを対象とした不揮発デバイス(磁性変化デバイス)
- ② 外部記憶の高速低電力データ転送を実現する不揮発デバイス(相変化デバイス)
- ③ 不揮発スイッチデバイス(原子移動型スイッチデバイス)

### [低電圧デバイス集積化基盤技術開発]

- ④ 三次元メモリ用グラフェン・CNT配線(三次元ナノカーボン配線)
- ⑤ 超低電圧CMOSデバイス(ナトランジスタ構造デバイス)
- ⑥ BEOL設計・製造基盤(プラットフォーム)開発

## 想定する出口イメージ

低電圧・省電力システム  
(低電圧論理回路、不揮発デバイス)

超低電力LSI 消費電力1/10

将来のIT機器

データセンター

エコサーバー

自動車

AV機器

白物家電

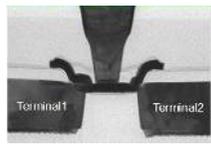
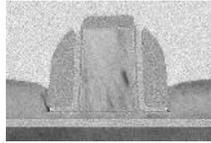
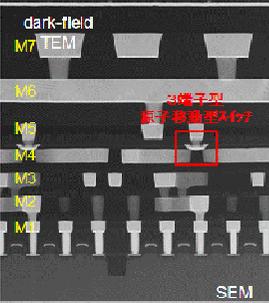
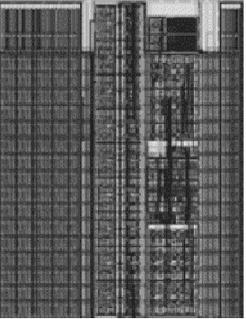
## II. 研究開発マネジメント

### (1) 研究開発目標の妥当性

# 各研究開発項目の目標

研究開発項目	内容	研究開発目標(最終目標)		根拠
①磁性変化デバイス (STT-MRAM)	低電力化要件(低電圧読み書き、不揮発)と、混載SRAMを置き換えるための要件(高集積、高速、高書き換え耐性)を満たすメモリの開発を行う。	<ul style="list-style-type: none"> <li>メモリマクロで、読み書き電圧0.4V以下、読み書き電流100<math>\mu</math>A以下、読み書き時間10ns(電力量0.4pJ以下)、1.2V動作SRAMの1/10の電力の実証</li> <li>リテンション10年、書換回数10<sup>16</sup>回の実証</li> </ul>		混載SRAMと同等の読み書き特性と書換耐性を実現し、低電力、混載メモリ容量増大、チップサイズ小、高信頼性などの新たな付加価値を実現する目標に設定
②相変化デバイス (TRAM)	外部記憶の圧倒的な消費電力低減を実現するため、高集積、高速、低電力の要件を満たすメモリの開発を行う。	H26年度末最終目標	<ul style="list-style-type: none"> <li>データ転送速度400MB/sの高速、従来の1/10の電力66mWの低電力動作実証</li> <li>書換回数10<sup>6</sup>回以上</li> </ul>	上位ストレージを2017年に相変化デバイスで置き換えるために、要求性能トレンドから設定
		H27年度末最終目標	<ul style="list-style-type: none"> <li>TRAM(*)の1.2V以下の動作実証</li> <li>更なる電力削減効果(33mW以下)の見通しを得る</li> </ul>	最上位ストレージを2020年に新組成超格子を用いたTRAMで置き換えるために、要求性能トレンドから設定
③原子移動型スイッチ (原子SW)	ロジック集積回路の低消費電力化・低電圧化に対応可能であり、かつ、スイッチの書き換え時、および保持時の低消費電力化を実現する超低電圧・不揮発スイッチデバイスの開発を行う。	<ul style="list-style-type: none"> <li>本スイッチにより配線切り換えを行ったロジック集積回路が0.4Vで動作可能であり、消費電力がSRAMスイッチにより配線切り換えを行った従来型1.2V動作ロジック集積回路の1/10以下</li> <li>スイッチ素子面積が同世代SRAMスイッチの1/20以下</li> </ul>		プログラマブルロジックデバイスを想定し、原子移動型スイッチの抵抗特性による低電圧適応性、超小型性によるスイッチ容量および配線容量・抵抗低減、不揮発性による待機時電力低減により、電力削減目標を設定
④三次元ナノカーボン配線 (グラフェン/CNT)	三次元集積を実現するための、微細幅・超低電気抵抗、超高アスペクト比配線・材料技術を開発する。	H26年度末最終目標	<ul style="list-style-type: none"> <li>微細線幅(<math>\leq 20</math>nm)、超距離(0.7mm)、低抵抗(シート抵抗<math>&lt; 3\Omega/\square</math>)の配線実証</li> <li>微細直径(90nm)、超高アスペクト比(30)のコンタクトホールへのナノカーボン材料埋め込み実証</li> </ul>	4~8Tbit 3次元縦型NANDフラッシュメモリを想定し、横方向配線と縦方向配線の目標性能を設定
		H27年度末最終目標	<ul style="list-style-type: none"> <li>20nm以細幅のグラフェンに対し、低抵抗化に有効な、触媒金属等の腐食を制御可能なドーピング材料の決定。</li> <li>ピアプラグ材料としてのCNT構造に適したドーピング手法の見極め。</li> </ul>	実用化に向けた重要課題として抽出された、グラフェンドーピングにおける触媒金属の保護、層間ドープ困難なCNTへのドーピング可能性検証のために設定。
⑤ナトランジスタ構造デバイス (SOTB)	しきい値ばらつきを低減でき、かつ、使用状態に応じて動作条件を変化させる基板バイアス電圧制御が可能な構造を有するナトランジスタ構造デバイスを開発すると共に、それを集積するために必要な技術開発を行う。	<ul style="list-style-type: none"> <li>従来デバイスに比較して消費電力を1/10に低減できる基盤技術を確立</li> </ul>		Si-CMOSでは電源電圧V <sub>dd</sub> =0.4V付近で、動作あたりの消費エネルギーが最低(効率最大)になる。アプリケーションに合わせた適応制御をおこない、出来る限り動作電圧を下げて、高効率化を図る
⑥BEOLプラットフォーム	300mmCMOS基板上に、下地CMOSとデザインルールの整合性を保ちながら、配線層の一部として様々な新材料・新構造デバイスを形成するための製造基盤及び設計基盤を開発する。	<ul style="list-style-type: none"> <li>新材料や新構造デバイスに共通に使い、それぞれのデバイスの特性を損なうことのない、BEOLプロセスレシピ、汚染管理プロトコルの作成</li> <li>PDK(Process Design Kit)の作成</li> <li>早期確立により、他のデバイス検証に使用</li> </ul>		共通基盤技術により、新材料・新構造デバイスの効率的、効果的研究開発環境を構築 製造基盤および設計基盤技術の目標をそれぞれ設定

# 研究開発スケジュール

事業年度	平成22年度 (2010年度)	平成23年度 (2011年度)	平成24年度 (2012年度)	平成25年度 (2013年度)	平成26年度 (2014年度)	平成27年度 (2015年度)
	← LEAP(超低電圧デバイス技術研究組合)で実施 →					↔ 民間4社で実施 ↔
①磁性変化デバイス (平成26年度終了) ②相変化デバイス ③原子移動型 スイッチデバイス (平成26年度終了) ④三次元ナノカーボン 配線・材料技術 ⑤ナトランジスタ 構造デバイス (平成26年度終了) ⑥BEOLプラットフォーム (平成23年度終了)	SCR 立ち 上げ	単体レベル デバイス 実証  BEOL プラッ トフ ォーム	集積化 プロセス 構築	マクロ レベル 集積化 実証	プロト 試作 信頼性	②相変化  ④ナノカーボン
	 装置立ち上げ AIST SCR	 原子スイッチ   SOTB	 CMOS +BEOLデバイス	 マクロ検証	 マイコン ボード  環境 発電	



## II. 研究開発マネジメント

## (2)研究開発計画の妥当性

## 開発予算の推移

(単位:百万円、(数字)は見込み)

	H22年度	H23年度	H24年度	H25年度	H26年度	H27年度	合計
①磁性変化デバイス	181	348	607	425	561	-	2,122
②相変化デバイス	547	205	525	364	411	(323)	2,052
③原子移動型 スイッチ	187	237	390	323 (3) 11月度加速適用 (40)	306	-	1,443
④三次元 ナノカーボン配線	868	362	314	264 (2) 9月度加速適用 (12)	269	(277)	2,077
⑤ナトランジスタ 構造デバイス	263	366	982 (1) 11月度加速適用 (541)	376	785 (4) 6月度加速適用 (274)	-	2,772
⑥BEOL プラットフォーム	-	781	-	-	-	-	781
総開発予算	2,046※1	2,299	2,818	1,752	2,331	(600)	11,246 (11,846)
(内)共同実施費	25	63	96	73	39	-	296
(内)設備購入・リース	1,333	622	692	180	182	( - )	3,009

※1:経済産業省直執行分

# 研究開発の実施体制(H22年度～H26年度)

NEDO

委託

## 超低電圧デバイス技術研究組合 (LEAP)

### 研究本部

PL : 住広直孝 (研究本部長)  
SPL: 木村紳一郎 (企画部長)

技術委員会

業務委員会

- ①磁性変化デバイス研究グループ  
(富士通、富士通セミコンダクター、三菱電機)
- ②相変化デバイス研究グループ  
(日立、日立国際、東芝)
- ③原子移動型スイッチ研究グループ  
(日本電気)
- ④三次元ナノカーボン配線技術研究グループ  
(東芝、東京エレクトロン、荏原製作所)
- ⑤ナノランジスタ構造デバイス研究グループ  
(ルネサスエレクトロニクス)
- ⑥BEOLプラットフォーム (H23年度で終了)

### 組合員

- ◆(株)荏原製作所
- ◆東京エレクトロン(株)
- ◆(株)東芝
- ◆日本電気(株)
- ◆(株)日立国際電気(H23～)
- ◆(株)日立製作所
- ◆富士通(株)
- ◆富士通セミコンダクター(株)
- ◆三菱電機(株)
- ◆ルネサスエレクトロニクス(株)

技術委員会 (3回/年 : 計13回)  
成果報告会 (1回/年 : 計4回)  
業務委員会 (6回/年 : 計33回)  
共同実施先との打ち合わせ (1回/2ヶ月)

## 共同実施先

14大学、1独立行政法人と共同実施

- ①学校法人 立命館大学 (H23～)
- ①国立大学法人 神戸大学 (H23～)
- ②国立大学法人 東京大学 (H23)  
⇒学校法人 中央大学 (H24～、所属変更)
- ②独立行政法人 産業技術総合研究所 (H23～)
- ②国立大学法人 筑波大学 (H24、～H25)  
⇒国立大学法人 名古屋大学 (H26、所属変更)
- ③国立大学法人 東京大学 (H23～)
- ③国立大学法人 筑波大学 (H25～)
- ④学校法人 芝浦工業大学 (H22～)
- ④学校法人 慶応義塾 (H22～)
- ④学校法人 東京工芸大学 (H25～)
- ⑤国立大学法人 東京大学生産技術研究所 (H22～)
- ⑤国立大学法人 電気通信大学 (H23～)
- ⑤学校法人 芝浦工業大学 (H23～)
- ③⑤独立行政法人 産業技術総合研究所 (H24～)
- ⑤学校法人 慶応義塾 (H24～)
- ⑤国立大学法人 東京大学 (H24～)
- ⑤国立大学法人 京都大学 (H24～)
- ⑤国立大学法人 京都工芸繊維大学 (H24～)
- ⑤国立大学法人 大阪大学 (H24～)
- ⑤学校法人 東京理科大学 (H24～H25)

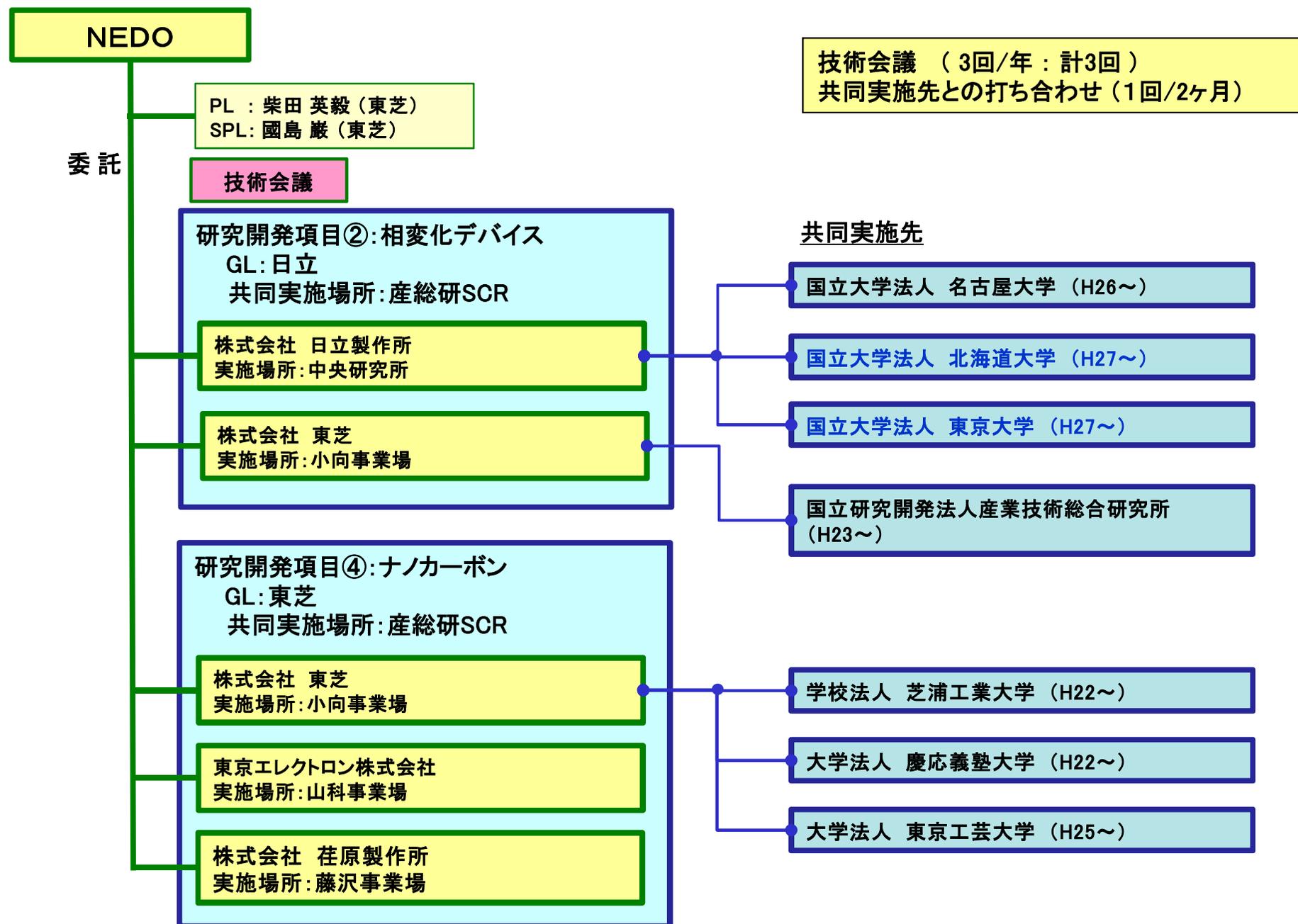
## II. 研究開発マネジメント

### (3) 研究開発の実施体制

# 共同実施体制とその役割(H22年度～H26年度)

	共同実施先	研究開発に対する役割
研究開発 項目①	立命館大学(道関 隆国教授)	低電圧動作SoC用の素子モデリングとシステム応用検討
	神戸大学(吉本 雅彦教授 川口 博准教授)	低電圧動作のメモリ用センス回路設計と高速化アーキテクチャ検討
研究開発 項目②	中央大学(竹内 健教授)	相変化デバイスの周辺回路設計
	名古屋大学(白石 賢二教授)	相変化デバイスシミュレーション及び信頼性研究
	産業技術総合研究所(富永 淳二首席研究員)	超格子材料技術開発
研究開発 項目③	東京大学(山口 周教授 渡邊 聡教授)	原子移動型スイッチにおけるスイッチング機構の、実験的、理論的解明
	筑波大学(山口 佳樹 講師)	不揮発スイッチデバイスの配線アーキテクチャに関する研究
	産業技術総合研究所(小池帆平グループ長)	原子スイッチを用いたプログラマブルロジックへの回路マッピングのための設計ツール開発
研究開発 項目④	慶応義塾(栗野 祐二教授)	ナノカーボン材料配線適用のための伝導特性シミュレーション
	芝浦工業大学(上野 和良教授)	ナノカーボン材料のドーピング、低抵抗金属接触の検討
	東京工芸大学(松本里香准教授)	超低抵抗ナノカーボン配線インターカレーション技術の研究
研究開発 項目⑤	東京大学 生産技術研究所(平本 俊郎教授)	CMOS特性ばらつきの評価解析、ナノランジスタ特性最適化指針の提示
	電気通信大学(石橋孝一郎教授 範公可准教授)	超低電力LSI設計における基板バイアス制御技術、超低電力連想メモリの検討
	芝浦工業大学(宇佐美 公良教授)	低消費電力アーキテクチャの検討、回路レイアウト・タイミング検証技術の検討
	産業技術総合研究所(小池帆平グループ長)	低電力、高効率基板バイアス制御FPGAの検討
	慶応義塾(天野 英晴教授)	アクセラレータ回路技術の検討、プロセッサ論理合成シミュレーション
	東京大学(浅田 邦博教授、池田 誠教授)	低電圧動作におけるタイミング保障の検討、超高速センサの検討
	京都大学(小野寺 秀俊教授)	回路動作から見たばらつきの評価技術、ばらつき対処回路技術の検討
	京都工芸繊維大学(小林 和淑教授)	超低電圧動作論理回路信頼性とソフトエラー解析、論理回路設計フローの開発
	大阪大学(橋本昌宜准教授)	超低電圧動作SRAM信頼性とソフトエラー解析
	東京理科大学(兵庫 明教授)	基板制御アナログ回路設計、低電圧演算増幅器の検討

# 研究開発の実施体制(H27年度)



## II. 研究開発マネジメント

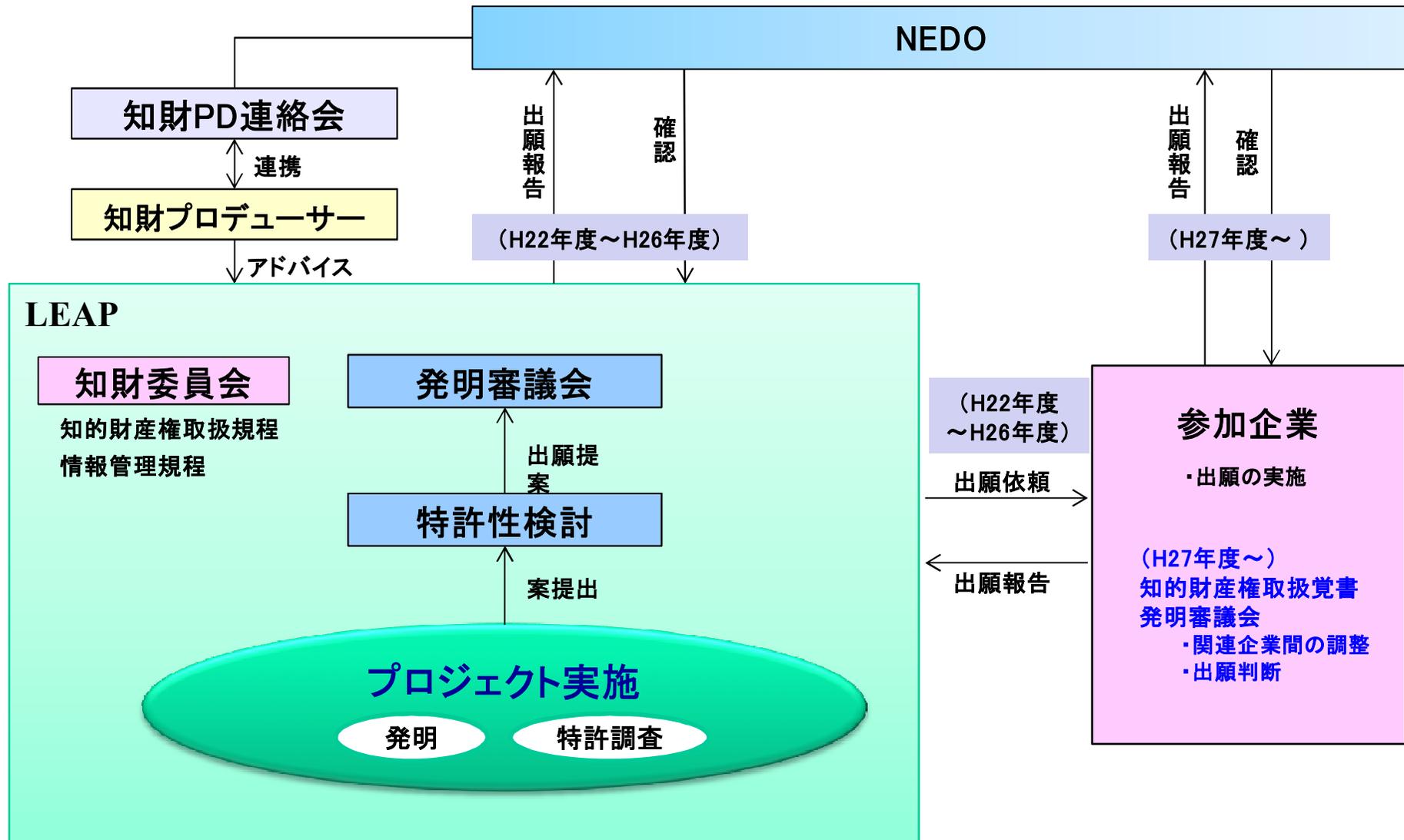
### (3) 研究開発の実施体制

# 共同実施体制とその役割(H27年度)

	共同実施先	研究開発に対する役割
研究開発 項目②	名古屋大学(白石 賢二教授)	相変化デバイスシミュレーション及び信頼性研究
	北海道大学(有田 正志准教授)	相変化デバイス透過電子線顕微鏡その場観察技術の研究
	東京大学(白澤 徹郎助教)	GeTe/Sb <sub>2</sub> Te <sub>3</sub> 超格子膜構造の高分解能・短時間分析技術の研究
	産業技術総合研究所(富永 淳二首席研究員)	超格子の組成・構造の最適化の研究
研究開発 項目④	慶応義塾(栗野 祐二教授)	ナノカーボン材料配線適用のための伝導特性シミュレーション
	芝浦工業大学(上野 和良教授)	ナノカーボン材料ドーピングプロセス技術の研究
	東京工芸大学(松本里香准教授)	ナノカーボン材料インターカレーション技術の研究

# 知財マネジメント戦略

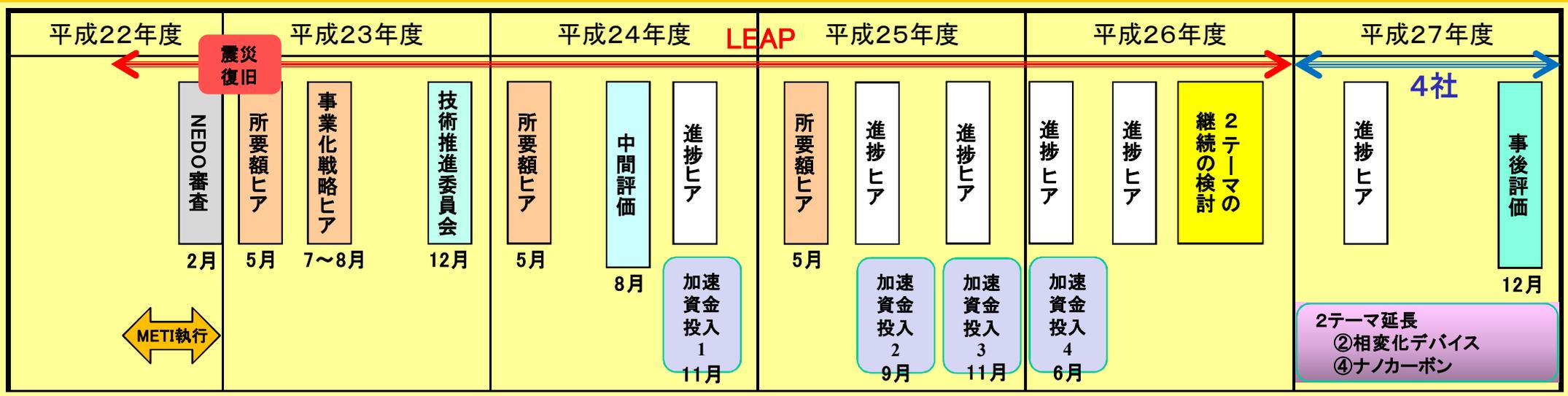
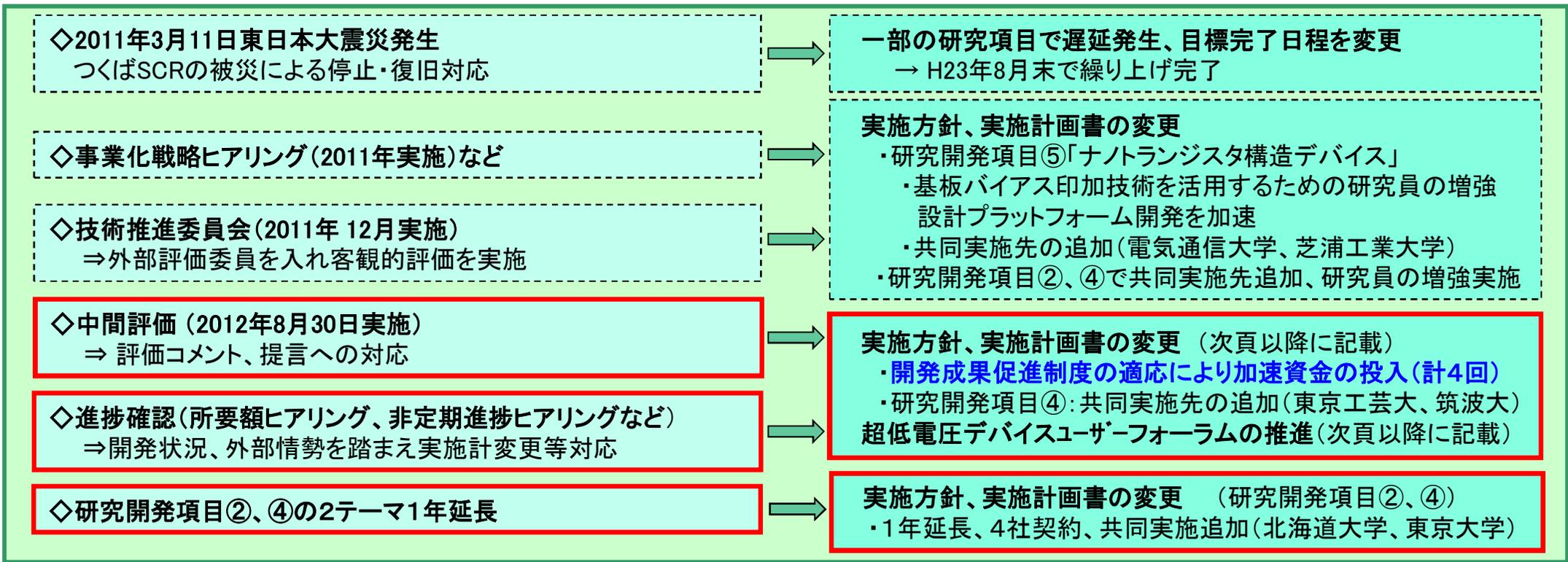
- ・ 知財マネジメント強化のため知財の創出/権利化を推進する体制を構築
- ・ プロジェクト研究開発活動で出てきた知的財産の権利化を戦略的に推進



Ⅱ. 研究開発マネジメント

(5) 状況変化への対応

# 状況変化への対応



# 中間評価への対応

総論	評価委員指摘事項	対応
総合評価	<p><b>研究開発について</b></p> <ul style="list-style-type: none"> <li>・メモリの実用化を早めるためにも、書込み・読出しに必要な周辺回路や、既存のIPとの整合性についてもプロジェクト内で検討の対象に入れるべきではないか。</li> <li>・新しい材料や製造方法を用いるため、現象の解明とともに低コスト化の検討も重要である。</li> </ul>	<ul style="list-style-type: none"> <li>・デバイス単体の性能向上の研究開発に加えて、実際に使うための周辺回路や活用するアプリ情報と整合性を考慮した研究開発を実施した。</li> <li>具体的には、評価TEG(Test Element Group)に、デバイス単体の評価チップだけではなく、実用化を考慮したメモリマクロや書込み・読出しに必要な周辺回路、マクロの実証チップ等を、開発成果創出促進費用(加速費用)も活用しながら一緒に作り込み、実際に動作させることにより、各デバイスの有効性を実証した。</li> </ul>
	<p><b>実用化・事業化について</b></p> <ul style="list-style-type: none"> <li>・プロジェクト終了時までには受け入れる企業側の事業戦略を具体的に示す必要がある。</li> </ul>	<ul style="list-style-type: none"> <li>・「実用化・事業化の見通しについて」にて各企業から説明。</li> </ul>
	<ul style="list-style-type: none"> <li>・最終目標に向けては、実用化・事業化を視野に入れた開発をさらに意識する必要がある、そのための課題および体制を十分に検討し、必要なら研究計画の柔軟な見直しを行われたい。</li> </ul>	<ul style="list-style-type: none"> <li>・研究開発項目②、及び④において、研究開発で得られた知見や新たな課題対策のため、新たな目標を設定し、研究開発期間を一年延長させる計画変更、それに伴う実施体制の見直しを行った(基本計画から変更)。</li> </ul>
	<p><b>成果の有効活用について</b></p> <ul style="list-style-type: none"> <li>・横の連携を一層密にすることにより、全体としてより大きなストーリーが描けないだろうか。</li> </ul>	<p>○横連携として、超低電力デバイスの有力市場の一つであるIoT(Internet Of Things)市場に向け、超低電力デバイスの有効性を示すため、各デバイスの研究開発に加え、⑥BEOLプラットフォームを活用し、⑤のSOTBトランジスタを下地とした各不揮発デバイスとの連携のため下記取り組みも実施(各取り組みの詳細は次頁にて説明)。</p> <ul style="list-style-type: none"> <li>・第一段階としてH24年11月に⑤SOTBデバイスでの取り組み(加速(1))(実証チップの開発)</li> <li>・第二段階としてH25年11月に③原子SWデバイスでの取り組み(加速(3))(SOTB、原子SWを使用した超低電圧動作のROMモジュール開発)</li> <li>・第三段階としてH26年6月に⑤SOTB中心にした取り組み(加速(4))(⑤SOTBをベースとしたIoTのポテンシャルカスタマ向け評価実証チップの開発)</li> </ul> <p>○併せて、IoTのポテンシャルカスタマを入れた超低電力デバイスユーザーフォーラム活動を推進。本研究開発成果の有効性を提示した。</p>
<p><b>知財について</b></p> <ul style="list-style-type: none"> <li>・事業化において外国企業へLSIの生産委託を行い、そのデバイスを活用する場合には、ライセンスを含めた技術移転の戦略を今から構築しておく必要がある。</li> <li>・クロスライセンスの観点からも、有用技術については余さず特許化を図り、知的財産の確保に一層注力していくことが望まれる。</li> </ul>	<ul style="list-style-type: none"> <li>・発明審議会等を通して、特許出願前に開発成果を活用する各企業と、実用化・事業化に対する戦略(知的財産権の維持・確保を含む)を議論し、特許出願の有無を含めた各社分担の明確化を図った。特に連携部分は、それぞれの役割分担を明確にしながら研究開発を進めた。</li> <li>・有効技術については残らず、特許化、特にPCTを含めた海外出願を図った。</li> </ul>	

# 開発成果創出促進費用(加速)の投入

## 開発状況、外部情勢を踏まえ、効率的な開発成果創出促進費用の投入を実施

回数	テーマ	実施内容	成果
1	⑤ナトランジスタ構造デバイス	<p>平成24年11月(541百万円)</p> <p>ナトランジスタ構造デバイスのプロセス開発を加速させるため、キー工程であるトランジスタのドレイン/ソース部に選択的にドレイン/ソースを積み上げる新規の選択エピタキシャル装置を導入(平成25年3月)、及びSOTBの効果を確認するための実証アプリチップの設計開発、試作を実施。</p>	<ul style="list-style-type: none"> <li>・試作した実証アプリチップで目標とする動作電圧0.4V以下での完全動作を1年前倒しで確認することができた(平成25年6月にNEDOとの共同プレス実施)。</li> <li>・プロジェクト終了段階では、デバイス特性バラツキの極小化、高い歩留まりの達成等プロセスの完成度を上げることができた。</li> </ul>
2	④三次元ナノカーボン配線	<p>平成25年9月(12百万円)</p> <p>新材料であるグラフェンの生成条件やグラフェンへのドーピングなどによる抵抗特性変化を見極めるため、グラフェン表面の状態を直接測定できる装置(走査顕微鏡の追加オプション)の導入を図り、微細幅グラフェンの詳細評価に活用した。</p>	<ul style="list-style-type: none"> <li>・グラフェンの特性解明に活用、グラフェンの表面特性を直接計測、評価出来るようになり、抵抗削減の取り組みの良否を早い段階で確認できるようになった。</li> </ul>
3	③原子移動型スイッチ (⑤ナトランジスタ構造デバイス)	<p>平成25年11月(40百万円)</p> <p>⑤SOTB、③原子SWを使用した超低電圧動作のROMモジュール開発 各研究開発項目のシナジー効果実証のため、③原子SWを使った書き換え可能ROMモジュールの開発を実施。</p>	<ul style="list-style-type: none"> <li>・書き換え可能な不揮発ROMとして0.4Vの低電圧動作と従来比1/10の低消費電力特性を得た。</li> <li>・SOTBと原子SWの融合の有効性を実証できた。</li> </ul>
4	⑤ナトランジスタ構造デバイス	<p>平成26年6月(274百万円)</p> <p>⑤SOTBの有効性を実証するため、SOTBをベースとしたIoTのポテンシャルカスタマ向けの実証チップ開発を実施。 具体的には、カスタマヒヤリングにより4つのアプリケーション領域(ウェアラブル、見守り、環境モニタ、医療)に絞り込んだそれぞれの実証チップ、及び共通IPとしての高信頼性超低電力SRAMチップを新たに追加するため、それらに必要なIP等の要素技術開発、レイアウト設計、ワンチップの設計開発を実施。</p>	<ul style="list-style-type: none"> <li>・各領域でのSOTBの有効性を実証できた。</li> <li>・超低電力デバイスユーザーフォーラム活動を通じて、試作した各実証チップを使ってポテンシャルカスタマへの本研究開発成果の有効性を提示した。</li> <li>※現在も実用化に向け開発成果を活用する各企業で交渉を継続中。</li> </ul>

## ITイノベーションプログラム

# 「低炭素社会を実現する超低電圧デバイスプロジェクト」

(2010年度～2015年度 6年間)

(事後評価)

プロジェクトの概要 (公開)

○「事業の位置づけ・必要性」、及び「研究開発マネジメント」 (NEDO)

○「研究開発成果」、及び「実用化等の見通し」 (住広PL)

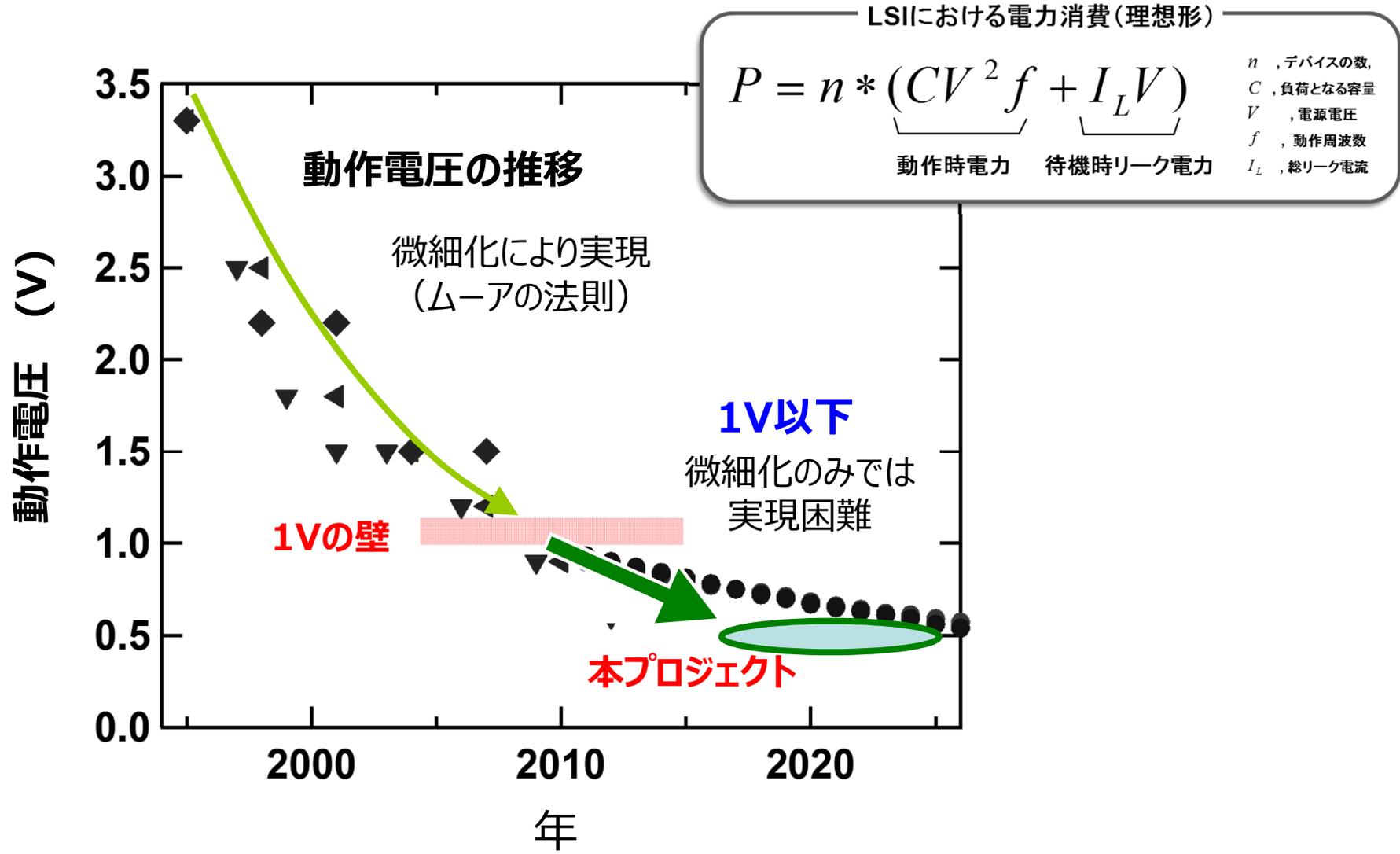
# 目次

---

- I. 事業の位置づけ・必要性について (NEDO)
- II. 研究開発マネジメント (NEDO)
- III. 研究開発成果 (住広PL)**
- IV. 実用化・事業化に向けての見通しについて (住広PL)**

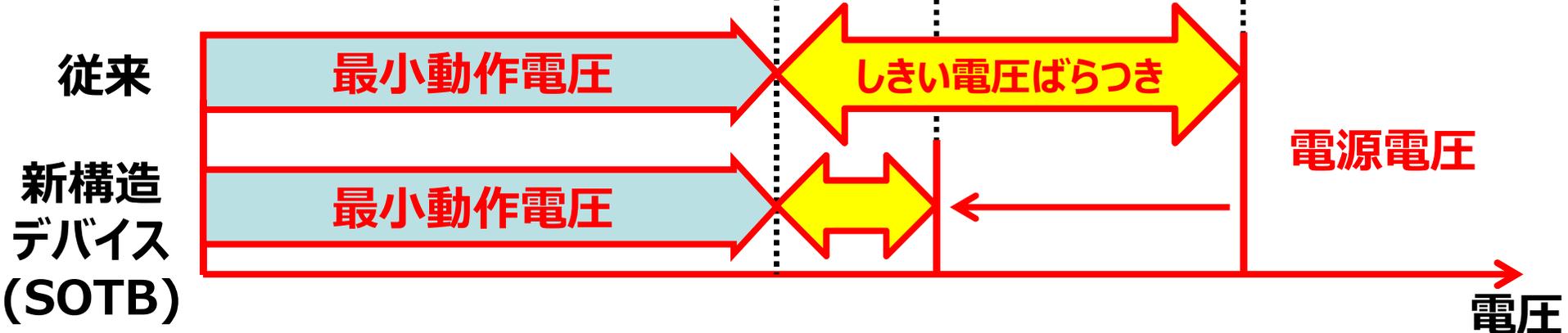
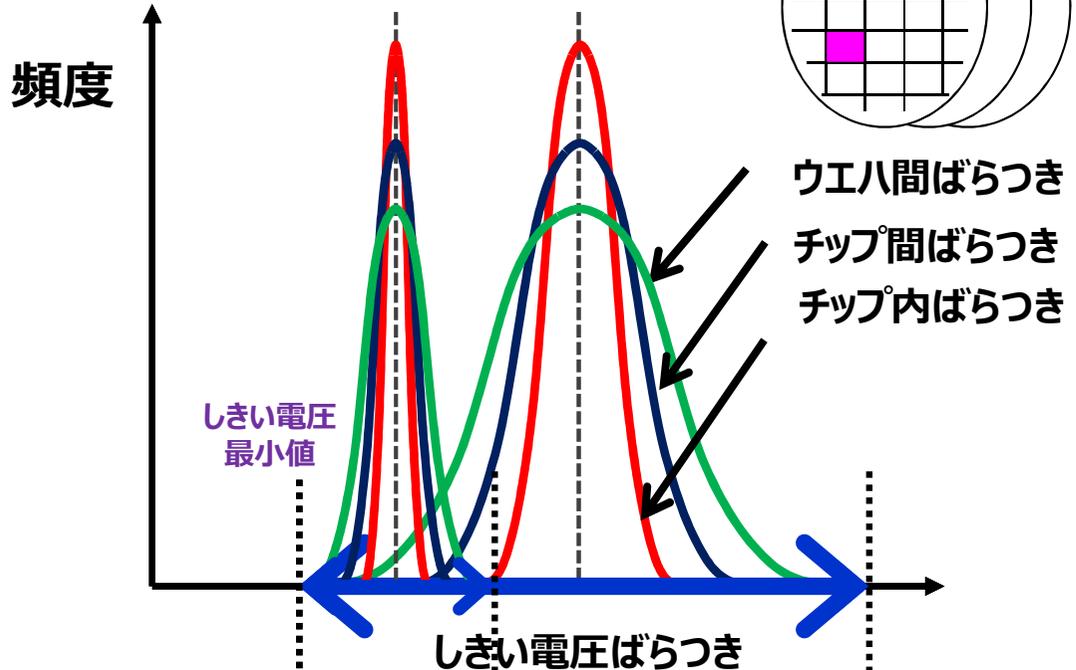
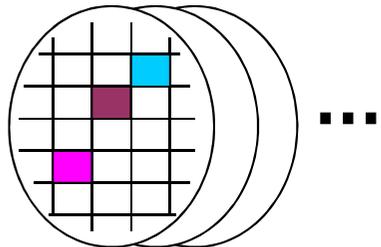
# 足踏み状態の低電圧化

□ 消費電力低減には動作電圧の低減が最も効果的だが、低電圧化は難しくなっている。



# 超低電圧、どのように実現するのか（ロジック）

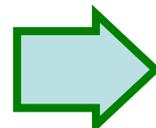
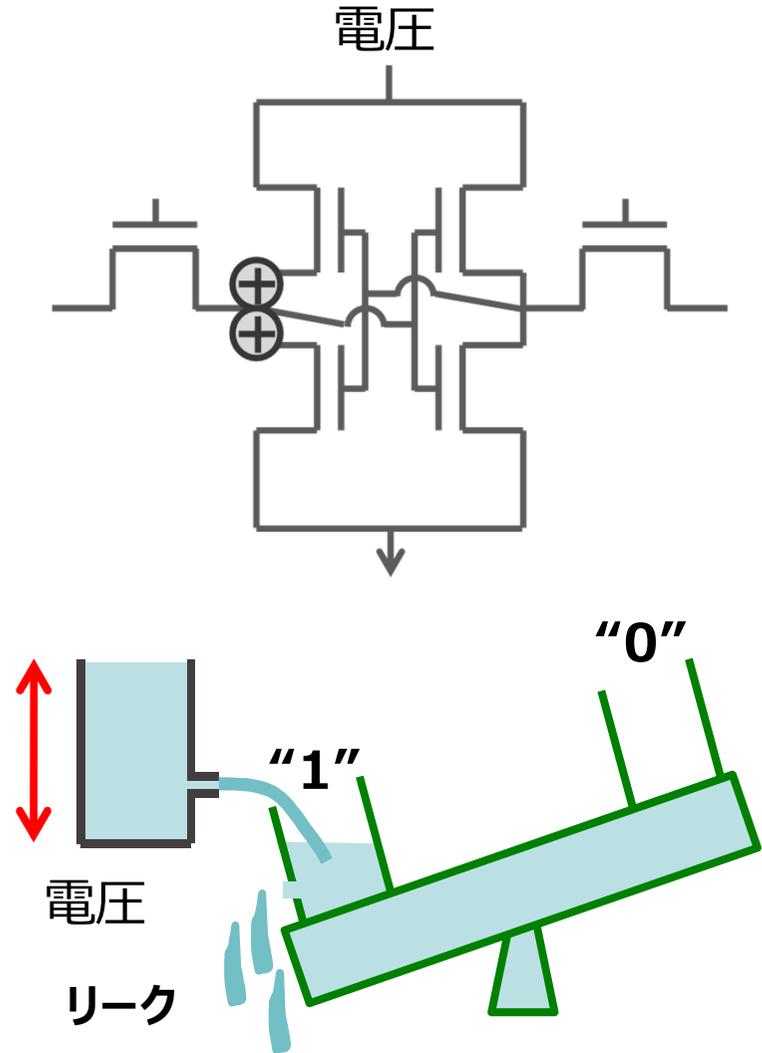
## □ ばらつき低減による動作電圧低減



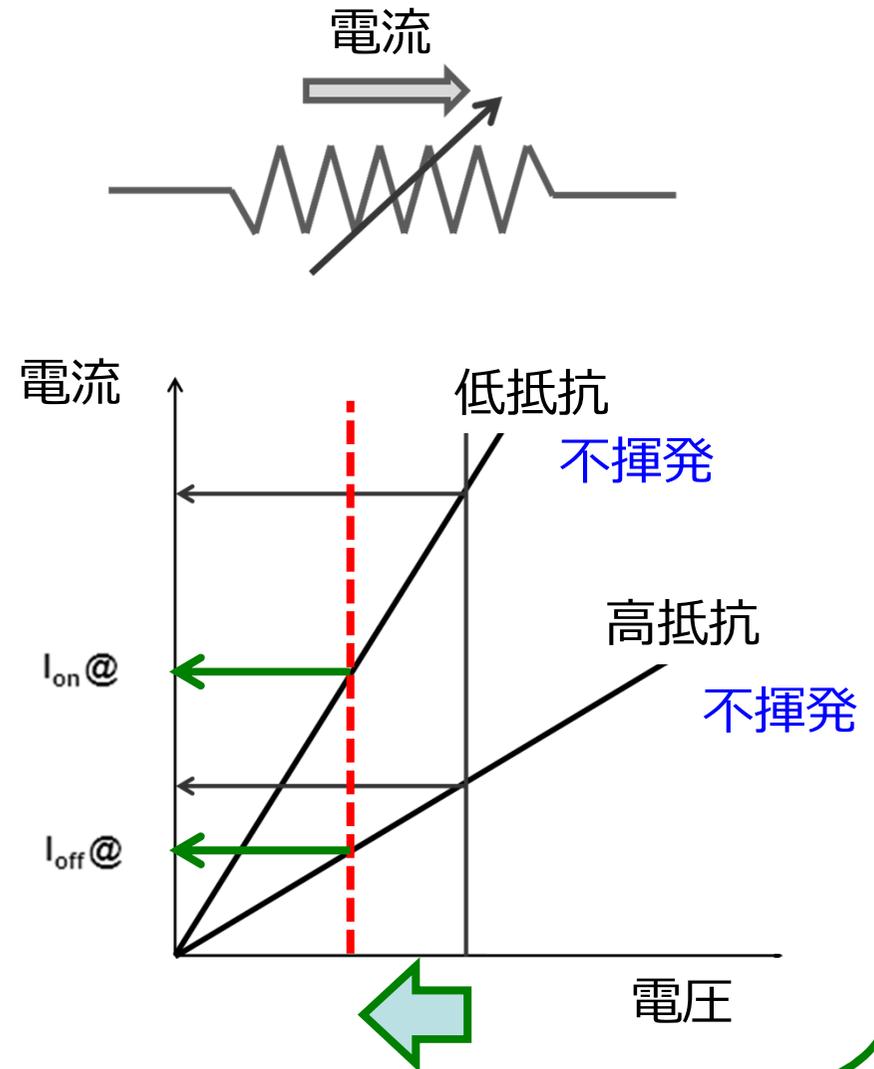
# 超低電圧、どのように実現するのか（メモリ）

## □ 電荷蓄積型メモリから抵抗変化型の不揮発メモリへ

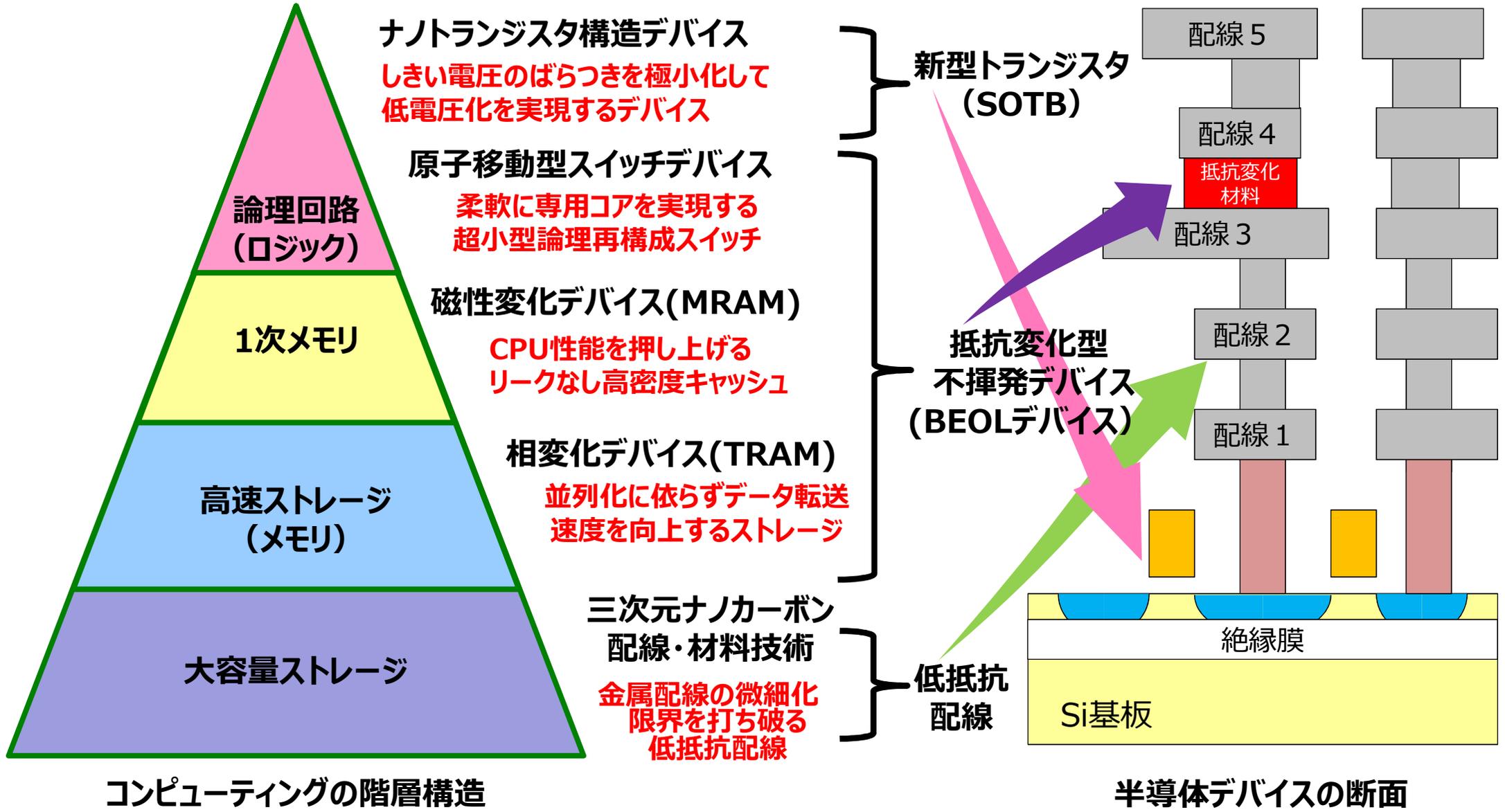
### 6トランジスタ型SRAM



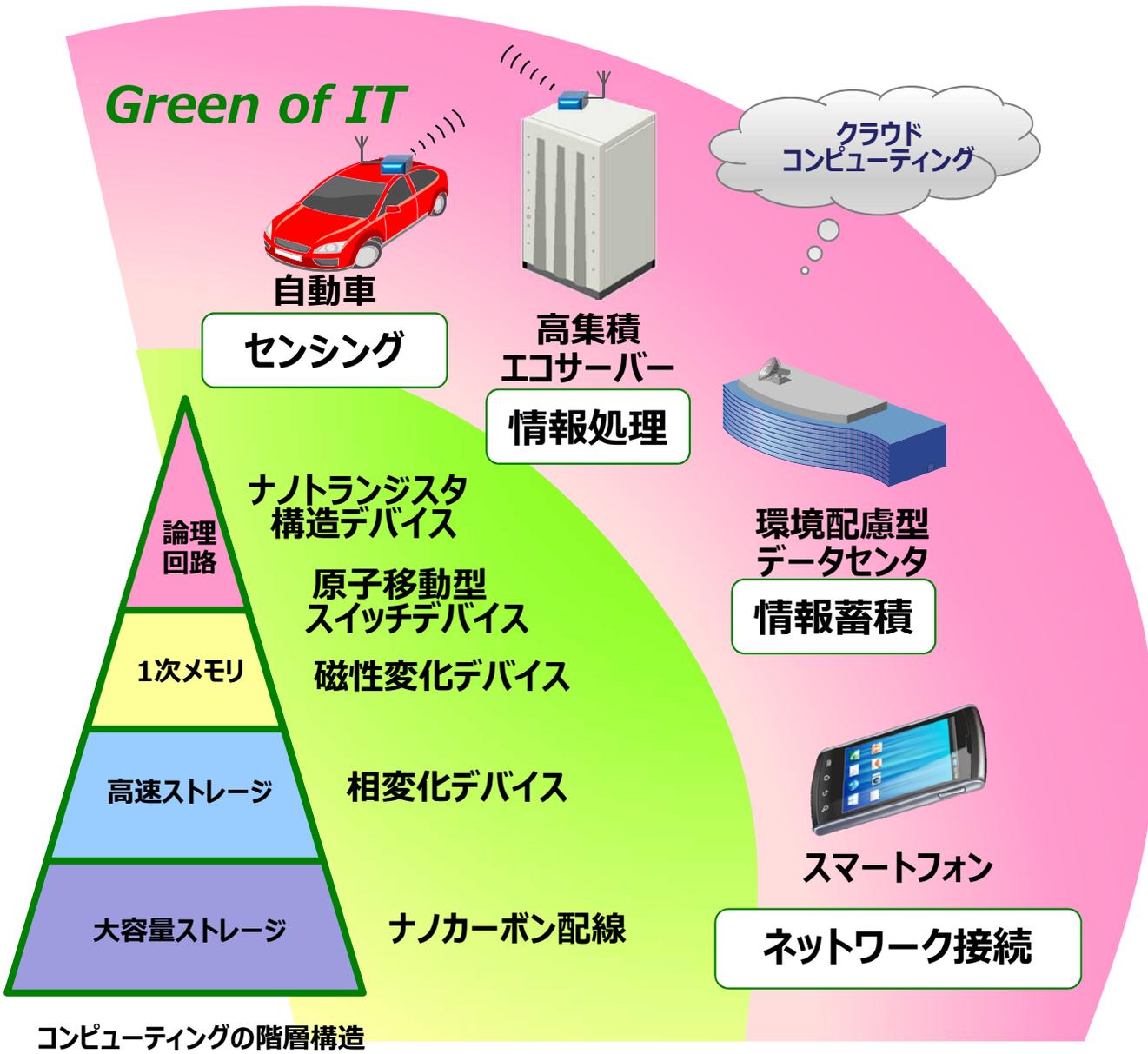
### 抵抗変化型メモリ



# LEAPが取り組む超低電圧デバイス



# 何ができるようになるのか (GREEN OF IT)



## 2020年電力削減効果試算 (更なる電力削減の可能性)

ITシステム	機器	削減電力 (億kWh/年)	総削減電力 (億kWh/年)
データセンター	サーバ ストレージ ネットワーク	86	163.4 (基本計画) ↓ <b>240</b>
	ルーター	87	
	テレビ	27	
	PC	9	
	IT利用電力削減 (Green by IT)	31	



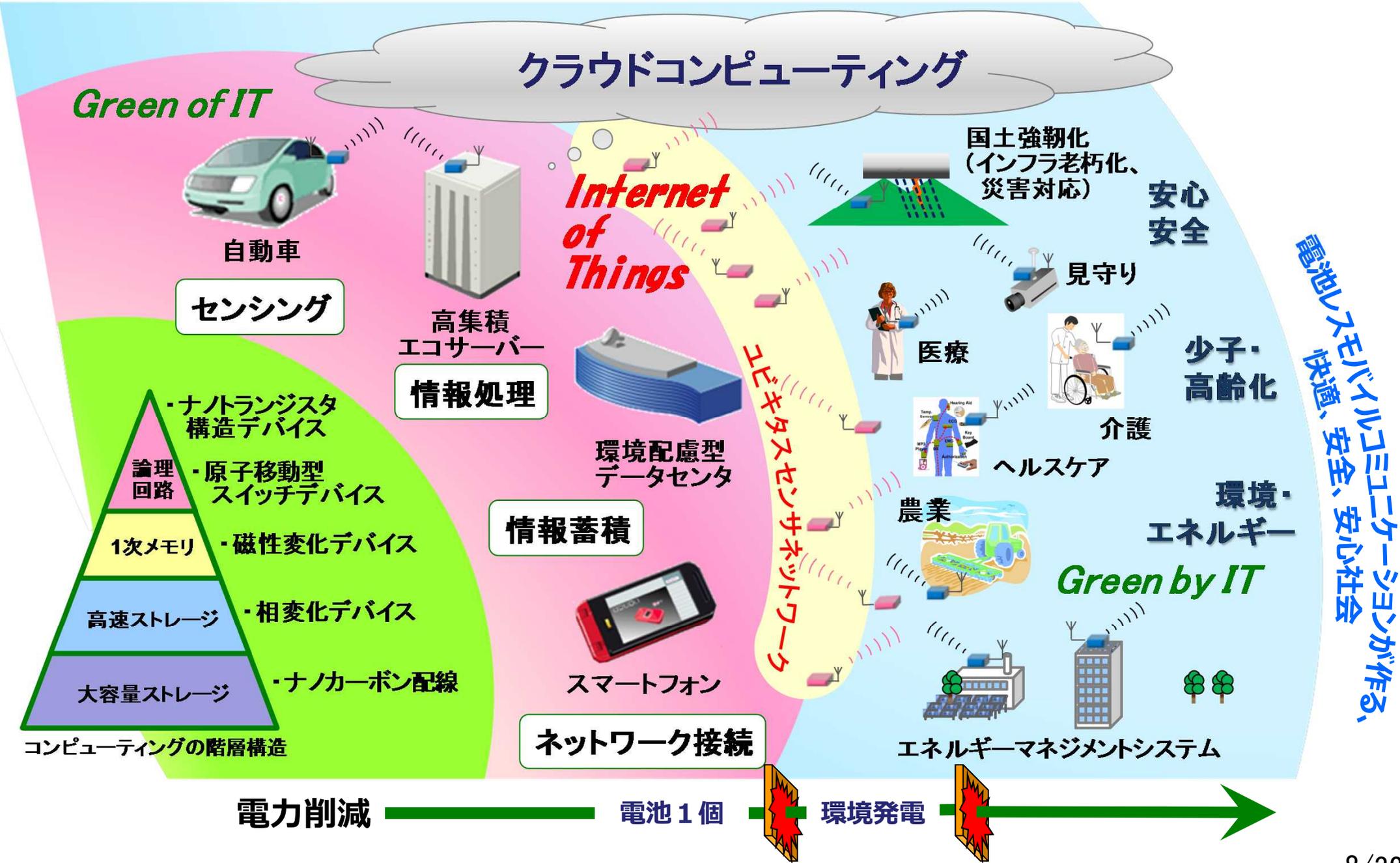
東電千葉火力発電所 1つ分



太陽光発電 250Km<sup>2</sup>分 (山手線内面積の4倍)

2020年IT機器消費電力予想 (1600億kWh) の15%に相当

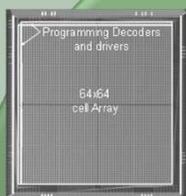
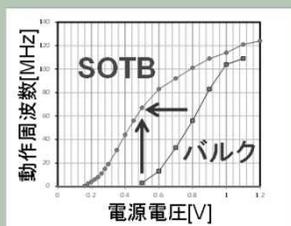
# さらに、何が出来るようになるのか



# IoTにおける顧客価値

## コンピューティング性能向上

- 高いMOPS/mW性能  
《ト》ばらつき極小化、基板バイアス



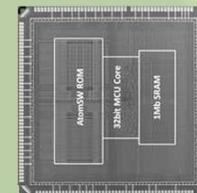
- キャッシュ増量  
《磁》小面積・リークなしキャッシュメモリ

## 端末（現実空間）

- 低レイテンシ
- 高スループット  
《原》プログラマブル専用ハード

## 超低電力

- 低スタンバイ  
《ト》基板バイアス制御  
《原》《磁》《相》不揮発



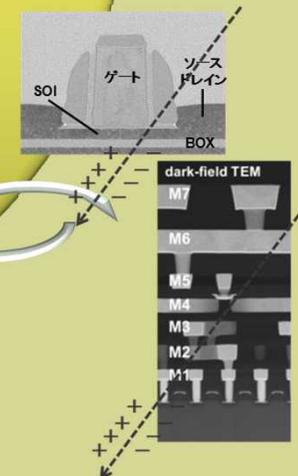
- 低電圧動作  
《ト》ばらつき極小化  
《原》《磁》《相》抵抗変化型メモリ

- インスタントオン  
《原》プログラマブルI/F  
《磁》不揮発RAM/レジスタ

## クラウド（仮想空間）

- チップ数削減  
《相》並列化に依らず  
転送速度向上  
《カ》3次元集積  
《原》外付けフラッシュ不要

- ソフトエラー耐性  
《ト》SOI構造  
《原》《磁》《相》抵抗変化型メモリ



- 低NRE
- 短TAT
- 多品種少量生産  
《原》プログラマブル専用ハード

- 広温度範囲動作  
《ト》基板バイアス制御

- 耐タンパ性  
《原》《磁》《相》不揮発メモリ

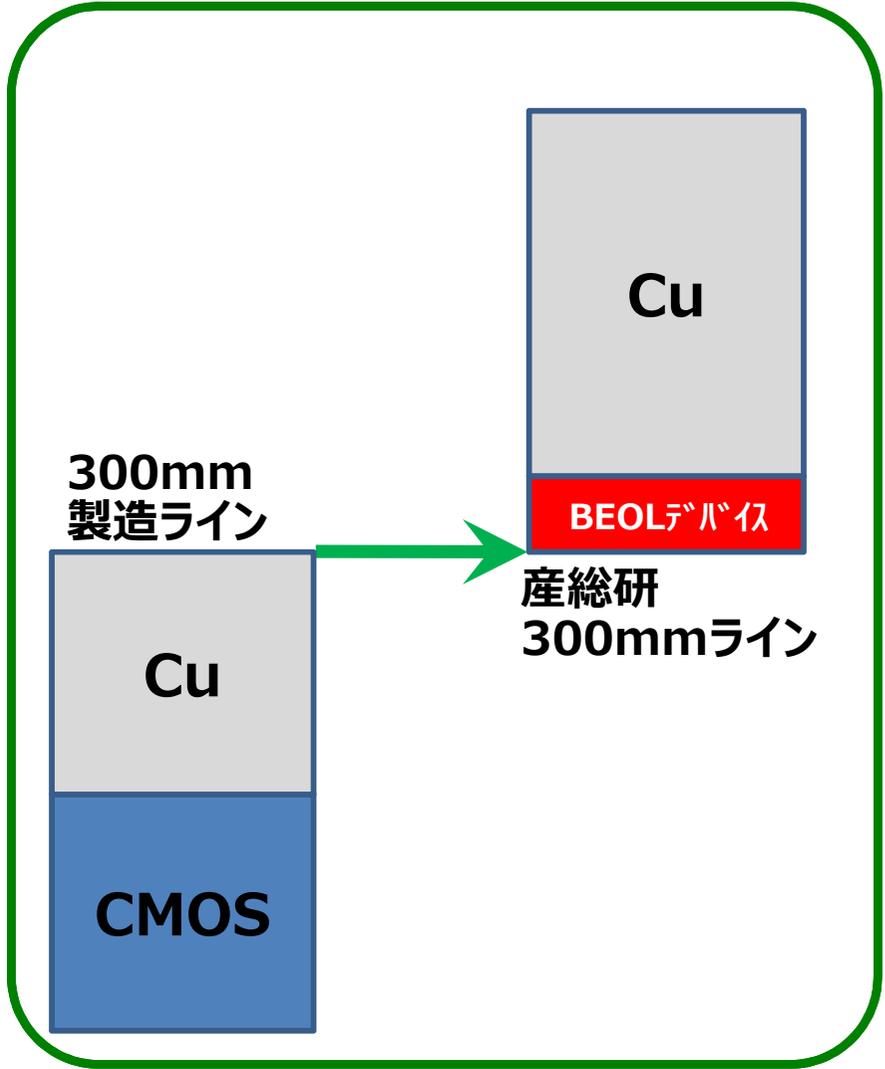
## 経済メリット

## 多様性

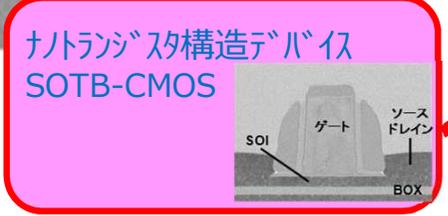
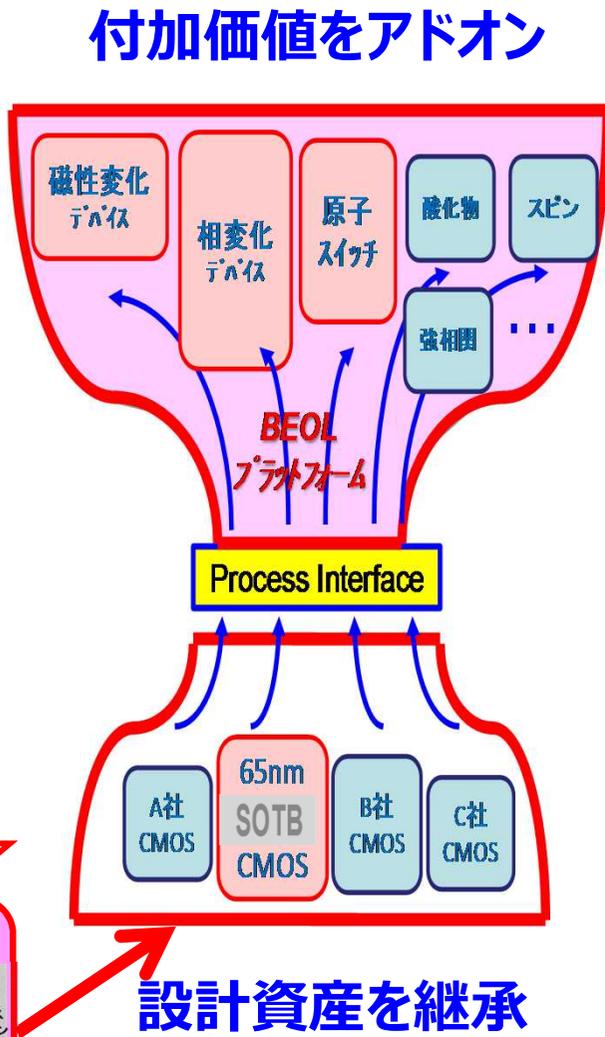
## ディペンダブル

NRE; Non-recurring Engineering

# 超低電圧デバイス 製造プラットフォーム

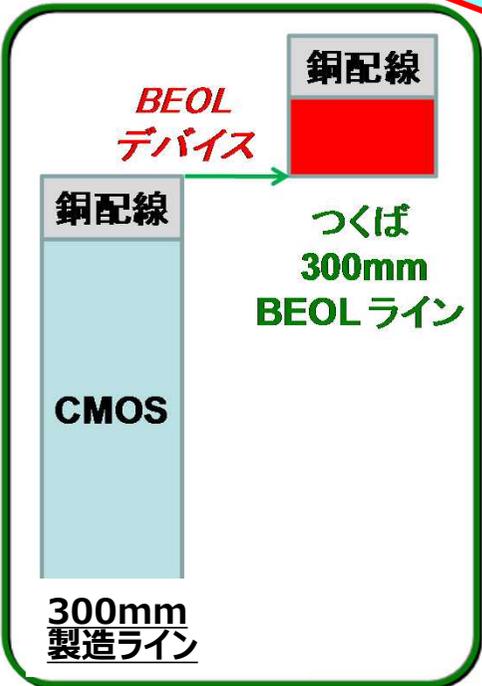


『BEOLデバイス製造モデル』



# 超低電圧デバイス集積化検証システム

□ 製造ラインと繋げた効率的な検証環境を活用して、プロトの試作・検証とアプリ開拓を実施した



設計プラットフォーム  
の提供

**オープン**

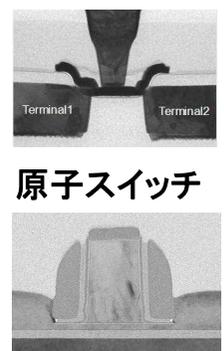
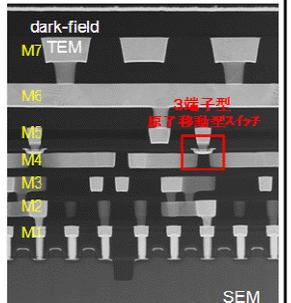
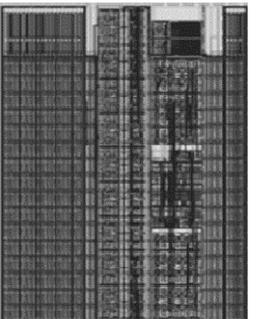
イノベーション

新規能LSIの  
設計・検証

- システム・装置  
メーカー
- LSI  
メーカー
- 大学

□ 「超低電力デバイス ユーザーフォーラム」

# 研究開発スケジュール

事業年度	平成22年度 (2010年度)	平成23年度 (2011年度)	平成24年度 (2012年度)	平成25年度 (2013年度)	平成26年度 (2014年度)	平成27年度 (2015年度)
①磁性変化デバイス (平成26年度終了) ②相変化デバイス ③原子移動型 スイッチデバイス (平成26年度終了) ④三次元ナノカーボン 配線・材料技術 ⑤ナトランジスタ 構造デバイス (平成26年度終了) ⑥BEOLプラットフォーム (平成23年度終了)	LEAP(超低電圧デバイス技術研究組合)で実施					民間4社で実施
						 
	 装置立ち上げ AIST SCR	 原子スイッチ SOTB	 CMOS +BEOLデバイス	 マクロ検証	 マイコン ボード 環境発電	



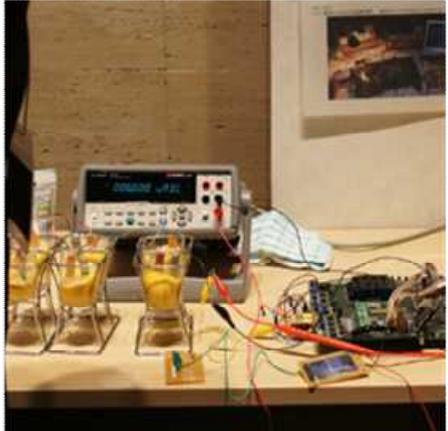
# プロトタイプチップのデモンストレーション（成果報告会）



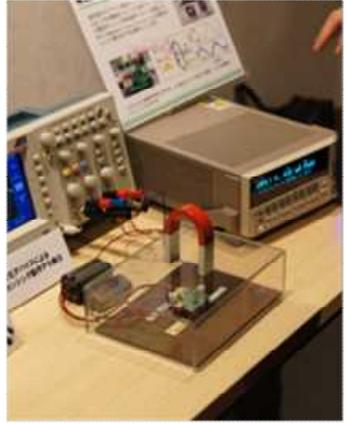
ポスターセッション会場(B1 ギャラリー1)



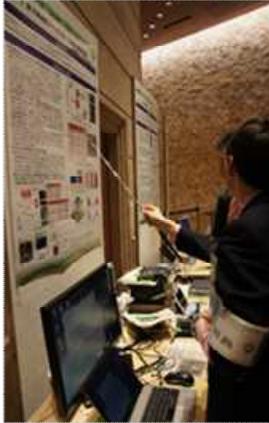
ポスターセッション会場(B2 ホワイエ)  
<デモ展示会場>



ナトランジスタ (SOTB)  
超低電力アクセラレータ



磁性変化デバイス  
磁気（電流）センサー



原子スイッチ  
再構成論理回路  
市販FPGAとの比較デモ



ナトランジスタ (SOTB)  
超低電圧論理回路（16bit乗算器、温度モニタ回路、等）  
の温度変化に対する動的リバースバイアス制御



### Ⅲ. 研究開発成果

#### (1) 最終目標の達成度

## 最終目標の達成状況 (1)

研究開発項目	最終目標	研究開発成果	達成度	
①磁性変化デバイス  システムLSIに混載されているSRAMを代替できる低電圧動作の不揮発メモリを開発	①-(1) 加速試験による10年間のリテンションと、書き換え回数 $10^{16}$ 回の達成。	トンネル絶縁膜質の改善により、電界加速試験で、10年間のリテンションおよび $10^{16}$ 回の書き換え耐性を実証。	○	
	①-(2) 実用に耐える信頼性技術確立への指針の提示。	実用に耐える信頼性技術として、素子アレイの多点評価と電界加速試験による信頼性評価手法を確立。	○	
	①-(3) 低電圧動作の周辺回路を備えたメモリマクロで、読み書き電圧0.4V、読み書き電流 $100\mu A$ 以下、読み書き時間10ns、1.2V動作SRAMの1/10の電力を実証すると共に、メガバイト級メモリの実現可能性の提示。	メモリマクロで、MTJ素子への印加電圧0.4V、書き換え電流 $100\mu A$ 以下、読み書き時間10nsを達成。メモリの動作率に依存するが、1.2V動作SRAMの1/10以下の電力を実証。更なる低電力化に向け、 $15\mu A$ まで書き換え電流を低減。	○	
	①-(4) メモリマクロでの多値動作を実証することによる、従来SRAM比2倍の高集積化の可能性を提示。	MTJを縦積みした多値MTJを集積し、そのメモリマクロで多値動作を実証。従来SRAM比2倍の高集積化の可能性を提示。	○	
②相変化デバイス  外部記憶の高速低電力データ転送を実現する、高集積・高速低電力書き込み・不揮発デバイスを開発	H26年度末最終目標	②-(1) クロスポイント型メモリセルを集積化したメモリアレイ試作と動作実証。	W配線/Siダイオード/相変化膜/W配線から成る1D-1Rクロスポイント型メモリアレイを試作し、読み出し・書き換え動作を確認	○
		②-(2) 書き換え回数 $10^6$ 回以上の達成	・GeTe/Sb <sub>2</sub> Te <sub>3</sub> 超格子素子を開発し、書き換え $10^8$ 回を実証 ・Nano-GST相変化素子を開発し、書き換え $10^7$ 回を実証	◎
		②-(3) データ転送速度400MB/sの高速動作実証 ②-(4) 従来の1/10の電力(66mW)の低電力動作実証(書き換えエネルギー5pJに相当)	Nano-GST相変化素子の書換エネルギー3.6pJを実証(データ転送速度400MB/sを、従来の1/10の電力(66mW)で実現に相当)	○
		②-(5) メモリセル面積 $4F^2$ (F:最小加工寸法)のメモリアレイによる高集積性実証	ワード線と選択スイッチダイオードを自己整合的に配置する $4F^2$ セルの加工プロセスを開発し、正常な選択・半選択・非選択動作を確認	○
	H27年度末最終目標	②-(1) TRAM(*)の1.2V以下の動作実証 (*)TRAM: Topological-switching Random Access Memory	・1T1R単体デバイスを開発し、書き換え電圧1V以下を実証 ・1T1R16kbテストチップを開発し、書き換え電圧1V以下を実証	○
②-(2) 更なる電力削減効果(33mW以下)の見通しを得る(書き換えエネルギー2.5pJに相当)		Ge欠損系Ge <sub>1-x</sub> Te <sub>x</sub> /Sb <sub>2</sub> Te <sub>3</sub> 超格子素子を開発し、書き換えエネルギー1.9pJを実証(更なる電力削減効果(33mW以下)の見通し取得に相当)	○	

◎ 大幅達成、○ 達成、△ 達成見込み、× 未達

### Ⅲ. 研究開発成果

#### (1) 最終目標の達成度

## 最終目標の達成状況 (2)

研究開発項目	最終目標(平成26年度末)	研究開発成果	達成度
<b>③原子移動型スイッチ</b>  プログラマブルロジックの低消費電力化を実現する不揮発配線切り換えスイッチ開発	③-(1) 大規模集積化に必要なスイッチ素子特性のばらつきを低減	・Cu表面の清浄化技術の開発 ・バッファ層最適化によるスイッチング速度高速化技術およびリーク電流低減技術等の開発 ・スイッチング電圧バラツキ $\sigma=0.186V$ を達成 ・上記開発により、スマートセンサ用データ圧縮アルゴリズムが検証可能な大規模原子移動型スイッチ集積化技術として完成	○
	③-(2) 300mm ウエハにロジック集積回路を試作し下記を達成する。 a) 本スイッチにより配線切り換えを行ったロジック集積回路が0.4Vで動作可能であり、その際の消費電力SRAMスイッチにより配線切り換えを行った従来型1.2V動作ロジック集積回路の1/10以下。 b) スwitch素子面積が同一世代のSRAMスイッチを用いたプログラマブルロジックデバイス(PLD)に比べ1/20以下。	・原子移動型スイッチを用いたプログラマブルロジック回路が0.4V以下の0.3Vまで動作可能であることを実証 ・アクティブ電力がSRAMスイッチにより配線切り換えを行った従来型0.8V動作ロジック集積回路に比べ約1/10であることを実証(1.2V動作SRAMスイッチに対しては1/20以下) ・集積化した原子移動型スイッチ素子のスイッチ面積は0.7 $\mu m^2$ であり、スイッチ素子の面積が同一世代のSRAMスイッチの約14 $\mu m^2$ の1/20であることを実証。	◎
<b>④三次元ナノカーボン配線</b>  三次元集積を実現するための、微細幅・超低電気抵抗、超高アスペクト比配線・材料技術開発	H26年度末最終目標	④-(1) 微細線幅( $\leq 20nm$ )、長距離(0.7mm)、低抵抗(シート抵抗 $\leq 3\Omega/\square$ )の配線実証	○
		④-(2) 微細直径(90nm)、超アスペクト比(30)のコンタクトホールへのナノカーボン材料埋め込みと、W以下の抵抗(接触抵抗を含む)の実証	○
	H27年度末最終目標	④-(1) 20nm以細幅のグラフェンに対し、低抵抗化に有効な、触媒金属等の腐食を制御可能なドーピング材料の決定	△ (2月)
		④-(2) ビアプラグ材料としてのCNT構造に適したドーピング手法の見極め	△ (2月)

◎ 大幅達成、○ 達成、△ 達成見込み、× 未達

### Ⅲ. 研究開発成果

#### (1) 最終目標の達成度

## 最終目標の達成状況 (3)

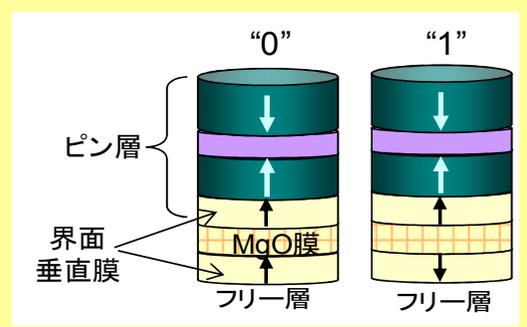
研究開発項目	最終目標(平成26年度末)	研究開発成果	達成度	
⑤ナノトランジスタ構造デバイス  ナノトランジスタ構造デバイスと既存のCMOSトランジスタを統合集積化するための技術開発、並びに、高集積機能素子における低電圧動作実証	⑤-(1) ナノトランジスタ構造デバイスと既存のCMOSトランジスタとの融合集積化技術を確立するとともに、その設計環境構築への指針を提示する。	ナノトランジスタ構造トランジスタおよびハイブリッドバルクトランジスタ用の標準セル、自動配置配線環境、設計フローなどの設計環境を開発し、各種回路やチップの設計試作を通じて有効性を検証。	○	
	⑤-(2) 従来デバイスに比較して消費電力を1/10に低減できる基盤技術を確立するとともに、実用化回路レベルでの達成目処を示す。	ナノトランジスタ構造デバイスの特長である超低電圧動作特性を活かした各種回路・マクロ・チップの試作評価を通じて、従来デバイスに比較して消費電力を1/10に低減できる目処を実証。 マイコンなどの実証アプリケーションチップ開発を通じて実用化回路レベルでの低消費電力化を実証。	◎	
⑥ BEOL設計・製造基盤 (プラットフォーム)開発  個別デバイス(研究開発項目①～③)の研究開発を推進するための共通基盤として、BEOL設計・製造基盤(プラットフォーム)を開発(平成23年度で終了したテーマ)	H23年度末最終目標	⑥-(1) 新材料や新構造デバイスに共通で使え、かつ、新材料の相互汚染や熱耐性、プロセス雰囲気の影響等の観点から、それぞれのデバイスの特性を損なうことのない、BEOLプロセスレシピの作成	・SCR300mmラインで、半導体製造ラインで形成した多層配線/CMOS基板上にファイン配線およびセミグローバル配線を形成する配線製造基盤技術を開発 ・所望の配線特性を実証	○
		⑥-(2) 相互汚染防止、汚染除去、汚染評価などからなる管理プロトコルの作成	新材料の汚染管理として、1. エッジカットリングによる新材料付着防止、2. 薬液による新材料除去、3. 新材料上HDP膜による汚染拡散防止、4. FOUFによるハンドリング管理手法、を開発し効果を確認。	○
		⑥-(3) PDKとして、設計ルール、配線特性パラメータ、OPCルールの策定	半導体製造ラインPDKとSCR(Super Clean Room)-PDKを統合した、設計ルール、配線特性パラメータ、OPCルール等からなる連携ファブPDKを策定	○

◎ 大幅達成、○ 達成、△ 達成見込み、× 未達

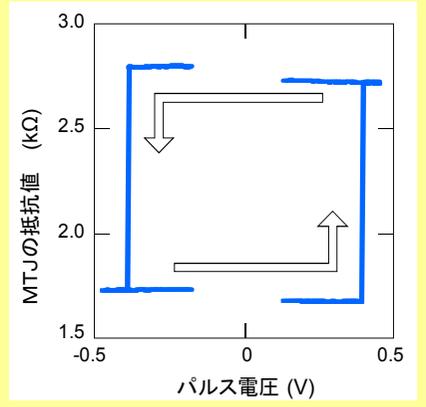
# 成果の概要 (研究開発項目① ; 磁性変化デバイス)

1. 垂直磁気異方性材料やMgOトンネル膜の改善により、無限回(10<sup>16</sup>回)の書き換え耐性を実証。
2. 抵抗ばらつきを16%に抑制し、1Mマクロで平均書き換え電流125μA以下、読み書き時間10nsを達成。
3. 更なる低電力化に向け、特性ばらつきを増大無しで、15μAまで書き換え電流を低減。
4. 電流センシング用のMTJを開発し、≤10μAのセンシング精度に相当するヒステリシスの抑制を実現。

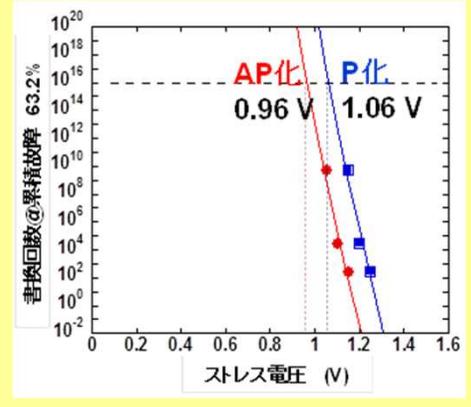
## 1. MTJの基本構造



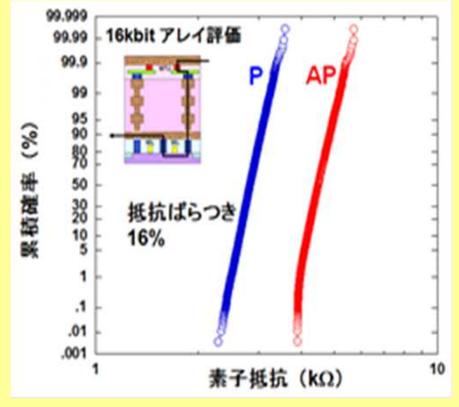
## 1. MTJの低電圧動作を実証



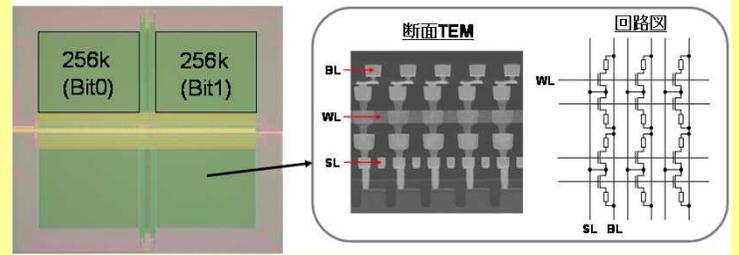
## 1. 無限回書き換えを初めて実証



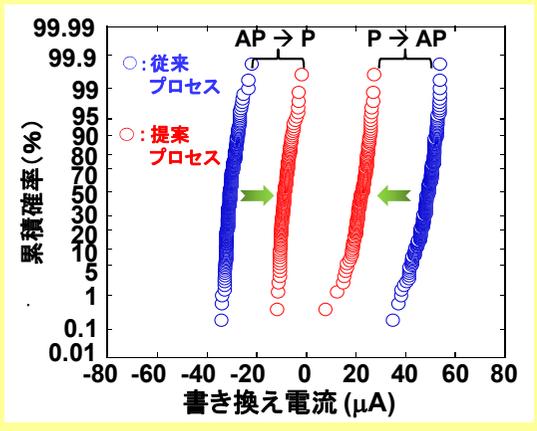
## 2. 抵抗ばらつきを16%に抑制



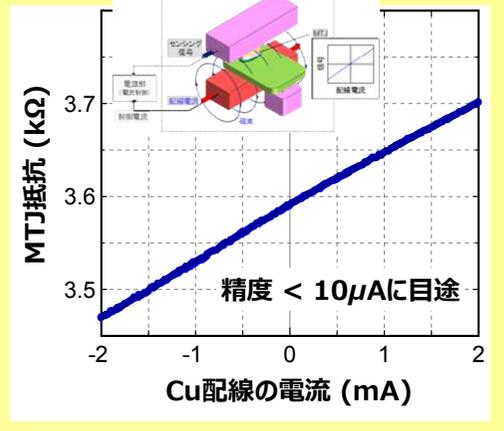
## 2. 1Mbitマクロ写真、断面写真、回路図



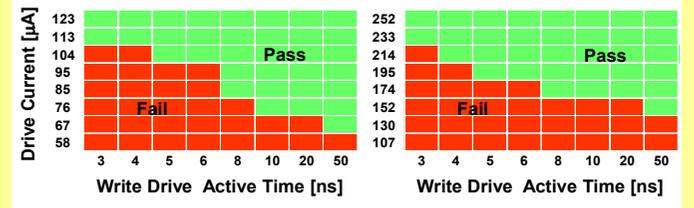
## 3. シュリンクプロセスで書き換え電流を大幅低減



## 4. 電流センシング用にヒステリシスを抑制したMTJを開発



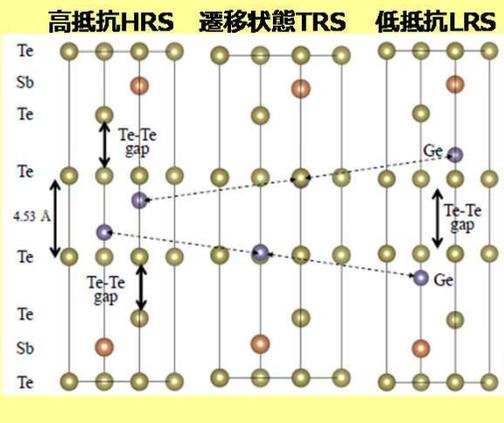
## 2. 1Mbitマクロのシュムープロット



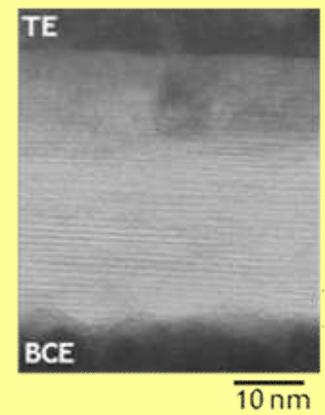
# 成果の概要 (研究開発項目② ; 相変化デバイス)

1. GeTe/Sb<sub>2</sub>Te<sub>3</sub>超格子の原子構造と動作機構を提唱し、本メモリをTRAM(topological-switching RAM)と名付けた
2. 超格子成膜プロセスを開発、抵抗素子を試作評価して、書換回数1億回、書換エネルギー1.9pJを実証
3. 1T1R TRAM メモリセルを試作評価し、単体デバイス及び16kbテストチップにおける1.2V以下動作を実証(H27年度)
4. 高集積化要素技術としてクロスポイント型セルを試作評価し、4F<sup>2</sup>アレイの正常動作を実証(F: 最少加工寸法)

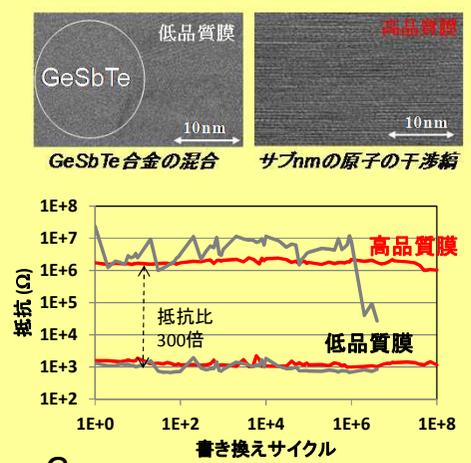
1. GeTe/Sb<sub>2</sub>Te<sub>3</sub>超格子の原子構造



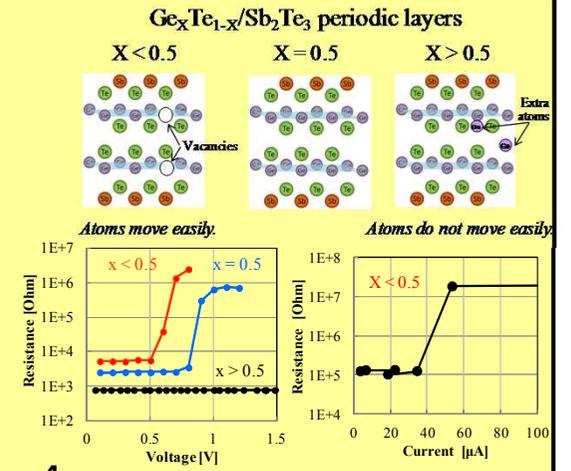
2. 300mm基板へ超格子成膜



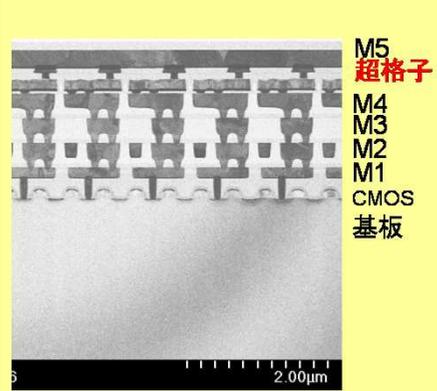
2. 超格子の高品質化で1億回動作



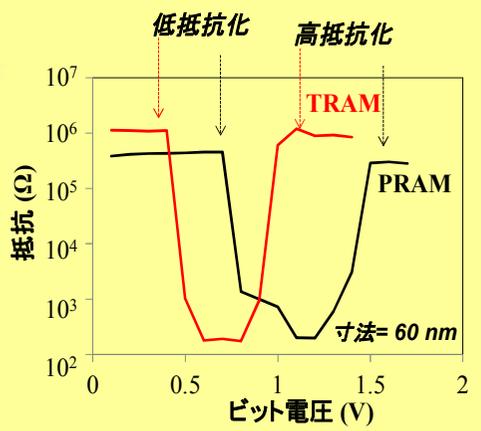
2. Ge欠損系超格子でエネルギー低減



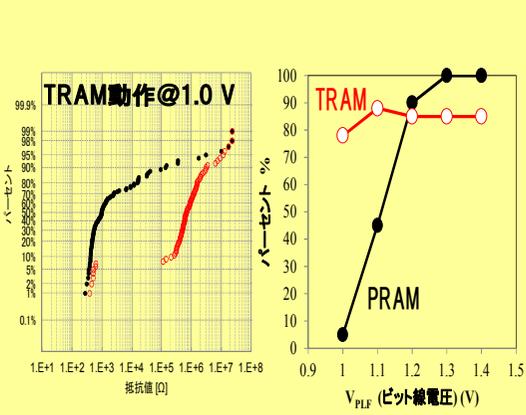
3. 1T1R TRAMアレイを作製



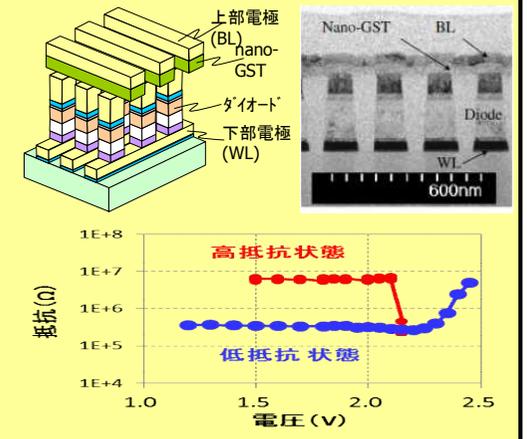
3. 1T1R 単体デバイスを1V動作



3. 16kbテストチップを1V動作



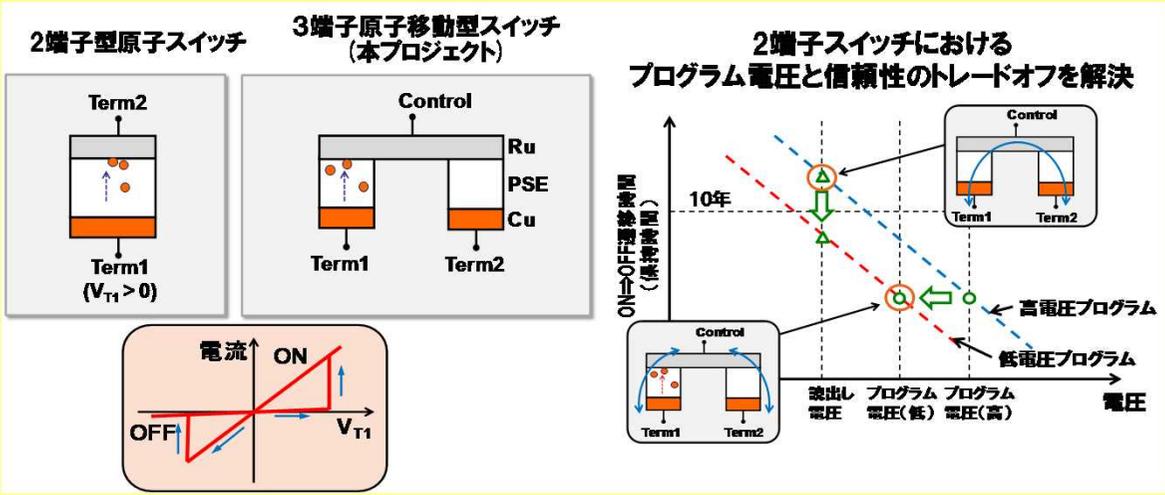
4. クロスポイント型セルを試作評価



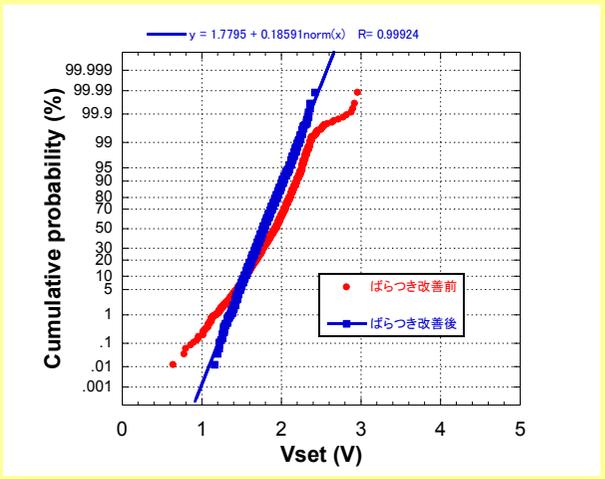
# 成果の概要 (研究開発項目③ : 原子移動型スイッチ)

- 従来の2端子型に代わり、3端子原子移動型スイッチを提案し、低プログラム電圧と高信頼性を両立。
- 大規模集積化技術を開発し、プログラム電圧ばらつきを0.19V以下に低減。
- 同じ65nmノードで比較し、SRAMを用いたロジックセルに対し、セル面積1/4を実現。
- SRAMスイッチ版に対し遅延-65%、動作時電力-65%。市販低電力FPGAに対し、遅延-60%、消費電力-30%を実証。

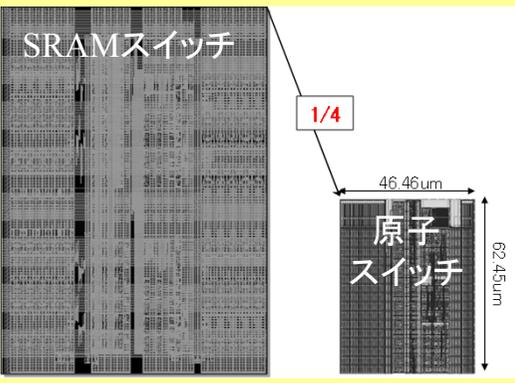
## 1. 3端子原子移動型スイッチによる低電圧と信頼性の両立



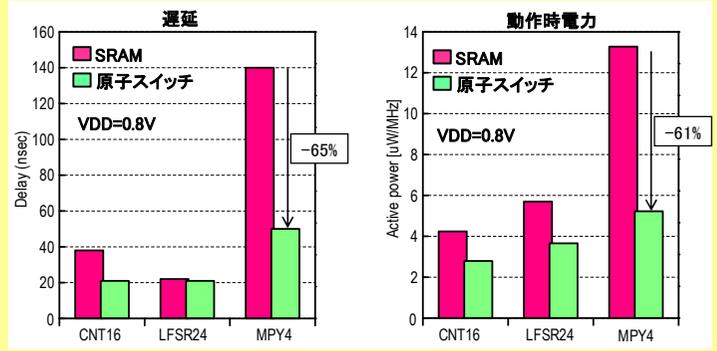
## 2. プログラム電圧低減



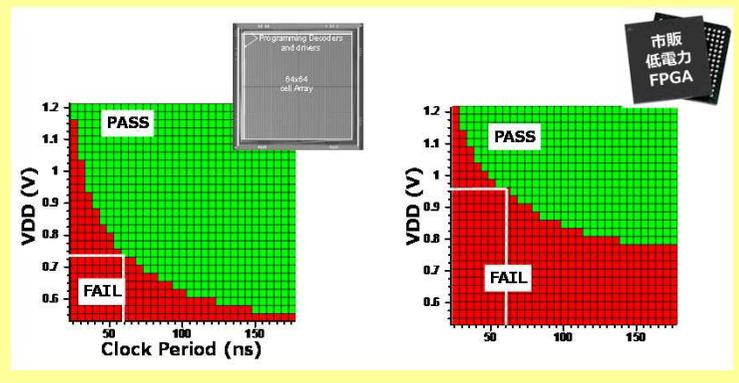
## 3. ロジックセル面積比較



## 4. 遅延・動作時電力比較



## 4. 市販低電力FPGAとの比較



# 成果の概要 (研究開発項目④) : ナノカーボン配線

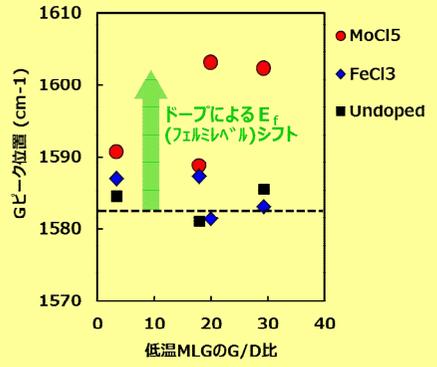
(2) 成果の意義

1. 多層グラフェン(MLG)の触媒金属上低温成長メカニズムを解明し、低温(650°C)での高品質化を実現。
2. 低温MLGへのインターカレーションによるドーピング(フェルミレベルシフト、低抵抗化)を初めて実証。
3. 触媒ダマシン配線上の選択成長により、微細幅( $hp=30\text{nm}$ )長距離(0.7mm)のMLG/Ni配線構造を実証。
4. 微粒子触媒・CNTのCVDおよびCMP開発により、300mm径Si全面に均一なCNTビア構造を作製。

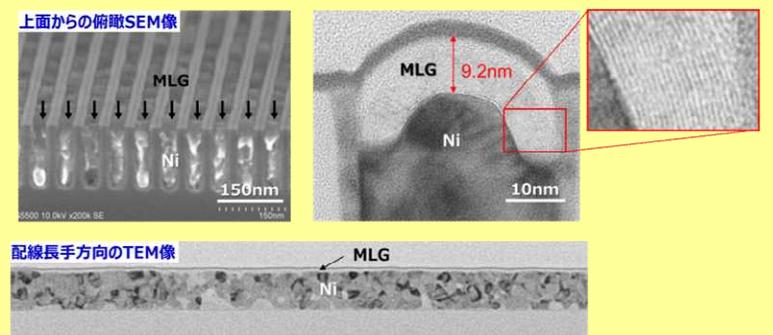
1. 低温CVDによる多層グラフェン(MLG)とその成長機構



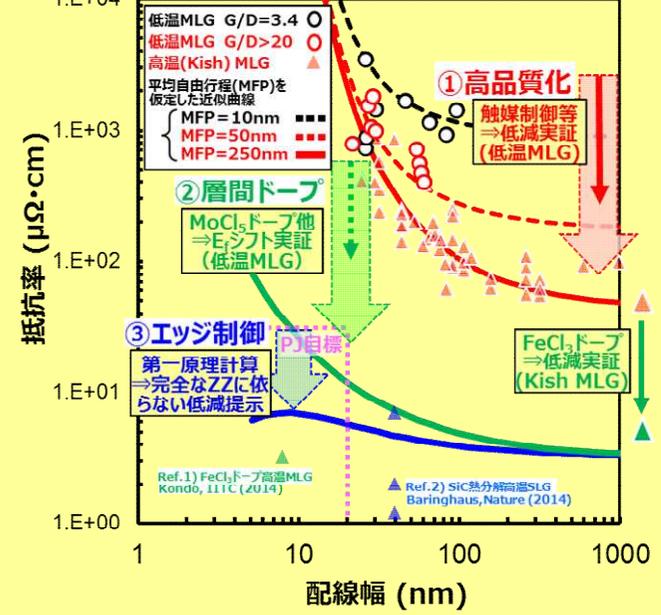
2. 低温成長MLG高品質化によるドーピング実現(フェルミレベルシフト)



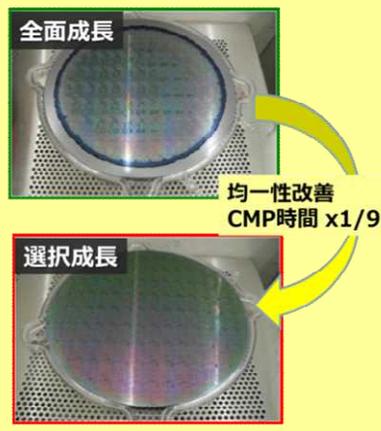
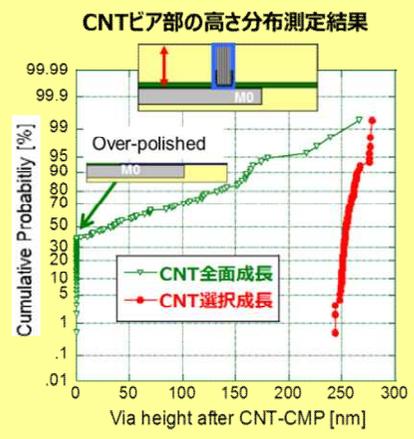
3. L/S=30nmのNi配線上に形成された微細幅MLG/Ni配線



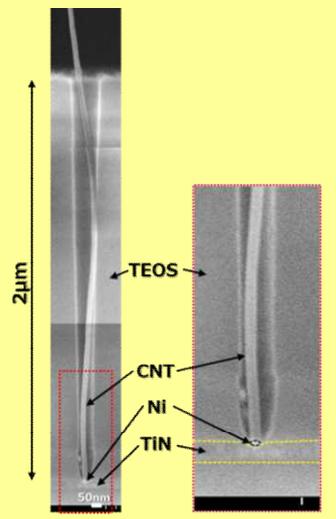
1. 2. MLG微細幅低抵抗化施策と成果



4. CNT選択成長による、300mmウェーハ全面均一CNTビア形成



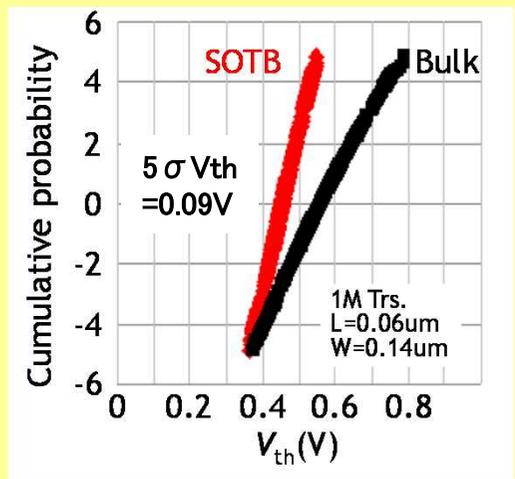
4. 超高AR(>30)ビアホール中のCNT成長



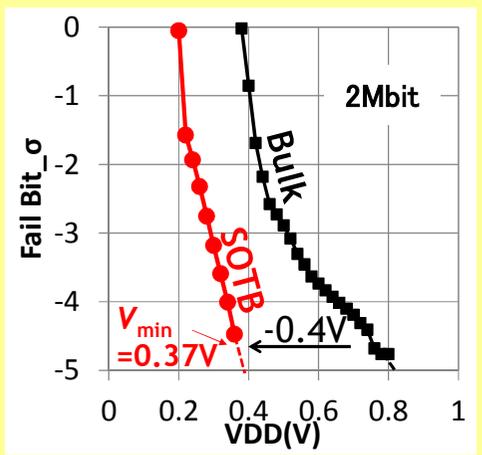
# 成果の概要 (研究開発項目⑤ : ナノトランジスタ構造デバイス)

1. SOTB-CMOS(バルクハイブリッド)融合集積化技術を開発、実用化判断可能レベルの技術水準を達成
2. 低ばらつき( $5\sigma V_{th}=0.09V$ )と、2Mb SRAMの0.4V以下での動作を実証
3. 超低電力チップ設計環境を構築、大規模集積回路チップの設計・試作により実証。低ソフトエラーを実証
4. マイコン、FPGA、アクセラレータ等チップの超低電圧動作、従来比1/10の低電力実現に目処、最終目標を達成

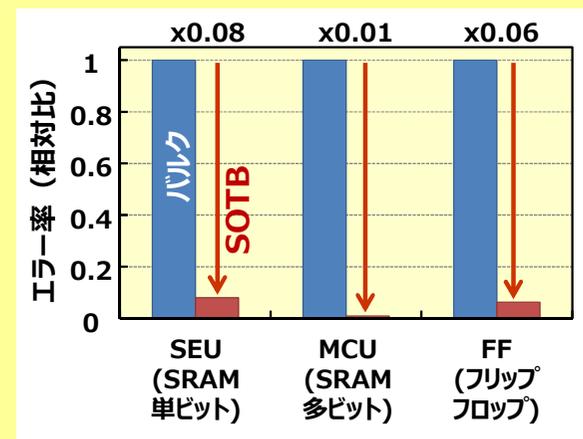
## 2. トランジスタの $V_{th}$ ばらつき低減



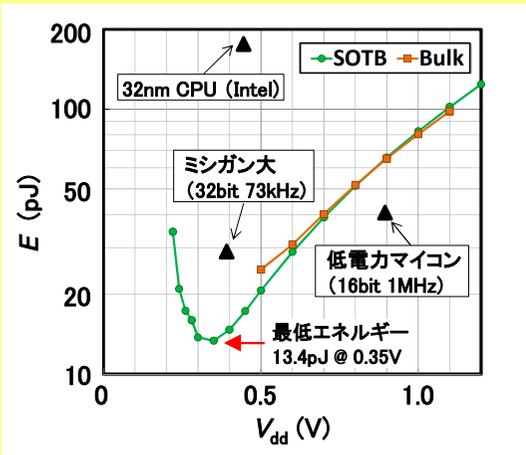
## 2. SRAMの0.4V以下での動作



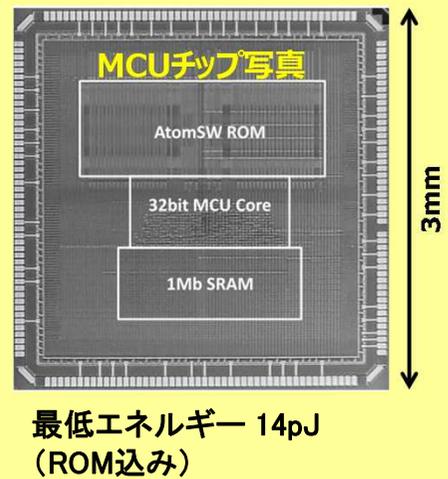
## 3. 低ソフトエラーを実証



## 4. マイコンチップの超低電力動作

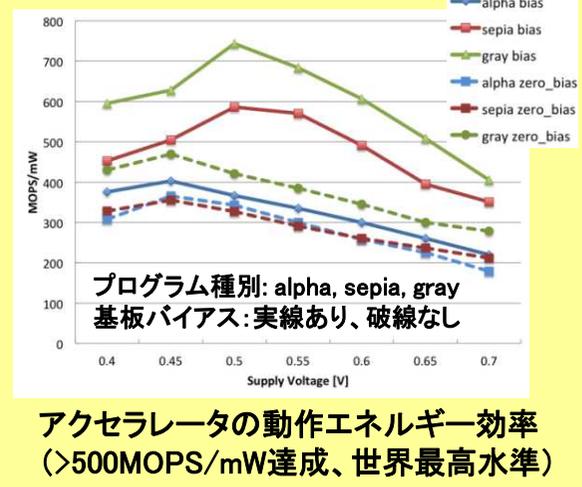


## 4. 原子移動型スイッチROM適用マイコン



Award: S3S Conf. 30x30 arrays FPGA. Award: COOL Chips PE  $\mu$ -con. アクセラレータ

## 4. FPGA、画像処理用アクセラレータ



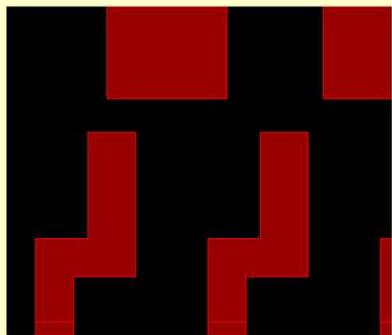
# 成果の概要 (研究開発項目⑥) : BEOL設計・製造基盤

- 1. 連携ファブにおけるデバイス・配線のPDK、OPCなどのBEOL設計基盤を開発
- 2. 配線層の一部に様々な新材料・新構造デバイスを形成する配線製造技術、新材料汚染管理技術などから成るBEOL製造基盤を開発

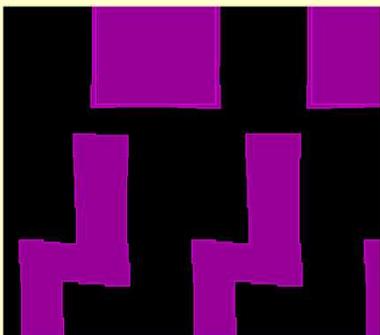
## 1. BEOL設計基盤開発



OPCデータ取得用測長SEMと  
多点測定ソフトウェア (Design Gage)



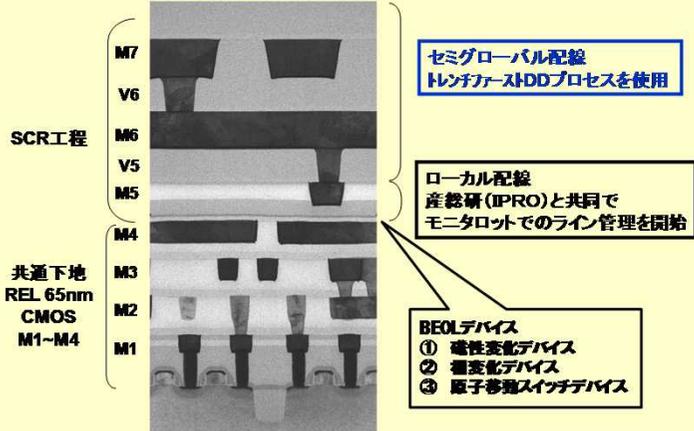
(a) Before OPC operation



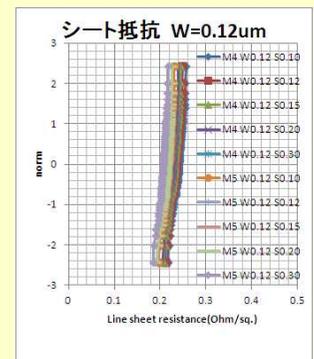
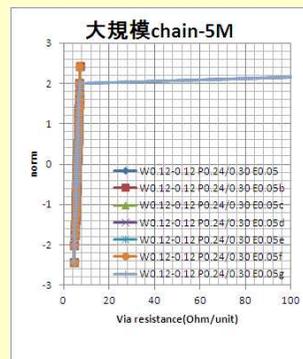
(b) After OPC operation

OPC処理によるレチクル上パターンの補正  
(a)OPC処理適用前、(b)OPC処理適用後

## 2. 集積化プロセス開発



BEOL製造基盤技術により開発した  
65nmCMOS基板上的銅多層配線



開発したローカル配線の配線特性  
(a)500万個ビアチェーンの面内歩留まり(b)W=0.12umの配線シート抵抗

Ⅲ. 研究開発成果

(3) 知的財産権、成果の普及

# 知的財産権、成果の普及

		H22	H23	H24	H25	H26	H27	計
特許出願	国内	2	31	43	34	30	12	152
	外国、PCT※	0	4	27	28	31	16	106
	PCTから移行	0	0	0	0	13	1	14
特許登録	国内	0	0	0	2	6	9	17
	外国	0	0	0	1	6	12	19
研究発表・講演		9	50	103	126	147	39	474
論文		0	2	6	9	22	13	52
新聞・プレス発表		0	2	10	12	3	0	27
展示会への出展		0	2	3	2	4	0	11
受賞実績		0	0	2	0	1	1	4

※Patent Cooperation Treaty :特許協力条約

平成27年度11月12日現在

# ユーザーフォーラム活動

本プロジェクト成果の想定ユーザーへ、成果の普及と実用化に向けた協業関係構築を目的に、「超低電力デバイスユーザーフォーラム」を設立し、活動を行った。

成果の普及 { 技術情報提供、サンプル貸与  
評価情報フィードバック(開発方針・開発要求の情報共有)  
アプリケーション議論  
パートナーリング構築

## 提供可能サンプル・ボードと評価概要

## ユーザーフォーラム活動結果

	第Ⅰ期	第Ⅱ期	第Ⅲ期
ユーザーへ提供可能なチップと評価概要	<p>HW設計試行 SW設計試行</p>		<p>メモリ評価</p>
提供可能ボード	LEAP 基本性能評価用ボード (マイコン、PLD)	ユーザーロジック評価用ボード	不揮発メモリ評価ボード ユーザーロジック評価用ボード
提供可能サンプル	<ul style="list-style-type: none"> <li>V850 マイコン [ROM外付け] (SOTB-CMOSベース) 会員がプログラム書込みできる評価ボード、チップを提供</li> <li>48x48原子SWプログラマブルロジック (Bulk-CMOSベース) 会員のRTLをLEAPが書込み、チップを提供</li> </ul>	<ul style="list-style-type: none"> <li>原子SW内蔵ROM マイコン (SOTB-CMOS)</li> <li>64x64原子SWプログラマブルロジック (SOTB-CMOS)</li> </ul>	<ul style="list-style-type: none"> <li>低電圧メモリとしてのMRAM、TRAMの評価が可能なボードを提供</li> <li>マイコンコントローラ (SOTB-CMOS)</li> <li>原子SWプログラマブル/F (〃)</li> <li>MRAMマクロ、TRAMマクロ</li> <li>実証アプリマイコンチップ、オフロードマイコンチップ (原子SW-SOTB 融合技術、アナログ等各種 IP 集積)</li> </ul>
(LSIマスク)	(LPT-4, 4S)	(LPT-6)	(LPT-8)

●訪問社数				
	Total	国内	海外	
訪問社数	47	21	26	社
ナトランジスタ構造デバイス	34	10	24	社
原子移動型スイッチデバイス	14	11	3	社
相変化デバイス	1	1	0	社
磁性変化デバイス	1	1	0	社
●ユーザーフォーラム登録会員数				
	Total	国内	海外	
登録会員数	9	9	0	社
●サンプル提供社数				
	Total	国内	海外	
サンプル提供社数	3	3	0	社
ナトランジスタ構造デバイス	3	3	0	社
原子移動型スイッチデバイス	1	1	0	社
相変化デバイス	1	1	0	社
磁性変化デバイス	1	1	0	社
●サンプルのユーザー要求評価のデータ開示				
	Total	国内	海外	
要求評価データ開示	5	5	0	社
ナトランジスタ構造デバイス	2	2	0	社
原子移動型スイッチデバイス	3	3	0	社
●その他				
原子移動型スイッチデバイス	ユーザーとのプロジェクトへ発展			

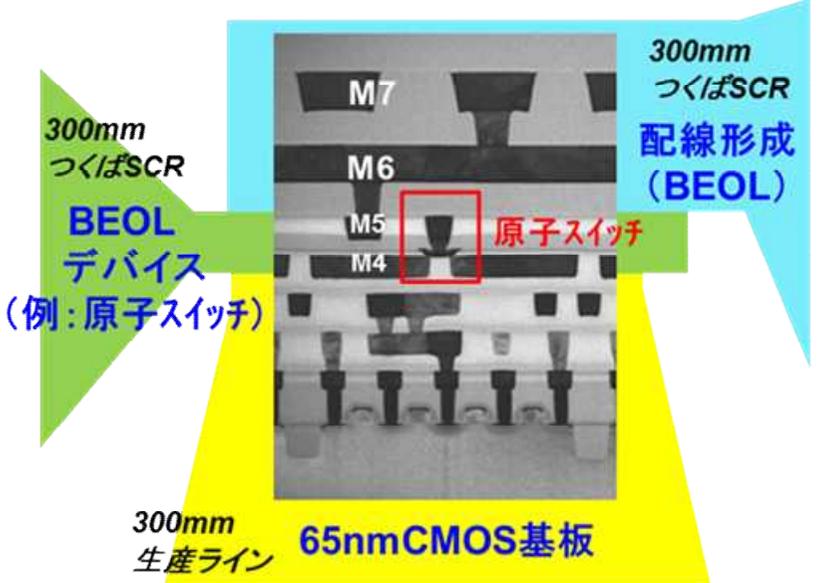
# 技術移転／標準化活動

## 技術移転

研究開発項目⑥「BEOL設計・製造基盤(プラットフォーム)開発」のうち、「BEOLデバイス設計・製造基盤(プラットフォーム)技術」を国立研究法人 産業技術総合研究所(スーパークリーンルーム)に技術移転を行った。

### 「BEOLデバイス設計・製造基盤(プラットフォーム)技術」

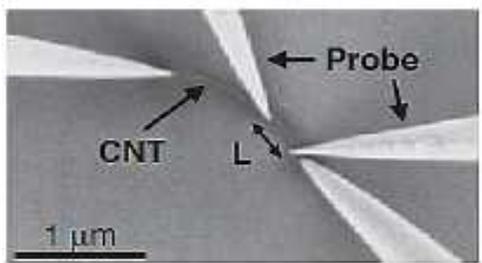
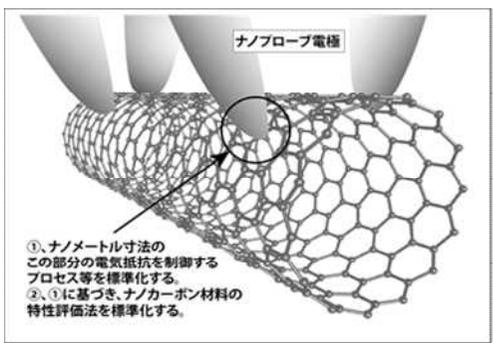
- BEOLデバイス上に、配線層を形成するプロセスフロー及び、各種プロセス装置の処理レシピ
- 多層配線のシート抵抗、配線間容量、ビア抵抗等設計パラメータの技術情報



## 標準化活動

研究開発項目④「三次元ナノカーボン配線」におけるCNT単体抵抗評価成果をベースにして、平成25年度から経済産業省国際標準化活動(テーマ名:ナノエレクトロニクスに用いるナノカーボン特性評価に関する国際標準化)がスタートし、当技術研究組合も参加・協力した。

同事業では、JEITAナノエレクトロニクス標準化専門委員会、IEC(国際電気標準化会議)TC-113(ナノエレ分科会)と連携して調査・提案活動を進め、平成26年度には国際標準化すべき技術と評価項目等の具体化を行って、IEC TC-113への標準化提案Preliminary Work Item (PWI)に結び付いた。



LEAP Katagiri et al., J.J.A.P. (2012) 05ED02

平成26年度経産省委託標準化活動事業 報告書より

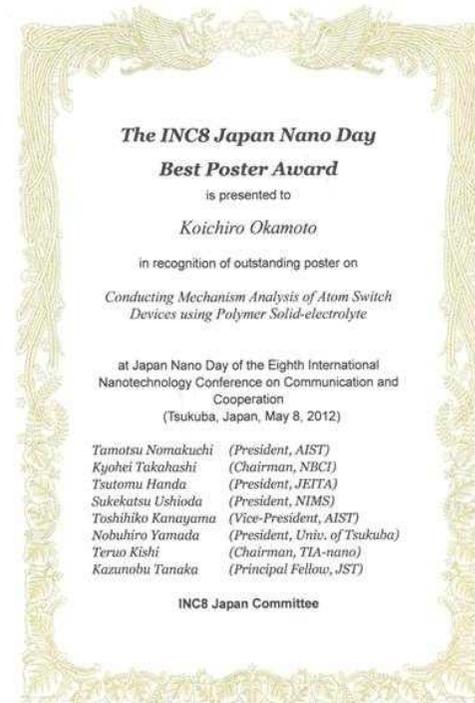
# INC8 Best Poster Award (2012)



賞のタイトル:  
INC8 Best Poster Award

受賞者: 多田宗弘

主催:  
INC8 Global Committee



賞のタイトル:  
INC8 Japan Nano Day  
Best Poster Award

受賞者: 岡本浩一郎

主催:  
INC8 Japan Committee



# 2013 IWDTF Young Paper Award

受賞者: 山本芳樹  
(ナノランジスタ構造デバイス研究グループ)

**Impact of Charges and Dipoles on Mobility and V<sub>TH</sub> Variability in Poly-Si/High-k/SiON/Silicon on Thin BOX (SOTB) Transistor**



IWDTF組織委員長  
丹羽正昭  
東北大学教授

LEAP  
山本芳樹



# 2014 S3S Conference Best Paper Award 2015 COOL Chips XVIII Best Poster Award

S3S Conference 受賞者：小池 汎平

(共同実施先 産業技術総合研究所)

More than An Order of Magnitude  
Energy Improvement of FPGA by  
Combining 0.4 V Operation and Multi-Vt  
Optimization of 20k Body Bias Domains

COOL Chips 受賞者：増山 滉一郎

(共同実施先 慶應義塾大学 天野研究室)

Ultra Low Power Reconfigurable  
Accelerator CMA-SOTB-2



# ADMETA AWARD 2014

## ADMETA 2014 AWARD NOTICE

8 Dec., 2014

The committee of Advanced Metallization Conference 2014 Asian Session has decided, following the evaluation process, give this year's awards to the following papers:

### ADMETA AWARD

Authors: A. Isobayashi, M. Wada, B. Ito, T. Saito, D. Nishide, T. Ishikura, M. Katagiri, Y. Yamazaki, T. Matsumoto, M. Kitamura, M. Watanabe, N. Sakuma, A. Kajita and T. Sakai (Low-power Electronics Association & Project)

Paper Title: CNT Via Integration with Highly Dense and Selective CNT Growth Paper Number: 4-5

### TECHINICAL ACHIEVEMENT AWARD

Authors: Osamu Nakatsuka, Yunsheng Deng, Mitsuo Sakashita, and Shigeaki Zaima (Nagoya University)

Paper Title: Formation of Epitaxial NiGe Layer on Ge(001) Substrate and Influence of Interface Structure on Schottky Barrier Height

Paper Number: 3-4

Authors: Hyun-Jung Lee<sup>1</sup>, Seung-Joon Lee<sup>1</sup>, Seungmin Yeo<sup>1</sup>, Yujin-Jang<sup>1</sup>, Taehoon Cheon<sup>1</sup>,  
Institute of Science & Technology, <sup>3</sup>Korea Basic Science Institute)

Paper Title: Atomic layer deposited Ru-Mn alloy film as a Cu direct plating catalyst

Paper Number: 5-4

### POSTER AWARD

Authors: Eiichi Kondoh, Yukihiro Tamegai, Mitsuhiro Watanabe and Lianhua Jin (University of Yamanashi)

Paper Title: Selective Cu fill into nanopores using supercritical carbon dioxide Paper Number: P-2

ADMETA2014において、最高賞の  
ADMETA AWARDに選定された。  
(授賞式は2015年9月)

An award ceremony will be held at the next ADMETA in 2015.

# 第11回国際ナノテク会議 (INC11) Best Poster AWARD



**Molecular Dynamics and Ab-initio Calculations on Stability and Doping Effects of Intercalated Graphene Nano-Ribbons for Future Low Resistivity Interconnects**

Wen Aizuddin and Yuji Awano  
Keio University, Yokohama 223-8522, Japan

Possessing extraordinary properties such as extremely high carrier mobility and high current-carrying capability even in nanoscale regime, graphene is very promising to be used in future low resistivity interconnects technology. To compensate damage or edge roughness introduced by fabrication processes of graphene nano-ribbon (GNR) interconnects, intercalation techniques for graphene using halogens and alkali metals have been previously reported by several groups. Intercalation with these compounds increases the carrier density by shifting the Fermi level in graphene resulting in a lower resistivity. Although much research has been carried out into graphene, little is known about a stable and suitable intercalation compound to be used in GNRs for LSI interconnects. In this work, we used both Molecular Dynamics and Ab-initio calculation method to estimate the stability of an intercalated GNR structure while investigating for a highly stable intercalation compound with a high doping effect. We found out that the width of the GNR host as well as the intercalation ratio affects the stability of the intercalated structure. Also, the GNR host width may affect the doping effect of the intercalation compound. We discussed the stability and feasibility of various intercalation compound by evaluating the change in the Fermi level and the binding energy of GNR sandwiched structures before and after intercalation.

第11回国際ナノテク会議 (INC11) 2015/5/11-13 @ 福岡において、ナノカーボン共同実施先慶應義塾大学栗野研究室のPosterがBest Poster Awardを受賞

- Home
- Registration
- Program
- Speakers & Abstracts
- Poster Abstracts
- Accepted Poster Author Guidelines
- Optional site-tour
- Map & Direction
- Accommodation
- Commercial Exhibition
- About INC
- Contact
- Past INC

**<INC11 Best Poster Award -US>**  
Li-To Cheng, UCLA: "Electrical Spin Injection and Transport in Silicon"



**<Japan NanoDay Best Poster>**  
Takumu Honda, Tokyo Institute of Technology: "Coupled quantum dot devices"

Aleksandra Draz, AGH University of Science and Technology: "Fast and precise digital hybrid pixel detectors for X-ray imaging"

Wen Aizuddin, Keio University: "Molecular Dynamics and Ab-initio Calculations on Stability and Doping Effects of Intercalated Graphene Nano-Ribbons for Low Resistivity Interconnects"



**<Japan NanoDay Young Researcher Poster Award>**  
Riku Fukumitsu, Notozen High School: "Synthesis and thermoelectric properties of n-type and p-type SnS<sub>0.5</sub>Ge<sub>0.5</sub> dithiost doped silicon"

T. Miyamoto, Shimaneoki-Hitachi High School: "First-principles simulation of a substitute material for transparent electrode"

Yukimi Morimoto, Kumamoto Senior High School: "Improvement of magnetic-field angular dependence of critical current density for superconducting film by introducing disordered crystal grains as flux pinning centers"

**Research Background**

Objective: of this research is to shift the Fermi level (+V) by means finding a stable graphene compound/structure.

Methodology

- Molecular Dynamics**
  - Molecular dynamics calculation is done using LAMMPS software.
  - Intercalation between atoms are define: C-C AIREBO potential, Sn-Sn Lennard-Jones, Sn-Br Lennard-Jones.
  - Lennard-Jones potential is produce it by fitting the parameters to data from previous ab-initio works.
- First Principle Theory**
  - DFT calculation is used to estimate the Fermi level shift after intercalation.
  - To estimate the stability of the graphene host after intercalation, the graphene layer binding energy is calculated.
  - A bilayer graphene system is used.

**Result and Discussion**

Molecular Dynamic calculation showing stability of intercalated multilayer graphene

1st: Same intercalation ratio, different width

2nd: Same width, different intercalation ratio

DFT calculation of reversing intercalant dependency of Fermi level shift and graphene layer binding energy

Fermi level shift in intercalated Graphene		Binding energy in intercalated graphene			
Intercalant	Br	F	None		
Binding energy (meV/atom)	30s	42	24	41	
	30s	-	-	30-40 (3, 10)	
Intercalant	Br	F	None		
Layer layer distance (Angstroms)	30s	0.86	0.2	2.49	
	30s	1.81 [12]	4.8 [11]	3.21 [12]	

of the intercalated graphene structure. Iodine and Fluorine, Bromine is more stable because of higher binding energy, Fermi level shift and binding energy in various intercalant to find the most effective performing graphene device/interconnects.



**Our latest works**

Line-width dependence of GNR interconnect resistivity [15]

Ultra-low contact resistivity in annealed Titanium edge contacts for 100-nm-layered Graphene (7.7 x 10<sup>10</sup> Ω-cm<sup>2</sup>)

Line width dependence of transport properties in graphene nanoribbon interconnects with real space edge roughness described with Monte Carlo simulation method

wise Project\* funded and supported by NEDO and METI

記事等

# 実用化の可能性と事業化までのシナリオ

