

「低炭素社会を実現する
超低電圧デバイスプロジェクト」

事業原簿

【公開版】

担当部	国立研究開発法人新エネルギー・産業技術総合開発機構 電子・材料・ナノテクノロジー部
-----	--

I. 事業の位置付け・必要性について	1
1. NEDO の関与の必要性・制度への適合性	1
1.1 NEDO が関与することの意義	1
1.2 実施の効果(費用対効果)	3
2. 事業の背景・目的・位置づけ	4
2.1 事業の背景	4
2.2 事業の目的	4
2.3 事業の位置づけ	5
II. 研究開発マネジメントについて	6
1. 事業の目標	6
2. 事業の計画内容	15
2.1 研究開発の内容	15
2.2 研究開発の実施体制	39
2.3 研究開発の運営管理	40
2.4 研究開発成果の実用化、事業化に向けたマネジメントの妥当性.....	40
3. 情勢変化への対応	43
4. 中間評価結果への対応	46
5. 評価に関する事項	54
III. 研究開発成果について	55
1. 事業全体の成果	55
2. 研究開発項目毎の成果	68
2.1 研究開発項目① 磁性変化デバイス	68
2.2 研究開発項目② 相変化デバイス	92
2.3 研究開発項目③ 原子移動型スイッチ	115
2.4 研究開発項目④ 三次元ナノカーボン配線	135
2.5 研究開発項目⑤ ナトランジスタ構造デバイス.....	165
2.6 研究開発項目⑥ 「BEOL 設計・製造基盤(プラットフォーム)開発」.....	182
3. 知的財産権、発表	190
3.1 知的財産権出願、登録、発表リスト.....	190
3.2 VLSI Symposia と IEDM における LEAP からの発表	190
4. 成果の普及(新聞発表、展示会など)	190
4.1 新聞・プレス発表.....	190
4.2 展示会等.....	191
5. 成果の普及活動	192
5.1 超低電力デバイスユーザーフォーラム	192
6. 技術移転	195
6.1 国立研究法人 産業技術総合研究所への BEOL デバイス設計・製造基盤(プラットフォーム)	

技術の情報開示	195
7. 標準化活動.....	195
7.1 カーボンナノチューブの抵抗評価方法	195
IV. 実用化、事業化の見通しについて	196
実用化、事業化の見通し.....	196
 (添付資料)	
•プロジェクト基本計画	
•技術戦略マップ(分野別技術ロードマップ)	
•事前評価関連資料(事前評価書、パブリックコメント募集の結果)	
•登録特許、及び論文・書籍リスト	

概要

最終更新日

平成 27 年 11 月 24 日

プログラム(又は 施策)名	IT イノベーションプログラム							
プロジェクト名	低炭素社会を実現する 超低電圧デバイスプロジェクト	プロジェクト番号					P10023	
担当推進部/担 当者	電子・材料・ナノテクノロジー部 島津高行(平成 23 年 3 月～平成 24 年 3 月) 電子・材料・ナノテクノロジー部 波佐昭則(平成 24 年 4 月～平成 27 年 11 月現在)							
0. 事業の概要	本プロジェクトは、ナノテクノロジーで培われた新規の機能材料や新規のデバイス構造に立脚して、集積回路の低電圧動作と高機能・高集積化を実現し、さらに、集積回路の低電力化を通して、エレクトロニクス機器の消費電力を大幅に低減する技術を確立することを目的として実施する。							
I. 事業の位置 付け・必要性に ついて	<p>半導体技術は、情報家電、コンピュータ、通信装置などの IT 機器、自動車、医療機器など、我が国の経済を支える先端産業の競争力強化に不可欠な基盤技術である。その発展を支えているのは、シリコン集積回路とその基本素子(デバイス)である CMOS トランジスタであり、これまで、CMOS トランジスタの寸法を微細化するプロセス・デバイス技術と、微細デバイスを機能させる回路技術により、高性能化・低電力化を実現してきた。</p> <p>低炭素社会の実現には、上記に代表されるエレクトロニクス機器の究極的な低電圧動作による飛躍的な低電力化が必須であり、デバイスの低電圧動作と不揮発動作が不可欠な技術要素である。CMOS 基本回路の消費電力は電圧の自乗に比例するので、電圧を 1/3 にすれば、単純には消費電力がほぼ 1/10 になる。また、電源を遮断しても情報が保持される不揮発デバイスを使えば、待機状態での消費電力がゼロになり、これも、消費電力の低減に大きな効果をもたらす。このように、動作状態では電圧の低減で、待機状態では不揮発動作を使うことで、消費電力の低減が達成される。これらの機能を満たす、新しい超低電圧・不揮発デバイスの開発が必要である。</p> <p>欧米においては、大型の産学連携ナノエレクトロニクス拠点の整備がここ数年で飛躍的に進み、超低電圧・不揮発デバイスをはじめとした、次世代デバイスに関する実用化を目指した研究が活発に行われ、今後、開発競争は熾烈化するものと考えられる。海外の研究開発活動の活発化により、このような状況を放置すれば、超低電圧・不揮発デバイスに関する我が国の技術開発の競争力を失いかねない。</p> <p>以上のように、本プロジェクトは、わが国の競争力の確保と、エネルギー消費削減・低炭素化の両方に貢献すると期待され、本プロジェクト推進の必要性は高い。</p>							
II. 研究開発マネジメントについて								
事業の目標	新構造・材料を用いて、超低電圧・不揮発デバイスを実現するための基盤技術を確立して 0.4V の超低電圧化を実現し、IT 機器などの大幅な小型化・高性能化と低電化を実現する。							
事業の計画内容	主な実施事項	H22fy	H23fy	H24fy	H25fy	H26fy	H27fy	
	経産省直執行	←→						
	NEDO 技術開発		←→					
開発予算 (百万円) 契約種類: (委託)	会計・勘定	H22fy	H23fy	H24fy	H25fy	H26fy	H27fy	総額
	一般会計	(2,046) ^{※1}	2,299	2,818	-	-	-	7,163
	特別会計	-	-	-	1,752	2,331	600	4,683
	総予算額	(2,046) ^{※1}	2,299	2,818	1,752	2,331	600	11,846
※1: 経済産業省直執行分								

開発体制	経産省担当原課	産業技術環境局研究開発課
	プロジェクトリーダー	<p>リーダー:住広直孝 超低電圧デバイス技術研究組合・研究本部長 副:木村紳一郎 超低電圧デバイス技術研究組合・研究企画部長</p> <p>※平成 27 年度2テーマ延長に伴う変更 リーダー:柴田秀樹 株式会社東芝 研究開発センター 技監 副:國島巖 株式会社東芝 研究開発センター 研究主幹</p>
	委託先	<p>超低電圧デバイス技術研究組合(参加 10 社) 株式会社荏原製作所、 東京エレクトロン株式会社 株式会社東芝 日本電気株式会社 株式会社日立国際電気(H23～) 株式会社日立製作所 富士通株式会社 富士通セミコンダクター株式会社 三菱電機株式会社 ルネサスエレクトロニクス株式会社</p> <p>共同実施先 立命館大学、神戸大学、中央大学、産業技術総合研究所、 筑波大学、東京大学、慶応義塾、芝浦工業大学、東京工芸大学、 電気通信大学、京都大学、京都工芸繊維大学、大阪大学、 東京理科大学、名古屋大学、北海道大学</p>
情勢変化への対応	<p><u>(1) 東北地方太平洋沖地震発生による実施方針・計画の変更</u> 平成 23 年 3 月 11 日に発生した東北地方太平洋沖地震のために、産業技術総合研究所のスーパークリーンルームが使用不能となり、平成 22 年度の実施計画遂行に遅れが生じ、事業実施期間を平成 24 年 3 月 31 日まで延期する計画変更を実施（結果として平成 23 年 8 月末に繰り上げ完了）。</p> <p><u>(2)研究開発項目⑤の実実施方針・計画の変更（平成 23 年度）</u> 他研究機関のベンチマーク、国際学会調査によりナノトランジスタ構造デバイスの特徴の一つである基板バイアス制御の活用に、注目が集まっていることが分かった。本研究の優位性を確実にするため、開発の前倒しを目的として、共同実施先の追加(電気通信大学、芝浦工業大学)を実施</p> <p><u>(3)技術推進委員会評価への対応のため実施方針・計画の変更（平成 23 年度）</u> 平成 23 年 12 月 16 日に実施した技術推進委員会での指摘事項に対し、各研究開発項目間の連携を強化し、及び 研究開発項目②、④に於いては、専門研究員の増強、実施計画の見直しを実施</p> <p><u>(4)研究開発項目⑤の実実施方針・計画の変更(平成 24 年度)</u> 最終目標の達成を確実にし、より質の高い成果を達成するため、以下 3 点を追加。「ナノトランジスタ構造の最適化」において、キープロセス技術としてのエピタキシャル成長工程の安定化、及び、評価チップ試作工期短縮のため、選択エピタキシャル成長装置を新規導入。「超低電圧システム開発」において、機能チップ向け周辺回路を追加開発。「TEG 開発」において、機能チップ向け周辺回路 TEG を追加開発。</p> <p><u>(5)研究開発項目④の実実施方針・計画の変更と加速(平成 25 年度)</u> グラフェンを用いた横方向配線の抵抗低減のため、配線基礎技術に研究員を増強し、量子論的検討を追加。グラフェン配線へのドーピング効果やエッジ形状の影響を局所的に評価・解析するため、加速予算によりSPM(走査プローブ顕微鏡)へのオプション設備を</p>	

	<p>追加導入。グラフェンへのドーピング材料・条件の検討拡大・強化のため、共同実施先(東京工芸大学)を追加。CNTビアのアスペクト比(AR)増大への対応のため、CNT成長可能性検証用に、高ARのビアホール構造開発を追加。</p> <p><u>(6)第三回加速による実施方針・計画の変更(平成25年度)</u> 各研究開発項目のシナジー効果実証のため、⑤ナトランジスタ構造デバイスをベースとし、メモリを構成する不揮発素子である①磁性変化デバイス、②相変化デバイス、③原子移動型デバイスを混載した融合実証チップ(超低電力センサーノード用マイコンチップ)実現に向けた検討を行った。最終年度である平成26年度の、融合実証チップ動作を確実なものとするため、TEGの設計、及び、マスク製作を予定の平成26年度から平成25年度中に前倒し完了させ、最終年度の早期に、融合技術実証チップ設計に必要なデータの取得を行った。</p> <p><u>(7)第四回加速による研究開発項目⑤の実実施方針・計画の変更(平成26年度)</u> 最終目標である「従来デバイスに比較して消費電力を1/10に低減できる基盤技術」を、実用に近い想定分野に対して実証するため、実証アプリチップ開発においてIoT(Internet of Things)市場向けに必要なとされるアナログマクロ等の機能マクロの設計と、それらを搭載する、BEOLデバイス(原子移動型スイッチなど)との融合チップの設計・試作を追加。</p> <p><u>(8)2テーマの延長に伴い基本計画の変更、実施方針の策定(平成27年度)</u> 研究開発項目②:新構造である超格子構造の評価から、超格子材料の組成を変えることにより、目標より更に半分以下の省電力効果(省電力目標1/10以下を1/数10以下)が可能となる新たな現象が観察された。この現象を実際のメモリ素子に適用し、実用化に繋ぐためには、その動作メカニズムの解明、300mmウエハへの適用に向けた集積化プロセスの検討が必要である。しかし、当初の開発期間内では、その確証までには至らないため、1年間研究開発を延長し、この現象のメカニズムの解明を図る。具体的には、新組性の超格子材料で300mmウエハ用集積化プロセスの完成度向上、及び、メモリマクロでのTRAMの基本動作確認を進める。 研究開発項目④:新たな課題として抽出された、ドーピングによる触媒金属の腐食等の抑制、ドーピング効果向上のための低温グラフェン成長膜の品質向上、実配線構造に則した特性予測計算手法の開発、CNT固有のドーピング手法の検討を延長実施する。</p>	
中間評価結果への対応	IIの4.中間評価結果への対応を参照	
評価に関する事項	事前評価	平成22年度実施 担当部 NEDO 電子・材料・ナノテクノロジー部
	中間評価	平成24年度 中間評価を8月30日に実施(8月29日 現地調査会)
	事後評価	平成27年度 事後評価を12月3日実施予定
III. 研究開発成果について	<p>研究開発項目① 磁性変化デバイス 「ロジック集積回路内1次メモリを対象とした、高集積・高速特性・高書き換え耐性などの機能を有する超低電圧・不揮発デバイスの開発」</p> <p>磁性変化デバイスの基本構造およびプロセスとして、トップピン構造、歪エンジニアリング、界面垂直磁化、SAF(Synthetic Antiferromagnet)構造などを開発し、読み書き電圧0.4V以下、10nsのパルスでの読み書きと、書き込み電流100μA以下、電力量0.4pJ以下を実証した。</p> <p>特性ばらつき増大無しでMRAMの書き込み電流を更に低減するため、電氣的・磁氣的な寸法をシュリンクする方法を開発し、書き込み電流を15μAまで低減できた。</p> <p>高品質MgO成膜プロセスを開発し、加速試験で10¹⁶回の書き換えと10年間の絶縁耐</p>	

性を、メモリアレイを用いた多点測定で実証し、実用に耐える信頼性技術を確立した。

300mm 径ウェハを用いて、2 層 Cu 配線間への磁性変化デバイスの埋め込みプロセスフローを作成し、試作を行い、デバイス動作を確認した。16k ビットの MRAM アレイでの抵抗ばらつき評価では、目標値(15% (3 σ))と同程度の 16%に抑制することができた。

マクロを設計する上で必要となる、回路シミュレーション用の MTJ モデルとして、大規模回路設計に対応可能なモデルを開発した。MTJ 抵抗が変化する電圧の書き込みパルス幅依存性と、抵抗変化の遅延時間依存性を加えたマクロモデルであり、回路シミュレータ (SPICE)でメモリセルの過渡応答を評価した結果、書き込みパルス幅 10ns まで対応できることを確認した。

集積化実証のため、周辺回路を備えたメモリマクロを設計、試作、評価し、読み書き電流 100 μ A 以下、読み書き時間 10ns を実証した。

更なる高密度化を狙い、多値素子とそれを実現するプロセスとして、MTJ の 2 段階積層構造の一括加工方式を提案し、試作によりメモリマクロでの多値動作を実証し、従来 SRAM 比 2 倍の高集積化の可能性を確認した。

メモリ以外の MTJ の展開として、電流センシング用の MTJ を開発し、 $\leq 10\mu$ A のセンシング精度に相当する性能を実現した。

本テーマは、平成 26 年度で終了した。

研究開発項目②

相変化デバイス

「外部記憶の高速低電力データ転送を実現する、高集積・高速低電力書き込み特性などの機能を有する超低電圧・不揮発デバイスの開発」

相変化が低いエネルギーで起こる、革新的な材料である GeTe/Sb₂Te₃ 超格子膜を開発した。理論的な成果としては、第一原理計算によって、GeTe/Sb₂Te₃ 超格子における Ge 原子の短範囲移動が、抵抗変化を発生させるモデルを提示した。

本開発の超格子膜を用いた新メモリは、従来の PRAM と異なる動作機構や優れた特性を有することから、“Topological switching Random Access Memory (TRAM)”と名付けた。TRAM のプロセス開発における最重要課題は、超格子成膜であり、本開発で、300mm ウェハの成膜装置を用いた、GeTe/Sb₂Te₃ 超格子構造形成に世界で初めて成功した。超格子膜は、GeSbTe 合金の混合等の不良を除いて高品質であり、その結晶構造は、サブ nm の原子干渉縞の TEM 実験等で確認した。

超格子膜の電気特性は、50nm 直径の W 電極を有する抵抗素子を試作して評価したが、100 以上の抵抗比を保持しながら書き換え回数 1 億回以上を実証した。

さらに、本開発では、超格子内での原子移動が起こりやすい Ge_xTe_{1-x}/Sb₂Te₃ (x < 0.5, Ge 欠損系) 超格子膜を提唱した。本材料を用いた抵抗素子を試作評価したところ、抵抗変化が化学量論組成の GeTe/Sb₂Te₃ 超格子膜と比べて、60 %の低電圧で起こることがわかった。書き換え電流値は 55 μ A で、書き換えエネルギーは最終目標を達成する 1.9pJ であった。以上の結果は、従来の 1/10 の電力 (66mW) で、データ転送速度 400MB/s (書き込み) が可能であることを示唆し、更なる電力削減効果 (33mW 以下) の見通しを示している。

TRAM の ULSI としてのフィージビリティをチェックするために、CMOS 基板と Cu 配線間に超格子素子を埋め込んだ 1T (Transistor)-1R (Resister) 型メモリセルのプロセスを開発した。超格子を Sb₂Te₃ ボトム層上に積層することで、ばらつきの少ない安定的な成膜を実現した。ドライエッチング加工では、超格子膜の側壁不良を抑制する条件を見出した。

1T-1R 型の単体デバイス、及び、デコーダ回路付き 16kb テストチップを試作評価したところ、TRAM の動作電圧の最終目標を達成する書き換え電圧 1.0V 以下での抵抗変化が起こった。これに加えて、2Mb マクロを開発し、ライト・リード回路を用いた TRAM 動作を確認した。マクロを用いることで、短時間パルス評価が可能となるが、本開発では、電圧パルス幅 5ns 以下での TRAM の高速書き換えに成功した。

本開発では、高集積化のための要素技術開発として、ポリ Si ダイオードを用いたクロスポイントセル PRAM の技術開発も行なった。相変化材料としては、クロスポイント型セルで書き

換え可能な、熱拡散防止機能を有するnano-GSTを開発して適用した。1D(Diode)-1R型のクロスポイント型セルにおいて、セル面積を $4F^2$ にするために、ワード線とダイオードを自己整合的に配置するプロセスを開発して実現した。

寸法100nmの1D-1Rクロスポイント型セルアレイを試作評価したところ、高抵抗状態と低抵抗状態の抵抗比として1ケタ以上を保持した、読み出し・書き換え動作を確認した。以上をもって、最終目標であるクロスポイント型メモリセルを集積化したメモリアレイ試作と動作実証、及びメモリセル面積 $4F^2$ のメモリアレイによる高集積性実証を達成した。

研究開発項目③

原子移動型スイッチ

「配線切り換えを可能とするスイッチを対象とした、低電流・高速書き換え、高オン・オフ抵抗比、小面積などの機能を有する超低電圧・不揮発スイッチデバイスの開発」

ポリマー固体電解質(PSE (polymer solid-electrolyte))を使う、二つの原子移動型スイッチ素子を相補的に配置した3端子構造を提案・試作し、低電圧化と高信頼性が両立できる3端子原子移動型スイッチを開発した。この3端子原子移動型スイッチを用いた0.5k~1kビットスイッチアレイ(スイッチを配列したもの)を、300mmラインのBEOLプラットフォームを用いて試作し、中間目標であるスイッチ素子の材料選定、素子構造の最適化(下部電極:Cu、固体電解質:PSE、上部電極Ruを基本構成とする3端子原子移動型スイッチ)、単体素子性能として書き換え電流と書き換え速度の積が $10^{-10}A \cdot s$ 以下、オン・オフ抵抗比 10^5 以上、書き換え回数 10^3 以上を達成した。

さらに、集積化プロセスを改善し、素子不良や素子特性ばらつき増加などの原因を調査、対策・改善を行い、中規模な回路動作(スイッチ数1Mbレベル)を検証するために必要な、十分に低い特性ばらつきを実現した。CuO層の形成、及び、Cu拡散によるプログラミング電圧ばらつき悪化の抑制、さらに、PE(Pre-Etching)処理条件、バッファ膜厚最適化、及び、合金比率の最適化を実施し、結果 $\sigma = 0.186V$ となる良好なプログラミング電圧ばらつきを得た。

動作検証においては、6x6および48x48プログラマブルロジックを用いて、その機能検証を行った。原子スイッチベースのプログラマブルロジックは、SRAMベースと比較すると、ロジックセル面積で-75%、電力で最大-61%、信号遅延で最大-65%が達成できた。

平成26年度に設計・試作を行った、プログラマブルロジックによるオフロード処理を実証し、CPUには負荷が大きい処理を短時間にプログラマブルロジックで実行することで、チップの電力を下げることができた。実証に用いた32x32ロジックセルアレイ規模のプログラマブルロジックは、原子スイッチROMが混載された32bitCPUと比較すると、2倍程度のアクティブ電力を必要とするが、処理速度が60倍と非常に高速である。また、不揮発性のためスタンバイ電力を必要としない。そのため、処理あたりのエネルギー効率が30倍まで向上した。

本テーマは、平成26年度で終了した。

研究開発項目④

三次元ナノカーボン配線

「集積回路チップ内において、機能ブロックの三次元集積を実現するための、微細幅・超低電気抵抗、超高アスペクト比配線・材料技術の開発」

微細幅・超低電気抵抗配線向け材料として、低温(650°C以下)での多層グラフェン(MLG)成長技術開発を行った。触媒段差を起点とする低温固有の新たなMLG成長機構を見出すとともに、触媒組成や配向性の調整、CVD条件の最適化を行った。その結果、結晶性の指標であるラマンスペクトルのグラファイト結晶由来のGピークと、欠陥由来のDピークの比(G/D比)が、局所的ながら高温合成結晶グラファイト並みの100を超える高品質成長を実証した。

MLGの抵抗低減施策として、膜品質の改善とともにグラフェン層間へのドーピング(インターカレーション:以下層間ドーブ)に着目し、ドーピング材料探索とプロセス開発を行った。

ドーピング材料として、金属塩化物を用いることによって、高温 MLG において、金属並みの低抵抗率を実証するとともに、低温 MLG においても、G/D 比の向上と最適な金属塩化物の選択およびパッシベーションプロセスの適用によって、ドーピングが可能なことを実証した。

微細幅・長距離横方向 MLG 配線構造を、300mm 径 Si 基板上で形成する集積プロセスを開発した。Ni ダマシン配線を触媒として低温 MLG の選択成長を行い、300mm Si 基板上全面に微細幅 (hp30nm)、長距離 (0.7mm)、低抵抗 ($1.1 \Omega / \square$) の MLG/Ni 配線パターンの形成を実証した。

カーボンナノチューブ CNT 低抵抗化に向け、単体の抵抗評価手法を開発し、CNT の抵抗率が直径 1.4nm まで上昇せず、およそ 5nm 以下のビア径では W 等よりも低抵抗となる可能性を示した。この成果をベースとして、経産省の国際標準化活動事業がスタートし、IEC (国際電気標準会議) TC-113 (ナノテクノロジー) における標準化ドラフト提案に結び付いた。CNT へのドーピング手法として、成長時同時ドーブ等の可能性を検討した。

超高アスペクト比 (AR) ビアコンタクトの埋め込み材料を目指して、最高 40 を超える超高 AR ビアホール底からの、CNT の低温成長を検討した。このために、最小ビア底径 < 50nm、ビア深さ最高 $2 \mu m$ のビアホール構造を開発し、そのビア底に CNT 成長に必要な 3-5nm 厚の触媒 Ni 形成技術を開発した。これらにより、 $AR \geq 40$ の超高 AR ホール底からも選択的に CNT 成長が可能であることを示した。

300mm 径 Si 基板上では初めてとなる、CNT ビアアレイの集積形成プロセスを開発した。CNT 成長用触媒形成と CMP による選択的触媒除去により、ビア内での選択 CNT 成長を可能にし、これにより 300mm 径基板上全面で、均一性のよい CNT-CMP、及び、上層電極形成を実現した。これにより、最大 2 万個直列の大規模 CNT ビアチェーン構造を、高歩留りで形成することに成功した。

研究開発項目⑤

ナノランジスタ構造デバイス

「CMOS トランジスタの超低電圧動作、及びリーク電流抑制を同時に実現するための、小さい値ばらつきトランジスタを集積化するための技術開発、並びに、この技術を用いた高集積機能素子における低電圧動作実証」

薄い埋め込み酸化膜上に極薄シリコンを形成した、SOI 構造の SOTB トランジスタとその製造プロセスを開発し、H24 年度末中間目標である、100 万個以上のトランジスタでばらつき $5\sigma \pm 0.1V$ 以下、および 1Mb 以上 SRAM で 0.4V 動作の実証を達成した。

平成 24 年度に導入した選択エピタキシャル成長装置を用いて、量産性の判断が可能な水準でのエピタキシャル成長工程を確立した。さらに、量産可能レベルのデバイス・プロセス技術を用いた試作した、周辺回路用バルクトランジスタを含んだ大規模 TEG での信頼性を評価を通して、ナノトランジスタ構造デバイスと既存の CMOS トランジスタの融合集積化技術を確立した。

300mm ウェハ全面での特性の均一性や、SRAM の不良ビット低減を実証した。具体的には、ウェハ全面において、95% 以上のチップが安定に動作することを実証した。

また、これまでのデバイス試作結果に基づいてキャリブレーションしたデバイスパラメータを用いた回路動作のシミュレーション特性と、試作したデバイスの実測回路特性がほぼ一致することも確認出来、構築した超低電圧 LSI 設計環境の完成度が高いことを実証した。

超低電圧回路の動作安定性に関して、SRAM を代表的題材として実測、及び、シミュレーション解析を行い、小さい値ばらつきやオン電流ばらつきの低減が、動作安定性に大きく寄与していることを見出した。

さらに、超低電圧実用回路の信頼性を阻害する要因として、ランダムテレグラフノイズ (RTN) やバイアス温度不安定性 (BTI) などを検討した。ナノトランジスタ構造デバイスの特徴である低不純物濃度 (ドーパントレス構造) が、小さい値やオン電流ばらつきに加えて RTN の低減にも寄与していることを見出し、さらにはアンテナ効果の緩和構造など、デバイスの配線構造等を検討することで良好な信頼性が得られることを実証し、以上の知見をもとに、超低電圧動作回路の高信頼化のための設計環境構築指針を提示した。

	<p>平成25年度、及び、26年度に設計試作した各種回路特性を評価した。具体的には、超低電圧回路特性評価、ソフトウェア信頼性評価、アナログ回路特性評価を行った。この評価結果を通じて、実用化回路レベルで、従来デバイスに対して消費電力を1/10に低減する目処を示した。</p> <p>各種評価ボード・モジュールを用いて平成25年度、及び、26年度に設計試作した実証アプリケーションチップや各種超低電圧動作チップを評価し、0.4V以下の超低電圧で動作することを確認し、実用化回路レベルで従来デバイスに対して消費電力を1/10に低減する基盤技術を確立した。</p> <p>原子移動型スイッチとナトランジスタ構造デバイスの融合技術実証チップとして、原子移動型スイッチを使ったROMを搭載したマイコンチップを設計試作し、最小読出し電力0.295pJ/bitの低電力性能の実証を行った。</p> <p>上記の評価結果により、最終目標であるナトランジスタ構造デバイスと既存のCMOSトランジスタとの融合集積化技術を確立するとともに、その設計環境構築への指針を提示し、従来デバイスに比較して、消費電力を1/10に低減できる基盤技術を確立するとともに、実用化回路レベルでの達成目処を示した。</p> <p>本テーマは、平成26年度で終了した。</p> <p>研究開発項目⑥ 「BEOL設計・製造基盤(プラットフォーム)開発」</p> <p>65nmBEOLプロセスフローを開発し、新材料、新構造を用いたBEOLデバイスを、企業製造ラインと繋げて試作できる、設計・プロセスプラットフォームを開発した。</p> <p>半導体製造ラインで作製した多層配線を有するCMOS基板上に、産総研SCR (Super Clean Room)でローカル配線、及び、セミグローバル配線を作製する配線製造基盤技術を開発し、配線が所望の特性を実現していることを確認した。</p> <p>新材料の汚染管理として、1. エッジカットリングによる新材料付着防止、2. 薬液による新材料除去、3. 新材料上HDP膜による汚染拡散防止、4. FOUPによるハンドリング管理手法を開発し、汚染管理の効果を確認した。</p> <p>半導体製造ラインPDKとSCR-PDKを統合した設計ルール、配線特性パラメータOPCルール等からなる連携ファブPDKを策定した。</p> <p>本テーマは平成23年で終了した。なお、本プラットフォームはSCRに技術移管した。</p>
発表・投稿論文	<p>発表 435 件、論文 39 件(H26 年度まで) 発表 39 件、論文 13 件(H27 年度 11 月 12 日まで)</p>
特 許	<p>国内出願;140 件、外国・PCT 出願;90 件、PCT からの各国移行;13 件 国内登録;8 件、外国登録;7 件 (H26 年度まで) 国内出願;12 件、外国・PCT 出願;16 件、PCT からの各国移行;1 件 国内登録;9 件、外国登録;12 件 (H27 年度 11 月 12 日まで)</p>
その他の外部発表(プレス発表等)	<p>第1回成果報告会 2011年12月15日 つくば国際会議場 320名 第2回成果報告会 2012年12月19日 つくば国際会議場 300名 第3回成果報告会 2014年1月23日 東京大学 伊東国際学術研究センター 300名 第4回成果報告会 2015年3月6日 東京大学 伊東国際学術研究センター 330名</p> <p>新聞発表 雑誌、Web 掲載 研究開発項目① 日刊工業新聞 2011年6月15日 日刊工業新聞 2012年4月17日 日刊工業新聞 2012年6月13日</p>

		<p>朝日新聞デジタル版 2012年6月13日 日経 Tech-On 2012年6月13日 (③⑤同時掲載) 日経エレクトロニクス 2012年7月9日 電気新聞 2013年6月11日 (②③⑤同時掲載) EE Time Japan 2013年6月12日 (②③⑤同時掲載) 日経 Tech-On 2013年12月9日 ((②⑤同時掲載) 研究開発項目② 日経 Tech-On 2012年12月8日 日刊工業新聞 2013年12月11日 日経 Tech-On 2014年6月9日 センコンポータル 2014年6月10日 日経 Tech-On 2014年12月15日 EE Times 2014年12月17日 研究開発項目③ 日刊工業新聞 2011年12月8日 日経産業新聞 2012年6月20日 日経 Tech-On 2012年6月13日 研究開発項目⑤ 日刊工業新聞 2012年6月20日 日経 Tech-On 2012年6月13日</p>
IV. 実用化、事業化の見通しについて	<ul style="list-style-type: none"> 集積回路の設計および製造を基幹事業のひとつとしている参加企業{(株)東芝、ルネサスエレクトロニクス(株)、富士通セミコンダクタ(株)}においては、開発した技術は、次世代以降の既存製品や新製品に直接搭載されることで、製品性能の向上やコスト削減効果により、市場占有率の増加や新市場の開拓に貢献する。 IT製品やそれを使った応用システムの提供、サービスを事業とする企業{日本電気(株)、(株)日立製作所、富士通(株)、三菱電機(株)}においては、開発した技術は、製品であるIT製品や応用システムにおける新機能付加や性能向上、競争力向上に貢献する。 半導体製造装置企業((株)荏原製作所、東京エレクトロン(株)、(株)日立国際電気)においては、開発した技術を新材料、新プロセスを処理する集積回路製造装置に適用する。 	
V. 基本計画に関する事項	作成時期	平成23年3月 作成
	変更履歴	平成26年12月事業項目「低炭素社会を実現する超低電圧デバイスプロジェクト」の研究開発項目②、④の最終目標変更、及び研究実施期間延長に伴う改訂。

プロジェクト用語集

用語	説明	分類
1次メモリ	CPU などのプロセッサと直接アクセスすることのできるメモリ。	①
スパッタ装置	イオン等の高エネルギー粒子をターゲット材料に照射し、ターゲット表面から原子を反跳させること(スパッタ)により、薄膜を形成する装置。	①
MTJ (Magnetic Tunnel Junction)	トンネル磁気抵抗効果を発現するトンネル接合であり、強磁性膜 / トンネル絶縁膜 / 強磁性膜から構成される。2 層の強磁性膜の相対的な磁化(スピン)方向により、トンネル絶縁膜におけるスピン偏極電子のトンネル確率(抵抗)が変化する。	①
多値化	メモリにおいて、通常のデータ”0”、”1”の 2 値ではなく、データ”00”、”01”、”10”、”11”のように、2 値以上の値をとること。	①
界面垂直材料	磁性体薄膜において、界面付近で膜面に対して垂直方向に磁化する材料。MgO 膜との界面を有する CoFeB 膜が知られている。	①
トップピン構造	MTJ において、トンネル絶縁膜の上層に、磁化方向が固定された磁性膜であるピン層が配置される構造。これに対し、トンネル絶縁膜の下層にピン層が配置される構造を、ボトムピン構造と呼ぶ。	①
フリー層	磁化方向が固定されていない強磁性膜であり、磁界や電子のスピントルクにより、磁化方向が変化する層。フリー層のヒステリシスにより MTJ に情報が保持される。	①
垂直磁気異方性	膜面に対して垂直方向が安定となる、磁性体薄膜における磁化の異方性。	①
結晶磁気異方性定数	磁性体の結晶方向によって異なる磁気異方性のエネルギーを表す定数。	①
SAF	Synthetic Antiferromagnetic の略。スペーサー膜を介して対向する強磁性膜の磁化が互いに反平行となり、磁化を打消す状態。交換相互作用によるものであり、スペーサー膜は一般的に、Ru 膜が用いられる。	①
帰還型センス	増幅回路の出力の一部を入力に帰還(フィードバック)させ、センシングの感度を上げる手法。	①
センス回路	メモリの微小なメモリデータやアドレス信号を素早く検出して増幅する回路。	①

負性抵抗回路	入力インピーダンスを見た際に、印加した電圧に対して 抵抗値が見掛け上マイナスになるような回路ブロックを指す。	①
TEG	Test Element Group の略。一枚のウエハに形成された各種寸法のトランジスタや回路の一部分などの特性を測定することにより、各種依存性や回路の動作余裕などを解析したり、製造歩留まりの検査に用いる。通常の半導体製品では、半導体チップを切り分けるときの切り代となる部分(スクライブライン)に搭載される場合が多い。	①
配線電流センシング用デバイス	配線における電流をセンシングするためのデバイスであり、ここでは電流により発生した磁界に対し線形の抵抗変化を示す MTJ を指す。	①
相変化材料	非晶質と結晶との間で可逆的な変化が可能な材料。	②
非晶質	原子配列がランダムで高抵抗な状態。	②
結晶	原子配列が規則的で低抵抗な状態。	②
熱拡散防止層	相変化材料に接する周囲の部材への無駄な熱の散逸を抑制し、記録動作に必要な電力を低減するための層。	②
Ge ₂ Sb ₂ Te ₅	従来の相変化デバイスや光ディスクにおいて、記録膜として一般的に用いられている相変化材料の 1 つ。	②
高抵抗化	相変化材料を高抵抗状態に変化させる記録動作。記録膜を一旦熔融し急冷することで変化させる。	②
低抵抗化	相変化材料を低抵抗状態に変化させる記録動作。記録膜を結晶化温度以上の温度で保持することで変化させる。	②
GeSbTe 超格子	GeTe、Sb ₂ Te ₃ から構成される薄膜を、結晶配向性を揃えながら交互に成長させた相変化膜。熔融過程を経ないため、相変化に必要なエネルギーを大幅に削減できる。	②
PVD	Physical Vapor Deposition (物理気相成長法) の略称。	②
CVD	Chemical Vapor Deposition (化学相成長法) の略称。	②
プラグ	異なる層に形成された配線などを縦方向に連結する導電性の電極。相変化デバイスでは、選択スイッチと相変化材料層を接続する部分を指す。	②
ポリ Si pin ダイオード	P 型層、真性層、N 型層の 3 種のポリ Si を積層製膜し、素子分離することによって形成したダイオード。	②
真性層	元素をドーピングしていない Si 層。PIN ダイオードにかかる電界を緩和する効果がある。	②
整流特性	電流を一定方向にしか流さない特性。	②
クロスポイント型セル	メモリのワード線とビット線が最小寸法ピッチ (2F, F は最小加工寸法) で配置されて直交し、セルサイズが最小値の 4F ² となるメモリ構造	②

ビッグデータ	通常のデータベース管理ツールなどで取り扱う事が困難なほど巨大な大きさのデータの集まり。	②
ディスクストレージシステム	ハードディスク、CD-ROMドライブなど、コンピュータのデータをバックアップするためのディスク型機器。	②
ペタバイト	情報量の単位の一つで、1000兆(10の15乗)バイトまたは約1126兆(2の50乗)バイト。	②
Tier0	ストレージ階層において、性能と信頼性が最も重視される階層。	②
HDD	Hard Disk Drive(ハードディスク)の略称。	②
SSD	Solid State Drive(固体ストレージ)の略称。	②
PRAM	Phase change RAM。相変化RAM。結晶と非晶質状態をメモリの0, 1に割り当てたメモリ。結晶状態が低抵抗で、非晶質状態が高抵抗であり、電流により発生するジュール熱で結晶/非晶質状態を遷移させ、メモリ書き換えを行う。	②
TRAM	Topological switching RAMの略。GeSbTe超格子を用いたメモリは、従来のPRAMと動作機構が異なるため、LEAPが命名。GeSbTe超格子がトポロジカル絶縁体の性質を示すことに由来。 トポロジカル絶縁体とは、物質の内部は絶縁体でありながら、表面は電気を通すという新しい物質である。ペンシルバニア大学により2005年に提唱され、2007年デュルツブルグ大学が確認した。	②
MRAM	Magnetic Random Access Memoryの略称。	②
ReRAM	Resistive Random Access Memoryの略称。	②
ULSI	Ultra Large Scale Integrated Circuitの略称。	②
TEM	Transmission Electron Microscope(透過型電子顕微鏡)の略称。	②
化学量論組成	化合物を構成している原子数の比(組成)が整数であること。ストイキオメトリと称される。GeTe/Sb ₂ Te ₃ 超格子膜は化学量論組成である。	②
Ge欠損系超格子	Ge _x Te _{1-x} /Sb ₂ Te ₃ (x<0.5)超格子膜。LEAPで開発した。	②
放射光	シンクロトロン放射による電磁波。赤外線からX線の領域の光を発生。指向性が強く、光強度が強いため、高分解能の分析が短時間で実施できる。	②
X線回折	X線の結晶格子での回折現象を利用した分析手法であり、原子構造を知ることができる。	②
ユニポーラ動作	書き換え極性を持たないメモリの動作を指す。メモリの片方の電極にプラス電圧を印加しても、マイナス電圧を印加して	②

	も書き換えができる。	
バイポーラ動作	書き換え極性を持つメモリの動作を指す。	②
ビット線/ワード線	メモリは 2 端子で書き換えを行うため、各メモリ(セル)への接続は 2 種類の配線が必要である。1つをビット線、もう一つをワード線と定義する。通常、ビット線とワード線は直行する。	②
HAADEF-STEM	High-angle annular dark-field scanning transmission electron microscopy の略。走査透過電子顕微鏡法(STEM)の内、格子振動による熱散漫散乱によって高角度に非弾性散乱された電子を円環状の検出器で受け、この電子の積分強度をプローブ位置の関数として測定し、その強度を像として表示する手法。	②
EDX	Energy dispersive X-ray analysis の略。エネルギー分散型 X 線分光法。元素分析や組成分析を行う手法。	②
Nano-GST	GeSbTe 合金に絶縁物質を添加して、結晶サイズが nm オーダー化した相変化材料。LEAP で開発した。低熱伝導かつ高抵抗な相変化材料で、PRAM の書き換えエネルギー低減を実現した。	②
QL	Quintuple layer の略。5 原子層を意味する。Sb ₂ Te ₃ は Te-Sb-Te-Sb-Te の QL である。	②
原子移動型スイッチ	電極からのイオンの析出・溶解現象を利用した抵抗変化スイッチ。	③
ディスタープ耐性	Disturb 電圧印加下でのスイッチの抵抗状態の安定性を示す。	③
オフディスタープ耐性	Off disturb 電圧印加下でのスイッチのオフ抵抗状態の安定性を示す。	③
ポリマー固体電解質 (PSE)	炭化水素を主成分とした固体電解質。	③
オン・オフ比	スイッチのオン状態とオフ状態における抵抗の比率、もしくは一定電圧下で流れる電流の比率	③
相補型構造	二つの原子移動型スイッチを対向するように接続した構造	③
ローカル配線	LSI の多層配線における下層配線を指す。一般に短距離のトランジスタの接続に用いられ、4~5 層からなる。	③
セミグローバル配線	ローカル配線上に形成する配線。中長距離向けの配線。一般に配線ピッチがローカル配線の 2 倍で、シート抵抗は半分程度になる。	③
デコーダ回路	アドレスデコーダ回路 コード化されたアドレスバスの信号から、所望のアドレスを選択する回路。	③

アドレス指定	プログラムにより、物理上のスイッチの位置を指定すること	③
フルインテグレーション	LSIの製造工程において、シリコン基板からFEOL/BEOLを経てコンタクトパッドを形成するまでの一連の集積化プロセス工程をさす。	③
保持特性	Retention バイアス印加無で保管された場合の抵抗状態の安定性	③
IO セル	入出力用のセル	③
LUT	Look-up Table : ROM や RAM などのメモリにあらかじめ計算した値をテーブルとして書き込んでおき、その値を必要に応じて参照するためのテーブル	③
PE	pre-etching : プレエッチング。原子移動型スイッチにおいては、イオン供給源である、銅電極表面の清浄化工程で実施している。	③
ESD(保護素子)	Electro-Static Discharge 静電気の放電が電子回路や半導体部品を破壊することを防止する素子	③
アコースティックエミッション法	材料中での局所的な変化で生ずる弾性波を計測し、採取したデータを解析・評価することにより、材料や構造物の状態を検査・評価する方法。	③
顕微レーザーラマン分光法	物質にレーザー光を照射し、物質との相互作用により、入射光の波長が変化した微弱な散乱光を測定することにより、物質の化学構造や結晶構造の決定、未知物質の同定を行う方法。	③
in-situ 観察	その場観察。実際に使用している状態で観察すること。	③
第一原理計算	量子力学の第一原理に基づき、実験データや経験パラメータを使わないで理論計算をする方法の総称。電子状態計算のことを指すことが多い。	③
ナノカーボン	グラフェン、ナノチューブなどのナノサイズのカーボン材料	④
三次元集積	メモリ等のデバイスを積層方向にも複数層形成し集積する方式	④
CNT	Carbon Nanotube;カーボンナノチューブの略称。カーボンの6角形ネットワークからなるグラフェンシートが筒状に巻いて形作られるナノサイズのチューブ。グラフェンシートが単層の場合の単層CNTと多層の場合の多層CNTがある。	④
AR	Aspect Ratio;アスペクト比。高さ、直径あるいは幅との比。本プロジェクトでは縦方向のコンタクトプラグにおけるコンタクトホールの高さと直径の比	④
超高アスペクト比配線	三次元積層構造に不可欠な高さ、直径の比(アスペクト比)が極めて大きいコンタクトプラグ配線	④

多層グラフェン (MLG)	Multi Layer Graphene; カーボンの 6 員環ネットワークからなるグラフェンシートが複数層積み重なった構造	④
G/D 比	グラフェンやグラファイトの品質を示すラマン分光法による代表的な指標、ラマンスペクトルにおいて、カーボンの六員環構造に由来する G ピーク(1590cm ⁻¹ 付近)と同構造の欠陥に由来する D ピーク(1350cm ⁻¹ 付近)の比	④
CVD	Chemical Vapor Deposition; 化学気相堆積法 気相状態で原料を供給し、化学反応によって目的の材料を堆積させる方法で、主に薄膜状の材料形成に用いられるが、微粒子状や CNT のようなチューブ状など微細な構造を伴って堆積させることもできる	④
プラズマ CVD	原料ガスをプラズマ励起することで反応性を上げ、より低温で合成を可能にした CVD(化学気相堆積)方法	④
電子ビームリソグラフィ	レジストを電子ビームにより露光する微細パターン形成に適したリソグラフィ法	④
高温結晶グラフェン	1000°C以上の高温で生成された高結晶性のグラフェン、後述の Kish グラファイトや HOPG から剥離したグラフェンのほか、高温 CVD で成長させたグラフェンも含む	④
Kish グラファイト	製鉄過程の高温で生成する高品質のグラファイト、同結晶から剥離されたものを Kish グラフェンと略称	④
HOPG	Highly Oriented Pyrolytic Graphite; 高配向性熱分解グラファイト、高温で炭化水素を熱分解させて合成される Kish グラファイトと共に高品質なグラフェンを得るために用いられる	④
インターカレーション	グラファイトの層間に化合物や元素等を挿入(インターカレート)すること。古くからさまざまな用途で研究され応用されているが、本開発では層間物質とグラフェンシート間のチャージトランスファーによるドーピング手法として検討	④
フェルミレベルシフト	ドーピングによるフェルミレベルの変化	④
4 端子電極法	電流印加用端子と電圧降下測定用端子を別に設け接触抵抗と配線抵抗を分離可能にした抵抗測定法	④
モンテカルロ解析	電子の輸送現象を散乱やドリフトといった物理現象から解析する手法で、自然現象の確率過程を乱数を用いて解析する方法	④
ナノカーボン層間遷移・散乱	多層のグラフェンシート間のキャリアの移動(遷移)や層間での散乱	④
実空間モデル	現実的な配線の三次元構造を配慮したモデル	④
CVD モジュール	CVD を行うチャンバー・ガス供給系・排気系などから構成されるユニット	④

CMP(Chemical Mechanical Polishing)	機械的な研磨剤と化学エッチング成分を用いて平坦面を得る化学機械研磨方法	④
SOG 含浸	SOG(Spin-on-Glass:塗布型ガラス)を CNT 等の隙間にしみこませて硬化することで、CNT 層を固化する方法	④
CMOS	Complementary Metal-Oxide-Semiconductor; 相補型金属酸化膜半導体のこと。ゲート電極となる金属(M)から酸化膜(O)を介して半導体(S)に電界を与えて動作させる、MOS 型電界効果トランジスタにより構成される。伝導キャリアが電子および正孔である、n チャネルおよび p チャネルの MOS 型電界効果トランジスタを組み合わせると相補的に動作させる。主に論理回路に用いられ、状態保持時には消費電流が原理的にゼロなため低消費電力であることが特徴である。ただし、現在の CMOS ではリーク電流のために必ずしも状態保持時の電流が少ない特徴は当てはまらない。	⑤
LSI	Large-Scale Integration の略、大規模集積回路。	⑤
理想スケーリング則	トランジスタの寸法を微細化するための設計指導原理。トランジスタ各部の寸法、不純物濃度、電圧など種々のパラメータを比例的に変化させることでトランジスタを正常に動作させながら寸法を縮小することが出来る。電界一定スケーリング則とも、比例縮小則とも呼ぶ。	⑤
動作電力	論理回路においてトランジスタ回路がスイッチング動作するとき、その動作によって消費される電力のこと。AC 電力とも呼ぶ。	⑤
リーク電流	トランジスタを用いた回路においては、電源電圧を印加した状態で、回路動作状態に関わらずトランジスタ各部で漏洩する、すなわち電源からアースに流れて無駄に消費される電流のこと。	⑤
リーク電力	上記リーク電流に電源電圧を掛け合わせたもので、動作状態に関わらず電源電圧を印加した状態で消費される電力のこと。待機電力とも呼ぶ。	⑤
回路の動作率	回路の用途により、常時スイッチング動作するものや、間欠的に動作するものがあり、その動作している時間的比率のことを示す。	⑤
V_{th}	Threshold Voltage (しきい値電圧)を示す記号。電界効果トランジスタなどでは、トランジスタがオフ状態からオン状態に遷移する、すなわちドレイン電流が立ち上がるときにゲート電極に与えられた電圧のことを示す。しきい値、しきい電圧とも呼ぶ。	⑤

しきい値(電圧)ばらつき	しきい値電圧は、個々のトランジスタで値が揃わず、通常ある範囲に分布する。この現象ないしは分布の幅のことを指す。原因は多岐にわたるが、特にトランジスタが微細になるに従ってばらつきが大きくなる傾向がある。	⑤
基板バイアス制御	CMOS 電界効果トランジスタにおいて、トランジスタが形成される部分(基板)にゲート電圧とは独立に電圧を加えると、しきい値電圧も変化する。この現象を利用して基板バイアス電圧を変化させることでしきい値電圧を制御する技術のことを指す。	⑤
ITRS ロードマップ	International Technology Roadmap for Semiconductors (国際半導体テクノロジーロードマップ)のこと。ロードマップは毎年改訂され、改訂時から 15 年間の半導体技術の開発方向を記述している。	⑤
ランダム不純物揺らぎ (RDF)	Random Dopant Fluctuation の略。CMOSトランジスタのチャネル部分に特性調整のために不純物が注入される場合、特に微細な寸法のトランジスタになると、その不純物の数や位置のわずかな揺らぎによりトランジスタ特性が大幅に変動する、すなわち、しきい値電圧 V_{th} がばらつく現象が生じる。この揺らぎのことを示し、RDF とも略される。	⑤
不純物(ドーパント)	半導体の伝導特性を制御するために注入する、ホウ素、リン、ヒ素などのこと。	⑤
SOI 基板	Silicon on Insulator 基板の略。トランジスタが形成される表面のシリコン層/絶縁層/支持基板となるシリコン結晶の 3 層構造になっている基板のこと。間に絶縁層が挟まれることで、表面のシリコン層から支持基板へのリーク電流が抑えられたり、トランジスタの寄生容量が低減するなどの利点がある。	⑤
BOX(埋め込み絶縁)	Buried Oxide の略で、SOI 基板における埋め込み絶縁層のこと。一般には二酸化シリコン層(シリコンの熱酸化膜)が用いられる。	⑤
SOTB	Silicon on Thin Buried Oxide の略。SOI 基板を用いる SOI トランジスタの一種であるが、特に SOI 層、BOX 層ともに極薄であることが特徴のトランジスタ。本事業で研究開発しているトランジスタ構造である。	⑤
実効仕事関数	仕事関数とは、物質の表面から 1 個の電子を無限遠まで取り出すのに必要なエネルギーのことである。即ち、物質のフェルミ準位と真空準位との差を示す。電界効果トランジスタのゲート電極においては、その仕事関数によりしきい値電	⑤

	<p>圧が変化するが、最近のトランジスタでは複雑な組成や構造のゲート電極とゲート絶縁膜が用いられるため、それらの組合せによっては、電荷移動などの現象により物質単体で決まっている仕事関数からのずれが生じる。そこでゲート電極とゲート絶縁膜の組合せで決まる仕事関数のことを実効仕事関数と呼ぶ。</p>	
バンドエッジ	<p>半導体禁制帯のなかで、価電子帯の頂点あるいは伝導帯の底に近い部分を示す。</p>	⑤
ミッドギャップ	<p>半導体禁制帯の中間付近を示す。</p>	⑤
オン電流	<p>MOS トランジスタで、ソースが接地されドレインに電源電圧が印加されている場合に、ゲート電極に電源電圧が印加されている、即ちトランジスタがオン状態になったときにドレインを流れる電流のこと。</p>	⑤
オフ電流	<p>MOS トランジスタで、ソースが接地されドレインに電源電圧が印加されている場合に、ゲート電極が接地されている、即ちトランジスタがオフ状態になったときに、トランジスタを流れるリーク電流のこと。</p>	⑤
ゲート絶縁膜	<p>ゲート電極とシリコンに挟まれた絶縁膜。従来、シリコン CMOS においてはシリコン酸化膜をゲート絶縁膜に用いていたため Oxide と呼ばれていたが現代の CMOS では純粋な Oxide ではない。このため、Insulator という語を採用して CMIS という呼び方も一部ではなされる。</p>	⑤
グランドプレーン(GP)構造	<p>SOTB のようなトランジスタ構造においては、BOX 層裏面直下のシリコン支持基板領域に不純物が注入される。これが平板状の電位安定化層として機能してトランジスタ動作を安定化させる作用を持つため、このような名称になっている。</p>	⑤
ローカルグランドプレーン(LGP)構造	<p>上記の GP 構造では、トランジスタの主要部分のシリコン支持基板領域にほぼ均一に平板状の不純物層が形成されているが、その部分をあえて横方向に不均一な分布とすることで、トランジスタの動作特性を変化させることを目的とした不純物分布構造のこと。</p>	⑤
ゲート長	<p>ゲート電極の長さのこと。これが短いと、ソース電極からドレイン電極までの距離が短くなり、かつゲート電極の容量が小さくなるために、トランジスタのオン電流が増大し、動作速度も速くなる。勿論、トランジスタそのものの面積が小さくなるために、トランジスタ微細化を表現するパラメータの一つともなっている。デバイス物理の立場では、ソース領域とドレイン領域に挟まれて実際にチャンネルが形成される部分の長</p>	⑤

	さ、すなわちチャンネル長を用いる方がより正確である。	
短チャンネル特性	上記、ソース電極からドレイン電極に至る部分にはゲート電極からの電界効果によりチャンネルが形成される。つまり、ゲート電極が短くなると、チャンネルの長さも短くなる。チャンネルが短いと、トランジスタの動作としてはチャンネルの電気伝導がドレイン電極の影響を受けて特性が変動しやすくなる。具体的には、チャンネル(ゲート長)が短くなるにつれて、しきい値電圧が低下するという現象が生じる。このことを短チャンネル効果と呼び、短チャンネル効果の影響が小さいトランジスタ設計が求められる。この短チャンネル効果の影響の小ささや、短チャンネル状態におけるトランジスタ特性のことを短チャンネル特性と呼ぶ。	⑤
DIBL	Drain Induced Barrier Lowering の略。上記のようにドレイン電極の影響を受けやすくなると、ドレイン電圧の変化に対するしきい値電圧の変動も大きくなる。これを表す指標のことで、短チャンネル効果の程度を表すパラメータでもある。	⑤
グローバルばらつき	トランジスタの特性は、トランジスタ各部の寸法、たとえばゲート長や絶縁膜厚などにより変動する。製造プロセス起因で変動することも多く、シリコンウエハの比較的広い範囲である程度規則的な変化を示すことも多い。このような広い範囲にわたるトランジスタ特性のばらつきのことを示す。	⑤
近接ばらつき	トランジスタ各部の寸法が良く揃っていると考えられる近接したトランジスタ対においても、トランジスタの特性が RDF などの要因でばらつく。このばらつきのことを示す。	⑤
正規分布	平均値の周囲に対称に釣り鐘状に分布するような分布のしかたのことでガウス分布とも呼ぶ。確率的事象で決まる分布の多くでこのような分布をとるものが観測される。統計分布としては最も基本的なもの。	⑤
バルクトランジスタ	通常のシリコン結晶を用いた基板上に形成されたトランジスタのこと。SOI 基板を用いた SOI トランジスタと対となる概念とも言える。	⑤
ハイブリッド集積化	SOI (SOTB) トランジスタとバルクトランジスタを同一の基板上に集積すること。	⑤
SRAM	Static Random Access Memory の略。通常は 6 つのトランジスタの組で形成されるメモリである。CMOS トランジスタプロセスのみで作製できること、各種メモリ中で最も動作速度が高速であるという特長があるが、面積が大きい、電源を切ると記憶が失われる揮発性である、という欠点もある。	⑤

SRAM アレイ TEG	SRAM 動作特性の評価、製造歩留まりの評価などの目的で、多数の SRAM を並べたもので、これらにアクセス出来る回路も備えた TEG のこと。	⑤
DMA-TEG	Device Matrix Array-TEG の略。トランジスタ、抵抗、キャパシタ等の素子を多数並べて各々の特性ばらつきを統計的に解析できるようにした TEG のこと。	⑤
静的雑音余裕 SNM	SRAM の動作特性を示すパラメータの一つ。読み出し動作をしたときに記憶が失われずに安定して読み出せるための電圧余裕の大きさを示したもの。	⑤
RTN	Random Telegraph Noise の略。ゲート絶縁膜中の欠陥へのキャリア捕獲と離脱に伴って MOS トランジスタの動作電流が揺らぐ現象のこと。RTS (Random Telegraph Signal) とも呼ばれる。	⑤
ランダムテレグラフノイズ	RTN の項を参照	⑤
SPICE パラメータ	トランジスタなど、回路素子の特性を表現するモデルに与えるパラメータのこと。California 大 Berkeley 校が開発した回路シミュレータ SPICE (simulation program with circuit emphasis) で用いるパラメータであることがこの名称の起源である。	⑤
標準セル	通常、論理集積回路は、基本論理動作を行う各種回路ブロックを組み合わせて構成する。この回路ブロックが標準セルであり、これのマスクパターンレイアウト、論理記述、動作特性記述などをセットにしたものを標準セルライブラリと呼ぶ。	⑤
自動配置配線環境	論理集積回路の設計では、論理動作記述から実際の回路を組み上げるために、標準セルを適切に並べて配線する必要がある。この操作を自動的に行うために必要な各種プログラムやデータファイルなどの総称である。	⑤
設計フロー	論理動作記述から回路レイアウト、動作シミュレーション、動作検証など、一連の設計作業を各種のプログラムやデータファイルを順繰りに使用して行う、設計の流れのことである。	⑤
SPICE シミュレーション	回路の動作波形、各部分の電圧電流、動作速度、消費電力、などを回路図とそれに使用する素子の SPICE パラメータを使用して計算すること。	⑤
アクセラレータ	論理回路の一種。特定の処理に関して、CPU(中央処理装置)でソフトウェアを実行するよりも高速な処理を行うハードウェア(回路やマクロ)のこと。浮動小数点演算ユニット FPU、グラフィックスアクセラレータ GPU、デジタルシグナル	⑤

	プロセッサ DSP などがアクセラレータの例である。	
OPS/mW	電力効率を示す指標の一種。1mW の消費電力において、1 秒間にどれだけの論理動作ができるか(OPS: Operation per second)を示したもの。	⑤
インバータ遅延時間	CMOS 論理回路の中で最も単純なものが、各 1 個の n チャネルと p チャネルトランジスタを直列に接続した CMOS インバータである。この回路で入力波形と出力波形の時間差を示したものであり、論理回路の高速動作性能を表す指標である。	⑤
リングオシレータ	インバータや NAND などの論理ゲートを奇数段直列に接続し、その最終段の出力を初段に帰還することにより発振させる回路。発振器として使用する一方、発振周波数から論理ゲートの遅延時間を測定する手段としても用いられる。	⑤
HCI	Hot Carrier Instability の略。ドレイン印加電圧によりもたらされる強い電界で、トランジスタのチャネルを流れるキャリアが加速され高いエネルギー状態(ホットキャリア)となる。このホットキャリアが直接、あるいはドレイン、基板、キャリア同士の衝突といった要因によってゲート絶縁膜に注入されて捕獲されることで、空間電荷となりトランジスタの特性 (V_{th} など) を変動させる。長期的な特性変動により集積回路の動作異常を引き起こす信頼性阻害現象のひとつである。	⑤
BTI	Bias Temperature Instabiligy の略。PMOSFET においてはゲート絶縁膜界面にあるシリコンの未結合手を終端している水素原子が高温高バイアスの条件下で離脱して界面準位密度を増大させる。Negative BTI すなわち NBTI と呼ばれる。また、High-k 絶縁膜を使用した NMOSFET においては欠陥への電子捕獲が原因とされており、Positive BTI すなわち PBTI と呼ばれる。	⑤
TDDB	Time Dependent Dielectric Breakdown の略。絶縁膜に高い電界が印加された状態で時間経過に伴って絶縁破壊が発生する現象。MOS トランジスタの信頼性阻害現象のひとつである。	⑤
ホットキャリア信頼性	HCI の項を参照	⑤
バイアス温度不安定性	BTI の項を参照	⑤
時間依存絶縁破壊	TDDB の項を参照	⑤
ソフトエラー	素子の破壊などによる故障(ハードエラー)とは異なり、一時的に誤動作する現象のこと。特に、半導体パッケージの成分元素や半導体に注入される B などの不純物(同位体元	⑤

	素)から放出される α 線や、宇宙空間から飛来する高エネルギー粒子線(中性子線等)がトランジスタの活性領域に飛び込むことで電子や正孔のキャリアを発生し、トランジスタの異常電流をもたらすことで回路が誤動作する現象が代表的なものである。通常、エラー発生率はFIT数で評価する。	
FIT	Failure In Time の略で故障率を示す。通常、 10^9 時間(11.4万年)に1回の故障発生が1FITに相当する。	⑤
SEU	Single Event Upset の略。一回の粒子線(α 線、中性子線等)の照射によって、素子ないし回路が誤動作する(ソフトウェア)現象のこと。	⑤
MCU	Multi Cell Upset の略。SEUにより特定の部分にエラーが発生する際に、同時に隣接部分にも影響が生じて複数のセルでソフトウェアが発生する現象。	⑤
MCU	Micro Controller Unit の略。家電製品や電子機器等の制御用に特化したICのことで、通常、CPU、メモリ(ROMとRAM)、周辺機器用(通信用)インタフェース、タイマーや時計機能、アナログ入出力などを備える場合が多い。	⑤
CPU	Central Processing Unit の略。コンピュータなどにおいて中心的な処理装置として働く電子回路のことで、中央処理装置や中央演算処理装置などと呼ばれる。	⑤
RISC	Reduced Instruction Set Computer の略。コンピュータの命令セットアーキテクチャの設計手法の一種、あるいはそれを用いたプロセッサのこと。命令の種類を減らし、回路を単純化して演算速度の向上を図る。RISCの対概念として、CISC(Complex Instruction Set Computer)や、さらに長いVLIW(Very Long Instruction Word: 超長命令語)やEPICアーキテクチャ(Explicitly Parallel Instruction Computing Architecture)がある。	⑤
パイプライン	工場の流れ作業のように、処理の各要素を分割してそれぞれを同時並行的に進めて効率化する手法で、プロセッサの処理の場合、命令の「読込」「解読」「実行」、結果の「書出」の各工程を流れ作業のように処理することで、複数の命令処理を効率よく実行する仕組みである。パイプラインの段数が多いほど、次々と先の命令に着手出来るため、処理速度(クロック周波数)を高めやすくなる。	⑤
ROM	Read Only Memory の略。読み出し専用メモリのこと。本来は、マスクROMのようにチップ製造後に書き換え出来ないメモリのことであったが、マイコンのプログラム格納のように	⑤

	頻繁には書き換えることのないメモリについても ROM と呼ばれるのが通例である。	
SPI	Serial Peripheral Interface の略。信号ピン数が少なくて済む同期式シリアルインタフェースの一種。一つのマスター機器に対して複数のスレーブ機器が接続可能で、シリアルクロック、入力、出力、スレーブ機器選択、の 4 線で通信を行う。	⑤
UART	Universal Asynchronous Receiver Transmitter の略。非同期方式(調歩同期方式)によるシリアル通信インタフェースのこと。チップ外部のシリアル信号とチップ内部の平行信号を相互に変換する機能が内蔵されている。	⑤
GPIO	General Purpose Input/Output の略で、汎用入出力ポートのことである。特にポートの機能が指定されているわけではなく、例えば複数の GPIO ポートを使用して平行信号の入出力を行ったりすることが可能である。	⑤
I2C	Inter-Integrated Circuit の略。SPI より更に信号ピン数が少なくて済む同期式シリアルインタフェースの一種。複数のマスター機器と複数のスレーブ機器が接続可能で、シリアルクロック、入出力の 2 線で通信を行う。機器の選択はマスター機器が対象スレーブ機器のアドレス信号を送出することにより行う。	⑤
LDO	Low Dropout Regulator の略。入出力電位差が小さくても動作する安定化電源回路(リニアレギュレータ)のこと。	⑤
RTC	Real-Time Clock の略。機器が停止した状態においても常時バッテリー等の電源で時刻を刻み続ける。32.768kHz の発振器を(2 の 15 乗)分カウント(16bit)して 1 秒を判定する場合が多い。	⑤
ADC	Analog-to-Digital Converter の略。アナログ信号の強度(信号電位)を一定時間毎にサンプリング(標本化)し、その値を一定のビット数の値に変換(量子化)する。サンプリング周波数の半分の周波数(ナイキスト周波数)までの信号を変換することが出来、量子化ビット数が大きいほど高精度な変換が可能となる。なお、ナイキスト周波数を超える周波数成分は折り返し雑音となるため入力してはいけない。	⑤
クロックゲーティング	集積回路の低消費電力化技術の一種。使用していない回路部分へのクロック供給を止めることにより、当該回路の動作電力(AC 電力)を削減する。なお、電源電圧は印加されたままであるためリーク電力(DC 電力)は削減されない。低消費電力技術の中では比較的簡単に実施できるために多	⑤

	用されている。	
SLID	Search-Less Information Detector の略。データと対応するアドレスをメモリに展開しておき、データを入力することで該当アドレスを出力する処理(連想メモリ)を活用することで検索しない高速検索処理を実現するアーキテクチャ。	⑤
FPGA	Field-Programmable Gate Array の略。チップの製造後に回路構成を設定(変更)できる集積回路で PLD (Programmable Logic Device) の一種。通常は、SRAM による LUT (Look Up Table) と FF (Flip Flop) レジスタから構成されるロジックエレメント(ないしはロジックセル)により論理動作情報を規定する。これらを 2 次元的に配置させ、ロジックエレメント相互の信号経路の接続はパストランジスタにより切り替え可能になっており、これらによりあらゆる回路を設定(マッピング)可能となる。	⑤
ASIC	Application Specific Integrated Circuit の略。特定用途専用設計された集積回路のこと。通常は特定顧客向けのいわゆるフルカスタム IC になる。	⑤
ASSP	Application Specific Standard Product の略。特定用途向け汎用 IC、特定用途向け標準品などと呼ばれる。例えば TV 用の MPEG デコーダのように、特定のアプリケーションながら複数のメーカーで使用可能な IC などが該当する。	⑤
DSP	Digital Signal Processing (デジタル信号処理)ないしは Digital Signal Processor (デジタル信号処理用プロセッサ) のこと。デジタル化された音声信号や画像信号などに特化してフィルタやフーリエ変換などの処理を高速に行う。	⑤
OSC	Oscillator (発振器) のこと。集積回路のクロック源などで多用される。水晶振動子あるいはセラミック振動子を外付けして発振させるものや、外付け部品が不要な RC 発振回路によるオンチップ OSC などがある。	⑤
OPA	Operational Amplifier の略。演算増幅器と呼ばれる。反転入力と非反転入力、2 つの入力端子があり、この電位差を高利得で増幅する機能を有する。通常は負帰還回路と組み合わせて、微積分、加算減算、フィルタなど様々なアナログ回路を構成できる。	⑤
チャージポンプ	コンデンサとスイッチ(トランジスタ)を組み合わせたスイッチトキャパシタ回路により、電荷をコンデンサに継ぎ足してゆくことで入力電圧より高い電圧や逆極性の電圧を生成する回路。	⑤

電気二重層キャパシタ	Electric Double Layer Capacitor のこと。電極と電界液の界面で印加電界に応じて可動イオンが移動することで静電容量が形成される現象を応用した極めて大容量のキャパシタ(コンデンサ)である。印加可能電圧が数 V 程度と低く、容量密度も二次電池に比べて一桁以上小さいが、充放電回数が多く、比較的大電流が取り出せる、という利点がある。	⑤
BEOL	back end of line (BEOL) 一般に LSI の製造工程におけるコンタクトプラグより上層の配線工程をさす	⑥
BEOL 設計・製造基盤(プラットフォーム)	個別デバイスの研究開発を推進するために構築した、BEOL に関する共通設計、および製造基盤技術をさす	⑥
OPC(Optical Proximity Correction: 近接効果補正)	半導体製造時のマスク補正技術の 1 つで、マスク・パターン上の図形やコーナー部などに補正用のパターンを追加する。あらかじめリソグラフィ・シミュレータや 実験データを基に定めた補正ルール(形状や補正量)に従ってレチクルを作成すること	⑥
レジストパターン	感光性有機物に形成された回路パターン	⑥
レチクル	電子部品の製造工程で使用されるパターン原版をガラス、石英等に形成した透明な板	⑥
デザインゲージ	日立ハイテクノロジーズ社製の測長 SEM 用寸法計測用ソフトウェア	⑥
測長	平面 SEM 画像から、パターン寸法を抽出すること、またはその抽出した寸法を指す	⑥
配線トレンチ	配線が形成される前の溝	⑥
ビア	上下の配線を接続するためのホール形状のプラグ	⑥
BEP2	LEAP で開発した BEOL 専用のレチクルセット	⑥
PDK(Process Design Kit)	半導体の製造側から設計者に提供される、回路設計に必要な一連のファイル群	⑥
DRC(Design Rule Check)	定められた規則に従って、レイアウトが作製されているのかを確認すること、もしくはその規則	⑥
Density DRC	プロセス上の不良を回避するために定められた、レイアウトのデータ密度に関する規則	⑥
Antenna DRC	トランジスタのアンテナ劣化を回避するために定められたレイアウト上の規則	⑥
LVS(Layout versus Schematic)	論理・回路設計段階で作られた素子や素子間の接続が、レイアウト設計で正しく実現されているのかを検証すること	⑥
銅デュアルダマシン配線	配線溝とビアホールに同時に銅を埋め込み、CMP によって余剰の銅を除去する配線形成プロセス	⑥
ビアファーストプロセス	銅デュアルダマシン配線形成方法の一種。ビアホールを先	⑥

	に形成し、次いで配線溝を形成する	
液浸 ArF レジスト	ArF エキシマレーザを使った光学系に、純水を満たして行う露光でパターンニングされる感光性樹脂を指す	⑥
化学増幅材	レジストの感度を増加させる目的で、レジストに添加される材料	⑥
トレンチファーストプロセス	銅デュアルダマシニ配線形成方法の一種。配線溝を先に形成し、次いでビアホールを形成する	⑥
ビアチェーン	上下の配線間を直列に蛇行するチェーンパターンをさす	⑥
ラインモニタ	簡易的な TEG、もしくは回路を搭載したテストウエハを試作することで、ラインの安定性を評価する手法	⑥
レジストアッシング	感光性樹脂からなるパターンを灰化し、除去すること	⑥
FOUP (Front Opening Unified Pod)	SEMI (Semiconductor Equipment and Materials Institute) 規格に準拠している 300 ミリウエハー用の搬送容器	⑥
HDP 膜 (High Density Plasma) 膜	高密度プラズマ化学気相堆積法 (HDP-CVD) を使用して堆積した薄膜。一般的に低い温度でも膜質が良好である。	⑥

I. 事業の位置付け・必要性について

1. NEDO の関与の必要性・制度への適合性

1.1 NEDO が関与することの意義

ネットなどに流れる情報量は年々爆発的に増加し、それを取り扱う情報技術もめざましい発展を見せている今日の社会では、情報・知識を、時間や場所の制約を受けず誰もが自由自在かつ安全に活用できる情報通信環境の実現が望まれている。また、2006年3月に閣議決定された「第3期科学技術基本計画、および2009年12月に閣議決定された「新成長戦略(基本方針)」においても、世界をリードする「グリーン・イノベーション」を実現し、我が国の強みを活かし国際競争力強化のために注力すべき分野として、情報通信機器(IT 機器)・関連デバイス等の情報通信技術分野が挙げられている(図 I -1)。これら分野を支える基幹デバイスとなる半導体集積回路には、一層の高機能化、低消費電力化が求められている。

本プロジェクトは、その具体的施策としての「IT イノベーションプログラム」の一環として実施されており、開発目標である 微細化を進めつつ「IT 機器の消費電力を 1/10 とする超低電圧(0.4V)動作の不揮発動作デバイスコア技術の開発」は、将来の情報通信分野における低炭素社会を実現する中核的・革新的技術であり、我が国エレクトロニクス産業の優位性の確保と情報化社会の推進にとって大きな意義を持つものである。

経済産業省 研究開発プログラム「ITイノベーションプログラム」の 1テーマとして実施

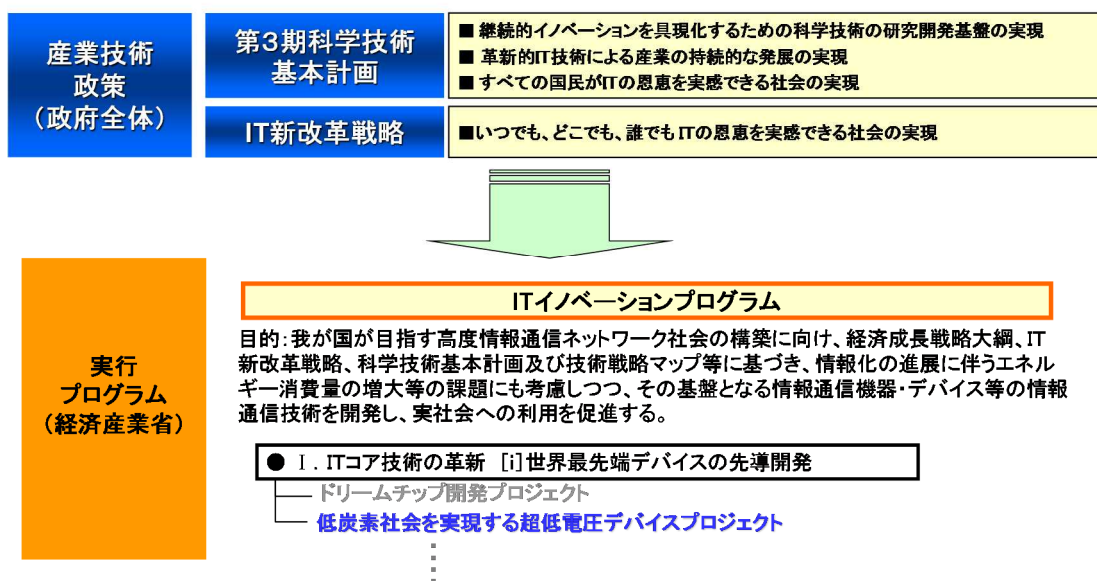


図 I -1 政策上の位置づけ

また、NEDO の中期目標が示すように、我が国の「高度な情報通信社会の実現」、「IT 産業の国際競争力の強化」のため、半導体分野を注力すべき基盤技術分野として捉えており、NEDO の目標にも合致する開発プロジェクトである(図 I -2)。

「高度な情報通信社会の実現」、「IT産業の国際競争力の強化」のため、
情報技術開発分野の半導体における技術開発の一環として実施。

●高度情報通信社会とそれを支える技術分野

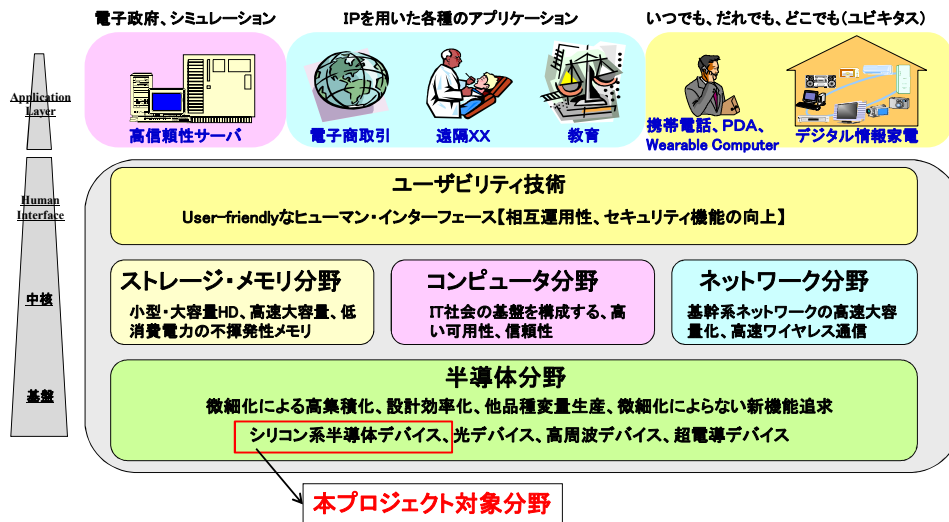


図 I-2 NEDO中期目標における位置づけ

半導体技術がこれまでに機能、消費電力、集積度、コストにおける急速な進歩を達成してきたのは、集積回路を製造するときに使用される最小寸法を年々指数関数的に縮小する微細化技術の向上によるもので、今後も引き続き微細化技術開発を通じて、集積回路の機能あたりコストがさらに低減され IT 技術のさらなる発展と経済における生産性と社会全体における生活の質の大きな改善をもたらすことが期待されている。しかしながら、最近では、微細・高集積化の進展に伴い、開発すべき技術課題の難度と、その克服に要する研究開発資源が増大してきており、民間企業のみでは十分な対応が困難となって来ている。また、微細化のみでは、微細化によるリーク電流の増大、構成デバイスの特性ばらつき増大により IT 機器の消費電力を飛躍的に削減することが難しくなっている。

集積回路の性能向上には、単なる微細化のみならず、新材料、新プロセス、新構造など革新的技術の導入が不可欠で、その必要性は微細化の進展とともにますます大きくなる。すなわち、微細化によって得られてきたメリットをこれまで以上に享受しながら IT を根底から支える半導体技術をさらに発展させていくために、2020 年頃以後の LSI に求められる新材料、新構造、新プロセス技術の開発を実現する技術シーズを発掘育成し、それらを将来の産業技術につなげていくための橋渡しを進める取り組みが必要である。

また、本プロジェクトが対象としている技術課題は、今後の IT 機器の飛躍的な低消費電力化を進める上で重要な鍵を握る技術であり、世界に先駆けて、また、欧米の開発状況から、イコールフットリングの観点からも、これらの課題を克服することは、我が国半導体産業の国際競争力強化に不可欠な要件である。半導体デバイスの高度化は、関連する半導体製造装置、材料等の関連産業においても、技術の高度化を促進するものであり、国際競争力の強化に寄与することとなる。また、半導体 LSI は、情報通信分野はもとより、広範な産業分野(家電、自動車、モバイル、ロボット等)に応用され、高付加価値の新製品開発と、それによる競争力強化に貢献するものと期待される。

以上のように、本プロジェクトは、開発課題の性格上、産学官の英知を結集して開発を行う必要があることに加え、我が国半導体とその関連産業の国際競争力強化、および国家的重点目標である高

度情報化社会の実現に寄与するものであり、産業政策・情報政策の面からも極めて重要な課題であることから、国家プロジェクトとして NEDO が関与すべきものと考えられる。

1.2 実施の効果(費用対効果)

本プロジェクトは、事業期間 6 年間、事業規模約 118.5 億円の計画で進められている。

(1) 経済効果

本プロジェクトが対象とする集積回路は、半導体メモリ、ロジック、MPU 等の全半導体デバイス(市場規模としては、世界全体で 32 兆円/2020 年の予想 図 I-3)への適応を目指しており、これらを用いた産業機器やコンシューマ機器は、待機電力のゼロ化、動作電力の削減により大幅な省エネルギー化(消費電力 1/10)が期待できる。本研究開発を実施し、他国に先駆けて省エネ機器を実現することで、2020 年において、不揮発デバイスはデジタル家電用混載メモリで 5 割、データセンター用固体ストレージ等で 3 割、低電圧デバイスは IT 機器用汎用マイコン等において 3 割の普及率を目指す。

さらに、その応用展開により、研究開発成果が医療センシングネットワーク、高齢化社会に対応したセキュリティシステム、エネルギー管理システムなど大きな新市場創出につながると期待され、「社会インフラのグリーン化」にも貢献できる。

これら民生機器、IT 機器に使用されている半導体デバイスを、本プロジェクトの研究開発成果を適用したデバイスに置き換えることにより、経済効果として、2020 年にロジック、マイコンで 8000 億円、メモリで 1 兆 2000 億円が見積もられる。

(2) 省エネルギー効果

本プロジェクトの研究成果であるデバイスの低電圧動作、及び待機電力ゼロを、テレビ等の民生機器やサーバー、ルーター等の IT 機器、データセンター等に使用される MPU、ロジック、メモリに適用することにより、2020 年に 163.4 億 kWh の電力削減を目指す。これは、2020 年に IT 機器が使用すると予想される 1600 億 kWh の約 1 割に相当する。また、炭酸ガス削減量に換算すると、697 万トン/年である。

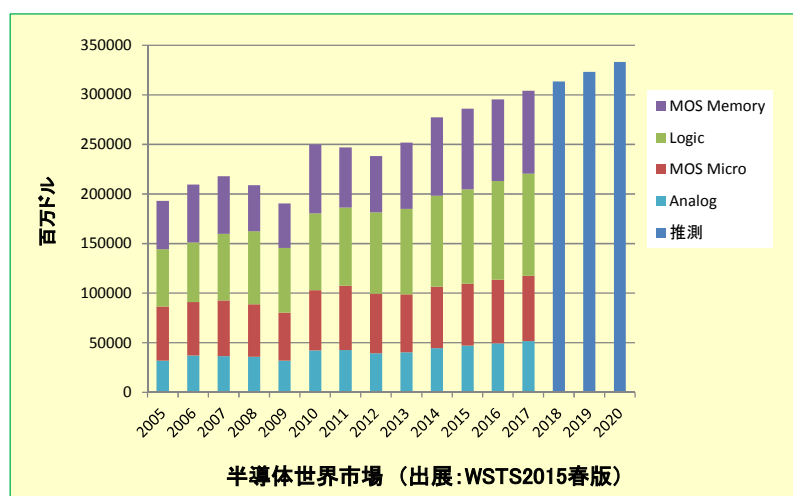
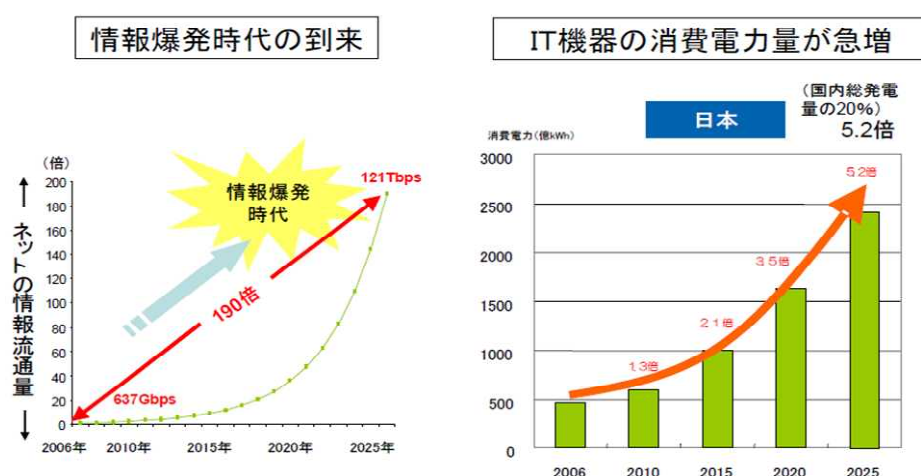


図 I-3 半導体世界市場推移

2. 事業の背景・目的・位置づけ

2.1 事業の背景

半導体技術は、情報家電、コンピュータ、通信装置、自動車、医療機器など、我が国の経済を支える先端産業の競争力強化に不可欠な基盤技術である。その発展を支えているのは、シリコン集積回路とその基本素子(デバイス)の CMOS トランジスタであり、これまで、CMOS トランジスタの寸法を微細化するプロセス技術と、微細デバイスを機能させる回路技術により、高性能化・低電力化を実現してきた。しかしながら、単純な微細化のみでは、微細化に伴うリーク電流の削減が難しくなっており、今日予測されているネットに流れる情報量の爆発的な増加、それに伴う IT 機器の待機電力を含む消費電力の急激な増加(図 I-4) に対処が出来なくなっている。



グリーンロイニシアティブの推進 平成20年10月 経済産業省商務情報政策局 高濱 航 氏 発表資料より
http://www.csei.jp/semina/2008/1006_semina.html

図 I-4 ネット情報量、IT機器消費電力の予測

低炭素社会の実現には、上記 IT 機器の消費電力の増大を押さえることが必要不可欠である。そのためには、IT 機器の究極的な低電圧動作、及び 待機電力ゼロ化による飛躍的な低電力化が必須であり、IT 機器を構成する CPU やメモリ等のデバイスの低電圧動作と不揮発動作が不可欠な技術要素である。

2.2 事業の目的

CMOS 基本回路の消費電力は電圧の自乗に比例するので、電圧を 1/3 にすれば、単純には消費電力がほぼ 1/10 になる。また、電源を遮断しても情報が保持される不揮発デバイスを使えば、待機状態での消費電力がゼロになり、これも、消費電力の低減に大きな効果をもたらす。このように、動作状態では電圧の低減で、待機状態では不揮発動作を使うことで、消費電力の低減が達成される。これらの機能を満たす新しい超低電圧・不揮発デバイスの開発が必要である。

本プロジェクトの目的は、

「新構造・材料を用いて、超低電圧・不揮発デバイスを実現するための基盤技術を確立して 0.4V の超低電圧化を実現し、IT 機器の大幅な小型化・高性能化と 1/10 の低電力化を実現」することにある。

2.3 事業の位置づけ

欧米においては、大型の産学連携ナノエレクトロニクス拠点の整備がここ数年で飛躍的に進み、超低電圧・不揮発デバイスをはじめとした、次世代デバイスに関する実用化を目指した研究が活発に行われ、今後、開発競争は熾烈化するものと考えられる(図 I-5)。海外の研究開発活動の活発化により、このような状況を放置すれば、超低電圧・不揮発デバイスに関する我が国の技術開発の競争力を失いかねない。

以上のように、本プロジェクトは、わが国の競争力の確保と、エネルギー消費削減・低炭素化の両方に貢献すると期待され、本プロジェクト推進の必要性は高い。

組織	IMEC	MINATEC	CEA/LETI	Albany NanoTech	ITRI Electronics & Opto. Res. Lab	Fusionopolis	超低電圧デバイスプロジェクト (Tsukuba-TIA)
国・地域	ベルギー	フランス	フランス	米国	台湾	シンガポール	日本
ターゲット	ナノエレクトロニクス CMOS技術 ヘルスケア	マイクロエレクトロニクス、 ナノテクノロジー、 エネルギー	マイクロエレクトロニクス、 情報、ヘルスケア	CMOS技術 (リソグラフィ中心)	光電子融合、 MRAM、3D積層 BEOL Lab	R&D ファンダリ CMOS& MEMS プロセス	超低電圧不揮発デバイス・基 盤技術 BEOLプラットフォーム
主要テーマ	<ul style="list-style-type: none"> ●CMOS微細化 (<20nm) ●新構造デバイス ●ナノカーボン、新材料不揮発デバイス(MRAM, 相変化, RRAM, 原子移動デバイスメモリ応用) 	<ul style="list-style-type: none"> ●マイクロ・ナノテクノロジー (300mm) ●MEMS (200mm) ●バイオテクノロジー ●エネルギー 	FD-SOI 応用デバイス <ul style="list-style-type: none"> ●ヘルスケア・医療 ●通信 ●運輸・環境・環境モニタ・安全 ●防衛・宇宙 	<ul style="list-style-type: none"> ●CMOS微細化 (<20nm) ●低電力志向 ●FD-SOI ●グラフェン、CNT応用デバイス(大学) 	<ul style="list-style-type: none"> ●ウエハ3次元積層、実装 ●相変化を用いた新材料不揮発メモリ 	<ul style="list-style-type: none"> ●ストレージ応用新材料不揮発デバイス(相変化, MRAM) ●CMOS基板上にBEOL工程新デバイス付加 	<ul style="list-style-type: none"> ●新材料不揮発デバイス磁気変化、相変化、原子移動等BEOLプロセスで構築 ●集積化基板技術ナノカーボン(CNT, グラフェン)配線、ナノ構造トランジスタ(SOTB) ●BEOL工程で異種材料を融合するプラットフォーム
クリーンルーム面積 (ウエハ径)	4800m ² 300mm 3200m ² 200mm	8000m ² (300, 200mm)	8000m ² (200, 300, MEMS用)	北(3200m ²) 南(3000m ²) (300mm)	200 mm	5200m ² (200mm)	SCR(3000m ²)(300mm) 研究ライン(1500m ²)
参加企業組織・大学	<ul style="list-style-type: none"> ●ASML, Infineon, NXP, Bosch, SOITEC, STMicro, Thales, Thomson Silicon Components. ●エルピーダ、パナソニック 	<ul style="list-style-type: none"> ●Leti, STMicro, Semitool ●AIST, NIMS, MMC(日本) ●250社以上 	<ul style="list-style-type: none"> ●MINATEC, IBM, STMicro, ●Micro Machine Center(日本) 	<ul style="list-style-type: none"> ●IBM, Global Foundries, ASML, Micron, Toshiba, 東エレ, AMAT, ASML, Vistec, ●Sematech ●300以上 	<ul style="list-style-type: none"> ●日米欧の32社参加(日東電工等) ●スタンフォード大、精華大学など26校がパートナー。 	<ul style="list-style-type: none"> ●組合: 荏原、東芝、東京エレクトロニクス、NEC、富士通、富士通セミコン、日立国際電気、日立、三菱、ルネサスエレクトロニクス ●産総研、慶応大学、神戸大、芝浦工大、東京大学、電気通信大、立命館大 	
その他	研究者 2051 (職員1276) 予算 332M€ (2012年)	人員 4000(内 Leti2400)+学生 560 予算 350M€ (内Leti220M€) (2015)	研究者 2400 予算 220M€ (2015年)(25% 政府資金)	CNSE 366M\$ (2014)	人員 5740 (2012年)	研究者 55 2010年度(20.5億円) 2011年度(22.9億円) 2012年度(28.2億円) 2013年度(17.5億円) 2014年度(23.3億円) 2015年度(6億円) (総額 118億円/6年)	

図 I-5 他研究機関の開発状況

II. 研究開発マネジメントについて

1. 事業の目標

本プロジェクトでは、エレクトロニクス機器の飛躍的な低電力化に向けた、材料・プロセス・デバイス技術の研究開発を掲げ、低電圧化が可能と期待されている抵抗変化型不揮発デバイス(①磁性変化デバイス、②相変化デバイス、③原子移動型スイッチデバイス:BEOL デバイス)と、これと組み合わせることで更なる低電力化を可能とする集積化基盤技術である、④三次元ナノカーボン配線、および、超低電圧動作を可能にする⑤ナノトランジスタ構造デバイスの研究開発を行う。5 つの技術とその用途、および、適用場所をデバイスの断面構造として示したのが図 II-1 である。なお、⑥BEOL (Back-End Of Line) プラットフォームは、材料、構造の異なる 3 つの抵抗変化型不揮発デバイスを、配線工程 (BEOL) で配線間に形成するための共通技術である。

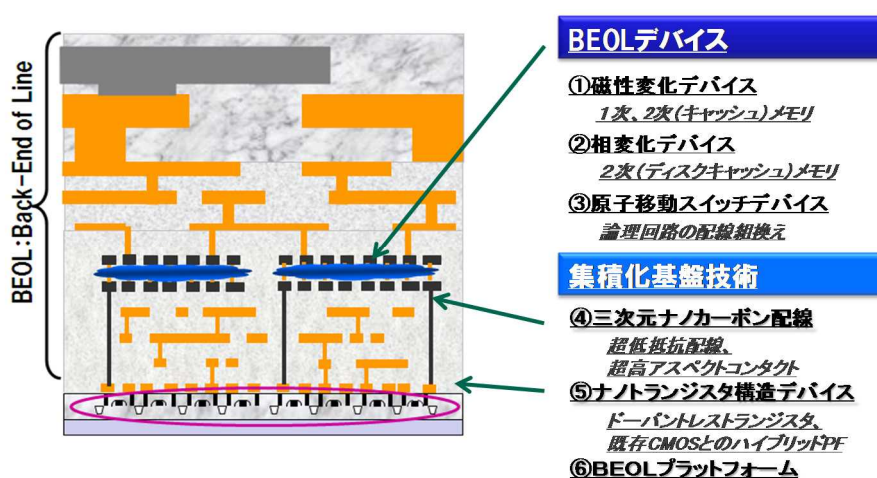


図 II-1 研究開発テーマと集積回路における適用場所のイメージ

これらの低電圧化／低電力化技術は、それぞれの特徴を活かした適用先を目指している。それを、LSI を用いた情報処理の階層構造におけるデバイスの役割として示したのが、図 II-2 の情報処理におけるデバイスの役割である。磁性変化デバイスは高速読み出しが可能で、かつ、SRAM や DRAM と同様に無限回書き換えの可能性があるため、CPU などの論理回路と直接情報をやり取りする一次メモリ(一～三次キャッシュやメインメモリ)に、相変化デバイスは相変化領域を微細化しても相変化を起こすことが可能なことから、高集積が必要なファイルやディスクキャッシュなどの二次メモリとして、そして原子移動型スイッチは微細でかつ低抵抗な電流パスが作れることを利用して、微細で、かつ状態保持に電力を必要としない FPGA (再構成可能回路) 用のスイッチに使うことを想定している。ナノカーボン配線はストレージ等の超高集積 LSI における低電力基盤技術としての応用を想定し、ナノトランジスタ構造デバイスは論理回路を超低電力化する新たな基盤技術に位置づけている。

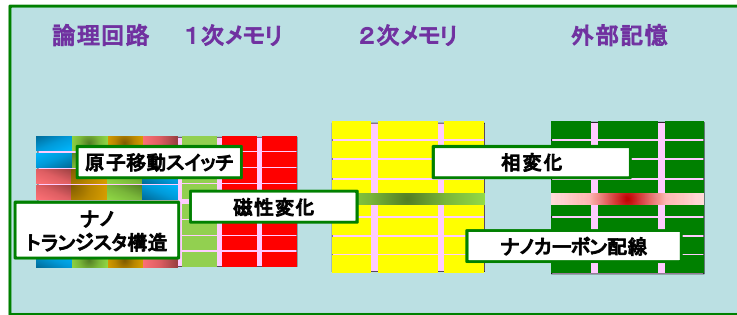


図 II-2 情報処理におけるデバイスの役割

研究開発項目①

磁性変化デバイス

「ロジック集積回路内1次メモリを対象とした、高集積・高速特性・高書き換え耐性などの機能を有する超低電圧・不揮発デバイスの開発」

エレクトロニクス機器に使用されるプロセッサやシステム LSI では、論理演算部とデータを直接やり取りする 1 次メモリとして、SRAM が同一チップ上に混載されている。国際半導体技術ロードマップ (ITRS)によれば、現状、LSI に混載されるメモリ部がチップ面積の半分以上を占めており、今後その比率は更に増大すると予測されている(図 II-3 左)。その理由は、情報処理能力を上げるためには、1 次メモリの容量増大が非常に有効なためである。そこで、チップ面積を増大することなく混載メモリ容量を増大できれば、プロセッサやシステム LSI の高性能化を加速できる。また、混載される SRAM の容量が大きいいため、そこで消費される動作時と待機時の電力はチップ消費電力の半分以上を占めており(図 II-3 右)、それを抑制することができれば、プロセッサやシステム LSI の低消費電力化を通して、低炭素社会実現に貢献できる。

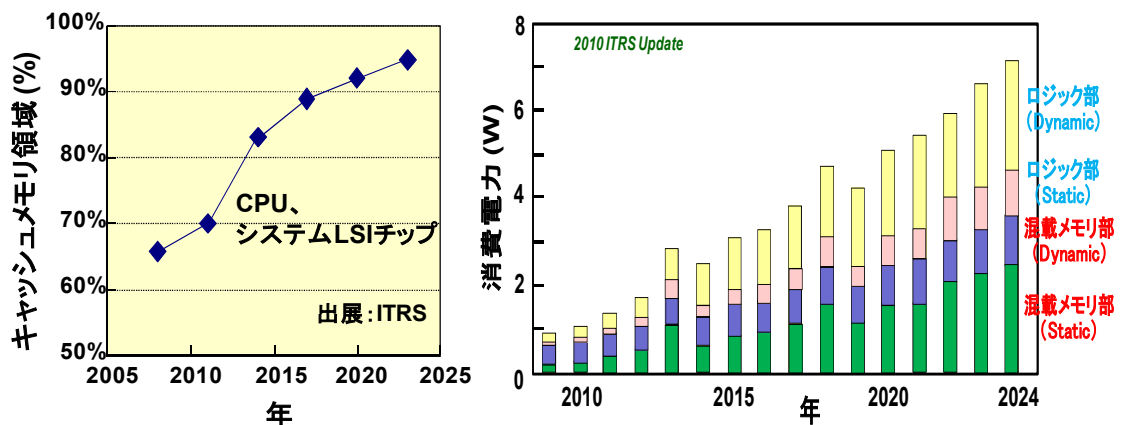


図 II-3 キャッシュメモリ面積と消費電力の増大

1 次メモリの動作時の消費電力を低減するには、メモリの読み書きに必要な電圧を下げた適切な条件で動作させること、また待機時の消費電力を低減するには、電源を切ってもメモリ内の情報を保持できる不揮発性を持たせることが必要である。

そこで、混載 SRAM を置き換えるための要件(高集積、高速、高書き換え耐性)を満たす 1 次メモリ

の開発を行うことを目的として、次の目標を設定した。

【中間目標】(平成24年度末)

- ・メモリ単体レベルで、読み書き電圧0.4V 以下、読み書き電流100 μ A 以下、読み書き時間10ns (電力量0.4pJ 以下)の実証。1.2V 動作SRAM の1/10 の電力の実証。
- ・新材料を用いた新プロセスの、300mm バックエンドラインへの統合による、デバイス動作実証。
- ・試作・評価によるメモリパラメータ取得と、それを用いた低電圧動作用メモリ周辺回路設計。
- ・高集積化を可能とする多値動作の確認。

【最終目標】(平成26年度末)

- ・加速試験による10年間のリテンションと、書き換え回数 10^{16} 回の達成。
- ・実用に耐える信頼性技術確立への指針の提示。
- ・低電圧動作用の周辺回路を備えたメモリマクロで、読み書き電圧0.4V、読み書き電流100 μ A 以下、読み書き時間10ns、1.2V 動作SRAM の1/10 の電力を実証すると共に、メガバイト級メモリの実現可能性の提示。
- ・メモリマクロでの多値動作を実証することによる、従来SRAM比2倍の高集積化の可能性を提示。

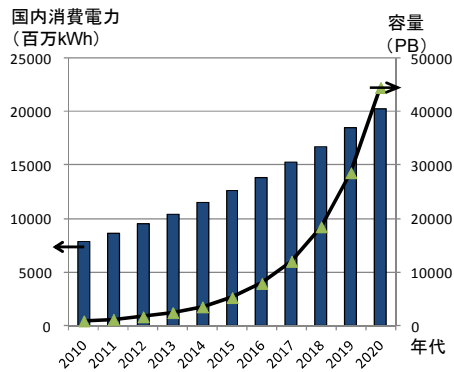
研究開発項目②

相変化デバイス

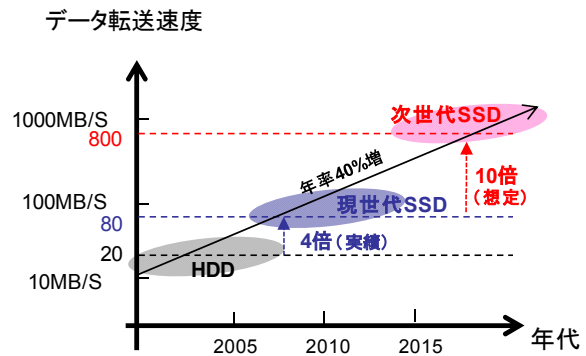
「外部記憶の高速低電力データ転送を実現する、高集積・高速低電力書き込み特性などの機能を有する超低電圧・不揮発デバイスの開発」

インターネットの高速化と情報通信機器の高度化により、外部記憶が消費する電力量の爆発的増大が課題視されている(図 II-4(a))。HDD はディスク回転で動作が律速されるため、高性能化には限界がある。一方、フラッシュメモリを搭載したSSD は、高速データ処理が可能でかつ消費電力が小さいため、記録容量は低いながら HDD を代替する外部記録として、年々その需要が増大しているが、ブロック単位でのデータ消去に起因する実効的な書き込み時間の増大が、消費電力増大と、複雑な使いこなしという課題を発生させている。

特に、大量の外部記憶装置を使いこなすデータセンターにおいては、ストレージ階層における上位ストレージ(Tier0)が、本質的に重要になる。Tier0 はデータ量全体の 5%を保存する階層であるが、アクセスが 80%と頻発するため、その性能向上による電力削減効果はきわめて大きい。但し、Tier0 の要求トレンドを満たすためには、現世代 SSD では実現困難な高速化が必要となる。具体的には、現状の 10 倍以上の単位電力あたりのデータ転送速度が、次世代 SSD に求められる(図 II-4 (b))。



(a) 国内データセンターのトレンド



(b) ストレージデバイスのトレンド

図 II-4 データセンターとストレージデバイスのトレンド

そこで、外部記憶の圧倒的な消費電力低減を実現するため、データ転送を高速低電力で実現し、外部記憶の消費電力を圧倒的に低減しうる高集積メモリの要件を満たす、相変化デバイスを開発することを目的に、次の目標を設定した。

【中間目標】(平成24年度末)

- ・単体デバイスとして、クロスポイント型メモリセル試作と動作実証。
- ・データ転送速度200MB/s を、従来の1/3 の電力(200mW)で可能とする単体デバイスの書き込み動作、および、さらなる高速低電力化の可能性の根拠を示すこと。

【最終目標】(平成26年度末)

クロスポイント型メモリセルを集積化したメモリアレイ試作と動作実証。

- ・書き換え回数 10^6 回以上の達成
- ・データ転送速度400MB/s の高速動作実証
- ・従来の1/10 の電力(66mW)の低電力動作実証
- ・メモリセル面積4F2(F;最小加工寸法)のメモリアレイによる高集積性実証

(平成27年度末)

- ・TRAM(*)の1.2V以下の動作実証
- ・更なる電力削減効果(33mW以下)の見通しを得る

(*)TRAM:Topological-switching Random Access Memory

研究開発項目③

原子移動型スイッチ

「配線切り換えを可能とするスイッチを対象とした、低電流・高速書き換え、高オン・オフ抵抗比、小面積などの機能を有する超低電圧・不揮発スイッチデバイスの開発」

近年、電子機器の製品サイクルが短縮し、短 TAT、少量多品種生産、頻繁な仕様変更等が必要となってきたため、ロジック集積回路の一部または全部の回路を再構成可能にした、プログラマブルロジックへのニーズが高まっている。しかしながら、現在のプログラマブルロジックデバイスでは、回路を再構成するスイッチに、パストランジスタと SRAM を組み合わせた SRAM スイッチが用いられてお

り、その大きな消費電力のためにコンシューマ市場へ浸透していなかった。したがって、プログラマブルロジックデバイスの動作時、および待機時の電力を削減することは、低炭素社会の実現に大きく貢献する。

本研究では、図 II-5 に示す通り、PLD (Programmable Logic Device) と ASIC (Application Specific Integrated Circuit) の長所を合わせ持つ、低消費電力、小チップ面積、短 TAT、低マスクコストのデバイスの実現をターゲットとする。さらに、実現のための基本コンセプトとして、図 II-6 に示すように、従来の SRAM スイッチに代わる、原子移動型スイッチをベースとした小型不揮発スイッチを開発し、ロジック層上の BEOL (Back End of Line) に搭載する。そのために、ロジック集積回路の低消費電力化・低電圧化に対応可能であり、かつ、スイッチの書き換え時、および保持時の低消費電力化を実現する、配線切り換えを可能な超低電圧・不揮発スイッチデバイスの開発を行う。具体的には、オン・オフ抵抗比が大きく、スイッチ素子の面積が小さく、配線容量、およびスイッチ容量が低容量であり、かつ、書き換えに必要な書換え電流と書換え速度の積(電荷量)が小さいため低電力書き換えが可能である、スイッチデバイスを実現することを目的に、次の目標を設定した。

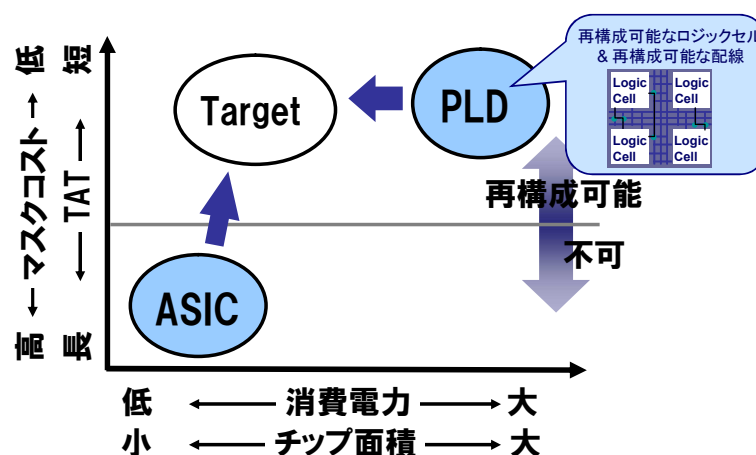


図 II-5 本研究のターゲット

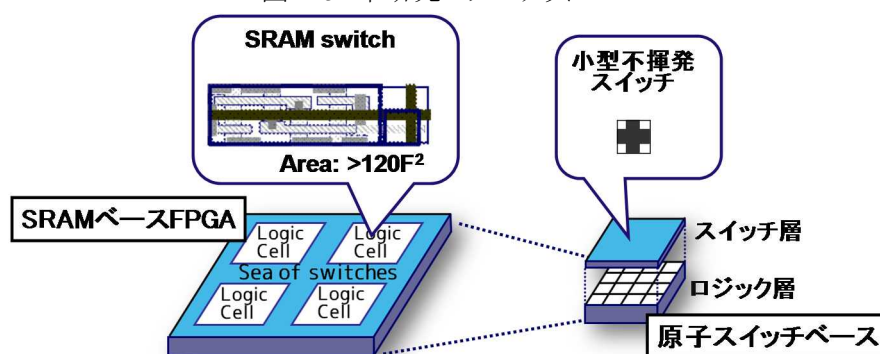


図 II-6 本研究の基本コンセプトであるスイッチ over ロジック

【中間目標】(平成24年度末)

スイッチ素子の材料選定、素子構造の最適化を行い、単体素子での下記の動作検証を行う。

- 単体素子性能として書換え電流と書換え速度の積が 10^{-10} A秒 以下
- オン・オフ抵抗比 10^5 以上

- ・書き換え回数 10^3 以上

【最終目標】(平成26年度末)

以上の成果に基づき、大規模集積化に必要なスイッチ素子特性のばらつきを低減し、300mm径Si基板を用いてロジック集積回路を試作し下記を達成する。

- ・本スイッチにより配線切り換えを行ったロジック集積回路が0.4V で動作可能であり、その際の消費電力がSRAM スイッチにより配線切り替えを行った従来型1.2V 動作ロジック集積回路の1/10 以下。
- ・スイッチ素子面積が、同一世代のSRAM スイッチを用いたプログラマブルロジックデバイス(PLD) に比べ1/20 以下。

研究開発項目④

三次元ナノカーボン配線

「集積回路チップ内において、機能ブロックの三次元集積を実現するための、微細幅・超低電気抵抗、超高アスペクト比配線・材料技術の開発」

集積回路チップの三次元高集積化には、個々の機能ブロック同士を接続するための多層配線の微細化・長距離対応、さらに縦方向配線の超高アスペクト比化が不可欠である。現在、集積回路チップ内配線には、Cu、W 等の金属材料が主に用いられているが、配線寸法の微細化に伴って、結晶粒界や界面での、電子の非弾性散乱効果による配線抵抗の急激な増大が顕著になりつつある。ITRS で到達が予想される配線幅 10nm 前後の領域では、大幅な抵抗上昇が生じ、従来の金属材料では所要の性能を実現できない。このため、フラッシュメモリ 1B(～10nm)世代、或いは3次元積層メモリ(BiCS 型フラッシュメモリ或いはクロスポイント型メモリ)では設計要求(面抵抗： $\leq 3 \Omega/\square$)を大幅に超える $10 \Omega/\square$ 以上に増大することが予想されている(図 II-7)。

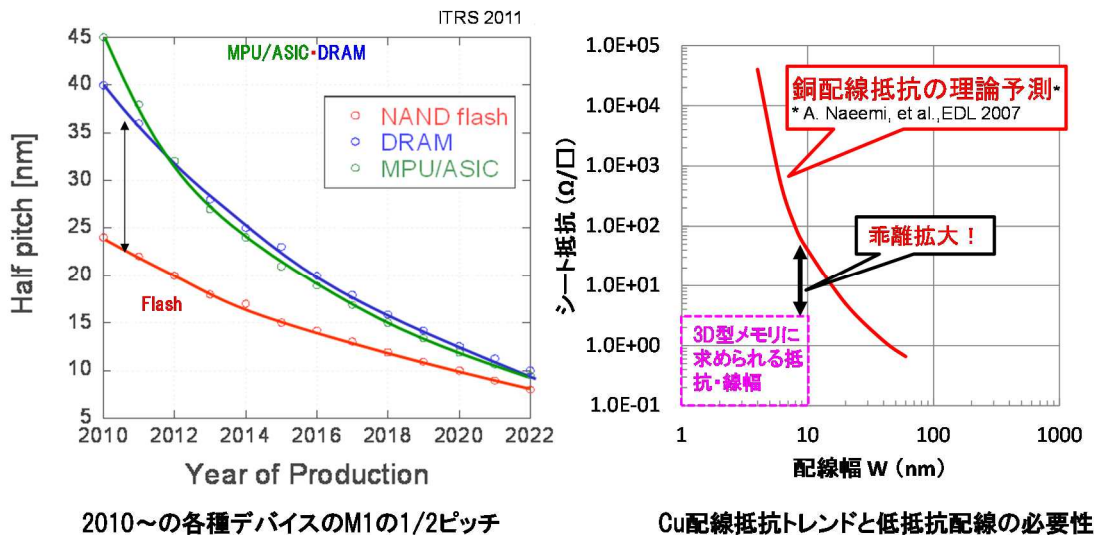


図 II-7 フラッシュの配線微細化トレンド(ITRS2011)、Cu 配線の抵抗トレンドと低抵抗化の必要性

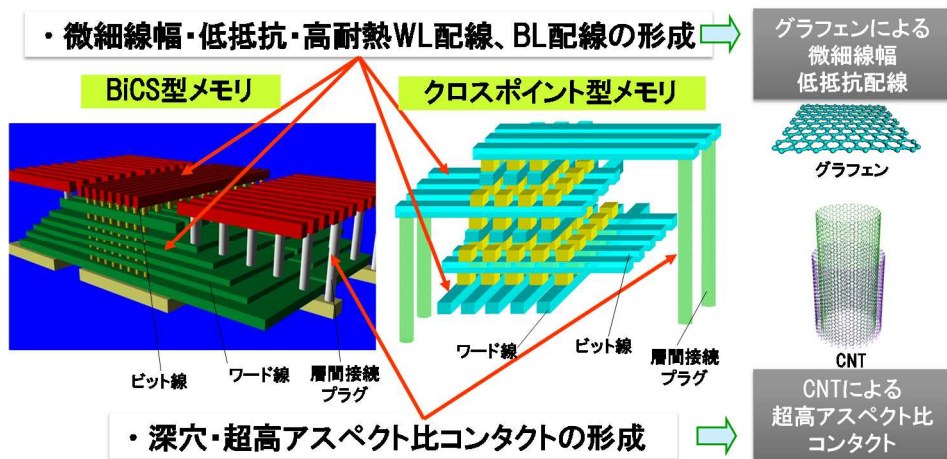


図 II-8 三次元ナノカーボン配線の実用化目標

また、三次元積層集積のためには、微細でかつこれまでにない超高アスペクト比（コンタクトホール
の深さと直径の比）のコンタクト開発が求められており、将来的にはアスペクト比 30 の埋め込みが必
要になると予想されている（図 II-8）。グラフェン、カーボンナノチューブ（CNT）などのナノカーボン材
料は炭素原子の強固な結合により、微細寸法でも低散乱で極めて長いキャリアの平均自由行程（グ
ラフェンで $1\mu\text{m}$ 、CNT で $25\mu\text{m}$ など）が報告され、急激な抵抗増大のない伝導特性が予想されて
いる。さらに W 並みの高耐熱性や Cu よりも 2 桁高い電流密度耐性など、微細配線材料として優れ
たポテンシャルを有している。そこで、ナノカーボン材料を用いて技術課題を解決し、機能ブロックの
三次元集積を実現させる微細線幅（ $\leq 20\text{nm}$ ）・長距離（ $\leq 0.7\text{mm}$ ）に対応した横方向配線技術と、超
高アスペクト比（30）に対応したコンタクトプラグ技術を 300mm 基板上で実証することを目的に、平成
26 年度末の最終目標を設定した。

さらに、平成26年度までの検討の結果、実用化に向けて、多層グラフェンにおいては、ドーピング
材料の更なる探索や、CVD 形成グラフェンの更なる高品質化、ドーピングプロセスに適したグラフェ
ン加工方法、絶縁膜材料等が必要と判断した。また、CNT においては、抵抗の低減のため、グラフェ
ンとは異なる新たなドーピング手法として CNT 成長時の同時ドーピングなどの検討を進める必要
があることが明らかとなった。以上より、1 年間期間を延長してこれらに取り組むべく、新たに平成 27
年度最終目標を追加設定した。

【中間目標】(平成24年度末)

- ・微細線幅（100nm）、低抵抗（シート抵抗 $< 50\Omega/\square$ ）の配線実証
- ・微細直径（90nm）、超高アスペクト比（ ≥ 16 ）のコンタクトホールへのナノカーボン材料埋め込み
実証

【最終目標】(平成26年度末)

- ・微細線幅（ $\leq 20\text{nm}$ ）、長距離（0.7mm）、低抵抗（シート抵抗 $\leq 3\Omega/\square$ ）の配線実証
- ・微細直径（90nm）、超高アスペクト比（30）のコンタクトホールへのナノカーボン材料埋め込みと、
W以下の抵抗（接触抵抗を含む）の実証

(平成27年度末)

- ・20nm以細幅のグラフェンに対し、低抵抗化に有効な、触媒金属等の腐食を制御可能なドーピング材料の決定。
- ・ビアプラグ材料としてのCNT構造に適したドーピング手法の見極め。

研究開発項目⑤

ナトランジスタ構造デバイス

「CMOS トランジスタの超低電圧動作、及びリーク電流抑制を同時に実現するための、低しきい値ばらつきトランジスタを集積化するための技術開発、並びに、この技術を用いた高集積機能素子における低電圧動作実証」

CMOSトランジスタを用いた集積回路の超低消費電力化を進めるためには、適切な電源電圧を設定して応用から要求される動作速度を満たしながら、最も消費エネルギーの小さい状態でトランジスタを動作させることが必要である。一般に CMOS 集積回路の消費エネルギーが最低になる電源電圧は、図 II-9 (a)に示されるように 0.4V 前後になることが知られているが、実際にこのような超低電圧で動作可能な CMOS 集積回路を製造することは困難であった。現状では、低電力 CMOS 回路の動作電圧は 1.2V が標準であり、速度を度外視した回路の動作下限電圧も 0.6V 程度である。

CMOS 集積回路の消費電力を現状の 1/10 以下に低減するためには、CMOS 集積回路の動作下限電圧を 0.4V 以下に低減する技術と、使用状況に応じて動作電力効率を最適に制御する技術の確立が不可欠である。図 II-9 (a)からわかるように、動作電力は現状の 1.2V から 0.4V に低減することで 1/9 まで低減できる。リーク電力も含めて使用状況に応じて電力を最適に制御すれば、従来の 1/10 以下の電力が実現できると考える。

一方、図 II-9 (b)に示される電源電圧の推移からわかるように、最近の CMOS では動作電圧の低減が極めて困難であることがわかる。そこで、動作電圧低減の主たる阻害要因である、しきい電圧ばらつきを低減でき、かつ、使用状態に応じて動作条件を変化させる基板バイアス電圧制御が可能なデバイスを開発すると共に、それを集積化するために必要な技術開発と低電圧動作実証を行うことを目的に、次の目標を設定した。

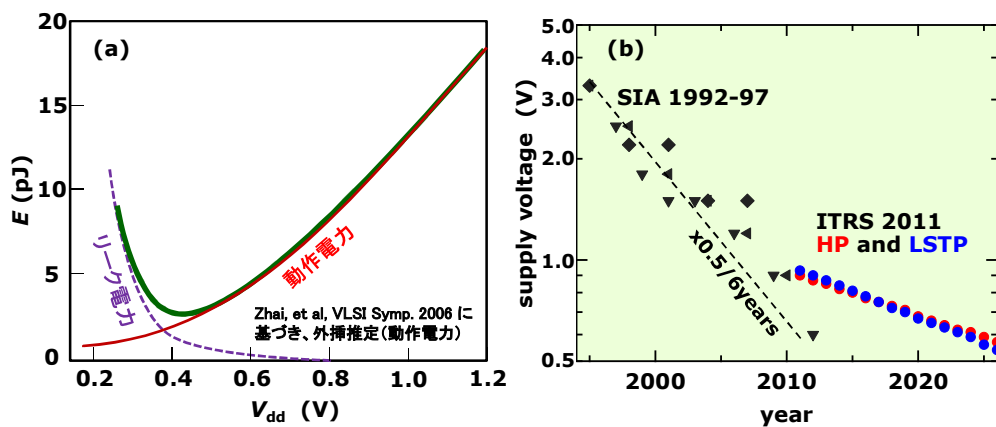


図 II-9 (a) CMOS 回路消費エネルギー E の電源電圧 V_{dd} 依存性、
(b) ロードマップに示された電源電圧の年次推移

【中間目標】(平成24年度末)

- ・100 万個以上のトランジスタで、平均±0.1V 以下(±5σ)の局所しきい電圧ばらつきを達成
- ・低い電源電圧に動作を最適化し、基板バイアス制御技術を適用したナノトランジスタ構造デバイスを集積した1Mbit 以上のSRAM での、0.4V 動作を実証

【最終目標】(平成26年度末)

- ・ナノトランジスタ構造デバイスと既存のCMOS トランジスタとの融合集積化技術を確認するとともに、その設計環境構築への指針を提示する。
- ・従来デバイスに比較して消費電力を1/10 に低減できる基盤技術を確認するとともに、実用化回路レベルでの達成目処を示す。

研究開発項目⑥

「BEOL設計・製造基盤(プラットフォーム)開発」(H22補正)

図 II-10 に示すように、様々な新材料・新構造デバイスを配線層の一部として作ることを効率化するために、素子や回路の設計工程、さらには、プロセスや材料などに係る製造工程を可能な限り共通化し、これを、BEOL 設計・製造基盤(プラットフォーム)とすることを目的に、次の目標を設定した。

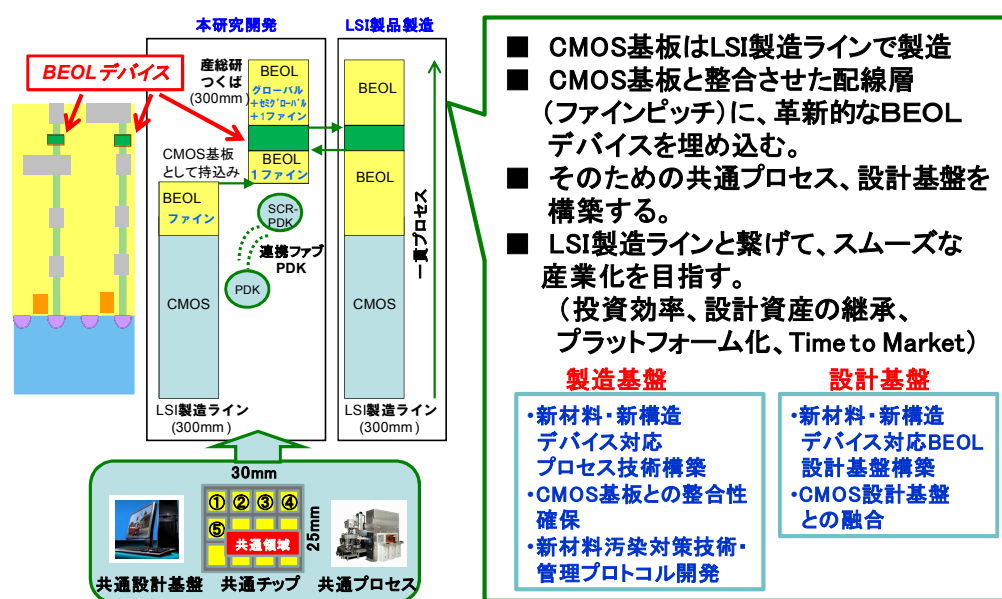


図 II-10 BEOL プラットフォーム開発

【目標】(平成 23 年度末)

個別デバイス(研究開発項目①～③)の研究開発を推進するための共通設計基盤として、BEOL 設計・製造基盤(プラットフォーム)を開発する。その際、以下の条件を目標とする。

新材料や新構造デバイスに共通で使え、かつ、新材料の相互汚染や熱耐性、さらには、プロセス雰囲気の影響などの観点から、それぞれのデバイスの特性を損なうことのない、BEOL プロセスレシピの作成。

相互汚染防止、汚染除去、汚染評価などからなる管理プロトコルの作成。

PDK として、設計ルール、配線特性パラメータ、OPC ルールの策定。

2. 事業の計画内容

2.1 研究開発の内容

(1) 研究開発項目の概要

①: 研究開発項目①

磁性変化デバイス

「ロジック集積回路内 1 次メモリを対象とした、高集積・高速特性・高書き換え耐性などの機能を有する超低電圧・不揮発デバイスの開発」

磁性変化デバイスは、2 層の磁性薄膜とそれらを物理的に分離する絶縁膜からなる MTJ (Magnetic Tunnel Junction; 磁気トンネル構造) と、スイッチであるトランジスタ (MOSFET; Metal Oxide Semiconductor Field Effect Transistor) から構成されている。電子のスピンの注入を用いて磁性薄膜の磁化方向を変化させることで MTJ の抵抗を変え、流れる電流の大小で記憶の有無を判断するデバイスである。従来の磁性変化デバイスは 1V 以上の電圧が必要であるが、これを 0.4V 程度で動作する低電圧デバイスにするために、下記の内容で研究開発を行う。

(a) 要素プロセス開発

(a)-1 多層磁性膜構造、材料、プロセス技術

新材料を含む多層からなる磁性膜の、層構造、材料、膜厚、成膜・加工などのプロセス技術を低電圧動作向けに最適設計し、それらを基本プロセスとして構築したうえで、300mm ラインで試作実証する。具体的には、トンネル絶縁膜 (MgO) の高品質化を目指した成膜技術 (図 II-11) など Magnetic Tunnel Junction (MTJ) の高品質化、垂直磁化膜、ストレス制御技術、磁性膜加工技術、汚染制御技術などを開発する。

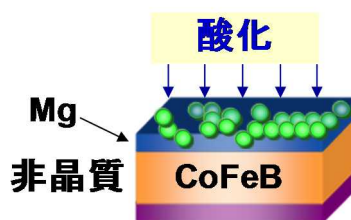


図 II-11 トンネル絶縁膜形成プロセス (Mg 酸化の場合)

(b) 磁性変化デバイス開発

(b)-1 低電圧動作構造開発

磁性変化デバイスの低電圧動作を実現するためには、メモリ部への効率的な電圧印加が必要となる。従来報告されている構造 (スイッチ用トランジスタにつながる下部電極上に、磁化の向きが固定されたピン層が存在する構造; 図 II-12 左) では、書き込みに必要な印加電圧に非対称性が存在することと、スイッチ用トランジスタの動作上の特性から、低電圧での書き込みが困難である。この課題を解決するために、メモリ部の多層構造として従来報告されている構造を反転したトップピン構造を提案し開発す

る。および、このトップピン構造(図 II-12 右)に適した材料、プロセス、デバイスなどを開発する。

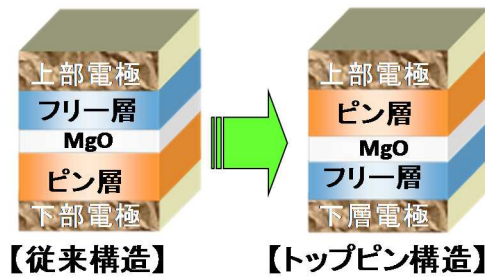


図 II-12 トップピン構造

(b)-2 多値化技術開発

磁性変化デバイス素子を用いた多値化の検討を行う。磁気トンネル接合を複数重ねた三次元構造の新しい磁性変化デバイス素子を開発する。この多値情報を読み出すために、高感度のセンス方式の研究も行う(図 II-13)。

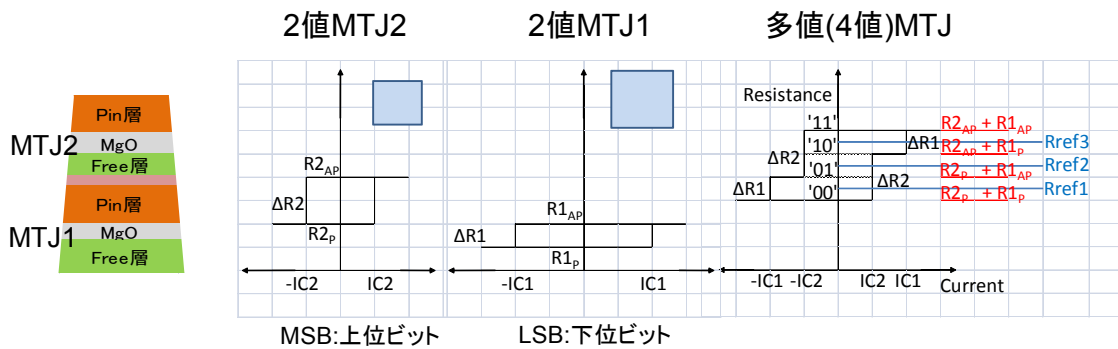


図 II-13 多値メモリの動作を示す概念図

(b)-3 配線層集積化電流センサ技術

磁性変化デバイスを電流センサ(図 II-14)へと展開し、配線領域に三次元的に集積化可能なセンサ技術を開発し、電流モニタリングを通して集積回路の低電力化に貢献する。

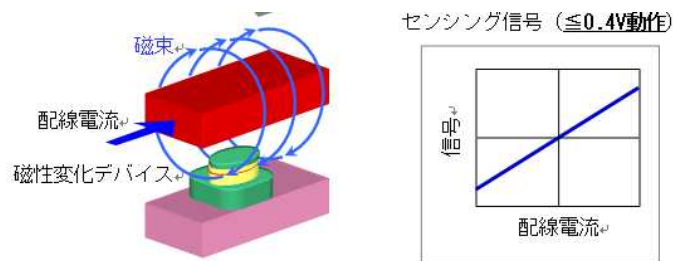


図 II-14 配線電流のリアルタイムセンシング機能の概念図

(c) 集積化開発

磁性変化デバイスのスイッチや駆動回路を構成する CMOS デバイスに影響を及ぼすことなく、磁性変化デバイスを多層配線部へ埋め込むためのプロセスを開発する(図 II-15)。特に、磁性材料は、従来のシリコンプロセスでは使用されたことのない新しい材料であり、シリコンプロセスへの汚染が懸念されるため、その対策技術を開発する。また、CMOS プロセスが、磁性変化デバイスに及ぼす影響を最小限にする研究も行う。具体的には、プロセスガスやプロセス温度が、磁性変化デバイスの電気特性や磁気特性などに及ぼす影響など、集積化の際の課題を解決する技術を開発する。

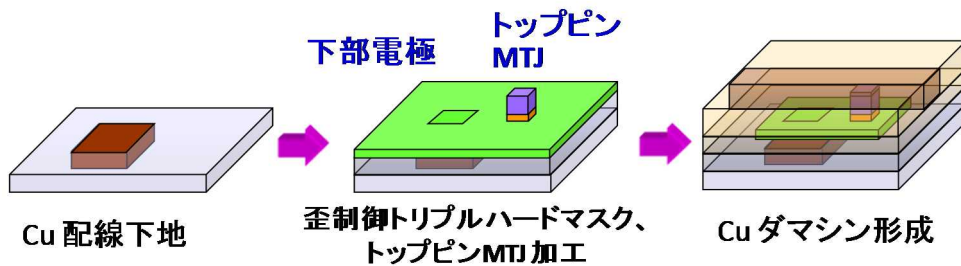


図 II-15 集積化プロセス(MTJ 形成部分)

(d) 周辺回路開発 (共同実施 神戸大学、立命館大学)

(d)-1 低電圧動作回路技術開発

非常に低い電流での読み出しを可能とし、かつ、誤書き込みが無い、磁性変化デバイス専用の新規センス回路を設計する。新規センス回路では、磁性変化デバイス素子の高抵抗値と低抵抗値の中間値の負性抵抗を、並列に接続した回路を用いる(図 II-16)。

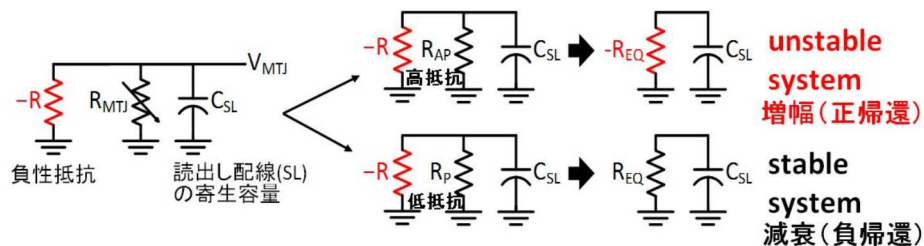


図 II-16 磁性変化デバイス用センス回路方式の例

(d)-2 モデリング

磁性変化デバイスの動作を記述する、回路シミュレーションに適したコンパクトな回路モデルを新規に構築する。実測との比較を繰り返して、モデルの精度を上げる。また、多値化に対応可能な、磁性変化デバイスモデリングの方式検討も行う。

②: 研究開発項目②

相変化デバイス

「外部記憶の高速低電力データ転送を実現する、高集積・高速低電力書き込み特性などの機能を有する超低電圧・不揮発デバイスの開発」

外部記憶向けメモリの最有力候補の一つである相変化デバイスを開発する。従来の結晶・非晶質の相転移とは異なるメカニズムを利用した超格子相変化素子を開発し、かつ、書換え電力のさらなる低減に向け、熱を効率的に発生させて、その散逸を防ぐ材料と構造を開発する。さらに、これらの材料、プロセス技術を用いたデバイス技術を開発して、集積化実証する。そのために、下記の内容で研究開発を行う。

(a) 相変化材料技術開発

(a)-1 成膜技術(超格子相変化膜の成膜技術開発)(共同実施 産業技術総合研究所、名古屋大学)

書換え電力の大幅な削減に向けて、大きなエネルギーを必要とする従来の結晶・非晶質間相転移に代わり、Ge 原子の短範囲移動(Ge 原子の移動により、Ge 原子と他の原子(Sb、Te)との化学結合状態(4 配位と 6 配位)が変化する)を利用する、結晶・結晶間相転移を用いる(図 II-17)。具体的には、相変化超格子を、産総研スーパークリーンルーム(SCR)の PVD(Physical Vapor Deposition)装置を用いて成膜する。これを期待通りに発現させるために、膜厚、組成、成膜温度限界などを 300mm ウェハ上で高精度に制御する技術を開発する。

なお、本開発では、LSI プロセスとして 300mm ウェハ上に初めて成膜する。また、原子層レベルの膜厚、および界面制御を高度化するために、超格子膜の CVD(Chemical Vapor Deposition)成膜技術を初めて開発する。更に、低電圧化の可能性を秘めた新組成・新構造超格子を見出し、この超格子膜の低電力動作機構の解明を、理論と実験の両方で行う。

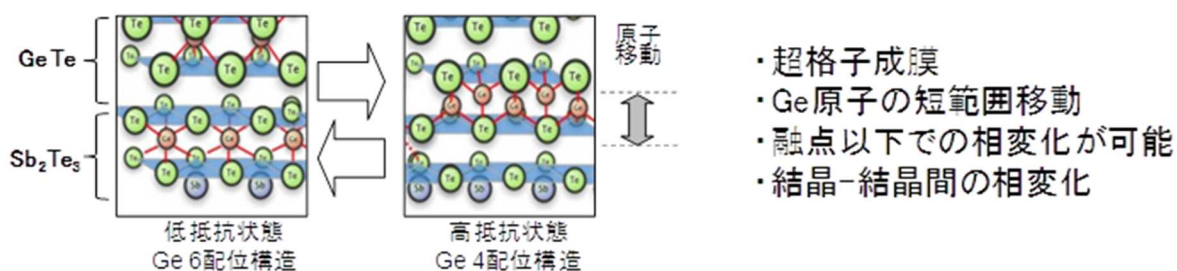


図 II-17 超格子相変化の概念図

(a)-2 解析技術(熱拡散防止層のシミュレーションによる検証)

現状の相変化素子では入力電力の 1%だけが相変化に寄与し、残りの 99%は熱として散逸している。熱拡散防止層による熱の閉じ込め効果をシミュレーションによって確認しながら(図 II-18)、材料の選択や不純物添加による効果などを調べ、熱拡散防止層の最適化を行う。

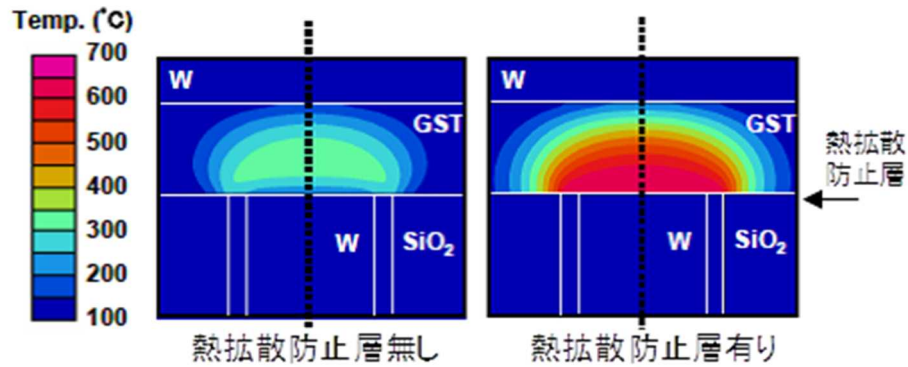


図 II-18 熱拡散防止層のシミュレーションによる検証

(b) 集積化実証

(b)-1 クロスポイントセル開発/集積化開発

クロスポイント型セル(図 II-19)とは、メモリのワード線とビット線が最小寸法ピッチ(2F, Fは最小加工寸法)で配置されて直交し、セルサイズが最小値の $4F^2$ となるメモリ構造であり、高集積セルの第1候補である。

クロスポイント型相変化デバイス集積化に必須である、ポリSiダイオード(図 II-19)の要素技術も開発する。成膜技術として、ポリSiダイオードのp-i-n接合構造の最適化であり、i層となるノンドーパSi層の構造、上下のp/n層からの不純物拡散などの最適化を行う。加工技術として、自己整合によるクロスポイント型セルのドライエッチングプロセスを構築する。これらを、産総研の300mmラインを用いて開発する。

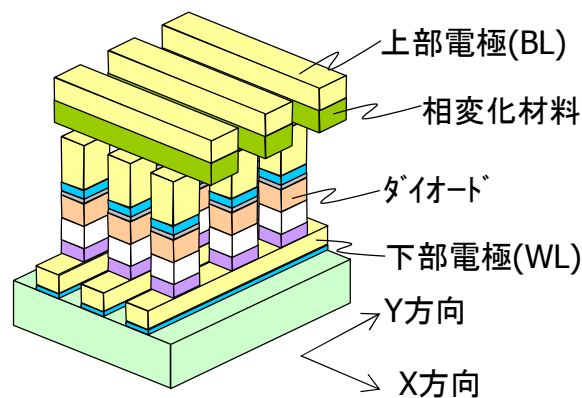


図 II-19 ポリSiダイオードを用いたクロスポイント型セル

(b)-2 集積化開発(共同実施 北海道大学)

TRAMの低電力動作を促進する要因として、超格子膜中の結晶構造や原子欠陥構造が影響していることが、最近の評価から分かってきた。さらに、TRAMの電氣的動作時に、原子の移動が短範囲かつ

高速で起こることも明らかになりつつある。これらの現象を観察し、TRAM の低電力特性を安定化することを目的として、ナノスケールの精度で超格子を測定できる手法を開発する。同時に、ナノスケール測定で得られた結果をフィードバックして、300mm ウェハを用いた超格子成膜・加工プロセスを構築し、デバイス試作を行う。

(b)-3 周辺回路開発(共同実施 中央大学)

相変化デバイスの特徴を活かした動作方式や、クロスポイント型セルに特有なアレイ動作、および、低電力相変化メモリアレイ周辺回路の開発を行う。アレイTEG 試作を通して、高速低電力でのデバイスの書き込み動作、および、さらなる高速低電力化の可能性の根拠を示す。超格子相変化の特徴を活かした動作方式も開発する。

(b)-4 ばらつき低減技術(共同実施 東京大学)

300mm ウェハ上で分布する超格子の特性を、電気測定と物性測定を総合的に行って評価する新しい手法を開発する。電気特性の分布は、300mm ウェハを用いて試作した超格子デバイスマクロを評価して行う。300mm ウェハ上に成長した超格子膜の面内特性は、シンクロトン放射光を用いた薄膜試料の超高速測定手法を開発して行う。

③:研究開発項目③

原子移動型スイッチ

「配線切り換えを可能とするスイッチを対象とした、低電流・高速書き換え、高オン・オフ抵抗比、小面積などの機能を有する超低電圧・不揮発スイッチデバイスの開発」

プログラマブルロジックデバイスの回路再構成に用いる配線切り換えスイッチを対象に、ロジック集積回路の低消費電力化・低電圧化に対応可能で、スイッチの書き換え時、および保持時の低消費電力化を実現する超小型・不揮発スイッチデバイスの開発を行う。また、開発したスイッチデバイスの集積化と動作実証を行う。そのために、下記の内容で研究開発を行う。

(a) 原子移動型スイッチデバイス開発

(a)-1 デバイス開発(3端子原子移動型スイッチ開発)

配線切り換えを可能とするスイッチとして、オン・オフ抵抗比が大きく、スイッチ素子の面積が小さく、配線容量およびスイッチ容量が小さく、さらに、書き換えに必要な電流と書き換え速度の積(電荷量)が小さいため低電力書き換えが可能であるスイッチデバイスを開発する(図 II-20)。具体的には、原子移動型スイッチの課題を解決でき、上記条件を満足する3端子原子移動型配線切り換えスイッチを開発する。

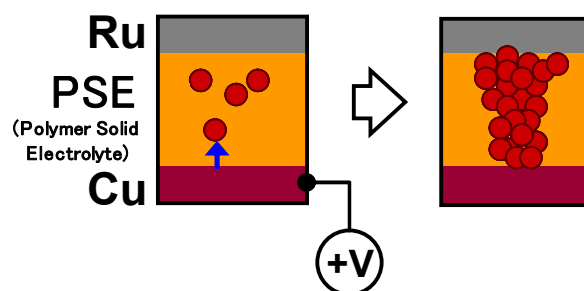


図 II-20 原子移動型スイッチの原理

(a)-2 回路技術開発

原子移動型スイッチ素子を用いたプログラマブルロジックデバイスを実証するための TEG を設計・試作する。設計・試作する TEG は、原子移動型スイッチの機能を検証する TEG、特性を評価する TEG の 2 種類である。機能検証 TEG はクロスバースイッチ(図 II-21)、前記クロスバースイッチを適用したプログラマブルロジックセル等である。特性評価 TEG は、デコーダを用いたスイッチアレイ等である。チップ面積が従来のスイッチに比べて 1/4 以下に、また、消費電力が 1/2 以下になる技術を開発する。

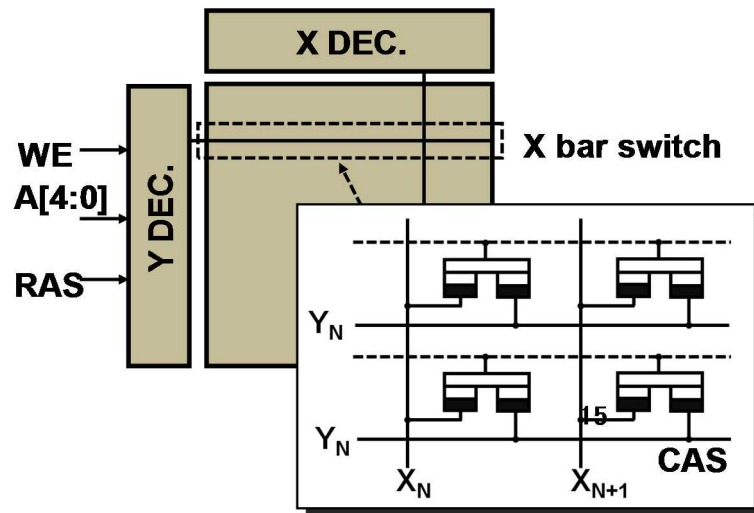


図 II-21 クロスバースイッチの模式図

(a)-3 原子移動型スイッチ信頼性研究(イオン伝導材料・プロセス・構造開発)(共同実施 東京大学)

従来の原子移動型スイッチ素子では、書換え電圧と保持特性(信頼性)との間にトレードオフの関係が存在する(図 II-22)。すなわち、高い電圧で書き込み動作を行わないと実用に耐える情報保持特性が得られない。本開発では、独自のポリマー固体電解質(PSE)を使い、かつ、膜構成や電極/固体電解質界面を最適化することでこのトレードオフ関係を緩和し、保持特性(信頼性)を確保しながら書換え電圧の低減を図る。

さらにその保持信頼性モデルを新たに構築するため、電気化学の実験的側面、および第一原理計算を用いた理論的な側面から原子移動型スイッチの信頼性に関する研究を実施する(共同実施 東京大学)。

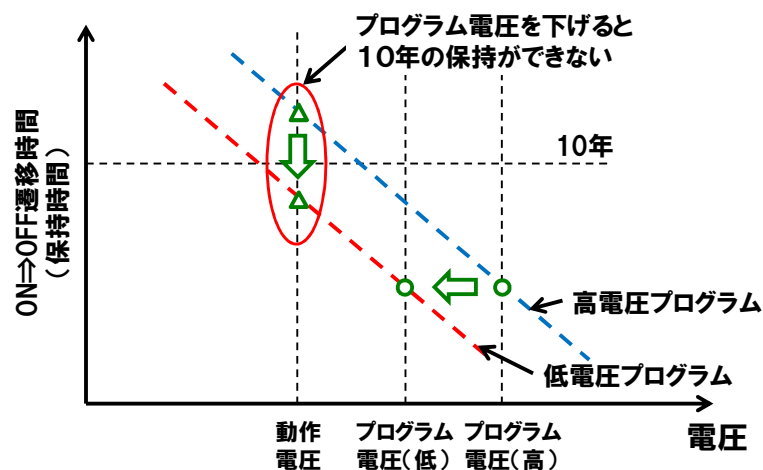


図 II-22 原子移動型スイッチの書換え電圧と保持特性の関係

(b) 集積化開発

(b)-1 集積化技術

原子移動型スイッチでは、CMOS の銅(Cu)配線を活用し、これを下部電極としてイオン伝導層(ポリ

マー固体電解質)を堆積する。Cu 下部電極の形状、表面の物理・化学的な状態が Cu の原子移動に及ぼす影響を把握しながら、300mm ウェハを使った製造プロセスに適合した、原子移動型スイッチ製造プロセス技術を開発する(図 II-23)。

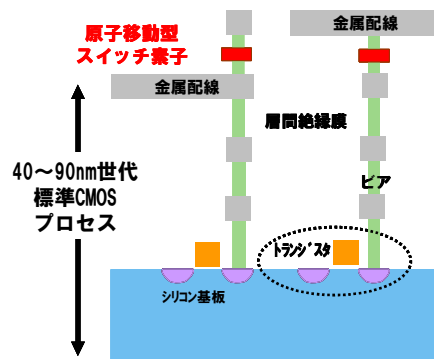


図 II-23 集積化された原子移動型スイッチの断面模式図

(b)-2 汚染除去技術

原子移動型スイッチでは、従来の半導体デバイスでは一般的に用いられない新材料を用いる。このような新材料による従来プロセスへの影響が懸念されるため、新材料の汚染評価・除去技術を開発し、集積化要素プロセスとして集積化プロセスに組み込む。

④: 研究開発項目④

三次元ナノカーボン配線

「集積回路チップ内において、機能ブロックの三次元集積を実現するための、微細幅・超低電気抵抗、超高アスペクト比配線・材料技術の開発」

三次元積層化が進む次世代不揮発デバイスの配線要求に対して、従来の金属(Cu、W)配線は、微細化に伴って急激に抵抗が上昇し(細線効果)、また、縦方向コンタクトの超高アスペクト比化には、金属の埋め込み限界で対応できないという課題を有している。これらの課題を解決するブレークスルー技術として、グラフェン・カーボンナノチューブ(CNT)などのナノカーボン材料に注目した。これらの材料では炭素原子の強固な6員環構造に起因する極めて長いキャリアの平均自由行程(グラフェンで $1\mu\text{m}$ 、CNTで $25\mu\text{m}$ など)が報告されている(K. I. Bolotin et al., 2008, p. 096802)(H.J Li et al., 2006, p. 096802)。また、ナノカーボン材料はW並みの高耐熱性やCuよりも2桁高い高電流密度耐性など、微細配線材料として本質的に優れたポテンシャルを有する。そこでこれらの材料の合成および加工技術とともに、既存の半導体微細加工技術の適用が期待できるグラフェンを用いて微細幅横方向配線技術を開発する。また、それ自体が超高アスペクト比で縦方向の配線に適したCNTを用いて、超高アスペクト比コンタクト配線技術を開発する。そのために、以下の内容で研究開発を行う。

(a) ナノカーボン配線基礎技術開発

(a)-1 ナノカーボン配線材料技術

多層グラフェンの微細幅配線特性を剥離グラフェンを用いて先行検証し、低抵抗化のための指針を示す。配線プロセスと整合性のある温度での多層グラフェン成長を行い、 300mm 化のための触媒・前処理・成長・成長後処理などの条件検討を行い、膜としての低抵抗特性を示す。また、超高アスペクト比(AR)微細コンタクト向けのCNT埋め込み成長の原理実証を行い、目標抵抗に向けたプロセス設計とCNT構造検討を行う(図 II-24)。

(a)-2 超低抵抗ナノカーボン配線技術(共同実施 芝浦工業大学、東京工芸大学)

ナノカーボン配線超低抵抗化のための基礎検討として、ナノカーボン膜の結晶性の向上、ドーピング、低抵抗金属接触について検討を行う。平成25年度からは、ドーピングによる低抵抗化の可能性検討を強化するため、共同実施先に東京工芸大学を加え、インターカレーションドーピング技術の開発を行った。

(a)-3 ナノカーボン材料の配線適用における理論的研究(共同実施 慶應義塾)

ナノカーボン材料を三次元集積デバイス用微細配線構造に適用する上での可能性と課題を、理論的な面から検討する。具体的には、微細線幅($\leq 20\text{nm}$)・長距離($\leq 0.7\text{mm}$)対応の配線構造におけるナノカーボン配線の伝導特性について、モンテカルロシミュレーションによる理論予測を行い、ナノカーボン材料の品質や層数、配線の端部構造等と伝導特性の相関関係を示すとともに、その結果を実験によって検証する。

(a)-4 微細幅グラフェンの欠陥・粒界等の電導特性の量子論的研究(超低電圧デバイス技術研究組合)

ナノカーボン材料を微細配線に適用する上で必要となる、電子伝導特性の基礎理論データの集積と系統化を強化するため、平成25年度より、量子物理学に立脚した理論数値的な研究を追加設定した。線幅10nm前後、または、それ以下の領域で顕著になると考えられるエッジ形状乱れや、結晶粒界・ドーピングに起因した電子散乱による電子伝導度劣化のメカニズム解明を、Tight-Binding格子模型に非平衡グリーン関数法を適用することで実施する。併せて、グラフェン微細幅配線へのドーピング効果やエッチング後の配線エッジ形状乱れの影響を、SPM(Scanning Probe Microscope、走査プローブ顕微鏡)を用いた配線中の局所電導特性評価により解析し、グラフェンの微細幅配線適用への見通しを示す。

なお、平成27年度においては、平成26年度までの検討の結果に基づいて、より一体的に開発を進めるため、開発項目(a)-1を(a)-2に統合して「超低抵抗ナノカーボン配線技術」とし、(a)-4を(a)-3に統合して「ナノカーボン材料の微細幅配線適用における電導特性の理論的研究と解析」とした。

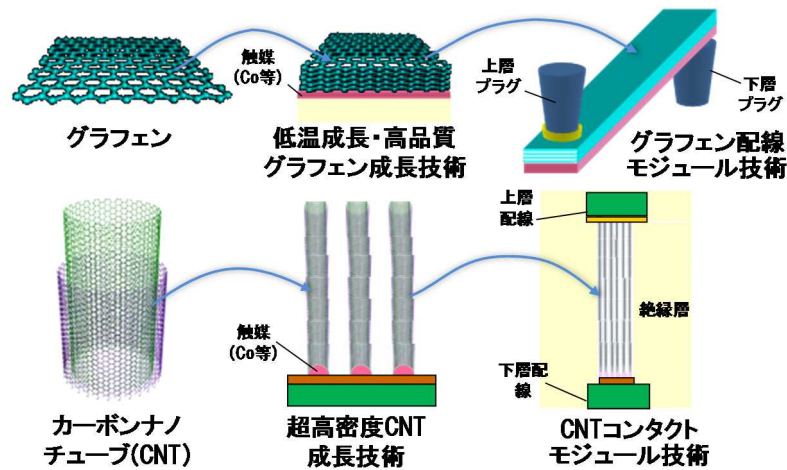


図 II-24 グラフェンおよび CNT 材料の構造・成長・配線の概念図

(b) ナノカーボン配線プロセス技術

(b)-1 300mmナノカーボン成長プロセス開発

300mm 径ウエハに対応したナノカーボン成長装置およびプロセス開発を行う。産総研スーパークリーンルーム(SCR)に、CNT 及びグラフェン成長に必要な触媒金属成膜チャンバー、同触媒の活性化等を行うプラズマ処理チャンバー、CNT/グラフェンの成長チャンバーを備えた 300mm ナノカーボン成長装置を導入する。同装置により超高アスペクト比ホールを含む配線 TEG 構造への触媒成膜、触媒前処理、CNT およびグラフェンの成長プロセス技術を開発する(図 II-25)。

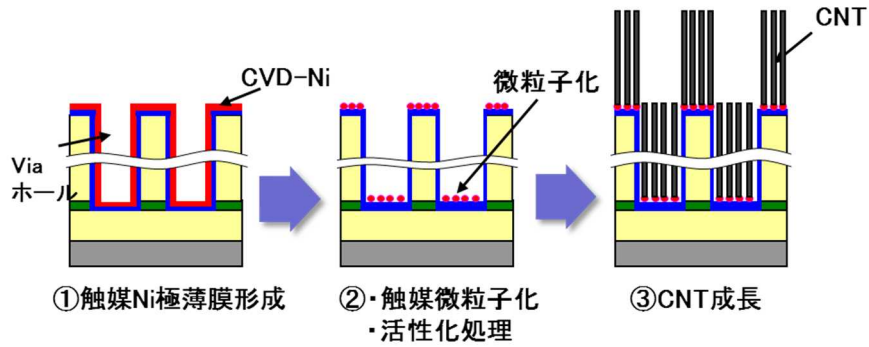


図 II-25 CNT コンタクト TEG への高密度 CNT 成長プロセスの例

(b)-2 300mm ナノカーボン CMP プロセス開発

コンタクトホール内に成長させた CNT を、プラグ状に加工形成する CMP プロセス技術を開発する。CNT は機械的強度が高く、かつ化学的に安定である特徴を持つため、従来の金属膜や絶縁膜に対する CMP 技術を用いては良好な研磨形状、研磨特性を得ることが困難であることが知られている。そこで、CNT 固有の CMP 技術を開発する(図 II-26)。加えて、横方向配線向けに微細配線溝に形成した触媒あるいはグラフェン/触媒層を平坦化するグラフェン向け CMP 加工技術を開発する。

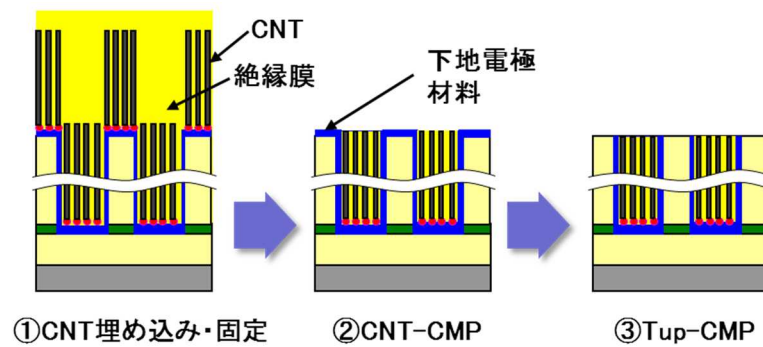


図 II-26 CNT コンタクト用の CNT 固定化と CMP 平坦化プロセス例

(c) ナノカーボン配線集積化技術開発

(c)-1 ナノカーボン配線集積化

300mm 径基板上での配線特性実証のために、300mm 対応の配線集積化技術を開発する。具体的には、300mm ラインでの微細配線・CNT 電特と信頼性検証を行う。300mm ウエハを用いた CNT コンタクトプラグの抵抗、およびグラフェン配線の抵抗を評価するための専用 TEG マスクを設計・製作し、これを用いて高アスペクト比(≧30)の CNT コンタクトプラグや超微細幅(≦20nm)のグラフェン配線形成技術を開発する(図 II-27)。

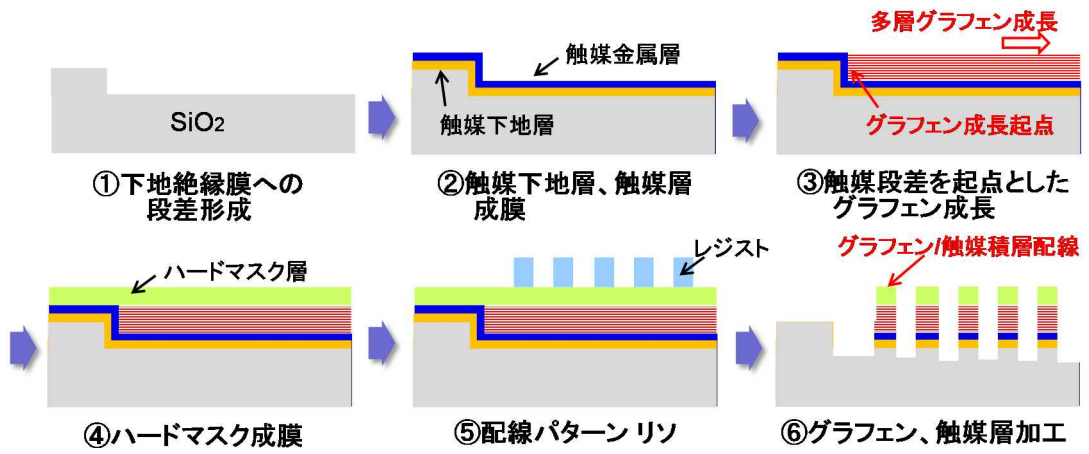


図 II-27 微細幅グラフェン配線の集積化イメージ (RIE 型の例)

⑤: 研究開発項目⑤

ナトランジスタ構造デバイス

「CMOS トランジスタの超低電圧動作、及びリーク電流抑制を同時に実現するための、低しきい値ばらつきトランジスタを集積化するための技術開発、並びに、この技術を用いた高集積機能素子における低電圧動作実証」

0.4Vという超低電圧集積回路を実現するために、トランジスタが本質的に持っているばらつきを低減できる新構造ナトランジスタを開発する。ばらつきが、チャネルドーパント(不純物)の数の局所揺らぎに支配されていることがわかっており、ドーパントを用いずにしきい値電圧調整の行えるドーパントレストランジスタがその候補である。この構造を、いわゆるSOI(Silicon On Insulator)構造で実現し、かつ、バルクCMOSと混在できる構造にする。

これらのプロセス・デバイス開発に加えて、システムレベルでの超低電圧動作の効果を実証するために、基本回路の設計基盤、設計手法の構築を行い、実際に小規模な回路を設計して低電圧動作を実証する。そのために、下記の内容で研究開発を行う。

(a) ナトランジスタ構造デバイスの開発

(a)-1 ナトランジスタ構造の最適化

300mm 製品ファブにそのまま適用可能な仕様のプロセスを用いて、ナトランジスタ構造デバイスの開発を行い、実用化に必要なトランジスタ構造や性能の最適化を行う。具体的には、超低電圧で電力効率の高い回路動作が可能となるように、トランジスタ特性のばらつきを抑制し、超低電圧動作に最適なしきい値電圧と、適度な基板バイアス感度を設定できる構造を開発する。このため、短チャネル効果を抑制しながら寄生抵抗と寄生容量を共に低減するためのソース・ドレイン部、ゲート電極やゲート絶縁膜の材質、裏面ゲートとして機能するBOX(埋め込み酸化膜)層裏面のSi支持基板の不純物濃度やプロファイルの最適化、SOIやBOX膜厚の最適化を行う(図II-28)。

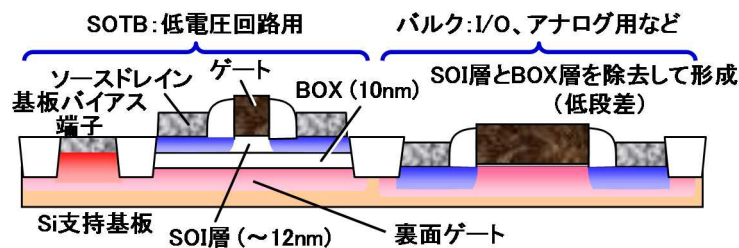


図 II-28 ナトランジスタ構造デバイスの断面模式図

(a)-2 しきい電圧ばらつきの低減

不純物起因によるばらつきを減らしたデバイスのばらつきを詳細に評価・解析し、大規模な回路にも対応出来るように、特性分布の裾も考慮しながら安定した低ばらつき特性が得られる構造や作製プロセスを開発する。

(a)-3,4 特性制御・性能最適化指針および高信頼化設計指針の提示(共同実施 東京大学)

0.4Vという超低電圧でのSRAMに代表される基本回路(図II-29)の動作解析、実測データとの比較検討による動作解析精度の向上、さらにこの結果に基づく超低電圧動作に最適なデバイス構造の方向付けを行う。これまでに設計した超低電圧動作回路の評価結果を反映させ、実用回路動作の信頼性を阻害するランダムテレグラフノイズ(RTN)などの要因について、デバイス動作の観点に立ち戻って解析し、高信頼化のための設計指針を提示する。

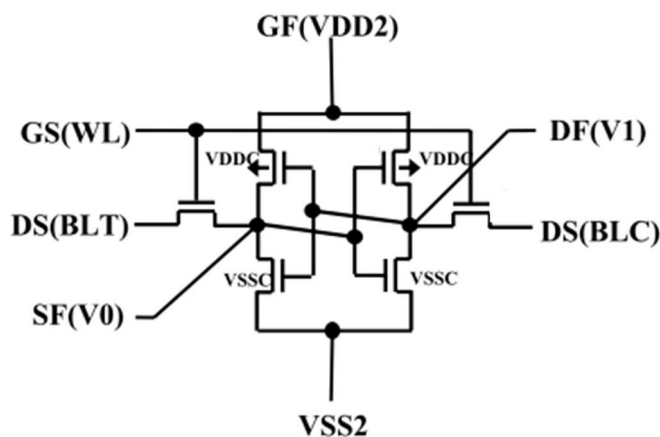


図 II-29 SRAM ノイズマージン TEG のセル回路図

(b) 超低電圧ハイブリッド集積化基盤技術開発

(b)-1ハイブリッドデバイス開発/SRAMによる検証

ナトランジスタ構造デバイス(SOTB)と従来バルク CMOS が容易に混載(図 II-28)できるハイブリッドデバイス・プロセスを構築する。具体的には、ナトランジスタ部分とバルク CMOS 部分の段差を考慮した最適な素子分離構造やソース・ドレイン部構造、ゲート電極構造、配線層との接続構造などを検討する。さらに、大規模 TEG を用いたインテグレーション、信頼性評価を経て、1Mb レベルの SRAM の 0.4V という超低電圧での動作検証へとつなげる。

(c) 超低電圧LSIプラットフォーム開発(共同実施 電気通信大学、芝浦工業大学、慶應義塾、京都工芸繊維大学、京都大学、東京大学、大阪大学、東京理科大学、産業技術総合研究所)

LSI チップ試作のために、設計ルールを始めとする設計プラットフォームを整備する。具体的には、ナトランジスタ構造デバイスの特徴であり、かつ、超低電圧回路動作の必須技術である、基板バイアス電圧印加を行うことが可能なナトランジスタ構造用最適化セルライブラリの改良と、基板バイアス電圧の安定印加技術の開発を行う。さらに、上記のセルライブラリや基本要素回路設計情報を活用しながら、より大規模な設計試行を通じて超低電圧 LSI を構築するための設計手法、設計フロー(図 II-30)、最適な設計パラメータの設定法等の開発を行う。

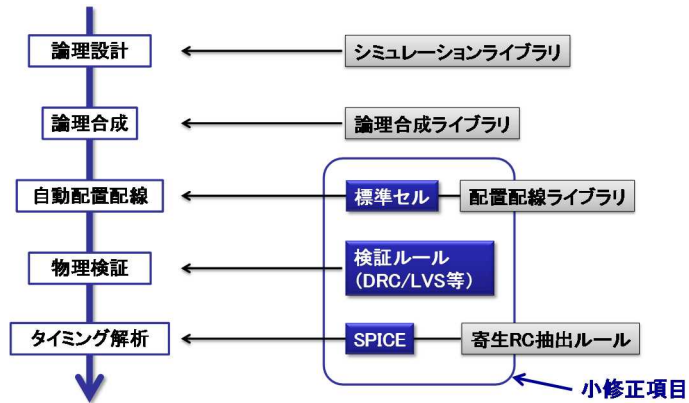


図 II-30 ナノランジスタ構造デバイスを用いた論理回路の設計フロー

(d) 超低電圧システム開発、TEG開発、実証アプリケーションチップ開発 (共同実施 電気通信大学、芝浦工業大学、慶應義塾、京都工芸繊維大学、京都大学、東京大学、大阪大学、東京理科大学、産業技術総合研究所)

上記(c)で得られる設計プラットフォームを活用しながら、超低電圧動作による電力削減効果が期待できるハードマクロコア、ないしはネットリストを開発するとともに、その開発過程で得られる知見を(c)の設計プラットフォーム開発にフィードバックする。さらに実用レベルでの集積回路動作の課題検討と、従来デバイスに比較して消費電力を 1/10 に低減出来ることを実証するため、実証アプリケーションチップ、及び、評価モジュールを試作し、性能を評価する。

上記、設計プラットフォームの開発と実証アプリケーションチップ、およびシステム試作を通じて、最終年度までに従来デバイスに比較して消費電力が実用化回路レベルで 1/10 に低減できる目処を示す。

⑥: 研究開発項目⑥

「BEOL設計・製造基盤(プラットフォーム)開発」

様々な新材料・新構造デバイスを配線(BEOL)層の一部として作ることを効率化するために、素子や回路の設計工程、さらには、プロセスや材料などに係る製造工程を可能な限り共通化し、これを、BEOL設計・製造基盤(プラットフォーム)として開発する。

(a) BEOL設計基盤開発

BEOL 製造基盤を用いて、様々な新材料・新構造デバイスを配線層の一部として作るために必要な、デバイス・配線関連の設計基盤を開発する。具体的には、パターン設計ツール、パターン設計に際しての OPC (Optical Proximity Correction) ツール、検証ツール、パターン検査用電子顕微鏡等のツールと評価機器を導入し、設計基盤となる PDK (Process Design Kit) を開発する(図 II-31)。

(b) BEOL製造基盤開発

300mm ウエハ CMOS 基板上に、下地 CMOS との位置関係など、デザインルールの整合性を保ちながら、配線層の一部として、様々な新材料・新構造デバイスを形成するための製造技術を開発する(図 II-31)。

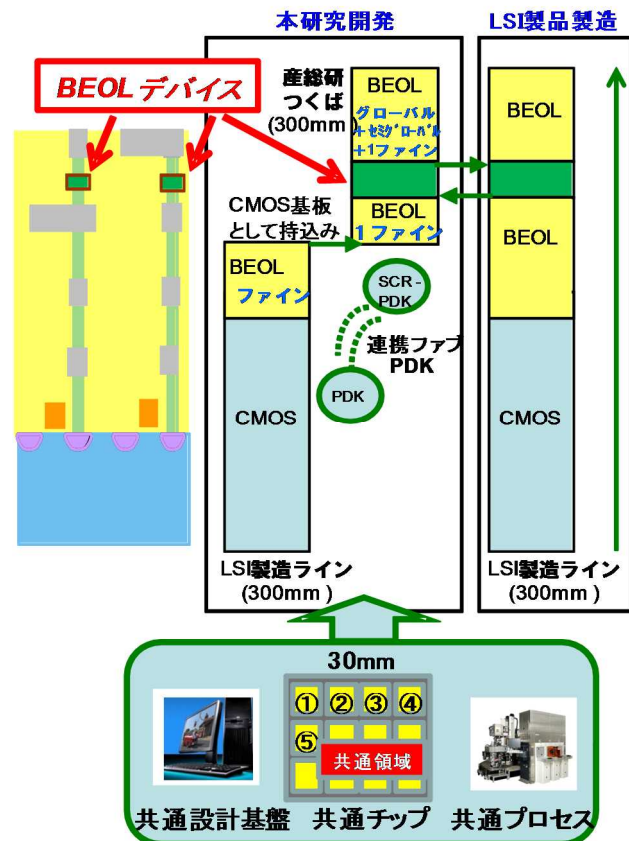


図 II-31 BEOLプラットフォームを用いたデバイス試作の流れ

(2) 研究開発スケジュール

以降に各研究開発項目の研究開発スケジュールを示す。

研究開発項目①

事業項目	平成22年度	平成23年度	平成24年度	平成25年度	平成26年度			
					4-6月	7-9月	10-12月	1-2月
5カ年計画	装置・設備 立ち上げ	デバイス 単体レベル 動作実証	回路・ マクロ開発	マクロレベル 動作実証	信頼性保証レベル動作実証			
研究開発項目① ロジック集積回路内 1次メモリを対象とした、 高集積・高速特性・ 高書き換え耐性などの機能 を有する超低電圧・不揮発 デバイスの開発	a) フロー検討	プロセス開発	プロセス改善、 多値プロセス開発	ユニットプロセス ばらつき抑制開発	プロセス ばらつき改善			
		基本プロセス 確立	プロセス 確立	プロセス ばらつき抑制	ばらつき目標 達成			
	b) デバイス開発	デバイス改善、 多値デバイス開発	デバイス改善、 多値デバイス開発	信頼性マージン評価、 多値デバイス開発	アレイトEGでの 信頼性評価			
a) 要素プロセス開発	磁気特性シミュレータ 立ち上げ	基本デバイス 構造Fix	単体性能実証、 多値動作確認	信頼性実証、 多値構造Fix	高信頼性への 指針提示			
b) 磁性変化デバイス開発								
c) 集積化開発								
d) 周辺回路開発	装置導入、 装置立ち上げ	ラインへの埋 め込み開発	集積化 プロセス開発	集積化プロセス開発	マクロ試作、開発			
d)-1 回路開発								
d)-2 モデリング	立ち上げ完	汚染対策と耐熱性 実証	集積化 プロセス構築	集積化 プロセスFix	マクロ レベル 実証			
e) TEG開発								
	d)-1 回路検討、設計	回路案 提示	回路評価、 マクロ開発、 アプリ試作	周辺回路付き メモリ開発、評価	マクロ 評価完			
	d)-2 パラメータ取得、モデリング	モデル高精度 化、 アプリ評価 ホールド設計	マクロ、電源 設計完	マクロ 改良完	融合技術開発			
	e) プロセスTEG	回路TEG	マクロTEG	マクロTEG	マクロ 評価完			
					融合技術マクロ ・低電圧T _{tr} -MRAMマクロ			
	マスク	マスク	マスク	マスク	マスク			

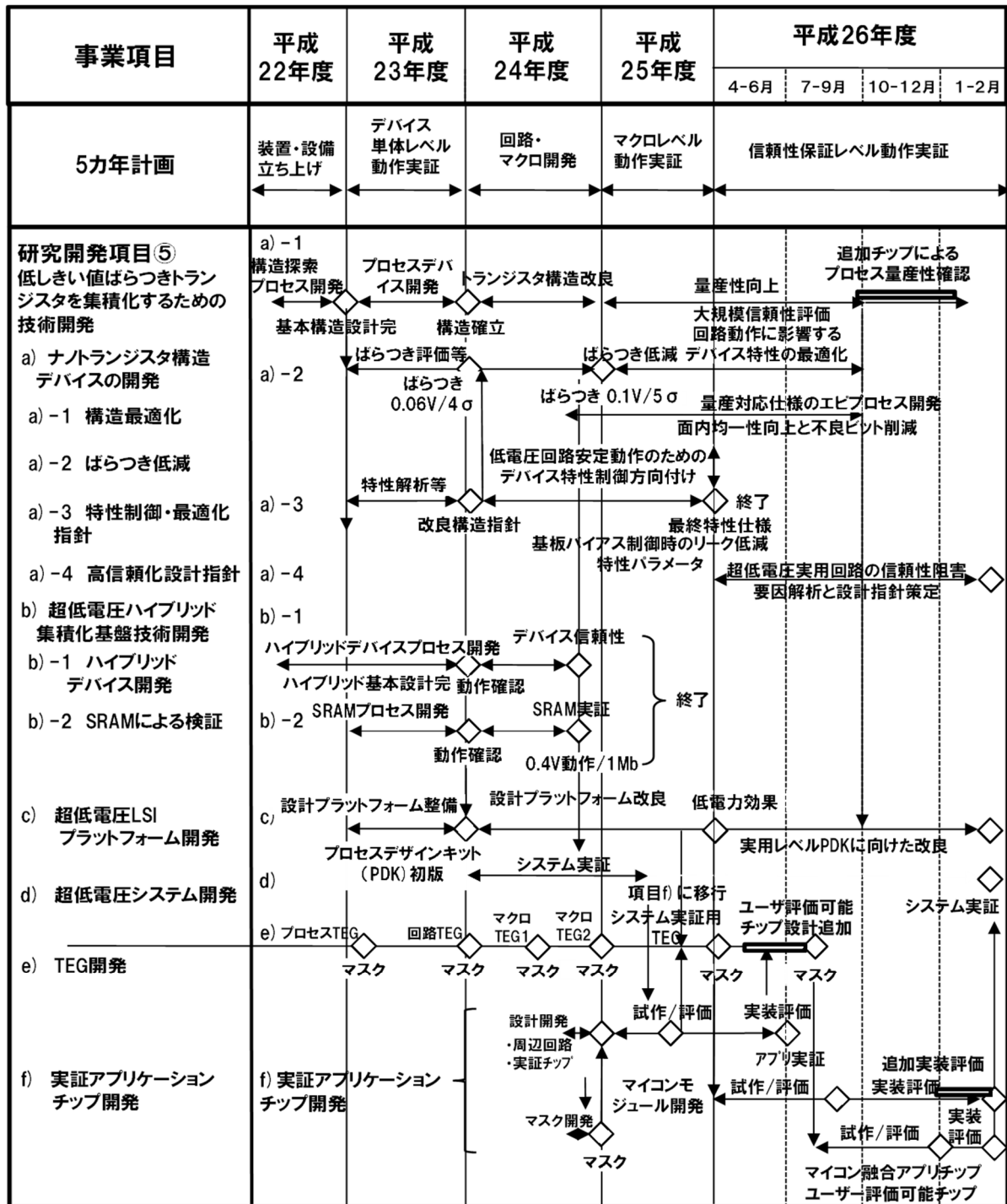
研究開発項目②

事業項目	平成22年度	平成23年度	平成24年度	平成25年度	平成26年度	平成27年度			
						4-6月	7-9月	10-12月	1-2月
6カ年計画	装置・設備立ち上げ	デバイス単体レベル動作実証	回路・マクロ開発	マクロレベル動作実証	信頼性保証レベル動作実証	低電力メモリセル動作実証			
研究開発項目② 外部記憶の高速低電力データ転送を実現する高集積・高速低電力書き込み特性などの機能を有する超低電圧・不揮発デバイスの開発	a) -1 評価手法探索 a) -2 装置立上	シミュレーション技術開発 材料開発指針 成膜・低電力技術	材料高集積高信頼技術	材料高集積高信頼技術	材料高集積高信頼技術	新組成超格子材料技術			
a) 相変化材料技術開発	b) -1 TEG設計	単体デバイス材料 単体デバイス試作	メモリアレイ材料 材料FIX	メモリアレイ材料 材料FIX	メモリアレイ材料 材料FIX	新組成材料成膜 電気特性評価			
a) -1 解析技術	マスク	メモリセル動作確認	メモリレイ動作確認	1D1Rアレイ動作確認	1D1Rアレイ動作確認	低電力相変化デバイス開発			
a) -2 成膜技術	装置立上	集積化プロセス開発(1)	集積化プロセス開発(2)	相変化デバイスマクロ開発(1)	相変化デバイスマクロ開発(2)	低電力相変化デバイス開発			
b) 集積化実証	マスク	加工プロセス構築	マスク	マスク	マスク	低電力デバイスプロセス 低電力デバイス試作			
b) -1 クロスポイントセル開発									
b) -2 集積化開発									
b) -3 周辺回路開発	周辺回路検討		マクロ設計(1)	マクロ設計(2)	高速・低電力評価(1)				
b) -4 ばらつき低減技術			回路図	回路図	評価システム構築				
						ばらつき評価 評価技術構築 分布測定			

研究開発項目③

事業項目	平成22年度	平成23年度	平成24年度	平成25年度	平成26年度			
					4-6月	7-9月	10-12月	1-2月
5カ年計画	装置・設備立ち上げ	デバイス単体レベル動作実証	回路・マクロ開発	マクロレベル動作実証	信頼性保証レベル動作実証			
研究開発項目③ 配線切り替えを可能とするスイッチを対象とした、低電流・高速書き換え、高オン・オフ抵抗比、小面積などの機能を有する低電圧・不揮発スイッチデバイスの開発	a)-1 装置改造	従来素子再現確認	新スイッチ素子構造・材料検討	素子特性向上、バラツキ低減	動作特性信頼性評価			
a) 原子移動型スイッチデバイス開発	a)-1 改造完	再現確認	基本デバイス単体性能構造Fix	実証	評価完			
a)-1デバイス開発	a)-2 周辺回路開発	周辺回路開発	再構成マクロ回路開発	マクロ評価完	融合技術マクロ評価完			
a)-2回路開発	スイッチアレイ用周辺回路	相互接続設計	設計完	設計完	設計完			
a)-3原子移動型スイッチ信頼性研究	設計ツール・アーキテクチャ検討	基本設計ツール準備	ロジックへの適合性評価	適合性評価完	予測ツール確認			
b) 集積化開発	a)-3 スイッチング機構解明	スイッチングモデル	信頼性モデル構築	信頼性モデル	予測ツール確認			
b)-1集積化技術	b)-1 埋込み技術開発	プロセス改善	集積化プロセス開発	再構成可能マクロ最終試作	確認完			
b)-2汚染除去技術	埋込み技術開発	プロセス改善	集積化プロセス開発	再構成可能マクロ最終試作	試作完			
c) TEG開発	b)-2 汚染除去技術開発/改善	プロセス整合性確認	スイッチアレイ動作確認	再構成可能マクロ動作確認	試作完			
	プロセスTEG	リリース	再構成マクロ1	再構成可能マクロ2	再構成可能マクロ3	融合技術マクロ1	融合技術マクロ2	
	マスク	マスク	マスク	マスク	マスク	マスク	マスク	

研究開発項目⑤



研究開発項目⑥

事業項目	平成 22年度	平成23年度				平成 24年度	平成 25年度	平成 26年度
		4-6月	7-9月	10-12月	1-3月			
5カ年計画	装置・設備 立ち上げ	デバイス単体レベル 動作実証				回路・マクロ開発	マクロレベル 動作実証	信頼性 保証レベル 動作実証
研究開発項目⑥ BEOL設計・製造基盤 (プラットフォーム)開発								
a) BEOL設計基盤 開発	設計基盤用ツール・装置導入、立上げ	プロセスデザインキット(PDK)作成				PDK		
b) BEOL製造基盤 開発	装置導入、BEOLプロセス仕様検討	BEOLプロセス開発、検証				BEOLプロセス		

(3) 開発予算

以下に、本プロジェクトにおける開発予算の推移を示す。

(単位:百万円)

	H22年度	H23年度	H24年度	H25年度	H26年度	H27年度	合計
①磁性変化デバイス	181	348	607	425	561	-	2,122
②相変化デバイス	547	205	525	364	411	(323)	2,052
③原子移動スイッチ	187	237	390	323 (3)11月度加速適用 (40)	306	-	1,443
④三次元 ナノカーボン配線	868	362	314	264 (2)9月度加速適用 (12)	269	(277)	2,077
⑤ナノトランジスタ 構造デバイス	263	366	982 (1)11月度加速適用 (54)	376	785 (4)6月度加速適用 (274)	-	2,772
⑥BEOL プラットフォーム	-	781	-	-	-	-	781
総開発予算	2,046※1	2,299	2,818	1,752	2,331	(600)	11,246 (11,846)
(内)共同実施費	25	63	96	73	39	-	296
(内)設備購入・リース	1,333	622	692	180	182	(-)	3,009

1:経済産業省直執行分

2.2 研究開発の実施体制

平成 22 年度から平成 26 年度は、プロジェクトリーダーを超低電圧デバイス技術研究組合 (LEAP) の研究本部長 住広直孝とし、6 つの研究開発項目を推進した。共同実施先を含めた本プロジェクトの研究開発実施体制は以下の通りである(図 II-32)。

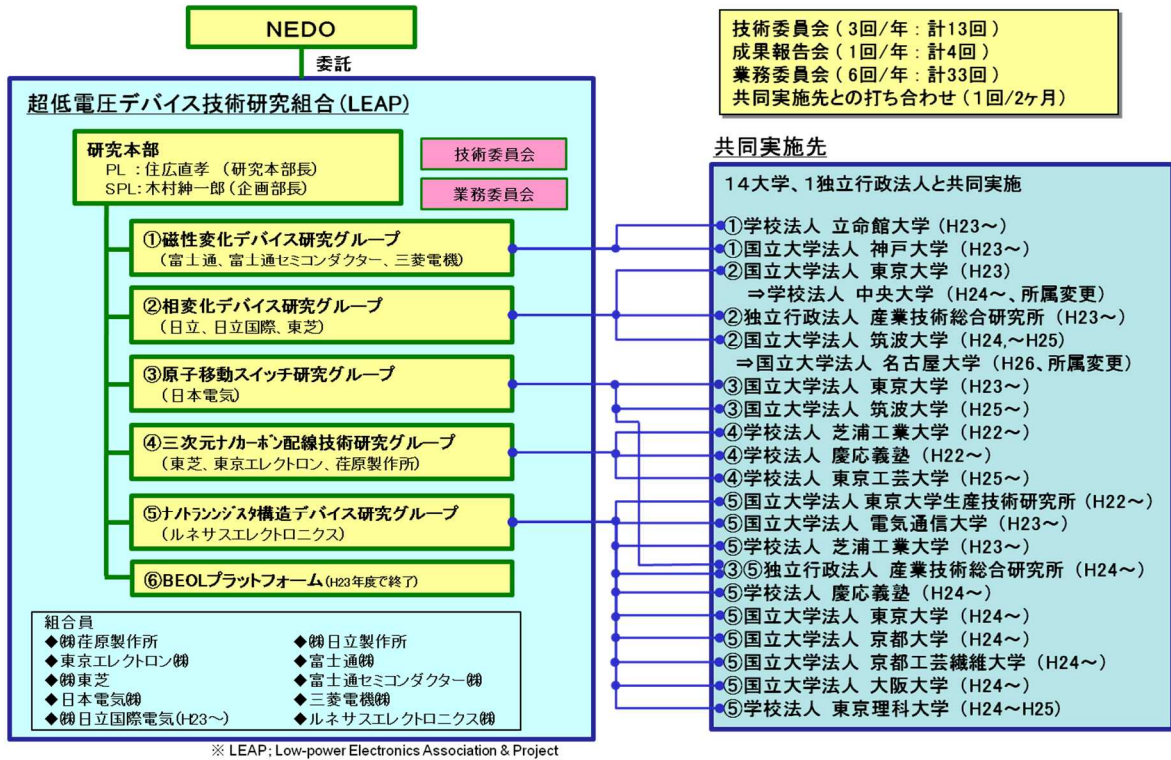


図 II-32 本プロジェクトの研究開発実施体制(平成 22 年度～平成 26 年度)

平成 27 年度は以下の体制で実施している(図 II-33)

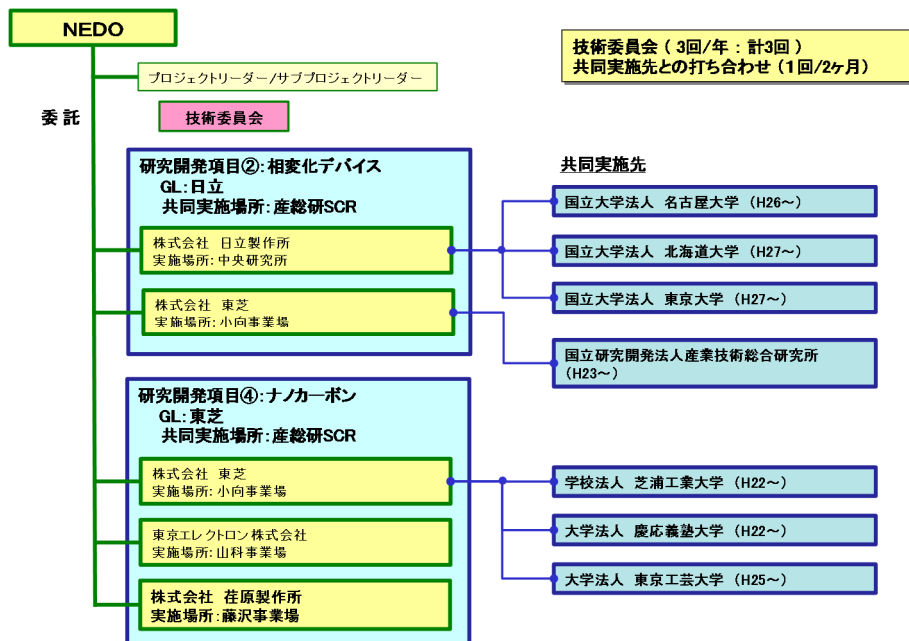


図 II-33 本プロジェクトの研究開発実施体制(平成 27 年度)

2.3 研究開発の運営管理

(1) 委託元(NEDO)

(1-1) 予算所要額ヒアリングを年1回開催

平成23年度 5月9日

平成24年度 5月17日

(1-2) 技術推進委員会を1回開催

平成23年度 12月26日

(2) 委託先(LEAP) (平成22年度～平成26年度)

(a) プロジェクト運営に関し下記のプロジェクト会議を開催

(i) 平成22年度: プロジェクト会議26回開催

(ii) 平成23年度: プロジェクト会議21回開催

(iii) 平成24年度: プロジェクト会議23回開催

(iv) 平成25年度: プロジェクト会議21回開催

(v) 平成26年度 プロジェクト会議25回開催

(b) 組合員から選出された技術委員とプロジェクト間でプロジェクト運営に関して技術委員会を開催

(c) 成果報告会 第1回開催 (平成23年12月15日、つくば国際会議場)

第2回開催 (平成24年12月19日、つくば国際会議場)

第3回開催 (平成26年1月23日、東京大学 伊藤国際学術研究センター)

第4回開催 (平成27年3月6日、東京大学 伊東国際学術研究センター)

(3) 委託先((株)日立製作所、(株)東芝、東京エレクトロン(株)、(株)荏原製作所) (平成27年度)

技術会議を開催

第1回技術会議 平成27年8月19日

第2回技術会議 平成27年11月5日

第3回技術会議 平成28年2月5日(予定)

2.4 研究開発成果の実用化、事業化に向けたマネジメントの妥当性

平成22年度～平成26年度(委託先 LEAP)は、研究開発成果の実用化、事業化に向けた議論を行う場として、組合参加企業の技術部門の専門家からなる技術委員会を開催し、参加企業の意見を研究開発に反映させた。開発技術の実用化に関して事業部門を含む参加企業の専門家(デバイス、システム設計)との議論を拡大技術委員会で実施した。

委託業務実施期間中(平成22年度～平成26年度:委託先(LEAP))の進捗管理状況

技術委員会

日程	出席者、報告対象者、組合側対応者	議事内容・報告・連絡事項
平成22年9月13日 第1回技術委員会	経済産業省 研究開発課 矢野氏 日本電気㈱グリーンイノベーション研究所 田原氏他組合員 8 社技術委員	「低炭素社会を実現する超低電圧デバイスプロジェクト」の進捗状況、技術開発状況、今後のスケジュールについて報告、審議
平成23年1月12日 第2回技術委員会	経済産業省 研究開発課 角谷氏、 日本電気㈱グリーンイノベーション研究所 田原氏他組合員 8 社技術委員	研究開発進捗状況、今後のスケジュールについて報告、審議
平成23年6月10日 第3回技術委員会	経済産業省 研究開発課 大塚氏 日本電気㈱グリーンイノベーション研究所 田原氏他組合員 9 社技術委員	東日本大震災からの復旧状況、研究開発進捗状況、今後のスケジュールについて報告、審議。
平成23年10月12日 第4回技術委員会	経済産業省 情報通信機器課 小竹氏、 日本電気 田原氏他 9 社技術委員	全体状況 バックエンドプラットフォーム整備状況 研究開発進捗状況 成果実用化に関する技術委員意見について報告、審議
平成24年2月8日 第5回技術委員会	NEDO 島津氏 日本電気 田原氏他 9 社技術委員	全体状況 研究開発進捗状況 平成24年度予算関係、平成24年度実施体制案について報告、審議
平成24年6月27日 第6回技術委員会 (拡大技術委員会)	経済産業省 閑念氏、榎本氏、阿部氏 NEDO 富江氏、波佐氏、宮田氏 技術委員他 30 名	第1回拡大技術委員会 全体概要と5テーマで14枚のポスタを準備し、特に、開発技術の適用先に関して参加企業の専門家(デバイス、システム設計)と議論
平成24年11月1日 第7回技術委員会	経済産業省 桑山氏、榎本氏 NEDO 富江氏、波佐氏 日本電気 田原氏他 9 社技術委員	全体状況、研究開発進捗状況 拡大技術委員会総括、中間評価総括・指摘事項と対応議論
平成25年3月1日 第8回技術委員会	NEDO 富江氏、波佐氏 日本電気 田原氏他 9 社技術委員	全体状況、研究開発進捗状況、中間評価時点からの進捗 第2回成果報告会総括、平成25年度予算、重点取組、実用化・事業化に向けた取り組み議論
平成25年6月27日 第9回技術委員会 (第2回拡大技術委員会)	経済産業省 桑山氏、 NEDO 波佐氏 日本電気 田原氏他 9 社技術委員 各社システム部門の技術担当者	参加企業において設計・製品部門、システム部門などデバイスを使用する部門から専門家の参加を得た技術報告会。ユーザー観点からの意見を得て、実用化に向けた議論実施
平成25年10月30日 第10回技術委員会	経済産業省 桑山氏、遠藤氏 NEDO 波佐氏 日本電気 田原氏他 9 社技術委員	全体状況、研究開発進捗状況 第2回拡大技術委員会総括、H25重点化施策(加速案件、実施体制強化等)議論。ユーザー協議会(フォーラム)提案・議論
平成26年3月5日 第11回技術委員会	経済産業省 桑山氏、齊藤氏 NEDO 波佐氏 日本電気 田原氏他 8 社技術委員	全体状況、研究開発進捗状況、第3回成果報告会総括、H26年度予算、実施計画、実用化・事業化促進の取り組み議論。ユーザーフォーラム審議、研究設備移管方針議論。
平成26年6月27日 第12回技術委員会	経済産業省 浜野氏、齊藤氏 NEDO 波佐氏 日本電気 田原氏他 9 社技術委員	全体状況、研究開発進捗状況 H26年度重点化:融合技術開発(加速)、ユーザーフォーラム進捗状況、技術移転・研究設備展開検討報告・議論
平成26年10月14日 第13回技術委員会	経済産業省 浜野氏 NEDO 波佐氏 日本電気 田原氏他 6 社技術委員	全体状況、研究開発進捗状況、ユーザーフォーラム進捗状況、技術移転・研究設備展開検討報告・議論

平成27年度(委託先((株)日立製作所、(株)東芝、東京エレクトロン(株)、(株)荏原製作所)は、研究開発成果の実用化、事業化に向けた議論を行う場として、参加企業の技術部門の専門家からなる技術会議を開催し、参加企業の意見を研究開発に反映させた。

委託業務実施期間中(平成27年度:委託先((株)日立製作所、(株)東芝、東京エレクトロン(株)、(株)荏原製作所)の進捗管理状況

技術会議

日程	出席者	議事内容・報告・連絡事項
平成27年8月19日 第1回技術会議	経済産業省 研究開発課 浜野氏、小出氏 NEDO 吉木氏、波佐氏、片岡氏 東京エレクトロン 成島氏他 4 社技術委員	「低炭素社会を実現する超低電圧デバイスプロジェクト」承継プログラムの進捗状況、技術開発状況、今後のスケジュールについて報告、審議
平成27年11月5日 第2回技術会議	経済産業省 研究開発課 浜野氏、小出氏、情報通信課 大森氏、有馬氏 NEDO 吉木氏、波佐氏 荏原製作所 徳重氏他 4 社技術委員	研究開発進捗状況、今後のスケジュール及び事後評価について報告、審議
平成28年2月5日 第3回技術会議(予定)	経済産業省 研究開発課 浜野氏、小出氏、情報通信課 大森氏、有馬氏 NEDO 吉木氏、波佐氏、片岡氏 東京エレクトロン 成島氏他 4 社技術委員 (予定)	全体状況、研究開発状況総括、研究設備展開検討報告、審議 (予定)

3. 情勢変化への対応

(1) 東北地方太平洋沖地震

平成 23 年 3 月 11 日に発生した東北地方太平洋沖地震のために、研究開発に使用している産業技術研究所のスーパークリーンルームが使用不能となり、物流機能も麻痺したため、実験設備の調達・立上げ、研究資材の調達面において、遅延が発生した。また、一部の実験が実施できず、平成 22 年度の実施計画遂行に遅れが生じた。以上の理由により、契約書第 4 条 1 項の規定に基づき、事業実施期間を平成 24 年 3 月 31 日まで延期する計画変更を経済産業省に申請し承認された。

平成 23 年 8 月 31 日、平成 22 年度実施計画を完遂し、繰上げ終了した。

(2) ナトランジスタ構造デバイス設計プラットフォーム開発（平成 23 年度）

研究開発項目⑤(ナトランジスタ構造デバイス)に関して、平成 23 年 1 月から国際学会などでデバイスの発表を始めたところ、ナトランジスタ構造デバイスの特徴の一つである基板バイアス制御の活用に関して、国内外でこれを低電力化の基本技術として注目している研究者が多いことが判った。そこで、技術的優位性を確実なものとするために、基板バイアス印加技術を活用する設計プラットフォーム開発の加速を目的として、共同実施先の追加を行った。新たに共同実施先となったのは、国立大学法人電気通信大学(石橋孝一郎教授)と、学校法人芝浦工業大学(宇佐美公良教授)である。

(3) 技術推進委員会への対応（平成 23 年度）

平成 23 年 12 月 16 日に技術推進委員会を開催し、外部委員から各テーマの評価と進め方に関するアドバイスを頂いた。以下に主な取り組みを示す。

主要項目	主な取り組み
②相変化デバイス	<ul style="list-style-type: none">・独創技術である超格子相変化の適用を前倒し。・産総研 300mm ラインに超格子の成膜・加工プロセスを構築し、世界初の ULSI 実証を推進。・試作加速のため、専用の製造装置を、既存装置を改造して活用。・集積化技術開発の研究員を 2 名増員。・高集積高信頼技術開発を筑波大と共同実施開始。・材料開発加速のため、共同実施先の産総研の人員を増強。
④三次元 ナノカーボン配線	<ul style="list-style-type: none">・グラフェン専門研究者の 1 名増員。・外部専門家(NIMS)との連携構築により微細幅グラフェン配線の評価・分析を強化促進、低抵抗化重要施策としてドーピングによる電荷密度増等を抽出。・超高 AR ホール埋込み実証加速のため、TEG 構造を見直し、ホール底選択成長による超高 AR 埋込みを開始。

(4)研究開発項目⑤の実施方針・計画の変更(平成 24 年度)

最終目標である、従来デバイスに比較して消費電力を 1/10 に低減できる基盤技術を確立するとともに、実用化回路レベルでの達成目処を示すことを確実にし、より質の高い成果を達成するため、以下 3 点を追加拡充して実施した。1)「ナトランジスタ構造の最適化」において、キープロセス技術としてのエピタキシャル成長工程の安定化、及び、2)評価チップ試作工期短縮のため、選択エピタキシャル成長装置を新規導入して本工程の開発を加速した。③「超低電圧システム開発」「TEG 開発」において、機能チップ向け周辺回路を追加開発した。

(5)研究開発項目④の実施方針・計画の変更と加速(平成 25 年度)

グラフェンを用いた横方向配線の抵抗低減のため、配線基礎技術に研究員を増強し、量子論的検討を追加した。グラフェン配線へのドーピング効果やエッジ形状の影響を局所的に評価・解析するため、加速予算により SPM(走査プローブ顕微鏡)へのオプション設備を追加導入した。グラフェンへのドーピング材料・条件の検討拡大・強化のため、共同実施先(東京工芸大学)を追加した。CNT ビアにおけるアスペクト比(AR)増大への対応のため、CNT 成長可能性検証用に、高 AR のビアホール構造開発を追加した。

(6)研究開発項目③の加速(平成 25 年度)

各研究開発項目のシナジー効果実証のため、⑤ナトランジスタ構造デバイスをベースとし、メモリを構成する不揮発素子である①磁性変化デバイス、②相変化デバイス、③原子移動型デバイスを混載した融合実証チップ(超低電力センサーノード用マイコンチップ)実現に向けた検討を行った。融合に必要な技術開発を実施し、最終年度のチップ設計にフィードバックを行うことで、実証チップの性能を成果活用企業における事業化判断が可能なレベルまで引き上げることを目的とし、以下を実施した。それは、1)相互のデバイス間での信号をやり取りするインターフェースを整合させること、2)相互のデバイスが同時に搭載できる整合性のある製造プロセスを開発し、かつ、特性劣化を生じさせないことである。

このため、これらの各要素技術開発に必要な TEG の設計、及び、マスク製作を予定の平成 26 年度から平成 25 年度中に前倒し完了させ、最終年度の早期に、融合技術実証チップ設計に必要なデータの取得を行った。

(7)研究開発項目⑤の実施方針・計画の変更(平成 26 年度)

最終目標である「従来デバイスに比較して消費電力を 1/10 に低減できる基盤技術」をより実用に近い想定分野に対して実証するため、実証アプリケーションチップ開発において IoT(Internet of Things)市場向けに必要なとされるアナログマクロ等の機能マクロの設計と、それらを搭載する、BEOL デバイス(原子移動型スイッチなど)との融合チップの設計・試作を追加実施した。

(8)2 テーマの延長(平成 27 年度)

研究開発項目②:新構造である超格子構造の評価から、超格子材料の組成を変えることにより、目標より更に半分以下の省電力効果(省電力目標 1/10 以下を 1/数 10 以下)が可能となる新たな現象が観察された。この現象を実際のメモリ素子に適用し、実用化に繋ぐためには、その動作メカニズムの解明、

300mm ウェハへの適用に向けた集積化プロセスの検討が必要である。しかし、当初の開発期間内では、その確証までには至らないため、1 年間研究開発を延長し、この現象のメカニズムの解明を図る。具体的には、新組性の超格子材料で 300mm ウェハ用集積化プロセスの完成度向上、及び、メモリマクロでの TRAM の基本動作確認を進める。

研究開発項目④:新たな課題として抽出された、ドーピングによる触媒金属の腐食等の抑制、ドーピング効果向上のための低温グラフェン成長膜の品質向上、実配線構造に則した特性予測計算手法の開発、CNT 固有のドーピング手法の検討を延長実施する。

4. 中間評価結果への対応

総論	評価委員指摘事項	対応
総合評価	<ul style="list-style-type: none"> • 短期間にも拘わらず世界トップレベルの研究成果を挙げ中間目標をほぼ達成した。 • 我が国の半導体産業再興への核となり得る技術が育成されつつある。 • 早期の実用化が達成できれば日本の LSI (Large-Scale Integration) 競争力復活に寄与する可能性がある。 	
	<ul style="list-style-type: none"> • LSI はデバイス・回路・システムの 3 つの連携が重要であり、システムとして実現させるためにはデバイス要素技術の開発だけでなく回路技術の開発も不可欠である。 	1. H25,26 年度は同左を重点化した。
	<ul style="list-style-type: none"> • メモリの実用化を早めるためにも、書込み・読出しに必要な周辺回路や、既存の IP[FEOL (Front End of Line)] との整合性についてもプロジェクト内で検討の対象に入れるべきではないか。 	
	<ul style="list-style-type: none"> • 新しい材料や製造方法を用いるため、現象の解明とともに低コスト化の検討も重要である。 	
	<ul style="list-style-type: none"> • プロジェクト終了時までには受け入れる企業側の事業戦略を具体的に示す必要がある。 	2. <ul style="list-style-type: none"> ●有用技術については残らず、特許化、特に PCT を含めた海外出願を図った。 ●実用化・事業化は各企業で形態が異なるので、H25,26 年度に技術委員会を通して、プロジェクト-個別企業間で技術移転協議を実施し、最適の技術移転形態を提案した。 実用化・事業化形態： IT 機器・システム、及び、システムを活用したサービス・ソリューション事業での競争力向上に、IT 機器企業がプロジェクト成果であるデバイスを利用するケースでは、デバイス調達には以下の場合がある。 <ol style="list-style-type: none"> ① 自社開発デバイスをファウンドリに生産委託する場合 ② デバイス企業にライセンスしてその企業開発のデバイスを調達する場合 また、デバイス販売を事業にするケースでは、下記の場合がある。 <ol style="list-style-type: none"> ③ 自社生産 ④ ファウンドリに生産委託 技術委員会：実用化推進委員会の役割も担い、技術委員、事業部門幹部、研究代表者で協議した。事業戦略に関わる事項など公開出来ない場合は個別企業-プロジェクト間で協議した。
	<ul style="list-style-type: none"> • 最終目標に向けては、実用化・事業化を視野に入れた開発をさらに意識する必要があり、そのための課題および体制を十分に検討し、必要なら研究計画の柔軟な見直しを行われたい。 • 横の連携を一層密にすることにより、全体としてより大きなストーリーが描けないだろうか。 	
	<ul style="list-style-type: none"> • 事業化において外国企業へ LSI の生産委託を行い、そのデバイスを活用する場合には、ライセンスを含めた技術移転の戦略を今から構築しておく必要がある。 	
<ul style="list-style-type: none"> • クロスライセンスの観点からも、有用技術については余さず特許化を図り、知的財産の確保に一層注力していくことが望まれる。 		
<ul style="list-style-type: none"> • プロジェクト終了後の実用化・事業化には様々な形態が考えられるので柔軟に対応する必要があり、技術移管想定先の事業部門とも協議を重ねられたい。 	3. 2に記述した通り。	
今後に対する提言	<ul style="list-style-type: none"> • BEOL プラットフォームは、LEAP 内部のみならず、プロジェクト終了後も参加企業の互換性のあるファウンドリのサテライト BEOL として提供し、広く我が国の SOC (System on Chip) 設計に展開し、海外に技術優位差をつけて産業創造に貢献するべきと考える。 	4. 技術移転と EDA 4-1 プロジェクトで開発した研究開発用 BEOL プラットフォームを、プロジェクト終了後に研究開発用サテライト BEOL として産総研から提供できるように、参加組合員企業、NEDO、及び産総研の了承のもとに、産総研への技術移転を実施した。 4-2 デバイスにより必要な EDA が異なるため、応用に展開できる原子移動スイッチ用 EDA ツール、ナ
	<ul style="list-style-type: none"> • デバイスの能力を 100% 発揮可能な、周辺回路の開発と設計者が容易にこの超低電圧デバイスを取り扱える EDA (Electronic Design Automation) 環境をプロジェクト期間 	

	内に整備することが重要である。	ノ構造トランジスタの PDK 整備を中心に進めた。原子移動スイッチデバイスに関する EDA 技術のプロジェクト化については、組合単独では実施が困難であり、参加企業との個別協議を通して、参加企業の関わる後継プロジェクトに組み込まれて実施されることになった。
	<ul style="list-style-type: none"> プログラマブルロジックデバイスに関しては、本プロジェクトは基本的にプロセス・デバイス技術のプロジェクトであるので、デバイス開発のめどがつき次第、本格的な大規模プログラマブルロジックデバイスの設計や CAD 開発の新たなプロジェクトをスタートさせるべきではないか。 	
	<ul style="list-style-type: none"> 個別テーマには新規性の高いデバイス技術も含まれていることから、官学の関連研究機関とも連携し、材料科学や固体物理に係る基礎研究面の掘り下げを行なうことが必要であろう。 	5. H24 年度 11 月に 2 研究室を追加し、以降回路・応用関係で 13 研究室、基盤技術関係で 7 研究室と共同実施した。さらに、物材研、高エネ研、JAXA とも協議した。 また、27 年度実施の 2 テーマでは、新たに 2 研究室加え、基盤技術関係で 7 研究室と共同実施した。
	<ul style="list-style-type: none"> 既存デバイスの代替に際しては、製造歩留まりが成否の一因となるので、実素子レベルでの評価データを蓄積し、デバイスとしての将来性、収益性を見極めることが重要である。 	H26 年度、重点的に取り組んだ。
	<ul style="list-style-type: none"> 国際競争力の強化という観点から、技術の囲い込み(技術流出の防止)についての有効かつ具体的なシナリオを描いて欲しい。知的財産の確保は不可欠であり、特に外国特許出願を強化して、企業の競争力強化に役立てる必要がある。 	6. 2.に同じ

各論	評価委員指摘事項	対応
研究開発マネジメントについて	<ul style="list-style-type: none"> 中間目標が研究の予想到達点を示しているだけで、開発のマイルストーンになってないテーマや、最終目標に向けての計画に具体性が欠けるテーマがある。 	最終目標へ向けたアプローチを再構築し、個別テーマの人員強化、共同実施先の見直し、開発成果創出促進制度活用、融合 TEG 試作等を実施した。
	<ul style="list-style-type: none"> 事業計画は相手先がはっきりしない限り不明な点はどうしても残ってしまうため致し方ない点もあるが、開発された技術を守る上での特許のアライアンスやビジネスモデルが現在の所、引継ぎ先企業に任されており不明な点がある。 	7. 2. に記述した通り。
	<ul style="list-style-type: none"> 最終目標を確実に達成することと並行して、デバイスとしての実用化、事業化のために、実用化を担当する各企業の内部体制を早く確立していただきたい。 	
	<ul style="list-style-type: none"> 研究開発項目ごとの研究マネジメントだけでなく、研究開発項目間のシナジー効果を発揮できるような研究マネジメントが望まれる。 	8. H24 年度~H26 年度、ナノトランジスタ構造デバイスと原子移動型スイッチの連携デバイスを開発した。また、技術委員会(特に各社システム部門も参加する拡大技術委員会)で統合的デバイス開発やシステム開発について議論を行った。 さらに、開発技術のマーケティング調査を行い、ユーザーサイドとなるチップメーカーや、システムメーカーと超低電力デバイスユーザーフォーラムを興し(H26 年 4 月)、議論した。それらを通して、融合技術構想を具体化し、体制強化、加速等を提案し、融合チップを試作・評価した。
研究開発成果について	<ul style="list-style-type: none"> 短期間の研究期間にも拘わらずさらに震災の影響を克服して、プロジェクト全体としては、革新的な新規材料、新規デバイスの開発を含む高い水準の中間目標の達成に成功している。 また、開発成果は世界のトップレベルにあると認められ、LSI 市場にもたらすインパクトは大きく市場の創造につながると考えられる。 今後の課題や具体的施策は明確化されており、最終目標達成の可能性は高い。 	

	<ul style="list-style-type: none"> デバイス技術に比べ、それらを有効に活用する周辺回路技術の開発は今後の計画での実施になっているが、十分にデバイス能力を活用できる回路技術の開発を目指していただきたい。 	9. H25、H26 年度重点化した。
	<ul style="list-style-type: none"> 特許出願件数、特に外国出願件数が少ない。 	10. 2に記述した通り。
	<ul style="list-style-type: none"> 成果を参加企業の内製よりもファウンダリー等の他企業へライセンスし、製造委託するものについては、知財戦略がやや不明確である。 我が国の産業競争力をいかに確保するか、知財をいかに囲い込みむか、知財の流出をいかに防ぐか明確なシナリオを描いてほしい。 	
実用化、事業化の見通しについて	<ul style="list-style-type: none"> 実用化・事業化の企業が想定されており、技術移管先との連携も概ね良好である。 各デバイスは、300mm ウェハプロセスに適用可能な製造プロセスを基盤として試作されており、幾つかのデバイスについては信頼性・歩留り等においても実用レベルの特性が実現されつつある。 本プロジェクトが目指す省電力型情報機器は、カーエレクトロニクス、センサネットワーク、高性能サーバ、大容量データセンターなどの様々な応用分野に適用可能である。 	
	<ul style="list-style-type: none"> 現在の連携は企業の研究開発部門が中心のようであるため、今後は事業部門・製造部門の責任者を含めた連携の努力をして、研究者の移管を含めた前倒しの計画で臨んでほしい。 	11. 2. に記述した通り。
	<ul style="list-style-type: none"> 実用化、事業化を担当する各企業の具体的な取組みが提示されていない。そのため、実用化・事業化を視野に入れた後半の計画が具体性に欠ける項目が見受けられるので、さらなる検討を重ねられたい。 	
	<ul style="list-style-type: none"> プロジェクト開始前に比べても移管先企業の情勢が急変しており、いくつかの企業において半導体製造は、半導体設計製造企業、あるいはファウンダリー企業への委託になる可能性があり、事業化戦略では知財を含め、ライセンスやアライアンス戦略が現状を明確にする必要がある。 デバイスメーカーの内製および外部委託の戦略も明確にする必要がある。 	

研究開発項目	評価委員指摘事項	対応
① 磁性変化デバイス	<ul style="list-style-type: none"> 実用を目指したトップレベルの MRAM 特性を実証しており、中間目標を達成したと認められる。特に、書き換え耐性が 10^{16} 回を実現し、10 年間のデータ保持を達成する等、実用性の高いデバイスを実現している。また、トップピン型磁気トンネル接合や歪エンジニアリング等の新技術の積極的導入を図ることで、世界最高レベルの低電圧動作に成功している。 	
	<ul style="list-style-type: none"> 歩留まりおよび信頼性については、300mm ウェハを使用して実験しているが、特性ばらつきや再現性のデータが提示されていない。事業化に向けた 300mm ウェハ面内での磁性メモリ性能の歩留まり評価が必要で、後半の目標としている高信頼化・高歩留まり・低コスト化の課題を早急に洗い出しておく必要がある。 	TDDDB での 10 年保障や無限回書き換え耐性など、信頼性に関して一部は実証済みである。集積化プロセス改善開発の一環として、当初の計画どおり H25 年度から、メガビットレベルの TEG を用いて、本格的にばらつき抑制や歩留まり評価を行った。
	<ul style="list-style-type: none"> 抵抗の変化値が小さいことから、読み出し回路の設計が従来に比べて難しくなる。読み出し時間をメモリの 	磁性変化デバイス特有の読み出し回路を、共同実施先の大学と開発し、低電

	<p>実力を発揮できる程度に短くできるかが課題である。</p> <p>• MRAM は小規模ながら実用化フェーズに入っており、本プロジェクトの包括的開発体制の特色を活かし、並行開発されている低電圧トランジスタとの集積化等により、省電力という機軸での高い競争力を有するメモリシステムへの展開が望まれる。</p> <p>• 製造工程が複雑化することから、現状の製造コストをどれくらい改善できるかも長期的な課題であろう。</p>	<p>圧での読み出し回路の動作を実証済み。さらに、改良版回路を搭載した TEG を起版した。H25 年度は設計関係の人員を増強した。</p> <p>低電圧トランジスタとの集積化は、H25 年度に起版した TEG を使って試作した。この TEG で省電力マクロ(メガビットレベル)動作を実証し、システムメモリへの展開に向け基礎データを取得した。</p> <p>製造コストの低減を重要な開発項目と捉えて、プロセス工数削減の検討を行った。</p>
研究開発項目	評価委員指摘事項	対応
②相変化デバイス	<p>• 超格子構造により相変化時の原子移動距離をナノメートルオーダーに抑えることで、動作エネルギーが低く寿命が長い独自技術を開発し、世界最高レベルの相変化電流値を達成している点は本デバイスのポテンシャルを示す成果の一つとして高く評価できる。</p>	
	<p>• 今後は、実用化を急ぎ、早くデファクトスタンダードとしての地位を確立していただきたい。</p>	
	<p>• 中間目標のクロスポイント型セルが超格子構造で現時点ではまだ実現できていないこと、300mm ウェハ上で特性の均一性や再現性確保の見通しを得ていないことは大きな課題である。</p>	<p>H24 年度に、超格子を搭載したクロスポイント型セルを単体デバイスとして試作評価し、基本特性を確認した。但し、以後は、CMOS 基板上に作製した超格子構造を用いて、特性の均一性や再現性を検討することに重点化した。</p> <p>H26 年度に 300mm CMOS ウェハ上の 1T-1R TRAM セルを試作し、特性の均一性や再現性を評価した。</p>
	<p>• 事業化に向けた、300mm ウェハ面内の相変化メモリデバイス性能歩留まり評価が必要である。</p>	<p>300mm ウェハ面内評価を H24 年度に単体デバイス、H26 年度にメガビットレベル TEG を用いて行い、歩留まりに関する初期的なデータを得た。</p>
	<p>• チップ外部製造委託する場合は、ファウンドリへの技術流出と知財権化の収支バランスが懸念される。</p>	<p>参加組合員企業との協議を、技術委員会の場を活用して継続的に行った。</p>
	<p>• 今後、素子の微細化を含め実用デバイスとしての特性向上を図るには、相変化機構等に関する詳細な理解、メモリ技術だけではなく回路技術など、全体的な技術の俯瞰、および素子形成後の工程で加わる熱処理、ボンディング、パッケージング、マウンティング、使用環境といった加熱される環境までも考慮する必要がある。</p>	<p>H24 年度より、相変化機構等に関する詳細な理解のために、量子力学に基づく第一原理計算を行った。</p> <p>H25 年度に超格子の低電力動作を検討する回路 TEG を設計し、H26 年度にその TEG を用いて素子の熱処理耐性等の評価を行った。その結果、BEOL 素子形成後の工程で加わる熱処理、ボンディング、QFP208 パッケージング、マウンティング等の加熱後にも、TRAM が低電圧動作することを確認した。さらに、回路 TEG を用いた検討で、TRAM の 5ns 以下の高速動作を実証した。</p>
研究開発項目	評価委員指摘事項	対応
③原子移動スイッチ	<p>• オンチップでの機能再構成を実現する新しいコンセプトのデバイスであり、小規模ながら、クロスバースイッチ、プログラマブルロジックアレイ等、実素子構成での機能動作評価に成功している点は高く評価でき</p>	

	<ul style="list-style-type: none"> る。 また、プログラム電圧 2V と 10^5 という高いオンオフ比、10 年以上高温でのオフ状態保持等のデバイス特性を実現している点は非常に有望である。 実際にプログラマブルデバイスを試作して動作確認がなされている。 	
	<ul style="list-style-type: none"> 300mm ウェハ上での特性均一性確保の見通しを早急に得る必要がある。 	集積化プロセスを改善し、1 メガビットスイッチアレイで、300mm ウェハ上での素子特性ばらつきを低減し、プログラム電圧ばらつきを $\sigma=0.186V$ とした。
	<ul style="list-style-type: none"> 中間目標である 10^3 回の書き換えは達成し、125℃における状態保持が確認されているが、10^3 回の書き換え後の素子の信頼性データをとる必要がある。 	1 回書き込みと多数回書きかえ後の 260℃ 1 時間保持試験を実施し、不良は発生しないが、抵抗変化が大きくなる傾向があることを明らかにした。後継プロジェクトでさらに信頼性向上を実現していく計画である。
	<ul style="list-style-type: none"> 材料や原理について、明確になっていない点が、事業化局面で信頼性に懸念がある。 	原子スイッチの熱安定性を評価するため、活性化エネルギーを抽出し、 $E_a=1.5eV$ と十分に高い活性化エネルギーであることを明らかにした。また、実際に 150℃にて 5000 時間の保持試験を実施したところ、オン状態の抵抗変動率は 15% 以下であった。(東京大学と共同実施)
	<ul style="list-style-type: none"> 本開発は FPGA 等との競合が予想されるが、すでに FPGA 関連では多数の特許が出願されており、一部のデバイス技術関連の特許を握っただけで他社技術に抵触せずに事業を起すことが果たして可能かという不安がある。 事業モデルの構築が課題となるであろう。 	参加組員企業との協議を継続的に実施し、具体的な事業化モデルを構築した。後継プロジェクトでは事業化に必要な技術開発を実施予定である。
研究開発項目	評価委員指摘事項	対応
④三次元ナノカーボン配線	<ul style="list-style-type: none"> CNT の 300mm ウェハ全面への堆積、高アスペクト比ビア形成、多層グラフェンの成長などナノカーボン材料によるメタル配線の微細化限界打破や 3 次元配線に向けた高い水準の成果が得られており、グラフェンを用いた配線の技術レベルとしては世界最先端にある。 	
	<ul style="list-style-type: none"> CVD グラフェンの電気特性データがまだ無いなかで、中間目標は多層剥離膜による最小寸法 25nm までの測定で性能を示しているが、剥離グラフェンでは集積化の可能性は低いので、最終目標が 20nm 以下の LSI 配線技術としての事業化への見通しは得られてない。 	低温 CVD グラフェンを高品質化し、最小寸法 12nm までの電気特性を示した。その結果、微細幅 ($\leq 30nm$) で高温剥離グラフェンと同等の抵抗を実証し、低温 CVD グラフェンの見通しを示した。
	<ul style="list-style-type: none"> 実際に実用化レベルの低抵抗値を実現するにはドーピングによる低抵抗化を必須としているが、その際の課題がまだ明確にはなっていない事が計画の見通しを悪くしている。 	量子論的検討の追加(実施項目 a)-4)によりドーピング・エッジ制御の理論的見通しをつけるとともに、共同実施先の増強(東京工芸大)により、ドーピング材料の検討範囲を広げ、グラフェンのフェルミレベルシフトと低抵抗化を実証するとともに、腐食等の課題を明確にした。
	<ul style="list-style-type: none"> 配線技術としての生産性については、量産性に向けた具体的な課題抽出とプロセス開発が必要である。 	東芝で設計・作製した 300mm 配線 TEG 基板を SCR に導入し、ナノカーボン成膜・CMP 加工に加えて、共用 BEOL ラインを活用して、課題抽出とプロセス開発を行い、最大 20Kp のチェーンを含む

		CNTビア構造、最小 HP30nm の CVD グラフェン/Ni 積層配線構造を実証した。
研究開発項目	評価委員指摘事項	対応
⑤ナトランジスタ構造デバイス	<ul style="list-style-type: none"> 動作の低電圧・省電力化に有効なトランジスタ構造を汎用プロセスで作製し、世界トップレベルのしきい値ばらつき低減に成功している。 特殊なプロセスに依存することなく、新規構造の導入により出力電流のばらつきについても顕著な低減効果を実証している点は、量産性の観点から高く評価できる。 また、非常に実用的であり、十分な成果が出ていると評価できる。 産学連携プログラムとしても一つの成功例となるのではないか。 	開発成果創出促進費を投入し事業化の前倒しを図った。
	<ul style="list-style-type: none"> 中間目標の 100 万個トランジスタのばらつき評価は現時点ではまだ実現されていない。 	計画通り、評価を完了した。
	<ul style="list-style-type: none"> SOI (Silicon on Insulator) 層は 12nm 程度であるが、この Si 薄膜を 300mm ウェハに形成する技術が実用化・事業化に当たっての最大のネックにならないか懸念があるが、全く触れられてない。 	SOI 基板の量産技術は、ほぼ確立しており、量産向け供給見込みもあるため、懸念はないと考える。
	<ul style="list-style-type: none"> SOI ウェーハコスト・プロセスコストの検討も課題である。 	想定製品に対する、SOI 化による基板等コストの増大分は、パッケージや検査を含めた全コストに対して、数%程度に留まると予想している。低ばらつきを活かした回路設計により、チップ面積低減が期待できることを、具体的な設計事例で示した。
	<ul style="list-style-type: none"> 1 万個トランジスタの特性ばらつきは評価できるが、量産に向けては 300mm ウェハ全面分布で評価する必要がある。 	300mm ウェハ全面での評価を実施し、既存バルクプロセスと比較して、本質的に均一性が劣ることはないを確認した。量産観点での評価と改善を継続的に行った。
	<ul style="list-style-type: none"> 加工技術が 65nm より微細化進展したとき、どのようにスケールアップされるのか指針も必要である。 	本デバイス構造は、14nm 世代までのスケラビリティがほぼ確立されていると、世界で多くのデバイス技術者に認識されている。将来の微細プロセスへの適用は、事業環境を踏まえて判断してゆく。
	<ul style="list-style-type: none"> 事業化については、技術は非常に有望であるが、如何に技術を囲い込んで利益に結びつけるかの事業化モデルの構築が重要。 課題は、マルチファウンドリへの生産委託や普及の戦略である。 成功にはライセンスなど実用化戦略の強化が必須となる。 	まずは自社ファブを活用した製品展開を図り、将来的にはファブライト戦略に整合するよう進めてゆく。早期の自社製造・製品展開を通じて得られる使いこなし技術の知財化により、継続的に優位化を図ってゆく。
研究開発項目	評価委員指摘事項	対応
⑥BEOLプラットフォーム	<ul style="list-style-type: none"> SCR300mm ラインで 200nm のグローバル配線と 120nm のローカル配線を実現し、汚染管理や OPC (Optical Proximity Correction) 開発を含めて、BEOL デバイスの試作に対応できるように短期に立ち上げたことは評価できる。 実際に LSI 製造と設計に必要なプロセスルールや 	

	<p>PDK (Process Design Kit) が構築されており着々と実用化に進んでいる印象がある。</p>	
	<ul style="list-style-type: none"> • PDK としては CAD、DRC、LVS ルールまでは整備される予定はあるが、メモリ等の周辺回路のライブラリ化を誰が担当するのか、あるいは導入各社に任せられるのかが不明。 	<p>BEOL プラットフォームは、材料や構造の異なる BEOL デバイスを CMOS 基板上の配線層の一部として作製する設計・製造基盤である。各 BEOL デバイ스에 強く依存した技術に関しては、各デバイス開発の中で、プロジェクト目標達成に必要な範囲で準備し、BEOL プラットフォーム PDK として統合・整備した。</p>
	<ul style="list-style-type: none"> • プラットフォームが本プロジェクト内部の使用に限定するのではなく、参加企業の FEOL と接続してオフラインで新材料デバイス量産化開発研究に他国に先駆けて供用されることを期待する。 	<p>本研究テーマは、H23 年度末で終了しているが、BEOL 新材料・新構造デバイスの研究基板として活用するため、参加組合員企業の FEOL との接続を検討し、実施した。ただし、プロジェクト外の使用に関しては別途検討を行った。</p>
	<ul style="list-style-type: none"> • 本技術はメモリ技術の実用化であるので、できれば PDK にメモリの周辺回路ライブラリからメモリ合成ツール等を含めて開発し、設計者が設計しやすい環境まで整備していただきたい。 	<p>上記(本研究開発項目の二項目)に同じ。</p>

(別紙)

計画への反映

計画への反映

日付	実施方針/計画	分類	【ナノトラ】	【原子SW】	【磁性変化】	【相変化】	【カーボン】	その他	
								H23.11以降、IT機器の省電力化のみならず、ユビキタセンサネットワーク/クラウドコンピューティングシステムを通じた、電池レス・モバイルコミュニケーションが作る、快適、安全、安心社会への貢献を訴求	
H24.1.1	H24年度実施方針変更		開発成果創出促進制度の適用により、研究開発項目⑤の事業内容追加による改定: 【ナノトラ】実証アプリチップを試作し、動作実証を通して市場に働きかけ潜在ニーズを掘り起こす。						
H24.11.20	実施計画変更申請	予算	5.77億円増 <加減>						
		計画	(a)エビ導入・プロセス開発、(f)実証アプリケーションチップ開発						
		体制	富山分室設置						
H25.03	H25年度実施方針		H25年度実施方針						
		予算	H25年度通常予算 17.0億円						
H25.3.1	実施計画変更申請	体制	「ナノトラ」に日立国際参加						
		人員	研究員 4名増(エビプロセス開発強化)(日立国際参加)		研究員 1名増(回路開発強化)		研究員 2名増(配線基礎技術・集積化開発強化)		
H25.5.16	実施計画変更届出	人員	研究員 1名増(エビプロセス開発強化)				研究員 1名増・3名担当変更(集積化開発強化)		
								H25.6.27 拡大技術委員会・各社システム部門参加。ユーザー視点から実用化を議論。	
								以降、IT機器の省電力化のみならず、IoTのプラットフォーム技術として社会課題を解決する様々な産業への貢献を訴求	
H25.7.15	実施計画変更届出	人員	研究員 2名増(実証アプリケーションチップ評価強化)						
H25.8.23	実施計画変更届出	人員					研究員 3名増(配線基礎技術(量子論的研究)強化)		
H25.9.17	実施計画変更届出	人員	研究員 2名増(実証アプリケーションチップ評価強化)						
H25.08	H25年度実施方針変更		開発成果創出促進制度の適用により、研究開発項目④の事業内容追加による改定 【カーボン】SPM導入による局所電導特性評価により、グラフェンの微細幅配線への見通しを示す(微細幅グラフェンの欠陥・粒界等の電導特性の量子論的研究)						
H25.9.20	実施計画変更申請	予算	0.12億円増(17.12億円)						
H25.9.20	実施計画変更申請	計画					(a)SPM導入による局所電導特性評価(ドーピング効果・エッジ形状効果)		
H25.11.25	実施計画変更届出	人員					研究員 1名増(配線材料・プロセス技術開発強化)	H25.10.30 ユーザーフォーラム提案 (@技術委員会)	
H25.11	H25年度実施方針変更		開発成果創出促進制度(2回目)の適用により、研究開発項目③の事業内容一部追加、併せて研究開発項目③、及び④における共同実施先追加、それに伴う事業内容の一部変更・追加による改定 【原子SW】回路開発強化(配線アーキテクチャ研究+融合技術マクロ開発) 【カーボン】グラフェン低抵抗化にフォーカス						
		予算	0.4億円増(17.52億円) <加減>						
H25.11.28	実施計画変更申請	体制	共同実施先追加 筑波大・山口講師(回路開発(配線アーキテクチャの研究)強化)				共同実施先追加 東京工芸大・松本准教授(配線基礎技術強化(ドーピング材料・条件探索)強化)		
		計画	(a)配線アーキテクチャ研究および融合技術マクロの開発、(c)融合技術TEG開発				(a)配線基礎技術(ドーピング材料・条件探索を拡大)強化、(c)配線集積化開発を目標緩和(a)注力)		
H25.12.27	実施計画変更届出	人員	研究員 2名増(実証アプリケーションチップ評価強化)						
H26.03	H26年度実施方針		H26年度実施方針						
H26.3.7	実施計画変更申請	予算	20.57億円						
H26.4.16	実施計画変更届出	人員	研究員 1名増(実証アプリケーションチップ評価強化)、1名減(エビプロセス開発)				研究員 1名増(微細幅配線低抵抗化実証加速)	H25.4 ユーザーフォーラム設立、活動開始。	
H26.6.6	実施計画変更届出	人員		研究員 3名増(デバイス開発・TEG開発強化)					
H26.6.9	実施計画変更申請	予算	2.74億円増(23.31億円) <加減>						
		計画	融合技術含む実証アプリケーションチップ開発・試作・評価を加速						
H26.9.30	実施計画変更届出	人員					研究員 1名減(配線集積化開発)		
H26.10.20	実施計画変更届出	体制	那珂分室設置、富山分室廃止(エビ装置移設)				「相変化」に東芝が参加		
		人員	研究員 1名減(富山分室閉鎖)				研究員 2名増(集積化開発強化)(東芝参加)		
H26.12.11	実施計画変更届出	人員					研究員 2名増(東芝参加)		
H27.2	H27年度実施方針		H27年度実施方針(相変化、ナノカーボンの2テーマ延長、4社の償却契約) 【相変化】新組成格子のTRAM試作、素子ばらつき評価ならびに動作機構説明、更なる低電力化(従来の1/20(33mW))の見通しを得る 【ナノカーボン】触媒金属の腐食や周辺絶縁膜への汚染を抑制できるドーピング材料・プロセス、低電圧VDDプロセス開発、及びドーピングするための集積構造・加工・周辺カバー絶縁膜プロセス案を提示する						
		予算				6.00億円			
		体制				東芝、日立		東芝、東京エー、住原	
H26.2.17	実施計画変更申請	体制				共同実施先追加 東京大、北海道大、(中央大はH26年度で終了)			
		計画				a)-2層低抵抗ナノカーボン配線技術 a)-3ナノカーボン材料の微細幅配線適用における電導特性の理論的研究と解析 b)-1300nm径Si基板上ナノカーボン成長プロセス開発 c)-1ナノカーボン配線集積化プロセス開発			

5. 評価に関する事項

NEDO は、技術的及び政策的観点から、研究開発の意義、目標達成度、成果の技術的意義ならびに将来の産業への波及効果等について、外部有識者による研究開発の中間評価を平成 24 年度に実施し、事後評価を平成 27 年度に実施する。また、中間評価の結果を踏まえて必要に応じプロジェクトの加速・縮小・中止等見直しを迅速に行う。なお、評価の時期については、当該研究開発に係わる技術動向、政策動向や当該研究開発の進捗状況等に応じて、前倒しする等、適宜見直すものとする。

III. 研究開発成果について

1. 事業全体の成果

本プロジェクトは2010年8月に開始され、「つくばイノベーションアリーナ-TIA」のナノエレクトロニクス研究の一環として、エレクトロニクス機器の飛躍的な低電力化に向けた、材料・プロセス・デバイス技術の研究開発を掲げ、低電圧化が可能と期待されている抵抗変化型不揮発デバイスと、これと組み合わせることで更なる低電力化を可能とする集積化基盤技術である、低抵抗微細ナノカーボン配線技術、および、超低電圧動作を可能にするナトランジスタ構造デバイスの研究開発を実施してきた。

抵抗変化型不揮発デバイスは、電荷保持を動作メカニズムとする従来のデバイスとは異なり、状態変化(抵抗変化)をメカニズムとする新しいデバイスである。本プロジェクトでは、①磁性変化デバイス、②相変化デバイス、③原子移動型スイッチの3つのデバイスを検討した。低抵抗微細配線を実現するナノカーボン配線技術では、カーボンナノチューブ(CNT)を用いた高アスペクトビア(配線間を縦方向に接続する導体)やグラフェンを用いた超微細幅配線(横方向配線)などを検討し、従来の銅配線では対応できない寸法や構造(例えば、3次元高集積メモリ)への適用を目指している。ナトランジスタ構造デバイス(SOTBと称する)は、シリコン基板の上に、ともに10nm程度の極薄の絶縁膜とシリコン層が積層されたトランジスタ構造である。極薄シリコン層には不純物が極めてわずかしが含まれないため、トランジスタ特性のばらつきを大幅に減らすことが可能となり、0.4V程度までの低電圧化が可能なデバイス候補である。

磁性変化デバイス(STT-MRAM)は、図 III-1(左)に示したように、磁化固定層(ピン層)を MTJ (Magnetic Tunnel Junction) の最上層に配置するトップピン構造を基本とし、さらに、MTJ への歪印加、界面垂直磁化膜の適用などを実施した。トンネル酸化膜(MgO)に関しては、十分な MR 比と保磁力が得られ、さらにリーク電流を抑制する成膜法を開発し、実動作上では無限回と言える1京回の書き換えを実証した。

特性ばらつきの増大無しで MRAM の書き込み電流を低減するため、電氣的・磁氣的寸法をシュリンクする方法を開発し、書き込み電流を $15\mu\text{A}$ まで低減できた。マクロ実証に向けて、300mm BEOL プラットフォームへ MTJ を埋め込む集積化プロセスの開発、素子抵抗ばらつきの抑制、回路シミュレーション用 MTJ モデルの開発、周辺回路開発などを行った。MTJ 加工寸法ばらつきを抑制するためのプロセス改善を行い、ローカルエリアばらつき $7.7\% @ 50\text{nm}\Phi$ を実現できた。16k ビットの MRAM アレイでの抵抗ばらつき評価では、目標値(15% (3σ))と同程度の16%に抑制することができた。

マクロを設計する上で必要となる、回路シミュレーション用の MTJ モデルとして、大規模回路設計に対応可能なモデルを開発した。MTJ 抵抗が変化する電圧の書き込みパルス幅依存性と、抵抗変化の遅延時間依存性を加えたマクロモデルで、回路シミュレータ(SPICE)でセルの過渡応答を評価した結果、書き込みパルス幅 10ns まで対応できることを確認した。

マクロ実証については、1Mbit マクロを試作、評価した。マクロの読み出し速度は 10ns で、内訳はプリチャージ時間が 8ns、センス時間が 2ns であった。高速読み出しに向けては、ビット線に接続されるビット数を 128bit に減らすことで、読み出し時間を 3.5ns に低減できると見積もった。マクロの書き込み速度については、速度と電流のシュムープロットから 10ns で 125uA が得られた。また、低電圧動作

向けセンス方式・回路を設計して起版したマスクに搭載した。試作した結果、シミュレーション通りの十分なセンス電圧(0.3V)を実現した。

更なる高密度化に向けては、実効的に2倍のメモリ容量を実現できる多値MTJを開発した。MTJの2段積層構造の一括加工方式を提案し、試作により多値動作を確認した。メモリ以外のMTJの展開として、電流センシング用のMTJを開発し、 $\leq 10\mu\text{A}$ のセンシング精度に相当する特性を実現した。

相変化デバイスでは、相変化を低いエネルギーで起こす、革新的な技術であるGeTe/Sb₂Te₃超格子膜を開発した(図III-1の中央)。理論的な成果としては、第一原理計算によって、GeTe/Sb₂Te₃超格子におけるGe原子の短範囲移動が、抵抗変化を発生させるモデルを提示した。本開発の超格子膜を用いた新メモリは、従来のPRAMと異なる動作機構や優れた特性を有することから、“Topological switching Random Access Memory (TRAM)”と名付けた。

TRAMのプロセス開発における最重要課題は、超格子成膜である。本開発では、300mmウェハの成膜装置を用いて、GeTe/Sb₂Te₃超格子構造形成に世界で初めて成功した。超格子膜は、GeSbTe合金の混合による不良を回避することで高品質化し、その結晶構造は、サブnmの原子干渉縞のTEM実験等で確認した。

超格子膜の電気特性は、50nm直径のW電極を有する抵抗素子を試作して評価したが、100以上の抵抗比を保持しながら書き換え回数1億回以上を実証した。

さらに、本開発では、超格子内での原子移動が起こりやすいGe_xTe_{1-x}/Sb₂Te₃ ($x < 0.5$, Ge欠損系)超格子膜を提唱した。本材料を用いた抵抗素子を試作評価したところ、抵抗変化が化学量論組成のGeTe/Sb₂Te₃超格子膜と比べて、60%の低電圧で起こることがわかった。書き換え電流値は55uAで、書き換えエネルギーは最終目標を達成する1.9pJであった。以上の結果は、データ転送速度400MB/sを、従来の1/10の電力(66mW)で書き込みができることを示唆し、更なる電力削減効果(33mW以下)の見通しを示している。

TRAMのULSIとしてのフィージビリティをチェックするために、CMOS基板とCu配線間に超格子素子を埋め込んだ、1T-1R型メモリセルのプロセスを開発した。超格子をSb₂Te₃ボトム層上に積層することで、ばらつきの少ない安定的な成膜を実現した。ドライエッチング加工では、超格子膜の側壁不良を抑制する条件を見出した。1T-1R型の単体デバイス、及び、デコーダ回路付き16kbテストチップを試作評価したところ、TRAMの動作電圧の最終目標を達成する書き換え電圧1.0V以下での抵抗変化が確認できた。これに加えて、2Mbマクロを開発し、ライト・リード回路を用いたTRAM動作を確認した。マクロを用いることで、短時間パルス評価が可能となるが、本開発では、電圧パルス幅5ns以下でのTRAMの高速書き換えに成功した。

本開発では、高集積化のための要素技術開発として、ポリSiダイオードを用いたクロスポイントセルPRAMの技術開発も行なった。相変化材料としては、クロスポイント型セルで書き換え可能な、熱拡散防止機能を有するnano-GSTを開発して適用した。1D-1R型のクロスポイント型セルでセル面積4F²を実現するために、ワード線とダイオードを自己整合的に配置するプロセスを開発した。寸法100nmの1D-1Rクロスポイント型セルアレイを試作評価したところ、高抵抗状態と低抵抗状態の抵抗比1ケタ以上を保持した読み出し・書き換え動作を確認した。以上をもって、最終目標であるクロスポイント型メモリセルを集積化したメモリアレイ試作と動作実証、及び、メモリセル面積4F²のメモリアレイによる高集積性実証を達成した。

原子移動型スイッチデバイスは、独自の固体電解質膜(PSE; Polymer Solid Electrolyte)とその中

に発生する Cu イオンの架橋を使う(図 III-1 右)。低電圧動作と信頼性の向上を両立させるために、新たに 3 端子構造を提案し、デバイス動作を実証した。また、1kビットセルアレイ(スイッチを配列したものを)、300mm ラインの BEOL プラットフォームを用いて試作し、小規模アレイ動作を実証した。さらに、集積化プロセスを改善し、素子不良や素子特性ばらつき増加などの原因を調査し、対策・改善することで、中規模な回路動作(スイッチ数 1Mb レベル)を検証するために必要な、十分に低いばらつきを実現した。

CuO 層の形成、および Cu 拡散によるプログラミング電圧ばらつきの悪化を抑制し、さらに PE (Pre-Etching) 処理条件、バッファ膜厚最適化、及び、合金比率の最適化を実施し、 $\sigma = 0.186V$ となる良好なプログラミング電圧ばらつきを得た。

動作検証においては、6x6、及び、48x48 プログラマブルロジックを用いてその機能検証を行った。原子スイッチベースのプログラマブルロジックは、SRAM ベースと比較すると、ロジックセル面積で -75%、電力では最大-61%、信号遅延では最大-65%が達成できた。

平成 26 年度に設計・試作を行ったプログラマブルロジックにより、オフロード処理を実証し、CPU には負荷が大きい処理を短時間にプログラマブルロジックで実行することで、チップの電力を下げることができた。実証に用いた 32x32 ロジックセルアレイ規模のプログラマブルロジックは、原子スイッチ ROM が混載された 32bitCPU と比較すると 2 倍程度のアクティブ電力を必要とするが、処理速度が 60 倍と非常に高速である。また、不揮発性のためスタンバイ電力を必要としない。そのため、処理あたりのエネルギー効率を 30 倍とできた。




磁性変化	相変化	原子移動
		
<ul style="list-style-type: none"> • トップピン構造 • 界面垂直磁化膜 • プロセス歪 • 高品質トンネル酸化膜 	<ul style="list-style-type: none"> • 超格子相変化膜 • Sb₂Te₃ ホトム層 	<ul style="list-style-type: none"> • 固体電解質膜(PSE) • Cu配線酸化防止膜

図 III-1 抵抗変化型デバイスの材料と構造の模式図

これらの抵抗変化型デバイスは、図 III-1 に示したように基本的に構造が単純なため、トランジスタ (MOSFET) を接続する配線形成プロセス (BEOL; Back End Of Line, Process) の工程中に作ることができる。このため、抵抗変化型デバイスを BEOL デバイスと呼んでいる。この特徴を活かし、種類の異なる 3 つの抵抗変化材料を Cu 配線に埋め込むために、共通で使えるプロセス基盤と設計基盤を構築した。共通化の課題は、材料に起因する汚染の抑制とプロセス温度の低温化である。BEOL プロセス温度を 350°C まで下げ、様々な材料からなる抵抗変化型デバイスを MOSFET が形成された基板 (CMOS 基板) 上に作れるようにした (図 III-2)。

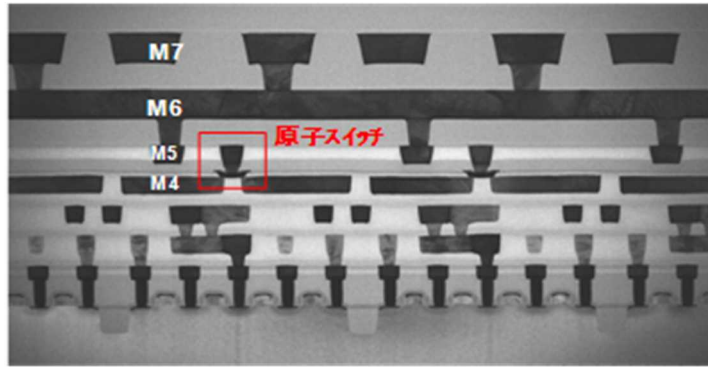


図 III-2 原子移動型スイッチを埋め込んだ CMOS 基板の断面電子顕微鏡写真

本プロジェクトでは、抵抗変化型デバイスを、小規模ではあるが集積化した状態で動作検証することを目標のひとつに挙げている。このためには、図 III-2 に示したように、デバイスを動作させるための回路が刻まれたウェハを手に入れなければならない。しかも、実用化や量産化も想定しているので、可能な限り、現状の量産プロセスに近い状況でのウェハ試作が望まれる。

しかしながら、研究開発用に、先端技術を用いた Si 集積デバイスのウェハ製造ラインを作り、かつ、維持することは、製造装置の価格が巨額化した現在、不可能と言ってよい。また、国内の半導体メーカーでも、ファイブライト、ファブレスが近年の LSI 製造の傾向であり、研究開発用にラインを保有するのは、たいへん難しい状況になっている。

このような状況に鑑み、かつ、産業技術総合研究所がスーパークリーンルーム(SCR)に、45nm 相当までの微細プロセスが可能な BEOL 用の装置を揃えたことから、図 III-3 に示した仕組みを作った。まず、4 層の Cu 配線を備えた CMOS 基板を量産ラインから入手し、この上に、Cu 配線を 1 から 4 層形成する工程で、様々な抵抗変化型材料を埋め込み、集積化したデバイスを完成させる。ウェハの流れは一方通行であり、つくば SCR から量産ラインにウェハが戻ることはなく、新材料に起因する汚染を量産ラインに持ち込む心配はない。

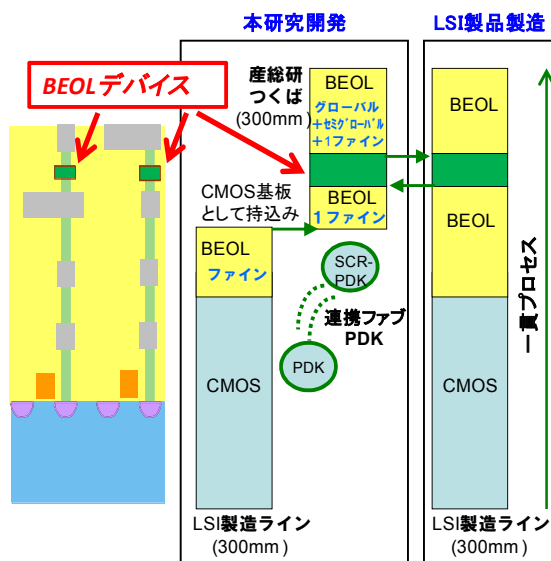


図 III-3 外部量産ラインを利用したウェハ試作におけるウェハの流れ

低抵抗微細ナノカーボン配線技術では、以下のような成果を得た。微細幅・超低電気抵抗配線向け材料として、配線適用に必要な低温(650℃以下)での多層グラフェン(MLG)成長技術開発を行った(図 III-4)。触媒段差を起点とする低温固有の新たな MLG 成長機構を見出すとともに、触媒組成や配向性の調整、CVD 条件の最適化により、結晶性の指標であるラマンスペクトルのグラファイト結晶由来の G ピークと、欠陥由来の D ピークの比(G/D 比)が、高温で合成された高品質結晶から剥離されたグラフェン(高温 MLG)並みの、最高で 100 を超える高品質成長が可能なことを実証した。

MLG の抵抗低減施策として、膜品質の改善とともに、グラフェン層間へのドーピング材料探索とプロセス開発を行い、ドーピング材料として、 MoCl_5 を用いることによって、高温 MLG と同様のドーピング効果(フェルミレベルシフト)を実証するとともに、低温 MLG においても G/D 比の向上と特定の金属塩化物選択およびパッシベーションプロセスにより、ドーピング効果を実証した。また、触媒ダイヤモンド配線アレイを下地にして、低温 MLG の選択成長を行い、300mm 径 Si 基板上で微細幅(hp30nm)、長距離(0.7mm)の低抵抗(シート抵抗 $1.1 \Omega/\square$)を実証した。

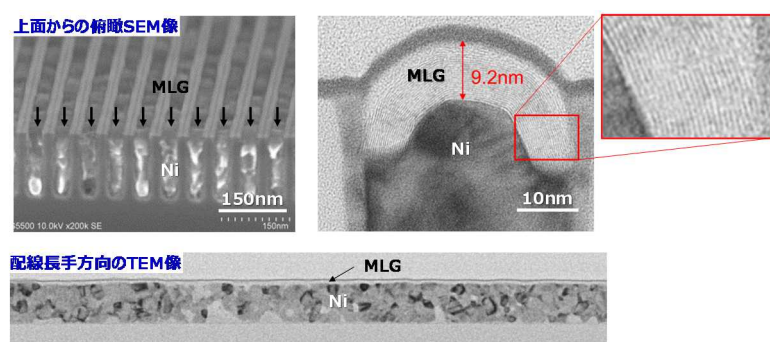


図 III-4 低温 MLG の選択成長により形成した微細幅長距離配線構造

超高アスペクト比(AR)ビアコンタクトの埋め込み材料としての適用を目指して、最高40を超える超高ARビアホール底からのカーボンナノチューブ(CNT)の低温成長を検討した。このために、最小ビア底径<50nm、ビア深さ最高 $2 \mu\text{m}$ のビアホール構造を作製し、そのビア底に CNT 成長に必要な3-5nm厚の触媒 Ni を形成する技術を開発した。これらにより、前記のような超高ARビア底からも選択的にCNT成長が可能であることを示した。また、300mm径Si基板上では初めてのCNTビアアレイ集積形成プロセスを開発した。CNT成長用触媒形成とCMPによる選択的触媒除去により、ビア内での選択CNT成長を実現し、300mm径基板上全面で、均一性のよいCNT-CMP、及び、上層電極形成を実現した。これにより最大2万直列の大規模CNTビアチェーン構造を高歩留りで形成した。

CNTの低抵抗化可能性検証のため、単体CNTの抵抗測定技術開発を行い、一定以上の品質のCNTは $300 \mu\Omega \cdot \text{cm}$ 程度の抵抗率を有し、直径1.4nmまで微細化しても上昇しないことを明らかにした。これにより、直径5nm以下のビアではW等よりも低抵抗となる可能性を示した。これら成果をベースとしてCNT抵抗測定に関する経産省の国際標準化活動事業がスタートし、IEC TC-113における標準化ドラフト提案に結び付いた。

ナトランジスタ構造デバイスの開発に関しては、薄い埋め込み酸化膜上に極薄シリコンを形成した、SOI構造のSOTBトランジスタとその製造プロセスを開発し、H24年度末中間目標である、100万

個以上のトランジスタで、ばらつき $5\sigma \pm 0.1V$ 以下、および 1Mb 以上の SRAM で 0.4V 動作の実証を達成した(図 III-5)。

平成 24 年度に導入した選択エピタキシャル成長装置を用いて、量産性の判断が可能な水準でエピタキシャル成長工程を確立した。

周辺回路用バルクトランジスタを含んだ大規模での信頼性を評価し、量産可能レベルのデバイス・プロセス技術によって、ナトランジスタ構造デバイスと既存の CMOS トランジスタの融合集積化技術を確立した。さらに 300mm ウェハ全面での特性の均一性や SRAM の不良ビット低減を実証した。具体的には、ウェハ全面において 95%以上のチップが安定に動作することを実証した。

また、これまでのデバイス試作結果に基づいてキャリブレーションしたデバイスパラメータを用いて、シミュレーションした回路動作特性と、試作したデバイスの実測回路特性がほぼ一致することも確認出来、構築した超低電圧 LSI 設計環境の完成度が高いことを実証した。

超低電圧回路の動作安定性に関して、SRAM を代表的題材として実測、及び、シミュレーション解析を行い、しきい値ばらつきやオン電流ばらつきの低減が動作安定性に大きく寄与していることを見出した。さらに、超低電圧実用回路の信頼性を阻害する要因として、ランダムテレグラフノイズ (RTN) やバイアス温度不安定性 (BTI) などを検討した。ナトランジスタ構造デバイスの特徴である低不純物濃度(ドーパントレス構造)が、しきい値やオン電流ばらつきに加えて RTN の低減にも寄与していることを見出し、さらにはアンテナ効果の緩和構造など、デバイスの配線構造等を検討することで良好な信頼性が得られることを実証し、以上の知見をもとに、超低電圧動作回路の高信頼化のための設計環境構築指針を提示した。

平成 25 年度、及び、26 年度に設計試作した各種回路特性を評価し、超低電圧回路特性評価、ソフトウェア信頼性評価、アナログ回路特性評価を行った。この評価結果を通じて、実用化回路レベルで、従来デバイスに対して消費電力を 1/10 に低減する目処を示した。各種評価ボード・モジュールを用いて平成 25 年度、及び、26 年度に設計試作した実証アプリケーションチップや各種超低電圧動作チップを評価し、0.4V 以下の超低電圧で動作し、実用化回路レベルで従来デバイスに対して消費電力を 1/10 に低減(図 III-6)する基盤技術を確立した。

原子移動型スイッチとナトランジスタ構造デバイスの融合技術実証チップとして、原子移動型スイッチによる ROM を搭載したマイコンチップを設計試作し、最小読出し電力 0.295pJ/bit の低電力性能の実証を行った。

上記の評価結果により、最終目標であるナトランジスタ構造デバイスと既存の CMOS トランジスタとの融合集積化技術を確立するとともに、その設計環境構築への指針を提示し、従来デバイスと比較して消費電力を 1/10 に低減できる基盤技術を確立するとともに、実用化回路レベルでの達成目処を示した。

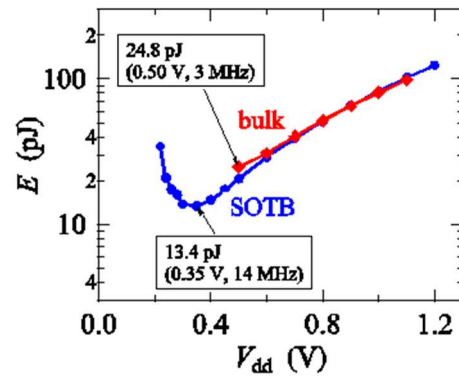
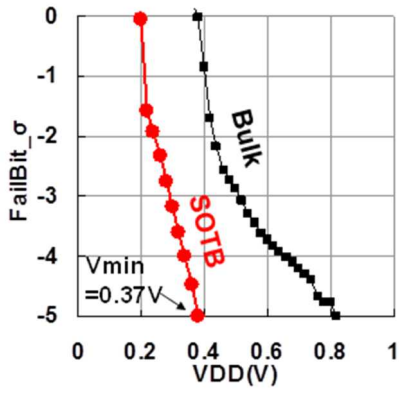


図 III-5 2Mb SRAM のフェイルビット累積分布 図 III-6 CPU の動作あたりエネルギー

各テーマで得られた成果の詳細は、**2.研究開発項目毎の成果**に記載した。

表Ⅲ-1 事業全体の成果の表

	目 標	中間評価時の研究開発成果	達成度
研究開発項目①	「磁性変化デバイス」(出典:基本計画 P10023 p.5) システム LSI に混載されている SRAM 機能を代替できる、低電圧動作の不揮発メモリを開発する。		
① -(1) 【中間】	メモリ単体レベルで、下記を達成 ・読み書き電圧 0.4V 以下、 ・読み書き電流 100 μ A 以下、 ・読み書き時間 10ns(電力量 0.4pJ 以下)の実証 ・1.2V 動作 SRAM の 1/10 の電力の実証	・メモリ単体レベルで、読み書き電圧 0.4V 以下を達成 ・読み書き電流は”0”書き込みで 50 μ A、”1”書き込みで 100 μ A を達成(10ns パルス幅での書き込み、電力量 0.4pJ 以下を実証) ・上記の結果から SRAM の 1/10 の電力の見通しを得た。	達成
① -(2) 【中間】	新材料を用いた新プロセスの 300mm バックエンドラインへの統合による、デバイス動作実証	磁性膜などの新材料の裏面洗浄法や汚染防止用保護膜などを開発し、300mm バックエンドラインへ、MTJ を埋め込むプロセス開発を行い、デバイス動作を実証	達成
① -(3) 【中間】	試作・評価によるメモリパラメータ取得と、それを用いた低電圧動作メモリ周辺回路設計	・MTJ の SPICE モデルを提案し、実測値との整合性を確認 ・低電圧動作向けセンス回路を設計し、起版したマスクに搭載	達成
① -(4) 【中間】	高集積化を可能とする多値動作の確認	多値構造とそれを実現するプロセスとして、MTJ の 2 段積層構造の一括加工方式を提案し、試作により多値動作を確認	達成
	目 標	事後評価時の研究開発成果	達成度
① -(1) 【最終】	加速試験による 10 年間のリテンションと、書き換え回数 10 ¹⁶ 回の達成	トンネル絶縁膜質の改善により、電界加速試験で、10 年間のリテンションおよび 10 ¹⁶ 回の書き換え耐性を実証	達成
① -(2) 【最終】	実用に耐える信頼性技術確立への指針の提示	実用に耐える信頼性技術として、素子アレイの多点評価と電界加速試験による信頼性評価手法を確立	達成
① -(3) 【最終】	低電圧動作の周辺回路を備えたメモリマクロで、読み書き電圧 0.4V、読み書き電流 100 μ A 以下、読み書き時間 10ns、1.2V 動作 SRAM の 1/10 の電力を実証すると共に、メガバイト級メモリの実現可能性の提示	メモリマクロで、MTJ 素子への印加電圧 0.4V、書き換え電流 100 μ A 以下、読み書き時間 10ns を達成。メモリの動作率に依存するが、1.2V 動作 SRAM の 1/10 以下の電力を実証。更なる低電力化に向け、15 μ A まで書き換え電流を低減。	達成
① -(4) 【最終】	メモリマクロでの多値動作を実証することによる、従来 SRAM 比 2 倍の高集積化の可能性を提示	MTJ を縦積みした多値 MTJ を集積し、そのメモリマクロで多値動作を実証。従来 SRAM 比 2 倍の高集積化の可能性を提示。	達成

	目 標	中間評価時の研究開発成果	達成度
研究開発項目②	「相変化デバイス」(出典:基本計画 P10023 p.7) 外部記憶の高速低電力データ転送を実現する、高集積・高速低電力書き込み特性などの機能を有する不揮発デバイスを開発する。		
②-(1) 【中間】	・単体デバイスとして、クロスポイント型メモリセル試作と動作実証	・成膜・加工プロセスを構築 ・Ge ₂ Sb ₂ Te ₅ の従来材料セルが正常動作	達成
②-(2) 【中間】	・データ転送速度200MB/sを、従来の1/3の電力(200mW)で可能とする単体デバイスの書き込み動作	・超格子素子で書換エネルギー 3.5pJ 達成(データ転送速度200MB/sを、従来の1/3の電力(200mW)で実現に相当)	達成
②-(3)	さらなる高速低電力化の可能性の根拠の提示	・超格子と熱拡散層防止層の組み合わせ構造を提示 ・熱拡散層防止層の高速低電力化効果を実証	達成
	目 標	事後評価時の研究開発成果	達成度
②-(1) 【最終】	クロスポイント型メモリセルを集積化したメモリアレイ試作と動作実証	W配線/Siダイオード/相変化膜/W配線から成る1D-1Rクロスポイント型メモリアレイを試作し、読み出し・書き換え動作を確認。	達成
②-(2) 【最終】	書き換え回数10 ⁶ 回以上の達成	・GeTe/Sb ₂ Te ₃ 超格子素子を開発し、書換え10 ⁸ 回を実証。 ・Nano-GST相変化素子を開発し、書換え10 ⁷ 回を実証。	達成
②-(3) 【最終】	データ転送速度400MB/sの高速動作実証	Nano-GST相変化素子の書換えエネルギー3.6pJを実証。	達成
②-(4) 【最終】	従来の1/10の電力(66mW)の低電力動作実証 (書き換えエネルギー5pJに相当)	(データ転送速度400MB/sを、従来の1/10の電力(66mW)で実現に相当)	
②-(5) 【最終】	メモリセル面積4F ² のメモリアレイによる高集積性実証	ワード線と選択スイッチダイオードを自己整合的に配置する、4F ² セルの加工プロセスを開発し、正常な選択・半選択・非選択動作を確認。	達成
②-(1) 【H27最終】	TRAM ^(*) の1.2V以下の動作実証 (*)TRAM:Topological-switching Random Access Memory	・1T-1R単体デバイスを開発し、書換え電圧1V以下を実証。 ・1T-1R16kbテストチップを開発し、書換え電圧1V以下を実証。	達成
②-(2) 【H27最終】	更なる電力削減効果(33mW以下)の見通しを得る (書き換えエネルギー2.5pJに相当)	Ge欠損系Ge _{1-x} Te _x /Sb ₂ Te ₃ 超格子素子を開発し、書換えエネルギー1.9pJを実証(更なる電力削減効果(33mW以下)の見通し取得に相当)	達成

	目 標	中間評価時の研究開発成果	達成度
研究開発項目③	「原子移動型スイッチ」(出典:基本計画 P10023 p.9) プログラマブルロジックの低消費電力化を実現できる、不揮発配線切り換えスイッチを開発する。		
③ -(1) 【中間】	スイッチ素子の材料選定、素子構造の最適化を行い単体素子の動作を検証	下部電極:Cu、固体電解質:PSE (polymer solid-electrolyte)、上部電極Ruを基本構成とする3端子原子移動型スイッチを開発し、2V のプログラム電圧と 10 年以上のオフ信頼性を達成	達成
③ -(2) 【中間】	単体素子性能として書換え電流と書換え速度の積が $10^{-10}\text{A}\cdot\text{s}$ 以下、オン・オフ抵抗比 10^5 以上、書き換え回数 10^3 以上の実証	<ul style="list-style-type: none"> 電流速度積: $10^{-10}\text{A}\cdot\text{s}$ 以下 (0.5k-bit 中 4 ビットフェイル) オン・オフ抵抗比: 10^5 以上 (単体素子) 書換え回数: 10^3 回以上 	達成
	目 標	事後評価時の研究開発成果	達成度
③ -(1) 【最終】	大規模集積化に必要なスイッチ素子特性のばらつきを低減	<ul style="list-style-type: none"> Cu表面の清浄化技術の開発。 バッファ層最適化による、スイッチング速度高速化技術、およびリーク電流低減技術等の開発。 スイッチング電圧バラツキ $\sigma=0.186\text{V}$ を達成。 上記開発により、スマートセンサ用データ圧縮アルゴリズムが検証可能な、大規模原子移動型スイッチ集積化技術として完成。 	達成
③ -(2) 【最終】	300mm ウエハにロジック集積回路を試作し下記を達成する【最終】。 a) 本スイッチにより配線切り換えを行ったロジック集積回路が 0.4V で動作可能であり、その際の消費電力が SRAM スイッチにより配線切り替えを行った従来型 1.2V 動作ロジック集積回路の 1/10 以下。 b) スイッチ素子面積が同一世代の SRAM スイッチを用いたプログラマブルロジックデバイス(PLD)に比べ 1/20 以下。	<ul style="list-style-type: none"> 原子移動型スイッチを用いたプログラマブルロジック回路が、0.4V 以下の 0.3V まで動作可能であることを実証。 アクティブ電力が、SRAM スイッチにより配線切り替えを行った従来型 0.8V 動作ロジック集積回路に比べ、約 1/10 であることを実証 (1.2V 動作 SRAM スイッチに対しては 1/20 以下)。 集積化した原子移動型スイッチ素子のスイッチ面積は $0.7\mu\text{m}^2$ であり、スイッチ素子の面積が、同一世代の SRAM スイッチの約 $14\mu\text{m}^2$ の 1/20 であることを実証。 	達成

	目 標	中間評価時の研究開発成果	達成度
研究開発項目④	「三次元ナノカーボン配線」(出典:基本計画 P10023 p.11) 三次元集積を実現するための、微細幅・超低電気抵抗、超高アスペクト比配線・材料技術を開発する。		
④ -(1) 【中間】	微細線幅(100nm)、低抵抗(シート抵抗 <math>< 50 \Omega / \square</math>)の配線実証	多層グラフェンで微細線幅(最小線幅 25nm)配線を試作し、低抵抗(シート抵抗 $23 \Omega / \square @$ 線幅 92nm)を実証	達成
④ -(2) 【中間】	微細直径(90nm)、超高アスペクト比(≥ 16)のコンタクトホールへのナノカーボン材料埋め込み実証	微細直径(100nm)コンタクトホールで、CNT 成長を実証(アスペクト比 ~ 12)。アスペクト比 ≥ 16 のコンタクトホール埋め込み実証実験中	達成 (H24年9月)

	目 標	事後評価時の研究開発成果	達成度
④ -(1) 【最終】	微細線幅($\leq 20\text{nm}$)、長距離(0.7mm)、低抵抗(シート抵抗 $\leq 3 \Omega / \square$)の配線実証	<ul style="list-style-type: none"> 微細線幅(12nm)、長距離(0.7mm)の多層グラフェン/Ni 配線を形成し、配線構造を実証。 多層グラフェンへの層間ドーブにより低抵抗(シート抵抗 $1.4 \Omega / \square$)を実証。 	達成
④ -(2) 【最終】	微細直径(90nm)、超高アスペクト比(30)のコンタクトホールへのナノカーボン材料埋め込みと、W 以下の抵抗(接触抵抗を含む)の実証	<ul style="list-style-type: none"> ビアアスペクト比の進展動向から、当初目標より微細な直径(最小 50nm)でより高い超高アスペクト比(40 以上)のコンタクトホール開発を行い、当該構造のホール底からの CNT 成長を実証し、埋め込み見通しを示した。 CNT 抵抗率を直径 1.4nm まで検証し、抵抗上昇の無い特性を初めて示し、微細径($\sim 5\text{nm}$ 以下)領域では、W 等より低抵抗となる可能性を提示。 	達成
④ -(1) 【H27 最終】	20nm 以細幅のグラフェンに対し、低抵抗化に有効な、触媒金属等の腐食を制御可能なドーピング材料の決定。	MoCl ₄ ドーブ+後処理プロセスによる触媒腐食抑制可能性を示し、ドーピング材料・プロセスを提示。	達成見込み 2- (H 28年2月)
④ -(2) 【H27 最終】	ビアプラグ材料としての CNT 構造に適したドーピング手法の見極め。	Ni-B 触媒上 CNT 成長による B の成長時同時ドーピングおよび CNT 表面への酸化物形成による表面ドーブにより可能性を検証。	達成見込み 3- (H 28年2月)

	目 標	中間評価時の研究開発成果	達成度
研究開発項目⑤	「ナノトランジスタ構造デバイス」 ナノトランジスタ構造デバイスと既存のCMOS トランジスタを融合集積化するための技術開発、並びに、この技術を用いた高集積機能素子における低電圧動作実証を行う。(出典:基本計画 P10023 p.12)		
⑤ -(1) 【中間】	100 万個以上のトランジスタで、平均±0.1V 以下(±5σ)の局所しきい電圧ばらつきでの達成	10,000 個トランジスタのばらつき $4\sigma=40.8\text{mV}$ が実証されており、その分布がほぼ正規分布と判断されることから、100 万個のトランジスタで $5\sigma=100\text{mV}$ の目標値は達成可能	達成 (H24年10月)
⑤ -(2) 【中間】	低い電源電圧に動作を最適化し、基板バイアス制御技術を適用したナノトランジスタ構造デバイスを集積した 1Mbit 以上のSRAM での、0.4V 動作の実証	<ul style="list-style-type: none"> •2Mb アレイの 0.4V 動作を評価中(一部に直線状の不良ビットが残るが、原因が判明し、改善策推進中) •1Mbit 以上の SRAM で 0.4V 動作実証は達成可能 	達成 (H24年12月)

	目 標	事後評価時の研究開発成果	達成度
⑤ -(1) 【最終】	ナノトランジスタ構造デバイスと既存のCMOS トランジスタとの融合集積化技術を確認するとともに、その設計環境構築への指針を提示	100 万個トランジスタのばらつきとして、 $5\sigma=0.09\text{V}$ を実証し、中間目標を達成。 ナノトランジスタ構造トランジスタおよびハイブリッドバルクトランジスタ用の標準セル、自動配置配線環境、設計フローなどの設計環境を開発し、各種回路やチップの設計試作を通じて有効性を検証。	達成(中間: 平成 25 年 1 月、最終: 平成 27 年 2 月)
⑤ -(2) 【最終】	従来デバイスに比較して消費電力を 1/10 に低減できる基盤技術を確認するとともに、実用化回路レベルでの達成目処を提示	2Mb アレイ SRAM の最低動作電圧 0.37V を実証し、中間目標を達成。 ナノトランジスタ構造デバイスの特長である超低電圧動作特性を活かした各種回路・マクロ・チップの試作評価を通じて、従来デバイスに比較して消費電力を 1/10 に低減できる目処を実証。 マイコンなどの実証アプリケーションチップ開発を通じて、実用化回路レベルでの低消費電力化を実証。	達成(中間: 平成 24 年 12 月、最終: 平成 27 年 2 月)

	目 標	中間評価時の研究開発成果	達成度
研究開発項目⑥	「BEOL 設計・製造基盤(プラットフォーム)開発」(平成 23 年度で終了したテーマ) 個別デバイス(研究開発項目①～③)の研究開発を推進するための共通設計基盤として、BEOL 設計・製造基盤(プラットフォーム)を開発する。		
⑥ -(1)	新材料や新構造デバイスに共通で使え、かつ、新材料の相互汚染や熱耐性、さらには、プロセス雰囲気の影響などの観点から、それぞれのデバイスの特性を損なうことのない、BEOL プロセスレシピの作成	<ul style="list-style-type: none"> ・SCR300mm ラインにおいて、半導体製造ラインで形成した多層配線を有する CMOS 基板上に、ローカル配線およびセミグローバル配線を形成する配線製造基盤技術を開発 ・配線が所望の特性を実現していることを確認 	達成
⑥ -(2)	相互汚染防止、汚染除去、汚染評価などからなる管理プロトコルの作成	新材料の汚染管理として、1. エッジカットリングによる新材料付着防止、2. 薬液による新材料除去、3. 新材料上 HDP 膜による汚染拡散防止、4. FOUP によるハンドリング管理手法、を開発し効果確認	達成
⑥ -(2)	PDK として、設計ルール、配線特性パラメータ、OPC ルールの策定。	半導体製造ライン PDK と SCR (Super Clean Room) -PDK を統合した、設計ルール、配線特性パラメータ、OPC ルール等からなる連携ファブ PDK を策定	達成

2. 研究開発項目毎の成果

2.1 研究開発項目① 磁性変化デバイス

「ロジック集積回路内 1 次メモリを対象とした、高集積・高速特性・高書き換え耐性などの機能を有する超低電圧・不揮発デバイスの開発」

(1) 背景と目的

エレクトロニクス機器に使用されるプロセッサやシステム LSI では、論理演算部とデータを直接やり取りする 1 次メモリとして、SRAM が同一チップ上に混載されている。国際半導体技術ロードマップ(ITRS)によれば、現状、モバイルプロセッサ等の LSI においても混載されるメモリ部がチップ面積の半分以上を占めており、今後その比率は更に増大すると予測されている。その理由は、情報処理能力を上げるためには、1 次メモリの容量増大が非常に有効なためである。そこで、チップ面積を増大することなく混載メモリ容量を増大できれば、プロセッサやシステム LSI の高性能化を加速できる。

サーバー用プロセッサにおいて、1 次メモリ*1 を大容量化したときの情報処理性能 (SPECint*2) の向上を見積もった結果が図 2.1-1 である。マイクロアーキテクチャの改良では 1% 程度の性能改善であるが、キャッシュ容量の増大で 10% 以上の処理能力向上が可能となる。図 2.1-2 は今後の高性能サーバー用プロセッサのキャッシュ容量予測である。現状の SRAM ベースのキャッシュを、セル面積が小さい磁性変化デバイスのキャッシュに置き換えることで、高性能化を 5 年程度も先取り可能となる。

*1: キャッシュメモリ。ここに使用頻度の高いデータを蓄積しておくことにより、低速な 2 次メモリへのアクセスを減らすことができ、処理を高速化することができる。

*2: Standard Performance Evaluation Corporation (SPEC) が策定した、システムの性能評価を行うベンチマークのひとつ。整数演算を実行するプログラムにより、性能を評価する。

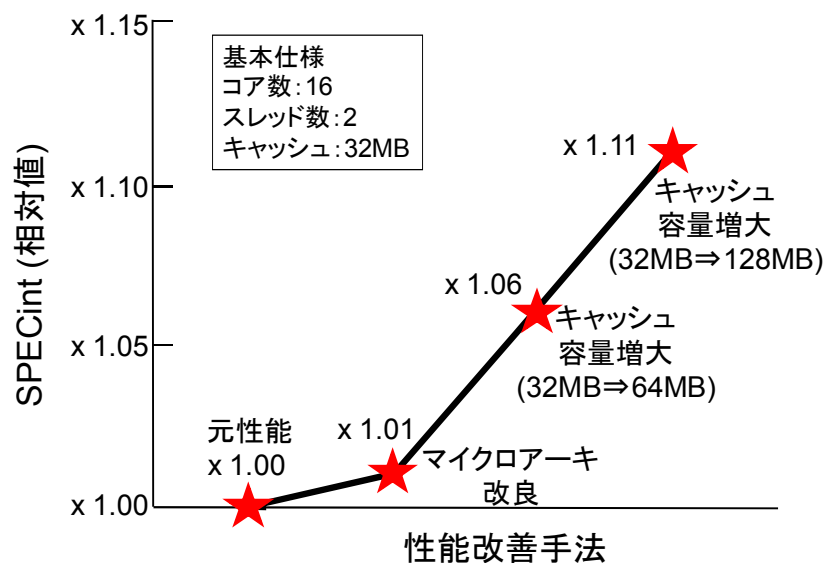


図 2.1-1 キャッシュ増大による性能改善効果

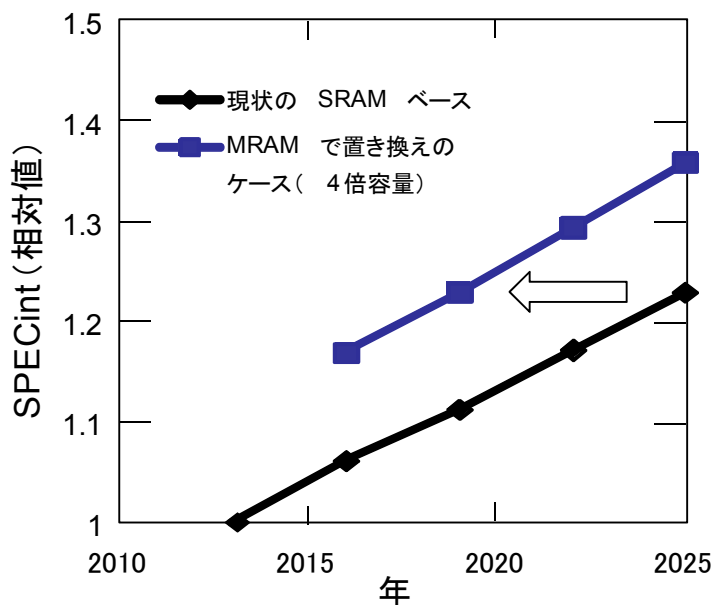


図 2.1-2 高性能サーバー用プロセッサのキャッシュ容量予測

また、高性能化だけでなく、混載されるSRAMの容量が大きいいため、そこで消費される動作時と待機時の電力はチップ消費電力の半分を占めており、それを抑制することができれば、プロセッサやシステムLSIの低消費電力化を通して、低炭素社会実現に貢献できる。

1 次メモリの動作時の消費電力を低減するには、メモリのリーク電流の低減と、読み書きに必要な電圧の低減が必要である。また待機時の消費電力を低減するには、電源を切ってもメモリ内の情報を保持できる不揮発性を持たせることが必要である。更なる低電力化に向けては、高集積が可能なメモリセルの多値化と、配線に流れる消費電流のセンシング技術が有望である。これらを踏まえ、低電力化要件(低電圧読み書き、不揮発)と、混載SRAMを置き換えるための要件(高集積、高速、高書き換え耐性)を満たすメモリとして、また更にその先に続く技術として、スピン注入型MRAM(Spin Transfer Torque MRAM、STT-MRAM)(図 2.1-3)の開発を行った。

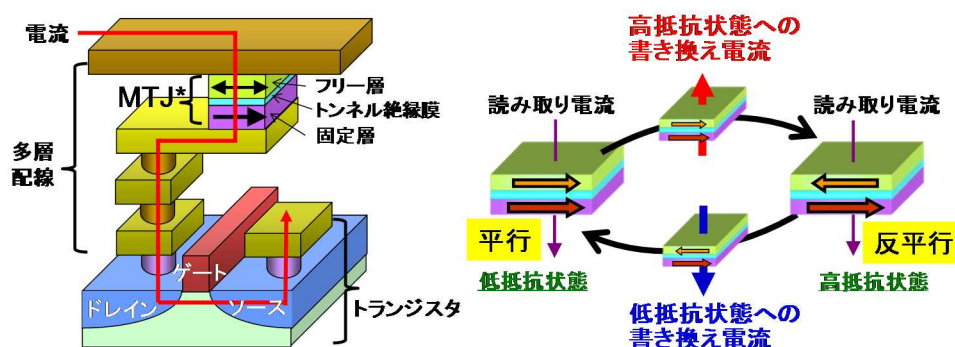


図 2.1-3 スピン注入型MRAM

(2) 目標

【中間目標】(平成24年度末)

- ・メモリ単体レベルで、読み書き電圧 0.4V 以下、読み書き電流 100 μ A 以下、読み書き時間

10ns(電力量 0.4pJ 以下)の実証。1.2V 動作 SRAM の 1/10 の電力の実証。

- ・新材料を用いた新プロセスの、300mm バックエンドラインへの統合による、デバイス動作実証。
- ・試作・評価によるパラメータ取得と、それを用いた低電圧動作用メモリ周辺回路設計。
- ・高集積化を可能とする多値動作の確認。

【最終目標】(平成26年度末)

- ・加速試験による 10 年間のリテンションと、書き換え回数 10^{16} 回の達成。
- ・実用に耐える信頼性技術確立への指針の提示。
- ・低電圧動作用の周辺回路を備えたメモリマクロで、読み書き電圧 0.4V、読み書き電流 $100\mu\text{A}$ 以下、読み書き時間 10ns、1.2V 動作 SRAM の 1/10 の電力を実証すると共に、メガバイト級メモリの実現可能性の提示。
- ・メモリマクロでの多値動作を実証することによる、従来 SRAM 比 2 倍の高集積化の可能性を提示。

(3) 研究開発成果

(3)-1 要素プロセス開発

(a) Magnetic Tunnel Junction (MTJ) の高品質化

混載 SRAM を置き換える 1 次メモリの要件の一つが、無限回書き換えである。しかし、STT-MRAM では、一般に無限回と言われている 10^{15} - 10^{16} 回の書き換えの報告はこれまでにない。また、データの書き込み時にトンネル絶縁膜に 10^6 A/cm^2 程度の電流を流すため、1nm 程度の非常に薄い膜厚でも十分な絶縁破壊耐性を示すことが必要である。

ここでは無限回書き換えや十分な絶縁破壊耐性の確保など、実用に耐える STT-MRAM の信頼性技術確立に向けて、トンネル絶縁膜を含む MTJ の成膜プロセス開発を行った結果を述べる。

MTJ の基本構造として、大きな MR 比(高抵抗状態と低抵抗状態の比)が報告[1]されている MgO/CoFeB の系を用いた。スパッタで成膜した Mg を酸化することにより形成する自然酸化 MgO 成膜プロセスは、300mm 径ウェハでの膜厚均一性とスループットの点で優れており、量産プロセスとして期待されている。しかし、その結晶性と MgO の上下界面の平坦性に問題があった[2]。

我々は MgO トンネル絶縁膜の形成方法として、MgO の下に CoFe シード層を挿入するプロセスを提案した(図 2.1-4)[3]。非晶質の CoFeB 層上に堆積した CoFe 層は、堆積直後でも結晶性を有している特徴がある。このため、その上に形成した Mg の酸化時に、MgO は CoFe 層を下地として結晶化が促進される。更に、その後の磁場中アニールで、MgO 層上の非晶質 CoFeB 層は MgO を、また、下の非晶質 CoFeB 層は CoFe シード層を下地として結晶化が促進される。従来法と、今回提案した CoFe シード層を挿入した場合の MTJ の断面電子顕微鏡像を図 2.1-5 に示す[3-4]。MgO とその上下の磁性層の結晶性が向上していることがわかる。また、MgO の上下界面が非常に明瞭になっていることから、界面が平坦で急峻になっていることもわかる。

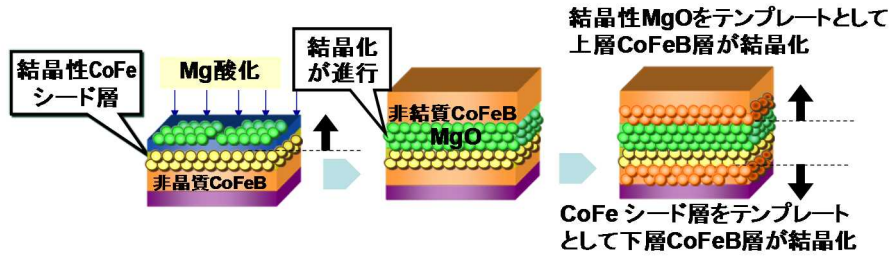


図 2.1-4 CoFe シード層挿入 MgO トンネル絶縁膜の形成方法

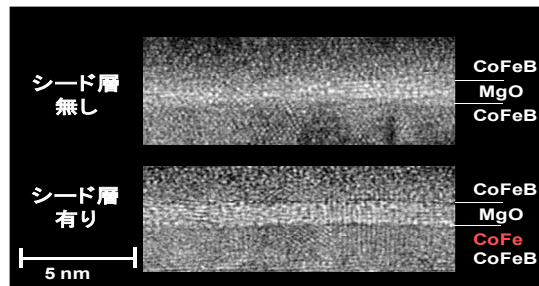


図 2.1-5 CoFe シード層の挿入有り、無しの場合の MTJ 断面電子顕微鏡像

上記自然酸化 MgO の MR 比はダイレクト MgO に比べて向上するが、課題として保磁力が減少することがわかった。また、両者ともにショート素子が多く発生するという問題があり、このままの MgO では実用に耐える信頼性を有していない。そこで、我々は、ダイレクト MgO 成膜プロセス後に酸化するプロセスを提案、評価を行った。その結果、自然酸化 MgO と同等の MR 比と、ダイレクト MgO 以上の保磁力が得られ、さらにリーク素子数が減少することを見出した(図 2.1-6)。TEM-EELS による深さ方向分析(図 2.1-7)により、MgO 界面の Fe が酸化され、その結果 MgO 中に拡散するのを防いだことにより、リークが低減したと思われる。

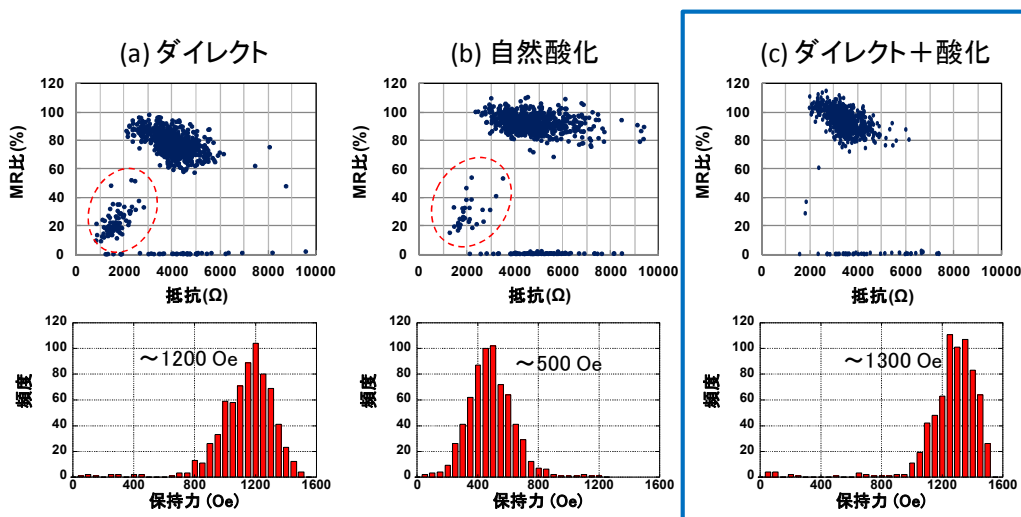


図 2.1-6 MgO 形成法と MR 比、保磁力の結果

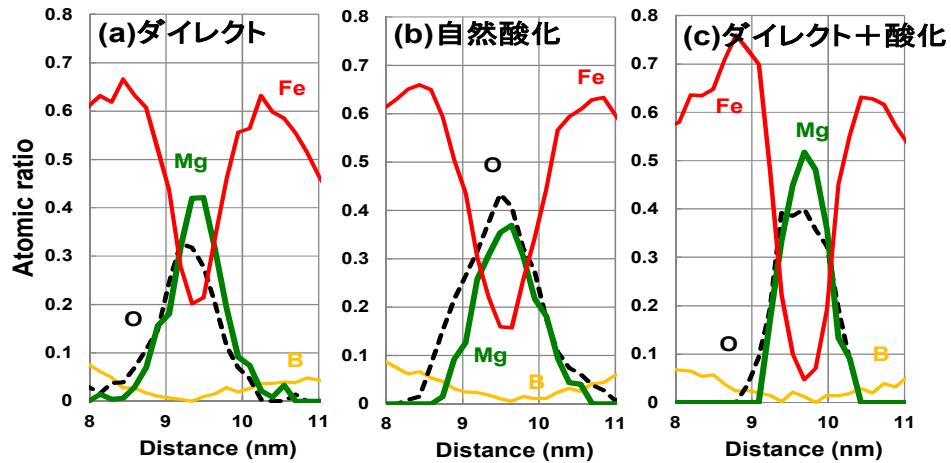


図 2.1-7 EELS 深さ方向組成分析

(b) 歪エンジニアリングの導入

MTJ へのデータ書き換えの低電流化、すなわち、低消費電力化のために、MTJ の面積を小さくする一方で、それに伴うデータ保持特性(Δ)の低下を、逆磁歪効果を用いた歪みエンジニアリング手法により、抑制あるいは向上させる手法を開発した[5]。

Δ 、書き換え電流、逆磁歪効果には次式の関係がある。

$$\Delta \propto \text{書き換え電流} \times (\text{逆磁歪係数} \times \text{フリー層に印加したストレス})$$

逆磁歪効果の項(逆磁歪係数 x フリー層に印加したストレス)を増大することで、書き換え電流を増やさず、データ保持特性を向上できる。逆に言えば、データ保持特性を変えずに、磁歪効果で書き換え電流の低減が可能になる。

MTJ 素子を取り巻く様々な膜の成膜条件を変えてプロセス歪設計を行い、MTJ にかかるストレスを制御し、書き換え電流を 50%低減することに初めて成功した。図 2.1-8 にプロセス歪を導入して試作した MTJ の断面写真と、書き換え電流とデータ保持特性の測定結果を示す。この歪による MTJ の高性能化は、MOS トランジスタで既に広く実用化されている、歪によるピエゾ抵抗効果を利用した高性能化と、利用する物理は異なるが、プロセス工程数の増大無しでのデバイスの高性能化という点で類似している。

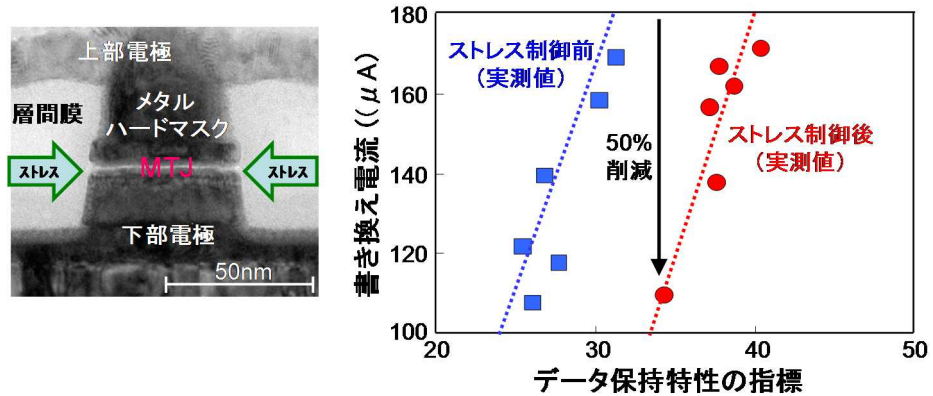


図 2.1-8 MTJ の断面写真と、書き換え電流と保持特性の測定結果

(c) 界面垂直磁化膜開発

MTJ の基本構造として、東北大学から報告された CoFeB 界面垂直材料[6] を MgO の上下に配置した。更に、データ保持特性が高く、漏れ磁場の影響も小さくできることを期待して、高磁気異方性エネルギー、 K_u ($\equiv \Delta k_B T / V$, k_B : ボルツマン定数、 T : 温度、 V : 体積)を持つ SAF (Synthetic Antiferromagnetic) 構造を開発した。

また、プロセス的工夫による更なる K_u の増大を狙って、スパッタ成膜中のガス種の検討を行った。重い粒子でスパッタすると界面における元素の拡散や、高エネルギー反跳粒子による成長中の膜へのダメージを抑えることができる。そこで、成膜ガス種を Ar, Kr, Xe と変えて固定層 (ピン層) の CoPt を成膜し、その結晶粒径を平面 TEM で評価した(図 2.1-9)。従来の Ar に比べて、Kr と Xe で作製した固定層の粒径は小さく、Xe で作製した CoPt の粒径分散が最も良いことがわかった。振動型磁力計(VSM)を用いて、固定層の磁気特性を評価した結果、Xe を用いて成膜した CoPt において、最も大きな $K_u(4.4 \times 10^6 \text{ (erg/cm}^3))$ が得られた(表 2.1-1)。

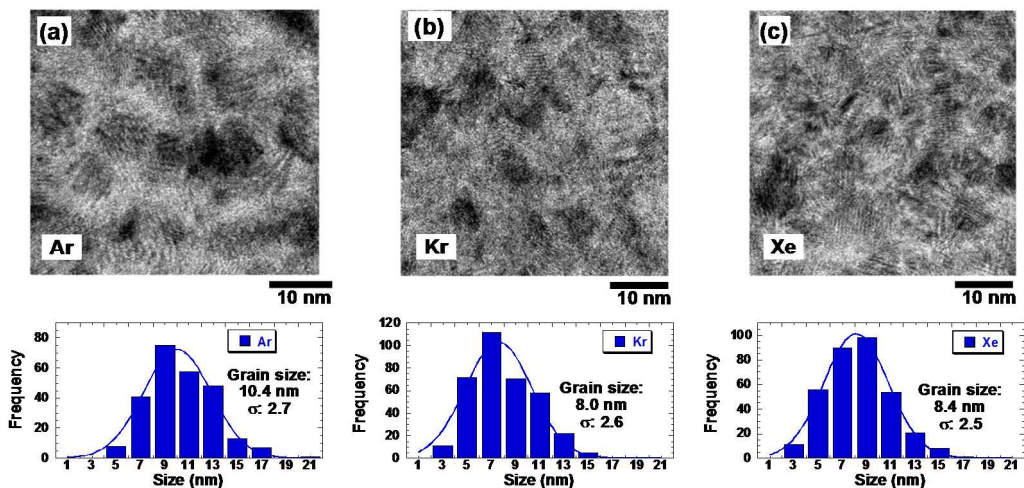


図 2.1-9 結晶粒径の成膜ガス種依存

表 2.1-1 磁気異方性エネルギー K_u の成膜ガス種依存

スパッタ ガス	K_u (erg/cm ³)
Ar	3.8E+06
Kr	4.1E+06
Xe	4.4E+06

(3)-2 磁性変化デバイス開発

(a) トップピン型 MTJ 素子の高性能化

MTJ と読み書き用トランジスタが直列接続された 1T-1MTJ 型の STT-MRAM(図 2.1-3)において、ピン層が MgO トンネルバリアの上部に設けられたトップピン型(図 2.1-10)は、MTJ の持つ反転電流の非対称性と、トランジスタの電流駆動能力の非対称性とのマッチングがよく、低電圧動作に有利である。そこで、セル面積増大に繋がる配線引き回しによるトップピン接続ではなく、我々は MTJ の層構造を上下反転するトップピン構造を初めて実現した[7]。このトップピン型の MTJ に、前述した要素プロセスを入れ込み、スイッチング電流を増加させることなく良好なデータ保持特性を持った MTJ を開発した。我々の開発した MTJ の構造を図 2.1-11[8]に示す。CoFeB 界面垂直材料を含み、データ保持特性が高く、漏れ磁場の影響が小さくできることを期待して、高磁気異方性エネルギー K_u を持つ SAF 多層構造を開発した。

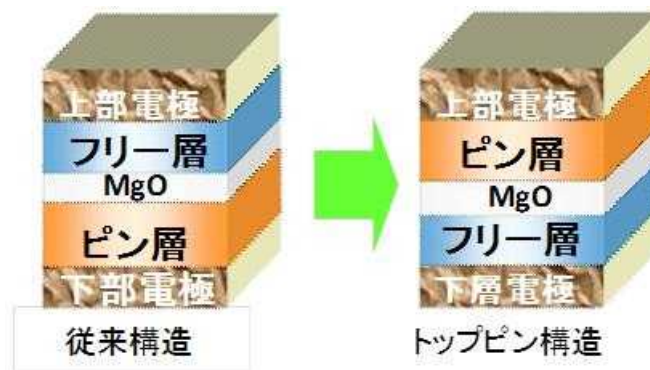


図 2.1-10 従来構造とトップピン構造

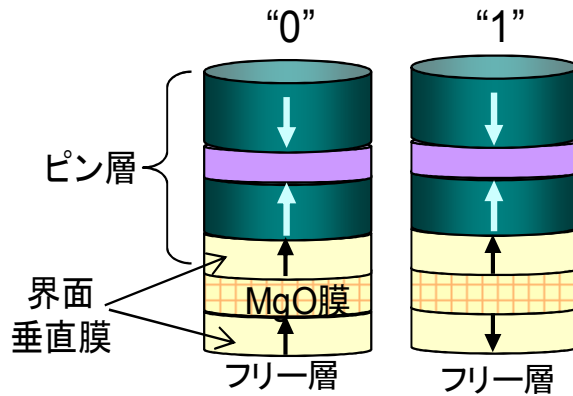


図 2.1-11 開発した MTJ 構造

図 2.1-12 に直径 50nm の MTJ で、10ns のパルス電流を印加した時の書き込み電流とその頻度を示す。書き換え電流は 50-100 μ A (平均書き込み電流 75 μ A) で、MTJ に特有の非対称性が見られるが、単体素子目標である書き込み電流 100 μ A 以下を実現していることがわかる。

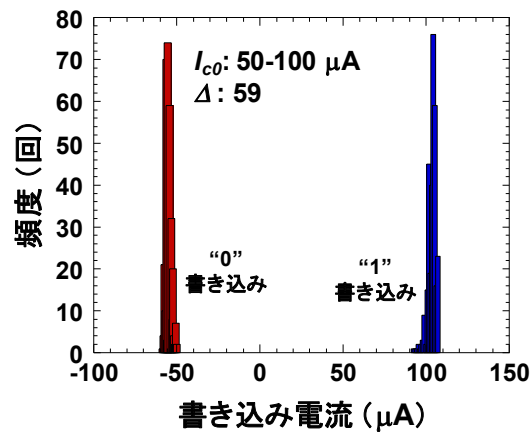


図 2.1-12 書き込み電流とその頻度

図 2.1-13 に、10ns のパルス電圧による MTJ の書き換え特性を示す。約 0.4V の低電圧での書き換えが実現できている。また、上部電極に正の電圧を印加した場合に、MTJ の抵抗が低抵抗から高抵抗にスイッチし、負の電圧を印加した場合がその逆になっているため、MTJ がトップピン構造であることがわかる。これらの数値から、平均の書き換えエネルギー($P=I \cdot V \cdot t$)で 0.3pJ を実証した。

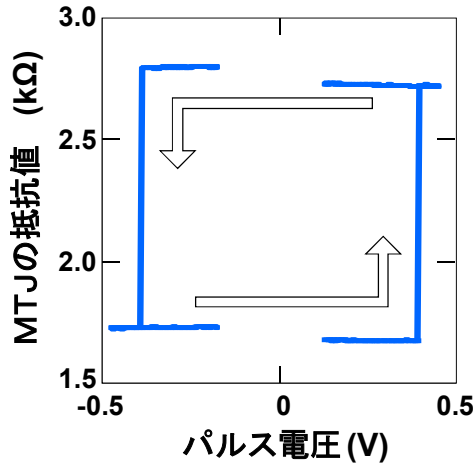


図 2.1-13 10ns のパルス電圧による MTJ の書き換え特性

データ保持特性の指標である Δ に関しては、下記の書き換え確率の分散の理論式[9]に、書き込み電流の実測分布をフィッティングすることにより算出した。

$$p\left(\frac{I}{I_0}\right) = \frac{K_u V}{k_B T} \frac{\left[1 + \frac{H(t)}{H_K}\right]^2}{I_{c0}} \frac{t_p}{t_{p \rightarrow ap}}$$

$$\text{データ保持特性の指標} : \Delta = K_u V / k_B T$$

p : スイッチング確率、 $H(t)$: 外部磁場、 K_u : 磁気異方性エネルギー、 H_k : 異方性磁界、 t_p : パルス電流幅、 V : 体積、 k_B : ボルツマン定数

上記の手法と図 2.1-12 の実測分布から Δ は 59 となり、垂直磁化トップピン構造の MTJ では最も大きな値を実現できた。この値は、10 年間のデータ保持に必要な Δ (>50) を大幅に上回っている。

(b) 書き込み電流の低減

MRAM の書き込み電流を更に低減するためには、MTJ 寸法の微細化が有効である。しかし、リソグラフィーに頼った更なる微細化は、素子寸法のばらつきを増加させてしまう。我々は MTJ 加工後に素子を覆う SiO_2 カバープロセスによって、MTJ の物理サイズを小さくすることなく(リソグラフィーに頼る微細化ではなく)、電気的・磁氣的寸法(MTJ のスピンの動作が有効に働く領域の寸法)をシュリンクする方法を開発した[10]。

図 2.1-14 に、従来プロセスと、シュリンクプロセスの比較を示す。MTJ 加工後、通常、MTJ への吸湿を防止するための CVD-SiN 膜を成膜した後、層間絶縁膜(CVD- SiO_2)を成膜する。シュリンクプロセスでは、 SiO_2 薄膜(20nm)を成膜した後、SiN 膜、層間絶縁膜を成膜する。 SiO_2 薄膜形成のステップは、 O_2 プラズマに暴露される酸化工程と、その後、CVD チャンバー内に SiH_4 ガスが導入される SiO_2 成膜工程からなる。このプロセスフローで、MTJ 側壁が酸化されることによ

り、電氣的・磁氣的接合サイズがシュリンクされることを期待した。

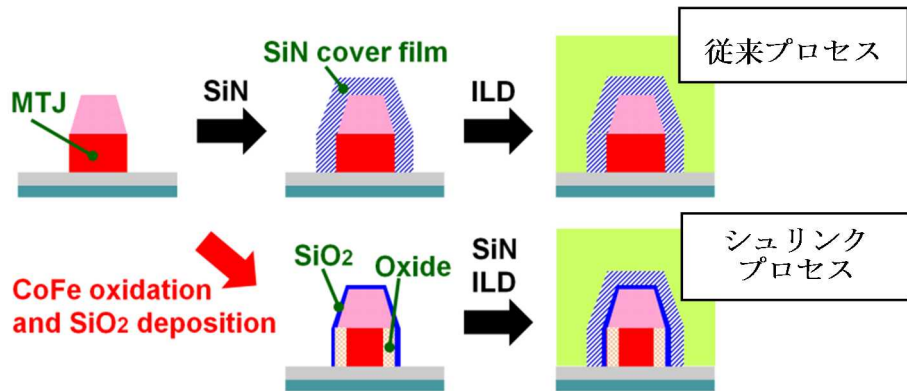


図 2.1-14 従来プロセスとシュリンクプロセス比較

図 2.1-15 は、16kbit の MTJ アレイの抵抗値の累積分布について、従来プロセスとシュリンクプロセスの結果を示す。MTJ の物理サイズは 50nm Φ 。横軸は、 $1/\sqrt{R_p}$ (R_p は平行時の読み出し抵抗)をとっており、寸法の次元を持っている。この結果から、シュリンクプロセスにより、一律 15nm だけ電氣的・磁氣的接合サイズがシュリンクしたと見なすことができる。累積度数の傾きが、シュリンクプロセスの有無で変化が無いことから、このシュリンクプロセスによる微細化を行っても、書き込み電流ばらつきの増大は無いことがわかる。図 2.1-16 は、同一物理サイズ(35nm Φ)の MTJ の書き込み電流比較を示す。シュリンクプロセスでは、15nm シュリンクして、20nm Φ 程度のサイズと予想され、スイッチング電流値は、40 μ A から 15 μ A に低下し、60%低減できた。

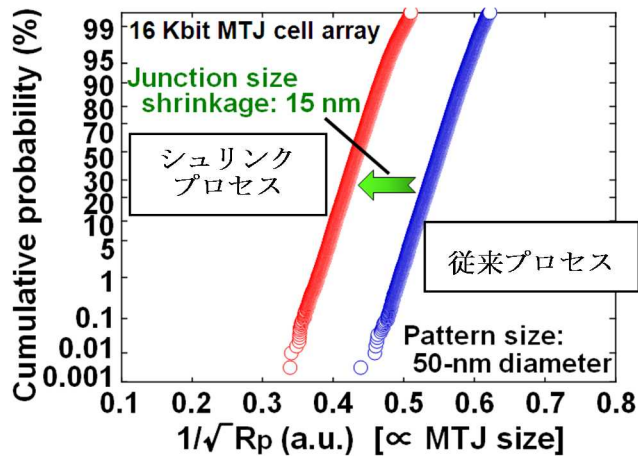


図 2.1-15 シュリンクプロセスによるサイズシフト

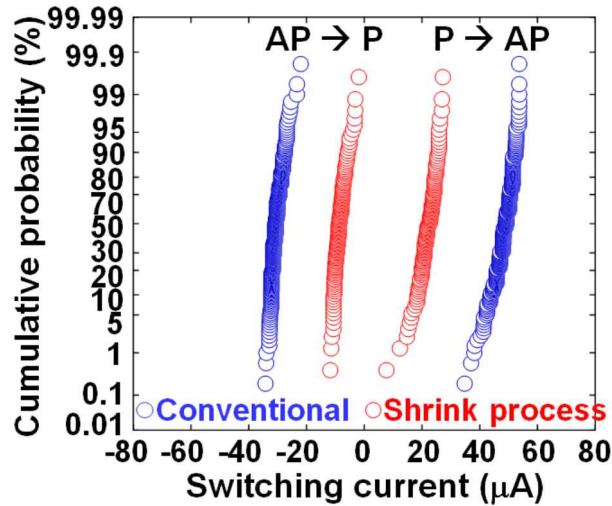


図 2.1-16 同一物理サイズ(35nmΦ)の MTJ のスイッチング電流比較

(c) 絶縁破壊特性

MOS トランジスタのゲート絶縁膜の信頼性評価として、MTJ に種々な電圧を印加して、MgO トンネル絶縁膜が絶縁破壊に至るまでの時間を評価する絶縁破壊試験を行った。まず、図 2.1-4 で示した、CoFe シード層を挿入し、Mg の自然酸化で形成したトンネル絶縁膜の信頼性を評価した。その結果を図 2.1-17 に示す[11]。これより、MgO トンネル絶縁膜の絶縁性を 10 年間保証可能な最大印加電圧は、0.53V であることがわかった。我々が開発した MTJ の読み書きに必要な電圧は、図 2.1-13 より 0.5V 以下の低電圧であるため、これらの結果から、10 年動作に問題ないことを初めて実証できた。

次に、自然酸化 MgO と同等の MR 比で、ダイレクト MgO 以上の保磁力が得られ、さらにリーク素子数が減少することを見出した、ダイレクト MgO 成膜後に酸化するプロセスで作製した MgO トンネル絶縁膜(図 2.1-6)の絶縁破壊特性を評価した。その結果、従来絶縁膜の MTJ と同様に、絶縁破壊寿命に問題の無いことを確認した。

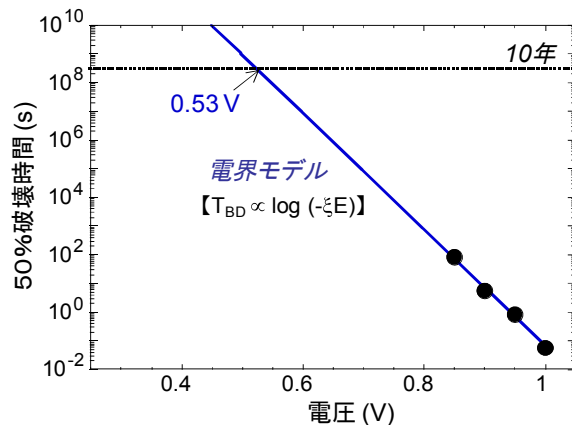


図 2.1-17 絶縁破壊試験結果

(d) 書き換え耐性

MTJ に書き換え用パルス電圧を印加して、書き換え耐性を評価した。まず、図 2.1-4 で示した、CoFe シード層を挿入し、Mg の自然酸化で形成したトンネル絶縁膜の書き換え耐性を評価した。その MTJ の書き換え回数と MTJ に印加する電圧の関係を図 2.1-18 に示す。これから、無限回書き換えと言える 10^{16} 回を実現できる印加電圧は、 0.65V 以下であることが分かった。絶縁破壊耐性の場合と同様、MTJ の読み書きに必要な電圧は 0.5V 以下であるため、これらの結果から、一次メモリとしての必要条件である無限回書き換えを初めて実証できた[12]。

次に、リークする素子の数が減少した、ダイレクト MgO 成膜後に酸化するプロセスで書き換え耐性を評価した結果を、図 2.1-19 に示す。この改良した MTJ の 10^{16} 回の繰り返し反転が可能な電圧は $+0.96/-1.06\text{V}$ で、MTJ のスイッチング電圧に対してマージンがあることが分かった。

以上の結果から、リーク電流抑制、無限回書き換え、十分な絶縁破壊耐性の確保など、実用に耐える STT-MRAM の高信頼性技術を確立できた。

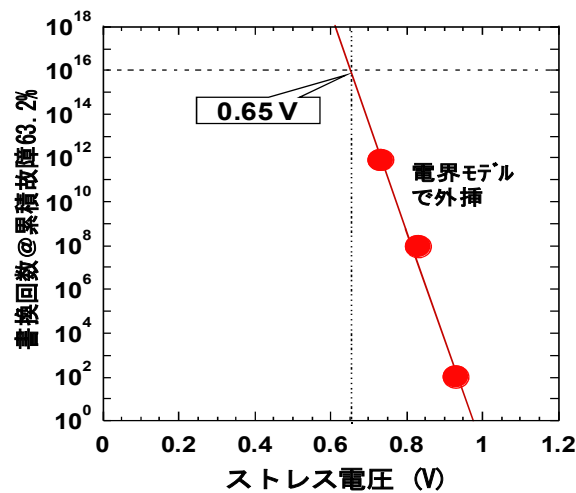


図 2.1-18 書き換え耐性

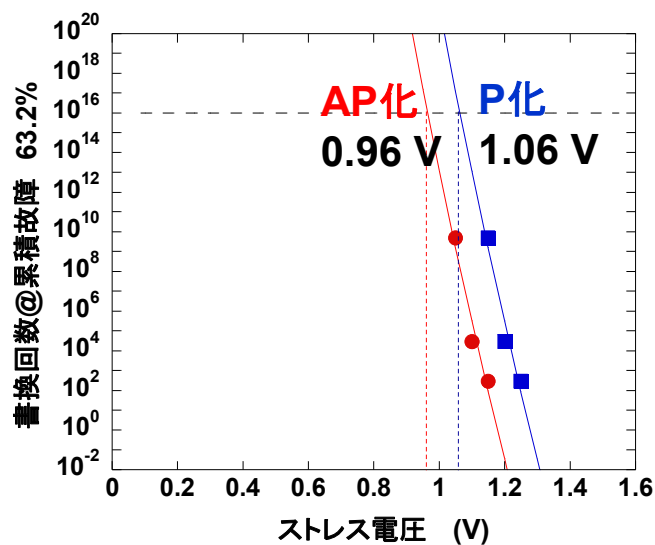


図 2.1-19 10^{16} 回の書き換え耐性

(e) 多値デバイス開発

大容量化のために、メモリ素子の多値化を検討した。MTJ は磁化の平行状態と反平行状態において、その抵抗値が異なることを利用しており、平行と反平行以外の状態を作り出すのは困難である。そこで、MTJ を 2 個積層することにより、4 つの抵抗状態を実現する多値化を検討した[13]。

積層した MTJ で多値動作させるためには、2 つの MTJ の磁化反転を独立に行う必要があり、そのためには、書き込み電流に差をつけることがキーポイントとなる。方法としては、

- i) 各 MTJ の反転電流密度を同じくし、面積に差をつける
- ii) 各 MTJ の反転電流密度に差をつける
- iii) i) と ii) の組み合わせ

などがあるが、我々は MR 比等の磁化特性への影響を出来る限り抑えるために i) を採用した。面積差は MTJ 一括加工のテーパ角にて実現させた。

多値 MTJ 素子の構造を図 2.1-20(a) に示す。ベースとなる MTJ 素子は、CoFeB/MgO 界面垂直磁気異方性を利用した、2 値の磁気トンネル接合である。この 2 値の MTJ 素子を積層することで多値 MTJ 素子を構成するが、全体の磁化量、及び、漏れ磁場を調整する必要がある。上側の MTJ 素子の磁化固定層は、[Co/Pt]4/Ru/[Co/Pt]14 の合成反強磁性体 (SAF) 構造を用いている。これにより、上側の MTJ 素子の磁化自由層は、磁化固定層からの漏れ磁場の影響を最小化している。一方、下側の MTJ 素子の磁化自由層は、近接する上側の MTJ 素子の [Co/Pt]14 からの漏れ磁場の影響を受ける。そこで、下側の MTJ 素子の磁化固定層は、磁化量のバランスを考慮して [Co/Pt]4 の単層として、かつスペーサの厚さをパラメータとして調整することで、下側の MTJ 素子の磁化自由層の受ける漏れ磁場が最小になるようにする。

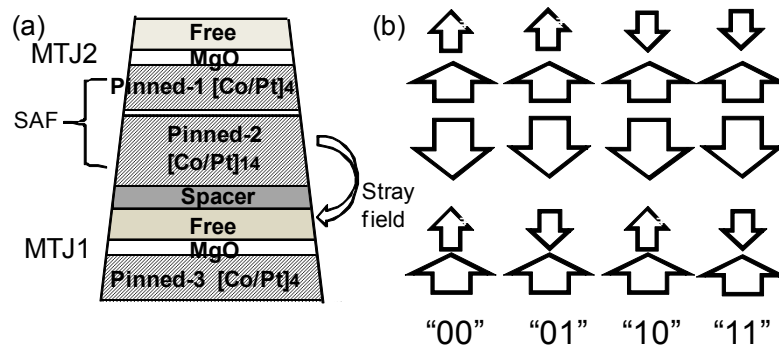


図 2.1-20 (a)多値 MTJ 素子構造 (b)4 値の抵抗状態に対応する各磁性層の磁化の向き

4 値の抵抗状態 (“00”、“01”、“10”、“11”) に対応する各磁性層の磁化の向きを、図 2.1-20(b) に示す。上側の MTJ 素子の [Co/Pt]4 と [Co/Pt]14 は反平行結合の SAF 構造に、下側の MTJ 素子の [Co/Pt]4 と、上側の MTJ 素子の [Co/Pt]14 は、磁化の向きが反対になるように、素子作成後に外部磁場を印加して磁化の向きを設定する。

図 2.1-21 に、試作した、直径 50nm の多値 MTJ 素子の断面 TEM 写真を示す。試作には 300mm の Si 基板と 65nm 世代の CMOS プロセスを用い、特に MTJ 素子の部分については、液浸 ArF リソグラフィーによる露光プロセスと、CH₃OH/Ar ガスによる RIE プロセスを適用した。

微細な MTJ 素子と上部配線とのコンタクトには、ボーダーレスコンタクトプロセスを用いた。

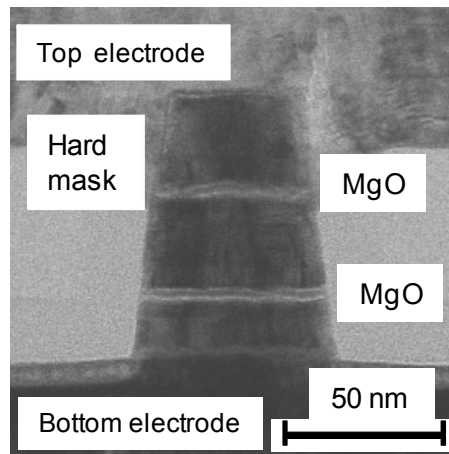


図 2.1-21 試作した多値 MTJ 素子の断面 TEM 像

図 2.1-22 に、試作した多値 MTJ 素子の R-H Minor ループを示す。各磁化固定層の磁化の向きの設定のために、初期磁場+10,000 Oe を印加後、次に-7,000 Oe まで磁場印加して、MTJ2 の[Co/Pt]4 と MTJ1 の[Co/Pt]4 の磁化を反転させて、各磁化固定層の磁化の向きを図 2.1-20 (b)に示す構成にしている。多値 MTJ 素子の磁化自由層は、外部磁場の印加により、多段の R-H Minor ループを示している。R-H Minor ループ上で、抵抗の値は 4 つの平らな部分を持ち、それらが 4 値の抵抗状態(“00”、“01”、“10”、“11”)に対応する。

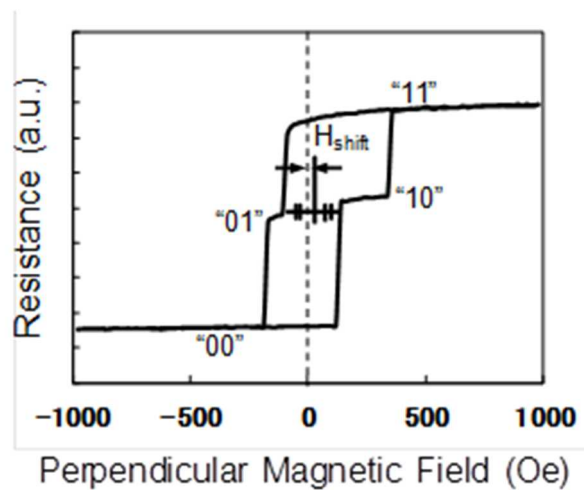


図 2.1-22 多値 MTJ 素子の R-H Minor ループ

図 2.1-23 に、パルス電圧印加(Pulse I-V 測定)でのスピン注入測定の結果を示す。Pulse I-V 測定時には、外部磁場の印加はしていない。パルス電圧は図 2.1-23 (a)に示す電圧シーケンスで、各パルス電圧印加後に、100mV の読み出し電圧で抵抗値を読み出している。Pulse 幅は 1ms である。多段のヒステリシス特性を示し、4 値の抵抗値が得られた(図 2.1-23(b))。

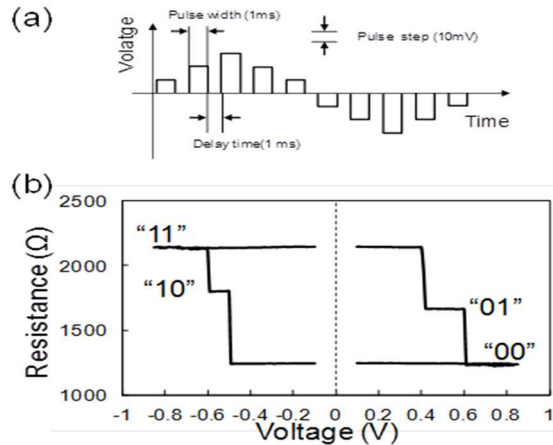


図 2.1-23 多値 MTJ 素子のパルス電圧印加でのスピン注入特性

回路 TEG に搭載されている多値マクロについて、その動作評価を行った。図 2.1-24 に、データ“10”の Write、Read の動作結果を示す。Write 動作は、RAS(Row Address Strobe)信号でアドレスを取り込む。書込みデータは、DIN(Data In)信号で入力するが、最初の書込みサイクル(1st ステップ)では、下位ビット(LSB)のデータを入力して、次の書込みサイクル(2nd ステップ)で、上位ビット(MSB)のデータを入力する。ACT(Active)信号が、High の期間、WD(Write Driver)から書込み電圧パルスが所定のメモリ素子に印加される。以上の 2 ステップで多値の 2 ビット(LSB,MSB)のデータが書き込まれる。STT-MRAM の多値化は、メモリセルの回路としては、2 つの MTJ 素子の直列接続であり、書込みには、必然的に 2 ステップが必要である。Read 動作は、RAS(Row Address Strobe)信号でアドレスを取り込み、ACT(Active)信号が、High の期間、センスアンプが活性化される。本多値マクロでは、混載一次メモリとしての高速性を維持するために、1 ステップで読み出せる方式を採った。センスアンプでの一括(1 ステップ)の読み出しシーケンスで、出力 2bit(MSB,LSB)のデータが同時に読み出されており、多値マクロの動作が実証できた。

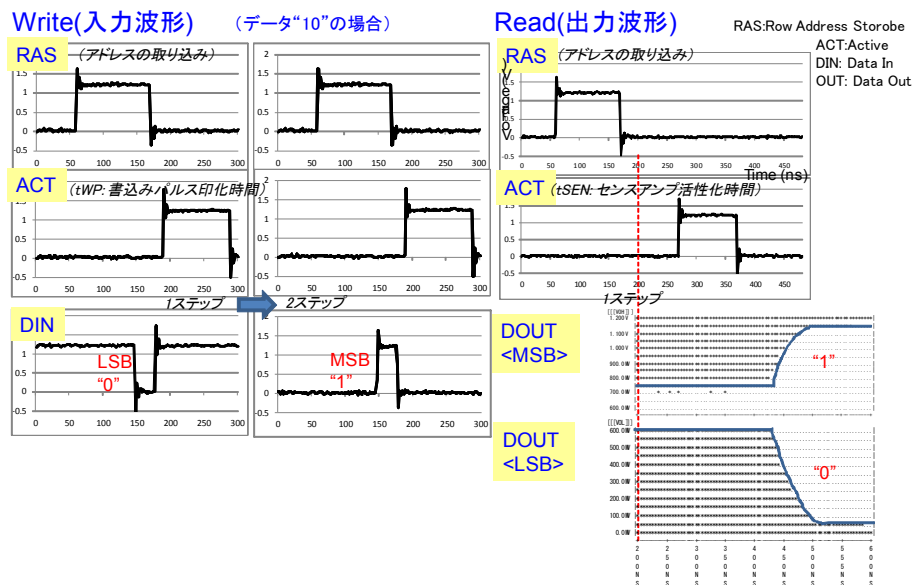


図 2.1-24 多値マクロ動作の実証(データ“10”の場合)

(f) 電流センシング用の磁性変化デバイス開発

STT-MRAM 以外に、低電力化に繋がる応用技術として、電流センシング用の MTJ がある。MTJ のフリー層における磁気異方性を制御し、ヒステリシスを抑制することで、MTJ による高感度な磁場強度のセンシングが可能である。配線を流れる電流によって発生する磁場強度は電流に比例するため、この磁場をセンシングすることで電流のセンシングが可能となる。この応用により、例えば環境温度等の周辺環境や負荷状況に応じた配線電流のセンシングが可能となり、その結果をフィードバックすることも可能となる。この技術により LSI の更なる低消費電力化が期待される。

電流センシングに適用する MTJ では、磁場に依存して抵抗が連続的(線形的)に変化し、ヒステリシスを示さない特性が必要である。MTJ におけるヒステリシスの抑制については、外部から MTJ へバイアス磁場を印加することが有効である。しかしながら本開発では、BEOL への集積化の容易性を考慮し、MTJ 単体でのヒステリシスの抑制を目指した。センスする磁場の方向と MTJ の磁場に対する感度を考慮し、面内磁化型の MTJ 構造としている。MTJ 付近で電流により発生する磁場の強度は、M4 配線の電流センシングを想定した磁界解析から、 $100 \mu\text{A}$ に対して約 1 Oe であると見積られた。この場合、 $\leq 10 \mu\text{A}$ の精度(最大電流は約 1 mA)の電流センシングの実現が見込まれる。

本開発では、新たに MgO 膜との界面において垂直磁気異方性を有する CoFeB 膜 [6]を MTJ のフリー層へと適用し、磁気異方性の制御によるヒステリシスの抑制を試みた。CoFeB 膜を適用した MTJ と未適用の MTJ で得られた MR 曲線を、図 2.1-25 に示す。この結果、新規のフリー層を適用した MTJ において、MR 比の減少はあるが、抵抗変化における線形性の大幅な向上とヒステリシスの大幅な減少(中心抵抗で 0.1 Oe 以下)を確認した[14,15]。これにより、 $\leq 10 \mu\text{A}$ の精度での電流センシング(M4 を想定)に適用可能と判断される MTJ の特性を実現した。

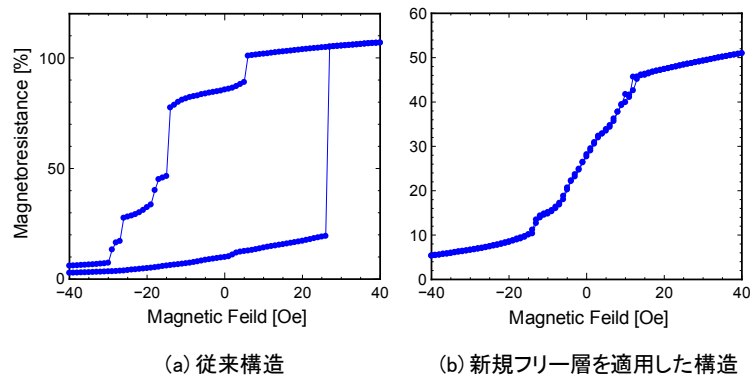
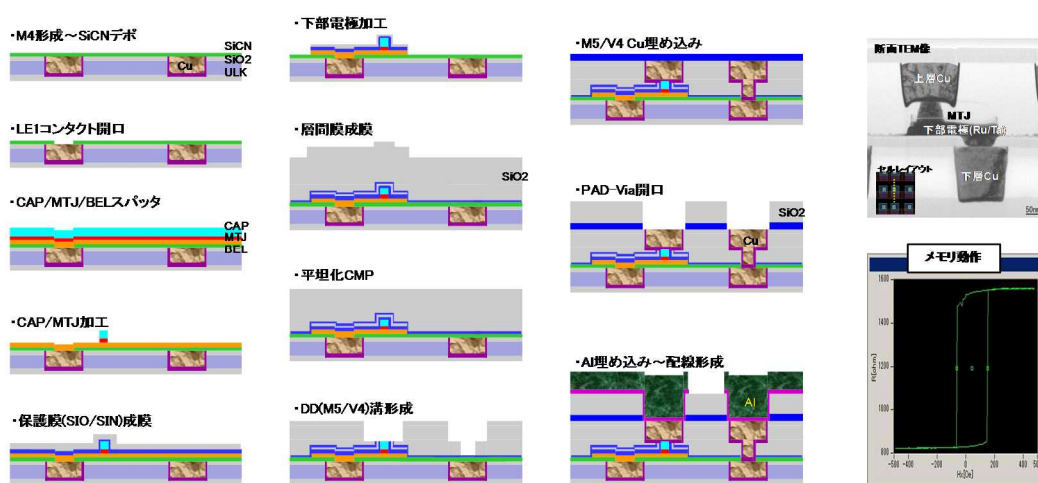


図 2.1-25 電流センシング用 MTJ における MR 曲線

(3)-3 集積化開発

(a) Cu 多層配線間への埋め込み開発

新規導入した磁性膜スパッタ装置や汚染防止用の保護膜 CVD 装置などを使用して、シリコン基板に作成されている CMOS デバイスに影響を及ぼすことなく、磁性変化デバイスを 300mm BEOL 設計・製造基盤 (プラットフォーム) に埋め込むプロセスフローを作成した。微細な MTJ の上部と Cu 配線をボーダレスコンタクトさせるため、MTJ を埋め込んだ層間絶縁膜のエッチバック技術と、その上に形成する Cu のダマシンプロセスを開発した。図 2.1-26 にそのプロセスフローを示す。このフローをベースに、外部ファブを利用して作製した CMOS と 4 層 Cu まで形成されている基板を用いて、MTJ の形成と上層 Cu 配線、Al 配線の形成をつくばの産総研クリーンルームにて行った[16]。図 2.1-27 に Cu 配線間に埋め込んだ MTJ の断面写真を示す。



MTJへのボーダレスコンタクト工程

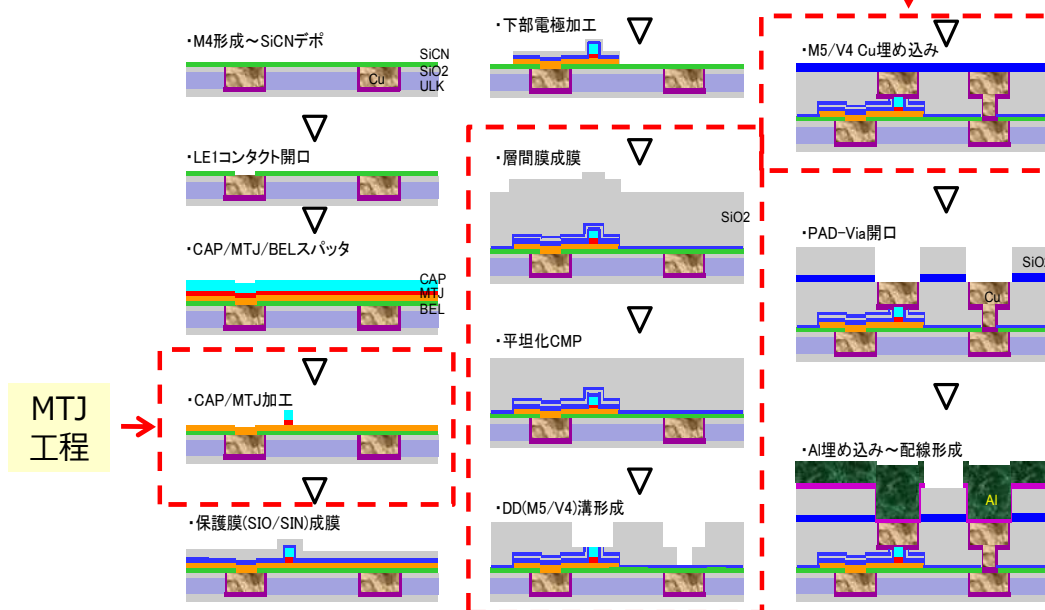


図 2.1-26 Cu 配線間へ MTJ を埋め込むプロセスフロー

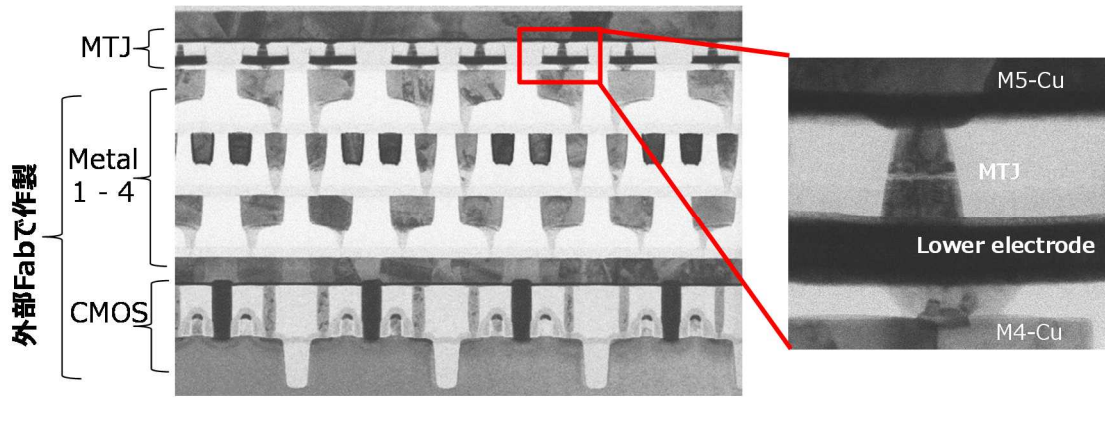


図 2.1-27 CMOS 基板上的の多層 Cu 配線間に埋め込まれた MTJ の断面写真

(b) ばらつき抑制、歩留まり向上開発

MRAM 形成プロセスの中でも、MTJ 加工プロセスは、MRAM の歩留りを大きく左右する。ここでは、その MTJ 加工プロセス改善結果について述べる。

図 2.1-28 に、MTJ の加工プロセスフローを示す。MTJ の加工では、特に、上部電極も兼ねるメタルハードマスクの残膜量と、MTJ の寸法制御 (CD 値のばらつき低減) が重要である。ハードマスク加工においては、多層ハードマスクの積層設計 (SiO₂ 絶縁膜ハードマスク膜厚、Ta ハードマスク膜厚) の最適化と、各々の積層膜の加工条件のチューニングを行って、ハードマスクパターンサイズの微細化と面内分布改善を行った。特にローカルエリアでの寸法ばらつき低減に関しては、ArF レジストがプラズマダメージを受けることによって生じるレジスト改質により、パターンエッジラフネスが大きくなることを回避するために、SOG エッチング時に、CF₃I ガスを用いた低ダメージエッチングを行うことで、寸法ばらつきを低減した。

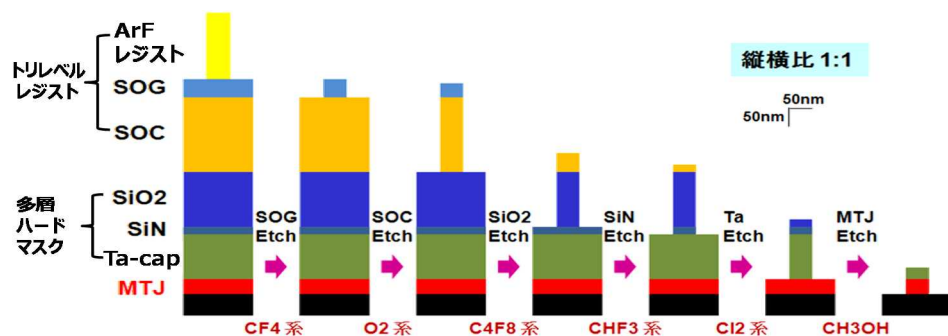


図 2.1-28 MTJ 加工プロセスフロー

MTJ 加工では、エンドポイントディテクター (EPD) により、エッチング量を再現性よくコントロールできるようにした。さらに、エッチングガスとして、CH₃OH を使用し、磁性体膜と Ta (メタルハードマスク) とのエッチング選択比を向上 (10:1) させ、Ta ハードマスクの膜減り量を低減させることで、微細パターンでも上部電極部厚を十分確保することに成功した。これら一連の加工フローの最適化を行うことによって、ローカルエリアばらつき 7.7% @ 50nm Φ (図 2.1-29) を実現できた。

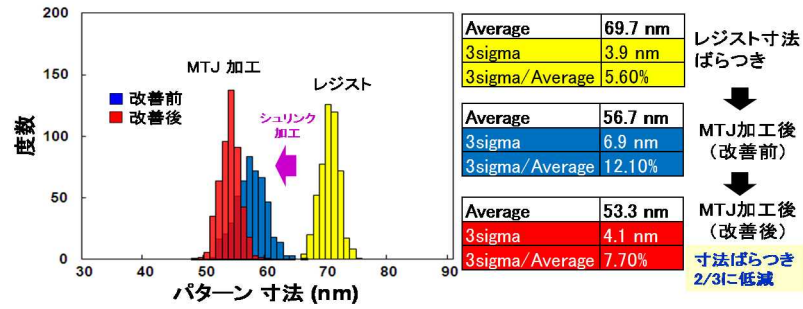


図 2.1-29 MTJ 寸法ばらつきの改善

16k ビットの MRAM アレイで抵抗ばらつき評価した結果、目標値(15% (3 σ))と同程度の16%に抑制することができた(図 2.1-30)。

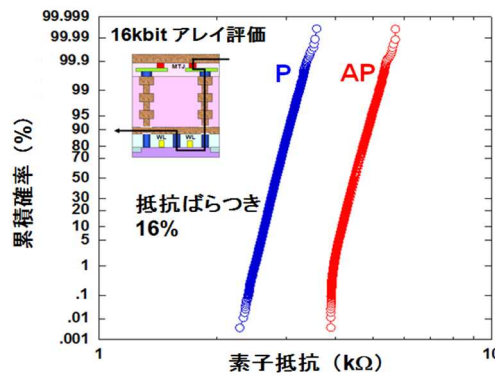


図 2.1-30 16k ビットの MRAM アレイで抵抗ばらつき評価結果

(c) マクロ実証

マクロ実証を目的に、1Mbit マクロを試作、評価した。マクロの顕微鏡写真、断面 TEM 写真、及び、回路図を図 2.1-31 に示す。65nm CMOS の M4-M5 Cu 配線中に MTJ を混載しており、セル構成は 1T-1MTJ、選択トランジスタ幅は 0.355 μ m=5.5F、セル面積は 48F² である。STT-MRAM ではバイポーラ動作をさせるため、アレイ構成はビット線とソース線が平行であり、ワード線がこれらに直行している。ビット線は M5、ワード線の裏打ちは M3、ソース線は M1 にて作製した。

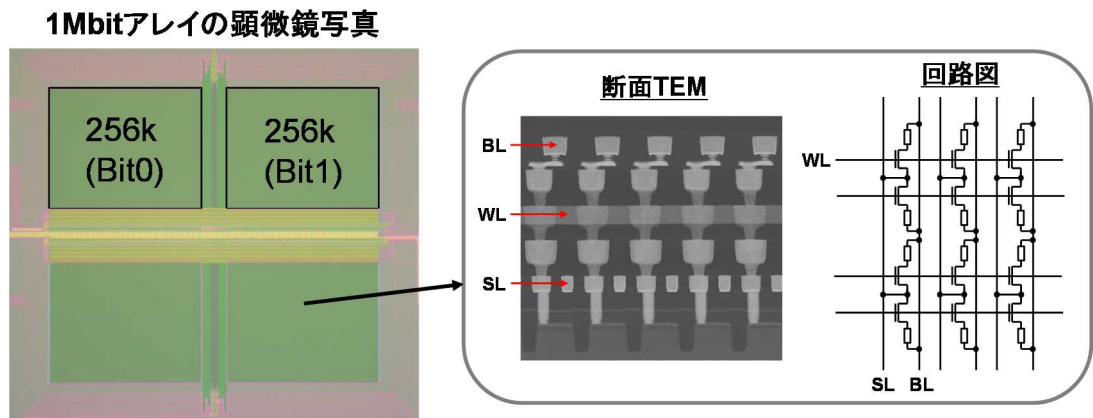


図 2.1-31 1Mbit マクロの顕微鏡写真、断面 TEM 写真、および回路図

MRAM は抵抗変化量が小さいため、低電圧・高速動作に適した電流駆動型センスアンプを採用し、参照セルの自動生成と読み出し時のディスタ urb 改善にも取り組んだ。電流駆動型センスアンプは低電圧高速動作が可能だが、参照セル電流の生成が課題である。我々は低抵抗セルと高抵抗セルを並列接続した参照セルに流れる電流をビット間で共有することで、参照セル電流を自動生成した。また低抵抗の参照セルを逆接続にすることで、原理的にディスタ urb が生じない参照セルを開発した。

メモリブロックを $256\text{ kbit}=512\text{ bit}\times 512\text{ bit}$ に設定することで、動作速度に対するビット線遅延の影響を評価した。マクロの読み出し速度は 10 ns で、内訳はプリチャージ時間が 8 ns 、センス時間が 2 ns であった(図 2.1-32)。高速読み出しに向けては、ビット線に接続されるビット数を 128 bit に減らすことで、読み出し時間を 3.5 ns に低減できると見積もっている。マクロの書き込み速度については、速度と電流のシュムープロットから 10 ns で 125 uA が得られた(図 2.1-33)。単体素子では 10 ns で 77 uA であったことから、読み出しと同様に、ビット線容量を減らすことでさらなる低電流化・高速化が可能である。ビットセル面積は 48 F^2 で、SRAM に比べて $1/4\text{--}1/5$ である。一方、スイッチングに要する電力は 0.46 pJ で、SRAM の 1 次メモリに比べて 2 倍と大きい。メモリへのアクセス頻度が低い用途では SRAM に比べて十分低い消費電力(読み書きに必要な電力+リークによる電力)が可能であるが、アクセス頻度が高い用途では、素子のスイッチング電流を更に減らす必要がある。

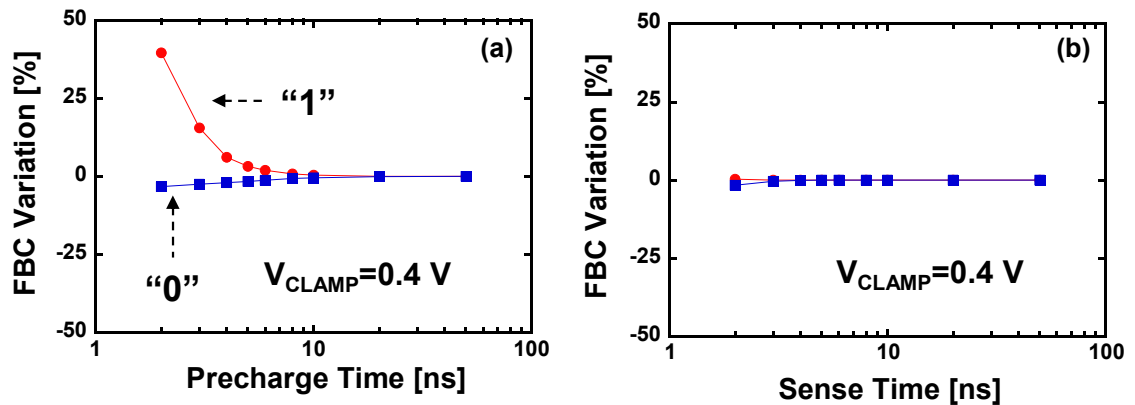


図 2.1-32 読み出し速度評価、(a)プリチャージ時間依存性、(b)センス時間依存性

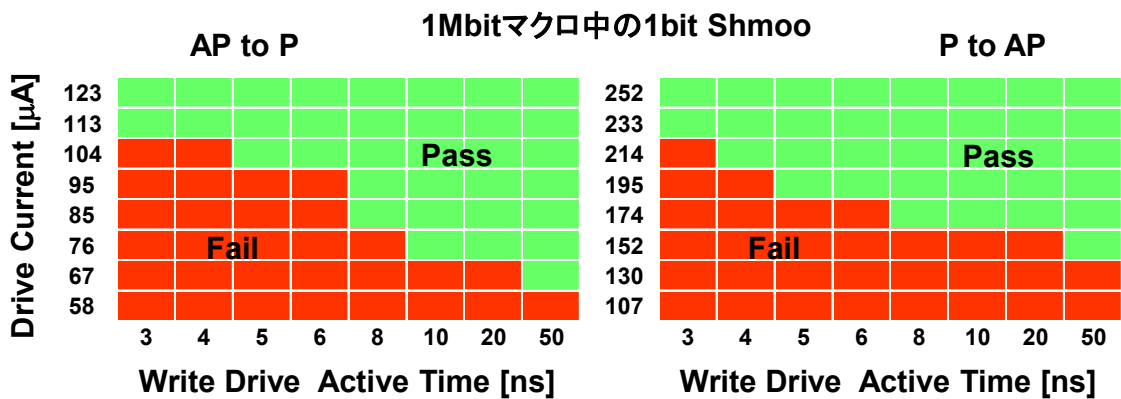


図 2.1-33 1Mbit マクロ中の 1bit Shmoo

(3)-4 周辺回路開発(共同実施 立命館大学、神戸大学)

(a) MTJ の SPICE モデル作成

STT-MRAM マクロを設計する上で必要となる、回路シミュレーション用の MTJ モデルとして、大規模回路設計に対応可能なマクロモデルを開発した(図 2.1-34)。本モデルは大規模回路設計でデファクトスタンダードである回路シミュレータ(SPICE)上で、シミュレータの収束性を劣化させないよう、既存のアナログ/デジタル回路をベースにモデル化した。具体的には、メモリの非線形抵抗をデプレッション型の nMOS Tr. で構成したダイオード接続回路を用いて、また、セルの抵抗値のヒステリシス特性をセルの動作状況に応じてスイッチ Tr. で切り替える抵抗切り替え回路を用いて実現した。スイッチの切り替え制御には、コンパレータとラッチ回路で構成することにより、回路シミュレータの収束性が劣化しないようにした。

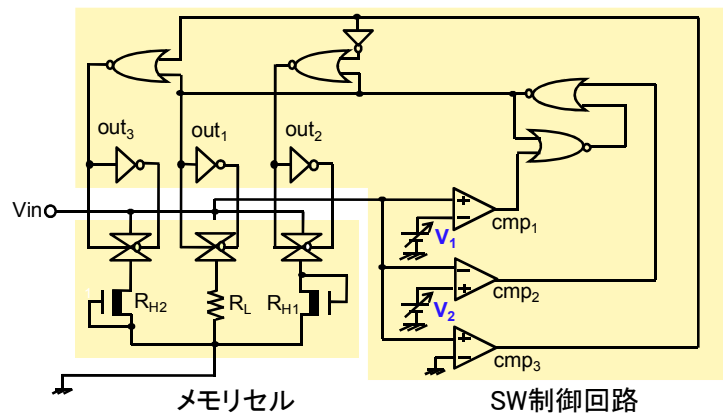


図 2.1-34 回路シミュレーション用の MTJ モデル

更に、上記静特性マクロモデルを、MTJ 抵抗が変化する電圧の書き込みパルス幅依存性と、抵抗変化の遅延時間依存性を加えたマクロモデルへと発展させた。本モデルをメモリセル回路に適用し、回路シミュレータ(SPICE)でセルの過渡応答を評価した結果を、図 2.1-35 に示す。本モデルは書き込みパルス幅 10ns まで対応できることを確認した。

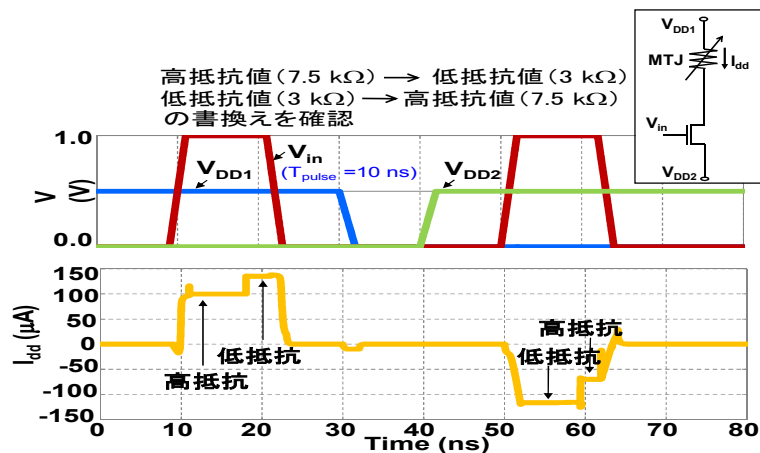


図 2.1-35 書き換えの過渡解析結果

(b) センス回路開発

低電圧での動作を実現するために提案した読み出し回路を、図 2.1-36 示す。この回路は、次の特徴を備えている。

- ・磁性変化型メモリセルの読み出しノードを介して、並列に接続される負性抵抗回路
- ・負性抵抗回路を構成する一対の pMOS トランジスタの基板バイアス電圧を制御
- ・負性抵抗回路と並列に接続され、電源電圧を共通とする昇圧負荷回路
- ・読み出しノードに接続される電圧センスアンプ

図 2.1-36 に提案した読み出し回路の負荷線と、従来 pMOS 回路の負荷線のシミュレーション比較を示す。提案読み出し回路の負荷線の場合、メモリセルが低抵抗状態にある場合の読み出し安定電位と、高抵抗状態にある場合の読み出し安定電位との電位差を約 0.3 V ($=0.38 - 0.08$) と大きくすることができた(図 2.1-36 の $\Delta V_{prop.}$ を参照)。これは、従来 pMOS 回路の負荷線の場合の電位差と比べて、約 1.7 倍大きいことがわかる。

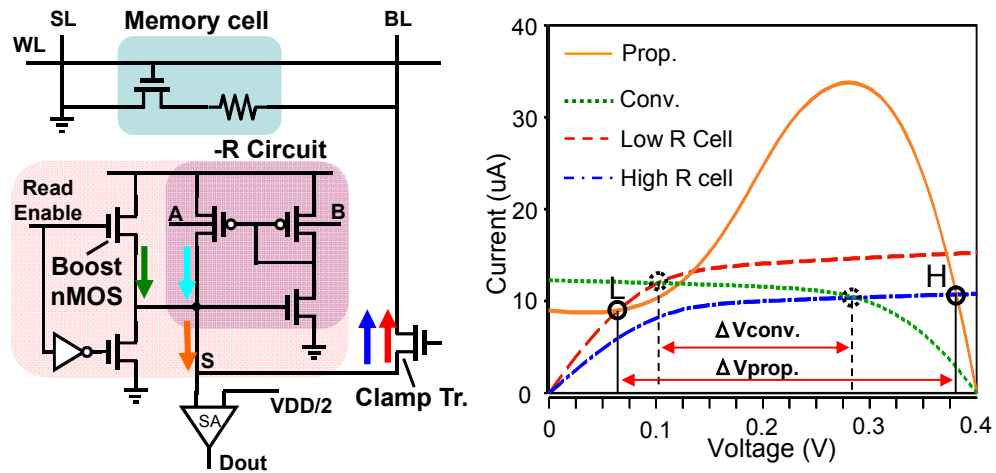


図 2.1-36 低電圧動作に向けて提案した読み出し回路とシミュレーション結果

65nm テクノロジで提案回路を試作し、評価を行った[17]。図 2.1-37 は実測とシミュレーションにおいて、提案回路の負荷線を比較したものである。両者はよく一致しており、設計通りの回路動作を実現できた。また、実測においても、シミュレーションと同様に基板バイアスを制御することにより、複数の負荷線を描くことが可能なことを確認した。

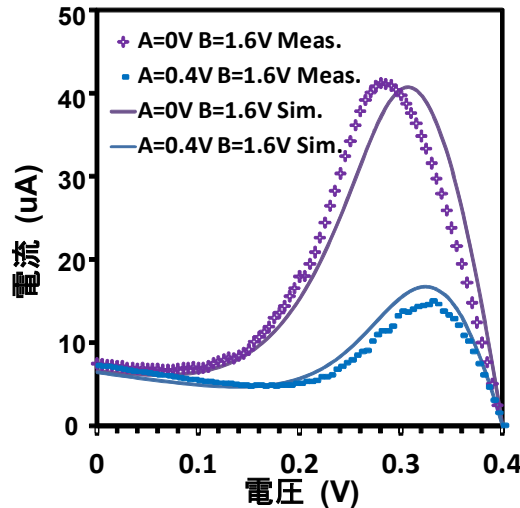


図 2.1-37 実測とシミュレーションでの、提案回路の負荷線の比較

(4) 達成度

- MTJ の微細エッチングプロセスを開発し、目標 MTJ 寸法での書き換え電流と書き換え電圧の目標値を達成した。単体レベルで、10ns のパルスでの読み書き電圧 0.4V 、読み書き電流 50-100 μ A 以下(平均の書き換え電力量 0.3pJ)を実証した。
- 加速試験により、10 年間の絶縁破壊耐性、10 年間のデータ保持(リテンション)、書き換え回数 10^{16} 回を達成した。更に、MgO 絶縁膜のリーク電流を抑制するプロセス改良を行い。実用に耐える高信頼絶縁膜プロセスの指針を示した。
- 300mm BEOL プラットフォームへ MTJ を埋め込む集積化プロセスを開発し、1Mbit マクロの動作実証をした。
- メモリパラメータ取得と、それを用いた低電圧動作用センス回路を設計した。
- 試作したセンス回路を評価し、十分なセンス電圧である 0.3V を得た。
- 高集積化を可能とする多値動作を回路 TEG で確認した。

(5) まとめ

磁性変化デバイス(STT-MRAM)の基本構造、プロセスとして、トップピン構造、歪エンジニアリング、界面垂直磁化、SAF 構造などを開発し、目標スペックを達成した。

高品質 MgO 成膜プロセスを開発し、加速試験で 10^{16} 回の書き換えと 10 年間の絶縁耐性を実証した。

多値構造とそれを実現するプロセスとして、MTJ の 2 段積層構造の一括加工方式を提案し、試作により多値動作を確認した。

電流センシング用の MTJ を開発し、 $\leq 10 \mu$ A のセンシング精度に相当する特性を実現した。

300mm 径ウェハを用いて、磁性変化デバイスを 2 層 Cu 配線間に埋め込む、BEOL プラットフォームプロセスフロー案を作成し、試作、評価を行い、マクロ動作を実証した。

MTJ の SPICE モデルを提案し、実測値との整合性を確認した。低電圧動作向けセンス方式・回路を設計し、起版したマスクに搭載し、試作した結果、シミュレーション通りの十分なセンス電圧

(0.3V)を実現した。

参考文献

- [1] D. Djayaprawira, K. Tsunekawa, M. Nagai, H. Maehara, S. Yamagata, N. Watanabe, S. Yuasa, Y. Suzuki, and K. Ando: Appl. Phys. Lett. 86 (2005) 092502.
- [2] Young-suk Choi, Hiroshi Tsunematsu, Shinji Yamagata, Hiroki Okuyama, Yoshinori Nagamine, and Koji Tsunekawa, Jpn. J. Appl. Phys., 48, 120214 (2009)
- [3] C. Yoshida, T. Ochiai, and T. Sugii, 56th Annual Conference on Magnetism & Magnetic Materials 2011, AF-13
- [4] Chikako Yoshida, Takao Ochiai, and Toshihiro Sugii, J. Appl. Phys. 111, 07C716 (2012)
- [5] Y. Iba, K. Tsunoda, Y. M. Lee, H. Noshiro, A. Takahashi, Y. Yamazaki, M. Nakabayashi, A. Hatada, M. Aoki, and T. Sugii, 2011 Symp. on VLSI Technol. pp.212-213
- [6] S. Ikeda, K. Miura, H. Yamamoto, K. Mizunuma, H. D. Gan, M. Endo, S. Kanai, J. Hayakawa, F. Matsukura, and H. Ohno, Nature Mater. 9, 721 (2010)
- [7] Y. M. Lee, C. Yoshida, K. Tsunoda, S. Umehara, M. Aoki, and T. Sugii, 2010 Symp. on VLSI Technol. pp.49-50
- [8] Y. Iba, C. Yoshida, A. Hatada, M. Nakabayashi, A. Takahashi, Y. Yamazaki, H. Noshiro, K. Tsunoda, T. Takenaga, M. Aoki and T. Sugii, 2013 Symposium on VLSI Technology, pp.T136-137.
- [9] M. Pakala et. al., J. Appl. Phys. 98, 056107 (2005)
- [10] Y. Iba, A. Takahashi, A. Hatada, M. Nakabayashi, C. Yoshida, Y. Yamazaki, K. Tsunoda, and T. Sugii, 2014 Symposium on VLST Technology, pp.58-59.
- [11] Chikako Yoshida and Toshihiro Sugii, 2012 Int'l Reliability Phys. Symp., pp.2A.3.1-5
- [12] C. Yoshida, T. Ochiai, Y. Iba, Y. Yamazaki, K. Tsunoda, A. Takahashi, and T. Sugii, 2012 Symp. on VLSI Technol. pp.59-60
- [13] M. Aoki, H. Noshiro, K. Tsunoda, Y. Iba, A. Hatada, M. Nakabayashi, A. Takahashi, C. Yoshida, Y. Yamazaki, T. Takenaga, and T. Sugii, 2013 Symposium on VLSI Technology, pp.T134-135.
- [14] T. Takenaga, Y. Tsuzaki, T. Furukawa, C. Yoshida, Y. Yamazaki, A. Hatada, M. Nakabayashi, A. Takahashi, H. Noshiro, K. Tsunoda, M. Aoki, H. Fukumoto, and T. Sugii, 2013 International Electron Devices Meeting, pp.479-482.
- [15] T. Takenaga, et al., Journal of Applied Physics, Vol.115, Issue17, 17E524 (2014)
- [16] T. Sugii, et al., Vol.95, pp.146-149 (2014)
- [17] Y. Umeki, et al., IEICE TRANSACTIONS on Fundamentals of Electronics, Vol.E97-A, No.12, pp.2411-2417 (2014)

2.2 研究開発項目② 相変化デバイス

「外部記憶の高速低電力データ転送を実現する、高集積・高速低電力書き込み特性などの機能を有する超低電圧・不揮発デバイスの開発」

(1) 背景と目的

インターネットサービスを提供する施設である大規模データセンターの消費電力は、100MW時に迫る勢いで増大している。背景には、これまで経験したことがない爆発的な“ビッグデータ”の発生がある。国内ディスクストレージシステム容量は、2020年には40000ペタバイトと2011年の45倍に増大すると予想されており、次世代データセンターにはさらなる高速・低電力処理能力が求められている。(図 2.2-1)

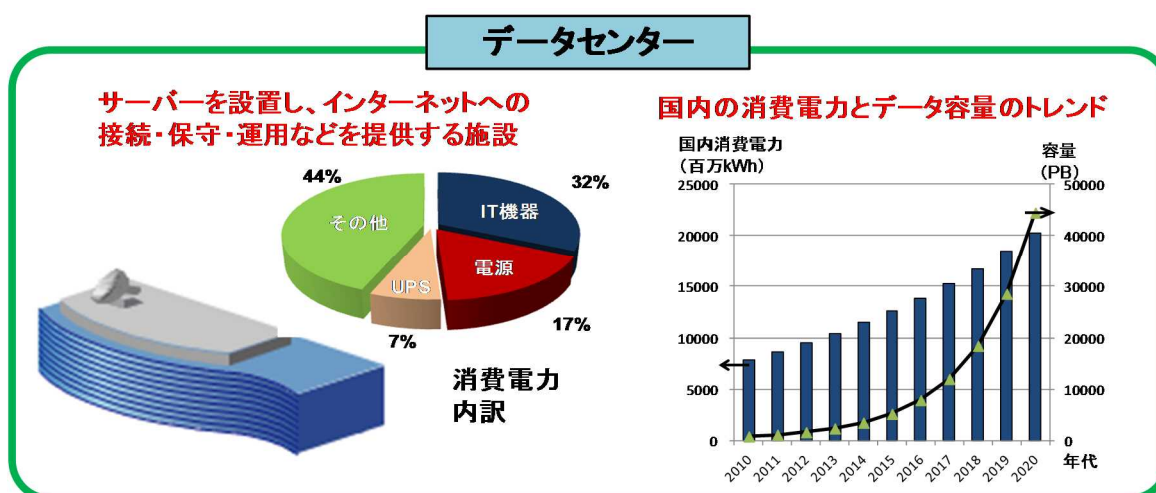


図 2.2-1 データセンターの消費電力とデータ容量のトレンド

データセンターの低電力化には、ストレージ階層における上位ストレージ(Tier0)が本質的に重要である。Tier0はデータ量全体の5%を保存する階層であるが、アクセスが80%と頻発するため、その電力削減効果はきわめて大きい。(図 2.2-2)

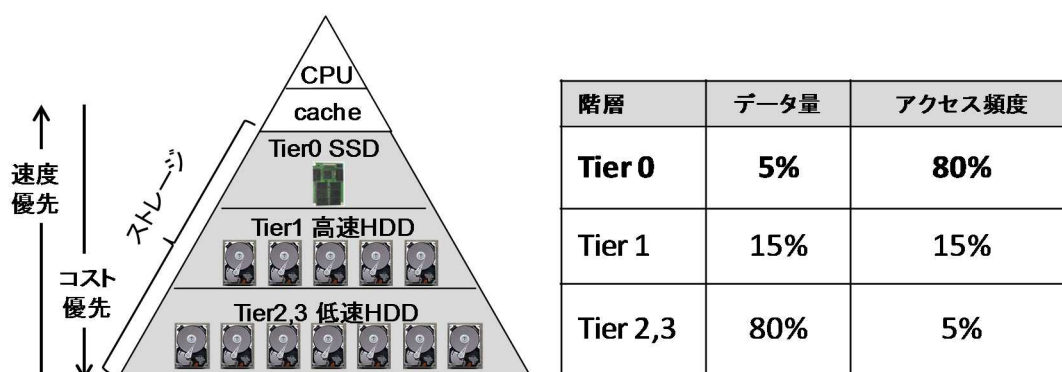
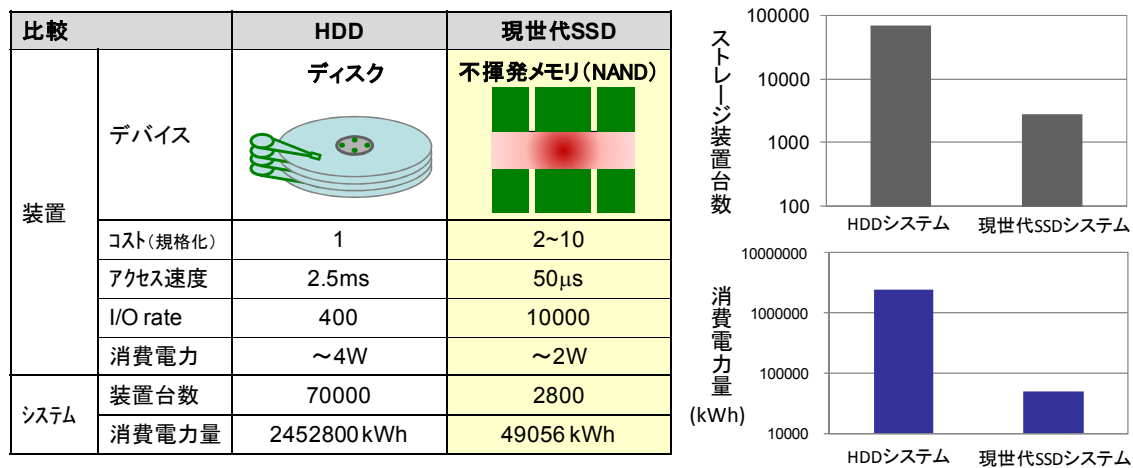


図 2.2-2 ストレージ階層

システムの観点では、CPU/キャッシュと従来のストレージの速度ギャップを解消し、ストレージの並列動作台数を減らすことで、桁違いの低電力化が可能となる [1]。HDD (Hard Disk Drive) はメカニカル動作するため低速であるが、最近では、半導体を用いた固体ストレージSSD(Solid State Drive)で代替して高速化することで、このシナリオが実現した。図 2.2-3 に、検索エンジンを想定した、HDDシステムとSSDシステムの比較を示す。HDDよりも高速なSSDを用いることで、ストレージ装置台数が1/25に低減し、システムの消費電力量が1/50に削減される算出結果が得られる。



4kBデータを、28M I/O rateで処理する検索エンジンのシステムシステムを想定
 装置台数=(要求性能 28M I/O rate) ÷ (装置のI/O rate), 消費電力量=(装置台数) x (装置の消費電力) x 24hours として算出

図 2.2-3 HDD システムと SSD システムの比較

しかしながら、フラッシュメモリを搭載した現世代の SSD にも、ブロック単位でのデータ消去に起因する実効的な書き込み時間の増大や、複雑な使いこなしが避けられない、等の課題がある。これらの課題が、性能向上のボトルネックとなり、性能優先の Tier0 の要求トレンドを継続的に満たすことが困難になりつつある。爆発的な“ビッグデータ”の発生に対応すべく、Tier0 の要求トレンドを満たすためには、現世代 SSD では実現困難な、さらなる高速化が必要となる。具体的には、現状の 10 倍以上の単位電力あたりのデータ転送速度が、次世代 SSD に求められる。(図 2.2-4)

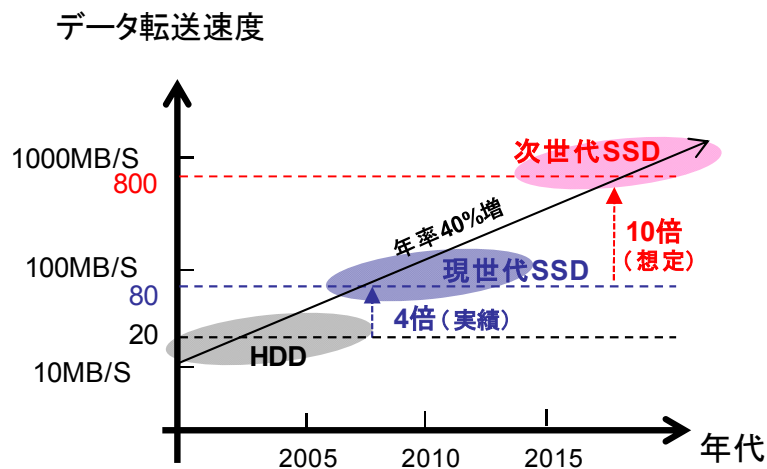


図 2.2-4 ストレージデバイスのトレンド

Tier0においてストレージデバイスの代替が起こる条件としては、SSDがHDDを代替した実績が参考になる。SSDはアクセス時間やデータ転送速度を10倍以上に向上することで、性能優先のTier0においてHDDを代替した。次世代SSDも、フラッシュメモリを搭載した現世代SSDの性能の10倍以上を実現することが必要である [2] [3]。また、ストレージのデータ転送速度の要求が年率40%で増大すると想定した場合、次世代SSDの実用化が求められる時期は、2018年頃になると予想される。

相変化デバイスは、次世代ストレージデバイスの最有力候補である(図 2.2-5) [4]。相変化デバイスは原子状態の違いを利用する抵抗変化型の不揮発メモリであり、電荷蓄積型のフラッシュメモリよりも高速・低電力である。また、他の抵抗変化型メモリであるMRAMやReRAMに対して、一方向の電流で動作できるメリットがあり、それを活かして、物理的最少寸法のクロスポイント型セルによる低コスト化が原理的に可能である。現状、相変化デバイスは、モバイル機器向けに実用化された段階にある。しかし、次世代Tier0ストレージとして用いるためには、モバイル機器仕様の1/10以下の、さらなる低動作電力が求められる。本研究は、新しい相変化材料である超格子等を優位化技術として、相変化デバイスを発展させ、従来のフラッシュメモリにはできない、低電力・高速な相変化デバイスストレージの実現を目指す(図 2.2-6)。

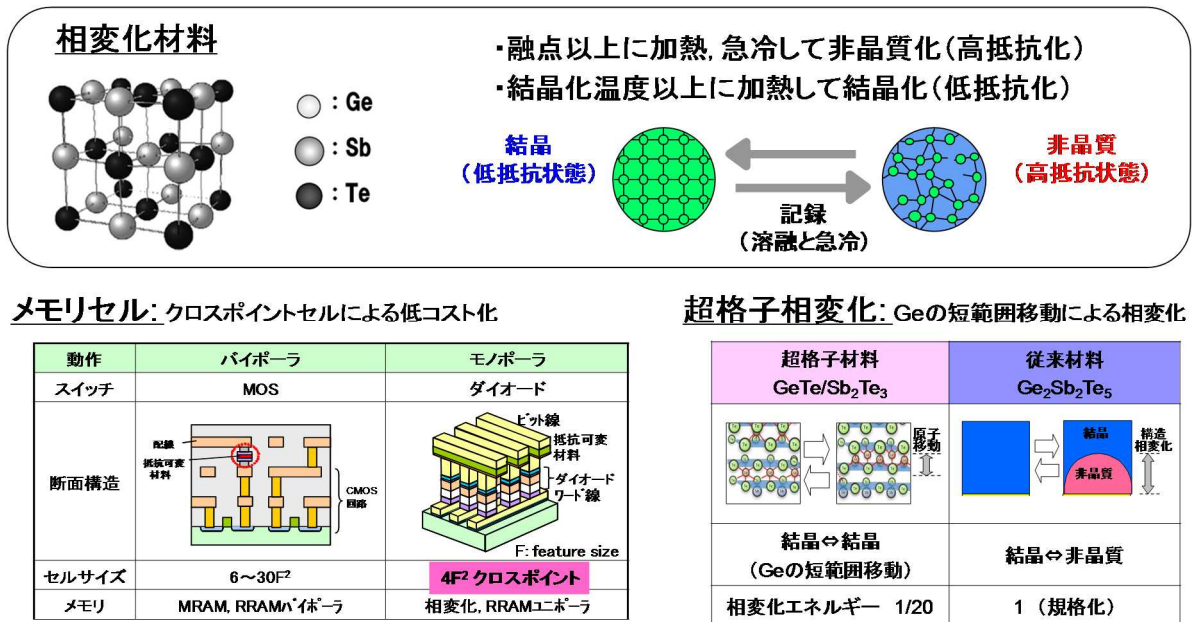


図 2.2-5 相変化デバイスの概要

		現世代SSD	次世代SSD
		NANDフラッシュ	相変化
		電荷蓄積	抵抗可変 超格子
相変化で高速、低電力、高信頼などの特性が新たに付加	アクセス時間	50us	100ns
	書換時間	> 1ms	10~100ns
	データ転送速度	10~20MB/s	1000MB/s
	書換電圧	~10V	1~3V
	書換回数	10 ⁴ -10 ⁵	10 ⁶ ~10 ¹²
	1000MB/s動作に要するチップ数	40~100ケ	1ケ
フラッシュメモリの2倍以内のコストが原理的に可能	スケール限界	~ 10nm	< 10nm
	セルサイズ	2F2	< 4F2

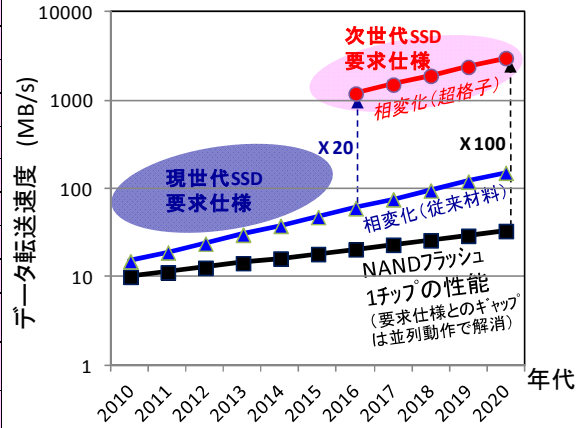


図 2.2-6 超格子相変化デバイスの次世代 SSD への適用

(2) 目標

【中間目標】(平成24年度末)

- ・単体デバイスとして、クロスポイント型メモリセル試作と動作実証。
- ・データ転送速度200MB/s を、従来の1/3 の電力(200mW)で可能とする単体デバイスの書き込み動作、およびさらなる高速低電力化の可能性の根拠を示すこと。

【最終目標】(平成26年度末)

クロスポイント型メモリセルを集積化したメモリアレイ試作と動作実証。

- ・書き換え回数10⁶回以上の達成
- ・データ転送速度400MB/s の高速動作実証
- ・従来の1/10 の電力(66mW)の低電力動作実証
- ・メモリセル面積4F²(F;最小加工寸法)のメモリアレイによる高集積性実証

上記のデータ転送速度や電力は、SSD モジュールを想定した目標である。上記を達成する単体デバイスの書き換えエネルギーを以下のように算出し、開発目標とした(図 2.2-7)。

【中間目標】 30pJ

【最終目標(平成26年度末)】 5pJ

(平成27年度末)

- ・TRAM^(*)の1.2V以下の動作実証
- ・更なる電力削減効果(33mW以下)の見通しを得る

(*)TRAM:Topological-switching Random Access Memory

更なる電力削減効果(33mW以下)の見通しを得る単体デバイスの書き換えエネルギーを以下のように算出し、開発目標とした。

【最終目標(平成27年度末)】 2.5pJ

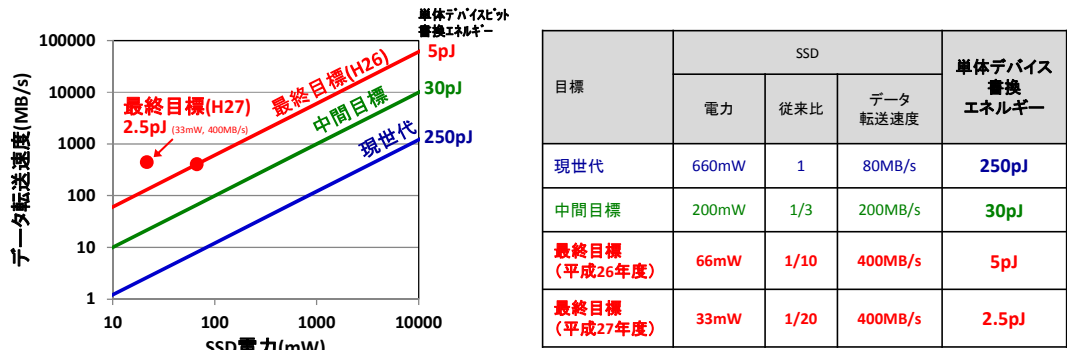


図 2.2-7 単体デバイスの書換エネルギー目標値の算出

参考1: 単体デバイスの書き換えエネルギーの目標値の算出方法

1ビット当たりの単体デバイスの書き換えエネルギー E は、以下に式で算出される。

$$E = I \times V \times t \quad (\text{式 1})$$

ここで、 I : 電流, V : 電圧, t : 書き換え時間である。 E は、SSD 電力 W とデータ転送速度 D より、

$$E = W \div D \times R \quad (\text{式 2})$$

のように算出される。ここで、 R : メモリ消費電力配分、である。メモリ消費電力配分とは、SSD 電力に占めるメモリセルが消費する電力である。本研究では、 $R = 1/4$ とした。単体デバイスの書き換えエネルギーの【中間目標】は、(式 2)に $W=200\text{mW}$, $D=200\text{MB/s}$ を代入することで、 $E \approx 30\text{pJ}$ と算出した。【最終目標】は(式 2)に $W=66\text{mW}$, $D=400\text{MB/s}$ を代入することで、 $E \approx 5\text{pJ}$ と算出した。

参考2: メモリ消費電力配分

メモリ消費電力配分 R とは、SSD 電力 W に占めるメモリセルが消費する電力 M である。

$$R = M \div W \quad (\text{式 3})$$

ここで、SSD 電力 W は、メモリチップ電力 MC とコントローラー電力 C の和である。

$$W = MC + C \quad (\text{式 4})$$

本研究では、メモリチップ電力 MC とコントローラー電力 C は等しいと仮定する。

$$MC = C \quad (\text{式 5})$$

メモリチップ電力 MC は、メモリセル電力 M と周辺回路電力 Pe の和である。

$$C = M + Pe \quad (\text{式 6})$$

本研究では、メモリセル電力 M と周辺回路電力 Pe は等しいと仮定する。

$$M = Pe$$

(式 3)に(式 4)、(式 5)、(式 6)を代入することで、 $R = 1/4$ となる。

(3) 研究開発成果

(3)-1 超格子相変化デバイス材料技術開発 (共同実施 国立研究開発法人 産業総合技術研究所、国立大学法人 名古屋大学、国立大学法人 北海道大学、国立大学法人 東京大学、学校法人 中央大学)

(a) Topological switching Random Access Memory (TRAM)の原理

相変化に要するエネルギーを低減するブレイクスルー技術である、超格子材料技術を開発し、低

電力化を達成した成果を報告する。

相変化デバイスの超格子技術とは、本研究の共同実施先である産総研の富永淳二博士の提唱する、新しい相変化現象を用いたものである [5]。超格子はゲルマテルル GeTe とアンチモンテルル Sb₂Te₃ の積層から成るメタマテリアルである。超格子では、従来材料の結晶-非晶質間の相変化に比べて、1/20 以下のエネルギーでの結晶-結晶間の相変化が理論上可能である。

本プロジェクトでは、日本の独自技術である超格子デバイスを“Topological switching Random Access Memory (TRAM)”と名付けた [6]。TRAM の抵抗値は、GeTe/Sb₂Te₃ 超格子の原子構造とともに変化する。量子力学に基づく第一原理計算によると、超格子内の Ge 原子が接近した状態が高抵抗に、Ge 原子が離れた状態が低抵抗となる(図 2.2-8) [7]。高抵抗状態から低抵抗状態への変化は、超格子内で異なる高さに位置する Ge と Te が、同じ高さになる遷移状態を経由し、次いで Ge と Te の上下関係が逆転した位置に移動することで起こる。低抵抗から高抵抗への変化は、逆の動きをたどる。原子移動の最小エネルギー経路も求められ、超格子の抵抗変化に要するエネルギー障壁(活性化エネルギー)は、およそ 2.5 eV と算出された。

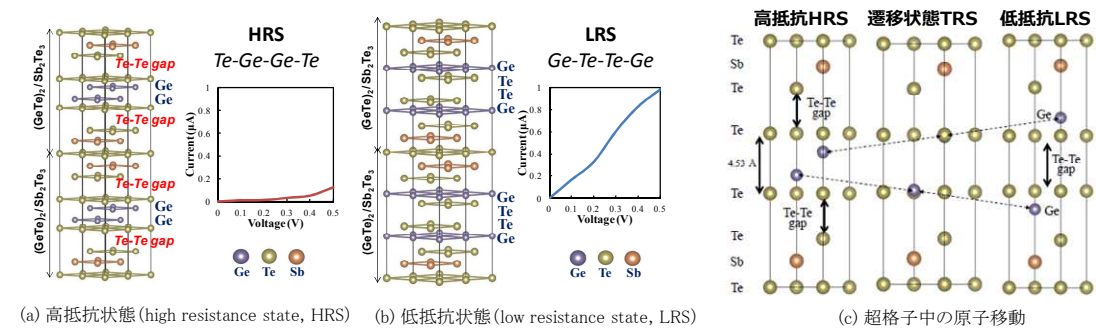


図 2.2-8 超格子の原子構造、抵抗状態、及び原子移動の最少エネルギー経路

超格子の安定状態は、電荷量に依存して変化する(図 2.2-9)。電子を注入した場合、Ge-Ge 間の電子密度の増大とともに化学結合が強化されるため、高抵抗状態の超格子が安定となる。逆に、電子を引き出すと Ge-Ge 間の電子密度が減少して、化学結合が弱まるために低抵抗状態が安定となる。TRAM の抵抗変化は、電圧パルスによる電荷変動をきっかけとして起こる。

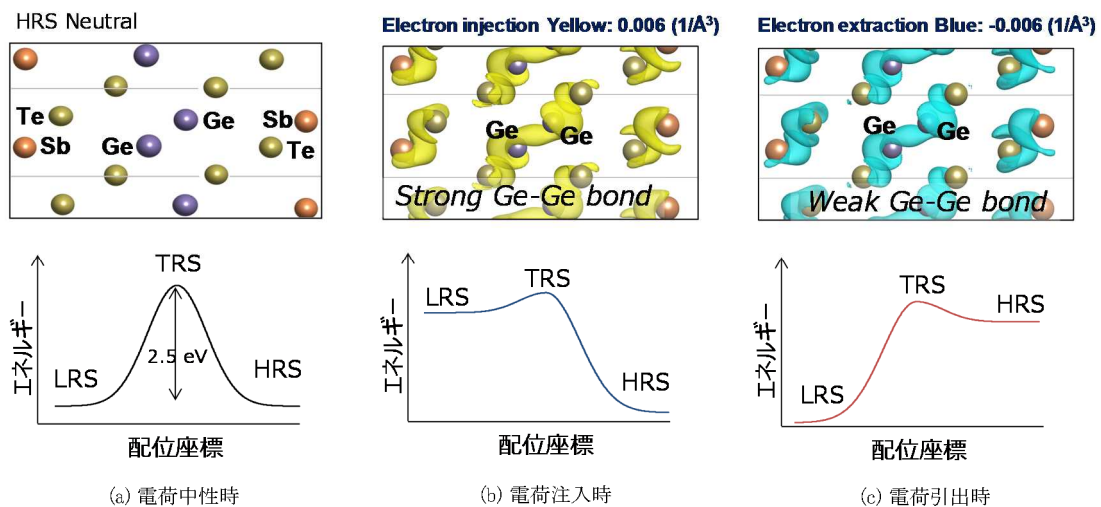


図 2.2-9 超格子中の電荷密度とエネルギー障壁

(b) 超格子成膜技術

GeTe/Sb₂Te₃ 超格子は、300 mm ULSI プロセス用のマルチカソードスパッタ装置を用いて作製した(図 2.2-10) [8]。GeTeとSb₂Te₃の薄膜を平坦に成膜するためには、基板に六方晶系であるSb₂Te₃のC軸を垂直成長させ、その上に立方晶系のGeTeの[111]軸を積層する。この際、GeTeの結晶化温度230°C以上に成膜温度を設定すると、Sb₂Te₃がテンプレートとなりGeTeが六方晶化する。ただし、Sb₂Te₃の結晶化温度がGeTeよりも約20°C低いいため、GeTe成膜時にSb₂Te₃が劣化しない程度に成膜温度を抑えた。超格子膜の品質は、透過型電子顕微鏡(TEM)で観測した。開発初期の超格子はGeSbTeが混合する低品質膜であった。この不良は、GeTe/Sb₂Te₃を高温成膜すると発生しやすい。そこで、成膜温度を低減して不良を除去し、サブ nm の原子の干渉縞が観測される高品質な超格子成膜を実現した。

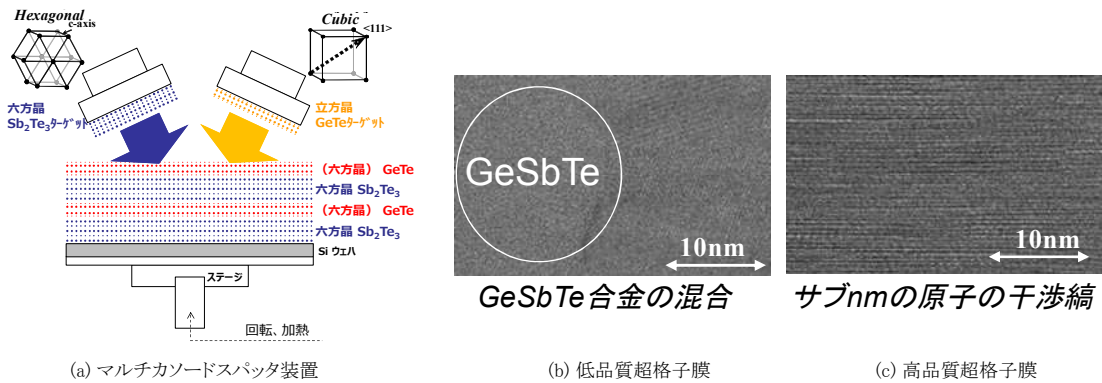


図 2.2-10 超格子マルチカソードスパッタ装置と超格子膜の高品質化

Sb₂Te₃ 膜の原子構造は、HAADF-STEM (High-Angle Annular Dark-Field Scanning Transmission Electron Microscopy) とEDX (Energy Dispersive X-ray fluorescence) の組み合わせ分析で確認した(図 2.2-11)。Sb₂Te₃は基本的な原子5層構造(quintuple layer, QL)を構成し、予想通り、Te-Sb-Te-Sb-Teの順に配列していることがわかった。QL間には、Te原子間のファンデルワールス結合によるTe-Teギャップが予想通り存在し、Sb₂Te₃が良好に積層されていることがわかった。一方、GeTe層はQLが乱れた領域(7 layers)に存在する。超格子中のGeTe層は、Ge-Te-Te-Ge(低抵抗状態)、Te-Ge-Ge-Te(高抵抗状態)、Ge-Te-Ge-Te(混合状態)の3種類の配列をとる可能性がある。しかしながら、EDXの検出感度不足のため、本手法によってGeTe層を分析することができなかった。

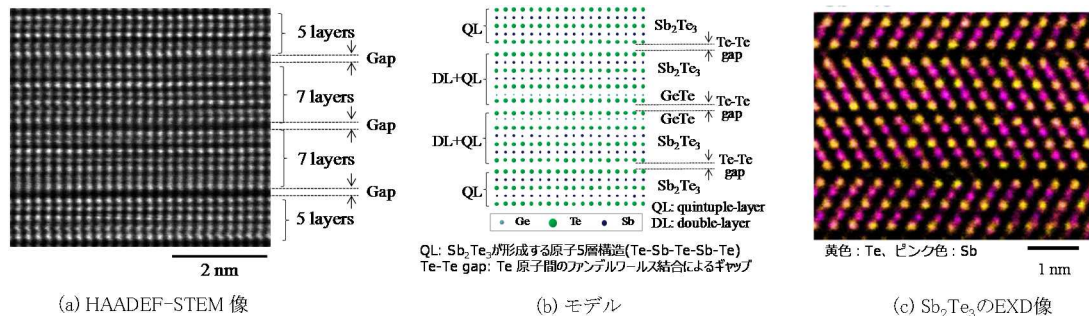


図 2.2-11 超格子の HAADF-STEM 像と超格子中の Sb₂Te₃ 層の EXD 像

GeTe 膜の原子配列は、低入射角度シンクロトン放射光 X 線回折実験を用いて確認した[9]。具体的には、実験データと計算結果を比較し、超格子中の GeTe 原子配列に特徴的なピークの存在を確認する手法を用いた(図 2.2-12)。まず、比較的低温の 200°C で成膜した超格子は混合状態化することがわかった。第一原理計算上、混合状態はエネルギー最小となり、超格子の特性が発現しにくいと考えられている。GeTe 層の混合状態化は、比較的高温の 240°C 成膜を用い、GeTe 層の原子配列を Ge-Te-Te-Ge 低抵抗状態にすることで解消した。

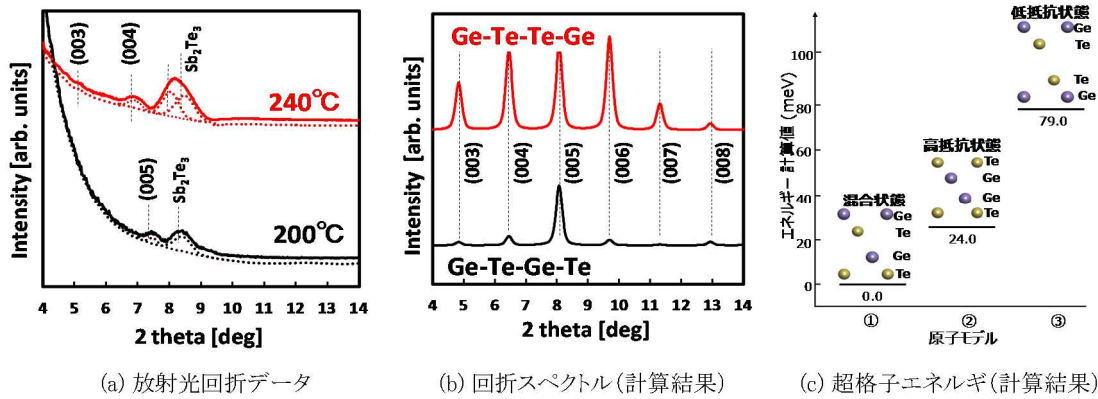


図 2.2-12 低入射角度放射光 X 線回折データと計算結果、及び超格子のエネルギー

開発初期の超格子の組成は、化学量論組成 $(\text{GeTe})_2(\text{Sb}_2\text{Te}_3)_4$ を基本とした。しかしながら、超格子内での原子移動の起こりやすさは超格子の組成に依存すると考えられる(図 2.2-13)。Ge 原子が少なく原子空孔が多い超格子、すなわち Ge 欠損系超格子 ($\text{Ge}_x\text{Te}_{1-x}/\text{Sb}_2\text{Te}_3$ ($x < 0.5$)) では、Ge 原子が移動しやすく、超格子特性がより発現しやすくなると想定される。逆に、Ge 原子が過剰な系 ($\text{Ge}_x\text{Te}_{1-x}/\text{Sb}_2\text{Te}_3$ ($x > 0.5$)) では、Ge 原子の移動が起こりにくいと考えられる。このモデルを検証するため、本研究では、Ge 組成を変えた $\text{Ge}_x\text{Te}_{1-x}/\text{Sb}_2\text{Te}_3$ 超格子膜を作製した。GeTe/Sb₂Te₃ 超格子膜と同様に、 $\text{Ge}_x\text{Te}_{1-x}/\text{Sb}_2\text{Te}_3$ 超格子膜は、Sb₂Te₃ と $\text{Ge}_x\text{Te}_{1-x}$ をマルチカソードスパッタで積層して作製した。

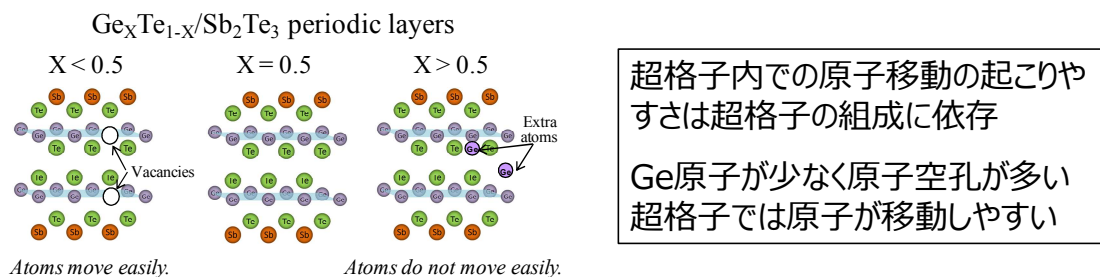


図 2.2-13 $\text{Ge}_x\text{Te}_{1-x}/\text{Sb}_2\text{Te}_3$ 超格子のモデル

(c) 超格子成膜技術

超格子膜の電気特性は 1Resistor (1R) TEG で試作評価した(図 2.2-14)。1R TEG は、超格子膜をタングステン下部電極(bottom contact electrode, BCE) プラグ上に成膜し、タングステン上部電極(top electrode, TE) を成膜・加工して作製した [10]。メモリセルの BCE は、タングステンを成膜後、柱

状に加工して作製した。BCE の最少加工寸法はおよそ 50nm であった。1R 型メモリセル試作においては、多少のラフネスを有する BCE パターン付きウェハ基板上への、安定的な超格子成膜が求められる。そこで、膜厚 5 nm 以上の Sb_2Te_3 超格子膜を、基板直上に配置するボトム層として成膜し、その結晶構造をテンプレートとして、超格子の周期構造を積層した [11]。次いで、超格子の周期層数の仕様を分流して定めた。その結果、膜厚ばらつきや均一性に優れ、かつ、ドライエッチング加工が容易となる超格子膜として、比較的薄い構造である【 $\text{Ge}_x\text{Te}_{1-x}=1\text{nm}/\text{Sb}_2\text{Te}_3=1\text{nm}$ 】周期数=5 を超格子の基本周期構造とした。

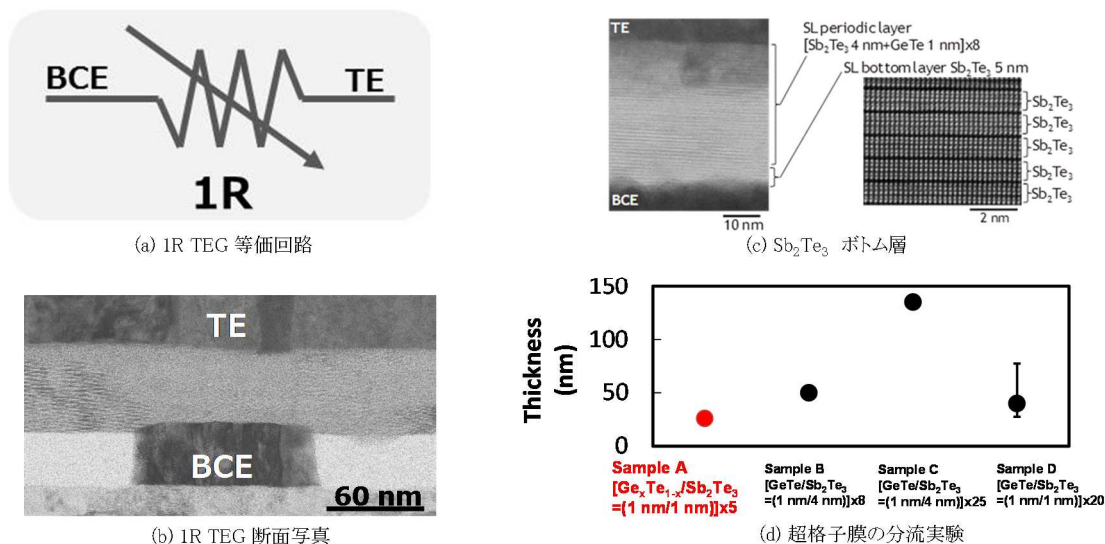
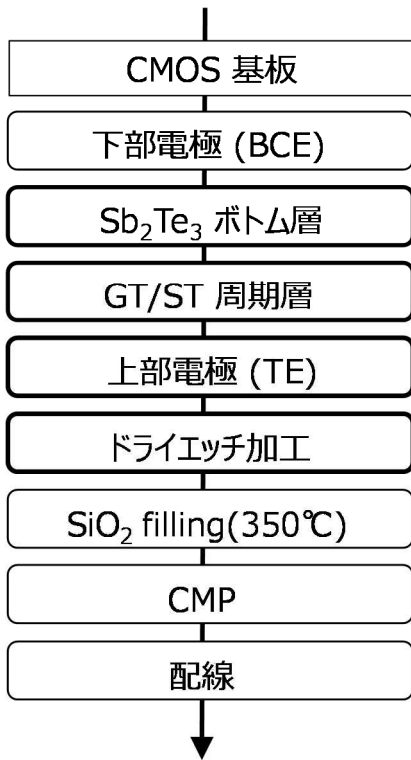


図 2.2-14 超格子を搭載した 1R TEG の試作

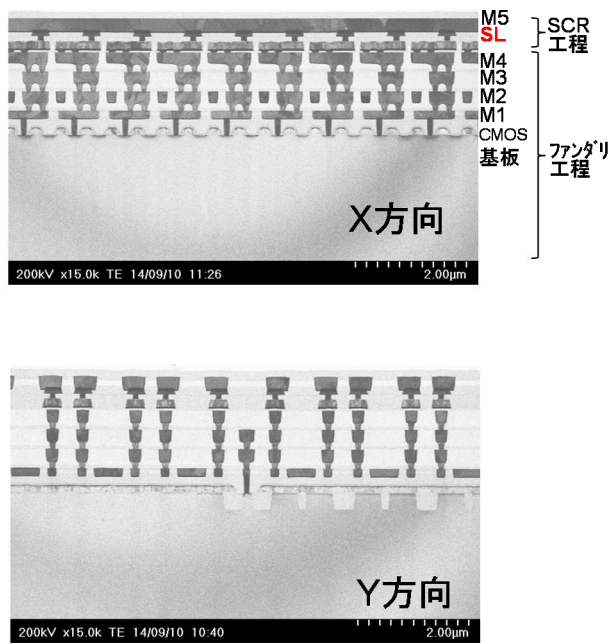
TRAM の ULSI としてのフィージビリティチェックは、1Transistor-1Resistor (1T-1R) 型メモリセルを試作評価して行った(図 2.2-15)。用いた基板は、4 層 Cu 配線付きの 65nm ノード 300 mm CMOS 基板であり、ルネサスエレクトロニクスで作製・調達した。本基板を産総研スーパークリーンルーム (SCR) へ導入し、Cu 配線間に超格子膜を埋め込んだ BEOL (Back-End-Of-Line) デバイスとして 1T-1R TRAM デバイスを試作した [12]。

SCR 工程は、CMOS 基板 M4 配線への接続ビア開孔から始まる。メモリセル BCE は、タングステンを成膜し、柱状に加工して作製する。BCE の最少加工寸法はおよそ 50nm であった。その後に層間膜 (interlayer dielectrics, ILD) を埋め込み、CMP により BCE 上面を露出させる。次いで、 Sb_2Te_3 をボトム層とする超格子膜とタングステン上部電極を、基板上にスパッタ成膜した。メモリセル抵抗素子は、上部電極と超格子膜を、下部電極上面を覆う形状にドライエッチング加工して作製した。次いで、層間膜を埋め込み、CMP により上部電極 (TE) 上面を露出させた。TE と配線を接続するビアを開孔し、ビット線となる M5 配線、及び Al パッドを作製することで、CMOS 基板と Cu 配線間に抵抗素子を埋め込んだ 1Transistor-1Resistor (1T-1R) 型メモリセルのサンプルを試作した。

サンプル完成後の超格子メモリセルの品質は、XRD、及び TEM 観察で確認した。超格子膜には、メモリセル形成後に Cu 配線 (M5) 形成時等の 350°C 熱負荷がかかる。この熱負荷を経たサンプルにおいても、超格子に特徴的な回折データや原子の干渉縞が確認された。すなわち、超格子膜の構造が配線工程後も保持されていることがわかった。



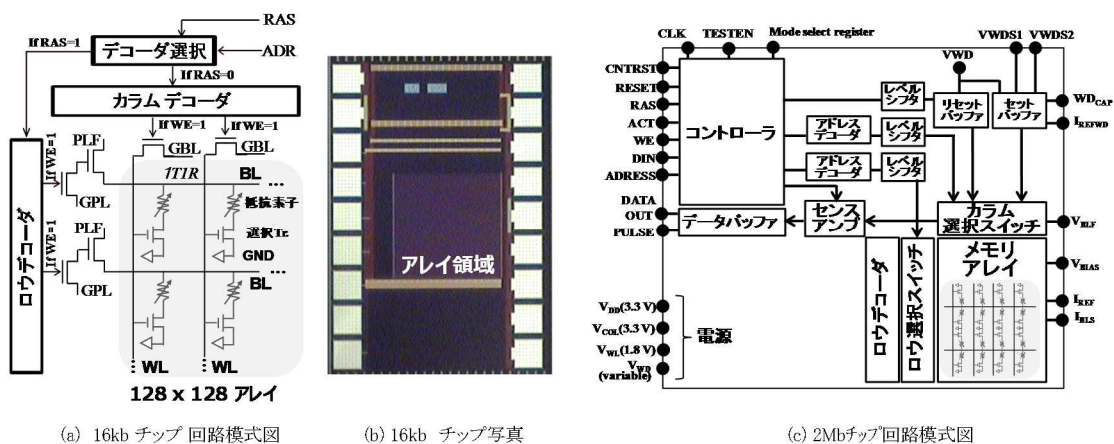
(a) プロセスフロー



(b) 1T1R型メモリセルアレイ 断面図

図 2.2-15 1T1R 型メモリセル試作のプロセスフローとアレイ断面図

1T-1R TRAM デバイスの統計データ取得のため、16kb テストチップ、及び 2Mb メモリマクロアレイを試作した(図 2.2-16)。16kb テストチップは、ロウデコーダ、カラムデコーダ、及びデコーダ選択回路を搭載し、抵抗値の累積度数分布や抵抗電圧特性を取得するために用いた。2Mb メモリアレイマクロは、リード動作のためのセンスアンプやデータバッファ、ライド動作のためのライトドライバー(リセットバッファ、セットバッファ)等から構成され、QFP208 パッケージ実装まで行った。2Mb メモリアレイは、主に抵抗電圧特性や FBM (Fail-Bit-Map) を取得するために用いた。



(a) 16kb チップ回路模式図

(b) 16kb チップ写真

(c) 2Mbチップ回路模式図

図 2.2-16 16kbit テストチップと 2Mbit メモリマクロアレイ

(d) 1R 型 TEG 電気特性評価

材料開発の成果の確認を目的として、超格子膜の電気特性を 1Resistor (1R) TEG を用いて評価した。評価した超格子膜は、①開発初期の GeTe/Sb₂Te₃ 超格子膜、②高品質化した GeTe/Sb₂Te₃ 超格子膜、③組成を適正化した Ge_xTe_{1-x}/Sb₂Te₃ 超格子膜、の 3 種類である。1R 素子は、タングステン下部電極プラグ上に形成した超格子膜とタングステン上部電極の積層構造とし、電気測定によって起こる抵抗変化を観測した。

開発初期の GeTe/Sb₂Te₃ 超格子膜を用いた 1R 素子の電気測定においては、およそ 1 MΩ の高抵抗状態と 2 kΩ の低抵抗状態の間で変化する、抵抗比 2 桁以上での書き換え動作を確認した(図 2.2-17)。超格子素子の動作電圧は 1 V であり、従来材料の 1.3 V より低電圧で動作した。また、低抵抗化に要した書き換え電流は 60 μA であり、従来相変化材料のセット電流 2 mA の 1/30 以下となることを確認した。一方、超格子の高抵抗化に要した書き換え電流は 1 mA と、従来材料の 2 mA の 1/2 であった。書き換え回数は、抵抗比 100 倍以上を確保して、100 万回以上を達成した。

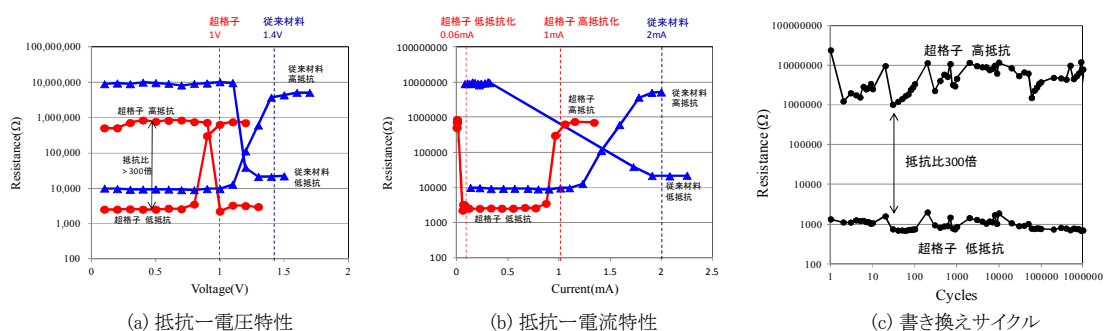


図 2.2-17 開発初期の超格子デバイスの動作特性

次いで、成膜条件を適正化して GeSbTe が混在する不良を除き、高品質化した超格子膜を搭載した 1R 素子を電気測定した(図 2.2-18)。その結果、1 MΩ の高抵抗状態と 1 kΩ の低抵抗状態間の抵抗変化が起こった。低抵抗化電流は、従来の GeSbTe 合金材料を用いた PRAM の低抵抗化電流の 1/5 である 100μA、高抵抗化電流は 1/15 である 400μA に低減した。高品質超格子膜の書き換えサイクルを行ったところ、抵抗ばらつきが低減した上で、書き換え回数が、低品質膜の百万回から 1 億回以上に向上した。

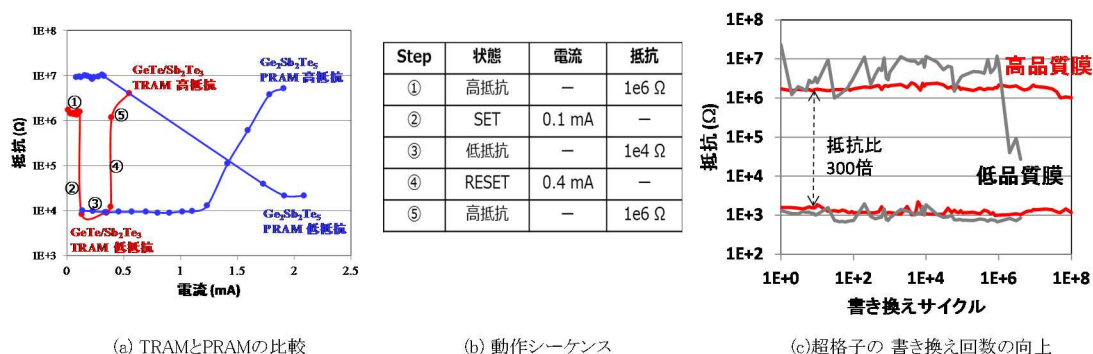


図 2.2-18 高品質化した超格子デバイスの動作特性

本サンプルを用いて、100 万回書き換え動作後のデバイス断面を TEM 観察した。その結果、GeTe/Sb₂Te₃ 超格子の結晶構造が保持されており、従来の結晶-非晶質転移と異なる“溶融しない”抵抗変化が起こっていることを確認した(図 2.2-19)。

また、温度 200°Cで成膜した、Ge-Te-Ge-Te 混合状態の超格子膜を評価したところ、抵抗変化が起こらなかった。これに対して、240°C成膜したGe-Te-Te-Ge低抵抗状態の超格子膜では、抵抗が変化した(図 2.2-19)。この結果は、成膜条件によっては、動作しない超格子膜ができることがわかった。そして、本研究における成膜条件は、超格子が動作する仕様である、GeTe 配列を Ge-Te-Te-Ge 低抵抗状態とする仕様とすることに決定した。

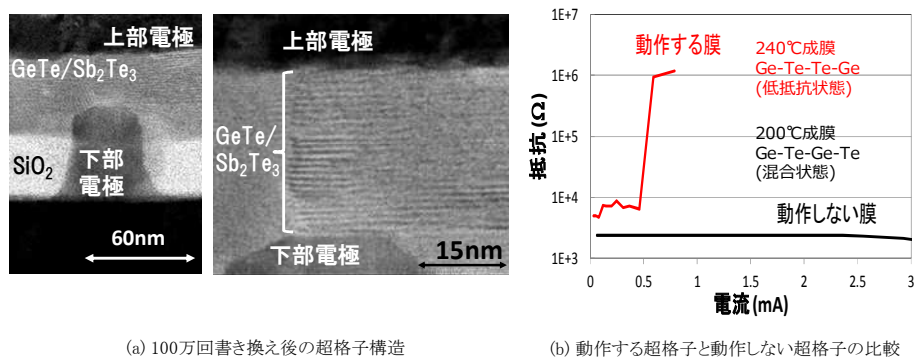


図 2.2-19 100 万回書き換え後の超格子構造と超格子動作の成膜温度依存性

続いて、超格子動作の更なる低電力化を目的として、超格子膜中の GeTe 組成比を分流した 1R 素子の電気特性を評価した(図 2.2-20) [13]。GeTeGe_xTe_{1-x}/Sb₂Te₃ (x = 0.5) の Ge 化学量論系超格子膜を用いたサンプルでは、約 2 kΩ の低抵抗状態と 1 MΩ の高抵抗状態間で、抵抗比 2 ケタ以上の変化が電圧 1 V で生じた。これに対して、Ge_xTe_{1-x}/Sb₂Te₃ (x < 0.5) の Ge 欠損系超格子では、およそ 10 kΩ の低抵抗状態と 1 MΩ の高抵抗状態間で、抵抗比 2 ケタ以上の抵抗変化が電圧 0.7 V で生じた。逆に、Ge_xTe_{1-x}/Sb₂Te₃ (x > 0.5) Ge 過剰系超格子では抵抗変化が起こらなかった。

さらに、Ge 欠損系超格子においては、セット抵抗 100kΩ の場合に、書き換え電流 55 uA で高抵抗化動作させることに成功した。低抵抗動作に要する書き換え電流も 55uA であった。得られた抵抗比は 2 桁以上であり、読み出し動作上、問題のない十分に大きな値である。本実験ではパルス幅 50 ns による書き換えを行っており、単体デバイスの書き換えエネルギーは 1.9 pJ であった(1.9 pJ = 55uA × 0.7V × 50nsec)。この値をもって、NEDO 最終目標(平成 27 年度)の更なる電力削減効果(33mW 以下)の見通しを得る、に相当する 2.5 pJ 以下での書き換え動作を達成した。

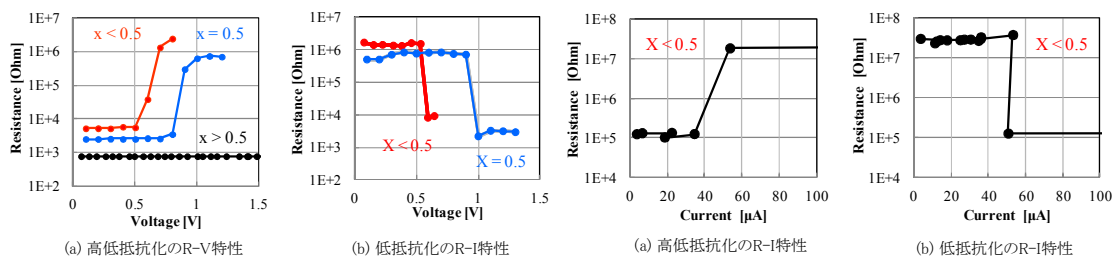


図 2.2-20 Ge_xTe_{1-x}/Sb₂Te₃ 超格子デバイスの動作特性

(e) 1T-1R 型 TEG 電気特性評価

TRAM の ULSI 動作を実証するために、1T-1R TEG の電気特性を評価した。用いた超格子膜は Ge 欠損系 $\text{Ge}_x\text{Te}_{1-x}/\text{Sb}_2\text{Te}_3$ である。比較対象として、従来材料 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 合金を用いた PRAM デバイスも試作評価した。評価サンプルの BCE 寸法は 50 ~ 60 nm である。評価した TEG サンプルは ①1T-1R 単体デバイス、②16kb テストチップ、③2Mb メモリアレイマクロ、の 3 種類である。

まず、1T-1R 単体デバイスの抵抗電圧特性を取得した(図 2.2-21)。デバイス特性は、ビット線電圧 V_{BL} の変化とともに高抵抗状態が低抵抗状態に、次いで低抵抗状態が高抵抗状態に変化する条件を測定して確認した。得られた抵抗変化は、TRAM と PRAM とともに、二桁以上であった。TRAM セルの低抵抗化に要する電圧は 0.5 V であり、PRAM セルの 0.8 V のおよそ 60%に低減した。これに加えて、TRAM セルの高抵抗化に要する電圧は 1 V であり、PRAM セルの 1.5V の 2/3 以下に低減した。本結果により、NEDO 最終目標(平成 27 年度)の TRAM の 1.2V 動作を達成した。

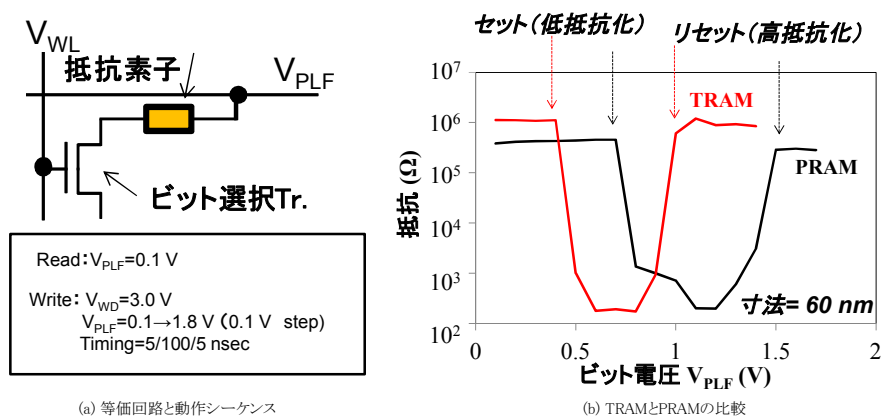


図 2.2-21 1T-1R 単体デバイスの電気特性

電気特性の統計データは、16kb テストチップを評価して取得した(図 2.2-22)。まず、as-fab. 初期抵抗値のチップ毎の累積度数分布中央値を求め、そのウェハ面内分布を表示した。ウェハ端を除けば、概ね良好な面内分布を取得できており、TRAM と PRAM の主分布は同等に見えた。一方、ウェハ中央のチップより取得した累積度数分布においては、PRAM は良好だが、TRAM では高抵抗側には、20~30 %の不良ビットが確認された。SEM 観察により、高抵抗化不良の主たる原因は、超格子膜の剥離であることが判明しており、TRAMの超格子膜は、PRAMの GeSbTe 膜より剥離しやすいことが示された。しかしながら、良品 bit の主分布があきらかに存在しており、集積化実証ができるレベルの TRAM が試作できたことも確認できた。

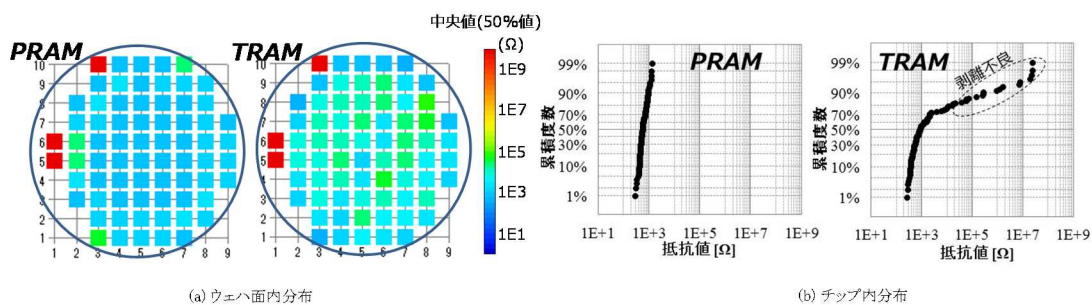


図 2.2-22 As-fab. 初期抵抗分布

次いで、16kbit テストチップを用いて、高抵抗化動作の統計データを取得した(図 2.2-23)。高抵抗化動作は、抵抗電圧特性を測定し、電圧パルス印加後の抵抗値と、高抵抗化に要した電圧値を取得して評価した。現状の TRAM には、剥離起因で、抵抗変化が起こらない不良ビットが約 20%存在する。その一方で、残り 80%の良品ビットにおいて、累積度数分布を取得した結果、ビット線電圧 1.0V において、抵抗比 100 倍以上の変化を確認した。これに対して、従来の PRAM では剥離は生じていないが、TRAM と同一の動作条件下(1.0 V)での抵抗変化は、ほとんど起こらなかった。PRAM の場合は、1.3V 以上の電圧で良品 bit の大半が高抵抗化した。16kb テストチップの統計データにおいても、TRAM の低電力性を確認できた。

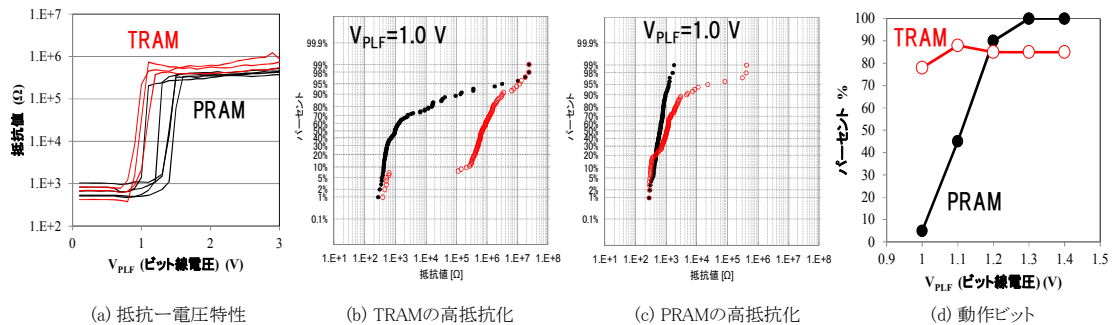


図 2.2-23 16kbit テストチップの動作特性

TRAM の回路動作の確認は、ライト・リード回路を内蔵した 2Mb メモリアレイマクロを用いて評価した(図 2.2-24)。本メモリアレイマクロのチップは、QFP208 パッケージングに実装して評価した。超格子膜の剥離の影響で、評価したマクロの as-fab 良品ビット率はおよそ 50%であった。本検討では、不良ビットを除く、良品ビットの主分布に注目し、1.5V から 2.5V の動作電圧下で取得した FBM(fail bit map)解析を行ったところ、Ge 欠損系超格子 TRAM マクロが、電圧 2.3V で不揮発記録動作することを確認した。PRAM も同様に評価したが、動作に要する電力が TRAM よりも大きいため、マクロの不揮発記録動作は起こらなかった。

上記測定において、ライト動作に用いたパルス幅は、従来の PRAM 動作条件を参考に、100ns と設定した。しかし、メモリアレイマクロでは、パルスを内部生成するため、TRAM のさらなる短パルス応答を検証可能である。そこで、10 nsec 以下の短い幅のパルスを用いた TRAM の書き換え実験を行ったところ、10 ns 及び 5 ns の幅のパルスによる、抵抗比1ケタ以上を確保した TRAM の不揮発動作に成功した。この結果は、従来の PRAM を凌駕する TRAM の高速動作が可能であることを示している。

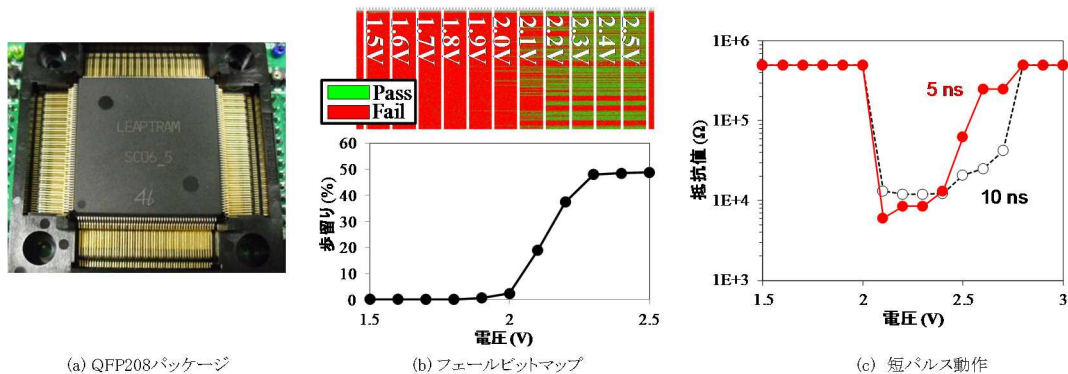


図 2.2-24 2Mb TRAM メモリアレイマクロの動作特性

(3)-2 集積化のための要素技術開発

物理的最少サイズの $4F^2$ クロスポイントメモリセル (F: 最小加工寸法)は、次世代 Tier0 ストレージデバイスの集積化に必須の要素技術である。本研究では、新しい GeSbTe 合金系相変化新材料とポリ Si ダイオードを用いたクロスポイントセルの技術開発を行った [14]。

(a) 材料開発

クロスポイント型セルの低電力動作を可能とする、新しい相変化材料を開発した成果を報告する。

相変化デバイスは、ジュール発熱による結晶—非晶質間の構造変化に伴う抵抗変化を用いて不揮発記憶するメモリである。よって、効率的なジュール発熱、及び放熱抑制が動作エネルギー低減のカギとなる。ジュール発熱は、メモリセル材料の抵抗率増大によって効率化する。放熱抑制には、低熱伝導率の材料を用いるのが良い。

低電力効果を具体化するため、高抵抗・低熱伝導の熱拡散防止材料を用いたメモリセルの熱閉じ込め効果を、デバイスシミュレーションを用いて計算した(図 2.2-25)。熱拡散防止層の抵抗率は、従来の相変化材料を $6.5 \times 10^{-5} \Omega \cdot m$ の 10 倍、熱伝導率を従来の相変化材料の $1.77 \text{ W/m}\cdot\text{k}$ の 1/4 以下とした。熱拡散防止層 5nm + Ge₂Sb₂Te₅ 50 nm の積層構造に電圧印加した時のメモリセルの到達温度は、熱拡散防止層無しの構造と比較して、飛躍的に上昇した。温度分布を求めたところ、熱拡散防止層内に、熱が上手く閉じ込められることを確認できた。電極金属近傍に熱拡散防止層を配置することで、従来比 1/10 以下の低電力で相変化デバイスが動作する見込みを得た。

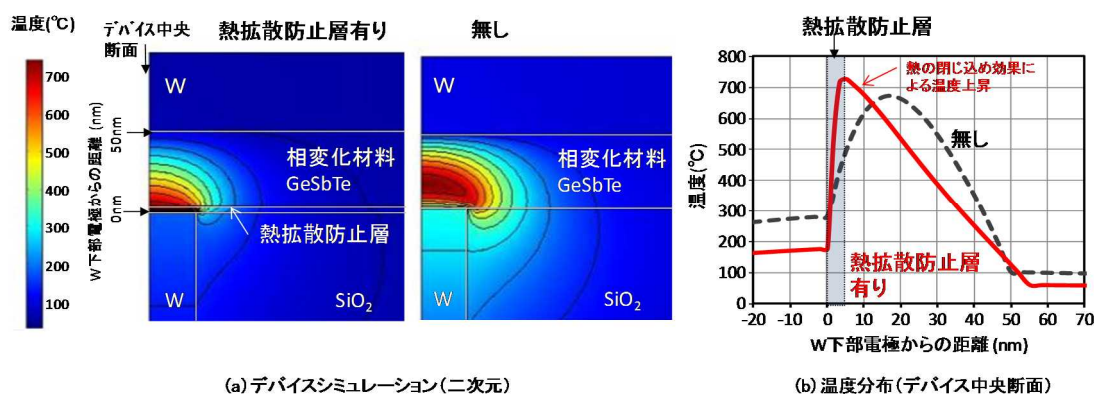


図 2.2-25 熱拡散防止層の熱閉じ込め効果の計算

しかし、既存の材料には、所望の抵抗率と熱伝導率を満たすものが無い。そこで、本研究では、GeSbTe の結晶をナノメートルオーダーに微小化し、結晶粒界効果による高抵抗率化と低熱伝導率化を目指すこととした。具体的には、GeSbTe 相変化材料の中へ、濡れ性が GeSbTe に近くて密着性に優れた材料を添加して、結晶化の物性を変化させた。材料の濡れ性は水滴の接触角測定法で評価し、YSZ(イットリア安定化ジルコニア)が好適であることを発見した。

YSZ 添加には、マルチカソードスパッタで二つの材料を混合するコンビナトリアル手法を用いた。YSZ 添加により、結晶サイズはおよそ 50 nm から 5 nm に低減した(図 2.2-26)。抵抗率は YSZ 添加量により制御した。金属電極付き TEG に加工して、サンプルの抵抗率を測定することで、所望の抵抗率 $5.0 \times 10^{-4} \Omega \cdot m$ 以上を得る条件を定めた。熱伝導率はサーモフレクタンス法で測定した。ナ

ノスケール結晶化の効果で、YSZ 添加 GeSbTe の熱伝導率が $0.35 \text{ W/m}\cdot\text{k}$ 、すなわち、従来材料 GeSbTe の 1/5 以下となることを確認した。本開発では、GeSbTe への YSZ 添加によりナノ結晶化した新材料を nano-GST と名付けた [15]。

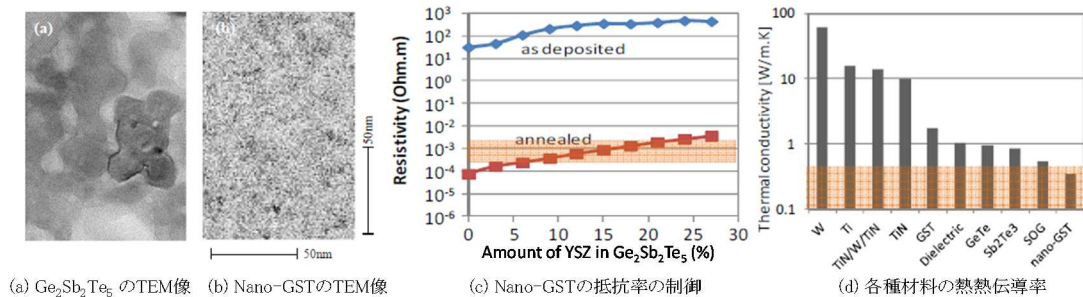


図 2.2-26 Nano-GST の TEM 像と抵抗率及び熱伝導率

Nano-GST はそれ自身が相変化材料である。よって、メモセルを nano-GST+ $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 積層構造とせず、nano-GST 単層構造としてもよい。デバイスシミュレーションにより、nano-GST 単層構造セルの低電力性は、積層セルと同等であることを確認した。そこで、本開発では、成膜工程が比較簡単にできる nano-GST 単層構造を用いて、メモセル試作した。

電気特性を評価したメモセルは、nano-GST を電極で挟んだ 1 Resistor (1R) 型である(図 2.2-27)。Nano-GST サンプル評価において、 $4 \text{ k } \Omega$ の低抵抗状態と $40 \text{ M } \Omega$ の高抵抗状態の間で相変化する、抵抗比 4 桁以上での書き換え動作を確認した。高抵抗化電流は 0.33 mA で、熱拡散防止層の無い $\text{Ge}_2\text{Sb}_2\text{Te}_5$ セルの高抵抗化電流 1 mA の 1/3 となることを確認した。Nano-GST 単体デバイスの書き換えエネルギーは 3.6 pJ ($3.6\text{pJ}=0.33\text{mA} \times 1.2\text{V} \times 10\text{nsec}$) であった。本成果により、NEDO 最終目標(平成 26 年度) 5 pJ 以下を達成した。書き換え回数は抵抗比 100 以上を確保した状態で、1000 万回以上を達成し、NEDO 最終目標(平成 26 年度) 100 万回を達成した。

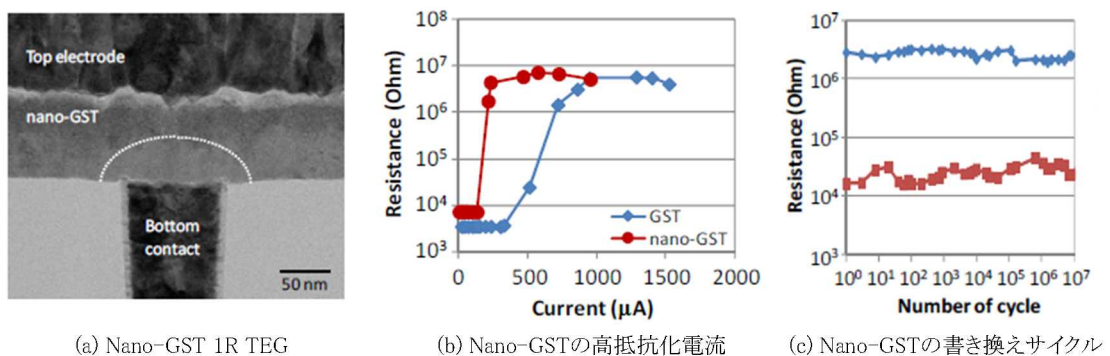


図 2.2-27 Nano-GST 1R TEG と高抵抗化電流、書き換えサイクル

(b) 集積化実証

ストレージデバイスには、DRAM やフラッシュメモリに匹敵する低コスト性・高集積性が求められる。次世代抵抗変化型メモリの中では、安定的にユニポーラ動作する相変化デバイスのみが、最小加工寸法 $4F^2$ のダイオードを用いた不揮発記憶が可能である(F: 最小加工寸法)。

本研究では、クロスポイントセルの選択スイッチとして、ポリ Si pin ダイオードを試作評価した(図

2.2-28)。ダイオードを構成する金属/p型層ポリSi/i型真性層ポリSi/n型層ポリSi/金属の積層膜は、ポリSi成膜装置を300mmつくばスーパークリーンルームに立ち上げて作製した。Ti/W電極金属上のポリSi積層の平坦性は、アモルファスSiの成膜及びそのアニール制御で実現した。pn接合の電界を緩和するために挿入したi型真性層ポリSi中へのドーパント、及び金属原子の拡散は、アニール温度の低減で、目標の濃度 $5 \times 10^{18} \text{ cm}^{-3}$ 以下まで抑制することに成功した。

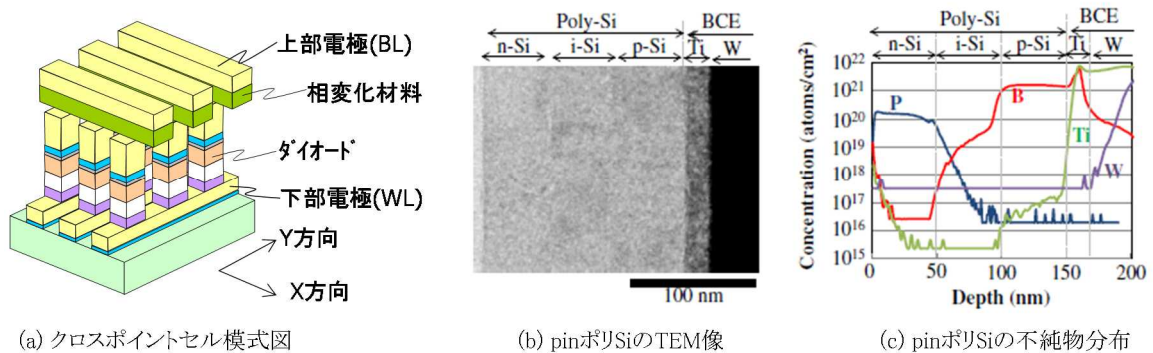


図 2.2-28 クロスポイントセルの模式図と pin ポリ Si の断面観察

ポリ Si ダイオードの整流特性は、寸法 150 nm のサンプルの IV 特性を取得して評価した(図 2.2-29)。本サンプルは良好な整流特性を示し、オン電流密度 $13 \text{ MA/cm}^2 @ 1.5 \text{ V}$ 、及びオフ電流密度 $1 \text{ A/cm}^2 @ -2 \text{ V}$ が得られた。オン電流オフ電流比は 10^5 以上であり、クロスポイントアレイの選択動作要件を満たした。ポリ Si ダイオードを用いるにあたり注意すべき点は、ライト動作の電圧印可による pin 接合の劣化である。本研究では、ダイオードの破壊耐性を、電圧パルス入力による電流変化を実測して確認した。上記の寸法 150 nm のポリ Si ダイオードにを評価した結果、目標のライト動作 100 万回を行っても、ダイオードに印加される電圧パルスが 1.5 V - 100 nsec 以下あれば、オンオフ電流比が 10^5 以上となることがわかった。

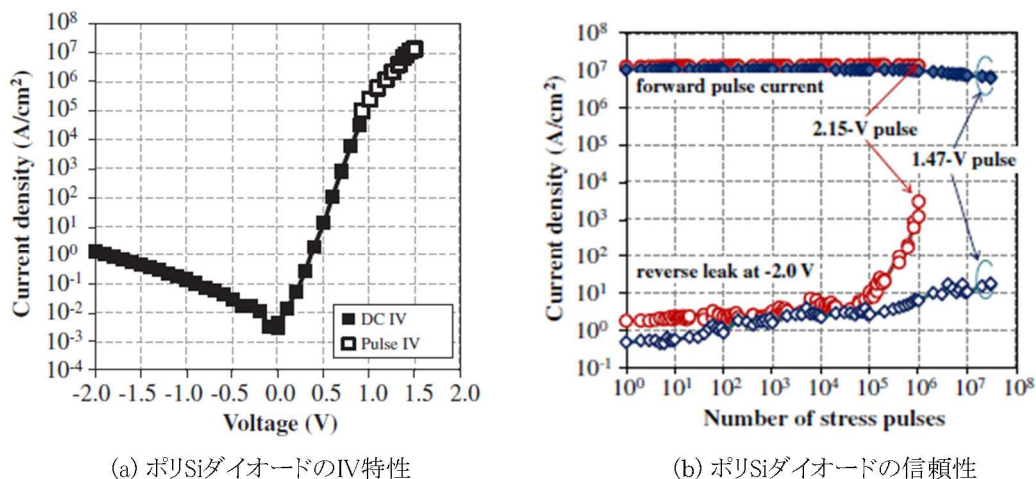


図 2.2-29 ポリ Si ダイオードの IV 特性と信頼性

メモリセル面積 $4F^2$ クロスポイントアレイは、ポリ Si ダイオード上に抵抗変化材料を配置して 1Diode-1Resistor (1D-1R) 型とした。集積化のカギとなるメモリセル面積の $4F^2$ 化は、ダイオードの自

己整合加工で実現した(図 2.2-30)。ダイオードの自己整合プロセスは、下部 W 膜/ダイオードポリ Si 膜/上部 W 膜の積層膜成膜からスタートする。X 方向のエッチングでは、加工を下部 W 膜上で止め、次いで層間を絶縁膜で埋め込み平坦化する。X 方向に垂直な Y 方向でのエッチングでは、下部 W 膜を分離するまで加工して、層間埋め込みと平坦化をリピートする。金属/p 型層ポリ Si/i 型真性層ポリ Si/n 型層ポリ Si/金属の積層膜の加工においては、ポリ Si と金属との界面へのダメージを防ぐ必要がある。本研究では、界面にサイドエッチが入らない条件を見出し、垂直な加工形状のダイオードを作製した。以上のプロセスにより、下部 W 膜加工で形成されるワード線上(WL)上に、自己整合的にダイオードを配置した。

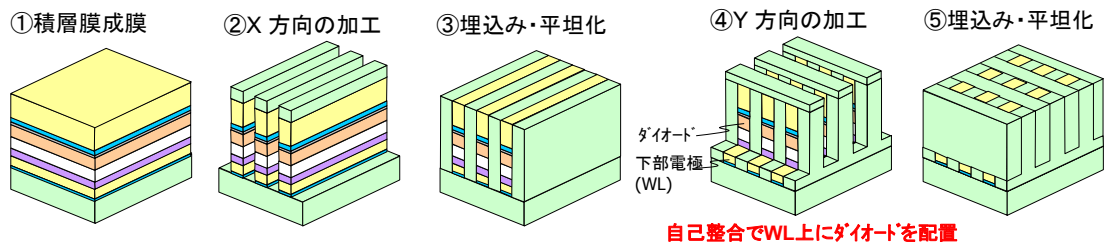


図 2.2-30 4F²クロスポイント型セルのプロセスフロー

クロスポイントアレイに用いた抵抗変化材料は、nano-GST 相変化材料である。自己整合ダイオード上に nano-GST と上部電極金属 W を成膜し、ワード線の X 方向に垂直な Y 方向に加工してビット線(BL)を作製した(図 2.2-31)。寸法 $F = 100\text{nm}$ の nano-GST 膜はおおむね垂直な形状に加工された。試作したクロスポイントセルの電気特性を評価したところ、2.5 V 以下の電圧パルスでのライト動作を確認した。リード電圧 1V におけるオンオフ抵抗比は 1 桁以上であった。ちなみに、Nano-GST 1R 素子の抵抗変化には 1V 以上の電圧を要することから、ポリ Si 1D 素子には、1.5V 以下の電圧がライト動作時に印可されることになる。先に述べたように、電圧 1.5 V 以下でダイオード整流特性が維持されることから、目標とするクロスポイントセルの 100 万回動作が可能であることがわかった。

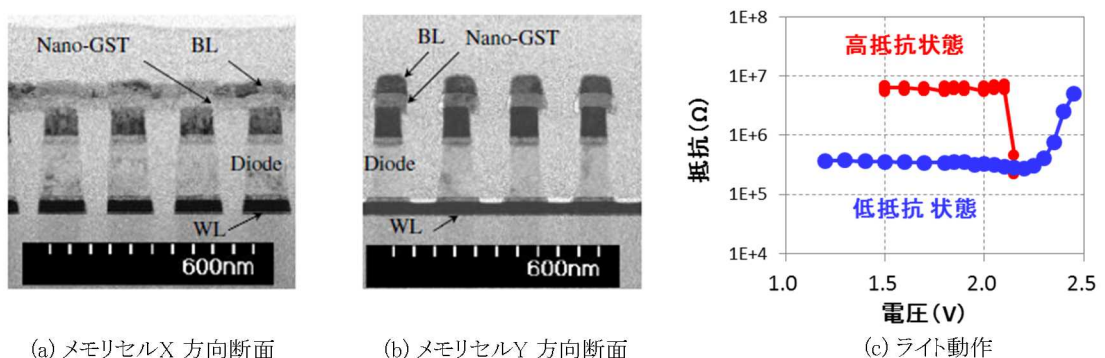


図 2.2-31 4F²クロスポイント型セルの断面写真とライト動作

(3)-3 その他の技術開発

最終目標達成に向けた重点取組事項として挙げていた(a)GeTe/Sb₂Te₃ 超格子と nano-GST の組み合わせ構造、及び(b)超格子 CVD 成膜技術、を報告する。

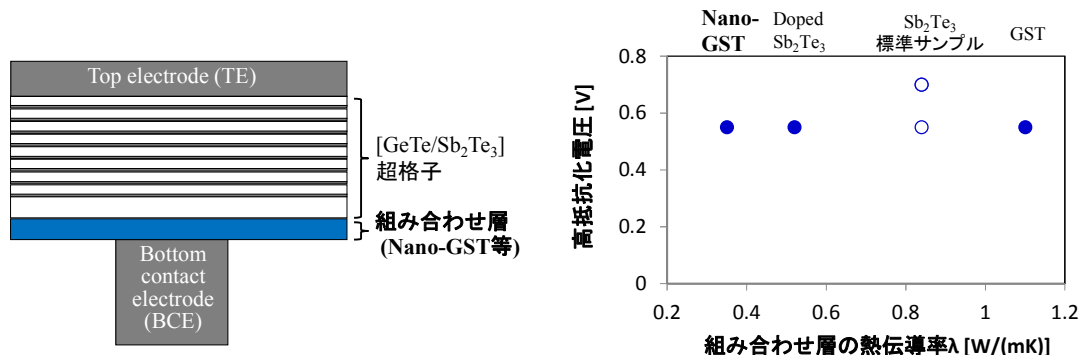
(a) GeTe/Sb₂Te₃ 超格子と nano-GST の組み合わせ構造

本研究では、GeTe/Sb₂Te₃系超格子材料と、熱拡散防止機能を有する nano-GST 相変化材料の2種類の新材料を開発し、それぞれの低電力性を確認した。これらの成果に加えて、超格子膜と nano-GST 相変化膜を組み合わせることにより、さらなる低電力化が起こる可能性もある。ジュール発熱で抵抗変化が促進されるならば、nano-GST との組み合わせにより、超格子の高抵抗化に要する電圧の低減が起こるであろう。

この仮説を検証するために、nano-GST と GeTe/Sb₂Te₃ 超格子膜を積層した構造の抵抗素子を試作評価した(図 2.2-32)。Nano-GST と GeTe/Sb₂Te₃ 超格子の積層成膜には、小口径 PVD 装置を用いた。この積層膜は、下部電極タングステンプラグを有するシリコン基板を、1~3cm 角に割ったチップ上に成膜した。熱拡散防止機能を活用するため、nano-GST 膜は、放熱が起こりやすい下部電極直上に配置した。電気特性を評価する抵抗素子は、nano-GST と GeTe/Sb₂Te₃ 超格子を連続成膜し、その上に上部電極タングステンを成膜し、その後メモリセル形状に加工して作製した。

超格子膜の周期層は、【GeTe(1nm)/Sb₂Te₃(4nm)】n=8 で一定とした。これに対して、比較対象として、nano-GST に加えて、熱伝導率が異なる複数の相変化材料を組み合わせ層として、それを下部電極コンタクトと GeTe/Sb₂Te₃ 超格子膜の間に配置したサンプルを作製した。GeTe/Sb₂Te₃ 超格子膜のみの標準サンプルも試作した。試作した nano-GST と GeTe/Sb₂Te₃ 超格子を組み合わせた構造の抵抗素子を評価したところ、抵抗比 1 桁以上の抵抗変化が起こった。しかしながら、高抵抗化電圧は、標準サンプルと同じであった。Nano-GST 以外の相変化材料を用いたサンプルにおいても、高抵抗化電圧は、ほぼ同様であった。すなわち、ジュール発熱特性の異なる材料と組み合わせても、超格子膜の高抵抗化電圧は変化せず、さらなる低電力化は起こらなかった。

GeTe/Sb₂Te₃ 超格子と nano-GST の組み合わせ構造による、さらなる低電力化は実現しなかった。しかし、この結果は、超格子の抵抗変化の主要因がジュール発熱ではないことを証明している。すなわち、本研究で提唱した電荷注入機構による抵抗変化モデルを間接的に証明している。



(a) 超格子と nano-GST の組み合わせ構造

(b) 種々の組み合わせ構造の高抵抗化電圧

図 2.2-32 GeTe/Sb₂Te₃ 超格子と nano-GST の組み合わせ構造の特性

(b) 超格子 CVD 成膜技術

CVD(Chemical Vapor Deposition) 技術には、PVD(Physical Vapor Deposition) 技術を凌駕する、超格子膜の高品質化を実現する可能性がある。第一に、化学反応による超格子膜の原子層レベル

の膜厚制御、および界面制御の高度化である。GeTeとSb₂Te₃が所望の状態に制御された超格子膜により、理論的に予想されるレベルまで動作エネルギーが低減される可能性がある。第二に、微細なホール構造への埋め込みである。エッチング加工による側壁ダメージが生じないため、ホール構造に埋め込まれた超格子膜には、書き換え回数の増大に代表されるデバイス性能の向上が期待できる。

そこで、本研究では、超格子膜の CVD 成膜技術開発に世界で初めて着手した。まず、Sb₂Te₃、GeTe、Ge₂Sb₂Te₅の三種類の薄膜を 300mm ウェハ上に CVD 成膜した。Sb₂Te₃成膜には、平坦膜を成膜しやすい、平面構造を持つ原料を用いた。SbTe の組成比は、Te 原料の供給量を変化させることで制御し、Sb:Te=2:3 である所望の組成比を得た。GeTe膜とGe₂Sb₂Te₅膜についても、原料の供給を制御することで、Sb₂Te₃膜と同じ温度(250℃)での成膜を可能とした(図 2.2-33)。超格子成膜は Sb₂Te₃ CVD 膜上に GeTe CVD 膜を積層して形成した。

CVD 超格子膜の電気特性は、ホール構造の抵抗素子を試作評価して行った。Sb₂Te₃(4nm)とGeTe(1nm)を繰り返し積層成膜したが、下部電極タングステン上への選択成長によって、直径 100nm のホールはボイドレスに埋め込まれた。この CVD 膜を TEM 観察した結果、格子整合した良好な GeTe/Sb₂Te₃ 積層構造が確認された。さらに、CVD 超格子膜を搭載したホール構造素子の電気特性を評価したところ、不揮発動作を確認できた。高抵抗化に要する電流は、比較対象である PVD GeSbTe 膜をプレーナー構造に加工した抵抗素子よりも約 70%低減した。さらに、2桁以上の抵抗比を保持し、1 億回の繰り返し書き換えが達成された [16]。

CVD 超格子技術の課題は、GeSbTe が GeTe/Sb₂Te₃ 中に混合しやすことである。これは、CVD 成膜温度が 250℃と高いために起こる不良である。低温成膜化による不良除去が不可欠である。

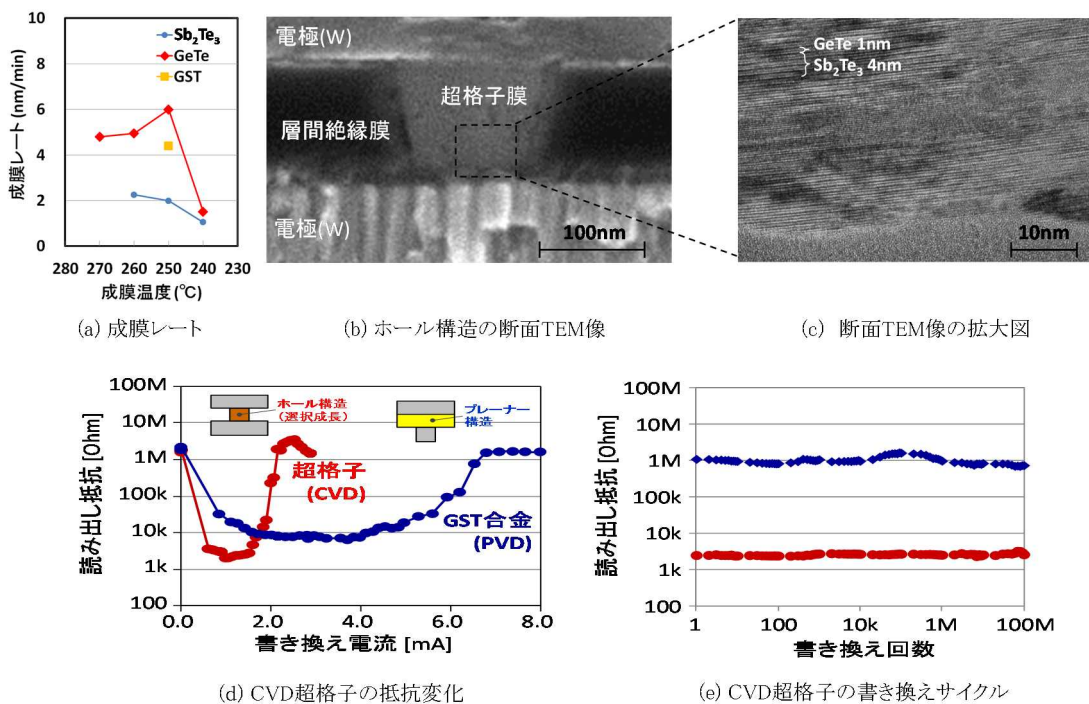


図 2.2-33 CVD 超格子膜の成膜技術と電気特性

(4) 達成度

中間目標および最終目標はすべて達成した。各目標に対する達成度は下記の通りである。

データ転送速度400MB/s を、従来の1/10 の電力(66mW)で可能とする単体デバイスの書き込み動作、および更なる電力削減効果(33mW以下)の見通しを得る、を達成した。

- ・単体デバイスの書き換えエネルギーの目標を【中間】30pJ、【最終(平成26年度)】5pJ以下、【最終(平成27年度)】2.5pJ以下と算出
- ・熱拡散防止機能を有するnano-GST 材料を開発し、単体デバイス書き換えエネルギー3.6pJを実証
- ・Ge欠損系 $\text{Ge}_x\text{Te}_{1-x}/\text{Sb}_2\text{Te}_3$ 超格子素子を開発し、単体デバイス書き換えエネルギー1.9pJを実証

書き換え回数 10^6 回以上を達成した

- ・Nano-GST相変化素子の書換え回数 10^7 回を実証
- ・GeTe/Sb₂Te₃超格子素子の書換え回数 10^8 回を実証

TRAM(Topological-switching Random Access Memory)の1.2V以下動作を達成した

- ・1T1R 単体デバイスを試作評価し、書き換え電圧1V以下を実証
- ・1T1R 16kbテストチップを試作評価し、書き換え電圧1V以下を実証

クロスポイント型メモリセルを集積化したメモリアレイの試作と動作実証、及びメモリセル面積 4F^2 のメモリアレイによる高集積性実証を達成した。

- ・金属/p型層ポリSi/i型真性層ポリSi/n型層ポリSi/金属の積層膜の成膜・加工プロセス構築
- ・Nano-GST相変化材料を搭載した1D-1R メモリアレイを試作し、読み出し・書き換え動作を確認
- ・ワード線と選択スイッチダイオードを自己整合的に配置する 4F^2 セルの加工プロセスを開発し、正常な選択・半選択・非選択動作を確認

最終目標達成に向けた重点取組事項

単体デバイスで実証した書き換えエネルギーの低減、及び書き換え回数を、メモリアレイ試作を通して動作実証する。アレイ動作実証では、ビット歩留まりを考慮した、安定的な低電力化が求められる。そのためには、超格子の抵抗値ばらつきの制御が必要となる。安定的な、さらなる低電力化手法としては、超格子と熱拡散防止層の積層構造を、今後のメモリアレイ試作評価において重点的に取り組む。さらに、超格子の高速・低電力性を活かした回路方式のフィージビリティチェックを通じて、デバイス・回路連携による性能向上を狙う。

(5) まとめ

相変化を低いエネルギーで起こす、革新的な技術であるGeTe/Sb₂Te₃超格子膜を開発した。理論的な成果としては、第一原理計算によって、GeTe/Sb₂Te₃超格子におけるGe原子の短範囲移動が抵抗変化を発生させるモデルを提示した。本開発の超格子膜を用いた新メモリは、従来のPRAMと異なる動作機構や優れた特性を有することから、“Topological switching Random Access Memory (TRAM)”と名付けた。TRAMのプロセス開発における最重要課題は、超格子成膜である。本開発では、300mmウェハの成膜装置を用いて、GeTe/Sb₂Te₃超格子構造形成に世界で初めて成功した。超格子膜は、GeSbTe合金の混合

等の不良を除いて高品質化し、その結晶構造は、サブnmの原子干渉縞のTEM実験等で確認した。超格子膜の電気特性は、50nm直径のW電極を有する抵抗素子を試作して評価したが、100以上の抵抗比を保持しながら書き換え回数1億回以上を実証した。さらに、本開発では、超格子内での原子移動が起こりやすい $\text{Ge}_x\text{Te}_{1-x}/\text{Sb}_2\text{Te}_3$ ($x < 0.5$, Ge欠損系)超格子膜を提唱した。本材料を用いた抵抗素子を試作評価したところ、抵抗変化が化学量論組成の $\text{GeTe}/\text{Sb}_2\text{Te}_3$ 超格子膜と比べて、60%の低電圧で起こることがわかった。書き換え電流値は55 μA で、書き換えエネルギーは最終目標を達成する1.9pJであった。以上の結果は、データ転送速度400MB/sを、従来の1/10の電力(66mW)での書き込み動作、及び更なる電力削減効果(33mW以下)の見通しを示している。続いて、TRAMのULSIとしてのフィージビリティをチェックするために、CMOS基板とCu配線間に超格子素子を埋め込んだ、1T-1R型メモリセルのプロセスを開発した。超格子を Sb_2Te_3 ボトム層上に積層することで、ばらつきが少ない安定的な成膜を実現した。ドライエッチング加工では、超格子膜の側壁不良を抑制する条件を見出した。1T-1R型の単体デバイス、及びデコーダ回路付き16kbテストチップを試作評価したところ、TRAMの動作電圧の最終目標を達成する書き換え電圧1.0V以下での抵抗変化が起こった。これに加えて、2Mbマクロを開発し、ライト・リード回路を用いたTRAM動作を確認した。マクロを用いることで、短時間パルス評価が可能となるが、本開発では、電圧パルス幅5ns以下でのTRAMの高速書き換えに成功した。

本開発では、高集積化のための要素技術開発として、ポリSiダイオードを用いたクロスポイントセルPRAMの技術開発も行なった。相変化材料としては、クロスポイント型セルで書き換え可能な、熱拡散防止機能を有するnano-GSTを開発して適用した。1D-1R型のクロスポイント型セルのセル面積4F²化は、ワード線とダイオードを自己整合的に配置するプロセスを開発して実現した。寸法100nmの1D-1Rクロスポイント型セルアレイを試作評価したところ、高抵抗状態と低抵抗状態の抵抗比1ケタ以上を保持した読み出し・書き換え動作を確認した。以上をもって、最終目標であるクロスポイント型メモリセルを集積化したメモリアレイ試作と動作実証、及びメモリセル面積4F²のメモリアレイによる高集積性実証を達成した。

参考文献

- [1] R.F.Freitas and W.W.Wicke, IBM J. RES.&DEV, vol. 52, p. 439, 2008.
- [2] 竹内 健, 日経 BP 社 半導体ストレージ 2012, p. 81, 2012.
- [3] M.Fukuda, K.Higuchi and K.Takeuchi, Jpn. J. Appl. Phys, 50, 04DE09-2, 2011.
- [4] 高浦 則克, 日経 BP 社 半導体ストレージ 2012, p. 174, 2012.
- [5] R.E.Simpson, A.V.Kolobov, T.Fukaya, M.Krbal, T.Yagi, P.Fons and J.Tominaga, Nature Nanotechnology, vol. 6, p. 501, 2011.
- [6] N.Takaura, MRS Proceedings, 1697, mrss14-1697-hh09-01 doi:10.1557/opl.2014.549.
- [7] S.Kato, M.Araidai, K.Kamiya, T.Yamamoto, T.Ohyanagi, N.Takaura and K.Shiraishi, Extended Abstracts of the 2013 International Conference on Solid State Devices and Materials, pp. 544-545, 2013.
- [8] T.Ohyanagi, N.Takaura, M.Kitamura, M.Tai, M.Kinoshita, K.Akita, T.Morikawa and J.Tominaga, Jpn. J. Appl. Phys, 52, 05FF01, 2013.
- [9] T.Ohyanagi, M.Kitamura, M.Araidai, S.Kato, N.Takaura and K. Shiraishi, Appl. Phys. Lett, 104, 252106, 2014.
- [10] N.Takaura, T.Ohyanagi, M.Kitamura, M.Tai, M.Kinoshita, K.Akita, T.Morikawa, S.Kato, M.Araidai, K.Kamiya, T.Yamamoto and K.Shiraishi, 2013 symposium on VLSI technology, pp. T130-T131, 2014.

- [11] M.Tai, T.Ohyanagi, M.Kitamura, M.Kinoshita, T.Morikawa, K.Akita, S.Kato, H.Shirakawa, M.Araidai, K.Shiraishi and N.Takaura, 2014 symposium on VLSI technology, T22.4, 2014.
- [12] M.Tai, M.Kinoshita, T.Ohyanagi, T.Morikawa, K.Akita , N.Takaura, Advanced Metallization Conference 2014, 6-4, 2014.
- [13] T.Ohyanagi, N.Takaura, M.Kitamura, M.Tai, M.Kinoshita, K.Akita, T.Morikawa, S.Kato, M.Araidai, K.Kamiya, T.Yamamoto and K.Shiraishi, Technical digest of international electron devices meeting 2013, session 30.5, 2013.
- [14] N.Takaura, M.Kinoshita, M.Tai, T.Ohyanagi, K.Akita and T.Morikawa, Jpn. J. Appl. Phys, 54, D4DD01, 2015.
- [15] T.Morikawa, K.Akita, T.Ohyanagi, M.Kitamura, M.Kinoshita, M.Tai and N.Takaura, Technical digest of international electron devices meeting 2012, session 31.4, 2012.
- [16] T.Morikawa, M.Kitamura, T.Ohyanagi, M.Tai, M.Kinoshita, K.Akita and N.Takaura, Advanced Metallization Conference 2013, 7-6, 2013.

2.3 研究開発項目③ 原子移動型スイッチ

「配線切り換えを可能とするスイッチを対象とした、低電流・高速書き換え、高オン・オフ抵抗比、小面積などの機能を有する超低電圧・不揮発スイッチデバイスの開発」

(1) 背景と目的

高度情報化社会の発展には、IT ネットワーク機器・車載電子機器・情報家電機器・モバイル機器など、様々な用途で用いられるロジック集積回路の性能向上が不可欠である。近年、電子機器の製品サイクルが短縮し、短 TAT、少量多品種生産、頻繁な仕様変更等が必要となってきたため、ロジック集積回路の一部または全部の回路を再構成可能にした、プログラマブルロジックへのニーズが高まっている。プログラマブルロジックは、電子機器に組み込まれた後もその回路構成を変えられるため、ユーザーのニーズに沿った機能変更・追加、バグ修正、さらに不具合や劣化した回路の切り離し等をユーザーの手元で行えるようになる。このような柔軟なプログラマブルロジック集積回路を電子機器に組み込むことにより、ユーザーの意図した機能・動作が実現できるようになり、自然な形で人のニーズを満たし、行動を支援する“ヒューマンセントリック”な電子機器が提供できる。しかしながら、従来のプログラマブルロジックは、その大きな消費電力のためにコンシューマ市場へ浸透していなかった。したがって、プログラマブルロジックデバイスの動作時、および待機時の電力を削減することは、低炭素社会の実現に大きく貢献する。

現在のプログラマブルロジックデバイスでは、回路を再構成するスイッチに、パストランジスタと SRAM を組み合わせた SRAM スイッチが用いられている。しかしながら、上述のとおり、動作時および待機時の電力が大きく、低消費電力化が強く求められている。そこで、本研究では、配線切り換えを可能とするスイッチを対象に、ロジック集積回路の低消費電力化・低電圧化に対応可能で、スイッチの書き換え時、および保持時の低消費電力化を実現する、超低電圧・不揮発スイッチデバイスの開発を行う。具体的には、オン・オフ抵抗比が大きく低電圧に対応可能であり、スイッチ素子の面積が小さく、配線容量およびスイッチ容量が小さく、さらに、書き換えに必要な電流と書き換え速度の積(電荷量)が小さいために、低電力書き換えが可能であるスイッチデバイスを開発する。

(2) 目標

上記の目的を達成するために、次の目標を設定した。

【中間目標】(平成24年度末)

スイッチ素子の材料選定、素子構造の最適化を行い、単体素子での下記の動作検証を行う。

- ・単体素子性能として書換え電流と書換え速度の積が $10^{-10}\text{A}\cdot\text{s}$ 以下
- ・オン・オフ抵抗比 10^5 以上
- ・書き換え回数 10^3 以上

【最終目標】(平成26年度末)

以上の成果に基づき、大規模集積化に必要なスイッチ素子特性のばらつきを低減し、300mm 径 Si 基板を用いてロジック集積回路を試作し下記を達成する。

- ・本スイッチにより配線切り換えを行ったロジック集積回路が 0.4V で動作可能であり、その際の消

費電力が、SRAM スイッチにより配線切り替えを行った従来型 1.2V 動作ロジック集積回路の 1/10 以下。

- ・スイッチ素子面積が、同一世代の SRAM スイッチを用いたプログラマブルロジックデバイス (PLD) に比べ 1/20 以下。

(3) 研究開発成果

(3)-1 原子移動型スイッチデバイス開発

(a) デバイス開発 (3 端子原子移動型スイッチ開発)

超低電圧・不揮発スイッチデバイスとして、Cu イオンのイオン伝導・電気化学反応を利用した抵抗変化スイッチである原子移動型スイッチ (図 2.3-1) は有力な候補である [1-4]。しかしながら、原子移動型スイッチ素子のプログラミング電圧の低減に伴って発生する、オフディスターブ信頼性劣化 (論理回路の動作電圧がスイッチに印加された時、経時変化に伴ってオフ状態のスイッチがオン状態に反転してしまう不良) が問題となり、低電圧化が困難であった。本開発では、図 2.3-2 に示す二つのスイッチ素子を相補的に配置した 3 端子構造 [5] を提案し、低電圧化と高信頼性の両立ができることを実証した。

提案した 3 端子構造を産総研 SCR で 300mm 径ウエハを用いて試作し、その基本 I-V 特性を検証した結果を図 2.3-3 に示す。試作および評価を行った 3 端子原子移動型スイッチの基本構成は、下部電極:Cu、固体電解質:PSE (polymer solid-electrolyte)、上部電極 Ru である。図中下の TEM 写真には測定時の電流方向を示す。まず、素子を ON 状態へ遷移させるためには、双方の原子移動型スイッチを OFF 状態から ON 状態にプログラミングするため、銅電極側に正電圧を印加する。(図 2.3-3 (a))。このときの閾値電圧は約 2V であり、2V を超えたところで ON 状態へ遷移することがわかる。続いてスイッチを OFF 状態へ遷移させるためには、双方のスイッチを OFF 状態へプログラミングする。Ru 電極側に正電圧を印加することで高抵抗に遷移することがわかる (図 (b))。このようにしてプログラムされた、ON 状態と OFF 状態の双方のスイッチに、0.1V を印加して電流値を計測したところ、約 5 桁のオン・オフ比が得られることが確認された (図 2.3-3 (c))。

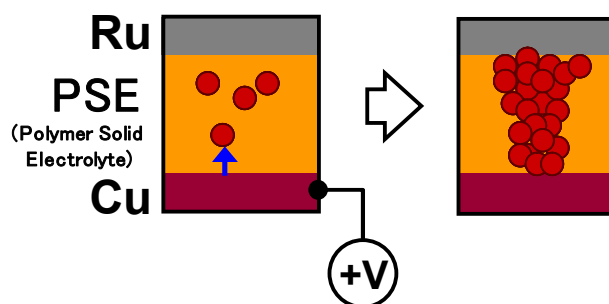


図 2.3-1 原子移動型スイッチ

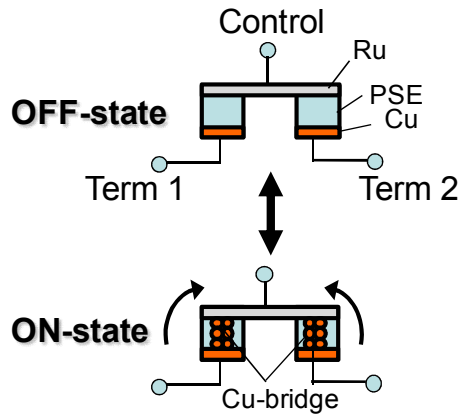


図 2.3-2 提案した相補型 3 端子原子移動型スイッチ

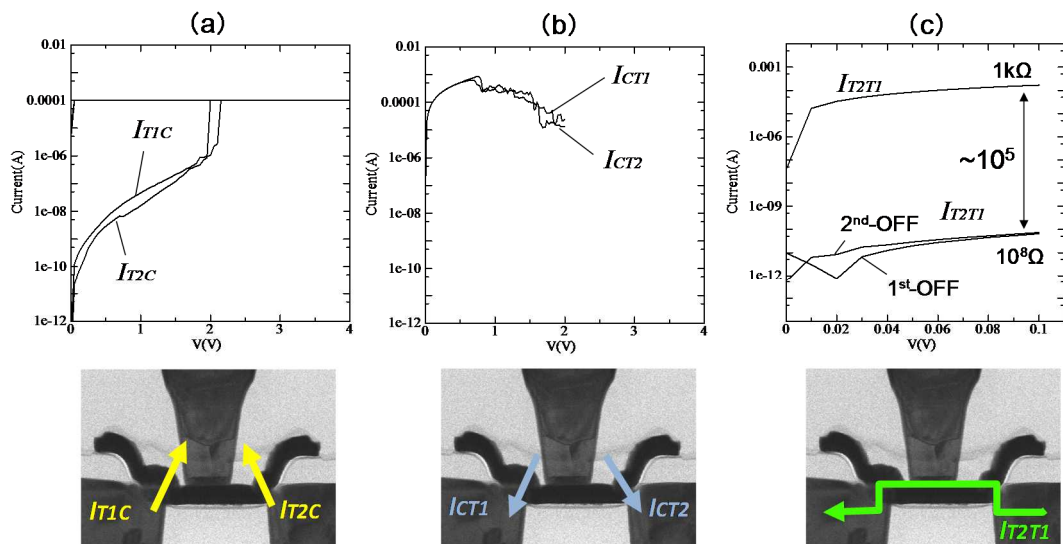


図 2.3-3 相補型 3 端子原子移動型スイッチプログラミング特性

続いて、相補型 3 端子デバイスについて、バイアス印加状態でのオフ信頼性の評価を行った。相補型構造は 2 端子構造と異なり、一方の素子が相補的に動作して印加される電圧を軽減するため、ロジック電圧(再構成回路の動作電圧でプログラム電圧より低い)が印加されている場合でも、オフ状態の長寿命化が期待される。図 2.3-4 に 125°C で測定した ON 状態への遷移時間の電圧依存性を示す。リファレンスとして、3.5V でプログラミング可能な従来型の 2 端子素子のデータも示した。2 端子素子の場合には、3.5V 動作の場合には、ロジック動作電圧 (V_{DD}) では 10 年以上の寿命が予測されているが、さらに低電圧化した場合には 10 年の寿命確保が難しくなることが示唆される。それに対して、相補型素子の場合には、2V 動作であるにもかかわらず、2 端子素子に比べると約 7 桁長寿命化されることがわかる [5]。これは、2 つの原子移動型スイッチによって、①印加電圧が分割される、②必ず一方の素子が相補的に動作して印加電圧を軽減する、ことが原因として考えられる。以上から、相補型構造を用いることで、原子移動型スイッチの低電圧化時にも十分なオフ信頼性が得られることが確認された。

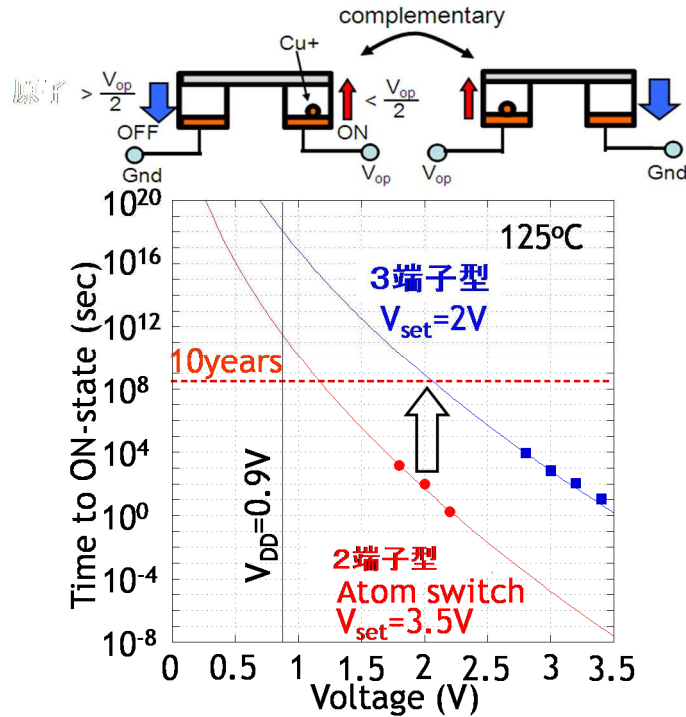


図 2.3-4 オフ状態の信頼性の比較

さらに、保持信頼性改善のため、架橋を形成するための金属イオン供給源である Cu 電極の最表面に、Al と Ti を添加した3元系銅合金を開発した。原子移動型スイッチの歩留り改善のため、銅電極表面に形成するバッファプロセスが、スイッチオフ時のリーク電流に及ぼす影響について検討を行った。16kb アレイのウェハ面内 (66チップ) マップを取得したところ、AlTi バッファの酸化不足によって残留した金属層が、オフ時のリーク電流経路を形成していることを突き止めた。このようなリーク電流経路を抑制するようバッファプロセスを改良することで、ウェハ面内全域において良好な歩留を得た。図 2.3-5 に改良バッファプロセスによるオフ電流低減結果を示す。

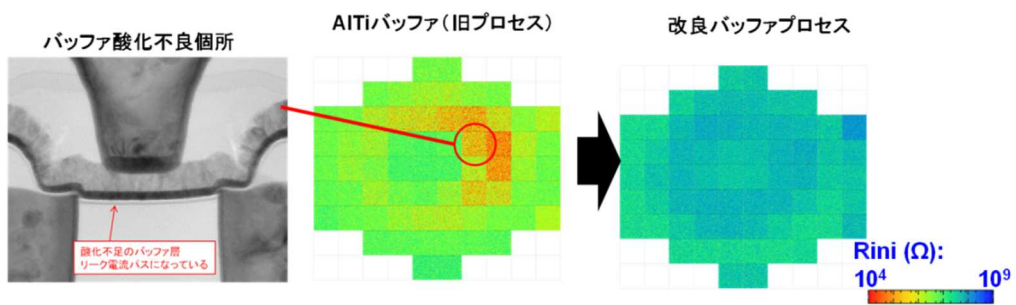


図 2.3-5 改良バッファプロセスによる 16kb 原子移動型スイッチアレイのオフ電流低減

次に、原子スイッチのスイッチング速度を改善するため、バッファ組成の検討を行った。AlTi バッファについて、スイッチング速度の組成比依存性を調査したところ、Al:Ti=1:1 の組成において、スイッチングスロープ (スイッチング時間の電圧依存性) が最少となる 56mV/dec が得られることがわかった。Al 組成比が増加するとアルミナの不動態層が、Ti 組成比が増加するチタニアの不動態層が表面に形成されることがわかった。表面に不動態層が形成されると、バッファの下層がメタル

層として残留するため、プログラミング時の銅のイオン化が抑制されたと考えられる。これにより、原子スイッチのプログラム時間が高速化されるため、テスト時間を短縮することができるようになる。図 2.3-6 に原子スイッチの断面 TEM 像と対応する EDX イメージ、およびオン状態への遷移時間の電圧依存性を示す[6]。

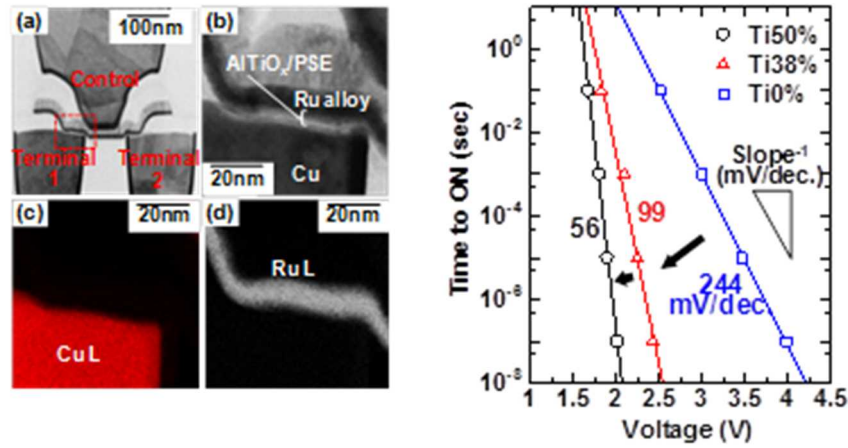


図 2.3-6 原子スイッチ (CAS) の(a)断面 TEM 像と(b,c,d)EDX イメージ(左) およびオン状態への遷移時間の電圧依存性(右)

(b) 回路技術開発

超低電圧・不揮発スイッチデバイス開発に用いる回路、および TEG (Test Element Group) 設計を行った。作成した TEG は、原子移動型スイッチの機能を検証する TEG、特性を評価する TEG の 2 種類に大別される。機能検証 TEG は 32x32 クロスバースイッチ、プログラマブルロジックセル等である。特性評価 TEG は、図 2.3-7 に示すデコーダを用いたスイッチアレイ(容量は 16k-bit から 1M-bit)をはじめとして、シフトレジスタを用いたスイッチアレイ(容量は 1k-bit)、原子移動型スイッチの静電容量評価 TEG、スイッチング時の寄生容量評価 TEG、信頼性評価 TEG 等である。16k-bit スイッチアレイはパラメトリックテストにより、1M-bit スイッチアレイはメモリテストにより、スイッチング時の諸特性を評価する。

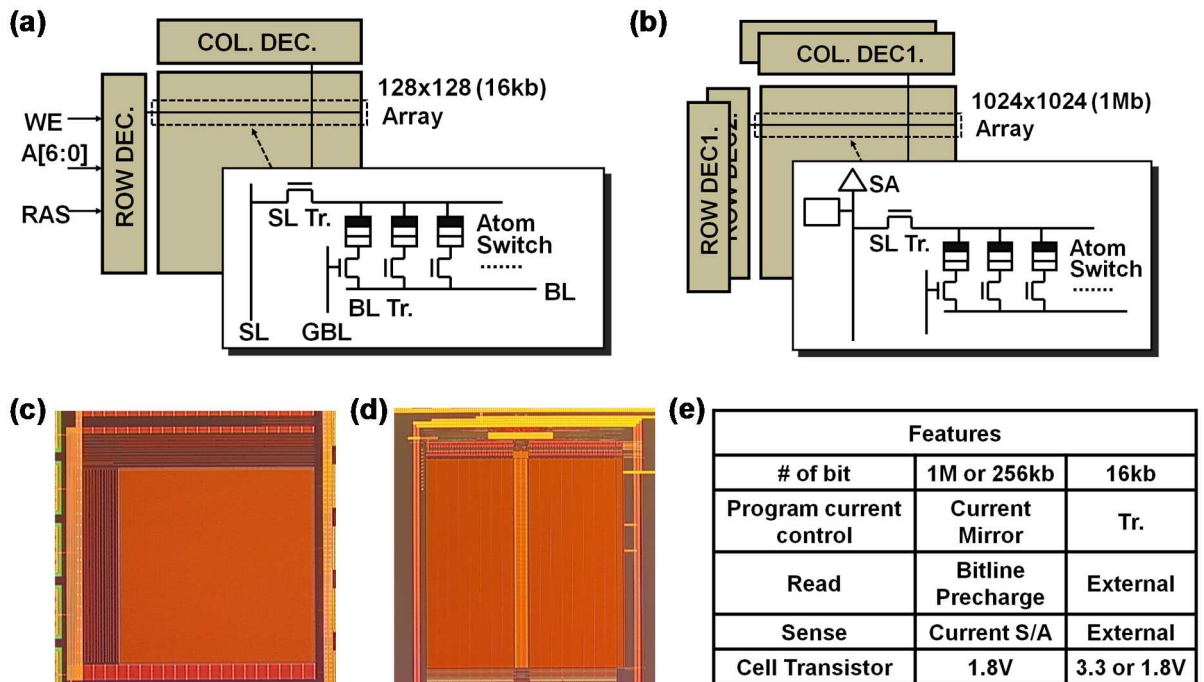


図 2.3-7 スイッチアレイ TEG。(a)16k-bit スイッチアレイの模式図、
 (b)1M-bit スイッチアレイの模式図、(c)16k-bit スイッチアレイの光学顕微鏡写真、
 (d)1M-bit スイッチアレイの光学顕微鏡写真、(e)回路の概要。

さらに、上記基本 TEG および小規模回路の評価結果をフィードバックし、48x48 プログラマブルロジックへマッピングする回路の検討を行った。まず、16 ビットマイクロプロセッサコアである OpenMSP430 を、商用 FPGA ボード上で動作するようにし、簡単なプログラムの動作の確認を行なった。また、プロセッサ回路を商用 FPGA にマップした際の統計情報を分析し、要素回路毎の回路規模などの情報を獲得し、原子移動型スイッチを用いた FPGA 試作チップの評価へとフィードバックした。

プログラマブルロジックに原子スイッチを用いる際の、最適なロジックセルアーキテクチャについて検討した。典型的なテスト回路をマッピングして、そのエネルギー効率と面積効率を評価することによって、1 個のロジックセルあたり、4 個の LUT を備え、ロジックセル 4 個分の長さ(セグメント長)の配線で接続される場合が最適であることが分かった。SRAM とパストランジスタの組み合わせた場合に比べて、ロジックセル数が少なく(細粒度ロジックセル)、マッピング効率の高いアーキテクチャとできる。これは、原子スイッチの寄生容量がパストランジスタに比べて 1/10 程度であるため、ロジックセル内の遅延とロジックセル間の遅延の差が小さく、ロジックセル間の配線を多用できるメリットがあるためである[7]。

さらに、原子スイッチの強みである、低消費電力を特徴とした高性能計算を引き出す専用アーキテクチャの検討を行い、低消費電力動作と拡張可能性を考慮した階層構造を持つアーキテクチャとした(図 2.3-8)。ロジックセルを 4 行 4 列配置したものを TISSUE block とし、これを 6 行 6 列~8 行×8 列配置したものを演算素子アレイ(ORGAN block)と定義する。1 デバイスは 16 式以上の ORGAN block より構成され、900 式程度(Cell 数で 518、400 個~921、600 個)までの拡張性を備える。市場・アプリケーションを考慮して ORGAN block 1 式に対し 1kb 以上の内部メモリを

配置する。LUT は、(a)機能、(b)面積、(c)遅延時間の観点から入力数 4~9 の範囲で検討し、7 入力 1 出力とした。

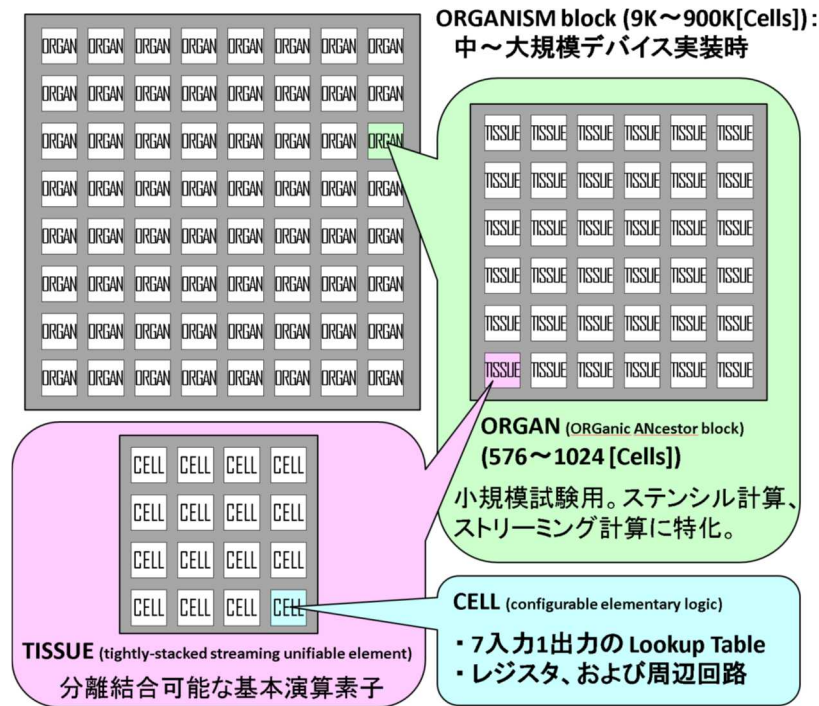


図 2.3-8 高性能計算を引き出す原子移動型スイッチ再構成回路アーキテクチャ

(c) 原子移動型スイッチ信頼性研究 (固体電解質材料とオフ信頼性)

原子移動型スイッチのオンからオフ状態へ至るまでの各抵抗の温度依存性を観測し、各抵抗の起源について考察を行い、図 2.3-9 の結果を得た [8]。まず、オン状態では、金属的伝導を示す抵抗の正の温度係数が観測され、銅の架橋が形成されているものと推察される。オフ状態では、絶縁体で見られるプールレンケル伝導が確認され、PSE 中の銅が完全に回収でき、電圧印加前の絶縁体の状態に戻っていると考えられる。TaO 等の金属酸化物(MOx)を固体電解質として用いた場合には、オフ時の抵抗の温度依存性は弱く、トンネルリングやホッピングが支配的であると対照的である。オフ状態の伝導モードは初期状態と等しいことは、1 サイクル目のセット電圧(=フォーミング電圧)が 2 サイクル以降のセット電圧に等しい実験事実を説明できる。TaO を固体電解質に用いた原子移動型スイッチでは、金属酸化物を抵抗変化層に使う ReRAM 同様、フォーミング電圧はセット電圧の倍程度となっている。これは、図 2.3-9 にあるように完全に Cu を回収できないか、フォーミング時に膜の劣化があるものと考えられる。PSE を用いた原子移動型スイッチにおいてオフ状態は初期状態のものと同しく高信頼であるといえる。

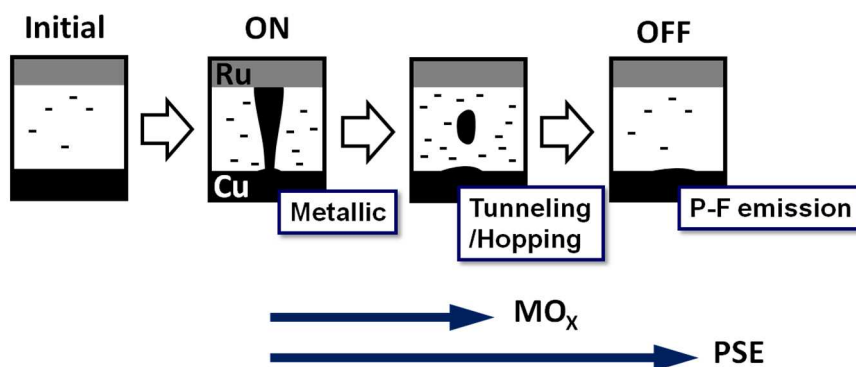


図 2.3-9 原子移動型スイッチのオンからオフ状態へ至るまでの架橋の生成・消滅過程。

PSE または金属酸化物(MO_x)を固体電解質に用いた場合、それぞれ Cu の回収に違いが生じると考えられる。

保持特性改善に関し、活性電極としては3元系銅合金[9]を、不活性電極としては Ru 合金を開発している。それらに加えて、微細化したエッジ構造を適用することと、後述する銅表面のプレクリーニング技術を開発することで、さらに保持信頼性を改善した。具体的には260°Cの加速加熱試験において、図 2.3-10 に示す通り、不良率1ppmを達成した。

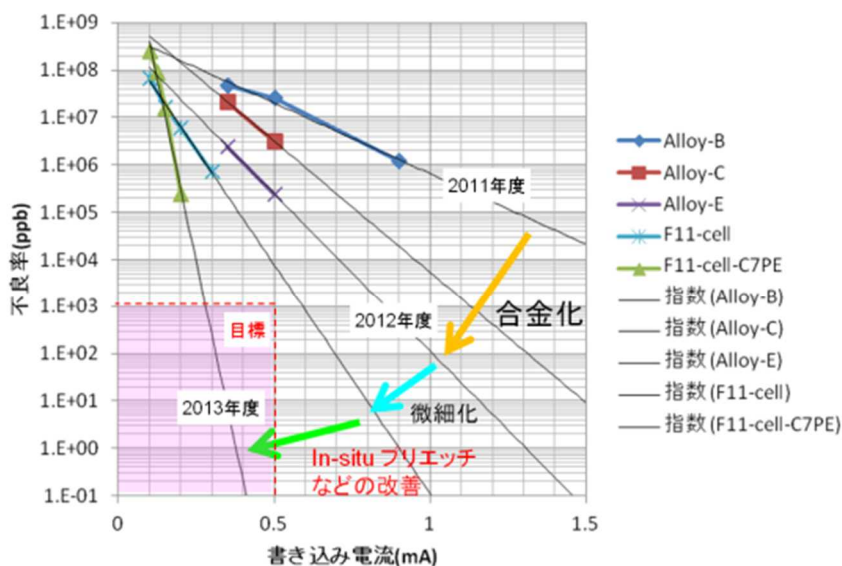


図 2.3-10 原子移動型スイッチの保持特性改善

原子スイッチのプログラム後の熱安定性を評価するため、オン状態の保持試験を行った。意図的に低いプログラム電流で原子スイッチの書き込みを行い、240°C～260°Cの高温保持試験を実施し、加速試験により不良率を算出した。得られた不良率の温度依存性から活性化エネルギーを抽出したところ、 $E_a=1.5eV$ を得た。これは十分に高い活性化エネルギーであり、民生用 85°C程度の温度では十分に保持信頼性が得られることが分かった。実際に 150°Cにて 5000 時間の保持試験を実施したところ、オン状態の抵抗変動率は 15%以下であり、優れた安定性を確認した(図

2.3-11)。

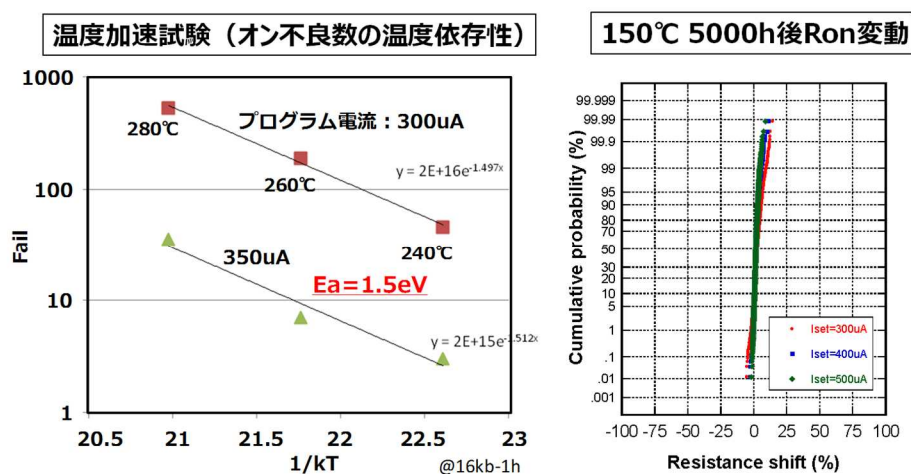


図 2.3-11 温度加速試験結果(左)および 150°C 5000h高温保持試験後のオン抵抗変動率(右)

(d) 原子移動型スイッチ信頼性研究のための架橋形成機構の解明(共同実施 東京大学)

・架橋形成機構解明のための実験的検討

－ 実験手法

原子移動型スイッチにおける架橋形成機構は、Cu 電極からの Cu の酸化溶解、固体電解質中の Cu イオンの電気化学的輸送、不活性電極上での Cu イオンの還元反応によって構成される電気化学反応と見なすことができる。ここで、Cu の酸化溶解・析出には、Cu+を電荷補償するプロトン(H+)などの陽イオンが必要となるため、固体電解質の電界による分極(すなわち酸化・還元)が重要であると考えられる。固体電解質中での電界による分極を実証するために、電圧を印加しながら軟 X 線の電子分光が行える手法を開発し、電圧印加で電気化学分極が生じると考えられる Gd ドープ CeO₂ を用いて本手法の妥当性を検証した。

－ 熱力学的・電気化学的モデルの構築

原子移動型スイッチでは、Cu 電極と固体電解質の間にバッファー層(ここでは TiO₂)が挿入されている。バッファー層は固体電解質成膜時の Cu 表面の酸化を防止し、また、Cu の熱拡散を防ぐ働きがある。このバッファー層の材料や膜厚によって、セット電圧やオフ状態の保持特性が大きく変化することが実験的に分かった。そのため、架橋形成初期における、Cu とバッファー層界面でのイオン化がオフ信頼性に大きな影響を与えていると考えられる。

・シミュレーションによる検討

－ 計算環境の整備・評価

架橋形成機構解明のために整備した計算環境は、(i)様々な組成・材料に対応でき、かつ固体電解質部分についてはアモルファス構造を扱えること、(ii)架橋形成時のバイアス電圧印加が扱えることを必要条件とした。特に、電圧印加を高精度に再現できるツールの改良・開発を行った。

－ Cu/TaO_x/Cu での界面付近のポテンシャル

Cu/アモルファス TaO_x(Ta₁₂O₃₄)/Cu 接合系について、印加電圧前後でのポテンシャル差を非平衡グリーン関数法により計算した。Cu およびアモルファス TaO_x 層を別々に構造最適化して接

合した場合と、接合後に非平衡グリーン関数法によって構造緩和を行った場合についてそれぞれ計算を行った。その結果、構造緩和前においては、Cu との界面近傍の TaO_x 内のポテンシャル差は構造緩和後よりも小さく、Cu 原子の駆動力が小さいことが分かった。構造緩和により界面状態が変化することから、界面近傍の Cu 原子の動きやすさは界面状態(電子状態や結合状態)に依存することを示唆している。

- Cu 電極の結晶配向性が与える影響

Cu 電極として、メッキにより形成された Cu 配線を利用している。Cu 配線は様々な配向を持った微結晶から構成されており、配向によって Cu の酸化速度の相違が懸念される。原子移動型スイッチのスイッチング特性に与える影響について、配向性の違いを計算と実験の両面から明らかにする必要があった。第一原理計算により、表面エネルギー、および仕事関数が配向に依存性があることが分かった。仕事関数は、中性の銅から電子を真空中に引き抜くのに必要なエネルギーに相当することから、銅がイオン化するエネルギーと相関があると考えられる。計算結果から、均一な配向性が望ましいということが分かった。

(3)-2 集積化開発

(a) 集積化技術

図 2.3-12 に 3 端子原子移動型スイッチの集積化プロセスフローを示す。製造ラインにて形成した CMOS 基板上に SiCN/SiO₂ のハードマスクを形成し、M4 配線間にホールを形成した。続いてバッファー層 (TiO₂)、PSE(ポリマー固体電解質)、Ru(不活性電極)、Ta(Ru 保護電極)を堆積し、加工用ハードマスク SiCN/SiO₂を成長した。ドライエッチングによってスタックを加工し、全面を SiN 膜で封止した。続いて埋め込み性に優れる HDP-SiO₂ 膜をビア層間絶縁膜として成長し、層間膜 CMP によってビア層間膜の平坦化を行った。上層配線層間絶縁膜として ULK(k=2.7)/SiO₂を成長し、ビアファースト法によってデュアルダマシン溝加工を行った。開口部にバリアメタル (Ta/TaN) と銅を埋め込んで Cu-CMP を実施して上層配線を形成した。さらに上層の配線には BEOL プラットフォームで開発したセミグローバル配線を用いた。

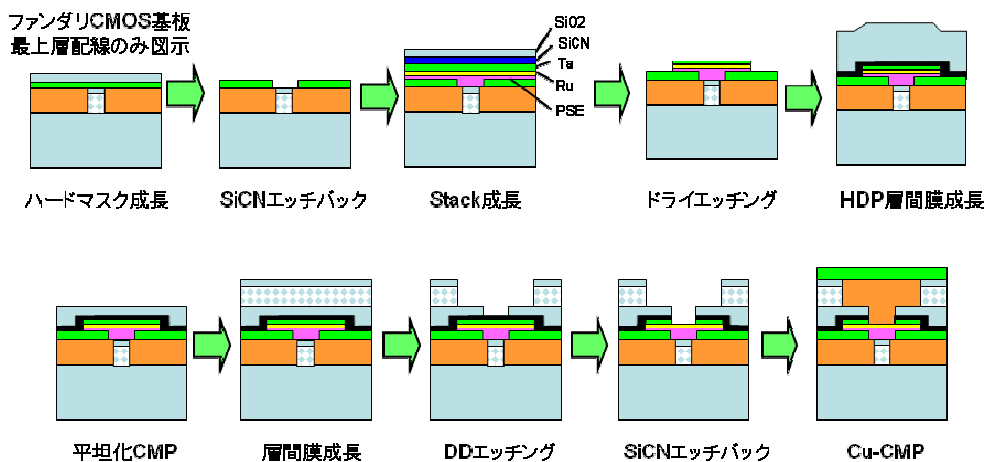


図 2.3-12 原子移動型スイッチの集積化プロセスフローの断面模式図

図 2.3-13 には、CMOS 基板上に作製した 3 端子原子移動型スイッチの断面 TEM 写真を示す。

M4 配線上に原子移動型スイッチが搭載されていることがわかる。素子の上は平坦化されており、上層配線の短絡なく形成できていることがわかる。右図の TEM 写真は原子移動型スイッチ部の拡大写真である。二つの原子移動型スイッチの上部電極が一体化され、コンパクトに 3 端子素子が形成できていることがわかる。

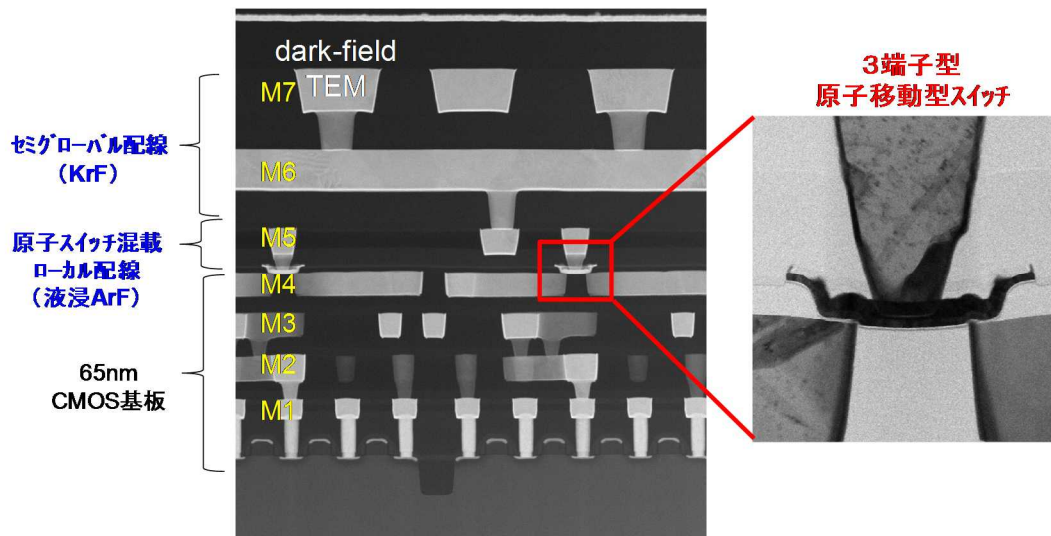


図 2.3-13 CMOS 基板上に作製した 3 端子型原子移動型スイッチの断面 TEM 写真

上記集積化プロセスをさらに改善し、素子不良や素子特性ばらつき増加などの原因を調査、対策・改善を行い、中規模な回路動作(スイッチ数 1Mb レベル)を検証するために必要な、十分に低いばらつきを実現した。前述のオフ時リーク電流歩留り、および優れた保持特性を維持しながらプログラミング電圧ばらつきの改善を検討した。具体的には、下部銅電極の開口工程後、デガス→プレッチング (PE) →バッファーの成長工程を真空一貫で行うことができるよう、スパッタ装置の改造を実施した。これにより、CuO 層の形成、および Cu 拡散によるプログラミング電圧ばらつきの悪化を抑制、さらに PE 処理条件、バッファー膜厚最適化、および合金比率の最適化を実施し、その結果、図 2.3-14 に示す通り $\sigma = 0.186V$ となる良好な結果を得た。

Cu電極上ホール開口後の大気暴露によるCu表面酸化 ⇒ プログラム電圧ばらつきの主因

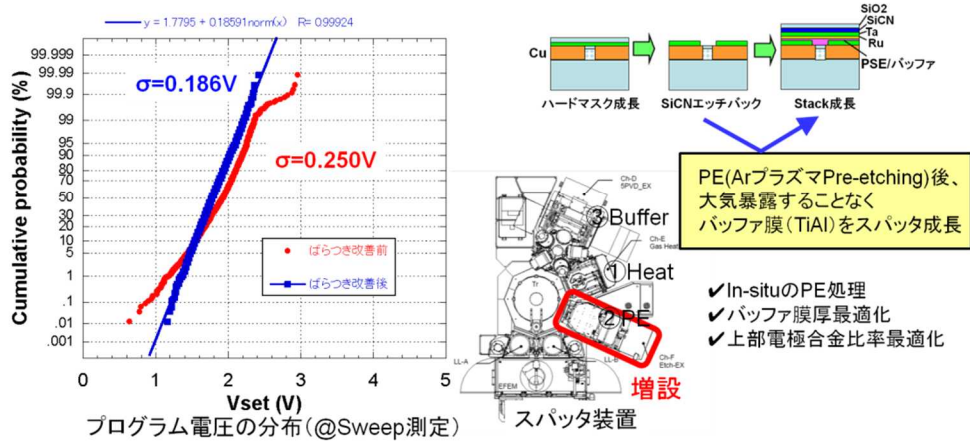


図 2.3-14 PE 条件最適化、バッファ膜厚最適化、合金比率最適化によるプログラム電圧ばらつき低減

(b) 汚染除去技術

原子移動型スイッチの製造工程において、一般的なロジック LSI の製造プロセスと異なる工程は、Ru、Ta のドライエッチング工程が挙げられる。そこで、Ru/Ta のドライエッチング工程後に枚葉式のドライクリーニング処理を導入し、次に投入されるウェハの裏面汚染レベルを評価した。図 2.3-15 に、ウェハ作業後の次のウェハへの金属汚染転写を TREX により評価した結果を示す。評価した全ての金属元素において、下地 CMOS に悪影響を与えるレベルではないことがわかる。さらに、ドライクリーニング運用 6 カ月後においても、裏面金属レベルの増加がないことから、安定したクリーニング処理が行われていることがわかる。

元素	ドライエッチャー (運用開始直後)	ドライエッチャー (運用6カ月後)
K	0.0E+00	1.1E+09
Ca	5.4E+09	9.9E+09
Ti	1.7E+10	8.9E+09
Cr	1.2E+10	1.0E+10
Fe	1.6E+09	1.6E+09
Ni	1.5E+09	5.7E+08
Cu	8.9E+08	2.6E+08
Zn	8.8E+07	4.3E+09
Ru	0.0E+00	0.0E+00
Ta	3.7E+08	1.1E+10
Zr	8.3E+09	6.7E+09
		単位: atom/cm ²
		汚染規格: 5E+10以下

図 2.3-15 TREX により測定した次作業ウェハ裏面の金属汚染評価結果

(c) 3 端子原子移動型スイッチアレイ動作特性

図 2.3-16 にデコーダ付き 1k-bit スwitchアレイによって評価した、相補型 3 端子素子の、(a) 閾値電圧の分布と、(b) オン・オフ時の電流値の分布を示す [10]。閾値電圧は中央値 1.8V にて $\sigma = 0.2V$ が得られた。小規模な回路動作を検証するためには、十分に低いばらつきであると判断できる。一方、オン・オフ比に関しては中央値で約 4.5 桁が得られており、こちらも小規模回路の実証には十分な値が得られていると判断できる。図 2.3-17 に初期的に評価を行った、3 端子原子移動型スイッチの書換え回数評価結果を示す。まだ、書換え回数の増加に伴い抵抗(電流)ばらつきが大きくなる傾向がみられるが、 10^3 回以上の書き換え耐性が得られた。

図 2.3-18 は、原子移動型スイッチのプログラム電流やスイッチング速度などの、スイッチング特性を明らかにするために計測した 0.5k-bit スwitchアレイのスイッチ抵抗分布である。4 ビットの素子がフェイルしているものの、ほとんどの素子は 200nsec、500uA (電流速度積: $10^{-10}A \cdot sec$) のプログラムパルスでプログラム可能であり、小規模回路の実証には問題ないレベルである。

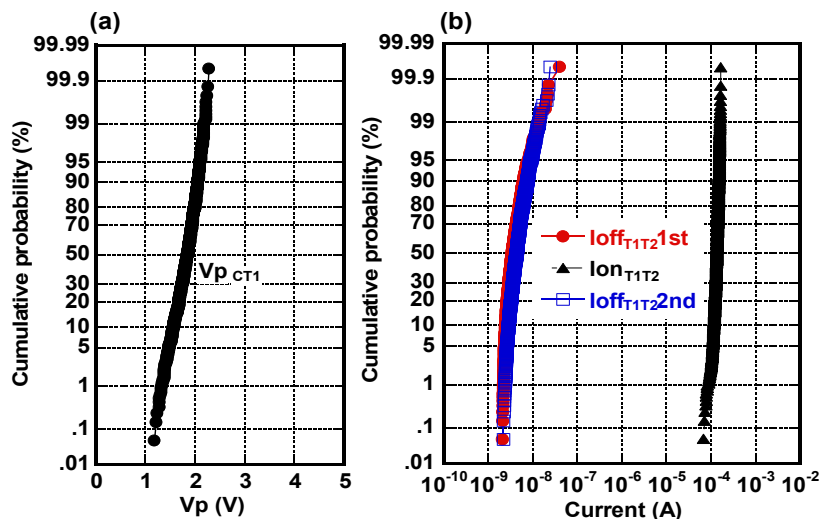


図 2.3-16 1k-bit スwitchアレイでのばらつき評価結果

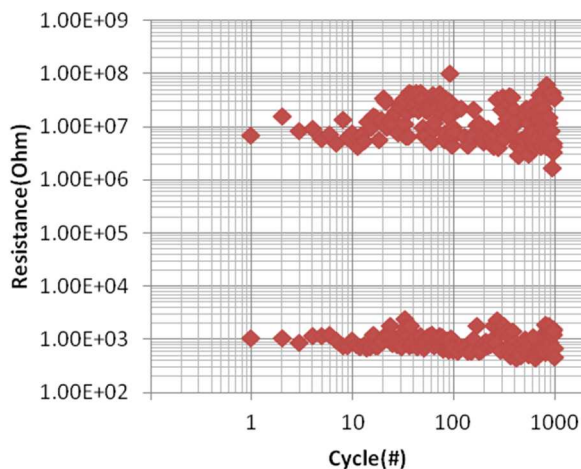


図 2.3-17 3 端子原子移動型スイッチの書換え回数評価結果

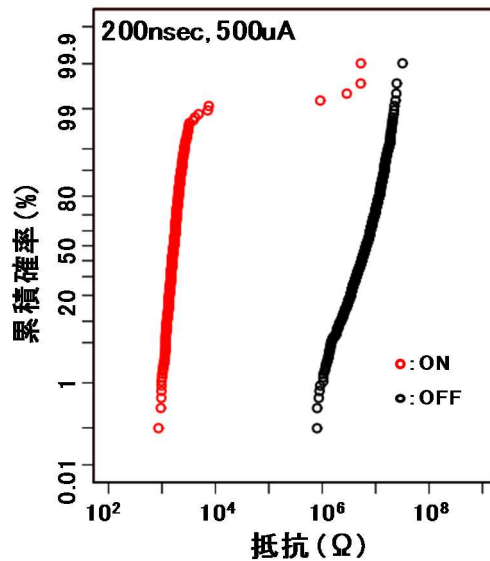


図 2.3-18 0.5k-bit 原子移動型スイッチアレイの抵抗分布

(d) 小規模 TEG によるプログラマブル機能検証

開発した集積化プロセス技術を用いて 3 端子原子移動型スイッチを集積化し、クロスバースイッチとプログラマブルロジックの機能検証を行った。

図 2.3-19(a)は CMOS 基板上に集積化した 32x32 のクロスバースイッチとクロスバースイッチを介した信号の伝達を示す。図 2.3-19 (b) のように対角線にクロスバースイッチをプログラムし、図 2.3-19 (c) に示す通りクロスバースイッチの入力 X5 の信号が、クロスバースイッチを介して Y5 に正常に伝達されていることを確認した。

次に、プログラマブルロジックの機能検証結果を示す。評価したプログラマブルロジックは 3x3 のプログラマブルセルと、書込み用周辺回路より構成されている(図 2.3-20 (a))。各プログラマブルロジックセルは、2 つの 4 入力ルックアップテーブル(LUT)、およびフリップフロップ、配線ルーティングのための 16x19 クロスバースイッチ等から構成され(図 2.3-20 (b))、368 個の 3 端子原子移動型スイッチにより、各 LUT およびクロスバースイッチのプログラミングを行う。さらに今回、RTL (Register Transfer Level) 記述から回路をプログラムできるように、環境ツールも整備した。図 2.3-20 (c)において、RTL 記述から回路構成データを生成するためのフローが示されている。論理合成、論理検証、配置配線を行い、回路構成データまで自動的に生成される。2bit 加算器(図 2.3-20 (d))や 4bit カウンターなどの機能をプログラムし、回路の正常動作が確認できた。TEG 全体で 3kb 個の 3 端子型原子移動スイッチが誤動作していないことが確かめられた[11]。

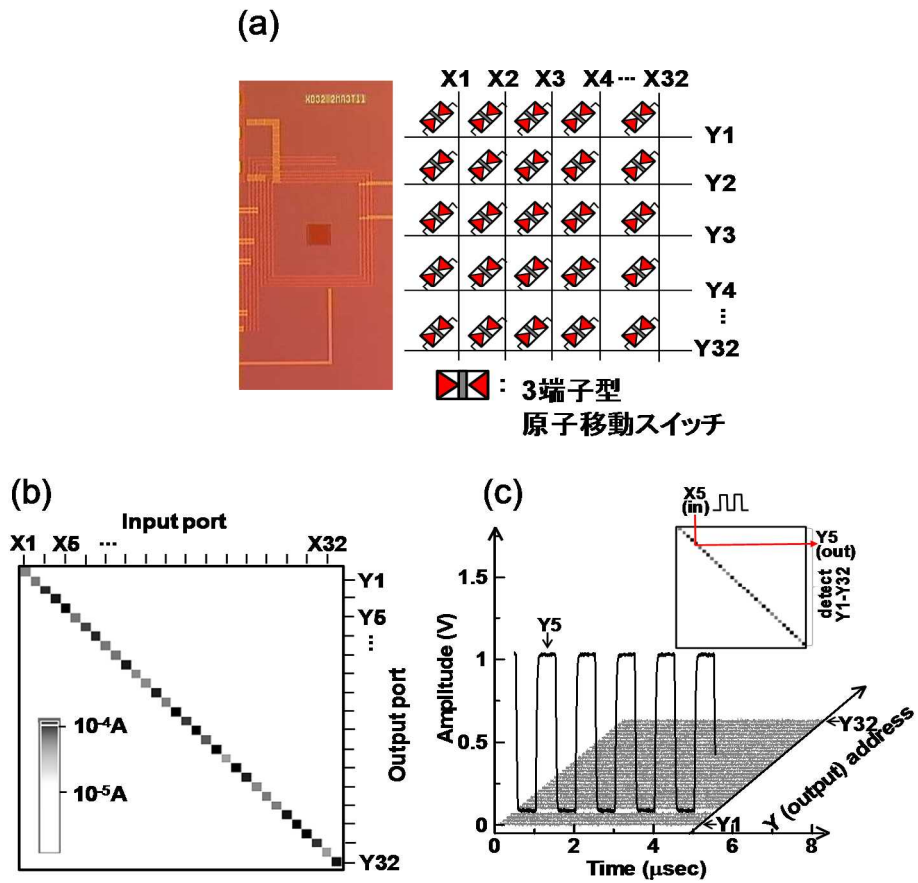


図 2.3-19 クロスバースイッチの機能検証。(a)32x32 クロスバースイッチ。
(b)クロスバースイッチのプログラム。(c)クロスバースイッチを介した信号の伝達。

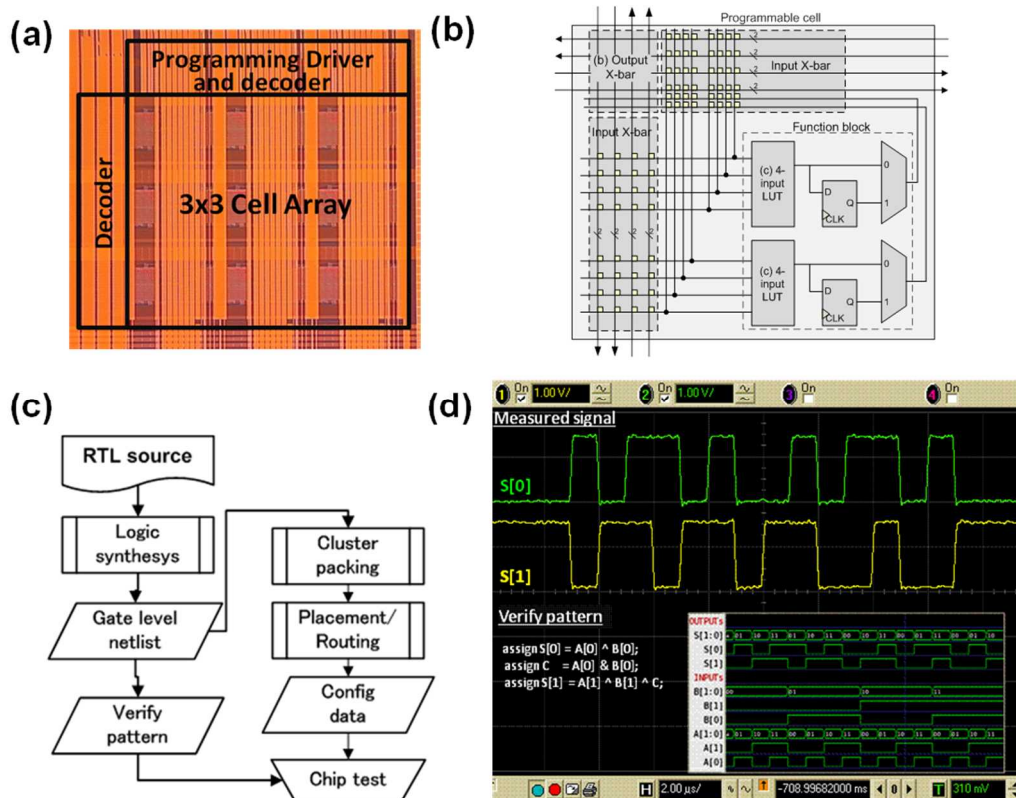


図 2.3-20 原子移動型スイッチプログラマブルロジックの機能検証。

(a) チップの光学顕微鏡写真。(b) ロジックセルのブロック図。(c) RTL から書き込みデータ生成の流れ。(d) プログラムされた 2bit 加算器の動作。

(e) プログラマブル機能検証と動作特性比較

6x6 および 48x48 プログラマブルロジックを用いて、その機能検証を行った。6x6 プログラマブルロジックでは、比較のために同規模の SRAM ベースプログラマブルロジックも作製した。原子スイッチベースのプログラマブルロジックは、SRAM ベースと比較すると、図 2.3-21 に示す通り、ロジックセル面積で-75%、電力で最大-61%、信号遅延で最大-65%が達成できた。電力と遅延においては 16bit カウンター(CNT16)、24bit 線形帰還シフトレジスタ(LFSR24)、4bit 乗算器(MPY4)などの回路を、各プログラマブルロジックにマッピングして評価した。4bit 乗算器は信号の伝達経路が長いことから、電力および遅延の改善が顕著であった。原子移動型スイッチを用いることによって、経路長が短くなること、スイッチの段数が減らせること、スイッチの静電容量が小さくなることなどが改善に寄与していると考えられる[12]。また、24bit 線形帰還シフトレジスタにおいては、動作電圧 0.3V での動作が実証できている。さらに、デモボードを作製し、原子移動型スイッチを用いたプログラマブルロジックのデモを行った。用いたのは 6x6 セルで、グレイスケール化やカラー反転などのアルゴリズムを実行し、リアルタイムに画像処理が行えることを示した。

48x48 プログラマブルロジックでの機能検証においては、その 1/4 のセル(24x24)を用いて 16bit ALU をマッピングし、その動作に成功した。本回路を実現するために 1Mbit の原子移動型スイッチの内、80kbit が ON 状態にプログラミングされている。内部で発生させた命令セットに対して正しい出力が得られていることを、ツールによって生成されたベリファイ波形との比較によって確認

できた。

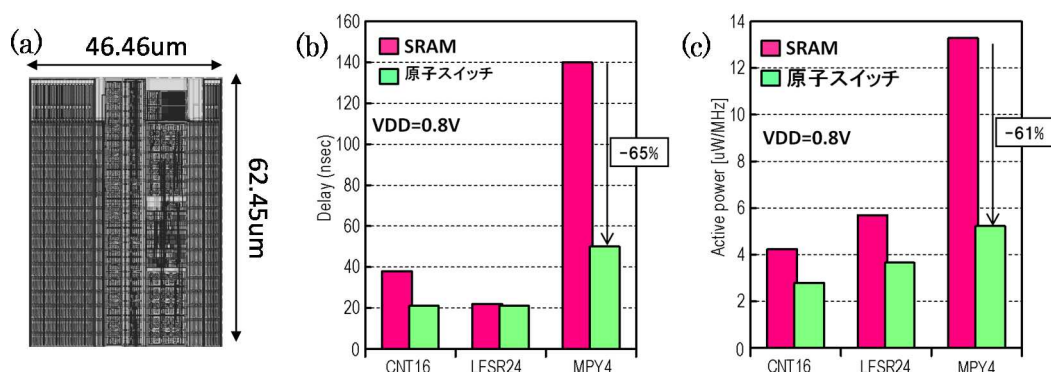


図 2.3-21 (a)原子移動型スイッチを用いたプログラマブルロジック、および(b)SRAM ベースロジックセルとの信号遅延、(c)動作時電力の比較。比較では 16bit カウンター (CNT16)、24bit 線形帰還シフトレジスタ(LFSR24)、4bit 乗算機 (MPY4)を用いた。

さらに、64x64 プログラマブルロジックを用いて、市販の低電力 FPGA と比較を行った。図 2.3-22 に示すように SRAM とパストランジスタを原子スイッチに置き換えることによって、信号遅延が大幅に改善し、比較対象である 40nm プロセスで製造された市販 FPGA と比較すると、電源電圧 0.8V において 2.5 倍高速であった。SRAM とパストランジスタを組み合わせたスイッチでは、信号のルーティングのために N 本の入力信号から 1 つの信号を選択する際、多数段のスイッチを信号が通過する必要があるのに対して、原子スイッチを N 個用いると、1 つの原子スイッチを通過するだけで信号の選択ができるため、信号遅延を短くできる。さらに、遅延時間の短縮は、動作電圧を低くすることに寄与し、64x64 プログラマブルロジックのアクティブ電力はリファレンスよりも 13% 程度削減することができた[13]。

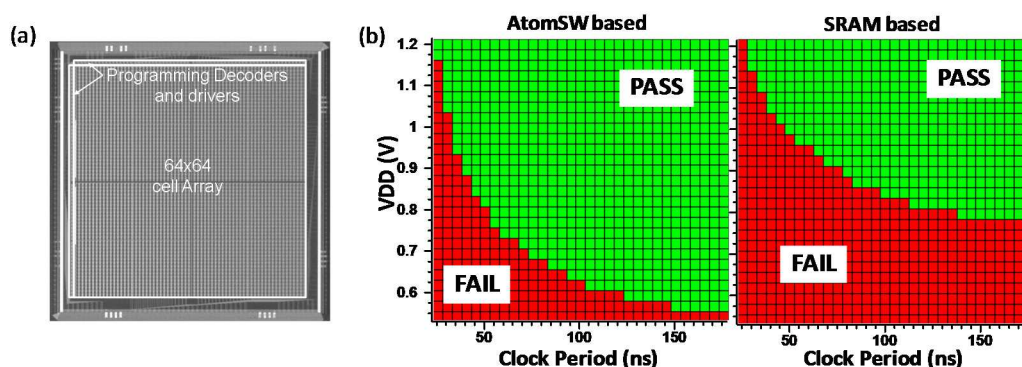


図 2.3-22 (a) 64x64 プログラマブルロジックセルアレイ。(b) 算術演算回路(ALU)を原子スイッチ版(左)および SRAM 版プログラマブルロジック(市販 FPGA、右)へマッピングした場合の各クロック周期に対する最低動作電圧。

(f) プログラマブルオフローダ機能検証

プログラマブルロジックによるオフロード処理を実証し、CPU には負荷が大きい処理を短時間にプログラマブルロジックで実行することで、チップの電力を下げる事ができた。実証に用いた

32x32 ロジックセルアレイ規模のプログラマブルロジックは、原子スイッチ ROM が混載された 32bitCPUと比較すると2倍程度のアクティブ電力を必要とするが、処理速度が60倍と非常に高速である。また、不揮発性のためスタンバイ電力を必要としない。そのため、処理あたりのエネルギー効率を30倍とできた。

(4) 達成度

中間目標および最終目標はすべて達成した。各目標に対する達成度は下記の通りである。

- ・スイッチ素子の材料選定、素子構造の最適化

下部電極:Cu、固体電解質:PSE(polymer solid-electrolyte)、上部電極 Ru を基本構成とする 3 端子原子移動型スイッチを開発し、2V のプログラム電圧と 10 年以上のオフ信頼性を達成した。

- ・単体素子性能として書き換え電流と書き換え速度の積が $10^{-10}\text{A}\cdot\text{s}$ 以下

0.5k-bit スイッチアレイのスイッチ抵抗分布の計測により、4 ビットの素子がフェイルしているものの、ほとんどの素子は 200ns、500uA (電流速度積: $10^{-10}\text{A}\cdot\text{sec}$) のプログラムパルスでプログラム可能であることを確認し、単体素子動作としての目標を達成した。

- ・オン・オフ抵抗比 10^5 以上

単体の 3 端子原子移動型スイッチの、ON 状態と OFF 状態の双方の抵抗値を 0.1V 印加時の電流値から求めたところ、約 5 桁のオン・オフ比が得られることが確認された。

さらに、集積化した 1k-bit の 3 端子原子移動型スイッチアレイのオン・オフ比に関しては、中央値で約 4.5 桁が得られた。

- ・書き換え回数 10^3 以上

3 端子原子移動型スイッチの書換え回数評価結果より、 10^3 回以上の書き換え耐性が得られた。ただし、書き換え回数の増加とともにスイッチ抵抗ばらつきが増大する傾向がある。

- ・大規模集積化に必要なスイッチ素子特性のばらつきを低減

スマートセンサ用データ圧縮アルゴリズムが検証可能な、大規模プログラマブルロジック回路に適用可能なレベルまで、原子スイッチ素子特性のばらつきを低減できる集積化技術の検討を行った。Cu表面の清浄化技術の開発、さらにはバッファ層最適化によるスイッチング速度高速化技術、およびリーク電流低減技術等の開発を行い、スイッチング電圧ばらつき $\sigma=0.186\text{V}$ を達成し、大規模原子移動型集積化技術として完成させた。

- ・300mm ウェハ上にロジック集積回路を試作し、以下を達成する。(a) 本スイッチにより配線切り換えを行ったロジック集積回路が 0.4V で動作可能であり、その際の消費電力が、SRAM スイッチにより配線切り替えを行った従来型 1.2V 動作ロジック集積回路の 1/10 以下。(b) スイッチ素子面積が、同一世代の SRAM スイッチを用いたプログラマブルロジックデバイス(PLD)に比べ 1/20 以下。

原子移動型スイッチを用いたプログラマブルロジック回路が、0.4V以下の0.3Vまで動作可能であり、その際のアクティブ電力が、SRAMスイッチにより配線切り替えを行った従来型0.8V動作ロジック集積回路に比べ、約1/10であることを実証した。また、1.2V動作SRAMスイッチに対しては1/20以下であった。さらに、同一動作電圧でのアクティブ電力比較では、SRAMスイッチに対し、60%減であることを実証した。

集積化した原子移動型スイッチ素子のスイッチ面積は0.7 μm^2 であり、スイッチ素子の面積が同一世代のSRAMスイッチの約14 μm^2 の1/20であることを実証した。

(5) まとめ

低電圧プログラムと高いスイッチ素子信頼性を両立できる素子として、3端子原子移動型スイッチを開発し、2Vのプログラム電圧と10年以上の信頼性を達成した。また、3端子原子移動型スイッチに用いている固体電解質であるPSEは、TaO等と異なり、銅の架橋を完全に回収できるためオフ状態は初期と同様に高信頼であることが分かった。

3端子原子移動型スイッチの特性評価TEG・機能評価TEGの設計、および集積化プロセスの構築を行い、3端子原子移動型スイッチアレイの動作特性評価、および小規模TEGによるプログラマブル機能検証を行った。その結果、書き換え電流・速度積、オン・オフ抵抗比、書き換え回数ともに目標値を達成した。

集積化プロセスを改善し、素子不良や素子特性ばらつき増加などの原因を調査、対策・改善を行い、中規模な回路動作(スイッチ数1Mbレベル)を検証するために十分に低いばらつきである、プログラミング電圧ばらつき $\sigma=0.186\text{V}$ を実現した。動作検証においては、6x6および48x48プログラマブルロジックを用いた。原子スイッチベースのプログラマブルロジックは、SRAMベースと比較すると、ロジックセル面積で-75%、電力で最大-61%、信号遅延で最大-65%が達成できた。平成26年度に設計・試作を行った、プログラマブルロジックによるオフロード処理を実証し、CPUには負荷が大きい処理を短時間にプログラマブルロジックで実行することで、チップの電力を下げることができた。実証に用いた32x32ロジックセルアレイ規模のプログラマブルロジックは、原子スイッチROMが混載された32bitCPUと比較すると2倍程度のアクティブ電力を必要とするが、処理速度が60倍と非常に高速である。また、不揮発性のためスタンバイ電力を必要としない。そのため、処理あたりのエネルギー効率を30倍とできた。

参考文献

- [1] N. Banno et al., Symposium on VLSI Technology, pp. 115-116, (2010).
- [2] M. Tada et al., IEEE Transactions on Electron Devices, vol. 57, no.8, pp.1987-1995, (2010).
- [3] M. Tada et al., IEEE International Electron Devices Meeting, pp.403-406, (2010).
- [4] M. Miyamura et al., IEEE ISSCC, pp.228-229, (2011).
- [5] M. Tada et al., IEEE International Electron Devices Meeting, pp.689-692, (2011).
- [6] N. Banno et al., "A Fast and Low-Voltage Cu Complementary-Atom Switch 1Mb Array with High-Temperature Retention", International Symposium on VLSI Technology 2014.
- [7] X. Bai et al., "Architecture of Reconfigurable-Logic Cell Array with Atom Switch: Cluster

Size & Routing Fabrics ” , 23rd ACM/SIGDA International Symposium on Field-Programmable Gate Arrays.

- [8] K. Okamoto et al., IEEE International Electron Devices Meeting, pp.279-282, (2011).
- [9] M. Tada et al., IEEE International Electron Devices Meeting, pp.693-696, (2012).
- [10] N. Banno et al., Symposium on VLSI Technology, pp. 39-40, (2012).
- [11] M. Miyamura et al., IEEE International Electron Devices Meeting, pp.247-250, (2012).
- [12] M. Miyamura et al., "Low-power programmable-logic cell arrays using nonvolatile complementary atom switches", isQED2014.
- [13] M. Miyamura et al., “Low-active power of 17uW/MHz, zero-sleep power programmable logic BEOL nonvolatile configuration switch”, 23rd ACM/SIGDA International Symposium on Field-Programmable Gate Arrays.

2.4 研究開発項目④ 三次元ナノカーボン配線

「集積回路チップ内において、機能ブロックの三次元集積を実現するための、微細幅・超低電気抵抗、超高アスペクト比配線・材料技術の開発」

(1) 背景と目的

集積回路チップの三次元高集積化には、個々の機能ブロック同士を接続するための多層配線の微細化・長距離対応、さらに縦方向の配線の超高アスペクト比化が不可欠である。現在、集積回路チップ内配線には、Cu、W 等の金属材料が主に用いられているが、配線寸法の微細化に伴って、結晶粒界や界面での、電子の非弾性散乱効果による配線抵抗の増大が顕著になりつつある [1] [2] [3]。既に配線幅 100nm を下回る領域で、この増大が現実のものとなりつつあるが、2020 年以降に予想される配線幅 10nm 前後の領域では、散乱の影響が著しく増大し、大幅な抵抗上昇が生じ、従来の金属材料では所要の性能を実現できない。加えて、三次元集積のためには、隣接のブロック間だけでなくチップ内の長距離(～0.7mm)の接続が求められている。また、急速に進みつつある不揮発素子等の機能ブロックの三次元積層集積のためには、微細でかつこれまででない超高アスペクト比(コンタクトホールの深さと直径の比)のコンタクト開発が求められている。現在までに、10 を超えるアスペクト比への W など金属の埋め込み技術が開発されているが、将来的にはアスペクト比 30 の埋め込みが必要になると予想されている。

(2) 目標

以上のような必要性に基づいて、ナノカーボン材料を用いて、機能ブロックの三次元集積を実現させる微細線幅(≦20nm)・長距離(≦0.7mm)に対応した横方向配線技術と、超高アスペクト比(30)に対応したコンタクトプラグ技術を 300mm 基板上で実証することを目標に開発を行う。具体的には、集積回路チップ適用に求められる低温プロセスで、300mm 径 Si 基板全面でのナノカーボン材料成長・加工・配線集積化に関する技術開発とともに、ナノカーボン材料の配線適用に関する理論検討、先行的材料合成・評価等の配線基礎技術開発を行い、300mm 径 Si 基板上での配線技術の有効性を実証する。以下に中間及び最終年度の目標を示す。

【中間目標】(平成24年度末)

- ・微細線幅(100nm)、低抵抗(シート抵抗 $< 50 \Omega/\square$)の配線実証
- ・微細直径(90nm)、超高アスペクト比(≧16)のコンタクトホールへのナノカーボン材料埋め込み実証

【最終目標】(平成26年度末)

- ・微細線幅(≦20nm)、長距離(0.7mm)、低抵抗(シート抵抗 $\leq 3 \Omega/\square$)の配線実証
- ・微細直径(90nm)、超高アスペクト比(30)のコンタクトホールへのナノカーボン材料埋め込みと、W 以下の抵抗(接触抵抗を含む)の実証

(平成27年度末)

- ・20nm 以細幅のグラフェンに対し、低抵抗化に有効な、触媒金属等の腐食を制御可能なドーピング材料の決定。
- ・ビアプラグ材料としてのCNT構造に適したドーピング手法の見極め。

(3) 研究開発成果

(3)-1 ナノカーボン配線基礎技術

本項では、微細幅ナノカーボン配線の低抵抗化に関する基礎技術の開発成果について述べる。図 2.4-1 に低温多層グラフェン(MLG:Multi-Layer Graphene)を用いた微細幅低抵抗ナノカーボン配線実現のための開発課題をまとめて示す。プロジェクト目標である $3\Omega/\square$ @線幅 20nm は、配線断面アスペクト比を 4 とした場合、抵抗率で $30\mu\Omega\cdot\text{cm}$ 以下に相当する。900°C 以上の高温成長グラフェンにおいては、最近になってこの抵抗率を下回る実測値が報告され [4] [5]、予想されていた低抵抗が実データとして確かめられた。しかし、本プロジェクトでターゲットとしている集積回路チップへの適用を想定すると、これら先行研究のような高温を必要とする成長方法は用いることができない。一方で、低温で合成した MLG の抵抗は、高温で合成された Kish グラファイトから剥離転写した MLG に比べ著しく高い。また、高温 MLG であっても、実際に作製した配線では、微細化に伴ってエッジ散乱による抵抗率上昇があり、プロジェクト目標抵抗に対しては大きな乖離がある(図中赤点が実測データ、赤線が近似結果) [6]。そこで、本プロジェクトでは、まず配線集積プロセスへの適合性上もっとも重要な、低温での高品質 MLG 成長技術開発に取り組んだ。並行して、高温成長による理想的な結晶性を持つ MLG 配線であっても生じる、微細化に伴う抵抗上昇を以下の 2 つの施策により低減することを目指した。施策その 1 は、インターカレーション(層間ドーブ)によるフェルミレベルシフトであり、抵抗線幅依存性の実測結果から目標達成に必要と見積もられた 0.7eV 程度のフェルミレベルシフトの実証を目指した。施策その 2 は、エッジ制御の理論検討で、将来想定されるより微細な世代への適用可能性を示すための、原子レベルでのエッジ構造制御による低抵抗化可能性の検討を行った。

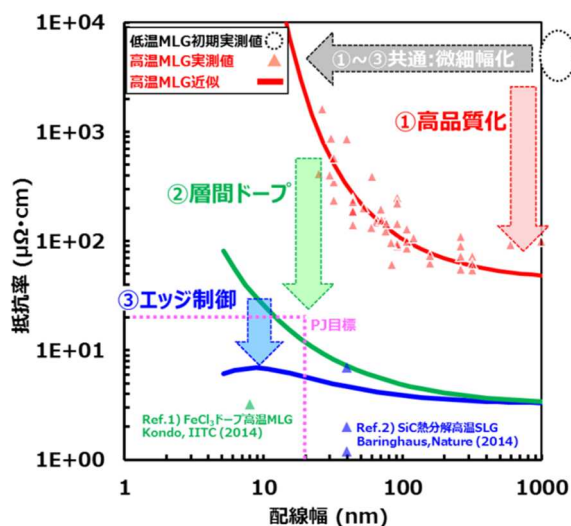


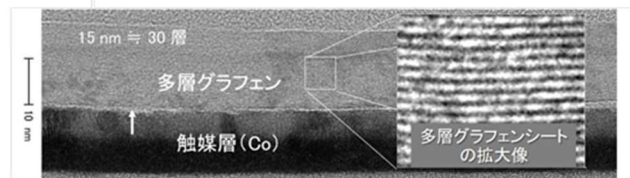
図 2.4-1 低温成長 MLG 微細幅低抵抗配線の開発課題

(a) ナノカーボン配線材料技術

一般に高結晶性のグラファイトは 1000°C 以上の高温環境で形成され、CVD (Chemical Vapour Deposition) によるグラフェン合成もこの温度領域で行われている。しかし、本プロジェクト

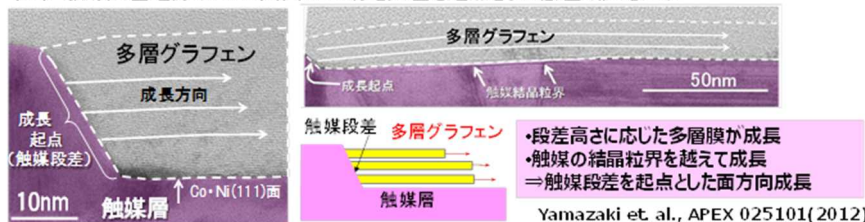
トがターゲットとしている BEOL 配線プロセスへの適用を想定した場合、デバイスや周辺材料への影響等からこのような高温を用いることはできない。本プロジェクトでは、この BEOL 配線プロセスへの適用性を念頭に、触媒性のある金属を用いた低温(600°C台以下)での MLG 合成と、その高品質化に取り組んだ。この取組みの基本成果として、図 2.4-2(a)に、触媒金属にコバルト(Co)、炭素源にメタンを用い、600°Cでプラズマ CVD 合成した膜の断面 TEM 像を示す [7] [8]。明瞭な積層構造とその層間隔(0.34nm)から、多層グラフェン(MLG)が成長していることがわかる。同図(b)は、これら触媒金属上で低温成長させた MLG に特徴的な MLG/触媒の界面構造を示したもので、多数の成長例を観察した結果、低温での MLG 成長に図中のような触媒の段差構造が深くかかわっていることを見出した [9]。多くの場合、成長した MLG は近傍の触媒段差と同程度の高さを有しており、基板面の触媒の粒界を超えて、連続した MLG 層が伸びている様子も観察される。これらは、MLG が基板面の個々の触媒結晶粒子から成長しているのではなく、触媒段差を起点にして触媒面方向に成長していることを示唆している。

(a) 低温(600°C) CVDにより成長させたMLGの断面TEM像



Yamazaki et al., Graphene 2011 (2011)

(b) 触媒段差近傍のMLG断面TEM像と段差を起点とした低温成長モデル



Yamazaki et al., APEX 025101(2012)

図 2.4-2 低温 CVD 成長 MLG の断面 TEM 像と触媒段差での成長モデル

一般に、高温での MLG 成長は、図 2.4-3(左)に示すように、気相から高温で金属中に取り込まれた炭素が、降温中に析出することによって起きると理解されている。このため、固溶度の違いを生む高い温度での炭素雰囲気処理と、そこからの降温過程が重要となっている。これに対して、固溶度の違いの生じにくい低温でも MLG が成長するのは、段差構造と局所的な温度勾配をトリガーにした、異なる成長機構が働いているものと考えられる。

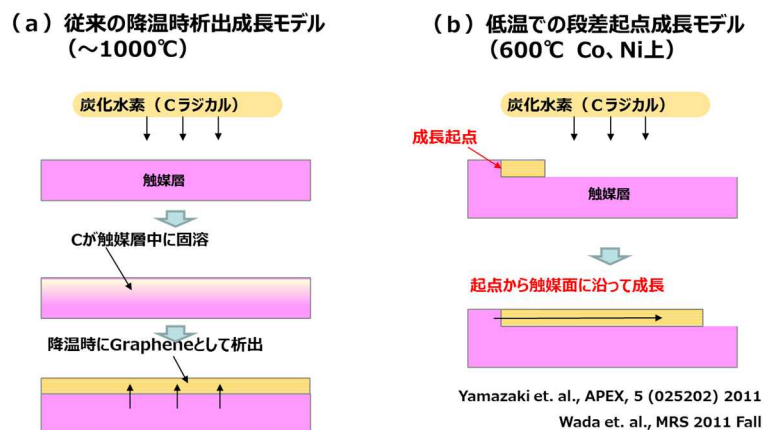


図 2.4-3 MLG の成長モデル (a)高温 CVD、(b)低温 CVD

図 2.4-4 に、Ni 触媒上で成長させた、低温 MLG の品質向上の結果を示す [10] [11] [12] [13]。同図上の SEM 像は BSE (backscattered electron) 像と呼ばれる反射電子による像で、原子番号に比例したコントラストが得られる。すなわち、低原子番号元素に覆われている表面では暗く、高原子番号元素で覆われている場合は明るく観察される。本図では、暗く見えるのがカーボンで被覆された領域に相当し、白い領域は相対的にカーボン膜厚が薄いか、または下地の触媒金属が露出している領域である。また G/D 比は、グラフェンの結晶品質の指標として広く用いられているもので、ラマンシフトスペクトルにおける炭素六員環由来の G ピークと、その欠陥由来の D ピークの比である。すなわち、G/D 比はグラフェンにおける結晶の完全性の程度を表しており、大きいほど高品質といえる。例えば、高温高压で合成された高品質結晶グラファイトから剥離転写した MLG では、D ピークは見られず、G ピークのみが観察される。図 2.4-4 に戻ると、図中左の当初の成長条件では、G/D 比は 3 程度と低かったが、供給ガスの流量条件検討や、触媒金属の大粒径化、さらに Ni 触媒を低温でエピ成長させ高配向化することによって、平均 G/D 比 40 以上と低温 (650°C) 成長グラフェンとしてはこれまでに報告のない高い結晶性を得ることに成功した。これに伴って、膜の抵抗率 (絶縁基板上に剥離転写して測定) も低減し、高温 MLG の抵抗率 ($\leq 100 \mu\Omega \cdot \text{cm}$) の 3 倍程度のところまで近づけることができた。

平面SEM (BSE像)			
成長プロセスの改善点		C/H流量比等調整、触媒大粒径化	触媒高配向化
結晶品質 (G/D比)	2.9	18	42
転写膜の抵抗率 ($\mu\Omega \cdot \text{cm}$)	1400	400	280

図 2.4-4 低温 CVD 成長 MLG の成長条件・触媒改善による高品質化

図 2.4-5 は、低温成長における結晶性向上の可能性を調べるために、Ni のエピ成長条件を検討し、触媒をさらに大粒径化して成長させた結果である。一般的に、Ni 膜はアニールにより(111)優先配向し、その面はグラファイトの六員環格子とわずかな格子不整合(1.3%)で重なることから、グラフェン成長時のテンプレートとして働いていると考えられている。触媒段差を起点にした横方向成長であっても、段差や下面の触媒方位が揃っていることが成長に寄与すると考えられる。本実験では、Ni 膜をサファイヤウェハ基板上に形成し、低温(650°C)でアニールすることによって(111)配向させた。このエピ Ni 触媒を用いて低温(650°C)で CVD を行ったところ、同図(a)に示すように 5 μm 以上の粒径のグラフェンが成長し、(b)に示すようにラマンスペクトルではほとんど D ピークの見られない G/D 比 100 を超す高品質が得られた。この結果は、プロセス適合性の要となる成長温度は(600°C 台まで下げても)、MLG の結晶品質の本質的な限界要因にはなっていないことを示しており、低温での高品質 MLG 成長プロセスの可能性を示すものである。

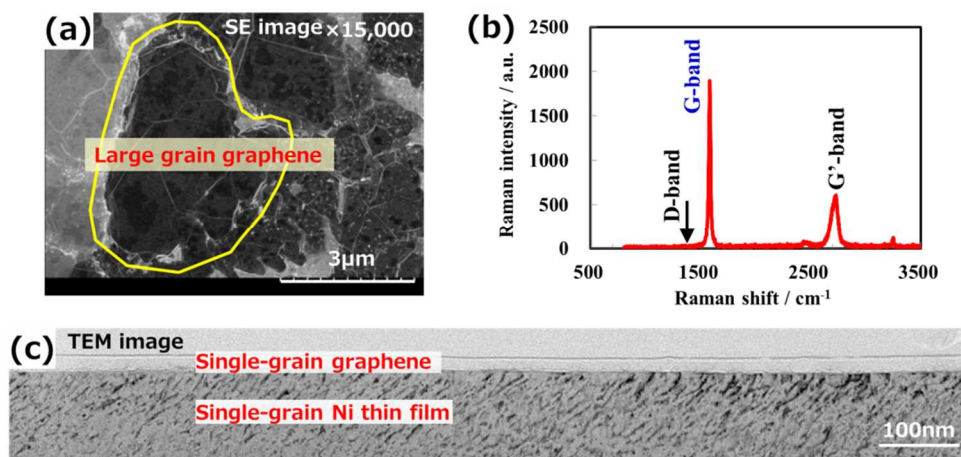


図 2.4-5 低温エピした大粒径 Ni 上で低温成長させた MLG の(a)平面 SEM 像、(b)ラマンスペクトル、(c)断面TEM像

以上のようにして得たエピ Ni 上成長を含む低温 MLG を用いて、微細幅配線を作製し、抵抗・線幅依存性を高温 MLG と比較検証した。図 2.4-6 に抵抗検証用微細幅 MLG 配線の作製プロセスを示す [6]。触媒上に成長させた MLG は、酸などにより触媒をエッチングして剥離し、絶縁膜(SiO_2)を形成した基板上に転写した。電子ビーム露光・リフトオフを用いて、金属電極を形成した後に、エッチングマスクを形成してパターニングし、MLG を酸素プラズマなどによりエッチングして細線化した。図 2.4-7 にこのようにして作製した微細幅(26nm) MLG 配線の上面 SEM 像と断面 TEM 像を示す [14] [15]。断面像より多層グラフェンの積層構造が観察され、所望の構造が形成できていることが確認できる。

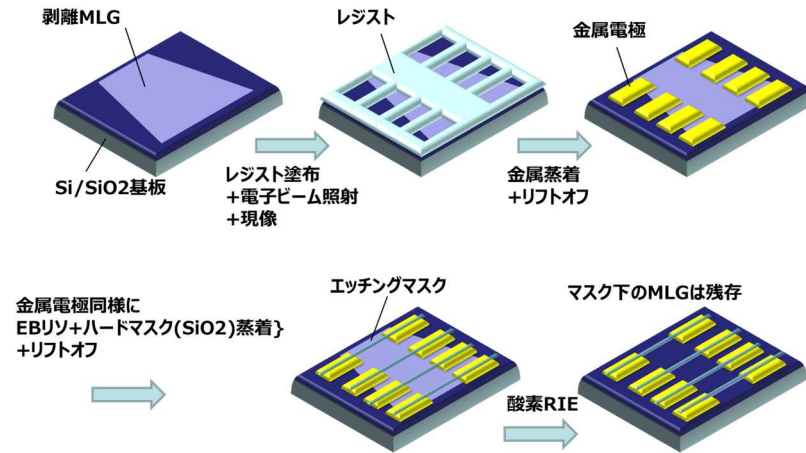


図 2.4-6 抵抗検証用微細幅 MLG 配線の作製プロセス

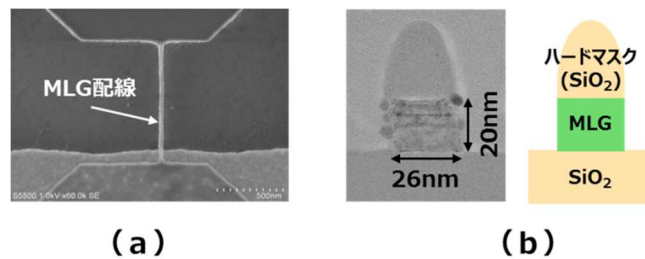


図 2.4-7 微細幅 MLG 配線の(a)平面 SEM 像、(b)断面 TEM 像と構造模式図

図 2.4-8 にこのようにして作製した微細幅 MLG 配線の抵抗線幅依存性を高温で合成された高品質の結晶グラファイトから剥離転写して得た高温 (Kish) MLG の結果と比較して示す。G/D=3.4 の初期の低温 MLG に比べ、上述のエピ Ni 上の低温 MLG は剥離・転写後でも G/D > 20 あり、抵抗率も低減していることがわかる。これら G/D の異なる低温 MLG の抵抗率線幅依存性は、高温 (Kish) MLG の近似結果 (赤の実線) から平均自由行程を短くするだけでよく近似され、現状の到達点である G/D > 20 の転写 MLG 膜は高温膜に対して約 1/5 の MFP と推定された。一方で配線幅が 100nm を切る微細な領域での低温 MLG の抵抗上昇は、高温 MLG に比べて小さく、最小線幅 12nm までの抵抗検証の結果、幅 20nm 台以下の抵抗は高温 MLG とほぼ同等、あるいはそれ以下であった。これは、現状の配線エッジ構造では、微細幅化に伴って、配線内部よりもエッジでの散乱影響を受けやすくなるためと考えられる。

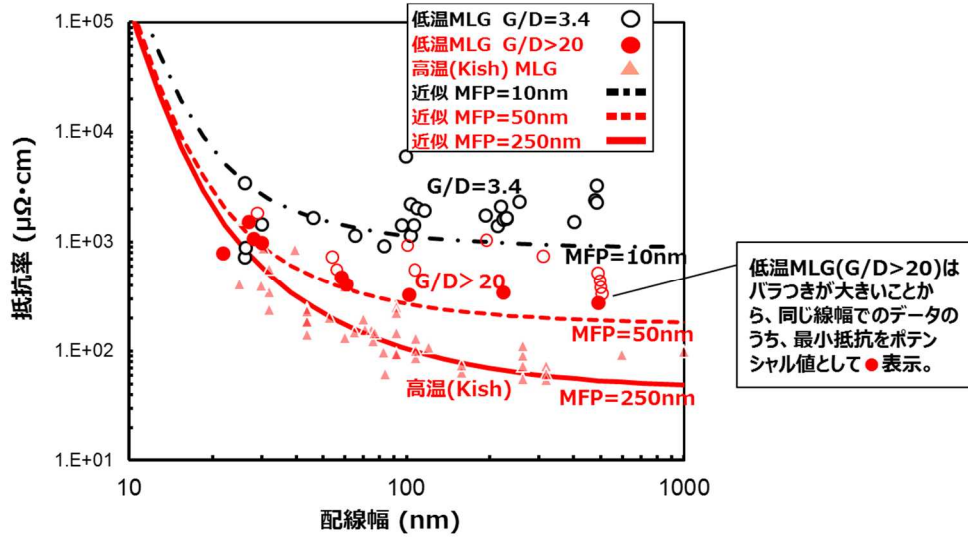


図 2.4-8 微細幅 MLG 配線の抵抗と線幅および膜品質の関係

(b) 超低抵抗ナノカーボン配線技術 (共同実施 芝浦工業大学、東京工芸大学)

図 2.4-1 に示したように、グラフェンを低抵抗化するためには、結晶性の向上と合わせてフェルミレベルシフト(ドーピング)及びエッジ構造制御が必要である。本項では、フェルミレベルシフトのために取り組んだインターカレーション(層間ドーピング)に関する成果について述べる。インターカレーションとは、グラフェンの層間に化合物・元素を挿入させることで、図 2.4-9 に本開発で選択した五塩化モリブデン (MoCl_5) をインターカレーションさせたグラファイトの構造シミュレーション結果を示す。本プロジェクトでは、層間化合物として、各種金属塩化物やハロゲンを中心に検討し、それらのドーピングによるフェルミレベルシフトと抵抗低減を目指した [16] [6] [17]。

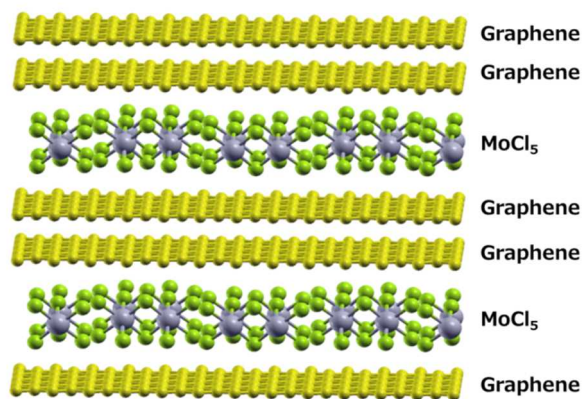


図 2.4-9 MoCl_5 をインターカレーション(層間ドーピング)した MLG の構造例.第一原理計算によりシミュレーションした stage2と呼ばれるグラフェン2層毎に挿入される構造

図 2.4-10 は、層間化合物として MoCl_5 を入れた場合のバンド構造変化を第一原理計算により検討した結果で、ドーピング前のバンド構造(図左緑色の線で示したバンド分散)がドーピング後は 0.6eV にシフトしただけで、構造自体はほぼそのまま保持されていることがわかる。(同図右赤線で示したドーピンググラフェン由来のバンド分散)。これは、ドーピングによって、グラフェンの持つ電導特性を劣化させることなく電荷数を増やせることを示しており、配線低抵抗化の観点でグラフェンへの層間ドーピングが有用な手段であることを理論的に確かめることができた。

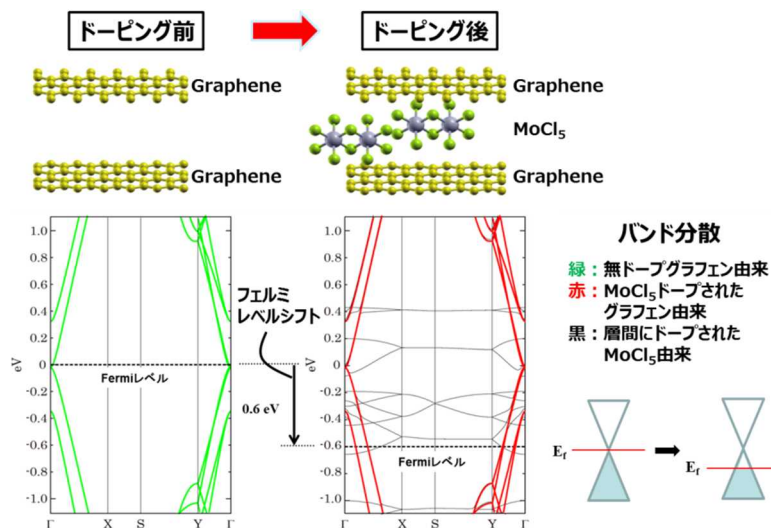


図 2.4-10 MoCl_5 をインターカレーション(層間ドーピング)した MLG の構造とバンド構造シミュレーション結果 バンド分散に変化がなく、フェルミレベルだけがシフトしている

図 2.4-11 に、実際に五塩化モリブデン(MoCl_5)をドーピングした高温 MLG の断面 TEM 像(a)と、その層方向の輝度変化(b)、およびそのフーリエスペクトル(c)を示す。(a)の積層方向(破線)に沿って輝度を抽出し(b)、そのフーリエスペクトル(c)を求めたもので、赤線が MoCl_5 ドープ MLG の TEM 像に対するもの、破線が stage 2 の MoCl_5 ドープグラファイトのモデルを仮定したシミュレーション結果、灰色の線は未ドープ MLG の TEM 像に対するものである。TEM 像から得たフーリエスペクトルは、 MoCl_5 ドープのシミュレーション結果とよく合致しており、 MoCl_5 がグラフェン 2 層毎に挿入された stage2 と呼ばれる状態まで、ドーピングされていることが明らかになった。

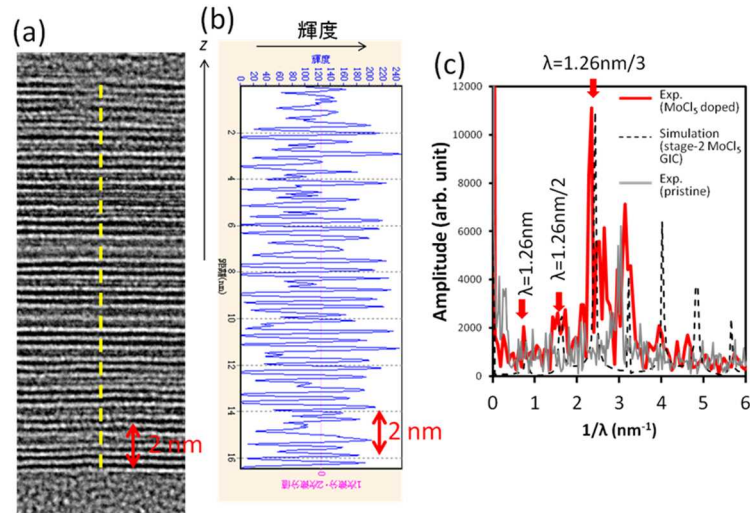


図 2.4-11 TEM 像のフーリエスペクトル解析結果

図 2.4-12 は、各種ドーピング材料の比較により、現時点で候補として抽出した FeCl_3 と MoCl_5 を、それぞれ異なる寸法の高温 MLG 試料にドーピングした場合のラマンスペクトルである。図中に示すように、MLG の G ピークは未ドーブ時には 1580cm^{-1} 付近にあるが、前述のようなドーピング構造をとると、高波数側にシフトする。これは、電荷密度の変化によるフォノン変化を反映したものであることから、ラマンピークシフト自体が、ドーピングによるフェルミレベルシフトの効果を示している。図 2.4-13 に FeCl_3 と MoCl_5 をそれぞれ層間ドーブした MLG の抵抗を van der Pauw 法により評価した結果を示す。 FeCl_3 でシート抵抗 $1.4\ \Omega/\square$ 、比抵抗約 $5\ \mu\ \Omega\cdot\text{cm}$ と低抵抗化目標 ($3\ \Omega/\square$) を超える低抵抗が得られた。 MoCl_5 でもシート抵抗 $4.7\ \Omega/\square$ 、比抵抗約 $9\ \mu\ \Omega\cdot\text{cm}$ とほぼ同様の低抵抗が得られた。ラマンピークシフトは、図 (a) の FeCl_3 では、試料サイズ $3\ \mu\text{m}$ 以下では明瞭でなくなっているのに対して、図 (b) の MoCl_5 では、 $1\ \mu\text{m}$ 以下の試料においても観察される。図 2.4-14 はこの結果をまとめたもので、 FeCl_3 に比べて MoCl_5 は、より小さな試料寸法までピークシフトが見られ、ドーピングが保持されることが示された。

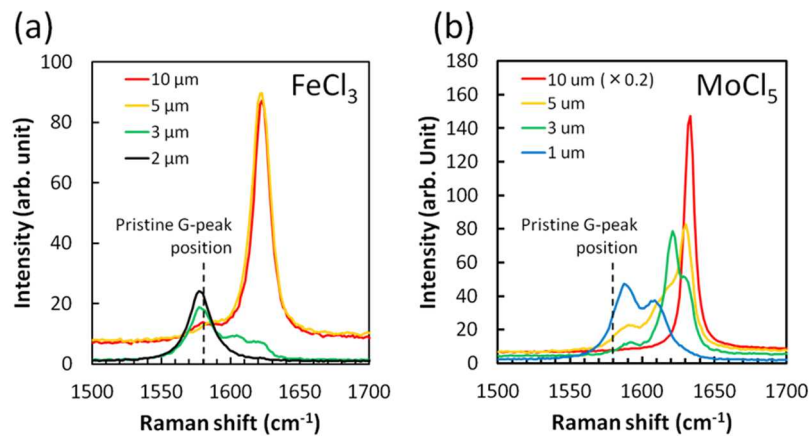


図 2.4-12 (a) FeCl_3 および (b) MoCl_5 をドーブした高温 MLG のラマンスペクトル

層間ドーパ材料	FeCl ₃	MoCl ₅
シート抵抗 (Ω/\square)	1.4	4.7
厚さ (nm)	37	20 \pm 5
抵抗率 ($\mu\Omega\cdot\text{cm}$)	5.2	9 \pm 3

図 2.4-13 (a) FeCl₃ および(b) MoCl₅ をドーパした高温 MLG のシート抵抗と抵抗率

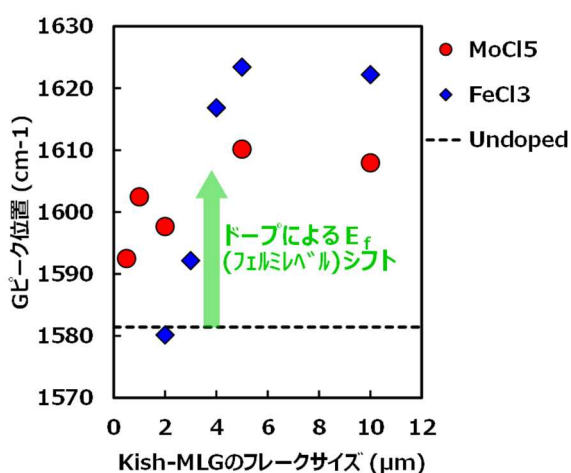


図 2.4-14 層間ドーパによるフェルミレベル(E_f)シフトの MLG サイズの関係

MoCl₅ が、他の材料に比べてより微細寸法まで保持される理由を調べるため、MoCl₅ をドーパした MLG のエッジ近傍の構造・組成を分析した。図 2.4-15 は、エッジ付近の断面 TEM 像で、エッジから約 30nm 内側で層間隔が拡大している様子が観察された。これは、これより内側で MoCl₅ が保持されていることを示している。図 2.4-16 は、同じ試料を EDX により元素分析した結果で、この Mo および Cl マッピングからも、エッジから 30nm 以上内側で MoCl₅ が保持されていることがわかる。一方、それよりエッジに近い領域では、C はあるものの、Mo、Cl の濃度は低く、エッジの外側に Mo、O、Si が存在していることがわかった。これは、エッジ近傍では MoCl₅ が外部に漏出するものの、外部に酸化物となって堆積していること、また Si の酸化物もかかわっていることを示している。この酸化析出物が、MoCl₅ の安定化にかかわっている可能性が考えられる。先行研究からは、MoCl₅ を含むいくつかの酸塩化物を形成する化合物が、層間で部分酸化することによって安定化することが報告されており、これらの反応を制御することによって、よりエッジ近傍までドーピングを保持できるものと考えられる。

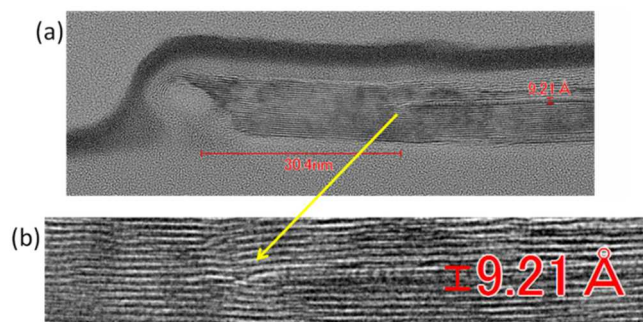


図 2.4-15 MoCl₅ドーピング高温 MLG の(a)エッジ部 TEM 像と(b)拡大像

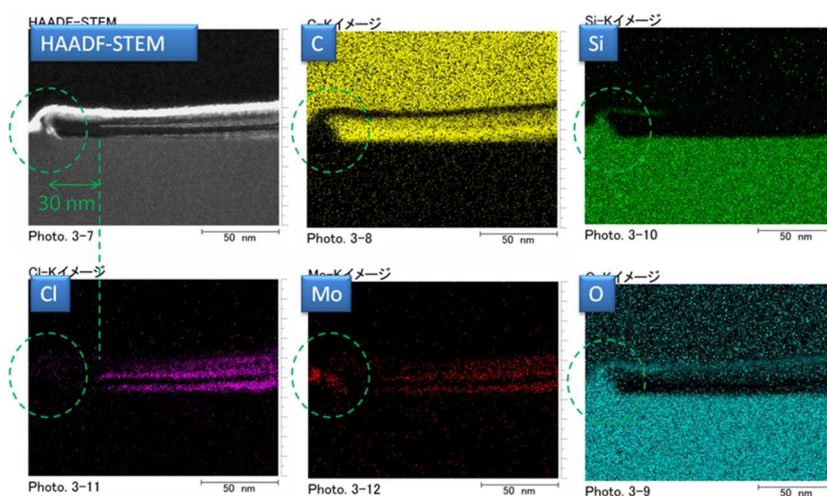


図 2.4-16 MoCl₅ドーピング高温 MLG のエッジ部分の EDX による元素分析結果

以上は高温 MLG を用いた検証結果であるが、図 2.4-17 には、低温 MLG へのドーピング検証結果を示す。G/D=29 と 3.4 の MLG に、それぞれ FeCl₃ ないしは MoCl₅ をドーピングし、G ピークシフトを検証した。G/D=3.4 ではいずれの条件でも明瞭なピークシフトはみられず、有効なドーピングは確認できない。一方、G/D=29 では、FeCl₃ ではシフトが見られないものの、MoCl₅ を用いることによって、ピークシフトが観察されドーピングされることがわかった。図 2.4-18 は、この G ピークシフトと低温 MLG の G/D 比、およびドーピング材料の関係をまとめたもので、MoCl₅ を用い、かつ G/D 比を 20 程度以上に向上させることによって、低温 MLG でもドーピングが可能になることを示している。先行研究では、低温成長 MLG へのインターカレーションドーピングの報告は見られず、本開発が低温成長 MLG への初めてのドーピング実証と考えられる。

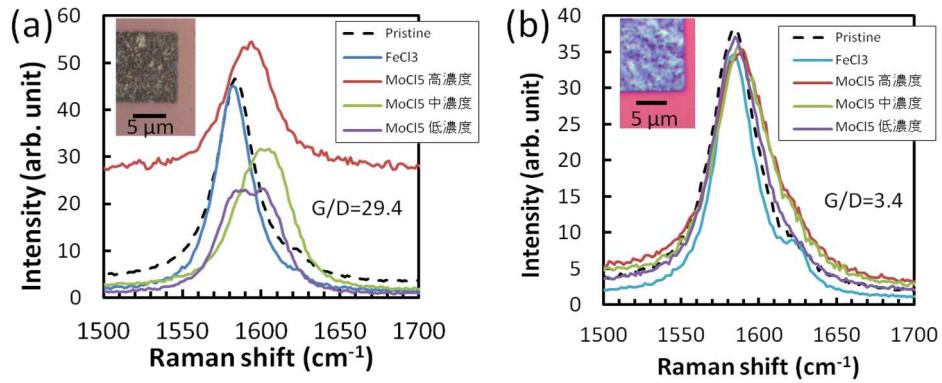


図 2.4-17 MoCl₅ないし FeCl₃をドーブした低温 MLG のラマンスペクトル (a) G/D 比 29.4、(b) G/D 比 3.4 の場合

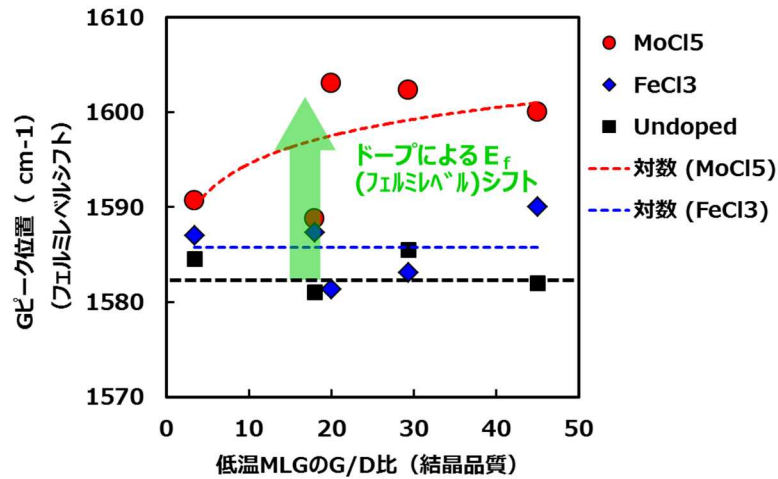
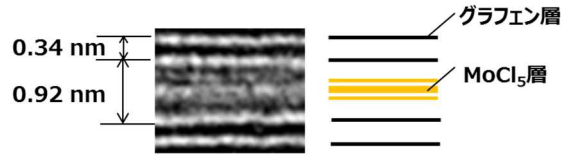


図 2.4-18 低温 MLG の G/D 比 (結晶品質) とドーピング種による G ピーク位置変化 (フェルミレベルシフト) の関係

以上の検討結果をまとめたものを図 2.4-19 に示す。ドーピング材料候補をハロゲンや金属塩化物を中心に検討した結果、MoCl₅ と FeCl₃ を候補として抽出し、フェルミレベルシフトと抵抗低減を確認した。両者の中でも、MoCl₅ はより微細寸法の試料までドーピングを保持でき、また、低温 MLG に対しても G/D 比を向上させることで、ドーピングが可能であることを初めて示した。MoCl₅ のドーブ保持性は、後述のようにドーブ後処理により更に向上し、エッジから 30nm の領域は抜けていたドーパントが、ドーブ後酸素処理によりエッジ端まで抜けずに保持されることを実証した。



MoCl₅をドーピングしたMLGの断面TEM像と層構造

MLG	ドーピング材料	フェルミシフト	抵抗低減	シート抵抗 [Ω/□]	比抵抗 [μΩcm]
高温MLG	FeCl ₃	○	1桁	1.4	6
	MoCl ₅	○	1桁	4.7	9
低温MLG (G/D≒29)	FeCl ₃	×	未検証	-	-
	MoCl ₅	○	1桁以上	70	157

図 2.4-19 層間ドーピングのまとめ

平成27年度は、横方向配線に関しては、平成26年度までのドーピングによる低抵抗化の検討に基づいて、新たな課題として抽出された触媒、絶縁膜等周囲の環境への影響を量産プロセスへの適用性の観点から検証し、その改善のための検討に取り組んだ。このために、上記の影響の観点からドーピング材料を原料供給や反応条件などのプロセス影響も含めて整理・分類した。これらの検討の詳細については、非公開版補足資料に示す。

その検討の中で、最重要なドーピング材料系として塩化物系と酸化物系を抽出し、前述の第一原理計算等による理論検討を行い、ドーピング材料のドーピング効果とバンド構造への影響等を検証した。さらにドーピング材料・プロセスの実験検討のために、雰囲気制御可能な流通型ドーピング実験系を整備した。整備した2つの流通型ドーピング材料・プロセス実験系を用いて、触媒や関連の金属に対する腐食対策の検討を進めつつある。

これらの検討の中で、MoCl₅ドーピング後に酸素曝露酸化を行うことによって図 2.4-20 に示すように、エッジ近傍までのドーパント保持性を向上させることができた。同図下段は、既述のようにMoCl₅をドーピングしたMLGのエッジ近傍で、エッジから30nm程度の領域は層間隔が小さくなるとともにClが抜けており、MoCl₅は保持されていないことが窺われた。これに対して、MoCl₅ドーピング後に酸素雰囲気中で処理することによって、同図上に示すようにMLGエッジ端まで層間隔が広いまま保持され、Mo、Clともエッジ端まで分布していることが確認できた。これは、配線を微細幅化してもドーピングを保持しうる可能性を示す結果である。

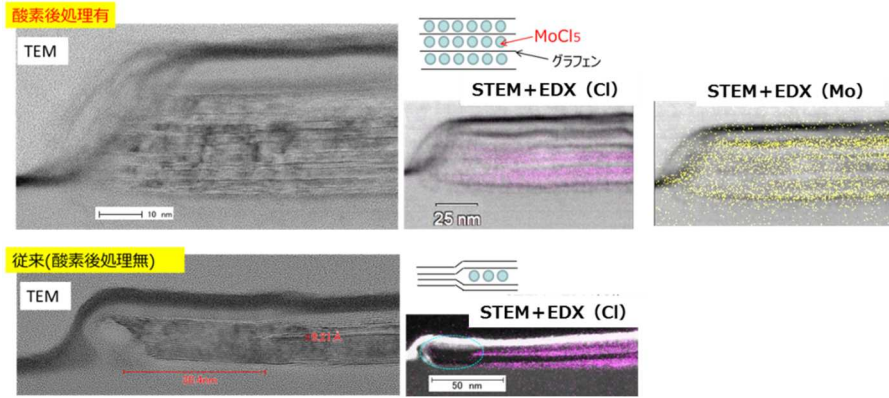


図 2.4-20 MoCl₅ドーピング+酸素後処理によるMLG エッジ部分のTEM/EDXによる分析結果。
酸素後処理追加によってエッジまで層間隔が広くMoとClが保持されている

以上、微細幅横向配線向けグラフェンのドーピングについて述べたが、CNT に関しては、平成27年度はCNT 固有のドーピング課題の解決可能性を探るために、格子置換型のドーピングとCNT 表面へのドーピングの検討を行った。図 2.4-21 にCNT へのドーピング手法の概要を示す。(a)の格子置換型ドーピングでは、p 型のドーパントとして報告のあるボロン(B)をCNT の炭素の六員環格子に置換ドーピングする。このため、あらかじめB を固溶させたNi 触媒を作成し、そこからCNT を成長させることで格子内へのB の取りこみを狙う。これまでにNi-B 触媒の作製、CNT 成長条件の検討を行い、CNT の成長検討を進めているところである。また、(b)のCNT 表面へのドーピングは、グラフェンのような層間ドーピングが困難なことから、CNT の外側にドーピング材料を吸着形成することでドーピング効果を狙うもので、現在 MoO₃を第一候補としてドーピング実験を進めている。直径・層数を同定済みのCNT を基板上に分散させ、MoO₃を被覆して抵抗変化の検証を行う。いずれの方法に置いても、CNT の抵抗変化の検証が重要になることから、昨年までの開発成果であるナノプローバによる単体CNT 抵抗の測定を予定している。

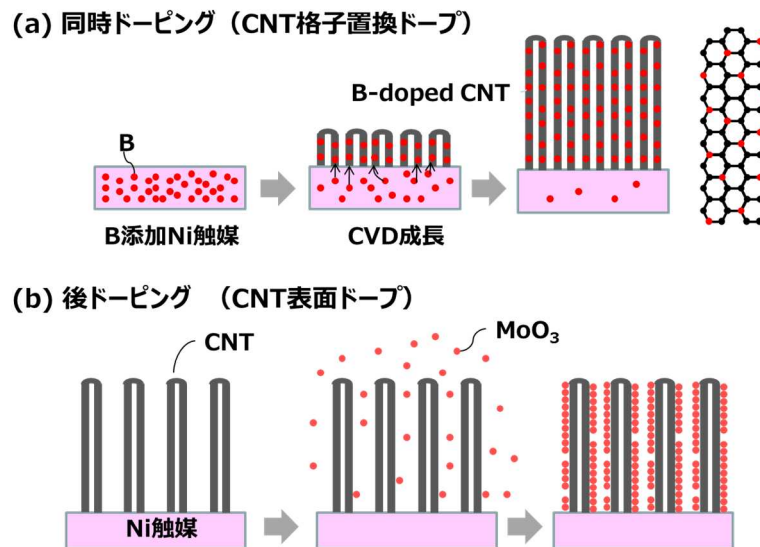


図 2.4-21 CNT へのドーピング技術の検討

(c) ナノカーボン材料の配線適用における理論的研究および電導特性の量子論的研究(共同実施 慶應義塾)

ナノカーボン配線の伝導特性を理論的に明らかにするため、当初は従来微細 FET など、非定常輸送現象の解析に強いモンテカルロ粒子シミュレーション法を中心に検討を進めた。平成 25 年度からは、ナノカーボン材料を微細配線に適用する上で必要となる、電子伝導特性の基礎理論データの集積と系統化を強化するため、量子物理学に立脚した理論数値的な研究を追加設定した。線幅 10nm 前後、またはそれ以下の領域で顕著になると考えられるエッジ形状乱れや、結晶粒界・ドーピングによる電子散乱による電子伝導度劣化のメカニズム解明を、非平衡グリーン関数法を Tight-Binding 格子模型に適用することで実施した。併せて、グラフェン微細幅配線へのドーピング効果や、エッチング後の配線エッジ形状乱れの影響を、SPM(Scanning Probe Microscope、走査プローブ顕微鏡)による配線中の局所電導特性評価手法開発により解析した。なお、平成 27 年度においては、平成 26 年度までの検討の結果に基づいて、より一体的に開発を進めるため、開発項目(a)-1 を(a)-2 に統合して「超低抵抗ナノカーボン配線技術」とし、(a)-4 を(a)-3 に統合して「ナノカーボン材料の微細幅配線適用における電導特性の理論的研究と解析」とした。

グラフェン配線用のモンテカルロシミュレーションでは、MLG 配線内のキャリア伝導特性の解明を行い、最終的に、計算物理から得たナノリボン(GNR)のバンド構造情報をモデルに付加し、モデルの定量性を高めた [18]。具体的には、DFTB (Density Functional Tight-Binding) 法によって求めた、配線幅 10nm のアームチェア型 2 層 GNR のバンド構造を用い、キャリア伝導特性(移動度)の、配線幅依存性とエッジ揺らぎ依存性について解析した。その結果、10 nm 幅では、バンド構造変化(有効質量の増加)による伝導特性低下が見られ、より実験に近い依存性を得ることができた(図 2.4-22) [19]。

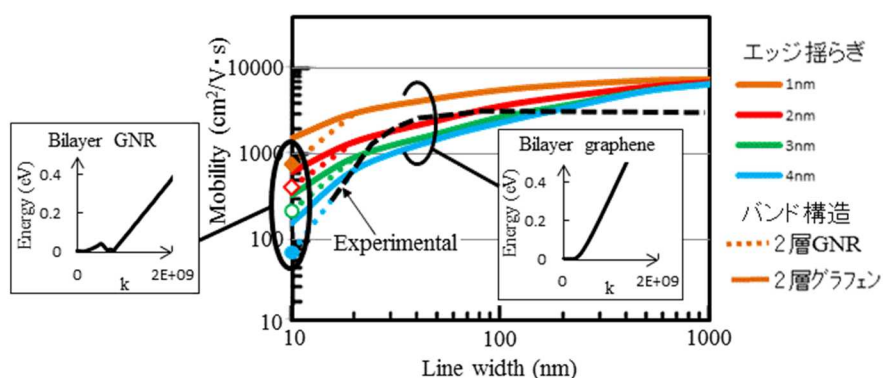


図 2.4-22 微細線幅でのバンド構造変化を考慮したグラフェン配線移動度の配線幅依存性のモンテカルロ解析

モンテカルロ解析では電子を粒子像として扱うため、量子力学的な考慮が必要な現象に対しては、別の方法との併用が必要になる。アームチェア型エッジを持つ GNR のエッジ揺らぎ効果を調べるため、非平衡グリーン関数(NEGF)を用いた第一原理計算法による解析を行った(図

2.4-23) [20] [21]。モデルは配線幅約 1.7 nm、長さ 5.0nm とし、六員環 1 個、2 個分の揺らぎを片側あるいは両側に入れ、透過率のエネルギー依存性を解析した。その結果、フェルミエネルギーが 1 eV 付近で、透過率は揺らぎの影響で 50%程度まで減少することがわかり、エッジの影響が大きいことが分かった。またエッジ揺らぎは、基底準位より第 1 励起準位の伝導に強く影響することもわかった。これは基底準位よりも第一励起準位の波動関数の方が、よりエッジに近いところにピークがあることと関係しているものと考えられる。また第一原理計算を使って、インターカレーションされた様々な幅のグラフェンリボンのフェルミ準位のシフト量を計算し、その効果を調べた。

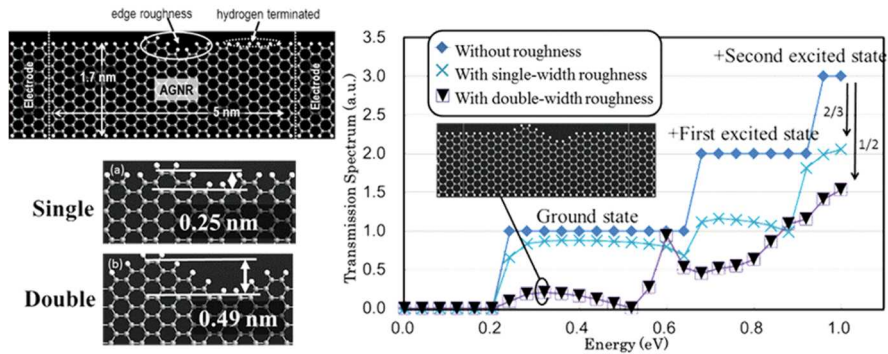


図 2.4-23 アームチェアエッジ GNR 伝導へのエッジ揺らぎ効果(第一原理・非平衡グリーン関数解析)

理想的なエッジ電導が予想されている、完全なジグザグ(ZZ)エッジ構造に代わる様々な抵抗低減構造を、第一原理計算により検討した(図 2.4-24) [22]。具体的には、線状の 5-7 縮環型の欠陥導入や、アームチェア(AC)構造へのエッジドーピングにより、ZZ 構造に匹敵する高導電性が期待できることを見出した。また、実際のグラフェンでは避けがたい、粒界欠陥の電導への影響を検討した(図 2.4-25) [23]。その結果、実際に粒界で観測される 5 員環と 7 員環の縮環型の欠陥など、一定の欠陥構造は、理想的な ZZ 構造を超える高い電導性を持つチャンネルとして働く可能性があることを見出した。

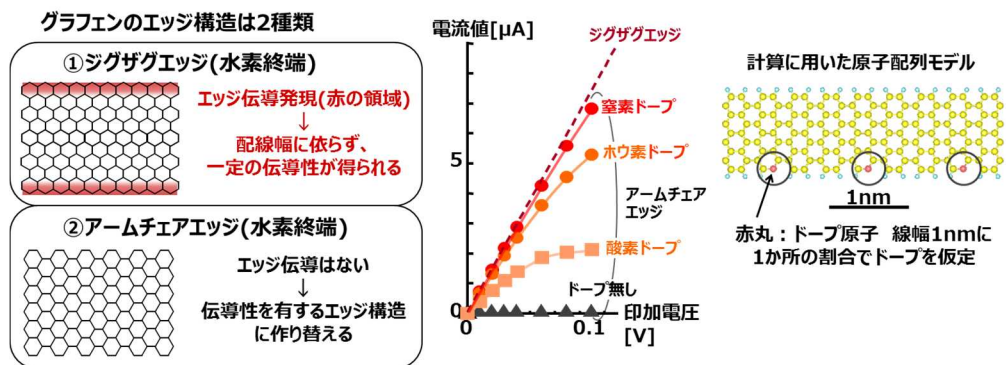


図 2.4-24 アームチェア(AC)エッジへの各種元素置換ドーパによる抵抗低減(第一原理計算)

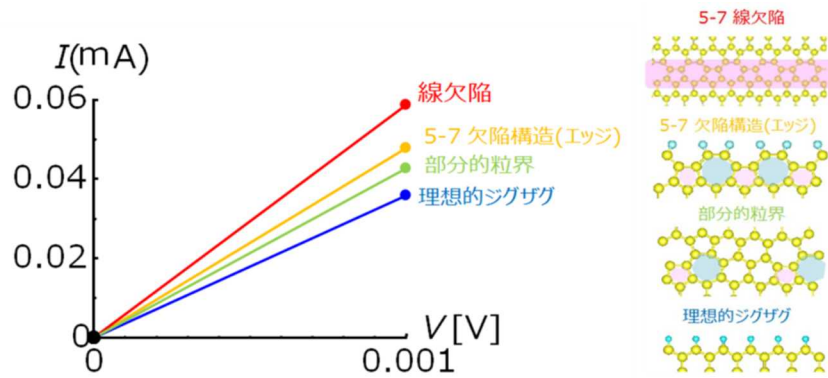


図 2.4-25 グラフェン粒界欠陥の電気伝導への影響(第一原理計算)

さらに、平成 27 年度はこれら計算物理によるシミュレーションを実配線サイズに展開した。これまでの計算は原理検証を重視して幅 1nm 前後で行ってきたが、実配線の電導特性を先行予測し、実構造・プロセス等へのフィードバックを行うため、幅 10-20nm の配線構造を想定した大規模計算に取り組んだ。図 2.4-26 に数千原子からなる 21nm 幅の配線を想定した大規模な第一原理計算による結果を示す。現在、この計算の一部をモデルに置き換えて計算を迅速化する取組を行っており、それらにより年度内に各種の欠陥構造を含む実配線幅配線の電導特性予測を実現できる見通しである。

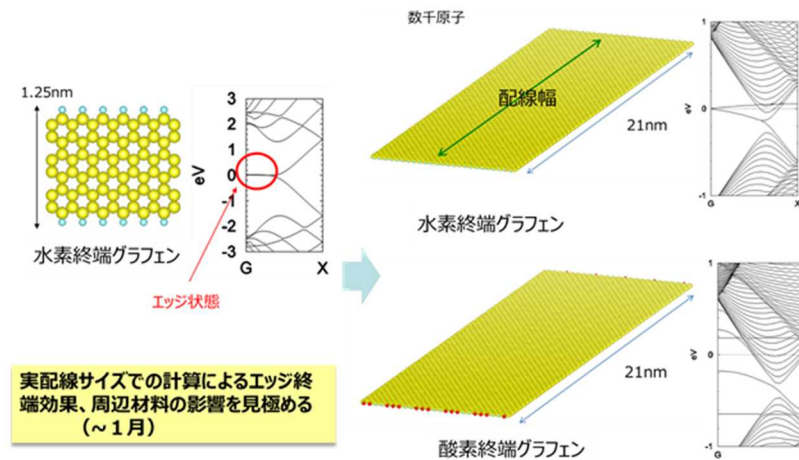


図 2.4-26 実配線サイズ(10-20nm 幅)の配線電導特性シミュレーション

エッジ制御に向けた評価手法の基盤として、導電性 AFM によるエッジの局所電導評価技術を開発した [24]。通常の配線抵抗評価では、配線全体の平均的な抵抗しか測定できないが、導電性 AFM プローブを用ることによって、微細なグラフェン試料の局所的な電導特性分布を評価した。この方法により、ZZ 構造を有する MLG の、エッジ近傍での局所的な抵抗変化の観測に成功した(図 2.4-27)。

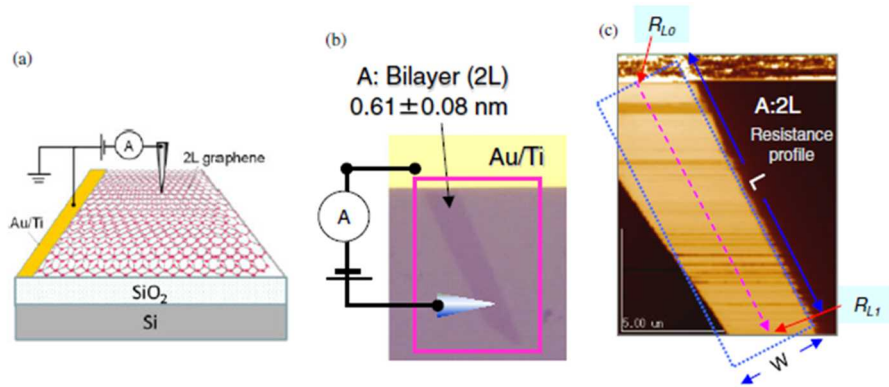


図 2.4-27 導電性 AFM による2層グラフェンの局所電導特性評価

また、CNT においても、微細な多端子プローブを備えたナノプローバを用いて、単体の抵抗を四探針法測定し、その体積抵抗率を見積もる手法を開発した(図 2.4-28) [25]。CVD により合成した CNT に加えて、高温で合成された高品質な CNT、さらに単層 CNT まで幅広い製法・直径の CNT 試料を集め、その抵抗率を系統的に調べた結果、グラフェンシート構造を備える一定品質の CNT は、製法を問わず、おおよそ $300 \mu\Omega \cdot \text{cm}$ 程度の抵抗率を示すことがわかった。この抵抗率は、直径 1.4nm の単層 CNT に置いても増大せず、結果として、PJ のターゲットとした直径 90nm では、Wビアの抵抗率 ($70 \mu\Omega \cdot \text{cm}$) にはかないものの、直径 5nm 程度より微細な領域では、ドーピングをしていない現状の CNT であっても W より低抵抗になる可能性があることがわかった。

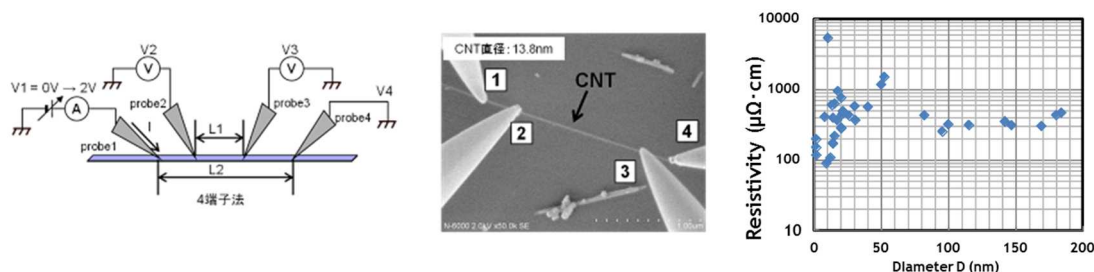


図 2.4-28 ナノプローバによる CNT 単体抵抗評価

なお、本研究における CNT 単体抵抗評価成果を主要なベースにして、平成 25 年度から、経済産業省において政府戦略分野に係る国際標準化活動(テーマ名:ナノエレクトロニクスに用いるナノカーボン特性評価に関する国際標準化)がスタートした。本事業は、産総研が主委託先として採択され、当技術研究組合も参加・協力した。同事業では、JEITA ナノエレクトロニクス標準化専門委員会、IEC(国際電気標準化会議)TC-113 と連携して調査・提案活動を進め、平成 26 年度には、国際標準化すべき技術と評価項目等の具体化を行って、IEC TC-113 への Preliminary Work Item (PWI)提案に結び付いた。成立した PWI は、IEC/TS62607-2-4 “Nanomanufacturing - Key control characteristics - Part 2-4: Carbon nanotube materials - Accuracy and repeatability of test methods for determination of resistance of carbon nanotubes” である。平成 27 年度もさらにこの標準化活動事業を継続し、IEC への提案活動を進めており、

現在、PWIの次の段階であるNew Work Item Proposal (NWIP)提出に向けて準備を進めている。

(3)-2 ナノカーボン配線プロセス及び集積化技術

本項では、ナノカーボン配線プロセス技術と、ナノカーボン配線集積化技術をまとめたうえで、目標に沿って(a)微細幅 MLG 横方向配線プロセス、及び集積化技術、(b)CNT ビアプロセス、及び集積化技術に分けて述べる。

(a) 微細幅多層グラフェン(MLG)配線プロセス及び集積化技術

図 2.4-29 に、微細幅横配線 MLG 配線のプロセス、及び構造候補を示す。各候補の MLG 形成や加工等の技術課題を抽出し、要素技術検討を行った。候補中で微細化に最も適し、適用時の制約が少ないのは RIE 型と考えられるが、本プロジェクトでは触媒層の加工検討が困難であることから、微細幅配線集積プロセス検討では、触媒ダマシン型について実施した [26]。ダマシン型は、ダマシン溝構造に触媒を形成し、溝内側壁に沿ってグラフェン成長を行った後に、CMP 研磨により平坦化と線間分離を行う。段差を起点とした成長機構から、低温成長に最も適していると考えられる。

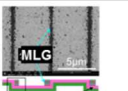
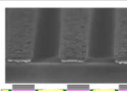
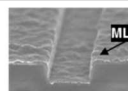
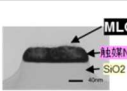
分類	RIE型	触媒ダマシン型	ダマシン型	触媒RIE型
配線断面構造とプロセス概要	触媒段差形成 触媒層 触媒下地層 MLG成長 MLG パターニング(RIE)	触媒形成 触媒層 触媒下地層 パターニング(CMP) MLG成長 MLG	触媒形成 触媒層 触媒下地層 MLG成長・充填材充填 充填材 MLG パターニング(CMP)	触媒形成 触媒層 触媒下地層 パターニング(RIE) MLG成長 MLG
微細幅化可能性	◎	△~○	×	○
共通開発課題	触媒凝集抑制、MLG成長起点制御、膜高品質化、ドーピング			
個別開発課題	・Gr/触媒 RIE ・大粒径Gr段差成長	・触媒 CMP ・CMP触媒上Gr成長	・Gr充填固定 ・Gr/触媒 CMP	・触媒 RIE ・RIE触媒上Gr成長
結果概要				

図 2.4-29 微細幅 MLG 配線;集積構造候補の特徴と開発課題・結果概要

図 2.4-30 に、Ni 触媒をダマシン配線に用いた、微細幅 MLG 配線構造の作製プロセスを示す。本開発では、最小ハーフピッチ (hp) 30nm の配線/スペース (L/S) パターンを、300mm ウェハ上で作製し、そこに Ni-CVD を用いて Ni 埋め込みを行った。これを Ni-CMP により平坦化し、配線間を分離した後に低温でカーボン CVD を行い、MLG を選択的に成長させた。

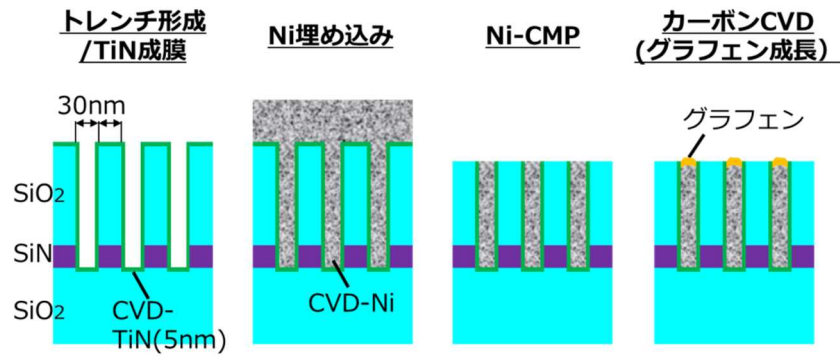


図 2.4-30 微細幅 MLG 線構造の作製プロセス

図 2.4-31(左)は Ni-CMP 後の L/S 部の断面で、Ni がトレンチ内部まで埋め込まれ、平坦性良く CMP 加工されていることがわかる。この L/S パターンに、カーボン CVD をおこなった結果が同図右で、Ni 上面を覆うように全面に MLG が形成されている。Ni の上面はカーボン CVD によって凸状の形状に変形し、トレンチ側壁よりの低い部分が、触媒段差として働いていることが窺われる。図 2.4-32 は、この L/S=30nm の配線構造を配線方向にスライスした断面 TEM 像で、長手方向に渡っても全面に MLG が成長し、Ni 表面をほぼ 100% 被覆できていることが確認できた。得られた配線構造の線間には、カーボンの異常成長による短絡が残っていたが、この短絡を酸素アッシング処理によりエッチング除去した結果、約 $1.1 \Omega/\square$ のシート抵抗を得た。この抵抗は、カーボン CVD をカーボン原料なしで行うことによって MLG 成長を抑制したほぼ Ni だけの比較配線構造の抵抗より低く、MLG 形成による抵抗低減効果が推測された。しかし、現状は Ni ダマシ配線層の抵抗が支配的であり、MLG 層の抵抗を定量的に議論するには、Ni 配線の影響を排除することが必要と考えられる。

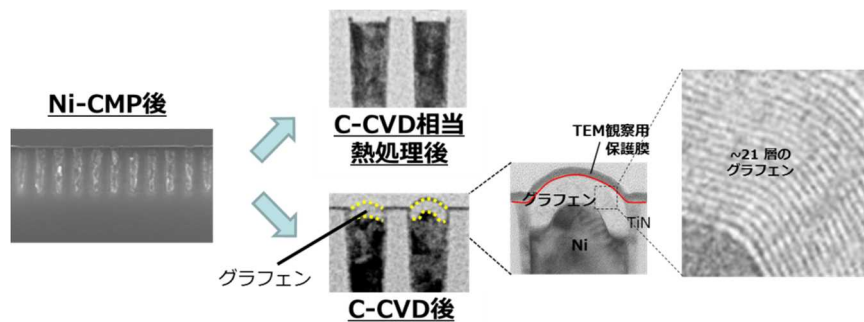


図 2.4-31 L/S=30nm の Ni 配線上に形成された MLG の断面 TEM 像

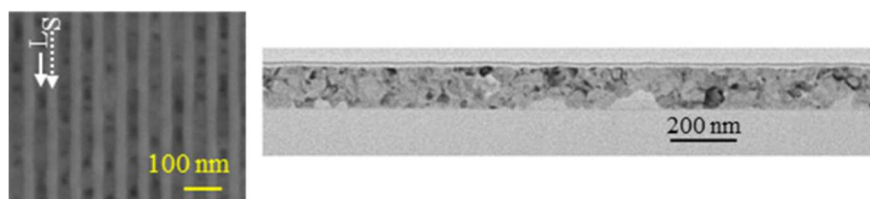


図 2.4-32 L/S=30nm の Ni 配線上に形成された MLG の表面 SEM 像(左)と断面 TEM 像(右)

平成 27 年度は、平成 26 年度までの到達結果を踏まえて、より微細幅の MLG 配線集積を進めた [27]。極微細のトレンチ内への Ni 埋め込み条件検討、Ni の CMP プロセス条件検討(図 2.4-33)、さらにその Ni 上への MLG 成長 CVD プロセスの検討により当初目標である 20nm 以下を大幅に超えて達成する最小線幅 20nm での低温 MLG/Ni 積層配線構造の作製に成功した。図 2.4-34 に、触媒ダマシシ配線構造による MLG 幅 12nm、配線長 0.7mm の超微細幅低温 MLG/Ni 積層配線の断面 TEM 像(左)とその配線特性評価結果(右)を示す。

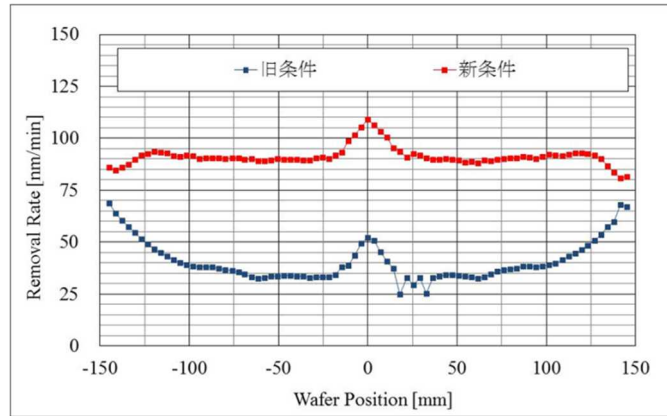


図 2.4-33 300mm 径基板上 Ni-CMP の均一性・研磨速度改善検討結果(PVD-Ni の検討例)

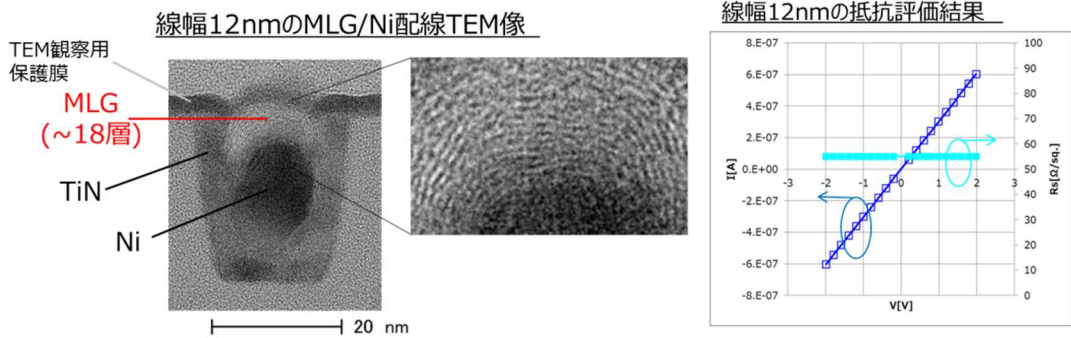


図 2.4-34 線幅 12nm の MLG/Ni 配線の TEM 像(左)と同配線の抵抗評価結果

(b) CNT ビアプロセス及び集積化技術

CNT 成長には、Ni 触媒を極薄(3nm 程度)厚みで形成させる必要がある。この厚み制御が不均一であると、CNT が MLG になるなど、均一かつ高密度の成長が実現できない。さらに、ビア中の成長には、ビア底での同様な Ni 厚み制御が必要となる。図 2.4-35(a)は、本開発で整備した Ni アミドを前駆体を用いた Ni-CVD による結果を用いて、厚みの均一性検証のために Ni を 9nm 程度積んでいるが、全面にわたって均一性を有していることがわかる。また、同図(b)は、CVD-Ni を触媒として成長させた CNT で、300mm 径基板全面にわたって均一な成長厚と高密度を得ることができた [28]。

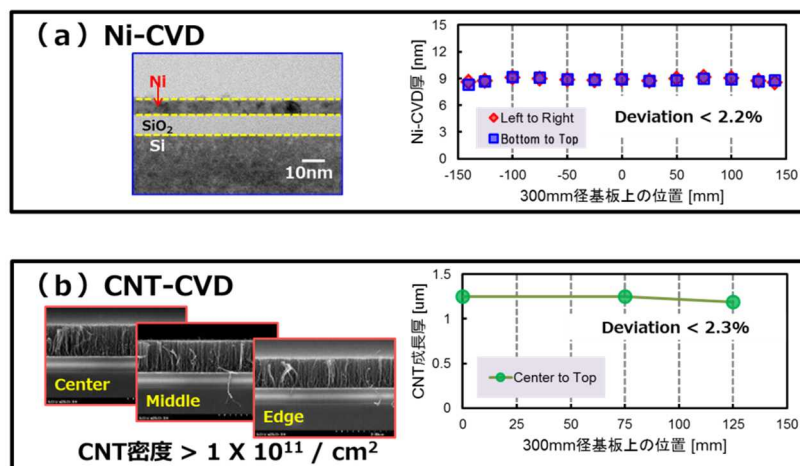


図 2.4-35 300mm Si 基板上の(a)Ni 触媒と(b)CNT の低温 CVD 成長結果

図 2.4-36 は、CNT ビア形成プロセスを示したもので、従来はビアホール開孔後全面に触媒を形成し、CNT を前面に成長させたのちに CMP をかけ、ビア上面の CNT を研磨除去していた。しかし、このプロセスでは、300mm 径基板全面に形成された硬度の高い CNT バンドルを研磨することになり、CNT-CMP に極めて時間がかかり、かつ研磨が不均一となる大きな課題があった [29]。そこで本開発では、本図下段に示すように CNT-CMP による平坦化プロセスに関し、ビア内のみ CNT を選択的に成長させるプロセスを開発し、面内全面で均一性の高い CNT 平坦化を可能にした [30] [31] [32]。

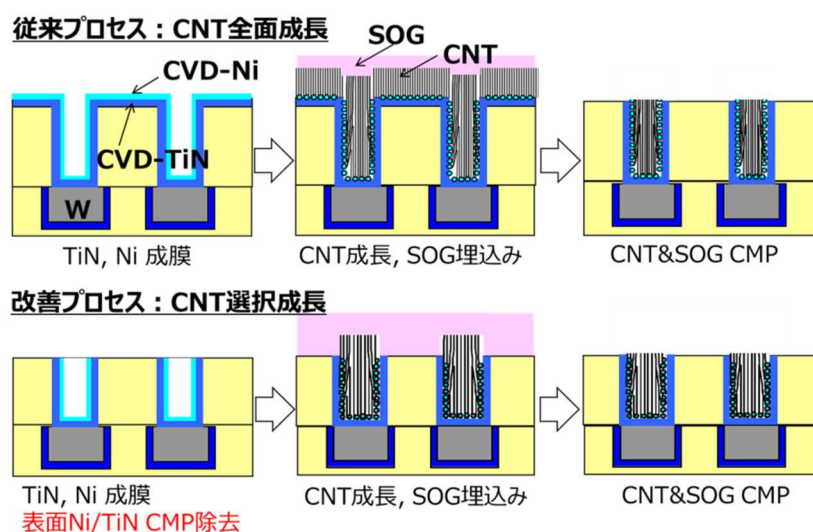


図 2.4-36 CNT ビア形成プロセス: CNT 全面成長方式と選択成長方式

CNT 選択成長は、TiN と Ni 成膜後に、ビアホール内に一旦塗布型カーボン膜(SOC)を犠牲膜として埋め込み、ウエーハ最表面の CNT 成長起点である Ni/TiN を CMP 除去することにより実現した(図 2.4-37)。従来の CNT 全面成長に比べ、CNT 選択成長では研磨すべき CNT 量を大幅に削減でき、研磨時間の大幅な低減と、CNT 研磨量の面内ばらつきの改善を実現し

た(図 2.4-38、図 2.4-39)。これにより、300mm 径基板全面での、高いビア導通歩留まりを得ることができた(図 2.4-40)。

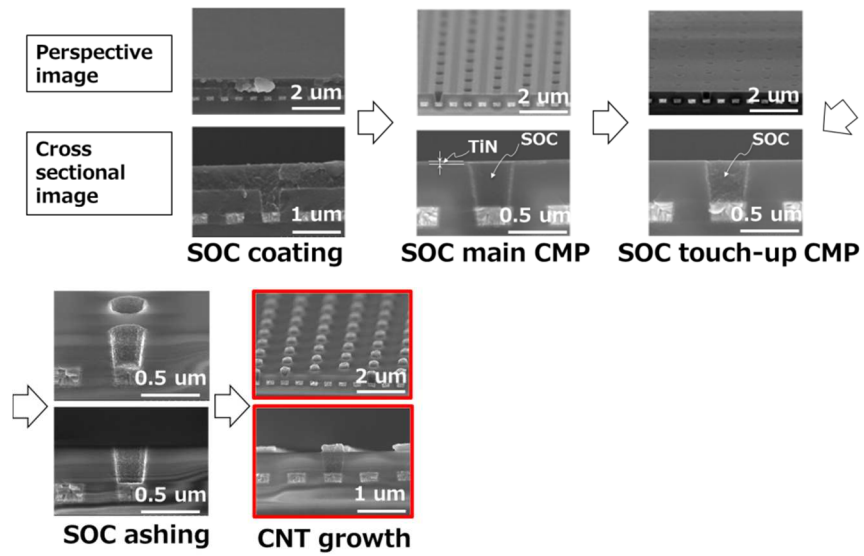


図 2.4-37 CNT 選択成長によるビア作製プロセスの SEM 像

Via size	Φ 90 nm	Φ 200 nm	Φ 300 nm	Φ 500 nm	Φ 1 μm
Center chip perspective image					
Center chip cross-sectional image					
Edge chip perspective image					
Edge chip cross-sectional image					

図 2.4-38 CMP 終了後の CNT ビア平坦化状況

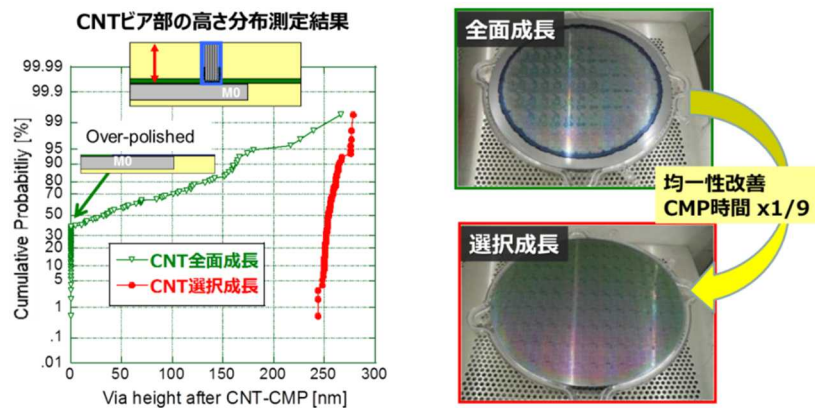


図 2.4-39 CNT-CMP 後のビア高さの累積度数分布と 300mm 径基板面の研磨状況

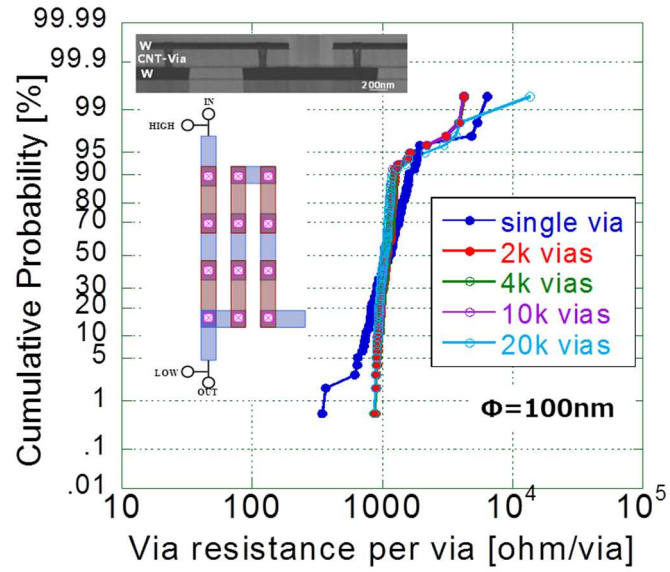


図 2.4-40 CNT ビアチェーン(ビア数 1~20k) 抵抗の累積度数分布

以上の選択成長による高歩留り化に加えて、ビア側面をアモルファス Si にてシーリングすることにより、触媒 Ni を不活性化するプロセスを考案し、ビア側面からの CNT 成長を抑制する技術を開発した(図 2.4-41)。これを上記 CNT 選択成長プロセスと併用することにより、ビア底面から成長した高密度の CNT を、上層配線に効果的に接続することが可能となった(図 2.4-42)。

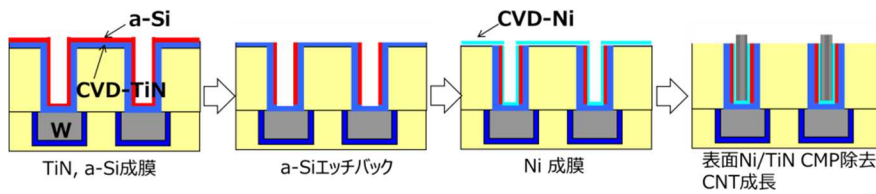


図 2.4-41 ビア側面からの CNT 成長抑制と CNT 選択成長の組み合わせプロセス

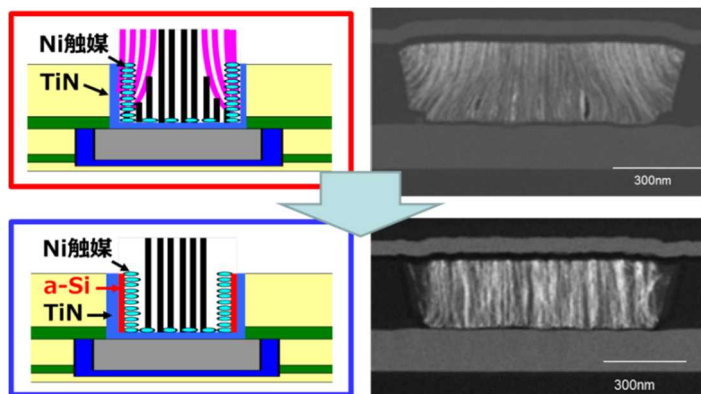


図 2.4-42 ビア側壁触媒不活性化による CNT の底面選択成長

超高 AR ビアへの CNT 埋め込み可能性検証のため、 $AR \geq 10$ のビアホール中への Ni 触媒形成と CNT 成長を行い、90nm 径ビア底から約 $1 \times 10^{11}/\text{cm}^2$ の高密度成長を実現した(図 2.4-43) [33] [34]。さらに、より高いアスペクト比への対応可能性を検証する為に、初期目標設定を超える $AR > 30$ の超高 AR ビアホール構造を開発し、そこでの Ni 触媒形成と CNT 成長検討を行った(図 2.4-44)。その結果、ビア底面直径最小 50nm、高さ $2 \mu\text{m}$ のビアホール底からの CNT 成長を確認した。AR を大きくするために極微細径化したため、本数は少ないものの、CNT はビア高さを大幅に超えて成長し、より高 AR で微細なビアへの対応可能性を示唆する結果が得られた。

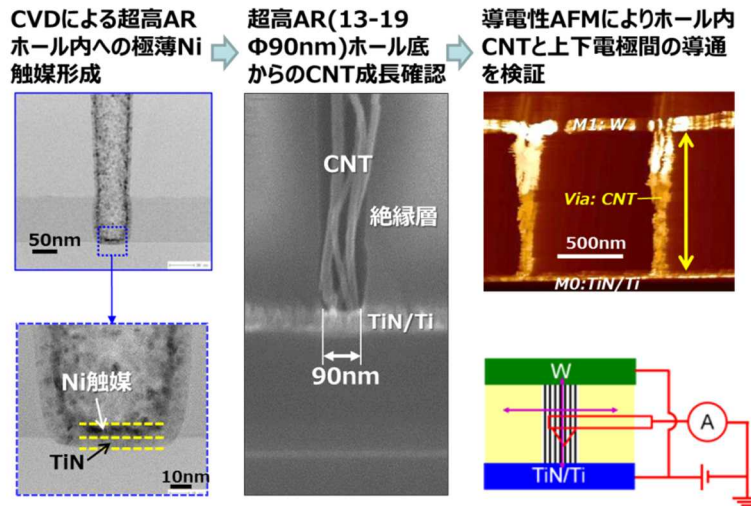


図 2.4-43 超高 AR ホール中 CNT 成長

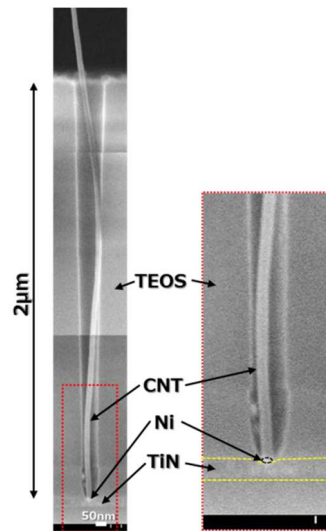


図 2.4-44 超高 AR (>30)ホール中 CNT 成長

(4) 達成度

以上の開発の結果、横方向微細幅配線に関しては、平成 26 年度最終目標に関して、微細線幅 ($\leq 20\text{nm}$)、長距離 (0.7mm)、低抵抗(シート抵抗 $\leq 3 \Omega/\square$) の配線実証に対しては、微細線幅 (12nm)、長距離 (0.7mm) の多層グラフェン配線構造を 300mm 径基板上で実現し、構造とし

ては目標を大幅に超える超微細化の可能性を実証した。低抵抗については、層間ドーピングにより、抵抗低減が可能なことを示し、高温 MLG の段階ではあるが $1.4\Omega/\square$ のシート抵抗を実証した。低温 MLG についても低温成長で高温結晶並の高い結晶性が得られる可能性 ($G/D > 100$) を示し、高温 MLG 同様の層間ドーピングが可能であると考えられる。また、低温 MLG 向けドーピングにおいては、結晶性を上げるとともにドーピング材料に MoCl_5 を用いることによって、高温 MLG と同様のドーピング効果 (フェルミレベルシフト) が得られることを初めて実証した。また、平成 27 年度の低抵抗化に有効な、触媒金属等の腐食を制御可能なドーピング材料の提示に関しては、各種材料候補を系統的に検討した結果、塩化物と酸化物系がもっとも重要度が高く、中でも MoCl_5 は酸化した MoO_3 としても高いドーピング可能性を有していることを提案した。

微細直径 (90nm)、超高 AR (30) のコンタクトホールへのナノカーボン材料埋め込みと、W 以下の抵抗 (接触抵抗を含む) の実証については、超高 AR 化の進展動向から、当初目標を超えるより微細直径 (最小 50nm)、より高 AR (40 以上) のホール構造開発を行い、当該構造のホール底からの CNT 成長を実証し、当初目標を超える超高 AR 化への対応可能性を示した。抵抗については、単体 CNT の抵抗率は直径 1.4nm まで上昇せず、直径 5nm 以下のビアを想定すると W よりも低抵抗となる可能性が得られた。

平成 27 年度は、CNT の独自課題であるドーピングについて、同時ドーピング (格子置換型) と表面ドーピングの 2 種類の検討を行った。具体的には、Ni-B 触媒を用いて CNT 成長を行うことで、CNT 中への B の取り込みと、それによるラマンシフトを観測し、同手法によるドーピング可能性を示した。触媒金属等の腐食を制御可能なドーピング材料の決定については、ドーピング後の雰囲気制御後処理と、パッシベーション膜適用による触媒腐食抑制可能性を提案し、検証を進めている。

(5) まとめ

集積回路チップの三次元高集積化に向けて、深刻となりつつある配線の微細化、三次元化をナノカーボン材料によって実現することを目指し、多層グラフェン (MLG) による横方向微細幅配線技術、カーボンナノチューブ (CNT) による縦方向の超高アスペクト比 (AR) ビア技術の開発を実施した。いずれの開発に置いても、集積回路配線技術との整合性から、低温での材料形成を最重要課題ととらえ、低温での成長・高品質化を進めてきた。

MLG においては、 600°C 台の低温で部分的ながら高温成長とそん色のない、高い結晶性を実証し、低温自体が結晶品質の原理的な制約ではないことを示した。また現実のエッジ構造が示す微細幅での抵抗上昇に対して、フェルミレベルシフトによる抵抗低減を提案し、インターカレーションによって低減を実証した。これまで報告の無かった低温 MLG についても、ドーピング材料の比較検討と低温 MLG の結晶性向上により、世界で初めてフェルミレベルシフトを実証した。さらに、第一原理計算等の理論検討から、原子レベルでのエッジ構造制御による低抵抗化の可能性を示した。以前より示されている ZZ エッジ構造にとどまらず、一部を窒素やボロン等で置換した AC (アームチェア) エッジや粒界に見られる五員環と七員からなる結晶欠陥も、ZZ エッジに匹敵する高導電性のチャンネルとなる可能性を示した。

触媒ダマシンの配線構造を用いることで、300mm 径基板全面に微細幅 (12nm) 長距離 (0.7mm) MLG/Ni 積層配線構造を作製するとともに、同じく 300mm 径基板上で、選択 CNT 成長

による高歩留りの CNT ビア作製プロセスを構築した。CNT の抵抗値については、ビアおよび単体での抵抗評価から、微細化しても CNT 自体はエッジレスで抵抗上昇がないことを実証し、将来の超微細な領域では W よりも低抵抗となる可能性を示した。

一方で、CNT へのドーピングについては、グラフェンと同じ層間への化合物挿入は困難であることから、成長時の同時ドーピングによるカーボン結晶格子への置換ドーピングと成長後の CNT 表面への吸着型ドーピングを検討した。置換型ドーピングに関しては、現在、Ni-B 触媒上での成長条件検討を進めており、CNT 中への B 取り込みを検証見込みである。また、表面吸着型ドーピングに関しても CNT 表面に p 型ドーピングの期待できる酸化物を形成し、ラマン分光と単体抵抗評価による効果検証を進めている。実際のメモリデバイスの三次元化の進展を受けて、当初の想定を超える $AR > 30$ の超高 AR ビアホール構造開発を行った。その結果、 $AR=40$ を超す微細ホール底からの CNT 成長を実証し、さらに高い超高 AR への対応可能性を示した。以上の本研究の成果は、13 件の登録特許(平成 27 年 5 月現在)、2 回の国際学会での表彰(ADMETA2014、INC11)、IEC への国際標準化提案(TC-113 への PWI 提案)等に結び付いた。本プロジェクトにおけるこれら成果の三次元メモリデバイスへの適用に向けて引き続き開発を推進していく。

(6) 参考文献

- [1] W. Steinhögl, G. Schindler, G. Steinlesberger, M. Traving and M. Engelhardt, "Comprehensive study of the resistivity of copper wires with lateral dimensions of 100 nm and smaller," *J. Appl. Phys.*, vol. 14, p. 749, 2005.
- [2] A. Naemi and J. D. Meindl, "Conductance Modeling for Graphene Nanoribbon (GNR) Interconnects," *IEEE Electron Device Letters*, vol. 28, p. 428, 2007.
- [3] A. Ceyhan and A. Naemi, "Cu Interconnect Limitations and Opportunities for SWNT Interconnects at the End of the Roadmap," *IEEE Transactions on Electron Devices*, vol. 60, p. 374, 2012.
- [4] J. Baringhaus, M. Ruan, F. Edler, A. Tejada, M. Sicot, A. Taleb-Ibrahimi, A.-P. Li, Z. Jiang, E. H. Conrad, C. Berger, C. Tegenkamp and W. A. de Heer, "Exceptional ballistic transport in epitaxial graphene nanoribbons," *Nature*, vol. 506, p. 349, 2014.
- [5] D. Kondo, H. Nakano, B. Zhou, I. Kubota, K. Hayashi, K. Yagi, M. Sato, S. Sato and N. Yokoyama, "Intercalated Multi-Layer graphene Grown by CVD for LSI Interconnects," *Proc. IITC 2013*, p. 190, 2013.
- [6] H. Miyazaki, M. Katagiri, Y. Yamazaki, M. Suzuki, N. Sakuma, R. Kosugi, K. Imazaki, K. Ueno, A. Kajita, T. Sakai, "Width Dependent Transport in Multilayer Graphene Interconnects and Exploring Ways to Reduce Resistance," *Extended Abstracts of SSDM 2013*, p. 678, 2013.
- [7] 山崎雄一, 澤部亮介, 和田真, 片桐雅之, 佐久間尚志, 斎藤達朗, 磯林厚伸, 鈴木真理子, 梶田明広, 栗野祐二, 酒井忠司, "ナノカーボン配線応用に向けたグラフェン低温・高品質成長(1)," 第 58 回応用物理学関係連合講演会 講演予稿集, pp. 27p-BM-6, 2011.
- [8] 澤部亮介, 山崎雄一, 和田真, 片桐雅之, 佐久間尚志, 斎藤達朗, 磯林厚伸, 鈴木真理子, 梶田

- 明広, 酒井忠司, 粟野祐二, “ナノカーボン配線応用に向けたグラフェン低温・高品質成長(2),” 第 58 回応用物理学関係連合講演会 講演予稿集, pp. 27p-BM-7, 2011.
- [9] Y. Yamazaki, M. Wada, M. Kitamura, M. Katagiri, N. Sakuma, T. Saito, A. Isobayashi, M. Suzuki, A. Sakata, A. Kajita and T. Sakai, "Low-Temperature Graphene Growth Originating at Crystalline Facets of Catalytic Metal," *Appl. Phys. Express*, vol. 5, p. 025101, 2012.
- [10] 西出大亮, 松本貴士, 伊東伴, 山崎雄一, 片桐雅之, 宮崎久生, 加賀谷宗仁, 井福亮太, 和田真, 齋藤達朗, 北村政幸, 渡邊勝仁, 佐久間尚志, 梶田明広, 酒井忠司, “低温熱 CVD 法による 300mm ウェハ上への多層グラフェン合成プロセスの開発,” 第 61 回応用物理学会春季学術講演会 講演予稿集, pp. 18p-E2-10, 2014.
- [11] D. Nishide, T. Matsumoto, B. Ito, Y. Yamazaki, M. Katagiri, H. Miyazaki, M. Kagaya, R. Ifuku, M. Wada, T. Saito, T. Ishikura, M. Kitamura, M. Watanabe, N. Sakuma, A. Kajita and T. Sakai, "Synthesis of high-crystallinity graphene on 300mm Si wafer by low-temperature thermal CVD," *ICDCM2014 Programme book*, p. O8B.1, 2014.
- [12] M. Katagiri, T. Matsumoto, H. Miyazaki, R. Ifuku, R. Matsumoto, T. Sakai and A. Kajita, "Resistivity Reduction of Multilayer Graphene Interconnects Prepared by Low-Temperature Chemical Vapor Deposition," *Extended Abstract ADMETA 2015*, p. 192, 2015.
- [13] T. Matsumoto, M. Katagiri, R. Ifuku, N. Sakuma, T. Sakai and A. Kajita, "Low-temperature synthesis of highly crystalline multi-layer graphene by using of the preferred orientation controlled Ni catalytic film," *Abstract ICDCM 2015*, p. P2.78, 2015.
- [14] M. Katagiri, H. Miyazaki, L. Zhang, T. Matsumoto, M. Wada, A. Kajita and T. Sakai, "Electrical Properties of Multilayer Graphene Interconnects Prepared by Chemical Vapor Deposition," *Proc. IITC2013*, p. 113, 2013.
- [15] M. Katagiri, H. Miyazaki, Y. Yamazaki, L. Zhang, T. Matsumoto, M. Wada, A. Kajita and T. Sakai, "Multilayer Graphene Grown by Chemical Vapor Deposition at Low Temperatures for Interconnect Applications," *Extended Abstracts of ADMETA plus 2013*, p. 36, 2013.
- [16] K. Ueno, R. Kosugi, K. Imazeki, A. Aozasa, Y. Matsumoto, H. Miyazaki, N. Sakuma, A. Kajita and T. Sakai, "Bromine Doping of Multilayer Graphene for Low Resistance Interconnects," *Jpn. J. Appl. Phys.*, vol. 53, p. 05GC02, 2014.
- [17] H. Miyazaki, M. Katagiri, Y. Yamazaki, M. Suzuki, N. Sakuma, R. Kosugi, K. Imazeki, K. Ueno, A. Kajita, T. Sakai, “Electric Transport in Multilayer Graphene Interconnects and Resistance Reduction by Intercalation,” *ISIC17 Program & Abstract*, p. 98, 2013.
- [18] T. Misawa, A. Okanaga, A. Mohamad, T. Sakai, Y. Awano, “Monte Carlo Simulation of Graphene Nanoribbon Interconnects using Real Space Edge Roughness Model,” *Extended Abstracts of ADMETA plus 2014*, pp. 4-3, 2014.
- [19] T. Misawa, T. Sakai and Y. Awano, "Monte Carlo simulations of line width dependence of carrier transport properties in graphene nanoribbon interconnects," *IWEPNM 2015 Abstracts*, p. 38, 2015.

- [20] 藪崎勝也, アズディンモハマッド, 酒井忠司, 粟野祐二, “非平衡グリーン関数を用いたグラフェンナノリボン配線伝導特性へのエッジ揺らぎ効果の第一原理計算,” 第75回応用物理学会秋季学術講演会講演予稿集, pp. 17a-B1-10, 2014.
- [21] K. Yabusaki, A. Mohamad, T. Sakai, Y. Awano, “Ab-initio calculations of edge roughness effects on electrical properties of graphene nanoribbon interconnects using non-equilibrium Green's function,” *Proc. IITC 2015*, pp. P8-7, 2015.
- [22] Y. Nishida, T. Yoshida, F. Aiga, Y. Yamazaki, H. Miyazaki, A. Kajita and T. Sakai, "First-principles study of chemical-edge-doping effect on transport properties of armchair-edge graphene nanoribbons," *Jpn. J. Appl. Phys.*, vol. 54, p. 015101, 2015.
- [23] Y. Nishida, T. Yoshida, F. Aiga, Y. Yamazaki, H. Miyazaki, A. Kajita and T. Sakai, "First-principles study of electronic transport properties of graphene nanoribbons with pentagon-heptagon (5-7) line defects," *MRS Proceedings*, pp. mrsf14-1727-k20-02, 2015.
- [24] L. Zhang, M. Katagiri, T. Ishikura, M. Wada, H. Miyazaki, D. Nishide, T. Matsumoto, N. Sakuma, A. Kajita and T. Sakai, "Imaging and nanoprobng of graphene layers for interconnects by conductive atomic force microscopy," *Jpn. J. Appl. Phys.*, p. 05EB02, 2015.
- [25] M. Suzuki, M. Katagiri, Y. Yamazaki, H. Miyazaki, D. Nishide, T. Matsumoto, N. Sakuma, A. Kajita and T. Sakai, "Electrical resistance measurements on individual carbon nanotubes by a high-resolution-SEM-based nano-probing system for future VLSI interconnects," *EMRS 2014 Abstract Book*, p. J9, 2014.
- [26] M. Wada, T. Ishikura, D. Nishide, B. Ito, Y. Yamazaki, T. Saito, A. Isobayashi, M. Kagaya, T. Matsumoto, M. Kitamura, A. Sakata, M. Watanabe, N. Sakuma, A. Kajita and T. Sakai, "Selective Graphene Growth on Ni Damascene Interconnects and Its Growth Mechanism on Catalytic Metal," *Proc. IITC 2013*, p. 187, 2013.
- [27] 斎藤達朗, 西出大亮, 磯林厚伸, 伊東伴, 石倉太志, 佐久間尚志, 酒井忠司, 梶田明広, “Ni 細線上へのグラフェン選択形成条件の検討,” 第76回応用物理学会秋季学術講演会 講演予稿集, pp. 14p-2T-16, 2015.
- [28] D. Nishide, T. Matsumoto, B. Ito, Y. Yamazaki, M. Wada, M. Kitamura, T. Saito, M. Watanabe, N. Sakuma, A. Kajita and T. Sakai, "Development of carbon nanotube growth on 12-inch wafer for interconnect applications," *Abstract ICDCM 2012*, p. O34, 2012.
- [29] B. Ito, D. Nishide, T. Matsumoto, M. Katagiri, T. Saito, M. Wada, N. Sakuma, A. Kajita and T. Sakai, "Development of CMP process for carbon nanotube interconnects using 12-inch wafer," *Proc. ICPT 2012*, p. 365, 2012.
- [30] M. Wada, B. Ito, T. Saito, T. Ishikura, A. Isobayashi, M. Katagiri, Y. Yamazaki, T. Matsumoto, M. Kitamura, L. Zhang, M. Watanabe, N. Sakuma, A. Kajita and T. Sakai, "Selective Carbon Nanotube Growth in Via Structure Using Novel Arrangement of Catalytic Metal," *Proc. IITC 2014*, p. 285, 2014.

- [31] B. Ito, M. Wada, T. Saito, D. Nishide, T. Matsumoto, M. Katagiri, M. Watanabe, N. Sakuma, A. Kajita and T. Sakai, "CMP process for selectively-grown carbon nanotubes in via structure," *Proc. ICPT 2014*, p. 100, 2014.
- [32] A. Isobayashi, M. Wada, B. Ito, T. Saito, D. Nishide, T. Ishikura, M. Katagiri, Y. Yamazaki, T. Matsumoto, M. Kitamura, M. Watanabe, N. Sakuma, A. Kajita and T. Sakai, "CNT Via Integration with Highly Dense and Selective CNT Growth," *Extended Abstracts of ADMETA plus 2014*, p. 36, 2014.
- [33] T. Matsumoto, D. Nishide, M. Kagaya, Y. Yamazaki, M. Wada, N. Sakuma, M. Wada, A. Kajita and T. Sakai, "Wafer-scaled growth of highly vertically aligned carbon nanotube on CVD-Ni catalyst for very high aspect ratio ($A/R > 17$) contact fabrication," *Abstract of Int. Conf. Science and Application of Nanotubes (NT13)*, p. 68, 2013.
- [34] Y. Yamazaki, T. Matsumoto, T. Saito, M. Wada, L. Zhang, M. Kitamura, M. Katagiri, N. Sakuma, A. Isobayashi, M. Suzuki, A. Sakata, A. Kajita and T. Sakai, "Carbon nanotube growth at high-aspect ultrafine via holes and its electrical characterization," *2013 MRS Fall Meeting Abstract*, p. SS13.69, 2013.

2.5 研究開発項目⑤ ナノトランジスタ構造デバイス

「CMOS トランジスタの超低電圧動作、及びリーク電流抑制を同時に実現するための、低しきい値ばらつきトランジスタを集積化するための技術開発、並びに、この技術を用いた高集積機能素子における低電圧動作実証」

(1) 背景と目的

情報通信エレクトロニクス機器の低消費電力化、および、情報通信技術を積極的に利用したエネルギー消費の見える化によるエネルギー節減は、IT 化が進展した社会において極めて重要な技術である。情報通信エレクトロニクス機器の低消費電力化は、機器及びシステムの様々な階層において取り組むべき課題であるが、情報処理の根幹である CMOS-LSI の低消費電力化は、機器の発熱や電源容量の低減、さらには電源不要あるいは長寿命電池を備えたセンサ機器等を広範囲に配置させることにも効果をもたらすため特に重要である。本研究開発では、CMOS-LSI を根本的に低消費電力化させるためのデバイス技術階層での対策として、新しい超低電圧 CMOS プラットフォームの開発を推進する。特に近年、IoT 時代に向けた超低電力センシングノードの実用化が強く要望されており、本技術によりもたらされる超低電力チップは、センシングノード用のキーデバイスとしての期待が高まっている。

CMOS トランジスタは、継続的な微細化によって回路性能、機能、電力効率、経済的価値などを向上させてきた。電力効率の観点では、理想スケーリング則[1]に従った動作電圧 V_{dd} の低減が必要で、これまではそれが可能であった。CMOS 回路の消費電力は、動作電力とリーク電力の和で示され、動作周波数 f に依存する。特に動作あたりの電力 E が重要で、(1)式のように示される。

$$E = n (CV_{dd}^2 + I_{leak}V_{dd}/af), \quad (1)$$

ここに、 n , C , I_{leak} , a はそれぞれ、トランジスタ数、負荷容量、リーク電流、回路の動作率である。

一般的に、図 2.5-1 に示すように E は V_{dd} に依存する。 V_{dd} が低下するにつれて、トランジスタの駆動電流が減るので動作周波数 f も低下する。これは同じ量の論理演算動作をさせるのに余計に時間がかかることを意味し、その間もリーク電流は流れ続ける。従って、単位動作あたりのリーク電流、すなわち、(1)式のリーク電流は相対的に増大してしまう。理想的には、回路を構成する全てのトランジスタが最も E の小さい状態 (E_{min}) で動作するべきである。しかし多くの回路において、そのようにすることは現実的に難しい。何故なら、 E_{min} となる状態での回路の動作速度は一般的な応用分野で必要な速度に比べて遅すぎるからである。回路設計者は、対象とする CMOS 技術および想定する V_{dd} 範囲において電力効率を最適化するために、異なる特性(しきい値電圧 V_{th})を持つ複数種のトランジスタを使い分けるが、その選択肢は 2~3 種と限られたものに過ぎない。電力効率向上のための回路技術は多岐にわたるが、その中でも基板バイアスの適応制御技術[2]への期待が大きい。この技術では、 V_{dd} の制御のみならず、基板バイアスを変化させて V_{th} を制御することにより、より柔軟に消費電力効率を制御可能と考えられるからである。特に超低電圧では、この技術によって電力効率を高めながら動作速度の要求も満足することが期待できる。

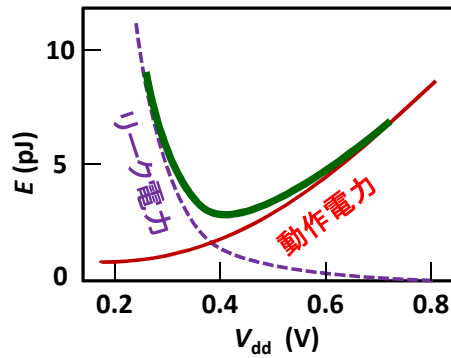


図 2.5-1 動作あたりエネルギーEと動作電圧 Vdd の関係

しかし、現代の微細 CMOS では、動作電圧低減自体が困難、という課題を抱えている。ITRS ロードマップ[3]が示すように、 V_{dd} 低減のペースが1Vくらいから緩くなる。この主たる原因は、微細化と共に増大するばらつきである。ばらつきの原因はいろいろあるが、その中でもランダム不純物揺らぎ(random-dopant fluctuation: RDF)が最も深刻な問題で、チャンネル部分に不純物(ドーパント)を注入することが必須である従来のバルク CMOS を使う限り、その解決は困難である[4]。例えば、65nm 技術で作製されたバルク CMOS トランジスタ 100 万個の近接 V_{th} ばらつきの幅は 0.4V を超えてしまう[4]。このため、RDF によるばらつきの少ないドーパントレストランジスタという新しいトランジスタ構造への移行が必要である。

本研究開発ではドーパントレストランジスタの一種である薄膜 BOX-SOI (SOTB) [5]と呼ぶ構造のデバイス(図 2.5-2)を開発し、そのデバイスを用いた回路設計プラットフォームを構築し、LSI へ適用して低電力化効果を実証する。また、SOTBと従来 CMOS を集積した超低電圧ハイブリッド集積化基盤技術を開発する。以上により、基板バイアス制御による回路のオフ時の低電力化を実現し、それらの技術を LSI へ適用して、超低電圧動作で CMOS の電力効率を大幅に向上させることを目的とする。

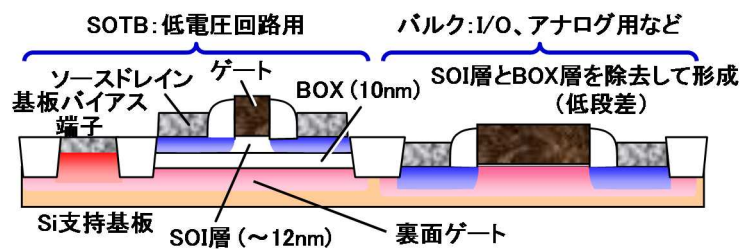


図 2.5-2 ナトランジスタ構造デバイスの断面模式図

(2) 目標

ドーパントレストランジスタ(SOTB)、及びその集積化技術を開発することにより、目標としている、100 万個以上のトランジスタで局所しきい値電圧ばらつきが平均 $\pm 0.1V$ 以下、1Mbit以上のSRAMで0.4V動作実証を満たすナトランジスタ構造デバイス技術を実現する。

(2)-1 平成 24 年度末までに以下を達成する。

- 100 万個以上のトランジスタで、平均 $\pm 0.1V$ 以下($\pm 5\sigma$)の局所しきい電圧ばらつきを達成

- ・低い電源電圧に動作を最適化し、基板バイアス制御技術を適用したナノトランジスタ構造デバイスを集積した1Mbit以上のSRAMでの、0.4V動作を実証

(2)-2 平成26年度末までに以下を達成する。

- ・ナノトランジスタ構造デバイスと既存のCMOSトランジスタとの融合集積化技術を確認するとともに、その設計環境構築への指針を提示する。
- ・従来デバイスに比較して消費電力を1/10に低減できる基盤技術を確認するとともに、実用化回路レベルでの達成目処を示す。

(3) 研究開発成果

(3)-1 低しきい電圧ばらつきで、基板バイアス制御が可能なナノトランジスタ構造デバイスの開発

(a) ナノトランジスタ構造の最適化

量産ラインで実施可能な製造条件のもとで、ナノトランジスタ構造デバイス(SOTB-CMOS)の開発を実施した。特に、キーププロセス技術であるソース・ドレインエピタキシャル成長工程を量産性判断が可能な水準にするため、平成24年度に導入した選択エピタキシャル成長装置を、平成26年度にSOTBデバイス試作ラインに移設した。それにより一貫処理を行うことが可能になり、ウェハ移送中の不純物分子のウェハ表面吸着を防止し、欠陥密度低減などエピ成長膜の品質向上を確認した。上記、キーププロセスのエピタキシャル成長を含め、トランジスタ製造プロセス全般の継続改善(欠陥密度の低減やしきい電圧(V_{th})ばらつきの低減)により、300mmウェハ全面で、SRAM超低電圧(0.4V)動作歩留まりの大幅改善(正常動作95%以上)を確認した(図2.5-3)。この結果により、量産性判断可能なレベルに達したと判断される。



図 2.5-3 SRAMの0.4V動作歩留まりの推移

SOTBの応用では求める用途により、最適な動作電圧や V_{th} が異なる。そこで、デバイスシミュレーションと試作を通じて、適切に V_{th} を制御する技術を確認した。具体的には、低コスト化も考慮に入れて、従来技術であるポリシリコンゲート電極とSiON絶縁膜の組み合わせせからなるゲートスタックに対して、微量のHigh-k(高誘電率)元素をSiON絶縁膜に添加することで、ゲート電極の実効仕事関数を制御した(図2.5-4)[6]。この技術を適用することにより、表2.5-1に示すように、0.3~0.6Vという超低電圧動作が可能なULVテクノロジーから、動作電圧は高くなるものの極めてリーク電流が少ないLVテクノロジーや、ULSBテクノロジーという異なるトランジスタ特性仕様を作り分けることが可能となった[7]。現代のCMOSチップでは回路内で3程度程度の V_{th} が異な

るトランジスタを使い分けるのが常識であるが、SOTB のそれぞれのテクノロジーでも各 3 種の V_{th} を BOX 層裏面の不純物濃度制御により実現した。LV テクノロジーでは基板バイアスの印加で、ULSB テクノロジーでは基板バイアスを印加しなくとも、マイコンチップに相当する規模である 100k ゲートの回路のリーク電流を 100nA 以下に出来る。これは、腕時計に内蔵される超小型(直径 5mm)の電池でも 10 年の情報保持が可能な水準である。このように、様々なユーザーが求めるチップの仕様に最適な、CMOS テクノロジーを提供できることで実用上のメリットが大きい。

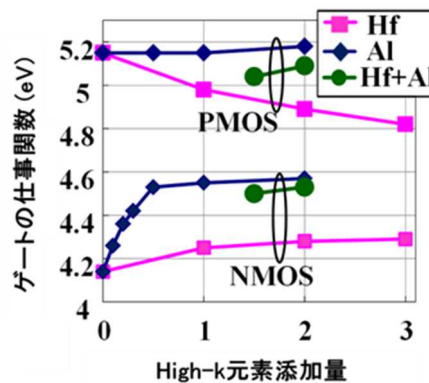


図 2.5-4 High-k 技術による仕事関数制御

表 2.5-1 SOTB の用途別テクノロジーオプション

テクノロジー ⁽¹⁾	$V_{th}^{(2)}$ (V)	$I_{off}^{(3)}$ (A/ μ m)	100kゲートチップのリーク電流 ⁽⁴⁾ (A)	想定動作電圧 V_{dd} (V)
ULV (超低電圧)	0.1-0.25	1n	<5 μ (基板バイアスあり)	0.3-0.6
LV (低電圧)	0.2-0.4	20p	<100n (基板バイアスあり)	0.5-0.8
ULSB (超低リーク)	0.4-0.6	0.2p	<100n (基板バイアスなし)	0.6-1.2

- (1) ULV: Ultra-Low Vdd, LV: Low Vdd, ULSB: Ultra-Low Standby
 (2) 3 種 V_{th} (HVT, MVT, LVT) の設定幅を示す
 (3) HVT で、基板バイアスなしの場合 (4) HVT 使用の場合

(b) しきい電圧ばらつき低減

100 万個という、多数のトランジスタに対する近接 V_{th} ばらつき評価を実施した。その結果、 $\pm 5\sigma$ における V_{th} ばらつきが、 $\pm 0.09V$ と H24 年度末中間目標 (100 万個以上のトランジスタでばらつき $5\sigma \pm 0.1V$ 以下) を達成した (図 2.5-5) [8]。さらに V_{th} ばらつきのみでなく、トランジスタのオン電流 I_{on} のばらつきも、バルクトランジスタに比べて半減するという結果が得られた。 I_{on} ばらつきは回路の動作速度ばらつきに与える影響が大きいいため、これの低減は大きな成果といえる。 I_{on} ばらつきの原因解析も実施し、 V_{th} ばらつきに加えて、S 係数ばらつきや電流立ち上がり電圧 (COV) ばらつきの影響を検討した結果、後者の影響が主であること、SOTB の低不純物構造が I_{on} ばらつき低減にも寄与することを明らかにした [9][10]。前述のように、High-k 技術の応用により広範囲に V_{th} を制御しても、 V_{th} ばらつきはバルクに対して 1/2~1/3 程度と小さいままであるこ

とが示された[7]。この原因として、 V_{th} を上げるためのHigh-k 元素添加による V_{th} ばらつき増大への影響は、従来技術で V_{th} を上げるために行うチャンネル不純物添加に比べて、はるかに小さいということも見出された[11]。

低電圧での安定動作が困難な SRAM について 2Mbit アレイの 0.4V 動作特性を評価し、SRAM のフェイルビット累積分布データより、最低動作電圧 V_{min} が 0.37V と、H24 年度末中間目標 (1Mb 以上 SRAM で 0.4V 動作の実証) を達成した (図 2.5-6) [8]。バルクトランジスタでの V_{min} は 0.8V 程度であったので、SOTB SRAM により、低電圧動作限界を大幅に(0.4V)低減出来た。低電圧用回路技術を適用していない通常の 6Tr 型 SRAM セルにおいては、世界的にも前例のない低電圧動作限界である。

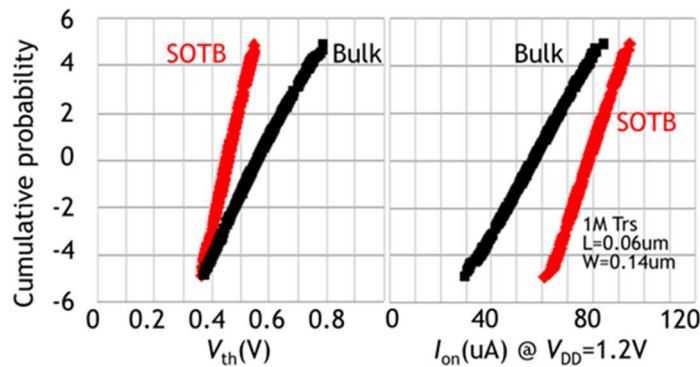


図 2.5-5 100 万個トランジスタの V_{th} および I_{on} ばらつき

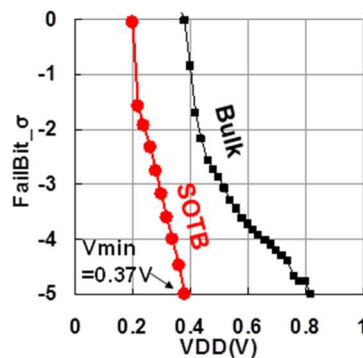


図 2.5-6 2Mbit SRAM のフェイルビット累積分布

- (c) ナノトランジスタ特性の評価とシミュレーションによる特性制御と性能最適化に向けた指針の提示 (共同実施 東京大学)

ナノトランジスタ構造デバイスの特性制御方法や、超低電圧動作における性能最適化に向けたトランジスタ構造設計指針を提示するため、SRAM を主要な題材として超低電圧動作安定性の評価とシミュレーション解析を行った。具体的には、独自の DMA (Device Matrix Array) -TEG を用いて、SRAM セル一つ一つの特性評価を行った (セル数 1k~4k 個)。セル電流ばらつきに着目して SOTB とバルクの比較評価を行った結果、電源電圧 0.4V において、セル電流の最低値は SOTB がバルクの 2.4 倍と大きく、セル電流ばらつきが大幅に抑制されていることにより、SRAM が超低電圧でも安定に動作できることが示唆された。次に SRAM 最低動作電圧に対する詳細解析を行った。通常、最低動作電圧 V_{min} はセルアレイの不良ビット数から求めるが、新た

に単一セルに対する V_{\min} を定義し、SOTBと従来バルクのSRAM安定性を比較した。その結果、最悪セルの V_{\min} がバルクSRAMセルで 0.482V であるのに対し、SOTB SRAMセルは 0.242V と、ほぼ半分に低減されていることが見いだされ、これがSOTBセルアレイの V_{\min} 低減に寄与している可能性が示唆された(図 2.5-7)[12]。

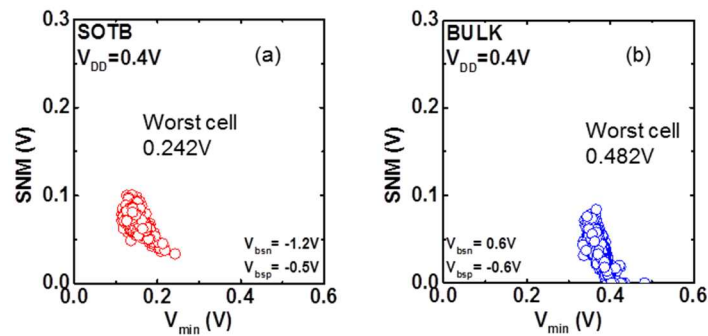


図 2.5-7 SRAMセルのSNMと V_{\min} の相関 (a) SOTB, (b) バルク

(d) 高信頼化設計指針の提示(共同実施 東京大学)

実用回路の高信頼動作に向けた指針を提示することを目的に、超低電圧動作の信頼性阻害要因となることが懸念されるランダムテレグラフノイズ(RTN)が、SRAMの安定性に与える影響を定量的に評価した。SRAM書込の安定性指標であるNカーブの極小電流、およびRTNによる極小電流の変動幅をDMA-TEGを用いて評価し、その分布をモデル化した。このモデルに基づき、SRAMの最低動作電圧に与えるRTNの影響を試算した結果、SOTBの低ばらつきの効果で、最低動作電圧が 0.36V 程度まで低下したSRAMにRTNの影響が加わると、 48mV 程度最低動作電圧が上昇(悪化)することがわかった(図 2.5-8)[13]。従来のように動作電圧が比較的高いSRAMではRTNの影響はほとんど無視できるが、SOTBにより可能になった超低電圧動作SRAMでは、RTNの信頼性阻害にも注意すべきである、という結果である。しかし、それでも影響は比較的軽微で、 0.4V 程度の超低電圧動作SRAMの実用性は十分に高いと考えられる。

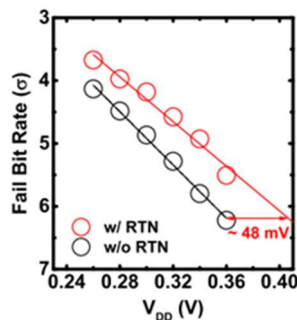


図 2.5-8 SRAM最低動作電圧へのRTNの影響

(3)-2 超低電圧ハイブリッド集積化基盤技術の開発

ナトランジスタ構造デバイスと、既存バルク CMOS トランジスタを、同時に形成するプロセスを開発した。図 2.5-9 に示すように、既存バルク CMOS は、ナトランジスタ構造デバイス形成に必要な SOI 基板の SOI 層と BOX 層を除去して現れる、バルク Si 支持基板表面に形成されるため、20nm 程度の段差が生じる。この程度の段差であれば、問題なくその上にゲート電極を形成して素子動作が可能であることを確認した。このハイブリッド集積化プロセスは、平成 24 年度にて完成し、前述のようにハイブリッドプロセスによる代表的な回路である SRAM の、0.4V 以下での正常動作と高い歩留まりが実証された。

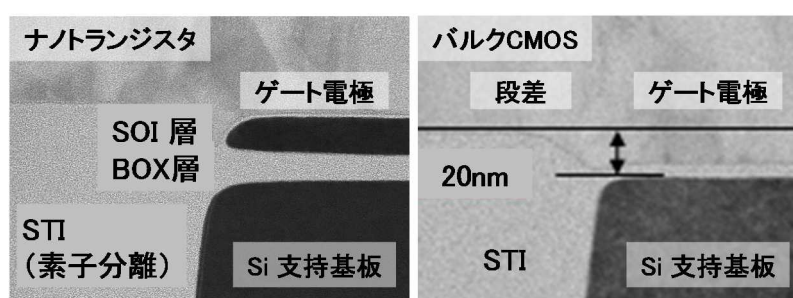


図 2.5-9 ハイブリッドデバイス構造の断面 TEM 像

(3)-3 超低電圧 LSI プラットフォーム開発 (共同実施 電気通信大学、芝浦工業大学、慶應義塾、京都工芸繊維大学、京都大学、東京大学、大阪大学、東京理科大学、産業技術総合研究所)

平成 23 年度より継続して、SOTB 論理回路設計用標準セルライブラリを作成・改良を続けた。設計結果をフィードバックしながら、効率よくマイコン等の大規模回路が設計できるように、SOTB トランジスタによる論理セル数は 100 程度まで拡充した。周辺入出力(I/O)回路で使われるハイブリッドバルク CMOS のセルライブラリは、動作電圧 3.3V 対応のもの、より低消費電力となる 1.2V 対応のものを整備し、チップの設計・試作に活用した。リングオシレータ(RO)-TEG を用いた実測の遅延時間と比較してデバイスパラメータ(SPICE パラメータ)を修正し、SPICE シミュレーションと実測との偏差が数%以下と、実用上問題ない水準まで改善した。この改良パラメータは、標準セルライブラリの遅延パラメータにも反映させた。

RO-TEG を用いて遅延時間ばらつきを評価した。その結果、SOTB の遅延時間 t_{pd} はバルクと比較して、超低電圧領域でより短い(高速である)ことが示された[14]。動作電圧 $V_{dd}=0.4V$ において、SOTB とバルクのしきい電圧が等しい条件下で、SOTB の遅延時間 t_{pd} は 42%小さい(図 2.5-10)。RO の段数依存性から、近接成分に起因する SOTB の遅延ばらつきは、バルクに比べて大幅に小さいことも見いだされた。さらに、チップ毎に基板バイアスを印加して遅延時間を揃える(チップ毎のグローバルばらつき低減)検討も行った。論理回路には各種論理ゲートが使用されるが、そのうち代表的なインバータ、NAND、NOR について検討を行った(図 2.5-11)[15]。インバータのみの遅延時間ばらつきを最小化する基板バイアス条件(Tuning I)を適用すると、NAND や NOR のばらつきがあまり減らないという現象が見出され、新たに PMOS と NMOS のバランスを考慮した基板バイアス補正方法(Tuning II)を考案した。その結果、どの回路も遅延

ばらつきが半分以下に低減できることを見出した。

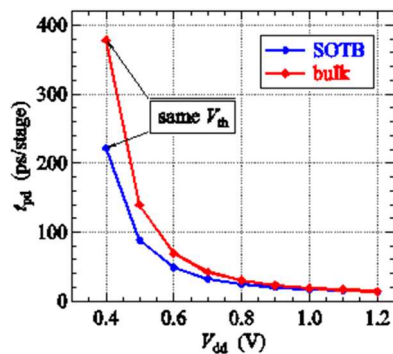


図 2.5-10 インバータ遅延時間 t_{pd} の動作電圧 V_{dd} 依存性

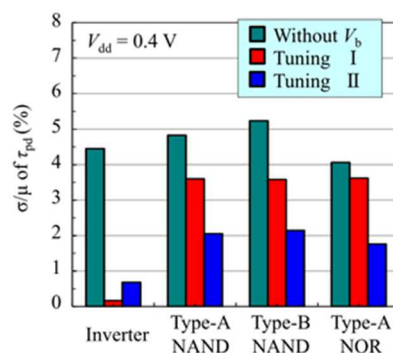


図 2.5-11 基板バイアスによる遅延ばらつき補正

ナトランジスタ構造デバイスは、極薄SOI構造を用いた新プロセスにより作製されるが、実用上重要なゲート絶縁膜信頼性は、ホットキャリア(HCI)、バイアス温度不安定性(BTI)、時間依存絶縁破壊(TDDDB)の、いずれも想定される電圧範囲(1.2V以下)において問題ないことを確認した。

ソフトエラー信頼性は実用上きわめて重要であり、特に超低電圧動作でのエラー率増大が懸念されていた。一方、ナトランジスタ構造デバイスは、SOI構造の一種でありソフトエラー信頼性に優れる期待と、BOX層が薄い影響に対する懸念があった。論理回路の動作エラーに対する影響が大きいフリップフロップ(FF)セルと、SRAMについて専用のTEGを作製して α 線および中性子線ソフトエラー信頼性を検証した。中性子線照射実験は大阪大学核物理センターにて実施した。SOTBのソフトエラー(SEU: Single Event Upset)率はバルクと比較して一桁以上小さく良好である。FFセルでは α 線では1/200以下、中性子線では1/15以下のエラー率となった(図2.5-12)[16]。次にSRAMの α 線および中性子線ソフトエラー(SEU)率は、いずれもバルクの1/10以下となった(中性子線のみ:図2.5-13)。動作電圧を1.0Vから0.4Vに低下させると概ねソフトエラー率は5倍に悪化する結果が得られているが、SOTBの0.4V動作では、バルクの1.0V動作よりも低いソフトエラー率が得られた。またSRAMでは、一回の粒子線入射の際に、入射したセルのみならず、ウェルを共有した隣接セルも同時にエラーとなるMCU(Multiple Cell Upset)の問題が深刻である。SOTBでは、BOX層とSTI(浅溝素子分離)の絶縁膜によりセルが絶縁されているため、図2.5-14のように一回の入射でエラーとなるビット数はバルクに比べて大

幅に少なくなり、その結果 MCU エラー率は 3 桁程度と大幅に低減することが明らかになった (図 2.5-13) [17]。MCU がここまで低ければ、SRAM は ECC (エラー訂正) により実質的にソフトエラーフリーに出来るといえる。

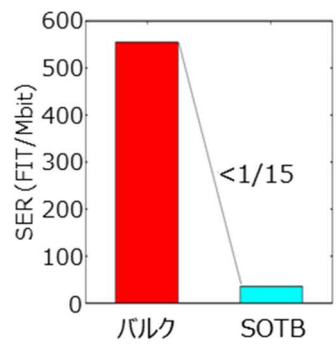


図 2.5-12 FF の中性子線ソフトエラー率

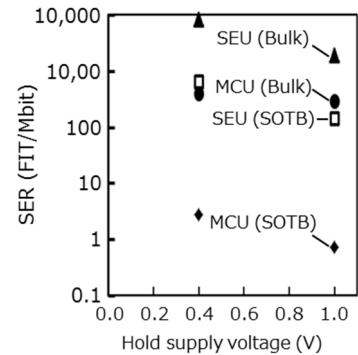


図 2.5-13 SRAM の中性子線ソフトエラー率

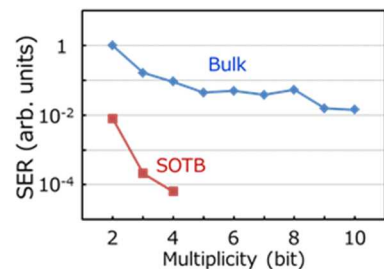


図 2.5-14 SRAM の MCU ビット数 (中性子線)

(3)-4 超低電圧システム開発、実証アプリケーションチップ開発および TEG 開発

(共同実施 電気通信大学、芝浦工業大学、慶應義塾、京都工芸繊維大学、京都大学、東京大学、大阪大学、東京理科大学、産業技術総合研究所)

(3)-3 で構築した設計プラットフォームを用いて各種回路設計・試作・評価を実施した。全トランジスタ数 1 億を超えるような、非常に大規模なチップも設計出来ている。H24 年度に設計、H25 年度に試作評価した、各種回路・マクロの評価結果の主なものを下記に示す (表 2.5-2)。

表 2.5-2 平成 25 年度に試作した各種回路・マクロの評価結果一覧

種別	回路・マクロ略称	評価結果の概略
デジタル	マイコン CPU	エネルギー効率 13.4pJ (0.35V, 14MHz)
デジタル	アクセラレータ	エネルギー効率 対バルク 6 倍、最高 250MOPS/mW
デジタル	検索エンジン	0.5V 動作 (50MHz) 電力対バルク 1/6 (同一周波数)
デジタル	基板バイアス制御 FPGA	0.4V 動作。エネルギー効率 対バルク 13 倍
アナログ	PLL	0.4V 動作 周波数可変範囲 100-300MHz
アナログ	昇圧 DC-DC コンバータ	0.1V→0.4V、基板バイアスにより広負荷範囲で効率>80%

アナログ	基板バイアス電源	$V_{dd}=0.4V$ から $0.85V$ と $-1.5V$ 生成、消費電流 $13\mu A$
TEG	基板バイアス島の縮小	リークを増やさずウェル間隔縮小可能。

上記を代表して、マイコン CPU(実証アプリケーションチップ初版)の動作特性について以下に示す[18]。このチップのブロックダイアグラムを(図 2.5-15)に示す。32bit の RISC CPU に 144kByte のデータ用 SRAM を備えている。チップの主要部分は SOTB トランジスタで構成され、超低電圧動作が可能である。プログラムは ROM インタフェースを介して外付け ROM チップから読み込ませる。インタフェースはセンサ等を接続するためのシリアルインタフェース(SPI)と、通信モジュール等を接続するためのインタフェース(UART)、汎用(GP)インタフェースを備えている。インタフェース部は外部信号電圧が 3.3V であるため、ハイブリッドバルクトランジスタで構成される。チップ写真を図 2.5-16 に示す。インタフェースを含めたチップサイズは、約 1.5mm 角である。動作下限電圧は図 2.5-17 に示すように、SOTB が大幅に低い。バルクでは 60MHz 動作に 0.8V が必要であるのに対して SOTB では 0.5V で 60MHz 動作する。エネルギー効率も大幅に向上し、図 2.5-18 に示すように 0.35V で 14MHz 動作、動作あたりエネルギー $13.4pJ^1$ という世界最高水準のデータを得た。

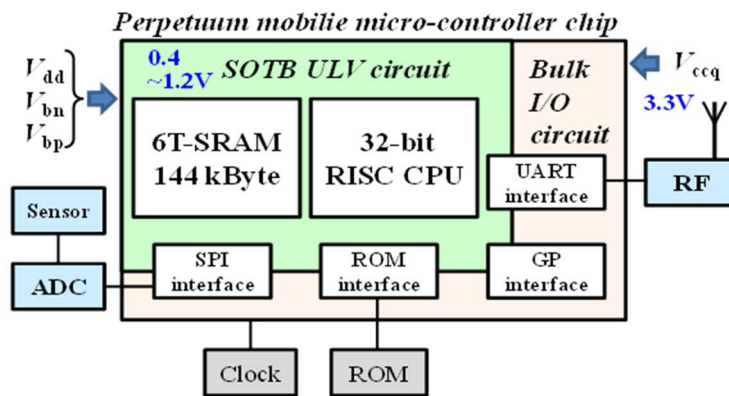


図 2.5-15 実証アプリケーションチップ初版のブロックダイアグラム

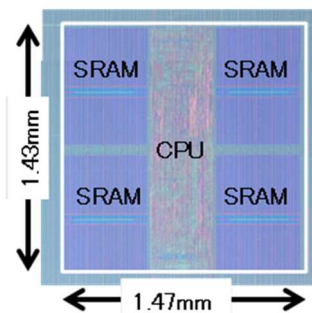


図 2.5-16 実証アプリケーションチップ初版の写真

¹ エネルギーはクロックサイクルあたりの値であり、 $\mu W/MHz$ と pJ が一致する。

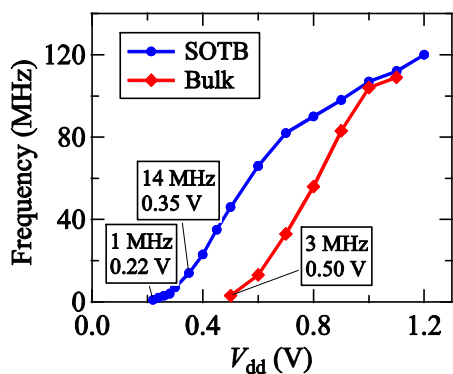


図 2.5-17 CPU の動作電圧と周波数

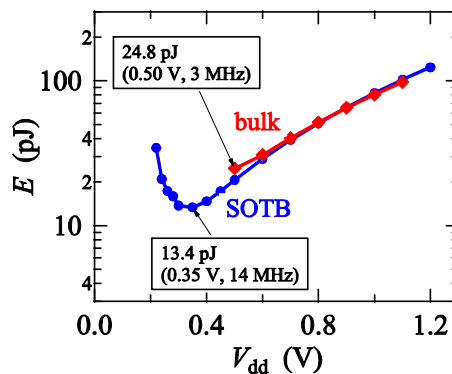


図 2.5-18 CPU の動作あたりエネルギー

本チップを用いて、センサノードへの応用を念頭に置いた、実証モジュール、ヘルスマニタシステムを作製し、動作デモンストレーションを実施した。SPI インタフェースに温度センサおよび加速度センサを接続し、CPU で温度および加速度データをモニタする。UART インタフェースには Bluetooth LE 通信モジュールを接続する。センサノードでは、取得したデータをそのまま通信によりホストに送出する場合も多いが、通信に必要な電力が大きい点が問題である。超低電力 CPU が出来れば、ある程度のデータ処理を CPU で行い、必要最小限の通信を行うという考え方も成立し、これによりセンサネットワーク全体の電力消費を低減させる可能性もある。この実証モジュールでは、温度と加速度に異常が生じたときのみ、その旨を RF モジュールからタブレットに送信し、タブレットで「健康状態に異常がある」との表示を行った。実際に動作電圧 0.387V (CPU の電源には単セル太陽電池を使用)、5MHz で CPU を動作させ、上述の機能が問題なく行われることを確認した。

最終年度である H26 年度には、最終目標である、従来デバイスに比較して消費電力を 1/10 に低減できる基盤技術を確立するとともに、実用化回路レベルでの達成目処を示すために、過年度における評価結果等をフィードバックして、新たなマスクセットに多数の回路・マクロを搭載した。特に、超低電圧デバイス応用分野として注目度が高まっている IoT (Internet of Things) 市場向けに必要とされる、アナログマクロ等の機能マクロの設計と、それらを搭載する、原子移動型スイッチなどの BEOL デバイスとの融合チップの設計・試作を追加するために、開発成果創出促進制度に応募し開発を加速した。代表的な応用チップであるマイコンの設計に関しては、想定されるユーザーに対するヒアリングを行い、必要とされる機能を抽出して複数の試作チップの仕様で反映させた。具体的には、(1) 超低電圧読み出しが可能な、原子移動型スイッチデバイスを用いたプログラム ROM の搭載、(2) 用途による内蔵 SRAM 容量の増減や、2 種類の 32bit CPU コア (低電力重視の 2 段パイプライン構成と処理能力重視の 5 段パイプライン構成) の使い分け、(2) 環境発電向けチップには、超低電圧 ULV 仕様 (表 2.5-1 参照)、電池使用には低リーク LV 仕様による設計、および低ドロップアウトレギュレータ (LDO) の内蔵、(3) 水晶発振器あるいは RC 発振器によるクロック源内蔵、(4) タイマーないしはリアルタイムクロック (RTC) によるスタンバイ制御、(5) 基板バイアス電源 (VBBGEN) の内蔵、およびスタンバイ制御との連動、(6) 一部チップに低電圧 (1.2V) I/O (通常は 3.3V) の採用、(7) 2 種類 (低消費電流および高精度) の AD コンバータマクロの設計、などである。試作評価結果の概略を表 2.5-3 に示す。多

くの試作結果にて、類例のない低消費電力が実証されている。以降にて代表的な試作結果について示す。

表 2.5-3 平成 26 年度に試作した各種回路・マクロの評価結果一覧

種別	回路・マクロ略称	評価結果の概略
デジタル	原子 SW-ROM マイコン	ROM, SRAM 込み消費エネルギー14.0pJ (0.4V, 16MHz)
デジタル	LV 仕様マイコン	スタンバイ電流(VBBGEN 消費電流含む) 108nA
デジタル	画像処理アクセラレータ	エネルギー効率世界最高値、500MOPS/mW (0.5V 動作)
デジタル	検索エンジン (SLID)	2次元パターン検索、検索時間 60 μ s (50MHz 動作)
デジタル	基板バイアス制御 FPGA	アレイ高密度化。クロックゲーティングで電力 40%減
デジタル	DSP	0.55V 動作、200MHz、消費エネルギー 1.4pJ
デジタル	加算器、乗算器	0.25-0.35V で最低エネルギー(対バルク 39-49%低減)
デジタル	オンチップ温度センサ	0.3V 動作、温度分解能 対バルク 6.5 倍
アナログ	VBBGEN	基板バイアス電圧 1.1V 生成、消費電流 15nA (LV 仕様)
アナログ	LDO	出力電圧 1.2, 0.75, 0.55V、無負荷消費電流 100-150nA
アナログ	OSC (RC 発振器)	20MHz と 32kHz、タイマー用 32kHz の消費電流 170nA
アナログ	8bit ADC	0.5V 動作、 Δ - Σ 型、有効 6.4bit、消費電力 0.06 μ W/MHz
アナログ	12bit ADC	0.75V 動作、逐次比較 (SAR) 型、有効ビット数 10.8 ビット
アナログ	OPA (オペアンプ)	0.75V 動作、チョッパ型、利得 40.5dB、消費電流 41 μ A

原子移動型スイッチデバイスを用いた ROM の評価結果を示す[19]。ROM マクロ構成は図 2.5-19 に示すように、印加電圧に応じて SOTB とハイブリッドバルクを使い分けている。書き込み側はおよそ 2.5V の電圧印加が必要であるためハイブリッドバルクを使用しているが、読み出し側は SOTB のみであり、0.34-1.2V での動作が可能である。1 ビットあたりの読み出しエネルギーは 0.14pJ (0.37V) という低い値を実証した。これは低電圧読み出しを特長とした ReRAM[20] の 1/6 に相当する。この ROM を内蔵したマイコンチップは、0.4V で 16MHz 動作が可能で、そのときの消費エネルギーは 14.0pJ (内訳: CPU=9.2pJ, ROM=4.5pJ, SRAM=0.3pJ) という非常に小さい値が得られた。

基板バイアス電源 VBBGEN は、SOTB によるチャージポンプ回路により構成されている。SOTB では BOX 層のおかげで基板リーク電流がほぼゼロとなるため、VBBGEN の負荷が非常に軽くなる。このため、VBBGEN マクロ自体の消費電流も極めて小さく設計することが可能になった。この VBBGEN を内蔵したマイコンチップのスタンバイ制御の結果を、図 2.5-20 に示す。スタンバイ状態では、CPU+SRAM+ROM の消費電流が 93nA、VBBGEN の消費電流が 15nA の合計 108nA という極めて低いスタンバイ電流を実証した。

試作したマイコンチップのうち、一例として環境モニタなどへの応用に向くチップのブロックダイヤグラム、およびチップ写真を図 2.5-21、図 2.5-22 に示す。本チップの特徴は、原子移動型スイッチを用いたプログラム ROM、内蔵(水晶)発振器、スタンバイ制御に連動した内蔵 VBBGEN である。試作したマイコンチップ 4 種はドータボード方式で互換性を持たせた評価ボ

ードにて動作検証を行った。また、図 2.5-23 に示すように、うちわで風を送りながら小型の風力発電機にて電気二重層キャパシタに蓄電し、その電力により一定時間マイコンが動作する、というデモンストレーションを実施した。その際、マイコンは温度センサの値を読み取って、最高温度と平均温度を SRAM に記憶、スタンバイ動作で基板バイアスを印加、という動作を繰り返す。スタンバイ状態で基板バイアスを印加しても SRAM に格納されたデータは保持される。

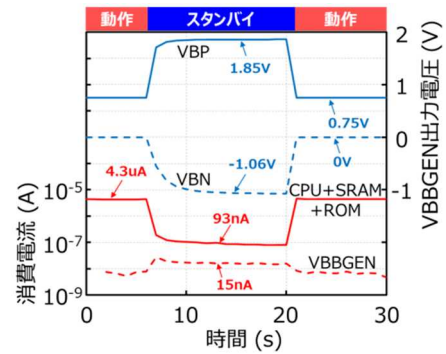
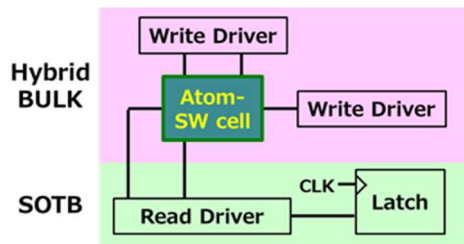


図 2.5-19 原子移動型スイッチ ROM の構成 図 2.5-20 VBBGEN によるスタンバイ電流低減

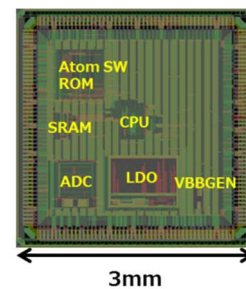
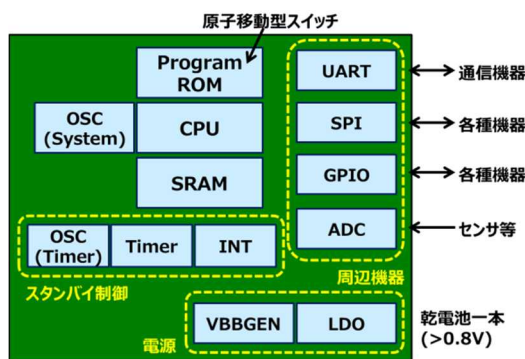


図 2.5-21 環境モニタ向けチップの構成例 図 2.5-22 環境モニタ向けチップのレイアウト

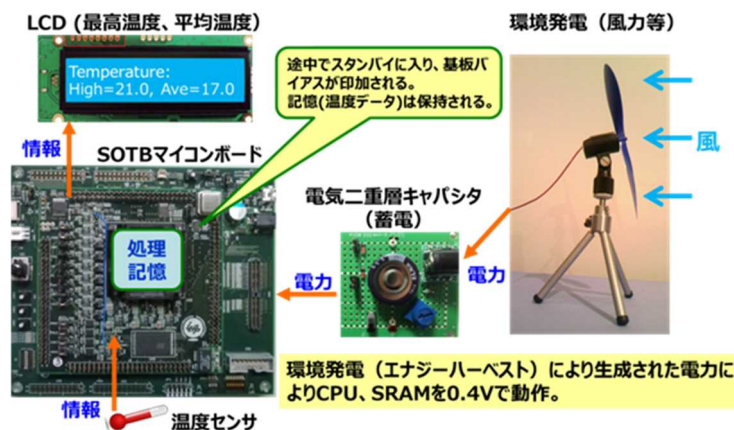


図 2.5-23 環境発電による超低電力動作デモンストレーション

CMA(Cool Mega Array)[21] は、画像処理などを得意とする電力効率の高いアーキテクチャであり、大規模な組み合わせ回路から構成される PE (Processing Element) アレイ上にメモリからデータを流して演

算を行う。SOTB 版の CMA は、メモリと PE アレイとのデータ転送を受け持つマイクロコントローラと、PE アレイの基板バイアスを独立にアプリケーション毎に変えることで、電力効率の最適化を可能とする。算術強度の高い処理では、より高速に動作させたい PE アレイにフォワードバイアスを印加し、速度に余裕があるために速度を落としてリークを減らした方が得となるマイクロコントローラとメモリに、リバースバイアスを印加する。メモリアクセスの多い処理では、この逆にする。CMA-SOTB 最新版は、図 2.5-24 に示すように、非常に高い電力効率を実現した。Alpha ブレンド等の画像処理を実施し、最も効率が上がる処理 (gray スケール) では、1mW を下回る電力で 500MOPS (1 秒で 500 万回の演算) を実現した[22]。これは、現在の市販の低電力用 DSP の 10 倍以上であり、小さい電力で高い性能を得る場合に有効であることが実証された。

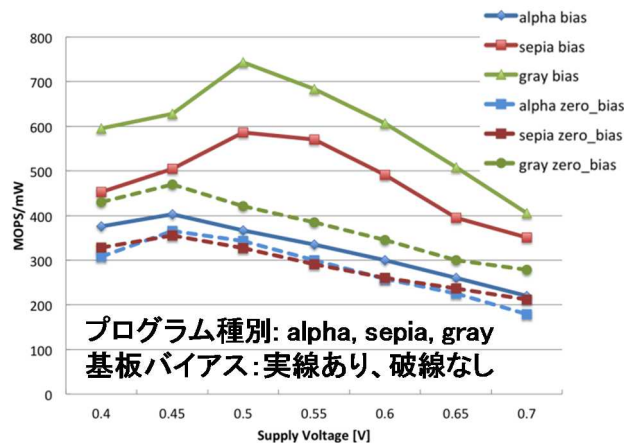


図 2.5-24 CMA-SOTB の電力効率(MOPS/mW) [22]

FPGA はソフトウェアによる CPU 動作よりも各段に効率の良い、再構成可能なアーキテクチャであり、広汎に使用されている。この FPGA の大きな欠点は、ASIC や ASSP などの固定ロジック IC に比べて消費電力、特にリーク電力が大きいことである。FPGA では、演算エレメント(PE)をスイッチにより切り替えて再構成論理回路を構成する。通常の固定ロジックでは、動作速度を律速する部分、すなわちクリティカルパスが特定されているため、それ以外の部分には、より V_{th} が高くリーク電流の小さいトランジスタを配することにより消費電力を最小化している。ところが FPGA では、チップを製造する時点ではどの PE がクリティカルパスになるかが特定されていないために、全ての PE が高速に動作できるように V_{th} が設定され、結果としてリーク電力が大きくなってしまふ。Flex Power FPGA はこの問題を解決するもので、図 2.5-25 に示すように、回路をマッピングした段階で、どの PE がクリティカルパスになるかを判定し、それ以外の部分には自動的に基板バイアスを印加することで低リーク化を実現している。基板バイアスによる V_{th} の変化幅を最適化しつつ、動作電圧を低減することにより、図 2.5-26 に示すように、1.2V 動作の従来型 FPGA に比べて、1/13 という大幅なエネルギー低減を実証した[23]。さらに、最新の Flex Power FPGA チップでは、平成 25 年度に検討した基板バイアス島間のリーク評価の結果を反映して、面積オーバーヘッドを最小化して、PE アレイ密度を高めて 30x30 大規模アレイのチップとした。さらに、不要な PE にはクロックを供給しないという、クロックゲーティング機能を実装することにより、さらに 40%以上の消費電力低減を実証した。

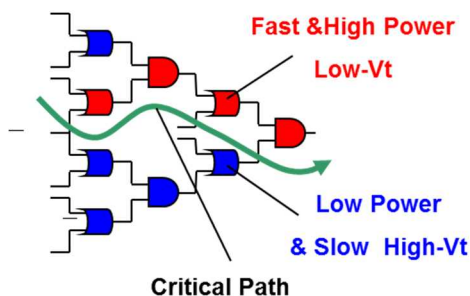


図 2.5-25 Flex Power FPGA におけるクリティカルパスと V_{th} の設定

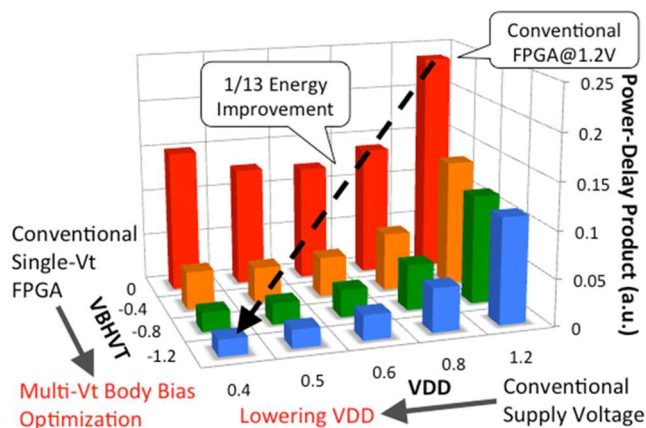


図 2.5-26 Flex Power FPGA の低電力化効果 [23]

(4) 達成度

以上示したように、本テーマでの中間目標 (1) 100 万個以上のトランジスタでの低しきい電圧ばらつき、(2) 1Mbit 以上の SRAM での 0.4V 動作、最終目標 (1) ナノトランジスタ構造デバイスと既存の CMOS トランジスタとの融合集積化技術の確立、(2) 従来デバイスに比較して消費電力を 1/10 に低減できる基盤技術の確立と、実用化回路レベルでの達成目処を示すは、いずれも達成されたと考える。

(5) まとめ

薄い埋め込み酸化膜上に極薄シリコンを形成した、SOI 構造の SOTB トランジスタと、同じウェハ上に形成するハイブリッドバルクトランジスタの融合集積化プロセスを開発した。低ばらつき (5σ $V_{th}=0.09V$) と、2Mb SRAM の 0.4V 以下での動作を実証し、300mm ウェハ全面で安定して高い動作歩留まりが得られ、各種信頼性評価も含め、実用化判断可能レベルの集積化技術水準に至った。SOTB およびハイブリッドバルクトランジスタを用いた大規模集積回路が、超低電圧で安定に動作するための設計プラットフォームを開発し、実証アプリケーションチップを始めとする各種超低電力チップの試作評価を通じて、実用化レベルで、従来技術に比べて 1/10 という超低電力を実現できる目処を示した。これにより、本テーマの目標は達成された。

参考文献

- [1] Dennard, R.H.; Gaensslen, F.H.; YU, HWA-NIEN; LEO RIDEOVT, V.; BASSOUS, ERNEST; LEBLANC, ANDRE R., "Design of ion-implanted MOSFET's with very small physical dimensions," Solid-State Circuits Society Newsletter, IEEE , vol.12, no.1, pp.38,50, Winter 2007, doi: 10.1109/N-SSC.2007.4785543.
- [2] Miyazaki, M.; Ono, G.; Ishibashi, K., "A 1.2-GIPS/W microprocessor using speed-adaptive threshold-voltage CMOS with forward bias," Solid-State Circuits, IEEE Journal of , vol.37, no.2, pp.210,217, Feb 2002, doi: 10.1109/4.982427
- [3] <http://www.itrs.net/>
- [4] Tsunomura, T.; Nishida, A.; Yano, F.; Putra, A.T.; Takeuchi, K.; Inaba, S.; Kamohara, S.; Terada, K.; Hiramoto, T.; Mogami, T., "Analyses of 5σ Vth fluctuation in 65nm-MOSFETs using takeuchi plot," VLSI Technology, 2008 Symposium on, pp.156,157, 17-19 June 2008, doi: 10.1109/VLSIT.2008.4588600.
- [5] Tsuchiya, R.; Horiuchi, M.; Kimura, S.; Yamaoka, M.; Kawahara, T.; Maegawa, S.; Ipposhi, T.; Ohji, Y.; Matsuoka, H., "Silicon on thin BOX: a new paradigm of the CMOSFET for low-power high-performance application featuring wide-range back-bias control," Electron Devices Meeting, 2004. IEDM Technical Digest. IEEE International, pp.631,634, 13-15 Dec. 2004, doi: 10.1109/IEDM.2004.1419245.
- [6] Yamamoto, Y.; Makiyama, H.; Tsunomura, T.; Iwamatsu, T.; Oda, H.; Sugii, N.; Yamaguchi, Y.; Mizutani, T.; Hiramoto, T., "Poly/high-k/SiON gate stack and novel profile engineering dedicated for ultralow-voltage silicon-on-thin-BOX (SOTB) CMOS operation," VLSI Technology (VLSIT), 2012 Symposium on, vol., no., pp.109,110, 12-14 June 2012, doi: 10.1109/VLSIT.2012.6242485.
- [7] Yamamoto, Y.; Makiyama, H.; Yamashita, T.; Oda, H.; Kamohara, S.; Sugii, N.; Yamaguchi, Y.; Mizutani, T.; Hiramoto, T., "Novel Single p+Poly-Si/Hf/SiON Gate Stack Technology on Silicon-on-Thin-Buried-Oxide (SOTB) for Ultra-Low Leakage Applications," VLSI Technology (VLSIT), 2015 Symposium on, 16-18 June 2015.
- [8] Yamamoto, Y.; Makiyama, H.; Shinohara, H.; Iwamatsu, T.; Oda, H.; Kamohara, S.; Sugii, N.; Yamaguchi, Y.; Mizutani, T.; Hiramoto, T., "Ultralow-voltage operation of Silicon-on-Thin-BOX (SOTB) 2Mbit SRAM down to 0.37 V utilizing adaptive back bias," VLSI Technology (VLSIT), 2013 Symposium on , vol., no., pp.T212,T213, 12-14 June 2013.
- [9] Mizutani, T.; Yamamoto, Y.; Makiyama, H.; Tsunomura, T.; Iwamatsu, T.; Oda, H.; Sugii, N.; Hiramoto, T., "Reduced drain current variability in fully depleted silicon-on-thin-BOX (SOTB) MOSFETs," Silicon Nanoelectronics Workshop (SNW), 2012 IEEE , vol., no., pp.1,2, 10-11 June 2012, doi: 10.1109/SNW.2012.6243344
- [10] Mizutani, T.; Yamamoto, Y.; Makiyama, H.; Iwamatsu, T.; Oda, H.; Sugii, N.; Hiramoto, T., "Statistical Analysis of Subthreshold Swing in Fully Depleted Silicon-on-Thin-Buried-Oxide and Bulk Metal-Oxide-Semiconductor Field Effect Transistors," Jpn. J. Appl. Phys. 52 (2013) 04CC02, doi: 10.7567/JJAP.52.04CC02.
- [11] Yamamoto, Y.; Makiyama, H.; Shinohara, H.; Iwamatsu, T.; Oda, H.; Kamohara, S.; Sugii, N.; Yamaguchi, Y.; Mizutani, T.; Hiramoto, T., "Impact of Charges and Dipoles on Mobility and VTH Variability in Poly-Si/High-k/SiON/Silicon on Thin BOX (SOTB) Transistor," 2013 International Workshop on Dielectric Thin Films for Future Electron Devices: Science and Technology, vol., no., pp.89,90, 7-9 November 2013. (Young Award)
- [12] Mizutani, T.; Yamamoto, Y.; Makiyama, H.; Shinohara, H.; Iwamatsu, T.; Oda, H.; Sugii, N.; Hiramoto, T., "Comparison and distribution of minimum operation voltage in fully depleted silicon-on-thin-buried-oxide and bulk static random access memory cells," Jpn. J. Appl. Phys. 53 (2014) 04EC18, doi: 10.7567/JJAP.53.04EC18.
- [13] Qiu, H.; Mizutani, T.; Yamamoto, Y.; Makiyama, H.; Yamashita, T.; Oda, H.; Kamohara, S.; Sugii, N.; Saraya, T.; Kobayashi, M.; Hiramoto, T., "Impact of Random Telegraph Noise on Write Stability in Silicon-on-Thin-BOX (SOTB) SRAM Cells at Low Supply Voltage in Sub-0.4V Regime," VLSI Technology (VLSIT), 2015 Symposium on, 16-18 June 2015.
- [14] Makiyama, H.; Yamamoto, Y.; Shinohara, H.; Iwamatsu, T.; Oda, H.; Sugii, N.; Ishibashi, K.; Yamaguchi, Y., " Speed enhancement at Vdd = 0.4 V and random tpd variability reduction and analysis of tpd variability of silicon on thin buried oxide circuits," Jpn. J. Appl. Phys., 53 (2014) 04EC07, doi: 10.7567/JJAP.53.04EC07.
- [15] Makiyama, H.; Yamamoto, Y.; Shinohara, H.; Iwamatsu, T.; Oda, H.; Sugii, N.; Ishibashi, K.; Mizutani, T.; Hiramoto, T.; Yamaguchi, Y., "Suppression of die-to-die delay variability of silicon on thin buried oxide (SOTB) CMOS circuits by balanced P/N drivability control with back-bias for ultralow-voltage (0.4 V) operation," Electron Devices Meeting (IEDM), 2013 IEEE International , vol., no., pp.33.2.1,33.2.4, 9-11 Dec. 2013, doi: 10.1109/IEDM.2013.6724742

- [16] Kobayashi, K.; Kubota, K.; Masuda, M.; Manzawa, Y.; Furuta, J.; Kanda, S.; Onodera, H., "A Low-Power and Area-Efficient Radiation-Hard Redundant Flip-Flop, DICE ACFE, in a 65 nm Thin-BOX FD-SOI," Nuclear Science, IEEE Transactions on , vol.61, no.4, pp.1881,1888, Aug. 2014, doi: 10.1109/TNS.2014.2318326.
- [17] Hirokawa, S.; Harada, R.; Hashimoto, M.; Onoye, T., "Characterizing alpha- and neutron-induced SEU and MCU on SOTB and bulk 0.4-V SRAMs," Nuclear Science, IEEE Transactions on Nuclear Science, volume 62, No. 2, pp. 420-427 April 2015.
- [18] Ishibashi K.; Sugii N.; Kamohara S.; Usami K.; Amano H.; Kobayashi K.; Pham C-K.: "A Perpetuum Mobile 32bit CPU on 65nm SOTB CMOS Technology with Reverse-Body-Bias Assisted Sleep Mode," IEICE Transactions on Electronics 07/2015; vol. E98.C, No. 7, pp. 536-543. DOI:10.1587/transele.E98.C.536
- [19] Sakamoto, T.; Tada, M.; Tsuji, Y.; Makiyama, H.; Hasegawa, T.; Yamamoto, Y.; Okanishi, S.; Banno, N.; Miyamura, M.; Okamoto, K.; Iguchi, N.; Ogasahara, Y.; Oda, H.; Kamohara, S.; Yamagata, Y.; Sugii, N.; Hada, H., "Low-power embedded read-only memory using atom switch and silicon-on-thin-buried-oxide transistor," Applied Physics Express 8, 045201 (2015), doi: 10.7567/APEX.8.045201.
- [20] Meng-Fan Chang; Che-Wei Wu; Chia-Cheng Kuo; Shin-Jang Shen; Sue-Meng Yang; Ku-Feng Lin; Wen-Chao Shen; Ya-Chin King; Chorng-Jung Lin; Yu-Der Chih, "A Low-Voltage Bulk-Drain-Driven Read Scheme for Sub-0.5 V 4 Mb 65 nm Logic-Process Compatible Embedded Resistive RAM (ReRAM) Macro," Solid-State Circuits, IEEE Journal of , vol.48, no.9, pp.2250,2259, Sept. 2013, doi: 10.1109/JSSC.2013.2259713.
- [21] Ozaki, N.; Yasuda, Y.; Saito, Y.; Ikebuchi, D.; Kimura, M.; Amano, H.; Nakamura, H.; Usami, K.; Namiki, M.; Kondo, M., "Cool Mega-Arrays: Ultralow-Power Reconfigurable Accelerator Chips," Micro, IEEE , vol.31, no.6, pp.6,18, Nov.-Dec. 2011, doi: 10.1109/MM.2011.94.
- [22] Masuyama K.; Fujita Y.; Okuhara H.; Amano H., "Ultra Low Power Reconfigurable Accelerator CMA-SOTB-2," Proc. of the 18th IEEE Symposium on Low-Power and High-Speed Chips (COOL Chips XVIII), Poster session, Apr. 2015. (Best Poster Award)
- [23] Koike, H.; Chao Ma; Hioki, M.; Ogasahara, Y.; Tsutsumi, T.; Nakagawa, T.; Sekigawa, T., "More than an order of magnitude energy improvement of FPGA by combining 0.4V operation and Multi-Vt optimization of 20k body bias domains," SOI-3D-Subthreshold Microelectronics Technology Unified Conference (S3S), 2014 IEEE , vol., no., pp.1,2, 6-9 Oct. 2014, doi: 10.1109/S3S.2014.7028240. (Best Paper Award)

2.6 研究開発項目⑥「BEOL 設計・製造基盤(プラットフォーム)開発」

(1) 背景と目的

バックエンド工程において、様々な新材料・新構造デバイスを配線層の一部として作ることを効率化するために、素子や回路の設計工程、さらには、プロセスや材料などに係る製造工程を可能な限り共通化し、これを、BEOL 設計・製造基盤(プラットフォーム)として開発する。これによって、設備投資をミニマム化することができるだけでなく、研究開発の効率化や、試作回数の増加による技術の高度化が可能となり、製品化への流れを加速することができる。これらのメリットに加えて、BEOL 設計・製造基盤(プラットフォーム)を橋渡しとして、外部連携を活性化するオープンイノベーションを加速することも可能となる。

(2) 目標

上記の目的を達成するために、次の目標を設定した。

【目標】(平成 23 年度末)

個別デバイスの研究開発を推進するための共通設計基盤として、BEOL 設計・製造基盤(プラットフォーム)を開発する。その際、以下の条件を目標とする。

- ・新材料や新構造デバイスに共通で使え、かつ、新材料の相互汚染や熱耐性、さらには、プロセス雰囲気の影響などの観点から、それぞれのデバイスの特性を損なうことのない、BEOL プロセスレシピの作成。
- ・相互汚染防止、汚染除去、汚染評価などからなる管理プロトコルの作成。
- ・PDK (Process Design Kit)として、設計ルール、配線特性パラメータ、OPC ルールの策定。

(3) 研究開発成果

(3)-1 BEOL 製造基盤開発

産総研SCRが保有している300mm径ウエハ用製造装置を用いて、新材料や新構造のBEOLデバイス動作を実証するための、65nm世代向けBEOL製造基盤技術を開発した。図 2.6-1に開発したBEOL製造基盤の断面TEM写真を示す。CMOS下地からM4配線までは企業の製造ラインにて形成、M5ローカル配線は液浸ArF露光を用いて形成し、M6、M7のセミグローバル配線はKrF露光を用いて形成した。CMOS下地ウエハ上には製造ライン工程と産総研SCR工程とのアライメントの整合をとるためのマークが形成されている。このようなBEOL製造基盤技術を用いることで、ローカル配線層内にBEOLデバイスを搭載しつつ、既存CMOSの設計ライブラリの使用が可能になる。

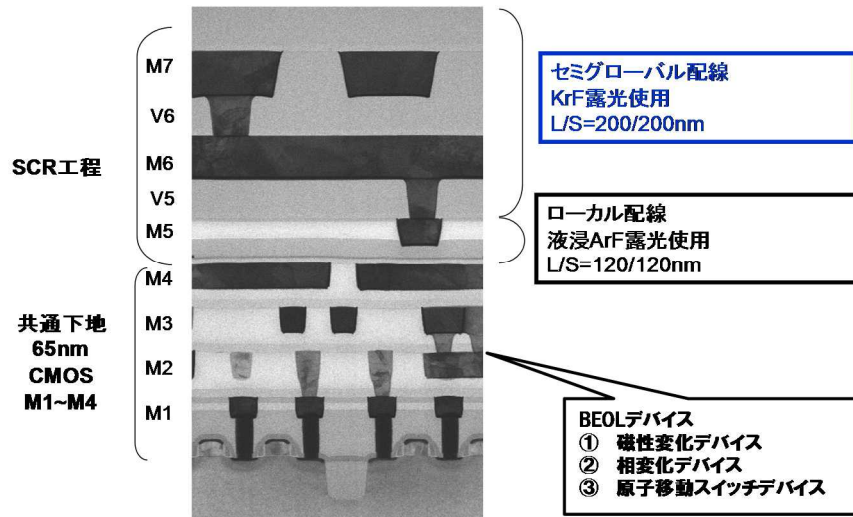


図 2.6-1 開発した BEOL 製造基盤を用いた素子の断面 TEM 写真

・ローカル配線構築

図 2.6-2 にローカル配線形成のプロセスフローの断面模式図を示す。ビア層間絶縁膜には SiO₂、配線層間絶縁膜には ULK (k=2.7) を用いた。BEOL 素子を搭載した際の後工程での熱負荷を低減するため、配線工程のプロセス温度は全て 350°C 以下となるよう設計した。加工プロセスは、溝層間絶縁膜である低誘電率膜の加工に有利なビアファーストデュアルダマシムを採用した。多層レジストを用いてビア露光を行いドライエッチングによりビアホールを開口した。続いてホール部を含む全面に SOC を塗布し、その上に SOG、および HDP-SiO₂ を成長した後、溝露光を行った。このとき、溝レジストの現像不良 (ビアホール内部から化学増幅型レジストの増幅効果を失活させる不良: 一般にビアポイズニングと呼ばれる) が発生した。図 2.6-3 に孤立ビアホール上に露光した溝パターンの露光結果を示す。隣接ビア間の距離が大きくなるほど不良発生が顕著であることからポイズニング不良であることがわかる。この不良を防止するために高密度な SiO₂ 膜 (HDP-SiO₂) を多層構造として導入し、ビアポイズニングによる現像不良を抑制した。

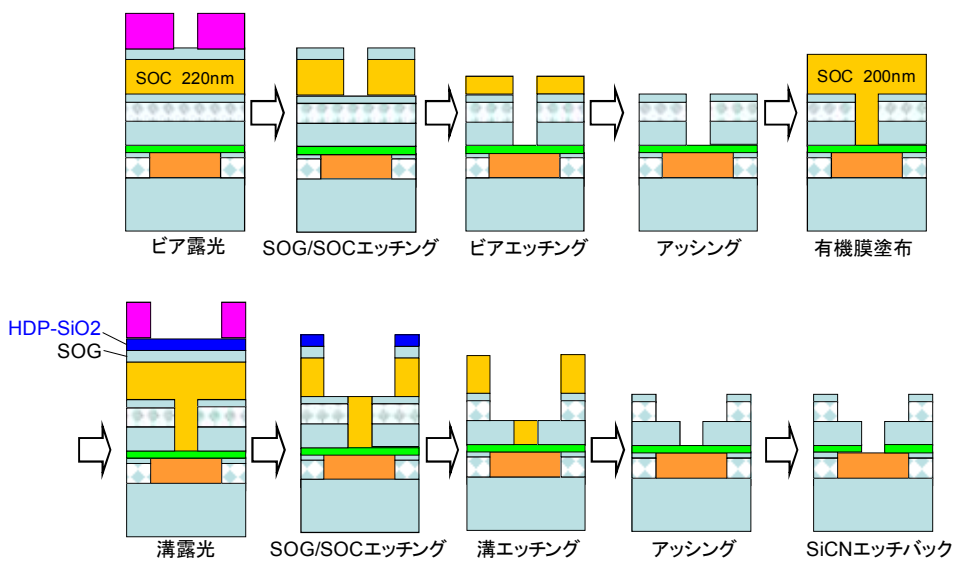


図 2.6-2 ローカル配線形成のプロセスフローの断面模式図

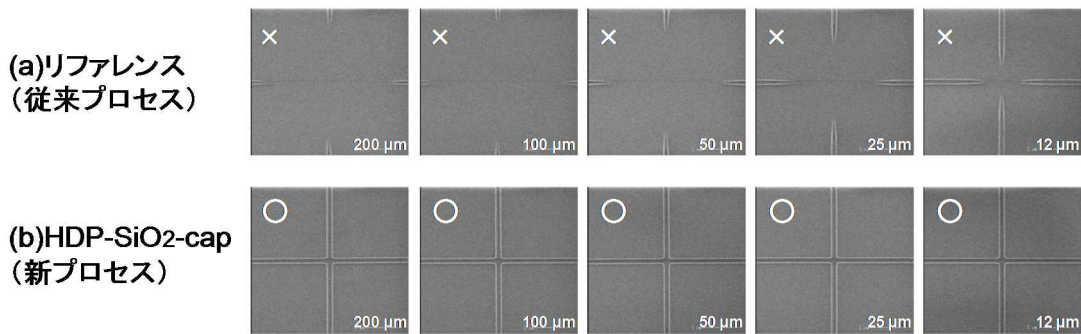


図 2.6-3 孤立ビアホール上に形成した溝パターンの測長 SEM 写真

上記製法で形成した 2 層配線に関して、配線の電気特性を測定した結果を図 2.6-4 に示す。典型的な結果として(a)ビア歩留り、(b)配線歩留りを示す。大規模ビアチェーン(5M 個直列チェーン)において、平均ビア抵抗 4~5Ω、面内歩留まりは 95%以上が確認された。その他、不良発生が懸念される接続配線幅の異なる TEG においても 100%の歩留りが得られた。配線抵抗は、ウエハ面内で 100%の歩留りを得た。シート抵抗値は配線幅 120nm において 0.2Ω/□であり、65nm 世代の銅配線として妥当な値が得られている。以上の結果から、ローカル配線に関しては、BEOL デバイスの実用性を検証する上で十分な特性・歩留りであると判断できる。

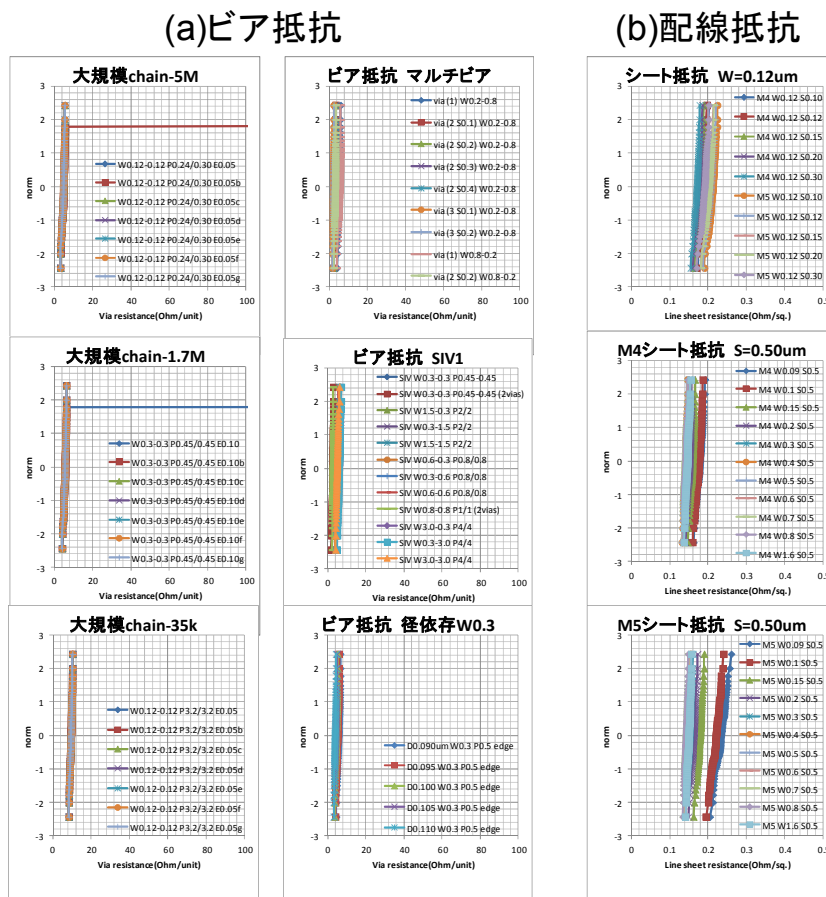


図 2.6-4 ローカル配線の配線特性

・セミグローバル配線構築

図 2.6-5 にセミグローバル配線形成のプロセスフローの断面模式図を示す。加工プロセスは、

レジスト構造を簡略化することで短 TAT を実現するため、トレンチファーストデュアルダマシンを採用した。層間絶縁膜には SiO₂ を用いた。KrF 露光による溝パターンの形成を行い、ドライエッチングによりトレンチを開口した。続いてトレンチ部を含む全面に KrF レジストを塗布し、ビア露光を行った。ビアパターンのデータ率によってビアホールの露光寸法に差が生じたため、寸法補正を行うためバイアス OPC (ルールベース OPC) を採用した。加工したデュアルダマシン溝に銅を埋め込み、Cu-CMP によって上層配線を形成した。

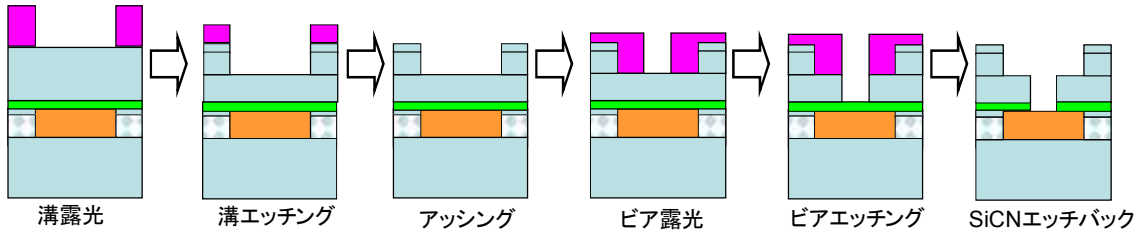


図 2.6-5 セミグローバル配線形成のためのプロセスフローの断面模式図

上記製法で形成したセミグローバル配線に関して、配線の電気特性を測定した結果を図 2.6-6 に示す。典型的な結果として、M6、M7 配線のシート抵抗とビア歩留りを示した。ビアチェーンにおいて、ビア抵抗 1 Ω 以下、面内歩留まりは 95%以上が確認され、セミグローバル配線として十分な特性・歩留りが得られている。配線抵抗は、ウエハ面内で 95%以上の歩留りが得られ、シート抵抗値は配線幅 200nm において 0.1 Ω/□であり、ローカル配線と比べて約半分のシート抵抗値が得られている。65nm 世代のセミグローバル線として妥当な値が得られており、BEOL デバイスの実用性を検証するのに、十分な配線特性・歩留りであると判断できる。

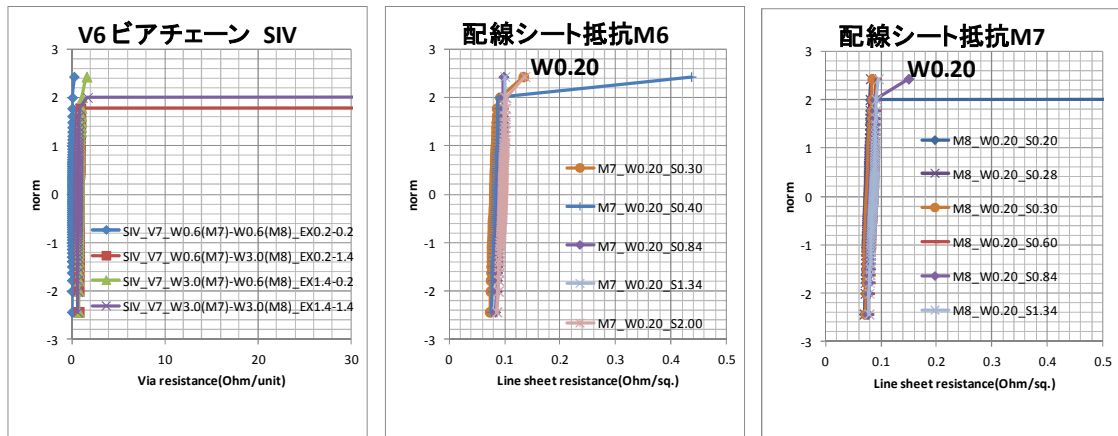


図 2.6-6 セミグローバル配線の配線特性

・新材料汚染管理技術

BEOL デバイスでは、様々な新材料を用いる。そこで、これらの新材料がデバイス特性に影響することがないように、相互汚染防止、汚染除去、汚染評価などからなる管理プロトコルの作成を行った。新材料の汚染管理手法として、以下の 4 つの手法を用いた。

管理手法 1. エッジカットリング

ウエハエッジおよびベベル・裏面の新材料の付着を防止する。

管理手法 2. 薬液による洗浄

ウェハエッジおよびベベル・裏面の新材料を薬液により除去する。

管理手法3. 新材料上の HDP 膜

新材料上に高密度膜を成膜し、新材料の後工程への影響を防止する。

管理手法4. FOUP によるハンドリング管理

ハンドリング管理により汚染拡散を防止する。

黒(メタル工程)、赤(Cu 工程)、黄(新材料工程)

図 2.6-7 に BEOL デバイスで用いられている新材料元素と用いた管理手法をまとめた。新材料の汚染管理技術としてこれらの管理手法を用いることにより、新材料がデバイス特性に影響を及ぼすことに起因してデバイス特性を低下させることがなくなり、BEOL デバイスを集積化可能となる。

新材料元素	管理手法 1	管理手法 2	管理手法 3	管理手法 4
Fe	○	○	○	○
Mn	○	○	○	○
Pd	○	○	○	○
Ge ₂ Sb ₂ Te ₅	○	○	○	—
GeTe	○	○	○	—
Sb ₂ Te ₃	○	○	○	—
Ru	○	—	○	○
Ni	—	○	—	○ (専用FOUP)
C	○ (触媒層除去により未成長)	—	○ (SOGにより後工程への影響を防止)	○ (専用FOUP)

図 2.6-7 本プロジェクトの BEOL デバイスで用いられている新材料元素と管理手法

(3)-2 BEOL 設計基盤開発

本プロジェクトでは、CMOS下地基板、BEOLプロセスを複数のグループで共用することで、開発工数の削減・効率化を行っている(図 2.6-8)。M4層から下の階層は半導体製造ラインで形成され、本プロジェクトでは、産総研SCRを用いてM4層より上層のBEOLの形成を行う。不揮発デバイスはM4とM5の間に形成される。このように、半導体製造ラインで形成された多層配線/CMOS基板上に本プロジェクトで配線および不揮発デバイス工程の形成を行うためには半導体製造ライン PDKとつくばSCR-PDKを統合した、設計ルール、配線特性パラメータ、OPCルール等からなる連携ファブPDKが必要となる。

平成22年度に設計ツール(CAD:Computer Aided Design, DRC:Design Rule Check, LVS:Layout Versus Schematic)を導入するとともに、設計に必要なルールファイル(DRCルール、LVSルール、粗密ルール等)を整備した(図 2.6-9)。本ルールファイルに沿って配線プロセス開発用レチクルセットBEP1、および回路TEG用レチクルセットLPT1の設計・検証を行った。平成23年

度のセミグローバル配線(M6,M7)の開発にあたっては、当該配線層のルールファイルを追加するとともに、ルールベースのOPC(Optical Proximity Correction:光学近接効果補正)処理ルールを作成した。セミグローバル配線層の最小加工幅は0.24umと、ローカル配線層の倍とした。レジストの厚膜化が必要であったため、KrF露光機により微細パターンの形成を行うために、ルールベースOPCをビアに導入した。LPT1にセミグローバル配線層を追加(LPT1SG)してプロセスの開発を行い、1P7Mの構成(図 2.6-8)が完成した。

さらに、プロセス歩留まりの向上を目指して、ローカル配線層にモデルベースOPCを適用した。OPCモデルは、CD-SEMにより取得したレジスト形状のCD値、および露光機の照明条件に基づいて作成した。OPC処理を行った結果、100nmまでの配線幅・ビア径の露光後の寸法は設計寸法と比較して5%以下の誤差に収めることができた(図 2.6-10)。同時にOPC変換のためのツールを導入し、OPC処理が行えるよう整備した。BEP2およびLPT2は、OPC処理が適用された1P7Mの構成のレチクルセットである。平成24年当初には、モニターロット等で蓄積されたプロセス歩留まりを元に、より詳細なDRCルールに改定を行った。LPT3においてさらなる配線プロセスの歩留まりの向上ができるものと期待している。

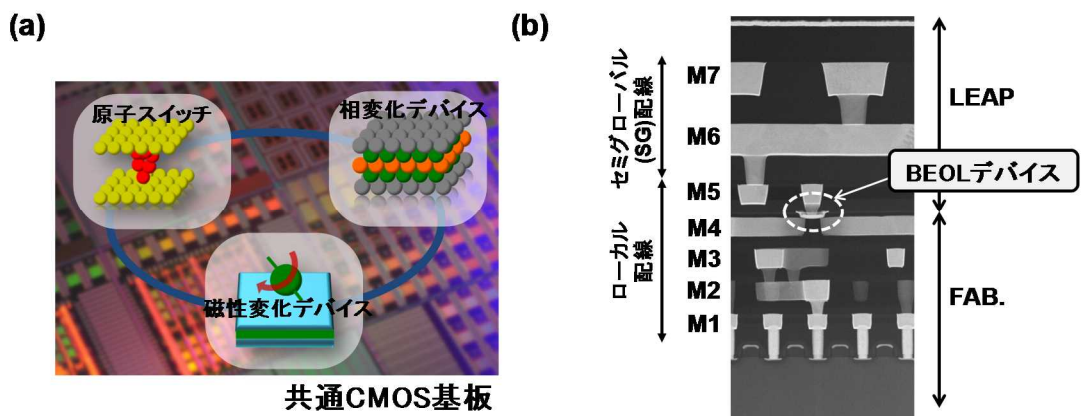


図 2.6-8 (a) CMOS 下地基板。(b)LPT1SG(文中)のレチクルセットで作成された 1P7M 構造。

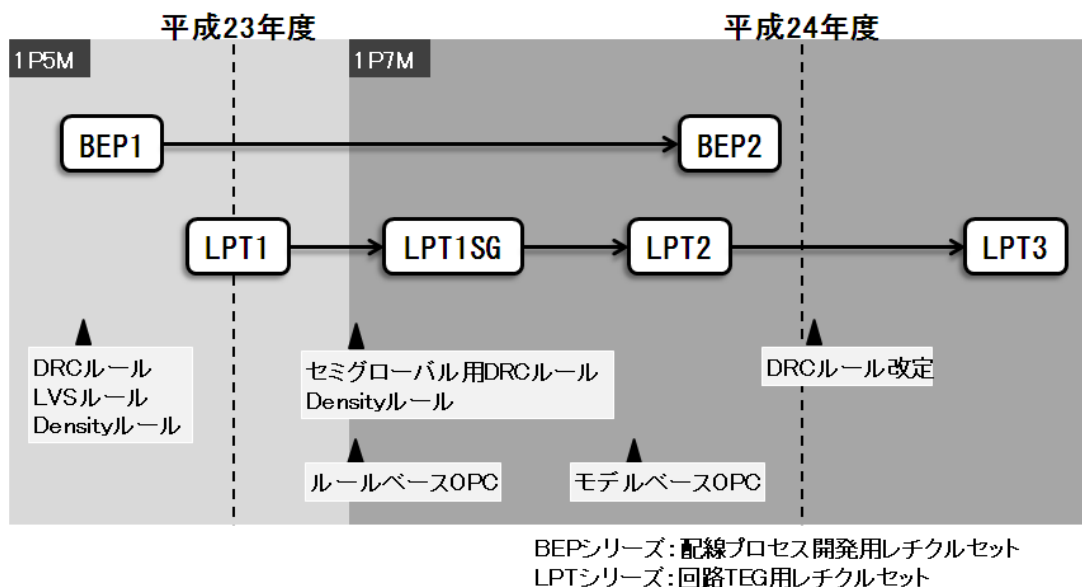


図 2.6-9 設計基盤開発の変遷。BEP, LPT 等はレチクルシリーズを示す。

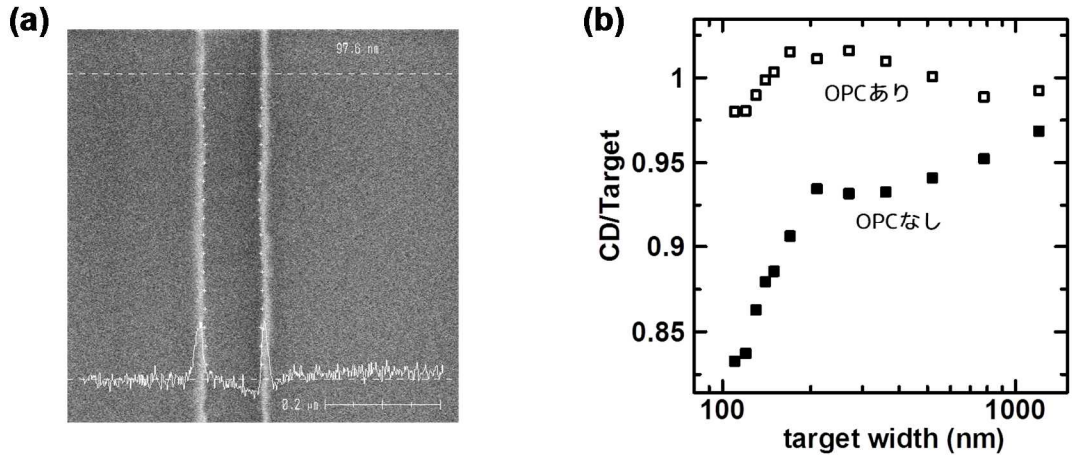


図 2.6-10 OPC の効果。(a)孤立配線のレジストパターン、(b)孤立配線の幅の設計寸法に対する CD 値。

(4) 達成度

個別デバイスの研究開発を推進するための共通設計基盤として、BEOL 設計・製造基盤(プラットフォーム)を開発し、目標をすべて達成した。

SCR300mm ラインで、半導体製造ラインで形成した多層配線/CMOS 基板上にローカル配線およびセミグローバル配線を形成する配線製造基盤技術を開発し、配線特性が所望の特性を実現していることを確認した。

新材料の汚染管理として、1.エッジカットリングによる新材料付着防止、2.薬液による新材料除去、3.新材料上 HDP 膜による汚染拡散防止、4.FOUP によるハンドリング管理手法を開発し、効果を確認した。

半導体製造ライン PDK と SCR (Super Clean Room)-PDK を統合した、設計ルール、配線特性パラメータ、OPC ルール等からなる連携ファブ PDK を策定した。

(5) まとめ

バックエンド工程において、様々な新材料・新構造デバイスを配線層の一部として作ることを効率化し、研究開発を推進するための共通設計基盤として、BEOL 設計・製造基盤(プラットフォーム)を開発した。

産総研 SCR が保有している 300mm 径ウエハ用製造装置を用いて、BEOL デバイス動作を実証するための、65nm 世代向け BEOL 製造基盤技術を開発した。ビア層間絶縁膜には SiO₂、配線層間絶縁膜には ULK (k=2.7) を用い、BEOL 素子を搭載した際の後工程での熱負荷を低減するため、配線工程のプロセス温度は全て 350°C 以下となるよう設計した。加工プロセスは、溝層間絶縁膜の低誘電率膜の加工に有利なビアファーストデュアルダマシンを採用したローカル配線形成技術を構築した。セミグローバル配線に関しては、加工プロセスは、レジスト構造を簡略化することで短 TAT を実現するため、トレンチファーストデュアルダマシンを採用した。

相互汚染防止、汚染除去、汚染評価などからなる新材料の汚染管理技術として 4 つの管理手法を開発し、効果を確認した。

BEOL 設計基盤としての連携ファブ PDK の構築を目的とし、CAD, DRC, LVS ツールを導入し、

設計に必要なルールファイル(DRC ルール、LVS ルール、粗密ルール等)を整備した。さらに、OPC ルールの策定を行い、100nm までの配線幅・ビア径の露光後の寸法は設計寸法と比較して5%以下の誤差に収めることが可能となった。

3. 知的財産権、発表

3.1 知的財産権出願、登録、発表リスト

特許、論文、外部発表等の件数(内訳)

区分 年度	特許出願			特許登録		発表	論文	その他外部発表 (プレス発表等)
	国内	外国、 PCT*	PCTから 移行	国内	外国			
H22FY	2件	0件	0件	0件	0件	9件	0件	0件
H23FY	31件	4件	0件	0件	0件	50件	2件	2件
H24FY	43件	27件	0件	0件	0件	103件	6件	10件
H25FY	34件	28件	0件	2件	1件	126件	9件	12件
H26FY	30件	31件	13件	6件	6件	147件	22件	3件
H27FY	12件	16件	1件	9件	12件	39件	13件	0件

(※Patent Cooperation Treaty :特許協力条約)

3.2 VLSI Symposia と IEDM における LEAP からの発表

半導体デバイスに関して、最も権威のある2つの学会でのLEAPの発表数の推移を下記の表に示す。

VLSI Symposia は公益社団法人 応用物理学会と IEEE(Institute of Electrical and Electronics Engineers) の EDS (Electron Device Society)が交互に主催する会議であり、京都とハワイで隔年開催されている。IEDM (International Electron Devices Meeting)は IEEE EDS 主催の会議であり、サンフランシスコとワシントンで隔年開催されている。

	2010年	2011年	2012年	2013年	2014年
LEAP	0	3	7	10	6
東大	12	13	8	13	8
東芝	8	8	7	6	6
NEC	5	0	1	0	0
富士通	2	1	0	1	0
日立	6	5	3	2	0
ルネサス	4	6	2	3	2
IBM	17	29	18	15	20
IMEC	22	19	20	24	26
AIST	4	5	2	11	7
TIA(LEAP+AIST)	4	8	9	21	13

4. 成果の普及(新聞発表、展示会など)

4.1 新聞・プレス発表

研究開発項目① 日刊工業新聞 2011年6月15日
 日刊工業新聞 2012年4月17日
 日刊工業新聞 2012年6月13日
 朝日新聞デジタル版 2012年6月13日
 日経 Tech-On 2012年6月13日
 (③⑤同時掲載)
 日経エレクトロニクス 2012年7月9日
 電気新聞 2013年6月11日

- (②③⑤同時掲載)
 EE Time Japan 2013 年 6 月 12 日
 (②③⑤同時掲載)
 日経 Tech-On 2013 年 12 月 9 日
 ((②⑤同時掲載)
 研究開発項目② 日経 Tech-On 2012 年 12 月 8 日
 日刊工業新聞 2013 年 12 月 11 日
 日経 Tech-On 2014 年 6 月 9 日
 センコンポータル 2014 年 6 月 10 日
 日経 Tech-On 2014 年 12 月 15 日
 EE Times 2014 年 12 月 17 日
 研究開発項目③ 日刊工業新聞 2011 年 12 月 8 日
 日経産業新聞 2012 年 6 月 20 日
 日経 Tech-On 2012 年 6 月 13 日
 研究開発項目⑤ 日刊工業新聞 2012 年 6 月 20 日
 日経 Tech-On 2012 年 6 月 13 日

4.2 展示会等

2011 年

- ・INC7(International Nanotechnology Conference7; Albany, New York) (2011 年 5 月 16～19 日):ポスタ
 展示
- ・第 2 回 TIA (Tsukuba Innovation Arena)シンポジウム(2011 年 11 月 25 日); 芝浦工大:ポスタ展示

2012 年

- ・CEATEC JAPAN (2012 年 10 月 2～6 日)(幕張メッセ):NEDO ブースでの講演とポスタ展示
- ・INC8(International Nanotechnology Conference8) (2012 年 5 月 8～11 日)(AIST つくば中央 共用講
 堂):講演とポスタ展示
- ・第 3 回 TIA (Tsukuba Innovation Arena)シンポジウム(2012 年 7 月 19 日)(学術総合センター2 階
 一橋講堂):ポスタ展示

2013 年

- ・CEATEC JAPAN (2013 年 10 月 1 日～5 日)(幕張メッセ):NEDO ブースでの講演とポスタ展示
- ・第 4 回 TIA (Tsukuba Innovation Arena)シンポジウム(2013 年 12 月 16 日)(イイノホール):ポスタ展示

2014 年

- ・CEATEC JAPAN (2014 年 10 月 7～11 日)(幕張メッセ):NEDO ブースでの講演と NEDO セミナーでの
 講演
- ・Semicon Japan 2014(2014 年 12 月 3～5 日)(東京ビックサイト):NEDO ブースでのポスタ、デモ展示、
 および、講演
- ・INC10((International Nanotechnology Conference10) (2014 年 5 月 13～15 日)(ワシントン):講演とポス
 タ展示
- ・第 5 回 TIA (Tsukuba Innovation Arena)シンポジウム(2014 年 9 月 3 日)(イイノホール):講演とポスタ

展示

5. 成果の普及活動

5.1 超低電力デバイスユーザーフォーラム

(1) ビジョン

「低炭素社会を実現する超低電圧デバイスプロジェクト」では、LSIとIT機器・システムの更なる低電力化を実現すべく、新材料を使用して、超低電圧(0.4V)で動作する抵抗変化型・不揮発デバイス(BEOLデバイス)や、新構造のトランジスタ、配線材料の開発を進めている。それらにより、消費電力が1桁以上小さなLSIが実現でき、ITエレクトロニクス産業にグリーン化のインパクトを与える見通しを得る。さらに、電池1本でも長期間動作できる機器や、環境発電を活用した機器への応用の道を開き、IOT(Internet of Things)のプラットフォーム技術として、様々な産業の新たな市場創出に貢献することを目指している。

(2) 目的

「低炭素社会を実現する超低電圧デバイス」の成果を、超低電力IT、エレクトロニクスに適用し、産業基盤として成長させることを目的に、本プロジェクト成果の想定ユーザであるサービス産業、応用・ソフト企業、IT機器・計測器企業等のユーザ、及び本プロジェクト参加の半導体メーカーとLEAPから構成される超低電力デバイスユーザーフォーラムを設立し、超低電圧デバイスの応用可能性を探る議論を深める。

(3) 構成と活動(図5.1)

本フォーラムにおいて、LEAPは会員に超低電力デバイスの提供を行うことができる(図5.2)。提供を受けた会員は半導体デバイスにデータを書込み、デバイスを評価して、その結果をLEAPに開示する。但し、半導体デバイスを評価する目的と評価結果を、他の会員には開示しなくてもよい。

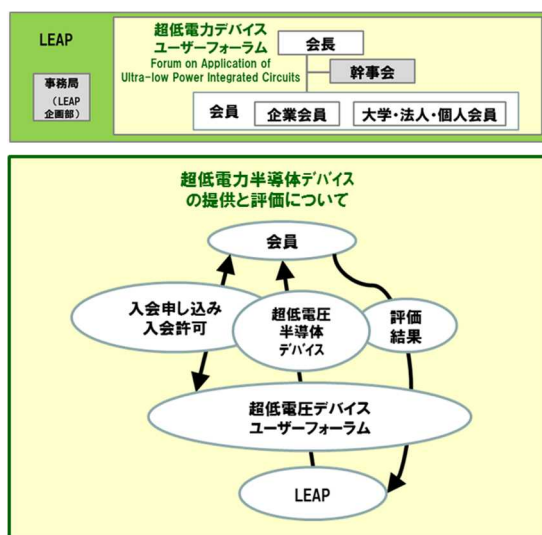


図 5.1 超低電圧デバイスユーザーフォーラムの構成

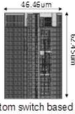

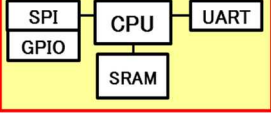

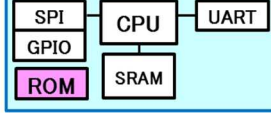
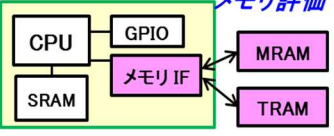
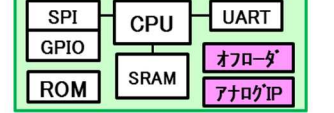
	第Ⅰ期	第Ⅱ期	第Ⅲ期
ユーザーへ提供可能なチップと評価概要	PLD  HW設計試行 マイコン  SW設計試行 	PLD  マイコン 	 メモリ評価 
提供可能ボード	LEAP 基本性能評価用ボード (マイコン、PLD)	ユーザーロジック評価用ボード	不揮発メモリ評価ボード ユーザーロジック評価用ボード
提供可能サンプル	<ul style="list-style-type: none"> ● V850 マイコン [ROM外付け] (SOTB-CMOSベース) 会員がプログラム書込みできる評価ボード、チップを提供 ● 48x48原子SWプログラマブルロジック (Bulk-CMOSベース) 会員のRTLをLEAPが書込み、チップを提供 	<ul style="list-style-type: none"> ● 原子SW内蔵ROM マイコン (SOTB-CMOS) ● 64x64原子SWプログラマブルロジック (SOTB-CMOS) 	<ul style="list-style-type: none"> ● 低電圧メモリとしてのMRAM、TRAMの評価が可能なボードを提供 ● マイコンコントローラ (SOTB-CMOS) ● 原子SWプログラマブル/F (〃) ● MRAMマクロ、TRAMマクロ ● 実証アプリマイコンチップ、オフローダマイコンチップ (原子SW-SOTB 融合技術、アナログ等各種 IP 集積)
(LSIマスク)	(LPT-4, 4S)	(LPT-6)	(LPT-8)

図 5.2 提供可能サンプル・ボードと評価概要

(4)活動結果

平成 26 年 4 月、「超低電力デバイスユーザーフォーラム」設立。

以降、想定ユーザー企業を個別に訪問して技術紹介するとともに、技術ディスカッションとフォーラム活動への参加勧誘を行った。また、LEAP ホームページで紹介するとともに、日本ものづくり会議(9 月)、CEATEC JAPAN(10 月)、Semicon Japan(12 月)等でユーザーフォーラム活動を紹介し、参加を募った。平成 26 年度末までの活動結果を表 5.1 に示す。訪問企業 47 社(国内 21 社、海外 26 社)、フォーラム登録会員数 9 社(国内)、サンプル提供 6 社(国内 3 社、海外 3 社)、ユーザー要求評価の評価データ開示 5 社(国内)。

平成 26 年度終了後、ナトランジスタ構造デバイス(研究開発項目⑤)および原子移動型スイッチデバイス(研究開発項目③)のユーザーフォーラム活動は、それぞれ、技術移管先企業に承継された。

表 5.1 ユーザーフォーラム活動結果

●訪問社数				
	Total	国内	海外	
訪問社数	47	21	26	社
ナトランジスタ構造デバイス	34	10	24	社
原子移動型スイッチデバイス	14	11	3	社
相変化デバイス	1	1	0	社
磁性変化デバイス	1	1	0	社

●ユーザーフォーラム登録会員数				
	Total	国内	海外	
登録会員数	9	9	0	社
●サンプル提供社数				
	Total	国内	海外	
サンプル提供社数	3	3	0	社
ナトランジスタ構造デバイス	3	3	0	社
原子移動型スイッチデバイス	1	1	0	社
相変化デバイス	1	1	0	社
磁性変化デバイス	1	1	0	社
●サンプルのユーザー要求評価のデータ開示				
	Total	国内	海外	
要求評価データ開示	5	5	0	社
ナトランジスタ構造デバイス	2	2	0	社
原子移動型スイッチデバイス	3	3	0	社
●その他				
原子移動型スイッチデバイス	ユーザーとの垂直統合型プロジェクトに発展			

(5)ユーザー開拓の課題

多数の企業に技術紹介を行ない高い関心を集めたが、実際にサンプルの評価にまで至ったのは少ない数にとどまった。そこには以下の課題がある。

システムメーカーでは、チップ(LSI 製品)が供給される(調達できる)ことが担保されていなければ、先の議論に進まない。IP ベンダー、チップメーカー、ソリューションプロバイダー等ファブレス半導体事業のプレーヤーは、ファブ(ものづくり)が担保されていなければ、同様に、先の議論に進まない。技術の可能性は理解できたとしても、まだ開発段階にあり、ビジネス環境も出来上がっていないものに、その検証だけへの投資はできない。先行リスクは冒せないというものがある。ユーザーの広がり(製品・ファブ)の担保・ビジネス環境の構築に繋がっていくべきものであるが、先行リスクを超えるインセンティブを与えなければユーザー獲得は難しい。

しかし、プロジェクトの活動としてユーザーとの議論を広げていったことは、ユーザーとの議論が開発方針にフィードバックできたこと、将来技術に向かってユーザーと垂直統合型のプロジェクトを立ち上げることができたこと、重要顧客との関係構築等、一定の成果を上げることができた。

6. 技術移転

6.1 国立研究法人 産業技術総合研究所への BEOL デバイス設計・製造基盤(プラットフォーム) 技術の情報開示

研究開発項目⑥「BEOL 設計・製造基盤(プラットフォーム) 開発」のうち、「BEOL デバイス設計・製造基盤(プラットフォーム) 技術」を国立研究法人 産業技術総合研究所(スーパークリーンルーム)に技術移転を行った。

「BEOL デバイス設計・製造基盤(プラットフォーム) 技術」の内容

デバイスや配線が形成されたシリコン基板上に、産業技術総合研究所(産総研)において、さらに配線層を追加するプロセスにおけるプロセスフローと、そのプロセスフローで用いる各種プロセス装置の処理レシピ、及び、前記プロセスフローで作製した多層配線のシート抵抗、配線間容量、ビア抵抗等のパラメータの技術情報をいう。

7. 標準化活動

7.1 カーボンナノチューブの抵抗評価方法

CNT 低抵抗化に向け、単体の抵抗評価手法を開発し、CNT の抵抗率が直径 1.4nm まで上昇せず、およそ 5nm 以下のビア径では W 等よりも低抵抗となる可能性を示した。本研究における CNT 単体抵抗評価成果を主要なベースにして、平成 25 年度から経済産業省において、政府戦略分野に係る国際標準化活動(テーマ名:ナノエレクトロニクスに用いるナノカーボン特性評価に関する国際標準化)がスタートした。本事業は産総研が主委託先として採択され、当技術研究組合も参加・協力した。同事業では、JEITA ナノエレクトロニクス標準化専門委員会、IEC(国際電気標準化会議)TC-113 と連携して調査・提案活動を進め、平成 26 年度には国際標準化すべき技術と評価項目等の具体化を行って、IEC TC-113 への Preliminary Work Item (PWI)提案に結び付いた。

IV. 実用化、事業化の見通しについて

実用化、事業化の見通し

実用化、事業化

「低炭素社会を実現する超低電圧デバイスプロジェクト」において開発対象とした技術は、超低電圧で動作する不揮発デバイス技術(研究開発項目①②③)、新材料を用いた超低抵抗微細配線技術(研究開発項目④)、新構造を用いたトランジスタ技術(研究開発項目⑤)である。これらは半導体集積回路において、集積化されることにより、命令・データ・信号のプロセッシング、アナログデータのデジタルデータへの変換、一時記憶、ストレージ等の機能を総合的に実現する。開発した技術の実用化、事業化に向けた展開を、参加企業の事業分野ごとに分かりやすく記述したのが図 7.1-1 ある。

集積回路の設計・製造を基幹事業としている参加企業((株)東芝、富士通セミコンダクター(株)、ルネサスエレクトロニクス(株))においては、集積回路自体が製品であり、開発した技術は次世代以降の既存製品や新製品に直接搭載されることで、市場占有率の増加や新市場の開拓に貢献する。(株)東芝は10nm世代以降の大容量 NAND フラッシュメモリ、或いは3次元積層メモリの極微細($\leq 10\text{nm}$)低抵抗配線及び超高アスペクト比(>20)コンタクトプラグへの採用を目指している。富士通セミコンダクター(株)は磁性変化メモリを組み込んだプロセッサの富士通(株)への供給や、ASICおよびASSPに搭載して、各種IT機器やデジタルAV機器などを生産している顧客に提供することが目標である。ルネサスエレクトロニクス(株)は低電力優位性を高めたマイコン製品の市場占有率の増加と、超低電力マイコンという新しいマイコン応用分野への適用が、実用化、事業化の目標である。近年、最先端集積回路については、自社工場での製造比率を下げ、製造委託を増やすファブライツ化が進んでいる。半導体を最終製品とする上記企業においても、本プロジェクトで開発した技術を最先端の集積回路に組み込むには、自社工場での生産だけでなく委託することも考えられる。

いっぽう、日本電気(株)、(株)日立製作所、富士通(株)等、IT製品や応用システムの提供、サービスを事業分野とする企業においては、本プロジェクトで開発した技術は、製品であるIT製品や応用システムにおける新機能付加や性能向上を通して競争力の向上に貢献する。日本電気(株)は開発した原子移動型スイッチを組み込んだ集積回路を用いて、低遅延・低消費電力の特徴を活かし、IoTの映像ソリューションに適用することで、急速に市場が拡大しているIoT分野での競争力強化を図る。また、放射線耐性も優れているため、宇宙システム事業において人工衛星の各種センサデータ処理への適用を進める。(株)日立製作所はW/Wで世界4位、国内で1位のシェアをもつ外付型ディスクアレイ事業の基幹部品である固体ストレージに適用することで、“ビッグデータ”を高速・低消費電で処理・活用するストレージシステムを構築する。さらには、メモリを多用する次世代コンピューティング分野に、新メモリの技術を活用する。富士通(株)は磁性変化メモリを不揮発キャッシュメモリとする集積回路をサーバーやスーパーコンピュータに組み込むことで差別化したシステムを提供する。

これらのIT製品や応用システムメーカーは、自社に集積回路の製造部門を持っていないため、半導体企業から調達するか、或いは製造を委託することになる。

三菱電機(株)は、自動車機器事業において、電子回路と一体となった車載用磁気センサを開発してい

る。また、パワーモジュールや大電力デバイス事業においては、その高性能化を進めている。これらは、必ずしも微細集積化技術を必要としないデバイスであるため、デバイスからシステムまで自社で一貫した実用化、事業化が可能である。

さらに当プロジェクトには、製造装置メーカーとして、(株)荏原製作所、東京エレクトロン(株)、(株)日立国際電気、の3社が参加している。(株)荏原製作所はカーボンナノチューブを埋め込んだ微細コンタクトの平坦化(CMP)装置、東京エレクトロン(株)はカーボンナノチューブやグラフェン膜の成長装置、そして、(株)日立国際電気は新しい相変化膜の成長装置を実用化・事業化することを目標として参加している。半導体製造装置は、新材料を使用する集積回路製造メーカーに提供することが実用化、事業化の目標である。

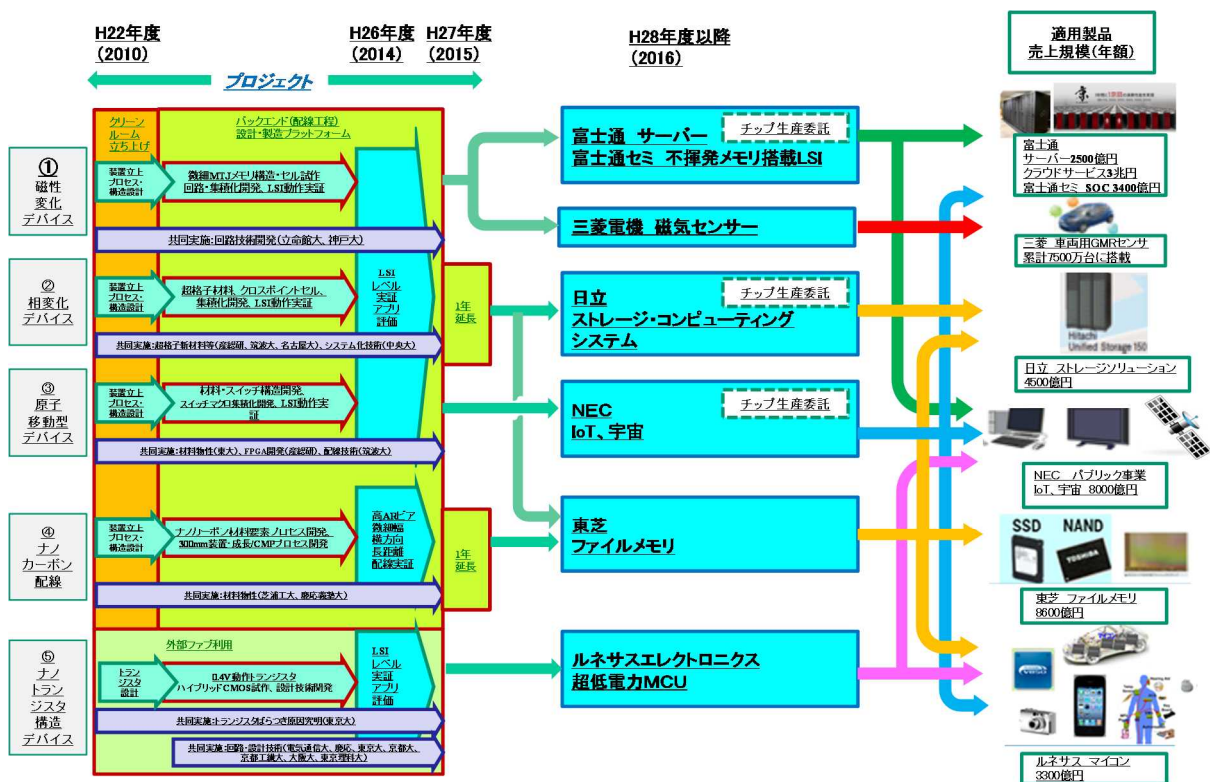


図 7.1-1 参加企業における本プロジェクト成果の実用化、事業化戦略

(添付資料)

●プロジェクト基本計画

P10023

事業項目「低炭素社会を実現する超低電圧デバイスプロジェクト」の目的、目標、内容、および、実施期間

1. 研究開発の目的、目標及び内容

(1) 研究開発の目的

半導体技術は、情報家電、コンピュータ、通信装置、自動車、医療機器など、我が国の経済を支える先端産業の競争力強化に不可欠な基盤技術である。その発展を支えているのは、シリコン集積回路とその基本素子(デバイス)の CMOS トランジスタであり、これまで、CMOS トランジスタの寸法を微細化するプロセス技術と、微細デバイスを機能させる回路技術により、高性能化・低電力化を実現してきた。

低炭素社会の実現には、上記に代表されるエレクトロニクス機器の究極的な低電圧動作による飛躍的な低電力化が必須であり、デバイスの低電圧動作と不揮発動作が不可欠な技術要素である。CMOS 基本回路の消費電力は電圧の自乗に比例するので、電圧を 1/3 にすれば、単純には消費電力がほぼ 1/10 になる。また、電源を遮断しても情報が保持される不揮発デバイスを使えば、待機状態での消費電力がゼロになり、これも、消費電力の低減に大きな効果をもたらす。このように、動作状態では電圧の低減で、待機状態では不揮発動作を使うことで、消費電力の低減が達成される。これらの機能を満たす新しい超低電圧・不揮発デバイスの開発が必要である。

欧米においては、大型の産学連携ナノエレクトロニクス拠点の整備がここ数年で飛躍的に進み、超低電圧・不揮発デバイスをはじめとした、次世代デバイスに関する実用化を目指した研究が活発に行われ、今後、開発競争は熾烈化するものと考えられる。海外の研究開発活動の活発化により、このような状況を放置すれば、超低電圧・不揮発デバイスに関する我が国の技術開発の競争力を失いかねない。

本プロジェクトは、ナノテクノロジーで培われた新規の機能材料や新規のデバイス構造に立脚して、集積回路の低電圧動作と高機能・高集積化を実現し、集積回路の低電力化を通してエレクトロニクス機器の消費電力を大幅に低減する技術を確立することを目的として、「IT イノベーションプログラム」の一環として、実施する。

(2) 研究開発の目標

① 本研究開発の目標

研究開発の目的に即した革新的基礎技術、及び応用技術を確立することを目標とする。具体的には、別紙の研究開発計画に基づいた、プロジェクト3年経過時点における中間目標及び、プロジェクト終了時における最終目標を達成することとする。

③ 体としてのアウトカム目標

本研究開発が対象とする集積回路を用いた産業機器やコンシューマ機器は、大幅な省エネルギー効果が期待できる。2020年における省エネルギー効果の合計は、電力量に換算すると、163.4億 kWh/年、炭酸ガス削減量に換算すると、697万トン/年と見積もられる。

また本研究開発を実施し、他国に先駆けて省エネ機器を実現することで、2020年において、不揮発デバイスがデジタル家電用混載メモリの5割、データセンター用固体ストレージ等の3割、低電圧デバイスがIT機器用汎用マイコン等3割の普及率を目指す。

(3) 研究開発の内容

様々なエレクトロニクス機器を制御する集積回路は、計算処理を担うロジック集積回路と記憶処理を担うメモリ集積回路から構成されている。また、メモリ集積回路は、ロジック集積回路との情報応答性能や情報記憶容量に応じて、ロジック集積回路に混載される1次メモリ(高速、小容量)、さらには、大容量記憶を担う外部記憶(低速、大容量)などに細分される。これらの集積回路の低電力化を達

成するために、以下の研究開発を実施する。

本研究開発は、実用化まで長期間を要するハイリスクな「基盤的技術」に対して、産学官の複数事業者が互いのノウハウ等を持ちより協調して実施する事業であり、委託事業として実施する。

[委託事業]

研究開発項目①「ロジック集積回路内 1 次メモリを対象とした、高集積・高速特性・高書き換え耐性などの機能を有する超低電圧・不揮発デバイスの開発」

研究開発項目②「外部記憶の高速低電力データ転送を実現する、高集積・高速低電力書き込み特性などの機能を有する超低電圧・不揮発デバイスの開発」

研究開発項目③「配線切り換えを可能とするスイッチを対象とした、低電流・高速書き換え、高オン・オフ抵抗比、小面積などの機能を有する超低電圧・不揮発スイッチデバイスの開発」

研究開発項目④「集積回路チップ内において、機能ブロックの三次元集積を実現するための、微細幅・超低電気抵抗、超高アスペクト比配線・材料技術の開発」

研究開発項目⑤「CMOS トランジスタの超低電圧動作、及びリーク電流抑制を同時に実現するための、低しきい値ばらつきトランジスタを集積化するための技術開発、並びに、この技術を用いた高集積機能素子における低電圧動作実証」

研究開発項目⑥「BEOL 設計・製造基盤(プラットフォーム)^(*)開発」

*1 BEOL 設計・製造基盤(プラットフォーム)

様々な新材料を使うデバイスや新構造デバイスを配線層(BEOL; Back end of Line)の一部として作製する際に、材料・構造を問わず、すべてに共通で使える設計ルール、材料、プロセス工程などを総称してプラットフォームという。ここでは BEOL 設計基盤と BEOL 製造基盤を合わせて、BEOL 設計・製造基盤(プラットフォーム)と呼ぶ。

2. 研究開発の実施方式

(1) 研究開発の実施体制

本研究開発は、経済産業省が、企業、大学等の研究機関(委託先から再委託された研究開発実施者を含む)から公募によって研究開発実施者を選定し、共同研究契約等を締結する研究体を構築して開始したものである。

独立行政法人新エネルギー・産業技術総合開発機構(以下「NEDO」という。)が本研究開発の運営・管理を承継するに当たっては、その時点までの進捗状況を踏まえた研究開発内容・計画及び実施体制の妥当性について、外部有識者による審議を含めた評価を行った上で最適な研究開発体制を構築し、実施する。

(2) 研究開発の運営管理

研究開発全体の管理・執行に責任を有する NEDO は、経済産業省及び研究開発実施者と密接な関係を維持しつつ、プログラムの目的及び目標、並びに本研究開発の目的及び目標に照らして適切な運営管理を実施する。具体的には、必要に応じて設置される技術検討委員会等における外部有識者の意見を運営管理に反映させる他、四半期に一回程度プロジェクトリーダー等を通じてプロジェクトの進捗について報告を受けること等を行う。

3. 研究開発の実施期間

本研究開発の期間は、平成22年度から平成27年度までの6年間とする。ただし、この期間内において、研究開発項目毎に研究開発期間を設定する。研究開発項目①、③、⑤については、平成22年度から平成26年度までの5年間とする。また、研究開発項目⑥については、平成23年3月から平成24年2月とする。研究開発項目②、④については、平成22年度から平成27年度までの6年間とする。

4. 評価に関する項目

NEDO は、技術的及び政策的観点から、研究開発の意義、目標達成度、成果の技術的意義及び将来産業への波及効果等について、外部有識者による研究開発の中間評価を平成 24 年度、事後

評価を平成 27 年度に実施する。中間評価結果を踏まえ、事業の加速・縮小など必要な体制の再構築を含め、後年度の研究開発に反映することとする。なお、評価の時期については、当該研究開発に係る技術動向、政策動向や当該研究開発の進捗状況等に応じて、前倒しする等、適宜見直すものとする。

5. その他の重要事項

(1) 研究開発成果の取扱い

① 共通基盤技術の形成に資する成果の普及

得られた研究開発成果のうち、共通基盤技術に係るものについては、プロジェクト内で速やかに共有した後、NEDO および実施者が協力して普及に努めるものとする。

② 知的基盤整備事業又は標準化等との連携

得られた研究開発の成果については、知的基盤整備事業又は標準化等との連携を図るため、データベースへのデータの提供、標準案の提案等を積極的に行う。

③ 知的所有権の帰属

委託研究開発の成果に関わる知的所有権については、「独立行政法人新エネルギー・産業技術総合開発機構 新エネルギー・産業技術業務方法書」第 25 条の規定等に基づき、原則として、すべて委託先及び共同研究先に帰属させることとする。

(2) 基本計画の変更

NEDO は、研究開発内容の妥当性を確保するために、社会・経済的状況、国内外の研究開発動向、政策動向、プログラム基本計画の変更、第三者の視点からの評価結果、研究開発費の確保状況、当該研究開発の進捗状況等を総合的に勘案し、達成目標、実施期間、研究開発体制等、基本計画の見直しを弾力的に行うものとする。

(3) 根拠法

本プロジェクトは、独立行政法人新エネルギー・産業技術総合開発機構法第 15 条第 1 項第 1 号二に基づき実施する。

6. 基本計画の改訂履歴

(1) 平成 23 年 3 月、制定。

(2) 平成 25 年 3 月、根拠法変更に伴う修正。

(3) 平成 27 年 2 月、研究開発項目②、④の最終目標変更、及び研究開発期間延長に伴う改訂。

(別紙) 研究開発計画

研究開発項目①「ロジック集積回路内1次メモリを対象とした、高集積・高速特性・高書き換え耐性などの機能を有する超低電圧・不揮発デバイスの開発」

1. 研究開発の必要性

銀行やライフラインなどの社会インフラ管理を担う大型コンピュータや、爆発的に増大するインターネットの情報を処理する大型サーバー、さらには、オフィス内の IT 機器、デジタル AV、携帯機器に代表される各種エレクトロニクス機器の情報処理量と機器台数の増大に伴い、機器が消費する電力の増大が焦眉の問題となっている。

これらのシステムにおいて情報処理機能を担う CPU や MPU に代表されるシステム LSI は、情報処理量増大に対処するため、高集積化と高速化が年々進み、その結果、1 チップの消費電力は 100W に達する品種も現れている。

低炭素社会の実現に向けては、エレクトロニクス機器に使用されるシステム LSI の消費電力を抑制する必要がある。システム LSI は、論理演算部とデータやプログラムを一時的に格納する 1 次メモリの SRAM が同一チップ上に混載されている。国際半導体ロードマップ(ITRS)によれば、LSI に混載されるメモリ部がチップ面積の約半分を占めるようになり、今後もその比率は更に増大すると予測されている。その理由は、情報処理能力を上げるためには、論理演算部とデータのやり取りを直接行う 1 次メモリの容量増大が非常に有効なためである。このように、混載される SRAM の容量が大きいため、そこで消費される動作時と待機時の電力を抑制することができれば、システム LSI の低消費電力化を通して、低炭素社会実現に貢献できる。

メモリの動作時の消費電力を低減するには、メモリの読み書きに必要な電圧を下げ適切な条件で動作させること、また待機時の消費電力を低減するには、電源を切ってもメモリ内の情報を保持できる不揮発性を持たせることが必要である。

2. 研究開発の具体的内容

上述の低電力化要件(低電圧読み書き、不揮発)と、混載 SRAM を置き換えるための要件(高集積、高速、高書き換え耐性)を満たすメモリの開発を行う。

- ・シミュレーション、試作および評価による最適メモリ材料、作製プロセス、およびメモリ構造の開発。
- ・書き換え耐性の加速試験方法の確立。
- ・信頼性評価方法の確立。
- ・システム LSI の多層配線内に、メモリを埋め込むインテグレーション技術の開発。
- ・メモリの読み書きを制御する周辺回路の開発と設計環境の構築。
- ・特定のアプリケーションを想定した回路による、超低電圧動作の実証。
- ・従来の 2 倍の高集積化を可能とする多値メモリセルの開発。

3. 達成目標

システム LSI に混載されている SRAM 機能を代替できる、低電圧動作の不揮発メモリを開発する。その際、以下の条件を目標とする。

【中間目標】(平成 24 年度末)

- ・メモリ単体レベルで、読み書き電圧 0.4V 以下、読み書き電流 100 μ A 以下、読み書き時間 10ns (電力量 0.4pJ 以下)の実証。1.2V 動作 SRAM の 1/10 の電力の実証。
- ・新材料を用いた新プロセスの、300mm バックエンドラインへの統合による、デバイス動作実証。
- ・試作・評価によるメモリパラメータ取得と、それを用いた低電圧動作メモリ周辺回路設計。
- ・高集積化を可能とする多値動作の確認。

【最終目標】(平成 26 年度末)

- ・加速試験による 10 年間のリテンションと、書き換え回数 10^{16} 回の達成。
- ・実用に耐える信頼性技術確立への指針の提示。
- ・低電圧動作の周辺回路を備えたメモリマクロで、読み書き電圧 0.4V、読み書き電流 100 μ A 以下、読み書き時間 10ns、1.2V 動作 SRAM の 1/10 の電力を実証すると共に、メガバイト級メモリの実現可能性の提示。
- ・メモリマクロでの多値動作を実証することによる、従来 SRAM 比 2 倍の高集積化の可能性を提示。

研究開発項目②「外部記憶の高速低電力データ転送を実現する、高集積・高速低電力書き込み特性などの機能を有する超低電圧・不揮発デバイスの開発」

1. 研究開発の必要性

インターネットの高速化と情報通信機器の高度化により、外部記憶が消費する電力量の爆発的増大が課題視されている。外部記憶には、膨大な量の情報を記憶し、瞬時に読み書きできる性能が求められているが、外部記憶として最も普及している HDD はディスク回転で動作が律速されるため、複数の HDD を組み合わせてデータの読み書きを高速化している。しかしながら企業、産業用途では、数百台の HDD 動作が必要なため冷却装置が欠かせず、さらに大規模な検索エンジンのデータセンターでは、発電所一基分に相当する電力が必要となっている。

一方、フラッシュメモリを搭載した SSD は、高速データ処理が可能でかつ消費電力が小さいため、記録容量は低いが HDD を代替する外部記録として、年々その需要が増大している。しかし、フラッシュメモリは、データ消去に際して消す必要のないデータも消去することから(ブロック単位でのデータ消去)、データを一時的に蓄えるキャッシュへのデータ退避と再書き込みが必要で、これらの処理が実効的な書き込み時間を増大させている。そのため現状の SSD でも、複数のフラッシュとキャッシュが組み合わされて動作しており、今後、チップ数の増大による消費電力増大と、複雑な使いこなしが避けられない課題になるのは必至である。

そこで、データ転送を高速低電力で実現し、外部記録の消費電力を圧倒的に低減しうる高集積メモリの開発を行う。

2. 研究開発の具体的内容

外部記憶の圧倒的な消費電力低減を実現するため、高集積、高速、低電力の要件を満たすメモリの開発を行う。

- ・物理的に最小セル面積が可能なクロスポイント型メモリセル技術。
- ・クロスポイント型セルによるユニポーラ動作が可能なメモリ材料技術。
- ・書き込み動作時のエネルギー散逸を防止して低電力化を可能とするメモリ構造技術。
- ・上記の材料及び構造を 300mm ウエハに搭載可能とするプロセス技術。
- ・メモリ材料を外部記憶向けに最適化するためのシミュレーション及び評価技術。
- ・クロスポイント型セル動作に特有なアレイ回路技術。
- ・上記メモリを用いた低電力高速データ転送技術。

3. 達成目標

外部記憶の高速低電力データ転送を実現する、高集積・高速低電力書き込み特性などの機能を有する不揮発デバイスを開発する。その際、以下の条件を目標とする。

【中間目標】(平成 24 年度末)

- ・単体デバイスとして、クロスポイント型メモリセル試作と動作実証。
- ・データ転送速度 200MB/s を、従来の 1/3 の電力(200mW)で可能とする単体デバイスの書き込み動作、およびさらなる高速低電力化の可能性の根拠の提示。

【最終目標】(平成 26 年度末)

クロスポイント型メモリセルを集積化したメモリアレイ試作と動作実証。

- ・書き換え回数 10^6 回以上の達成。
- ・データ転送速度 400MB/s の高速動作実証。
- ・従来の 1/10 の電力(66mW)の低電力動作実証。
- ・メモリセル面積 $4F^2$ (*)のメモリアレイによる高集積性実証。

(*) F; 最小加工寸法

研究開発項目③「配線切り換えを可能とするスイッチを対象とした、低電流・高速書き換え、高オン・オフ抵抗比、小面積などの機能を有する超低電圧・不揮発スイッチデバイスの開発」

1. 研究開発の必要性

高度情報化社会の発展には、IT ネットワーク機器・車載電子機器・情報家電機器・モバイル機器など、様々な用途で用いられるロジック集積回路の性能向上が不可欠である。近年、電子機器の製品サイクルが短縮し、短 TAT、少量多品種生産、頻繁な仕様変更等が必要となってきたため、ロジック集積回路の一部または全部の回路を再構成可能にした、プログラマブルロジックへのニーズが高まっている。

プログラマブルロジックは、電子機器に組み込まれた後もその回路構成を変えられるため、ユーザーのニーズに沿った機能変更・追加、バグ修正、さらに不具合や劣化した回路の切り離し等をユーザーの手元で行えるようになる。柔軟なプログラマブルロジック集積回路を電子機器に組み込むことにより、ユーザーの意図した機能・動作が実現できるようになり、自然な形で人のニーズを満たし、行動を支援する“ヒューマンセントリック”な電子機器が提供できる。しかしながら、従来のプログラマブルロジックは、その高い消費電力のためにコンシューマ市場へ浸透していなかった。したがって、プログラマブルロジックデバイスの動作時および待機時の電力を削減することにより、低炭素社会を実現することが強く望まれる。

現在のプログラマブルロジックデバイスでは回路を再構成するスイッチに、パストランジスタと SRAM を組み合わせた SRAM スイッチが用いられている。しかしながら、上述のとおり、動作時および待機時の電力が大きく、低消費電力化が強く求められている。そこで、本研究では、低消費電力・低炭素社会を実現するため、プログラマブルロジックの大幅な低消費電力化が実現可能である技術の開発を行う。

2. 研究開発の具体的内容

配線切り換えを可能とするスイッチを対象とした、ロジック集積回路の低消費電力化・低電圧化に対応可能であり、かつ、スイッチの書き換え時、および保持時の低消費電力化を実現する超低電圧・不揮発スイッチデバイスの開発を行う。具体的には、オン・オフ抵抗比が大きく低電圧に対応可能であり、スイッチ素子の面積が小さく配線容量、およびスイッチ容量が低容量であり、書き換えに必要な書き換え電流と書き換え速度の積(電荷量)が小さく低電力書き換えが可能であるスイッチデバイスを実現する。

- ・スイッチ素子材料、構造および集積化プロセスの開発。
- ・本スイッチ素子に最適な回路技術の開発および既存のロジック集積回路との融合。
- ・素子の信頼性向上を目的とした機構解明および信頼性保証への基礎技術確立。

3. 達成目標

プログラマブルロジックの低消費電力化を実現できる、不揮発配線切り換えスイッチを開発する。その際、以下の条件を目標とする。

【中間目標】(平成 24 年度末)

- ・スイッチ素子の材料選定、素子構造の最適化を行い単体素子の動作を検証。
- ・単体素子性能として書き換え電流と書き換え速度の積が 10^{-10} As 以下、オン・オフ抵抗比 10^5 以上、書き換え回数 10^3 以上の実証。

【最終目標】(平成 26 年度末)

以上の成果に基づき、

- ・大規模集積化に必要なスイッチ素子特性のばらつきを低減。
- ・300mm ウェハにロジック集積回路を試作し下記を達成する。

- a) 本スイッチにより配線切り換えを行ったロジック集積回路が 0.4V で動作可能であり、その際の消費電力が SRAM スイッチにより配線切り換えを行った従来型 1.2V 動作ロジック集積回路の 1/10 以下。
- b) スイッチ素子面積が同一世代の SRAM スイッチを用いたプログラマブルロジックデバイス(PLD) に比べ 1/20 以下。

研究開発項目④「集積回路チップ内において、機能ブロックの三次元集積を実現するための、微細幅・超低電気抵抗、超高アスペクト比配線・材料技術の開発」

1. 研究開発の必要性

集積回路の高集積化には、個々の素子同士を接続するための多層配線が不可欠である。これらの配線には現在、Cu、W 等の金属材料が用いられているが、配線寸法の微細化、配線膜厚の薄膜化に伴って、結晶粒界や界面での電子の非弾性散乱効果による配線抵抗の増大が顕著になりつつある。既に配線幅 100nm を下回る領域で、この増大が現実のものとなりつつあるが、平成 28 年頃に予想される配線幅 10nm 前後の領域では、大幅な抵抗上昇が生じ、従来の金属材料では所要の性能を実現できない。

また、急速に進みつつある不揮発素子等の機能ブロックの三次元集積のためには、微細でかつこれまででない超高アスペクト比(コンタクトホールの深さと直径の比)のコンタクト開発が求められている。現在までに、10 を超えるアスペクト比への W など金属の埋め込み技術が開発されているが、将来的にはアスペクト比 30 の埋め込みが必要になると予想されている。

2. 研究開発の具体的内容

以上のような必要性に基づいて、ナノカーボン材料を用いて、微細線幅・長距離に対応した横配線技術と微細径・超高アスペクト比に対応したコンタクトホール埋め込み技術の開発を行う。具体的には、300mm 対応の材料成長・加工・配線集積化に関する技術開発とともに、ナノカーボン材料の配線適用に関する理論検討、先行的材料合成・評価等の配線基礎技術開発を行い、大口径での配線技術の有効性を実証する。

3. 達成目標

三次元集積を実現するための、微細幅・超低電気抵抗、超高アスペクト比配線・材料技術を開発する。その際、以下の条件を目標とする。

【中間目標】(平成 24 年度末)

- ・微細線幅 (100nm)、低抵抗 (シート抵抗 $< 50\Omega/\square$) の配線実証。
- ・微細直径 (90nm)、超高アスペクト比 (≥ 16) のコンタクトホールへのナノカーボン材料埋め込み実証。

【最終目標】(平成 26 年度末)

- ・微細線幅 ($\leq 20\text{nm}$)、長距離 (0.7mm)、低抵抗 (シート抵抗 $\leq 3\Omega/\square$) の配線実証。
- ・微細直径 (90nm)、超アスペクト比 (30) のコンタクトホールへのナノカーボン材料埋め込みと、W 以下の抵抗 (接触抵抗を含む) の実証。

研究開発項目⑤「CMOS トランジスタの超低電圧動作、及びリーク電流抑制を同時に実現するための、低しきい値ばらつきトランジスタを集積化するための技術開発、並びに、この技術を用いた高集積機能素子における低電圧動作実証」

1. 研究開発の必要性

ほとんどのエレクトロニクス機器にはシリコン集積回路が搭載されている。これまでのシリコン集積回路においては、主として CMOS トランジスタを微細化、高集積化することによって高機能化、高性能化、低消費電力化を実現してきた。これらの実現への必須要件は、微細化と動作電圧の低減を同時に推し進めることであった。CMOS トランジスタを用いた低消費電力用途の集積回路の動作電圧は、現在のところ 1.2V 程度まで低減されてきたが、素子特性のばらつきを考慮すると動作電圧の下限は 0.6V 前後とされており、このままでは動作電圧の低減が飽和するのは避けられない。また、動作電圧が低減すると、CMOS トランジスタの動作が不安定になるため、動作状態に応じてトランジスタの特性を制御するなどの技術を適用しないと、動作性能の低下やリーク電力の増大などの問題が生じる。このため、シリコン集積回路の消費電力を現状の 1/10 以下に低減するためには、主要素子である CMOS トランジスタの動作電圧を 0.4V 以下に低減できる技術や、使用状況に応じて動作条件を最適に制御する技術の確立が不可欠である。

2. 研究開発の具体的内容

動作電圧低減の主たる阻害要因である、しきい電圧ばらつきを低減でき、かつ、使用状態に応じて動作条件を変化させる基板バイアス電圧制御が可能な構造を有するナノトランジスタ構造デバイスを開発すると共に、それを集積化するために必要な技術開発を行う。

- 0.4V 以下の低い電源電圧において個々のトランジスタの動作を最適化するための、シミュレーション、試作および評価。
- ナノトランジスタ構造デバイスを用いた、基板バイアス電圧制御技術の開発および低電圧動作回路の設計指針の提示。
- ナノトランジスタ構造デバイスと既存の CMOS トランジスタを集積した、融合集積化技術の開発。融合集積デバイス特有の信頼性阻害要因の解析と、大規模集積化試作による、実用に耐える信頼性確立への指針の提示。
- 融合集積化 LSI のための設計情報の取得と設計環境構築への指針の提示。
- 特定のアプリケーションを想定した回路における、消費電力低減効果の検証。

3. 達成目標

ナノトランジスタ構造デバイスと既存の CMOS トランジスタを融合集積化するための技術開発、並びに、この技術を用いた高集積機能素子における低電圧動作実証を行う。その際、以下の条件を目標とする。

【中間目標】(平成 24 年度末)

- 100 万個以上のトランジスタで、平均 $\pm 0.1V$ 以下 ($\pm 5\sigma$) の局所しきい電圧ばらつきの達成。
- 低い電源電圧に動作を最適化し、基板バイアス制御技術を適用したナノトランジスタ構造デバイスを集積した 1Mbit 以上の SRAM での、0.4V 動作の実証。

【最終目標】(平成 26 年度末)

- 以上の成果を基に、
- ナノトランジスタ構造デバイスと既存の CMOS トランジスタとの融合集積化技術を確立するとともに、その設計環境構築への指針を提示。
 - 従来デバイスに比較して消費電力を 1/10 に低減できる基盤技術を確立するとともに、実用化回路レベルでの達成目処を提示。

研究開発項目⑥「BEOL 設計・製造基盤(プラットフォーム)開発」

1. 研究開発の必然性

低炭素社会の実現には、エレクトロニクス機器の低電圧動作が必要である。これまでのシリコン集積回路においては、主として CMOS デバイスを微細化、高集積化することによって高機能化、高性能化、低消費電力化を実現してきた。しかし、ロジック集積回路の動作電圧には、CMOS デバイスの特性ばらつきなどに起因する低電圧化限界があり、さらなる低電圧動作は難しい状況になっている。

この課題を解決するために、IT イノベーションプログラム「低炭素社会を実現する超低電圧デバイスプロジェクト」の一環として、抵抗変化型の機能材料をシリコン集積回路の配線層の一部として作り、シリコン集積回路に情報の不揮発性を付加することで、革新的な超低電圧動作と高機能化を実現するためのプロジェクトが始まっている。

本プロジェクトの一環として、平成 22 年度補正予算による研究開発において、材料や構造の異なる超低電圧・不揮発デバイスを、300mm ウエハ CMOS 基板上に配線層(BEOL)の一部として作製するための BEOL 設計・製造基盤(プラットフォーム)開発を加速させ、上記デバイスの実用化実証の早期実現に資することを目的とする。

2. 研究開発の具体的内容

①BEOL 設計基盤開発

BEOL 製造基盤を用いて、様々な新材料・新構造デバイスを配線層の一部として作るために必要な、デバイス・配線などの設計基盤を開発する。具体的には、パターン設計ツール、パターン設計に際しての OPC (Optical Proximity Correction) ツール、検証ツール、パターン検査用電子顕微鏡等のツールと評価機器を導入し、PDK (Process Design Kit) を開発する。

②BEOL 製造基盤開発

300mm ウエハ CMOS 基板上に、下地 CMOS との位置関係など、デザインルールの整合性を保ちながら、配線層の一部として、様々な新材料・新構造デバイスを形成するための製造技術を開発する。特に、シリコン LSI では通常使用しない新材料の導入に際して、相互汚染や熱耐性、さらには、プロセス雰囲気などがデバイスに及ぼす影響という観点から、それぞれのデバイスの特性を損なうことのない BEOL 製造基盤を開発する。具体的には、新材料上での層間絶縁膜形成技術、新材料の一部が露出するエッチング技術、汚染防止技術、汚染除去技術、汚染評価技術などからなる、BEOL プロセスレシピと汚染防止のための管理プロトコルを開発する。また、そのために必要な、層間絶縁膜形成装置、層間絶縁膜のドライエッチング装置、化学的機械研磨装置などの装置を導入する。

3. 達成目標

【最終目標】(平成 23 年度末)

個別デバイス(研究開発項目①～③)の研究開発を推進するための共通設計基盤として、BEOL 設計・製造基盤(プラットフォーム)を開発する。その際、以下の条件を目標とする。

新材料や新構造デバイスに共通で使え、かつ、新材料の相互汚染や熱耐性、さらには、プロセス雰囲気の影響などの観点から、それぞれのデバイスの特性を損なうことのない、BEOL プロセスレシピの作成。

相互汚染防止、汚染除去、汚染評価などからなる管理プロトコルの作成。

PDK として、設計ルール、配線特性パラメータ、OPC ルールの策定。

半導体分野

我が国は、インターネットやその他の高度情報通信ネットワークを通じて自由かつ安全に多様な情報又は知識を世界的規模で入手し、共有し又は発信することにより、あらゆる分野における創造的かつ活力ある発展が可能となる高度情報通信ネットワーク社会の形成を目指し、電子政府始め様々な取り組みを推進している。しかし、その一方で、大幅に増大しているネットワーク・トラフィックと電力消費量の爆発的増大、情報システムのトラブルの原因となるソフトウェアの安全性・信頼性の低下、増加の一途をたどるアタック、ウイルス等の重要な課題が顕在化している。

こうしたことから、情報家電等 IT の利活用と社会システムとしての安全性・信頼性の確保とともに、その基盤となる IT 産業の技術力、国際競争力の強化を目標として、情報通信関連技術を半導体、ストレージ・不揮発性メモリ、コンピュータ、ネットワーク、ユーザビリティ（ディスプレイ等）及びソフトウェアの 6 分野に分け、今後 10 年程度を見据えた技術戦略マップを作成した。

半導体は、情報家電、自動車、産業機械、医療機械等、様々な製品の付加価値を高める非常に重要な産業のコア部品であるが、半導体産業を発展させ競争力をつけていくためには、世界各国での激しい市場競争に打ち勝つための莫大な研究開発費と技術戦略が必要となっている。本技術戦略マップでは、国際半導体ロードマップ（ITRS）の中から、特に我が国に必要な重要技術を抽出し、技術開発成果の産業への導入シナリオ、ロードマップをとりまとめている。

また、半導体分野の技術は、ナノ・部材技術やシリコン以外の材料を活用して深化する度合いが増えてきており、これを考慮して策定している。

半導体分野の技術戦略マップ

I. 導入シナリオ

(1) 半導体分野の目標と将来実現する社会像

半導体技術は、情報家電、自動車等の製品に組み込まれて初めてその機能を発揮するものであり、技術力のみで国際市場のシェアを確保できる分野ではないが、その技術は、「技術戦略マップに示された技術により実現できる将来社会イメージ」の中でも、ユーザビリティ技術、ネットワーク技術等と合わせて、将来のユビキタス時代を作り上げるコア技術であり、半導体技術を高度化していくことが、全ての基礎となる。具体的には、従来からの方法である微細化による半導体の高性能化、省エネ化を強力に進めるとともに、微細化以外の方法で高機能な新しい半導体を実現させていくことが必要である。

(2) 研究開発の取組

研究開発の推進については、開発目標を戦略的に設定するとともに、効率的な研究開発体制の構築と部材産業、製造装置産業等との垂直連携の強化等が重要である。

特に、半導体分野においては、国際ロードマップを意識し、その中で設計、プロセス、検査、実装等の各製造工程に係る研究開発と連携をとりつつ一体的に取り組むとともに、次世代及び次々世代の技術の開発を国と民間との適切な役割分担の下に行うことが必要である。

我が国では、「次世代半導体材料・プロセス基盤技術の開発（MIRAI）プロジェクト」（2001～2010 年度）で半導体の要素技術を開発し、その成果をロードマップに従って順次、民間コンソーシアムである株式会社 半導体テクノロジーズ（Selete）や民間企業に直接移転し、大きな成果を上げている。プロジェクトの成果の移転については、その技術が使われるタイミングを計って移転することが非常に重要である。

その他、製造時のプロセスのばらつきを考慮した設計手法の開発を行う「次世代プロセスフレンドリー設計技術開発」（2006～2010 年度）、立体構造による多様な用途に応じた新機能デバイスを実現する「ドリームチップ開発プロジェクト」（2008～2012 年度）、高速かつ不揮発性能を有するメモリを開発する「高速不揮発メモリ機能技術開発」（2010～2012 年度）、新規のナノ機能材料や、新規のナノデバイス構造を適用し超低電圧（0.4V以下）で動作するデバイスを開発する「低炭素社会を実現する超低電圧デバイスプロジェクト」（2010～2014 年度）等を実施している。

(3) 関連施策の取組

研究開発成果を産業化させるにあたって、制度等様々な障壁等を低くする施策や国際連携や標準化等によって、成果を導入しやすくすることが必要である。

具体的には、以下の通り。

〔起業・事業支援〕

- ・社団法人半導体ベンチャー協会と協力して、半導体ベンチャーの育成支援等を行う。

[規則・制度改革]

- ・高度情報通信ネットワーク社会形成基本法（IT 基本法）による高度情報通信ネットワーク社会の形成に関する施策の推進

[基準・標準化]

- ・半導体集積回路の国際標準化は、IEC（IEC:International Electrotechnical Commission 国際電気標準会議）では、TC47 及びその下の SC で審議されている。このうち、日本は SC47A、47E で国際議長を、SC47D で国際議長及び幹事、SC47F で国際幹事を務めている。また、ナノエレクトロニクス分野では、ナノテクノロジーとして TC113 を 2006 年に新設し、用語の定義や計測法などについて標準化が始まった。
- ・一方、ISO/IEC 以外の標準化活動として、MIRAI プロジェクトの成果を活用した HiSIM モデルが、大学、産業界の積極的な活動の結果、2007 年 12 月に SCC で国際標準となった。このように、研究開発の成果を使える環境を作り出すために、国際標準化を推進するとともに、これを複数の技術世代にわたる継続的な取組とすることが必要である。

[国際連携・協力]

- ・知的財産権保護、環境対策、非特惠原産地規則、関税対策等の課題を解決するためには、半導体産業がグローバル化しているために国内のみの活動では不十分である。そのため、日本、欧州、米国、韓国、台湾、中国の 6 極でこれら半導体に関する課題について解決策を検討するため、半導体政府当局会合（GAMS）を行っている。

[他省庁との連携]

- ・次々世代の半導体技術であるナノエレクトロニクス分野では、ナノエレ政策推進会議を経済産業省・文部科学省で設置し、互いに有機的連携の下に、ナノエレクトロニクス関連のプロジェクトが 2007 年度から推進されている。

[産学官連携]

- ・産学官で構成する「つくば半導体協議会」等の産学官連携の場を活用し、情報交換から具体的な連携までを行っている。
- ・国内で最もナノテクノロジーの研究設備・人材が集積するつくばにおいて、世界的なナノテクノロジー研究拠点の構築が 2008 年度から進められている。2009 年 6 月には、筑波大学、物質・材料研究機構、産業技術総合研究所、及び日本経済団体連合会の 4 者による共同宣言「つくばナノテクノロジー拠点形成の推進について」が発表されている。

[プロジェクト等間の連携]

- ・半導体製造は、従来のように設計・前工程・後工程と工程毎に技術を開発しても、微細化が進むに連れ、特性バラツキや信号遅延などの問題が深刻化し、工程間の連携が不可欠となってきている。そのため、例えば、設計分野の「次世代プロセスフ

レンドリー設計技術開発 (DFM)」プロジェクトと MIRAI の中の「D2I (マスク設計・描画・検査総合最適化技術開発)」プロジェクト間で、データ交換や相互での評価などを実施している。今後とも、プロジェクト間の連携の必要性は高まると予測され、柔軟な連携が求められる。

(4) 海外での取組

IBM (米アルバニー)、IMEC (ベルギー) 等のコンソーシアムに、世界から半導体メーカーの研究者が参画し、最先端の半導体研究を行っている。

(5) 民間での取組

半導体メーカー 9 社で組織される株式会社 半導体テクノロジーズ (Selete) や株式会社 半導体理工学研究センター (STARC) の他、半導体の材料の評価を行うコンソーシアムとして次世代半導体材料研究組合 (CASMAT) が活動している。

(6) 改訂のポイント

- 関連施策の取組等について最新の情報に更新したほか、目標年度を 2010 年度から 2020 年度までに更新した。

II. 技術マップ

(1) 技術マップ

国際半導体技術ロードマップ (ITRS) 2009 を踏まえ、我が国の研究開発を戦略的に推進するため、我が国が得意とする低消費電力化技術を中心に技術項目を大、中、小項目に分類。大項目では LSTP デバイス技術、プロセス技術やリソグラフィ、設計 (SoC 設計) など大きく 12 項目に分け、これらを、体系化するとともに、細分類化を行っている。

(2) 重要技術の考え方

半導体の技術を、その事業形態 (IDM、ファウンドリメーカー、ファブレスメーカー、装置・材料メーカー、ソフトベンダー) から見て重要技術に分類し、更に、半導体の安全・信頼性から見た重要技術、省エネの観点から見た重要技術に分類整理を行った。

(3) 改訂のポイント

- 大項目にプブリンテッド・エレクトロニクスを新たに新設するとともに、LSTP デバイス技術、設計 (SoC 設計)、テスト技術、評価・解析技術の中項目以下の内容を、技術動向を踏まえ一部改訂した。

III. 技術ロードマップ

(1) 技術ロードマップ

技術マップに示した重要技術ごとに、研究開発により達成されるべきスペックを時間軸上に表した。

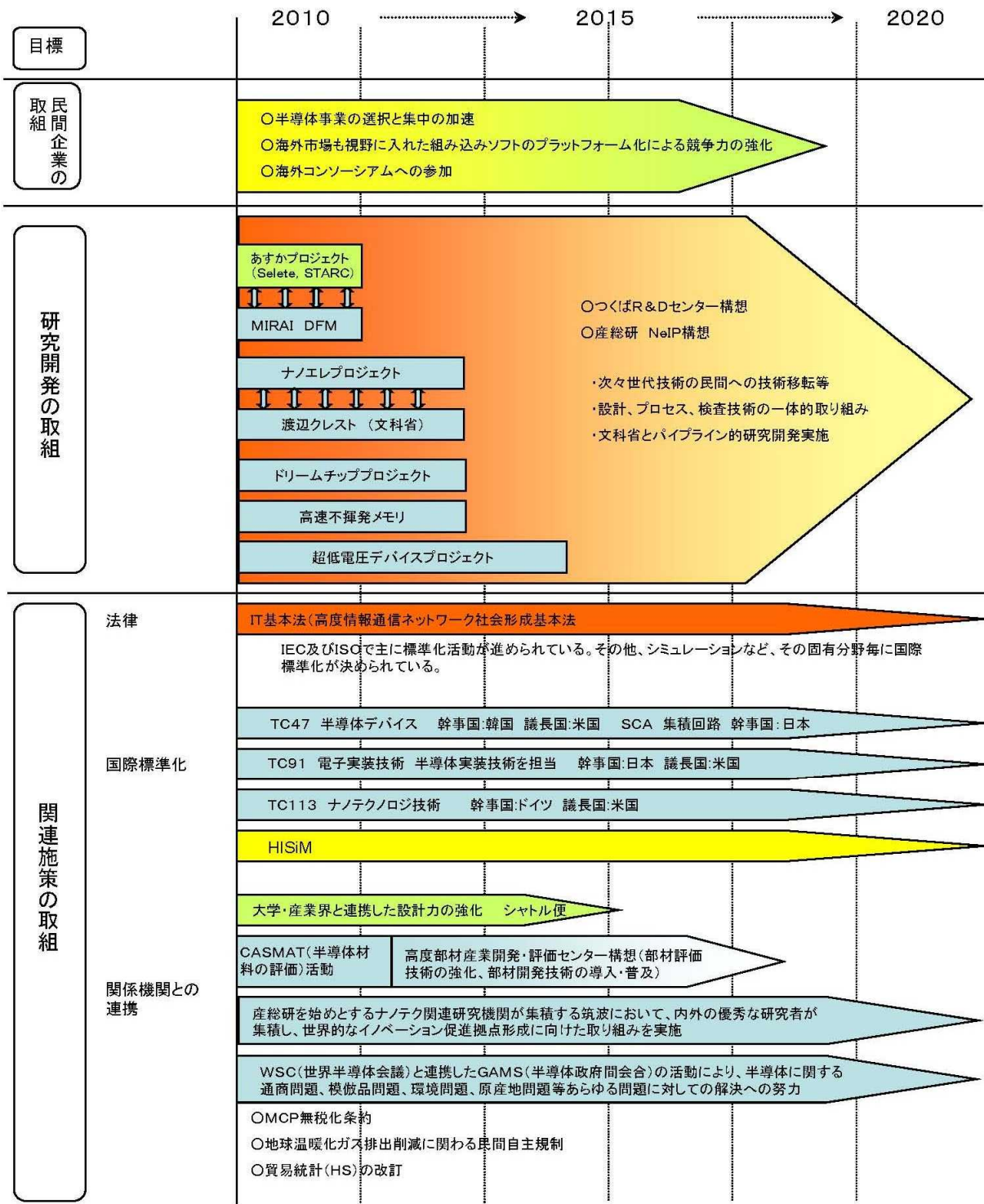
(2) 改訂のポイント

- ロードマップの対象期間の変更
開始年は2010年、終了年は2019年の10年間とした。
- ITRS2009や半導体技術開発の動向を踏まえ、半導体の微細化のトレンドを見直した。
- 特に「ディスクリートデバイス」では要求スペックの詳細情報を充実したほか、「プリントエレクトロニクス」について、新たにロードマップを記載した。

IV. その他の改訂のポイント

- **ベンチマーキングの改訂【半導体分野の国際競争ポジション】**
 - 半導体製品別シェアの品目を拡大し、最新情報に更新した。

半導体分野の導入シナリオ



略語説明

- A:** AEC = Advanced Equipment Control
ALD = Atomic Layer Deposition
APC = Advanced Process Control
ArF = Argon Fluoride
- B:** BISR = Built-In Self Repair
BIRA = Built-In Redundancy Allocation
- C:** CMP = Chemical Mechanical Polishing
CMOS = Complementary Metal-oxide Semiconductor
CVD = Chemical Vapor Deposition
- D:** DD = Dual Damascene
DFM = Design For Manufacturing(Manufacturability)
DFR = Design For Reliability
DFT = Design For Testability
DRAM = Dynamic Random Access Memory
DRC = Design Rule Check
DSA = Directed Self Assembly
- E:** EEQA = Enhanced Equipment Quality Assurance
EEQM = Enhanced Equipment Quality Management
EM = Electro Migration
EUV = Extreme UltraViolet
- F:** FDC = Fault Detection and Classification
FDSOI = Full Depletion Silicon On Insulator
FET = Field Effect Transistor
- G:** GOI = Germanium Oxide Insulator
- H:** HW = HardWare
- I:** IP = Intellectual Property
- K:** KGD = Known Good Die
- L:** LER = Line Edge Roughness
LSTP = Low Standby Power
- M:** MBE = Molecular Beam Epitaxy
MDP = Mask Data Preparation
ML2 = MaskLess Lithography
MOS = Metal-Oxide Semiconductor
MRC = Mask Rule Check
- N:** NGL = Next Generation Lithography
NVRAM = NonVolatile Random Access Memory
- O:** OEE = Overall Equipment Efficiency
OPC = Optical Proximity effect Correction
OS = Operating System
- P:** PCB = Printed-Circuit Board
PVD = Physical Vapor Deposition
- Q:** QTAT = Quick Turn Around Time
- R:** RET = Resolution Enhancement Technology
RF = Radio Frequency
RTL = Register Transfer Level
- S:** SAM = Self-Assembled Monolayer
S/D = Source / Drain
SGOI = Silicon Germanium Oxide Insulator
SiP = System in Package
SM = Stress Migration
SoC = System on a Chip
SOD = Spin On Dielectric
SOI = Silicon On Insulator
SRAM = Static Random Access Memory
STIL = Standard Test Interface Language
SW = SoftWare
- T:** TDDB = Time Dependent Dielectric Breakdown
TEG = Test Element Group
TFT = Thin-Film Transistor
TL = Transaction Level
- U:** UTB = Ultra Thin Body

●事前評価書

	作成日	平成 22 年 12 月 10 日
事業名称 (コード番号)	低炭素社会を実現する超低電力デバイスプロジェクト	
2. 推進部署名	電子・材料・ナノテクノロジー部	
3. 事業概要	<p>(1) 本プロジェクトは、ナノテクノロジーで培われた新規の機能材料や新規のデバイス構造に立脚して、集積回路の低電圧動作と高機能・高集積化を実現し、集積回路の低電力化を通してエレクトロニクス機器の消費電力を大幅に低減する技術を確立することを目的として実施する。</p> <p>(2) 事業規模:総事業費(国費分) 17.14 億円(委託)</p> <p>(3) 事業期間:平成 22 年度～23 年度(2 年間)</p>	
4. 評価の検討状況		
<p>事業の位置付け・必要性</p> <p>半導体技術は、情報家電、コンピュータ、通信装置、自動車、医療機器など、我が国の経済を支える先端産業の競争力強化に不可欠な基盤技術である。その発展を支えているのは、シリコン集積回路とその基本素子(デバイス)の CMOS トランジスタであり、これまで、CMOS トランジスタの寸法を微細化するプロセス技術と、微細デバイスを機能させる回路技術により、高性能化・低電力化を実現してきた。</p> <p>低炭素社会の実現には、上記に代表されるエレクトロニクス機器の究極的な低電圧動作による飛躍的な低電力化が必須であり、デバイスの低電圧動作と不揮発動作が不可欠な技術要素である。CMOS 基本回路の消費電力は電圧の自乗に比例するので、電圧を1/3にすれば、単純には消費電力がほぼ1/10になる。また、電源を遮断しても情報が保持される不揮発デバイスを使えば、待機状態での消費電力がゼロになり、これも、消費電力の低減に大きな効果をもたらす。このように、動作状態では電圧の低減で、待機状態では不揮発動作を使うことで、消費電力の低減が達成される。これらの機能を満たす新しい超低電圧・不揮発デバイスの開発が必要である。</p> <p>欧米においては、大型の産学連携ナノエレクトロニクス拠点の整備がここ数年で飛躍的に進み、超低電圧・不揮発デバイスをはじめとした、次世代デバイスに関する実用化を目指した研究が活発に行われ、今後、開発競争は熾烈化するものと考えられる。海外の研究開発活動の活発化により、このような状況を放置すれば、超低電圧・不揮発デバイスに関する我が国の技術開発の競争力を失いかねない。</p> <p>以上のように、本プロジェクトは、わが国の競争力の確保と、エネルギー消費削減・低炭素化の両方に貢献すると期待され、本プロジェクト推進の必要性は高い。</p>		

研究開発目標の妥当性

各研究開発項目において、現行デバイスに比べ、大幅な電力低減を目標としており、妥当な目標設定と考えられる

主な研究開発目標としては、

研究開発項目①「ロジック集積回路内1次メモリを対象とした、高集積・高速特性・高書き換え耐性などの機能を有する超低電圧・不揮発デバイスの開発」

- ・1.2V 動作 SRAM の1/10の電力の実証。

研究開発項目②「外部記憶の高速低電力データ転送を実現する、高集積・高速低電力書き込み特性などの機能を有する超低電圧・不揮発デバイスの開発」

- ・データ転送速度 200MB/sを、従来の1/3の電力(200mW)で可能とする単体デバイスの書き込み動作、およびさらなる高速低電力化の可能性の根拠の提示。

研究開発項目③「配線切り換えを可能とするスイッチを対象とした、低電流・高

速書き換え、高オン・オフ抵抗比、小面積などの機能を有する超低電圧・不揮発スイッチデバイスの開発」

- ・消費電力がSRAMスイッチにより配線切り替えを行った従来型 1.2V動作ロジック集積回路の1/10以下となる超低電圧・不揮発スイッチデバイスの実現。

研究開発項目④「集積回路チップ内において、機能ブロックの三次元集積を実現するための、微細幅・超低電気抵抗、超高アスペクト比配線・材料技術の開発」

- ・微細線幅(100nm)、低抵抗(シート抵抗 $< 50 \Omega/\square$)の配線実証。
- ・微細直径(90nm)、超高アスペクト比(≥ 16)のコンタクトホールへのナノカーボン材料埋め込み実証。

研究開発項目⑤「CMOSTランジスタの超低電圧動作、及びリーク電流抑制を同時に実現するための、低しきい値ばらつきランジスタを集積化するための技術開発、並びに、この技術を用いた高集積機能素子における低電圧動作実証」

- ・1Mbit 以上の SRAM での、0.4V 動作の実証。

研究開発項目⑥ 「BEOL設計・製造基盤(プラットフォーム)開発」

- ・個別デバイス(研究開発項目①～③)の研究開発を推進するための共通設計基盤として、BEOL 設計・製造基盤(プラットフォーム)を開発する。

以上は、2010年12月29日、基本計画検討委員会での有識者との議論を踏まえたものであり、妥当と判断する。

これら目標設定については今後も委員会ならびに有識者ヒアリングなどで聴取した意見を適切に反映させる。

<p>研究開発マネジメント</p> <p>高い技術を有する民間企業、大学等の研究機関が有機的に研究活動を推進できる研究組合を中心とした最適な実施体制を構築する。また、競争力確保のため知財権の確保も推進する。外部有識者の意見を求め、その結果を踏まえて事業全体の予算配分や計画について見直しを行い、適切な運営管理に努める。さらに別途定められた技術評価に係る指針、および技術評価実施要領に基づき、技術的、および産業技術政策的観点から、研究開発の意義、目標達成度、成果の技術的意義、将来の産業への波及効果等について、外部有識者による評価を実施する。</p>
<p>研究開発成果</p> <p>本研究開発の成果により、集積回路の低電圧動作と高機能・高集積化が実現され、また、集積回路の低電力化を通してエレクトロニクス機器の消費電力を大幅に低減するデバイス技術の提供が可能となる。</p> <p>さらに、これら低電力デバイスの開発においては、材料開発・デバイス構造開発・プロセス開発・製造装置開発など広い範囲の連携が必要と想定される。それぞれが幅広く、かつ有機的に関係するため、デバイス開発に直接かかわる事業者だけでなく、材料メーカー、製造装置メーカーをはじめとする種々の関連産業においても、技術の底上げと雇用の促進が期待される。同時に、低電力デバイス開発、統合プロセス開発の専門性を備えた人材の育成が期待できる。</p>
<p>実用化・事業化の見通し</p> <p>本プロジェクトは平成26年度で終了するが、その後、各デバイス開発を企業において本格化し、プロトタイプによる検証、引き続き量産化開発を実施する。これらより、成果の実用化可能性、波及効果および事業化までのシナリオが見込まれると考える。</p>
<p>その他特記事項</p> <p>特になし</p>
<p>5. 総合評価</p> <p>本プロジェクトは、大幅な低電力化を目指し、低電圧デバイス、および、不揮発デバイスを、IT 機器システム全般をほぼ網羅するかたちで同時に開発するという挑戦的な研究開発であり、かつ、異なる企業体間、ないし産学官の連携がもっとも奏功すると期待できる。異なる事業者の連携推進というNEDO機能が貢献できる内容であるので、NEDOが実施する事業として適切であると判断する。</p>

●発表、及び論文、書籍リスト

【研究発表・講演】

番号	発表者	所属	タイトル	発表誌名、ページ番号	発表年	月日
1	杉井 信之	LEAP	Ultralow-Power SOI Device Technology (Invited)	EUROSOI 2011 Conference, Training Course	2011	1/17
2	住広 直孝	LEAP	低炭素社会を実現する超低電圧デバイスプロジェクト	JEITA グリーン IT 推進協議会 (GIPC)技術検討委員会	2011	1/25
3	高浦 則克	LEAP	IEDM 報告会 (1) 全体動向 (Invited)	IEEE_DES_Japan_Chapter 総会および IEDM 報告会	2011	1/27
4	吉田 親子	LEAP	自然酸化MgOバリアの絶縁破壊特性へのCoFeシード層の効果	2011年春季 第58回 応用物理学関係講演会	2011	3/24
5	山崎 雄一	LEAP	ナノカーボン配線応用に向けたグラフフェン低温・高品質成長(1)	2011年春季 第58回 応用物理学関係講演会	2011	3/24
6	山崎 雄一	LEAP	ナノカーボン配線応用に向けたグラフフェン低温・高品質成長(2)	2011年春季 第58回 応用物理学関係講演会	2011	3/24
7	杉井 寿博	LEAP	BEOL デバイスを核として超低電力プラットフォーム開発	2011年春季 第58回 応用物理学関係講演会	2011	3/25
8	李 永珉	LEAP	垂直磁化膜を有する内面方式強磁性トンネル接合	2011年春季 第58回 応用物理学関係講演会	2011	3/25
9	住広 直孝	LEAP	LEAP の役割とオープンイノベーション (Invited)	2011年春季 第58回 応用物理学関係講演会	2011	3/25
10	山崎 雄一	LEAP	High quality multi-layer graphene grown by low-temperature plasma CVD for future nano-carbon LSI interconnects	Graphene 2011	2011	4/11
11	高浦 則克	LEAP	相変化デバイスの動向と TIA での研究活動 (Invited)	集積回路研究会 (ICD)	2011	4/18
12	杉井 信之	LEAP	0.4-V Technology and its applications (Invited)	5th FDSOI Workshop	2011	4/28
13	長永 隆志	LEAP	Low-power Electronics Association & Project (LEAP) and its role in the development of low-power devices	INC7	2011	5/18
14	榎山 秀樹	LEAP	Design Consideration of 0.4V-Operation SOTB MOSFET for Super Low Power Application	2011 International Meeting for Future of Electron Devices, Kansai (IMFEDK)	2011	5/19
15	高浦 則克	LEAP	Non-Volatile Memories for Storage Device and New Applications (Rump session organizer & moderator)	2011 Silicon Nanoelectronics Workshop	2011	6/13
16	射場 義久	LEAP	Strain-Engineering for High-Performance STT-MRAM	2011 Symposium on VLSI Technology	2011	6/13

番号	発表者	所属	タイトル	発表誌名、ページ番号	発表年	月日
17	木村 紳一郎	LEAP	超低電圧デバイス技術研究組合における低電圧デバイス開発	第75回半導体・集積回路技術シンポジウム	2011	7/7
18	杉井 信之	LEAP	LEAPにおける超低電圧デバイス開発と、低ばらつき SOTB (Silicon on Thin Buried Oxide)技術 (Invited)	半導体界面制御技術 第154委員会 第77回研究会	2011	7/8
19	射場 義久	LEAP	STT-MRAM 性能向上化のための歪みエンジニアリング手法の提案	応用物理学会シリコンテクノロジー分科会 第139回研究集会 VLSI シンポジウム特集	2011	7/21
20	唐澤 裕介	芝浦工業大学	熱CVD法によるナノカーボン成長の触媒金属依存症	2011年秋季 第72回応用物理学会学術講演会	2011	8/29
21	涌井 太一	芝浦工業大学	ナノカーボン/Co 配線の制作と電気特性	2011年秋季 第72回応用物理学会学術講演会	2011	8/29
22	伏島 雅	芝浦工業大学	ナノカーボン薄膜への不純物添加の検討	2011年秋季 第72回応用物理学会学術講演会	2011	8/29
23	鈴木 真理子	LEAP	四探針法によるMWCNT単体の抵抗測定	2011年秋季 第72回応用物理学会学術講演会	2011	8/29
24	落合 隆夫	LEAP	垂直磁化膜を有する面内磁化方式強磁性トンネル接合	2011年秋季 第72回応用物理学会学術講演会	2011	8/29
25	斎藤 達朗	LEAP	A study of resistance of CNT and its contact to metals using simplified blanket structure	Advanced Metallization Conference 2011: 21st Asian Session	2011	9/12
26	片桐 雅之	LEAP	Fabrication and Characterization of Planarized Carbon Nanotube Via Interconnects	Advanced Metallization Conference 2011: 21st Asian Session	2011	9/12
27	高木 政志	芝浦工業大学	Fabrication and Electrical Properties of Nanocarbon/Metal Hybrid Interconnects	Advanced Metallization Conference 2011: 21st Asian Session	2011	9/13
28	岩松 俊明	LEAP	Structural Design of 0.4V-Operation SOTB MOSFET for Super-Low-Power Application	2011 IEEE Subthreshold Microelectronics Conference	2011	9/26
29	杉井 信之	LEAP	Road to $V_{min}=0.4V$ LSIs with Least-Variability FDSOI and Back-Bias Control (Invited)	2011 IEEE International SOI Conference	2011	10/3
30	片桐 雅之	LEAP	Fabrication and Characterization of Planarized Carbon Nanotube Via Interconnects	Advanced Metallization Conference 2011	2011	10/4
31	斎藤 達朗	LEAP	A study of resistance of CNT and its contact to metals using simplified blanket structure	Advanced Metallization Conference 2011	2011	10/4
32	酒井 忠司	LEAP	Nanocarbon Interconnect Activities in LEAP	Cambridge University, CAPE,	2011	10/18
33	住広 直孝	LEAP	Toward the Achievement of Ultra-Low Power Systems by Taking Advantages of BEOL Device	Int. Microprocesses & Nanotechnology Conf. (MNC)2011	2011	10/24

番号	発表者	所属	タイトル	発表誌名、ページ番号	発表年	月日
34	住広 直孝	LEAP	超低消費電力 LSI デバイス	シリコン超集積化システム 第 16 5 委員会 第 63 回研究会	2011	10/27
35	落合 隆夫	LEAP	Effect of buffer layer on magneto-resistance and current induced magnetization switching in magnetic tunnel junction with a Top-pinned spin-valve structure	56th Annual Conference on Magnetism & Magnetic Materials2011	2011	10/30
36	吉田 親子	LEAP	Effects of CoFe Seed layer on Structural and Magneto-transport Properties of MTJs with Natural Oxidized MgO Barrier	56th Annual Conference on Magnetism & Magnetic Materials2011	2011	10/31
37	木村 紳一郎	LEAP	Recent Progress in BEOL Devices and Issues for Their Fabrication	33rd International Symposium on Dry Process Symposium	2011	11/10
38	増原 利明	LEAP	Challenge of Low Voltage and Low Power IC toward Sustainable Future (Invited; Plenary Lecture)	IEEE Asian Solid-State Circuits Conference (A-SSCC) 2011	2011	11/14
39	住広 直孝	LEAP	超低電圧デバイス技術研究組合における低電力デバイス開発	CREST「次世代デバイス」領域研究成果 第1回公開シンポジウム	2011	11/25
40	和田 真	LEAP	A Crystallographic Relationship between Multi-layered Graphene and Catalytic Metal in Low Temperature Growth	2011 MRS Fall Meeting & Exhibit	2011	11/28
41	多田 宗弘	LEAP	Highly Reliable, Complementary Atom Switch (CAS) with Low Programming Voltage Embedded in Cu BEOL for Nonvolatile Programmable Logic	International Electron Devices Meeting(IEDM)2011	2011	12/7
42	岡本 浩一郎	LEAP	Conducting Mechanism of Atom Switch with Polymer Solid-electrolyte	International Electron Devices Meeting(IEDM)2011	2011	12/6
43	田井 光春	LEAP	次世代不揮発メモリデバイス向け相変化メモリ(P CM)	セミコン・ジャパン 2011	2011	12/8
44	杉井 寿博	LEAP	STT-MRAM development with 300-mm facilities at LEAP (Invited)	第2回スピントロニクス集積システム CSIS 国際シンポジウム	2012	1/16
45	杉井 寿博	LEAP	LSI の微細化と多機能化の動向	金沢工業大学 工学部電気系電気電子工学科 講義	2012	1/20
46	榎山 秀樹	LEAP	Novel Local Ground-Plane Silicon on Thin BOX (SOTB) for Improving Short-Channel-Effect Immunity	EUROSOI 2012	2012	1/24
47	高浦 則克	LEAP	不揮発性メモリの現状と今後の展望(Invited)	反応工学部会 CVD 反応分科会 主催第 14 回シンポジウム	2012	1/30
48	高浦 則克	LEAP	IEDM 報告会 (1)全体動向	IEEE EDS Japan Chapter	2012	2/1
49	栗野 裕二	慶應義塾大学	Remote Plasma CVD technologies for Carbon based LSI interconnects	ISPlasma 2012	2012	3/4
50	木村 紳一郎	LEAP	BEOLプロセスを用いた超低電圧デバイスの開発	電子情報通信学会シリコン材料・デバイス研究会	2012	3/5

番号	発表者	所属	タイトル	発表誌名、ページ番号	発表年	月日
51	西出 大亮	LEAP	300mmウエハ対応カーボンナノチューブの合成プロセス開発(1)	2012年春季 第59回 応用物理学関係連合講演会	2012	3/17
52	伊東 伴	LEAP	300mmウエハ対応ナノカーボンCMPプロセス開発 I	2012年春季 第59回 応用物理学関係連合講演会	2012	3/17
53	岡本 浩一郎	LEAP	原子移動型スイッチデバイスの伝導機構解析	2012年春季 第59回 応用物理学関係連合講演会	2012	3/16
54	能代 英之	LEAP	Top-pin 構造を用いた多値 MRAM	2012年春季 第59回 応用物理学関係連合講演会	2012	3/17
55	角田 浩司	LEAP	キャップ層が MgO/CoFeB 界面の垂直磁気異方性に与える影響	2012年春季 第59回 応用物理学関係連合講演会	2012	3/17
56	高浦 則克	LEAP	クロスポイント型相変化デバイスの成膜・加工技術	2012年春季 第59回 応用物理学関係連合講演会	2012	3/16
57	田井 光春	LEAP	相変化メモリデバイスの低電力化のための材料・素子構造検討	2012年春季 第59回 応用物理学関係連合講演会	2012	3/16
58	酒井 忠司	LEAP	配線応用に向けたグラフェン・カーボンナノチューブの低温合成(Invited)	2012年春季 第59回 応用物理学関係連合講演会	2012	3/15
59	山崎 雄一	LEAP	触媒金属ファセットを起点とする低温グラフェン成長	2012年春季 第59回 応用物理学関係連合講演会	2012	3/16
60	松本 貴士	LEAP	Investigation of the transition metal catalyst nanostructure for the synthesis of highly vertical aligned multi-walled carbon nanotubes	2012 MRS Spring Meetings & Exhibits	2012	4/9
61	吉田 親子	LEAP	Reliability Study of Magnetic Tunnel Junction with Naturally Oxidized MgO Barrier	2012 IEEE International Reliability Physics Symposium	2012	4/15
62	吉田 親子	LEAP	Total Ionizing Dose Effects on Magnetic Tunnel Junctions	INTERMAG 2012	2012	5/7
63	岡本 浩一郎	LEAP	Conducting Mechanism Analysis of Atom Switch Devices using Polymer Solid-electrolyte	The 8th International Nanotechnology Conference (INC8)	2012	5/8
64	杉井 寿博	LEAP	STT-MRAM Development for Embedded Memoties in Low-power System LSIs	The 8th International Nanotechnology Conference (INC8)	2012	5/8
65	片桐 雅之	LEAP	Integration technology for carbon nanotube via interconnects	The 8th International Nanotechnology Conference (INC8)	2012	5/8
66	木村 紳一郎	LEAP	Recent Progress in Low-power Electronics Association & Project (LEAP) Aiming for Low Power Electronics	The 8th International Nanotechnology Conference (INC8)	2012	5/9
67	多田 宗弘	LEAP	Complementary Atom Switch (CAS) with Low Programming Voltage Embedded in Cu BEOL for Nonvolatile Programmable Logic	The 8th International Nanotechnology Conference (INC8)	2012	5/10

番号	発表者	所属	タイトル	発表誌名、ページ番号	発表年	月日
68	阪本 利司	LEAP	超低電力プログラマブルロジックを実現する原子スイッチ	学振 151 委員会	2012	5/29
69	水谷 朋子	東京大 学生研	Reduced Drain Current Variability in Fully Depleted Silicon-on-Thin-BOX(SOTB) MOSFETs	IEEE Silicon Nanoelectronics Workshop	2012	6/10
70	高浦 則克	LEAP	超低消費電力 LSI デバイス(Invited)	SFJ 2012	2012	6/12
71	山本 芳樹	LEAP	Poly/High-k/SiON Gate and Novel Profile Engineering for Low Power Silicon on Thin BOX(SOTB)CMOS Operation	2012 SYMPOSIUM ON VLSI TECHNOLOGY	2012	6/12
72	吉田 親子	LEAP	Demonstration of Non-volatile Working Memory	2012 SYMPOSIUM ON VLSI TECHNOLOGY	2012	6/12
73	伴野 直樹	LEAP	Nonvolatile Crossbar Switch Block with Atom Switch integrated on a 65 nm CMOS platform	2012 SYMPOSIUM ON VLSI TECHNOLOGY	2012	6/12
74	木村 紳一郎	LEAP	LEAP: Overview and Recent Progress	ICCI (International Consortia Cooperation Initiative) Meeting	2012	6/13
75	A. V. Kolobov	産総研	Recent progress in understanding GeTe based phase-change memory alloys(Invited)	International Symposium on Integrated Functionalities (ISIF) 2012	2012	6/18
76	松本 貴士	LEAP	XAFS and TEM-EELS studies on the electronic state and crystallographic structure of graphene on nickel catalyst	Thirteenth International Conference on the Science and Application of Nanotubes (NT12)	2012	6/24
77	杉井 信之	LEAP	Silicon on Thin Buried Oxide (SOTB) Technology for Ultralow-Power (ULP) Applications (Invited)	2012 Asia-Pacific Workshop on Fundamentals and Applications of Advanced Semiconductor Devices	2012	6/29
78	多田 宗弘	LEAP	Complementary Atom Switch (CAS) with Low Programming Voltage Embedded in Cu BEOL for Nonvolatile Programmable Logic	Nanodevice Commons	2012	7/1
79	岡本 浩一郎	LEAP	Conducting Mechanism Analysis of Atom Switch Devices using Polymer Solid-electrolyte	Nanodevice Commons	2012	7/1
80	A. V. Kolobov	産総研	Local structure of layered Ge-Sb-Te phase-change alloys and the mechanism of phase change(Invited)	Amorphous & Microcrystalline Semiconductors	2012	7/2
81	住広 直孝	LEAP	超低電圧デバイス技術研究組合における低電力デバイス開発	第 76 回半導体・集積回路技術シンポジウム	2012	7/5
82	A. V. Kolobov	産総研	Role of Te lone-pair electrons in structure and properties of layered GeTe-Sb ₂ Te ₃ phase-change memory materials (Invited)	European/Phase Change and Ovonic Symposium , EPCOS2012	2012	7/9
83	杉井 信之	LEAP	Silicon on Thin Buried Oxide (SOTB) Technology for Ultralow-Power (ULP) Applications (Invited)	CMOS Emerging Technologies conference	2012	7/18
84	吉田 親子	LEAP	Reliability Study of Magnetic Tunnel Junction with Naturally Oxidized Mgo Barrier	2012 IRPS 報告会	2012	7/20

番号	発表者	所属	タイトル	発表誌名、ページ番号	発表年	月日
85	吉田 親子	LEAP	Micromagnetic Study of Current-Pulse-Induced Magnetization Switching in Magnetic Tunnel Junction with Synthetic Antiferro-and Ferro-magnetic Free	WUN-SPIN2012	2012	7/23
86	A. V. Kolobov	産総研	Amorphization mechanism of phase-change materials unveiled by XAFS studies(Invited)	XAHS-XV:15th International Conference on Z-ray Absorption Fine Structure	2012	7/23
87	水谷 朋子	東京大学生研	完全空乏型 Silicon-on-Thin-BOX(SOTB)MOS トランジスタにおけるドレイン電流ばらつき	シリコン材料・デバイス研究会 (SDM)	2012	8/2
88	杉井 信之	LEAP	超低電力 LSI を実現する薄膜 BOX-SOI(SOTB) CMOS 技術 (Invited)	シリコン材料・デバイス研究会 (SDM)	2012	8/2
89	杉井 寿博	LEAP	パネルディスカッション「低電力 LSI 技術によるエレクトロニクス産業発展への道」	シリコン材料・デバイス研究会 (SDM)	2012	8/2
90	杉井 寿博	LEAP	システム LSI 混載用 STT-MRAM の高性能化と BEOL へのインテグレーション (Invited)	シリコン材料・デバイス研究会 (SDM)	2012	8/2
91	梶田 明広	LEAP	ナノカーボン配線-微細金属配線代替を目指して- (Invited)	シリコン材料・デバイス研究会 (SDM)	2012	8/2
92	山本 芳樹	LEAP	薄膜 BOX-SOI CMOS の超低電圧動作に向けた Poly/微量 high-k/SiON 構造及びプロファイル技術 (Invited)	シリコンテクノロジー分科会 第 151 回研究集会	2012	8/3
93	蒲原 史朗	LEAP	Variation;Key issue of the Advanced CMOS & LSI's (Invited)	2nd Solid-State Systems Symposium-VLSI and Semiconductor Related Technologies	2012	8/22
94	西出 大亮	LEAP	Development of carbon nanotube growth on 12-inch wafer for interconnect applications	International Conference on Diamond and Carbon Materials (ICDCM) 2012	2012	9/3
95	山崎 雄一	LEAP	Low-temperature graphene growth originating at crystalline facets of catalytic metal	International Conference on Diamond and Carbon Materials (ICDCM) 2012	2012	9/4
96	青木 正樹	LEAP	垂直磁気トンネル接合の積層による多値 MRAM	2012 年秋季 第 73 回応用物理学会学術講演会	2012	9/11
97	高浦 則克	LEAP	低電圧相変化デバイスのプロセス・集積化・TEG 技術	2012 年秋季 第 73 回応用物理学会学術講演会	2012	9/12
98	田井 光春	LEAP	ポリ Sipin ダイオードを選択素子とする相変化デバイスのプロセス開発	2012 年秋季 第 73 回応用物理学会学術講演会	2012	9/12
99	水谷 朋子	東京大学生研	完全空乏型 Silicon-on-Thin-BOX (SOTB) MOS トランジスタにおけるドレイン電流ばらつきの低減	2012 年秋季 第 73 回応用物理学会学術講演会	2012	9/13
100	桑原 覚	芝浦工業大学	耐熱性 Co-W 触媒を用いた多層グラフェン CVD	2012 年秋季 第 73 回応用物理学会学術講演会	2012	9/14
101	矢野 裕晃	芝浦工業大学	ナノカーボン/CO 配線への低抵抗金属接触の形成	2012 年秋季 第 73 回応用物理学会学術講演会	2012	9/14

番号	発表者	所属	タイトル	発表誌名、ページ番号	発表年	月日
102	伊東 伴	LEAP	Development of carbon nanotube CMP process on 12-inch Si wafer for interconnect application	IUMRS-ICEM 2012	2012	9/24
103	馬場 祥太郎	芝浦工業大学	Heat-Resistant CoW Catalyst Layer for Nano-carbon CVD	2012 International Conference on Solid State Devices and Materials (SSDM 2012)	2012	9/25
104	水谷 朋子	東京大学生研	Statistical Analysis of Subthreshold Swing in Fully Depleted Silicon-on-Thin-BOX (SOTB) MOSFETs and Bulk MOSFETs	2012 International Conference on Solid State Devices and Materials (SSDM 2012)	2012	9/25
105	波田 博光	LEAP	Ultra-low Power Devices by Taking Advantages of Atom Switches with Polymer Solid-electrolyte (Invited)	2012 International Conference on Solid State Devices and Materials (SSDM 2012)	2012	9/25
106	北村 政幸	LEAP	Highly thermo-stable and oriented catalytic metal using Co/Ir/Ta layer stack for the graphene growth	2012 International Conference on Solid State Devices and Materials (SSDM 2012)	2012	9/27
107	上口 光	中央大学	High Density NAND Phase Change Memory with Block-Erase Architecture and Investigations for Write and Disturb Requirements	Phase Change Oriented Science (PCOS)	2012	10/1
108	多田 宗弘	LEAP	Atom switch technology for low-power programmable logic (Invited)	ReRAM Workshop	2012	10/8
109	宮村 信	LEAP	Programmable Cell Array using Rewritable Atom Switch (Invited)	222nd ECS / PRiME 2012	2012	10/8
110	杉井 寿博	LEAP	STT-MRAM Development and Its Integration With BEOL Process for Embedded Applications	222nd ECS / PRiME 2012	2012	10/10
111	大柳 孝純	LEAP	characteristics of Nano-crystalline Ge ₂ Sb ₂ Te ₅ material for Phase Change Memory	PRiME 2012	2012	10/10
112	伊東 伴	LEAP	Development of CMP process for carbon nanotubes interconnect application using 12-inch wafer	Int. Conf. on Planarization / CMP Technology (ICPT) 2012	2012	10/17
113	高木 政志	芝浦工業大学	Low-Resistance Metal Contacts to Nanocarbon / Cobalt Interconnects	Advanced Metallization Conference 2012,Asian Session	2012	10/25
114	阪本 利司	LEAP	Nanoelectrochemical Switch for Reconfigurable Logic (Invited)	Advanced Metallization Conference 2012,Asian Session	2012	10/25
115	宮崎 久生	LEAP	Resistance of multi-layer graphene wire for interconnects	Advanced Metallization Conference 2012,Asian Session	2012	10/25
116	片桐 雅之	LEAP	Resistance Factors in Carbon Nanotube Via Interconnects	Advanced Metallization Conference 2012,Asian Session	2012	10/25
117	大柳 孝純	LEAP	Superlattice Phase Change Memory Fabrication Process as BEOL Devices	Advanced Metallization Conference 2012,Asian Session	2012	10/25
118	伊藤 和幸	慶應義塾大学	Electrical resistivity measurements of layer number determined Multilayered Graphene for future LSI interconnects	MNC 2012	2012	10/30

番号	発表者	所属	タイトル	発表誌名、ページ番号	発表年	月日
119	高浦 則克	LEAP	Recent Progress in Non-Volatile Devices and Processes for Low-Power Electronics (Invited)	DPS 2012	2012	11/15
120	酒井 忠司	LEAP	Graphene and CNT interconnects for 3D stacked memory	2012 MRS Fall Meeting	2012	11/25
121	岡本 浩一郎	LEAP	Compact Atom Switch integrated in 65nm-nodeBEOL	2012 MRS Fall Meeting	2012	11/26
122	蘇 洪亮	慶應義塾大学	SOTB をもちいた低消費電力リコンフィギュラブルアクセラレータの設計	電子情報通信学会 リコンフィギュラブルシステム研究会 (デザインガイア 2012)	2012	11/27
123	阪本 利司	LEAP	Active switching elements in the back-end-of line for low power logic solutions	IEDM Short Course	2012	12/9
124	多田 宗弘	LEAP	Improving Reliability of Cu Atom Switch by Using Ternary Cu-alloy and RuTa Electrodes	International Electron Devices Meeting 2012	2012	12/9
125	角田 浩司	LEAP	Increased Thermal Stability and Reduced Switching Current of STT-MRAM Using Dummy Free Layer with Dual Tunnel Junction	International Electron Devices Meeting 2012	2012	12/10
126	森川 貴博	LEAP	Low Power Nano-crystalline Phase Change Memory Using Thermally Resistive Doped-Ge ₂ Sb ₂ Te ₅	International Electron Devices Meeting 2012	2012	12/10
127	宮村 信	LEAP	First Demonstration of Logic Mapping on Nonvolatile Programmable Cell Using Complementary Atom Switch	International Electron Devices Meeting 2012	2012	12/11
128	杉井 寿博	LEAP	混載 SRAM 置き換え用 STT-MRAM の高性能化とインテグレーション (Invited)	電子情報通信学会 集積回路研究会	2012	12/17
129	酒井 忠司	LEAP	ナノカーボン材料の微細配線応用に向けて (Invited)	東大工学部マテリアル応用工学科	2013	1/9
130	長永 隆志	LEAP	MgO based magnetic tunnel junction with Co ₂₀ Fe ₆₀ B ₂₀ sensing layer for magnetic field sensors	12th Joint MMM /Intermag Conference	2013	1/14
131	吉田 親子	LEAP	Enhanced Thermal Stability in Perpendicular Top-pinned Magnetic Tunnel Junction with Synthetic Antiferromagnetic Free Layers	12th Joint MMM /Intermag Conference	2013	1/14
132	網代 慎也	芝浦工業大学	薄膜 BOX-SOI における基板バイアス効果を利用した動的なマルチ V _{th} 設計の検討	電子情報通信学会 VLSI 設計技術研究会	2013	1/16
133	波田 博光	LEAP	超低消費電力原子移動型スイッチデバイスの特徴と課題	日本学術復興会 薄膜第 131 委員会・半導体界面制御技術第 154 委員会 合同研究会	2013	1/18
134	酒井 忠司	LEAP	ナノカーボン材料・配線技術 (Invited)	日本学術復興会 薄膜第 131 委員会・半導体界面制御技術第 154 委員会 合同研究会	2013	1/18
135	阪本 利司	LEAP	相補型原子スイッチを用いたプログラマブルロジック応用	学振 181 委員会	2013	1/21

番号	発表者	所属	タイトル	発表誌名、ページ番号	発表年	月日
136	住広 直孝	LEAP	抵抗変化型不揮発デバイスで低電圧限界に挑む	ゲートスタック研究会	2013	1/25
137	宮村 信	LEAP	相補型原子スイッチを用いた不揮発プログラマブルセルとその回路マッピング実証	IEDM 特集研究会	2013	1/30
138	吉田 親子	LEAP	Effects of Sputtering Deposition Process on Perpendicular Magnetic Anisotropy of (Co/Pt) Multilayers	The 3rd CSIS International Symposium on Spintronics-based VLSIs and The 11th RIEC International Workshop on Spintronics	2013	1/31
139	多田 宗弘	LEAP	原子移動型スイッチを使ったスマート配線技術と低電力再構成回路への応用	2013年シリコンテクノロジー分科会 多層配線システム研究会 電子情報学会シリコン材料・デバイス研究会	2013	2/4
140	杉井 信之	LEAP	FDSOI 技術動向 (Invited)	JEITA STRJ WG3 調査委員会	2013	2/6
141	北森 邦明	慶應義塾大学	SOTB を用いたマイコンの電力最適化	電子情報通信学会 コンピュータシステム研究会	2013	2/14
142	杉井 信之	LEAP	超低電力 LSI を実現する薄膜 BOX-SOI(SOTB)CMOS デバイス (Invited)	応用物理学会シリコンテクノロジー分科会	2013	2/22
143	杉井 寿博	LEAP	High-performance STT-MRAM and Its Integration for Embedded Cache Memory	4th Annual Non-Volatile Memories Workshop	2013	3/5
144	岡本 望	慶應義塾大学	Ruthenium Oxide Contact-layer for Low-resistance CNT Via Interconnects Technology	International Winterschool on Electronic Properties of Novel Materials	2013	3/7
145	澤部 亮介	慶應義塾大学	Growth of Multilayer Graphene on Polycrystalline Ni Thin Film with Artificial Steps	International Winterschool on Electronic Properties of Novel Materials	2013	3/7
146	酒井 忠司	LEAP	ナノカーボン配線技術	応用物理学会 シリコンテクノロジー分科会 第158回研究集会	2013	3/7
147	住広 直孝	LEAP	抵抗変化型不揮発デバイスで低電圧限界に挑む	STRJ workshop	2013	3/8
148	増原 利明	LEAP	「統合的高度信頼化設計のためのモデル化と検出・訂正・回復技術」実用化に対する期待	CREST「ディペンダブルVLSIシステムの基盤技術」研究領域	2013	3/11
149	藤 恵輔	芝浦工業大学	FDSOI における基板バイアス効果を考慮したエネルギー最小電圧の分析	電子情報通信学会総合大会	2013	3/19
150	洗平 昌晃	筑波大計科セ	第一原理計算による相変化メモリデバイスの構造同定と電気伝導特性	日本物理学会 第68回年次大会	2013	3/26
151	今関 兼也	芝浦工業大学	剥離した高配向熱分解グラファイトへの臭素添加の検討	2013年 第60回応用物理学会春季学術講演会	2013	3/27
152	篠原 博文	LEAP	Silicon-on-Thin-Buried Oxide (SOTB) CMOS SRAMの0.4V動作に対するVthばらつきの影響	2013年 第60回応用物理学会春季学術講演会	2013	3/27

番号	発表者	所属	タイトル	発表誌名、ページ番号	発表年	月日
153	水谷 朋子	東京大学生研	完全空乏型Silicon-on-Thin-BOX (SOTB) MOSトランジスタにおけるサブスレッショルド係数ばらつきの統計的解析	2013年 第60回応用物理学会 春季学術講演会	2013	3/27
154	山崎 雄一	LEAP	高アスペクト比微細ビア内へのカーボンナノチューブ成長およびその電気的特性評価	2013年 第60回応用物理学会 春季学術講演会	2013	3/28
155	宮崎 久生	LEAP	多層グラフェン配線における電気伝導と低抵抗化	2013年 第60回応用物理学会 春季学術講演会	2013	3/28
156	伊藤 和幸	慶應義塾大学	3次元LSI配線のための層数確定多層グラフェンの電気抵抗測定	2013年 第60回応用物理学会 春季学術講演会	2013	3/28
157	多田 宗弘	LEAP	シリコンテクノロジー分科会受賞記念講演 原子移動型スイッチの低電圧化と信頼性の改善	2013年 第60回応用物理学会 春季学術講演会	2013	3/28
158	森川 貴博	LEAP	低熱伝導のナノ結晶材料を用いた低電力相変化デバイス	2013年 第60回応用物理学会 春季学術講演会	2013	3/28
159	鈴木 真理子	LEAP	多層カーボンナノチューブ単体の電気特性	2013年 第60回応用物理学会 春季学術講演会	2013	3/29
160	石倉 太志	LEAP	多層グラフェン/Ni触媒積層配線の形成と特性評価	2013年 第60回応用物理学会 春季学術講演会	2013	3/29
161	西出 大亮	LEAP	300mm ウエハ対応ナノカーボン合成プロセス開発(2)	2013年 第60回応用物理学会 春季学術講演会	2013	3/29
162	澤部 亮介	慶應義塾大学	人工ステップを有する多結晶Ni薄膜への多層グラフェン成長	2013年 第60回応用物理学会 春季学術講演会	2013	3/30
163	阪本 利司	LEAP	Nonvolatile programmable logic array using Complementary Atom Switch	MRS Spring Meeting & Exhibit	2013	4/2
164	森川 貴博	LEAP	Electrothermal modeling of reset and set dynamics in phase change memory	MRS Spring Meeting & Exhibit	2013	4/2
165	角田 浩司	LEAP	STT-MRAMの特性改善に向けたダミーフリー層と2重トンネル接合を有する新しいMTJ	集積回路研究会(ICD)	2013	4/11
166	宮村 信	LEAP	相補型原子スイッチを用いたプログラマブルロジックでのRTJ記述からの回路マッピング	集積回路研究会(ICD)	2013	4/11
167	森川 貴博	LEAP	低熱伝導のナノ結晶材料を用いた低電力相変化デバイス	集積回路研究会(ICD)	2013	4/11
168	上口 光	中央大学	Highly Reliable, Low-Power Super-Lattice Phase-Change Memory without Melting and Write-Pulse Down Slope	2013 IEEE International Reliability Physics Symposium	2013	4/14
169	北森 邦明	慶應義塾大学	Power optimization of micro-controller with Silicon on Thin Buried Oxide	COOL Chips XVI	2013	4/18

番号	発表者	所属	タイトル	発表誌名、ページ番号	発表年	月日
170	宮崎 久生	LEAP	Electric Transport in Multilayer Graphene Interconnects and Resistance Reduction by Intercalation	17th International Symposium on Intercalation Compounds	2013	5/12
171	中村 昌平	芝浦工業大学	薄膜 BOX-SOI を用いた超低電圧向けレベルシフト回路の検討	電子情報通信学会 VLSI 設計技術研究会	2013	5/16
172	上口 光	中央大学	Write Voltage and Read Reference Current Generator for Multi-Level Ge ₂ Sb ₂ Te _s -based Phase Change Memories with Temperature Characteristics Tracking	5th IEEE International Memory Workshop	2013	5/26
173	多田 宗弘	LEAP	ULSI プロセス技術の基礎と抵抗変化デバイス技術	慶應義塾大学 応用化学化特別講義	2013	5/27
174	増原 利明	LEAP	Low Energy Silicon Solution toward Smart and Sustainable Society	The 2013 International Meeting for Future Electron Devices, Kansai	2013	6/5
175	鄭 承旻	東京大学生研	Impact of Drain-Induced Barrier Lowering on Ultra-Low Supply Voltage CMOS Circuits	2013 Silicon Nanoelectronics Workshop	2013	6/9
176	水谷 朋子	東京大学生研	Reduced Cell Current Variability in Fully Depleted Silicon-on-Thin-BOX (SOTB) SRAM Cells	2013 Silicon Nanoelectronics Workshop	2013	6/9
177	高浦 則克	LEAP	PCM for bridging latency gap in memories	2013 Silicon Nanoelectronics Workshop	2013	6/10
178	増原 利明	LEAP	LEAP: Overview and Recent Progress 2013 Update	ICCI Meeting (VLSI symposium)	2013	6/11
179	高浦 則克	LEAP	Charge Injection Super-Lattice Phase Change Memory for Low Power and High Density Storage Device Applications	2013 Symposia on VLSI Technology and Circuits	2013	6/11
180	梅木 洋平	神戸大学	A 65-nm 0.4-V 8-Mb STT-MRAM Using Process-Variation-Tolerant Sense Amplifier	2013 Symposia on VLSI Technology and Circuits	2013	6/11
181	高浦 則克	LEAP	Technology Rump session "R-2:Novel Hierarchy in Emerging Memory"	2013 Symposia on VLSI Technology and Circuits	2013	6/11
182	青木 正樹	LEAP	A Novel Highly Scalable Multi-level-Cell for STT-MRAM with Stacked Perpendicular MTJs	2013 Symposia on VLSI Technology and Circuits	2013	6/12
183	射場 義久	LEAP	Top-pinned Perpendicular MTJ Structure with a Counter Bias Magnetic Field Layer for Suppressing a Stray-Field in Highly Scalable STT-MRAM	2013 Symposia on VLSI Technology and Circuits	2013	6/12
184	山本 芳樹	LEAP	Ultra Low Voltage Operation and Energy Optimization Of Silicon-on-Thin-BOX (SOTB) SRSM Utilizing Adaptive body bias	2013 Symposia on VLSI Technology and Circuits	2013	6/13
185	岡本 浩一郎	LEAP	Bidirectional TaO-Diode-Selected, Complementary Atom Switch (DCAS) for Area-Efficient, Nonvolatile Crossbar Switch Block	2013 Symposia on VLSI Technology and Circuits	2013	6/13
186	和田 真	LEAP	Graphene Interconnects Selectively Grown on Catalytic Metal Damascene Structure and Its Growth Mechanism on Ni Catalyst	2013 IEEE International Interconnect Technology Conference	2013	6/13

番号	発表者	所属	タイトル	発表誌名、ページ番号	発表年	月日
187	片桐 雅之	LEAP	Electrical Properties of Multilayer Graphene Interconnects Prepared by Chemical Vapor Deposition	2013 IEEE International Interconnect Technology Conference	2013	6/14
188	蘇 洪亮	慶應義塾大学	CMASOTB/LPT-3:The first prototype of Cool Mega Array on Silicon On Thin BOX	HEART 2013	2013	6/14
189	木村 紳一郎	LEAP	Aiming to Reduce Operation Voltage of Devices for Low Power Electronics	International Symposium on Ultra-Low-Voltage VLSI Devices and Circuits	2013	6/15
190	松本 貴士	LEAP	Wafer-scaled growth of highly vertically aligned carbon nanotube on CVD-Ni catalyst for very high aspect ratio (A/R>17) contact fabrication	NT13: The Fourteenth International Conference on the Science and Application of Nanotubes	2013	6/24
191	岡本 浩一郎	LEAP	Bidirectional TaO-Diode-selected, Complementary Atom Switch (DCAS) for Area-efficient, Nonvolatile Crossbar Switch Block	TIA-nano ワークショップ	2013	6/28
192	杉井 信之	LEAP	Silicon on Thin Buried Oxide(SOTB) Technology for Ultralow-Power Applications	ULSIC vs. TFT4 4th International Conference on Semiconductor Technology for Ultra Scale Integrated Circuits and Thin Film Transistors	2013	7/9
193	上口 光	中央大学	書込みパルスダウンスロープを用いない高信頼超格子相変化メモリ	2013 IRPS 報告会	2013	7/25
194	杉井 信之	LEAP	Silicon on Thin Buried Oxide(SOTB) Technology	JEITA ロードマップ委員会 WG6 PIDS	2013	8/2
195	山本 芳樹	LEAP	Adaptive Back Bias 技術を用いた薄膜 BOX-SOI,2Mibit SRAM の 0.37V 超低電圧動作	応用物理学会シリコンテクノロジー分科会第 163 回研究集会	2013	8/7
196	万沢 勇貴	京都工芸繊維大学	65nm 完全空乏型薄膜 BOX-SOI(SOTB)プロセスによる低電力型耐放射線フリップフロップ	ソフトウェア勉強会	2013	8/29
197	原田 諒	大阪大学	薄膜 BOX-SOI(SOTB)を用いた超低電圧 SRAM の α 線起因 SEU 耐性	ソフトウェア勉強会	2013	8/29
198	住広 直孝	LEAP	LSI の低電圧限界に挑む	SEAJ 技術部会	2013	8/29
199	西出 大亮	LEAP	300mm wafer-scale growth of multi-layer graphene on damascene Ni patterns for interconnect applications	International Conference on Diamond and Carbon Materials 2013	2013	9/2
200	酒井 忠司	LEAP	Low Temperature Growth and integration of Graphene and CNT for 3D Interconnect applications	International Conference on Diamond and Carbon Materials 2013	2013	9/3
201	高浦 則克	LEAP	New Materials for Low Power PCM for Storage Device Applications	EPCOS 2013	2013	9/9
202	齊藤 雄太	産総研	Study of SiTe/Sb ₂ Te ₃ phase Change superlattices	EPCOS 2013	2013	9/9
203	大柳 孝純	LEAP	Process Integration of Superlattice PCM to be Embedded in BEOL	EPCOS 2013	2013	9/9

番号	発表者	所属	タイトル	発表誌名、ページ番号	発表年	月日
204	Kanjanavirojkul Parit	東京大学	Direct Burst Pulse Generator for Sub-millimeter Wave Integrated on 65-nm CMOS	2013 年 電子情報通信学会ソサイエティ大会	2013	9/17
205	小杉 諒佑	芝浦工業大学	臭素ドーピングによる剥離 HOPG のフェルミレベル変化	2013 年 第 74 回応用物理学会秋季学術講演会	2013	9/18
206	森川 貴博	LEAP	超格子素材を用いた低電力動作相変化デバイス	2013 年 第 74 回応用物理学会秋季学術講演会	2013	9/19
207	田井 光春	LEAP	相変化デバイス向け poly-Si ダイオードの結晶化・不純物活性化プロセス最適化検討	2013 年 第 74 回応用物理学会秋季学術講演会	2013	9/19
208	水谷 朋子	東京大学生研	完全空乏型 Silicon-on-Thin-BOX (SOTB) SRAM セルの電源電圧 0.4Vにおけるセル電流ばらつき低減	2013 年 第 74 回応用物理学会秋季学術講演会	2013	9/19
209	蘇 洪亮	慶應義塾大学	FD-SOI を用いた超低電力アクセラレータの実チップ評価	電子情報通信リコンフィギュラブルシステム研究会	2013	9/19
210	松本 貴士	LEAP	CVD-Ni 触媒微粒子制御による超高アスペクト比コンタクトホールへのカーボンナノチューブ配線形成	表面技術協会 第128回講演大会	2013	9/25
211	小林 和淑	京都工芸繊維大学	A Low-Power and Area-Efficient Radiation-Hard Redundant Flip-Flop, DICE ACFF, in a 65nm Thin-BOX FD-SOI	RADEC2013	2013	9/26
212	阪本 利司	LEAP	Impact of overshoot current in set operation of Atom Switch	2013 International Conference on Solid State Devices and Materials (SSDM 2013)	2013	9/25
213	宮崎 久生	LEAP	Width Dependent Transport in Multilayer Graphene Interconnects and Exploring Ways to Reduce Resistance	2013 International Conference on Solid State Devices and Materials (SSDM 2013)	2013	9/26
214	北村 匡史	LEAP	Chemical Vapor Deposition GeTe / Sb ₂ Te ₃ Super-Lattice Phase Change Memory	2013 International Conference on Solid State Devices and Materials (SSDM 2013)	2013	9/26
215	加藤 重徳	筑波大学数理	Carrier Injection Induced Switching of Supper-lattice GeTe / Sb ₂ Te ₃ Phase Change Memories	2013 International Conference on Solid State Devices and Materials (SSDM 2013)	2013	9/26
216	槇山 秀樹	LEAP	Speed Enhancement at V _{dd} = 0.4 V and Random τ_{pd} Variability Reduction of Silicon on Thin Buried Oxide (SOTB)	2013 International Conference on Solid State Devices and Materials (SSDM 2013)	2013	9/27
217	水谷 朋子	東京大学生研	Comparison of Minimum Operation Voltage (V _{min}) in Fully Depleted Silicon-on-Thin-BOX (SOTB) and Bulk SRAM Cells	2013 International Conference on Solid State Devices and Materials (SSDM 2013)	2013	9/27
218	杉井 信之	LEAP	Ultralow-Voltage Operation SOTB Technology toward Energy Efficient Electronics	2013 International Conference on Solid State Devices and Materials (SSDM 2013)	2013	9/27
219	白石 賢二	筑波大学	Physics in Charge Injection Induced On-Off Switching Mechanism of Oxide-Based Resistive Random Access Memory (ReRAM) and Superlattice GeTe/Sb ₂ Te ₃ Phase Change Memory (PCM)	2013 International Conference on Solid State Devices and Materials (SSDM 2013)	2013	9/27
220	片桐 雅之	LEAP	Multilayer Graphene Grown by Chemical Vapor Deposition at Low Temperatures for Interconnect Applications	Advanced Metallization Conference 2013, 23 rd Asian Session	2013	10/8

番号	発表者	所属	タイトル	発表誌名、ページ番号	発表年	月日
221	小杉 諒佑	芝浦工業大学	Bromine Doping of Multilayer Graphene for Low Resistance Interconnects	Advanced Metallization Conference 2013,23 rd Asian Session	2013	10/8
222	木村 紳一郎	LEAP	Aiming at Voltage Reduction of Devices for Low-power Electronics	Advanced Metallization Conference 2013,23 rd Asian Session	2013	10/8
223	酒井 忠司	LEAP	Growth and Integration of Graphene and CNT for 3D Interconnect Applications	Advanced Metallization Conference 2013,23 rd Asian Session	2013	10/8
224	森川 貴博	LEAP	A Phase Change Memory using Confined GeTe/Sb ₂ Te ₃ Superlattice Deposited by Chemical Vapor Deposition	Advanced Metallization Conference 2013,23 rd Asian Session	2013	10/10
225	角田 浩司	LEAP	A Novel MTJ for embedded STT-MRAM with a Dummy Free Layer and Dual Tunnel Junctions	Advanced Metallization Conference 2013,23 rd Asian Session	2013	10/10
226	小池 帆平	産総研	The First SOTB Implementation of Flex Power FPGA	S3S Conference 2013	2013	10/9
227	諸橋 翔太郎	電気通信大学	A 44 μ W/10MHz Minimum Power Operation of 50K Logic Gate using 65nm SOTB Devices with Back Gate Control	S3S Conference 2013	2013	10/10
228	杉井 信之	LEAP	V _{min} = 0.4 V LSIs are the real with Silicon-on-Thin-Buried-Oxide (SOTB) -How is the application with "Perpetuum-Mobile" micro-controller with SOTB?	S3S Conference 2013	2013	10/10
229	北森 邦明	慶應義塾大学	Power optimization of a micro-controller with Silicon on Thin Buried Oxide	The 18th Workshop on Synthesis And System Integration of Mixed Information technologies (SASIMI2013)	2013	10/21
230	片桐 雅之	LEAP	Multilayer Graphene Grown by Chemical Vapor Deposition at Low Temperatures for Interconnect Applications	Advanced Metallization Conference (AMC) 2013	2013	10/23
231	石橋 孝一郎	電気通信大学	A Challenge to Perpetuum Computing using SOTB Technology	International Conference on Advanced Computing and Applications(ACOMP 2013)	2013	10/24
232	多田 宗弘	LEAP	Opportunities and Challenges of Atom Switch For Low-power Programmable Logic	224th ECS Meeting	2013	10/30
233	大柳 孝純	LEAP	Special Electrical Characteristics of Superlattice Phase Change Memory	224th ECS Meeting	2013	10/31
234	小池 帆平	産総研	SOTB トランジスタを用いた Super Flex Power FPGA の開発	産総研オープンラボ 2013	2013	10/31
235	高浦 則克	LEAP	相変化メモリのここが凄い	産総研オープンラボ 2013	2013	10/31
236	松本 貴士	LEAP	三次元ナノカーボン配線技術の開発	Advanced Electronics Symposium 2013	2013	10/31
237	長永 隆志	LEAP	Magnetic tunnel junctions for highly sensitive magnetic field sensor by using CoFeB sensing layer capped with MgO film	The 58th Annual Magnetism and Magnetic Materials (MMM) Conference	2013	11/5

番号	発表者	所属	タイトル	発表誌名、ページ番号	発表年	月日
238	山本 芳樹	LEAP	Impact of Charge Induced by High-k Incorporation on Mobility and VTH Variability in Poly-Si/High-k / SiON / Silicon On Thin BOX (SOTB) Transistor	2013 International Workshop on DIELECTRIC THIN FILMS FOR FUTURE ELECTRON DEVICES - SCIENCE AND TECHNOLOGY - (IWDTF)	2013	11/8
239	木村 紳一郎	LEAP	超低消費電力 FDSOI デバイス	2013 年 京都賞シンポジウム	2013	11/12
240	高浦 則克	LEAP	各種先端メモリ技術講演 新規抵抗変化型メモリ	第 29 回(2013)京都賞記念ワークショップ 先端技術部門	2013	11/12
241	梅木 洋平	神戸大学	A 0.38-V Operating STT-MRAM with Process Variation Tolerant Sense Amplifier	Asian Solid-State Circuits Conference (A-SSCC2013)	2013	11/13
242	角田 浩司	LEAP	A Novel MTJ for embedded STT-MRAM with a Dummy Free Layer and Dual Tunnel Junctions	New Non-Volatile Memory Workshop 2013	2013	11/14
243	永富 弘樹	電気通信大学	A 4pA/Gate Sleep Current 65nm SOTB Logic Gates Using On-chip Vbb Generator for Energy Harvesting Network Systems	ICDV2013	2013	11/15
244	水谷 朋子	東京大学生研	Statistical Characteristics Analysis of "N-curve" and Static Noise Margin for Yield Prediction of SRAM Cells	ICCAD ワークショップ	2013	11/18
245	上口 光	中央大学	Low-Power Super-Lattice Phase-Change Memory without Melting and Write-Pulse Down Slope	2013 Phase Change Oriented Science	2013	11/28
246	上口 光	中央大学	Write Voltage and Read Reference Current Generator for MLC-PCM Considering with Temperature Characteristics	2013 Phase Change Oriented Science	2013	11/28
247	馬 超	産総研	SOTB トランジスタを用いた最初の Flex Power FPGA チップの評価	電子情報通信学会 リコンフィギュラブルシステム研究会 デザインガイア 2013	2013	11/28
248	蘇 洪亮	慶應義塾大学	SOTB トランジスタを用いた低電力リコンフィギュラブルアクセラータの実チップ評価	電子情報通信学会 リコンフィギュラブルシステム研究会 デザインガイア 2013	2013	11/28
249	岸田 亮	京都工芸繊維大学	バルクと SOTB におけるアンテナダメージによるリングオシレータの発振周波数ばらつきの評価	電子情報通信学会 VLSI 設計技術研究会 デザインガイア 2013	2013	11/28
250	齊藤 雄太	産総研	Theoretical and experimental research for SiTe/Sb ₂ Te ₃ phase change superlattices	PCOS2013	2013	11/28
251	Hoang MINH THIEN	電気通信大学	An Ultra-low Power LNA Design Using SOTB CMOS Devices	Thailand-Japan Micro Wave2013	2013	12/2
252	山崎 雄一	LEAP	Carbon nanotube growth at high-aspect ultrafine via holes and its electrical characterization	2013 MRS Fall Meeting	2013	12/4
253	鈴木 拓也	慶應義塾大学	Low Temperature CVD Growth of Multi-layer Graphene on Ni Single Crystal Substrates with the Orientation of (111), (110) and (100)	2013 MRS Fall Meeting	2013	12/5
254	増原 利明	LEAP	超低電圧・超低電力 LSI:進化と展望	SEMICON JAPAN 2013	2013	12/5

番号	発表者	所属	タイトル	発表誌名、ページ番号	発表年	月日
255	田井 光春	LEAP	相変化材料を用いた超低電圧・不揮発デバイス	SEMICON JAPAN 2013	2013	12/5
256	角田 浩司	LEAP	Highly Manufacturable Multi-Level Perpendicular MTJ with a Single Top-Pinned Layer and Multiple Barrier/Free Layers	2013 International Electron Devices Meeting (IEDM)	2013	12/9
257	吉田 親子	LEAP	Demonstration of Zero-Offset-Field Operation for Top-pinned MTJ with Synthetic Antiferromagnetic Free Layers	2013 International Electron Devices Meeting (IEDM)	2013	12/9
258	長永 隆志	LEAP	Scalable sensing of current with magnetic tunnel junctions embedded in Cu interconnects	2013 International Electron Devices Meeting (IEDM)	2013	12/10
259	大柳 孝純	LEAP	Charge-Injection Phase Change Memory with High-Quality GeTe/SbTe ₂ Te ₃ SuperLattice Featuring 70- μ A RESET, 10-ns SET and 100M Endurance Cycles Operations	2013 International Electron Devices Meeting (IEDM)	2013	12/11
260	榎山 秀樹	LEAP	Suppression of Die-to-Die Delay Variability of Silicon on Thin Buried Oxide (SOTB) CMOS Circuits by Balanced P/N Drivability Control with Back-Bias for Ultralow-Voltage (0.4 V)	2013 International Electron Devices Meeting (IEDM)	2013	12/11
261	蘇 洪亮	慶應義塾大学	A Low Power Reconfigurable Accelerator using a Back-gate Bias Control Technique	The International Conference on Field-Programmable Technology	2013	12/10
262	住広 直孝	LEAP	IOT (Internet of Things) を支える LSI の超低電圧プラットフォーム	第4回つくばイノベーションアリーナ公開シンポジウム	2013	12/16
263	青木 正樹	LEAP	垂直磁化 MTJ を積層した多値 MRAM 素子	日本磁気学会 第194回研究会「光や磁気を用いた3次元新機能デバイス」	2014	1/10
264	阪本 利司	LEAP	原子スイッチを用いたプログラマブルロジックデバイスの開発	超精密加工専門委員会 第67回研究会「材料化学の深化が導く電子デバイスの未来」	2014	1/16
265	山本 芳樹	LEAP	超低電圧動作 SOTB-CMOS 向け high-k ゲートスタック技術 (招待講演)	ゲートスタック研究会—材料・プロセス・評価の物理— (第19回)	2014	1/25
266	高浦 則克	LEAP	溶融しない相変化メモリ GeTe/Sb ₂ Te ₃ 超格子の電荷注入機構による不揮発記憶	ゲートスタック研究会—材料・プロセス・評価の物理— (第19回)	2014	1/25
267	加藤 重徳	筑波大学数理	超格子 GeTe/Sb ₂ Te ₃ 相変化メモリの動作メカニズムの検討	ゲートスタック研究会—材料・プロセス・評価の物理— (第19回)	2014	1/25
268	森 陽紀	神戸大学	磁性変化型メモリの書き込み速度を改善するメモリアーキテクチャ	集積回路研究会	2014	1/28
269	榎山 秀樹	LEAP	P/N 駆動力バランスを考慮した基板バイアス制御による超低電圧 0.4V 動作 SOTB-CMOS 回路のダイ間遅延ばらつき制御	応用物理学会 シリコンテクノロジー分科会 第167回研究集会	2014	1/29
270	酒井 忠司	LEAP	ナノカーボン配線に関する研究開発動向	平成25年度第3回ナノエレクトロニクス標準化戦略 G	2014	2/4
271	宮崎 久生	LEAP	Width Dependent Resistivity in Multilayer Graphene Nanowires: Importance of Doping in Graphene Interconnects	Materials for Advanced Metallization Conference 2014 (MAM2014)	2014	3/4

番号	発表者	所属	タイトル	発表誌名、ページ番号	発表年	月日
272	和田 達矢	芝浦工業大学	SOTB での動的電圧制御に向けた温度モニタ回路の検討	電子情報通信学会 VLSI 設計技術研究会	2014	3/5
273	三枝 樹規	芝浦工業大学	薄膜 BOX-SOI における動的なマルチ Vth 技術に関する設計手法	電子情報通信学会 VLSI 設計技術研究会	2014	3/5
274	杉井 寿博	LEAP	Toward High-density STT-MRAM for Embedded Cache Memory	5th Annual Non-Volatile Memories Workshop	2014	3/10
275	蓬田 拓夢	電気通信大学	CMOS R-2R ラダ-型 D/A コンバータの線形性向上法	シリコンアナログ RF 研究会	2014	3/11
276	塩野谷 雅仁	電気通信大学	論理閾値変換回路を用いた Ring-VCO の発振周波数範囲拡大に関する研究	シリコンアナログ RF 研究会	2014	3/11
277	竹下 俊宏	京都大学	動作状況に応じた電源電圧とボディバイアスの同時調節による LSI のエネルギー効率最大化	2014 年電子情報通信学会 総合大会	2014	3/19
278	宮村 信	LEAP	0.3V Programmable Logic using Complementary Atom Switch	第 61 回応用物理学会春季学術講演会	2014	3/18
279	西出 大亮	LEAP	低温熱 CVD 法による 300mm ウェハ上への多層グラフェン合成プロセスの開発	第 61 回応用物理学会春季学術講演会	2014	3/18
280	水谷 朋子	東京大学生研	完全空乏型 Silicon-on-Thin-BOX SRAM セルにおける最低動作電圧の低減	第 61 回応用物理学会春季学術講演会	2014	3/19
281	水谷 朋子	東京大学生研	SRAM セル安定性指標パラメータ: N カーブとスタティックノイズマージンの統計的解析	第 61 回応用物理学会春季学術講演会	2014	3/19
282	田井 光春	LEAP	超格子材料を用いた相変化デバイス(招待講演)	第 61 回応用物理学会春季学術講演会	2014	3/19
283	伴野 直樹	LEAP	相補型原子スイッチの OFF 時電圧ストレス耐性	第 61 回応用物理学会春季学術講演会	2014	3/20
284	岡本 浩一郎	LEAP	省面積クロスバースイッチ向け双方向 TaO ダイオード選択相補型原子移動型スイッチ (DCAS) のスイッチング動作	第 61 回応用物理学会春季学術講演会	2014	3/20
285	大野 仁嗣	東京大学生研	微細トランジスタにおける Random Telegraph Noise の統計分布のトレイン電流依存性	第 61 回応用物理学会春季学術講演会	2014	3/20
286	高浦 則克	LEAP	Understanding the Switching Mechanism of Charge-Injection GeTe/Sb ₂ Te ₃ Phase Change Memory through Electrical Measurement and Analysis of 1R Test Structure	ICMTS2014	2014	3/25
287	洗平 昌晃	名古屋大院工	GeSbTe 相変化メモリ素子の電気伝導特性におけるスピン軌道相互作用の効果	日本物理学会 第 69 回年次大会	2014	3/28
288	田井 光春	LEAP	超電圧・高速の総変化メモリ TRAM	SPI フォーラム「ストレージクラスメモリの現状と未来」	2014	3/28

番号	発表者	所属	タイトル	発表誌名、ページ番号	発表年	月日
289	石橋 孝一郎	電気通信大学	A Perpetuum Mobile 32bit CPU with 13.4pJ/cycle, 0.14μA Sleep Current using Reverse Body Bias Assisted 65nm SOTB CMOS Technology	Cool Chips XV II	2014	4/16
290	山本 芳樹	LEAP	Adaptive Body Bias 技術を用いた SOTB 2Mbit SRAM の 0.37V 超低電圧動作(依頼講演)	集積回路研究会 (ICD)	2014	4/18
291	齊藤 雄太	産総研	Ab-Initio Calculations and Experimental Studies of [(SiTe) _x /(Sb ₂ Te ₃) _y] _z Interfacial Phase Change Memory	MRS 2014	2014	4/21
292	伴野 直樹	LEAP	Bias-stress Reliability of OFF-state Complementary Atom Switch	MRS 2014	2014	4/23
293	高浦 則克	LEAP	Theoretical and Experimental Understanding of Charge-Injection GeTe/Sb ₂ Te ₃ Superlattice Phase Change Memory (Invited)	MRS 2014	2014	4/24
294	多田 宗弘	LEAP	Opportunities and Challenges of Atom Switch embedded in Cu-BEOL For Nonvolatile Programmable Logic (Invited)	ICEP 2014	2014	4/25
295	津寄 陽亮	LEAP	Development of closed-loop magnetic field sensors consisting of monolithic magnetic tunnel junctions and compensation wires	IEEE International Magnetism Conference	2014	5/5
296	吉田 親子	LEAP	Reduction of Offset-field in Top-pinned MTJ with Synthetic Antiferromagnetic Free Layer	IEEE International Magnetism Conference	2014	5/8
297	多田 宗弘	LEAP	Atom Switch Technology for Low-power Nonvolatile Logic Application (Invited)	225th ECS Meeting	2014	5/12
298	小笠原 泰弘	産総研	Utility of High On-off ratio, High Off Resistance Rewritable Device for EEPROM of Ultra-low Voltage Logic with Steep Subthreshold Slope FETs	IMW 2014	2014	5/21
299	和田 真	LEAP	Selective Carbon Nanotube growth in Via Structure Utilizing Novel Arrangement of Catalytic Metal	2014 IITC/AMC	2014	5/22
300	斎藤 達朗	LEAP	Resistance reduction of CNTs on 300mm wafer using two precursors with different growth methods	2014 IITC/AMC	2014	5/23
301	張 利(原田 曉美)	LEAP	Imaging and Nanoprobing of Graphene Layers on Ni Damascene Interconnects by Conductive Atomic Force Microscopy	IRPS2014	2014	6/4
302	張魁元	京都工芸繊維大学	Impact of Body Bias on Soft Error Tolerance of Bulk and Silicon on Thin Box Structure in 65-nm Process	IRPS2014	2014	6/4
303	大野 仁嗣	東京大学生研	Comparison of Statistical Distributions of Random telegraph Noise (RTN) in Subthreshold Region and a Strong Inversion Region	IEEE Silicon Nanoelectronics Workshop	2014	6/8
304	水谷 朋子	東京大学生研	Statistical Analysis of Minimum Operation Voltage (V _{min}) in Fully Depleted Silicon-on-Thin-BOX (SOTB) SRAM Cells	IEEE Silicon Nanoelectronics Workshop	2014	6/9
305	射場 義久	LEAP	A Highly Scalable STT-MRAM Fabricated by a Novel Technique for Shrinking a Magnetic Tunnel Junction with Reducing Processing Damage	2014 Symposium on VLSI Technology	2014	6/11

番号	発表者	所属	タイトル	発表誌名、ページ番号	発表年	月日
306	伴野 直樹	LEAP	A Fast and Low-Voltage Cu Complementary-Atom-Switch 1Mb Array with High-Temperature Retention	2014 Symposium on VLSI Technology	2014	6/12
307	田井 光春	LEAP	1T-1R Pillar-Type Topological-Switching Random Access Memory (TRAM) and Data Retention of GeTe/Sb ₂ Te ₃ Super-Lattice Films	2014 Symposium on VLSI Technology	2014	6/12
308	蒲原 史朗	LEAP	Ultralow-Voltage Design and Technology of Silicon-on-Thin-Buried-Oxide (SOTB) CMOS for Highly Energy Efficient Electronics in IoT Era (Invited)	2014 Symposium on VLSI Technology	2014	6/12
309	藤田 悠	慶應義塾大学	低電力リコンフィギャラブルアクセラレータ CMA-SOTB のボディバイアス制御	電子情報通信学会リコンフィギャラブルシステム研究所	2014	6/12
310	松本 貴士	LEAP	立命館大学 SR センター 先端研究基盤共用・プラットフォーム形成事業 成果報告会	立命館大学 SR センター 先端研究施設共用促進事業	2014	6/13
311	齊藤 雄太	産総研	Structural and Electrical Properties of [(SiTe) _x (Sb ₂ Te ₃) _y]z Interfacial phase Change Memory	CIMTEC 2014 6th Forum on New Materials	2014	6/17
312	杉井 寿博	LEAP	Integration of STT-MRAM for Embedded Cache Memory	CIMTEC 2014 6th Forum on New Materials	2014	6/18
313	籾内 美智太郎	京都工芸繊維大学	Correlation between BTI-Induced Degradations and Process Variations by Measuring Frequency of ROs	IMFEDK 2014	2014	6/20
314	中村 昌平	芝浦工業大学	Level Converter Design for Ultra-low Voltage Operation in FDSOI Devices	ITC-CSCC 2014	2014	7/2
315	酒井 忠司	LEAP	三次元ナノカーボン配線・材料技術	第 29 回材料解析テクノフォーラム	2014	7/4
316	原田 諒	大阪大学	Measurement of Alpha- and Neutron-Induced SEU and MCU on SOTB and Bulk 0.4 V SRAMs	2014 IEEE Nuclear and Space Radiation Effects Conference	2014	7/15
317	酒井 忠司	LEAP	三次元ナノカーボン配線・材料技術	電気化学会第 78 回半導体・集積回路技術シンポジウム	2014	7/18
318	高浦 則克	LEAP	Process and device technologies of topological-switching random access memory (TRAM) (Invited)	IEEE INEC2014	2014	7/30
319	阪本 利司	LEAP	Low-power programmable-logic array using complementary atom switch (Invited)	IEEE INEC2014	2014	7/31
320	蓬田 拓夢	電気通信大学	A Circuit Structure for MOS Only R-2R Ladder DAC Having Higher Linearity	ICCE 2014	2014	7/31
321	杉井 寿博	LEAP	混載メモリ適用に向けたスピン注入型 MRAM の開発(招待講演)	電子情報通信学会 ICD/SDM 研究会	2014	8/4
322	石橋 孝一郎	電気通信大学	A Perpetuum Mobile 32bit CPU with 13.4pJ/cycle, 0.14μA Sleep Current using Reverse-Body-Bias Assisted 65nm SOTB CMOS Technology (Invited)	電子情報通信学会 ICD/SDM 研究会	2014	8/4

番号	発表者	所属	タイトル	発表誌名、ページ番号	発表年	月日
323	大島 梓	京都工芸繊維大学	65nm SOTB プロセスで試作したリングオシレータを用いたアンテナダメージによる初期発振周波数劣化の測定と評価	電子情報通信学会 ICD/SDM 研究会	2014	8/5
324	水谷 朋子	東京大学生研	完全空乏型 Silicon-on-Thin-BOX (SOTB) SRAM セルにおける最低動作電圧 (Vmin) の統計的解析	電子情報通信学会 ICD/SDM 研究会	2014	8/5
325	伴野 直樹	LEAP	低電力再構成回路を実現する低電圧・高信頼・相補型原子スイッチ技術	応用物理学会シリコンテクノロジー分科会 第175回研究集会 2014 VLSI シンポジウム特集	2014	8/8
326	蒲原 史朗	LEAP	IoT 時代の高効率エレクトロニクスに向けた薄膜 BOX-SOI (SOTB) CMOS の超低電圧動作回路およびデバイス技術	応用物理学会シリコンテクノロジー分科会 第175回研究集会 2014 VLSI シンポジウム特集	2014	8/8
327	石橋 孝一郎	電気通信大学	A Perpetuum Mobile 32bit CPU on 65nm SOTB CMOS Technology with Reverse-Body-Bias Assisted Sleep Mode	Hot Chips	2014	8/10
328	杉井 信之	LEAP	Ultralow-Voltage Design and Technology of Silicon-on-Thin-Buried-Oxide (SOTB) CMOS for Highly Energy Efficient Electronics in IoT Era (Invited)	The 9th D2T Symposium, VDEC, The University of Tokyo	2014	8/26
329	杉井 信之	LEAP	Ultralow-Voltage Design and Technology of Silicon-on-Thin-Buried-Oxide (SOTB) CMOS for Highly Energy Efficient Electronics in IoT Era	International Symposium on Leading-edge SOI Technologies	2014	8/27
330	岸田 亮	京都工芸繊維大学	リングオシレータの発振周波数測定から求めたアンテナダメージによる初期および経年劣化評価	DA シンポジウム	2014	8/28
331	籾内 美智太郎	京都工芸繊維大学	リング型発振器の経年劣化と特性ばらつきに関する評価	DA シンポジウム	2014	8/28
332	山口 潤己	京都工芸繊維大学	低電力向け 65nm プロセスにおける回路およびレイアウト構造の相違によるソフトウェア耐性の評価	DA シンポジウム	2014	8/29
333	大島 梓	京都工芸繊維大学	発振周波数変動によりアンテナダメージとBTIの関係性を調べる回路	VDEC デザインアワード	2014	8/29
334	岡西 忍	LEAP	SOTBトランジスタによる超低消費電力ソリューション	Renesas DevCon Japan 2014	2014	9/2
335	蘇 洪亮	慶應義塾大学	Body Bias Control for a Coarse Grained Reconfigurable Accelerator implemented with Silicon on thin BOX technology	FPL 2014	2014	9/3
336	住広 直孝	LEAP	IOT(Interhet of Things)を支える LISI の超低電力プラットフォーム	モノづくり日本会議 第1回新産業技術促進検討会 (NEDO セミナー)	2014	9/3
337	廣川 綜一	大阪大学	SOTB SRAM と BULK SRAM のソフトウェア耐性比較評価	ソフトウェア勉強会 2014	2014	9/4
338	作田 賢志朗	大阪大学	薄膜 BOX-SOI デバイスに対する α 線誘起ソフトウェアの解析	ソフトウェア勉強会 2014	2014	9/4
339	中川 格	産総研	Parameter-Extraction Strategy of Ultra-Thin Silicon and BOX Layer MOSFETs for Low Voltage Applications	2014 International Conference on Simulation of Semiconductor Processes and a Devices Workshop	2014	9/8

番号	発表者	所属	タイトル	発表誌名、ページ番号	発表年	月日
340	西出 大亮	LEAP	Synthesis of highly crystalline graphene on 300mm Si wafer by low-temperature thermal chemical vapor deposition	International Conference on Diamond and Carbon Materials (ICDCM2014)	2014	9/9
341	曾根崎 詠二	京都工芸繊維大学	Radiation Hardness Evaluations of 65 nm FD-SOI and Bulk processes by Measuring SET Pulse Widths and SEU Rates	SSDM2014	2014	9/9
342	宮崎 久生	LEAP	Resistivity of graphene nanowires: Requirements of quality and doping for inter-connect applications	SSDM2014	2014	9/10
343	森川 貴博	LEAP	A 4F ² -cross-point Phase Change Memory Using Nano-crystalline Doped GeSbTe Material	SSDM2014	2014	9/10
344	岸田 亮	京都工芸繊維大学	Initial and Long-Term Frequency Degradation on Ring Oscillators from Plasma Induced Damage in 65 nm Bulk and Silicon On Thin BOX processes	SSDM2014	2014	9/10
345	伴野 直樹	LEAP	Mechanism of OFF-State Lifetime Improvement in Complementary Atom Switch	SSDM2014	2014	9/10
346	水谷 朋子	東京大学生研	Detailed Analysis of Minimum Operation Voltage (V _{min}) of Extraordinarily Unstable Cells in Fully Depleted Silicon-on-Thin-BOX (SOTB) 6T-SRAM	SSDM2014	2014	9/10
347	邱浩	東京大学生研	Comparison and Statistical Analysis of Four Write Stability Metrics in Bulk CMOS SRAM Cells	SSDM2014	2014	9/10
348	鈴木 真理子	LEAP	Electrical resistance measurements on individual carbon nanotubes by a high-resolution-SEM-based nano-probing system for future VLSI interconnects	E-MRS 2014 FALL MEETING	2014	9/15
349	津寄 陽亮	LEAP	CoFeB センシング層を適用したセンサ用磁気トンネル接合における磁気特性の MgO キャップ層膜厚依存性	第 75 回応用物理学会秋季学術講演会	2014	9/17
350	藪崎 勝也	慶應義塾大学	非平衡グリーン関数を用いたグラフェンナリボン配線伝導特性へのエッジ揺らぎ効果の第一原理計算	第 75 回応用物理学会秋季学術講演会	2014	9/17
351	小池 帆平	産総研	SOTB トランジスタを用いた 2 つ目の Flex Power FPGA チップについて	電子情報通信学会リコンフィギュラブル研究会	2014	9/18
352	田井 光春	LEAP	TRAM (topological-switching RAM) デバイスの熱安定性評価	第 75 回応用物理学会秋季学術講演会	2014	9/18
353	水谷 朋子	東京大学生研	完全空乏型 Silicon-on-Thin-BOX (SOTB) SRAM セルにおける最低動作電圧 (V _{min}) の統計的解析	第 75 回応用物理学会秋季学術講演会	2014	9/18
354	田中 克久	東京大学生研	完全空乏型 Silicon-on-Thin-BOX (SOTB) MOSFET および Bulk MOSFET における特性ばらつき系の系統的統計的解析	第 75 回応用物理学会秋季学術講演会	2014	9/18
355	古峰 祐樹	東京大学生研	Bulk MOSFET と SOTB MOSFET におけるランダムテレグラフノイズ(RTN)の統計分布比較	第 75 回応用物理学会秋季学術講演会	2014	9/18
356	川上 誠純	東京大学生研	微細バルクトランジスタの線形領域と飽和領域におけるランダムテレグラフノイズ(RTN) の統計分布解析	第 75 回応用物理学会秋季学術講演会	2014	9/18

番号	発表者	所属	タイトル	発表誌名、ページ番号	発表年	月日
357	伊東 伴	LEAP	ピア内カーボンナノチューブ選択成長のためのCMP プロセス開発	第 75 回応用物理学会秋季学術講演会	2014	9/19
358	松本 勇士	芝浦工業大学	臭素ドーパ多層グラフェン配線のためのパッシベーション膜の検討	第 75 回応用物理学会秋季学術講演会	2014	9/19
359	青木 正樹	LEAP	垂直磁化 MTJ を積層した多値 MRAM 素子	第 75 回応用物理学会秋季学術講演会	2014	9/20
360	岸田 亮	京都工芸繊維大学	アンテナ形状の違いによる初期周波数劣化の評価	電子情報通信学会ソサイエティ大会	2014	9/23
361	大島 梓	京都工芸繊維大学	アンテナダメージによる初期発振周波数劣化測定から求めたしきい値電圧変動の評価	電子情報通信学会ソサイエティ大会	2014	9/23
362	山口 潤己	京都工芸繊維大学	回路構造によるフリップフロップのソフトエラー耐性評価	電子情報通信学会ソサイエティ大会	2014	9/24
363	山崎 雄一	LEAP	Graphene nanoribbon growth on high-thermostability metal wire by low temperature plasma chemical vapor deposition	Recent Progress in Graphene Research (RPGR) 2014	2014	9/24
364	大柳 孝純	LEAP	[Sb ₂ Te ₃ /GeTe]超格子膜からなる TRAM (Topological switching RAM) における Gete 配列とスイッチング動作	2014 年 電気化学秋季大会	2014	9/27
365	内田 昂紀	芝浦工業大学	配線応用のためのエタノール原料を用いた Co 触媒上の多層グラフェン成長	2014 年 電気化学秋季大会	2014	9/27
366	蒲原 史朗	LEAP	Ultralow-Voltage Design and Technology of Silicon-on-Thin-Buried-Oxide (SOTB) CMOS for Highly Energy Efficient Electronics in IoT Era	Semicon Europe	2014	10/7
367	大柳 孝純	LEAP	Non-Melting Phase Change Memory - Topological - Switching RAM (TRAM)	226th ECS Meeting	2014	10/8
368	Hoang MINH THIEN	電気通信大学	A 53 μ W-82dBm Sensitivity 920MHz OOK Receiver Design Using Bias Switch Technique on 65nm SOTB CMOS Technology	IEEE S3S Conference 2014	2014	10/7
369	永富 弘樹	電気通信大学	A 36nA Thermal Run-away Immune VBB Generator Using Dynamic Substrate Controlled Charge Pump for Ultra Low Sleep Current Logic on 65nm	IEEE S3S Conference 2014	2014	10/7
370	橋本 昌宜	大阪大学	Toward Robust Subthreshold Circuit Design : Variability and Soft Error Perspective - on SOTB and bulk 0.4 V SRAMs (Invited)	IEEE S3S Conference 2014	2014	10/7
371	小笠原 泰弘	産総研	Near-0.1V Ultra-low Voltage Operation of SOTB 1M Logic Gates	IEEE S3S Conference 2014	2014	10/8
372	小池 帆平	産総研	More than An Order of Magnitude Energy Improvement of FPGA by Combining 0.4V Operation and Multi-Vt Optimization of 20k Body Bias Domains	IEEE S3S Conference 2014	2014	10/9
373	北森 邦明	慶應義塾大学	SOTB を用いたマイコンの電力最適化	電子情報通信学会コンピュータシステム研究会	2014	10/10

番号	発表者	所属	タイトル	発表誌名、ページ番号	発表年	月日
374	榎山 秀樹	LEAP	超低電圧 0.4V 動作 SOTB-CMOS 回路のダイ間遅延ばらつきを抑制する基板バイアス制御技術 (招待講演)	シリコン材料・デバイス研究会 (SDM)	2014	10/17
375	住広 直孝	LEAP	nbASIC---原子スイッチで構成されるプログラマブルロジック---	第 31 回 低消費電力・高速 LSI 技術懇談会	2014	10/20
376	射場 義久	LEAP	システム LSI 混載用スピン注入型 MRAM の高性能化技術	応用電子物性分科学研究例会「次世代不揮発メモリの最前線」	2014	10/21
377	宮崎 久生	LEAP	Estimation of requirements for sub-10-nm-wide graphene interconnect	Advanced Metallization Conference 2014	2014	10/23
378	磯林 厚伸	LEAP	CNT Via Integration with Highly Dense and Selective CNT Growth	Advanced Metallization Conference 2014	2014	10/23
379	松本 勇士	芝浦工業大学	Passivation of Bromine-Doped Multilayer Graphene for Interconnect Applications	Advanced Metallization Conference 2014	2014	10/23
380	張 利	LEAP	Direct Imaging and Nano-Probing of Graphene Sheets for Interconnects by Conductive Atomic Force Microscopy	Advanced Metallization Conference 2014	2014	10/23
381	三澤 太一	慶應義塾大学	Monte Carlo Simulation of Graphene Nanoribbon Interconnects using Real Space Edge Roughness Model	Advanced Metallization Conference 2014	2014	10/23
382	岡本 浩一郎	LEAP	Logic Compatible Process Technology for Embedded Atom Switches in CMOS	Advanced Metallization Conference 2014	2014	10/23
383	小池 帆平	産総研	Flex power FPGA-Ultra-low-power-FPGA with Fine-Grained Threshold Voltage Programmability	12th International System-on-chip Conference Exhibit & Workshops	2014	10/23
384	田井 光春	LEAP	Fabrication Process of Pillar-type GeTe/Sb ₂ Te ₃ Super-lattice Topological Switching Random Access Memory (TRAM)	Advanced Metallization Conference 2014	2014	10/24
385	高浦 則克	LEAP	Fabrication of Topological-Switching RAM (INVITED)	NVMTS2014	2014	10/28
386	伴野 直樹	LEAP	A Fast and Low-Voltage Cu Complementary-Atom-Switch 1Mb Array with High-Temperature Retention	4th International Workshop on Resistive Memories	2014	10/28
387	増原 利明	LEAP	IoT,ウェアラブル機器を展望した半導体デバイスと材料	東京大学 工学部マテリアル工学科	2014	10/29
388	邱 浩	東京大学生研	Statistical Analysis of Four Write Stability Metrics in Fully Depleted Silicon-on-Thin-BOX (SOTB) and Bulk SRAM Cells at Low Supply Voltage	ICSICT	2014	10/30
389	津寄 陽亮	LEAP	Temperature dependence of magnetoresistance in magnetic tunnel junction with CoFeB sensing layer capped with MgO film for sensor applications	59th Annual Magnetism & Magnetic materials Conference	2014	11/4
390	岸田 亮	京都工芸繊維大学	Initial Frequency Degradation and Variation on Ring Oscillators from Plasma Induced Damage in Fully-Depleted Silicon on Insulator Process	VMC2015 (ICCAD 後に行われるサテライトワークショップ)	2014	11/6

番号	発表者	所属	タイトル	発表誌名、ページ番号	発表年	月日
391	塩野谷 雅仁	電気通信大学	位相同期ループに向けた電圧制御発振器の性能向上	2014 年 旭化成 学術シンポジウム	2014	11/8
392	張 利	LEAP	導電性原子間力顕微鏡(C-AFM)による配線向け多層グラフェンの微視的抵抗二次元分布及び配線抵抗評価	第 34 回 ナノテスティングシンポジウム	2014	11/14
393	Minh-Thien HOANG	電気通信大学	A 0.75V 0.574mW 2.16GHz - 3.2GHz Differential Multipass Ring Oscillator on 65nm SOTB CMOS Technology	ICDV2014	2014	11/14
394	石橋 孝一郎	電気通信大学	Perpetuum-Mobile Sensor Network Systems using a CPU on 65nm SOTB CMOS Technology (Invited)	ICDV2014	2014	11/14
395	作田 賢志朗	大阪大学(九州大学)	Anayisis of Single Event Upsets Induced by Alpha Particles in Silicon-on-Thin-BOX CMOSFET	CSS-EES116(Cross Straits Symposium on Energy and Environmental Science and Technology)	2014	11/14
396	蒲原 史朗	LEAP	Ultralow-Voltage Design and Technology of Silicon-on Thin-Buried-Oxide (SOTB) CMOS for Highly Energy Efficient Electronics in IoT Era	International Workshop on Advanced Solid-State Circuits in Kyoto	2014	11/17
397	伊東 伴	LEAP	CMP process for selectively-grown carbon nanotubes in via structure	International Conference on Planarization/CMP Technology (ICPT2014)	2014	11/20
398	奥原 颯	慶應義塾大学	リコンフィギャラブルアーキテクチャのためのバックゲートバイアス印加時間解析	電子情報通信学会 リコンフィギャラブルシステム研究会 デザインガイア	2014	11/26
399	曾根崎 詠二	京都工芸繊維大学	65nm 薄膜 BOX-SOI とバルクプロセスにおける SET パルス幅の電圧依存性の評価	電子情報通信学会 VLSI 設計技術研究会(デザインガイア)	2014	11/26
400	高浦 則克	LEAP	ストレージクラスメモリの展望と抵抗変化型不揮発メモリによる低電圧化限界への挑戦	STRJ ワークショップ	2014	11/27
401	松本 貴士	LEAP	Investigation on a correlation between crystal orientation and electric properties of 300mm wafer scale multi-layer graphene	2014 MRS Fall Meeting & Exhibit	2014	12/2
402	岸田 亮	京都工芸繊維大学	65nm プロセスにおけるアンテナダメージによる経年劣化の測定と評価	ICD 研究会	2014	12/2
403	大柳 孝純	LEAP	XRD analysis TRAM composed from (Sb ₂ Te ₃ /GeTe) Superlattice film and its switching characteristics	2014 MRS Fall Meeting & Exhibit	2014	12/3
404	西田 靖孝	LEAP	First-principles study of electronic transport properties of graphene nanoribbons with pentagon-heptagon (5-7) line defects	2014 MRS Fall Meeting & Exhibit	2014	12/4
405	藤田 悠	慶應義塾大学	Image Processing by a 0.3V 2MW Coarse-Grained Reconfigurable Accelerator CMA-SOTB with a Solar Battery	ICFPT2014	2014	12/10
406	山本 芳樹	LEAP	Small Variability and Its Mechanism of Poly-Si/High-k/SiON Gate Stack For Silicon on Thin BOX (SOTB) Transistor	45th IEEE Semiconductor Interface Specialists Conference	2014	12/11
407	角田 浩司	LEAP	Area Dependence of Thermal Stability Factor in Perpendicular STT-MRAM Analyzed by Bi-directional Data Flipping Model	2014 International Electron Devices Meeting	2014	12/16

番号	発表者	所属	タイトル	発表誌名、ページ番号	発表年	月日
408	高浦 則克	LEAP	55- μ A Ge _x Te _{1-x} /Sb ₂ Te ₃ Superlattice Topological-switching Random-access Memory (TRAM) and Study of Atomic Arrangement in Ge-Te and Sb-Te Structures	2014 International Electron Devices Meeting	2014	12/17
409	張 利	LEAP	導電性原子間力顕微鏡(C-AFM)による配線向け多層グラフェンの微視的抵抗二次元分布及び配線抵抗評価	STRJ WG14 (Metrology) 会議	2014	12/19
410	杉井 信之	LEAP	Ultralow-Power System Design Based on Silicon-on-Thin-Buried-Oxide (SOTB) Technology	20th Asia and South Pacific Design Automation Conference (ASP-DAC2015), Tutorial	2015	1/19
411	蒲原 史朗	LEAP	Ultralow-Voltage Design and Technology of Silicon-on-Thin-Buried-Oxide(SOTB)CMOS for Highly Energy Efficient Electronics in IoT Era	ICDREC seminar	2015	1/19
412	熊谷 勇一	芝浦工業大学	Power Gating for FDSOI using Dynamically Body-Biased Power Switch	EUROSOI-ULIS	2015	1/26
413	中村 昌平	芝浦工業大学	Measurement of the Minimum Energy Point in Silicon on Thin-BOX (SOTB) and Bulk MOSFET	EUROSOI-ULIS	2015	1/28
414	小坂 翼	芝浦工業大学	薄膜 BOX-SOI を用いた基板バイアス印加温度センサの検討	VLSI 設計技術研究会	2015	1/29
415	高戸 真之	名古屋大学	第一原理計算による超格子 GeTe/Sb ₂ Te ₃ を用いた相変化メモリ (TRAM) のスイッチングメカニズムの検討	第 20 回ゲートスタック研究会	2015	1/31
416	高浦 則克	LEAP	IEDM 2014 最先端デバイス・メモリのさらなる進化	SEAJ	2015	2/15
417	白 旭	LEAP	Architecture of Reconfigurable-Logic Cell Array with Atom Switch:Cluster Size & Routing Fabrics	23rd ACM/SIGDA International Symposium on Field-Programmable Gate Arrays	2015	2/23
418	伊東 伴	LEAP	ビア内カーボンナノチューブ選択成長のための CMP プロセス開発	「プラナリゼーション CMP とその応用技術専門委員会」第 139 回研究会	2015	2/23
419	宮村 信	LEAP	Low-active power of 17 μ W/MHz, zero-sleep power programmable logic using BEOL nonvolatile configuration switch	23rd ACM/SIGDA International Symposium on Field-Programmable Gate Arrays	2015	2/24
420	小池 帆平	産総研	FPGA Development with Emerging Research Devices	2015 ITRS ERD	2015	2/26
421	梶田 明広	LEAP	選択成長を用いた CNT ビアのインテグレーション	応用物理学会 シリコンテクノロジー分科会 多層配線システム研究委員会 第 180 回研究集会	2015	3/2
422	角田 浩司	LEAP	双方向遷移モデルを用いた垂直磁化型 STT-MRAM における熱安定性の面積依存性評価	集積回路研究会 (シリコン材料・デバイス研究会)	2015	3/2
423	川崎 純	芝浦工業大学	薄膜 BOX-SOI における論理合成対象電圧の選択によるエネルギー最小化	電子情報通信学会 VLSI 設計技術研究会 (VLD)	2015	3/4
424	藤田 悠	慶應義塾大学	低電力リコンフィギャラブルアクセラレータ CMA-SOTB の電力最適化	電子情報通信学会コンピュータシステム研究会	2015	3/7

番号	発表者	所属	タイトル	発表誌名、ページ番号	発表年	月日
425	鈴木 拓也	慶應義塾大学	Study on Low Temperature CVD Growth Mechanism of Multi-layer Graphene on Single Crystal Ni(111) Wafer and Polycrystalline Ni Thin Film with Artificial Facets	29th International Winterschool on the Electronic Properties of Novel Materials	2015	3/9
426	小方 貴雅	慶應義塾大学	Electrical Properties of Palladium Carbide End-Contacts for Multi-Layered Graphene for Next Generation LSI Interconnects	29th International Winterschool on the Electronic Properties of Novel Materials	2015	3/9
427	三澤 太一	慶應義塾大学	Monte Carlo simulations of line width dependence of carrier transport properties in graphene nanoribbon interconnects with real space edge roughness	29th International Winterschool on Electronic Properties of Novel Materials (IWEPNM)	2015	3/9
428	佐野 翔太	芝浦工業大学	Cu キャップ層を持つ Co 触媒からの固相析出による多層グラフェン形成	2015 年 第 62 回応用物理学会 春季学術講演会	2015	3/11
429	青笹 明彦	芝浦工業大学	無電解めっき NiB 触媒を用いた熱 CVD によるナノカーボンの形成	2015 年 第 62 回応用物理学会 春季学術講演会	2015	3/11
430	水谷 朋子	東京大学生研	完全欠乏型 Silicon-on-Thin-BOX (SOTB)SRAM における異常不安定セルの最低動作電圧 (V_{min})の詳細解析	2015 年 第 62 回応用物理学会 春季学術講演会	2015	3/12
431	Hao Qiu	東京大学生研	Statistical Analysis of Four Write Stability Metrics in Fully Depleted Silicon-on-Thin-BOX (SOTB) SRAM Cells at Low Supply Voltage Down to 0.4V	2015 年 第 62 回応用物理学会 春季学術講演会	2015	3/12
432	Hao Qiu	東京大学生研	Measurements and Statistical Comparison of Four Write Stability Metrics in Bulk CMOS SRAM Cells	2015 年 第 62 回応用物理学会 春季学術講演会	2015	3/12
433	奥原 颯	慶應義塾大学	Time Analysis of Applying Back Gate Bias for Reconfigurable Architectures with SOTB MOSFET	The 19th Workshop on System Integration of Mixed Information Technologies	2015	3/17
434	小笠原 泰弘	産総研	Measurement of V_{th} due to STI Stress and Inverse Narrow Channel Effect at Ultra-Low Voltage in a Variability-Suppressed Process	IEEE International Confrence on Microelectronic Test Structures (ICMTS)	2015	3/25
435	小笠原 泰弘	産総研	Reduction of Overhead in Adaptive Body Bias Technology due to Triple-well Structure based on Measurement and Simulation	IEEE International Confrence on Microelectronic Test Structures (ICMTS)	2015	3/26
436	多田 宗弘	LEAP	Innovation of BEOL Devices for Energy Efficient Computing (Invited)	2015 MRS Spring Meeting & Exhibit	2015	4/8
437	阪本 利司	LEAP	0.39-V, 18.26- μ W/MHz SOTB CMOS Microcontroller with Embedded Atom-Switch ROM	COOL Chips XVIII	2015	4/15
438	奥原 颯	慶應義塾大学	A Leakage Current Monitor Circuit Using Silicon on Thin BOX MOSFET for Dynamic Back Gate Bias Control	COOL Chips XVIII	2015	4/15
439	増山 滉一朗	慶應義塾大学	Ultra Low Power Reconfigurable Accelerator CMA-SOTB-2	COOL Chips XVIII	2015	4/15
440	高浦則克	日立	Ge 欠陥系超格子を用いた Topological-switching random access memory (TRAM)	ICD2015	2015	4/17
441	岸田 亮	京都工芸繊維大学	Negative Bias Temperature Instability Caused by Plasma Induced Damage in 65 nm Bulk and Silicon On Thin BOX (SOTB) Processes	IRPS2015	2015	4/22

番号	発表者	所属	タイトル	発表誌名、ページ番号	発表年	月日
442	ワン モハマト [*] アイ ズテイン ビン ワン モハマト [*]	慶應義 塾大学	Molecular Dynamics and Ab-initio Calculations on Stability and Doping Effects of Intercalated Graphene Nano-Ribbons for Future Low Resistivity Interconnects	INC11	2015	5/11
443	石倉 太志	LEAP	Electrical Properties of 30 nm Width Bi-Layer Interconnects of Multi Layer Graphene and Ni	2015 IITC/AMC	2015	5/18
444	佐野 翔太	芝浦工 業大学	Enhanced Direct Growth of Multilayer Graphene on SiO ₂ by Annealing Carbon doped Cobalt with Copper Capping Layer	2015 IITC/AMC	2015	5/18
445	藪崎 勝也	慶應義 塾大学	Ab-initio calculations of edge roughness effects on electrical properties of graphene nanoribbon interconnects using non-equilibrium Green's function	2015 IITC/AMC	2015	5/18
446	Hao Qiu	東京大 学生研	Impact of random telegraph noise on write stability in Silicon-on-Thin-BOX (SOTB) SRAM cells at low supply voltage in sub-0.4V regime	VLSI Tech.2015	2015	6/16
447	田井光春	日立	A 50-nm 1.2-V Ge _x Te _{1-x} /Sb ₂ Te ₃ Superlattice Topological-Switching Random-access Memory (TRAM)	VLSI Tech.2015	2015	6/17
448	辻 幸秀	LEAP	Sub- μ W standby power, <18 μ W/DMIPS@25MHz MCU with embedded atom-switch programmable logic and ROM.	VLSI Tech.2015	2015	6/17
449	山本芳樹	LEAP	Impact of random telegraph noise on write stability in Silicon-on-Thin-BOX (SOTB) SRAM cells at low supply voltage in sub-0.4V regime	VLSI Tech.2015	2015	6/18
450	高浦則克	日立	Device technologies of Ge _x Te _{1-x} /Sb ₂ Te ₃ topological switching random access memory (TRAM)	AWAD2015	2015	6/29
451	高浦則克	日立	GeTe/Sb ₂ Te ₃ 超格子を用いた相変化デバイスの 研究	第 79 回半導体集積回路シンポ ジウム	2015	7/10
452	吉田 親子	富士通	追参加処理 MgO バリア MTJ の TMR 特性と界 面元素拡散	第 39 回日本磁気学会学術講演 会	2015	9/9
453	松本貴士	東京エ レクトロ ン	Low-temperature synthesis of highly crystalline multi-layer graphene by using of the preferred orientation controlled Ni catalytic film	ICDCM2015	2015	9/9
454	栗野祐二	慶應義 塾大学	Nano-Carbon Interconnect Technologies for LSIs: Important Considerations of Edge Control	The 49th Fullerenes-Nanotubes-Graphene General Symposium	2015	9/9
455	高浦則克	日立	Ge _x Te _{1-x} /Sb ₂ Te ₃ topological-switching random-access memory (TRAM)	EPCOS2015 CSL Workshop	2015	9/9
456	吉田 親子	富士通	追参加処理 MgO バリア MTJ の繰り返し書き換 え耐性	第 76 回応用物理学会秋季学術 講演会	2015	9/13
457	河本啓輔	芝浦工 業大学	臭素ドーブ多層グラフェンの安定性	第 76 回応用物理学会秋季学術 講演会	2015	9/13
458	富田貢丞	芝浦工 業大学	常圧 CVD によるカーボンナノチューブの形成	第 76 回応用物理学会秋季学術 講演会	2015	9/13

番号	発表者	所属	タイトル	発表誌名、ページ番号	発表年	月日
459	斎藤達朗	東芝	Ni 細線上へのグラフェン選択形成条件の検討	第 76 回応用物理学会秋季学術講演会	2015	9/14
460	片桐雅之	東芝	Resistivity Reduction of Multilayer Graphene Interconnects Prepared by Low-Temperature Chemical Vapor Deposition	Advanced Metallization Conference 2015	2015	9/18
461	杉井 寿博	富士通	Process Development of STT-MRAM for Embedded Cache Memory	2015 International Conference on Solid State Devices and Materials, Short Course	2015	9/27
462	宮崎久生	東芝	Intercalation Doping with Metal Chlorides in Low-Temperature-Grown Multilayer CVD Graphene for Interconnect Applications	SSDM2015	2015	9/28
463	水谷 朋子	東京大学生研	Transistor-level Characterization of SRAM Bit Failures Induced by Random Telegraph Noise	SSDM 2015	2015	9/29
464	Kuiyuan Zhang	京都工芸繊維大学	Estimation of Soft Error Tolerance according to the Thickness of Buried Oxide and Body Bias 28-nm and 65-nm in FD-SOI Processes by a Monte-Carlo Simulation	SSDM 2015	2015	9/30
465	石橋 孝一郎	電気通信大学	Designs of Ultra-Low-Power and Ultra-Low-Leakage 65nm-SOTB LSI for IoT Applications	IEEE S3S Conference 2015, Short Course (Invited)	2015	10/5
466	高浦則克	日立	What does IoT mean for Si technology?	S3S IEEE Conference Rump Session	2015	10/7
467	小池 帆平	産総研	The Missing XDXMOS Found! - A SOTB Circuit Acceleration Technique Using Front and Back Gate Interaction -	IEEE S3S Conference 2015	2015	10/8
468	高浦則克	日立	Ge _x Te _{1-x} /Sb ₂ Te ₃ superlattice topological-switching random-access memory	NVMTS2015	2015	10/13
469	杉井 寿博	富士通	Nanofabrication Technique for High Density Magnetic RAMs	28 th International Microprocesses and Nanotechnology Conference	2015	11/13
470	高浦則克	日立	Ge _x Te _{1-x} /Sb ₂ Te ₃ topological switching random access memory (TRAM)	IWDTF2015	2015	11/3
471	井福亮太	東京エレクトロン	Relationship between in-plane crystallinity and stacking order of 300mm wafer scale multi-layer graphene	2015 MRS Fall Meeting & Exhibit	2015	11/30
472	高戸真之	名大	First principles examination of the switching mechanism of the phase change memory (TRAM) using superlattice GeTe/Sb ₂ Te ₃	46th IEEE Semiconductor Interface Specialists Conference	2015	12/2
473	栗野祐二	慶應義塾大学	Present Status and Future Prospects of Nano-Carbon Interconnect Technologies for LSIs	2015 International Electron Device Meeting	2015	12/8
474	白石賢二	名大	First principles examination of the switching mechanism of the phase change memory (TRAM) using superlattice GeTe/Sb ₂ Te ₃ Theoretical studies of the switching mechanism of the topological switching memory (TRAM) using superlattice GeTe/Sb ₂ Te ₃ phase change memories	2016MRS Spring Meeting	2016	3/28

【論文】

番号	発表者	所属	タイトル	発表誌名 ページ番号	投稿年	発表 年月日
1	吉田 親子	LEAP	Micromagnetic study of Current Pulse Induced Magnetization Switching in Magnetic Tunnel junction with Antiferromagnetically and Ferromagnetically Coupled Synthetic free layers	Applied Physics Letters, Volume99, Issue22, 222505	2011	2011/11
2	山崎 雄一	LEAP	Low-temperature graphene growth originating at crystalline facets of catalytic metal	Applied Physics Express, Volume5 ,Number2, 025101	2011	2012/02
3	吉田 親子	LEAP	Correlation Between Microstructure and Electromagnetic Properties in Magnetic Tunnel Junctions with Naturally Oxidized MgO Barrier	Journal of Applied Physics, Volume111, Issue7 , 07C716	2011	2012/04
4	斎藤 達朗	LEAP	A Study on Electrical Resistance of Carbon Nanotubes and Their Metal Contacts Using Simplified Test Structure	Japanese Journal of Applied Physics, Volume51, Number5S, 05ED01	2011	2012/05
5	片桐 雅之	LEAP	Fabrication and Characterization of Planarized Carbon Nanotube Via Interconnects	Japanese Journal of Applied Physics, Volume51, Number5S, 05ED02	2011	2012/05
6	多田 宗弘	LEAP	Improved Off-state Reliability of Nonvolatile Resistive Switch With low Programming Voltage	IEEE Transactions on Electron Devices, Volume59, Issue9, pp.2357- 2362	2012	2012/09
7	A. V. Kolobov	産総研	p-Type conductivity of GeTe :The role of lone-pair electrons	Physica Status Solidi (B), Volume 249, Issue10 ,pp.1902-1906		2012/10
8	阪本 利司	LEAP	Electronic Conduction Mechanism in Atom Switch using Polymer Solid-Electrolyte	IEEE Transactions on Electron Devices, Volume59, Issue12, pp.3574 – 3577	2012	2012/12
9	上野 和良	芝浦工業大学	Heat-Resistant Co-W Catalytic Metals for Multilayer Graphene Chemical Vapor Deposition	Japanese Journal of Applied Physics, Volume52, Number4S, 04CB04		2013/04
10	水谷 朋子	東京大学 生研	Statistical Analysis of Subthreshold Swing in Fully Depleted Silicon-on-Thin-BOX (SOTB) MOSFETs and Bulk MOSFETs	Japanese Journal of Applied Physics, Volume52, Number4S, 04CC02		2013/04
11	上野 和良	芝浦工業大学	Low-Resistance Metal Contacts for Nanocarbon / Cobalt Interconnects	Japanese Journal of Applied Physics, Volume52, Number5S3, 05FD01		2013/05
12	大柳 孝純	LEAP	Superlattice Phase Change Memory Fabrication Process for Back End of Line Devices	Japanese Journal of Applied Physics, Volume52, Number5S3, 05FF01		2013/05
13	伊藤 和幸	慶應義塾大学	Electrical Resistivity Measurements of Layer Number Determined Multilayer Graphene Wiring for Future Large Scale Integrated Circuit Interconnects	Japanese Journal of Applied Physics, Volume52, Number6S, 06GD08		2013/06
14	吉田 親子	LEAP	Enhanced Thermal Stability in Perpendicular Top-pinned Magnetic Tunnel Junction with Synthetic Antiferromagnetic Free Layers	IEEE Transactions on Magnetics, Volume49, Issue7,pp.4363- 4366		2013/07
15	長永 隆志	LEAP	MgO based magnetic tunnel junctions with Co ₂₀ Fe ₆₀ B ₂₀ sensing layer for magnetic field sensors	IEEE Transactions on Magnetics, Volume49, Issue7, pp.3878- 3881		2013/07
16	多田 宗弘	LEAP	Improved On-state Reliability of Atom Switch using Alloy Electrodes	IEEE Transactions on Electron Devices, Volume60, Issue10, pp.3534 - 3540	2013	2013/10

番号	発表者	所属	タイトル	発表誌名 ページ番号	投稿年	発表 年月日
17	多田 宗弘	LEAP	Three-terminal Nonvolatile Resistive-change Device integrated in Cu-BEOL	IEEE Transactions on Electron Devices, Volume61, Issue2, pp.505- 510	2013	2014/02
18	齊藤 雄太	産総研	Ab-initio calculations and structural studies of (SiTe) ₂ (Sb ₂ Te ₃) _n (n:1,2,4 and 6) phase-change superlattice films	Physica Status Solidi RRL (Rapid Research Letters), Volume8, Issue4, pp.302-306	2014	2014/04
19	横山 秀樹	LEAP	Speed enhancement at V _{dd} = 0.4 V and random τ_{pd} variability reduction and analysis of τ_{pd} variability of silicon on thin buried oxide circuits	Japanese Journal of Applied Physics, Volume.53, Number .4S, 04EC07	2013	2014/04
20	水谷 朋子	東京 大学 生研	Comparison and Distribution of Minimum Operation Voltage (V _{min}) in Fully Depleted Silicon-on-Thin-BOX (SOTB) and Bulk SRAM Cells	Japanese Journal of Applied Physics, Volume.53, Number .4S, 04EC18	2013	2014/04
21	上口 光	中央 大学	NAND Phase Change Memory with Block-Erase Architecture and Pass-Transistor Design Requirements for Write and Disturbance	IEICE Transactions on Electronics, Volume E97-C No.4 , pp.351-359	2014	2014/04
22	上口 光	中央 大学	A Temperature Tracking Read Reference Current and Write Voltage Generator for Multi-Level Phase Change Memories	IEICE Transactions on Electronics, Volume E97-C No.4, pp.342-350	2014	2014/04
23	上野 和良	芝浦 工業 大学	Bromine Doping of Multilayer Graphene for Low Resistance Interconnects	Japanese Journal of Applied Physics, Volume53 Number 5S2, 05GC02	2013	2014/05
24	長永 隆志	LEAP	Magnetic tunnel junctions for highly sensitive magnetic field sensor by using CoFeB sensing layer capped with MgO film	Journal of Applied Physics, Volume 115, Issue 17, 17E524	2013	2014/05
25	大柳 孝純	LEAP	GeTe sequences in superlattice phase change memories and their electrical characteristics	Applied Physics Letter, volume 104, Issue 25, 252106	2014	2014/06
26	杉井 信之	LEAP	Ultralow-power SOTB CMOS Technology Operating Down to 0.4 V	Journal of Low Power Electronics and Applications (JLPEA), Volume4, Issue2, pp.65-76	2014	2014/06
27	小林 和淑	京都工 芸繊維 大学	A Low-Power and Area-Efficient Radiation-Hard Redundant Flip-Flop, DICE ACFF , in a 65 nm Thin-BOX FD-SOI	Transactions of Nuclear Science, Volume61, Issue4, pp.1881-1888	2014	2014/08
28	日置 雅和	産総研	SOTB Implementation of a Field Programmable Gate Array with Fine-Grained V _t Programmability	Journal of Low Power Electronics and Applications (JLPEA), Volume4, Issue3, pp.188-200	2014	2014/09
29	住広 直孝	LEAP	IOT 時代に向けた超低電圧 LSI	『応用物理』第 83 巻第 10 号 p.808	2014	2014/10
30	杉井 寿博	LEAP	Integration of STT-MRAMs for Embedded Cache Memories	Advance in Science and Technology, Volume 95, pp.146-149		2014/10
31	伴野 直樹	LEAP	Improved Switching Voltage Variation of Cu Atom Switch for Nonvolatile Programmable Logic	IEEE Transactions on Electron Devices, Volume61, Issue11, pp. 3827- 3832	2014	2014/11
32	吉田 親子	LEAP	Reduction of Offset field in Top-pinned MTJ with Synthetic Antiferromagnetic Free Layer	IEEE Transactions on Magnetics, Volume50, Issue11, 3401804	2014	2014/11

番号	発表者	所属	タイトル	発表誌名 ページ番号	投稿年	発表 年月日
33	梅木 洋平	神戸 大学	STT-MRAM Operating at 0.38-V Using Negative-Resistance Sense Amplifier	IEICE TRANSACTIONS on Fundamentals of Electronics, Communications and Computer Sciences, VolumeE97-A, No.12, pp.2411-2417	2014	2014/12
34	阪本 利司	LEAP	原子スイッチを用いたプログラマブルロジックデバイスの開発	超精密加工専門委員会 会誌 「超精密 Vol.20」	2014	2014/12
35	西田 靖孝	LEAP	First-principles study of chemical-edge-doping effect on transport properties of armchair-edge graphene nanoribbons	Japanese Journal of Applied Physics, Volume54, Number1, 015101	2014	2015/01
36	白石 賢二	名古屋 大学	データセンター向け SSD への適用を目指した新型 相変化デバイスの TRAM の開発に成功-新しい GeTe/Sb ₂ Te ₃ 超格子構造により高速・低電力・高信頼化を実現	電子情報通信学会誌 Vol.98, No.1, pp.63-65	2014	2015/01
37	杉井 信之	LEAP	Low-power consumption fully depleted silicon-on-insulator technology	Microelectronic Engineering, Volume 132, Pages 226–235, 2014/8/19 (on line)	2014	2015/01
38	伊藤 和幸	慶應義 塾大学	Ultra-low Contact Resistivity in Annealed Titanium Edge Contacts for Multi-layered Graphene	Applied Physics Express, Volume8, Number2, 025101	2014	2015/02
39	高浦 則克	LEAP	ITRS2013 の和訳	STRJ-ERD	2014	2015/03
40	高浦 則克	LEAP	A 4F ² -cross-point phase change memory using nano-crystalline doped GeSbTe material	Japanese Journal of Applied Physics, Volume54, No.4S, 04DD01	2014	2015/04
41	邱 浩	東京大 学生研	Comparison and statistical analysis of four write stability metrics in bulk CMOS SRAM cells	Japanese Journal of Applied Physics, Volume54, No.4S, 04DC09	2014	2015/04
42	水谷 朋子	東京大 学生研	Detailed analysis of minimum operation voltage (V _{min}) of extraordinarily unstable cells in fully depleted silicon-on-thin-BOX(SOTB)6T-SRAM	Japanese Journal of Applied Physics, Volume54, No.4S, 04DC16	2014	2015/04
43	岸田 亮	京都工 芸繊維 大学	Initial and long-term frequency degradation of ring oscillators caused by plasma-induced damage in 65 nm bulk and fully depleted silicon-on-insulator processes	Japanese Journal of Applied Physics, Volume54, No.4S, 04DC19		2015/04
44	古田 潤	京都工 芸繊維 大学	Radiation hardness evaluations of 65 nm fully depleted silicon on insulator and bulk processes by measuring single event transient pulse widths and single event upset rates	Japanese Journal of Applied Physics, Volume54, No.4S, 04DC15		2015/04
45	伴野 直樹	LEAP	Mechanism of OFF-State lifetime improvement in complementary atom switch	Japanese Journal of Applied Physics, Volume54, No.4S, 04DD08	2014	2015/04
46	廣川 綜一	大阪 大学	Characterizing alpha-and neutron-induced SEU and MCU on SOTB and bulk 0.4V SRAMs	IEEE Transactions on Nuclear Science, volume 62, No. 2, pp. 420-427	2014	2015/04
47	石橋 孝一郎	電気通 信大学	A Perpetuum Mobile 32bit CPU on 65nm SOTB CMOS Technology with Reverse-Body-Bias Assisted Sleep Mode	IEICE Transactions on Electronics, Vol. E98-C, No. 7, pp. 536-543	2014	2015/07
48	阪本 利司	LEAP	SWITCH APPLICATION IN PROGRAMMABLE LOGIC	Publisher:Wiley-VCH	2013	2015/

番号	発表者	所属	タイトル	発表誌名 ページ番号	投稿年	発表 年月日
49	田井 光春	LEAP	Fabrication process of pillar-type GeTe/Sb ₂ Te ₃ super-lattice topological switching random access memory (TRAM)	JJAP Special Issue (ADME TA2014)	2014	2015 掲載 予定
50	張 利	LEAP	Imaging and Nanoprobng of Graphene Layers for Interconnects by Conductive Atomic Force Microscopy	Japanese Journal of Applied Physics, Volume54, No.5S, 05EB02	2014	2015/04
51	西田 靖孝	LEAP	First-principles study of electronic transport properties of graphene nanoribbons with pentagon-heptagon (5-7) line defects	2014 MRS Fall Meeting Proceedings, mrsf14-1727-k20-02	2014	2015/01
52	多田 宗弘	LEAP	Electro/Ion-migration Reliability of ON-state Cu Atom Switch under Current-temperature Stress	IEEE Transactions on Electron Devices	2015	2015 掲載 予定
53	岡本 浩一郎	LEAP	Logic Compatible Process Technology for Embedded Atom Switches in CMOS	JJAP Special Issue (ADME TA2014)	2014	2015/05 掲 載予定
54	阪本 利司	LEAP	Low-power embedded ROM using Atom switch and Silicon-On-Thin-Buried-oxide transistor	Applied Physics Express volume 8, No. 4, 045201	2014	2015/04
55	Minh-Thien HOANG	電気通 信大学	A-76dBm Sensitivity 27.6 μW 315MHz Low-Complexity OOK Receiver with On-Off RF Front-End for Power Reduction	IEICE Electronics Express, Vol. 12, No. 7, pp. 20150206	2014	2015/04
56	小笠原 泰弘	産総研	Impact of Low-Variability SOTB Process on Ultra-Low Voltage Operation of 1 Million Logic Gates	J. Low Power Electron. Appl. 2015, 5(2), p. 116-129	2015	2015/05
57	伴野 直樹	LEAP	Steeptened Switching Slope of Cu Atom Switch by Cu ionization control Demonstrated in 1Mb Switch Array	IEEE Transactions on Electron Devices	2015	未定
58	阪本 利司	LEAP	0.39-V, 18.26-μW/MHz SOTB CMOS Microcontroller with Embedded Atom Switch ROM	IEEE Micro	2015	in press (2015/Nov/ Dec issue)

【書籍】

番号	発表者	所属	タイトル	出版社	発表 年月日
1	杉井信之	LEAP	Low-Power Electron Devices (in “Green Computing with Emerging Memory” edited by T. Kawahara and H. Mizuno). ISBN 978-1-4614-0811-6	Springer	2012
2	高浦則克	LEAP	半導体ストレージ 次世代記憶装置の最新動向 ー 速く、軽く、堅牢に	日経 BP 社	2011/07
3	高浦則克	LEAP	「半導体ストレージ 2014」相変化メモリの最新動向	日経 BP 社	2013/07
4	高浦則克	LEAP	「化学便覧 応用化学編 第7版」 19.3.2 メモリー	丸善出版株式会社	2014/01

5	杉井信之	LEAP	Silicon-on-insulator (SOI) complementary metal oxide semiconductor (CMOS) circuits for ultralow-power (ULP) applications (in "Silicon-On-Insulator (SOI) Technology, 1st Edition, Manufacture and Applications," Eds. Oleg Kononchuk and Bich-yen Nguyen (Soitec). ISBN :9780857095268	Woodhead Publishing Limited (Elsevier)	2014/06/05
6	増原利明	LEAP	Chips 2020-Vol.2 (Editor: Bernd Hoefflinger) New Vistas in Nanoelectronics Chapter 2, The Future of Low-Power Electronics. ISBN 978-3-319-22093-2	Springer, Editor: Bernd Hoefflinger	2015/09