

「次世代半導体微細加工・評価基盤技術の開発」

(研究事業期間 : 2010年度～2015年度 [6年間])

(事後評価)

プロジェクトの概要 (公開)

「事業の位置づけ・必要性」及び「研究開発マネジメント」

NEDO

IoT推進部

2016年6月21日

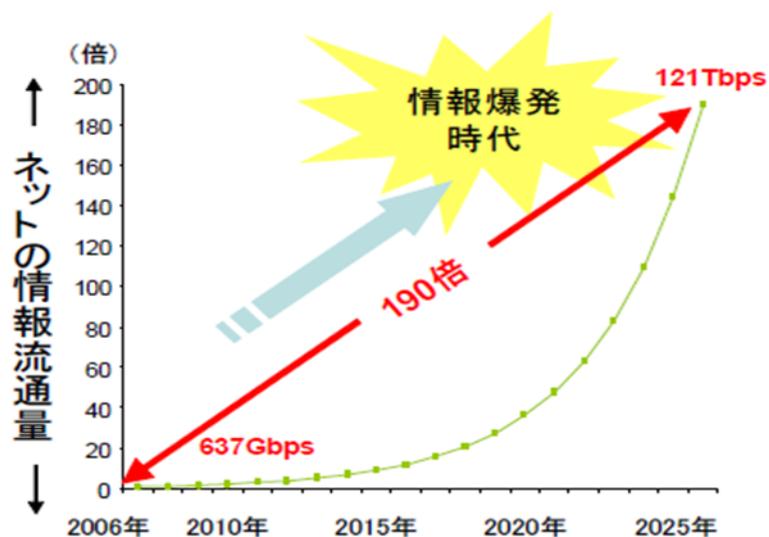
目次

- I. 事業の位置づけ・必要性 (NEDO)
- II. 研究開発マネジメント (NEDO)
- III. 研究開発成果 (森 PL)
- IV. 成果の実用化・事業化に向けた
取り組み及び見通し (森 PL)

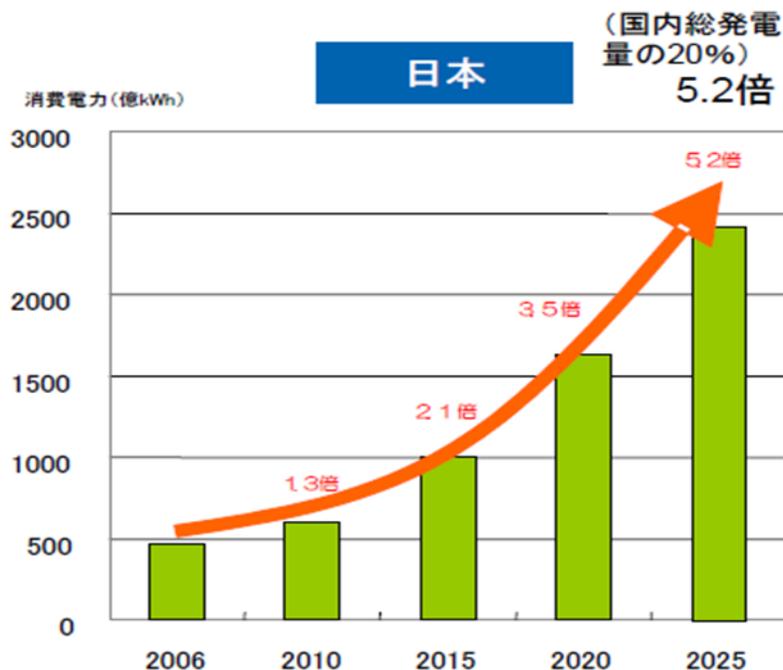
背景と事業の目的（1）

I T機器の省エネ化

情報爆発時代の到来



IT機器の消費電力量が急増



I T機器の消費電力抑制が必須であり、その基幹部品である半導体デバイスの低消費電力化は喫緊の課題

背景と事業の目的（2）

半導体デバイスの低消費電力化
へのアプローチ

デバイスプロセスの微細化

回路線幅
(素子寸法) 1/2倍



消費電力1/4倍
速度2倍
容量4倍

(例)フラッシュメモリ



2000年 線幅90nm
記憶容量: ~512MB

消費電力 1/20
容 量 1000倍

2013年 線幅19nm
記憶容量: ~512GB

(※記憶容量は、半導体の大きさにより異なる)

線幅90nm→11nm 消費電力1/100
が期待できる

次世代EUV(極端紫外線)露光技術を開発実用化して
世界最小(11nm以下)の微細化プロセス技術を確立

政策上の位置付け

我が国の半導体関連産業の国際競争力強化のため、極低電力LSIの実現に不可欠な半導体構造の微細化に対応できる半導体デバイスプロセス基盤技術を確立することを目的として「ITイノベーションプログラム」の一環として実施する。

産業技術
政策
(政府全体)

第3期科学技術
基本計画

- 継続的イノベーションを具現化するための科学技術の研究開発基盤の実現
- 革新的IT技術による産業の持続的な発展の実現
- すべての国民がITの恩恵を実感できる社会の実現

IT新改革戦略

- いつでも、どこでも、誰でもITの恩恵を実感できる社会の実現

実行
プログラム
(経済産業省)

ITイノベーションプログラム

I. ITコア技術の革新

[i] 世界最先端デバイスの先導開発

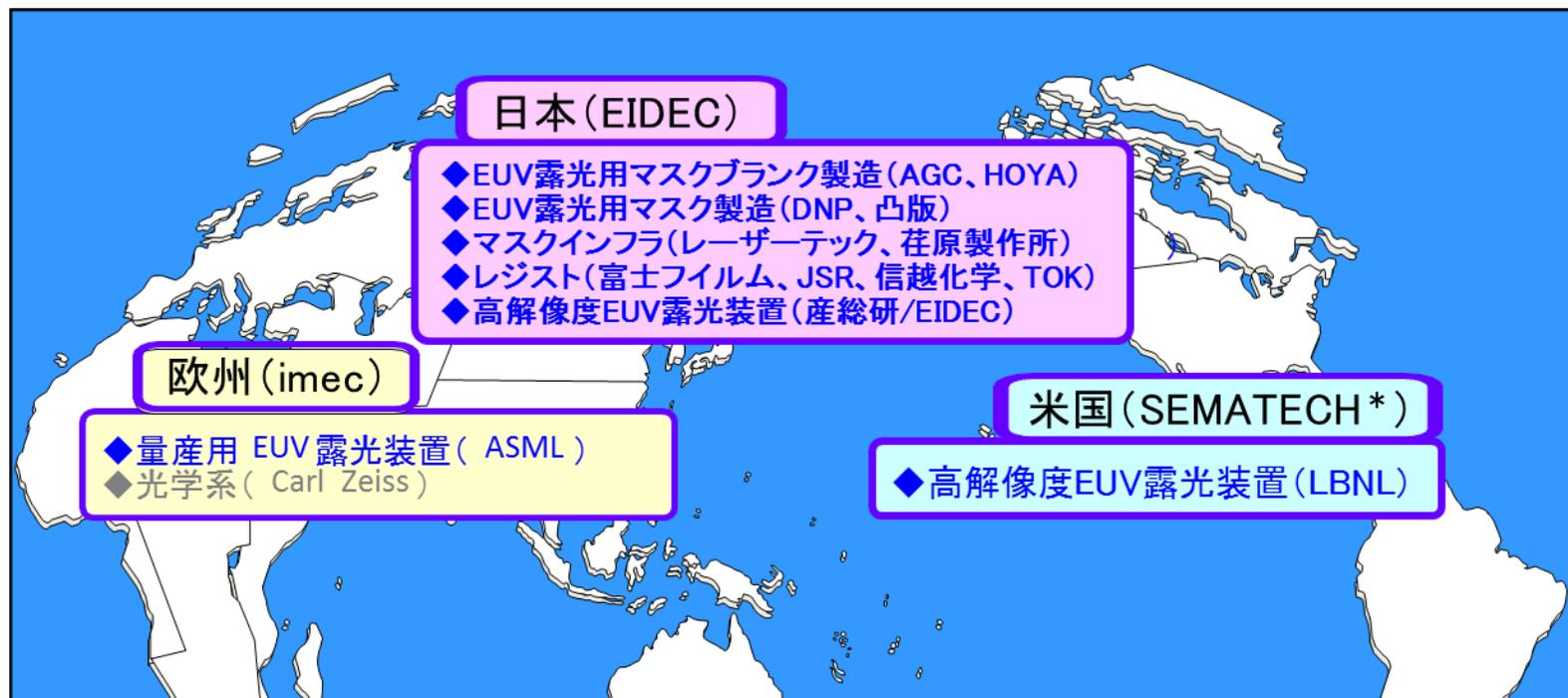
ドリームチップ開発プロジェクト

低炭素社会を実現する超低電力デバイスプロジェクト

次世代半導体微細加工・評価基盤技術の開発

他研究機関の開発状況

EUV技術開発における三極の棲み分け



膨大な開発コストがかかることから、EUVリソグラフィ技術は特定の企業や国家では開発しきれない。
課題毎に強みの有る極に世界の企業が集まって、共同開発することが必須。



米国コンソーシアム SEMATECHは、ブランク欠陥検査については日本のメーカーに任せる意向を表明している。(* SEMSTECHは現在ではSUNY Polytechnic Institute.に吸収されている。)

EUVリソグラフィ技術開発において、特にマスクとレジストに関する世界的な研究開発拠点を日本国内に存在させる意義は大きい

NEDO中期計画上の位置付け

「高度な情報通信社会の実現」、「IT産業の国際競争力の強化」のため、
情報技術開発分野の半導体における技術開発の一環として実施

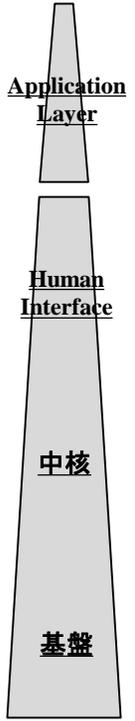
第3期中期計画（2013年-2017年）においても継承

●高度情報通信社会とそれを支える技術分野

電子政府、シミュレーション

IPを用いた各種のアプリケーション

いつでも、だれでも、どこでも(ユビキタス)



高信頼性サーバ

電子商取引 遠隔XX 教育

携帯電話、PDA、
Wearable Computer デジタル情報家電

ユーザビリティ技術
User-friendlyなヒューマン・インターフェース【相互運用性、セキュリティ機能の向上】

ストレージ・メモリ分野
小型・大容量HD、高速大容量、低消費電力の不揮発性メモリ

コンピュータ分野
IT社会の基盤を構成する、高い可用性、信頼性

ネットワーク分野
基幹系ネットワークの高速大容量化、高速ワイヤレス通信

半導体分野
微細化による高集積化、設計効率化、他品種変量生産、微細化によらない新機能追求
シリコン系半導体デバイス、光デバイス、高周波デバイス、超電導デバイス

本プロジェクト対象分野

NEDOが関与する意義

① 実用化まで長い期間を要する研究開発

次世代EUV露光技術開発では、EUV光源の高出力化、高信頼性化やEUV用レジストの高感度化と低LWR化の両立、アウトガスの低減など、実用化する上で解決しなければならない基礎的な課題が多く、実用化・事業化まで長い期間を要する研究開発であり、民間事業者のみでの研究開発はリスクが高いと考える。

② 産学官共同研究体制の構築の必要性

次世代EUV露光技術の研究開発は、デバイスメーカー、装置メーカー、材料メーカーなど業界を超えた異なる民間事業者の連携が必要であること、さらに基礎的な研究開発を担当する大学や公的研究機関などとの共同研究体制を構築する必要もある。業界を超えた組織をまとめ効率的な研究開発体制を構築、運営するためには、国プロとしてNEDOが研究開発マネジメントするのが望ましい。

③ 国際研究機関との協調・連携の重要性

次世代EUV露光技術の研究開発には莫大な開発コストが必要となるため、日本対世界というような対立軸的な開発体制ではなく、海外との研究開発テーマの分担（棲み分け）を行い、開発コストの削減と早期開発を目指す必要がある。具体的には、欧州のimec、米国のSEMATECHなどの国際研究機関や、大手デバイスメーカーのインテル社、TSMC社、EUV露光装置メーカーのASML社など、海外との協調・連携することが極めて重要であり、本プロジェクトは国プロとしての位置付けが望ましい。

実施の効果

経済効果

(総事業額) 100億円 (NEDO負担額)

EUV露光技術の実用化・事業化により、世界市場における日本メーカーシェアの維持を目指す。

事業分野	2011年		2020年(推測)	
	世界市場規模 [億円]	日本メーカーシェア [%]	世界市場規模 [億円]	日本メーカー売上見込 [億円]*
マスク	3,100	43.0	4,650	2,000
レジスト	400	76.9	710	546
マスク検査装置	430	15.2	650	99
NAND フラッシュメモリ	14,400	35.4	45,800	16,213
合計	18,330		51,810	18,858

*世界市場における日本メーカーのシェアを維持した場合の売上見込額

*資料「2013 有望電子部品材料」「2015半導体関連プレーヤーの最新動向調査」<NANDフラッシュメモリ-世界市場>富士キメラ総研、「世界半導体製造装置・試験/検査装置市場年鑑2011」グローバルネット、SEMI Market data 2012 よりNEDO推計)

2020年に 18,858 億円の経済効果

省エネ効果

半導体デバイスへの微細化プロセス適用による低消費電力化により省エネ効果

2020年に 49.04億kWh/年の削減効果

(EUV普及率30%想定での見積もり)

CO2
換算

272万トン/年

事業目標

事業目標

次世代EUV(Extreme Ultraviolet:極端紫外線)露光技術に関わるEUVマスクブランク(多層膜を積層したマスク基板)やマスクパターン(ブランク表面上のEUV光の吸収層パターン)の欠陥検査・評価・同定技術、及びレジスト材料の露光性能やアウトガスを含めた材料開発や評価技術など、hp11nm以細に対応可能な技術の基盤を確立する。

研究開発テーマ

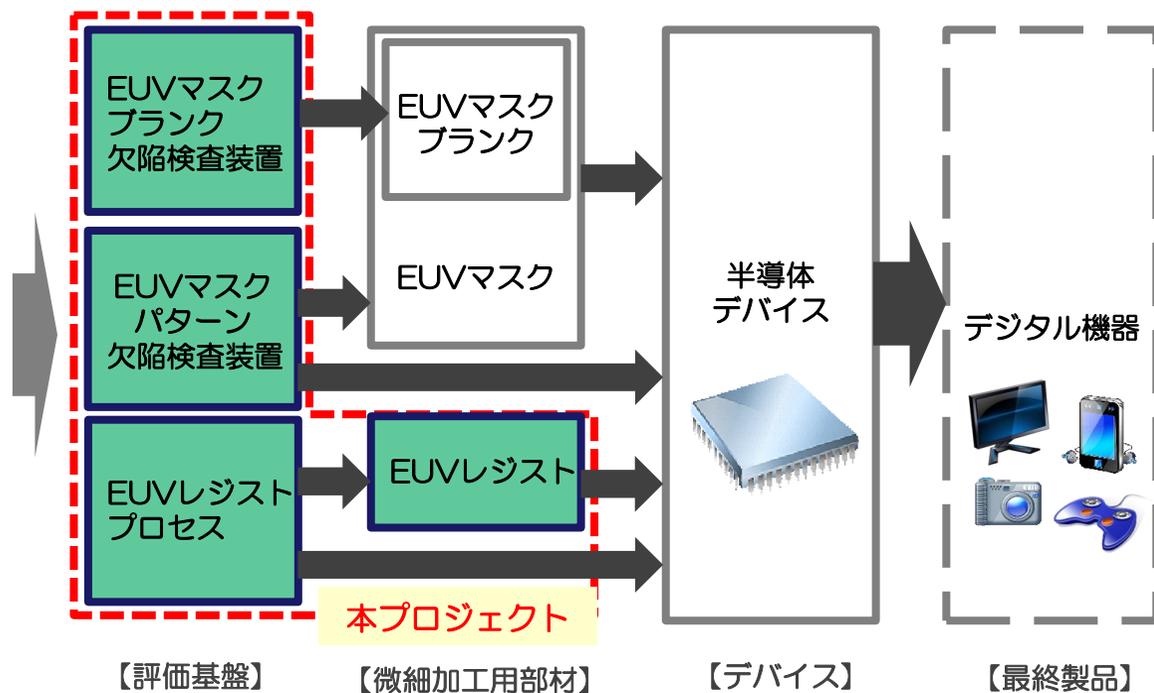
研究開発項目① (共同研究)
EUVマスク検査・レジスト材料技術開発

- (1) EUVマスクブランク欠陥検査技術開発
- (2) EUVマスクパターン欠陥検査技術開発
- (3) EUVレジスト材料技術開発

研究開発項目② (委託)
EUVマスク検査装置・レジスト材料基盤技術開発

- (1) EUVマスクブランク欠陥検査装置開発
- (2) EUVマスクパターン欠陥検査装置開発
- (3) EUVレジスト材料基盤研究
- (4) EUVレジスト材料設計及び評価基盤技術開発

想定する出口イメージ



各研究開発項目の目標 (1)

共同研究 研究開発項目①「EUVマスク検査・レジスト材料技術開発」

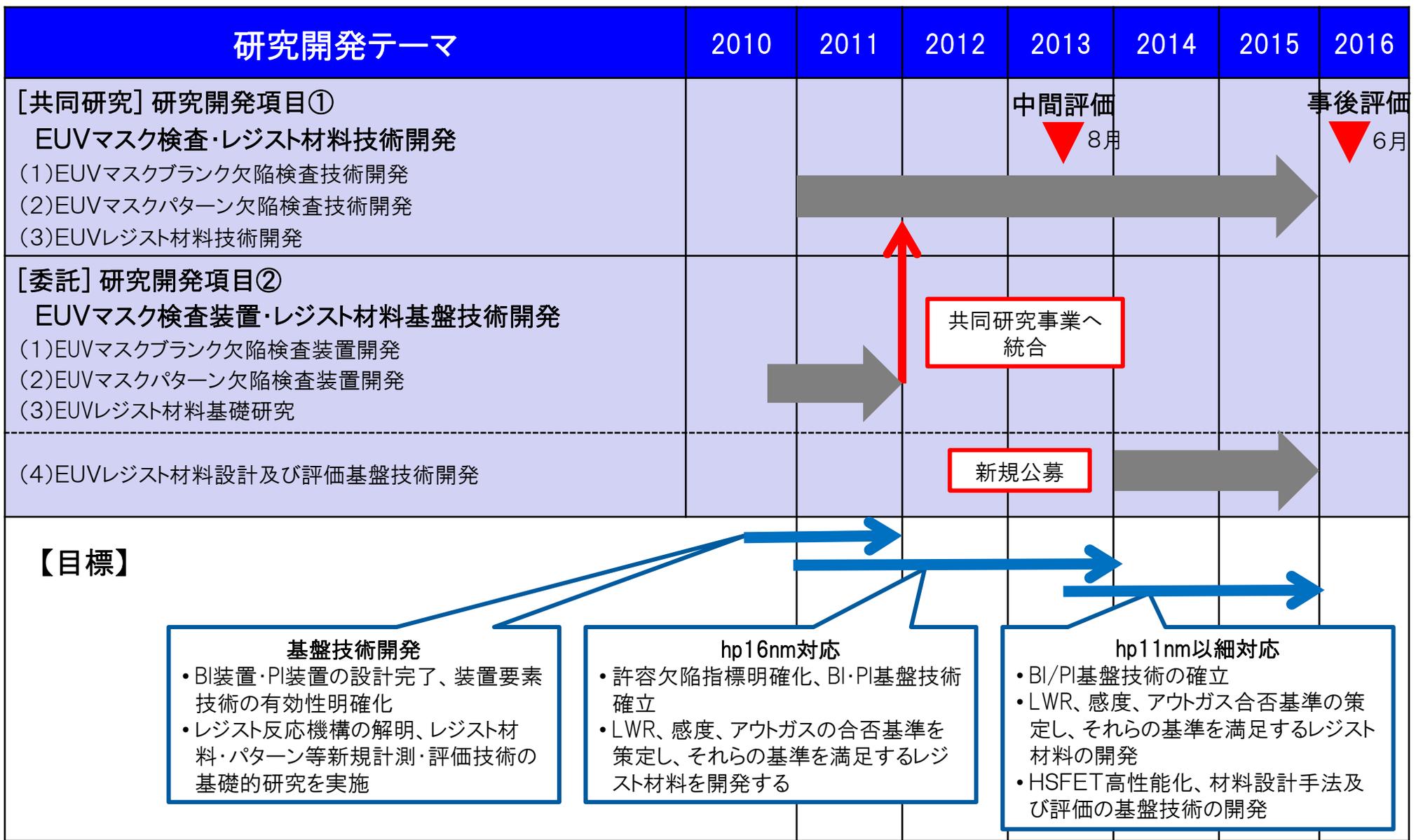
研究開発項目	中間目標（～2013年度）	最終目標（～2015年度）
(1) EUVマスク ブランク欠陥 検査技術開発	hp16nm微細加工技術に対応するEUVマスクブランクの許容欠陥の指標、および、EUVマスクBI装置において6インチブランク全域にわたり位相欠陥を検出する際の欠陥検出感度や検出確率などの指標を明確化し、これらの指標に対応可能なEUVマスクBI基盤技術を確立する。また、hp11nm以細に対応するBI技術における課題を明確にする。	hp11nm以細の微細加工技術に対応するEUVマスクブランクの許容欠陥の指標、および、EUVマスクBI装置において6インチブランク全域にわたり位相欠陥を検出する際の欠陥検出感度や検出確率などの指標を明確化し、これらの指標に対応可能なEUVマスクBI装置基盤技術を確立する。
(2) EUVマスク パターン欠陥 検査技術開発	hp16nm微細加工技術に対応するEUVマスクパターンの許容欠陥の指標、および、EUVマスクPI装置において6インチブランク全域にわたりパターン欠陥を検出する際の欠陥検出感度や検出確率などの指標を明確化し、これらの指標に対応可能なEUVマスクPI基盤技術を確立する。また、hp11nm以細に対応するPI技術における課題を明確にする。	hp11nm以細の微細加工技術に対応するEUVマスクパターンの許容欠陥の指標、および、EUVマスクPI装置において6インチブランク全域にわたりパターン欠陥を検出する際の欠陥検出感度や検出確率などの指標を明確化し、これらの指標に対応可能なEUVマスクPI装置基盤技術を確立する。
(3) EUVレジスト 材料技術開発	解像度hp16nmのレジストについて、LWR(Line Width Roughness)、感度、アウトガスの合否基準を策定し、それらの基準を満足するレジスト材料を開発する。また、hp11nm以細に対応するレジスト材料における課題を明確にする。	解像度hp11nm以細のレジストについて、LWR、感度、アウトガスの合否基準を策定し、それらの基準を満足するレジスト材料を開発する。また、開発したEUVレジストをベースに他のレジスト材料を組み合わせることにより、hp11nm以細のレジスト技術を実現する。

各研究開発項目の目標 (2)

委託 研究開発項目②「EUVマスク検査装置・レジスト材料基盤技術開発」

研究開発項目	最終目標	事業期間
(1) EUVマスク ブランク欠陥 検査装置開発	hp16nm以細に対応するBI装置の設計を完了させると共に、装置構成において核となる要素技術の有効性を明確化する。	2010年度 ～ 2011年度 ※ 2012年度以降、 共同研究に統合
(2) EUVマスク パターン欠陥 検査装置開発	hp16nm以細に対応するPI装置の設計を完了させると共に、装置構成において核となる要素技術の有効性を明確化する。	
(3) EUVレジスト 材料基盤開発	得られた知見や新規技術に関する研究成果が、hp16nm以細へのレジスト材料開発にとって有効であることを示す。	
(4) EUVレジスト 材料設計及び 評価基盤技術 開発	高解像度微小面積露光機(HSFET:High NA Small Field Exposure Tool)の総合収差を、0.6nmRMS(Root Mean Square)以内(現在:0.7nmRMS)とすることを目標とし、hp11nm以細対応のEUVレジスト材料における材料設計手法及び評価の基盤技術を開発する。	2014年度 ～ 2015年度

研究開発スケジュール



開発予算の推移

※ NEDO負担額表示 (単位：百万円)

研究開発テーマ	2010	2011	2012	2013	2014	2015	合計
[共同研究] 研究開発項目① EUVマスク検査・ レジスト材料技術開発 (1) EUVマスクブランク欠陥検査技術開発 (2) EUVマスクパターン欠陥検査技術開発 (3) EUVレジスト材料技術開発		864	1,432	1,643	1,602	1,000	6,541
				第1回 加速 +128	第2回 加速 +162		
		← (一般会計)			← (特別会計)		
[委託] 研究開発項目② EUVマスク検査装置・ レジスト材料基盤技術開発 (1) EUVマスクブランク欠陥検査装置開発 (2) EUVマスクパターン欠陥検査装置開発 (3) EUVレジスト材料基礎研究 (4) EUVレジスト材料設計及び評価基盤技術 開発		2,135			705	642	3,482
						第3回 加速 +180	
						第4回 加速 +40	
		(1) ~ (3) の開発 ← (一般会計)			(4) の開発 ← (特別会計)		
合計	0	2,999	1,432	1,643	2,307	1,642	10,023

研究開発の実施体制

プロジェクトリーダー 森 一朗
(EIDEC顧問)

NEDO

共同研究：研究開発項目①
委 託：研究開発項目②

EIDEC
(委託先)

共同実施

- 産業技術総合研究所
- 荏原製作所
- レーザーテック



業務委託

- 大阪大学
- 兵庫県立大学
- 東北大学
- 京都大学
- 東京工業大学
- 東京理科大学
- 北海道大学



レジストメーカ

- 富士フィルム
- JSR
- 信越化学工業
- 東京応化工業

デバイスメーカ

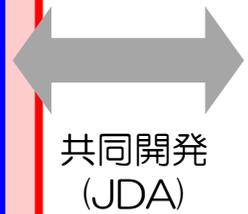
- 東芝

**マスクメーカ
ブランクメーカ**

- 旭硝子
- HOYA
- 大日本印刷
- 凸版印刷

装置メーカ

- ニコン
- 東京エレクトロン



共同開発

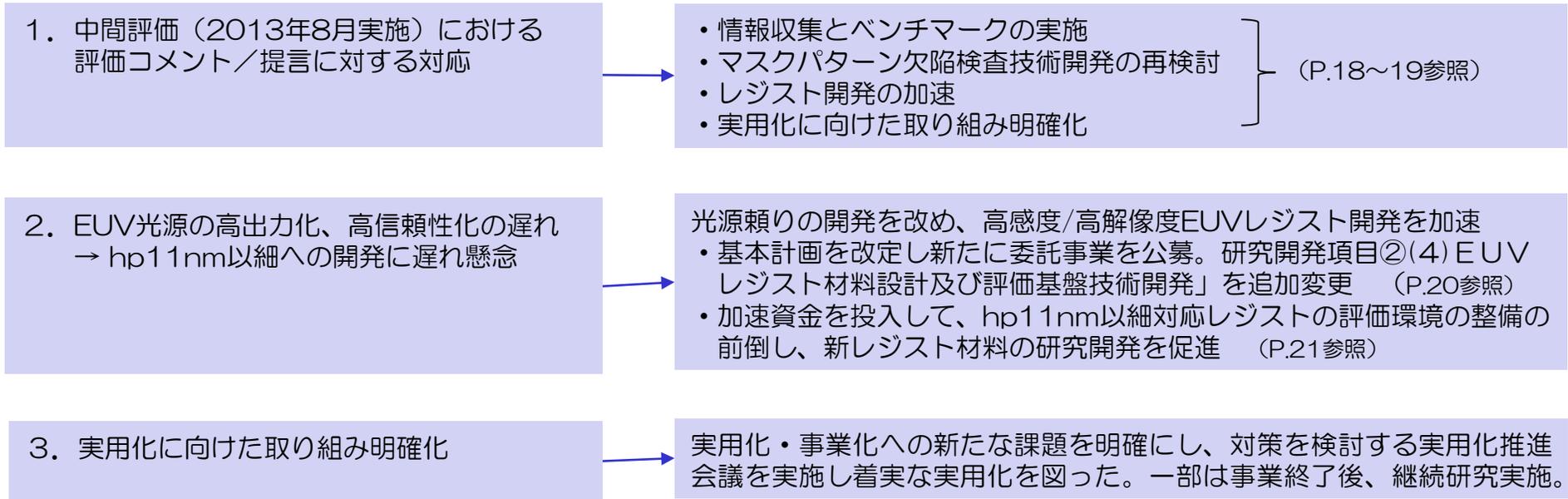
- Intel
- Samsung
- SanDisk
- TSMC
- Merck



開発協力
(国際研究機関)

- imec
- SEMATECH
- NIST

情勢変化への具体的な対応(中間評価以降)



2010年度	2011年度	2012年度	2013年度	2014年度	2015年度	2016年度
次世代微細加工研究会 NEDO審査	所要額ヒア 進捗報告会 技術推進委員会	所要額ヒア 進捗報告会 技術推進委員会	所要額ヒア 中間評価 第1回加速投入	基本計画改定 第2回加速投入	基本計画改定 実用化推進会議 第3回加速投入 第4回加速投入	事業終了 事後評価
	8月 11月 2月	4月 7月 11月	5月 8月 10月	4月 12月 3月	4~6月 7月 12月 3月	6月
	震災復旧		加速資金投入検討			継続研究

中間評価結果への対応(1)

主な指摘事項	対応／結果
<p>1. 情報収集とベンチマークの実施</p> <ul style="list-style-type: none"> ・リソグラフィ技術は総合技術（全ての技術要素が揃って初めて性能が出る）なので、実用化を目指すに当たっては、我が国で技術開発をカバーしていない露光装置についても、継続的な情報収集に留意してプロジェクトを推進する必要がある。 ・ベンチマークは事業性の観点からも進めていただきたい。 	<ul style="list-style-type: none"> ・調査事業（公募）を実施し、EUVその他の微細化露光技術に関する情報収集をしてロードマップ（2015年～2020年）を作成。 ・製品品種によって微細化露光技術の取り込み方と時期が異なることを踏まえ、製品品種毎にEUV露光技術の具体的な実用化／事業化の方向性を再確認した。 ・EUV露光技術を単独で使用するだけでなく、他の露光技術（ArF液浸露光やダブルパターンングなど）や新規技術（DSA技術など）との組み合わせなどの可能性があることを確認した。 ・平成26年度の基本計画を変更し、新規の委託事業として研究開発テーマを追加。hp11nm以細対応への基盤技術を確立した。
<p>2. マスクパターン欠陥検査技術開発の再検討</p> <ul style="list-style-type: none"> ・マスクパターン欠陥検査技術の他の競合する技術との差別化を明確にすることが必要である。 ・現状の写像投影型電子ビームによるマスクパターン欠陥検査装置の開発計画では、明らかに優位性が不明確であり、目標を含めた再構築が必要である。 	<ul style="list-style-type: none"> ・他方式と比較した電子線写像投影（PEM）方式による欠陥検査の利点を明確化した。 <p>＜差別化ポイント＞</p> <ol style="list-style-type: none"> ①面照射によるTDIセンサでの2D化 ②高スループット化 ③DUV欠陥検査技術との親和性大 <p>この点をマスクパターン欠陥検査技術を実用化する上での差別化ポイントとして優位性ある製品仕様を再設定し、重点的に研究開発を進めた。これによりEUVマスクパターン欠陥検査装置の実用化・事業化が明確になった。</p>

中間評価結果への対応(2)

主な指摘点	対応／結果
<p>3. レジスト開発の加速</p> <ul style="list-style-type: none"> ・「強い光源が出来なければ実用化も出来ない」という光源開発に100%依存した可否の議論でなく、「レジストの感度向上を始めとして装置スループット向上に寄与できる技術開発の可能性を探る」・・・といったスタンスの検討をやって頂きたい。 ・hp11nm以細に対応するレジストはターゲットレベルが高く、化学増幅でなかなか解が見つからないことが予想される。 	<p>EUV光源の高出力化だけに頼らず、hp11nm以細に対応するためレジスト材料の高感度化・高解像度化やプロセス最適化、そのための実験環境・体制の拡充を図った。</p> <p>＜具体的な対応内容＞</p> <ol style="list-style-type: none"> ①新規レジスト材料及び新規プロセス手法に関する研究開発テーマ（下記）を追加 <ul style="list-style-type: none"> ・ポリマー型酸増殖型レジスト ・メタル系レジスト ②加速資金投入によるレジスト材料の評価環境の整備の前倒し <ul style="list-style-type: none"> ・高NA（0.3→0.5）化したHSFETの製作 ③研究体制の拡充化 <ul style="list-style-type: none"> ・研究開発体制の強化を図り、リンス液のプロセス最適化等、プロセス技術に係る基盤技術を構築した。 <p>以上の対応により、hp11nm以細対応のレジスト材料開発の基盤を確立した。</p>
<p>4. 実用化に向けた取り組み明確化</p> <ul style="list-style-type: none"> ・EUV光源の課題解決だけでなく、その他の特徴を活かした応用先を開拓するといったスタンスの検討をやって頂きたい。 	<ul style="list-style-type: none"> ・調査事業（公募）による情報収集の結果や、状況変化等を踏まえ、マスクブランク／マスクパターン欠陥検査装置及びレジスト材料の実用化・事業化について、本プロジェクトに参画する企業16社各社と「実用化推進会議」の開催し検討した。 ・EUVマスクブランク欠陥検査装置について、量産装置に不可欠な稼働率及びメンテナンス性を向上させるべく、EUV光源の運転条件の最適化、及び光源インターフェースの改良を行い、実用化への基盤技術を確立させた。

基本計画の変更

(概要) 2010～2011年度に実施した委託研究事業「次世代半導体微細加工・評価基盤技術の開発／研究開発項目②EUVマスク検査装置・レジスト材料基盤技術開発」の研究開発内容を更に高度化することを目的として、研究開発項目②に「(4)EUVレジスト材料設計及び評価基盤技術開発」を新たに追加変更した。

概要	目的	具体的な内容	成果（効果）
<p>(対象事業・項目) 平成26年度 業務委託 「研究開発項目②(4)EUVレジスト材料設計及び評価基盤技術開発」を追加（1年間）</p>	<p>hp11nm以細対応の高感度EUVレジスト材料におけるLWR低減と高感度化を両立させる材料設計手法について基盤技術開発を行い、このレジスト材料の露光評価に必要な最大NA0.5の高解像度微小面積露光機HSFETを開発する。</p>	<p>高感度化に係るレジスト材料設計指針の構築、高感度化のための酸増殖剤の開発とこれを用いたレジストの性能評価、非化学増幅メタル系レジストの開発、及び総合収差0.6nmRMS以下の投影光学系を搭載したHSFETの開発</p>	<ul style="list-style-type: none"> 高感度化と低LWR化を両立させる化学増幅型レジスト材料の設計指針を構築。 新規高分子タイプ酸増殖剤ポリマーの合成に成功し、2～3倍の高感度化を実証。 超高感度・高解像度メタル系レジストを開発。 投影光学系の総合収差0.29nmRMS以下、対SFET比10倍以上のウェハ面上照度、及びhp11nmの解像度を有するHSFETを開発。
<p>(対象事業・項目) 平成27年度 業務委託 「研究開発項目②(4)EUVレジスト材料設計及び評価基盤技術開発」を延長（1年間）</p>			

加速資金投入による研究開発促進

計約5. 1億円規模の加速資金を投入し研究開発を促進

概要	目的	具体的な内容	成果（効果）
<p>（対象事業・項目） 平成25年度 共同研究 研究開発項目①(3) EUVレジスト材料技術開発 （加速資金投入額／決裁日） 128百万円 / 2013年10月11日</p>	<p>hp11nm以細対応の EUVレジスト開発に向け 必要な実験装置の 整備前倒し</p>	<ul style="list-style-type: none"> • 現有SFE Tの光学系改良による高NA化（NA=0.3 → 0.5） • フルフィールド露光機によるEUVレジスト材料の実証評価 	<p>国内レジストメーカーが国内の設備を用いてhp11nm以細レジストの実験・評価を実施することが可能になり開発を迅速に進めることができた。フルフィールド露光評価により、EUVレジストの基盤的評価に続けて実用化評価をいち早く行う体制を構築し、国際競争上の優位性を確立した。</p>
<p>（対象事業・項目） 平成26年度 共同研究 研究開発項目①(1) EUVマスクブランク欠陥検査技術開発 （加速資金投入額／決裁日） 162百万円 / 2014年12月3日</p>	<p>EUVマスクブランク 欠陥検査装置（ABI） 用高輝度光源の実用化 検討</p>	<ul style="list-style-type: none"> • 高輝度光源の仕様明確化、性能評価、及びインターフェイスの構想設計を実施 	<p>hp11nm以細の微細加工技術に適用できるEUVマスクブランク欠陥検査装置における信頼性及び生産性向上のための高輝度EUV光源に係る基盤技術を構築した。</p>
<p>（対象事業・項目） 平成27年度 業務委託 研究開発項目②(4) EUVレジスト材料設計及び評価基盤技術開発 （加速資金投入額／決裁日） 180百万円 / 2015年7月7日</p>	<p>高感度化／高解像度化 に有望なメタル系レジ スト材料開発の加速</p>	<ul style="list-style-type: none"> • メタル系レジストの構成剤合成及び評価の迅速化による組成最適化 • 反応機構解明のためのレジスト分析・解析手法の拡大 	<p>材料合成の回数増加と増量が可能になり、評価サイクルが短縮された結果、メタル系レジストの組成最適化が進み、大幅な性能向上につながった。反応機構解明のための様々な材料分析・解析を行うことが可能になり、材料設計指針構築に役立つ多くの知見が得られた。</p>
<p>（対象事業・項目） 平成27年度 業務委託 研究開発項目②(4) EUVレジスト材料設計及び評価基盤技術開発 （加速資金投入額／決裁日） 40百万円 / 2015年12月21日</p>	<p>メタル系レジストの露 光評価機会増大、及び 反応機構解明への新規 解析手法による開発加 速</p>	<ul style="list-style-type: none"> • hp11nmパターンのHSFET露光機会の増大 • 高分解能電子顕微鏡を用いた構造解析の反応機構解明への適用 	<p>HSFETを用いたhp11nmパターンの露光機会の増大により材料開発のフィードバックサイクルが短縮され、メタル系レジストの性能向上に大きな効果をもたらした。これまで確認する方法がなかったレジストの内部構造を明らかにすることができ、hp11nm以細対応のレジスト材料評価基盤技術の確立に大きく貢献した。</p>

実用化に向けた取り組み

項目

内容

(1) EUVマスクブランク欠陥検査装置の高精度測定・装置安定性に係わる基盤技術開発

<目的>

元研究事業において確立したEUVマスクブランク欠陥検査技術を基礎に7nm世代対応を目指したEUVマスクブランク欠陥検査装置の実用化のために必要となる研究開発を目的とする。

<研究期間>

1年間（2016年度）

<委託先>

レーザーテック株式会社



**EUVマスクブランク
欠陥検査装置**

(2) EUVマスクパターン欠陥検査装置の高精度測定・装置安定性に係わる基盤技術開発

<目的>

元研究事業において確立したEUVマスクパターン欠陥検査技術を基礎に7nm世代対応を目指したEUVマスクパターン欠陥検査装置の実用化のために必要となる研究開発を目的とする。

<研究期間>

1年間（2016年度）

<委託先>

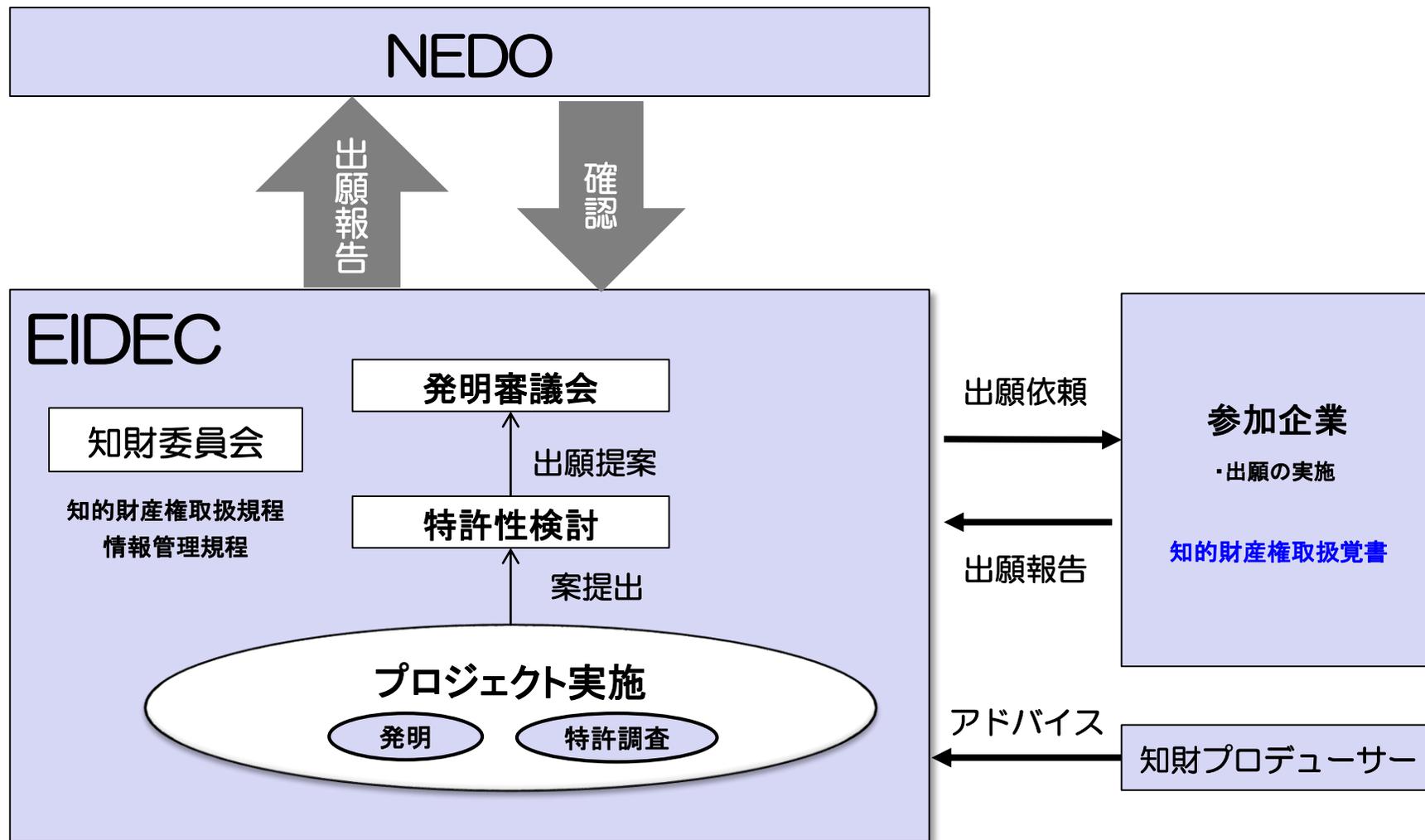
株式会社荏原製作所



**EUVマスクパターン
欠陥検査装置**

知財マネジメント戦略

- 知財マネジメント強化のため知財の創出/権利化を推進する体制を構築
- プロジェクト研究開発活動で出てきた知的財産の権利化を戦略的に推進



「次世代半導体微細加工・評価基盤技術の開発」

(2010年度～2015年度 6年間)

(事後評価)

プロジェクトの概要説明 (公開)

「研究開発成果」
及び

「成果の実用化・事業化に向けた取り組み及び見通し」

NEDOプロジェクトリーダー
森 一郎
(株)EUVL基盤開発センター

2016年6月21日

目次

Ⅲ. 研究開発成果

1. プロジェクトの概要

2. 目標達成状況と主な成果

(1) 各テーマの研究開発成果

(2) 特許、学会発表、成果の普及

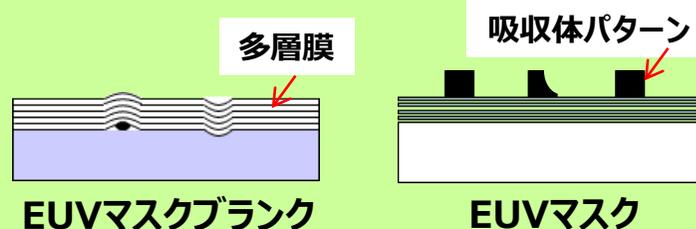
Ⅳ. 成果の実用化・事業化に向けた取り組み及び見通し

プロジェクトの概要：開発内容と最終目標

EIDECプロジェクト

EUVマスク

- マスクブランク欠陥検査技術
- マスクパターン欠陥検査技術



EUVレジスト

- レジスト材料・プロセス技術
- アウトガス評価技術
- DSA材料・プロセス技術

EUV(Extreme UV)
波長13.5nm

マスク
(150mm²)

EUV露光装置

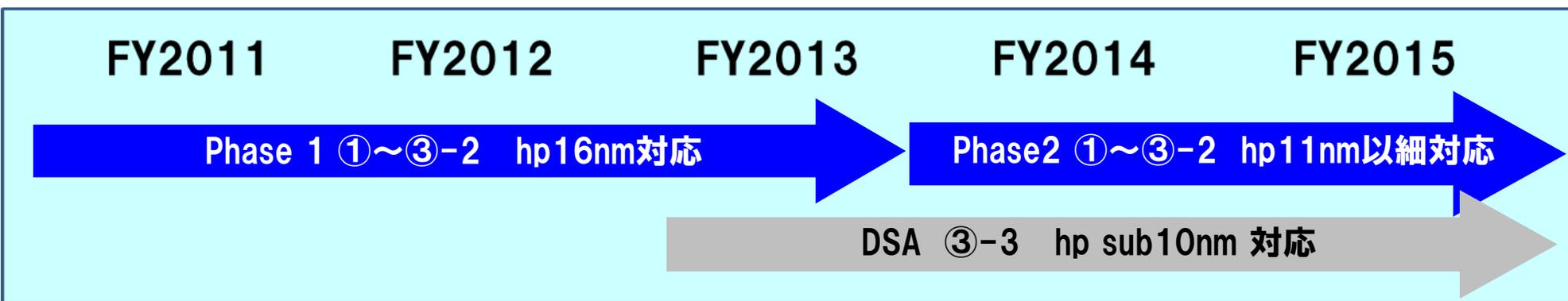
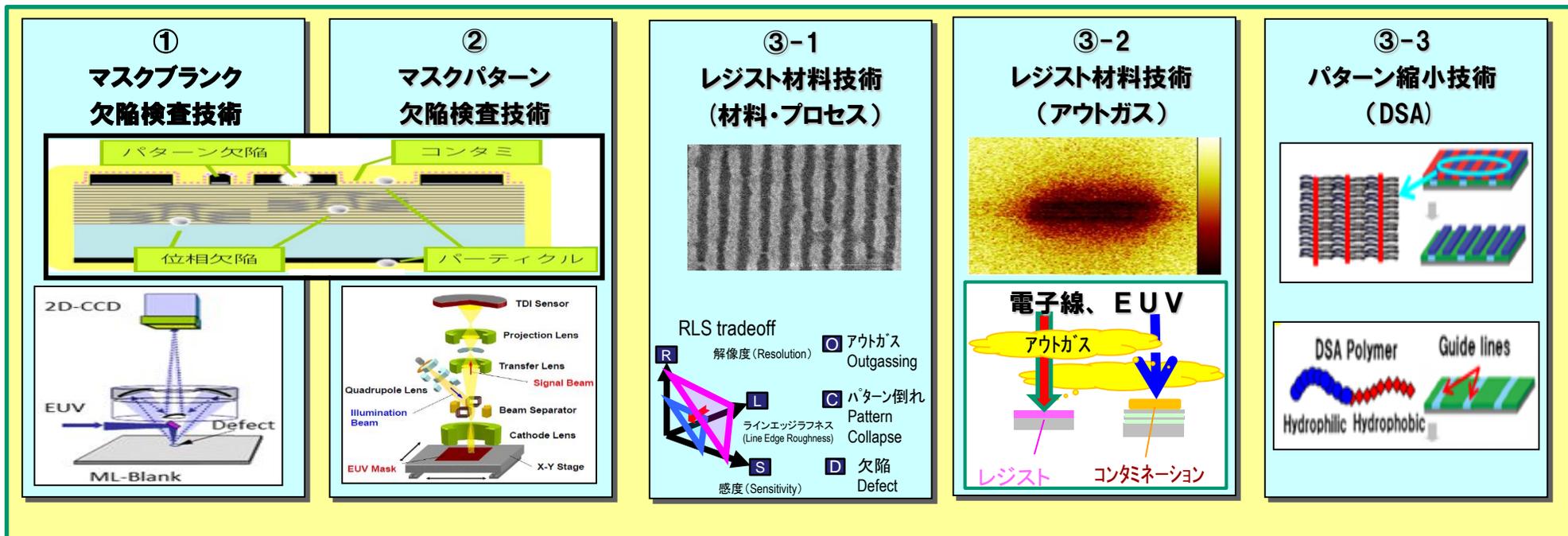
EUV光源

- ・高出力化
- ・高安定化
- ・長寿命化

レジストパターン

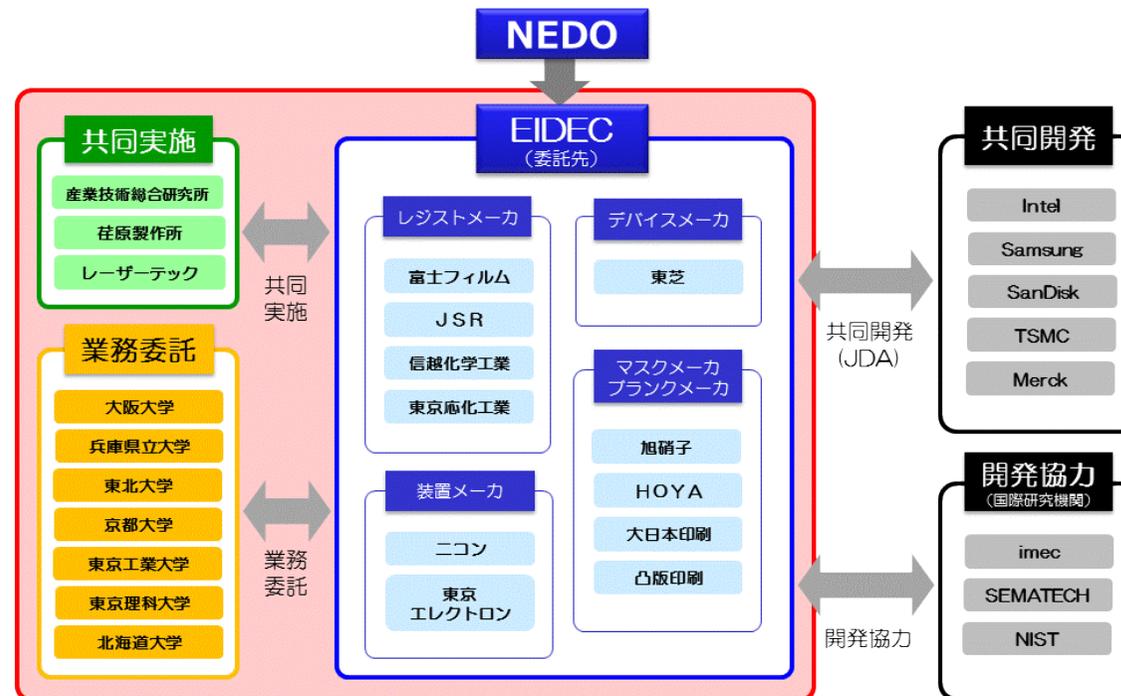
- 回路線幅 hp11nm以細の微細加工技術に対応できるマスクブランクおよびマスクパターンの欠陥検査技術とレジスト材料の基盤技術を開発する

プロジェクトの概要：プログラム構成



EIDECプロジェクトの特徴

- EUVLシステムにおける基盤技術である**マスク技術とレジスト技術(*)**の開発
(*)日本が先進性を確保している分野
- 関連サプライヤ企業と先進ユーザー企業との異業種間連携による開発
- 海外の先進半導体企業が開発パートナーとして参加(Global Open)
- 先進的な位置にある**国内の大学**との連携(再委託)
- 産業総合研究所SCRを開発拠点として活用
- 海外の研究機関・メーカーとの連携(imec, SEMATECH, NIST, ASML等)



目次

Ⅲ. 研究開発成果

1. プロジェクトの概要

2. 目標達成状況と主な成果

(1) 各テーマの研究開発成果

(2) 特許、学会発表、成果の普及

Ⅳ. 成果の実用化・事業化に向けた取り組み及び見通し

最終目標と達成状況

【最終目標】

研究開発項目① EUVマスク検査・レジスト材料技術開発(共同研究事業) ……【平成23～27年度】

- (1) EUVマスクブランク欠陥検査技術開発
 - ・許容欠陥、及び検査装置の欠陥検出感度や検出確率などの指標の明確化
 - ・欠陥検査装置開発
- (2) EUVマスクパターン欠陥検査技術開発
 - ・許容欠陥、及び検査装置の欠陥検出感度や検出確率などの指標の明確化
 - ・欠陥検査装置開発
- (3) EUVレジスト材料技術開発
 - ・LWR、感度、アウトガスの合否基準の策定、及び材料開発 (LWR: Line Width Roughness)
 - ・その他の材料によるhp11nm以細のパターン形成

研究開発項目② EUVマスク検査装置・レジスト材料基盤技術開発(委託事業)

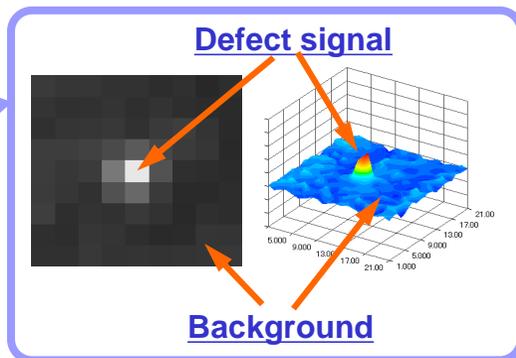
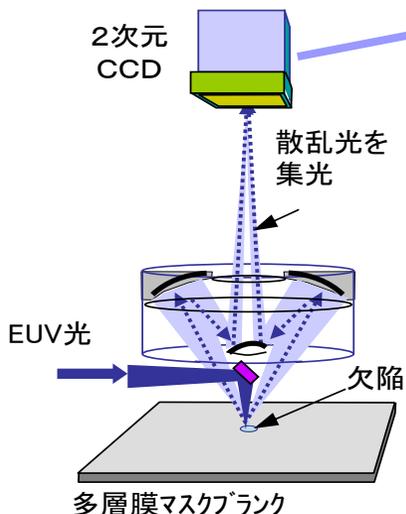
- (1) EUVマスクブランク欠陥検査装置開発
 - ・欠陥検査装置の設計、及び核となる要素技術の有効性の明確化
 - (2) EUVマスクパターン欠陥検査装置開発
 - ・欠陥検査装置の設計、及び核となる要素技術の有効性の明確化
 - (3) EUVレジスト材料基礎研究
 - ・得られた知見や新規技術に関する研究成果の有効性の明確化
 - (4) EUVレジスト材料設計及び評価基盤技術開発 ……【平成26～27年度】
 - ・HSFET開発、及びEUVレジスト材料における材料設計手法及び評価の基盤技術開発
- ……………【平成22～23年度】

【目標の達成状況】

上記目標を達成した。

(1) EUVマスクブランク欠陥検査技術開発

位相欠陥検出原理



2001~2005

MIRAI第一期、第二期

コンセプトの検証

- ・暗視野光学系による位相欠陥の検出
- ・基本特許出願・登録



2006~2010

MIRAI第三期

ブランク全面検査の実証

- ・欠陥検出感度：
hp16nm対応に目途
(高さ1.2nm, 幅40nm)
- ・検査時間：4時間45分

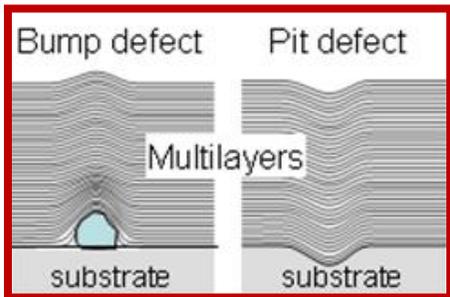


2011~2015

EIDECプロジェクト

量産プロト機の開発 感度とスループットの両立

- ・欠陥検出感度：
hp16-11nm対応
- ・検査時間：45分
- ・レーザーテックと共同



III. 研究開発成果

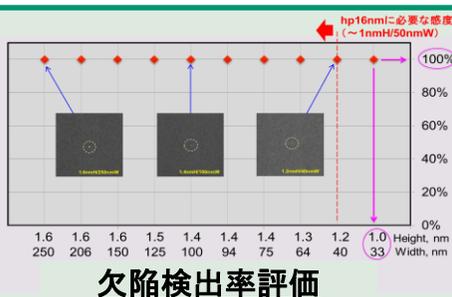
2- (1) 各テーマの研究開発成果

(1) EUVマスクブランク欠陥検査技術開発

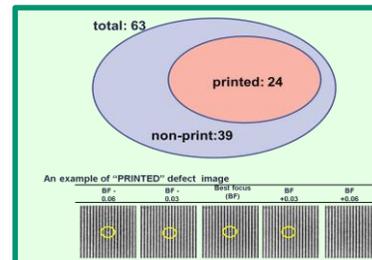


レーザーテック社ABI装置
(共同実施)

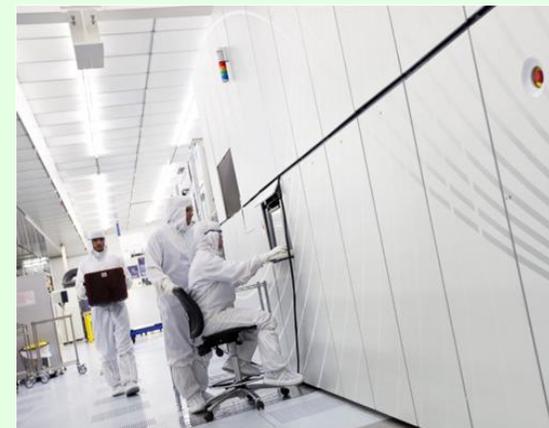
量産に必要な欠陥検出安定性、
装置機能および装置安定稼働
条件の実現



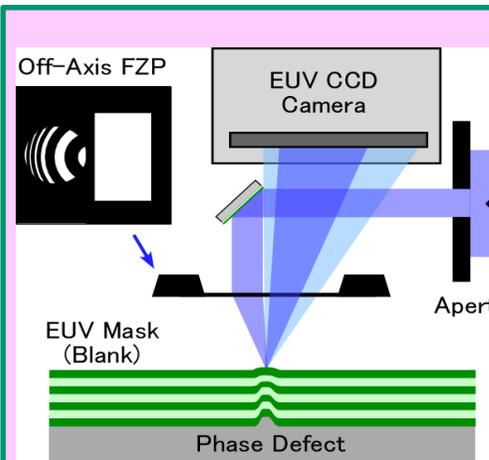
欠陥検出率評価



欠陥転写性率評価



NXE3300
(imec共同評価)



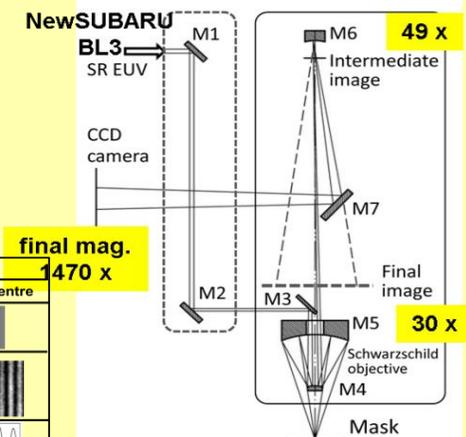
マイクロCSM
(再委託: 兵庫県立大)

Print Ht. 8.8nmH/70mW	AFM image	micro CSM image		ABI (High Mag.) image	
		intensity	phase	experimental	reproduced
200 μm					
4.5nmH/57mW					

欠陥像再生

layout design	relative defect location		
	line centre	line edge	space centre
microscope image			
profile			

欠陥影響観察



EUV明視野顕微鏡
(再委託: 東北大)

(1) EUVマスクブランク欠陥検査技術開発

開発項目	最終目標	達成度	達成状況
(1)-(i) ABI装置高度化 (レーザーテック共同実施)	・hp11nm世代に必要な位相欠陥検査性能の実証	達成	・hp11nm世代の要求値を上回る1nm高/33nm幅の位相欠陥検査性能および45分での全面検査を実証した
	・量産に必要な欠陥検出安定性、装置機能および装置安定稼働条件の実現	達成	・量産に必要な以下の性能・機能を実証した -照明光学系のNA拡大による欠陥検出性能マージン向上 -機械系安定性改善による欠陥位置読取り精度20nm -光源安定稼働条件確立および照明光学系耐性向上による装置安定稼働
(1)-(ii) ABI装置仕様検討	・欠陥の露光転写性評価によるABI装置の感度確認 ・シミュレーション技術による欠陥転写性の予測、ならびにABI装置の検査光学系の最適化	達成	・imecとのブランク欠陥転写性の共同評価により、(i)ABI装置が露光転写される多層膜欠陥を全て検出すること、(ii)露光転写性がABI装置における欠陥検出信号強度に依存することを確認し、ABI装置によるブランク品質保証の有効性を実証した
(1)-(iii) CSMの開発 (兵庫県立大学再委託)	・マイクロCSMの200nm照明の実現 ・マイクロCSMによる欠陥データベースの構築	達成	・位相欠陥の回折像解析により、低アスペクト欠陥に対する感度向上のための技術指針を得た ・位相情報と強度情報により欠陥の幾何学的構造(欠陥形状)の再現、ならびに欠陥の材質の解析が可能であることを実証した
(1)-(iv) EUV明視野顕微鏡 観察技術の開発 (東北大学再委託)	・EUV明視野顕微鏡の実現 ・EUV明視野顕微鏡による位相欠陥の転写性予測	達成	・拡大倍率1460倍のEUV明視野顕微鏡を開発した ・光学系の高精度化により、実露光装置では解像が得られないhp11nm世代における位相欠陥の影響を実像として確認することができた

(2) EUVマスクパターン欠陥検査技術開発

hp 32 nm	hp 22 nm	hp 16 nm	hp 11 nm	hp 8 nm
----------	----------	----------	----------	---------

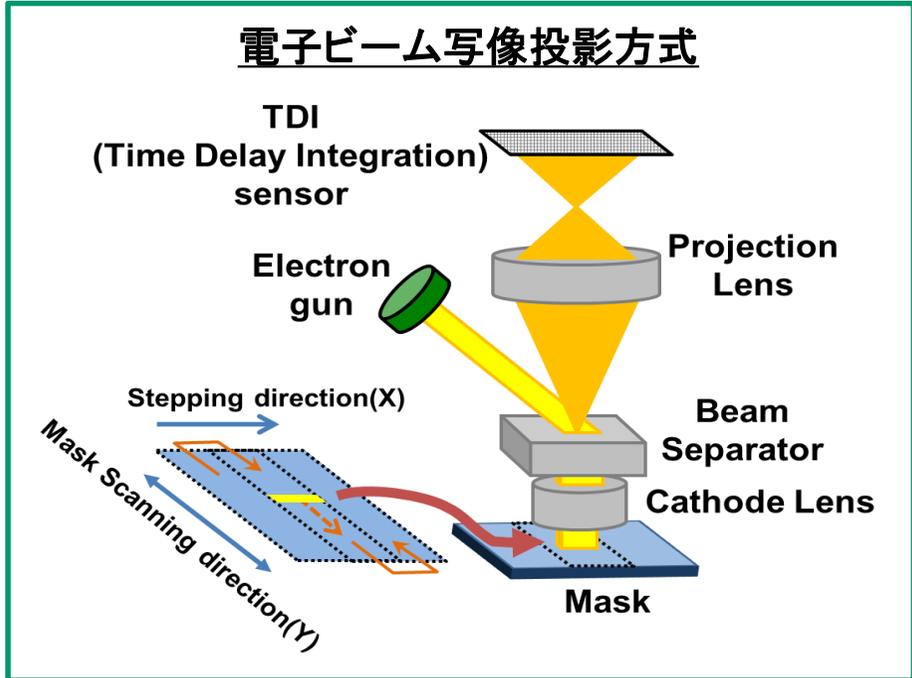
DUV検査

EUV検査

EB検査

利点: 露光波長検査
課題: 高輝度EUV光源

利点: 高解像度
課題: 高感度と高スループットの両立



写像投影方式の利点

マスクを面照明しTDIセンサにより面で画像を取得

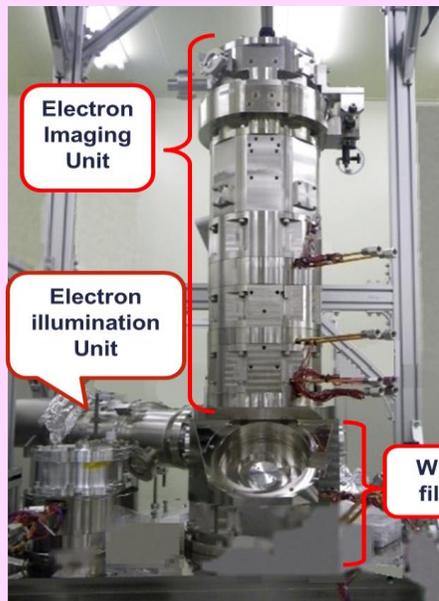
- 高解像度電子線による高スループット欠陥検査が可能
- 電子線コントラスト像を取得

⇔ DUV欠陥検査技術との親和性

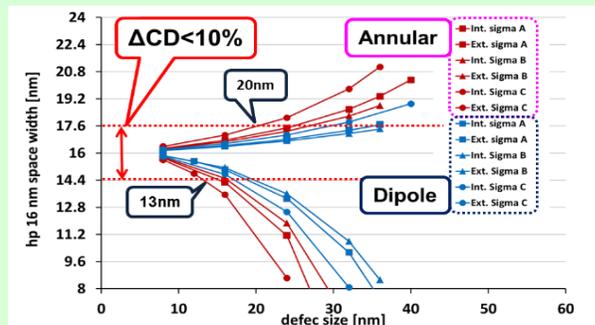
(2) EUVマスクパターン欠陥検査技術開発

装置基本仕様

	中間目標	最終目標
対応世代	hp 16 nm	hp 11 nm
欠陥検出感度	16 nm isolated 16 nm edge	13 nm isolated 13 nm edge
スキャン時間	19 hrs /100mm sq.	<8 hrs /100mm sq.
データ転送	600 MPPS	>1.5 GPPS
検査モード	Die-Die	Die-Die



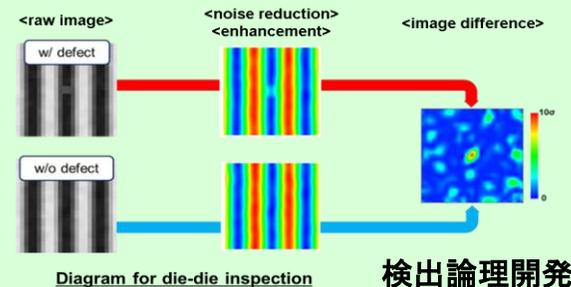
電子線鏡筒設計・製作・評価



欠陥転写性⇒仕様

PI装置開発

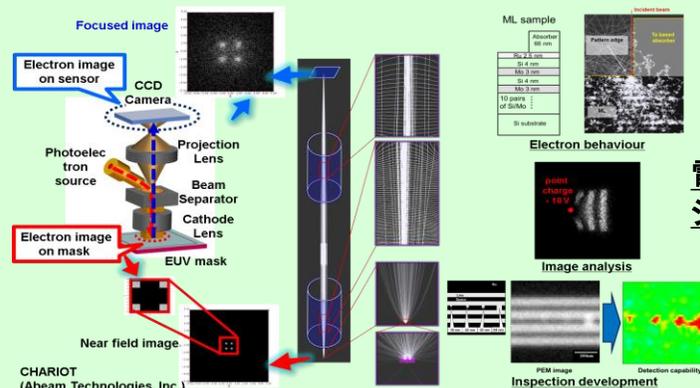
仕様検討・電子線技術



検出論理開発

Defect	13nm extrusion	12nm intrusion
	TaBN(52 nm) TaBO(14 nm) Multi-layer(40 pairs) Ru(2.5 nm)	TaBN(52 nm) TaBO(14 nm) Multi-layer(40 pairs) Ru(2.5 nm)
Defect SEM Image in hp 64 nm		
Image difference (binary) and Inspection Image (superimposed)		

検出感度評価

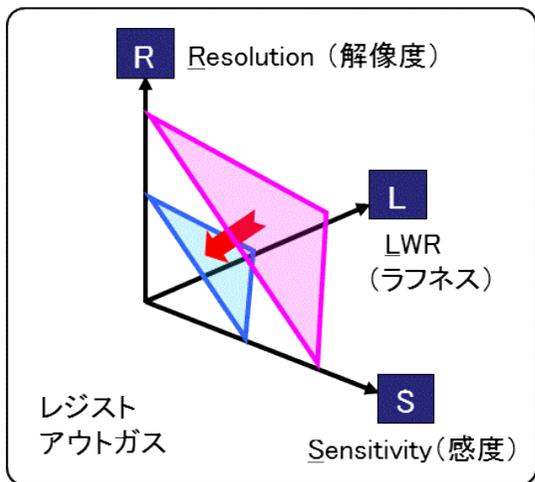


電子線軌道シミュレーション

(2) EUVマスクパターン欠陥検査技術開発

開発項目	最終目標	達成度	達成状況
(2)-(i) PI装置仕様検討	・装置仕様(欠陥検出感度)の 導出	達成	・露光シミュレーションにより、hp16nm世代においては16nmサイズ、hp11nm世代においては13nmサイズの欠陥検出が必要となることを確認し、開発装置の感度仕様を決定した
	・電子軌道シミュレーションによる電 子線像解析	達成	・電子軌道シミュレーションに電子線光学系を取り込むことにより、電子線画像、および欠陥検出感度の評価を可能とし、装置に必要とされる仕様を明確化した
	・欠陥検出論理の最適化	達成	・電子線画像のノイズを低く抑える欠陥検出のための画像処理技術、および欠陥検出時の論理パラメータを最適化するためのレーン グシステムの開発を行い、これらにより構築した欠陥検出論理をPI 装置で取得した画像に適用し、その有効性を確認した
(2)-(ii) PI装置コア技術 開発(荏原製作 所共同実施)	・PEM方式PI装置の設計製作 および基本性能の実証	達成	・高解像度PEM方式のPI装置を設計・製作し、hp16nm世代対応 仕様である19時間でのマスクスキャンを実証・確認した ・前項記載の欠陥検出論理を、PI装置で取得画像に適用し、 hp16nm世代仕様である16nm [□] 欠陥(@hp64nmマスクパターン)が検 出できることを実証した
	・hp11nm対応PI装置高速化と 基本性能実証	達成	・高速化改造として高速フレームイメージセンサとそれに対応するビーム 偏向器をPI装置に実装し、hp11nm世代対応仕様である8時間 でのマスクスキャンを実証・確認した ・前項記載の欠陥検出論理を、高速化改造したPI装置で取得し た画像に適用し、欠陥検出性能の仕様である13nm [□] 欠陥(@ hp44nmマスクパターン)が検出できることを実証した

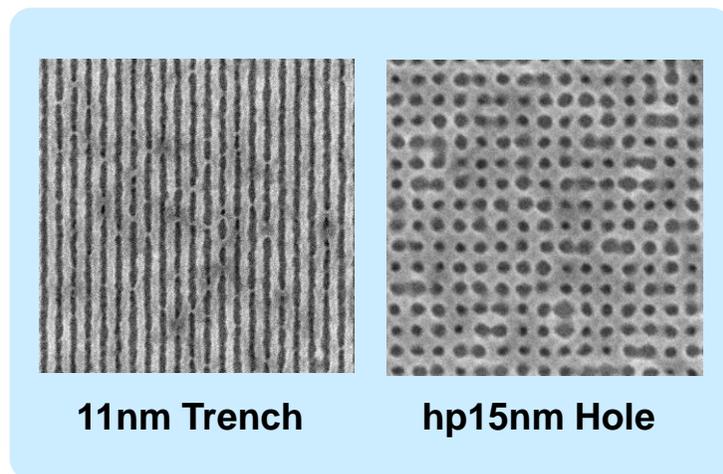
RLSTトレードオフ



標準レジストの選定

レジスト	ESR1	ESR7	ESR8
	SFET 0.3NA	HSFET 0.5NA	
Type	PTD	PTD	NTD
Resolution (nm)	25	18	18
LWR (nm)	8.1	4.2	~4
Sensitivity (mJ/cm ²)	12.2	14.5	21
SEM image			
	30nm 1:1 L/S	18nm 1:1 L/S	18nm 1:1 L/S

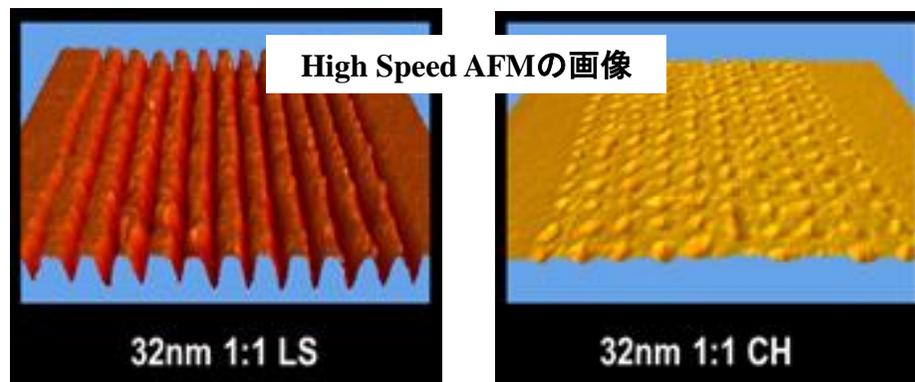
高解像度レジスト



レジストプロセス開発: リンス液材料・プロセス

Dose (mJ/cm ²)	40	42	44	46	48
DIW					
	21.7	20.2	19.2	17.5	Collapse
Rinse-A					
	20.7	20.2	19.2	17.5	Collapse
Rinse-B					
	20.4	19.4	18.3	17.5	Collapse

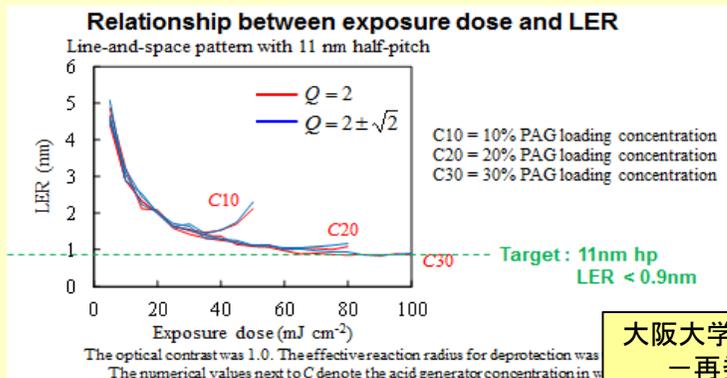
レジストプロセス解析技術の開発: 溶解反応解析



- ブリッジ・断線欠陥発生挙動が明確にした
- 各ホールの形成に時間差があることを明らかにした

(4) EUVレジスト材料設計及び評価基盤技術開発

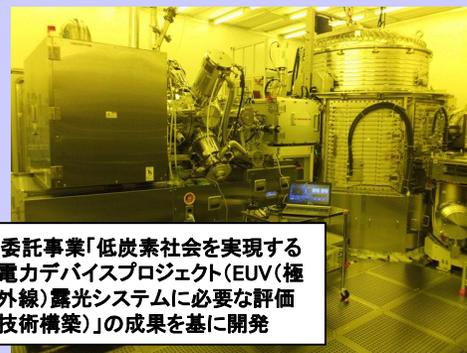
高感度化に係るレジスト材料設計指針



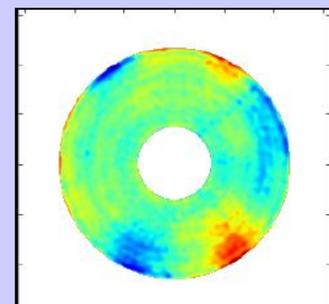
大阪大学(古澤教授)
一再委託研究

酸増殖剤の開発: 東京理科大学(有光准教授)一再委託研究

HSFET (NA0.51) の開発



METI委託事業「低炭素社会を実現する超低電力デバイスプロジェクト(EUV(極端紫外線)露光システムに必要な評価基盤技術構築)」の成果を基に開発

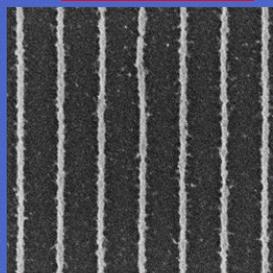


WFE: 0.29nm RMS

➤ hp11nm以細対応レジスト材料開発への適用

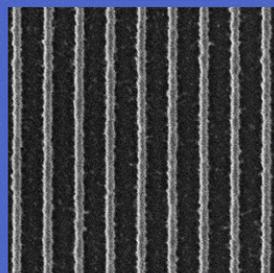
メタル系レジストの開発

17nm Line
7mJ/cm²



LWR=5.6nm

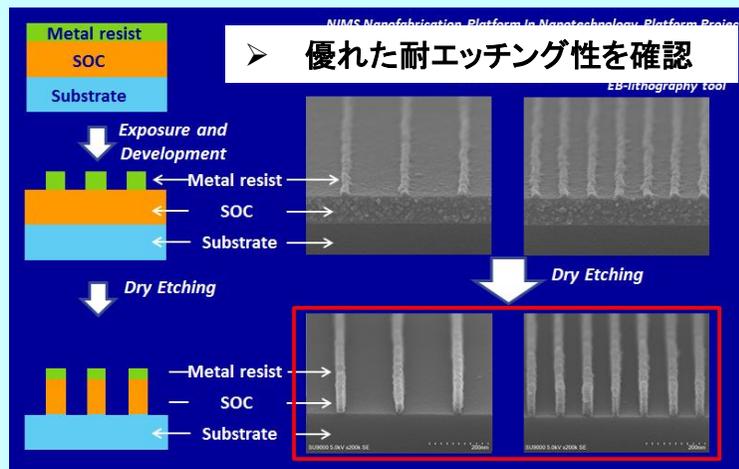
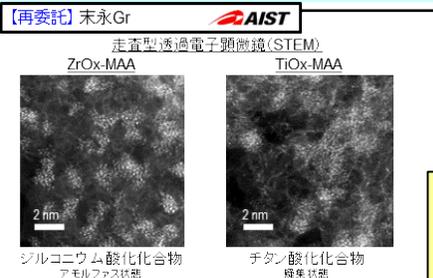
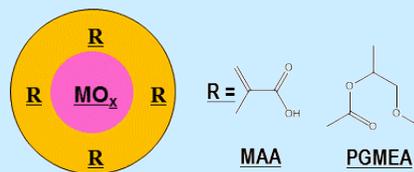
24nm Line
33mJ/cm²



LWR=3.8nm

Film Thickness = 40nm

メタル系ナノ粒子レジスト基本組成



構造・反応解析: 産総研(加藤Grと末永Gr)一再委託研究
KEK(熊井教授)一施設利用
東京理科大学(築山教授)一施設利用

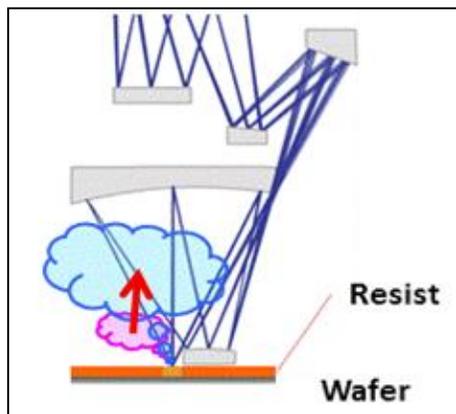
III. 研究開発成果

2-(1)各テーマの研究開発成果 (3)-(i),(v) EUVレジスト材料技術開発(レジスト材料・プロセス技術関連)

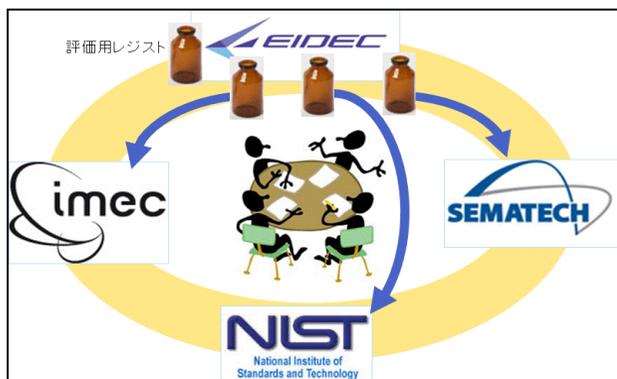
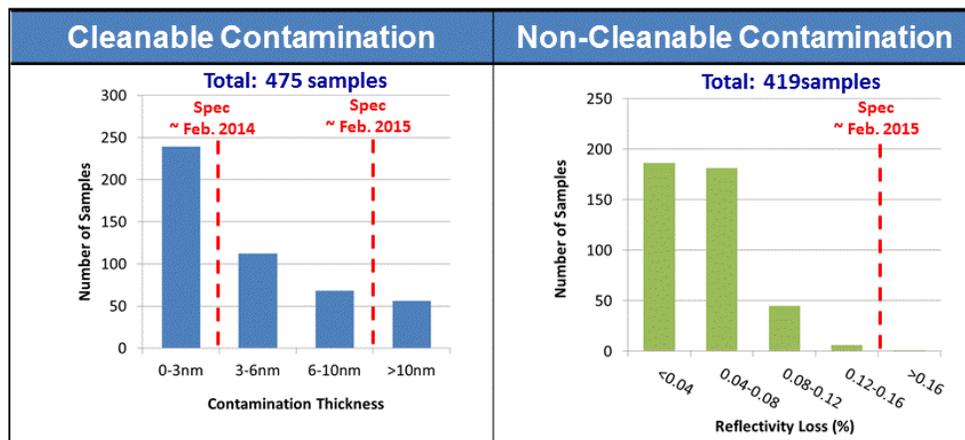
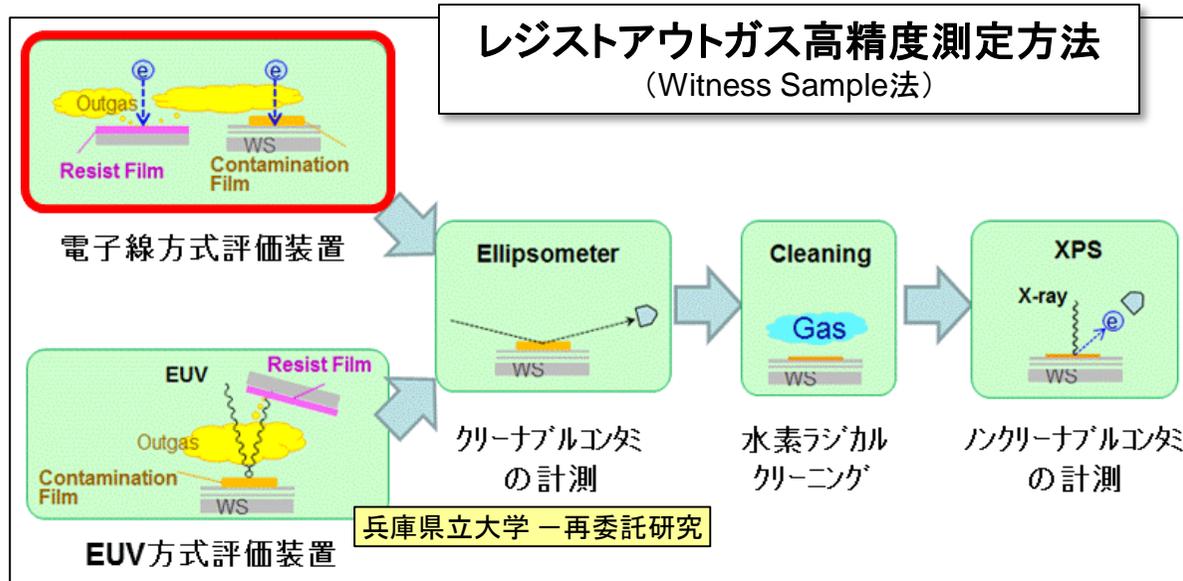
開発項目	最終目標	達成度	達成状況
(3)-(i) EUVレジスト材料技術開発(東京エレクトロンの共同実施)	【1】EUVレジスト材料の開発 (解像度hp11nmレジスト合否判定基準策定、レジスト材料の開発)	達成	解像度、LWR、感度のバランスが良好なEIDEC標準レジストを5種(ESR4~8)選定した。また、11nmラインと15nmホールパターンの形成に成功した。
	【2】EUVレジストプロセスの開発(解像度hp11nm向けレジストに必要な要素技術検討)	達成	新規リンス液・プロセスを創出したことにより、パターン倒れを改善できた。また、下地膜材料の開発より、レジスト高感度化を可能にした。
	【3】レジストプロセス解析技術の開発	達成	HS-AFM結果の定量化によるレジスト溶解特性を材料設計にフィードバックできた。具体的には、ラインパターン形成過程観察にて、ブリッジ・断線欠陥発生挙動を明確にした。コンタクトホールの場合、各ホールの形成に時間差があることを明らかにした。
(3)-(v) 材料設計 (大阪大学への再委託)	【1】RLS及び欠陥と潜像との関係の解析手法高度化	達成	解析手法の高度(高精度)化により、推定したパターンの潜像から、最適熱化距離は解像度だけではなく、酸発生剤濃度と感度にも依存することを明らかにした。また、サブ10nm実現のためには二次電子による感光点、つまり、酸発生剤の増加が必須であることを明らかにした。
	【2】RLS及び欠陥発生確率の予想を可能とするアルゴリズム開発	達成	サブ10nmにおけるLER、レジスト欠陥の発生確率と電子の熱化距離の関係を解明し、サブ10nmの量産を実現するためには、熱化距離の短縮が求められ、熱化距離の短縮のためには金属等の添加によるレジストの高密度化が必要になると考えられることを明らかにした。

(4) EUVレジスト材料設計及び評価基盤技術開発

開発項目	最終目標	達成度	達成状況
(4) EUVレジスト材料設計及び評価基盤技術開発	【1】高感度化に係るレジスト材料設計指針の開発(国立大学法人大阪大学への再委託)	達成	レジスト材料の潜在的な性能と要求仕様の関係から、エネルギー不足と情報不足(レジストが十分にエネルギーをキャッチ出来ない状態)により到達出来ない領域が存在することが明らかとなった。エネルギー不足の場合は、反応系の効率化や外部からエネルギーを供給することにより高感度化が可能である。一方、情報不足の場合は、本質的にレジスト吸収係数の増加(メタルなどの高吸収材料の導入など)が求められる。
	【2】高感度化の為に酸増殖剤の開発(東京理科大への再委託)	達成	従来の酸増殖レジストでは困難であった高感度化と高解像性両立のため、増殖する酸を高分子鎖に化学結合させた新規高分子タイプ酸増殖ポリマーの合成に成功した。さらには、それを用いたレジスト材料が酸増殖ユニットを有さない通常の化学増幅型レジストに対して、2~3倍の高感度化となる画期的な結果を与えた。
	【3】の検証EUVレジスト高感度化(産総研との共同研究)	達成	新規な反応機構を有するメタルレジストの研究に着手し、超高感度・高解像力のメタルレジストを開発した。さらに、その反応機構解析を検討し、これまで確認する方法がなかったレジスト膜内部の構造まで解析を行い、その構造を明らかとした。
	【4】高解像度微小面積露光機の研究開発 ・投影光学系の総合収差0.6nmRMSの実現	達成	投影光学系の総合収差0.29nm RMSを達成した。EUV光源、照明光学系、投影光学系および機構系の総合調整を行い、従来の10倍以上のウェハ面上照度、ならびにhp11nmL&Sパターンおよびhp15nmの1:1ホールパターンの解像を確認した。



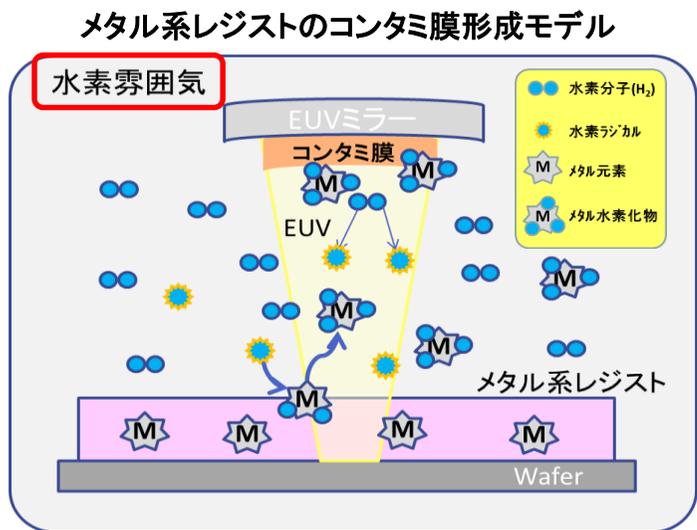
【目的】 レジストからのアウトガスが露光装置のミラー光学系を汚染してその寿命を短くしてしまうため、レジストの使用可否判定ができる高精度測定手法を確立することにある



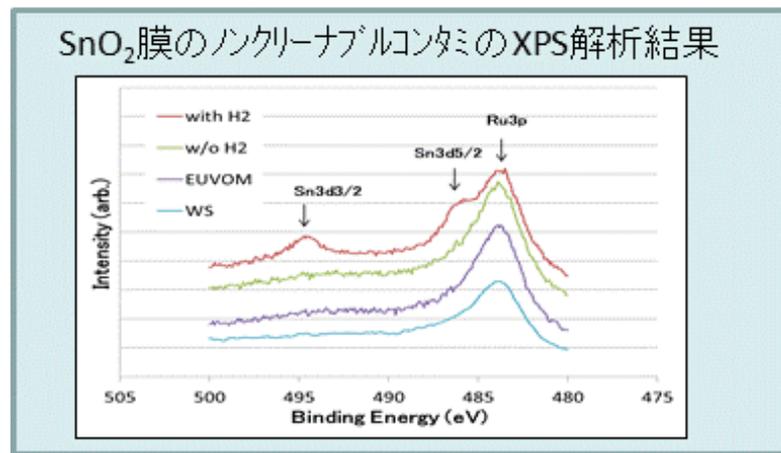
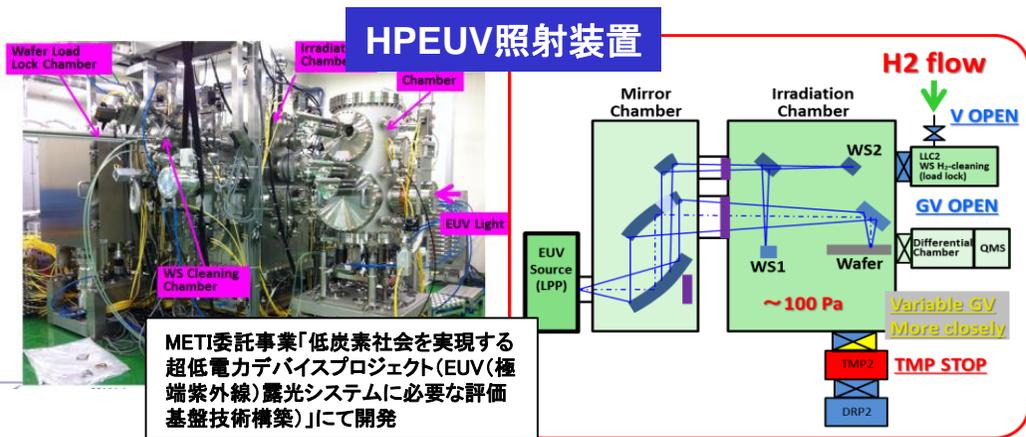
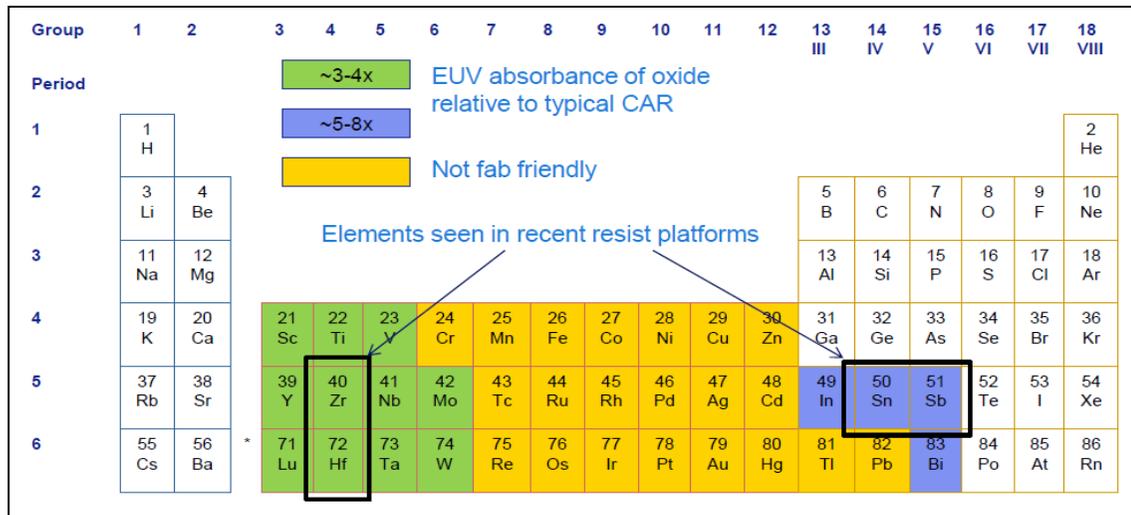
- 世界の評価機関とのコラボレーションを牽引
- 装置間差の主要因を解明、高精度化に貢献

- 化学増幅型レジストのアウトガスによるミラー汚染は極めて軽微 ⇒ “合否判定は不要”を業界で合意

非化学増幅型レジストへの対応が喫緊の課題



各元素のEUV光吸収



➢ 水素雰囲気下でアウトガス評価できる環境を構築 (世界中で一台のみ)

➢ メタル水素化物によるコンタミ形成を世界で初めて確認

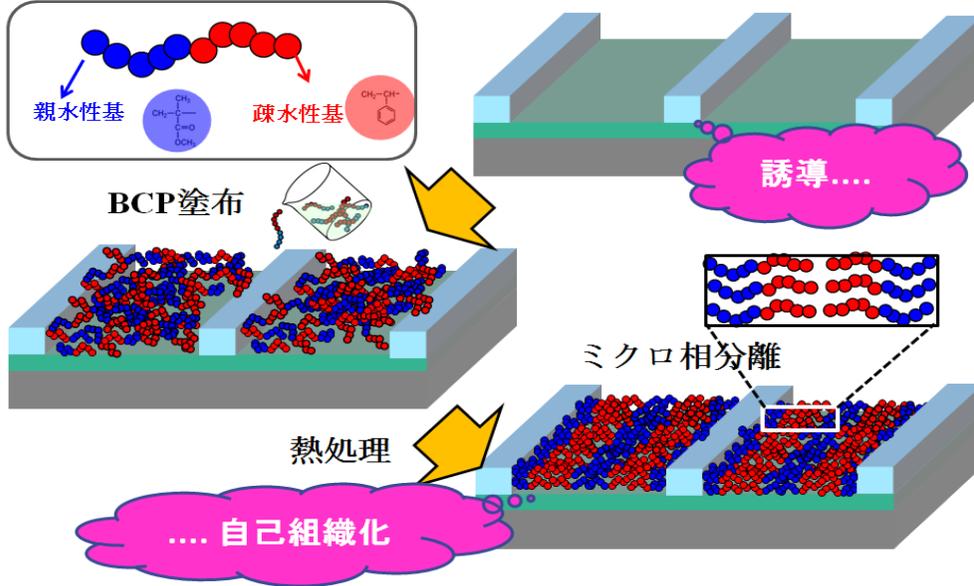
開発項目	最終目標	達成度	達成状況
(3)-(ii) レジストア ウトガス高 精度測定方 法確立	【1】EB評価方式の構築	達成	アウトガスの計測結果に影響を与える計測条件や装置の因子を解析し、高精度測定手法を実現した。海外のレジストアウトガス評価機関(imec、SEMATECH、NIST)及びASMLと共同で、評価結果の機関間差を生じさせる主要因を明らかにし、対策を提案した。
	【2】EUVレジスト材料設計/材料評価への指針	達成	複数のモデル材料のアウトガス評価を行い、レジスト組成のコンタミ形成への寄与率を解析した。コンタミ生成過程のシミュレーションモデルを構築し、妥当性を検証した。約450種類の化学増幅型レジストを評価し、同レジストのアウトガスによる露光装置の性能劣化は軽微であることが明らかにした。これらの結果を材料開発にフィードバックした。
	【3】非化学増幅型レジストのアウトガス評価の基盤技術の構築	達成	HPEUV照射装置に水素雰囲気下でメタル系レジストのアウトガスが評価できる実験環境を構築した。これを用いてメタル系のモデル材料を評価した結果、コンタミ膜中にメタル成分が残存することを世界で初めて実証した。
(3)-(iv) アウトガス データベース の構築 (兵庫県立 大学への再 委託)	【1】EUV評価方式の構築	達成	アウトガスの計測結果に影響を与える計測条件や装置の因子を解析し、高精度測定手法を実現した。
	【2】アウトガスデータベース構築	達成	化学増幅型レジストの組成とカーボンコンタミネーションの要因解析を行い、かつ代表的な hidrocarbon 系ガスの分圧とコンタミ膜厚との関係を明らかにした。EUV評価方式を用いて、7種類のメタル元素を含む有機無機ハイブリッドモデル材料のアウトガス特性を評価し、水素環境下以外でも発生するメタル系アウトガスの存在を明らかにした。

III. 研究開発成果

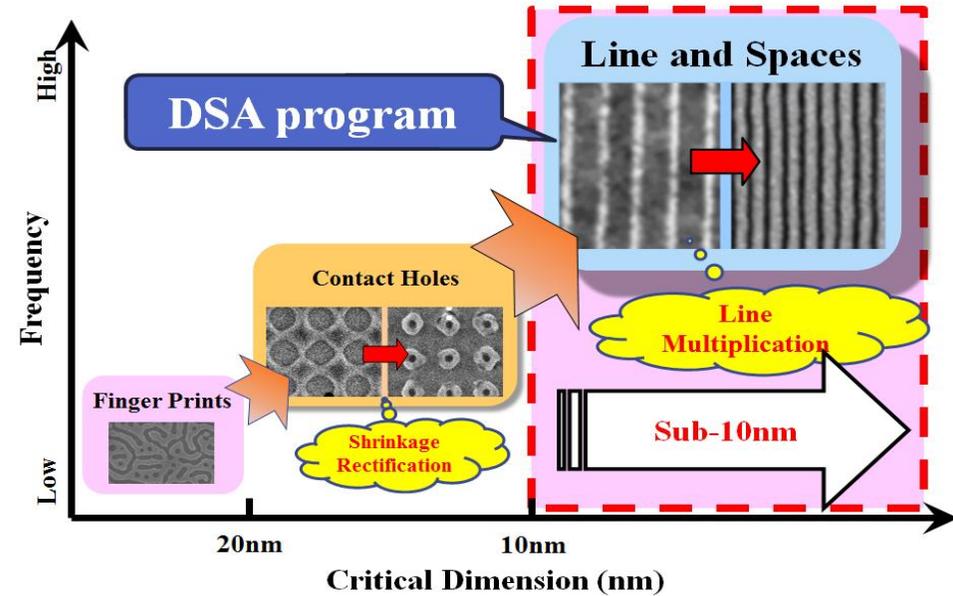
2-(1)各テーマの研究開発成果 (3)-(iii),(vi),(vii),(viii),(ix) EUVレジスト材料技術開発(DSA技術開発)

ブロック共重合高分子 (BCP)

ガイドパターン



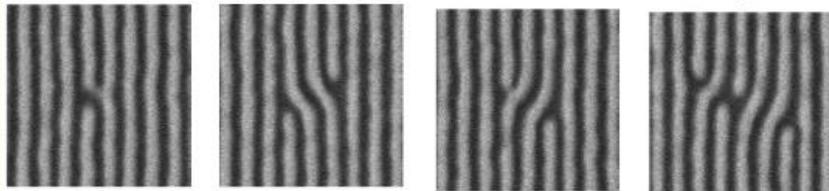
DSA: Directed Self-Assembly



DSA技術によるSub-10 nmパターン形成

- Sub-10 nm DSA要素技術開発
- DSAプロセスインテグレーション開発
- DSA技術の配線試作適用・歩留り検証

これらの研究を通して量産適用の課題を抽出



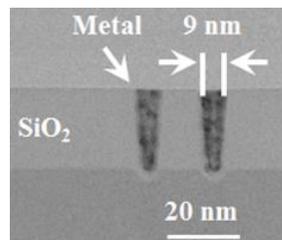
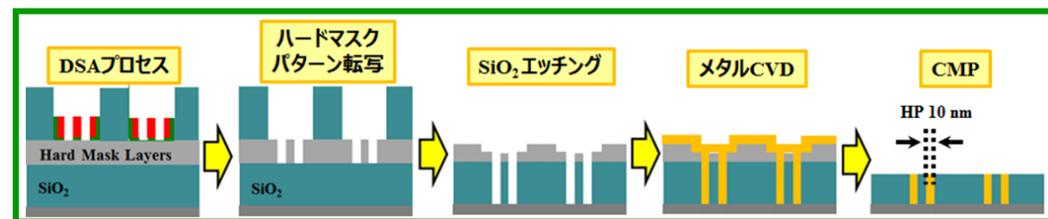
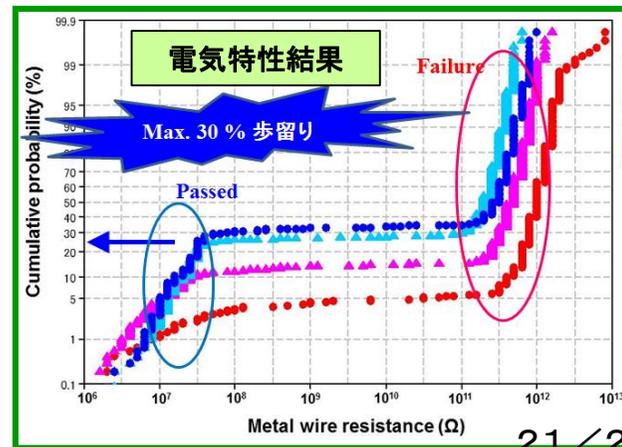
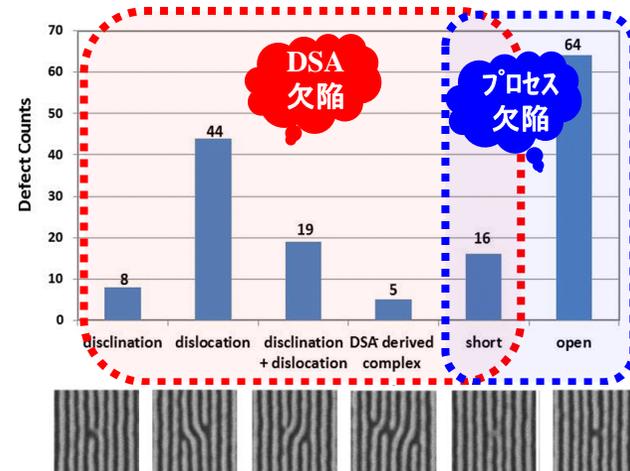
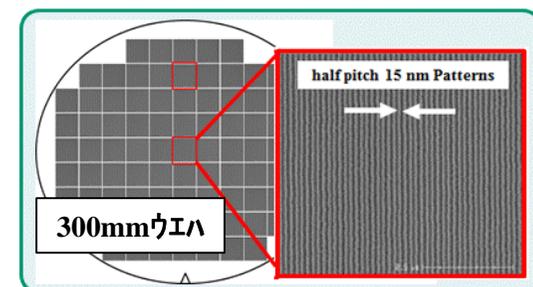
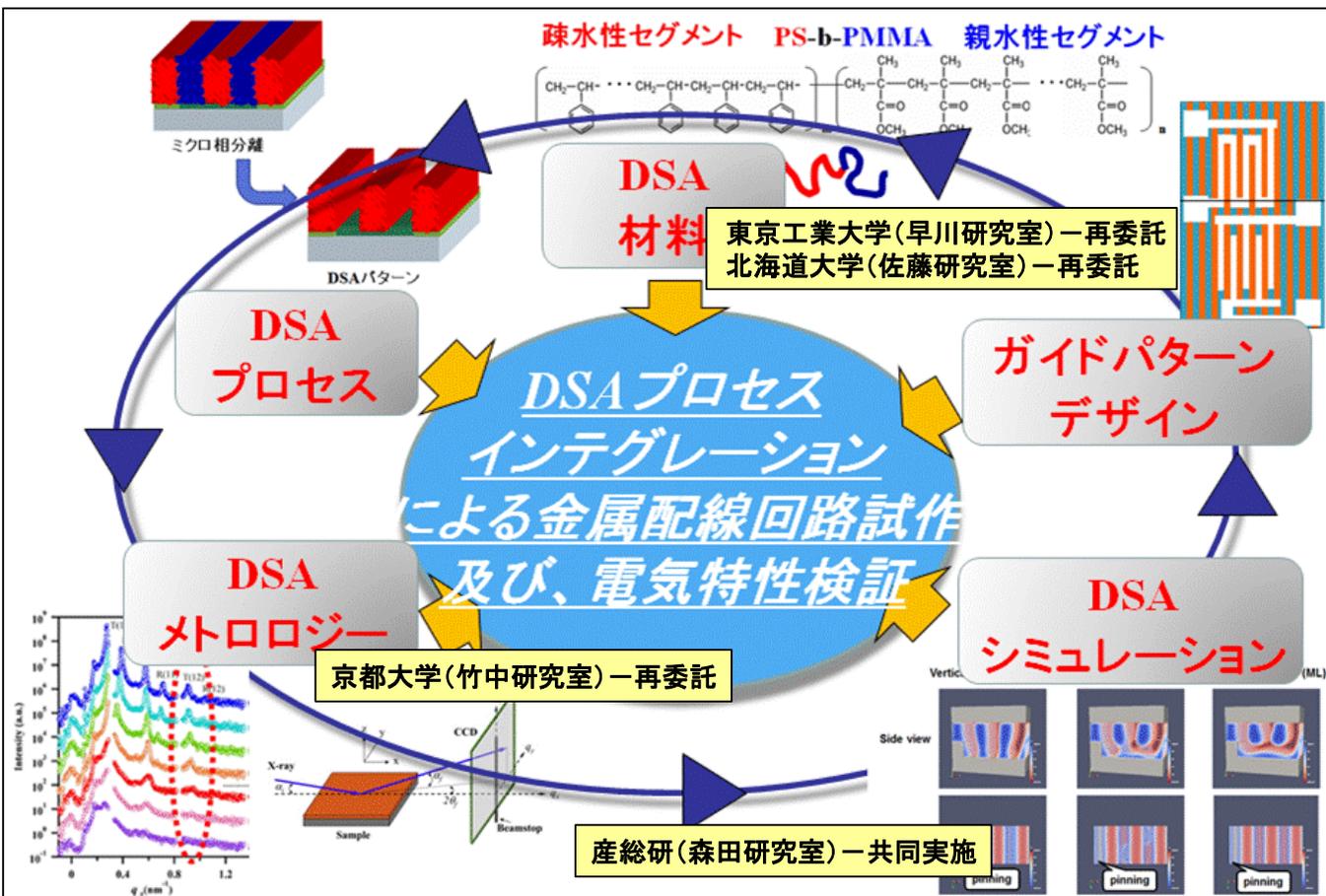
Disclination Dislocation Disclination & Dislocation DSA derived complex

- DSA特有欠陥の発生メカニズム解明と低減が量産適用に向けた最重要課題

III. 研究開発成果

2-(1) 各テーマの研究開発成果

(3)-(iii),(vi),(vii),(viii),(ix) EUVレジスト材料技術開発(DSA技術開発)



III. 研究開発成果

2-(1)各テーマの研究開発成果 (3)-(iii),(vi),(vii),(viii),(ix) EUVレジスト材料技術開発(DSA技術開発)

開発項目	最終目標	達成度	達成状況
(3)-(iii) DSA技術開発	【1】hp15nmDSAプロセス技術開発	達成	hp 15 nm DSAプロセスとして、化学ガイド方式と物理ガイド方式の両方の利点を兼ね備えたハイブリッドガイド方式のCOOLプロセスを独自に開発し、構築されたDSAプロセスを用いてインテグレーションした金属配線回路の電気特性検証に世界に先駆けて成功した。
	【2】hp10nmDSAプロセス技術開発	達成	hp 10 nm DSAプロセスとして、物理ガイドプロセスを独自に開発し、構築されたDSAプロセスを用いてインテグレーションした金属配線回路の電気特性検証に世界に先駆けて成功した。
(3)-(vi) DSA材料技術開発(東京工業大学への再委託)	hp11nm以細のパターン形成が可能なDSA材料・プロセス開発	達成	シリコン含有PMAPOSSとフッ素含有PTFEMAから成るブロック共重合高分子材料を開発し、ラメラ構造の垂直配向構造から誘導されたhp8nmのパターン形成を実施した。
(3)-(vii) DSA検査・計測技術開発(京都大学への再委託)	3次元検査・計測技術によるDSA欠陥解析評価機構解明	達成	GI-SAXSおよび3次元TEMによる3次元検査・計測技術を開発し、経時測定技術を含めた3次元検査・計測技術を使って、誘導自己組織化中のDSA欠陥解析評価技術を確立した。
(3)-(viii) DSAシミュレーション技術開発(産総研との共同実施)	DSAプロセス挙動を予想できるシミュレーション技術開発	達成	ソフトマテリアルに対する統合的なシミュレータであるOCTAをベースに、DSAプロセス挙動を高精度かつ高速に予測できるシミュレーション技術を開発した。
(3)-(ix) DSA材料合成技術開発(北海道大学への再委託)	hp11nm以細のパターン形成が可能なDSA材料合成技術開発	達成	ポリカプロラクトンPCLとマルチヘプタオースMHから成るブロック共重合高分子材料に多分岐構造を導入するDSA材料合成技術を開発し、hp11nm以細のパターン形成が可能なDSA材料の分子設計指針を確立した。

(2)特許、学会発表、成果の普及

学会発表	「査読付き」 219件、「その他」 189件
特許	「出願済」 81件、「登録」 9件、「実施」 0件 (うち外国出願 21件)
新聞発表	<ul style="list-style-type: none"> ・「ルネサス、共同開発に参加，次世代半導体の企業連合始動材料含め競争力を確保」 (日本経済新聞 9面平成23年6月10日) ・「超低電力デバイス実現へ開発着手，次世代半導体微細加工・評価基盤技術 NEDOなど」 (化学工業日報 朝刊 5面 平成23年6月13日) ・「EUV露光」実用化へ光」 (日経産業新聞 朝刊 1面 平成27年5月28日)
成果普及	<ul style="list-style-type: none"> ・EIDECシンポジウム <ul style="list-style-type: none"> 第1回：2011年6月17日 品川プリンスホテル 170名 第2回：2012年5月11日 コクヨホール(品川) 200名 第3回：2013年5月21日 コクヨホール(品川) 230名 第4回：2014年5月20日 コクヨホール(品川) 243名 第5回：2015年6月 3日 コクヨホール(品川) 246名

目次

Ⅲ. 研究開発成果

1. プロジェクトの概要

2. 目標達成状況と主な成果

(1) 各テーマの研究開発成果

(2) 特許、学会発表、成果の普及

Ⅳ. 成果の実用化・事業化に向けた取り組み及び見通し

成果の実用化・事業化に向けた取り組み

- ◆ プロジェクト成果の参加企業への迅速な移管
 - 定期的な開発進捗状況の報告、及び開発方針の討議
 - ・ 月報、四半期報告の提出
 - ・ 四半期毎のプログラムコミッティ、テクニカルコミッティの開催

- ◆ プロジェクト遂行における実用化・事業化を見据えた施策
 - 欠陥検査装置開発：
 - ・ 装置仕様の徹底的な討議による決定（参加企業の要望の反映）
 - ・ 参加企業の個別評価枠の設定
 - レジスト材料及び関連材料開発：
 - ・ 国内のフルフィールド露光機による実用化評価ができる体制の構築
 - レジストアウトガス計測技術開発
 - ・ 参加企業のサンプルレジスト評価枠の設定
 - DSA技術開発
 - ・ DSAシミュレータの参加企業における早期活用

実用化・事業化の見通し

- リソグラフィ技術は、数多くの要素技術から構成される総合技術であり、すべての構成要素が実用化レベルに到達して初めて実用化がなされる。
- EUVLの実用化を阻んできた最大の要因は、EUV光源開発の遅れにあったが、2013年以降、光源開発に確実な進展が見られ、2014年下半期以降、半導体業界全体の認識として、EUVLの実用化が確実視されるようになった。(HVM insertion is a question of “when” rather than “if”.)
- EUV露光装置については、2013年上半期から量産対応装置NXE:3300B(ASML社)の出荷が始まり、2015年には、さらに性能を向上させたNXE:3350Bが出荷された。現在、NXE:3300Bが8台、NXE:3350Bが3台、合わせて9台の量産対応露光装置がデバイスメーカーにおいて稼動しており、デバイスメーカーでは、量産適用を見据えた各種の要素技術の検証やプロセス開発、およびデバイス試作が行われている。
- EUVLを用いた半導体デバイス生産が開始されるのは、2018年と予測される。
- 最初にEUVLが適用されるデバイスは、7 nmノードロジック(N7)と認識されており、続いて1X nm DRAMに適用されることが見込まれている。
- 本プロジェクトに参加したサプライヤ企業(ブランクメーカー、マスクメーカー、レジスト材料及び関連メーカー、装置メーカー)もデバイスメーカーの量産開始に対応すべく、事業化の準備を進めている。
- DSAによるラインアンドスペースパターン形成(Line Multiplication)技術の実用化時期は、上記EUVLとは異なり、2020年と予測される。

プロジェクト成果と参加企業における事業化

成果物実用化の階層構造(マスクブランク欠陥検査装置の場合)

	業種	実用の内容
EIDEC	ABI技術開発	ABIに必要な仕様の決定, 装置開発, 検証
装置メーカー(レーザーテック株式会社)	ABI装置製造	ABI装置開発, 装置製造・販売
ブランクメーカー(AGC, HOYA)	ブランク製造	ABI装置により品質保証された ブランクの製造・販売
マスクメーカー(DNP, TPN), デバイスメーカーのマスク製造部門	マスク製造	ABI装置により品質保証されたブランクを購入し マスクを製造・販売
デバイスメーカー	LSI製造	ABI装置により品質保証されたブランクを用い て作られたマスクを購入しLSIを製造

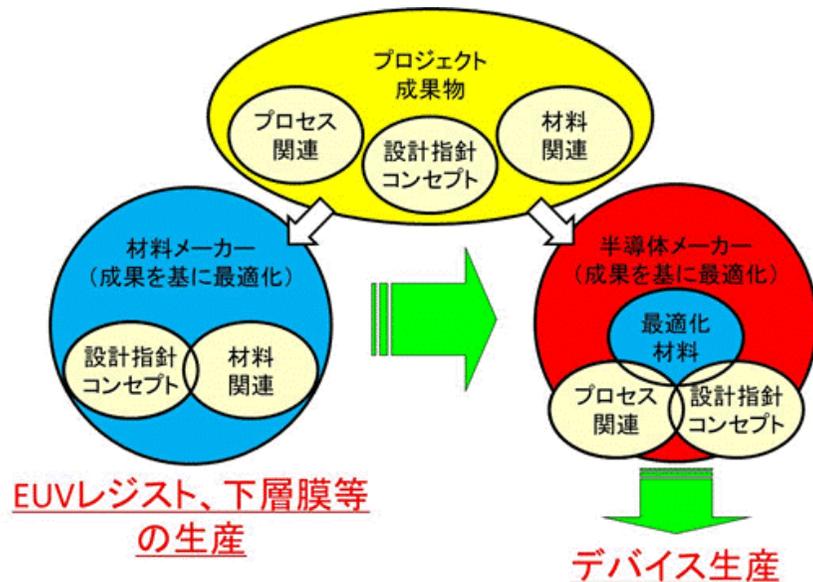
成果物実用化の階層構造(マスクパターン欠陥検査装置の場合)

	業種	実用の内容
EIDEC	PI技術開発	PIに必要な仕様の決定, 装置開発, 検証
装置メーカー(株式会社荏原製作所)	PI装置製造	PI装置開発, 装置製造・販売
マスクメーカー(DNP, TPN), デバイスメーカーのマスク製造部門	マスク製造	PI装置により品質保証された マスクを製造・販売
デバイスメーカー	LSI製造	PI装置により品質保証されたマスクを購入し LSIを製造

プロジェクト成果と参加企業における事業化

レジスト及び関連材料

成果物の実用化概念図



実用化へのマイルストーン

FY	2011	2012	2013	2014	2015	2016	2017	2018	~2020	~2025
	EIDEC Project									
hp16nm	基礎検討		サンプル試作	実用化検討		事業化検討	事業化	量産		
hp11nm										
			材料設計指針	基礎検討	サンプル試作	実用化・事業化検討			事業化	量産
									世代交代	

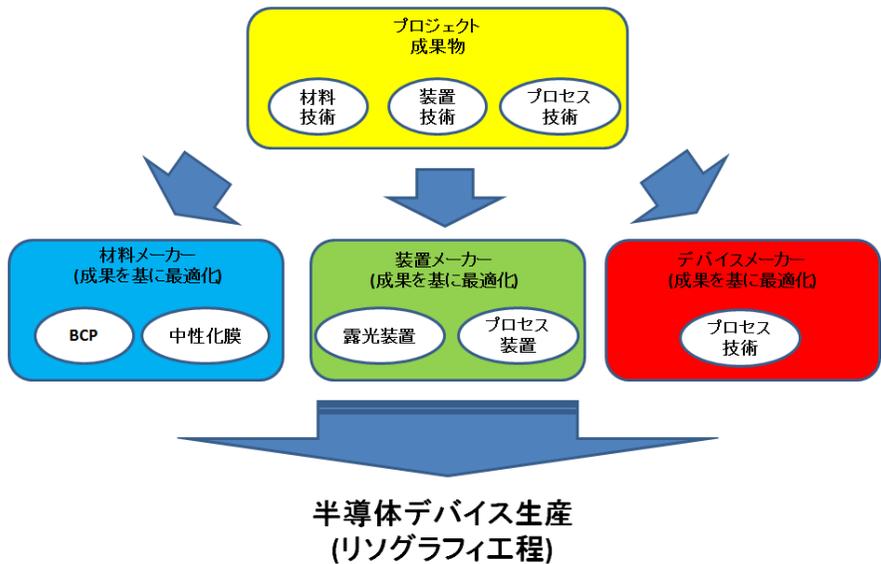
レジストアウトガス計測・評価技術

- 化学増幅型レジストに対するアウトガス合否判定基準の撤廃が業界で合意された。
- メタル系レジスト等新規コンセプトレジストに対するアウトガスの合否判定に係る計測・評価技術は、今後も、コンソーシアム等での開発が必要である。遅くとも、2018年までには、合否判定の存否に係る結論が出る見通しである。

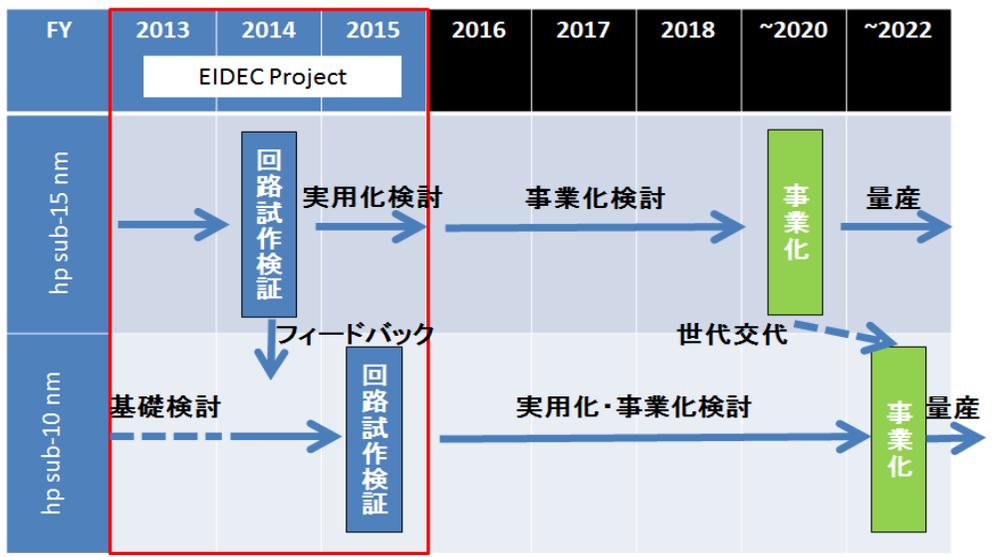
プロジェクト成果と参加企業における事業化

DSA技術

成果物の実用化概念図



実用化へのマイルストーン



➤ DSAによるラインアンドスペースパターン形成 (Line Multiplication)技術の実用化時期は、2020年と予測される。

まとめ

- hp11nm以細の微細加工技術に対応できるマスクブランク及びマスクパターンの欠陥検査技術とレジスト材料(EUVレジスト、アウトガス計測、DSA)の基盤技術を開発し、プロジェクトの最終目標を達成した。
- これらの成果は、ユーザーであるデバイスメーカーと装置、マスク、ブランク及び材料を製造販売するサプライヤ企業との国際的連携、国内の大学との連携、ならびに海外研究機関との連携の下で成し遂げられた。
- EUVLを用いた半導体デバイス生産は、7nmロジックデバイスから開始されると予測され、その時期は2018年の見通しである。
- プロジェクト成果の実用化・事業化は、プロジェクトに参加したユーザー企業及びサプライヤ企業、それぞれの事業形態に応じて成される。