

「ノーマリーオブコンピューティング基盤技術開発」

事業原簿

【公開版】

担当部	国立研究開発法人新エネルギー・産業技術総合開発機構 IoT 推進部
-----	--------------------------------------

概要	1
プロジェクト用語集	1
I. 事業の位置付け・必要性について	1
1. NEDO の関与の必要性・制度への適合性	1
1.1 NEDO が関与することの意義	1
1.2 実施の効果(費用対効果)	2
2. 事業の背景・目的・位置づけ	3
2.1 事業の背景	3
2.2 事業の目的	4
2.3 事業の位置づけ	4
II. 研究開発マネジメントについて	5
1. 事業の目標	5
2. 事業の計画内容	7
2.1 研究開発の内容	7
(1) 課題と開発すべき技術	7
(2) 事業内容	10
(3) 研究開発スケジュール	19
(4) 開発予算	27
2.2 研究開発の実施体制	28
2.3 研究開発の運営管理	28
2.4 研究開発成果の実用化、事業化に向けたマネジメントの妥当性	30
3. 情勢変化への対応	33
4. 中間評価結果への対応	34
5. 評価に関する事項	38
III. 研究開発成果について	39
1. 事業全体の成果	39
2. 研究開発項目毎の成果	47
2.1 ①-1 高速低消費不揮発メモリシステムによる携帯情報端末低電力化技術	47
2.2 ①-2 スマートシティ・センサーネットワーク低電力化技術	106
2.3 ①-4 ヘルスケア応用生体情報計測センサーネットワーク低電力化技術	177
2.4 ②-1 ノーマリーオフ評価基盤・プラットフォームの研究開発	199
2.5 ②-2 超高速不揮発メモリを活用するノーマリーオフメモリシステムの研究開発	211
2.6 ②-3 ノーマリーオフコンピューティングシステム設計方法論の研究開発	213
IV. 実用化・事業化に向けての見通し及び取り組みについて	234
1. 実用化・事業化に向けての見通し及び取り組みについて	234

(添付資料)

- ・プロジェクト基本計画
- ・事前評価関連資料(事前評価書)
- ・論文リスト

概要

		最終更新日	平成 28 年 7 月 20 日				
プロジェクト名	ノーマリーオフコンピューティング 基盤技術開発	プロジェクト番号	P11001				
担当推進部/担当者	電子・材料・ナノテクノロジー部 田崎 英明(平成 23 年 9 月～平成 24 年 3 月) 電子・材料・ナノテクノロジー部 島山 敦(平成 24 年 4 月～平成 24 年 12 月) 電子・材料・ナノテクノロジー部 波佐 昭則(平成 25 年 1 月～平成 25 年 3 月) 電子・材料・ナノテクノロジー部 高橋 伸幸(平成 25 年 4 月～平成 28 年 3 月)						
0. 事業の概要	我が国が優位性をもつ不揮発性素子に関わるハードウェア技術の更なる高度化と併せて、不揮発性素子を用いる機器・システム等のアーキテクチャ、ソフトウェア及びシステム化の要素技術を世界に先駆けて確立する。						
I. 事業の位置付け・必要性について	スマートグリッドやクラウドコンピューティングといった流れの中、今後コンピュータが社会のあらゆる局面で活用されることが予測されるが、その実現のためには、メンテナンスの観点・低炭素化の観点から更なる機器・システムの低消費電力化が求められる。しかしながら、半導体の微細化を中心とした従来技術では機器・システムの高集積化と低消費電力化の両立が困難になってきており、新たな技術的アプローチが求められる。電源を切っても情報を保持できる次世代不揮発性素子は、この点で大きな可能性を秘めている。本プロジェクトは、同素子を用いた低消費電力システムの実現のための基盤技術の確立を目指すものである。						
II. 研究開発マネジメントについて							
事業の目標	次世代センサーネットワーク、モバイル情報機器、サーバ等、不揮発性素子を用いると想定される機器・システムにおいて、不揮発性素子を用いたハードウェア技術、ソフトウェア技術、コンピュータアーキテクチャの一体的な開発により、システムとしての低消費電力性能(電力あたりの性能)を本事業開始時に対して 10 倍とすることを実証する。						
事業の計画内容	主な実施事項	H23fy	H24fy	H25fy	H26fy	H27fy	
	①-1 高速低消費不揮発メモリシステムによる携帯情報端末低電力化技術	←					→
	①-2 スマートシティ・センサーネットワーク低電力化技術	←					→
	①-3 インテリジェントビルを指向するセンサーネットワーク低電力化技術	←					→
	①-4 ヘルスケア応用生体情報計測センサーネットワーク低電力化技術	←					→
	②-1 ノーマリーオフ評価基盤・プラットフォームの研究開発	←					→
	②-2 超高速不揮発メモリを活用するノーマリーオフメモリシステムプラットフォームの研究開発	←					→
	②-3 ノーマリーオフコンピューティングシステム設計方法論の研究開発	←					→
	②ノーマリーオフコンピューティングシステム設計方法論の研究開発(平成 26 年度以降は②-3を上位目標②とし、②-1と②-2を包含して実施した)						→

開発予算 (百万円)	会計・勘定	H23fy	H24fy	H25fy	H26fy	H27fy	総額
契約種類: (共同研究 負 担率(1/2))	特別会計(需給)	425	665	542	509	446	2587
	総予算額	425	665	542	509	446	2587
開発体制	経産省担当原課	商務情報政策局 情報通信機器課					
	プロジェクト リーダー	中村 宏 東京大学大学院情報理工学系研究科 教授					
	共同研究先	共同研究先:(株)東芝、ルネサスエレクトロニクス(株)、ローム(株) 共同実施先:東京大学、オムロンヘルスケア(株)、神戸大学 再委託先:電気通信大学、東北大学、産業技術総合研究所、大阪大学、はこだて未来大学、立命館大学、神戸大学、岡山県立大学					
情勢変化への 対応	<p>(1)実施テーマの見直し整理による実施方針・計画の変更(平成23年度) プロジェクト開始年度に設定されたテーマに関して見直し、重複と目標の明確化を実施。その結果、「インテリジェントビルを指向するセンサーネットワーク低電力化技術(日本電気(株)、NECシステムテクノロジー(株))」を平成23年度に終了した。これにより、平成24年度より、実施テーマを一部削除し、実施体制を変更した。</p> <p>(2)プロジェクトリーダーによる実施方針・計画の変更(平成24年度) 平成24年度5月より、プロジェクトリーダー(中村 宏 東京大学教授)を置いた実施体制として、プロジェクトの運営を行っている。</p> <p>(3)事業組合の設置による実施方針・計画の変更(平成24年度) 平成24年度7月より、ノーマリーオフコンピューティング有限責任事業組合(LLP)を置いた実施体制として、プロジェクトの管理を行っている。</p> <p>(4)実用化・事業化に向けた体制変更(平成26年度、平成27年度) 平成26年度にルネサスエレクトロニクス(株)の再委託先として岡山県立大学を追加。また、平成27年度に(株)東芝の再委託先として電気通信大学 三輪研究室を追加。</p> <p>(5)ノーマリーオフコンピューティング発展普及に向けた調査事業 (平成26年度、平成27年度) 平成27年1月から平成27年5月の期間において、より広い分野へノーマリーオフコンピューティング技術を展開することを目指し調査事業を実施した。</p> <p>(6)ノーマリーオフコンピューティング技術の普及に向けた小規模研究開発の遂行 平成27年7月から平成28年3月の期間において、ノーマリーオフコンピューティングの発展普及のため、「社会インフラ」領域で(株)コア、「ヘルスケア」領域で神戸大学/兵庫県立大学/オムロンヘルスケア(株)による小規模研究開発を実施した。</p>						
中間評価結果 への対応	II の4.中間評価結果への対応を参照						

評価に関する事項	事前評価	平成 22 年度実施 担当部 NEDO 電子・材料・ナノテクノロジー部
	中間評価	平成 25 年度 中間評価を 8 月 6 日に実施
	事後評価	平成 28 年度 事後評価を 7 月 20 日に実施予定
Ⅲ. 研究開発成果について	<p>①-1: 高速低消費不揮発メモリシステムによる携帯情報端末低電力化技術 高速かつ低電流書き込み可能な微細MTJ記憶素子の開発を行った。高速読み出し回路および周辺回路の徹底的なノーマリーオフ化技術を開発、MRAMメモリ作製用CMOS半導体プロセス開発により、前記記憶素子を搭載した4Mb高速・低消費電力キャッシュメモリを試作した。プロセッサと連動して動作させ、メモリアクセス時間5ns以下を実証し、消費電力が従来キャッシュメモリの1/10以下(1/20)となる世界最高省電力性を示した。</p> <p>①-2: スマートシティ・センサーネットワーク低電力化技術 集中研成果をもとにしたタスクスケジューリング、および自律型電源制御技術の適用、さらに再委託先の研究成果であるセンサー動作最適化技術、クロック発振低電力化回路技術を適用して、従来のマイコンを用いたセンサーノードと比較し、91.6%の削減効果を実証し、目標の10倍(90%の削減効果)のノーマリーオフ低電力化性能を実現した。</p> <p>①-4: ヘルスケア応用生体情報計測センサーネットワーク低電力化技術 心拍、3軸加速度、行動解析機能を有するウェアラブル生体モニタリングシステムを完成させた。またアルゴリズム階層及びアーキテクチャ階層とハードウェア階層との協調設計によってノーマリーオフ・インスタントオンを実現し、システム全体の動作時間の最適化を行った。これによって貼り付け部システムの平均消費電流を20μA以下とし、システムとしての電力消費性能10倍を達成した。</p> <p>②-1: ノーマリーオフ評価基盤・プラットフォームの研究開発 マイコンと不揮発メモリを搭載する評価プラットフォームを開発し、電力モデルだけではなく、電源遮断と復帰に要する時間とエネルギーのモデル化を実現した。これにより、多分野の応用にノーマリーオフ技術を適用した際の電力性能評価を可能とした。</p> <p>②-2: 超高速不揮発メモリを活用するノーマリーオフメモリシステムプラットフォームの研究開発 キャッシュメモリに不揮発メモリのSTT-MRAMを搭載した場合の電力モデルについて、キャッシュを制御する周辺回路も含めて確立し、シミュレーション環境を構築した。</p> <p>②: ノーマリーオフコンピューティングシステム設計方法論の研究開発 キャッシュメモリに不揮発メモリのSTT-MRAMを搭載し、不揮発メモリ部と周辺制御回路を空間分割しノーマリーオフ制御を行う手法を開発した。さらにVLSI上の試作を分散研と協力して行い、電力効率が10倍になることを実証した。また、この設計方法論を、新しい領域(NEDO小規模開発:地形変形モニタリングシステム)へ適用することで、目指す設計方法論の確立を行った。</p>	
	投稿論文	「論文」109件、「研究発表・講演」250件
	特許	「出願済」161件(うち外国出願75件)、「登録」38件(うち外国登録18件) 特記事項:なし
	その他の外部発表(プレス発表等)	<ul style="list-style-type: none"> ・ノーマリーオフコンピューティング基盤技術開発プロジェクト公開シンポジウム <ul style="list-style-type: none"> 平成 25 年 4 月 16 日 第一回シンポジウム 横浜情報文化ホール 平成 26 年 6 月 19 日 第二回シンポジウム 横浜情報文化ホール 平成 27 年 12 月 14 日 第三回シンポジウム 横浜情報文化ホール

		<p>・新聞発表、Web 掲載、プレスリリース等</p> <p><u>(株)東芝</u></p> <table border="0"> <tr> <td>日刊工業新聞</td> <td>平成 23 年 9 月 8 日</td> </tr> <tr> <td></td> <td>平成 28 年 2 月 1 日</td> </tr> <tr> <td>日本経済新聞</td> <td>平成 26 年 6 月 10 日</td> </tr> <tr> <td></td> <td>平成 27 年 2 月 27 日</td> </tr> <tr> <td>日経テクノロジーオンライン</td> <td>平成 27 年 2 月 25 日</td> </tr> <tr> <td>日経エレクトロニクス</td> <td>平成 26 年 1 月 6 日</td> </tr> <tr> <td>PC Watch</td> <td>平成 28 年 2 月 1 日</td> </tr> <tr> <td>マイナビニュース</td> <td>平成 28 年 2 月 1 日</td> </tr> <tr> <td>EE Times Japan</td> <td>平成 28 年 2 月 2 日</td> </tr> <tr> <td>IoT News.jp</td> <td>平成 28 年 2 月 1 日</td> </tr> <tr> <td>プレスリリース</td> <td>平成 24 年 12 月 10 日</td> </tr> <tr> <td></td> <td>平成 28 年 2 月 1 日</td> </tr> </table> <p><u>ルネサスエレクトロニクス(株)</u></p> <table border="0"> <tr> <td>北海道新聞</td> <td>平成 27 年 8 月 28 日</td> </tr> <tr> <td>朝日新聞</td> <td>平成 27 年 10 月 20 日</td> </tr> </table> <p><u>ローム(株)</u></p> <table border="0"> <tr> <td>プレスリリース</td> <td>平成 26 年 11 月 11 日</td> </tr> <tr> <td>朝日新聞</td> <td>平成 26 年 11 月 11 日</td> </tr> <tr> <td>日刊工業新聞</td> <td>平成 26 年 11 月 11 日</td> </tr> <tr> <td>電波新聞</td> <td>平成 26 年 11 月 11 日</td> </tr> <tr> <td>化学工業日報</td> <td>平成 26 年 11 月 11 日</td> </tr> <tr> <td>日経テクノロジーオンライン</td> <td>平成 26 年 11 月 11 日</td> </tr> <tr> <td>日経エレクトロニクス</td> <td>平成 26 年 12 月 8 日</td> </tr> <tr> <td>電波新聞ハイテクノロジーズ</td> <td>平成 27 年 1 月 9 日</td> </tr> </table>	日刊工業新聞	平成 23 年 9 月 8 日		平成 28 年 2 月 1 日	日本経済新聞	平成 26 年 6 月 10 日		平成 27 年 2 月 27 日	日経テクノロジーオンライン	平成 27 年 2 月 25 日	日経エレクトロニクス	平成 26 年 1 月 6 日	PC Watch	平成 28 年 2 月 1 日	マイナビニュース	平成 28 年 2 月 1 日	EE Times Japan	平成 28 年 2 月 2 日	IoT News.jp	平成 28 年 2 月 1 日	プレスリリース	平成 24 年 12 月 10 日		平成 28 年 2 月 1 日	北海道新聞	平成 27 年 8 月 28 日	朝日新聞	平成 27 年 10 月 20 日	プレスリリース	平成 26 年 11 月 11 日	朝日新聞	平成 26 年 11 月 11 日	日刊工業新聞	平成 26 年 11 月 11 日	電波新聞	平成 26 年 11 月 11 日	化学工業日報	平成 26 年 11 月 11 日	日経テクノロジーオンライン	平成 26 年 11 月 11 日	日経エレクトロニクス	平成 26 年 12 月 8 日	電波新聞ハイテクノロジーズ	平成 27 年 1 月 9 日
日刊工業新聞	平成 23 年 9 月 8 日																																													
	平成 28 年 2 月 1 日																																													
日本経済新聞	平成 26 年 6 月 10 日																																													
	平成 27 年 2 月 27 日																																													
日経テクノロジーオンライン	平成 27 年 2 月 25 日																																													
日経エレクトロニクス	平成 26 年 1 月 6 日																																													
PC Watch	平成 28 年 2 月 1 日																																													
マイナビニュース	平成 28 年 2 月 1 日																																													
EE Times Japan	平成 28 年 2 月 2 日																																													
IoT News.jp	平成 28 年 2 月 1 日																																													
プレスリリース	平成 24 年 12 月 10 日																																													
	平成 28 年 2 月 1 日																																													
北海道新聞	平成 27 年 8 月 28 日																																													
朝日新聞	平成 27 年 10 月 20 日																																													
プレスリリース	平成 26 年 11 月 11 日																																													
朝日新聞	平成 26 年 11 月 11 日																																													
日刊工業新聞	平成 26 年 11 月 11 日																																													
電波新聞	平成 26 年 11 月 11 日																																													
化学工業日報	平成 26 年 11 月 11 日																																													
日経テクノロジーオンライン	平成 26 年 11 月 11 日																																													
日経エレクトロニクス	平成 26 年 12 月 8 日																																													
電波新聞ハイテクノロジーズ	平成 27 年 1 月 9 日																																													
IV. 実用化・事業化の見通しについて	<p>・ノーマリーオフコンピューティング基盤技術開発では、具体的な3つの応用製品、具体的には携帯情報端末、スマートシティ・センサーネットワーク、ヘルスケア応用をターゲットに開発を行う。これらが当初の技術目標を達成したあかつきには、スマートメモリステム、マイコン、特定用途向け LSI という半導体製品として、PJ 終了後、それぞれ事業化されることが期待できる。</p>																																													
V. 基本計画に関する事項	作成時期	平成 23 年 3 月 作成																																												
	変更履歴	平成 23 年 7 月 独立行政法人新エネルギー・産業技術総合開発機構法の改正に伴う改訂																																												

プロジェクト用語集

用語	説明	分類
ADC	Analog to Digital Converter の略。アナログ電気信号をデジタル電気信号に変換する電子回路。	共通
AFE	Analog Front-End の略。センサーなどとデジタル信号処理デバイスを結ぶアナログ回路。	①-4
API	Application Programming Interface の略。API とは、あるコンピュータプログラム（ソフトウェア）の機能や管理するデータなどを、外部の他のプログラムから呼び出して利用するための手順やデータ形式などを定めた規約のこと。	②-1
CMOS	Complementary Metal Oxide Semiconductor の略。MOSFET を相補型に配置したゲート構造。	共通
CPU	Central Processing Unit の略。中央演算装置のこと。	①-2
DRAM	Dynamic Random Access Memory の略。キャパシタに電荷を保持することによりデータを記憶するメモリ。長期間の保持が出来ないので、定期的にリフレッシュが必要である。揮発性である。	共通
DVFS	Dynamic Voltage and Frequency Scaling の略。消費電力を最小化するために、動作電圧や動作周波数をダイナミックに変動させる手法。	①-2
FeRAM	Ferroelectric Random Access Memory の略。強誘電体メモリ。強誘電体のヒステリシスを利用し情報を記録するメモリ。不揮発メモリ。	①-4
FPGA	Field Programable Gate Array の略。ユーザで機能が変更可能なチップのこと。	①-2
MCU	Micro Controller Unit の略。機器の制御に用いられるチップのことで通常マイコンと呼ばれる。	共通
MRAM	Magnetic Random Access Memory の略。記憶素子に磁性体を用いた不揮発性メモリの一種。「磁気抵抗メモリ」と訳される。	①-1
MTJ	Magnetic Tunnel Junction の略。トンネル磁気抵抗効果を発現するトンネル接合であり、強磁性膜 / トンネル絶縁膜 / 強磁性膜から構成される。2 層の強磁性膜の相対的な磁化（スピン）方向により、トンネル絶縁膜におけるスピン偏極電子のトンネル確率（抵抗）が変化する。	①-1

SoC	System on Chip の略。一つの半導体チップ上に必要とされる一連の機能を数隻する設計手法。	①-4
SRAM	Static Random Access Memory の略。通常は6つのトランジスタの組で形成されるメモリである。トランジスタプロセスのみで作製できること、各種メモリ中で最も動作速度が高速であるという特徴があるが、面積が大きい、電源を切ると記憶が失われる揮発性である、という欠点もある。	共通
STT-MRAM	Spin Transfer Torque Magnetic Random Access Memory の略。書き込み電流の方向を変えることで、MTJの抵抗状態を変える方式を用いたMRAM。	①-1
インターフェース	異なる機器を接続して、通信や制御を可能にする装置。	共通
インテリジェントビル	電力通信インフラを強化した高付加価値オフィスビル。	①-2
ウェアラブル	身につけて持ち歩くことができること。	①-4
エミュレーション	マイコンのソフトウェア開発においては、マイコンの内部情報を収集するツール（オンチップエミュレータ）を用いてソフトウェアのデバッグを行う技術を指して、“エミュレーション技術”と呼んでいる。それにならって、②-1ではマイコン内部の種々の電力情報を収集できる評価環境を、“ノーマリーオフ評価エミュレーション環境”と呼んでいる。	②-1
オーバーヘッド	コスト増加やエネルギー効率低下につながる余分な部分のこと。	①-2
記憶層、参照層	MRAMにおいてスピンの方向が容易に変わる層が記憶層。スピンの向きが固定されている層が参照層。	①-1
記憶素子	0と1のデジタル状態を記憶することが可能な素子。	①-1
揮発性メモリ	電力供給が行われなくなると記憶内容が不定となるメモリ。	共通
キャッシュメモリ	メインメモリの中のデータの一部のコピーを内蔵したメモリ。メインメモリよりも小容量であるが高速のため、キャッシュメモリによって、一般的にはプロセッサの性能が上がる。	①-1
キュリー温度	強磁性体が常磁性体に変化する転移温度、もしくは強誘電体が常誘電体に変化する転移温度。	①-1
強誘電体	外部に電場がなくても電気双極子が整列しており、かつ双極子の方向が電場によって変化できる物質。	①-4
携帯情報端末	情報を携帯して扱うための小型機器。	①-1

サイバーフィジカルシステム	実世界との関わりを意識し、サイバー空間のコンピューティング能力を組み合わせ、社会的な課題を解決しようとする試み。	①-2
磁化反転	磁性体において、スピンの向きが反転し、磁化が逆向きに変化すること。	①-1
磁気抵抗	磁性体のスピンの向きによって変化する抵抗のこと。	①-1
磁気特性	外部磁場の大きさと方向を変えることで、変化する内部磁化。	①-1
磁気摩擦定数	スピンにスピントルクが働いて歳差運動を起こす際に、磁性体内部でスピンに対して作用する摩擦の大きさを示す定数。STT-MRAM では、次期摩擦定数が小さい材料を用いるほど、低電流で Write 動作が可能となる。	①-1
垂直磁化	薄膜磁性体の表面に対して垂直なスピンを持つ磁化のこと。	①-1
垂直磁気異方性	スピンが表面に対して垂直を向きやすくなる性質。	①-1
スイッチング動作	トランジスタのオープン状態とショート状態を切り替えること。	共通
スタティック電力	スイッチング動作を行わなくても電源が投入されているだけで消費する電力。	共通
スタンバイモード	動作待ち状態で用いられるマイコンに備わっている低電力モードのこと。	①-2
スピン RAM	電流磁場方式の MTJ に、一定方向の電子スピンをもつ電流だけを通過させる膜(スピントルク材料)を付加し、スピントルクによる電子の反転作用によって書き込みを行うメモリ。不揮発メモリ。	①-1
スピントルク	スピンに働くトルクのこと。トルクにより容易磁化軸に対して、歳差運動を起こす。	①-1
スピン注入記憶素子	スピン偏極した電流を注入することでスピンの方向を変えることが出来る記憶素子。STT-MRAM のこと。	①-1
スマートシティ	センサーネットなどの先端技術を用いて社会インフラを効率化・高度化した都市。	①-2
センサーネット	多数のセンサーを空間に散在させそれらが協調して情報を収集するシステム。	①-2
損益分岐点 (BET : break-even time)	2種類の制御手法を比較し、その損益が逆転する点。	共通
ダイナミックスケジューリング	最も低消費電力化の効果が得られるように、必要なタスクが起動するタイミングをダイナミックに変更すること。	①-2

ダイナミック電力	スイッチング動作により消費する電力。	共通
タスクスケジューリング	タスクの実行場所および実行開始タイミングの決定手法。	共通
ダンピング定数	スピンのスピントルクが働いて歳差運動を起こす際に、磁性体内部でスピンに対して作用する摩擦の大きさを示す定数。STT-MRAM では、ダンピング定数が小さい材料を用いるほど、低電流で Write 動作が可能となる。	①-1
デマンド交通	バスなどの交通機関を無駄なく運行するために、利用者の所要に応じて運行を行う方式のこと。	①-2
動作アクティビティ	全実行時間に対する、真に動作しなければならない時間の比率。	①-2
パワーゲーティング	不要な回路素子の電力供給を停止する電力制御手法。	共通
微細化	半導体をより小型にすること。	①-1
フェリ磁性	結晶中に逆方向のスピンを持つ 2 種類の磁性イオンが存在し、互いの磁化の大きさが異なるために全体として磁化を持つ磁性。	①-1
不揮発 FF	従来の揮発フリップフロップに不揮発メモリを組み合わせることにより、不揮発性を付加したフリップフロップ。	①-4
不揮発性メモリ	電力供給が行われなくとも記憶内容を保持できるメモリ。	共通
フリップフロップ (FF)	二進法の基本である 1 ビットの情報を一時的に“0”または“1”の状態として保持する（記憶する）ことができる論理回路。	①-4
ヘルスケア	健康の維持や増進のための健康管理。	①-4
飽和磁化	磁性体に外部磁場を印加した際に、磁性体内の磁化が取りうる最大値。	①-1
メモリ階層	高速小容量のメモリから大容量低速のメモリまで、多種のメモリを組み合わせることで、アクセス速度と容量を両立するメモリ構成。	共通
面内磁化	薄膜磁性体の表面に水平なスピンを持つ磁化のこと。	①-1
レジスタ	プロセッサなど論理回路の内部でフリップフロップなどにより情報を保持する装置。	①-4
ロジック回路	論理演算を行う回路。	共通

I. 事業の位置付け・必要性について

1. NEDO の関与の必要性・制度への適合性

1.1 NEDO が関与することの意義

電機製品の省電力化という観点で見ると、半導体素子の微細化技術は長らく大きな役割を果たしてきた。しかしながら近年微細化が極限まで進んだ結果、リーク電流が増加し構造的にも閾値電圧の更なる低下は困難になってきており、電機製品の更なる省電力化のためには従来とは視点が異なるアプローチが求められるようになってきている。

他方、近年 FeRAM、MRAM 等、次世代不揮発性素子の急速な性能向上が達成されており、これら次世代不揮発性素子を有効に利用すれば従来の素子技術では達成が出来ない程の細粒度で電力を制御し省電力化を実現する「ノーマリーオフコンピューティング」が可能になることが予測される。

これを産業への影響という観点で見た場合、現在のコンピューティングの在り方自身を変革する可能性もあり、世界に先駆けてこの分野の研究開発に取り組むことは我が国の産業競争力強化という文脈でも大きな意義を有すると考えられる。

実際、2006年3月に閣議決定された「第3期科学技術基本計画」で、重点推進4分野の一つとして情報通信分野が挙げられた。さらに、2011年8月に閣議決定された「第4期科学技術基本計画」では「グリーンイノベーション」を強力に推進していくことが示され、その中に、情報通信機器やシステム構成の一層の省エネ化への取り組みがあげられている。直近では、「日本再興戦略」(2013年6月、閣議決定)で提示された「世界最高水準のIT社会の実現」に向けて、「科学技術イノベーション総合戦略」(2013年6月、閣議決定)で、第4期科学技術基本計画と整合をとる形で、長期ビジョンと短期プログラムが設定された。この中で、2030年までの目標である「革新的デバイスによるエネルギー効率向上及びエネルギー消費の削減」に対して、中間段階において達成しておくべき姿(2020年頃)として、情報機器では、「10倍程度の電力効率のノーマリーオフコンピューティング技術を実現すること」、としている(図 I-1)。

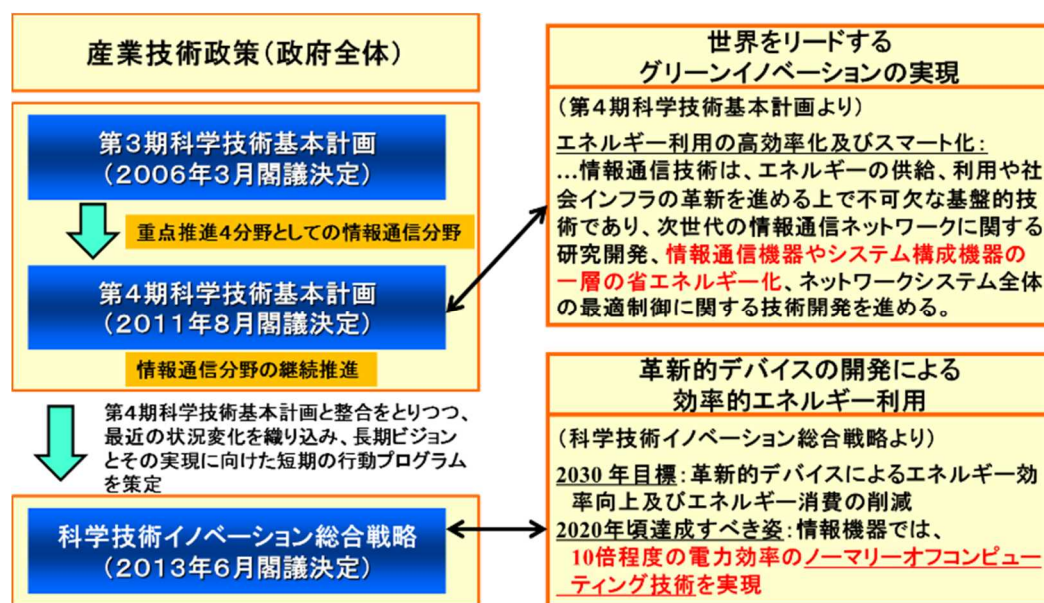


図 I-1 政策上の位置づけ

本プロジェクトは、将来の情報通信分野における低炭素社会を実現する中核的・革新的技術であり、我が国エレクトロニクス産業の優位性の確保と情報化社会の推進にとって大きな意義を持つものである。

しかしながら「ノーマリーオフコンピューティング」の実現には素子技術のみならず、基本ソフトウェアの見直し、コンピュータアーキテクチャの再検討など多岐にわたる側面からのアプローチが必要であり、また従来の延長線上にない画期的な挑戦でありリスクも高く、民間単独では行うことは極めて困難である。

従って本プロジェクトは、産学官の英知を結集して開発を行う必要があることに加え、その関連産業の国際競争力強化、および国家的重点目標である高度情報化社会の実現に寄与するものであり、産業政策・情報政策の面からも極めて重要な課題であることから、国家プロジェクトとして NEDO が関与すべきものと考えられる。(図 I-2)

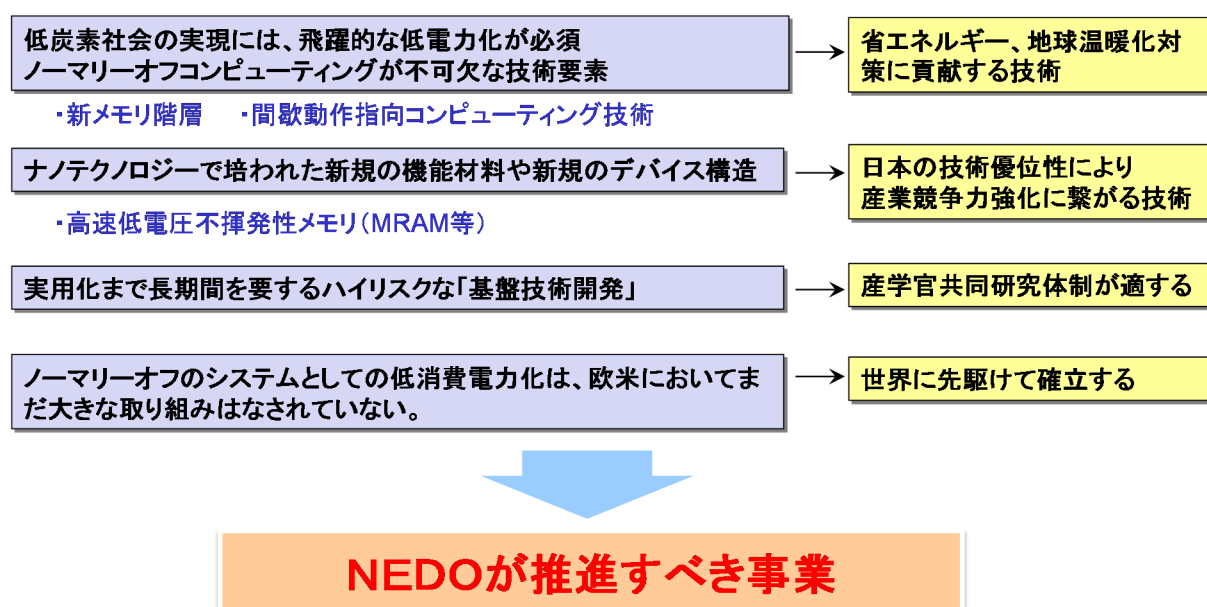


図 I-2 NEDO が関与する意義

1.2 実施の効果(費用対効果)

本プロジェクトは、事業期間5年間、事業規模約52億円の計画で進めてきた。内、NEDO負担率は1/2である。

(1) 経済効果

半導体分野は、現在、世界全体で約25兆円の市場が存在し更に拡大している。その中で、本プロジェクトが開発を目指しているノーマリーオフ技術は、大きな省エネ効果を武器に新たな製品群を生み出し、日本半導体製品の市場優位性を確保出来るものと期待される。即ち、ノーマリーオフ用不揮発メモリ技術、低消費電力マイコン技術、低消費電力LSI技術の確立を通して、新たなノーマリーオフ技術適用市場が展開され、例えば本事業で対象とする各半導体製品では、それぞれ、半導体メモリ:2,000億円、省電力マイコン:約3,400億円、及びその他省電力LSI:約1,400億円で計約7,000億円の経済効果が期待される。

更に、その応用展開により、スマートシティ向け・生体情報向け各種センサーネットワーク分野やモバイル・携帯機器分野をはじめとして、社会に広く超低消費電力型コンピュータの普及を促進することで、大きな経済的波及にも貢献できる。一例として、国内パソコン・スマートフォン機器の2030年での市場を予測し、ノーマリーオフの普及を50%と仮定して試算すると、その経済的インパクトは、約7,000億円のレベルに達すると考えられる。

(2) 省エネルギー効果

本プロジェクトの研究成果であるノーマリーオフコンピューティングにより、IT機器の省エネを、キーデバイスの低電力化で実現したと仮定すると、2030年には、23億kWhの電力削減が期待される。

また、炭酸ガス削減量に換算すると、128万トン/年である。世界では、GDP比ベースでの案分を仮定すると、世界では2,000～3,000万トン/年の省エネ効果の期待に相当する。

2. 事業の背景・目的・位置づけ

2.1 事業の背景

スマートグリッドやクラウドコンピューティングといった流れの中、ネットに流れる情報量の爆発的な増加、それに伴うIT機器の待機電力を含む消費電力の急激な増加も指摘されており(図I-3)、今後コンピュータが社会のあらゆる局面で活用されるためには、メンテナンスの観点・低炭素化の観点から更なる機器・システムの低消費電力化が求められる。電源を切っても情報を保持できる次世代不揮発性素子は、この点で大きな可能性を秘めている。

当該分野のデバイス開発においては我が国の技術的水準は最先端にあつて大きな発展の可能性を秘めているが、不揮発性素子やその周辺分野の更なる技術向上が必要である。他方でコンピュータアーキテクチャやソフトウェアの面では諸外国に比べて必ずしも研究開発が盛んでなく、早急な取り組みが求められる。また、次世代不揮発性素子については今まで各国で盛んな取り組みが行われており、一部実用化も図られている。ただし、コンピューティングシステム全体としての取り組みは顕在化しておらず、我が国が世界の開発をリードできる可能性がある。

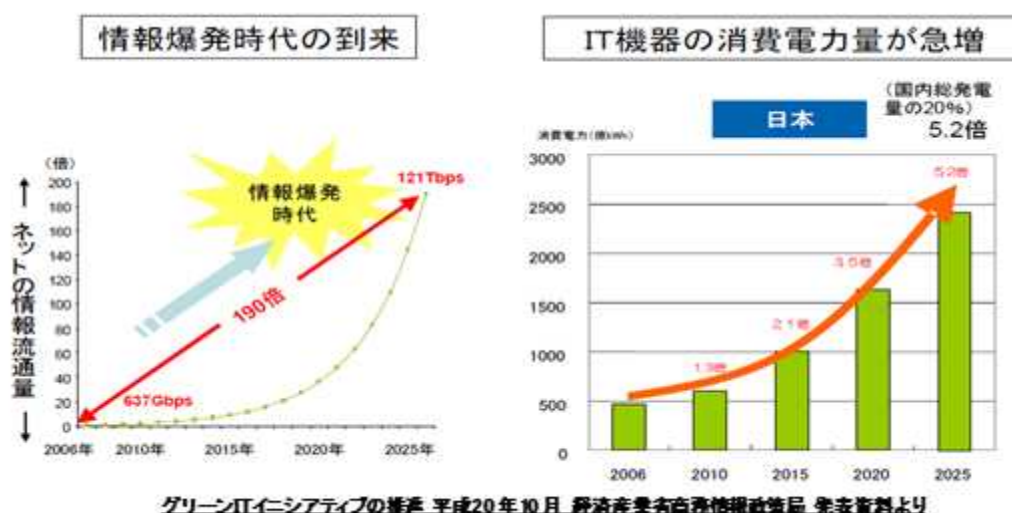


図 I-3 ネット情報量、IT 情報機器の予測

2.2 事業の目的

本プロジェクトの目的は、システムとしては動作中であっても真に動作すべき構成要素以外の電源を遮断する「ノーマリーオフ」を目指し、我が国が優位性を持つ不揮発性素子に関わるハードウェア技術の更なる高度化と併せて、不揮発性素子を用いる機器等のアーキテクチャ、ソフトウェアおよびシステム化の要素技術を世界に先駆けて確立することにより、同素子の特性を活かした新市場を創出し、併せて超低消費電力機器の普及により、温室効果ガスの削減に寄与することである。

2.3 事業の位置づけ

ノーマリーオフコンピューティングとは、システムとしては動作中であっても真に動作すべき構成要素以外の電源を積極的に遮断する「ノーマリーオフ」を実現する「コンピューティング」技術である。

欧米においては、大型の産学連携ナノエレクトロニクス拠点の整備がここ数年で飛躍的に進み、不揮発性素子を含む次世代デバイスに関する実用化を目指した研究が活発に行われている。しかしながら、コンピューティングシステム全体をとらえての研究開発は、まだ一部でしかなく、米国政府の MRAM を中心にしたコンソーシアムへの支援や韓国政府のメモリ素子だけでなくシステム応用の研究開発への支援が行われつつある。今後の新たなシステム開発も加えた研究開発が活発化するであろう状況を放置すれば、我が国の技術開発の競争力を失いかねない。

以上のように、本プロジェクトは、世界に先駆けてノーマリーオフコンピューティングの確立を目指すこととしており、その成果の波及はわが国の競争力の確保と、エネルギー消費削減・低炭素化の両方に貢献すると期待されるため、本プロジェクト推進の必要性は高い(図 I-4)。

■ ノーマリーオフコンピューティングとは

システムとしては動作中であっても真に動作すべき構成要素以外の電源を積極的に遮断する「ノーマリーオフ」を実現する「コンピューティング」

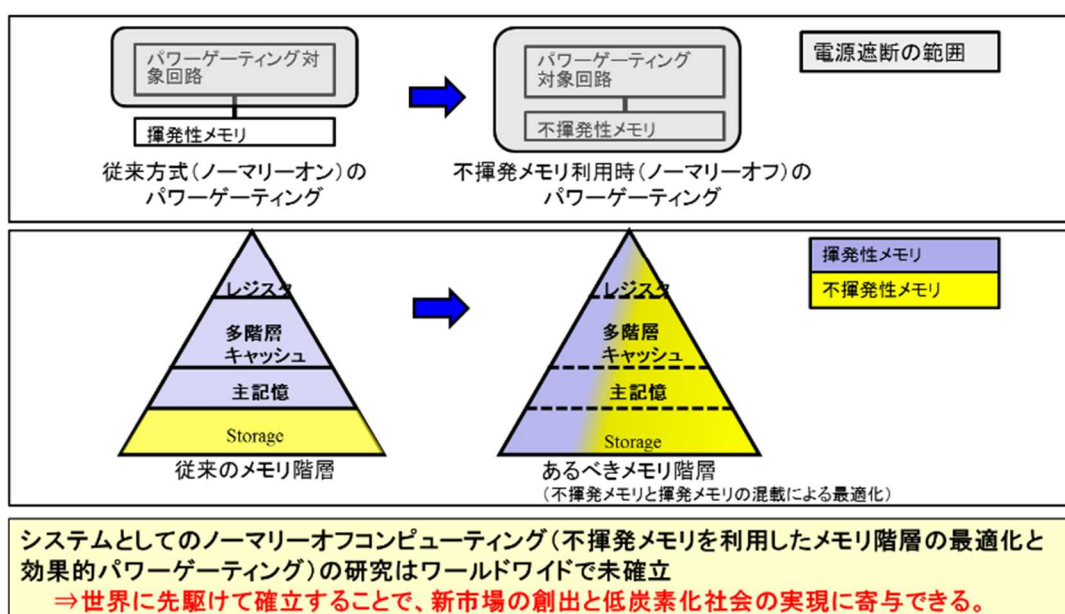


図 I-4 ノーマリーオフコンピューティングの優位性

II. 研究開発マネジメントについて

1. 事業の目標

コンピューティングシステムの構成要素である半導体素子の消費電力は、スイッチング動作に伴って消費されるダイナミック電力と、待機時にも消費されるスタティック電力がある。素子の微細化によりこのスタティック電力が消費電力全体において占める割合が増大し問題となっており、システムの低消費電力性能(電力当たりの性能)を向上させるには、この待機時のスタティック電力を削減することが重要となっている。

この問題に対し、パワーゲーティング(Power Gating:電源遮断)が有望な手法として期待されている。パワーゲーティングされた部分は通電しないため、スタティック電力を消費しないからである。そこで、動作中のコンピュータシステムといえども、必ずしも全ての構成要素が常に必要な処理をしているわけではないことに着目し、パワーゲーティングを使い不要部の電源を遮断しその部分のスタティック電力を抑えることができれば、大幅な消費電力削減効果が期待される。

また、揮発性メモリを不揮発性メモリに置き換えることも同様に効果的である。揮発性メモリは待機時においても情報を保持するためだけに電力を消費するが、不揮発性メモリは電力を消費せずに情報を保持できるからである。コンピュータシステムにおいて、メモリに期待される本質的な役割は情報を記憶することであり、各メモリ素子に着目するとアクセスされる頻度は極めて低いことがわかっている。したがって、メモリにおける消費電力のほとんどは待機時のものであり、メモリに不揮発性メモリを用いることで待機時電力を抑えることができ、やはり消費電力の削減が期待できる。

さらに、これらの2つの手法を融合し、不揮発性メモリを導入したシステムにおいてパワーゲーティングを適用すると、その相乗効果により大きな低電力化効果を得ることが期待できる。従来のパワーゲーティングでは、揮発性素子の情報は失われてしまうため、正しい動作を再開するための情報を保持する素子の電源は遮断することができず、その適用範囲と電力削減効果には明らかな限界があった(図 II-1-(A))。しかし、不揮発性素子を使えば、電源遮断部の情報を不揮発性メモリで保持することでこの制約から解放されるためその適用範囲を広げることができ、パワーゲーティングによる低電力効果をより大きくすることができるからである(図 II-1-(B))。

以上のように、本事業の目的は、このパワーゲーティング技術と不揮発性メモリの相乗効果により、システムとしては動作中であっても真に動作すべき構成要素以外の電源を遮断する「ノーマリーオフ」を提唱し、それを実現可能にする不揮発性素子を用いたハードウェア技術、ソフトウェア技術、コンピュータアーキテクチャの一体的なコンピューティング基盤技術の開発によりシステムの消費電力を大幅に削減し、システムとしての低消費電力性能(電力当たりの性能)を本事業開始時に対して10倍とすることを実証することである。

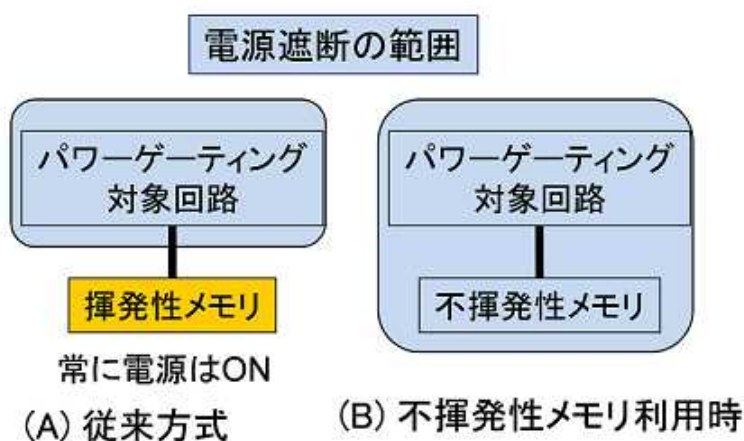


図 II-1 パワーゲーティングの対象

【中間目標】

次世代センサーネットワーク、モバイル情報機器、サーバ等、不揮発性素子を用いると想定される機器・システムにおいて、事業終了時に求められると予測される処理性能を満たすことを前提に、不揮発性素子を用いたハードウェア技術、ソフトウェア技術、コンピュータアーキテクチャの一体的な開発により、システムとしての低消費電力性能(電力あたり性能)が10倍となる見込みを、実験・シミュレーションにより示す。

【最終目標】

次世代センサーネットワーク、モバイル情報機器、サーバ等、不揮発性素子を用いると想定される機器・システムにおいて、事業終了時に求められると予測される処理性能を満たすことを前提に、不揮発性素子を用いたハードウェア技術、ソフトウェア技術、コンピュータアーキテクチャの一体的な開発により、システムとしての低消費電力性能(電力あたりの性能)を本事業開始時に対して10倍とすることを実証する。

2. 事業の計画内容

2.1 研究開発の内容

(1) 課題と開発すべき技術

1. 事業の目的で述べた「ノーマリーオフコンピューティング」の実現には大きく2つの課題が存在する。

【課題1】: 不揮発性メモリの特性と従来メモリ階層とのミスマッチ

図 II-2 に従来の不揮発性メモリと揮発性メモリの比較を示す。この図からわかるように、これまでの不揮発性メモリのアクセス時間は、従来のメモリ階層を構成するSRAMよりも遅い。そのため、従来のメモリ階層をそのまま不揮発性メモリで構成しようとする、高速なキャッシュメモリを実現できないため大きな性能低下を招く。また不揮発性素子の性能は、性能的に大きなギャップのあるDRAMとStorageの間に位置するが、従来のメモリ階層はこの性能範囲に位置する記憶素子を活用するような設計になっていない。

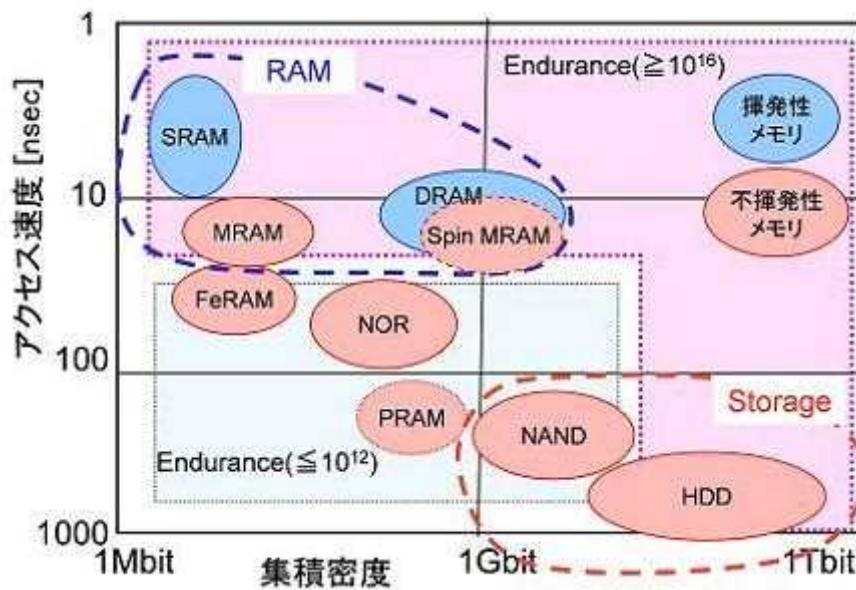


図 II-2 現状での揮発性メモリと不揮発性メモリの比較

【課題2】: パワーゲーティングの時間粒度限界

パワーゲーティングの際には、再開に必要な情報を不揮発性メモリに保存し対象回路の電源を遮断する。しかし、不揮発性メモリへの書き込みは大きなエネルギーを必要とする。またパワーゲーティング自体もエネルギーを消費する。したがって、実効的に消費電力を削減するためには電源遮断によるエネルギー削減がこの余分なエネルギー消費と同じになる損益分岐点(BET: Break Even Time)よりも長い時間、パワーゲーティングを行う必要がある。つまり、できるだけ時間粒度の粗い間歇動作を実現する必要がある。

この課題を解決し、ノーマリーオフコンピューティングによる低電力化の恩恵を享受するために以下の2つの技術開発を行う。

【技術開発1】:揮発性メモリと不揮発性メモリが混在する新しいメモリ階層

従来のメモリ階層は、CPUの論理演算処理部へのデータ供給能力向上を目的として設計されてきている。すなわち、集積度の向上のみを頼りに、論理演算処理部の近くに搭載するメモリを大容量化するに對してメモリを大容量かつ高速に見せるためのメモリ階層最適化が行われてきた。搭載可能なキャッシュメモリをできるだけ論理演算処理部の近くに配置し、そして多階層化することで高速性も実現して実装する手法はその典型である(図 II-3左)。しかし、例えばキャッシュメモリに限っても、多くのアクセスされない情報が保持されていることが10年以上前より指摘されており、揮発性メモリが消費するスタティック電力の大部分は不要な情報の保持に費やされている。これは、揮発性メモリで構成されているキャッシュメモリを、スタティック電力を消費しない不揮発性メモリで構成することで消費電力を大きく削減できる可能性を示唆している。しかしながら、不揮発性メモリには揮発性メモリに比べてアクセス速度が遅く、アクセス時(特に書き込み時)の消費エネルギーが大きいという短所もある。したがって、揮発性メモリと不揮発性メモリの長所をお互いに補完しあえる新しいメモリ階層の構築が必要となる。

また、DRAMとStorageの間には性能的に大きなギャップがあるため、従来のメモリ階層においては、上位メモリ階層からDRAMで構成される主記憶まではハードウェアによる制御、Storageを含む主記憶より下の階層は基本ソフトウェア(オペレーティングシステム)が制御している。しかし、DRAMとStorageの間に不揮発性素子を導入する場合には、メモリ階層間の性能差が縮小される傾向になるため、ハードウェアとソフトウェアのどちらがメモリ階層のどの範囲を司るのか、という点に関しても再検討する必要がある(図 II-3右)。

本技術開発では、上記2つの点を勘案して、揮発性メモリと不揮発性メモリが混在しその長所を發揮できる新しいメモリ階層の検討・提案を行う。

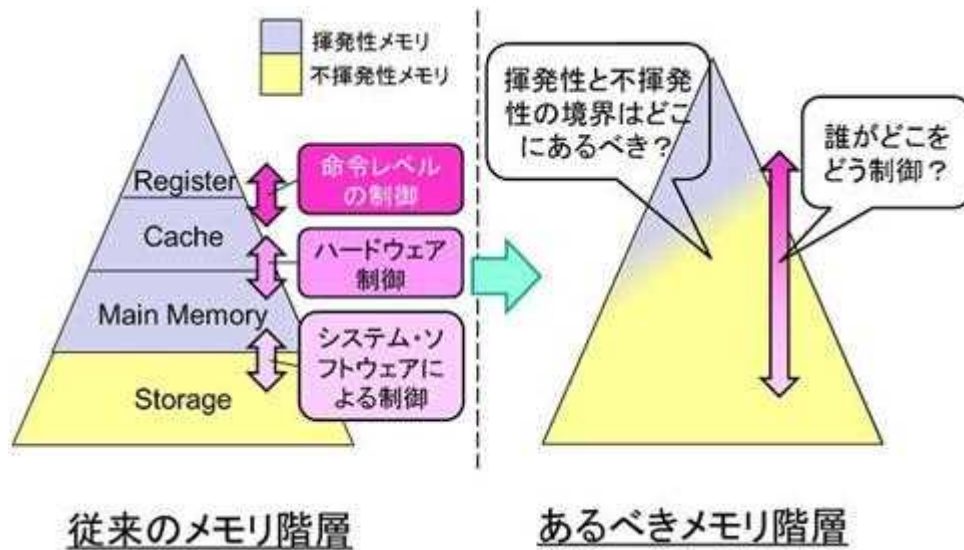


図 II-3 不揮発性メモリを採用する新しいメモリ階層

【技術開発2】:間歇動作を指向するコンピューティング手法の開発

前節の課題2でも挙げたように、頻繁なパワーゲーティングや頻繁な不揮発性メモリへのアクセスは却って消費電力を増大してしまう。低電力効果を向上させるためには、1回のパワーゲーティング時間を最悪でも損益分岐点となる時間以上とし、しかもできるだけ長くする必要がある。このためには、コンピュータシステム内の動作アクティビティを時空間上でまとめ、できるだけ大きい粒度での間歇動作を実現することが重要となる。従来のコンピューティング手法は、処理スループット向上を目標としており、集積度向上を頼りに多くのトランジスタを投入し、投入したトランジスタの利用率を向上させることを目指しているため、動作アクティビティは時空間上で分散され

る傾向にある。これに対し、本提案では、動作すべき真に必要なトランジスタを必要時にのみ動作させ、しかもそのアクティビティをできるだけまとめる(=局所化させる)、新しいコンピューティングパラダイムを提案する。ノーマリーオフコンピューティングによる低消費電力性能向上を目指すためには、この新しいコンピューティングパラダイムを実現する設計最適化手法を開発する必要がある。

コンピュータシステム内の動作アクティビティの時空間上の位置は、アプリケーションが必要とする処理をコンピュータシステムのハードウェア上へマッピングする過程で決定される。したがって、時空間上での粗い粒度の間歇動作を実現するためには、この過程を担う以下の全てのレイヤを統合的に検討する必要がある(図 II-4)。

- ・必要とする動作アクティビティを規定するアプリケーションのアルゴリズム
- ・マッピングされる先のハードウェア、特に不揮発性メモリを含むメモリアーキテクチャ
- ・アルゴリズムで規定された処理をハードウェア上へスケジューリングするオペレーティングシステム(基本ソフトウェア)とアーキテクチャ(含むコンパイラ)

本技術開発では、上記のアルゴリズム～基本ソフトウェア～アーキテクチャの設計階層間の協調によるブレークスルーで、動作アクティビティの革新的な局所化技術を開発することで、真のノーマリーオフコンピューティングの実現を目指す。

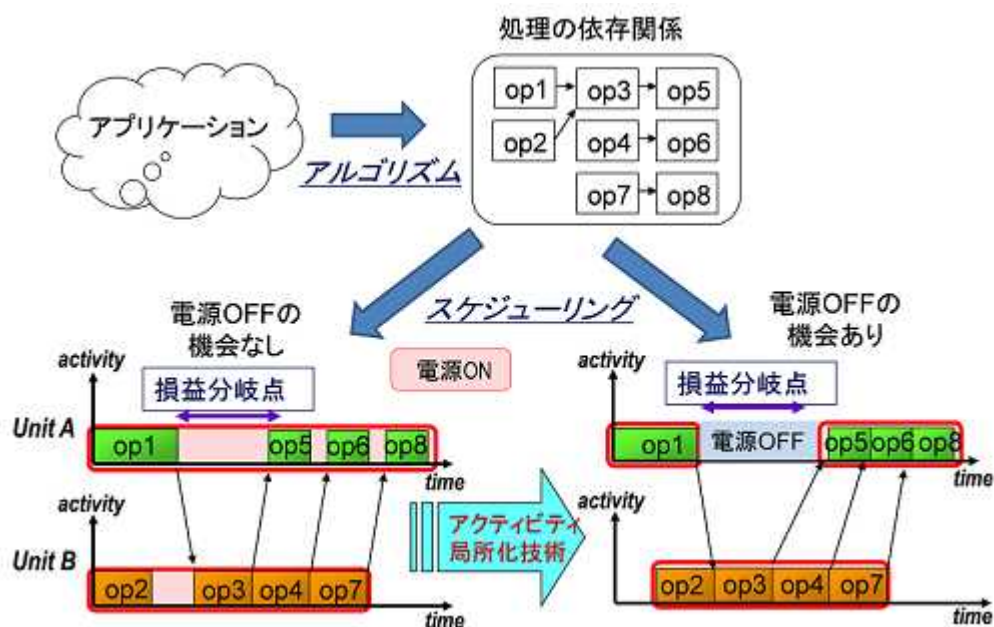


図 II-4 動作アクティビティの局所化によるノーマリーオフコンピューティング

上記2つの開発すべき技術、すなわち、望まれるメモリ階層、および、実現可能な間歇動作の粒度は、明らかに実現すべき処理の特徴に依存する。そこで、研究開発項目①「次世代不揮発性素子を活用した電力制御技術の開発」では、今後コンピュータシステムが社会で活用される重要な応用分野として、次世代センサーネットワーク、モバイル情報機器をとりあげ、各応用領域において低消費電力性能(消費電力あたりの性能)10倍を達成する電力制御技術の開発を目指す。

【技術開発1】のメモリ階層の観点からは、定常的に要求される処理能力、ピーク時に要求される処理能力、さらに、【技術開発2】の間歇動作の粒度の観点からは、それらの比率、およびピークの処理性能が要求される頻度が、開発すべき電力制御技術に大きな影響を与えると考えられるが、センサーネットワークにおいてはその応用形態によってこれらの特徴が異なる。そこで、スマートシティとヘルスケアの2つの分野を想定し、モバイル情報機器と合わせて3つの応用領域で技術開発を実施する。この研究開発は、応用領域を指向したノーマリーオフコンピューティングの最適化技術であるので、各領域に強みを持つ参加企業が、目標達成に向けて独立した分

散研の形態で、この研究開発項目①「次世代不揮発性素子を活用した電力制御技術の開発」に取り組む。

一方で、今後の社会活動が必要とするコンピューティングの形態は変化することが予想され、応用分野固有の最適化のみでは、長期にわたり真に産業力のある技術に育て上げるには不十分である。そこで、研究開発項目①の検討結果をより普遍的な技術かつ長期的な産業競争力を有し、新しい応用領域へも適用可能なコンピューティング技術とするために、研究開発項目②「将来の社会生活を支える新しい情報システムにおいて飛躍的なノーマリーオフ化を実現する新しいコンピューティング技術の検討」を、参加企業ならびに東京大学が連携・協力し、集中研方式で遂行する。研究開発項目②では、設計階層間で協調して実現する電力制御技術の共通基盤化を行うことで、ノーマリーオフコンピューティングを実現するコンピュータシステムの構築手法と設計方法論の確立を目指す。研究開発項目①との相乗効果を発揮するために、研究開発項目②は研究開発項目①に対して評価基盤・プラットフォームの提供を行い、逆に研究開発項目①は研究開発項目②に対し低消費電力性能 10 倍を実現する定量的な根拠とその技術の共有し、各応用分野において今後システムに対して要求されるであろうスペックのロードマップを提供する。

以上のように、応用分野を指向したノーマリーオフコンピューティング技術開発である研究開発項目①「次世代不揮発性素子を活用した電力制御技術の開発」は、参加企業が独立した分散研方式で実施する。一方、研究開発項目②「将来の社会生活を支える新しい情報システムにおいて飛躍的なノーマリーオフ化を実現する新しいコンピューティング技術の検討」は、参加企業と東京大学が協力・連携し、集中研方式で実施する。集中研と分散研が担当する研究開発項目および集中研と分散研の対応は図 II-5 のようになる。

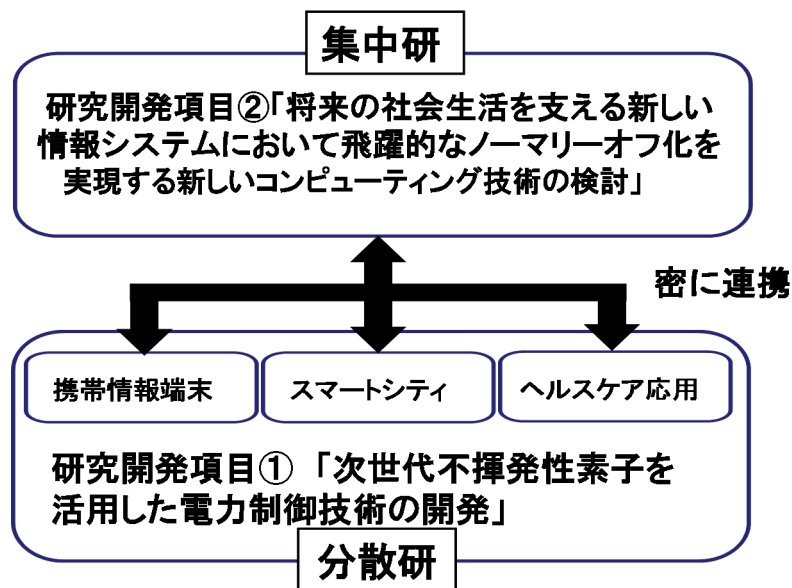


図 II-5 実施体制の概略

(2) 事業内容

本研究では、2つの大きな研究開発項目において、あわせて以下の7つの研究項目を実施する。
研究開発項目①「次世代不揮発性素子を活用した電力制御技術の開発」(分散研方式で実施)

- ①-1: 高速低消費不揮発メモリシステムによる携帯情報端末低電力化技術
- ①-2: スマートシティ・センサーネットワーク低電力化技術
- ①-3: インテリジェントビルを指向するセンサーネットワーク低電力化技術(平成 23 年度で終了)
- ①-4: ヘルスケア応用生体情報計測センサーネットワーク低電力化技術

研究開発項目②「将来の社会生活を支える新しい情報システムにおいて飛躍的なノーマリーオフ化を実現する新しいコンピューティング技術の検討」(集中研方式で実施)

平成 26 年度からは以下の②を上位目標にし、②-1、②-2を細目と位置付け、研究開発を実施した。

② : ノーマリーオフコンピューティングシステム設計方法論の研究開発

②-1 : ノーマリーオフ評価基盤・プラットフォームの研究開発

②-2 : 超高速不揮発メモリを活用するノーマリーオフメモリシステムプラットフォームの研究開発

①-1 高速低消費不揮発メモリシステムによる携帯情報端末低電力化技術

(担当:株式会社 東芝)

スマートフォンやタブレット端末などの携帯情報端末は、年々使用台数が増え続けている。これに伴い、総エネルギー消費量が増大している。これらの携帯情報端末では、ディスプレイや無線部品と並んでプロセッサの消費電力が大きな割合を占めている。ディスプレイや無線部品は、使用しない時に電源を瞬時に遮断し、使用する時に電源を瞬時に通電でき、「ノーマリーオフ」動作が可能である。一方、プロセッサは内蔵するメモリが揮発メモリであるため、電源を遮断するとメモリのデータが消失する。電源を遮断するためには、一度不揮発のメモリにデータを退避させなければならない。よって、不要な場合でもほとんど電源が遮断できず、プロセッサのみ「ノーマリーオン」状態となっている。さらに、携帯情報端末向けのプロセッサは、年々性能を上げており、動作周波数も増加傾向にあり、PC向けのプロセッサの動作周波数に近づいている。これまで、CMOS微細化と低消費電力回路設計とプロセッサのアーキテクチャにより、プロセッサの消費電力を抑えてきたが、これらの技術による低消費電力化も飽和傾向にある。さらに、CMOS微細化に伴い、リーク電流の増大が著しく増大しており、現状のままではプロセッサの消費電力は一方向的に増大することになる。この結果、バッテリーの持ち時間が短縮することになり、ユーザが充電を繰り返す結果、エネルギー消費量が増加し続けることになる。本研究開発では、携帯情報端末向けプロセッサ(ノーマリーオンプロセッサ)と比較して、携帯情報端末として利用した場合で、電力効率が10倍となるプロセッサ(ノーマリーオフプロセッサ)を実証することを目標とする。

携帯情報端末向けプロセッサでは、既存のパワーゲーティングによって、ロジック回路部は頻繁に電源遮断することにより効率的に電力削減されている。しかし、メモリ部は電源遮断するとデータを消失してしまうため、電源遮断できる機会が少ない。メモリ部の大半がキャッシュメモリである。従って、消費電力のかなりの部分をキャッシュメモリが消費することになる。携帯情報端末向けプロセッサのいくつかの例を調べると、典型的な使用状況で消費電力の70~90%をキャッシュメモリが消費している。キャッシュメモリを不揮発化することで、この消費電力を削減することが期待できる。

しかし、その際に、既存の不揮発メモリの動作速度と動作時電力が、従来型の揮発メモリより遥かに大きいという問題があり、キャッシュメモリを不揮発化が困難であった。さらに、キャッシュメモリとして置き換えるメモリは、高い書き込み耐性がある不揮発メモリである必要がある。この特性を持つメモリは現時点ではスピンRAM以外にはない。しかし、現在のスピンRAMの書き込み速度は中速の領域(数十nsのアクセス時間)にとどまっており、書き込み速度の遅さゆえに性能の低下も招いてしまう。したがって、携帯情報端末のノーマリーオフ動作を実現し、かつ消費電力低減を実現するために、高速動作可能(最低10ns以下、理想的には5ns以下のアクセス時間)で低消費電力の新規な不揮発スピンRAMを開発する必要がある。さらに、今後キャッシュメモリが1MB, 2MB・・・と容量が増大していくことと、プロセッサを構成するCMOSは微細化が40nm, 28nm, 22nm・・・と進展していくことを考えると、不揮発スピンRAMのメモリセルをより小型化していく技術の開発も必要である。微細化により単位面積あたりのメモリ容量が増大すると、キャッシュメモリ効率が高まり、メモリシステム全体が高速化するという利点も大きい。これらの技術により、キャッシュメモリの不揮発化が実現できれば、先の述べたキャッシュメモリが消費している電力分の70~90%をほぼ0に削減することが可能となる。

また、メモリシステム全体の観点から、不揮発メモリの置き換えには、メモリ階層化のミスマッチと、パワーゲーティングの時間的粒度限界の2つの問題がある。これらを解決することにより、電源遮断の頻度をもっと高めることができるようになるため、プロセッサの消費電力の無駄を削減できる。キャッシュメモリ不揮発化にこの効果を加味すると、演算性能を低下させることなく、トータルでプロセッサの消費電力を10分の1以下にすることが期待できる。

これらの事項を考慮し、東芝は、「高速・低消費電力不揮発 RAM の開発」と「高速低消費不揮発キャッシュメモリ回路・システムの開発」と「超高速不揮発メモリを活用するノーマリーオフメモリシステムの開発」の3つを行う。

①-2 スマートシティ・センサーネットワーク低電力化技術

(担当:ルネサスエレクトロニクス株式会社)

スマートシティ・センサーネットワークは、サイバーフィジカルシステムの応用分野の一つとして、今後広く普及すると見込まれている。センサーネットワークの情報流通量は、2013年から2020年に約10倍増加すると予想される。一方、スマートシティ・センサーネットワークでは、応用システムに依存して、用いられるセンサー種類とセンサー毎のデータ取得時間間隔が異なる場合が想定される。センサーノードごとに複数種類のセンサーが接続されるマルチセンサー構成とバッテリーによる動作時間の延長も求められている。本スマートシティ・センサーネットワーク低電力化技術開発では、こうした市場動向から、従来比10倍の低電力化性能を有するスマートシティ・センサーネットワーク対応ノーマリーオフ技術を開発する。本開発では、従来のマイコンを用いたセンサーノードと比較し10倍のノーマリーオフ低電力化性能とするために、センサー特性評価・センサー応用技術、電源制御技術、センサーノードシステム電力プロファイル評価環境の開発を行い、センサーノード低電力化技術統合評価および実証デモンにて開発する技術の有効性を確認する。また、常時電源ON領域の低電力化に向けた低電力化回路技術の検討も行う。本開発では、①-2全体としての統合設計評価を行い、実証デモンシステムの知的バス停構成機能(通信を除く)について、従来のマイコンを用いたセンサーノードと比較し10倍のノーマリーオフ低電力化性能を実証することを目標とする。

「スマートシティ・センサーネットワーク低電力化技術」の開発では、図 II-6に示す開発スキームで集中研と連携して技術課題の解決に取り組む。

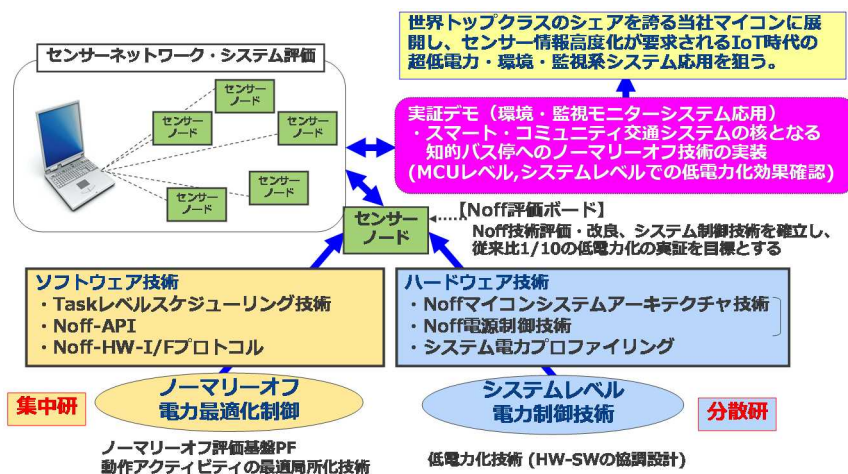


図 II-6「スマートシティ・センサーネットワーク低電力化技術」開発スキーム

図 II-7 の集中研②-1と連携したノーマリーオフ・マイコンシステムアーキテクチャをベースとして、各構成要素の損益分岐時間BET(Break Even Time)に基づき電源供給を自律的に制御する技術を開発する。合わせて、常時電源が供給されるRTCの低電力化についても低電力化回路技術検討を行う。

各技術課題と対応する集中研及び各再委託先大学の連携は図 II-8 のとおりである。

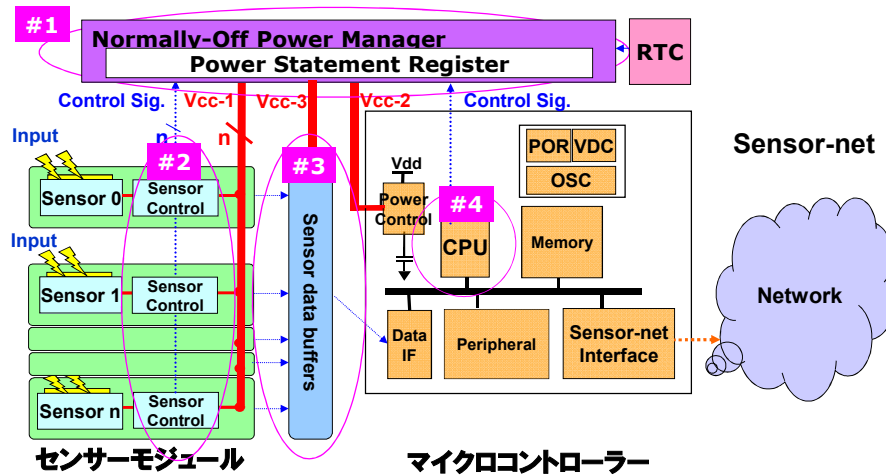


図 II-7 階層型ノーマリーオフマイコンシステムアーキテクチャ

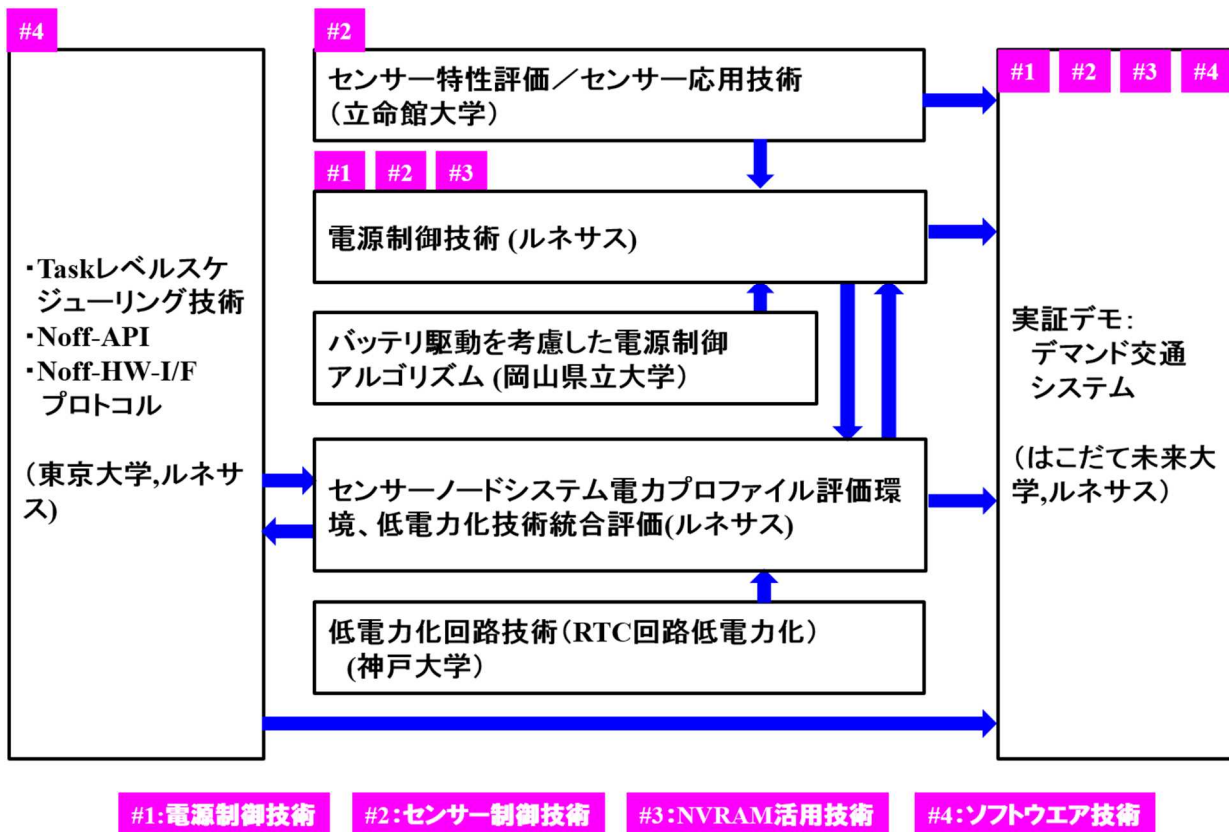


図 II-8 集中研及び各再委託先大学の連携

①-3 インテリジェントビルを指向するセンサーネットワーク低電力化技術

(担当: 日本電気株式会社、NECシステムテクノロジー株式会社)

※本研究項目は平成23年度で終了した。

本サブテーマ①-3『インテリジェントビルを指向するセンサーネットワーク低電力化技術』において、日本電気とNECシステムテクノロジー(株)は、兵庫県立大学(共同実施)および早稲田大学(共同実施)と協力し、インテリジェントビルの高度化に対して必要となるスマート環境センサー(複数のセンサー

を持ち、総合的に判断した結果を無線で基地局に送信する無線センサー端末) の実効的なメンテナンスフリー化 (15年間電池交換不要化) を目指す低電力コンピューティング技術の研究開発を、次世代不揮発性素子を最大限活用して行う。更には、スマート環境センサーと協調して、ビルのインテリジェント化を実現する無線基地局の電力削減も検討し、最終的にはスマート環境センサーのメンテフリー性能の実証実験を行う。

本サブテーマは、インテリジェントビルの高度化に対して有効であるセンサーネットワークの低電力化技術を開発し、市場要求の強い無線センサー端末の実質上メンテナンスフリー化を実現して新市場を創出すること及びビルのインテリジェント化によって実現されるエネルギー消費高効率化による温室効果ガスの削減に寄与することを目的としている。

実施内容の概要について述べる。ノーマリーオフコンピューティング技術をセンサー端末に導入し、端末内全体を不揮発化すれば、不要な時に不要なチップやチップ内の不要箇所の電源を最適に遮断することにより、電源制御のために発生する余分な電力を最小限にしながら、待機電力が削減できる。更にCPUや通信(RF)チップにおいて、新たな基本ソフトを導入し、データや設定のロードやセーブの時間を廃止し高速に立ち上げることで、その間の電力を削減することもできる。効果はこれだけではなく、待機電力を気にせず高度な演算性能を持つCPUやオフローダを導入できるようになり、センサーと基地局の通信頻度を減らしても不便さをユーザに感じさせない高度な電源制御アルゴリズムや高度な通信プロトコルを導入できる。ここでの基地局は、例えば、センサーからの情報で無駄電力を削減するグリーンタップ (一般用語: スマートタップ) のようなものを示している。

上記のような研究開発により、センサー端末の1/10以下の省電力化を可能にできると考えている。システム構成は図 II-9に示すように不揮発オフローダチップを加えたものを現時点では想定している。

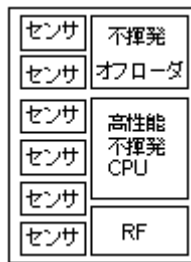


図 II-9 目標とするスマート環境センサーのシステム構成

次に想定しているデバイスについて述べる。インテリジェントビルを指向するセンサーネットワークを省電力化したシステムを構築するために想定している不揮発素子は、2種類ある。それは、我々が不揮発性素子のデバイス特性として、1. 書換え回数制限 と 2. 電気信号の切替回路(スイッチ回路)に適用した際の寄生容量に注目しており、

- それぞれの特性は 1. パワーゲーティングする際の制御の容易性⇒静的電力の削減の容易性、
- 2. パワーゲーティングする回路への充放電電力⇒通常回路動作時の動的電力、

に関連すると考えているからである。現在のデバイス技術のトレンドにおいて、1の特性に関して書換え回数制限なしという良い特性を示すのは磁性体関連デバイスであり、FeRAM でも、10の14乗回以上というある程度良い特性が得られており、検討に値すると考えている。2の特性に関しては配線の接続部(ピア)に作りこめるというナノブリッジ(固体電解質)もしくはReRAMが良い特性を示す。尚、システムにどのデバイスを採用するかは入手性、コスト(価格)、耐環境性など、他にも選択要素は数多く存在するので、狭く限定せずに検討する。

①-4 ヘルスケア応用生体情報計測センサーネットワーク低電力化技術

(担当:ローム株式会社)

急速な高齢化に伴い、生活習慣病の予防が社会の大きな課題とされている。生活習慣病予防のためには日常生活における生体基礎データの集積が必要となる。生体情報を継続的に集積するためには、ユーザにその存在を意識させないウェアラブルな生体情報センシングシステムを実現しなければならない。そこで本研究開発テーマ①-4『ヘルスケア応用生体情報計測センサーネットワーク低電力化技術』では、センシング、データ処理、通信機能を備えたインテリジェントなウェアラブルセンサーLSI を中核とした、生体基礎データ収集システムの実用化を目指す。図 II-10 に想定するシステムの構成を示す。センサー部は生体に貼り付けて使用するため、そのサイズと重量に大きな制約が存在する。これらの制約によってバッテリー容量が制限されるため、センサーLSI の消費電力は限界まで削減しなければならない。



図 II-10 システム構成

①-4では、本ヘルスケア応用に特化してアーキテクチャの最適化を行い電力性能の改善を進めるが、②-3『ノーマリーオフコンピューティングシステム設計方法論の研究開発』において「不揮発 FF (強誘電体を用いたフリップフロップ)を用いた不揮発 CPU の構成とプログラミング手法」の研究を実施し、抽象化したセンサーネット応用に対して、不揮発 CPU の構成とプログラムを最適化し、①-4と②-3の相乗効果を発揮することを目指す。

市場の要求として、本システムは小型電池 (容量 10mAh) で2週間以上の動作が求められている。平均電流としては $30 \mu A (=10mAh \div 14 \text{日} \div 24h)$ となり、これを目標値とする。現状、従来技術を用いた同等のシステムの平均電流が $360 \mu A$ であるので、およそ 10 分の 1 の低消費電力化となる。

研究開発項目② 将来の社会生活を支える新しい情報システムにおいて飛躍的なノーマリーオフ化を実現する新しいコンピューティング技術の検討（集中研方式で実施）

（担当：ルネサスエレクトロニクス株式会社、株式会社 東芝、ローム株式会社、共同実施先：東京大学）

研究開発項目②「将来の社会生活を支える新しい情報システムにおいて飛躍的なノーマリーオフ化を実現する新しいコンピューティング技術の検討」では、参加企業ならびに東京大学が連携・協力し、集中研方式で遂行することで、設計階層間で協調して実現する電力制御技術の共通基盤化を行い、ノーマリーオフコンピューティングを実現するコンピュータシステムの構築手法と設計方法論の確立を目指す。研究開発項目①との相乗効果を発揮するために、研究開発項目②は研究開発項目①に対して、評価基盤・プラットフォームの提供を行い、逆に研究開発項目①は研究開発項目②に対し、低消費電力性能 10 倍を実現する定量的な根拠とその技術の共有を実行する。

②-1 ノーマリーオフ評価基盤・プラットフォームの研究開発

（担当：ルネサスエレクトロニクス株式会社）

ノーマリーオフ評価基盤・プラットフォーム研究開発(②-1)においては、特に上記の研究開発項目②における「開発項目①に対する評価基盤・プラットフォームの提供」を実現するために、

②-1-1 ノーマリーオフ実機評価環境

②-1-2 ノーマリーオフ評価エミュレーション環境

を構築し、ノーマリーオフ・システムの電力消費性能を評価するための基盤となる評価技術・プラットフォームを各分散研に提供する。

②-2 超高速不揮発メモリを活用するノーマリーオフメモリシステムプラットフォームの研究開発

（担当：株式会社 東芝）

ノーマリーオフコンピューティング実現に向けたプロセッサアーキテクチャにおいて、プロセッサ内部に搭載すべき不揮発メモリ階層化構造の最適化が重要となる。既に説明したように、不揮発メモリの置き換えには、メモリ階層化のミスマッチと、パワーゲーティングの時間的粒度限界の2つの問題がある。メモリ階層化のミスマッチの課題解決のために、レジスタや SRAM 等の揮発メモリと、単一または複数種の不揮発メモリをヘテロ的に積層した階層メモリ構造を網羅的に設計し、その中で電力効率の良い構造を選択する必要がある。同時に、パワーゲーティングの時間粒度限界の課題解決のために、メモリの物理的空間粒度と、パワーゲーティングの時間粒度の相関を考慮しながら、設計したメモリ階層構造ごとに、最も電力効率の良い時間粒度を選択する必要がある。（ここでの時間粒度は、数十 ns から数 us の範囲となると予測される。数十 ns に近い時間粒度では、一つのアプリケーション実行中の電源遮断(Run-time Power Gating)の機会が生まれる。数 us に近い時間粒度では、複数のアプリケーションが順番に動作する際の、一つのアプリと次のアプリの動作の間に電源遮断する機会が生まれる。）

② ノーマリーオフコンピューティングシステム設計方法論の研究開発

(担当:株式会社 東芝、ルネサスエレクトロニクス株式会社、ローム株式会社、共同実施先:東京大学)

基本計画に記載されているように、将来の社会生活を大きく変革させるような技術革新を実現するためには、既存の応用分野を対象とした機器・システムの漸進的な性能向上と並行して、新しい応用領域へも適用可能なコンピューティング技術の検討を開始する必要がある。研究開発項目①においては、想定する応用分野の特徴を利用したノーマリーオフコンピューティングの最適化技術を開発するが、本研究項目では①で開発する技術の本質的な方法論を体系化しノーマリーオフ最適化技術として確立することを目指す。これにより、普遍的かつ飛躍的な優位性を有し、新しい応用領域へも適用可能なノーマリーオフコンピューティングシステムの設計方法論を確立することを目指す。また、これも基本計画に記載されていることだが、新たなコンピューティング技術を広く展開するためには、その優位性が適切に評価されることが必要である。このため、電力消費性能を評価する基盤・プラットフォームも開発する。この開発は②-1および②-2で開発されるプラットフォームを統合・拡張することで行う。

・ ノーマリーオフ最適化技術

設計方法論の確立に必要なノーマリーオフ最適化技術を開発する。開発すべき技術は、間歇動作を指向するコンピューティング手法と、揮発性メモリと不揮発性メモリが混在する新しいメモリ階層である。ハードウェアにおける時空間軸上の動作アクティビティの位置は、アプリケーションで規定される処理をハードウェアへマッピングする方法によって決定され、このマッピングはアプリケーションとハードウェア実装の間に位置する全ての設計階層、基本ソフトウェア、コンパイラ、およびアーキテクチャによって決定される。また、望ましい動作アクティビティの粒度は、用いる不揮発性メモリの特性に依存する。そのため、不揮発性素子による低電力効果を最大化するためには、不揮発性メモリを含むメモリ階層の構成方式と、その構成における不揮発性素子の長所を最大限活用できるようなハードウェア上への動作アクティビティのマッピング手法を協調して最適化する技術、すなわちノーマリーオフ最適化技術の開発が必要となる。

この技術開発を、以下の方針で行う。

ルネサスエレクトロニクスとロームはセンサーネットワークを主たる対象分野として、クロック周波数がそれほど高くないマイコンの不揮発化を研究開発項目①でそれぞれ実施している。そこでは、ルネサスエレクトロニクスはRAMの不揮発化、ロームはFF（フリップフロップ）の不揮発化を中心に検討する予定であり、不揮発性メモリを適用するメモリ階層は同じではない。また、携帯情報端末を対象とする東芝は、クロック周波数が高い高性能プロセッサにおけるキャッシュメモリの不揮発化を研究開発項目①で実施しており、やはり不揮発性メモリを適用するメモリ階層は異なる。また、研究開発項目①では、各社は異なる特性を持つ不揮発性メモリを想定して設計の最適化を目指している。ハードウェア上の動作アクティビティは、観測するメモリ階層によって異なる傾向を示すことを考えると、これらの情報を集約し、各メモリ階層に各不揮発性メモリを適用する場合の評価・検討を網羅的に行えば、動作アクティビティの粒度と不揮発性メモリに求められる特性との関係が得られ、メモリ階層の構成方式に関する一般的な知見が得られる。

さらに、アクティビティの決定要因が基本ソフトウェア、コンパイラ、アーキテクチャのどれに依存するかの比重もメモリ階層によって異なることを考慮すれば、既に得られているメモリ階層の構成方式に関する知見と動作アクティビティの粒度最大化手法を統合することで、不揮発性素子による低電力効果を最大化できるメモリ階層の構成方法、動作アクティビティのマッピング方式を統合した、ノーマリーオフ最適化技術を開発できる。

このような検討を行い、研究開発項目①の各テーマにおいて低消費電力性能(消費電力当たりの性能)10倍を実現する定量的な根拠と技術を共有し一般化することで、設計方法論としての体系化を目指す。

・ノーマリーオフ評価技術

研究開発項目①では多様な応用分野と種々の不揮発メモリを用いた、システムに依存したノーマリーオフ最適化技術が開発される。その効果を詳細に解析し設計方法論へフィードバックするためには、②-1 および②-2で開発する評価基盤プラットフォーム上で、研究開発項目①の評価を実現することが必要となる。このために、開発される2つの評価基盤プラットフォームを統合する。②-1で開発するプラットフォームは、プロセッサコアチップは変更せず、プロセッサの外部にあるメモリを不揮発化した場合の評価を行うことを目指している。しかしプロセッサコアチップ内の高速メモリ(キャッシュメモリやフリップフロップ)を不揮発化した場合の評価を直接行うことはできない。一方②-2で開発するプラットフォームは、プロセッサコア内のキャッシュメモリを不揮発化した場合の評価のみが行える。そこで、これらのプラットフォームを統合し、多様なメモリ階層を不揮発化した場合の評価が可能な評価技術を開発する。この開発では種々の不揮発メモリのモデリングを行う必要があるが、このモデリングにおいて、ノーマリーオフ最適化技術に大きな影響を与えるアプリケーションの重要な特徴量をも整理する。

その後、研究開発項目①における各応用分野が、今後システムに対して要求するスペックのロードマップを、同定した重要な特徴量を含めて提供してもらい、②-1および②-2で開発する評価基盤プラットフォーム上で評価を行う。この結果を、研究開発項目①で達成された性能や消費電力と比較することで、ノーマリーオフ最適化技術自身の改良点も見出すことができる。このように、ノーマリーオフ最適化技術とノーマリーオフ評価技術を連携させることで、新しい応用領域へも適用可能なノーマリーオフコンピューティング技術の設計方法論として確立することを目指す。

(3) 研究開発スケジュール

以降に各研究開発項目の研究開発スケジュールを示す。

①-1 高速低消費不揮発メモリシステムによる携帯情報端末低電力化技術

(担当：株式会社東芝)

実施項目	23年度		24年度		25年度		26年度		27年度	
	上期	下期	上期	下期	上期	下期	上期	下期	上期	下期
①-1-1. 高速・低消費電力不揮発RAMの開発			100 fC 第1フェーズ 第2フェーズ		50 fC 第1フェーズ 第2フェーズ					
①-1-1-(ア). 高速スピン注入記憶素子の設計技術の開発	高速設計に有利な条件の明確化				高速化と信頼性両立方法探索					
①-1-1-(イ). 高速・低電流書き込みスピン注入記憶素子材料の研究開発	高垂直磁気異方性、低飽和磁化性材料の開発		高垂直磁気異方性、低飽和磁化性材料の高度化		不揮発 RAM 適用結果を受けて材料の更なる高度化					
①-1-1-(ウ). 高速・低消費電力スピン注入記憶素子の開発	高速磁化反転素子の開発		高速磁化反転素子の高度化							
①-1-1-(エ). 高速スピン磁化反転の評価	高速磁化反転変動の評価手法の確立		反転確率変動の制御方法確立							
(オ). 高速・低消費電力不揮発メモリアレイ回路の開発	高速反転特性評価		マイノリティーエラーの現象解明と対策提案							
	構造取り込み設計		試作、評価		再設計		試作、評価			

実施項目	23年度		24年度		25年度		26年度		27年度	
	上期	下期	上期	下期	上期	下期	上期	下期	上期	下期
①－1－2－ (ア)．周辺回路 の開発	周辺回路開発		キャッシュメモリ周辺回路開発							
①－1－2－ (イ)．高速イン ターフェース回 路の開発			インターフェース設計							
①－1－2－ (ウ)．ノーマリ ーオフコンピュ ーティング動作 のためのメモリ 階層化構造の開 発			メモリ制御部設計				HWの開発			
	メモリ階層の基本構造設計						ノーマリーオフプロセッサ 評価システム開発			

①-2 スマートシティ・センサーネットワーク低電力化技術

(担当：ルネサスエレクトロニクス株式会社)

実施項目	23年度		24年度		25年度		26年度		27年度	
	上期	下期	上期	下期	上期	下期	上期	下期	上期	下期
①-2. スマートシティ・センサーネットワーク低電力化技術										
①-2-1. センサー特性評価・応用技術開発	技術調査		センサー拡張ボード設計・試作		センサー拡張ボード設計・評価、ドライバ設計		センサー拡張ボード設計・評価、ドライバ設計・改良		センサー拡張ボード設計・評価、ドライバ改良	
①-2-2. 電源制御技術	技術調査		電源制御方式仕様策定		電源制御機能一次設計・評価		電源制御機能二次設計・評価		電源制御機能改良設計・評価	
①-2-3. センサーノードシステム電力プロファイル評価環境	Noff 評価ボード仕様		Noff 評価ボード設計・評価		センサーノード実装設計、モニタ等 SW 設計、評価①		改良設計、評価②		改良設計、評価	
①-2-4. センサーノード低電力化技術統合評価			評価用アプリケーション SW 技術調査		評価用 SW 設計		評価・改良設計		評価・改良設計	
①-2-5. 実証デモ	技術調査		デモ仕様検討		デモ HW 試作、SW 仕様検討、簡易性能評価用 SW 設計		統合一次設計評価、デモ SW 設計評価		統合二次設計評価、デモ SW 改良	
①-2-6. 低電力化回路技術			回路設計、試作・評価①		試作・評価②		評価・改良設計①		評価・改良設計②	
①-2-7. バッテリー駆動を考慮した電源制御アルゴリズム							バッテリー特性評価		アルゴリズム開発	

①-3 インテリジェントビルを指向するセンサーネットワーク低電力化技術

(担当：日本電気株式会社、NECシステムテクノロジー株式会社)

本実施項目は平成23年度で終了した。

実施項目	23年度	
	上期	下期
①-3-1 システムアーキ テクチャ		←→
①-3-2 基本ソフトウェ ア技術（通信プ ロトコル）とア ルゴリズム（ア プリソフト上の 電力制御アルゴ リズム）		←→
①-3-3 基本ソフトウェ ア技術（OS）		←→
①-3-4 ハードウェア設 計技術		←→

①-4 ヘルスケア応用生体情報計測センサーネットワーク低電力化技術

(担当：ローム株式会社)

実施項目	23年度		24年度		25年度		26年度		27年度	
	上期	下期	上期	下期	上期	下期	上期	下期	上期	下期
①-4-(1) 不揮発メモリを用いたシャドウメモリアーキテクチャ										
プロトタイプ作成			作成・評価							
シャドウメモリアーキテクチャ開発 (神戸大)			仕様検討		設計, 評価					
シャドウメモリデバイス開発					試作, 評価		評価, 改善			
低電圧デバイス開発			低電圧評価							
LSI 設計、試作、評価			設計, 試作, 評価①		設計, 試作, 評価②		評価, 改善		設計, 試作, 評価③	
①-4-(2) 生体情報処理に特化した超低消費電力VLSIアーキテクチャ (神戸大)										
イベントドリブン電源管理開発							周辺回路設計		ノーマリーオフ統合設計	
センサ間協調開発	仕様確認				適応サンプリング				設計	
専用エンジン開発			心拍計測設計評価				心電計測設計評価		設計	
インスタントオン通信方式開発			調査, 検討		設計, 評価					
①-4-(3) 間歇動作を指向する生体情報処理アルゴリズム (オムロンヘルスケア)										
仕様検討			仕様検討				モジュール全体設計①		モジュール全体設計②	
アルゴリズム作成			アルゴリズム①		アルゴリズム②					
フィールドテスト							フィールドテスト①		フィールドテスト②	

②-1 ノーマリーオフ評価基盤・プラットフォームの研究開発

(担当：ルネサスエレクトロニクス株式会社)

実施項目	23年度		24年度		25年度		26年度		27年度	
	上期	下期	上期	下期	上期	下期	上期	下期	上期	下期
②-1. ノーマリーオフ評価基盤・プラットフォーム研究開発										
②-1-1 ノーマリーオフ実機評価環境 (1) 集中研ノーマリーオフ評価ボード	評価ボード 仕様検討		評価ボード 製作・評価		実機評価の 展開					
(2) ノーマリーオフ・ソフトウェア技術	プログラム 仕様検討		プログラム 開発・評価		プログラム 改良・評価		集中研② と連携し 分散研への 提案検討①		集中研② と連携し 分散研への 提案検討②	
②-1-2 ノーマリーオフ評価エミュレーション環境	技術調査		エミュレー ション環境 仕様検討		エミュレー ション環境 構築					

②-2 超高速不揮発メモリを活用するノーマリーオフメモリシステムプラットフォームの研究開発

(担当：株式会社東芝)

実施項目	23年度		24年度		25年度		26年度		27年度	
	上期	下期	上期	下期	上期	下期	上期	下期	上期	下期
②-2：超高速不揮発メモリを活用するノーマリーオフメモリシステムプラットフォームの研究開発	プロセッサのパワーゲーティングの時間粒度測定 →									
	プロセッサ評価用シミュレータ開発 →									
	性能評価、シミュレータの改良 (第1世代:単純構成) →									
			性能評価、シミュレータの改良 (第2世代:複雑構成) →							
							新規可変階層構造の設計、シミュレータへの組み込み、性能評価 →			
							シミュレータへの将来メモリ特性の組み込み、性能評価 →			

② ノーマリーオブコンピューティングシステム設計方法論の研究開発

(担当：東大、株式会社東芝、ルネサスエレクトロニクス株式会社、ローム株式会社)

実施項目	23年度		24年度		25年度		26年度		27年度		備考
	上期	下期	上期	下期	上期	下期	上期	下期	上期	下期	
②-3. ノーマリーオブコンピューティングシステム設計方法論の研究開発											東大まとめ
②-3-(1) ノーマリーオブ最適化技術	小規模プログラムの検討		応用プログラムでの検討		最適化手法の体系化、問題点整理		分散研①と連携・最適化手法改良				主担当：東大 副担当：東芝、ルネサス
②-3-(2) ノーマリーオブ評価技術	不揮発メモリのモデリング		最適化用の特徴量抽出				分散研①と連携・特徴量に基づくロードマップ検討		設計方法論の提示		主担当：東大 副担当：各社

(4)開発予算

以下に、本プロジェクトにおける開発予算の推移を示す。

(単位:百万円)

	2011年度 (H23年度)	2012年度 (H24年度)	2013年度 (H25年度)	2014年度 (H26年度)	2015年度 (H27年度)	合計
①-1 携帯情報端末	332	477	437	458	436	2,140
①-2 スマートシティ	142	431	307	275	216	1,371
①-3 センサーネットワーク	104	-	-	-	-	104
①-4 ヘルスケア応用	38	51	31	35	28	183
②-1 評価基盤	206	319	257	199	157	1,138
②-2 メモリシステム	10	3	5	7	14	39
②-3 設計方法論	18	48	47	45	41	199
総開発予算	850	1,329	1,084	1,019	892	5,174
うち NEDO 負担額	425	665	542	509	446	2,587

(e) ノーマリーオフコンピューティング関連技術調査会議

以下のとおりに実施した。

第1回 平成25年6月24日

(株)半導体エネルギー研究所:不揮発メモリ IGZO を用いたノーマリーオフコンピュータ
パナソニック(株):混載マイコン向け不揮発 ReRAM 回路

第2回 平成25年11月8日

広島工業大学:低消費電力無線センサネットワークに関連するシステム構築の諸問題

第3回 平成26年3月3日

日産(株):車載コンピュータに求められる性能・機能のトレンド
(バッテリーのあがらない車を目指して)

第4回 平成26年12月19日

アラクサネットワーク(株):ネットワーク機器における省電力技術

番外編 平成27年3月19日

Qualcomm:STT-MRAM をキャッシュメモリに用いたモバイルプロセッサの開発について

第5回 平成27年2月13日

(株)インターネットイニシアティブ:IIJ における IoT の取組み
四国計測工業(株):『ノーマリーオフコンピューティング技術』の
電力分野などへの適応の可能性

第6回 平成27年3月4日

(株)コア:『ノーマリーオフコンピューティング技術』の弊社製品への適応の可能性

第7回 平成27年7月15日

(株)音力発電:『音力発電』と『振動力発電』の紹介と可能性

第8回 平成27年9月16日

(株)東芝:フラッシュメモリを使ったコンピューティングシステムを内蔵した
新型サーバの製品化に向けて

(f) 展示会等への出展

CEATEC Japan 2012 出展及び講演 平成24年10月 2日～平成24年10月 6日

SEMICON Japan 2014 出展及び講演 平成26年12月 3日～平成26年12月 5日

Interop Tokyo 2015 出展 平成27年 6月10日～平成27年 6月12日

CEATEC Japan 2015 出展 平成27年10月 7日～平成27年10月10日

2.4 研究開発成果の実用化、事業化に向けたマネジメントの妥当性

研究成果の実用化、事業化に向けて、各実施者個別の Working Group を構築し、年 2 回を目途に実用化・事業化に向けたヒアリングを実施して方向付けを行った。

また、実用化、事業化を意識した体制の見直しを実施した。平成 26 年度(2014 年度)は、ルネサスエレクトロニクス(株)の再委託先に岡山県立大学を追加、平成 27 年度(2015 年度)は、(株)東芝の再委託先に電気通信大学・三輪研究室を追加した(図 II-12)。

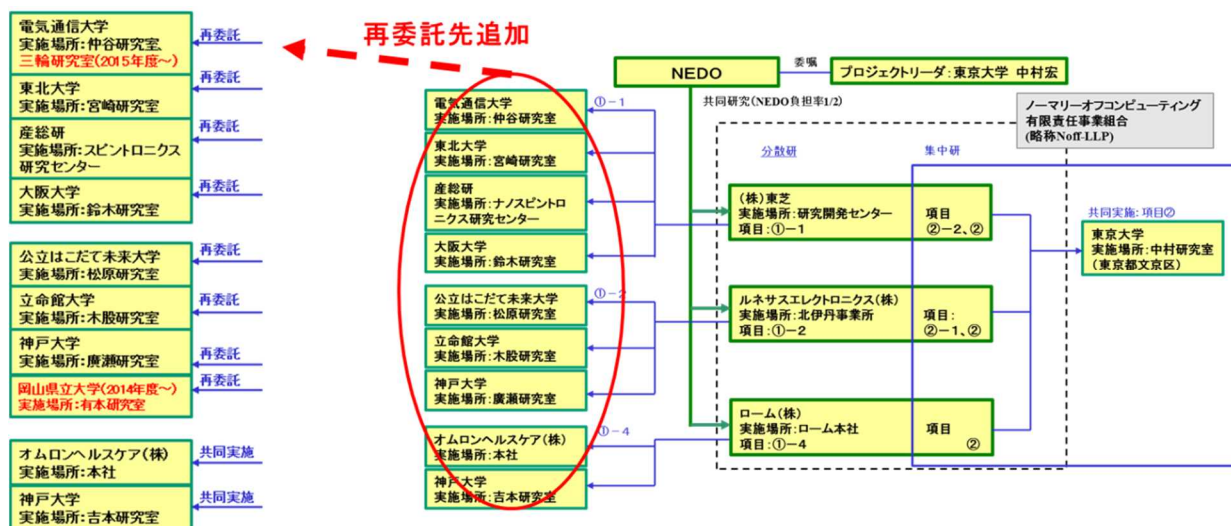


図 II-12 本プロジェクトにおける体制見直し

また、より広い分野へノーマリーコンピューティング技術を展開することを目指し、「ノーマリーオフコンピューティング発展普及に向けた調査事業」と題して平成 27 年 1 月から平成 27 年 5 月の期間で調査事業を実施した。

調査事業においては、今後の IoT 社会を想定して、より広い分野へノーマリーオフコンピューティング技術を展開することを目指し、検討事項の一つとして適用分野及びその市場規模について調査を行った。ヒアリングや委員会での検討結果を踏まえると、下図①～⑧の分野の中で継続的な電力供給が必要なく、かつ連続稼働時間の長い分野がノーマリーオフコンピューティングに適しており、特に市場規模の拡大が見込める「社会インフラ」、「ヘルスケア」が適用先として有望であると結論づけた。

- 委員会での検討結果を踏まえて、ノーマリーオフコンピューティングが適用分野として有望な以下の分野について、国内の[現状と課題]および[市場規模]をまとめた。
 - ① 社会インフラのモニタリング
 - ② 電力システム（スマートグリッド）
 - ③ 産業・機械
 - ④ ロボット
 - ⑤ 農業（IT化関連）
 - ⑥ 自動車
 - ⑦ ヘルスケア（IT関連）
 - ⑧ 携帯端末
- 継続的な電力供給がなく、かつ連続稼働時間の長いもの。特に市場規模の拡大が見込める「社会インフラ」、「ヘルスケア」がノーマリーオフコンピューティングの適用先として有望。
- 世界のIoT関連市場が急速に拡大することによって、センサ等の様々なエッジデバイスとそれをつなぐネットワーク機器が重要になる。

分野	主な適用先	継続的な電力供給	連続稼働時間
社会インフラのモニタリング	ひびみ量センサ等	なし	数年
電力システム	スマートメータ、電力量センサ等	あり	—
産業・機械	計測センサ等、コントローラ	あり	—
ロボット	計測センサ等、コントローラ	なし	数日
農業（IT関連）	フィールドセンサ等	なし	数年
自動車	計測センサ等、ECU	なし/あり	数年*/—
ヘルスケア（IT関連）	生体センサ等	なし	数年
携帯端末	加速度センサ等、モバイルPC	なし	数日

図 II-13 ノーマリーオフコンピューティングの適用分野

この「社会インフラ」及び「ヘルスケア」分野において、ノーマリーオフコンピューティング技術の普及に向けた小規模研究開発を実施し、それぞれの研究においてノーマリーオフ技術の有効性を実証した。

ノーマリーオフコンピューティング技術の普及に向けた小規模研究開発の遂行	<p>【社会インフラ】 地形変形モニタリングシステムの適用（(株)コア、期間：平成27年7月29日から平成28年3月31日）</p> <p>・多くのセンサノードが電源供給の安定しない場所に配置され、電力不足による情報収集欠落が予想されるため、ノーマリーオフ技術を活用することで低消費電力化を行う。→ <u>不揮発メモリを搭載しノーマリーオフを実現することにより、平均4.07倍のエネルギー効率を達成。</u></p>
	<p>【ヘルスケア】 超低電力生体モニタリングシステム及びそのサイバーヘルス・コミュニケーターへの展開（神戸大学/兵庫県立大学/オムロンヘルスケア(株)、期間：平成27年7月29日から平成28年3月31日）</p> <p>・ウェアラブルヘルスケアデバイスの消費電流を、センシング処理も統合してノーマリーオフ制御することで、低消費電力化を行う。→ <u>75%削減達成目標。</u></p>

図 II-14 ノーマリーオフコンピューティング技術の発展普及に向けた小規模研究委開発

一方、知財マネジメントに関しては、図 II-15 に示すように集中研テーマに関しては実施者間の運用ルールを規定し、分散研の知財とともに、全体の事務管理をLLPにより運営することとした。分散研の成果は知財の権利化を進める一方、集中研の成果はノーマリーオフ設計方法論として積極的に公開するというオープン・クローズ戦略の策定を行い推進した。

- ・ 知財マネジメント強化のため知財の創出/権利化を推進する体制を構築
- ・ プロジェクト研究開発活動で出てきた知的財産の取り扱いを規定し推進
- ・ 分散研の成果は積極的に知財の権利化を進める一方、集中研の成果はノーマリーオフ設計方法論として積極的に公開するオープン・クローズ戦略を推進

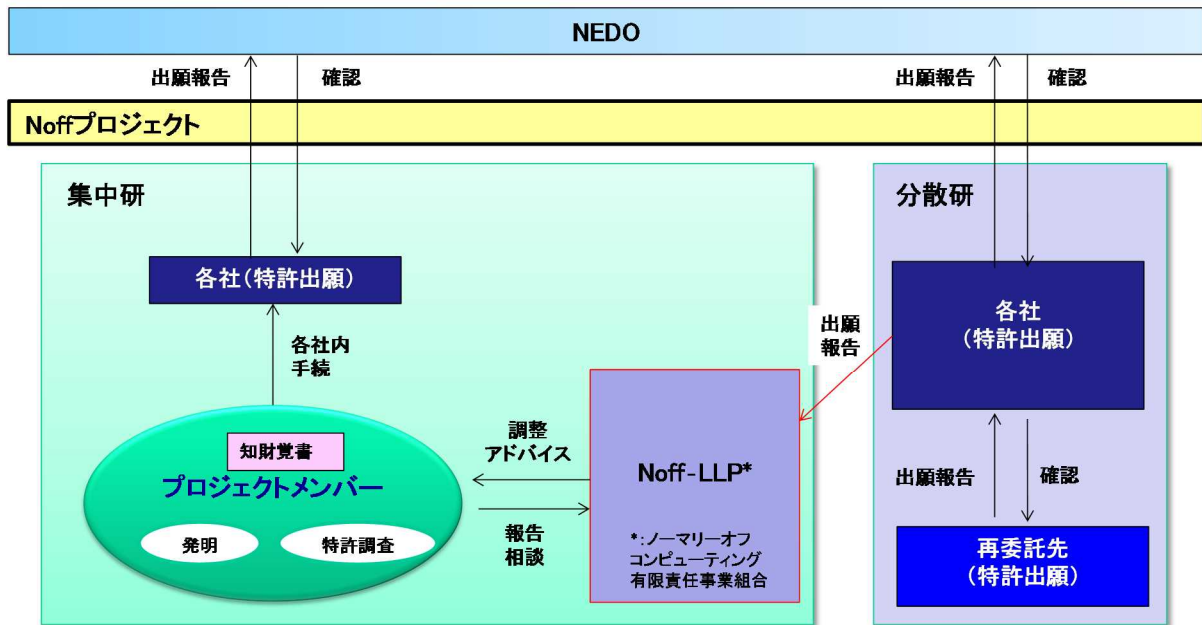


図 II-15 本プロジェクトの知財マネジメント推進体制

3. 情勢変化への対応

(1) 実施テーマの見直し整理による実施方針・計画の変更

プロジェクト開始年度に設定されたテーマに関して見直し、重複の整理と目標の明確化を実施した。その結果、「インテリジェントビルを指向するセンサーネットワーク低電力化技術(日本電気(株)、NECシステムテクノロジー(株))」は平成23年度を持って終了した。これにより、平成24年度より、実施テーマの一部削除と実施体制が変更された。具体的には、分散研テーマは、携帯情報端末、スマートシティ、及びヘルスケアの3分野となり、コンピューティングのカバーする領域(コンピューティングに必要なピーク性能と処理量変動の大きさ)の重なりを解消し、集中研テーマでは役割分担と分散研との連携を明確化した。

(2) プロジェクトリーダーによる実施方針・計画の変更

平成24年度5月より、プロジェクトリーダー(中村 宏 東京大学教授)を置いた実施体制として、プロジェクトの運営を行った。

(3) 事業組合の設置による実施方針・計画の変更

平成24年度7月より、ノーマリーオフコンピューティング有限責任事業組合(LLP)を置いた実施体制として、プロジェクトの管理を行った。

(4) 実用化、事業化に向けた体制変更

プロジェクト後半を迎えるにあたり、実用化、事業化に向けた体制変更を実施した(2.4 参照)。

(5) ノーマリーオフコンピューティング発展普及に向けた調査事業

ノーマリーオフコンピューティング発展普及に向けて調査事業を実施した(2.4 参照)。

(6) ノーマリーオフコンピューティング技術の普及に向けた小規模研究開発の遂行

調査事業においてノーマリーオフ技術の適用分野を絞り、その分野に対して小規模研究開発を実施することで本技術の有効性を実証した(2.4 参照)。

4. 中間評価結果への対応

総論	評価委員指摘事項	対応内容
総合評価	<p>【1】今後、「ノーマリーオブコンピューティング」の概念を現実のものとし、かつ、普及させるためには、集中研と分散研の連携をより深め、各企業で得たフィールドデータ等を積極的に集中研にフィードバックし、集中研側で技術として一般化するプロセスをさらに加速することを期待する。</p>	<p>【1】分散研の実施者と東大(集中研)は、必要に応じて個別会合で集中研と分散研の連携を行ってきたが、中間評価以降は月に1回程度の全体会議(以下「プロジェクト会議」という。)で集中研と分散研の情報交換を確実に行之、進捗管理を強化した。</p> <p>また、集中研の成果を一般化するプロセスを加速させるため、集中研の3テーマのうち2テーマ(②-1 評価基盤の開発、②-2 メモリシステムの開発)を上位概念の1テーマ(②-3 設計方法論の開発)に集約した。⇒【平成26年度実施方針、実施計画に反映】</p>
研究開発マネジメント	<p>【2】開発目標については、その成果を活用する方策を重視し、コストを勘案した上で、トータルシステムとしての効果の活用、さらにはソフトウェア層までの検討が必要である。</p> <p>【3】知財マネジメント戦略が知財の創出/権利化の戦略のみになっているが、活用戦略についても検討すべきである。</p>	<p>【2】PL/実施者/NEDOは、開発成果活用の検討として、プロジェクト会議のWG設置により、実施者の事業化計画をアップデートする場を年に2回開催。このWG毎に、市場ニーズの見極めの元に、トータルシステムの効果やソフトウェア層の検討を含めてビジネスモデルの最適化を推進した。</p> <p>【3】PL/実施者は、プロジェクト会議を有効活用し、既存の案件(目標達成に向けた進捗確認、新たに発生した課題への対処等)に加えて、集中研の知財の活用も議題にした。分散研の成果は、知財の権利化を進める一方、集中研の成果はノーマリーオブ設計方法論として積極的に公開するというオープン・クローズ戦略の策定を行い推進した。</p>

総論	評価委員指摘事項	対応内容
研究開発成果	<p>【4】標準化については、世界で広く使われるデファクトスタンダードを取るための方策を良く考えていただきたい。成果の普及については、日本の産業としてユーザを巻き込む形を含めて検討して欲しい。</p> <p>【5】オープンにして層を広げる部分と、クローズにして知財化するところを良く見極めて取り組んでいただきたい。</p>	<p>【4】PL/実施者は、公開シンポジウム、展示会等の積極的な外部成果発表の場を作りユーザの関心を高め、成果普及に努めた。また標準化についても、まずは国際学会等の場でノーマリーオフのコンセプトを広く共有する活動を行った。具体的には、ノーマリーオフコンピューティング発展普及に向けた調査事業(期間:平成 27 年 1 月～平成 27 年 5 月)を NEDO 主催で実施し、広い分野から調査事業に参加してもらった。また、ISSCC2014 Forum, VLSISymposium2015 short course などで講演し、トップクラスの国際会議でコンセプト普及に努めた。</p> <p>【5】【3】に同じ。</p>
実用化・事業化に向けての 取り組み	<p>【6】要素技術の事業化については、コストと課題をより明確化した方が良く、具体的なアプリケーションへの展開を各社で具体的に検討すべきであると思われる。</p> <p>【7】本成果はハードウェアだけではなく、ソフトウェアと協調することで効果を増すことから、ソフトウェア面の更なる強化も検討していただきたい。</p>	<p>【6】【2】に同じ。</p> <p>【7】プロジェクト後半でのソフトウェア強化の必要性は認識しており、OS、アプリケーションプログラム、アプリケーションプログラムインターフェースなどとの協調設計を推進し、更なる強化を行った。</p>

総論	評価委員指摘事項	対応内容
<p>今後に対する提言</p>	<p>【8】本プロジェクトの成果により、大きな成功を実現するシナリオ(新応用の創出も含む)を現段階から描くべきである。今後、メモリアーキテクチャだけでなく、コンピューティング・システム全体としての体系化を視野に入れて欲しい。</p> <p>【9】成果については、個別企業間で共有できないものもあり、ここをどう共通化しフレームワーク化していくのかというのが集中研の最大のミッションであり、ノーマリーオフ技術を普及させるためにビジネス戦略上で非常に重要である。</p> <p>【10】世界最高性能の STT-MRAM 等これらの技術が他国の企業に廉価にコピーされないようにその対策をしっかりとしてほしい。</p> <p>【11】知財の活用戦略、特に事業を実施している3社以外への知財のライセンスポリシーを早急に策定すべきである。</p>	<p>【8】【2】に同じ。</p> <p>【9】【1】に同じ。</p> <p>【10】集中研に関しては【3】に同じ。分散研に関しては、実施者が事業化戦略をベースに STT-MRAM 等のメモリ内部の制御技術のクローズ化とメモリ外部とのインターフェースのオープン化の組合せで他社との差別化と事業拡大の両立を確実に実施した。</p> <p>【11】集中研に関しては【3】に同じ。分散研に関しては、各実施者が事業化戦略をベースに知財の活用やライセンスポリシーを策定した。</p>

研究開発項目	評価委員指摘事項	対応内容
<p>① 1 高速低消費不揮発メモリシステムによる携帯情報端末低電力化技術</p>	<p>【12】要素技術としては大きな成果をあげているが、トータルシステムでどう活かせるか、例えば単に省電力なキャッシュだけではなく、計算機システムの中で活用される技術を付加し、イノベーションの基本技術となる工夫を期待したい。</p> <p>【13】事業化の機会を逃さないように、知財のライセンス戦略を、策定しておくことが必要である。</p> <p>【14】STT-MRAM では、一般的な半導体製造プロセスでの技術蓄積が少ない強磁性金属を材料基盤としているため、早期に量産レベルでのプロセス技術を確立し、製造コスト低減と歩留まり向上を図る必要がある。</p>	<p>【12】【2】に同じ。</p> <p>【13】【3】に同じ。</p> <p>【14】実施者は事業化計画のアップデートの中で、コスト見通しをもった開発を念頭にプロジェクトを推進した。</p>
<p>① 2 スマートシティ・センサーネットワーク低電力化技術</p>	<p>【15】多様な物理情報を扱うマルチセンサーシステムを構築する際には、通信部分の消費電力は無視できない場合が多いこと、各センサー系の特徴により、周辺回路においても様々な課題が生じることが懸念されるので、最終目標の実現に向け早期に総合的な電力効率評価を行いボトルネックの洗い出しを図ることが望まれる。</p> <p>【16】集中研においての設計方法論と連携し、より広範囲に適用可能な方式を目指せると良い。</p> <p>【17】他社との差別化をはかり、競争的に有利な製品とするには、より早い時期での実用化が必要である。</p>	<p>【15】実施者は、各アプリに応じて、ボトルネックとして懸念される技術課題を電力評価ボードにより早期に洗い出し、課題解決に向けた対応を行った。</p> <p>【16】【1】に同じ。</p> <p>【17】【2】に同じ。</p>

研究開発項目	評価委員指摘事項	対応内容
<p>① 4 ヘルスケア応用生体情報計測センサーネットワーク低電力化技術</p>	<p>【18】加速度センサーならびに MCU 部の消費電力が最終的には支配的となるので、これらに関しても、ノーマリーオフコンピューティング技術をより積極的に活用できないかの検討を期待する。</p> <p>【19】単にハード面だけにとどまらずソフトウェアとの検討を、後半で十二分に検討してより活かせるようにしていただきたい。</p> <p>【20】集中研での設計方法論と合わせて、本成果がより発展できる実施体制を期待する。</p> <p>【21】米国のベンチャー企業が積極的に参加している市場であり、シェアを確保するためにはスピード感をもって製品投入をする必要がある。</p>	<p>【18】実施者は低消費電力化の最終目標達成に向けて、引き続き加速度センサーやロジック回路等を含め MCU 部のノーマリーオフ化を実現した。</p> <p>【19】【2】に同じ。</p> <p>【20】【1】に同じ。</p> <p>【21】【2】に同じ。</p>
<p>② 将来の社会生活を支える新しい情報システムにおいて飛躍的なノーマリーオフ化を実現する新しいコンピューティング技術</p>	<p>【22】研究体制に関し、今後、各テーマ間での連携をより強化すべき観点からは、設計方法論におけるモデル化と、メモリシステム、プロセッサ、評価基盤の密な連携が行える体制が望ましい。</p>	<p>【22】【1】に同じ。</p>

5. 評価に関する事項

NEDO 技術開発機構は、技術的及び政策的観点から、研究開発の意義、目標達成度、成果の技術的意義ならびに将来の産業への波及効果等について、外部有識者による研究開発の中間評価を平成 25 年度、事後評価を平成 28 年度に実施する。また、中間評価の結果を踏まえて必要に応じプロジェクトの加速・縮小・中止等見直しを迅速に行う。なお、評価の時期については、当該研究開発に係わる技術動向、政策動向や当該研究開発の進捗状況等に応じて、前倒しする等、適宜見直すものとする。

III. 研究開発成果について

1. 事業全体の成果

本研究では、2つの大きな研究開発項目

(1)次世代不揮発性素子を活用した電力制御技術の開発

(2)将来の社会生活を支える新しい情報システム

における飛躍的なノーマリーオフ化を実現する新しいコンピューティング技術の検討において、以下の研究項目を実施している。

表III-1 事業全体の成果の表

	中間目標	中間評価時の研究開発成果	達成度
①-1: 高速低消費不揮発メモリシステムによる携帯情報端末低電力化技術	【①-1全体】MTJ 記憶素子の反転(書き込み)速度、反転電流の実測データと、新しいメモリ階層を導入したプロセッサの消費電力シミュレーションの結果とを総合して、従来のキャッシュメモリと比較して電力効率 10 倍以上を示すとともに、これを実現するための主要課題を明確化する。この目標達成に向けた、開発項目ごとの目標、成果、達成度は以下のとおり。	各開発項目の研究成果は以下のとおり。	-
	①-1-1 高速・低消費電力不揮発 RAM の開発((ア)~(エ)単体メモリ素子 MTJ の開発): 高速・低消費電力不揮発 RAM の開発のため、高速・低電流で動作する MTJ 素子と RAM メモリアレイ回路の開発を行う。単体メモリ素子性能として、50uA、2ns の達成を目指す。	30nm 以下の垂直磁化方式の MTJ を作製し、高速・低消費電力(3ns, 50uA)で書き込み動作を実現。中間目標の 50uA、2ns を 2014 年 3 月に達成した。	○
	①-1-1(オ) 高速・低消費電力不揮発メモリアレイ回路の開発(不揮発キャッシュ用メモリアレイ回路の開発): 上記 MTJ 素子を使って、従来のキャッシュメモリと同等の速度で動作可能で、SRAM よりも待機電力が小さく、かつ面積が小さいメモリアレイ回路の新規設計。	上記 MTJ を用いて 10ns 未満で高速・低消費電力動作可能(ノーマリーオフ型)で、SRAM よりも小型となるメモリ回路を 4 種類新たに設計した。この一つで、DRAM/MRAM ハイブリッド回路にて、動作時の L2 キャッシュメモリ消費電力が従来の約 1/3 を示した。アクセスタイムは 5ns 以下。これは、L2 以下の階層のキャッシュメモリとして、十分な性能である。	○

	中間目標	中間評価時の研究開発成果	達成度
①-1: 高速低消費不揮発メモリシステムによる携帯情報端末低電力化技術	①-1-2 高速低消費不揮発キャッシュメモリ回路・システムの開発: 従来のキャッシュメモリと比較して電力効率 10 倍以上を示すとともに、これを実現するための主要課題を明確化する。	実用上では L2 キャッシュメモリは、動作時間/待機時間の比率が 10 分の 1 以下である。上記の DRAM/MRAM ハイブリッド回路で、これらを元に分析した結果、不揮発キャッシュメモリの平均消費電力は、従来の 10 分の 1 以下を得た。	○

	最終目標	事後評価時の研究開発成果	達成度
①-1: 高速低消費不揮発メモリシステムによる携帯情報端末低電力化技術	MTJ 記憶素子を搭載した不揮発キャッシュメモリを搭載したプロセッサの評価システムで測定した結果から電力効率の評価を行い、従来のキャッシュメモリと比較して 10 倍以上を示す。	高速かつ低電流書き込み可能な微細 MTJ 記憶素子の開発を行った。高速読み出し回路および周辺回路の徹底的なノーマリーオフ化技術を開発、MRAM メモリ作製用 CMOS 半導体プロセス開発により、前記記憶素子を搭載した 4Mb 高速・低消費電力キャッシュメモリを試作した。プロセッサと連動して動作させ、メモリアクセス時間 5ns 以下を実証し、消費電力が従来キャッシュメモリの 1/10 以下 (1/20) となる世界最高省電力性を示した。	◎

	中間目標	中間評価時の研究開発成果	達成度
①-2: スマートシティ・センサーネットワーク低電力化技術	自律適応型電源制御技術と評価用ソフトウェアの仕様策定・設計を行い、センサーノード電力プロファイル評価環境を使い電力削減効果を評価し、従来のマイコンを用いたセンサーノード(通信除く)と比較し 10 倍のノーマリーオフ低電力化性能に到達可能かを評価し、技術課題の明確化を行い対策について検討する。 中間目標達成に向けた、開発項目は以下のとおり。	各開発項目の研究成果は以下のとおり。	-

	中間目標	中間評価時の研究開発成果	達成度
①-2:スマートシティ・センサーネットワーク低電力化技術	(1) センサー特性評価・センサー応用技術 評価対象として一次選定した8種類のセンサーについて、センサーのノーマリーオフ制御適用時の特性評価、センサー毎のBET(損益分岐時間)を定量評価し、センサーノードシステム電力低減に向けてセンサーに対する効果的なノーマリーオフ制御ドライバ(ソフトウェア)の試作・評価を行う。	(1) センサーノードシステムへのノーマリーオフ技術適用に向けて、8種類のセンサー特性への影響・BET測定、BET環境変動量を定量的把握完了。これらの結果に基づきセンサーへのノーマリーオフ制御ドライバ(ソフトウェア)の仕様策定・試作を平成25年9月に完了した。	○
	(2) 電源制御技術 マルチセンサーシステム、センサーデータ収集の高精度化・多様化に対応でき、かつアプリケーションプログラマにとってユーザビリティの高い電源制御技術の仕様を策定し、試作・評価する。	(2) センサーノードシステムの電源制御技術として、各構成要素のBETを用いることにより、柔軟性と高いユーザビリティを備えた自律適応型電源制御機構を考案し仕様を策定完了。	○
	(3) センサーノードシステム電力プロファイル評価環境 集中研②-1と検討したアーキテクチャおよび(2)の電源制御技術を実装して電力削減効果を定量評価可能なセンサーノード内システム電力プロファイル評価環境(ハードウェア、評価用ソフトウェア)を構築する。	(3) ノーマリーオフ技術の低電力効果を定量的に評価しうる測定精度を有し、集中研②-1と連携したアーキテクチャの試行容易なセンサーノード・システム電力プロファイル評価環境(ハードウェア)を設計し、平成25年9月に動作確認を完了した。	○
	(4) センサーノード低電力化技術統合評価 (1)~(3)を組み合わせ、評価アプリケーションを用いてシステム電力評価を行い、従来のマイコンを用いたセンサーノード(通信除く)と比較し10倍のノーマリーオフ低電力化性能に到達可能かを評価し、技術課題の明確化を行い対策について検討する。	(4) 電力プロファイル評価環境上への自律適応型電源制御技術と評価プログラムの設計を平成25年9月に完了した。これらを組み合わせたセンサーノード(通信除く)の10倍の低電力化性能達成可能性評価し、技術課題の明確化・対策検討を平成26年3月に完了した。	○

	中間目標	中間評価時の研究開発成果	達成度
①-2:スマートシティ・センサーネットワーク低電力化技術	(5) 実証デモ 環境計測・監視システム応用の一例として、デマンド交通システムを使ったノーマリーオフセンサーネットワーク実証に向けたデモシステムの仕様を策定する。	(5) 実証デモシステム評価に向けて、システム挙動分析を主眼とした知的バス停試作機の設計完了。平成25年12月に実証実験を完了した。	○
	(6) 低電力化回路技術 システム低電力化に向けて、常時電源ON領域の低電力化技術を開発する。主要機能である RTC クロック生成回路の低電力化として、従来回路電力(約 1uW、水晶発振子の場合)の半減を目標とする。	(6) ノーマリーオフ動作適用対象外となる RTC 向けのクロック生成回路の低電力化について回路設計・試作を完了し、低電力化の目標(約 0.5uW)を達成した。	○

	最終目標	事後評価時の研究開発成果	達成度
①-2:スマートシティ・センサーネットワーク低電力化技術	センサーノード(通信を除く)について、従来のマイコンを用いたセンサーノードと比較し 10 倍のノーマリーオフ低電力化性能実証を目指す。	集中研成果をもとにしたタスクスケジューリング、および自律型電源制御技術の適用、さらに再委託先の研究成果であるセンサー動作最適化技術、クロック発振低電力化回路技術を適用して、従来のマイコンを用いたセンサーノードと比較し、マイコンレベル、システムレベルでの電力削減効果を実証し、目標の10倍(90%の削減効果)のノーマリーオフ低電力化性能を実現した。	○

	中間目標	中間評価時の研究開発成果	達成度
①-4:ヘルスケア応用生体情報計測センサーネットワーク低電力化技術	目標(1): 間歇動作指向アルゴリズム、電源管理アーキテクチャの研究開発を行い、試作開発およびシステムレベル評価にて電力消費性能を10倍と示す。	高信頼心拍抽出アルゴリズムの開発、専用ハードウェアによる低消費電力化、および、それと組み合わせたアナログフロントエンドの低消費電力化により、従来の心拍計測ICを用いた構成に対して消費電力を20分の1以下に削減した。	◎
	目標(2): メモリアーキテクチャの研究開発を行い、試作開発およびシステムレベル評価にて電力消費性能を10倍と示す。	FeRAMを混載した生体センサーLSIを試作し、システムモジュールとして生体センサーシステム動作中にFeRAM部を簡潔動作させることにより、FeRAM部の平均消費電力を10分の1以下に削減した。	◎
	目標(3): 不揮発デバイスの低電圧化として現状の1.5Vから0.9V動作の見込みを示す。	不揮発デバイスの低電圧化として現状の1.5Vから0.9V動作の目処を得た。	○
	最終目標	事後評価時の研究開発成果	達成度
①-4:ヘルスケア応用生体情報計測センサーネットワーク低電力化技術	心拍、3軸加速度、行動解析機能を有するウェアラブル生体モニタリングシステムを完成させる。システム全体の動作時間の最適化を図り、電力消費性能10倍、平均消費電流20 μ Aを達成する。	心拍、3軸加速度、行動解析機能を有するウェアラブル生体モニタリングシステムを完成させた。またアルゴリズム階層及びアーキテクチャ階層とハードウェア階層との協調設計によってノーマリーオフ・インスタントオンを実現し、システム全体の動作時間の最適化を行った。これによって貼り付け部システムの平均消費電流を20 μ A以下とし、システムとしての電力消費性能10倍を達成した。	◎

	中間目標	中間評価時の研究開発成果	達成度
②-1: ノーマリーオフ評価基盤・プラットフォームの研究開発	ノーマリーオフ評価基盤・プラットフォームの必須構成要素である以下の2つの技術の第1次版開発を行う。	各開発項目の研究開発成果は以下のとおり。	-
	(1) ノーマリーオフ実機評価環境 種々の応用分野のアプリケーションに対して、ノーマリーオフ制御評価を実行できる実機評価環境(集中研評価ボード)を構築する。	平成25年度は、前年度に試作した集中研評価ボードの評価結果をフィードバックすることにより、集中研評価ボードの改良設計を行う。子基板変更によりCPU変更が可能で、かつ、複数の評価ボードを連結することで、②-3の Task スケジューリング技術の評価を実施可能な、集中研評価ボードの仕様設計を平成25年9月に完了した。	○
	(2) ノーマリーオフ評価エミュレーション環境 集中研②-3で検討する詳細な電力性能情報を取得するためのエミュレーション技術を、(1)で開発したノーマリーオフ実機評価環境に実装する。	集中研②-3と連携して策定した電力性能評価のための情報を取得可能なエミュレーション機能の試作・評価を実施し、仕様を決定した。その試作結果を元に、エミュレーション機能のノーマリーオフ実機評価環境への実装を平成26年3月に完了した	○

	最終目標	事後評価時の研究開発成果	達成度
②-1: ノーマリーオフ評価基盤・プラットフォームの研究開発	ノーマリーオフ低電力化のためのソフトウェア技術の提案と、分散研の従来比 1/10 の電力化実証を支援し、ノーマリーオフ電力性能評価の基盤となる評価技術・プラットフォームを確立する。	マイコンと不揮発メモリを搭載する評価プラットフォームを開発し、電力モデルだけではなく、電源遮断と復帰に要する時間とエネルギーのモデル化を実現した。これにより、多分野の応用にノーマリーオフ技術を適用した際の電力性能評価を可能とした。	○

	中間目標	中間評価時の研究開発成果	達成度
②-2: 超高速不揮発メモリを活用するノーマリーオフメモリシステムプラットフォームの研究開発	①-1の不揮発メモリの実験結果を元に、携帯情報端末用プロセッサの性能/消費電力が10倍以上を達成するための技術課題を抽出する。 (本目標達成のため、②-3の成果である電力評価基盤技術と、プロセッサアーキテクチャを用いる。)	実際の使用環境に近い状態で、プロセッサ電力・性能を評価することが可能なシミュレーション環境を構築した。これにより、L1 キャッシュメモリ以上の階層はSRAMを、L2 キャッシュメモリにSTT-MRAMとDRAMのハイブリッドメモリを用いる新型メモリ階層での電力評価を行い、電力効率が10倍以上となるプロセッサの動作条件(動作時間/待機時間比率など)を求めることが可能になった。	○

	最終目標	事後評価時の研究開発成果	達成度
②-2: 超高速不揮発メモリを活用するノーマリーオフメモリシステムプラットフォームの研究開発	分散研で改良設計されるノーマリーオフメモリシステムを搭載するプロセッサのシミュレーション環境を構築し、携帯情報端末用プロセッサの性能/消費電力が従来に比べて10倍以上となることの実証を支援する。	キャッシュメモリに不揮発メモリのSTT-MRAMを搭載した場合の電力モデルについて、キャッシュを制御する周辺回路も含めて確立し、シミュレーション環境を構築した。	○

	中間目標	中間評価時の研究開発成果	達成度
②: ノーマリーオフコンピューティングシステム設計方法論の研究開発	不揮発メモリを用いたシステムのノーマリーオフ電力モデルの定式化	フリップフロップ、キャッシュメモリ、メインメモリに不揮発メモリを用い、パワーゲーティング手法を用いた場合の消費電力のモデル・定式化を行い、今後どのような不揮発性メモリを開発すべきか、またそのような不揮発性メモリが実現した場合のノーマリーオフ最適化技術の評価を可能にした。	○
	②-1と連携して、汎用性を指向するソフトウェア技術としてのノーマリーオフ最適化技術を開発するとともに、分散研への提案サポートを行う。	集中研実機評価環境でのセンサー応用想定実機評価から得られた情報を元に、センサーネットワーク・マイコンシステムにMRAMをメインメモリとして実装する場合のタスクスケジューリング技術によるアクティビティ局所化手法の提案を行った。そして、ソフトウェア視点でのノーマリーオフ電力最適化技術の適用により従来比8割減の低電力化を達成した。	○
	②-2と連携して、高速不揮発RAMの性能/電力向上のためのプロセッサアーキテクチャの開発を行う。	携帯情報端末を対象に、MRAMとSRAM/DRAMを効果的に使い分けるハイブリッドキャッシュメモリのアーキテクチャ手法を開発し、7割程度の低電力化を達成できることを示した。	○

	最終目標	事後評価時の研究開発成果	達成度
②:ノーマリーオフコンピューティングシステム設計方法論の研究開発	メモリ階層全体を最適化してノーマリーオフコンピューティングの評価可能な環境を構築し、分散研で開発される技術へのフィードバックを行うとともに、その知見の共有と一般化により、新しい応用領域へも適用可能な設計方法論を確立する。	キャッシュメモリに不揮発メモリのSTT-MRAMを搭載し、不揮発メモリ部と周辺制御回路を空間分割しノーマリーオフ制御を行う手法を開発した。さらにVLSI上の試作を分散研と協力して行い、電力効率が10倍になることを実証した。また、この設計方法論を、新しい領域(NEDO小規模開発:地形変形モニタリングシステム)へ適用することで、目指す設計方法論の確立を行った。	◎

2. 研究開発項目毎の成果

研究開発項目① 次世代不揮発性素子を活用した電力制御技術の開発

2.1 ①-1 高速低消費不揮発メモリシステムによる携帯情報端末低電力化技術

① -1-1 高速・低消費電力不揮発 RAM の開発(担当:東芝)

スマートフォン等の情報携帯端末は魅力的なツールであり、近年その市場が急成長している。しかし、これらの機器にはバッテリー寿命が短いという問題がある。この問題は今後ますます深刻化してくることが予想される。それは、図 2.1-1 に示すように、現在のプロセッサの消費電力はディスプレイや無線等の他の部品と同程度であるが、今後プロセッサの性能の向上に伴いプロセッサの消費電力が増加してくることが予想されるからである。パワーゲーティング等、プロセッサのエネルギー消費低減の技術開発も行われているが、消費電力増大を抑えるには充分ではない。一方、ディスプレイ等は低消費電力化技術が進んでいるため、将来的にはプロセッサのエネルギー消費が情報携帯端末のエネルギー消費の大部分を占めてしまう状態になってしまう。この状態を回避するために、プロセッサの消費電力を大幅に低減される技術が期待されている。

コンピュータのエネルギー消費量を低減されるための革新的なアイデアとしてノーマリーオフコンピューティングというコンセプトが 2001 年に産総研の安藤氏により提唱され、その後も改良案が提案されている[1]。即ち、コンピュータが動作している時も実際に演算が行なわれている時間の割合は全体のごく僅かであるので、演算が行われていない時間帯は電源遮断をして、実際に演算が行われる時間帯のみ通電する制御を行うことで、コンピュータの消費電力を大きく低減できるというアイデアである。[ASL]ではこのコンセプトを応用し、モバイルプロセッサの L2, L3 キャッシュメモリに高速、不揮発なメモリである垂直磁化を用いた STT-MRAM を用い、適切な電源遮断でノーマリーオフ動作をさせることで、情報携帯端末のエネルギー消費を従来の 1/10 に低減する技術を開発している。

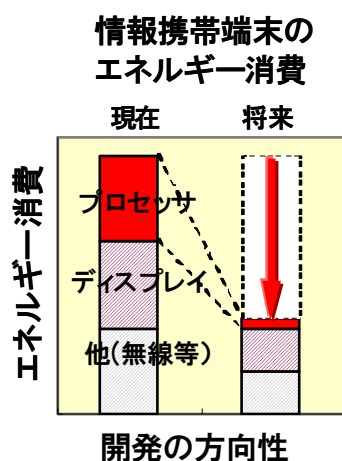


図 2.1-1 情報携帯端末のエネルギー消費

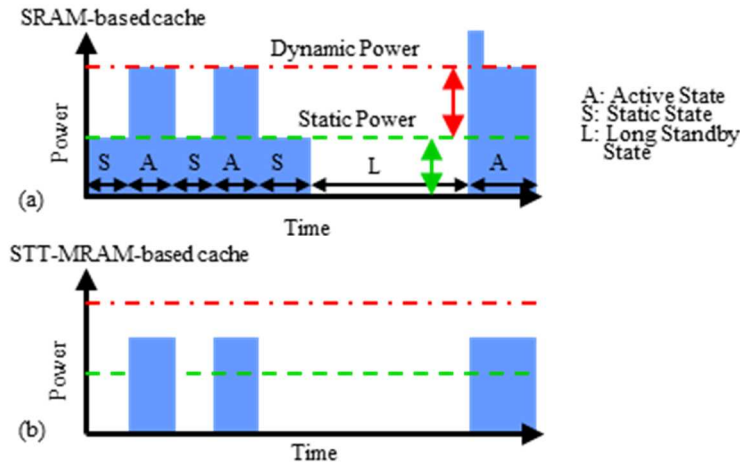


図 2.1-2 キャッシュメモリのエネルギー消費の概念図

図 2.1-2 にノーマリーオフプロセッサのキャッシュメモリのエネルギー消費の概念図を示す。図 2.1-2 (a) は現状の SRAM ベースのキャッシュメモリで図 2.1-2 (b) は STT-MRAM を用いたノーマリーオフプロセッサのキャッシュメモリのパワーを示している。図 2.1-2 (a) の Static Power は主に SRAM のリーク電流に起因するエネルギー消費である。このエネルギー消費は図 2.1-2 (b) に示すようにキャッシュメモリに STT-MRAM を用いることでほぼゼロにすることができる。さらに我々の高速・低電流反転の垂直磁化 MTJ (p-MTJ) を用いることにより、Active State におけるパワーも低減させることができる。尚、図 2.1-2 (a) で Long Standby State でパワーがゼロになっているのは、パワーゲーティングによるものである。

上記に述べたノーマリーオフプロセッサを実現するために、東芝が行う開発の項目は以下の通りである。各項目の詳細については後述する。

- ① -1-1 高速・低消費電力不揮発RAMの開発 (担当:東芝)
 - ① -1-1-(ア) 高速スピン注入記憶素子の設計技術の開発
(担当:東芝、再委託先:電気通信大学)
 - ① -1-1-(イ) 高速・低電流書き込みスピン注入記憶素子材料の開発
(担当:東芝、再委託先:東北大学)
 - ① -1-1-(ウ) 高速・低消費電力スピン注入記憶素子の開発
(担当:東芝、再委託先:産総研)
 - ① -1-1-(エ) 高速スピン磁化反転の評価
(担当:東芝、再委託先:大阪大学)
 - ① -1-1-(オ) 高速・低消費電力不揮発メモリアレイ回路の開発
(担当:東芝)
- ① -1-2 高速低消費不揮発キャッシュメモリ回路・システムの開発
 - ① -1-2-(ア) 周辺回路・高速インターフェース回路の開発 (担当:東芝)
 - ① -1-2-(イ) ノーマリーオフコンピューティング動作のためのメモリ階層化構造の開発
(担当:東芝)

これらの開発項目のうち、①-1-1の高速・低消費電力不揮発RAMの開発と①-1-2の高速低消費不揮発メモリ回路・システムの開発は東芝分散研で行い、さらに、集中研で行う研究開発項目②-2を統合し、10倍の電力効率を実現することを目指すことを目的とする。

年度毎の実施アイテムも含めて、開発内容の詳細は以下のとおりである。

① -1-1 高速・低消費電力不揮発RAMの開発

STT-MRAM を使ったノーマリーオフプロセッサでエネルギー消費を低減するためには、STT-MRAM が高速かつ低電流で動作することが非常に重要である。別の言い方をすれば、低消費化を実現するためには書き込み電荷量(C_w)が小さいMTJが必要であることになる。ここで書き込み電荷量とは $C_w = T_p \times I_w$ と表すことができる。ただし、 T_p と I_w はそれぞれ書き込み電流パルスのパルス幅、および電流値である。図 2.1-3 は STT-MRAM ベースのキャッシュメモリにおける書き込み電荷量 (Write Charge) と Active State におけるキャッシュメモリのパワー (SRAM ベースのキャッシュメモリの値で規格化した値) の関係を示したシミュレーション結果である。シミュレーションで用いた STT-MRAM の回路は 2T-2MTJ セル構造[2]を採用した。パワーを下げるためには、書き込み電荷量を小さくする必要があり、特に SRAM ベースのキャッシュメモリよりパワーを充分小さくするためには 100fC 以下の書き込み電荷量にする必要がある。ここで注意すべき事は、プロセッサのエネルギー消費を下げるためにより重要な指標は MTJ への書き込みのエネルギーよりもむしろ書き込み電荷量であることである。なぜなら、エネルギーは(電圧)×(電流)×(時間)であるが、電圧は記憶素子だけでなく選択トランジスタにも印加されるため、記憶素子に印加される電圧だけを下げても実質的にはプロセッサの消費電力低減にはならない。

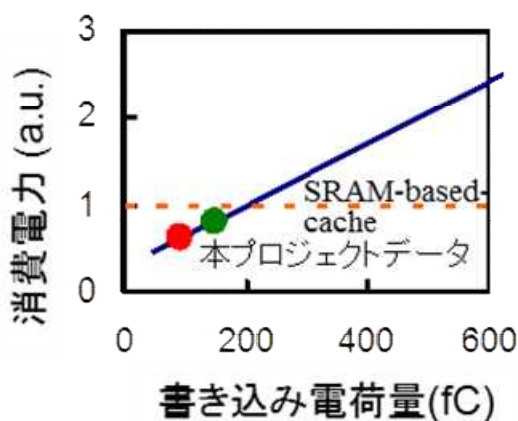


図 2.1-3 STT-MRAM ベースのキャッシュメモリにおける書き込み電荷量と active state における消費電力の関係。

上記目標を満たすための高速・低消費電力不揮発 RAM の開発のため、高速・低電流で動作する MTJ 素子の開発が必要になる。平成 23 年度の想定では 10 倍の電力効率を実現するためには①-1-1の

高速・低消費電力不揮発 RAM として 50 μ A、3ns の電流パルスによる書き込みを実現することが必要と想定していた。書き込み時間 \times 書き込み電流=MTJ 書き込み電荷量と定義すると

$$3\text{nsec}@50\mu\text{A} \Rightarrow 3\text{nsec} \times 50\mu\text{A} = 150 \text{ fC (フェムトクーロン)}$$

となる。しかしながら、シミュレーションの結果、MTJ書き込み電荷量QWが150fCというMTJ側の1次目標を達成しても、電力効率1/10にできるアプリケーションが狭いことが示された。このため、実施計画上MTJ書き込み電荷量の最終目標を50fCとし、その中間目標を100fCとした。

$$\text{中間目標: 書き込み電荷量 (100fC) = 書き込み時間 (2nsec) \times 書き込み電流 (50\mu\text{A})}$$

$$\text{最終目標: 書き込み電荷量 (50fC) = 書き込み時間 (1nsec) \times 書き込み電流 (50\mu\text{A})}$$

ただし、最終的な電力効率はMTJ素子の特性とプロセッサアーキテクチャ性能との組み合わせで決まるので、最終的な電力効率の評価結果に応じて、素子目標の見直しを行なう必要がある。

これらの目標を達成するために、高速スピン注入記憶素子の設計(①-1-1-(ア))、高速・低電流書き込みスピン注入記憶素子材料開発(①-1-1-(イ))、高速・低消費電力スピン注入記憶素子の開発(①-1-1-(ウ))、高速スピン磁化反転の評価(①-1-1-(エ))および高速・低消費電力不揮発メモリアレイ回路の開発(①-1-1-(オ))が有機的に機能する必要がある。

以下に、それぞれの開発内容について説明する。

現在、キャッシュメモリとして用いられている SRAM は揮発性メモリのため、データを保持するために電流を供給し続けなくてはならない。しかし、我々が適用を目指している不揮発性メモリである MRAM を用いることで、電流を供給し続ける必要がなくなる。また、MRAM の動作(書き込み/読み出し)を高速化することができれば、より細かく電流を遮断することが可能となり、低消費電力化が促進される。

そこで、東芝は高速書き込みを低電力で行える MRAM 素子の開発を目指した。MRAM は不揮発性ではあるが、データを書き込む際は大きな電流が必要であることが課題であった。MRAM の書き込み電力は、書き込み電圧 \times 書き込み時間 \times 書き込み電流と表すことができる。3 番目の項目である書き込み電流を低減することに関しては、東芝が推進してきた垂直磁化 MTJ を用いることで対応することができるが、それでも高速書き込み化に伴い書き込み電流は増大していく。種々の検討により、MTJ 素子においては素子を微細化していくことで書き込み電流を低減できることが分かってきた。そこで東芝は阻止をより微細に形成することで、高速書き込み時の電流低減を図ることとした。(大方針①、図 2.1-1)

最終目標である書き込み電荷量(50fC) = 書き込み時間(1nsec) \times 書き込み電流(50 μ A)を達成するために、MTJ 素子サイズとしては 20nm 以下が必要であるとの見積りを得た。そこで、東芝は 20nm 以下の MTJ 素子を実現するために従来とは異なる素子微細化技術開発を行った。

MTJ 素子微細化技術の開発と磁化反転電流の低減

(1) エッチングマスクとしてのハードマスク材料の探索

MTJ 素子の形成は通常、イオンビームエッチングを用いて行い、エッチングマスクとしてはレジストマスク、あるいはハードマスクを用いる方法がある。

レジストマスクを用いる方法は、例えば電子ビームによるリソグラフィーで用いるレジストをそのままエッチングマスクとして用いるのが簡便であるが、レジストマスク法はレジストの厚さが厚いことによるビームシャドウ効果の影響や、被エッチング材(この場合はMTJ 材料)とのエッチング選択比があまり大きく取れないことなどから、ある程度までの大きさまでは対応できるが、目標としている 20nm 以下などの微細化には適さない。そこで、東芝はレジストマスクではなく、より硬質な金属あるいは非金属元素をマスクとして用いる、いわゆるハードマスクによる微細化を追求することとした。

従来使用していたハードマスク材料では、MTJ 素子サイズ 25nm 程度が限界であったため、被エッチング材との選択比が従来ハードマスクよりも大きな材料を探索した。

その結果、ある材料 X において所望の特性を得ることができることが分かった。

一方で、イオンビームエッチングにおける選択比の観点だけでは良好なハードマスク選定としてはまだ不十分である。それはハードマスクとしての所望の形状に加工するために、例えば反応性イオンエッチングいわゆる RIE 等を用いるので、RIE での加工適正も重要な要件となる。

RIE の場合は、エッチングガス種に対する依存性も検討課題の一つとなるが、これらを種々検討し、先ほど述べた材料 X は RIE で所望の形状、サイズに加工するに十分であることを見出した。

(2) 新ハードマスク材料 X を用いた微細 MTJ 素子作製

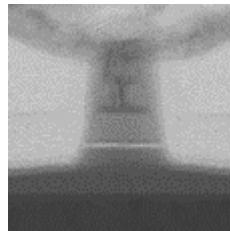


図 2.1-4 従来マスクによる MTJ 素子断面(~30nm)

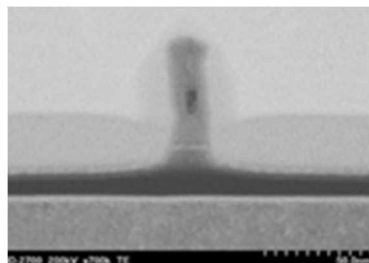


図 2.1-5 新マスクによる MTJ 素子断面(~15nm)

(3) MTJ 素子微細化による磁化反転電流の低減

MTJ 素子の反転電流は、記憶素子のサイズが、いわゆる単磁区サイズになるまではサイズに依存(比例)して低減していく。先に述べた MTJ 素子微細化を適用して電流が低減するかを調べた。

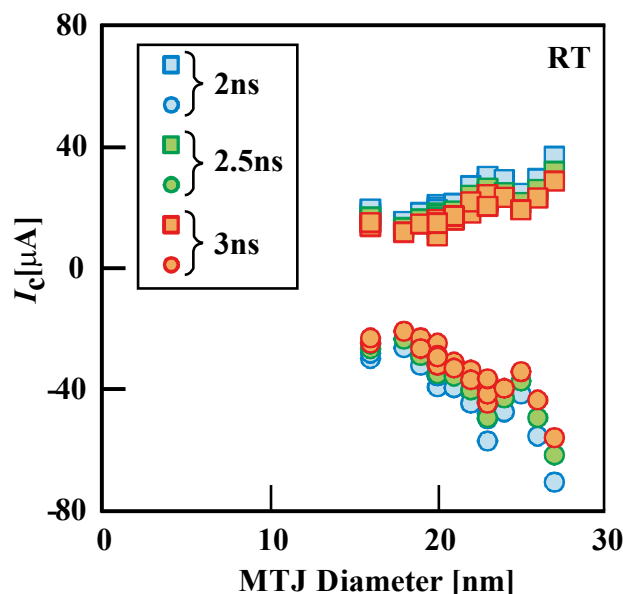


図 2.1-6 反転電流の MTJ 素子サイズ依存性(3nsec 書き込み)

MTJ 素子の記憶層材料開発による磁化反転電流の低減

MTJ 素子においては、電流によるスピントルク(STT)で記憶層磁化を反転させることで情報を記録する。スピントルクによって記憶層が反転する際、それを抑制するように働く反作用としてダンピング項が存在し、ダンピング定数と呼ばれている。記憶層のダンピング定数が小さいほど磁化反転は容易になり、すなわちそのために要する書き込み電流は低減できる。また、書き込み電流は高速に書き込もうとするほど増大する傾向があるため、ダンピング定数を低減して書き込み電流を低下させることは重要である。

東芝では、記憶層材料を検討することにより世界最小のダンピング定数 0.004 を実現し、高速書き込み時の書き込み電流低減を可能にした。

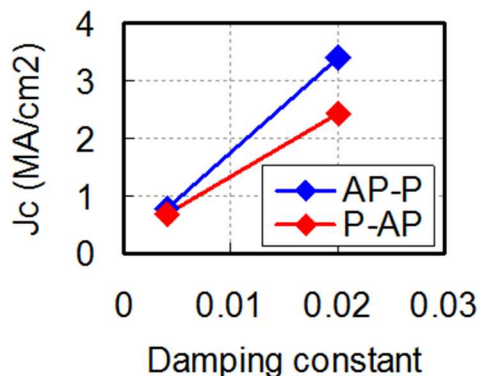


図 2.1-7 反転電流密度のダンピング定数依存性(3nsec 書き込み)

図 2.1-7 は、3nsec 高速パルスで書き込んだ場合の、反転電流密度のダンピング定数依存性を示したものである。ダンピング定数に比例して電流低減していることが分かる。

この低ダンピング下地層を用い、垂直磁化 MTJ を試作した。の p-MTJ の RH ループと IH 磁気相図をそれぞれ図 2.1-8 および図 2.1-9 に示す。図 2.1-8 から得られる p-MTJ の保磁力は 820 Oe、MR は 80% であった。また、図 2.1-9 から求まるスピン注入反転電流 I_c は p-MTJ の反平行状態から平行状態への反転 (APtoP) では 3uA、平行状態から反平行状態への反転 (PtoAP) では 5uA であった。

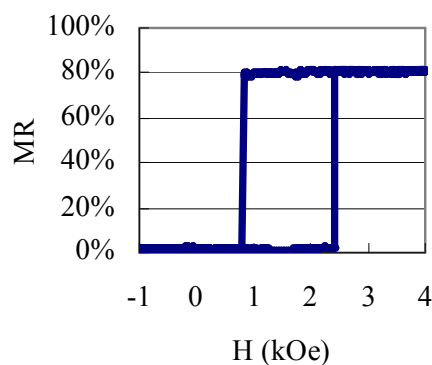


図 2.1-8 RH ループ

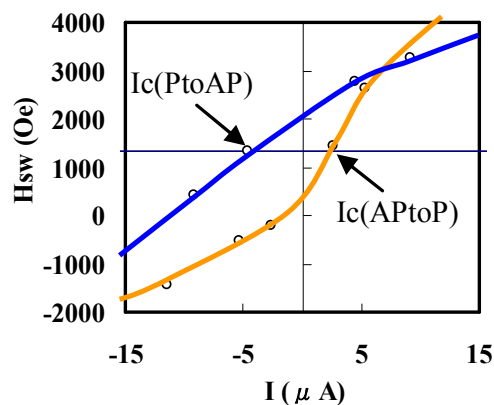


図 2.1-9 IH 磁気相図

この p-MTJ について、ナノ秒オーダ以下の短パルス電流によるスピン注入評価を行った。書き込みテストで用いたパルス波形を図 2.1-10 に示す。図 2.1-11 は p-MTJ の反転確率評価を 0.8ns~4ns の高速パルスを用いて行った結果である。各点は外部磁場によってシフトを調整しつつ、30 回の書き込みテストから求めた反転確率を示している。書き込みパルス幅 1ns 以下かつ電流 100uA 以下のパルスで反転することを示している。

図 2.1-12 は各パルス幅における反転電流(反転確率が 50%となる電流) I_c を示している。1ns パルスにおける I_c は PtoAP 反転では 60 μ A、APtoP 反転では 50 μ A であった。図 2.1-13 に 1ns パルスによる書き込みサイクルテストの結果を示す。書き込み電流は PtoAP 方向の書き込みが 90 μ A、APtoP 方向の書き込みが 80 μ A で行った。この電流値は図 2.1-12 の赤丸で示している。このパルス電流条件で p-MTJ に交互に 200 回印加したところ、エラーなく反転できることが確認された。この書き込み条件における書き込み電荷量は $1\text{ns} \times 90\mu\text{A} = 90\text{fC}$ となる。このように低電荷量書き込みでの書き込み可能な p-MTJ を用いたキャッシュメモリでは、図 2.1-6 に示すように Active State においても効率的に消費電力低減が可能となる。

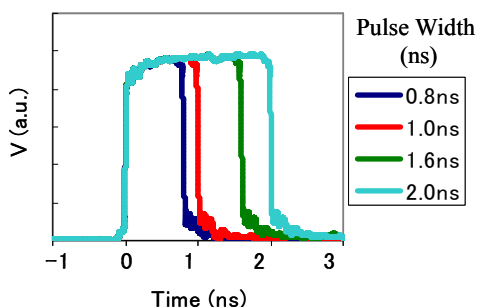


図 2.1-10 反転評価で用いたパルス波形

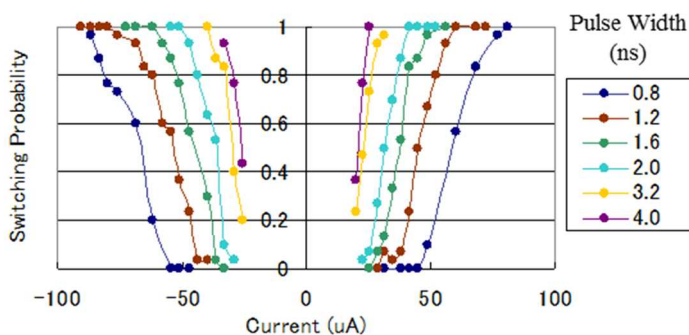


図 2.1-11 高速パルスによる p-MTJ の反転確率

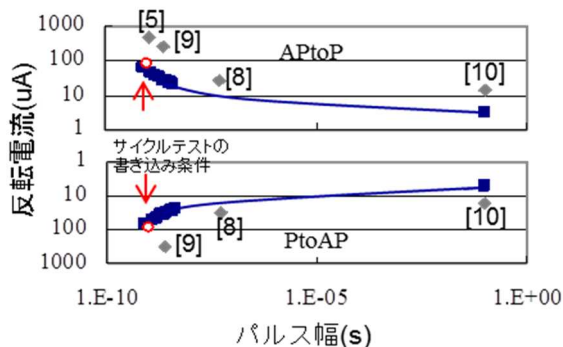


図 2.1-12 反転電流 I_c のパルス幅依存性

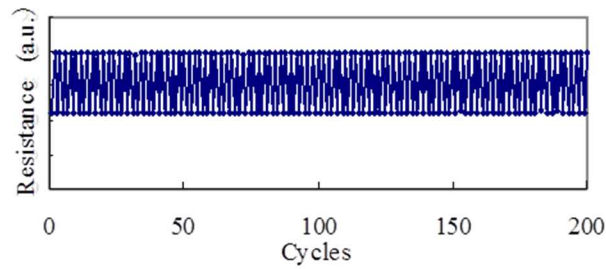


図 2.1-13 書き込みサイクルテスト

さらに、東芝は、先に述べたMTJ素子微細化と、このダンピング定数低減を組み合わせ、反転電流低減を図った。MTJ素子微細化に関しては、20nm以下(最小で15nm)まで推進し、ダンピング定数低減に関しては更なる材料探索を行い、0.0034までの低減を図った。これらの成果を盛り込んだ素子を作製し、高速書き込み時の電流低減を行った。

図 2.1-8には20nmサイズの上記成果を盛り込んだMTJ素子を用い、最短1nsec高速パルスで書き込んだ場合の書き込み特性を示している。

1nsec書き込みで50 μ A以下の書き込みができており、書き込み電荷量50fc以下を達成している。

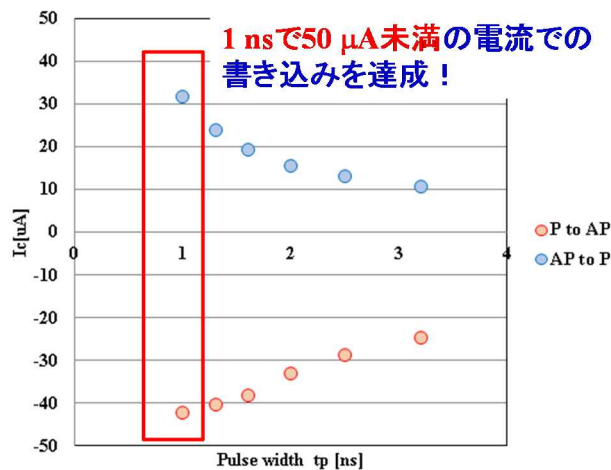


図 2.1-14 20nmMTJ素子による高速書き込み(最短1nsec書き込み)

更なる高速化、大容量化を目指した材料開発

今までの話は、現行のCoFeB系磁性材料を用いた場合の話であったが、今後更に高速低電流、かつ大容量なMRAMを目指して行かなくてはならない。そのために、既存材料のみでは限界があると考えられる。

より高速化、低電流化、大容量化をするために材料面から考えた場合、材料に求められる特性としては、先に述べた低ダンピング定数と微細化は大前提として、それに加えて①高い垂直磁気異方性、②低い

飽和磁化、が必要である。①は更に微細化していく場合に熱擾乱によって情報が消えてしまわないために必要な特性であり、②は高速書き込み時の電流低減のためと、大容量化する場合の隣接素子への影響低減の観点から必要な特性である。これらの指針をすべて満たす材料を探索しなければならないが、その調査の結果、従来の Fe、Co などをベースとした磁性材料では、すべての条件を満たせる材料がない、という結論に至った。そこで、これ以外の材料に探索範囲を広げて調査を行った。

磁性材料の垂直磁気異方性は一般に飽和磁化の減少とともに下がっていく傾向を持つ。しかし、そのような傾向は持ちつつも、二つの群に分かれることが分かった。従来の Co や Fe をベースとした材料は多結晶材料であることが多く、そういった材料よりも単結晶でエピタキシャル成長させた材料は、垂直磁気異方性の絶対値が大きいということが分かった。そこで、我々は単結晶、エピタキシャル成長で良好な特性を有する材料に絞って調査をし、実際の実験、探索を行った。

単結晶材料の探索は MgO 単結晶基板上に直接成膜あるいは適切な下地を設けて実施することでその特性を調べた。

MnAB 材料

MnAB については、MgO 単結晶基板上に直接室温で成膜してエピタキシャルに成長することが確認できた。磁気特性に関しては後加熱によって向上させることが可能で、飽和磁化は 300emu/cc 以下、垂直磁気異方性は 8Merg/cc と良好な値を示した。この材料に関しては、組成ロバストであり作製容易な面にメリットがあるが、ダンピングは 0.035 とやや大きい。記憶層用途、参照層用途としてどちらが適しているか判断が難しい材料である。

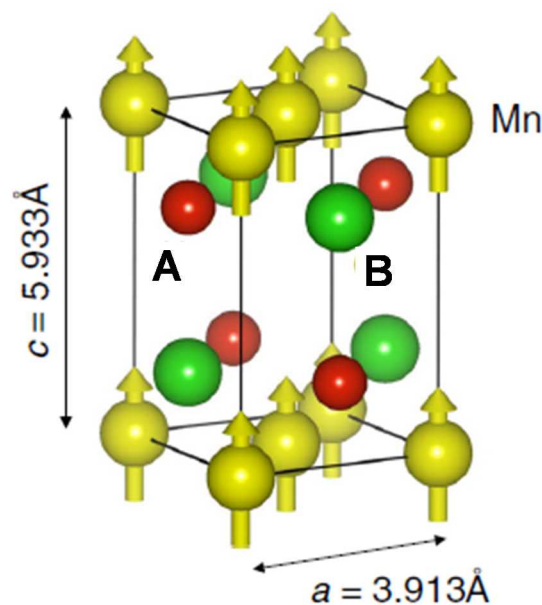


図 2.1-15 MnAB 材料の結晶構造

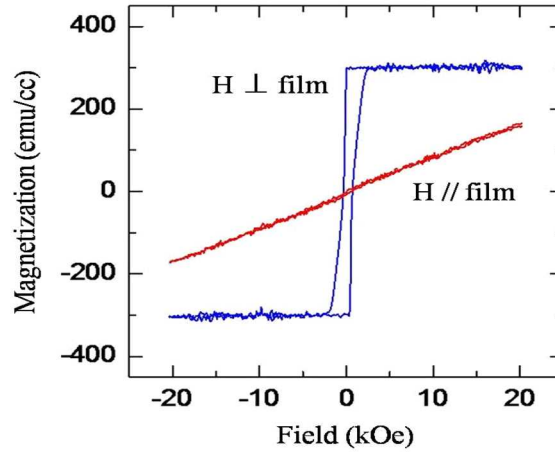


図 2.1-16 MnAB 材料の磁気特性

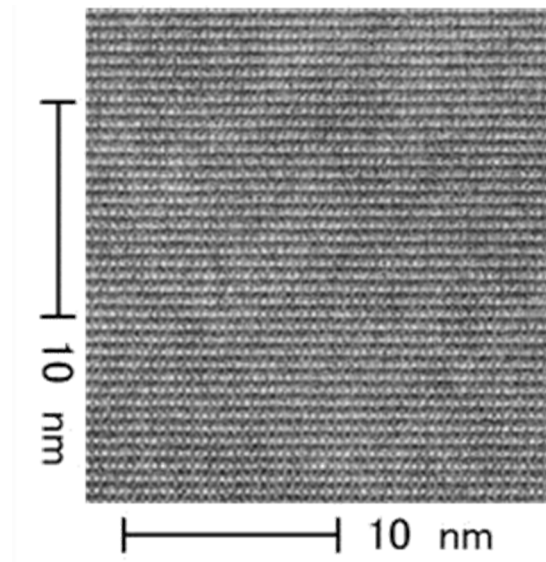


図 2.1-17 MnAB 膜の断面 TEM 像

MnC 材料

MnC は、MgO 単結晶基板に適切な下地層を設けることで、室温成膜後加熱によってエピタキシャル成長をさせることができ、良好な垂直磁気特性を得ることができた。この材料の特徴として、低い飽和磁化 400emu/cc 程度、高い垂直磁気異方性 10Merg/cc を合わせ持ち、更にダンピング定数も最小で 0.005 と小さな値を示した。このことから、記憶層用途に適した材料であると考えられる。結晶構造は L10 あるいは組成調整により D022 とすることができる。

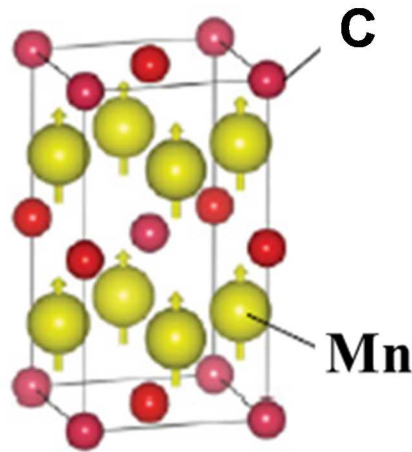


図 2.1-18 MnC 材料の結晶構造

MnC+D

L10 型 MnC に元素 D を添加することで、 $\Delta 1$ バンド変調によるトンネル伝導改善を期待して開発。トンネル伝導改善は未確認ながら、磁気特性的には、 $M_s=275\text{emu/cc}$ 、 $K_u=9.4\text{Merg/cc}$ と非常に良好な値を得た。

MnC+E

D022 型 MnC に元素 E を 7.5% 添加することで、 $M_s=190\text{emu/cc}$ 、 $K_u=9.2\text{Merg/cc}$ と非常に良好な磁気特性を示した。

新材料を用いた MTJ での高 TMR 化開発

以上の検討で、MnC 材料が高速・大容量 MTJ の記憶層に適した材料候補であることが分かったため、この材料を用いて大きなトンネル磁気抵抗比 (TMR) が得られるかを検討した。しかし、MnC 材料を直接 MgO バリアに接触させた MTJ 構造では大きな TMR が出現しないことが分かったため、MnC と MgO の間に界面層を設けることを試みた。これにより、記憶層としては、大きな垂直磁気異方性 (K_u) を担う MnC 記憶層と、TMR を担う界面層という構成となる。界面層としては Fe 系の薄い界面層を用いたが、MnC/Fe 系界面層直接積層においては TMR が 60% 程度しか出なかった。この原因を調査した結果、両者の拡散が影響していることが示唆された。そこで、MnC と Fe 系界面層間に拡散防止層を設ける方法を検討した。その結果、拡散防止層厚さを最適化することで TMR は 120% 程度まで増大した。

しかし、これ以上の改善は見られなかった。これは拡散防止層を挿入する方法に限界があることを示していると考えられた。

新材料記憶層の薄膜化

高速・大容量化するに伴い、MTJ 素子間の距離が縮小されてくる。MTJ 素子は磁性体であるため、素子が発生する磁場が隣接素子に与える影響を無視できなくなってくる。そのため、大容量化すればするほどこれによる影響を排除することが必要になってくる。MTJ 素子として、特に記憶層から漏れる磁場が

影響するために記憶層膜厚を減少させること、記憶層の飽和磁化 (M_s) を抑制することが重要である。当初、MnC の下地として Cr を用いていたが、良好な垂直磁化を保つ膜厚が 5nm 程度までであり、それ以下では磁気特性が顕著に劣化していた。(図 2.1-19)

しかし、下地 XY、XZ などを用いることにより、下地 XY では 2nm まで、(図 2.1-20) 下地 XZ では 1nm まで良好な垂直磁化を保つことが分かった。すなわち、1nm までの薄膜化に成功した。

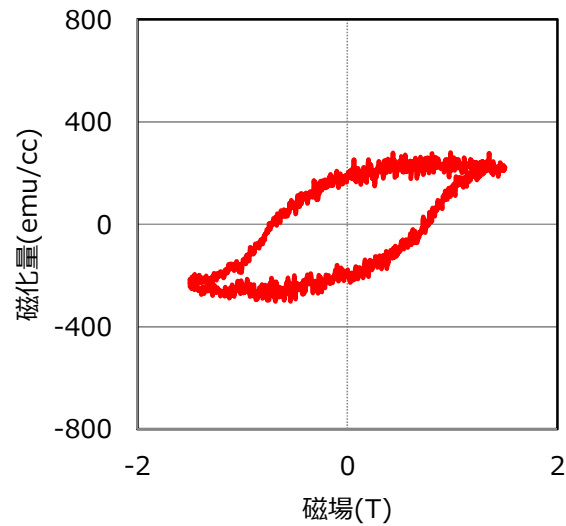


図 2.1-19 Cr 下地上での MnC の磁気特性(垂直方向)

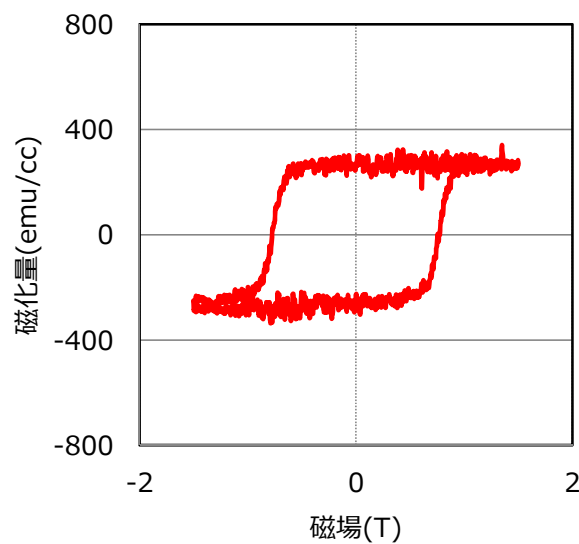


図 2.1-20 XY 下地上での MnC の磁気特性(垂直方向)

Si 単結晶基板上での新材料開発

今まで述べてきた内容はすべて MgO 単結晶基板上での話であった。実際に MTJ 素子を量産する場合、300mm シリコンウエハー上での形成が必須である。

そこで、シリコンウエハー上で MnC 材料がうまく単結晶、エピタキシャル成長するかを検討した。基本的には、シリコン基板上に (001) 配向エピタキシャル下地が形成できれば MnC もエピタキシャル成長するので、良好な垂直磁化が得られるという考え方のもと、我々は酸化物やシリサイド下地を検討した。

酸化物下地については、種々検討したが良好なものが得られなかった。一方でシリサイドに関しては良好なエピタキシャル成長と、それに伴って良好な垂直磁気特性を得ることに成功した。また、これを用いた MTJ を形成して TMR が発現することを確認した。最適化検討が不足しているが、MgO 基板上と同程度の TMR を確認したことから、シリコンウエハー上でも単結晶エピタキシャル成長 MnC を用いた MTJ 形成できることを確認した。

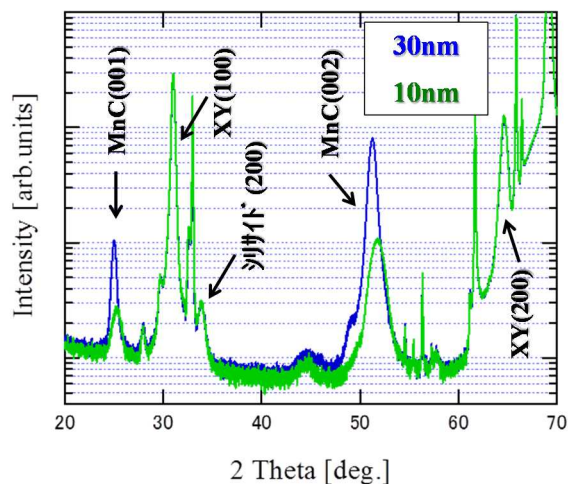


図 2.1-21 Si 基板上でのシリサイド下地 MnC 等の XRD

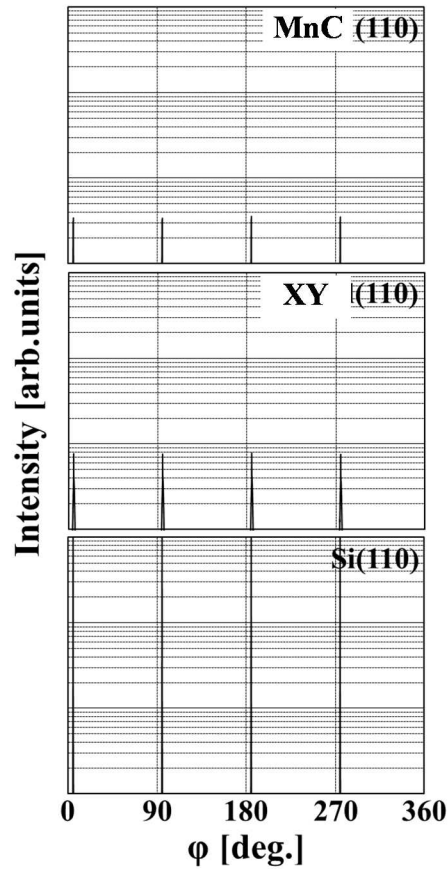


図 2.1-22 X線ファイ(φ)スキャン

参考文献

- [1] K. Ando, “Roles of Non-Volatile Devices in Future Computer System: Normally-off Computer”, Energy-Aware Systems and Networking for Sustainable Initiatives, edited by N. Kaabouch and W.-C. Hu, published by IGI Global, June, 2012.
- [2] H. Noguchi et al., Symp. VLSI Circuits Dig. Tech. Papers, (2013) 108.
- [3] E. Kitagawa et al., IEDM Tech. Dig., (2012) 677.
- [4] H. Yoda et al., IEDM Tech. Dig., (2012) 259.
- [5] D. C. Worledge et al., Appl. Phys. Lett. 98, 022501 (2011).
- [6] G. E. Rowlands et al., Appl. Phys. Lett. 98, 102509 (2011).
- [7] C. Papisoi et al., Appl. Phys. Lett. 95, 072506 (2009).
- [8] G. Jan et al., Appl. Phys. Express 5, 093008 (2012).
- [9] K. Miura et al., MMM-INTERMAG 2013. FT-05, Jan. 2013.
- [10] H. Sato et al., IEDM Tech. Dig., (2013) 60.

①-1-1-(ア) 高速スピン注入記憶素子の設計技術の開発

本共同研究では高速スピン注入記憶素子の設計に有効な技術を、計算機シミュレーションを用いて開発する。特にスピン注入磁化反転速度と記憶素子の材料定数や素子形状の関係について調査し、高速低電流書き込みに有効な条件を明確化した。

・記憶素子サイズによる反転電流の調査

スピン注入磁化反転速度と記憶素子の素子形状の関係について調査し、高速書き込みに有効な条件を明確化した。図 2.1-23 は熱安定性指標を一定に保ったまま MTJ 素子を微細化したときの、パルス電流幅による反転電流の変化を示す。従来、反転電流は熱安定性指標に関係するとされており、MTJ サイズや形状によらないとされていた。得られた結果はパルス幅が 30ns と長い場合は、反転電流は MTJ サイズに依存せず、従来の理論で説明される結果であるが、パルス幅が短くなるにつれ反転電流が上昇し、その上昇量は素子サイズが小さいほど小さいことがわかった。この結果より、MTJ サイズの微細化が高速低消費電力書き込みに有利であることを示した。

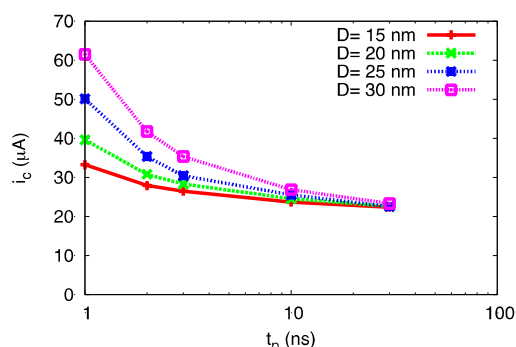


図 2.1-23 素子サイズとパルス電流幅による反転電流の変化

・損失定数による反転電流の調査

従来スピン電流磁化反転に必要な反転電流は損失定数に比例すると考えられており(式(1.1))、損失定数の低減が反転電流の低減に有効であると考えられてきた。

$$I_{sw} = \frac{2eM_s V}{\mu_B g P} \alpha \gamma H^{eff} \quad (1.1)$$

ここで e は電気素量、 M_s は飽和磁化、 V は素子体積、 μ_B はボーアマグネトン、 g は g 因子、 P は分極率、 α は損失定数、 γ は磁気回転比、 H^{eff} は素子に加わる実効磁界である。しかしなが

らこの関係は電流のパルス幅を考慮しておらず、高速書き込み時に必要な反転電流に対する損失定数の効果をシミュレーションにより調査した。図 2.1-24 はパルス幅が 1, 10, 100 ns の場合の損失定数による反転電流の関係を示す。図より、パルス幅が長い場合、反転電流は損失定数に比例し、損失定数の低減により反転電流は減少するが、パルス幅が短い高速書き込みの場合、損失定数が 0.01 程度までは反転電流は損失定数と共に減少するが、損失定数が 0.01 程度以下の場合、損失定数が減少しても反転電流が一定となり減少しないことが分かる。

次に本結果を高速低消費電力書き込みの設計に利用できるよう

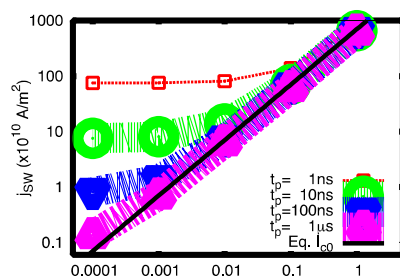


図 2.1-24 損失定数とパルス幅による反転電流の変化

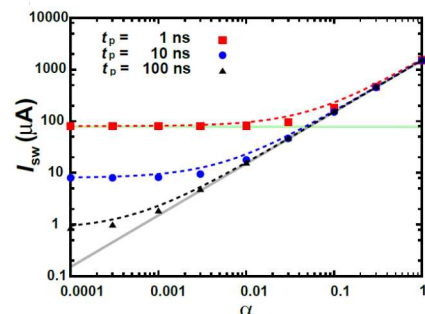


図 2.1-25 シミュレーション結果と解析式の比較。点はシミュレーション結果、実線は解析式の結果を示す。

に、これらの関係を表す解析式を導いた。シミュレーション結果より、パルス長が長い場合と短い場合とでは、反転電流の損失定数による効果が異なることから、反転電流は損失定数に比例する項と関係しない項の2項からなるものとし、前者は式(1.1)、後者はスピントルク項を含む Landau-Lifshitz-Gilbert 方程式に対し損失定数を0と仮定して導いた(式(1.2))。

$$I_{sw} = \frac{2eM_sV}{\mu_B gP} \left(\alpha \gamma H^{eff} + \frac{C}{t_p} \right), \quad (1.2)$$

$$C = \frac{1}{2} \frac{\ln(1-\cos\theta_1)}{\ln(1+\cos\theta_1)} - \frac{\ln(1-\cos\theta_0)}{\ln(1+\cos\theta_0)}$$

ここで t_p は電流のパルス幅、 θ_0 、 θ_1 はそれぞれ磁気モーメントの初期角度と反転時の角度である。得られた解析式は、Landau-Lifshitz-Gilbert 方程式より厳密に導いた式ではないが、シミュレーション結果とよく一致する(図 2.1-25)。また式が単純であることから、高速スピン注入記憶素子の設計に有効な式と言える。

・材料定数による反転電流の調査

材料定数として飽和磁化及び異方性磁界による反転電流の変化を調査した。従来飽和磁化は反転電流に比例すると考えられており、飽和磁化の低減が反転電流の低減に有効であると考えられてきた。また異方性定数は熱安定性に関係すると考えられており、高い熱安定性と反転電流の低減は相反するものと考えられてきた。

図 2.1-26 はパルス幅 1ns の場合の飽和磁化及び損失定数による反転電流の変化を示す。損失定数が小さい場合、反転電流は飽和磁化に比例するが、損失定数が大きい場合、反転電流は飽和磁化にあまり依存しないことが分かる。このことから、従来考えられてきた飽和磁化の低減による反転電流の

低減は、損失定数が十分小さい場合にのみ成り立つことであり、反転電流の低減には、飽和磁化だけではなく、損失定数も共に小さい材料が必要であることを示す。

図 2.1-27 はパルス幅 1ns の場合の異方性定数及び損失定数による反転電流の変化を示す。損失定数が大きい場合、反転電流は異方性定数に比例するが、損失定数が小さい場合、反転電流は異方性定数に依存せずほぼ一定となることが分かる。この結果は損失定数が十分に小さければ、反転電流は異方性定数に依存しないことを表しており、高い熱安定性を維持しながら反転電流の低減が可能であることを示す。

これらの結果は、前述の解析式より説明することができる。まず各定数の効果を陽に示すため、以下の式変形を行う。

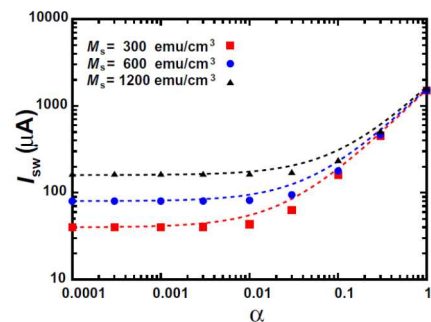


図 2.1-26 飽和磁化と損失定数による反転電流の変化。点はシミュレーション結果、実線は解析式の結果を示す。

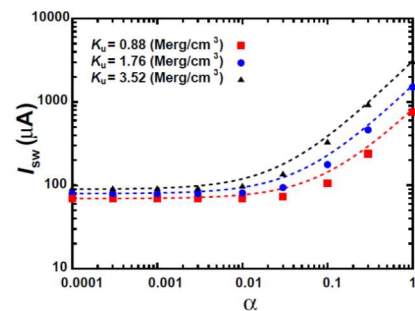


図 2.1-27 異方性定数と損失定数による反転電流の変化。点はシミュレーション結果、実線は解析式の結果を示す。

$$I_{sw} = \frac{2eM_s V}{\mu_B g P} \left(\alpha \gamma H_k + \frac{C}{t_p} \right)$$

$$= \frac{2eM_s V}{\mu_B g P} \alpha \gamma \frac{2K_u}{M_s} + \frac{2eM_s V C}{\mu_B g P t_p} = \frac{2eV}{\mu_B g P} \alpha \gamma 2K_u + \frac{2eM_s V C}{\mu_B g P t_p}$$

この式より、飽和磁化は解析式の第二項にのみ現れ、また異方性定数は解析式の第一項にのみ現れることが分かる。

解析式の第二項は、損失定数が十分小さく、第一項が無視できる場合に有効な項であることから、損失定数が大きく第一項が主項となる場合、飽和磁化は反転電流にほとんど影響しないが、損失定数が十分小さく第二項が主項となる場合にのみ反転電流は飽和磁化に比例することが分かる。

この逆に、異方性定数は第一項にのみ含まれることから、損失定数が大きく第一項が主項となる場合は、反転電流は異方性定数に比例するが、損失定数が十分小さく第二項が主項となる場合、反転電流は異方性定数に依存しないことが分かる。

これらの結果は、高速低消費電流書き込みの設計のための有効な結果であると考えられる。

① -1-1- (イ). 高速・低電流書き込みスピントランジスタ材料の開発
(担当:東芝、再委託先:東北大学)

研究開発の目的と概要

高速・低電流書き込みスピントランジスタの実現には、飽和磁化の小さな垂直磁化材料が必要である。本開発項目では、マンガン系磁性材料をベースとして 200 emu/cm^3 以下の低飽和磁化を示す磁性材料の開発を目標とした。記憶層用材料としては、高垂直磁気異方性定数・低飽和磁化・低磁気摩擦定数(ダンピング定数)を示す材料開発を行った。同時にこれら諸特性を維持しつつ磁性薄膜の極薄化を目指した。参照層用材料としては、記憶層材料と同様に高垂直磁気異方性定数・低飽和磁化を示しつつも、大きな磁気摩擦定数を示す新磁性材料薄膜の開発を目標とした。平成23年度、平成24年度には、高垂直磁気異方性かつ低飽和磁化材料としての可能性の高い材料を選定する作業を行い、ある程度の絞込みを行った。平成25年度は、平成24年度までにある程度絞り込んだ材料を基に、更なる選別や特性の高度化を行った。平成26年度、平成27年度では、平成25年度までに高度化した材料を用いて作製した不揮発RAMの特性評価を、材料開発にフィードバックし、より高速・低電流書き込み特性を実現できる材料開発を推進した。東北大では主に材料特性高度化を行い、東芝でMTJとしての特性高度化を行った。次に、各年度における開発の概要と成果について述べる。

平成23年度

材料の選定

まず、高垂直磁気異方性かつ低飽和磁化材料を選定した。目的とする材料は、キュリー温度が室温よりも十分に大きい必要があるから、主に一軸性の結晶構造を有するフェリ磁性材料に着目した。フェリ磁性材料は、磁気モーメント間の交換相互作用が正負を取りうる磁性元素を含む必要があるから、本開発ではマンガンを基本元素とし、かつ一軸性の結晶構造を有する磁性材料を選定した。そのような磁性材料のうち目的とする磁気特性に近い材料は三つのカテゴリーに分類される(図2.1-28)。本開発では、それら三つの基本材料をベースとし、第三、第四元素の添加あるいは置換の手法を用いた新規材料探索を行った。

実験方法

材料の探索を迅速に進めるために、薄膜作製には下地を極力用いず、MgO単結晶基板上に

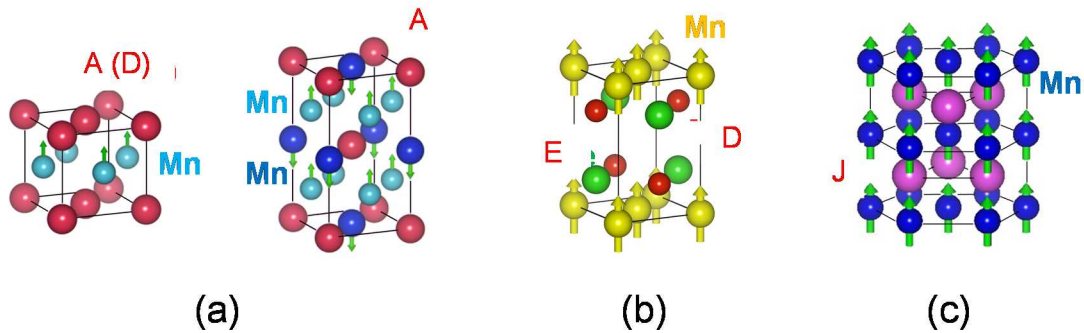


図 2.1-28 本研究開発のベースとなるマンガン系合金・化合物。c 軸方向に歪んだ一軸性の結晶構造を有する。(a)L10 ならびに D022 構造を有する合金・化合物。(b)C38 構造(層状構造)を有する合金・化合物。(c)六方晶構造を有する合金・化合物。

直接エピタキシャル製膜した。また、製膜条件としては、製膜ならびに熱処理温度のみを変化させた試料を作製した。表面や界面の影響を極力排除した、バルク的な特性を明らかにする目的から、薄膜の厚みは100から200 nmとした。合金組成を広範囲に変化させるため、製膜には主にコスパッタの手法を用いた。膜構造の評価には薄膜X線回折装置を用い、適時、透過電子顕微鏡観察を行った。磁気特性の評価には、最大磁場が20 kOeの振動試料型磁力計(VSM)と極カー効果(Kerr)測定を主に用いた。また、必要に応じて、最大磁場が90 kOe程度の高磁場VSMや高磁場磁気トルク計を用いて飽和磁化や垂直磁気異方性定数を評価した。

D0₂₂型 Mn-A-Pt合金薄膜

参照層用材料では、記憶層材料と同様に、高垂直磁気異方性定数ならびに低飽和磁化が求められ、かつ大きな磁気摩擦定数も必要である。そこで、そのような新規磁性材料薄膜の開発をねらい、低飽和磁化・高垂直磁気異方性を示すD0₂₂型Mn-A合金をベースとし、Ptを添加することで、目的とする特性の発現を目指した。Ptを数%添加することで飽和磁化が約150 emu/cm³でかつ垂直磁気異方性が約10 Merg/cm³の目的とする値に近い材料が得られた(図2.1-29)。一般に、Ptといった重元素の添加は、ダンピング定数を増大させることがこれまでの研究から明らかであるから、Mn-A-Pt垂直磁化薄膜は参照層材料の候補となることを示した。

C38型 Mn-D-E合金薄膜

記憶層用材料としては、ダンピング定数の低減のため重元素を含まない材料の開発が必要である。そこで、これまでほとんど報告のないMn-D-E系三元系磁性材料薄膜の開発に着手した。広い三元組成の範囲で低飽和磁化・高垂直磁気異方性定数を示す垂直磁化薄膜が得られた。特に、Mn:D:Eの比率が1:1:1の近傍で、飽和磁化が250 emu/cm³、垂直磁気異方性定数が約5 Merg/cm³の垂直磁化薄膜を作製することができた(図2.1-30(a))。この飽和磁化と垂直磁気異方性定数は、バルクにおける報告値とほぼ一致している。また、飽和磁化と垂直磁気異方性定数の各元素組成比に対する依存性を明らかにした。加えてこの材料は、室温製膜後の加熱によってMgO(001)上にc軸が配向したエピタキシャル成長することが分かった。このような成長は他のMn系合金では見られず、Mn-D-Eに特有の成長と思われる。Mn-D-Eのよう

なC38構造は二次元層状の結晶構造を有するため、薄膜成長が他のマンガン系材料とは大きく異なるものと考えられる。

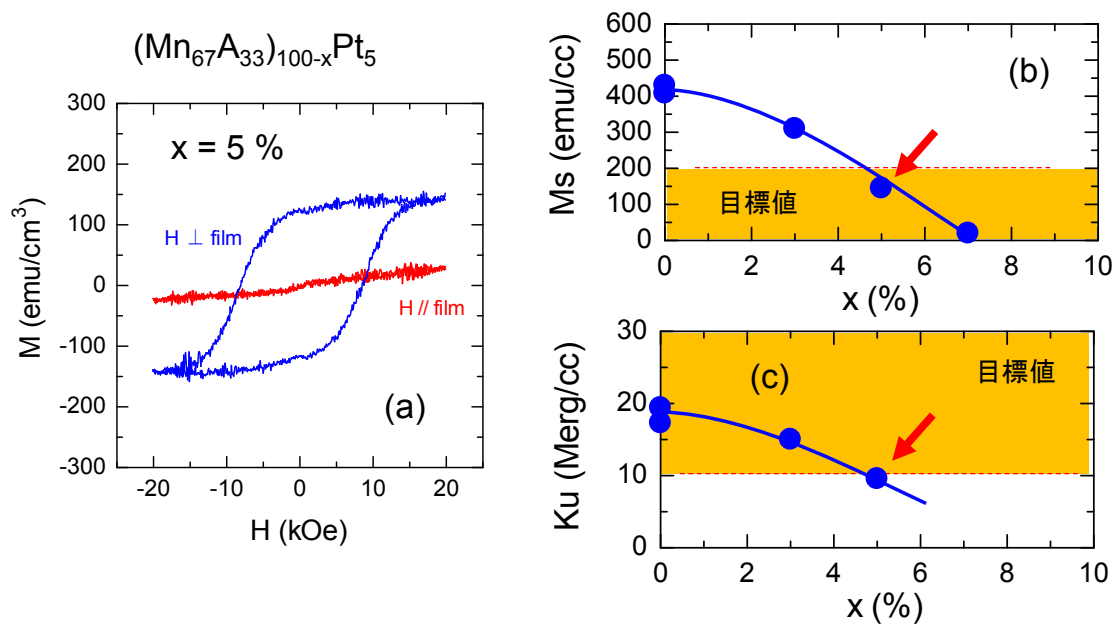


図 2.1-29 参照層への適用を目指し開発された D022 型 Mn-A-Pt 垂直磁化薄膜。(a)約 5%の Pt を添加した厚みが 100 nm の Mn-A 薄膜の磁化曲線。(b)飽和磁化ならびに、(c)垂直磁気異方性定数の Pt 添加組成依存性。目的とする低飽和磁化、高垂直磁気異方性定数を示す薄膜が得られている。また、この材料系では、Pt の添加のため高ダンピング値が想定される。

平成 24 年度

平成 23 年度と同様の手法によって材料の開発を進めた。平成 24 年度には、主に D0₂₂ 型のマンガン系材料を中心に探索を進め、広範囲な材料の探索を行った。

D0₂₂ 型 Mn-A-Co 合金薄膜

記憶層用材料として、D0₂₂ 型の Mn-A に Co を添加した Mn-A-Co 系磁性材料薄膜の開発を行った。Co を添加すると正方晶歪みの減少と共に飽和磁化、垂直磁気異方性定数が減少する。ある組成を境に、正方晶から立方晶に結晶構造が変化し低飽和磁化・低磁気異方性を示す薄膜となる。Mn:Co:A の原子組成比率が 2.6:1.1:0.3 の組成の時に、飽和磁化が 190 emu/cm³、垂直磁気異方性定数が約 9 Merg/cm³ と、目的に近い値の垂直磁化薄膜が得られた(図 2.1-30 (b))。

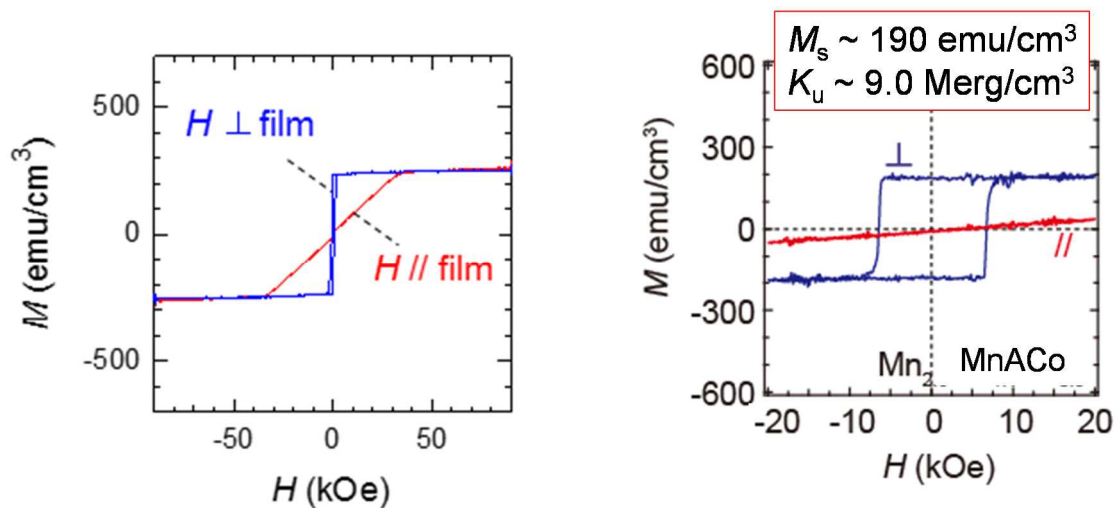


図 2.1-30 (a) C38 Mn-D-E 三元合金において得られた垂直磁化薄膜の磁化曲線。組成は Mn:D:E=35:27:38 at%であり、厚みは 170 nm である。(b) Co を添加した D0₂₂ 構造を有する Mn-A 垂直磁化膜。膜厚は 100 nm であり、図中の組成の時に、低飽和磁化・高垂直磁気異方性が得られている。

Co を添加することで、スピン依存伝導度がエンハンスされるという理論計算結果も報告されていることから、メモリ開発上重要な材料と考えられる。

D0₂₂型 Mn-E 合金薄膜

Mn-E 二元系では、いくつかの組成域においてフェリ磁性を示すものがある。なかでも、Mn₃E は D0₂₂ 型の正方晶構造をとり、キュリー温度の高いフェリ磁性を示すことが古くからわかっているものの、磁気異方性などについては報告がなかった。第一原理理論計算の結果、この材料が低飽和磁化・低磁気摩擦定数・高スピン分極率を示すことが明らかとなった。特に c 軸方向のバンド分散のうち、 Δ_1 対称性を有するバンドが完全にスピン分極していることから、適切なバリアを用いることで、Fe/MgO/Fe と同様の巨大 TMR 効果を得ることができると考えられる。そこで、D0₂₂ 型の Mn-E 系磁性材料薄膜の開発に着手した。600°C の製膜温度でかつ Mn-E の比率が 3:1 近傍の時に、飽和磁化が 100 emu/cm³ 前後、垂直磁気異方性定数が約 3 Merg/cm³ の垂直磁化薄膜を得ることができた。

他のマンガン系材料(紙数の制約から詳細なデータは割愛する)

L1₀ ならびに、D0₂₂ 型の Mn-A に、D, E, G, H 等の第三元素を添加し薄膜を作製した。D を除く第三元素の添加は飽和磁化と垂直磁気異方性定数を著しく減少させることが分かった。D の添加の場合には、飽和磁化と垂直磁気異方性定数の変化は比較的緩やかであるが、同様に目的とする特性は得られなかった。それらの代表的な飽和磁化と垂直磁気異方性

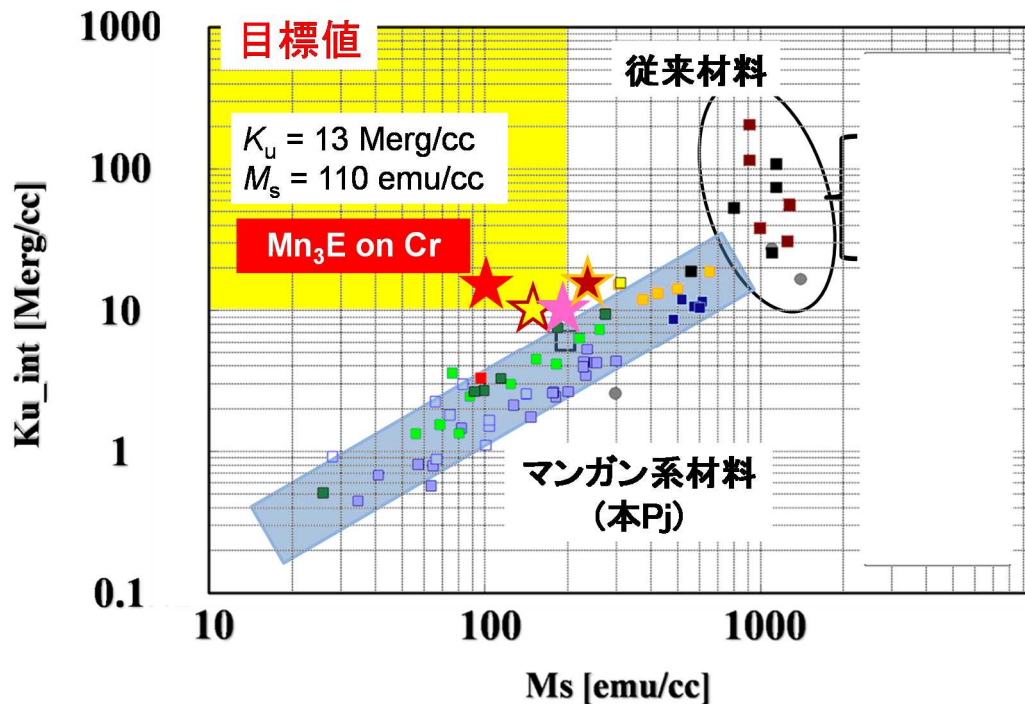


図 2.1-31 従来材料ならびに本プロジェクトで開発された様々な材料の垂直磁気異方性定数の飽和磁化に対する変化。飽和磁化が低下すると垂直磁気異方性定数が減少する傾向を示すものの、一部の Mn-A をベースとする材料系では低飽和磁化と大きな垂直磁気異方性が同時に発現している(★印)。特に、Cr 下地上に作製された Mn3E は目標とする 200 emu/cm³ 未満、10 Merg/cm³ 以上の値を同時に満たしている。

定数の大きさを図 2.1-31 に示した。C38 型の材料としては、Mn-A-E についても検討したものの、バルク試料と同様キュリー温度が低く実用には向いていないことが判明した。C38 型 Mn-D-E のキュリー温度と垂直磁気異方性定数を増大させる目的で、Mn-D-E への Cr 添加の実験も行ったが、目的とする結果は得られなかった。B8₁ 構造を有する Mn-J の薄膜作製も試みた。Mn-J は融点が低いため、スパッタ中にターゲットが加熱されることで J がターゲット上に析出することが多く、薄膜の作製が困難であることが判明した。

平成 25 年度

平成 23、24 年度における広範囲な材料の探索の結果から、材料の開発において D0₂₂ 構造を有する Mn-E に集中しその高度化を行った。試料作製には、これまで下地層を用いなかったが、まず Cr 下地を用いることで結晶性を改善するとともに組成を細かく変化させ特性の最適化を試みた(図 2.1-32)。Mn-E 薄膜の薄膜成長温度が 300℃以上 500℃以下で、かつ Mn と E の原子比率が 3:1 の時に D0₂₂ 単相が安定化されることが分かった。また、その薄膜が、最大で飽和磁化 110 emu/cm³を示すとともに、磁場を垂直方向に印加した磁化曲線はほぼ完全な角型性を有することが分かった。磁場を面内に印加すると磁化は 9 T でも飽和せず、巨大な異方性が存在することが判明した。磁気異方性を正確に評

価するため、140 kOe の外部磁場を印加できる磁気トルク計を用いて評価し、45 度法(宮島法)による外挿値から、磁気異方性定数を評価した。その大きさは、組成や成長温度で異なるものの、最大で 13 Merg/cm³ という大きな値を示すことがわかった。この D0₂₂ 型 Mn₃Ge 薄膜における超低飽和磁化・高垂直磁気異方性は、目標とする値を十分に達成するものである(図 2.1-31)。

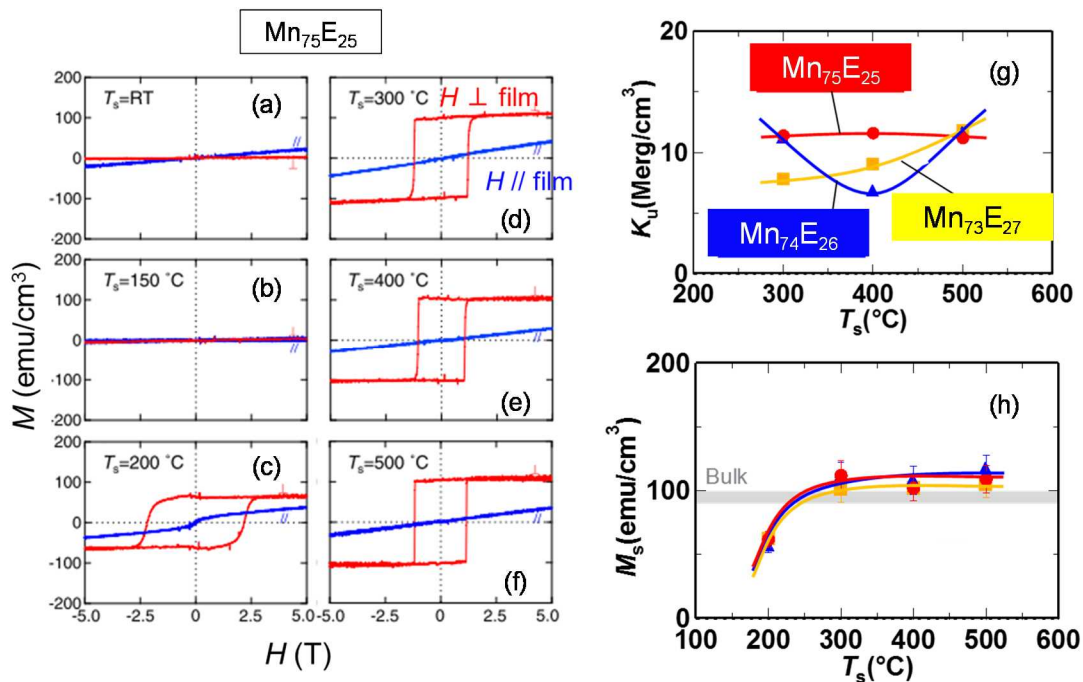


図 2.1-32 Cr 下地上に製膜した D0₂₂ 構造を有する Mn-E 薄膜の磁気特性。厚みは 130 nm である。(a)-(f)様々な基板温度で製膜した薄膜(組成が Mn:E=3:1)の磁化曲線。300°C以上において、角型性のよい磁化曲線が得られている。製膜温度に対する(g)垂直磁気異方性と(h)飽和磁化の変化。組成が Mn:E=3:1 付近のデータについて整理している。

平成 26 年度

D0₂₂ 型 Mn₃E が優れた磁気特性を発現することが明らかとなったため、その極薄膜化についてまず調べた。また MTJ 素子の作製に向けた D0₂₂ 型 Mn₃E 薄膜の平坦化を検討した。さらに、D0₂₂ 型 Mn₃E 薄膜などのダンピング定数の評価を進めた。

D0₂₂型 Mn₃E合金薄膜の極薄膜化

Cr 下地を用い、基板加熱温度を 400°C に固定して、厚みを変化させた試料を作製した。Mn₃E 薄膜は 5 nm の厚みにおいても角型の垂直磁化ヒステリシスカーブを示し、極薄膜化が可能であることが分かった(図 2.1-33)。飽和磁化は顕著な変化を示さないものの、30 nm 未満の厚みになると垂直磁気異方性定数の減少が顕著であった。このような磁気特性の劣化は、Mn-A 薄膜でも同様に見られ、正方晶構造を有するマンガン系材料薄膜に共通の現象と考えられる。その原因としては、下地層との格子ミ

スマッチに起因する正方晶歪みの低下や、下地界面における原子拡散の影響と推測され、マンガン系材料薄膜のための新しい下地材料が必要であると考えられる。

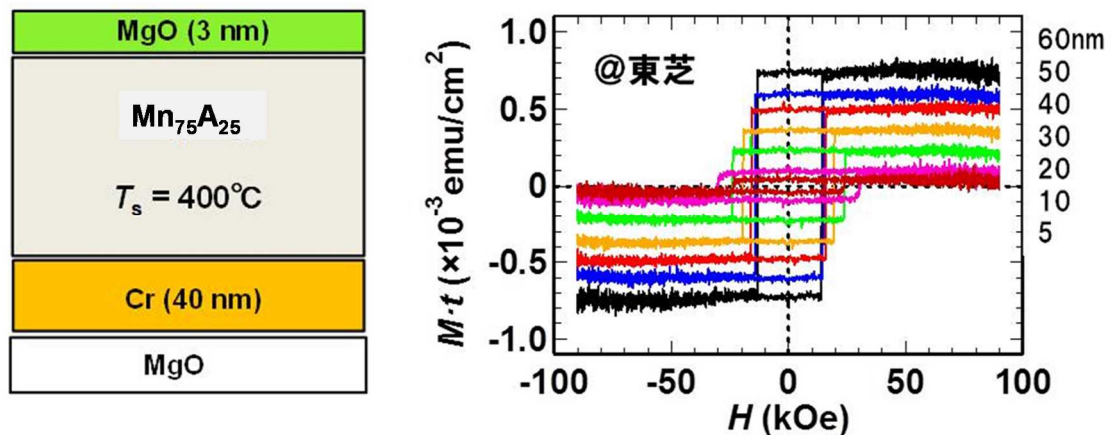


図 2.1-33 様々に膜厚を変えた D022 構造を有する Mn3E 垂直磁化薄膜。(a)膜の積層構造。(b)膜面直に磁場を印加した際の磁化曲線。5 nm の厚みまで角型性の高い垂直磁化が得られている。

D0₂₂ 型 Mn₃E 合金薄膜の平坦化の検討

D0₂₂ 型 Mn₃E 合金薄膜の磁気特性は目標値を十分に満たすものであるが、平均表面粗さが数 nm 以上と平坦性が悪く MTJ 素子の形成は難しい。下地に用いる Cr は格子定数の大きさが Mn₃E のそれと大きく異なるため、格子ミスマッチが大きい。そこで、格子ミスマッチのほとんどない Rh 下地上に Mn₃E 薄膜の作製を試みた。膜の構成を MgO/Cr/Rh/Mn₃E とし、成長条件を最適化することで、Cr 下地上と同様に角型の垂直磁化ヒステリシス曲線を示す Mn₃E 薄膜を作製できることが分かった。その際、飽和磁化ならびに垂直磁気異方性定数も Cr 下地上に成長したものとほぼ同等であったが、表面の粗さに大きな変化はないことが判明した。この結果は、表面の平坦性が、格子ミスフィットよりはむしろ Mn₃E 薄膜の結晶成長の際の粒の粗大化に起因することを示唆する。そこで、結晶の粒成長を抑制するために、いくつかの製膜プロセスの検討を行ったところ、基板加熱製膜に加え製膜後に加熱する二段階加熱の手法が有効であることが判明した。この実験では下地は Cr を用い、基板加熱製膜ならびに後加熱の温度を様々に変化させた。最適化された条件において、平均表面粗さが約 0.5 nm の薄膜を得ることができた(図 2.1-34)。

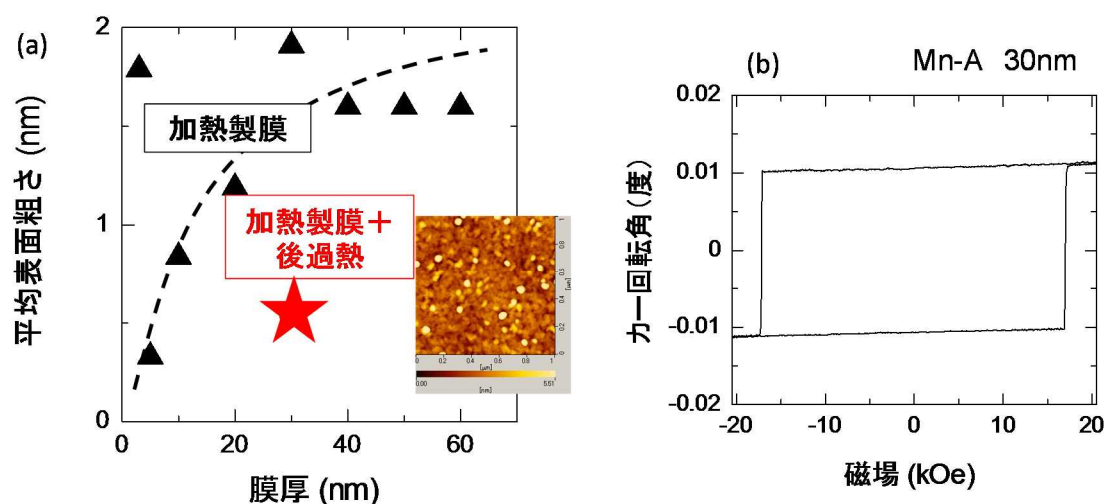


図 2.1-34 (a)加熱製膜で作製された D022 型の Mn₃E 薄膜の表面の粗さと膜厚の関係。加熱製膜と後加熱を併用して作製した Mn₃E 薄膜はさらに平坦な表面を有している。(b) 平坦化された Mn₃E 薄膜の極カーヒステシス曲線。角型性の非常により垂直磁化特性を示している。

ダンピング定数の評価

実験方法

東北大では、これまでパルスレーザーを用いた時間分解磁気光学カー効果測定を用いたダンピング定数評価を行ってきた実績を有しているが、これまでのところ試料に印加できる磁場は最大 10 kOe であった。しかしながら、D0₂₂ Mn₃E 薄膜の垂直磁気異方性磁場はおおよそ 200 kOe 程度であり、ダンピング定数の評価にはより大きな印加磁場における測定が必要である。そこで、本プロジェクトでは新しく電磁石を設計・設置し、最大で 20 kOe の磁場を印加できるように光学測定装置を改良し、開発した材料のダンピング定数の評価を行った。

D0₂₂ 型 Mn₃E 薄膜

前年度に開発された低飽和磁化 110 emu/cm³ および高垂直磁気異方性定数 13 Merg/cm³ を示す Mn₃E 薄膜を上記述べた手法により評価した。テラヘルツ波帯域に及ぶ周波数で歳差する磁化のコヒーレントな運動を検出することに成功し、ダンピング定数が 0.03 未満であることがわかった(図 2.1-35)。しかしながら、異方性磁場が 200 kOe 程度あるのに対し、外部磁場がその 1/10 であるため、磁化の歳差運動の振幅が非常に小さく得られたデータの S/N 比は大きくない。従って、見積もられたダンピング定数の誤差はまだ大きくその精度のよい評価は今後の課題である。

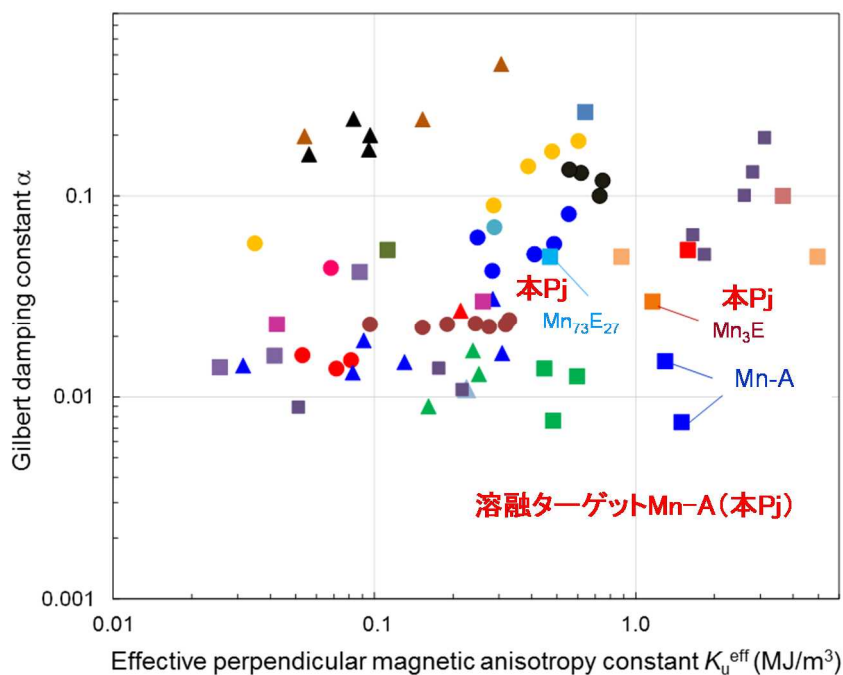


図 2.1-35 様々な垂直磁化材料薄膜におけるダンピング定数の垂直磁気異方性定数に対する関係。本プロジェクトで検討した材料の一部を同時に示している。本プロジェクトで検討した溶融ターゲットから作製された Mn-A 薄膜のダンピング定数は他に比較して非常に小さい。

L1₀型 Mn-A の飽和磁化は目的とする値よりも大きいものの、垂直磁気異方性定数は十分に大きく、そのダンピング定数の低減は記憶層への応用上重要である。これまで用いてきた Mn-A のターゲットは焼結体であり、一般に酸素などのガスを含みやすい。そのため、スパッタの際にターゲットからのアウトガスによって雰囲気が劣化し、作製される薄膜の質を劣化させる一因となる。溶融ターゲットはそのようなアウトガス量が小さく、純度の高い薄膜が得られる可能性がある。前年度からターゲットメーカーに依頼し、Mn-A の溶融ターゲットの開発を進め、それを用いて薄膜の作製とダンピング定数の評価を進めた。Cr 下地を用いて Mn-A を約 100 nm 積層し、その後様々な温度で製膜後後加熱を行ったところ、製膜後後加熱温度が 600 度付近でダンピング定数が 0.005 とこれまでの報告値(0.008)の約 2/3 に低減された。この大きさは、CoFeB に匹敵する値である(図 2.1-35)。

平成 27 年度

最終年度には、前年度までの D0₂₂ Mn₃E と Mn-A の開発をさらに推し進め、極薄膜化の研究にフォーカスした。これまで Cr 下地を用いた極薄膜化の研究を進めたが、この下地では、5 nm までの極薄膜化が限界であり、MTJ 素子の記憶層に必要とされる 1-3 nm の厚みの当該

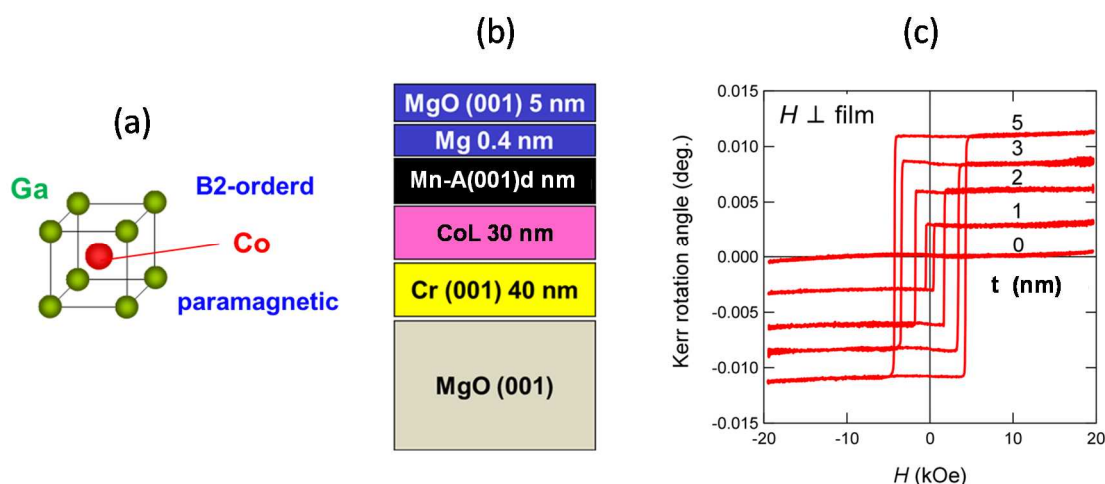


図 2.1-36 (a)B2 構造を有する CoL の模式図。(b)様々に膜厚を変えた L10 構造を有する Mn-A 垂直磁化薄膜の積層構造。(c)膜面直に磁場を印加した際の極カーヒステレシス曲線。1 nm の厚みまで角型性の高い垂直磁化が得られている。

磁性材料の作製には、特殊な下地材料が要求される。いくつかの予備的な研究と過去の研究報告から、本開発では B2 規則構造を有する XL 材料(X=Fe, Co, Ni など)下地について検討した。これらの材料は一般に室温より低温に磁気転移温度を有する非磁性材料であり、格子定数は Cr とほぼ同じである。L を 50%程度含有しているため、Mn-A や $D0_{22}$ Mn_3E との界面における原子拡散が有る場合でもその影響を最小限に抑えることができると想定される。また、B2 構造はホイスラー合金の有する $L2_1$ 構造の下位構造であるから、 $D0_{22}$ 構造など正方晶のホイスラー合金に近いマンガン系合金の下地材料としては適していると考えられる。

B2 構造を有する L 系下地上の Mn-A ならびに $D0_{22}$ Mn_3E 合金極薄膜の形成

膜の構成を Cr/XL(X=Fe, Co, Ni)/Mn-A(1-5 nm)/保護層とし、XL 下地の製膜温度、後熱処理温度、組成、膜厚を様々に変えた試料を作製し、Mn-A 極薄膜を形成できる条件を探索した。①CoL 下地の場合：CoL を室温で 30 nm 製膜した後に、500 度程度の熱処理を行うと、原子的に平坦で B2 規則構造を有する CoL 下地が形成される。この条件で作製された CoL 下地上には、高い規則度を有する極薄の Mn-A エピタキシャル膜が室温製膜できることを見出した。このように作製された MnA は厚みが 1-3 nm においても角型の垂直磁化ヒステレシスカーブを維持している(図 2.1-36)。しかし、5 nm よりも厚みが大きくなるとその角型性は劣化するため、CoL と Mn-A の界面における強い結合力によって極薄膜が安定化されると考えられる。②FeL ならびに NiL 下地の場合：FeL 下地については、いくつか組成を変えて作製したものの、B2 構造を維持しつつ非磁性を示す下地材料を作製できず開発を断念した。NiL 下地は安定して作製でき、3 nm の Mn-A 薄膜が、CoL 下地の場合と同様に室温製膜で作製できることが分かった。

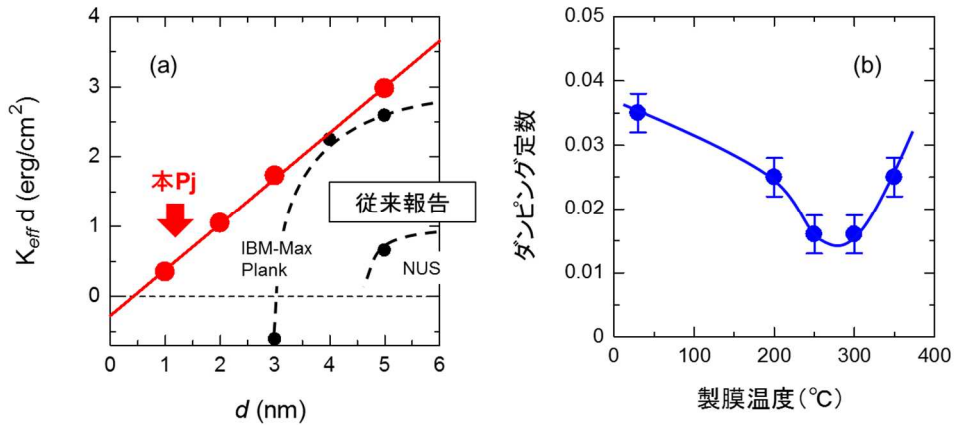


図 2.1-37 (a) CoL 上に積層した MnA 極薄膜における面積磁気異方性定数。同時に示している従来報告値では 3 nm で膜の劣化により垂直磁化が失われていたが、本プロジェクトで開発された極薄膜では、1 nm まで線形な変化示しており、非常に良好な界面を形成しているといえる。(b) CoL 下地上に製膜された 3 nm の厚みの Mn-A 極薄膜の製膜温度とダンピング定数の関係。製膜温度が 200-300°C の時に、0.016 程度のダンピング定数を示している。

これらの下地としての効果を $\text{D}_{022} \text{Mn}_3\text{E}$ についても検討した。その際の膜の構成は、実験の都合上 Cr/CoL/Mn₃E (5 nm)/保護層とした。得られた磁化曲線は極薄膜でありながら角型性が高く、Cr 下地に比較すると保磁力が小さい、Mn-A と同様の結果が観測された。これらの結果は、B2 構造を有する L 系下地が様々なマンガン系磁性体にとって優れた下地材料であることを示すものである。

CoL 上の Mn-A 超薄膜における磁気特性とダンピング定数

膜の構成を Cr/CoL/Mn-A (3 nm)/MgO とし、製膜温度、後熱処理温度、膜厚を様々に変えた試料を作製し、Mn-A の磁気特性とダンピング定数について調べた。CoL 上に形成された極薄膜 Mn-A においては Cr 下地上の Mn-A 極薄膜で見られた磁気特性の著しい劣化は見られなかった。例えば、室温製膜した 3 nm の厚みの Mn-A は約 35 kOe 程度の異方性磁場ならびに、300-350 emu/cm³ の飽和磁化を示した。これらから見積もられる垂直磁気異方性定数は約 5 Merg/cm³ であり、厚膜の約半分程度の大きさである(図 2.1-37(a))。高垂直磁気異方性・低飽和磁化の極薄膜におけるダンピング定数の精密な評価は難しいが、室温で製膜された Mn-A 極薄膜のダンピング定数は 0.04 程度と比較的大きい値であった。しかしながら、基板加熱製膜温度などを最適化することで、3 nm の Mn-A のダンピング定数が 0.016 程度まで低減できることが分かった(図 2.1-37(b))。これらの諸特性は、Mn-A の厚い膜に比較するとまだ見劣りはするものの、従来の CoFeB/MgO 垂直磁化膜と比較すると、低飽和磁化・高垂直磁気異方性という点で高い優位性を示している(表 1)。

表1 これまで報告されているいくつかの CoFeB/MgO 系の垂直磁化薄膜の飽和磁化、垂直磁気異方性、ダンピング定数の大きさと、本プロジェクトで開発された極薄の Mn-A 垂直磁化膜の磁気特性の典型的な値。従来材料よりも、低飽和磁化、高垂直磁気異方性という点で、優位性を示している。

	M_S (emu/cc)	K_u^{eff} (Merg/cm ³)	α
Ta/Co ₂₀ Fe ₆₀ B ₂₀ (1.3)/MgO (Ikeda et al, 2010)	1258	2.1	0.027
Ta/Co ₂₀ Fe ₆₀ B ₂₀ (1)/MgO (Devolder et al, 2013)	1100	2.2	0.011
MgO/Co ₂₀ Fe ₆₀ B ₂₀ (1.2)/Ta (Iihama et al, 2012)	1200	1.9-2.4	0.01-0.017
MgO/Co ₄₀ Fe ₄₀ B ₂₀ (1)/Ta(0.3)/C Co ₄₀ Fe ₄₀ B ₂₀ (0.75)/MgO (Sabino et al, 2014)	1120	1.5	0.006
CoL/MnA(3)/MgO (本Pj)	300-350	4.9-5.8	0.016-0.018

(2) 目的に照らした達成状況(共同研究、再委託研究による成果を含む。)

本開発項目では、既存のマンガン系磁性材料をベースとして 200 emu/cm³ 以下の低飽和磁化を示す新しい垂直磁気異方性材料の開発を行い、その極薄膜化までを検討した。以下に示すように、当初予定した目的は十分に達成され高速メモリの開発に大きく貢献した。

① D0₂₂ Mn₃E 新材料の開発

既に述べたように、D0₂₂ Mn₃E は、超低飽和磁化、高垂直磁気異方性定数、低ダンピング定数といった高速メモリに要求される磁気特性を全て満足し、かつ Δ_1 バンドの完全スピン分極に伴う巨大 TMR 効果を発現しうる、いわば究極の記憶層用新磁性材料であり、本プロジェクトによって世界に先駆けて理論的に提案された。超低飽和磁化・高垂直磁気異方性については実験的に示され、当初計画の目標値を十分に達成した。低ダンピング定数と極薄膜化の可能性も実験的に示され、今後、より高磁場の測定や CoL 下地等を用いた極薄膜形成などをさらに進めることで高速メモリ技術に貢献すると考えられる。

② L 系下地の開発ならびに Mn-A 極薄膜の開発

従来材料である CoFeB/MgO に匹敵する低ダンピング定数を示しつつ、その 1/3 程度の飽和磁化と数倍の高垂直磁気異方性を示す極薄の Mn-A を低温で形成可能な技術を確認した。マンガン系材料は他の機関でも開発が進められているが、1 nm までの極薄膜化を報告した例はなく、本プロジェクトによって世界に先駆けて開発された独創的な技術であると言える。既に述べた溶融ターゲットを用いた Mn-A 薄膜作製技術や D0₂₂ Mn₃E とこの下地技術を組み合わせることで、飽和磁化が 200 emu/cm³ 未満の垂直磁化極薄膜を開発することは十分可能であり、本計画の掲げた目標を十分に達成する成果といえる。

①-1-1- (ウ) 高速・低消費電力スピン注入記憶素子の開発

②-1 垂直磁化 MTJ 積層構造の開発と磁気および電気特性の評価

従来のスピン RAM 比 10 倍の電力効率のために必要な、書込電流 50uA、電流パルス 3ns を目標とした垂直型デバイスの積層スタック成膜開発を行った。

第一に、高速反転に向けた材料探索として、(A) 既存薄膜材料における垂直磁気異方性向上の探索、(B) 既存薄膜材料の垂直磁気特性を保持したまま飽和磁化を減じる探索、(C) 新規垂直磁化膜の探索、といった三つのアプローチによる材料開発を行った。

(A) の課題については、垂直磁気異方性エネルギー密度 (K_u) の数値目標を $1.5 \times 10^7 \text{erg/cm}^3$ とし、Co 基人工格子垂直磁化膜についての開発を行った。この課題を行う際にはプロセス開発から着手し、垂直磁気異方性を向上させるための汎用的な手法の確立を目指した。プロセス開発の中心的な指針はスパッタ成膜時の非平衡度のコントロールとし、特に重い希ガスをを用いた低圧・高エネルギースパッタリングと、レーザーアニールによる基板表面の昇温の手法を用いた。そしてこれらのプロセスが垂直磁気異方性へ及ぼす影響について詳細に調べた結果、キセノンガスを特に貴金属材料の成膜時に用いることが、垂直磁気異方性の向上に効果的であることがわかった。この非平衡制御は、垂直磁気異方性の性能指数である異方性磁界 (H_k) を従来比およそ 30% 向上させ、同時に他のパラメータには劣化をもたらさないことがわかった。この手法により、[Co/Pd] および [Co/Pt] の人工格子垂直磁化膜において、いずれも目標を上回る $2.0 \times 10^7 \text{erg/cm}^3$ の K_u を得た。このとき同時に、Co および Pt (あるいは Pd) 層の平坦性が原子層レベルに高いことから、わずか 1nm ほどの厚さであっても 10^7erg/cm^3 超の K_u を維持することができた。得られた最大 K_u 値 ($\sim 2.0 \times 10^7 \text{erg/cm}^3$) は、厚さ 2nm の記憶層を想定した場合に、STT-MRAM の 10nm 世代に対応する高いスケラビリティをもたらすものである。図 2.1-38 に上記の手法により得られた典型的な薄膜材料の磁化曲線を示す。これは厚さ 2.4 nm の [Co/Pd] 薄膜についての結果であり、 $H_k \sim 45 \text{ kOe}$ 、 $K_u \sim 2.0 \times 10^7 \text{erg/cm}^3$ の性能が得られた。

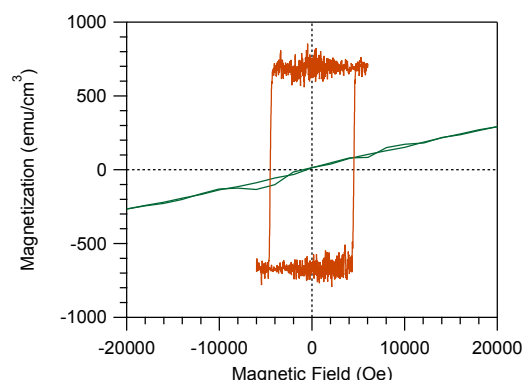


図 2.1-38 [Co/Pd]人工格子垂直磁化膜の磁化曲線。茶色線が膜面垂直方向、緑色線が膜面内方向に磁界印加したときに得られた磁化曲線である。

(B) の課題として、第三元素を添加することにより飽和磁化の低減を試みた。[Co/Pt] 人工格子垂直磁化膜に V や Ni といった、Co 原子のモーメントを減じる働きをする元素の添

加量を増やしていったときの特性について詳細に調べた。成膜プロセス時には人工格子の形成を妨げないように注意すると、垂直磁気異方性を示しながら Co 原子モーメントの減少に伴う薄膜磁化を減じることができ、V の添加量を増やすと最大で 40%程度も飽和磁化 (M_s) を減少させることができた。なお、 M_s 減少時に H_k も同時に減少すると K_u の減少がもたらされてしまうが、興味深いことに V 添加量が 10-23 at%の領域では H_k を維持しながら M_s のみを減じることが可能であった。さらに、40 at%以上もの V を添加した場合には M_s と同時に H_k も減少したものの、それでもなお垂直磁気異方性を失わず、かつ異方性分散は V 添加無し [Co/Pt] と同等に狭小であった。これは人工格子形成時の高品位平坦制御が奏功していることが示唆される。図 2.1-39 に [Co/Pt] 薄膜への V 添加した際の特性について示す。

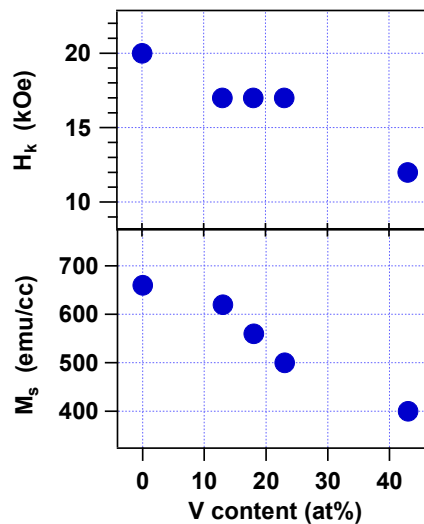


図 2.1-39 [Co/Pt]-V 人工格子薄膜における異方性磁界(H_k)および飽和磁化(M_s)の V 添加量依存性

(C)の課題として、新規垂直磁化膜の探索を行った。この課題では、低磁化でありながら高い異方性エネルギー密度が発現する新規の垂直磁化材料として、Mn 系規則合金および希土類系規則合金に着目し、高品位薄膜の形成を目指した。各規則合金系とも成膜時の加熱が規則合金化の鍵となるため、基板表面に高エネルギーを投入可能なレーザーアニールと、基板全体を昇温可能な基板加熱を併用することで成膜プロセスを行った。プロセス探索と材料適性化の結果、Mn 系規則合金においては、MgO 単結晶基板上ながら垂直磁化膜を得ることに成功した。このとき H_k は 20 kOe 程度に達しながら M_s は 200 emu/cm³ 以下に抑えられた。X 線回折より、得られた薄膜は Mn 系フェリ磁性相の規則合金であると同定された。なお、Mn 系の開発について他グループでも行われているが、それらが基礎研究向けの小型装置で為されているのに対し、本成膜は量産成膜向け大型スパッタ装置で行った初めての成功例である。希土類系についても垂直磁化膜が得られた。断面構造解析の結果によると、薄膜の成長初期に規則合金層が形成されることが確認された。図 2.1-40 に Mn 系規則合金の磁化曲線を示す。

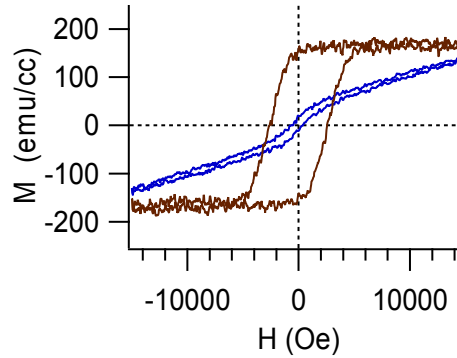


図 2.1-40 Mn 系規則合金の磁化曲線。茶色線が膜面垂直方向、青色線が膜面内方向に磁界印加したときに得られた磁化曲線である。

以上の開発結果をふまえ、人工格子構造の垂直磁化膜を含んだ垂直型 GMR 素子を試作した。成膜を産総研、微細加工を東芝、高速測定を阪大にて行い、記憶層の異方性エネルギー密度を系統的に変化させたデバイススタックの開発と、それらデバイスにおける反転電流と反転速度について調べた。成膜担当の産総研としては、これまで成膜難易度が高く実現されていなかった K_u のみを変化させたシリーズ(飽和磁化は一定)の実現に成功し、最大で K_u を系統的に3倍の範囲で変化させたスタックを作製した。

第二に、STT-MRAM の記憶ビットである垂直磁化トンネル接合 (pMTJ) について、(D) 情報書き込み・読み出し時の参照層安定性を向上させる開発、(E) トンネルバリアの材料開発、(F) 低抵抗化・高磁気抵抗化の開発、の各課題を行った。

(D) の課題については、素子サイズが 20 nm を切るような微小領域では、加工ダメージ耐性のためにより高い参照層安定性が求められることから、既存の 2 倍以上の参照層安定性を得ることを目標とした。アプローチとしては、Ru スペーサー層を高平坦かつ極薄とすることで、いわゆるファーストピークの強い反平行結合を実現することを目指した。課題推進にあたっては、特に Ru 薄膜のスパッタ形成方法開発に注力し、厚さが 0.5nm 以下の極薄 Ru スペーサー層について高再現性を伴いながら形成することに成功した。その結果、これまでは 0.7 erg/cm^2 程度であった反平行結合力を 3 倍以上に高めることを実現し、最高値は 2.7 erg/cm^2 に達した。同時に、Ru スペーサー層そのもの、および [Co/Pt] 層との界面が高品位に形成された副次的効果として、後熱処理耐性が大幅に向上した。既存技術では 350°C 程度であったものが、今回開発によって 400°C の耐性が確認された。これは STT-MRAM のバックエンドプロセスにて必要とされる条件を満たす耐熱性である。ついで、この参照層構造を実際の pMTJ へ組み込むことも試み、高い反平行結合力を反映して pMTJ 参照層の反平行領域は 6 kOe に達した。これは既存の pMTJ のおよそ 2 倍の値である。このとき同時に、pMTJ を構成するすべての層の平坦性が向上したことにより、20 nm 世代が可能な超低抵抗 ($< 3 \text{ } \Omega \mu\text{m}^2$) と、高磁気抵抗比 ($> 100\%$) を得た。これらにより、素子サイズ 20 nm 世代にてより安定な高速動作が可能となった。図 2.1-41 に作製した pMTJ のスタック概略図、磁化曲線、主な特性について示す。この pMTJ は後熱処理を 350°C で行った。 J_{ex} は反平行結合力、RA は規格化素子抵抗値、MR は磁気抵抗値を示す。Ru スペーサー層を

0.46nmと極薄化したことにより強い J_{ex} およびそれに起因した広い反平行結合域(最大7.5kOe)を得ることに成功した。

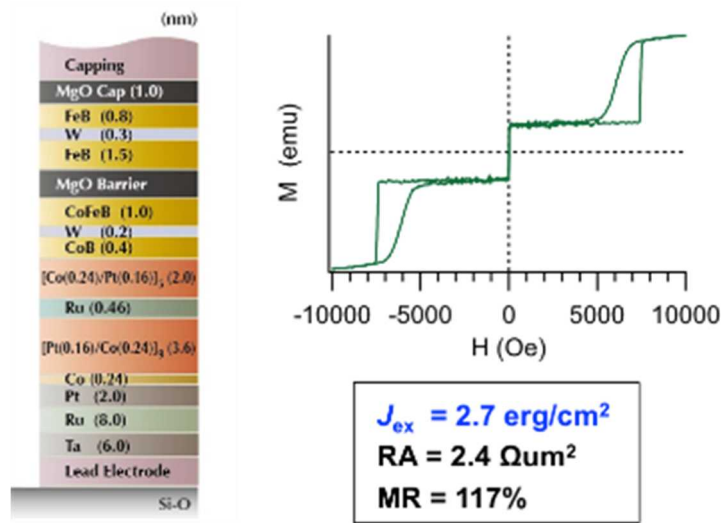


図 2.1-41 強い参照層安定性をもつ pMTJ のスタック構成図およびその磁化曲線

(E)のトンネルバリアの材料開発課題については、MgO 系の新規材料探索として 8 種類以上の新規材料についてスパッタ成膜技術開発を行い、新規材料と磁気抵抗特性との関係について詳細に探索を行った。その結果、RF スパッタリングの MgO と同等以上の性能を有する材料を 2 種類発見することに成功した。同時に、MgO 表面濡れ性の違いやバリアハイトの違いによる様々な特徴を見出すことができ、将来的に STT-MRAM の核心材料となり得る可能性が示唆された。

(F)の低抵抗化・高磁気抵抗化の開発課題については(4)の課題と関連して行った。STT-MRAM の世代が進むとともに pMTJ の低抵抗化と高磁気抵抗化が求められており、10nm 世代では規格化抵抗値(RA)は $2 \Omega \text{um}^2$ 程度にまで減じる必要がある。現在量産化が進められている pMTJ 世代では、 $10 \Omega \text{um}^2$ 程度の RA であるが、 $2 \Omega \text{um}^2$ 以下の pMTJ には $10 \Omega \text{um}^2$ とは異なる独特なプロセス技術およびスタック構成が必須となる。この課題では、構成する各層の平坦性だけでなく下地層の処理方法や MgO の(001)配向方法、MgO 層の形成方法など多面的なアプローチを試み、pMTJ の低抵抗化を目指した。その結果、最小で $RA \sim 1.0 \Omega \text{um}^2$ の超低抵抗 pMTJ を作製することに成功するとともに、 $RA \sim 1.8 \Omega \text{um}^2$ 程度の低抵抗でも MR 値が 100%程度の高い性能を具備させることに成功した。この課題の開発過程に於いて、CoFeB 記憶層の界面垂直磁気異方性を高めることにも同時に成功し、得られた性能指数 ($K_u t$ 値)は 0.7 erg/cm^2 に達した。またこの課題に於いては、既存の RF-MgO に加えて、金属 Mg の後酸化による MgO トンネルバリアおよび MgAlO トンネルバリアの形成手法の開発も行った。特に後酸化に至るプロセスの開発に注力した結果、MgO および MgAlO トンネルバリアの形成に成功した。特筆すべきは数秒から 10 数秒程度の極めて短い酸化時間であり、それでありながら 150%を超える MR 値を $5 \Omega \text{um}^2$ 以下の低 RA において実現した。図 2.1-42 に

この課題で得られた pMTJ の磁気抵抗曲線を示す。この pMTJ は $RA \sim 2.1 \Omega \text{um}^2$ 、 $MR \sim 100\%$ 、 $K_u t \sim 0.7 \text{ erg/cm}^2$ の高い性能を示した。

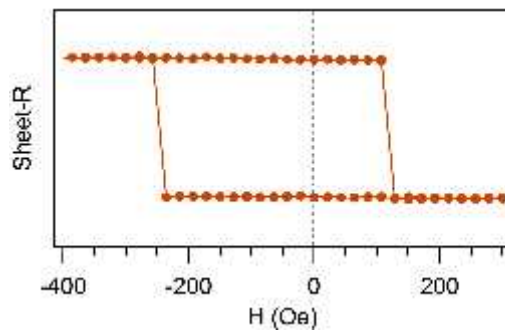


図 2.1-42 pMTJ の磁気抵抗曲線。pMTJ は 350°C にて後熱処理した。

②-2 MTJ ナノピラーの微細加工プロセスの開発

垂直磁化薄膜を用いた MTJ 素子の磁化反転特性の素子サイズ依存性を調べた。MTJ 素子には、図 2.1-43 に示すように MgO バリア下側に反転層を有し、上側に固定層を有する構造を用いた。電子線リソグラフィにより、直径 300 nm - 60 nm のレジストパターンを作製し、それをマスクとしてアルゴンイオンミリングにより微小 MTJ セルを作製した。作製した素子の磁気抵抗曲線を直流二端子法により室温で測定した。測定結果の一例を図 2.1-44 に示す。図 2.1-44 (a)、(b) は、それぞれ、レジストマスク直径(設計値)が 60 nm、および、300 nm の素子の磁気抵抗曲線である。磁界を正から負方向にスイープした場合、素子サイズが大きい素子(b)では、+4000 Oe 付近から抵抗の増加が始まり、なだらかに抵抗が上昇し、0 Oe 付近で飽和している。これは、記録層の磁化過程を反映していると考えられる。-2500 Oe 付近の抵抗の急激な減少は固定層の磁化反転に対応していると考えられる。この素子の MR 比は 66% であった。素子サイズが小さくなるに伴い、記録層の反転磁界が減少し、レジストマスク直径(設計値)が 100 nm の素子では、シャープな抵抗の増大が +1000 Oe 付近で観測された。レジストマスク直径(設計値)が最小の 60 nm の素子では、図 2.1-44 (a) に示すように -200 Oe 付近で抵抗が急激に増大している。この素子の MR 比は、97% であり、CIPT 測定結果と良く対応している。また、直径の大きい素子の MR 比に較べて大きい。

素子抵抗値の面積依存性を図 2.1-45 に示す。面積が減少するにともない、素子抵抗は増大した。図中の黒い実線は、CIPT 測定であらかじめ得られていた $R \cdot A = 2.3 \Omega \cdot \mu\text{m}^2$ を用いて計算により求めた結果である。実験に較べ、左側にずれている。赤線の実線は、 $R \cdot A = 2.3 \Omega \cdot \mu\text{m}^2$ を仮定し、かつ、素子直径が設計値よりも 38 nm 小さいと仮定した場合の計算結果である。実験結果を良く再現している。最小素子の直径は、22 nm と見積もられる。

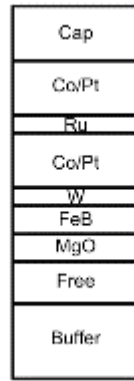


図 2.1-43 実験に用いた MTJ 薄膜の積層構造模式図。

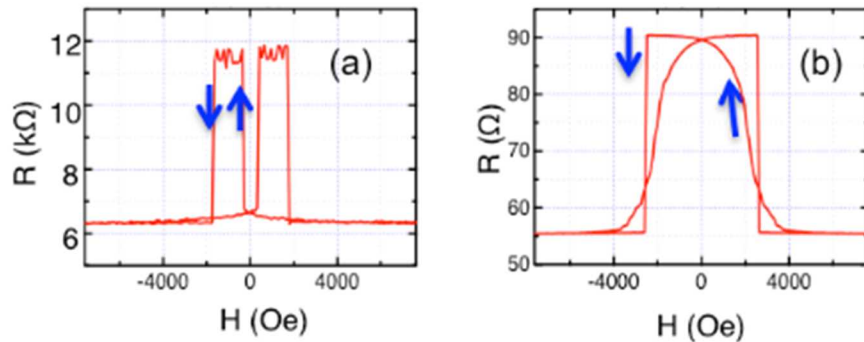


図 2.1-44 作製した MTJ 素子の磁気抵抗曲線。(a)レジストマスクサイズ 60 nm、(実直径 60 nm (推定))、(b) レジストマスクサイズ 30 nm、(実直径 240 nm(推定))。

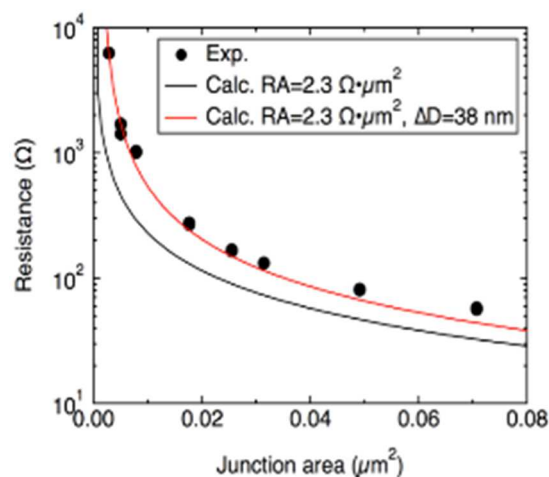


図 2.1-45 素子抵抗値の素子サイズ(設計値)依存性。黒丸:実験値、黒線: $R \cdot A = 2.3 \text{ } \Omega \cdot \mu\text{m}^2$ を仮定した計算値、赤線: $R \cdot A = 2.3 \text{ } \Omega \cdot \mu\text{m}^2$ を仮定し、かつ、素子直径が設計値よりも 38 nm 小さいと仮定した場合の計算値。

②-3 STT書き込みの評価と超低電圧書き込みの実現

本課題では、スピン注入磁化反転における反転確率の電流依存性を利用した「熱安定性パラメータ等の評価方法の確立」と、スピン注入磁化反転そのものに本質的に備わっている確率的な振る舞いを利用した「物理乱数発生器の開発」を行った。また、低 RA かつ高 MR の垂直磁化 MTJ 膜を用いて、反転電圧 100mV 以下と極めて低いスイッチング電圧を持つ MTJ 素子の作製に成功した。

まず、スピン注入型 MRAM の設計に必要な熱安定性パラメータの評価法として、多数回の電流磁化反転の反転確率の電流依存性から求める方法を確立し、評価に必要な装置の開発を行った(図 2.1-46)。この装置は、マイコンチップと高速アナログ IC を併用したマイコンボードとして開発し、毎秒 500k 回の磁化反転を行い、電流値に対する反転確率の変化を数秒で測定することができる。さらに、反転確率の分散を長時間測定することで、熱安定性パラメータの時間的変動を評価することもできる。

この装置を用いた測定の結果、面内磁化型 MTJ 素子におけるスピン注入磁化反転では、熱安定性パラメータの時間的変動は、概ねその大きさに逆比例する(熱安定性パラメータが大きいほど、時間変動が小さい)ことが明らかになった。

次に、書き込みエラーの新しい評価方法として、第三のパラメータである電流活性指数(β)を加える手法を提案した(エラー! 参照元が見つかりません。参照)。これは、反転確率を正確かつ簡便に測定できるようになったことのある有用な結果の一つである。これまで、熱活性領域における磁化反転は、熱安定性パラメータと臨界電流値の二つでよく記述されると考えられて



図 2.1-46 反転確率評価装置

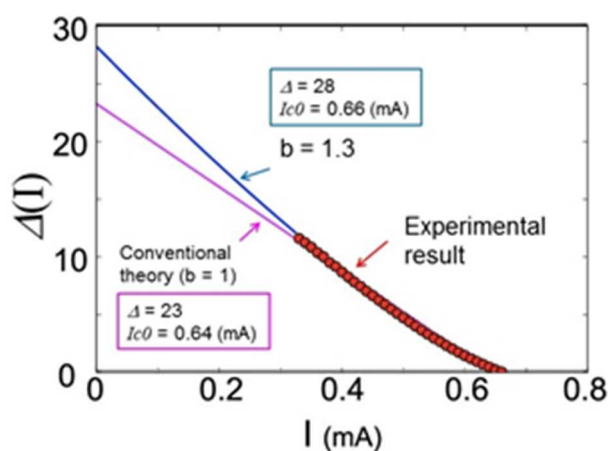


図 2.1-47 新手法によるフィッティング

いた。しかしながら、理論研究によると反転確率の電流依存性は、系の対称性(面内磁化反転であるか垂直磁化反転であるか)により影響を受け、書き込みエラーをより確からしく評価するためには、電流活性指数(β)をパラメータとして導入するべきであることが分かってきた。

すでに開発したスイッチング確率評価装置をプローバに組み込み、上述の新手法に基づくウェハ上のMTJ素子を直接評価できる書き込みエラーレート評価装置を開発した。本装置において面内磁化自由層を持つMgO-MTJ素子の評価を行い、 β 値が1.3であることを見出した。この結果より Δ 値が従来の値に比べ20%程度増加することが導かれ、このことはゼロ電流におけるデータ保持時間が従来の見積もりに比べ約100倍になることを意味している。

次に、FeBを磁化自由層とする垂直磁化型MTJ素子の評価を行った。面内磁化型MTJ素子に比べ、同じ素子サイズにおいて反転電流が3分の1以下になったこと、0磁場で二値を取る素子が容易に作成できるという利点が明らかになった。図2.1-48に典型的な面内磁化型MTJ素子と、新たに作製した垂直磁化型MTJ素子のスイッチング特性の例を示す。

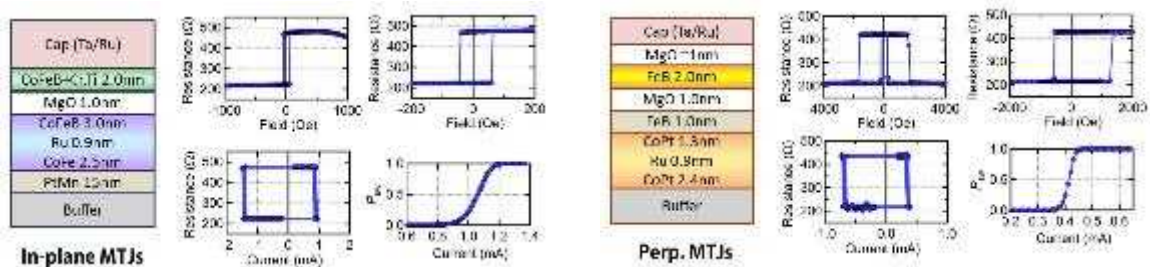


図 2.1-48 面内磁化型 MTJ 素子と垂直磁化型 MTJ 素子の比較

さらに反転確率の安定性を評価する方法として、反転確率 0.5 における反転確率の分散と、二項分布との分散の比を指標 (R_{σ} と定義する)として用いることを提案した。これは統計学の F 検定と同じ検定手法である。反転確率 0.5 の分散はデータ書き込み電圧の分散と比例関係にあると考えられることと、反転確率 0.5 での分散は測定が容易であるがエラーレートの測定には多量のデータが必要であること(例えば 10^{-6} で有意なデータを得るには 10^{12} 以上のデータ量が必要)から、 R_{σ} を指標として用いることで、短時間の測定からデータ書き込み電圧のばらつきについて知見を得ることができると期待できる。データ量 200k において、図 2.1-48 に示した垂直磁化型 MTJ 素子から得られた R_{σ} 値は 3 程度であり、面内磁化型 MTJ 素子の標準値 10 程度に比べ有意に小さく、時間的にも安定していることが明らかになった。

次に、多数の素子の特性を一度に測定すべく、8 個の素子を同時に測定できる測定装置の開発を行った(図 2.1-49)。また、それぞれの磁気抵抗素子の反転確率を 0.5 に調節し、得られた反転結果の排他的論理和 (XOR 演算) を取ることで理想的な二項分布と区別することができない乱数列 (真正乱数) が得られることを証明した。さらに垂直磁化型 MTJ 素子 8 個を用いて 10^{12} ビットの乱数を生成し、その乱数が NIST-SP80、TestU01 などの乱数検定テストにパスすることを実証した。このことは生成した乱数列が理想的に二項分布に従う乱数列と見分けがつかないことを意味しており、本測定器は理想的な物理乱数発生器として利用できることを示したものである。



図 2.1-49 8 個の MTJ 素子を同時に測定し可能な反転確率測定器

次に、低電圧専用の回路を作製した。昨年度より低 RA 値の垂直磁化型 MTJ 素子の開発が進み、反転電圧が三分の一以下になり、従来回路では精度のよいスイッチング特性評価が困難になってきたからである。高速測定と低電圧でのスイッチング評価を両立すべく、100nsec のパルス幅で磁化反転を行い、その結果を 5mV の精度で検出できる回路を作製した。図 2.1-50 に低電圧での電流磁化反転の例を挙げる。RA1.9 の MTJ 膜を 63nm Φ の接合に加工し、MR 特性と IV 特性を測定した。この素子において、反転確率の電流依存性から求めたパラメータは $\Delta_{(P \rightarrow AP)} = 41$ 、 $I_{c0(P \rightarrow AP)} = 6.8 \text{ MA/cm}^2$; $\Delta_{(P \rightarrow AP)} = 31$ 、 $I_{c0(P \rightarrow AP)} = -8.0 \text{ MA/cm}^2$ であった。

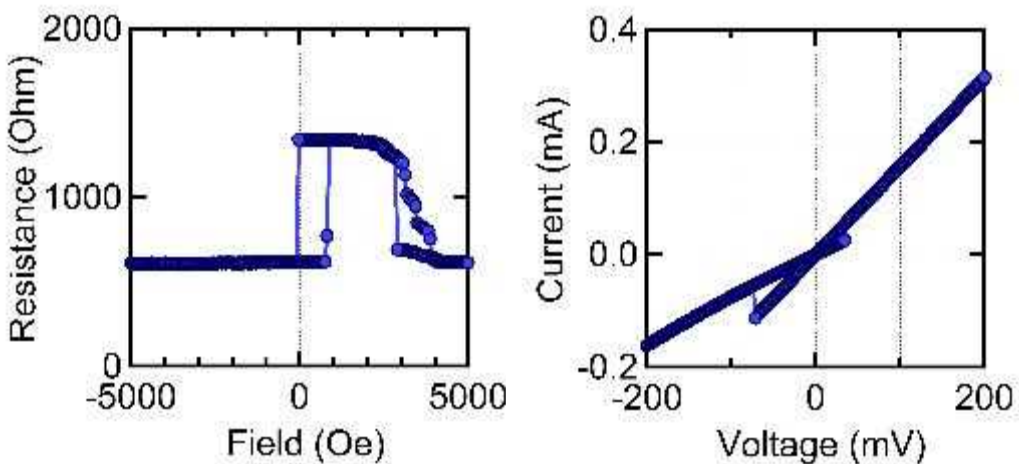


図 2.1-50 低 RA 値をもつ磁気抵抗素子における低電圧での電流磁化反転

さらに、シンセティック多層膜を磁気参照層としてもつ垂直磁化型 MTJ 素子において、参照層の磁気構造が内部自由度を持つことを利用した多値メモリの提案を行った。(図 2.1-51

参照)

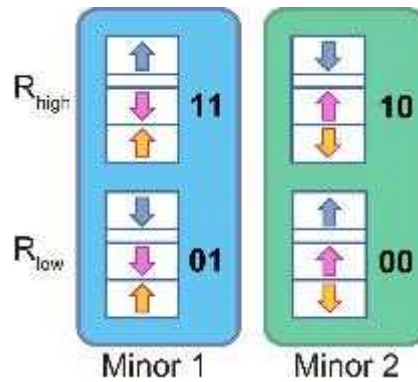


図 2.1-51 磁化参照層の内部自由度を利用した多値メモリの概念図

②-4 STT書き込みの理論の確立

高い熱耐性と低い磁化反転電流の両方を実現する垂直型 MRAM の実現を目指しマイクロ波アシスト・スピントルク磁化反転の数値シミュレーションと理論構築を行った。

垂直型 MRAM では熱耐性と磁化反転電流が共に垂直磁気異方性に比例することが知られている。従って高い熱耐性を持つ素子を作ると磁化反転電流まで増えてしまうという問題がある。そこで磁化反転を行う際に別の物理現象によるアシスト効果を利用することで磁化反転電流を下げられないか検討した。特にマイクロ波アシスト効果に注目して研究を進めた。

まず数値シミュレーションによって垂直型自由層のスピントルク磁化反転電流とマイクロ波周波数の関係を調べた。手法としてはマクロスピン模型の LLG 方程式にスピントルク項と円偏光マイクロ波を加えて磁化ダイナミクスを数値的に解き、磁化反転が起こる最小の電流を磁化反転電流と定義した。自由層の材料パラメータには垂直型 MRAM の典型的な値(垂直異方性磁場 $H_K=7.5\text{kOe}$ 、磁化 $M=1000\text{emu/cc}$ 、ダンピング定数 $\alpha=0.01$ 、自由層厚み $d=2\text{nm}$ 、スピン偏極率 $p=0.6$)を用いた。図 2.1-52 には様々なマイクロ波振幅に対する磁化反転電流のマイクロ波周波数依存性を示す。同図に示されているようにマイクロ波周波数がある値を取った時に磁化反転電流は急激に小さくなることが明らかになった。特に垂直磁気異方性 H_K とマイクロ波振幅 H_{ac} の比が $H_{ac}/H_K > 0.15$ となると磁化反転電流はゼロにまで低下する。

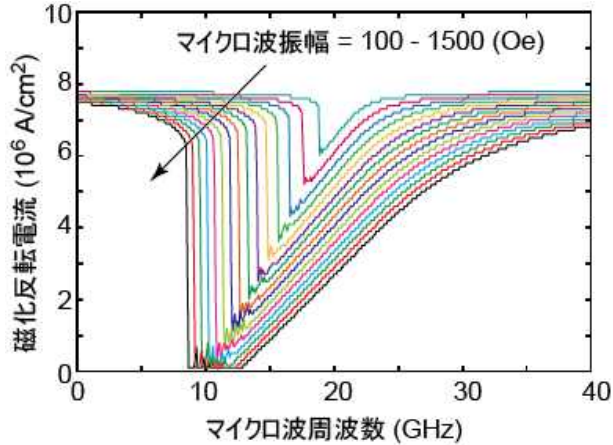


図 2.1-52 スピントルク磁化反転電流のマイクロ波周波数依存性。マイクロ波の振幅は 100(Oe) から 1500(Oe)まで変化させた。

次に磁化反転電流とマイクロ波周波数の関係を明らかにするため磁化反転の理論構築を行った。近年、マイクロ波アシスト磁気記録の分野においてマイクロ波アシスト効果を含む LLG 方程式を回転座標に書き直すとマイクロ波の効果が数学的にはスピントルク効果と同等になることが示された (T. Taniguchi, Phys. Rev. B 90, 024424 (2014))。そこで本研究でも回転座標における LLG 方程式を出発点として理論構築を行った。回転座標で見るとマイクロ波は (1) 外部磁場と同じ役割をして垂直磁気異方性を有効的に小さくし反転先の状態をエネルギー的に安定にする、(2) スピントルク効果を打ち消す向きのトルクを与える、の 2 つである。前者は磁化反転をアシストするが後者はむしろ反転を阻害する。マイクロ波のこれら 2 つの役割と、磁化を反転させようとするスピントルクの競合で磁化反転電流が決まる。マイクロ波の役割はどちらも周波数に依存するので、マイクロ波周波数に応じて磁化反転電流は変化する。そこでマイクロ波周波数の大小に応じてマイクロ波効果とスピントルク効果の競合を調べ、各周波数における磁化反転電流の理論式を導出した。この式は一般に次のように表される。

$$j = \frac{2\alpha eMd}{\hbar p} \left\{ \frac{2\pi f}{\gamma} + \frac{\oint dt [\mathbf{B}^2 - (\mathbf{m} \cdot \mathbf{B})^2]}{\oint dt [B_z - m_z(\mathbf{m} \cdot \mathbf{B})]} \right\} \quad (1)$$

ここで f はマイクロ波の周波数、 \mathbf{m} は磁化ベクトル、 \mathbf{B} は回転座標での有効磁場、 γ は磁気回転比である。右辺の積分はマイクロ波効果とスピントルク効果、磁気緩和項が釣り合う歳差運動の周期 1 周で行うが、この釣り合う歳差軌道がマイクロ波周波数に応じて変化する。この式 (1) を使って評価した磁化反転電流をシミュレーションと比較した結果を図 2.1-53 に示す。同図に示されているように理論式 (1) はシミュレーション結果とよく一致する。

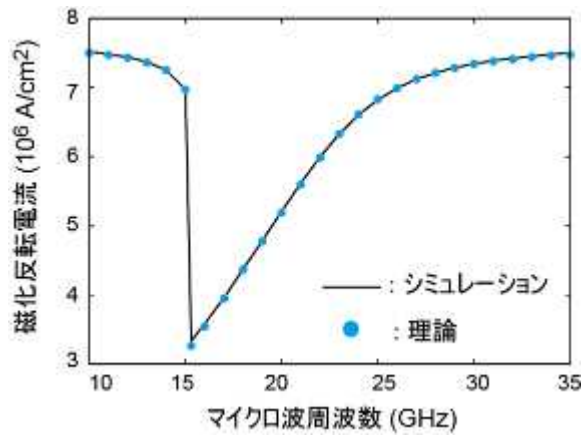


図2.1-53 スピントルク磁化反転電流のシミュレーション結果(実線)と理論式(1)(丸)の比較。マイクロ波の振幅は450(Oe)とした。

最後に磁化反転電流が最も小さくなるマイクロ波周波数(最適化周波数)とその時の磁化反転電流の理論式の導出を行った。例えば図 2.1-53 では約 15GHz が最適化周波数となる。図 2.1-53 から最適化周波数の前後において磁化反転電流にはトビが生じることが分かる。このトビが起こる原因は式 (1) から具体的に磁化反転電流を見積もる過程で明らかになった。上記のようにマイクロ波は外部磁場の役割をして垂直磁気異方性を有効的に小さくする。マイクロ波周波数が最適化周波数より小さい場合には垂直磁気異方性の有効的な減りが小さく、磁化の初期状態は反転に際して乗り越えなければならないエネルギー障壁より低い位置にいる。そのため磁化反転には比較的大きなスピントルク効果が必要になる。一方、マイクロ波周波数が最適化周波数になると磁化の初期状態はエネルギー障壁より高い位置に来るので磁化反転電流が急激に下がり、トビが生じるのである。マイクロ波周波数を更に大きくするとマイクロ波がスピントルクを打ち消す効果も強くなり、磁化反転電流は再び大きくなる。これらの考察に基づいて最適化周波数の理論式は次式で与えられることを明らかにした。

$$f_{\text{optimize}} = f_{\text{FMR}} \left[1 - 3 \left(\frac{H_{\text{ac}}}{2H_{\text{K}}} \right)^{\frac{2}{3}} + \left(\frac{H_{\text{ac}}}{2H_{\text{K}}} \right)^{\frac{4}{3}} + \frac{1}{3} \left(\frac{H_{\text{ac}}}{2H_{\text{K}}} \right)^2 + \dots \right] \quad (2)$$

ここで $f_{\text{FMR}} = \gamma H_{\text{K}} / (2\pi)$ は強磁性共鳴 (FMR) の周波数である。式 (2) から最適化周波数は FMR 周波数より常に小さいことが分かる。また最適化周波数における磁化反転電流は次式で与えられることも明らかにした。

$$j_{\text{min}} = \frac{2\alpha e M d}{\hbar p} \left(\frac{2\pi f_{\text{optimize}}}{\gamma} + H_{\text{K}} \frac{N_{\alpha}}{N_{\text{S}}} \right) \quad (3)$$

ここで N_{α} 、 N_{S} はそれぞれ磁化が磁化反転する過程で磁気緩和によって散逸するエネルギーとスピントルクによって供給されるエネルギーに比例する量である。これらの式を図 2.1-52

の数値シミュレーションと比較した結果を図 2.1-54 (a), (b) に示す。図 2.1-54 に示されているように理論式とシミュレーション結果はよく一致する。

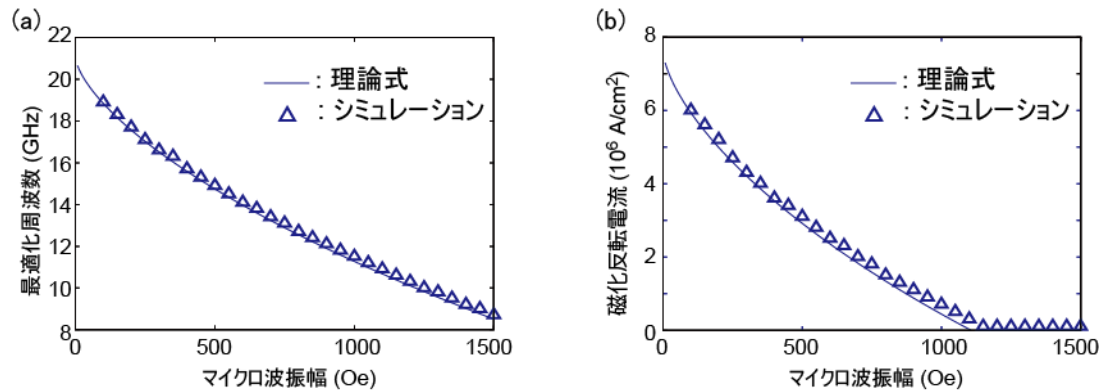


図 2.1-54 (a)最適化周波数と(b)最小化磁化反転電流のシミュレーション結果と理論式(2),(3)の比較。

図 2.1-52 のシミュレーション結果で示された磁化反転電流がゼロになる場合は式 (3) がゼロになる場合に対応する。式 (3) の最適化周波数は式 (2) に示されているようにマイクロ波振幅と垂直磁気異方性の比 H_{ac}/H_K にのみ依存する。また式 (3) の N_a 、 N_s も H_{ac}/H_K にのみ依存する。そこで図 2.1-52 で示した $H_{ac}/H_K > 0.15$ の時にマイクロ波のみで磁化反転が起こるという結果は磁化など他のパラメータに依存しない結果であることが明らかになった。

以上から、スピントルク磁化反転の反転電流の低減に対してマイクロ波アシストを利用することが極めて有効であることが示された。垂直磁気異方性の高い材料を自由層として使うことで MRAM の高い熱耐性を実現し、磁化反転を行う際にはマイクロ波を照射して反転電流を下げる事が可能となる。マイクロ波の振幅が $H_{ac}/H_K > 0.15$ 程度まで大きくなれば磁化反転電流はゼロにまで下げられる。また理論構築を行ったことで今後はより効率的に素子設計が行えるようになった。

②-5 コーン磁化記録層の STT-MRAM への適用

CPU の SRAM 置き換えを可能にする先進的な STT-MRAM を実現するためには、書き込み時間を 1 ns 程度に短くする必要がある。高い熱耐性 (Δ_0)、低い磁化反転閾値電流密度、および高速な書き込みの全てを実現する STT-MRAM の開発を目指し、コーン磁化の自由層 (c-FL) を有する STT-MRAM 素子に着目して研究を行い、その STT 磁化反転特性を理論的に精査した。

現在の STT-MRAM 素子開発では、垂直磁化の自由層 (p-FL) と垂直磁化の参照層を有する垂直磁化型の STT-MRAM 素子が盛んに研究されている。しかしながら、垂直磁化型の STT-MRAM 素子で 1 ns 以下の書き込み実現することは難しい。自由層と参照層の磁化の相対角度を $\Delta\theta$ とすると、STT の大きさは $\sin \Delta\theta$ に比例する。垂直型の STT-MRAM 素子では、ゼロバイアスの状

態で自由層と参照層の磁化がコリニアな磁化配置、すなわち平行磁化配置 ($\Delta\theta = 0^\circ$) か反平行磁化配置 ($\Delta\theta = 180^\circ$) の周りで熱的に揺らいでいる状態であるため、書き込み初期の STT はとても小さく書き込み時間は長くなってしまふ。

そこでゼロバイアスの状態でコリニアではない磁化配置をとる c-FL を自由層にもつ STT-MRAM 素子^[1]に着目し、c-FL の STT 磁化反転特性を理論的に精査した。コーン磁化状態とは、一軸性の一次と二次の磁気異方性エネルギーの競合により 0° や 90° や 180° でない初期磁化角度 θ_0 をとる磁化状態を指す。一軸磁気異方性エネルギーは $E(\theta) = K_{u1,eff} \sin^2\theta + K_{u2} \sin^4\theta$ 、 $K_{u1,eff} = K_{u1} - (1/2) \mu_0 M_s^2$ と書き表される。ここで K_{u1} と K_{u2} は一次と二次の磁気異方性定数である。 $K_{u1,eff}$ は K_{u1} から反磁場エネルギーを差し引いたものである。 θ は z 軸から測った自由層の単位磁化ベクトル \mathbf{m} の極角である(図 2.1-55 (a) 参照)。コーン磁化状態は $K_{u1,eff} < 0$ かつ $2K_{u2} > -K_{u1,eff}$ の条件を満たす場合(図 2.1-55 (b) 参照)に実現され、磁化の角度は $\theta_0 = \sin^{-1}[-K_{u1,eff} / (2K_{u2})]^{1/2}$ で与えられる^[2]。コーン磁化状態の熱耐性は $\Delta_0 = [K_{u1,eff} + K_{u2} + K_{u1,eff}^2 / (4K_{u2})] V / (k_B T)$ と書き表される。ここで V は自由層の体積、 k_B はボルツマン定数、 T はケルビン温度を表す。コーン磁化状態は Co あるいは Co/Pt^[3,4] や Co/Pd^[4] の二層膜や多層膜で実現されており、これらの材料を利用すれば室温で熱耐性の要請を満たす c-FL を有する STT-MRAM 素子の実現が可能であることを理論的に示した^[5]。

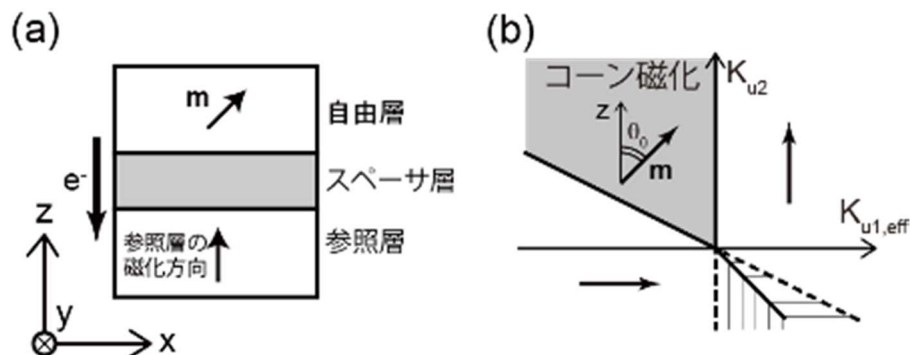


図 2.1-55 (a) 考慮する STT-MRAM 素子の模式図。(b) 磁気薄膜の磁化状態の相図。

p-FL に対する c-FL の優位性を調べるために、磁気抵抗効果、絶対零度での磁化反転特性、有限温度での磁化反転特性を比較する計算を行った。以降の計算では、図 2.1-55 (a) に示す STT-MRAM 素子を仮定し、電流の極性は電子が自由層から参照層へ流れる場合を正と定義した。p-FL との比較計算では次のパラメータを用いた: $V = 15^2 \times d \text{ nm}^3$ 、 d は自由層の厚さで $d = 2.2 \text{ nm}$ 、 $T = 300 \text{ K}$ 、飽和磁化 (M_s) は $M_s = 400 \text{ kA/m}$ 、ギルバートダンピング定数は $\alpha = 0.01$ 。c-FL においては、 $\Delta_0 = 60$ になるような異方性定数、すなわち $K_{u1,eff} = -40 \text{ kJ/m}^3$ 、 $K_{u2} = 198 \text{ kJ/m}^3$ で、このとき θ_0 は 18.5° 。p-FL においては、 $\Delta_0 = 60$ になるような異方性定数、すなわち $K_{u1,eff} = 160 \text{ kJ/m}^3$ 、 $K_{u2} = 0 \text{ kJ/m}^3$ を用いた。この計算では室温での熱擾乱を考慮して p-FL の初期磁化角度 θ_0 は 5.3° とした。

まず磁気抵抗効果に関しては、c-FL は初期磁化方向の傾きのため、p-FL と比較すると

減少してしまう。しかし、 $\Delta_0 = 60$ を一定とした上記のパラメータでの比較では、その減少はたった 7.6%にとどまることがわかった。

次に磁化反転特性の比較を行った。有限の電流密度 (J) における $\mathbf{m} = (m_x, m_y, m_z) = (\sin\theta\cos\varphi, \sin\theta\sin\varphi, \cos\theta)$ のダイナミクスはマクロスピンモデルを用いて解析した。解析計算の結果、c-FL における磁化反転のための閾値電流密度 (J_{sw}) は

$$J_{sw} = \frac{8}{3\sqrt{6}} \frac{\alpha d |e|}{\hbar P} \sqrt{(K_{u1,eff} + 2K_{u2})^3 / K_{u2}} \quad (4)$$

で書き表されることがわかった。ここで e は電子の電荷、 \hbar はディラック定数、 P はスピン分極率である。さらに $\Delta_0 = 60$ の c-FL では $J_{sw} = 6.1 \text{ MA/cm}^2$ 、 $\Delta_0 = 60$ の p-FL では $J_{sw} = 7.8 \text{ MA/cm}^2$ で、c-FL の J_{sw} は、同じ Δ_0 の p-FL のそれより 22%小さいことがわかった。

書き込み時間 (T_{sw}) についても比較を行った。 T_{sw} とは、 \mathbf{m} が初期磁化状態から $m_z = 0$ の方向へ移動するのにかかる時間と定義する。図 2.1-56(a) は $J = 15 \text{ MA/cm}^2$ における $\Delta_0 = 60$ の c-FL の STT 磁化反転の振る舞いを示したものである。 $\theta_0 = 18.5^\circ$ という初期磁化方向の傾きのため、 \mathbf{m} は $T_{sw} = 0.86 \text{ ns}$ という 1 ns を切る高速磁化反転をおこなっている。図 2.1-56(b) は $J = 15 \text{ MA/cm}^2$ における $\Delta_0 = 60$ の p-FL の STT 磁化反転の振る舞いを示したものである。図 2.1-56(b) は p-FL では T_{sw} は約 1.94 ns であることがわかる。したがって c-FL の T_{sw} は p-FL のその 56%短くなることがわかった。

STT 磁化反転の特性をまとめると次の通りである。c-FL を有する STT-MRAM 素子は、p-FL を有する STT-MRAM 素子よりも J_{sw} が低く T_{sw} が短くなることから有利であることがわかった。等しい熱耐性 $\Delta_0 (=60)$ において、c-FL は p-FL より閾値電流密度は 22%小さく書き込み時間は 56%短くなることを明らかにした。一方で磁気抵抗効果の低下は 5.6%にとどまることも明らかにした [6]。

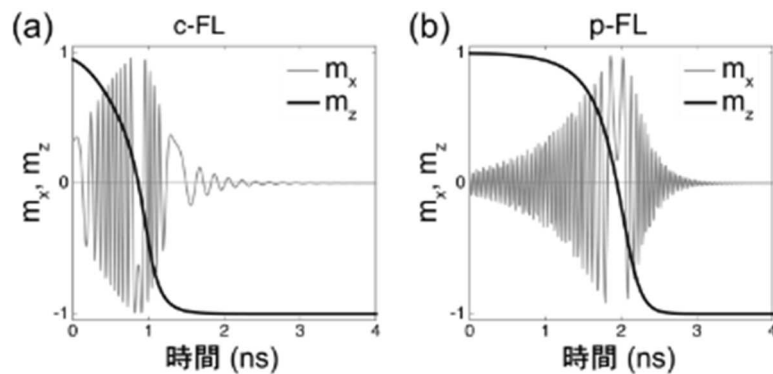


図 2.1-56 (a)c-FL と(b)p-FL の STT 磁化反転の様子。

次に有限温度での STT 磁化反転確率の電流依存性について計算を行った。絶対零度における閾電流を印加電流が超えていなくても、有限温度下では熱エネルギーの助けを得て確率的にスイッチングがおこる。熱活性領域における c-FL の STT 磁化反転確率 (P_{sw}) を

Fokker-Planck 方程式を解くことによって調べた。

図 2.1-55 (a) のように系を仮定すると、結果的に c-FL の P_{sw} は

$$P_{sw} = 1 - \exp\{-c_{12} t_p \exp[-\Delta(J)]\} \quad (5)$$

と書き表される。ここで Δ は反転バリアの J 依存性を表す。 $J=0$ における Δ を Δ_0 と呼んでいた。 c_{12} は attempt frequency、 t_p は電流パルス幅である。さらにコーン磁化状態である限りパラメータに関係なく Δ は

$$\Delta = (-1/3)^{1/2} \Delta_0 [A_-^{2/3} - A_+^{2/3} - 2\xi(A_-^{1/3} - A_+^{1/3})] \quad (6)$$

のように書き表されることがわかった。ここで $A_{\pm} = \xi \pm (\xi^2 - 1)^{1/2}$ 、 $\xi = J/J_{sw}$ 、 J_{sw} は(1)式で定義した 0 K における閾値電流密度である。図 2.1-57 に c-FL と p-FL における Δ/Δ_0 の J/J_{sw} 依存性を示す。c-FL の Δ/Δ_0 の J/J_{sw} 依存性は、 $K_{u1,eff} > 0$ かつ $K_{u2} = 0$ の場合に $\Delta/\Delta_0 = (1 - J/J_{sw})^2$ と書き表される p-FL のそれ^[7]よりも緩やかなカーブであることがわかる。c-FL の Δ/Δ_0 を $(1 - J/J_{sw})^b$ という関数でフィッティングすると、 $b = 1.53 \pm 4.90 \times 10^{-4}$ が得られる。したがって c-FL の P_{sw} は

$$P_{sw} \cong 1 - \exp\{-c_{12} t_p \exp[-\Delta_0 (1 - J/J_{sw})^{1.53}]\} \quad (7)$$

で書き表される。この式を用いれば、室温で測定した P_{sw} の J 依存性から Δ_0 を評価することができる。

室温 $T = 300$ K における、 $\Delta_0 = 60$ の c-FL と p-FL の P_{sw} の J 依存性を図 2.1-57 (b) に示す。 $t_p = 100$ ns、1000 ns いずれの場合においても p-FL よりも c-FL の方が低電流でスイッチングできることがわかる。

有限温度における STT 磁化反転確率の理論解析をまとめると次の通りである。 P_{sw} の J 依存性から Δ_0 を評価するのに必要な解析式を導出した。室温においても p-FL よりも c-FL の方が低電流でスイッチングできることがわかった^[8]。

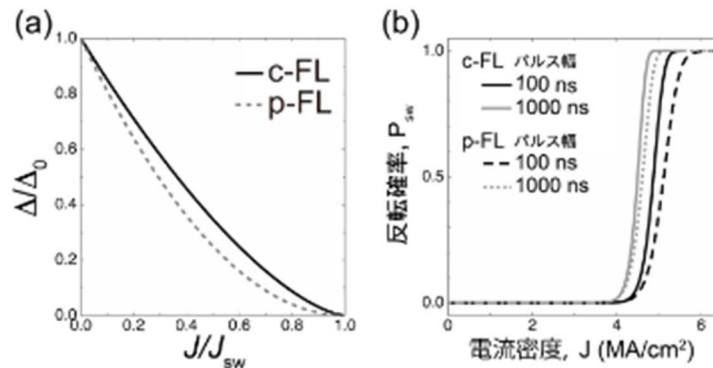


図 2.1-57 c-FL(実線)と p-FL(点線あるいは破線)における(a) Δ/Δ_0 の J/J_{sw} 依存性と(b) P_{sw} の J 依存性。

(参考文献)

- [1] D. Apalkov et al., US Patent 8,780,665 (2014).
- [2] H. Casimir, et al., J. Phys. Radium 20, 360, (1959).
- [3] H. Stillrich et al, J. Appl. Phys. 105, 07C308, (2009).
- [4] J.-W. Lee et al., Phys. Rev. B 66, 172409, (2002).
- [5] 松本利映ら、特願 2015-103909
- [6] R. Matsumoto et al., APEX 8, 063007 (2015).
- [7] Y. Suzuki et al., Nanomagnetism and Spintronics 1st ed. (Amsterdam: Elsevier) Chap. 3, (2008).
- [8] R. Matsumoto et al., PRB 92, 140409(R) (2015).

共同研究項目「①-1-1- (エ) 高速スピン磁化反転の評価」のうち

実施期間:平成 23 年度～平成 27 年度

再委託先:大阪大学基礎工学研究科

研究の目的: 携帯情報端末の使用台数が年々増え続け、そのエネルギー消費量の増大が問題となりつつある。携帯情報端末向けプロセッサでは、典型的な使用状況で消費電力の70～90%をキャッシュメモリが消費している。キャッシュメモリを不揮発化することで、この消費電力を削減することが期待できる。そのためには、高速動作可能(最低10ns以下、理想的には5ns以下のアクセス時間)で低消費電力である不揮発スピンRAMを開発する必要がある。本共同研究課題は、上記課題の実現のために「①-1-1- (エ) 高速スピン磁化反転の評価」を行うことを目的としている。

各年度の成果:

○H23 年度

記憶素子の短パルス電流による磁化反転の評価および解析により、書き込み高速化の設計にフィードバックを行うことを目的として研究を行った。具体的な研究成果は以下のとおりである。

(a) 高速磁化反転新手法の開発

電圧誘起磁気異方性変化・交換結合磁界やアテンプト周波数制御などを用いた高速磁化反転の新手法を開発するために、H23年度には短パルスから長パルスに至る広帯域の統一的なスピン反転理論を構築した。この結果、アテンプト周波数が印可電流や磁場に依存するべきであることが明らかとなった。

(b) 高速スピン磁化反転の動作安定性確保

東芝、産総研で試作した高速・低消費スピン注入記憶素子の磁化反転特性をナノ秒オーダーの短パルスを用いて評価するための装置を導入し測定プログラムを作製した。また、素子の高周波特性を評価した。

○H24 年度

(a) 高速磁化反転新手法の開発

電圧誘起磁気異方性変化・交換結合磁界やアテンプト周波数制御などを用いた高速磁化反転の新手法を開発するために、H24年度には新手法の具体的な提案を行った。電圧効果を用いる新手法については特許を出願した。

(b) 高速スピン磁化反転の動作安定性確保

東芝、産総研で試作した高速・低消費スピン注入記憶素子の磁化反転特性をナノ秒オーダの短パルスを用いて評価することにより、高速・低電流で安定動作するための条件を明らかにすることを目的に研究を行った。H24年度には種々の書き込み条件で繰り返し書き込み評価を行い、反転電流の揺らぎやマイノリティーエラーの発生の有無を調べた。その結果、反転電流の揺らぎ幅はこれまでの理論と大まかな一致を示すもののダイナミック磁化反転領域では理論との一致が不十分であることが明らかになった(図2.1-58)。これまでの繰り返し測定の範囲ではマイノリティーエラーは発見されなかった。今後、より繰り返し回数を増やした実験が必要である。また、熱的な磁気ノイズスペクトルの測定から得たダンピング定数が反転電流およびその揺らぎの大きさの理解のために有用であることが分かった(図2.1-59)。

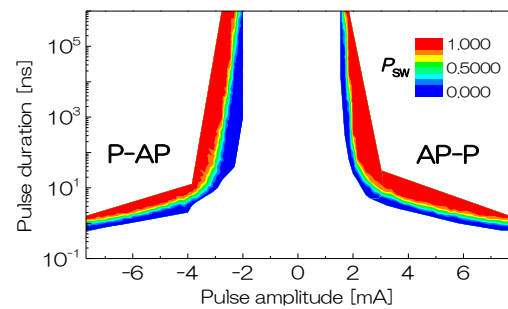


図 2.1-58 電流パルスによる磁化反転確率の測定例。横軸はパルス電流の大きさ、縦軸はパルスの長さ。赤は完全な反転、青は磁化が反転しないことに対応する。

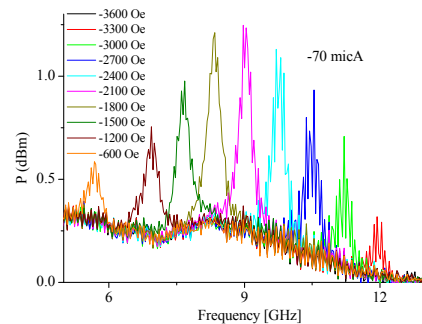


図 2.1-59 種々の外部磁場下におけるトンネル磁気抵抗素子のノイズ測定の例。横軸は測定周波数、縦軸はノイズ強度である。

○H25 年度

(a) 高速磁化反転新手法の開発

高速磁化反転の新手法である電圧誘起磁化反転については、素子を実際に実装した場合には熱揺らぎによる反転エラーが問題となると考えられる。そこで、この反転エラーを非常に小さくする素子の設計法を提案し、マクロマグネティックシミュレーションにより理論上エラーを 10^{-15} 以下に抑えられることを確認した。また、高速磁化反転のもう一つの新手法である高周波アシスト磁化反転のための発振器についてその特性を詳細に評価した。

(b) 高速スピン磁化反転の動作安定性確保

東芝、産総研で試作した高速・低消費スピン注入記憶素子の磁化反転特性をナノ秒オーダーの短パルスを用いて評価することにより、高速・低電流で安定動作するための条件を明らかにすることを目的に研究を行った。H25年度には特に素子サイズ依存性について評価した。その結果、直径が40nmより大きな素子ではマクロスピンモデルと実験結果の乖離が激しいが、40nm以下ではマクロスピンモデルにおいてノイズ測定から求めたダンピング定数(図2.1-60)を採用することにより実験結果をよく説明できることを見出した。また、直径が100nm以上の素子の磁化反転の実時間測定を行った。その結果、100nm以上の素子では反転開始から終了までにマクロスピンモデルの予想より長い時間がかかっていることを見出した。このことは、100nm以上の素子では磁化反転がドメインの形成と磁壁の移動を伴うとする見解と一致する(図2.1-61、図2.1-62)。また、磁化反転の開始までの時間はランダムに分布した。この分布は磁化反転のエラーの要因となりうるので、今後さらに詳しい解析を必要とする。また、100nm以下の直径の素子についても実時間測定をする必要がある。

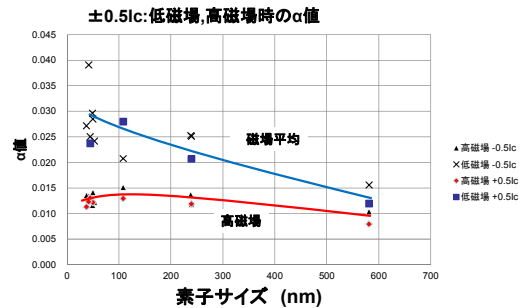


図 2.1-60 ギルバート緩和定数の素子サイズ依存性. 高磁場で測定すると素子サイズにあまり依存しない本質的な値が得られる. 異なるマークの測定点は異なる測定電流に対応する.

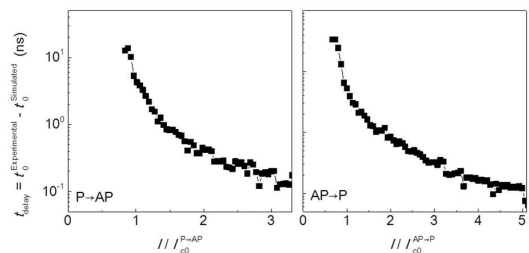


図 2.1-61 ダイナミック磁化反転においても磁化反転にはマクロマグネティックシミュレーションの結果に比べて長い時間が必要である. 上図において縦軸は実験で得られた反転時間とマクロマグネティックシミュレーションで求めた反転時間の差, 横軸は臨界電流で規格化した電流である. 100nm 以上の大きな素子における反転遅れの原因は反転時におけるドメインの形成であると考えられる.

○H26 年度

(a) 高速磁化反転新手法の開発

高速磁化反転の新手法である電圧誘起磁化反転について、スケーリングの解析を行った。その結果1x世代に適応するには1000fJ/Vm程度以上の電圧効果が必要であることが分かった。

また、高速磁化反転のもう一つの手法である高周波アシスト磁化反転のための発振器についてその特性の評価について東芝に協力した。

(b) 高速スピン磁化反転の動作安定性確保

東芝、産総研で試作した高速・低消費スピン注入記憶素子の磁化反転特性をナノ秒オーダの短パルスを用いて評価することにより、高速・低電流で安定動作するための条件を明らかにすることを目的に研究を行った。H26年度にはより小さな素子の磁化反転の実時間測定に注力した。そのために、まず、高抵抗素子の磁化反転過程を測定できる測定系の構築を行った。具体的には高速オシロスコープの前段に高周波アンプを挿入することにより数キロオームオーダの抵抗値を示す素子においても実時間の磁化反転信号を測定可能とすることに成功した。この測定系を用いて直径が60nmから100nmの素子の磁化反転過程の実時間測定を行った。その結果、磁化反転が生じる時間の予想以上の広がりや、実時間測定結果と数値シミュレーションの結果との乖離などいくつかの問題のある現象が見出された。(図2.1-63)

○H27 年度

(a) 高速磁化反転新手法の開発

電圧磁化反転方式に必要と考えられる1000 fJ/Vmの電圧効果を得るために、その理論的境界を考察した。その結果、Brunoの提唱した軌道角運動量の変化による磁気異方性を電子の注入により変調する場合の理論境界はd電子の場合

$$\frac{\Delta K}{Vld} \leq \lambda \frac{\varepsilon}{e} \approx 20,000 \left[\frac{fJ}{Vm} \right]$$

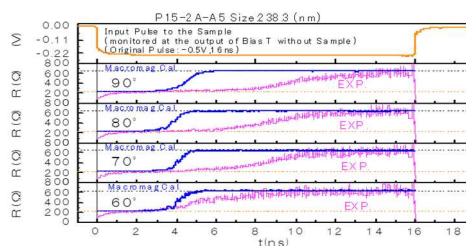


図 2.1-62 バイアス磁界を面直方向(90 度)から傾けることにより磁化反転の開始時間の遅れは無くなるが、反転には長い時間がかかる。上図において縦軸は素子の抵抗値で磁化の方向に対応する。横軸は電流を流し始めてからの経過時間。紫は実験結果。青はマクロマグネティクシミュレーションの結果。

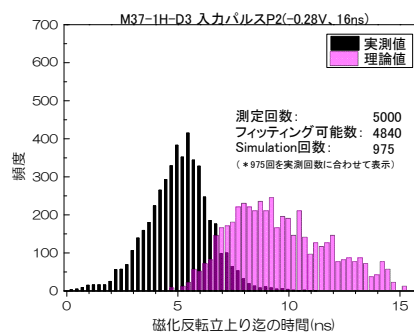


図 2.1-63 磁化反転の立ち上がり時間の分布。実測値(黒)がシミュレーション(紫)より早くなっている。

となり、実用的な効果は理論上不可能でないことが分かった。ここで、 λ はスピン軌道相互作用のエネルギー(3d強磁性元素では250meV程度)、 ϵ は絶縁体の誘電率(MgOでは真空の誘電率の約9倍)、 e は電気素量である。

また、高速磁化反転のもう一つの新手法である高周波アシスト磁化反転のための発振器についてその特性の評価について東芝に協力した。

(b) 高速スピン磁化反転の動作安定性確保

高速スピン磁化反転のエラーレートの直接的な測定のために高速に多数回の反転測定を繰り返す装置を開発し測定を行った。

MTJの性能評価の一つである、Spin注入磁化反転確率の測定にはこれまでメカニカルRF-SW(高周波スイッチ)を利用し測定していたが、2秒/テスト回以上の測定時間を必要とした。MTJがメモリとして製品化され実際に使われる環境においても十分な耐久性と信頼性を確保するための相応なテスト回数を限られた時間内に実施できるシステム構築が求められた。

具体的には半導体 RF-SW とオシロスコープを利用することで 1000 倍以上の測定速度を達成することを目指し図2.1-64に示すシステムを構築した。システムは以下の装置から構成されている。

- ① 任意波形発生器:Tektronix 社製 AFG3000
- ② 任意波形発生器:Tektronix 社製 AWG7000
- ③ 半導体 RF-SW とそのドライバ(自作):AnalogDeviceInc 社製 HMC547LP3
- ④ オシロスコープ:Keysight 社製 DSOX-3034A
- ⑤ アンプ(AWG7000 出力不足対応):Mini-Circuits 社製 ZX60-14012L+

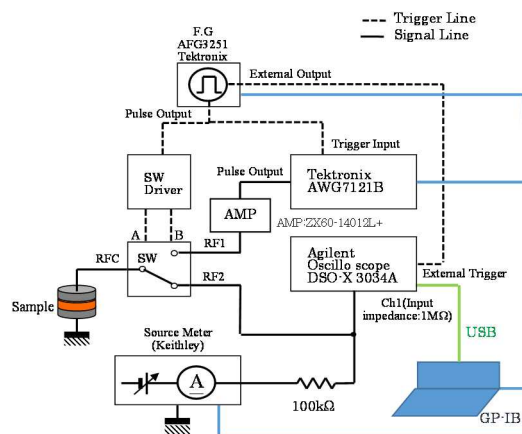


Fig.1

図 2.1-64 構築したトンネル磁気抵抗素子書き込み高速試験装置のシステムダイアグラム。

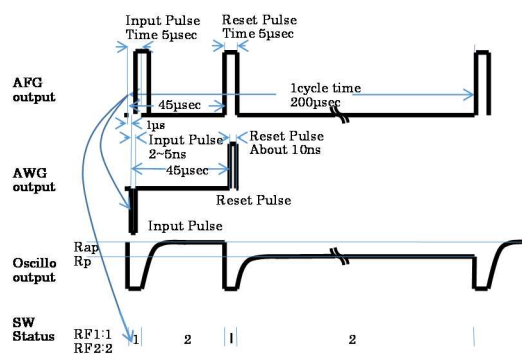


図 2.1-65 トンネル磁気抵抗素子書き込み高速試験装置のタイムチャート。

図 2.1-64 に示すように AFG3000 用、AWG7000 用パルスを PC 上で作成し、各機器へ自動ローディングすることでシステムは動作する。AWG にて発生させるパルスはトンネル磁気抵抗素子へ供給され、1 つのパルスの中に磁化反転用パルス(Input Pulse)とそれをリセットするパルス(Reset Pulse)で構成され、これで 1 回のテストが実行される。このテストが 200 μ sec 毎に連続 2000 回(1Burst)繰り返され 1Burst は完了する。更に必要テスト回数に到達するまで Burst 単位で繰り返す。

図 2.1-65 にはタイムチャートに示した。さらに、このシステムを駆動するソフトを自作することによりシステムとして約 1000 秒で 100 万回の測定を可能とした。

この装置を用いて東芝の素子を測定することにより、本プロジェクトの目標の達成を確認した。

(2) 目的に照らした達成状況(共同研究、再委託研究による成果を含む。)

本再委託研究の目的は「①-1-1- (エ) 高速スピン磁化反転の評価」のための手法を確立し、その評価を行うことにより(a) 高速磁化反転新手法の開発と(b) 高速スピン磁化反転の動作安定性確保に寄与することである。まず、評価手法の確立についてはノイズによるダンピング定数の評価法の確立、実時間測定による反転遅れの評価法の確立、さらに、高速繰り返し測定によるエラーレート評価法の確立とすべての面において目標を達成できたといえる。さらに(a) 高速磁化反転新手法の開発においては本研究における評価技術をもちいて東芝の提案する高周波アシスト書き込みの評価を効率的に行った。また、アシスト磁場の印加により反転遅れの問題が解消できることを示した。さらに、電圧印加による磁化の反転法について基本的な検討を行った。この方法については、H27 年度より科学技術振興機構の ImPACT プログラムのテーマとして取り上げられ現在実用化のための材料開発研究が進められている。(b) 高速スピン磁化反転の動作安定性確保については、ダンピングの問題や反転の時間分布の問題で素子が 50nm より小さくなると無くなっていくことを示した。また、高速度に磁化の反転確率を評価できるシステムを構築することにより実際の素子の高速磁化反転を確認できた。以上についてもすべて目標を達成している。

(1)-1 高速低消費不揮発メモリ システムによる携帯情報端末低電力化技術(担当:株式会社 東芝)

(オ)高速・低消費電力不揮発メモリアレイ回路の開発 (担当:東芝)

<23年度>

キャッシュメモリ候補の1つであるMRAM 単独型の不揮発性RAM 開発を行い、(1)-1(ア)～(エ)に該当する記憶素子技術開発で実現されるMTJ を用いることを想定した高速不揮発性RAM の新規セル構造を提案し、セル設計を完了した。新規セル構造は読み出し方式の異なる2種類を設計した。

<24年度>

SRAM の場合、メモリセル回路の内部にリーク電流のパスがあり、これが待機電力増大の理由となっている。これはノーマリーオン型回路であり、電源遮断なしには待機電力を減らすことが出来ない。そこで、MTJ を使ったリーク電流のパスが無い異なる4種類のメモリセルを設計した。また、前年度に設計を行った新規セル構造の1Mb 高速不揮発性RAM を65nm CMOS の設計ルールで試作した。この結果、メモリアレイのアクセス時間が、目標とする10nsec 以下となることを確認出来た(図2.1-66)。(①-1-2(ア) 関連あり)

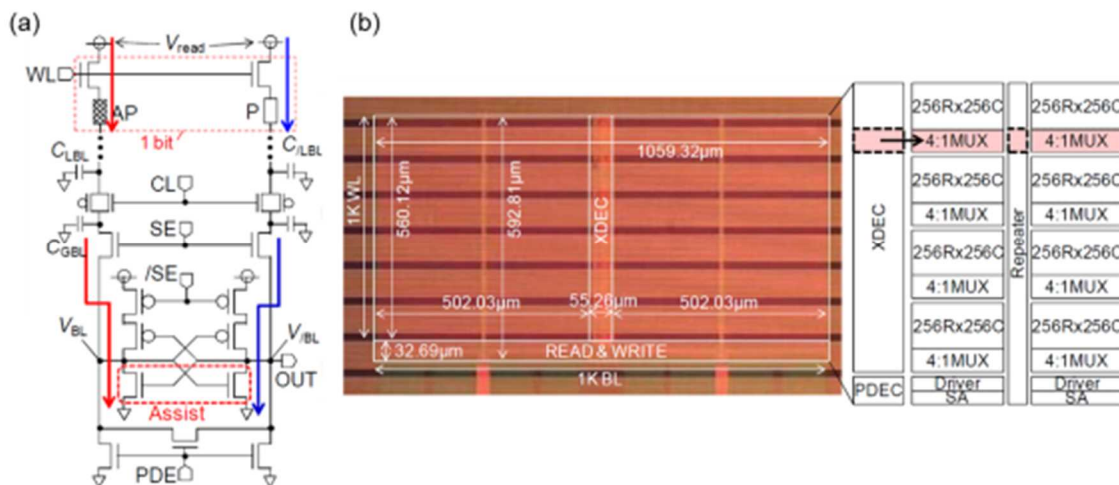


図 2.1-66 (a)提案した新規 1bit セル構造(MTJ とトランジスタを2個ずつ用いた回路)と読み出し回路、(b)試作した高速不揮発性RAM(65nm CMOS テクノロジ)のチップ写真とアレイ構成図

<25年度>

24年度に作製した高速不揮発性RAM のメモリアレイ領域上に、(1)-1(ア)～(エ)で開発した構造のMTJ 素子を作製し、アレイ回路で5ns 以下の高速動作基本動作を検証した(図2.1-67)。(①-1-2成果含む)これらの情報と回路シミュレーションにより、STT-MRAM を用いた高速不揮発性RAM のうち最も電力効率が高い回路方式がMTJ とトランジスタを2個ずつ用いた回路であると結論づけた。また、高速不揮発性RAM を用いることを想定したキャッシュメモリの上位設計を行った。

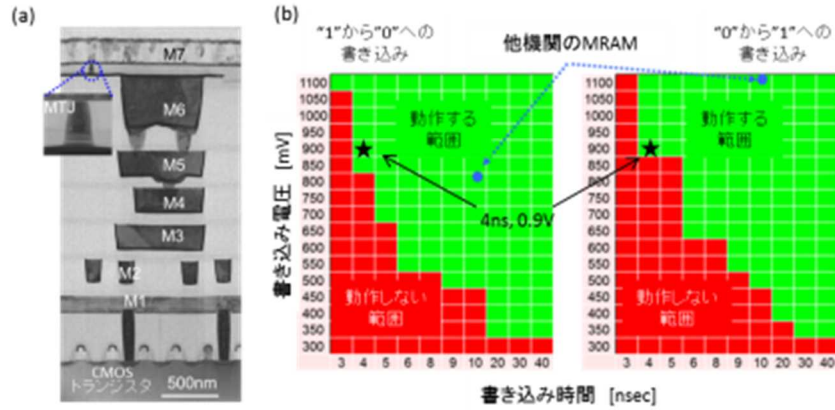


図2.1-67 (a)試作チップの断面写真、(b)試作した高速不揮発性RAM回路の動作特性

<26年度>

25年度に上位設計を行ったキャッシュロジックおよびインターフェース部の物理設計を行なった。さらに、後述する周辺回路・コントローラーの設計を反映させたキャッシュメモリ用メモリ回路設計を行い、本プロジェクトにおける第二回目の IC (65nm CMOS プロセス) を試作した。また、キャッシュメモリ領域上に MTJ 素子をインテグレーションするマスクを作製し、試作した IC 上へのプロセスを開始した。

<27年度>

26年度に試作した IC の4Mb キャッシュメモリ領域上への MTJ 素子作製プロセスを完了し、プロセッサと連動して動作させ、メモリアクセス時間は5ns 以下を実証した(図2.1-68)。また、より微細な CMOS テクノロジーを用いたメモリマクロ設計を行い、先端世代で大容量の高速不揮発性 RAM の読み出し速度、マクロ面積、消費電力を試算した。

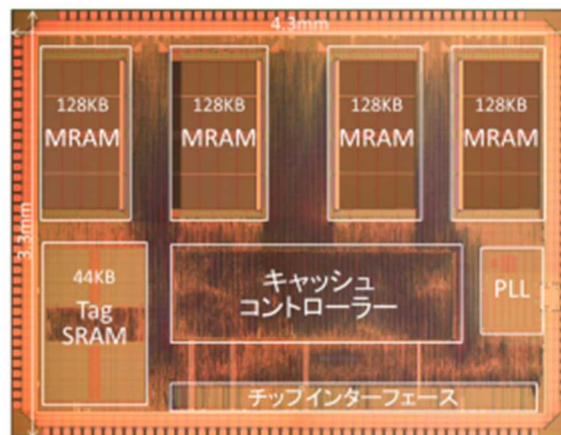


図 2.1-68 試作した 4Mb STT-MRAM キャッシュメモリのチップ写真

(1)-1-2 高速低消費不揮発キャッシュメモリ回路・システムの開発 (担当:東芝)

(ア)周辺回路の開発

<23年度>

高速不揮発性 RAM を構成する各要素回路の調査とコンセプト設計を行った。

<24年度>

高速不揮発性 RAM の読み出し回路・書き込み回路、セル選択するための回路などを設計し、(1)-1 (オ)のメモリアレイ回路と一緒に試作した。これらの設計最適化により10ns 以下のアクセス時間が達成できた。

<25年度>

(1)-1 (オ)のメモリセルの周辺回路として、高速の読み出し回路・書き込み回路、セル選択するための回路などを設計し、上記メモリアレイ回路と一緒に試作した。これらの設計最適化により、5ns 以下のアクセス時間が達成できた。

<26年度>

キャッシュメモリへの実際の応用を想定し、これまでに開発した MTJ とトランジスタを2個ずつ用いた回路をベースにしたデータの信頼性を向上させるエラー訂正回路技術を開発した。また、周辺回路が消費する電力を削減するため、メモリアレイを複数領域に分割しそれぞれ高速に電源遮断/復帰を制御できる回路を開発した。これにより従来の SRAM ベースのキャッシュメモリと比較して消費電力を80%削減できることを示した(図2.1-69)。

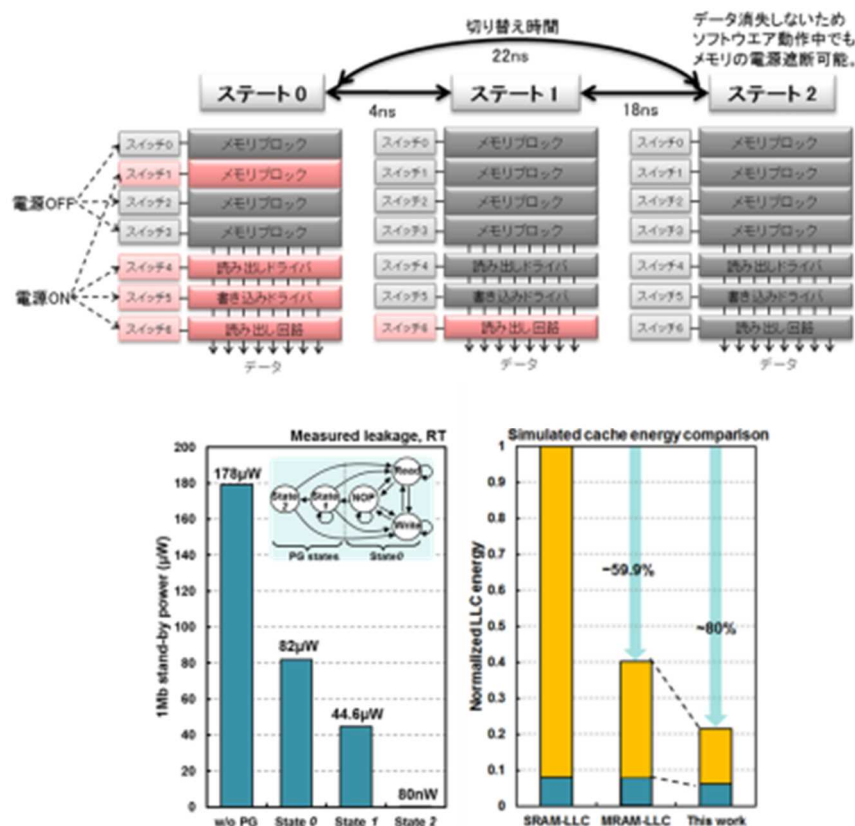


図 2.1-69 上:キャッシュメモリ回路の高速電源遮断/復帰制御の解説、
下:低消費電力効果の試算

<27年度>

前年度の成果からさらに周辺回路をノーマリーオフ動作状態に近づけるため、メモリアクセス状態に応じて動作に必要な部分以外は高速で電源遮断できるように改良した。書き込み動作時の電力を削減するために、Read-modify-write を実装し、書き込みを行うビット数を削減する回路を実現した。書き込みエラーを低減するための再書き込み時にも書き込みを行うビット数を削減するために、Write-verify-write を実装した。また、効率的な電源遮断のために、メモリアクセスパターンをモニターして次のアクセスパターンを高い確率で予測するアルゴリズムを開発し(②-2成果)、メモリ制御回路に内蔵した(図2.1-70)。これらの技術により、従来の SRAM ベースのキャッシュメモリと比較して消費電力を10分の1以下(1/20)まで削減できることを実証した。

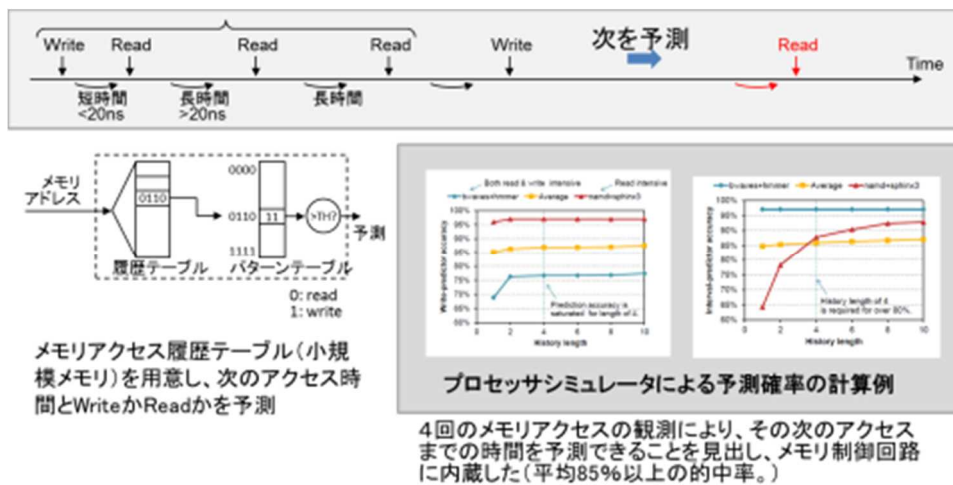


図 2.1-70 提案した投機的電源遮断の仕組み

(イ) 高速インターフェース回路の開発

<23年度>

各要素回路の調査とコンセプト設計を行った。

<24年度>

並列直列変換回路と、高速ラッチ回路を組み合わせることにより、不揮発キャッシュ用の高速インターフェース回路を、量産技術として開発されているマイクロバンプまたは基板貫通電極(TSV)接続による積層構造を用いて検討した。TSVのサイズが40~50umと大きいため、インターフェースに使えるTSVが数千本程度のため、並列度を4倍程度に高めることが必要ということなどを明らかにした。

<25年度>

キャッシュのロジック部とプロセッサを接続する回路の詳細設計を行った。さらに、メモリの状態に応じて電源遮断する速度とタイミングを可変にできる新しい高速電源遮断回路の理論的な設計も行った。

<26年度>

前年度に設計した回路を東芝大分工場の65nm標準CMOSロジック回路にて製造するためのガラスマスク

設計を外注業者に委託して行った。CMOS製造完了後、インターフェース部の動作機能チェックを300mmウエファーテスタで行い、シミュレーション通り動作することを確認した。

<27年度>

MRAMメモリをCMOS上にインテグレーションした後に、メモリチップとしてパッケージ完了後、ARMプロセッサと連動させて動作実証を行った(図2.1-71)。また、高速電源遮断回路も設計通り動作し(図2.1-69、図2.1-70)の動作も実証することに成功した。



図 2.1-71 :4Mb-STT-MRAM キャッシュメモリとプロセッサチップの連動動作のデモ

(ウ) ノーマリーオフコンピューティング動作のためのメモリ階層化構造の開発

<23年度>

(ウ)は、②-2の研究とのオーバラップ領域である。②-2の研究成果を①につなげる位置づけとなる。まず、シミュレーションツールを用いて L2キャッシュメモリを備えたシステムの実行状況およびメモリアクセス状況(頻度)をトレース可能な環境を構築し、アプリケーションを動作させた場合のシステム評価を行った。

<24年度>

①-1-1(オ)で開発したノーマリーオフ型メモリセルを使うと、待機時に自動的に電力がほぼ0にできることを前提に、メモリ階層構造を構築した。メモリセルにアクセスが無いときには、メモリセル内部は電源が遮断されているのと等価であり、このため0 nsで電源を0n/Offすることが可能となる。この高速電源遮断の効果を織り込んで、メモリ階層化構造を再設計し、キャッシュメモリ部の電源ドメインを再分割し、100 ns未満の時間での細かな電源管理を行うことで、復帰時間をさらに高速化させ、無駄な電力消費を減らす技術の検討を行った。この結果、電源遮断の手順を従来の手順(メモリ階層の上から順に遮断していく)と変えることでより消費電力を低下できることが分かった。

<25年度>

メモリ階層ごとにSRAMとMRAMをどう使い分けるべきかの検討を前年度に継続して行い、詳細な分析を行った。上記のキャッシュメモリの研究成果と、後述の②の成果を盛り込んで、詳細に検討した結果、当初の予測通りSTT-MRAMを用いた最下層キャッシュ(Last Level Cache)キャッシュと、SRAMを用いたそれ以外の階層のキャッシュとすることが、エネルギー効率が一番高いことも確認した。これらを分析すると、当初の計画通りのMTJ性能が最終年度に得られれば、それに合わせた回路と電源遮断方法を適応することで、広範囲のアプリケーションで消費電力を10分の1以下にすることが十分可能という見通しが得られた。これにより中間目標は達成された。

また翌年度②で計画されているAdaptiveメモリを実現するために、メモリの容量と動作速度を可変にできる新しいSTT-MRAM回路を設計した。

<26年度>

前年度までシングルコアプロセッサが中心の研究開発であったが、平成26年度は実際に使われているモバイルプロセッサに即したマルチコアベースでのプロセッサでのメモリ階層構造を設計し、動作のシミュレーション解析を行った。これをもとに、キャッシュメモリにSRAMとMRAMをハイブリッドで使い分ける最適なメモリ階層に関して、ブレークイーブンタイムを指標に選択する方法を構築した。

<27年度>

上記のブレークイーブンタイムに関して、STT-MRAMの省電力性能別にメモリ階層をどう構成すべきかをMRAMキャッシュメモリベースのプロセッサシミュレータを用いて、種々のベンチマークソフトを動作させて定量化し、比較した。(図:②-2とオーバーラップした研究成果。)その結果、①-1で開発された高性能STT-MRAM(advanced STT-MRAM)では、プロセッサ周波数の高いハイエンド系でも、広い範囲でSRAMよりも優位であることを明確化した。この分析をもとに、メモリ階層としては、キャッシュメモリの最下層であるLast level cache(LLC)、またはその上のキャッシュメモリ含めたところまで、STT-MRAMを適用することが最も省電力性能が優位となることを裏づけることができた。

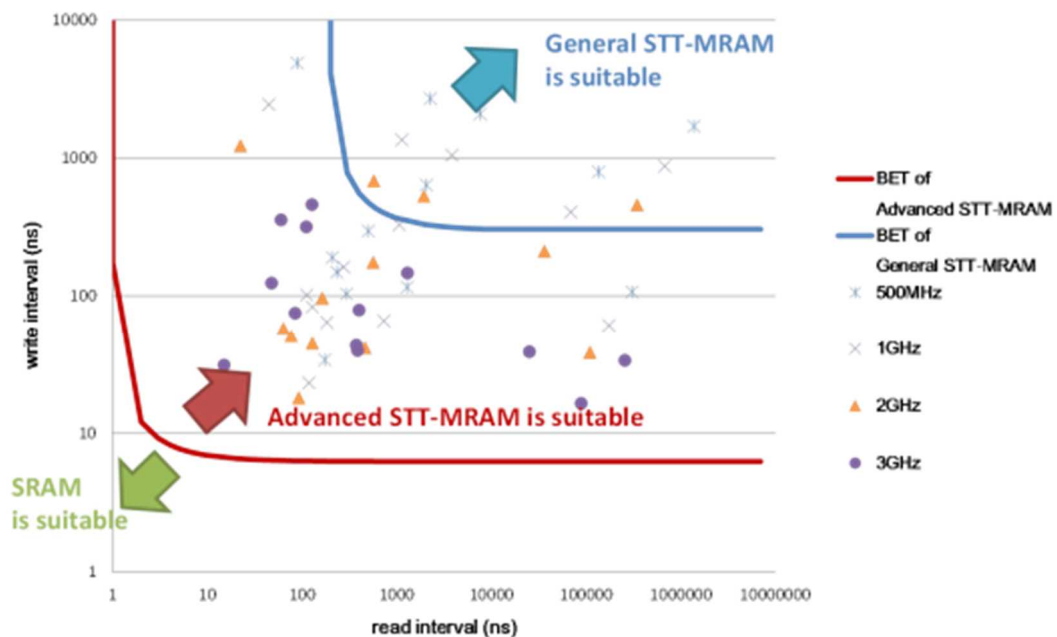


図 2.1-72 :キャッシュメモリへの read/write アクセス頻度と省電力性能ブレークイーブンタイムの関係

2.2 ①-2 スマートシティ・センサーネットワーク低電力化技術

(担当:ルネサスエレクトロニクス株式会社)

ルネサスエレクトロニクスは、次世代不揮発性素子を活用した電力制御技術の開発として、スマートシティ・センサーネットワーク低電力化技術の開発を実施した。センサーネットワーク応用にノーマリーオフコンピューティング技術を導入し、所望の低電力効果を得るためにはデータ処理を行うマイクロコントローラ(MCU)のみならず、環境を監視するためのセンサーの電気特性や電池駆動の場合には電池放電特性まで考慮を入れて制御方式を構築していく必要がある。またこの効果を実際アプリケーションに適用し実証する必要がある。ここではこれら技術開発の成果をまとめる。

①-2-1 センサー特性評価・センサー応用技術

(担当:ルネサスエレクトロニクス株式会社、再委託先:立命館大学)

センサーネットワーク応用においてシステム電力を最小化するためには、センサー単体での動作電力特性を把握することが必要である。まず平成 23 年度から、センサーを含む要素技術調査を実施し、調査で得た知見をもとに、NoFF 評価ボードについて基本・詳細仕様を策定した。さらに現状のセンサー技術と技術動向を調査し、センサー拡張ボードに搭載するセンサー候補一次選定を行った。ノーマリーオフ動作を適用した場合のセンサー特性への影響、損益分岐時間測定、電力を考慮したセンサー応用技術開発に対応したセンサー拡張ボード仕様の作成を、再委託先である立命館大学と行った。

平成 24 年度からは、平成 23 年度に選定したセンサーを搭載したセンサー拡張ボードの設計・試作を完了し、温度センサーと湿度センサーのセンサー電力評価を行った。代表的センサーである温度センサーと湿度センサーについて、電源 ON・OFF 動作がセンサー特性に及ぼす影響評価および損益分岐時間測定を行った。本特性評価において、ノーマリーオフ電源制御の重要なパラメータである損益分岐時間が周囲環境により変動するという知見を得ることができた。

表 2.2-1 に測定を行ったセンサー一覧を示す。

表 2.2-1 測定対象センサー一覧

センサ種類	外観	メーカ/型名	仕様・性能	電源 / ON時間
人感センサー-1		日本セラミック TS-3NAU	出力: 2.9mV _{o-p} @43.54mW/cm ² 視野角: 111°	電源不要 N.A.
人感センサー-2		パナソニック AMN21111	検出距離: 5m 視野角: 100° × 82°	5V, 300μA 45s
加速度センサ		Analog Devices ADXL335	3軸、±3g、感度300mV/g、帯域 XY軸0.5~1600Hz、Z軸0.5~550Hz	3V, 350μA 1ms
温度センサ		ROHM BD1020HFV	感度: -8.2mV/°C 計測温度範囲: -30~100°C	3V, 4μA 5s
湿度センサ		TDK CHS-SS	測定範囲: 20 to 85%RH 公称精度: ±5%RH	5V, 0.6mA 1min
照度センサ		ROHM BH1600FVC	光電流: 60μA/100lx ピーク波長: 560nm	3V, 90μA 128μs
IRアレイセンサー		Panasonic AMG8832	視野角: 60° 画素数: 8 × 8	3.3V, 4.5mA 15s
CMOSセンサ		日本ケミコン NCM03-S	信号画素数: 640(H) × 480(V)	2.8V, 45mW N.A.

以下に具体例として電力測定を行ったセンサーの測定結果を示す。

(1)温度センサー

図 2.2-1 に温度センサーの動作電流と電源立上げ時のオーバーヘッド電流の測定結果を示す(測定対象デバイスはローム社温度センサーBD1020HFV)。図に示されるように、センサー電源立上げ時に定常電流よりはるかに大きな突入電流が流れることが確認できた。この電流値を積分した結果、オーバーヘッドによる消費電荷は 0.18uC であった。オーバーヘッドによる電荷量と定常電流をもとに、温度センサーを周期的に電源遮断した場合の消費電力削減率を図 2.2-2 に示す。この図から本センサーの損益分岐時間(BET)は 42ms であることがわかる。つまり、本センサーを使用しない期間が 42ms 以上の場合は未使用時に電源遮断することで電力削減可能になるということになる。また、温度により損益分岐点となる BET 値(BET: Break Even Time)の変動があることを確認できた。センサー用アナログ回路の電源を OFF→ON した場合、今回測定した回路ではアナログ回路出力安定

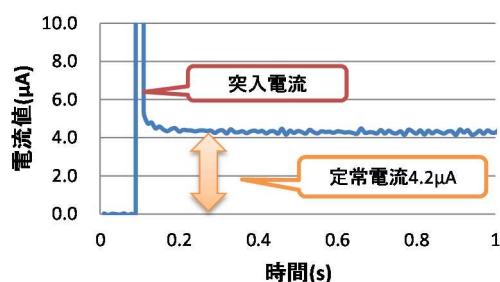


図 2.2-1 温度センサーの消費電流測定結果

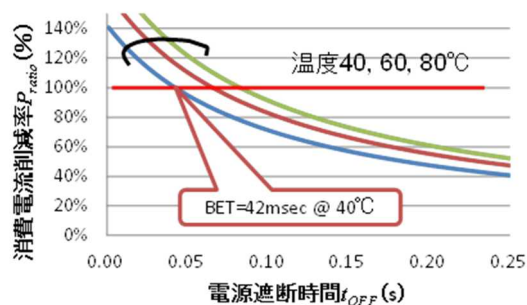


図 2.2-2 温度センサーの損益分岐時間

時間に 50ms を要する(図 2.2-3)。従ってセンサーとアナログ回路に対するノーマリーオフ電源制御では、これらを考慮した起動シーケンスを検討し、組み込みを行う必要があることがわかった。

温度センサ(40°C)	
アナログ出力安定時間 t_{stable}	50ms
動作電流値 I_{active}	4.2 μ A
突入電流積分値 Q_{in}	0.18 μ C

図 2.2-3 温度センサー特性

(2) 湿度センサー

図 2.2-4 に湿度センサーの動作電流と電源立上げ時のオーバーヘッド電流の測定結果を示す(測定対象デバイスは TDK 社湿度センサーCHS-SS)。図に示されるように、センサー電源立上げ時に定常電流の3倍の突入電流が流れることが確認された。この電流値を積分した結果、オーバーヘッドによる電荷は 1.0 μ C であった。オーバーヘッドによる電荷量と定常電流をもとに、湿度センサーを周期的に電源遮断した場合の消費電力削減率を図 2.2-5 に示す。この図から本センサーの損益分岐時間(BET)は 6.9ms(@湿度 40%)であり、温度センサーに比べて 1/6 と短い。一方、センサー用アナログ回路の電源を OFF→ON した場合、今回測定した回路ではアナログ回路出力安定時間に 1500ms と非常に長い時間を要することがわかった(図 2.2-6)。

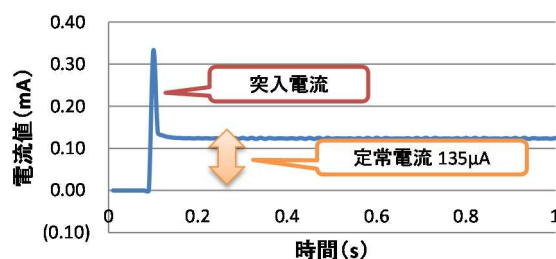


図 2.2-4 湿度センサーの消費電流測定結果

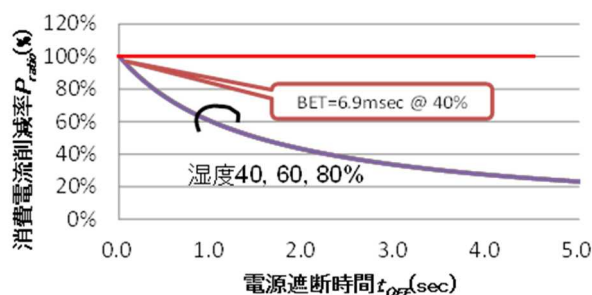


図 2.2-5 湿度センサーの損益分岐時間

湿度センサ(40%)	
アナログ出力安定時間 t_{stable}	1500ms
動作電流値 I_{active}	135 μ A
突入電流積分値 Q_{in}	1 μ C

図 2.2-6 湿度センサー特性

以上と同様な手法を持って人感センサー、照度センサー、3 軸センサーについても測定を行った。オーバーヘッドエネルギーおよび損益分岐時間をまとめたものを図 2.2-7 に示す。

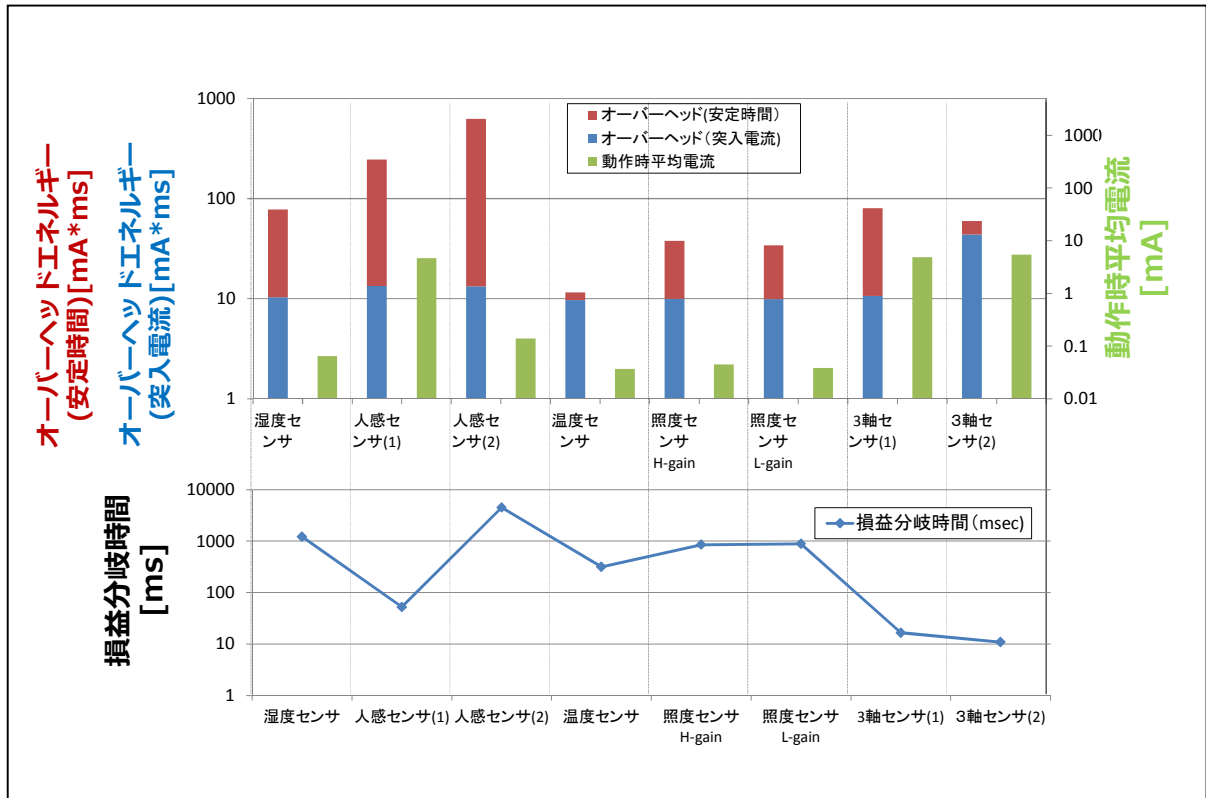


図 2.2-7 センサーBET 評価

図 2.2-7 に挙げた BET 特性はセンサーネットワーク応用におけるノーマリーオフ動作を行う際に重要なパラメータとなる。これらの特性を反映したソフトドライバ群を作成・適用することで、実システムにおいてエネルギー面で最適なセンサー駆動が可能となる。これら最適制御をするための Noff センサードライバの試作を完了した。電力プロファイル評価環境で Noff センサードライバによりセンサーとセンサー後段チップの消費電力を約 10%低減できることを確認した。今回のセンサー特性評価の結果を踏まえ応用面からセンサーを 2 グループに分類した。一つはサンプリング周期が短く(ミリ秒単位) 且つセンサー出力に応じたサンプリング周期変更も想定される加速度センサー、他方はサンプリング周期が長く(1 秒以上) 一定で用いられる温度センサーに代表されるものである。以降で述べる自律適応型電源制御技術(Noff 制御チップに実装)と Noff センサードライバ技術による消費電力削減効果を評価では、加速度センサーの場合、加速度値に依存するがおよそ 50%から最大 95%の電力低減効果を確認している。また、サンプリング周期が長いセンサーについては、電源制御技術と Noff センサードライバ技術による効果に加えてサンプリング周期とセンサーから取得したデータに対するまとめ処理頻度を最適化することで、温度センサーの場合、90%まで削減できることを確認している。

①-2-2 電源制御技術（担当：ルネサスエレクトロニクス株式会社）

ノーマリーオフ技術の適用によりエネルギー最適化を図る上でマイクロコントローラ(MCU)の電源制御技術の開発に取り組んだ。

まずセンサーを含む要素技術調査を実施し、調査で得た知見をもとに、NoFF 電源制御技術について基本・詳細仕様の策定を行った。具体的にはセンサーノードシステムの電源制御技術として、各構成要素のBETを用いることにより、柔軟性と高いユーザビリティを備えた自律適応型電源制御機構を考案し仕様策定を完了した。

本テーマの課題は、CPU に限定することなく、広くセンサーノードを構成するために必要なデバイス個々の損益分岐時間を考慮し、最適な電源制御を実現することである。この課題に対して、2つの新規アイデアを提案する。1つめは、損益分岐時間を考慮した自律的スタンバイモード選択技術、2つめはダイナミックタスクスケジューリング技術である。これらのアイデアによって、ターゲット分野であるセンサーネットワークにおけるマルチセンサー環境でのエネルギー最適化、および、適用の容易性によるユーザビリティ向上が期待できる。以下に2つのアイデアの詳細を述べる。

(a)自律的スタンバイモード遷移技術

マイクロコントローラ(MCU)の低消費電力化技術の進展には、様々な試みがなされており、図 2.2-8 に示されるように、以下に大別される。

- CPU の低消費/高性能化による CPU 稼働時間の短縮
- 複数のスタンバイモード設定による待機時電力の最小化
- 周辺回路のインテリジェント化による CPU 稼働時間の短縮および起動回数の削減
- 起動時間短縮による、無駄な動作時間の最小化

これらは全てスタンバイモードを効率よく利用する低消費電力化技術である。すなわち、消費電力がより小さなスタンバイモードに可能な限り長い期間遷移することができるようにすることと、スタンバイ⇄アクティブの状態遷移時のオーバーヘッドを低減することによって、消費エネルギーを小さくすることを目的としている。

ソフトウェア開発時にはリアルタイムで各動作時の消費電力を確認しながら無駄を省いていく作業が可能な開発環境も普及しつつあり、MCU が稼働しなければならない以外の時間は MCU の電源遮断も含めたスタンバイモードに遷移してエネルギーの最小化を図る。

しかしながら、複数あるスタンバイモードの中で、どのモードに入るのが最適かは、ソフトウェア開発時にトライアンドエラーが必要となる上、デバイスの変更や使用条件の変更に伴って再設定が必要であり、ソフトウェアの再利用性を低下させる要因となる。

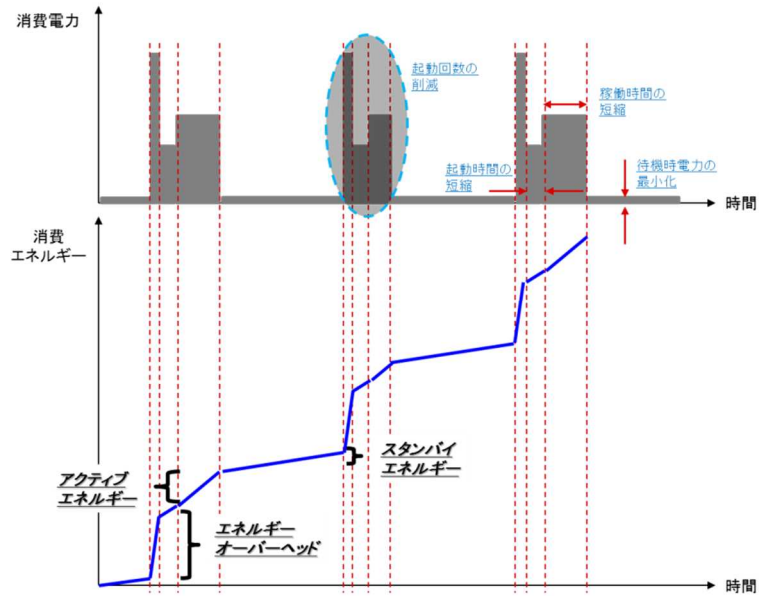


図 2.2-8 CPU の消費エネルギーおよび低減技術

従来から進められている MCU の低消費電力化技術の効果を最大限発揮させるために、今回提案する自律的スタンバイモード遷移技術はハードウェアおよびソフトウェアの制約条件を数値化し、実行中のタスクが終了した場合に消費エネルギーが最小となるようルール化し、スタンバイモードを自律的に選択および遷移を行うことができる技術である。

最適なスタンバイモードを選択するためにはハードウェア側、ソフトウェア側双方の制約条件を理解することが必要である。ハードウェア側の制約としては、デバイスおよび各スタンバイモードに固有の待機時消費電力とスタンバイ⇄アクティブの状態遷移時のエネルギーオーバーヘッドから導出される損益分岐時間である。また、ソフトウェア側の制約としてはアプリケーションに依存する待機時間である。

図 2.2-9 は MCU に搭載される各スタンバイモードから復帰する場合のエネルギーオーバーヘッドと各スタンバイモード時の消費エネルギーとを模式的に表したものである。デバイスに対する電源遮断のように消費エネルギーは非常に少ないが、復帰時のオーバーヘッドが非常に大きいモードから、復帰は容易だが消費エネルギーがあまり削減されない IDLE モードまで様々なケースが存在する。グラフ中の交点は各スタンバイモードの損益分岐時間を示しており、ソフトウェアの要請による待機時間がこれを超える場合には、より深いスタンバイモードへ遷移する方がエネルギー的に有利であることを示す。

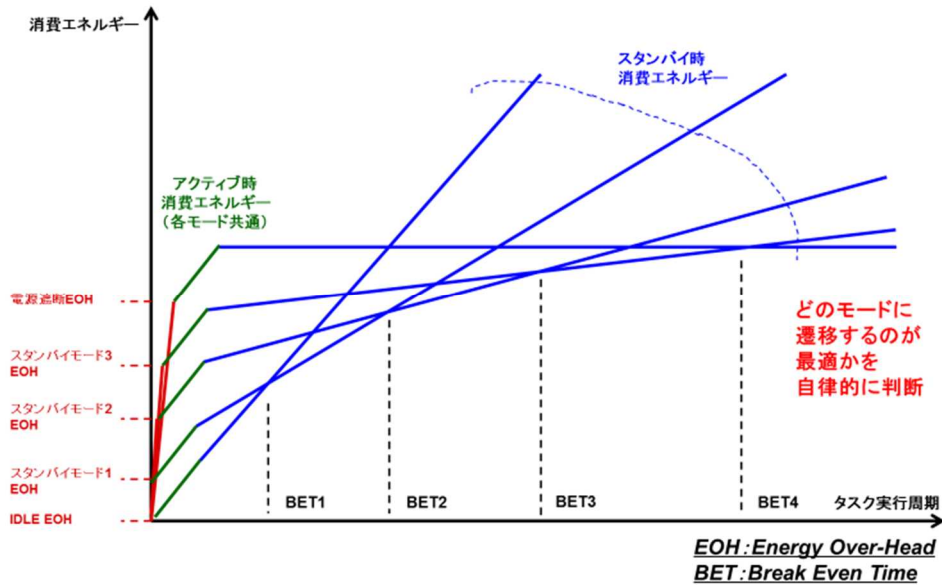


図 2.2-9 各スタンバイモードの損益分岐時間

(b)ダイナミックタスクスケジューリング技術 (集中研と連携)

実際にはMCU上で実行されるタスクは複数存在し、アプリケーションからの要請に応じて実行周期や処理に要する負荷、タスク完了の期限等、それぞれ個別の制約条件を持っている。特に、スマートシティ向けセンサーネットワークシステムにおいて、センシングポイントに配置される各ノードは複数種のセンサーで構成されることが多く、それらは電気特性、インターフェイス、センシング情報を有意とするための処理内容等が全く異なっていることが想定される。このようなシステムで消費エネルギーを最小とするソフトウェアの開発を行うには非常に多くの工数が必要となる。

今回提案するダイナミックタスクスケジューリング機構は、実行するタスクに予めユーザが起動猶予時間を付与し、その制約時間内で他のタスクと連続的に実行させることができる時刻までタスク実行開始を自律的にシフトさせる技術である。この機構を適用することでデバイスのスタンバイ⇄アクティブの遷移回数を削減し、遷移時に発生するエネルギーオーバーヘッドを削減することができる。

さらに、前述した自律的スタンバイモード選択機構と組み合わせることで消費エネルギーの削減が可能となる。すなわち、タスク実行開始時刻のシフトにより連続的にスタンバイモードを維持できる時間が増加するため、より深いスタンバイモードへの遷移が可能となる。

図2.2-10にダイナミックタスクスケジューリング技術の概念図を示す。この例では、同じ周期のTaskAとTaskBの2つのタスクを処理する場合の例を示している。スケジューリングを行わない場合はTaskAとTaskBの間隔がサイクル周期の半分 $T_{\text{cycle}}/2$ になる。図に示すようにこの間隔がCPUの損益分岐時間 ($T_{\text{bet_cpu}}$)より小さい場合はエネルギー的に損なため電源遮断を行わない。

一方、タスクスケジューリングを適用した場合は、TaskAの起動猶予時間を利用してTaskBと連続的に実行可能となるようTaskAの開始時間をシフトする。次のタスク開始までの時間 (T_{remain}) が損益分岐時間 ($T_{\text{bet_cpu}}$)より長くすることができるためCPUの電源遮断が可能となる。スタンバイ時に消費する電力をPSTBY、電源遮断からの復帰に要するエネルギーオーバーヘッドをEOHとすると、

$$E_{\text{reduced}} = \text{PSTBY} \times T_{\text{remain}} - \text{EOH}$$

のエネルギーが削減可能となる。

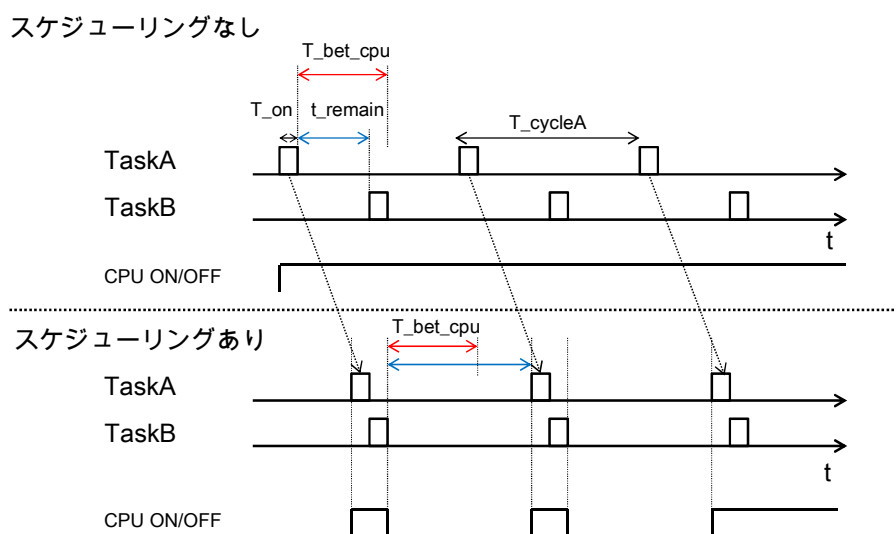


図 2.2-10 タスクスケジューリング概念図

今回提案の制御方式を適用することで消費エネルギー削減効果以外に下記の利点が得られることが想定される。

・ソフトウェア開発負荷低減

センサーネットワーク向けのセンサーノードには複数のセンサーが搭載される場合が多く、センサーデバイスの損益分岐時間や、センシングしたい情報によりデータ取得の周期や、演算に要する負荷などが大きく異なることが予想される。このようなシステムの消費エネルギーを最小化するにはソフトウェア開発時にトライアンドエラーを繰り返さざるをえず、大きな開発負荷が発生する。今回提案の機構を適用することで、各センシング情報に対応したタスクを独立に開発することができ、開発負荷低減を図ることができると同時に、アプリケーションの制約を満たしながら、自律的に消費エネルギーの最小化を行うことができる。

・ソフトウェア再利用性の向上

システム更新時に MCU やセンサーのデバイスのアップグレードを行う場合が想定される。使用するハードウェアに合わせて、エネルギー最小化に向けたチューニングを行っているソフトウェアでは、デバイス変更時に再度最適化を行う必要があり、ソフトウェアの再利用性が大きく損なわれるリスクがある。今回提案の機構を適用すれば、損益分岐時間等のハードウェア制約情報が数値化されているため、パラメータセットの変更を行うだけで、自律的に消費エネルギー最小化を行うことが可能となる。

・ハードウェア/ソフトウェア情報の最適化

各地に配置されたセンサーノードに対し、通信手段等を介しパラメータセットの変更を行うことができる。こ

これは測定周期や測定環境が当初想定していたものと異なる場合に実施可能であり、更なる消費エネルギー削減に対応することが可能となる。

本自律適応型電源制御機構についてはの試作設計を行い、「①-2-3 センサーノードシステム電力プロファイル評価環境」で開発する Noff 評価ボード上の MCU および FPGA に実装して提案方式の有効性確認を行った。結果については「①-2-4 センサーノード低電力化技術統合評価」にて述べる。

①-2-3 センサーノードシステム電力プロファイル評価環境

(担当:ルネサスエレクトロニクス株式会社)

(a) 目的

事業概要の章で述べたように、ノーマリーオフコンピューティング基盤技術開発においては、アルゴリズム～基本ソフトウェア～アーキテクチャの多岐にわたるシステム階層間の協調動作と最適化を追求する。

このようにアプリケーションレイヤから物理レイヤまで幅広いレイヤから成るシステムにおける最適化の達成度合い、すなわち、エネルギー削減効果を実証するためには、以下の要件を備えた評価環境が必要である。

1. アルゴリズム、基本ソフトウェア、集中研②-1と連携したアーキテクチャのさまざまな形態の具現化に対応可能な環境であること。
2. 電流測定軸、および、時間軸の両方において高い分解能と広いダイナミックレンジを有すること。
3. スマートシティ対応センサーノード向けに開発する Noff アーキテクチャ技術の有効性を実アプリケーションで評価可能であること。

(b) 実現した機能

平成 23 年度から、センサーノードを構成する各要素の技術調査を実施し、調査で得た知見をもとに、Noff 評価ボードについて基本仕様を策定し、継続して詳細仕様を検討した。平成 24 年度は、Noff 評価ボード、不揮発 RAM 拡張ボード、センサー拡張ボード、及び Noff 制御チップ (FPGA を使用) を組み合わせた環境で電力プロファイルを評価・解析するための各ソフトウェアの仕様を策定した。図 2-11 に Noff 評価ボードの概要を示す。

『Noff 評価ボード』は 1) CPU や FPGA を搭載したメインボード、2) 電源供給、および、電流測定をする電源供給・電流測定ボード、3) センサー拡張ボード、および、メモリ拡張ボード、無線拡張ボードなどの各種拡張ボード、から構成されている。

この環境によって実現した機能は以下の通りである。

1. 10uA～500mA までの電流測定レンジ
2. 各電流測定レンジにおいて 1/4096 の分解能。最小電流測定分解能は 2.4 nA。
3. 測定電流の積分機能によるエネルギー測定機能
4. 電流測定における 1uS/s の時間分解能

5. 3つのCPUによる各種階層CPUアーキテクチャの実現とエネルギー測定機能
6. FPGAによる電源制御、メモリ管理方式、アルゴリズムの試行環境およびエネルギー測定機能
7. センサー拡張ボードによる各種センサーの消費エネルギーおよび、ON/OFFオーバーヘッド測定機能
8. メモリ拡張ボードによる各種不揮発メモリの消費エネルギー、および、ON/OFFオーバーヘッド測定機能
9. 無線拡張ボードによる各種無線モジュールの消費エネルギー、および、ON/OFFオーバーヘッド測定機能
10. システム動作ステータスと消費電流測定結果の突合せ解析機能

図 2.2-12 に作成した Noff 評価ボード写真を示す。

本環境を用いることで電源制御方式を適用したセンサーノードの消費エネルギー等を測定可能である。

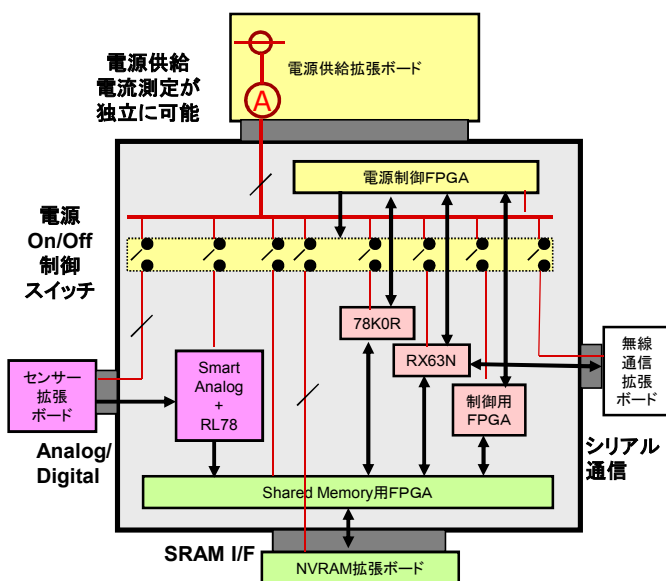


図 2.2-11 Noff 評価ボード概要

システムステータスと消費電流値をリンクして測定結果を取得

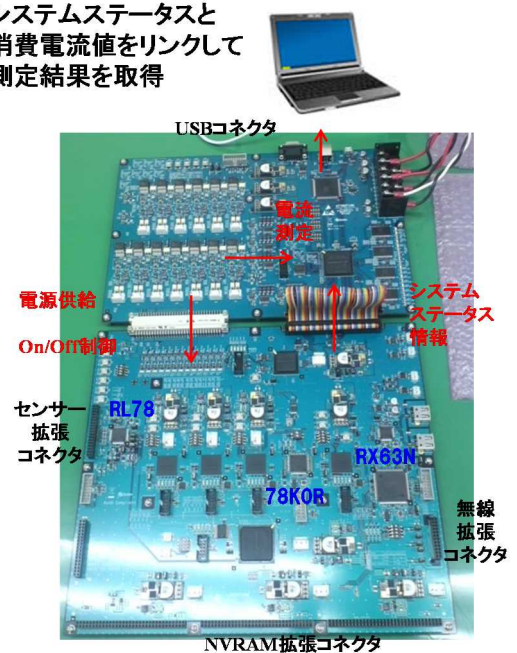


図 2.2-12 Noff 評価ボード写真

図 2.2-13 は測定環境を用いて評価した Noff 評価ボード上の各種デバイス(温度センサー、3種類の MCU(RX63N、RL78、78K0R))のセンサーノード動作電力プロファイルの例である。

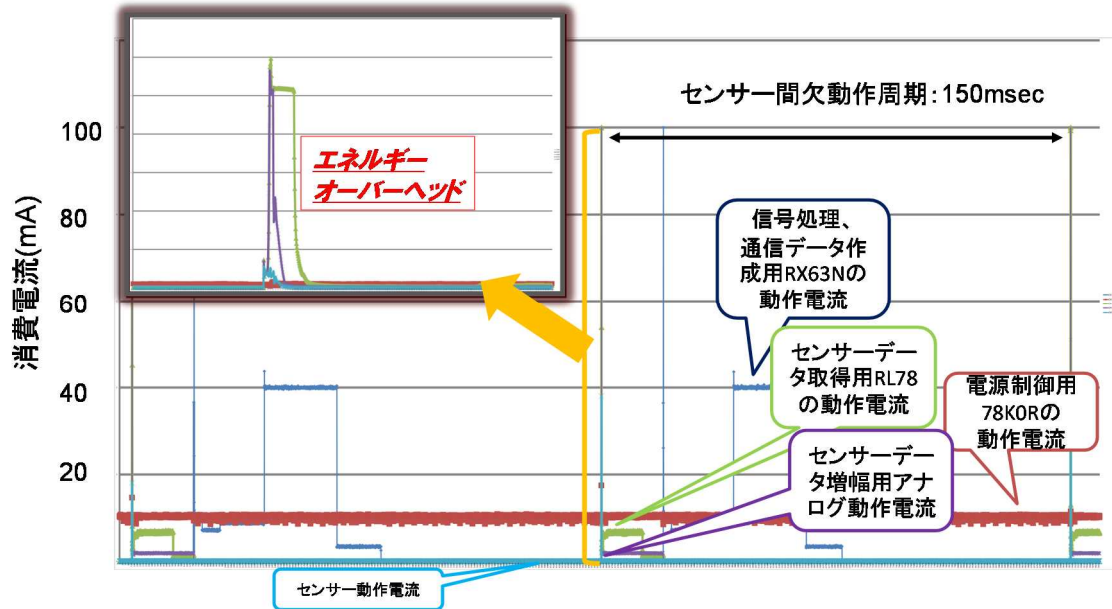


図 2.2-13 各種デバイス電流測定結果

これら電力プロファイルを評価するためのソフトウェア設計を行うとともに、センサー評価に向けて、Noff モニタ、Noff センサードライバ、センサーNoff-API の設計および、各マイコンのソフトウェア設計を実施し、本環境を用いることにより、電源制御技術をはじめとする要素技術の効果検証、実用化に向けた課題抽出を定量的且つ効率よく行うことができた。



図 2.2-14 センサーノードシステム電力プロファイル評価環境-1

(C) 2次統合評価に向けた電力プロファイル評価環境の機能追加

平成 25 年度から、2 次統合評価のに向けた電力プロファイル評価環境の機能追加を行った。

1 次統合実証の実験結果からの課題の反映と 2 次統合実証評価仕様の盛り込みを主体として追加機能を決定した。

表 2. 2-2 に 1 次実証実験と 2 次実証実験の差異、表 2. 2-3 に評価環境-1 と評価環境-2 の差異を示す。

表 2. 2-2 1 次実証実験と 2 次実証実験の差異

摘要	旧型バス停	新型バス停
マイコンボード	市販品 (armadillo)	ノーマリーオフ対応ボード
人検知	焦電センサのみ	焦電センサ→超音波センサ→画像センサの 3 段階にて
表示デバイス	LCD	電子ペーパー
外部給電	必須	太陽電池にて独立動作可能
デマンドボタン	1 つ(上下線共用)	2 つ(上下で各専用)
電力消費記録	クランプセンサのみ	ルネサス社構築の電力評価ボードを利用
屋外設置	非実施	大中山バス停付近にて実施

表 2. 2-3 評価環境-1 と評価環境-2 の差異

摘要	評価環境-1	評価環境-2 の盛り込み機能
評価ボード サイズ	A3 サイズ*2枚 +外部メモリボード	A4 サイズ*2枚 (2 次実証/新型バス停システムに搭載)
マイコン構成	3 種類	評価環境-1 と同様
メモリ構成	NVRAM(4Mbit*4)	NVRAM(4Mbit*8), シリアルFlash(32MByte)
入力	アナログセンサ(4ch)	・アナログセンサ(5ch)、CM0 センサーなどデジタルセンサー対処
出力	通信(2ch)	・LOG データ収集、画像表示(2ch)+バックライト制御、通信(3ch)
電力測定 ch	21ch	21ch
電源	外部給電	・外部給電、ソーラバッテリー駆動にて独立動作可能

1 次の評価ボードで実現した機能に、上記の追加機能仕様を盛り込んだ評価ボードの概要と写真を示す。特にマルチ・センサー対応と最適な MCU を選択するタスクスケジュールに向けた 3 種類のマイコンを搭載し、電力消費記録は、LOG データを採用したことで、より正確な電力プロファイルを収集できる環境となる。

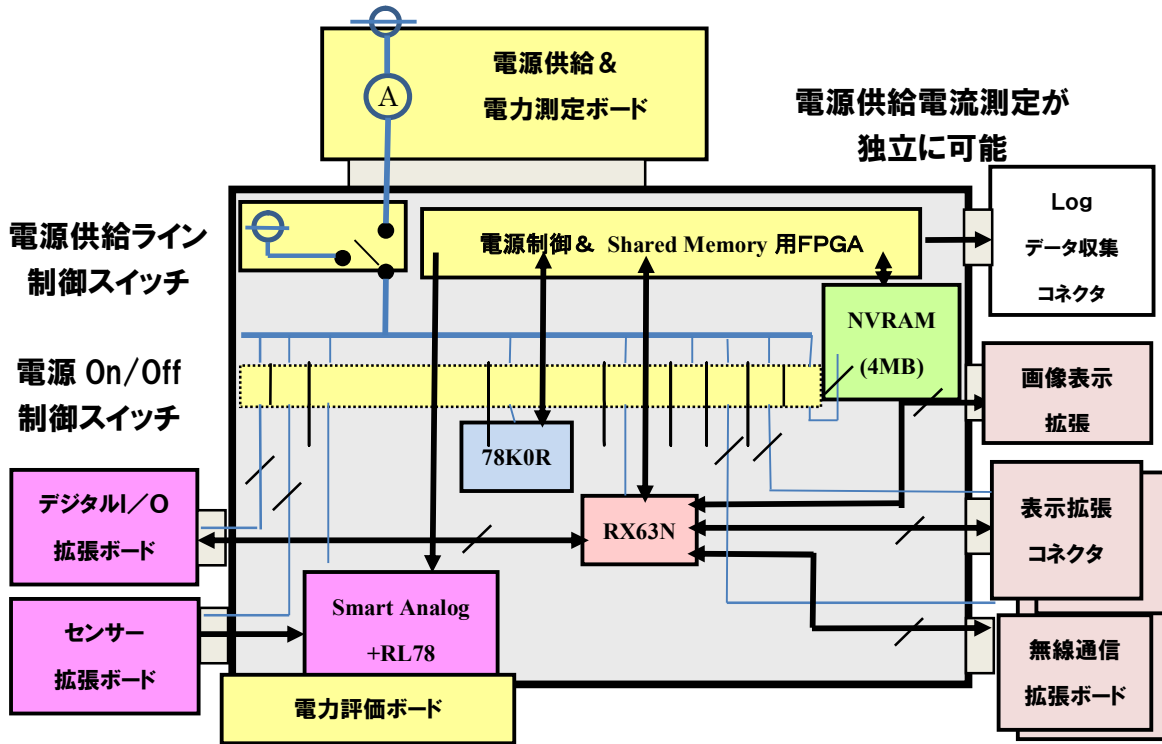


図 2.2-15 評価環境—2ボード概要

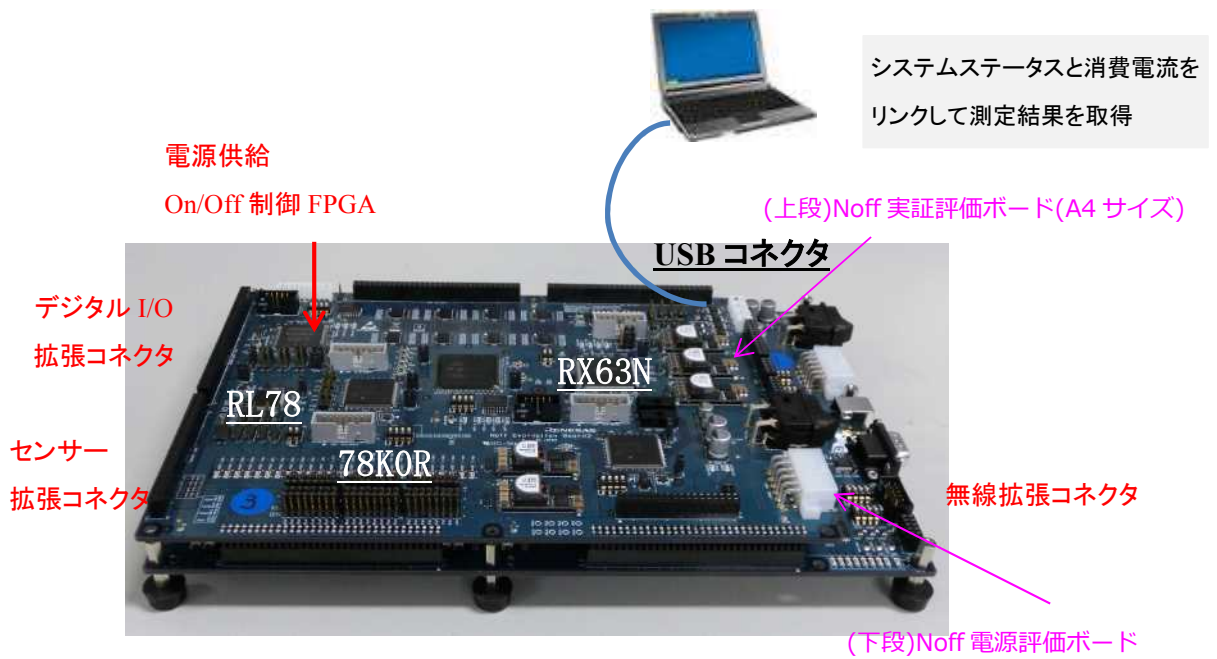


図 2.2-16 評価環境—2ボード写真

これら電力プロファイルを評価するための各ソフトウェア設計を行うとともに、アプリケーションレベル評価に向けて、Noff モニタ、Noff センサードライバ、センサーNoff-API の設計および、各ソフトウェア設計を実施し、本環境を用いることにより、電源制御技術をはじめとする要素技術の効果検証、実用化に向けた課題抽出を定量的且つ効率よくに行えるようになった。

①-2-4 センサーノード低電力化技術統合評価

(担当:ルネサスエレクトロニクス株式会社)

①-2-3 で開発した Noff 評価ボード・不揮発 RAM 拡張ボード・センサー拡張ボード、及び Noff 制御チップ (FPGAを使用) を組み合わせた環境で電力プロファイルを評価・解析するための評価用アプリケーションソフトウェアの作成を行った。

(a)センサーノードの消費エネルギー見積もり

上述した①-2-1~3 を組み合わせ、評価アプリケーションを用いたシステム電力評価を進めていくにあたり、今回提案する電源制御方式を適用した場合にセンサーノード(通信を除く)の消費エネルギー削減率を見積もった。センサーアプリケーションとして図 2.2-17 および図 2.2-18 のように、以下の二つを想定し、ハードウェアの消費電力はカタログ値等から抽出する。エネルギーオーバーヘッドは、推奨される電源容量や起動に要する時間等から算出した。

・温度センサーシステム:

長周期(数 10s 程度)/低負荷(実行時間 100 μ s 程度)のアプリケーション例

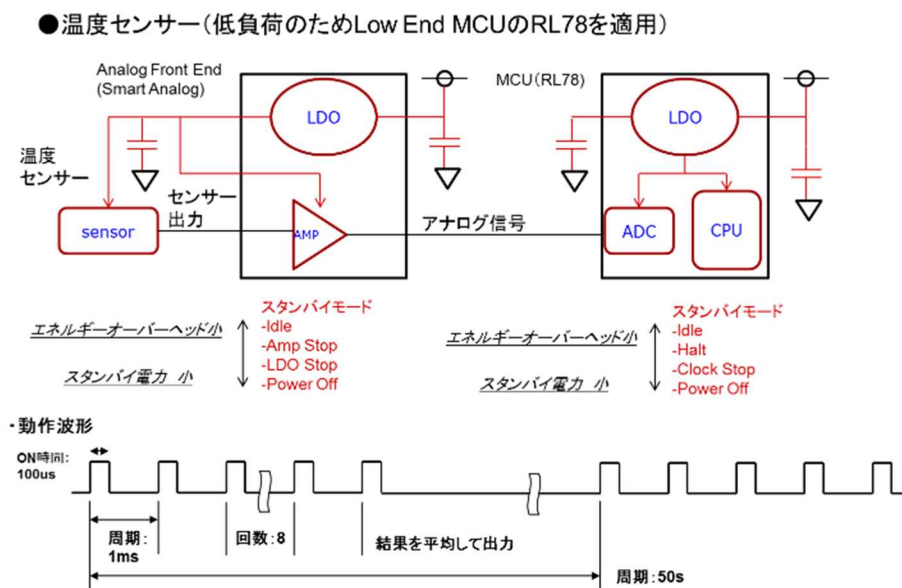


図 2.2-17 温度センサーシステム模式図

・加速度センサーシステム:

中周期(数 10ms 程度)/中負荷(実行時間 5ms 程度)のアプリケーション例

● 加速度センサー (中負荷のため Middle Range MCU の RX63N を適用)

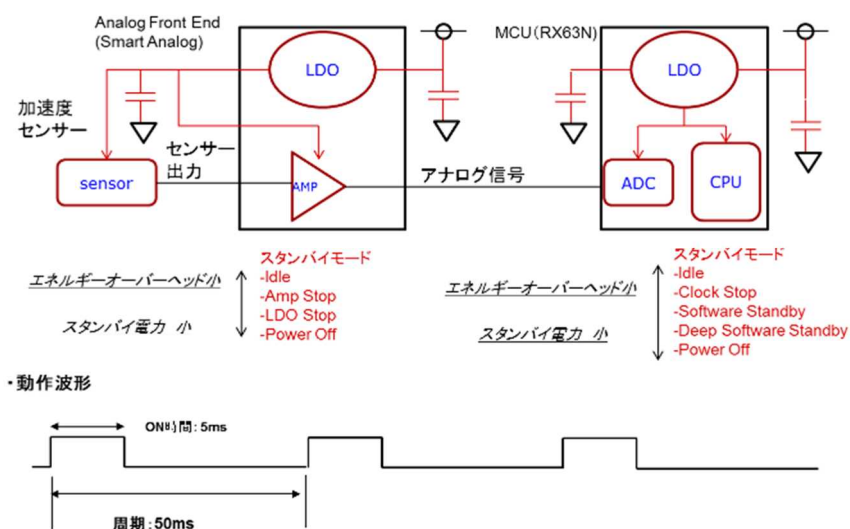


図 2.2-18 加速度センサーシステム模式図

各ハードウェアのスタンバイモードは図中に記載のものを使用する。今回提案の電源制御方式により、損益分岐時間等から消費エネルギーが最小となるモードを選択した場合と通常通り動作させた場合とでどの程度エネルギーが削減されるか見積もりを行った。

従来は BET を考慮したスタンバイモードの選択は行っておらず、経験的に数 10ms 以下の待機時間では MCU、アナログフロントエンドとも、アイドル状態で待機することが多い。また、秒オーダの長い待機時間があった場合に BET を考慮せず、単にスタンバイ電流ができるだけ小さいモードへ無条件に遷移させる。

自律的スタンバイモード選択機構を適用することで、Low End MCU である RL78 を使用した温度センサーシステムでは、1ms と短周期では MCU:Clock Stop モード、アナログフロントエンド: Amp Stop モード、50s と長周期では両方電源遮断を選択する場合が最小となる。

同様に、Middle Range MCU である RX63N を使用した加速度センサーシステムでは、50ms 周期時に MCU:Deep Software Standby モード、アナログフロントエンド:LDO Stop モードが最小となり、それぞれのセンサーアプリケーションでのエネルギー削減率は表 2.2-4 のようになると見積もられる。見積もりは以下の式を各アプリケーションシナリオに当てはめ算出した。

$$E_{total} = \sum_{k=1}^n (P_{act_k} \times T_{act} + P_{stby_k_j} \times T_{stby_k_j} + E_{oh_k} \times N_k)$$

Pact_k:各デバイスのアクティブ電力

Pstby_k_j:各デバイスのスタンバイ電力

Tact_k:各デバイスのアクティブ時間

Tstby_k: 各デバイスのスタンバイ時間

Eoh_k: 各デバイスのエネルギーオーバーヘッド

N_k: 各デバイスの ON・OFF 回数

k = 1 ~ n: k は各デバイスを示すインデックス。下表では 2。

j = 1 ~ m: j はスタンバイモードを示すインデックス。

表 2.2-4 センサーアプリケーションでのエネルギー削減率見積り結果

温度センサーシステム消費エネルギー削減率(見積り結果)					83.6%
デバイス	Smart Analog		MCU(RL78)		消費エネルギー
周期	1 ms	50 s	1 ms	50 s	
従来方式	Idle	Idle	LDO Stop	Clock Stop	474 uJ
自律的スタンバイモード選択機構	Clock Stop	AMP Stop	Power Off	Power Off	78 uJ
加速度センサーシステム消費エネルギー削減率(見積り結果)					76.6%
デバイス	Smart Analog		MCU(RX63N)		消費エネルギー
周期	50 ms		50 ms		
従来方式	Idle		Idle		2294 uJ
自律的スタンバイモード選択機構	LDO Stop		Deep Software Standby		537 uJ

上記見積りでは、従来のスタンバイモード制御を用いたセンサーノード(通信部を除く)と比較し10倍(削減率90%)のノーマリーオフ低電力化性能にはまだ到達していないが、集中研②-1の成果等を取り入れることで削減を目指した。

(b)測定環境を用いた損益分岐時間(BET)評価

今回作成の測定環境を用いることで、電源遮断を含む各スタンバイモードから復帰する場合のエネルギーオーバーヘッドを正確に測定することができる。MCUのように複数のスタンバイモードを持つデバイスに関しては(2)-2(a)で記述したように複数の損益分岐時間が存在する。表 2.2-5のようにRX63Nの各スタンバイモードからの復帰に要するエネルギーオーバーヘッドを EOH_{1-5} 、スタンバイモード時の消費電力を $PSTBY_{1-5}$ と定義すると、損益分岐時間 BET_{1-4} は以下の式で導出される。

$$BET_n = (EOH_{n+1} - EOH_n) / (PSTBY_n - PSTBY_{n+1})$$

(ただし、 $n=1\sim 4$)

表 2.2-5 RX63N のハードウェア情報

RX63Nのスタンバイモード	エネルギーオーバーヘッド	スタンバイ時電力	損益分岐時間
Sleep	EOH_1	$PSTBY_1$	BET_1
Clock Stop	EOH_2	$PSTBY_2$	BET_2
Software Standby	EOH_3	$PSTBY_3$	BET_3
Deep Software Standby	EOH_4	$PSTBY_4$	BET_4
Power Off	EOH_5	$PSTBY_5$	

今後、構築した測定環境を用いて、各 MCU における各スタンバイモードの消費電力とエネルギーオーバーヘッドの測定を進め、損益分岐時間等の電源制御方式に不可欠なハードウェア情報を取得する。(1)で述べたセンサーに関するハードウェア情報とを合わせて、電源制御方式を適用したセンサーノードによる消費エネルギー削減効果を確認する。

(c) 電源制御方式適用センサーノードの測定環境と評価結果

電源制御方式と MCU およびセンサーのハードウェア情報とを組み込んで、センサーノードの消費エネルギー削減効果を今回作成した測定環境にて確認を行った。

電力プロファイル評価環境上での電源制御技術試作と評価用アプリケーションソフトウェアの設計を実施した。これらを組み合わせて、センサーノードにノーマリーオフ動作制御を適用した場合のシステム電力プロファイル評価・解析を行い、センサーノードの 10 倍の低電力化性能達成可能性を実現した。

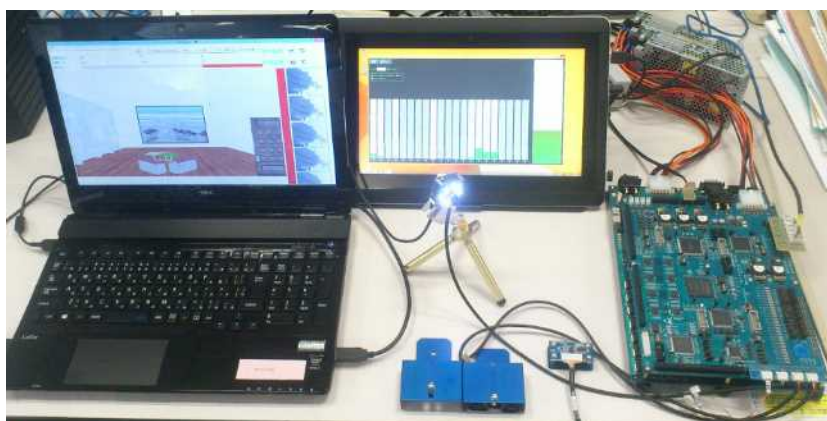


図 2.2-19 電源制御方式適用センサーノードの測定環境

センサーは、3 つのセンサー(人感センサ*2、加速度センサ*1)によるマルチ・センサーの構成とした。従来技術(リファレンス)は CPU の RX63N*1 のみ。センサーの電源は常時 0n で動作する。本方式技術では、RX63N と RL78 の 2CPU 構成となり、人感センサーが検知した距離によ、サンプリング周期が 50msec, 100msec, 500msec の 3 段階から自動選択できるノーマリーオフ動作制御を適用した。サンプリング時間に応じた電源制御により、センサー、マイコンを起動、待機を制御し、消費エネルギー(J)の結果では、通信部を含めセンサーノードにノーマリーオフ動作制御を適用したシステムでは、-91.5%の削減効果となった。

図 2.2-19 に電源制御方式適用センサーノードの測定環境、図 2.2-20 に評価結果を示す。システムベースと MCU ベースでのリファレンスとノーマリーオフ動作制御による電力の削減したエネルギー(J)と削減率を記載した。評価条件は、ユースケースとして、評価時間 1000 秒に対し、人が 1 回(約 3 秒間)接近することを想定した。

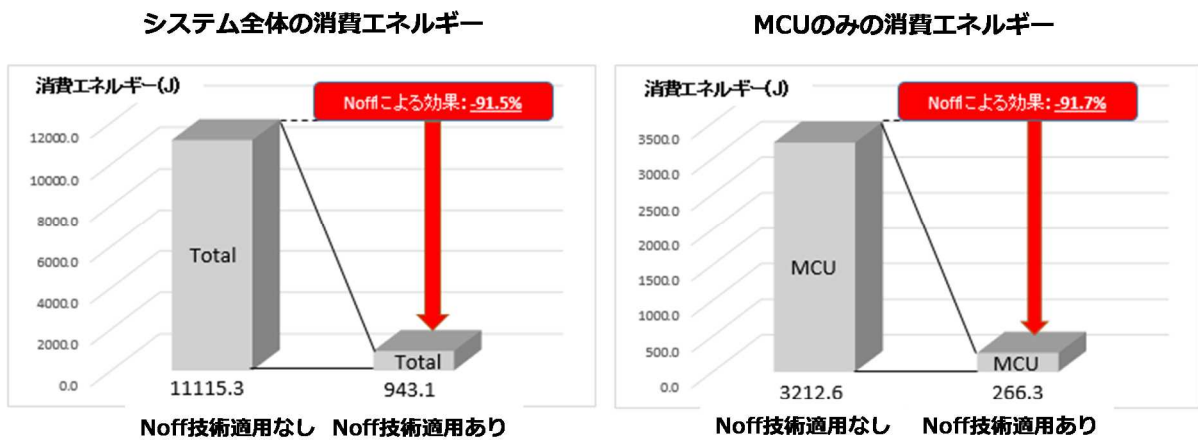


図 2.2-20 電源制御方式適用センサーノードの測定環境と評価結果

①-2-5 実証デモ (担当:ルネサスエレクトロニクス株式会社、再委託先:はこだて未来大学)

多数のセンサーノードとそれらを有機的に結合するネットワークは、スマートシティ等を支える基本的なインフラである。実効性、持続性の高いスマートシティを実現するためには、これらのセンサーネットワークが年単位で持続的に動作可能なシステムとして構築する必要がある。本課題では、ノーマリーオフコンピューティング基盤技術の有効性を実証するためのデモシステムとしてスマートシティを構成するデマンドバスを対象とし、その実現を支える情報システムとして、知的バス停留所システムを軸とした研究開発を行う。

デマンド交通システムは、スマートシティを支える重要な仕組みである。デマンドバスが代表例であるが、これは、利用者の要求に応じて運行する形態の交通機関であり、特に過疎地域を対象として、バス運行の効率化と運行コスト削減の手法として期待されている。デマンドバスでは様々な運行形態が提案され、また実際に試験運行も多々実施されているが、その利用に対しては、「事前予約が必要」「運行頻度が低い」等、突発的且つ非同期に発生するユーザのデマンドに必ずしも対応できるわけではなく、結果としてユーザの利便性を損なう結果をもたらしており、結果的に、継続的な運用に至っていないのが実情である。本研究では、現在運行しているバスシステムを基幹交通、基幹交通の各バス停から目的地への移動を支線交通と位置付ける階層的な運行モデルに基づき、支線部分のデマンド化を支援することで、「予約不要」「高頻度運行」が可能な利便性の高いデマンド交通の実現を目指すものである。

本デモ開発における成果は以下の7点に集約される。

- ・階層的な運行モデルの考案とそれに基づいた実証実験の設計
- ・知的バス停システムを基軸とした各種システムの設計
- ・一次実証向け各種システムの構築
- ・一次実証実験の実施と結果の解析
- ・二次実証向け各種システムの構築
- ・二次実証実験の実施
- ・ノーマリーオフ効果の詳細な見積もり実験

(1)-1 階層的な運行モデルの考案とそれに基づいた実証実験の設計

デマンドバスは、タクシーと同様に、ユーザの現在地(自宅など)から目的地まで、あるいはその逆を直接接続するように運行するケースが多い。これを複数ユーザの乗合にて実施することでバス運行の効率化を試みているケースもあるが、概して、バスの運行距離は長くなる傾向にあり、バスの運行頻度の低下や、それに伴う「ユーザのデマンド」に対する即応性を損なっている。北海道のように、土地が広く、且つ、集落が点在する場合は、さらにその傾向が顕著である。これに対し報告者らは、ユーザの移動行程を精査し、「デマンド化すべき部分」と「デマンド化する必要のない部分」を明確に区分することで、デマンドバスの運行距離を短くし、ユーザのデマンドに対する即応性を高めることができる階層的デマンド交通モデルを考案した。

(1) - 2 知的バス停システムを基軸とした各種システム的设计

本研究にて開発、運用するデマンド交通は、既存のバス交通サービスを基幹交通として積極的に利用し、支線交通部のみをデマンド化する階層型交通サービスである。このサービスは、大きくは、「利用者」「バス停」「センター」「デマンドバス」「基幹バス」から構成される。このうち、利用者、バス停、センター、デマンドバスの振る舞いについて、図 2. 2-21 にまとめる。また、サービス運用の概要を図 2. 2-22 に示す。

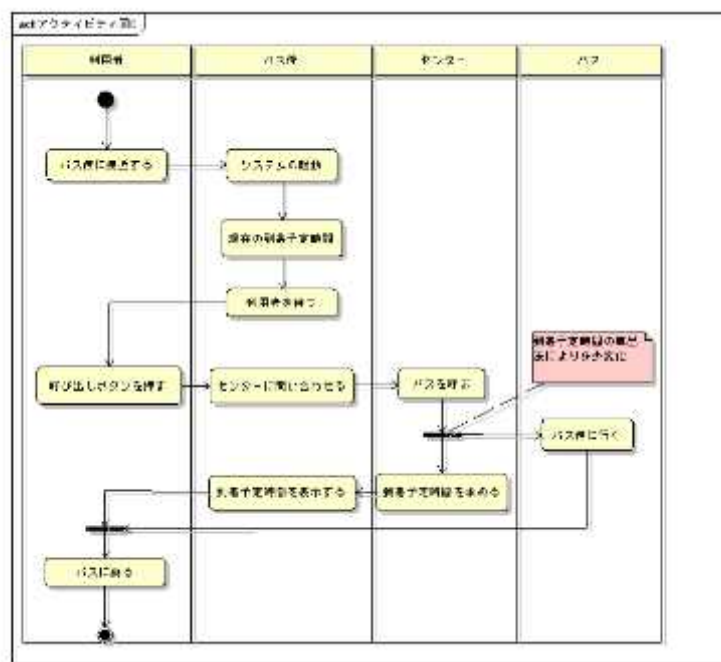


図 2. 2-21 階層型デマンド交通サービスにおける各要素の振る舞い

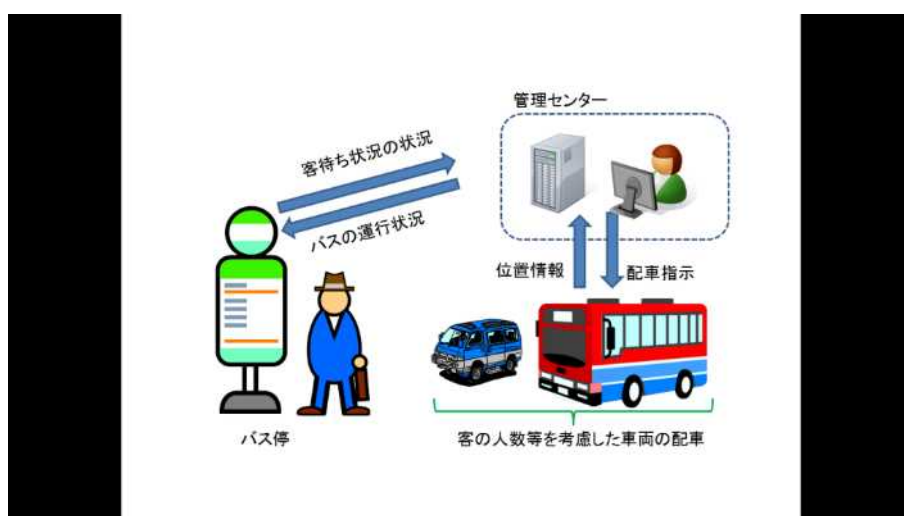


図 2. 2-22 知的バス停システムを核としたデマンド交通概要

これらを実現するためには、以下の仕組みが必要となる。

(A) 知的バス停システム

ユーザのバス利用要求(デマンド)を検知し、情報管理サーバに送信する機能を有する。他に、バス接近情報等、情報キオスクとしての機能も有する。知的バス停システムの概要を図 2. 2-23 に示す。

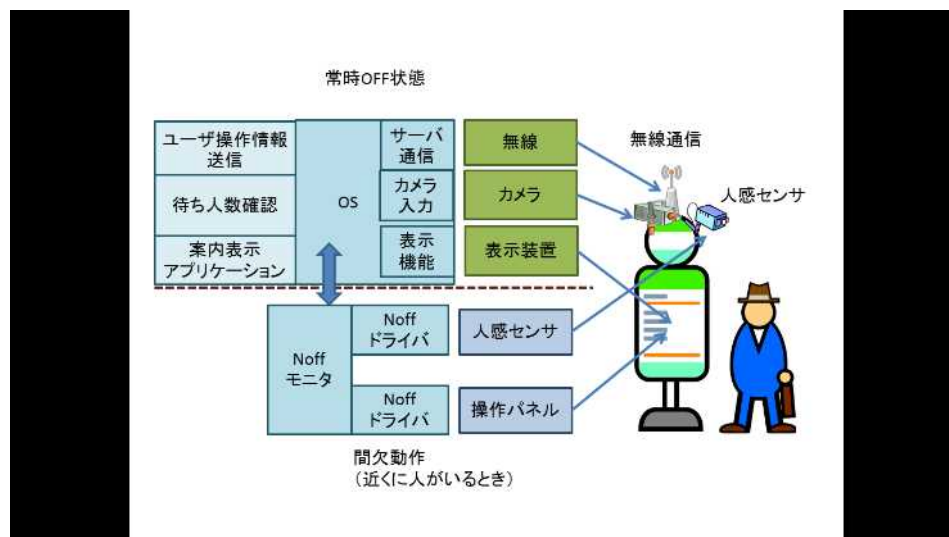


図 2. 2-23 知的バス停システム

(B) 配車サーバ

配車サーバは、バス停やバスから回収される情報を一元管理する仕組みであり、インターネット上に存在するサーバコンピュータ上に実装される。具体的には、バス停から送信されるユーザのデマンド情報を受け取り、路線バスの時刻表データに加え、現在のデマンドバスの位置情報を活用することで、デマンドバスの運行計画(知的バス停へのデマンドバス到着時刻等)を立案する。立案された運行計画情報は、知的バス停システム、(後述する)デマンドバス運行指示アプリケーションに送信され、ユーザおよびデマンドバス運転手に通知される。

(C) デマンドバス運行指示アプリケーション

デマンドバス運行指示アプリケーションは、GPS 情報を利用してデマンドバスの位置情報を配車サーバに通知すると同時に、配車サーバが算出したデマンドバス運行スケジュールを実際のデマンドバス運転手に指示するためのアプリケーションである。これらは、スマートフォンをプラットフォームとし、運用時には、デマンドバス運転手が所持する。

(D) バス情報通信システム

既存のバスロケーションシステムと組み合わせることにより、実際のバス遅れ(時刻表情報と実際のバスの運行状況との差異)に対応したデマンドバス運行が可能とする仕組みである。

(E) デマンド交通用ネットワーク

試験運用地域の全体を網羅する情報ネットワークである。今回は既存の商用ネットワークを利用して実現している。

(1)-3 一次実証向け各種システムの構築

知的バス停システムは、ユーザのバス利用要求(デマンド)を検知し、情報管理サーバに送信することを主たる機能とする。知的バス停システムに搭載した機能の概要を図 2.2-24 に示す。また、機能の詳細を表 2.2-6 にまとめる。また、知的バス停システムの動作シナリオを図 2.2-25 にまとめる。

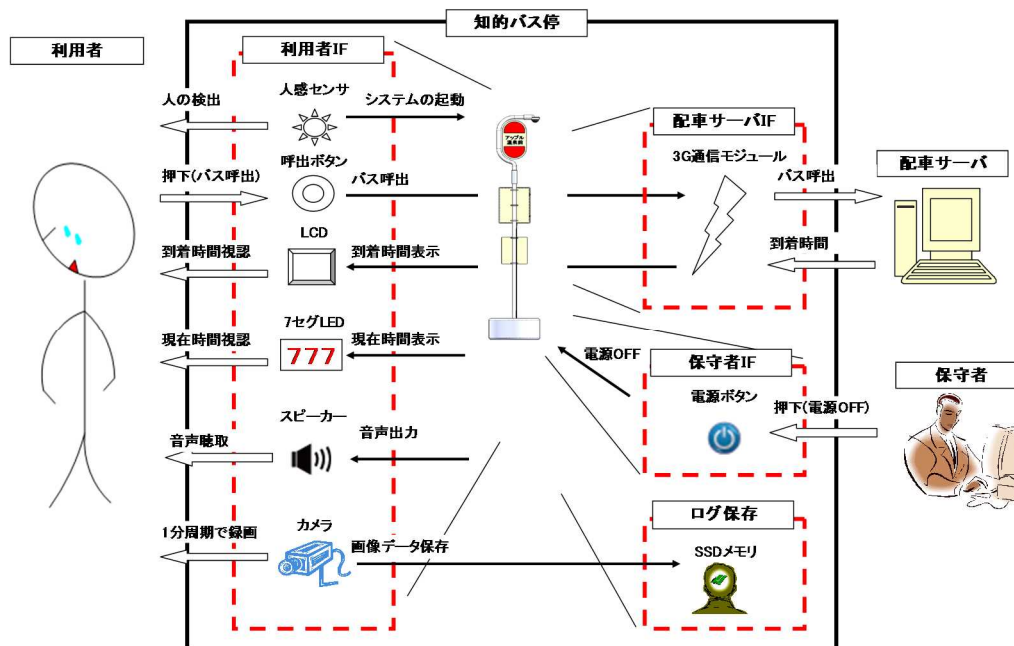


図 2.2-24 知的バス停システムの機能概要

表 2.2-6 知的バス停システムの機能詳細

機能部	機能	詳細
知的バス停メイン制御	システム初期化	各制御プロセスの状態管理、必要な初期化等。
	状態管理	知的バス停の状態管理を行う。
人感センサ制御	人検出	人感センサにて人検出を行い、メイン制御へ通知する。
呼出ボタン制御	ボタン押下検出	呼出ボタンを制御し、ボタン押下の検出とメイン制御への通知を行う。
	ボタンLED制御	ボタンのLED点灯/消灯制御を行う。
LCD制御	出力画像生成	配車サーバより受信した情報を元に画像データを生成する。
	LCD出力	LCDを制御し、画像データをLCDへ出力する。
	LCD消灯	スリープモード時、LCDを消灯する。

7セグ LED 制御	7セグ LED 点灯	現在時刻を 7 セグ LED へ出力する(:(時刻のコロン LED)も制御する)。
	7セグ LED 消灯	スリープモード時、LED を消灯する(:(時刻のコロン LED)も制御する)。
カメラ制御	カメラ画像取得	1 分周期でカメラの画像を録画し、jpeg 変換を行ったデータをファイル保存する。
	通信モジュール制御	通信モジュールを制御し、3G にて配車サーバとの通信を行う。
	TCP 管理	配車サーバとの TCP 通信状態を管理する。
オーディオ制御	ヘルスチェック応答	配車サーバからのヘルスチェック通信に応答する。
	音源再生	バスの到着等を知らせる音声データの再生制御を行う。
電源ボタン制御	ボタン押下検出	電源ボタンを制御し、ボタン押下の検出とメイン制御への通知を行う。
タイマ制御	タイマ制御	知的バス停がスリープ状態になるまでのタイマを管理する。
	配車再送タイマ管理	配車サーバへ定周期で配車要求(TCP)を通信するためのタイマを管理する。
	画面戻しタイマ管理	バス到着後、到着した旨の画面表示から初期画面へ戻すためのタイマを管理する。
	画面保存タイマ管理	定周期でカメラ画像を保存するためのタイマを管理する。

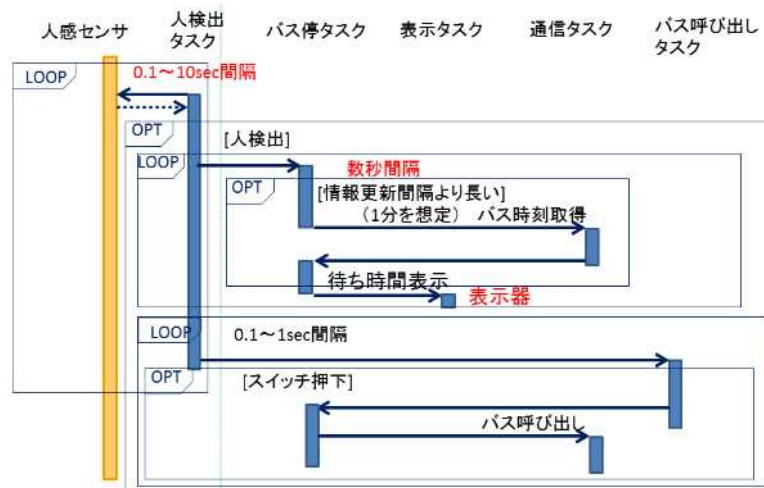


図 2.2-25 知的バス停システムの動作シナリオ

構築した知的バス停システムの外観を図 2. 2-26 に示す。



図 2. 2-26 知的バス停システムの外観(右上:全景、左上:表示部、右下:制御部、左下:天頂カメラ)

(1)-4 一次実証実験の実施と結果の解析

(1)-3 にて構築したシステムを利用し、ノーマリーオフコンピューティング基盤技術の効果の見込みを検証するためのデマンドバスサービス実証実験を行った。当該実験は、2013年9月14日(土)から9月20日(金)までの7日間、七飯町健康センター「アップル温泉」(北海道亀田郡七飯町字中野 194-1)を実験フィールドとして実施した。



(a) 設置したバス停の全景



(b) バス運行に関する掲示



(e) デマンドバス利用の様子



(f) デマンドバス(マイクロバス)

図 2.2-27 実証実験の様子

ノーマリーオフの効果を検証するための検討情報を取得するため、実験期間中のソフトウェアの動作ログとバス停の電力消費、実験中の映像を記録した。この記録をもとに、次期バージョンでノーマリーオフの実装するための設計方針や効果について検討を行った。

(1)-5 二次実証向け各種システムの構築

(1)-5-1 新型知的バス停システムの設計

平成 25 年度に構築し、実証実験で利用した知的バス停システム(以降、一次試作版と呼ぶ)は、人の検知を焦電センサで行い、焦電センサの反応をトリガとしてシステム全体が起動する仕様であった。しかし、焦電センサは「バス停利用者」「バス停前の通過者」のいずれにも反応してしまう問題があった。バス停の利用者が存在する時のみバス停が稼働するようにする(表中の「知的バス停利用者のみ」に相当)と、一次試作版の仕様(表中の「全ての人」に相当)に比べて大幅な電力削減効果が期待できる。

上記を受けて、ノーマリーオフをより効果的に実現するための利用者検知アルゴリズムの開発を行った。利用者検知にはカメラを利用する。焦電センサ(あるいはそれに類するセンサ)にて人検知を行う点は昨年度仕様と同一であるが、焦電センサ反応後にカメラが起動し、利用者と非利用者(通過者)を判別する。これは、「低レベル/電力利用量の小さいセンサ」と「高レベル/電力利用量の大きなセンサ」を階層的に配したものであり、ノーマリーオフアーキテクチャとの親和性も高いと考えられる。

(1)-5-1-1 利用者検知アルゴリズムの詳細

知的バス停システムには、上部にカメラを搭載しているが、利用者の検知は、このカメラから得られる画像データを処理することで実現する。処理対象となる画像の事例を図 2.2-28 に示す。上述したように、焦電センサ(あるいはそれに類するセンサ)により知的バス停システムの近隣領域に人が存在することを検知した後、検知した人がバス停の利用者か非利用者(通過者)かを判別する。全体の流れを図 2.2-29 に示す。



図 2.2-28 処理画像例



図 2.2-29 利用者判別の全体の流れ

当該システムは屋外等、照度が大幅に変動する環境でも安定して動作することが求められる。そこで、事前に背景画像を取得し、背景画像と現画像との差分から利用者を抽出する背景差分法の適用は困難である。一方で、利用者検知アルゴリズムは上述したように焦電センサ等により人の検知を行った後に処理が開始されるものであるため、基本的には得られた画像中には「移動中の人がいる」ことを前提と考えてよい。そこで、今回は、フレーム間差分により移動物体を検出し、その移動方向を算出することで利用者／非利用者の判別を行うこととした。

(1)-5-2 新型知的バス停システムの設計

一次実証実験結果をもとに、ノーマリーオフ機能を利用した新型知的バス停の設計を行った。新型知的バス停は図 2.2-30 のような形状を想定し、以下の機能を搭載し、図 2.2-31 のようなブロック構成で設計した。

- 人を検出する機能
 - 焦電センサ
 - 超音波センサ
 - カメラ
- バスを呼び出す機能
 - ボタン
- 情報を表示する機能
 - 電子ペーパー
- 通信する機能

- ZigBee ネットワーク
- 電力消費ログを記録する機能
- Linux が動作するマイコンボード

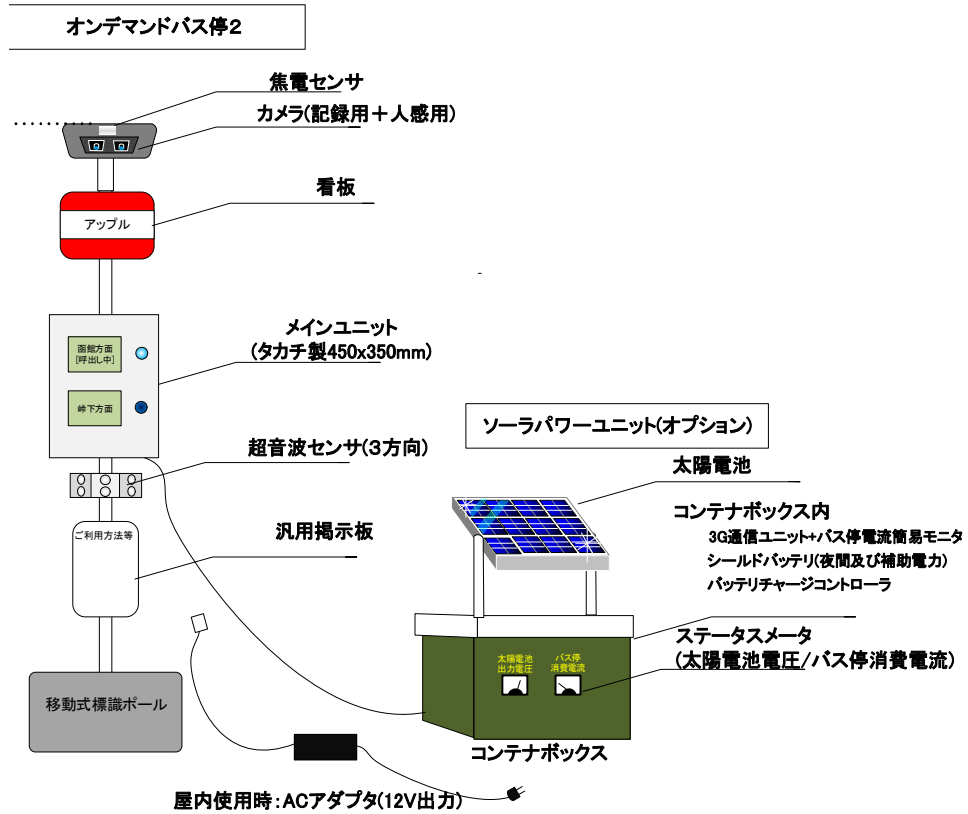


図 2.2-30 新型知的バス停システムのイメージ図

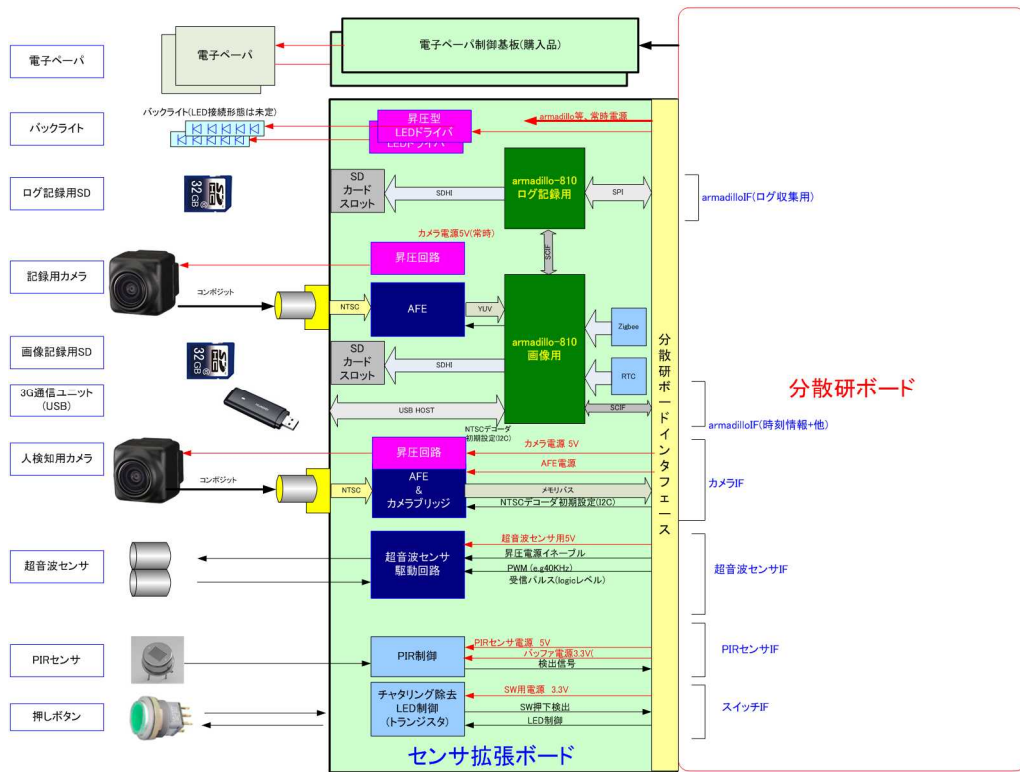


図 2.2-31 新型知的バス停システムのブロック図

(1)-5-2-1 人を検出する機能

利用者の少ない場面での利用を想定しているため、一次実証実験では人検出に焦電センサを用いた。実証実験の結果、焦電センサだけでは誤検出が多く発生し、関係ない人に対しても通信や表示装置、消費電力の大きなマイコンを起動する必要が生じていた。さらに、二次実証実験では新型知的バス停システムを屋外にも設置するため、太陽光の影響での焦電センサの誤検出が予想される。これらの誤検出の頻度を下げるため、人検出精度を高める目的で図 2.2-32 のような超音波センサを追加する。また、(1)-1 でも述べているように画像による人検出を追加することで、利用者がいない状況で不必要な機能(表示機能、通信機能)呼出しを避けるために、図 2.2-33 のようなカメラ及びキャプチャ回路を設計した。

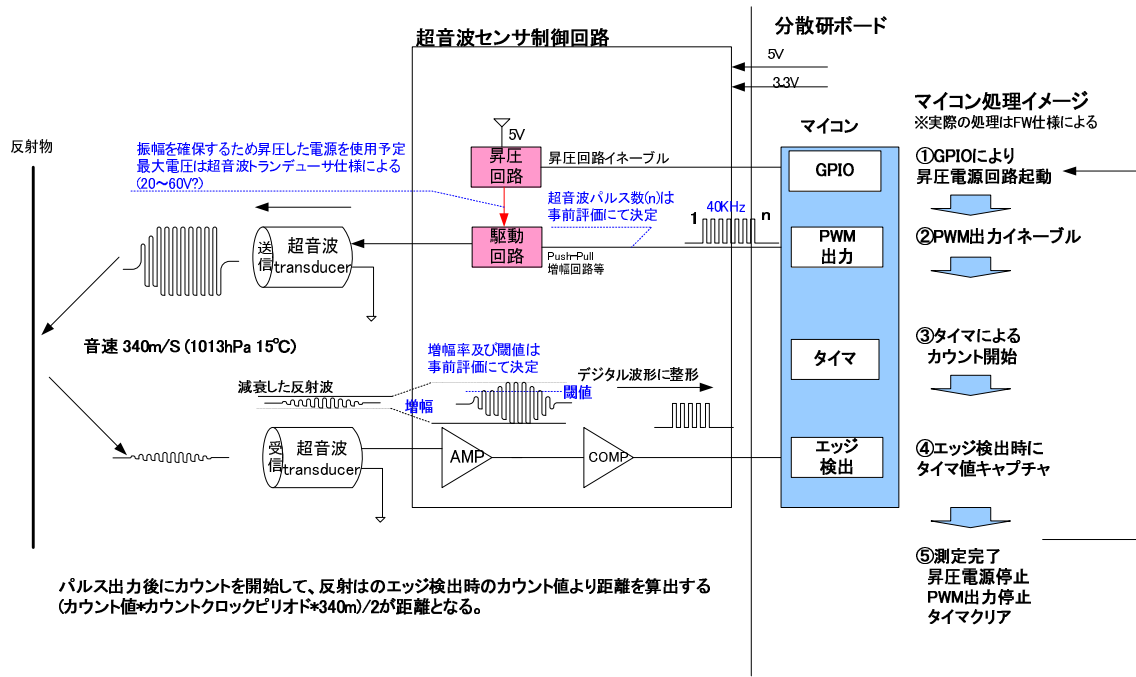


図 2.2-32 超音波センサ

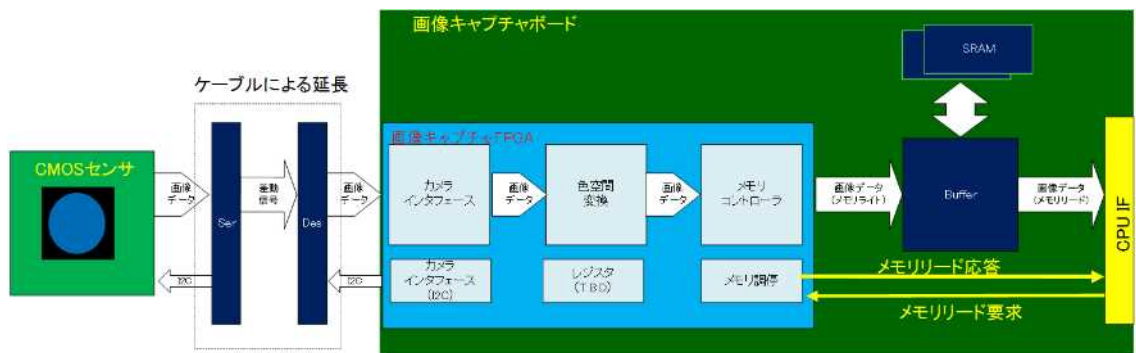


図 2.2-33 カメラ及びキャプチャ回路

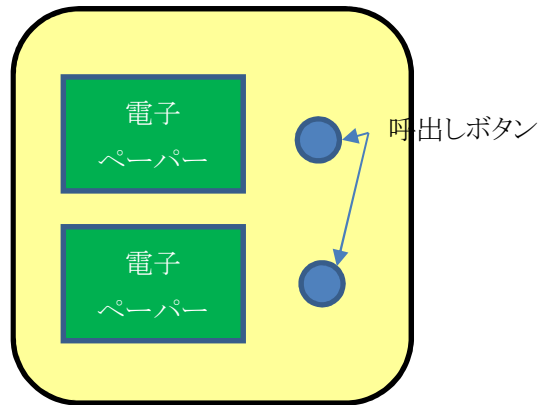


図 2. 2-34 バス停の正面図

(1)-5-2-2 バスを呼び出す機能と情報を表示する機能

一次実証実験の知的バス停では、表示機にLCDを用いていたが、バックライトの消費電力が大きく、マイコンやほかのデバイスと比べても一桁大きい電力消費となっていた。そのため、新型知的バス停システムでは、書き換え時だけ電力を消費し、その電力消費もマイコンなどと同程度となる電子ペーパーを利用する。これにより、表示機もノーマリーオフを実現できるため、システム全体の低消費電力化が期待できる。

また、二次実証実験では、2方向のバスに対応するため、電子ペーパーとボタンをそれぞれ2個用いる。

(1)-5-2-3 通信する機能

新型知的バス停システムでは、サーバとの通信にZigBee通信モジュールを用いる。ZigBee通信モジュールは、ルネサスエレクトロニクス社の分散研での研究にも用いられており、電力評価がすでになされているため、新型知的バス停システムではこれらの成果を利用する。

新型知的バス停の通信用のZigBee通信モジュールは、電力消費量を記録するLinuxマイコンに実装されたZigBee通信モジュールと通信を行う。

(1)-5-2-4 電力消費ログを記録する機能

新型知的バス停の消費電力を解析するため、1日の電力消費を記録する必要がある。この情報記録のために、アットマークテクノ社のarmadillo-810を用いる。消費電力を計測する電力測定ボードと情報を記録するarmadillo-810間はシリアル通信を用いる。また、マイコンで実行しているタスクの実行状態が変更された際に電力評価ボードから送られてくる情報も同じarmadillo-810を用いる。電力評価ボードとarmadillo-810間はシリアル通信を用いる。

これらの情報を記録するarmadillo-810には、Linuxが搭載されており、消費電力などの情報はファイルとしてストレージに記録される。実験後には、ストレージをPCに接続し、容易に読みだすことができる。

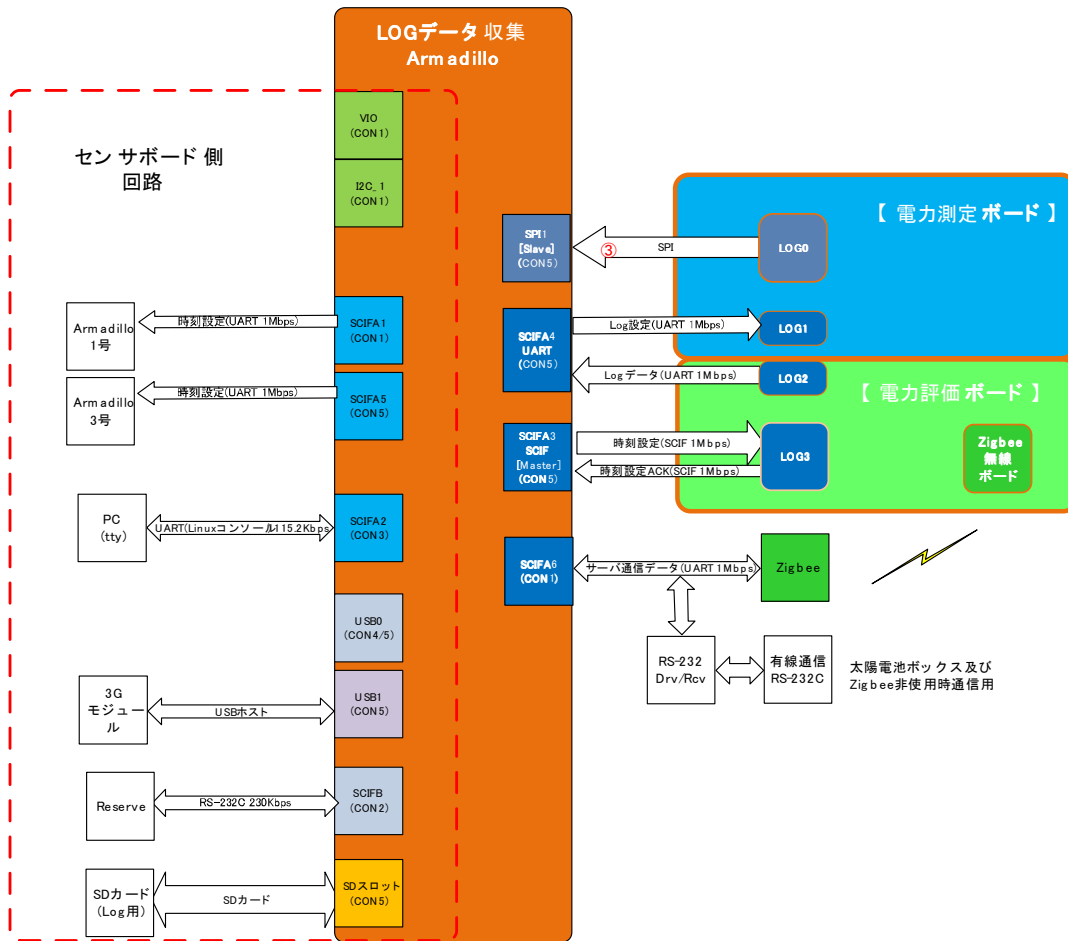


図 2. 2-35 電力消費ログを記録する armadillo-810 の構成

(1)-5-3 新型知的バス停システムの構築

(1)-5-1 及び(1)-5-2 に従って、新型知的バス停システムを構築した。外観と動作の様子を図 2. 2-36 に示す。



図 2. 2-36 新型知的バス停システムの外観と動作の様子

(1)-6 二次実証実験の実施

(1)-6-1 二次実証実験の実施

(1)-5 にて構築したシステムを利用し、本格的なノーマリーオフシステムを検証するためのデマンドバスサービス実証実験を行った。当該実験は、2015年9月17日(木)から9月22日(火)までの6日間、一次実証実験と同じく七飯町健康センター「アップル温泉」(北海道亀田郡七飯町字中野 194-1)を実験フィールドとして実施した。二次実証では、知的バス停システムを2か所に設置して実験を行った。設置場所の概要を図 2.2-37 に示す。また、実証実験の様子を図 2.2-38 に示す。



図 2.2-37 知的バス停システムの設置場所



図 2.2-38 実証実験の様子

(1)-6-2 二次実証実験のデータ整理

二次実証実験では、ノーマリーオフの有効性を検証するため他の省電力モードとの比較も考慮に入れて、人の行動記録を作成した。2015年9月22日の人の行動記録を図2.2-39に示す。

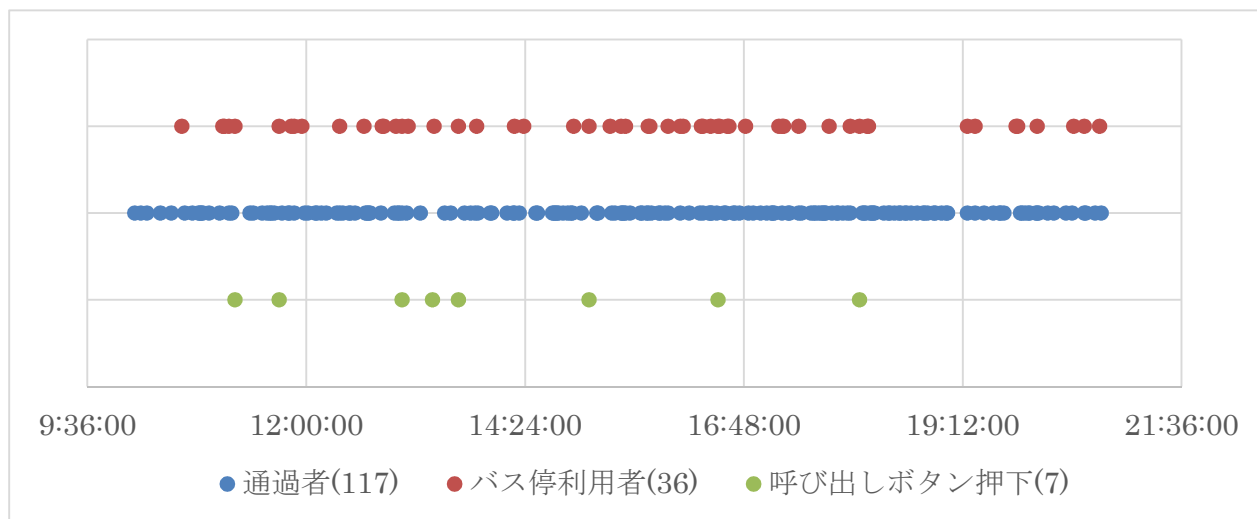


図 2.2-39 2015年9月22日の人の行動記録

表 2.2-7 知的バス停の動作時間の見積もり

状況	時間
バス停を通過する	117分 (17.5%)
バス停を利用する	36分 (5.4%)
バスを呼び出す	7分 (1.0%)
バス到着待ち	72分 (10.7%)
利用者が居ない	438分 (65.4%)
合計	670分 (100.0%)

(1)-7 ノーマリーオフ効果の詳細な見積もり実験

一次および二次の実証実験を経て、ノーマリーオフ機能を有するマイコンボードを核としたデモシステムを実現し、デマンドバス運行を伴う実環境での動作を確認することができた。そこで、ノーマリーオフ機能の電力削減効果について、より詳細な見積もりを行うための検証実験を実施した。検証には図2.2-39に示す2015年9月22日の行動記録に対して、知的バス停の動作を考慮し、1分単位で「バス停通過者」、「バス停利用者」、「バス呼び出し」、「バス到着待ち」、「利用者なし」の状態変化を行うモデルを用いて評価した。このときの各状態の累積時間を、表2.2-7に示す。見積もり実験では、表2.2-7の時間に対して、それぞれの状況に対応する電力消費パターンを掛けることで消費電力量の見積もりを行う。

(1)-7-1 MCUの省電力効果

知的バス停が一次実証実験で用いた知的バス停と同じく焦電センサのみを持った場合について、RX63NのMCUの省電力モードを用いない「IdleLoop」、RX63Nで一番電力削減効果の大きいMCU省電力モードのDeep Software Standbyモード(以下DSSと略す)を用いた「DSS」、二次実証実験で用いた階層MCUに対してノーマリーオフで動作させた「Noff」について、図 2.2-40 と図 2.2-41 に示す。図 2.2-40 と図 2.2-41 では、階層MCUで動作させた際は、RX63NとRL78のそれぞれの電力量を示した。図にあるとおり、RX63Nの省電力モードを用いない場合に比べ、94.3%の電力削減が実現できた。また、RX63NのDSSモードと比較しても、53.1%と消費電力量の改善効果が得られた。

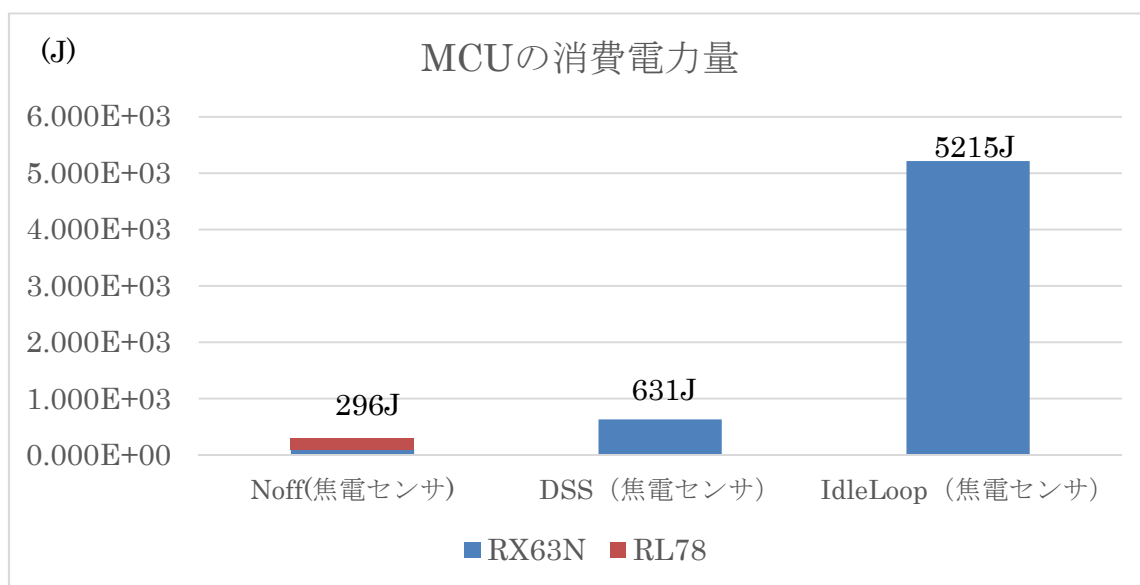


図 2.2-40 MCUのノーマリーオフ効果

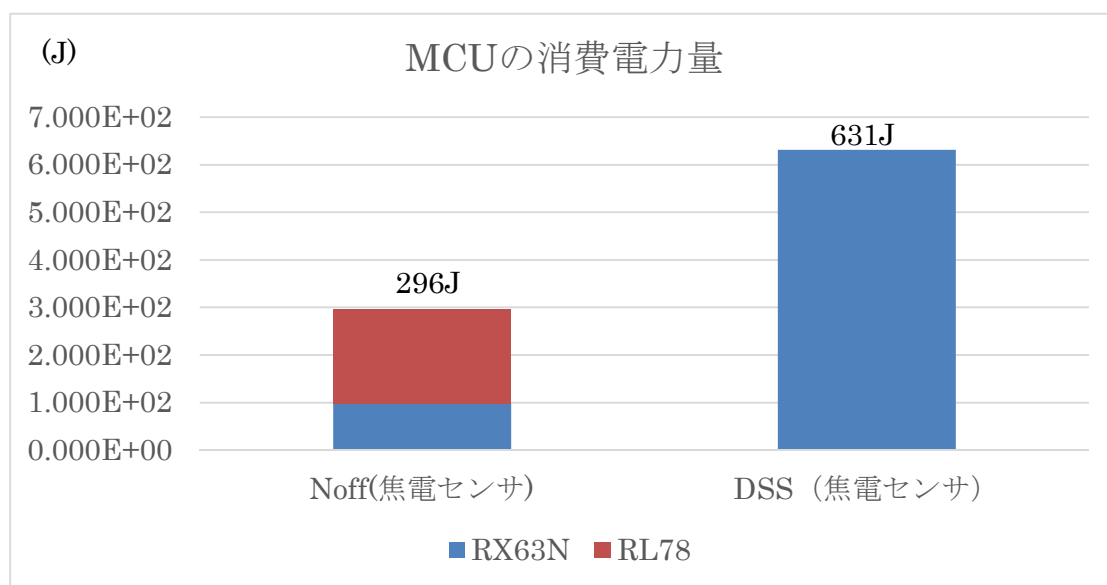


図 2.2-41 MCUのノーマリーオフ効果(ノーマリーオフとDeep Software Standbyモードとの比較)

(1)-7-2 MCUのみノーマリーオフを導入した際のシステム全体の省電力効果

一次実証システムと同様に焦電センサのみ用い、階層 MCU によるノーマリーオフ、RX63N だけによる DSS モードとの、Idle Loop による待機状態で動作した際のバス停システムとしての省電力効果は、図 2.2-42 と図 2.2-43 に示す。今回作成した知的バス停システムでは、バックライトの消費電力が大きく、ノーマリーオフによる電力削減効果は、Idle Loop と比べ 9.1%と少ないものであった。

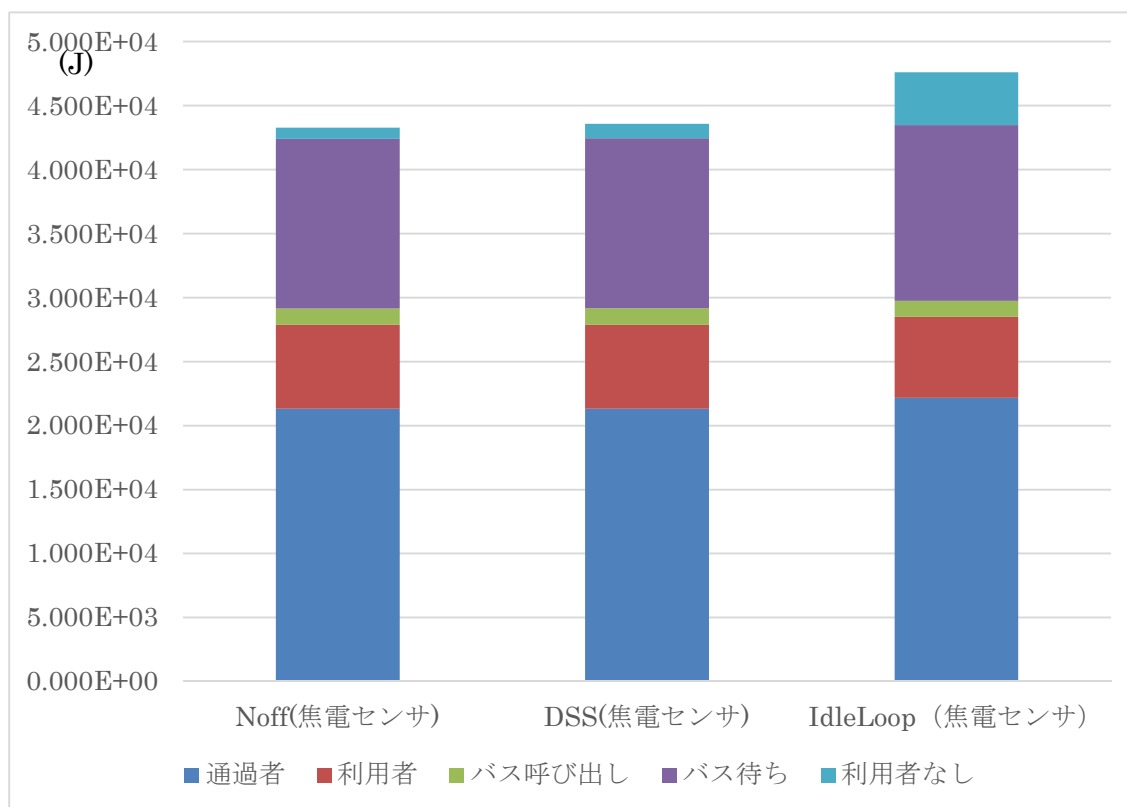


図 2.2-42 状況ごとの消費電力量

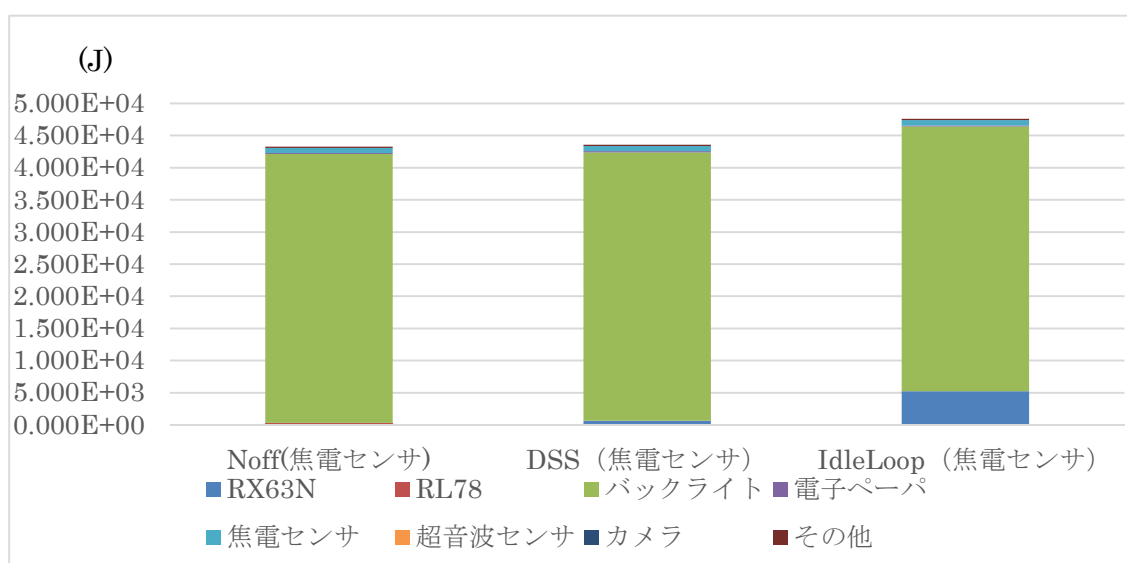


図 2.2-43 デバイスごとの消費電力量

(1)-7-3 センサ階層化とノーマリーオフを導入した際のシステム全体の省電力効果

MCU 階層化に加え、センサの階層化を行った際の知的バス停システムの消費電力量を図 2.2-44、図 2.2-45 に示す。焦電センサでは、知的バス停利用者と知的バス停を利用しない通過者との差が把握できないため、通過者が出たときにバックライトを点灯するため、センサを階層化することで、消費電力量が 42.6%削減できた。また、センサ階層化によって、省電力機能を入れない焦電センサのみの Idle Loop と比較した際は、47.8%の電力削減が実現できる。

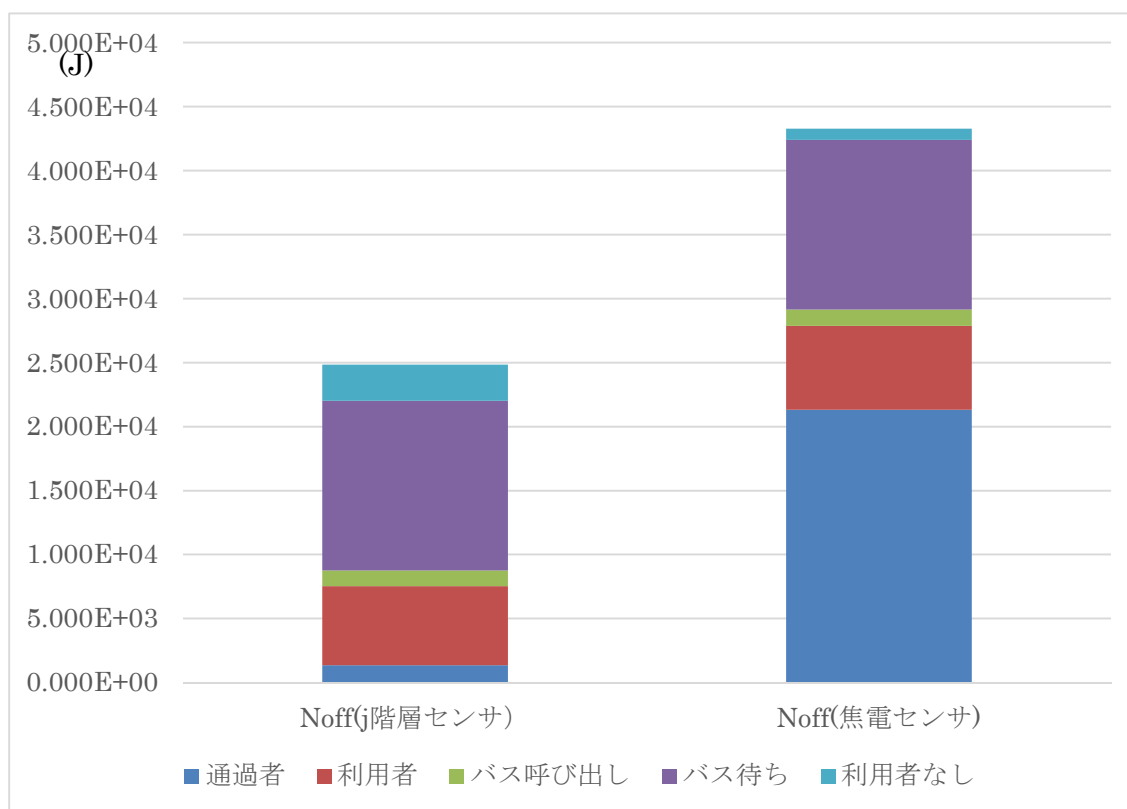


図 2.2-44 センサ階層化時の状況ごとの消費電力量

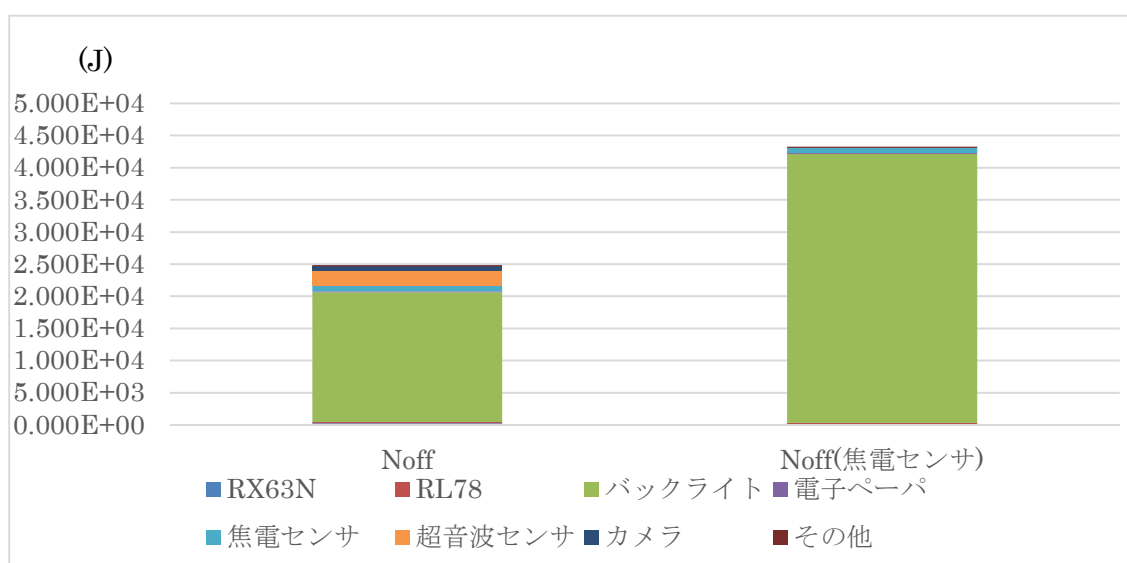


図 2.2-45 センサ階層化時のデバイスごとの消費電力量

(1)-7-4 二次実証実験を踏まえた知的バス停の改良によるシステム全体の省電力効果

二次実証実験で用いた知的バス停から消費電力を削減するために、以下の消費電力の改善を想定した。

1. 焦電センサの駆動回路の最適化: 焦電センサーモジュールは省電力タイプを用いたが、ラインドライバなどの回路の最適化がされておらず、消費電力は 3mA 程度となっていた。この回路を省電力に変更し、消費電力が 10 分の 1 になること想定する。
2. 超音波センサの通電タイミングの変更: 二次実証実験は屋外設置も行うため、直射日光の当たる屋外では焦電センサの反応に問題が生じることも想定されたため、超音波センサと併用もできるように、焦電センサと同時に超音波センサも通電していた。そのため、焦電センサの反応があった際に、超音波センサを動作するように変更したと想定する。
3. バックライト点灯の条件変更: バックライトの消費電力が大きいため、バックライトの点灯時間を削減するため、人が近づいた際に 1 分間だけ点灯するものと想定する。

これらの想定の上で、消費電力量の見積もり結果は、図 2.2-46 と図 2.2-47 に示す。この状況では、階層センサを用いたノーマリーオフシステムでは、焦電センサだけ用いたノーマリーオフシステムに比べ、68.9%の電力削減が実現でき、Idle Loop を用いたシステムに比べ、73.3%削減が実現できる。

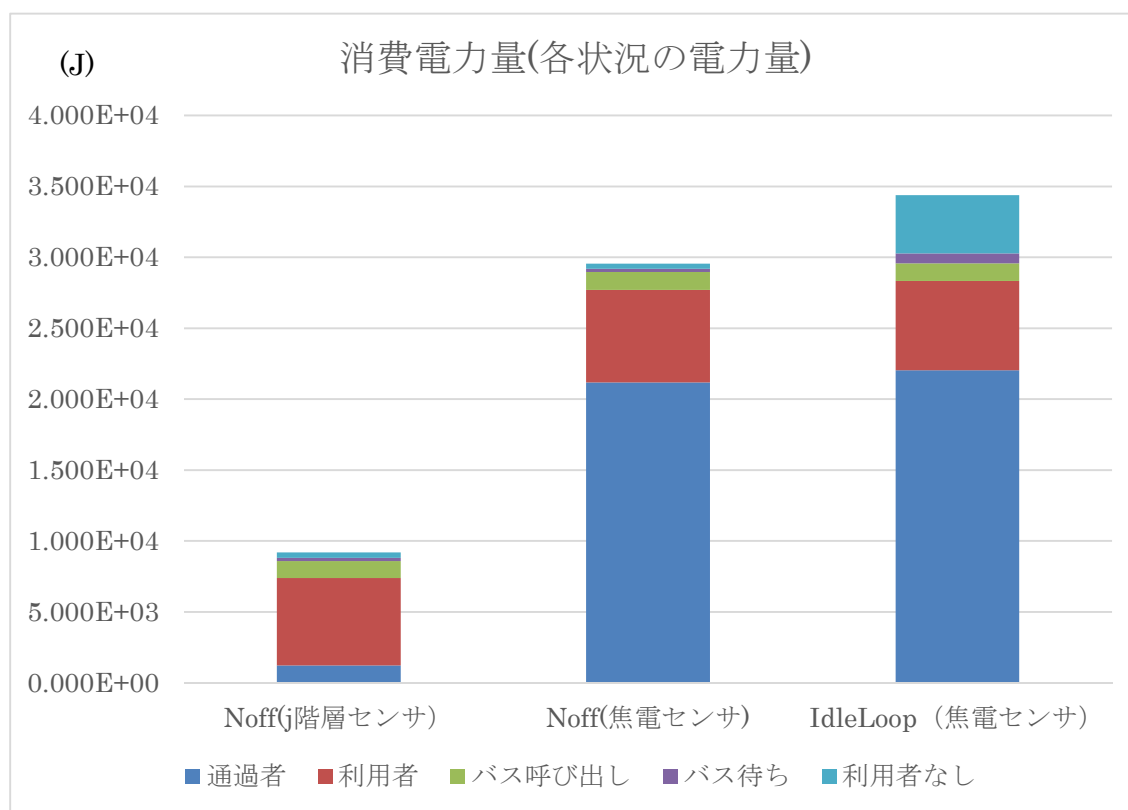


図 2.2-46 状況ごとの消費電力量

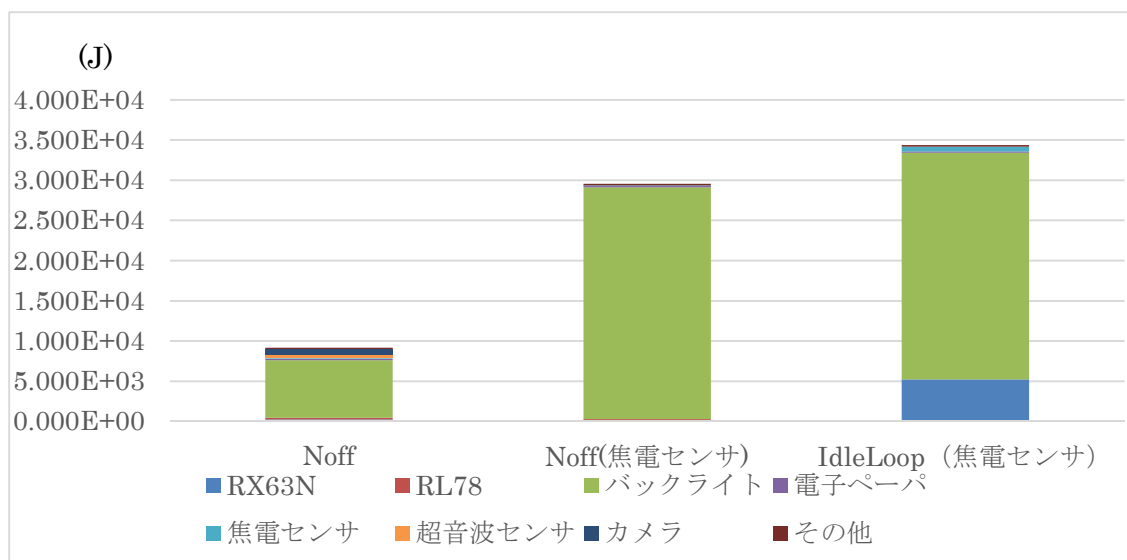


図 2.2-47 状況ごとの消費電力量

(2) 目的に照らした達成状況

当該研究では、スマートシティを支えるサービスの一つであるデマンド交通に注目し、知的バス停システムを基軸とした効率的なデマンド交通サービス形態を設計・考案し、二度の知的バス停システムの試作と実証実験により、ノーマリーオフの設計思想に適し且つその効果が大きいと考えられる本格的なデモを実現した。言うまでもなく、当該デモでは、ノーマリーオフ機能を有するマイコンボードを搭載している。さらに、消費電力量の具体的な計測を行うことで、ノーマリーオフの効果を実験的に実証した。これらの成果を踏まえて、当該実証実験は十分な達成状況であると考ええる。

①-2-5の参考文献

- [1] 中島秀之, 白石陽, 松原仁:「スマートシティはこだて」の中核としてのスマートアクセスビークルシステムのデザインと実装, 観光情報学会誌「観光と情報」第7巻, 第号, pp. 19-28, 2011.
- [2] 松原仁, 中島秀之, “これからの都市型公共サービスを考える-はこだてスマートシティプロジェクトを例にして-“, 情報処理学会誌 Vol. 55 No. 2, 2014. 02. 15.
- [3] 中島秀之, 平田圭二, “サービス実践における価値共創のモデル”, サービスロジー, サービス学会, Vol. 1, No. 2, 2014. 07. 28.
- [4] 中島秀之, 野田五十樹, 松原仁, 平田圭二, 田柳恵美子, 白石陽, 佐野渉二, 小柴等, 金森亮, “バスとタクシーを融合した新しい公共交通サービスの概念とシステムの実装” 土木学会論文集 D3(土木計画学)Vol. 71 No. 5, p. I_875-I_888, 2015. 12.

①-2-6 低電力化回路技術 (担当:ルネサスエレクトロニクス株式会社、再委託先:神戸大学)

ここではセンサーネットワークシステムの中心をなすマイクロコンピュータ(MCU)の電力を低減するための基礎技術についての成果を述べる。

ワイヤレスネットワークシステムを超低電力で動作するための重要な要素回路の一つに、時間計測用発振回路(RTC: Real Time Clock)がある[1]-[3]。ノーマリーオフ動作の適用対象外となる RTC は、システムの電力を超低電力に抑えるため、超低電力で実現する必要がある。さらにシステム全体を1チップ化するために、CMOS 回路技術で構成する必要がある。以下、開発した超低電力で動作するオンチップ RTC について述べる。

(1)研究内容

本研究では最先端の水晶発振回路よりも低電力動作が可能で、PVT ばらつきによる周波数変動が±1%程度の時間計測を行う電流比較型アーキテクチャを用いた RTC を開発した。

図 2.2-48 に提案するラッチ型 RTC のブロック図を示す。提案回路は、バイアス回路(BCG:Bias Current Generator)、リセット付き時間計測用積分器(INTEG)、電圧電流変換回路(VCC:Voltage to Current Converter)、ラッチ構造を持つ電流比較回路(CCC:Current Comparison Circuit)、そして出力ロジックより構成される。

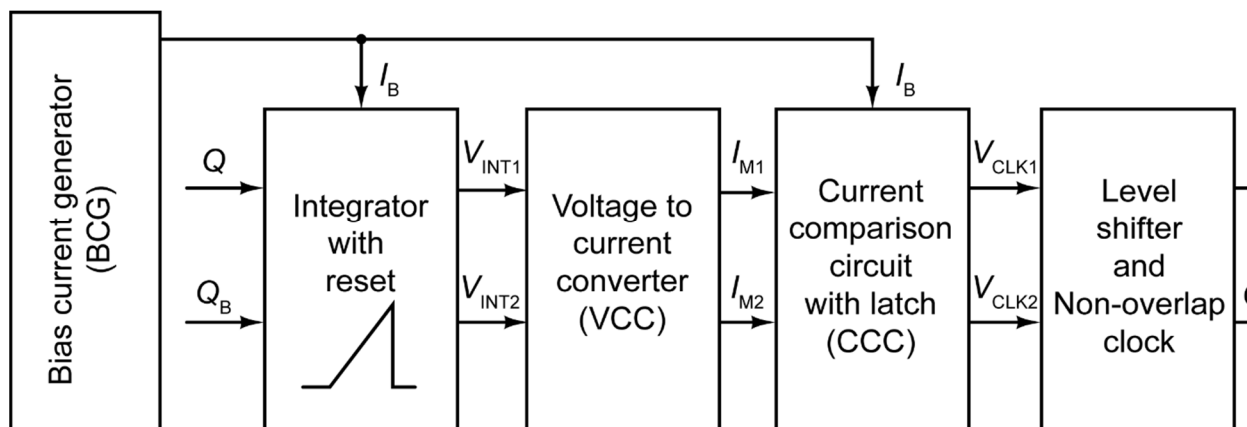


図 2.2-48 ラッチ型 RTC のブロック図

バイアス回路は、バイアス電流 I_B を生成し、時間計測用積分器と電圧電流変換回路へ供給する。時間計測用積分器は、ランプ波の V_{INT1} 、 V_{INT2} を生成し、その生成した電圧を電圧電流変換回路によりモニタ電流 I_{M1} 、 I_{M2} へ変換する。電流比較回路は、その変換されたモニタ電流 I_{M1} 、 I_{M2} を受けてバイアス電流 I_B と比較する。ラッチ回路は、モニタ電流 I_{M1} 、 I_{M2} が、バイアス電流 I_B へと到達した時に切り替わり、クロックを生成する。以下では、提案回路の動作原理について詳細に説明する。

図 2.2-49 にラッチ型 RTC の回路構成を示す。バイアス回路は、トランジスタ MN_1 のしきい値電圧 V_{TH} を参照しバイアス電流 I_B を生成する。バイアス電流 I_B は、

$$I_B = \frac{V_{GS,MN1}}{R_P + R_N}, \quad (1)$$

と表される。ここで、 $V_{GS,MN1}$ 、 R_P 、 R_N は、それぞれ MN_1 のゲートソース間電圧、正の温度特性を持つ抵抗、そして負の温度特性を持つ抵抗である。

図 2.2-50 に電圧電流変換回路と電流比較の回路構成と動作波形を示す。Q、 Q_B が、High、Low で、 MN_{RST1} 、 MN_{RST2} が、Off、On 状態の場合を用いて回路動作を説明する。

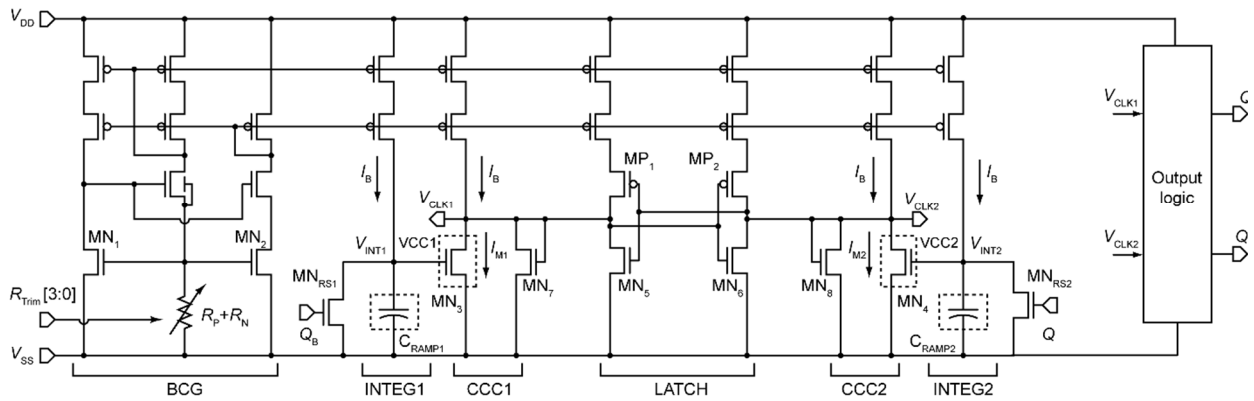


図 2.2-49 ラッチ型 RTC の回路構成

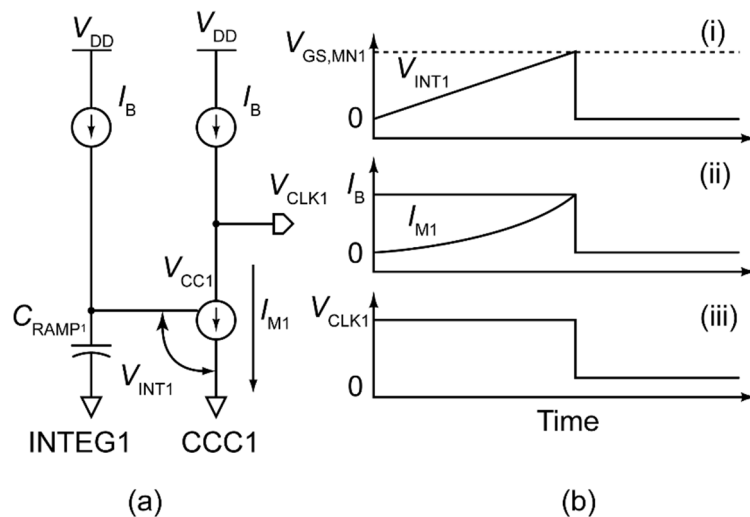


図 2.2-50 (a)電圧電流変換回路と電流比較回路の回路構成 (b) 動作波形

時間計測用積分器 C_{RAMP1} は、バイアス電流 I_B を受けてランプ波 V_{INT1}

$$V_{INT1} = \frac{I_B \cdot t}{C_{RAMP1}}, \quad (2)$$

を生成する。ここで、 t は時間である。図 2.2-50 (b)-(i) よりランプ波 V_{INT1} は、時間に比例して増加する。その状態を電圧電流変換回路である MN_3 がモニタする。図 2.2-50 (b)-(ii) より MN_3 は、ランプ波 V_{INT1} を電圧電流変換し、モニタ電流 I_{M1} を生成する。電流比較回路は、モニタ電流 I_{M1} とバイアス電流 I_B を比較する。図 2.2-50 (b)-(iii) より電流比較回路は、モニタ電流 I_{M1} がバイアス電流 I_B へ到達したこと検知し、インバータラッチが V_{CLK1} と V_{CLK2} の状態を Low、High へと切り替える。この動作を繰り返すことで、提案の弛張発振回路はクロックを生成する。

上記では、クロックの半周期 (T_{Cycle})について議論した。Qと Q_B の状態が入れ替わる瞬間の V_{INT1} は、

$$V_{\text{INT1}} = \frac{(I_B \cdot T_{\text{Cycle}} / 2)}{C_{\text{RAMP1}}}, \quad (3)$$

と表せる。さらに、モニタ電流 I_{M1} とバイアス電流 I_B が等しいため($I_{M1} = I_B$)、 V_{INT1} が $V_{\text{GS,MN3}}$ と等しくなり

$$V_{\text{GS,MN3}} = V_{\text{INT1}} = \frac{(I_B \cdot T_{\text{Cycle}} / 2)}{C_{\text{RAMP1}}}, \quad (4)$$

を得る。したがって、式(1)、(4)より1周期は、

$$T_{\text{Cycle}} = 2(R_P + R_N)C_{\text{RAMP1}} \frac{V_{\text{GS,MN3}}}{V_{\text{GS,MN1}}}, \quad (5)$$

と表せる。そして、 MN_1 と MN_3 (そして MN_4)のトランジスタを同じサイズで構成することで、ゲートソース間電圧同士は相殺し($V_{\text{GS,MN1}} = V_{\text{GS,MN3}}$)、プロセス変動に対する効果を最小限に抑制することができる。

動作周波数 F_{OUT} は、式(5)より、

$$F_{\text{OUT}} = \frac{1}{T_{\text{Cycle}}} = \frac{1}{2(R_P + R_N)C_{\text{RAMP}}}, \quad (6)$$

と表される。式(6)より、動作周波数 F_{OUT} は、バイアス抵抗 R_P 、 R_N と時間計測積分器のキャパシタ C_{RAMP} の値により決定される。

極低電力動作を達成するためには、バイアス電流 I_B を低電流化することが必須となる。式(1)より、バイアス電流 I_B の低電流化には大きな抵抗(R_P+R_N)を用いる必要がある。大きな抵抗(R_P+R_N)を用いて目標の動作周波数 F_{OUT} を達成するためには、キャパシタ C_{RAMP} を小さくする必要がある。しかし、小さなキャパシタを用いて構成した場合に動作周波数 F_{OUT} が、寄生キャパシタからの影響を大きく受けて劣化する課題がある。

この課題を解決するために、提案回路では、図 2. 2-51 に示す SC 回路を用いた電荷再配分積分器 (CRI: Charge Recycle Integrator)を用いた。図 2. 2-52 に電荷再配分積分器の動作波形を示す。図 2. 2-51 (a)の時間計測積分器がランプ波を生成している間において、 $C_{\text{RAMP,Sub}}$ は回路から切断され、リセットされている。時間計測が終了すると、図 2. 2-51 (b)に示すとおり $C_{\text{RAMP,Sub}}$ は積分器に対して並列接続される。積分器に充電された電荷が、 $C_{\text{RAMP,Sub}}$ へ再分配される。電荷の再分配された後に $C_{\text{RAMP,Sub}}$ は切断され、時間計測積分器は $V_{\text{GS,MN3}}/2$ からバイアス電流 I_B の充電を開始する。図 2. 2-52 に示すとおり、電荷再配分積分器無しの場合は、グランドレベルからの時間計測を行う。一方で、電荷再配分積分器有りの場合は、 $V_{\text{GS,MN3}}/2$ から $V_{\text{GS,MN3}}$ にかけて時間計測を行う。したがって、動作周波数 F_{OUT} は、式(6)より

$$F_{\text{OUT}} = \frac{1}{(R_P + R_N)C_{\text{RAMP}}}, \quad (7)$$

と表される。電荷再配分積分器を用いることで提案回路は、キャパシタ C_{RAMP} の容量値を小さくすることなく、大きな抵抗を用いて目標の動作周波数 F_{OUT} を生成できる。

図 2.2-49 において、 MN_7 、 MN_8 のトランジスタはダイオード接続されている。これは、 V_{CLK1} 、 V_{CLK2} のノード電圧をダイオードの電圧に制限するためである。 MN_7 、 MN_8 のダイオード接続構成のトランジスタがない場合において、インバータラッチは、 V_{CLK1} 、 V_{CLK2} を電源電圧 V_{DD} まで増加させる。しかし、電源

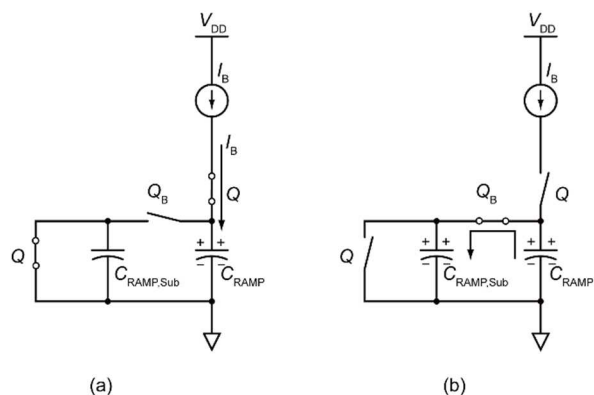


図 2.2-51 電荷再分配積分器の(a) 時間計測状態 (b) 電荷の再分配状態

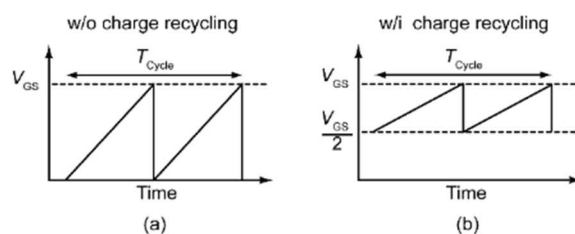


図 2.2-52 (a) 電荷再分配積分器無しの場合の動作波形 (b) 電荷再分配積分器有りの場合の動作波形

電圧 V_{DD} まで増加させる間にラッチの応答遅延が生じ、動作周波数が劣化する原因となる。提案回路では、ダイオード接続トランジスタを用いて振幅制限を行い、ラッチの応答遅延を小さくする構成とした。しかし、後段のデジタル回路が、ダイオードの電圧制限の信号により貫通電流を流す。貫通電流を防止するために提案回路は、振幅変換を行うレベルコンバータを用いて出力する構成とした。

式(7)より、動作周波数は、抵抗とキャパシタの温度特性と絶対値のばらつきの影響を受ける。キャパシタの温度特性は、非常に小さい。しかし、抵抗の温度特性は、大きく補正する必要がある。提案回路は、抵抗を正の温度特性を持つ拡散抵抗 R_p と負の温度特性を持つ高抵抗ポリシリコン抵抗 R_N を用いて、互いの特性を打消す構成により補正した。絶対値のばらつき対策は、トリミング回路を搭載することで補正できる。キャパシタのトリミングは、寄生キャパシタによりトリミング精度が劣化する可能性がある。そこで、提案回路では、抵抗トリミング回路を搭載し製造ばらつきに対して補正可能な構成とした。

(2)測定評価

提案回路を0.18- μm 、1P6M、スタンダードCMOSプロセスを用いて試作した。図2.2-53にチップ写真を示す。回路面積は0.185 mm^2 となった。拡散抵抗 R_P の典型値は11.7 $\text{M}\Omega$ 、高抵抗ポリシリコンの典型値は19.1 $\text{M}\Omega$ 、時間計測用キャパシタの値は858.8 fF とした。また、抵抗値はデジタル制御コードを用いることで、 $10.5 \text{ M}\Omega < R_P < 12.7 \text{ M}\Omega$ 、 $17.2 \text{ M}\Omega < R_N < 20.8 \text{ M}\Omega$ までトリミングできる構成とした。

図2.2-54に室温での出力波形とジッタの測定結果を示す。発振周波数は32.7 kHz で、消費電力は0.85 V印加時で54.2 nW となった。図2.2-55、図2.2-56に-40-80 $^{\circ}\text{C}$ の範囲における動作周波数、消費電流の温度依存性を示す。温度・電源電圧に対する周波数変動は、 $\pm 0.60\%$ 、 $0.89\%/V$ であった。図2.2-57に室温で測定した同一ウェハ上の全10チップトリミング前/後の発振周波数を示す。トリミング後の平均発振周波数 μ は32.6 kHz 、標準偏差 σ は0.27 kHz 、変動係数 σ/μ は0.83%となった。

表2.2-8に提案回路と従来回路の性能比較を示す。以上の結果より、提案回路は、PVTばらつきに対して $\pm 1\%$ 程度の精度を維持し、54.2 nW と従来の1/20の消費電力で動作した。

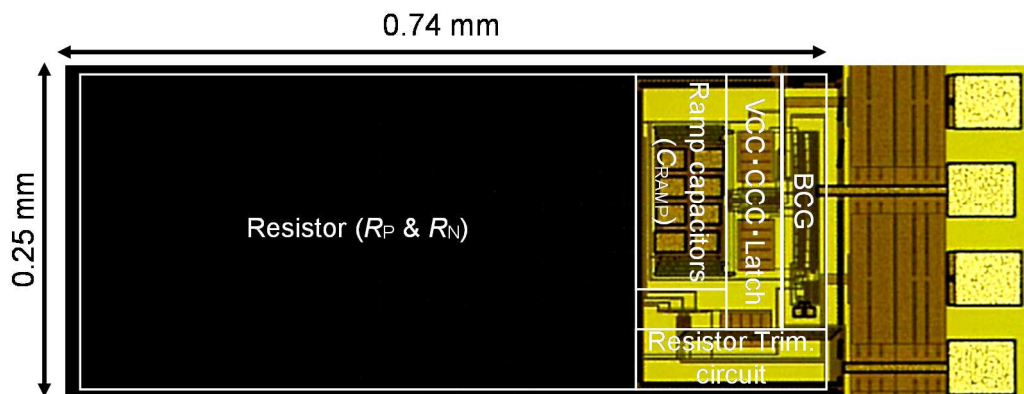


図 2.2-53 チップ写真

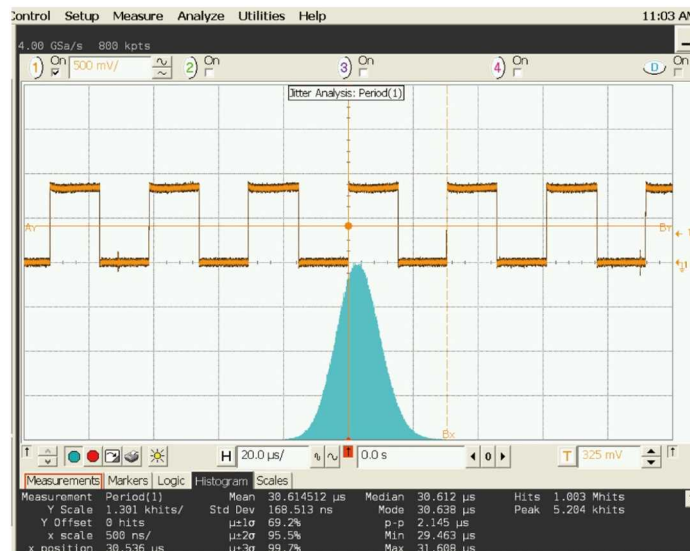


図 2.2-54 動作波形とジッタ測定の測定結果

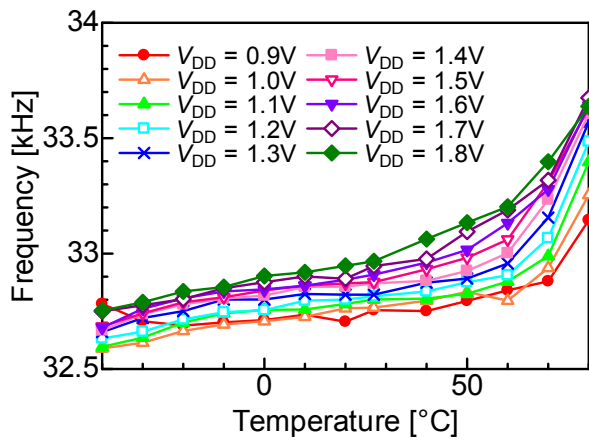


図 2.2-55 発振周波数の温度特性

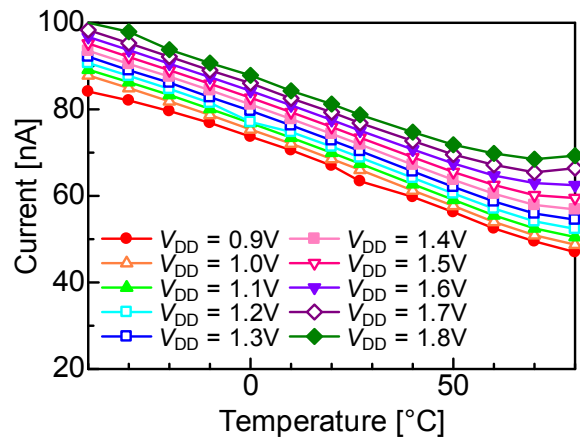


図 2.2-56 消費電流の温度特性

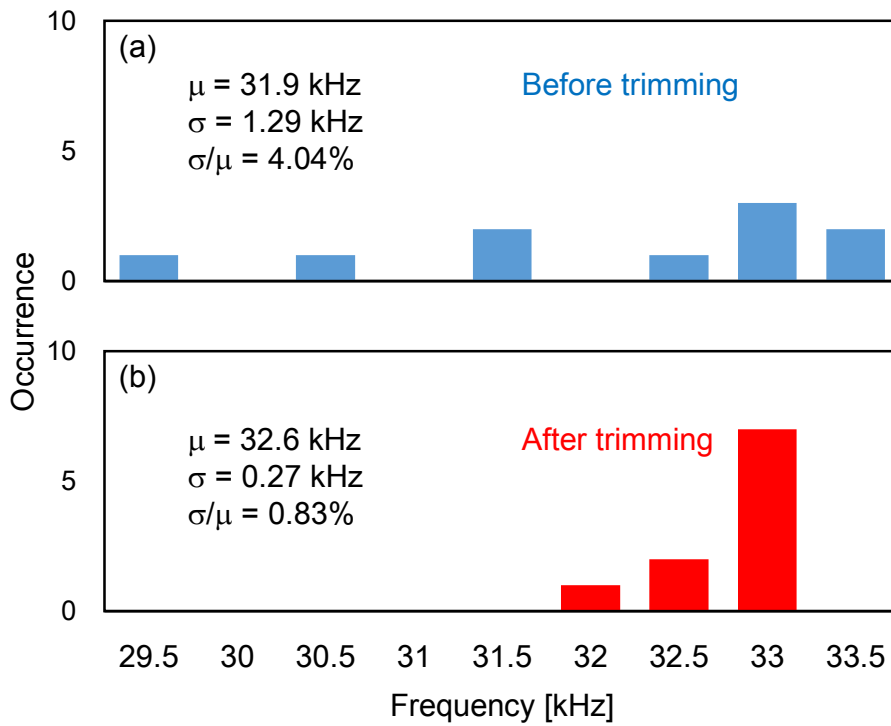


図 2.2-57 抵抗トリミング実施(a)前(b)後の発振周波数のチップ間ばらつき

表 2. 2-8 性能比較

Ref.	[1]	[2]	[3]	[4]	[5]	[6]	[7]	[8]	This work
Tech. [nm]	NA	180	65	90	65	60	65	180	180
Area [mm ²]	9	0.015	0.032	0.12	0.015	0.048	0.11	0.11	0.19
V _{DD} [V]	3	1.8	NA	0.7 - 0.9	1.2 - 1.4	1.6 - 3.2	1.1 - 1.4	1.0 - 1.8	0.85 - 1.85
T [°C]	-40 - 85	-45 - 80	-40 - 90	-40 - 90	-20 - 90	-20 - 100	-22 - 85	-40 - 100	-40 - 80
f [kHz]	32.768	31.25	18.5	100	33	32.768	100	32.55	32.7
P [nW]	108	360	120	280	190	4480	40800	470	54.2
FoM [nW/kHz]	3.30	11.52	6.49	2.80	5.76	136.72	408	14.44	1.66
$\Delta f_V / (f \Delta V)$ [%/V]	NA	5.0	1.0	9.37	0.09	0.06	0.37	1.1	0.89
$\Delta f_T / f$ [%]	±16ppm	±25	±0.25	±0.68	±0.21	±0.1	±1.1	±0.84	±0.60
σ_f / μ_f [%]	NA	0.51* (200 chips)	NA	NA	1.96* (5 chips)	NA	1.1* (11 chips)	1.39 (20 chips)	0.83* (10 chips)
Ext. signal	X-tal	X-tal	No	No	I _{PTAT}	No	No	No	No

* with trimming

(3)本取組みについてのまとめ

ノーマリーオフコンピューティング技術に対応した極低電力動作可能な RTC の研究を行った。試作した RTC は、32.7 kHz のクロックを生成し、54.2 nW と従来の 1/20 程度の消費電力で動作した。抵抗トリミングを実施した結果、PVT ばらつきから受ける周波数変動は、±1%程度に抑えられた。以上より、本研究で検討を行った RTC は、目標である最先端の水晶発振回路より低電力動作可能で±1%の周波数精度を実現した。

①-2-6の参考文献

- [1] T. Tokairin et al., "A 280 nW, 100 kHz, 1-cycle start-up time, onchip CMOS relaxation oscillator employing a feedforward period control scheme," in VLSI Circuits Symp. Dig. Tech. Papers. June, 2012, pp. 16-17.
- [2] K.-J. Hsiao, "A 32.4 ppm/°C 3.2-1.6V self-chopped relaxation oscillator with adaptive supply generation," in VLSI Circuits Symp. Dig. Tech. Papers. June, 2012, pp. 14-15.
- [3] K. Tsubaki, T. Hirose, Y. Osaki, S. Shiga, N. Kuroki, and M. Numa, "A 6.66-kHz, 940-nW, 56ppm/°C Fully On-chip PVT Variation Tolerant CMOS Relaxation Oscillator," 19th IEEE International Conference on Electronics, Circuits, and Systems (ICECS), pp. 97-100, 2012.

①-2-7 バッテリー駆動を考慮したノーマリーオフ電源制御アルゴリズムの開発

(担当:ルネサスエレクトロニクス株式会社、再委託先:岡山県立大)

ノーマリーオフ・システムにおいては、DC 電源駆動を対象にしており、できるだけ電源 off 時間を長く確保するために負荷の集中動作を推奨している。本研究では、バッテリー駆動のマイコンシステムにおいて、ノーマリーオフコンピューティングを適用し、バッテリー長寿命化を可能とする電源制御技術、および低消費電力化を目的とした基礎的な検討した。ノーマリーオフコンピューティング技術が期待されるバッテリー駆動マイコンシステムとして、センサーノードの実動作環境への適用を想定し、2次電池を用いた実験によりバッテリー特性を測定して、そのエネルギー供給状態におけるバッテリーの寿命（使用可能な電力からのエネルギー供給可能時間）を測定するとともに、寿命を求めるためのモデル化を行い、寿命の見積もりを可能としたことを報告する。

(1)研究内容

本研究では、バッテリー駆動のノーマリーオフコンピューティングにおけるバッテリー寿命の最長化の検討を行い、バッテリー長寿命化を目指したバッテリーのエネルギー供給時間を示すモデルを作成する。これにより、ノーマリーオフコンピューティングを適用するときのバッテリー寿命を概算予測可能なツール作成することとする。このバッテリー寿命モデルとノーマリーオフコンピューティングをリンクさせて、最適制御方式の検討を進め、及びそれらを実際の組込みシステムボードで実証する。

更に、2次電池に拡大しての電池の特性を調査し、実験方法および実験結果のデータを示し。電池駆動システムのノーマリーオフ制御モデルを作成し、それぞれNooff 集中研ボードをベースにしたエネルギー供給ボードを用いた評価を行い、バッテリー駆動ノーマリーオフコンピューティング制御方式に関する考察を述べる。

(1)-1バッテリー駆動システム向けノーマリーオフコンピューティング

(1)-1-2 DC 電源駆動システム向けノーマリーオフコンピューティング制御

DC 電源駆動システムに対してノーマリーオフコンピューティングを適用した場合の最適制御について述べる。DC 電源駆動システムのノーマリーオフ制御の目的は、オフ時間を可能な限り長くすることでstand-by 電流等を削減することと集中制御によりオン・オフ 回数を減らすことでオン・オフによって発生するオーバーヘッドエネルギー等を削減することなので、図2.2-58 のような動作をするシステムの最適電力制御は図2.2-59 になる。

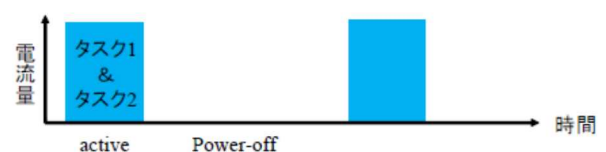
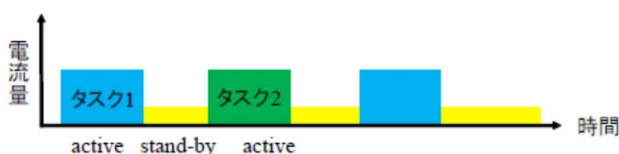


図2.2-58 省電力化を考慮しないDC 電源制御

図2.2-59 ノーマリーオフでの最適DC 電源制御

オーバーヘッドエネルギーとは電源投入時に消費する余計な電力のことである。電源のオン・オフを行うとオーバーヘッドエネルギーが増加するので、オーバーヘッドエネルギーによる電力消費の増加量とノーマリーオフコンピューティング適用による消費電力削減量のトレードオフを考慮して、消費電力削減量が電力消費の増加量を上回っている場合のみノーマリーオフ制御を行うものとする。

(1)-1-3 センサーノード向バッテリー駆動システムへのノーマリーオフコンピューティング基本制御

センサーノードは主にセンサ、アンプ、A/D コンバータ（以下ADC）、マイコン、無線通信機を動作する[5][6][7]。センサーノードを構成するそれぞれの要素の概略図を図2.2-60 に示す。

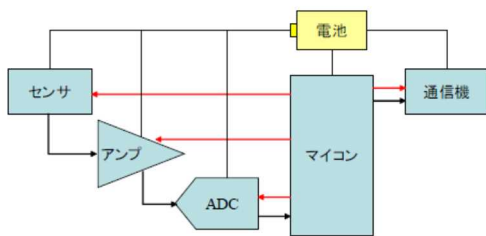


図2.2-60 センサーノードの概略図

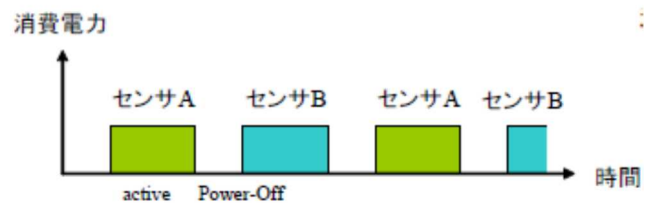


図2.2-61 センサーノード制御：順番に使用

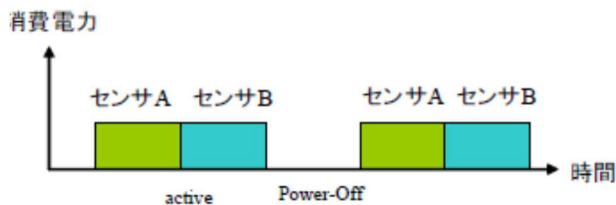


図2.2-62 センサーノード制御：連続で使用

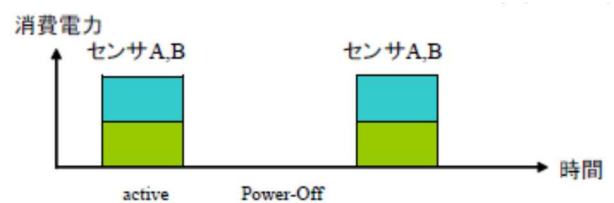


図2.2-63 センサーノード制御：同時に使用

センサは周辺環境の情報を収集し、それを電圧値としてアンプに出力する。アンプはセンサからの出力を増幅し、ADCに出力する。ADCは増幅されたアナログ値をデジタル値に変換し、マイコンに出力する。マイコンは出力されたデジタル値に応じてプログラムされた動作、例えば出力されたデジタル値のホストへの送信などを行う。センサーノードには複数のセンサを搭載したマルチセンサシステムが存在する。本研究ではシングルコアマルチセンサシステムを対象とする。2つのセンサを使用するセンサーノードのセンサの制御例を図2.2-61～63に、概略図を図2.2-64に示す。図2.2-62～63それぞれの制御方式の主な違いを挙げると以下のようなになる。図2.2-61のように2つのセンサを順番に使用する場合、

1. 電源のオン・オフ回数が多。
2. 一度のPower-Off 時間が短い。
3. 一度に流れる電流量が小さい。

図2.2-62のように2つのセンサを連続で使用する場合、

1. 電源のON/OFF 回数が少ない。
2. 一度のPower-Off 時間が長い。
3. 一度に流れる電流量が小さい。

図2.2-63のように2つのセンサを同時に使用する場合

1. 電源のON/OFF 回数が少ない。
2. 一度のPower-Off の時間が長い。
3. 一度に流れる電流量が大きい。

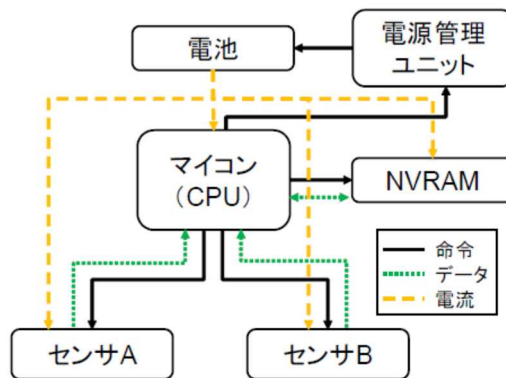


図2.2-64 シングルコアマルチセンサシステム概略図

図2.2-61は、制御方式がほかの2つの制御方式と比較してwake-up 処理の回数などが増えるため消費電力が大きい。図2.2-63の制御方式はほかの2つの制御方式と比較してON 時間が短いことによりリーク電流が少ない。よって既存の研究からDC 電源駆動センサーノードのシステム制御方式が適していることが明らかであるが、電池駆動センサーノードがDC 電源駆動センサーノードと同じシステム制御方式が適しているとは限らないため、以下、電池駆動センサーノードに対するノーマリーオフコンピューティングの適応について述べる。

(1)-1-4 バッテリーの特性とノーマリーオフコンピューティングの関係

DC 電源から電力を得る場合、100 の電力を得るなら100 すべてを使用できるが、100 の容量を持った電池から電力を得る場合、自然放電などで電力を消費してしまうため、100 すべてを使用することはできない。バッテリーの使用可能な電力のイメージを図2.2-65に示す。図2.2-65 (a) のように初期状態の容量すべてをシステムの動作の電力として消費することが理想的だが、実際の使用可能な電力は図2.2-65 (b) のように自然放電などで減少する。ノーマリーオフコンピューティングを適用すると自然放電に加え、バッテリーのオン・オフなどのバッテリーへの負荷をはじめとした様々な要素により使用可能な電力が変化すると考えられる。図2.2-65 (c) では使用可能な電力が減少しているが、実際は図2.2-65 (b) よりも増加する可能性もある。ノーマリーオフコンピューティングの適用により使用可能な電力が減少した場合でも、不要な領域への電力供給の停止による消費電力の削減量が使用可能な電力の減少量を上回っていればバッテリー寿命は長くなる。

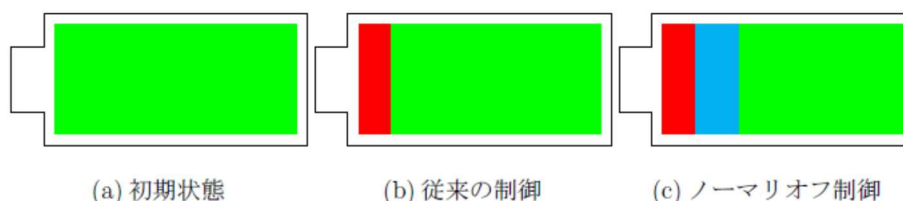


図2.2-65 バッテリーの使用可能な電力の例

図2.2-65の使用可能な電力のすべてを動作の電力として消費することと、使用可能な電力を最大

限に維持することが理想であり、ノーマリーオフコンピューティングの成功例として、従来制御と比較して、ノーマリーオフコンピューティングによる消費電流値（ピーク電流値も含めて）の削減効果、および電源のストレス等により使用可能な電力に変化が起ることを考慮する必要がある。この影響により、実際の使用可能な電力は、消費電力が削減されるとともに、オン・オフ制御やピーク電流の上昇等のストレスを考慮し、バッテリー寿命を最長化する事が目標になる。バッテリー寿命は、使用可能な電力を単位時間当たりの平均消費電力で割った値で定義することとする。ノーマリーオフコンピューティングを適用することにより、不要な領域への電力供給の停止により消費電力を削減することはできるが、削減した使用可能な電力よりもノーマリーオフコンピューティング制御をすることでの、バッテリーに対するストレスの影響で減少する使用可能な電力とのトレードオフになり、バッテリー制御ノーマリーオフコンピューティングとしての新たなブレークイーブンポイントを定義する必要がある。

(1)-1-5 バッテリーの基本特性

今回、研究で使用した電池を表2.2-9に示す。公称電圧は電池の放電開始時の電圧の事を指す。終止電圧は電池の放電終了とみなす電圧のことで、この電圧以下で使用を続けると電池に液漏れなどの破損が生じる危険性がある。電池容量は電池の内容量を意味する。標準電流は電池容量を保証する最大電流のことで、標準電流以上の電流を流す場合（過電流）、電池容量以下の電力しか取り出せない可能性が大きく、DC電源で推奨されている、DVFSやオフ時間を長くして動作を集中させるノーマリーオフコンピューティング制御に対し、バッテリー駆動の場合、大きな影響を与えると予想される。

表2.2-9 今回実験に使用した電池

	LR44	CLB2032	LIR2032
電池タイプ	一次電池	二次電池	二次電池
公称電圧	1.50V	3.70V	3.60V
終止電圧	1.20V	3.00V	2.75V
使用温度範囲	-10℃～60℃	-20℃～60℃	-20℃～60℃
電池容量	105mAh	70mAh	40mAh
標準電流	0.12mA	14mA	8mA
最大放電電流	80mA	140mA	80mA

今回用いる表2.2-9に記載されている1次電池LR44と2次電池CLB2032、LIR2032の放電特性（データシート）を図2.2-66～図2.2-71に示す。電流量別の放電特性を比較してみると、電流量が標準電流以上の場合、すべての電池が電池容量を100%使い切れていないことが確認できる。温度別の放電特性を比較してみると、すべての電池が低温で動作した場合、電池寿命が短くなることが確認できる。高温での動作の場合図2.2-67と図2.2-71は容量の変化のため電池寿命が減少しているように見えるが、イオンの活発化により実際は図2.2-69のように電池寿命は増加している可能性がある。

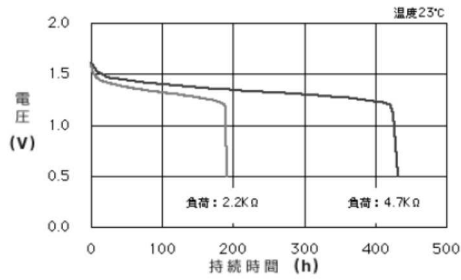


図2.2-66 LR44の負荷電流による放電特性

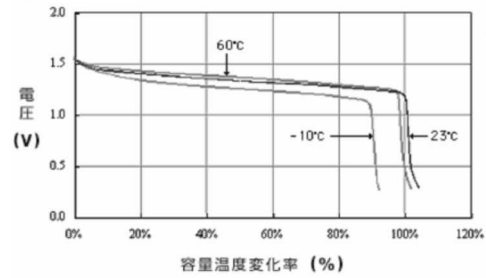


図2.2-67 LR44の温度による放電特性

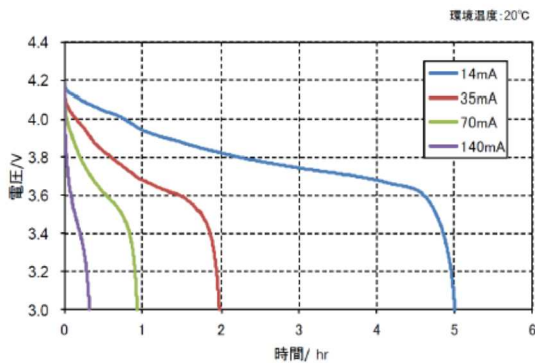


図2.2-68 CLB2032の負荷電流による放電特性

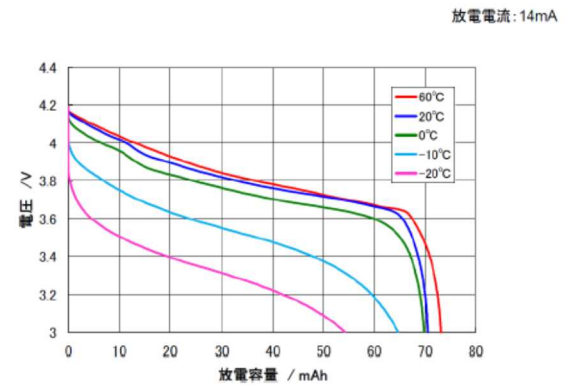


図2.2-69 CLB2032の温度による放電特性

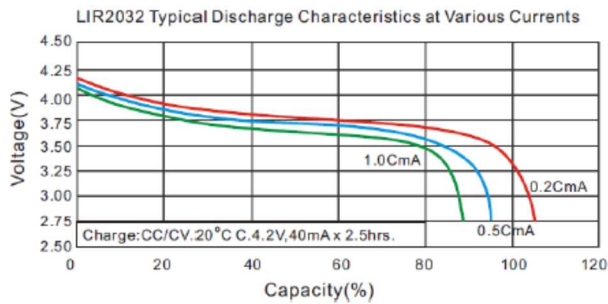


図2.2-70 LIR2032の負荷電流による放電特性

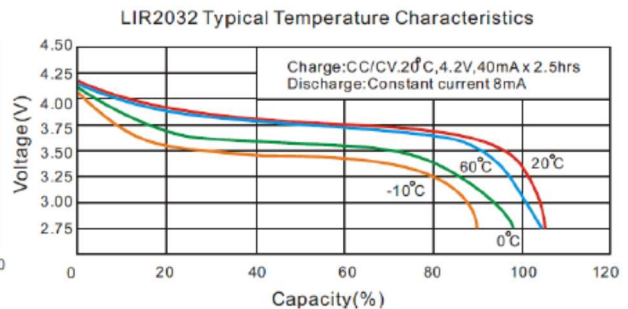


図2.2-71 LIR2032の温度による放電特性の違い

(1)-1-6 バッテリ原理と電気化学反応

バッテリー原理の概略図についてリチウムイオン電池を例に図2.2-72に示す。

負極: LiC₆、正極: LiMn₂O₄、セパレータで構成されており、負極から正極にリチウムイオンが転移するときが放電となり、正極から負極にリチウムイオンが転移するとき充電となる。Li⁺イオンの転移が電流と等価と定義され、電流値とイオン濃度の関係を解析することにより電池寿命を推定できる。

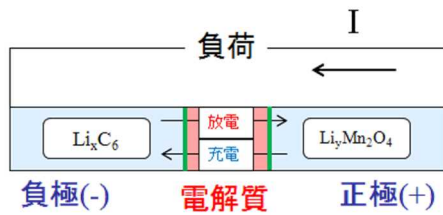


図2. 2-72 バッテリー原理の概略図

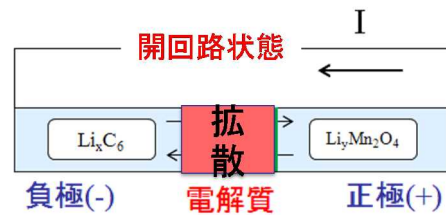


図2. 2-73 抑制効果時のバッテリーの概略図

以下に理論結果を簡単にまとめておく。

抑制効果：負荷電流を大きくすると電池内部のイオン密度が大きくなり、電解質中でのイオンの伝達率（利用効率）が下がることで、使用可能な電力が減少する。図2. 2-73に 抑制効果時のバッテリーの概略図を示す。

回復効果：イオン保存則により、電解質中のイオンの拡散量と電流の関係が決まり、電解質ポテンシャル（電解質中の保存されている電荷）を表わす。

閉回路から開回路（電源のオンからオフ）にしてポテンシャルを取り除くと、電解質中のリチウムイオンが電解質の濃度勾配にしたがって拡散して、擬似的に充電方向の拡散が起こり（以下疑似充電）、使用可能な電力を増加させる。これを回復効果として定義する。リチウムイオン電池の場合、30ms程度閉回路を構成すれば、疑似充電が可能となる電解質ポテンシャルが構成される。

温度効果：電池内部で熱対流無しの場合、一般的に温度が高いほうが、電気化学反応が促進され60 °C程度が大きな使用可能な電力が得られる。

(1)-1-7 バッテリーオン・オフモデルのコンセプト

上記の3効果において、今回特にノーマリーオフコンピューティング制御における集中動作/分散動作およびそれに係わる電源のオン/オフ制御は、前述の抑制効果と回復効果に大きく影響を与える。図2. 2-74に、前述のバッテリー理論に基づき、抑制効果と回復効果を組み込んだ使用可能な電力の振る舞いモデルの模式図を示す。以下これを、バッテリーオン・オフベーシックモデルと定義する。縦軸は、消費可能時間に対応するバッテリーによる実動作時間、横軸にオン・オフ切り替え時間を示す（この場合、オン・オフデューティ比を1：1にしている）。各オン・オフモデルにおいては、負荷電流は一定とする。また、上記に記載した抑制効果を加味すると、標準電流以下のオン・オフモデルと、標準電流以上は、各負荷電流をパラメータとしたオン・オフモデルを定義する。この仮説を、実験で実証していく。

バッテリーオン・オフベーシックモデルの内容を以下に記載する。

0点は、連続通電ポイントを示す。0点からA点は、頻りに電源のオン・オフが行われる期間であり、オフ時間が短いために、疑似充電が進行中なので、その一部しか行われない。A点に到達すれば、電解質ポテンシャルに対応する疑似充電が行われる。これにより、0点かA点に向かって、実動作時間は増えていく。

A点～B点では、疑似充電が行われるが、電源のオン・オフ頻度が、B点の方が少なくなる。疑似充電の行われるトータルのオフ時間は同じであるので、実動作時間は一定になる。B点は、オフ時

間に最大効率での疑似充電が行われることを示す。

B点～C点においては、疑似充電の行われるオフ時間以上にオフ時間が長くなるので（C点に向かうほど、疑似充電の行われないオフ時間が長くなる）、実効的な疑似充電効果量が減少する。最終的には、0点と同じ実動作時間になる。

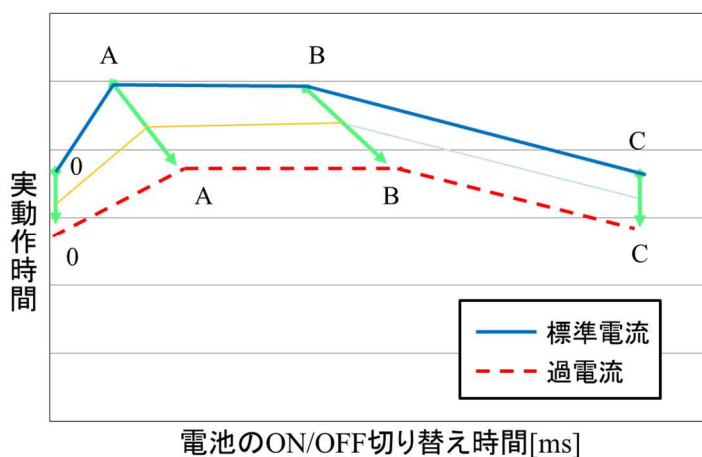


図2.2-74 バッテリオン・オフモデルの模式図

模式図に示した2つの線は、それぞれ標準電流および過電流の場合のバッテリーオン・オフモデルを示す。抑制効果により、過電流の場合、実動作時間（標準電流の場合に正規化）が短くなる。また、A点、B点、C点が過電流の場合、0点に比べて右にシフトしているとともに、疑似充電による効果割合が増加する。これは抑制効果による電池内部のイオン密度が大きくなり、実効的な電解質ポテンシャル（電解質中の保存されている電荷）も大きくなるので、疑似充電にかかる時間が長くなるとともに、疑似充電による回復効果の伸びが大きくなると予想される。

これから、バッテリー寿命実験を行うことにより、上記のバッテリーオン・オフベーシックモデルを実証して、実験結果から上記の仮説モデルにフィッティングすることで、バッテリーオン・オフベーシックモデル式を作成する。さらに、標準電流から過電流の任意の負荷電流を流した場合の実時間動作を表現可能とする、拡張バッテリーオン・オフモデルとモデル式を作成する。

(1)-1-8 バッテリー寿命測定実験

実際にバッテリーに負荷をかけて1次電池LR44と2次電池（CLB2032、LIR2032）との3種類の電池を用いて、電池は使い切られたものとみなすことができる終止電圧に達した時間を電池寿命と定義して、条件を変えて測定実験した。集中研ボードを動作させるため、1次電池は5段のスタック（ $1.2V \times 5 = 6V$ ）とし、それぞれの2次電池は2段のスタック構成（ $2.75V \times 2 = 5.5V$ ）とした。

バッテリー寿命測定実験用の評価ボードを図2.2-75に示す。2015年度に作成した、バッテリー制御ボード（右側）と集中研Noffボードを図2.2-75に示すように接続して、集中研Noffボード上のマイコンRL78からのオン・オフ命令信号により、電源のオン・オフ時間を変更して測定した。なお、オン・オフモデルの検証のために、まず電流量別の電池の実動作時間（寿命に相当）を様々な負

荷を用いて測定した。



図2. 2-75 バッテリ駆動Noffシステムボード外観図

(1)-1-9 LR44寿命測定実験結果

電流負荷実験の結果を図2. 2-76に示す。この電池の電池容量は105mAh であるが、電池の抑制効果により、電流量が大きくなると電池容量を100%使用できないことが確認できた。標準電流値(1.5mA)以上(3mA, 6mA) で使用した際の動作時間を標準電流の値を基準として正規化した図を図2. 2-77で示す。

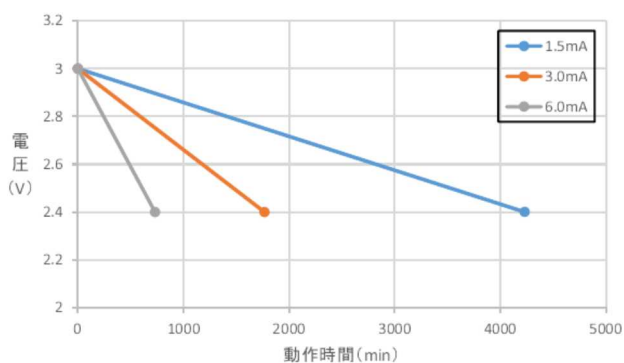


図2. 2-76 LR44の負荷電流別の動作時間

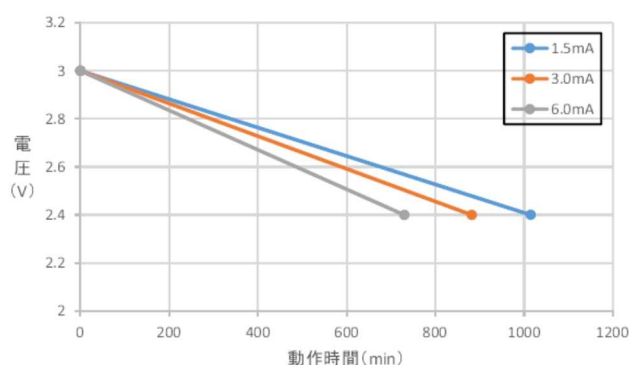


図2. 2-77 1.5mAで正規化したLR44の負荷電流別の動作時間

次に、疑似充電効果を確認するために、オン・オフ切り替え実験を6mA の負荷電流で行った実験結果を図2. 2-78で示す。LR44 の実動作時間は最大16 時間30 分まで増加した。実験結果を前述のバッテリーオン・オフモデルに合わせこむと、A点が約10ms、B点が約50msということが分かり、Max疑似充電に至る進行時間も、それぞれ約10ms、約50msであることがわかる。

LR44は1次電池であるので、再充電ができない。標準電流が非常に小さく、標準電流以下でのオン・オフ切り替え実験では、測定時間が長く、自然放電や電池内部温度変動等の影響での実動作時間のバラツキが個々の電池で大きくなったため、本報告からは割愛する。

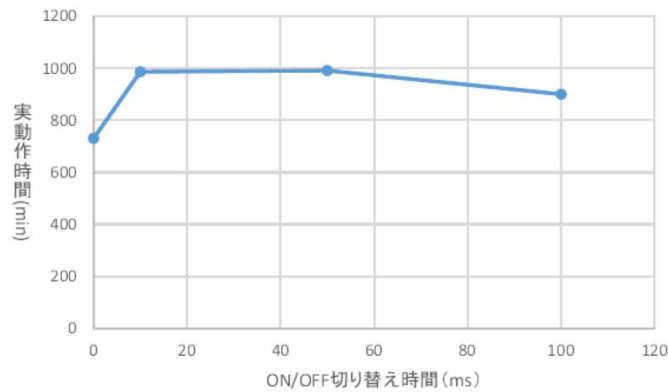


図2. 2-78 LR44のオン・オフ切れ変え時間別の実動作時間の変化

(1)-1-10 CLB2032寿命測定実験結果

電流負荷実験は、電流値を14mA（標準電流）、35mA、70mA、105mA、140mAに変更し測定した。電流負荷実験の結果を図2. 2-79に示す。この電池の電池容量は70mAhなので、それぞれの電流量で電池容量を100%使用した場合の動作時間は5時間、2時間、1時間、40分、30分になるが、実験の結果は5時間3分、1時間56分、52分、31分、16分となり、LR44と同様に、電流量が大きくなると電池容量を100%使用できないことが確認できた。標準電流以上で使用した際の動作時間を14mAの値を基準として正規化した図を図2. 2-80で示す。電流量の増加に伴って指数関数的に使用可能な電池容量は減少していることがわかる。このことからできるだけ標準電流に近い電流量での使用が望ましいと考えられる。

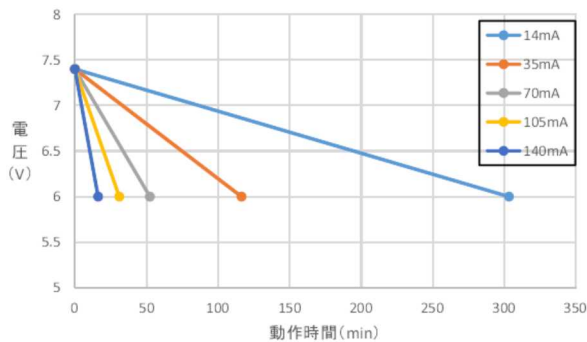


図2. 2-79 CLB2032の負荷電流別の動作時間

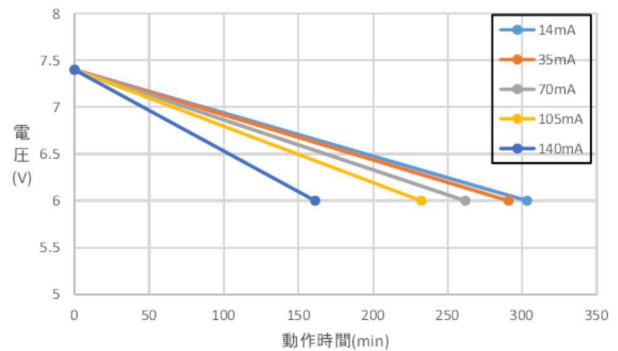


図2. 2-80 14mAで正規化したCLB2032の負荷電流別の動作時間

次に、オン・オフ 切り替え実験を14mA（標準電流）と105mA（過電流）の2種類の電流で行った。標準電流時のオン・オフ切り替え時間は、デューティ比1:1で行った結果を図2. 2-81に示す。実動作時間はバッテリー寿命オン・オフモデルに沿った結果を示し、またLR44と同じ傾向を示した。標準電流（14mA）の場合と過電流（105mA）の場合を比較すると、Max疑似充電の進行時

間はともに、過電流になるほど、時間がかかることを示し、また連続通電時からの疑似充電率でみた場合、図2. 2-74の仮説オン・オフモデルに一致した結果となり、前述のモデル作成時に述べた、抑制効果を反映した結果を得ることができた。

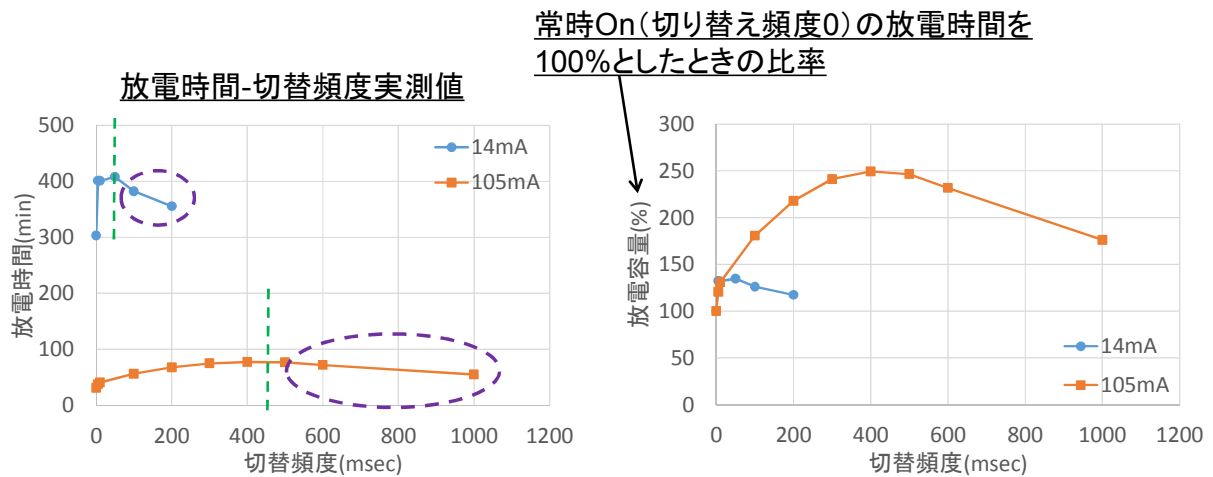


図2. 2-81 CLB2032のオン・オフ切れ変え時間別の実動作時間の変化

(1)-1-11 CLB2032バッテリー寿命オン・オフベーシックモデル式の作成

バッテリー寿命オン・オフモデル式を作成して、実験値以外のパラメータの場合の、寿命予測のためのツールを作成する。

図2. 2-81の実験結果を前述のモデルを考慮して簡略化すると、変化の少ない部分を平坦として見做し平坦の開始点をA点、終了点をB点として、モデルと同様の図2. 2-81のような模式図になる。実験の結果から14mAのA点は5ms、B点は50msになり、105mAのA点は300ms、B点は500msになる。A点、B点が電流量に応じて線形で変化すると仮定すると、A点、B点の位置は以下の式で求められる。

- $-0.0185y + 6.78$ (1) CLB2032のA点の位置を求める式
- $-0.0012y + 7.42$ (2) CLB2032のB点の位置を求める式

(1)-1-12 LIR2032寿命測定実験結果

電流負荷実験は、電流値を8mA（標準電流）、20mA、40mA、60mA、80mAに変更し測定した。電流負荷実験の結果を図2. 2-82に示す。この電池の電池容量は40mAh なので、それぞれの電流量で電池容量を100%使用した場合の動作時間は5 時間、2 時間、1 時間、40 分、30 分になるが、実験の結果は4 時間57 分、1 時間50 分、49 分、30 分、15 分となり、LR44、CLB2032と同様に、電流量が大きくなると電池容量を100%使用できないことが確認できた。標準電流以上で使用した際の動作時間を8mA の値を基準として正規化した図を図2. 2-83で示す。電流量の増加に伴って指数関数的に使用可能な電池容量は減少していることがわかる。このことからできるだけ標準電流に近い電量での使用が望ましいと考えられる。

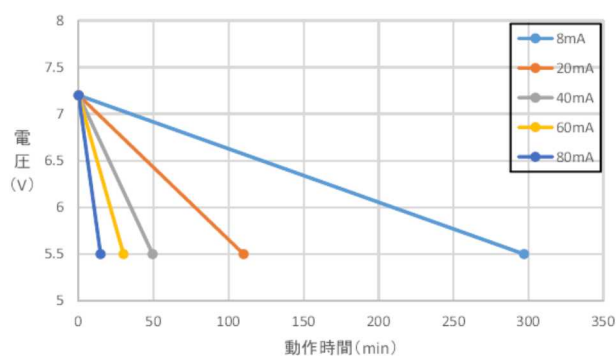


図2. 2-82 LIR2032の負荷電流別の動作時間

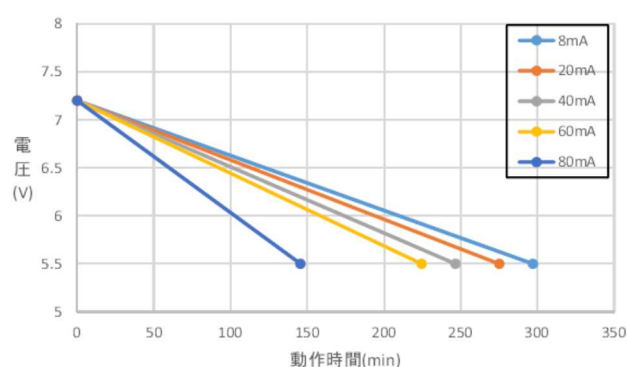


図2. 2-83 8mAで正規化したLIR2032の負荷電流別の動作時間

次にオン・オフ 切り替え実験を8mA（標準電流） と60mA（過電流）の2 種類の電流で行った。標準電流時のオン・オフ切り替え時間は、デューティ比1:1で行った結果を図2. 2-84 に示す。実動作時間はバッテリー寿命オン・オフモデルに沿った結果を示し、またLR44、CLB2032と同じ傾向を示した。標準電流（8mA）の場合と過電流（60mA）の場合を比較すると、Max電界ポテンシャル形成時間とMax疑似充電が時間とともに、過電流になるほど、時間がかかることを示し、また連続通電時からの疑似充電率でみた場合、図2. 2-74の仮説オン・オフモデルに一致した結果となり、前述のモデル作成時に述べた、抑制効果を反映した結果を得ることができた。

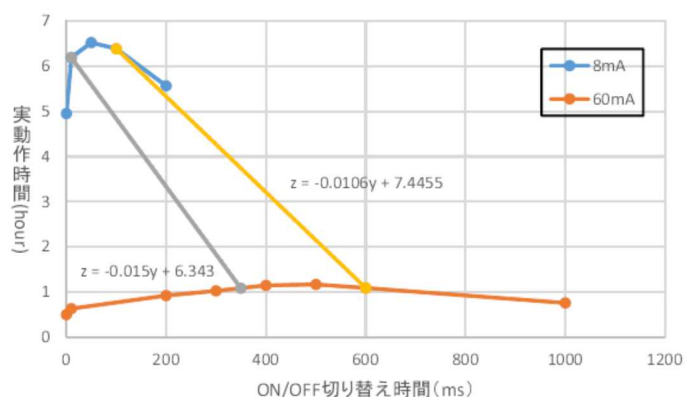


図2. 2-84 LIR2032のオン・オフ切れ変え時間別の実動作時間の変化

(1)-1-13 LIR2032バッテリー寿命オン・オフベーシックモデル式の作成

バッテリー寿命オン・オフモデル式を作成して、実験値以外のパラメータの場合の、寿命予測のためのツールを作成する。

図2.2-84の実験結果を前述のモデルを考慮して簡略化すると、変化の少ない部分を平坦として見做し平坦の開始点をA点、終了点をB点として、モデルと同様の図2.2-74の模式図になる。実験の結果から8mAのA点は10ms、B点は100msになり、60mAのA点は350ms、B点は600msになる。A点、B点が電流量に応じて線形で変化すると仮定すると、A点、B点の位置は以下の式で求められる。(図2.2-84参照)

- ・ $-0.015y + 6.34$ (3) LIR2032 のA点の位置を求める式
- ・ $-0.00106y + 7.45$ (4) LIR2032 のB点の位置を求める式

(1)-1-14 バッテリー寿命実験結果の検討

- ・ 一次電池と二次電池の比較

一次電池と二次電池の実験結果を比較する。標準電流以上の過電流で使用すると、抑制効果により、どちらも電池容量を100%使用することができないが、標準電流の何倍の負荷電流を流したかといポイントで見ると一次電池への電流量増加による影響は二次電池より小さい。(ただし、絶対量は二次電池が大きいので、充電機能有無以外に対象システムの消費電流を十分に考慮する必要がある。一方、回復効果による影響を比較すると、実動作時間の増加割合が二次電池の場合が大きいので、電界ポテンシャル構成時のイオン密度が大きいことが分かる。また、システム上で、一時的に過電流が流れる場合等がある場合は、二次電池の方が、電池寿命がその影響に左右されにくいことが分かる。

- ・ CLB2032 とLIR2032 の比較

CLB2032 とLIR2032 の実験結果を比較すると、電流量の変化に対する動作時間の変化を比較すると全体的にLIR2032 よりCLB2032の方がわずかに長持ちしていた程度で大きな差異はなかった。このことから、電流量による動作時間への影響はLIR2032とCLB2032ともに変わらないと言える。オン・オフ切り替え時間の違いによる実動作時間の変化を比較すると、CLB2032よりLIR2032の方がA点、B点どちらも右にシフトしているが、実動作時間の変化はほぼ同じ形となった。また回復効果による実動作時間の増加率を比較すると標準電流時、大電流時どちらもCLB2032の方が大きかった。以上のことから、二次電池によって電流量の影響の強さや回復効果の影響は細かな点ではそれぞれ異なるが、基本的な放電特性は、バッテリーオン・オフベーシックモデルで表現されると言える。

(1)-1-15 電池駆動システムのノーマリーオフ制御モデル

バッテリー寿命実験やバッテリーオン・オフベーシックモデルから、システムを長時間動作させるためのノーマリーオフコンピューティング制御の方向が明らかになったので、以下に電池駆動センサーノードのノーマリーオフコンピューティング最適制御モデルを作成して検討する。

(1)-1-16 バッテリオン・オフ 拡張モデルの作成

実験結果から回復効果には以下の3つの領域有するモデル化が正しいことが実証された。

1. オフ時間が短いので、疑似充電が不十分であるので、オフ時間の増加に伴って実動作時間の増加する区間
2. オン時間で形成される電界ポテンシャルに相当する疑似充電がオフ時間に行われる。
この区間ではオン時間とオフ時間の総和が等しい場合、実動作時間が変化しないとみなせる区間
3. オン時間が伸びても、疑似充電に対応する電界ポテンシャルは一定以上には大きくなる。つまり、疑似充電が一致時間のオフ時間に完全に完了し、それ以上のオフ時間が増加することは、疑似充電に全く寄与しないので、実効的な実動作時間の減少する区間

1 は図2.2-74に示す 0 点～A 点の間の区間、2 はA 点～B 点の間の区間、3 はB 点～C 点の間の区間とする。A点、B 点の位置は前述のとおり条件で決定する。0 点は常に電流を流した場合、つまりオフ時間が0 の位置とする。オン・オフの切り替え時間が増加していくとやがて実動作時間が0 点の実動作時間に近づいていくので、オフ時間が10000msの場所をC 点の位置とし、その時の実動作時間を0 点の実動作時間と等しくなると近似する。バッテリーは前述の疑似充電がその時の負荷電流に依存することがわかっている。そこで、負荷電流をメインのパラメータにして上記の疑似充電の性質を盛り込んだモデル式を作成することで任意の負荷電流でのバッテリーオン・オフ モデル式を作成することが可能となる。

(1)-1-17 CLB2032 のオン・オフ拡張モデル式

以下に、CLB2032のオン・オフ拡張モデル式の作成を行う。実稼働時間をz(hour)、オン・オフ切り替え時間をy(ms)、負荷電流をx(mA) で表す。

zn()のn =1 の時 ⇒CLB2032 が14mA 以下の電流で動作した場合の実動作時間、

2 の時 ⇒CLB2032 が14mA～140mA の電流で動作した場合の実動作時間、

3 の時 ⇒LIR2032 が8mA 以下の電流で動作した場合の実動作時間

4 の時 ⇒LIR2032 が8mA～80mA の電流で動作した場合の実動作

zn()の括弧の中が区間を示す。負荷電流ごとの割合換算の電池寿命モデルを図2. 2-85に示す。図2. 2-85に示された電池容量使用割合の変化の式を以下に示す。

$$-0.0023x^2 - 0.0043x + 100 \quad (5)$$

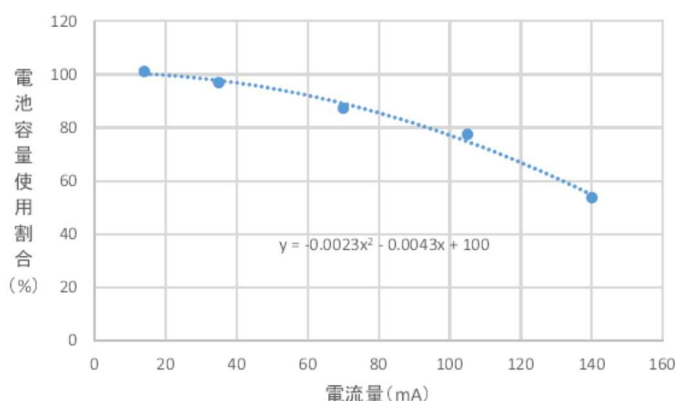


図2. 2-85 CLB2032の電池容量使用割合の変化

A 点からB 点までの平均実動作時間と0 点での実動作時間から、回復効果によって増加した電池寿命の割合を求めると、14mA の場合は約32%増加し、105mA の場合は約145%増加している。ここで標準電流以下での回復効果による電池寿命の増加割合は一定と近似してすべて32%増加したものとみなす。過電流の状態では回復効果による電池寿命の増加割合が線形変化すると近似すると14mA～140mA の間の電池寿命の増加割合は以下の式で示すことができる。

$$1.24x + 14.6 \quad (6)$$

0 点の実動作時間を求める。

14mA 以下の実動作時間は電池容量を電流量で除した値なので以下の式になる

$$z1(0) = 70 / x \quad (7)$$

14mA～140mA の実動作時間は14mA 以下の実動作時間に電池容量使用割合((5)式) を乗算した値なので以下の式になる

$$z2(0) = -0.00161x - 0.00301 + 70 / x \quad (8)$$

0 点～A 点の実動作時間は電流による実動作時間の変化を線形近似して求める。

14mA 以下は線形の式の公式から切片が70=x、傾きが22:4=x なので以下の式になる。

$$z1(0\sim A) = (4.48 * y + 70) / x \quad (9)$$

14mA～140mA のA 点のON/OFF 時間は0 点の実動作時間の式と(6) 式と(1) 式から

$$z2(0\sim A) = \frac{0.00000037x^3 + 0.00000503x^2 - 0.0161x - 0.189}{-0.00002x^2 - 0.00188x^2 - 5.92x + 80.2} y - 0.00161x - 0.00301 + \frac{70}{x} \quad (10)$$

A 点～B 点の実動作時間は0 点の実動作時間に電池寿命の増加割合で増加した値を加算することで求められる。

14mA 以下の実動作時間は0 点の実動作時間に1.32 倍すればよいので以下の式になる

$$z1(A\sim B) = (70 / x) * 1.32 \quad (11)$$

14mA～140mA の実動作時間は0 点の実動作時間に(6) 式を乗算して割合なので100 で除したものを加算すればよいので以下の式になる。

$$z2(A\sim B) = -0.002x^2 - 0.00188x + 0.865 + 80.2/x \quad (12)$$

14mA～140mA のB 点～C 点の実動作時間は電流による実動作時間の変化を線形近似して求める。

$$z1(B\sim C) = (-22.4y + 920500) / 9950x \quad (13)$$

14mA～140mA のB 点～C 点の実動作時間は以下の式になる。

$$z2(B\sim C) = \frac{-0.000000246x^3 - 0.00000335x^2 + 0.00107x + 0.125}{0.00002x^2 + 0.00188x^2 - 117x - 80.2} y - 0.00161x - 0.00301 + \frac{70}{x}$$

$$= \frac{-0.00246x^3 - 0.0335x^2 + 107x + 1250}{0.00002x^2 + 0.00188x^2 - 117x - 80.2} \quad (14)$$

C 点の実動作時間は0 点の実動作時間と近似的に等しいとするので、14mA 以下の実動作時間は以下の式になる

$$z1(C) = 70 / x \quad (15)$$

14mA～140mA の0 点～A 点の実動作時間は以下の式になる。

$$z2(C) = -0.00161x - 0.00301 + 70 / x \quad (16)$$

次いで、LIR2032 バッテリオン・オフモデル式作成を行う。負荷電流ごとの割合換算の電池寿命モデルを図2. 2-86に示す 図2. 2-86中の電池容量使用割合の変化の式を示す

$$-0.004x^2 - 0.3336x + 110.13 \quad (17)$$

A 点からB 点までの平均実動作時間と0 点での実動作時間から回復効果によって増加した電池寿命の割合を求めると、8mA の場合は約28%増加し、60mA の場合は約124%増加している。標準電流以下での回復効果による電池寿命の増加割合は一定と近似してすべて28%増加したものとみな

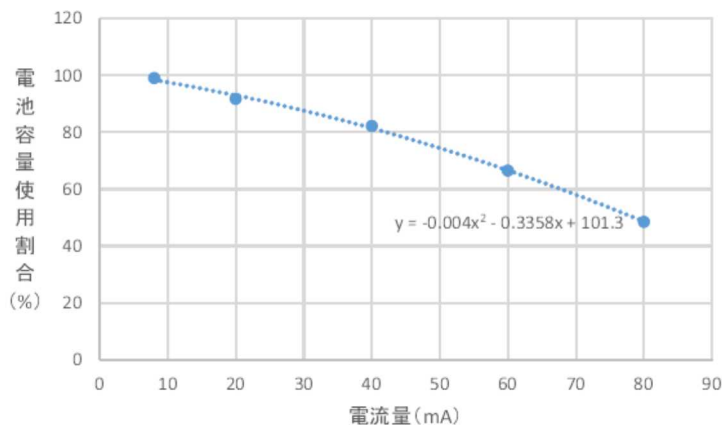


図2. 2-86 LIR2032の電池容量使用割合の変化

す。過電流の状態では回復効果による電池寿命の増加割合が線形変化すると近似すると8mA～80 mA の間の電池寿命の増加割合は以下の式で表すことができる。

$$1.85x + 13.5 \quad (18)$$

0 点の実動作時間を求める。8mA 以下の実動作時間は電池容量を電流量で除した値なので以下の式になる

$$z3(0) = 40 / x \quad (19)$$

8mA～80mA の実動作時間は8mA 以下の実動作時間に電池容量使用割合((7) 式)を乗算した値なので以下の式になる

$$z4(0) = -0.0016x - 0.134 + 40.5/x \quad (20)$$

0 点～A 点の実動作時間は電流による実動作時間の変化を線形近似して求める。14mA 以下では線形の式の公式から切片が40=x、傾きが1:12=x なので以下の式になる。

$$z3(0\sim A) = (1.12y + 40) / x \quad (21)$$

8mA～80mA の0 点～A 点の実動作時間は以下の式になる。

$$z4(0\sim A) = \frac{0.000000444x^3 + 0.0000404x^2 - 0.0112x - 0.082}{-0.0000296x^3 - 0.0043x^2 - 5.74 + 46} y - 0.0016x - 0.134 + \frac{40.5}{x} \quad (22)$$

A 点～B 点の実動作時間を CLB2032 と同様にして求める。8mA 以下の実動作時間は 0 点の実動作時間に 1.28 倍すればよいので以下の式になる。

$$z3(A\sim B) = (40 / x) * 1.28 \quad (23)$$

8mA～80mA の実動作時間は 0 点の実動作時間に (8) 式を乗算して割合なので 100 で除したものを加算すればよいので以下の式になる。

$$z4(A\sim B) = (-0.0000296x^3 - 0.0043x^2 + 0.597*x + 46.2) / x \quad (24)$$

B 点～C 点の実動作時間は電流による実動作時間の変化を線形近似して求める。

$$z3(B\sim C) = (-11.2y + 508000) / 9900x \quad (25)$$

8mA～80mA の B 点～C 点の実動作時間は以下の式になる。

$$Z4(B\sim C) = \frac{0.0106 \frac{40}{x} (-0.00004x^2 - 0.00336x + 1.01) * (0.0185x + 0.135)}{-\frac{40}{x} (-0.00004x^2 - 0.00336x + 1.01) * (0.0185x + 1.135) - 98.6} y + \frac{40}{x} * (-0.00004x^2 - 0.00336x + 1.01) \quad (26)$$

$$-\frac{106 \frac{40}{x} (-0.00004x^2 - 0.00336x + 1.01) * (0.0185x + 0.135)}{-\frac{40}{x} (-0.00004x^2 - 0.00336x + 1.01) * (0.0185x + 1.135) - 98.6}$$

C 点の実動作時間は 0 点の実動作時間と近似的に等しいとするので、8mA 以下の実動作時間は以下の式になる。

$$z3(C) = 40 / x \quad (27)$$

8mA～80mA の実動作時間は以下の式になる。

$$z4(C) = -0.0016x - 0.134 + 40.5/x \quad (28)$$

以上が CLB2032 と LIR2032 の ON/OFF モデル式となる。0 点～A 点の区間と B 点～C 点の区間で

はオフ時間が必要だが0点、A点～B点、C点以降はノーマリーオフ制御を行うと負荷電流だけで算出可能となっている。0点～A点の区間は擬似充電による回復効果を十分に得られないので、負荷電流を分散する場合のみ有効と考えられる。B点以降の実動作時間はオン・オフ回数に依存しており、オン・オフ回数の減少に伴って回復効果の回数が減少していき、やがて実動作時間が0点の実動作時間に近づいていく。

(1)-1-19 消費電流量の簡略化

実際にシステムに流れる動作時の電流は一定ではなくマイコンの処理の内容やセンサ、メモリ、無線通信機の使用状況に応じて随時変化しているため前述のモデルでは解析が困難である。また、一般に消費電流を計測する場合、電流プローブを用いれば計測ができる。また、SPICE等の回路シミュレーションでの見積もりを行うことができるが、寄生容量等で、そのピーク電流値は大きく変化する。一方、ここで重要なのは、バッテリーの寿命が、前述のピーク電流とのAC成分により、どのような影響を受けるかである。そこで、各バッテリーで、 μsec 以下の短時間でのピーク電流を通常の消費電流とのデューティ比（1：100）で連続放電の実験を行った。この結果は、前述の一定負荷電流の場合と、ほぼ同じ動作可能時間となった。一方、電界ポテンシャルの形成時間をバッテリーモデルからラフに見積もると、その変化がつかないことが分かった。この結果から、図2.2-87のようにAC電流変動が μsec 以下の場合、システムの電流量を常に一定であると近似しても問題ないと仮定する。つまり、電流量は単位時間当たりの平均電流量とする。これにより、以下に述べるように、バッテリー駆動システムの動作可能時間を見積もることができるモデルを作成可能となる。

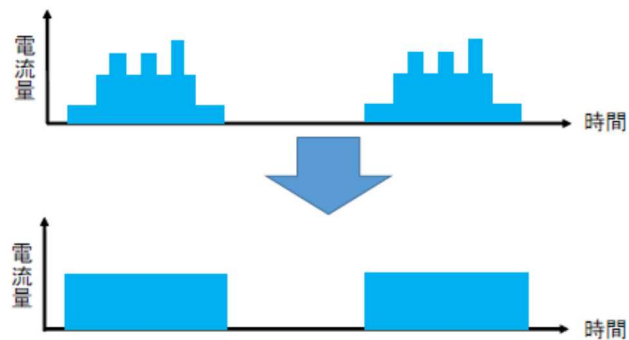


図 2.2-87 単位時間当たりの平均電流で動作

(1)-1-20 集中研Noffボードとエネルギー管理ボードによるバッテリー動作可能時間実験モデル
 前述のモデル群を、昨年度作製した集中研ボードとエネルギー管理ボードを使ってのバッテリー動作可能時間の計測を行い、モデル群の正当性を検証する。

NEDOノーマリーオフプロジェクトから提供されたボードを改造して昨年度設計したバッテリー駆動組み込みボードとNoff集中研ボードを接続して、Noff集中研ボードから、バッテリー駆動組み込みボードへ電源オン・オフ信号を送り、バッテリー駆動組み込みボードへ二次電池から動作可能な電力量が供給されなくなった地点の時間を計る（以下、動作可能時間）。図2.2-88に、本実

験の組み込みボード全体図を示す。

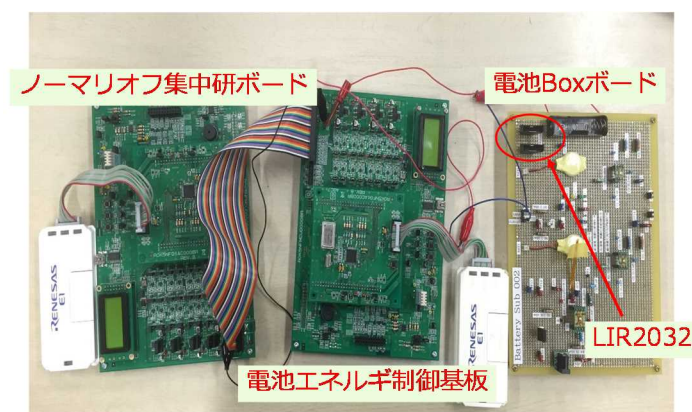


図2. 2-88 バッテリ駆動組み込みNoff評価システム

この組み込みボードを使い、前述のバッテリー寿命実験と同じ環境での実験を行った。オン・オフ切り替え実験も、同様に電池にデューティ比1：1 で電流を流す実験を行った。

測定としては電流をオン・オフ で切り替えた場合と電流をオン・stand-by で切り替えた場合の二種類を測定した。流す電流は、センサを動作させるプログラムを実際に動作させた。その場合消費電流（平均消費電流）は38mA（オン・オフ とオン・stand-by）と64mA（ON/OFF）であった。エネルギー制御基板にLIR2032 からの電池電源供給を行うとともにNoff 集中研ボードからバッテリー駆動組み込みボードにON/OFF（オン・stand-by）命令を転送し、バッテリー駆動組み込みボードに十分な電力が供給されなくなるまでの時間を測定した。なお、上記の消費電流は、LIR2032にとっては、過電流状態と言える。

実験で得られた結果を図2. 2-89に示す。グラフから、38mA（オン・オフ）のグラフと64 mA（オン・オフ）のグラフを比べると、38mA（オン・オフ）のグラフのほうが64mA（オン・オフ）のグラフと比べて動作可能電力が多いことが示された（抑制効果）。更に64mA（オン・オフ）のグラフは38mA（オン・オフ）のグラフと比べ、動作可能時間の最大値になるまでの切り替え頻度の値が高いと読み取れ、バッテリーオン・オフモデルと同じ傾向を示した。

一方、オン・オフに変わり、同じオン・オフ切り替えデューティでのオン・スタンバイ（0.5mA）の実験結果を見ると、回復効果が見込まれない為ほぼ横ばいのグラフになり、stand-by状態時では回復効果は見込まれないことが明らかになった。

また、実際にシステムに流れる動作時の電流は一定ではなくマイコンの処理の内容やセンサ、メモリ、無線通信機の使用状況に応じて随時変化しているため前述のモデルでは解析が困難である。今回測定した電流は、平均電流であるので、図2. 2-87のようにシステムの電流量を常に一定であると近似する仮定の正当性を確認する必要がある。電流量は単位時間当たりの平均電流量としたが、前述の一定電流でのバッテリー寿命実験と大きな差が見られなかった。このことから、usecオーダでのAC電流のピーク成分は、一般的なマイコン組み込みボードでは、バッテリー寿命に大きな影響を与えないことも合わせて示された。図2. 2-90は、図2. 2-89の実験データを前述のバッテリーオン・オフ拡張モデルにフィッティングしたものを示す。

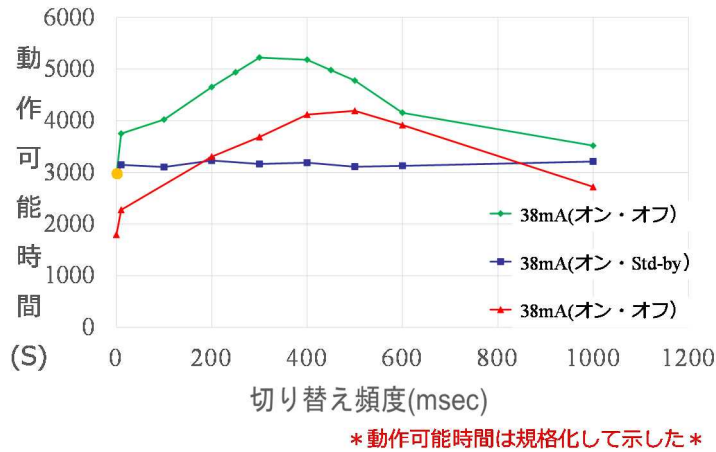


図2. 2-89 バッテリ駆動組込みNoff評価システムでのバッテリ動作時間実験

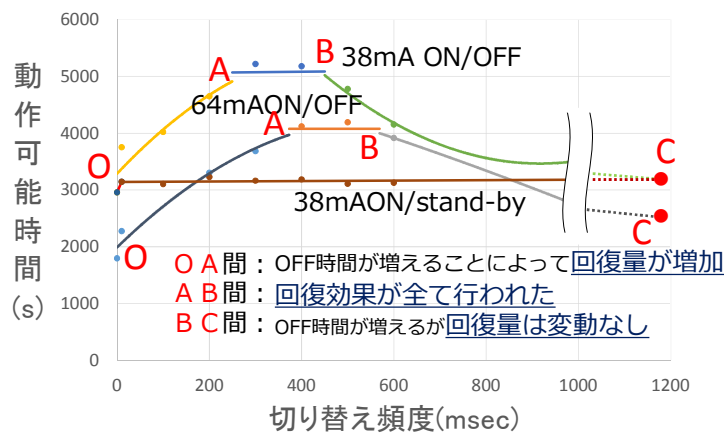


図2. 2-90 図2. 2-89の実験データを前述のバッテリオン・オフ拡張モデルにフィッティングした図

(1)-1-21 バッテリ駆動ノーマリーオフコンピューティング制御方式に関する考察

① バッテリ駆動ノーマリーオフコンピューティング制御フロー

実験結果とバッテリオン・オフモデルから電池駆動システムの最適ノーマリーオフ制御について検討を行う。前提条件としてデッドラインを常に満たすものとし、擬似充電完了後の余分なオフ時間を余裕時間とする。

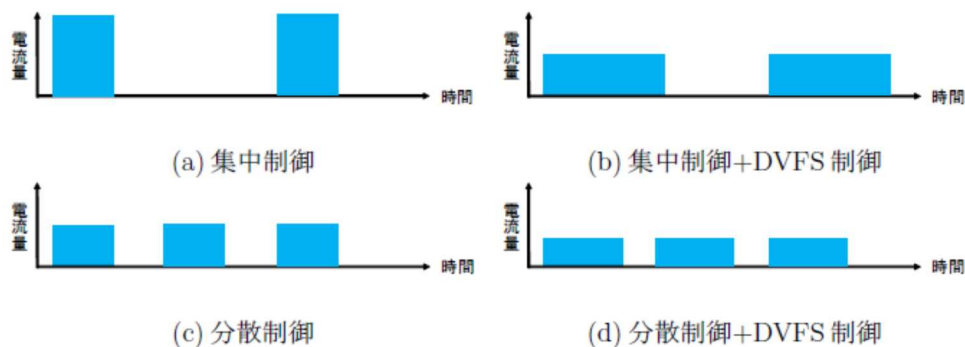


図2. 2-91 バッテリ駆動システムでの最適ノーマリーオフ制御

最初に電流量が標準電流以下の場合について考える。まず、余裕時間の有無について調べる。余裕時間がない場合は制御の変更が必要なく図2.2-91 (a) の様な集中制御になる。余裕時間がある場合は余裕時間の量を調べる。余裕時間が分散制御可能なほどない場合は図2.2-91 (b) のように集中制御にDVFS 制御を組み合わせることにより電流量を減らし抑制効果により減少する使用可能な電力を削減する。余裕時間が分散制御可能なほどある場合は分散制御により増加するオーバーヘッドエネルギーによる消費電力と回復効果により得られる電力の比較を行う。オーバーヘッドエネルギーによる消費電力の方が多い場合は図2.2-91 (b) のように集中制御にDVFS 制御を組み合わせさせた制御になる。回復効果により得られる電力の方が多い場合は分散制御後の余裕時間について調べる。分散制御後に余裕時間がない場合は図2.2-91 (c) のような分散制御になる。分散制御後に余裕時間がある場合は図2.2-91 (d) のように分散制御にDVFS制御を組み合わせさせた制御になる。

次に電流量が標準電流以上の場合について考える。まず、余裕時間の有無について調べる。余裕時間がない場合、OFF 時間が短くなることによって生じる回復効果により得られる電力の減少量とDVFS 制御の電流量減少による使用可能な電力の増加量のトレードオフを行い、回復効果により得られる電力の減少量の方が多い場合は図2.2-91 (a) 様な集中制御になり、使用可能な電力の増加量が多い場合は図2.2-91 (b) の様な集中制御にDVFS 制御を組み合わせさせた制御になる。余裕時間がある場合、余裕時間の量を調べる。余裕時間が分散制御可能なほどない場合、図2.2-91 (b) のように集中制御にDVFS 制御を組み合わせさせた制御になる。余裕時間が分散制御可能なほどある場合、分散制御により増加するオーバーヘッドエネルギーによる消費電力と回復効果により得られる電力の比較を行う。オーバーヘッドエネルギーによる消費電力の方が多い場合、図2.2-91 (b) のように集中制御にDVFS 制御を組み合わせる。回復効果により得られる電力の方が多い場合、分散制御後の余裕時間について調べる。分散制御後に余裕時間がない場合、図2.2-91 (c) のような分散制御になる。分散制御後に余裕時間がある場合、図2.2-91 (d) のように分散制御にDVFS 制御を組み合わせる。上記の制御フローを、図2.2-92、 図2.2-93に示す。

デッドラインを必ず満たすものとする
擬似充電完了後のOFF時間を余裕時間とする

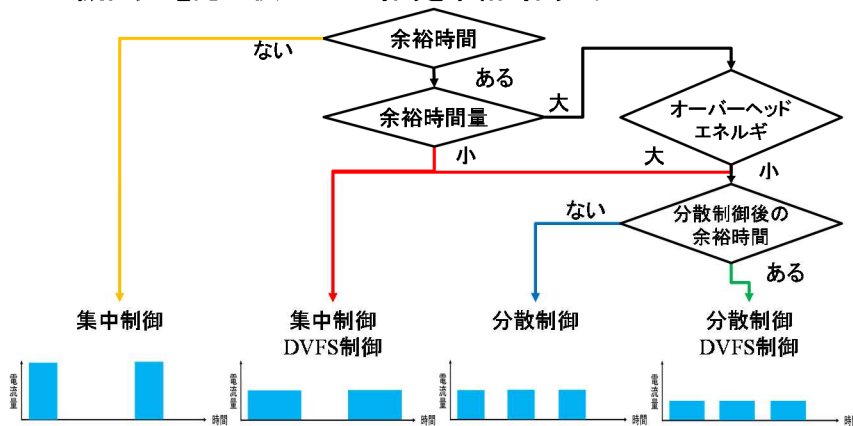


図2.2-92 標準負荷電流以下の場合のバッテリー駆動ノーマリーオフ最適制御フロー

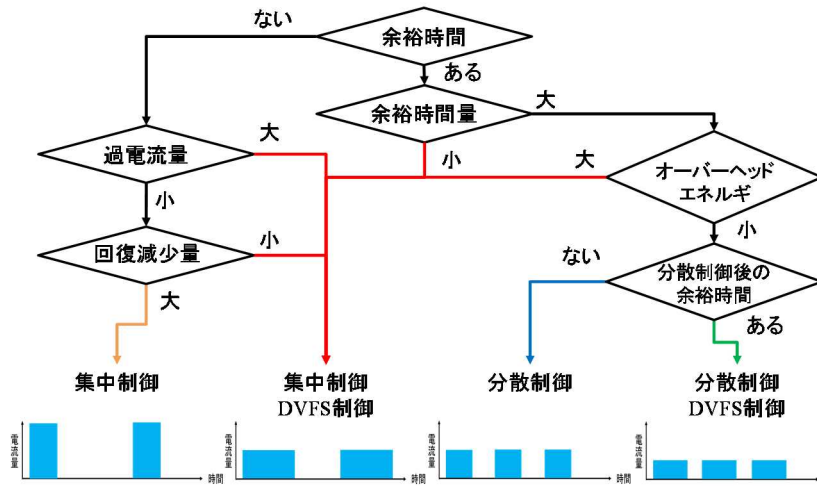


図2. 2-93 標準負荷電流以上の場合のバッテリー駆動ノーマリーオフ最適制御フロー

②バッテリー駆動システムモデルの例

電池駆動システムの例としてシングルコアでセンサを2種類搭載したセンサーノードを想定する。想定したシステムはセンサで取得した情報をメモリに一時保存してある程度の量が蓄積したら無線通信機によってホストに情報を送るものとする。センサの測定頻度が異なる場合、以下の3つの動作が考えられる。各動作での消費電力のイメージを図2. 2-94～96で示す。マイコンの平均電流を I_m 、マイコンの動作時間を T_m 、センサNの平均電流を I_{sn} 、センサNの動作時間を T_{sn} 、不揮発メモリの平均電流(読出し)を $I_{ramread}$ 、不揮発メモリの動作時間(読出し)を $T_{ramread}$ 、不揮発メモリの平均電流(書込み)を $I_{ramwrite}$ 、不揮発メモリの動作時間(書込み)を $T_{ramwrite}$ 、通信機の平均電流を I_c 、通信機の動作時間を T_c 、システム全体の平均電流を I_{ave} 、システム全体の消費電力を I_{max} 、1サイクルの時間を T 、動作パターンiのOFF時間を T_{offi} とすると各動作でのシステム全体の消費電力はそれぞれ

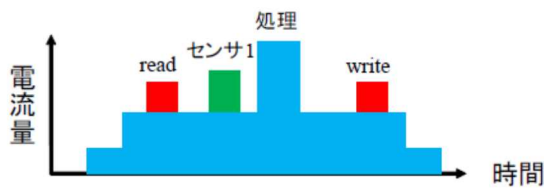


図2. 2-94 センサ1個が動作した場合

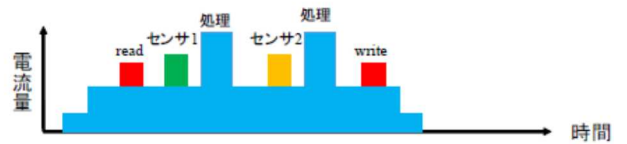


図2. 2-95 センサ2個が動作した場合

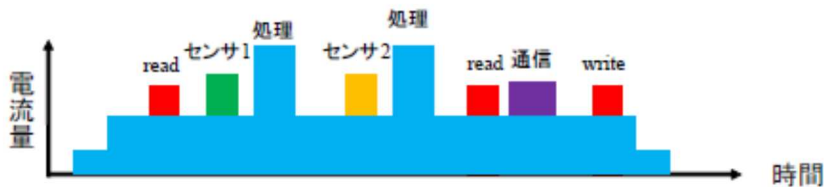


図2. 2-96 センサ2個と無線通信機が動作した場合

$I_{max1} = I_{m1} \times T_{m1} + I_{s1} \times T_{s1} + I_{ramread1} \times T_{ramread1} + I_{ramwrite1} \times T_{ramwrite1}$
 $I_{max2} = I_{m2} \times T_{m2} + I_{s1} \times T_{s1} + I_{s2} \times T_{s2} + I_{ramread1} \times T_{ramread1} + I_{ramwrite2} \times T_{ramwrite2}$
 $I_{max3} = I_{m3} \times T_{m3} + I_{s1} \times T_{s1} + I_{s2} \times T_{s2} + I_{ramread1} \times T_{ramread1} + I_{ramread2} \times T_{ramread2} + I_{ramwrite3} \times T_{ramwrite3} + I_c \times T_c$ となる。
 $I_{ave_i} = I_{max_i} \div T_{m_i}$
 $T_{off_i} = T - T_{m_i}$
 となる。

③ バッテリ残量の計算モデル

バッテリオン・オフモデル式を使用することで、電池の実動作時間の予測や電池の残りの容量の算出が可能となる。オン・オフ拡張モデル式より実動作時間の予測は以下の手順で行う。

1. 電流量から0点、A点の実動作時間を求める。
 2. A点、B点のOFF時間を求める。
 3. 結果から任意の負荷電流値に対しての0-A-B-Cのグラフを作成してモデル式を導出する。
 4. 上記の式をベースにシステムの消費電流量×時間+ OFF時間を基本タスクとしてタスクの累計を求めて消費エネルギーの計算する。
- 1は最低動作時間と最高動作時間の算出、2は各区間の変更点となる時間の算出、3は1と2の算出結果から図2.2-97のようなグラフと式の作成、4は3で作成した式に負荷電流やOFF時間を当てはめて実動作時間の算出を行う。

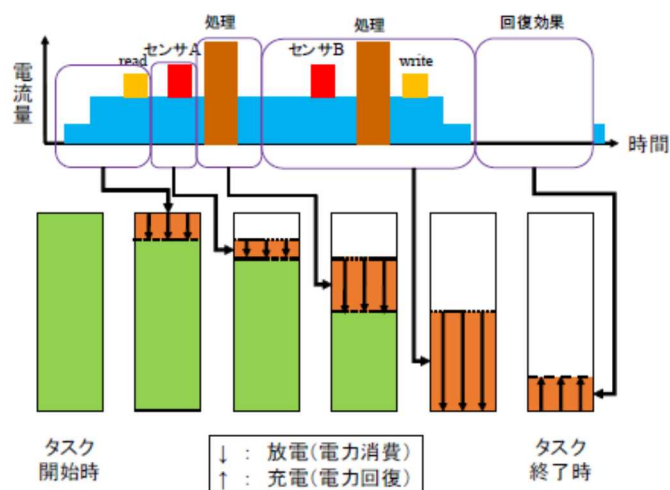


図2.2-97 バッテリの使用可能な電力モデルの基本タスク構成

電池の残りの容量は最大容量—(各1タスク×各タスク量)の総和で算出可能である。1タスクはシステムの消費電流量×時間+ OFF時間なので、実動作時間の予測と似た手順で導出可能である。図2.2-95を例にして1タスクの電池の電力消費を図2.2-97で示す。

(3) 本取組みのまとめ

本報告では、バッテリー駆動システムへのノーマリーオフコンピューティングの適用について検討した。検討には、センサーノードによく用いられる1次電池LR44と、CLB2032、LIR2032 リチウムイオンボタン型二次電池を用いた。バッテリーは使用時の負荷電流量、オン・オフ切り替えをする時間、温度が電池寿命に大きく影響している（抑制効果、回復効果）。そこで、ノーマリーオフ制御に大きく係わる負荷電流量およびオン・オフ切り替え時間による電池寿命の変化を測定し、測定の結果からオン・オフモデル式の作成を行った。バッテリー駆動システムモデルとバッテリーオン・オフモデル式から、バッテリー駆動システムへのノーマリーオフコンピューティングの適用の基本的な指針を示し、システムの実動作時間予測を可能とした。

①-2-7の参考文献

- [1] 有本和民, ” 高電力効率デジタルの技術動向-低消費電力回路とシステム, ” 電子情報通信学会ICD サマースクール2010.
- [2] H.Nakamura et.al., ” Challenge for Zero Stand-by Power Management, ” IEEE A-SCC2012 Proc. Of Tech. Papers, pp408-411.
- [3] 清水徹他, ” ノーマリーオフコンピューティング課題と挑戦, ” 情報処理学会 2012 - ARC-198 研究会2012 年1 月.
- [4] 上野将太他, ” 高性能・低消費電力化を目的としたマルチセンサノードの構成法, ” 電子情報通信学会中国支部連合大会, 2013.
- [5] 松井邦彦, ” センサ応用回路の設計・制作, ” CQ 出版1990.
- [6] 後閑哲也, ” センサ活用の素, ” 2009.
- [7] 松井邦彦, ” センサ・デバイス活用ノート, ” CQ 出版2010.
- [8] 柳橋宏行他, ” マルチコア周期実行システムにおける省電力タスクスケジューリング, ” 情報処理学会研究報告, 2014.
- [9] <http://www.sony.co.jp/Products/MicroBattery/lr/>
- [10] CLB 紹介資料rev5 140827.
- [11] EEMB BATTERY, ” LIR2032 Brief datasheet” .
- [12] W.B. Gu and C.Y. Wang, ” Thermal-Electrochemical Coupled Modeling of a Lithium Ion Cell” Proc.-Electrochem. Soc 99 (2000): 748-762.
- [13] 上野将太ほか: ” 高性能・低消費電力化を目的としたマルチセンサノードの構成法”, 電子情報学会中国支部連合大会, 2013.

2.3 ①-4 ヘルスケア応用生体情報計測センサーネットワーク低電力化技術

(担当:ローム株式会社)

常時計測可能な貼り付け型生体情報計測センサーノードを実現するためには、センサーのサイズと重量を可能な限り削減する必要がある。貼り付け型センサーノードを構成する要素の内、重量に対して最も支配的な要素はバッテリーである。バッテリーの重量とサイズを削減するためにはバッテリー容量の削減が必要となる。

生体情報計測システムでは、システム全体の消費電力に対して以下の3点が課題となる。

1. 生体信号を処理するアナログ回路(主に増幅器とアナログ/デジタル変換器)の動作時電力
2. ロギングデータを保持するメモリの待機電力
3. データ通信回路の消費電力

現在入手可能な心電用アナログフロントエンド LSI では、低消費電力なものでも 100 μ A 以上の電流が常時流れることになる。待機状態の揮発性メモリにも(容量に依存するが)1 μ A から 10 μ A 程度の電流が常時流れる。また、通信回路はアクティブになる時間が極めて短い、Bluetooth Low Energy (BLE) のような低消費電力な通信規格でも動作時には 10mA から 20mA 程度の電流を消費する。仮に通信回路のアクティブ率が 0.1%であったとしても、平均するとやはり 10 μ A 程度の消費電流となる。

そこで我々はノーマリーオフコンピューティング技術を用いてこれらの課題を解決し、超低消費電力かつウェアラブルな生体情報計測システムを実用化するための技術開発を行なった。

(1)アナログフロントエンドの省電力化技術開発成果

アナログフロントエンドの省電力化技術として、短期間自己相関を用いた瞬時心拍抽出手法を開発している。ウェアラブルな生体情報計測システムでは、様々なノイズが心電図に混入する。特に問題となるのは筋電ノイズと電極起因ノイズである。他のノイズは(コストを度外視すれば)回路的な工夫やフィルタによって除去可能であるが、筋電ノイズと電極起因ノイズは心電図と同様の周波数帯域にも現れるため単純なフィルタで除去することは難しい。一般的に、心電図の SNR を向上させるためには、アナログフロントエンド(増幅器、アナログフィルタ、AD 変換器)の高性能化が必要となる。しかし、増幅器の同相除去比(CMRR)や増幅率、位相特性などの性能は概ね消費電力とトレードオフの関係にあり、増幅器の高性能化によるノイズ対策には限界がある。一方で、心電図をデジタル領域で処理するために必要な帯域(1kS/s 以下)を持つ AD 変換器はサブ μ W 級の消費電力で実現可能である。そこで我々はプロセススケーリングによる低消費電力化が容易なデジタル領域での演算によるノイズ対策手法の検討を行った。

提案手法では心電図における QRS 群の波形の相似性を利用し、自己相関関数を用いて瞬時心拍を抽出する。ウェーブレットフィルタによってベースライン変動と高周波ノイズを除去し、次に、1.5 秒間の信号を含むウィンドウを定義し、同じ長さのウィンドウを評価時刻から過去に遡ってスライドさせながら相関係数を求めていく。このとき相関係数が最大となるスライド幅が心拍数と一致する(図 2.3-1)。

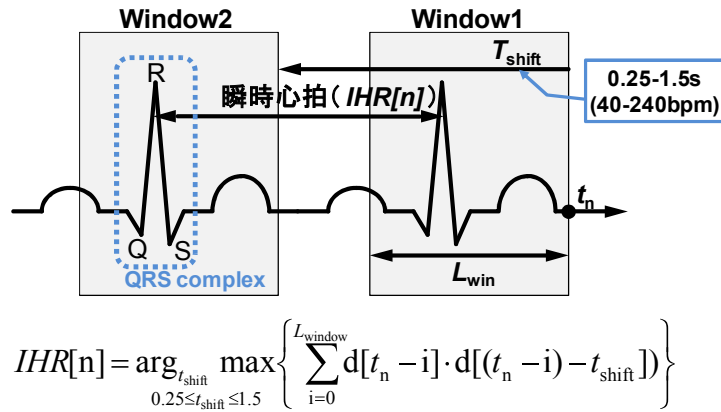


図 2.3-1: 心拍計測アルゴリズム

従来、自己相関による心拍取得は、より大きなノイズが問題となる非侵襲式の生体信号計測装置で用いられていた。しかし従来の応用例では、長期間(30s)の心電図に対して平均心拍数を求めることを目的としており、演算量も多い。これに対して提案手法では相関係数の計算手順やパラメータ設定、ウィンドウ幅などを工夫することで演算量を削減し、リアルタイム処理を実現した。130nm CMOSプロセスを用いて提案手法の専用ハードウェア化(図 2.3-2)を行い、平均消費電流 1.21 μ A で動作することを確認している。また、非安静時の SNR 悪化に対して心拍抽出成功率が向上することを示した(図 2.3-3)。

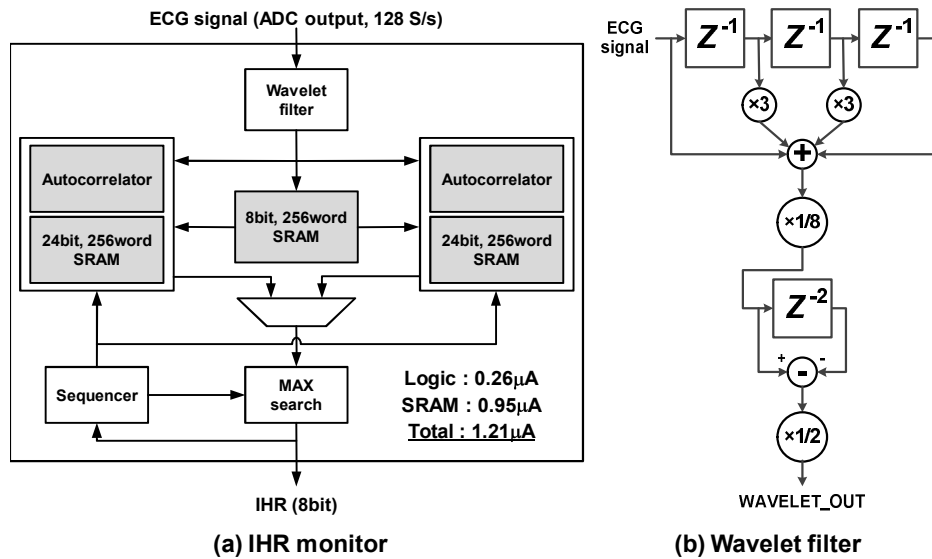


図 2.3-2: 自己相関心拍抽出回路ブロック図

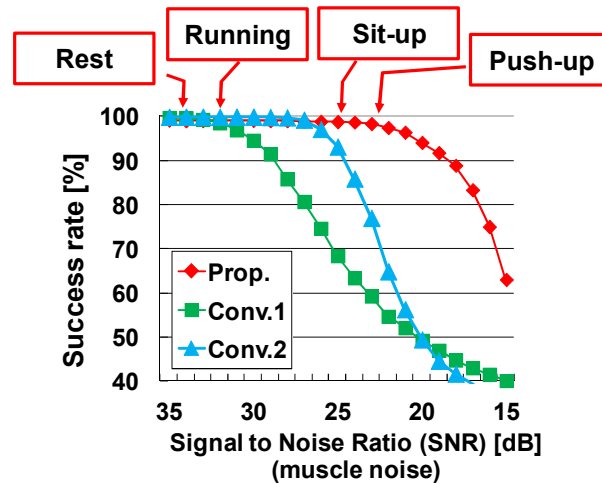


図 2.3-3:心拍取得のノイズ耐性

平成 24 年度までの成果として、上記のアルゴリズムが 2 件の国際学会に採択された[1, 2]。また、上記アルゴリズムと必要最小限のアナログフロントエンドを組み合わせることで、従来技術に対して心拍取得に必要な消費電力を 20 分の 1 に削減した。

[1] M. Nakano, T. Konishi, S. Izumi, H. Kawaguchi, and M. Yoshimoto, "Instantaneous Heart Rate Detection Using Short-Time Autocorrelation for Wearable Healthcare Systems," 34th Annual International Conference of the IEEE Engineering in Medicine and Biology Society (EMBC), pp.6703-6706, Aug. 2012.

[2] T. Fujii, M. Nakano, K. Yamashita, T. Konishi, S. Izumi, H. Kawaguchi, M. Yoshimoto, "Noise Tolerant Instantaneous Heart Rate and R-peak Detection Using Short-term Autocorrelation for Wearable Healthcare Systems," Proceeding of 35th Annual International Conference of the IEEE Engineering in Medicine and Biology Society (EMBC), pp.7330-7333, July, 2013.

(2) データロギング用メモリの省電力化技術開発成果

心電図などの生体信号を扱う上で必要となるサンプリングレートは高々 1 kS/s 程度であり、LSI の動作速度に対して十分に遅いためシステムの稼働率が非常に低いという特徴がある。一方、アプリケーションからの要求として最低でも 24 時間の生体情報をロギングする必要があり、データを保持するメモリの容量は増大する。従来の SRAM(Static Random Access Memory)のような揮発性メモリでは待機時の消費電流がメモリ容量に比例して増大するため、待機状態の多いシステムでは大きなオーバーヘッドとなる。従って、強誘電体メモリ(Ferroelectric Random Access Memory, FeRAM)などの不揮発メモリを用いたノーマリーオフコンピューティングは生体情報計測システムの低消費電力化に対して大きく貢献する。

まずは、平成 23 年度試作の生体信号計測 LSI(第一世代センサーモジュール用)にデータ保持用メモリとして搭載した間歇動作型混載 FeRAM に関して説明する。図 2.3-4 に定期的(ここでは 1 秒間に 1 回)にメモリにデータを書き込む際の動作を示している。不揮発性メモリの場合、必要なデータ量(ここではワード数)を書き込んだ後に電源を切ることでノーマリーオフ動作が実現できるが、従来の不揮発性

メモリはメモリの電源回路があるために、このような間歇動作(特に高速の電源オン・オフ)には対応出来ていない。図 2.3-5 に各種混載メモリをデータロギングに用いた場合の平均消費電流を示す(ローム社の同一プロセスライン、同一メモリ容量での比較)。FeRAM を間歇動作(ノーマリーオフ)で動作させることで、心拍や心電記録の領域で、SRAM より小さな平均電流を実現している。次にメモリの間歇動作の実現方法について説明する。

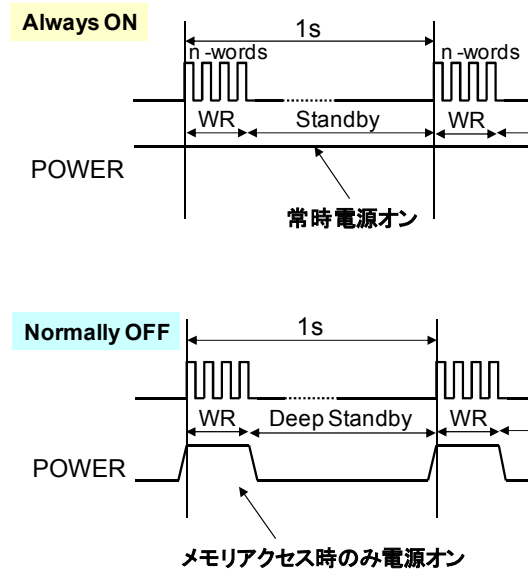


図 2.3-4: 定期的なデータを書き込む際の動作(常時オンとノーマリーオフ)

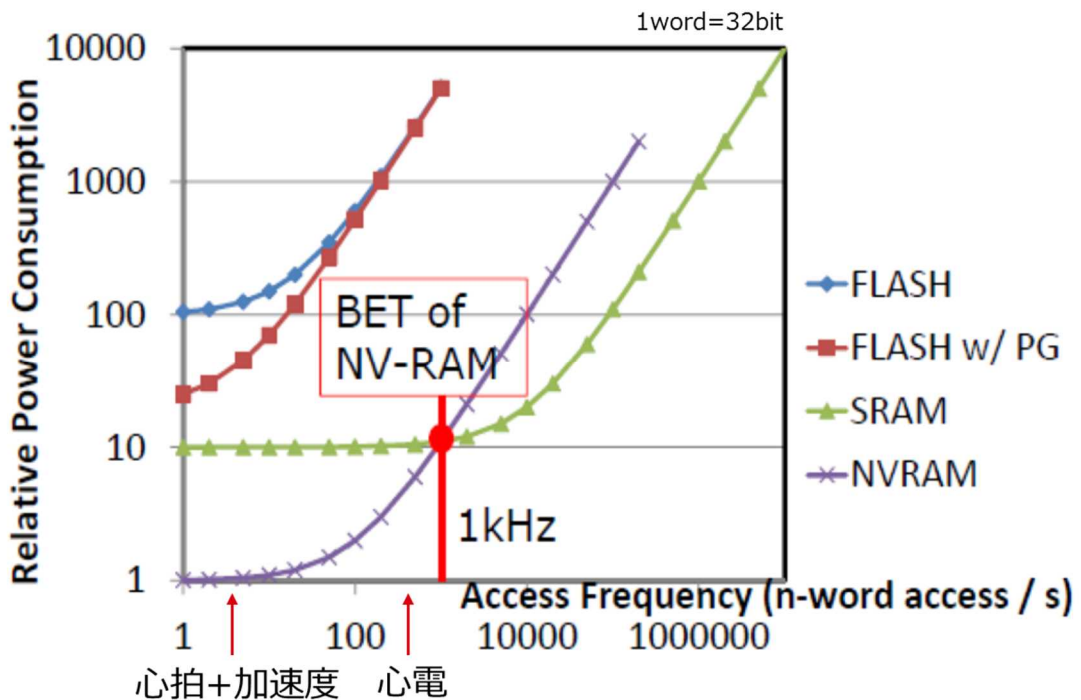


図 2.3-5: データロギングに用いた場合の各メモリの平均消費電流比較

混載 FeRAM の電源部は、図 2.3-6 および図 2.3-7 に示すように、LDO(Low Drop Out regurator)部とチャージポンプ部で構成されており、LDO 出力電源 Vdd は FeRAM 制御回路に供給され、チャージポンプ出力電源 Vpp は FeRAM セル駆動用ドライバに供給される。電源オン時は、図 2.3-8 に示すように、LDO を動作させ、FeRAM 制御回路の電源が安定した後にチャージポンプを駆動してメモリセル駆動用ドライバに電源供給する。これにより、電源立上げ中に FeRAM 制御回路からメモリセル駆動用ドライバに不正な制御信号が印加され、メモリセルが不正に駆動されることでデータが破壊されることを防止している。

電源オフ時は、LDO とチャージポンプを停止し、Vdd と Vpp をプルダウンする。このとき、メモリセル駆動用ドライバ電源を先に GND レベルにしてから FeRAM 制御回路の電源を落とすようにプルダウントランジスタの電流駆動能力を調整することで、電源立ち下げ中におけるメモリセルの不正な駆動とデータ破壊を防止している。また、電源オフ期間は外部からの電源ノイズによる誤動作を防止するため、共にプルダウンされる。このとき、FeRAM は、LDO 制御回路のみ動作している状態である。このような対策を施すことで、混載 FeRAM 部のスタンバイ電流を 1uA 以下に抑え、かつ、電源部の寄生容量やプルダウントランジスタの能力を最適化することで、立ち上げ、立ち下げ時間を、それぞれ 8us、4us にし、電源オン・オフに伴う電力オーバーヘッドの最小化を実現した。

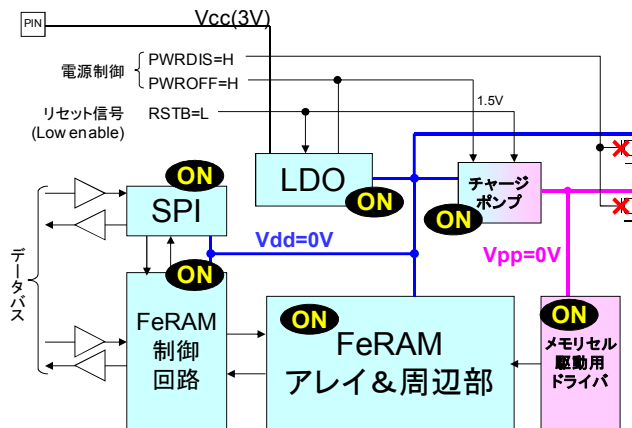


図 2.3-6: 混載 FeRAM の電源構成 (オン時)

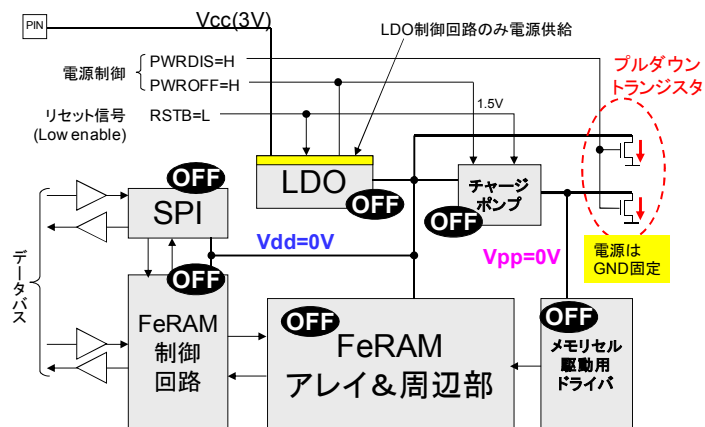


図 2.3-7: 混載 FeRAM の電源構成 (オフ時)

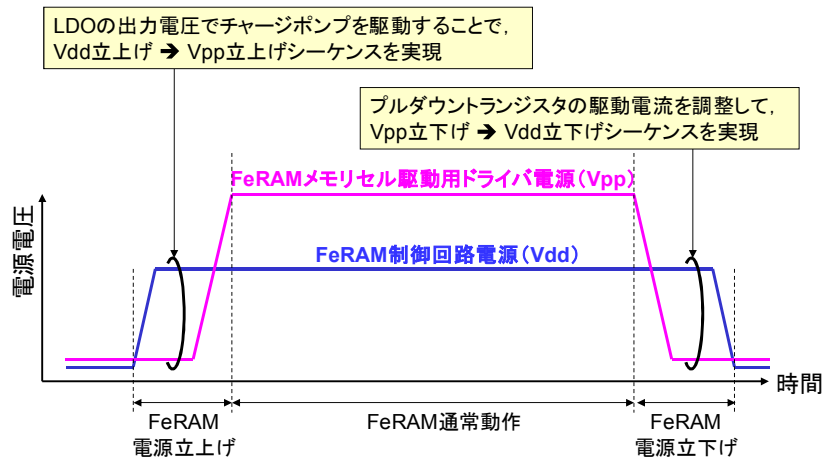


図 2.3-8: 電源回路の立ち上げ、立ち下げ手順

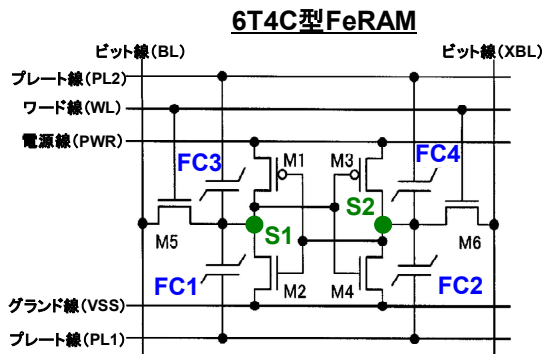
ロギングデータを保持するメモリの待機電力削減のための基本方針として、我々は FeRAM を用いている。しかし、データログだけでなく、演算の一時メモリとして使うなど、データの書き込み・読み出し頻度の増加への対応が求められている。単純に SRAM を FeRAM に置き換えただけではデータの書き込み・読み出しに対する電力オーバーヘッドが問題となるため、生体信号処理アルゴリズムの最適化によるデータ量の削減、及び新規メモリアーキテクチャの検討を行なった。

図 2.3-9 に現在検討を進めている 6T4C 型メモリの概要を示す。アクティブ時は 6T-SRAM として動作するため通常の 2T2C 型メモリセルと比較して高速かつ低消費電力に動作する。また、スリープ(電源遮断)時は強誘電体キャパシタがデータを保持する。ただし 6T セルの内部ノードに容量が接続されるため、6T-SRAM と比較するとアクティブ時の動作速度と消費電力の面で劣る。従ってブレークイーブンタイムを引き下げるために如何に速度と電力のオーバーヘッドを削減できるかが課題となる。

我々は特に消費電力の大きいストアリコール時にプレート線の電荷を再利用する「プレート線チャージシェア」手法と、内部ノードの容量を活用してビット線のプリチャージを使用しない「ビット線ノンプリチャージ手法」を検討した。それぞれの手法による消費電力削減率を図 2.3-10 に、提案手法を適用することによるブレークイーブンタイムの改善効果を図 2.3-11 に示す。

シャドウメモリを実現するメモリセル

データの流れ



6T型SRAMの内部ノード(S1, S2)に強誘電体キャパシタ(FC1~FC4)を接続

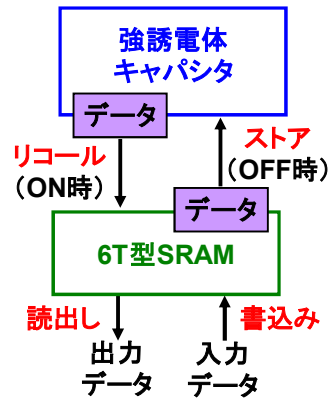
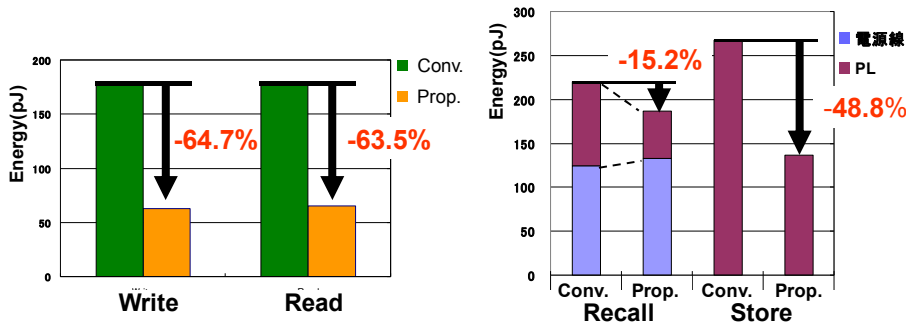


図 2.3-9: 6T4C 型メモリセル

ビット線ノンプリチャージ手法

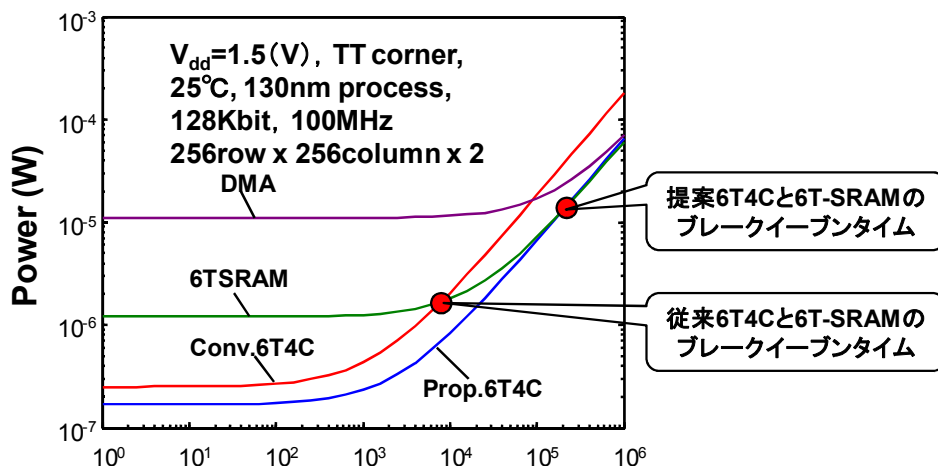
プレート線チャージシェア手法



シミュレーション条件

$V_{dd}=1.5V$, 25°C, TT corner, 130nm process, 256rows*256columns, 16bits/word

図 2.3-10: 提案手法による消費電力削減効果



1秒あたりの読み書き回数(アクティブ率に相当)

図 2.3-11: ブレイクイーブンタイムの比較

(3) 強誘電体キャパシタの低電圧化

さらに、低消費電力化に際して重要となる不揮発メモリの動作電圧の低減のため、強誘電体キャパシタの動作電圧の低減を目指している(現在の量産可能な標準動作電圧は 1.5V)。平成 24 年度までの成果として、FeRAM(強誘電体メモリ)および強誘電体キャパシタの低電圧特性を評価し、強誘電体特性の電圧軸方向のシフト量が重要なパラメータであることを特定した。電圧軸シフト量に影響するプロセスパラメータとしては、上部電極形成前の熱処理が重要であることを特定し、熱処理条件の最適化により 0.9V 動作の目処を得た(図 2.3-12)。

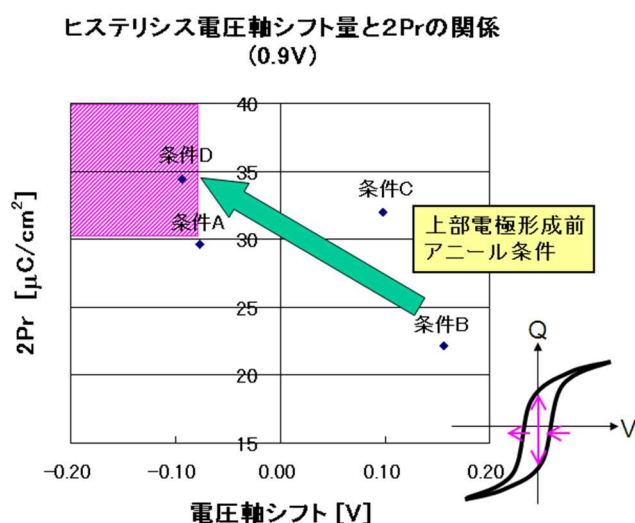


図 2.3-12: 0.9V 動作可能な強誘電体キャパシタ

(4) NFC 通信機能を有するウェアラブル生体情報計測システムの試作

データの読み出しやパラメータ設定、動作確認などのための通信時に消費するエネルギーは、生体情報計測システムの低消費電力化において大きな課題である。

通信中の消費電流はデータロギング中の消費電流に対して1桁ほど多いため、通信回路がアクティブになる時間は最小化しなければならない。通信回路のアクティブ時間を削減する最も基本的な手段は転送データ量の削減であり、ここでもオンノードプロセッシングとノーマリーオフコンピューティングは大きな役割を果たしている。

また、生体情報計測のような稼働率の低いアプリケーションでは通信回数そのものは少ないため、データ送受信だけではなく通信待受のために消費される受信電力の小さい通信方式が望ましい。一方、送受信距離と伝送レートに関しては制約が少ない。従って、BLE、Near Field Communication (NFC)、ZigBee (IEEE802.15.4)、Body Area Network (BAN, IEEE 802.15.6)などが通信方式の主な候補となる。本研究では特に NFC に着目し、前述した提案技術と組み合わせることで超低消費電力なウェアラブル生体情報計測システムの設計を行なった。

パッシブ通信モードの NFC を用いることで、送受信に必要な電力をリーダ・ライタ側(スマートフォンなど)でまかなうことができ、センサー側の送受信回路はノーマリーオフとなる。また、待ち受け動作も磁界検出用ロジックの電力消費のみで実現できる。

平成 23 年度に、第一世代センサーモジュール用として FeRAM と基本的な心電取得用アナログ回路、および NFC タグ IC とのインターフェースを集積した生体信号計測 LSI を試作し、NFC と FeRAM を用いる提案システムの有効性を確認した。提案 LSI は 130nm 強誘電体メモリプロセスを用いて試作した。電源電圧 3V、動作周波数 32kHz において 1 秒おきに心拍数と加速度を FeRAM に書き込む動作試験を行い、LSI 単体の消費電力は 13.1 μ A であった。混載した FeRAM を間歇動作させることで、電源等の周辺回路の電力を削減し、FeRAM 部の平均消費電流を数十 μ A から 1 μ A に削減した。

平成 24 年度から平成 25 年度にかけて、短期間自己相関を用いた瞬時心拍取得回路と 32-bit MCU (Cortex M0) を生体信号計測 LSI に集積し、提案 LSI と加速度センサー IC 及び NFC タグ IC から構成されるウェアラブル生体情報計測システム(第二世代センサーモジュール)の試作・性能評価を行った。平成 23 年度の試作は個別ブロック(アナログフロントエンド、FeRAM、メモリインターフェースと NFC 制御ブロック、加速度センサインターフェース)の機能評価が目的であり ADC と MCU を集積していなかった。これに対して平成 24 年度試作では Cortex-M0 コアを集積しており、オンボードでの生体信号処理アルゴリズム評価が可能である。図 2.3-13 に提案 LSI のブロック図、図 2.3-14 にチップ写真と性能諸元を示す。図 2.3-15 は ECG 及び心拍抽出の実測波形である。ハムノイズや筋電が多く混入した状態でも正常に心拍を抽出出来ていることがわかる。図 2.3-16 は心拍及び加速度のロギングのみを行うアプリケーション動作時の消費電流を測定したものである。この場合 LSI 単体での平均消費電流は 12.7 μ A であった。MCU と ADC、及び SRAM の集積による消費電力の増大を、特にアナログ回路の低電圧動作等によって相殺し、平成 23 年度試作とほぼ同じ消費電力で実現した。

現状の生体信号処理アルゴリズムで動作させた場合の提案 LSI、加速度センサー、NFC タグ IC、レギュレータ等を含めたシステム全体の消費電流はおよそ 38 μ A であり、従来技術に対して 5 分の 1 まで削減されている。

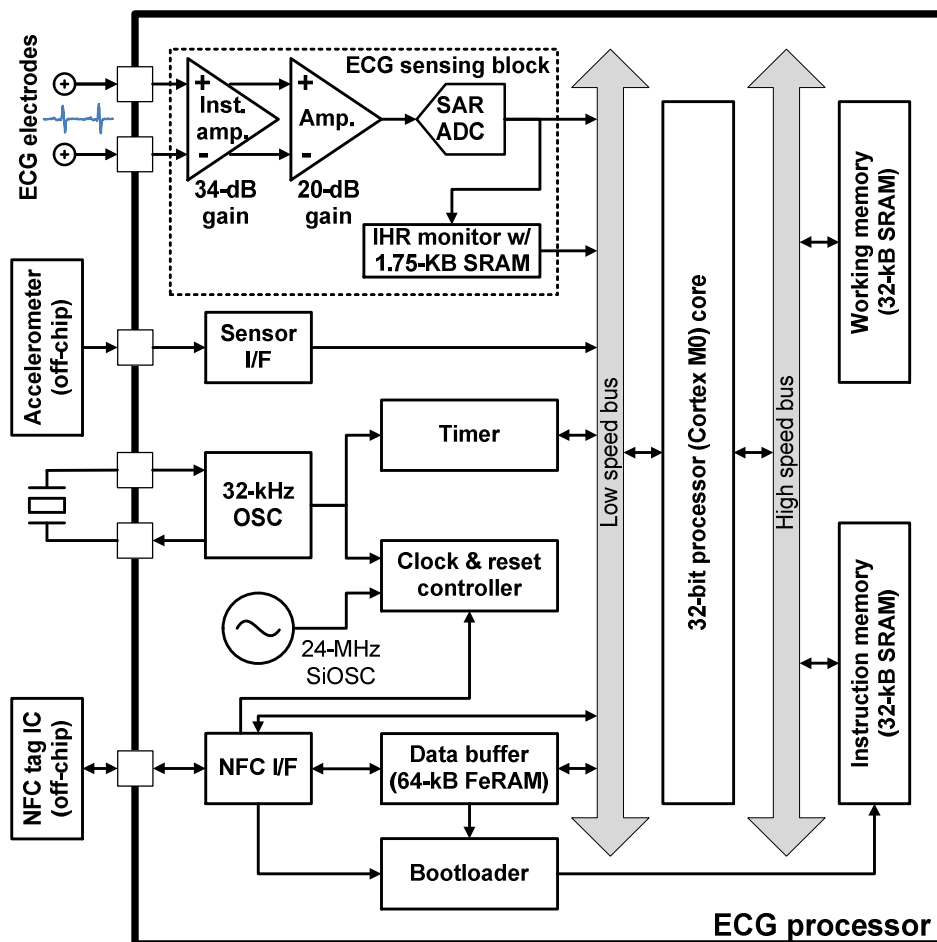


図 2.3-13: 平成 24 年度試作 (第二世代) 生体信号計測 LSI ブロック図

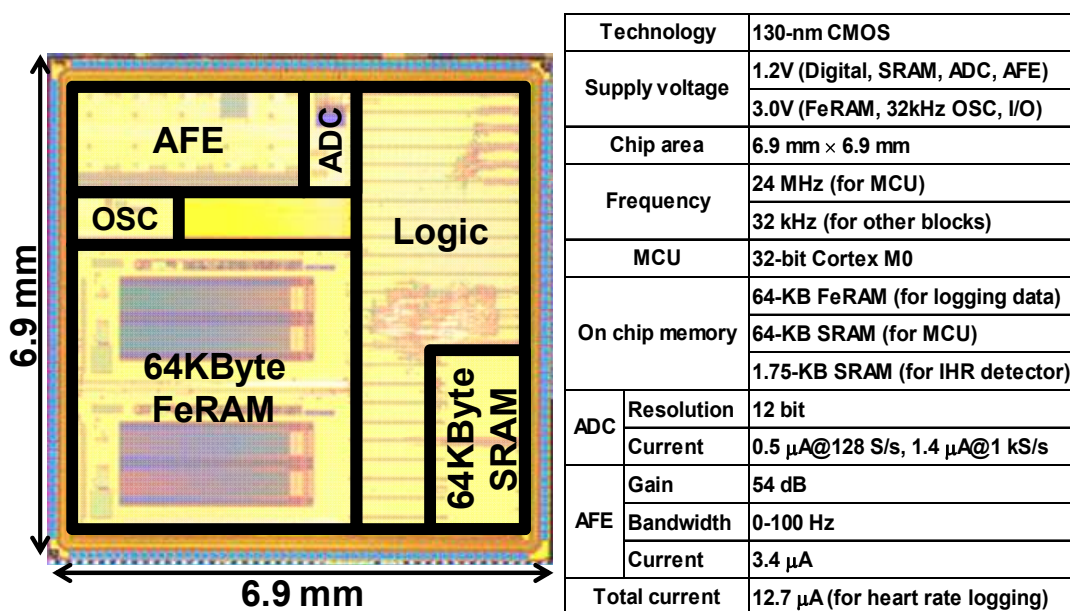


図 2.3-14: 平成 24 年度試作 (第二世代) 生体信号計測 LSI 性能諸元 (BU70111)

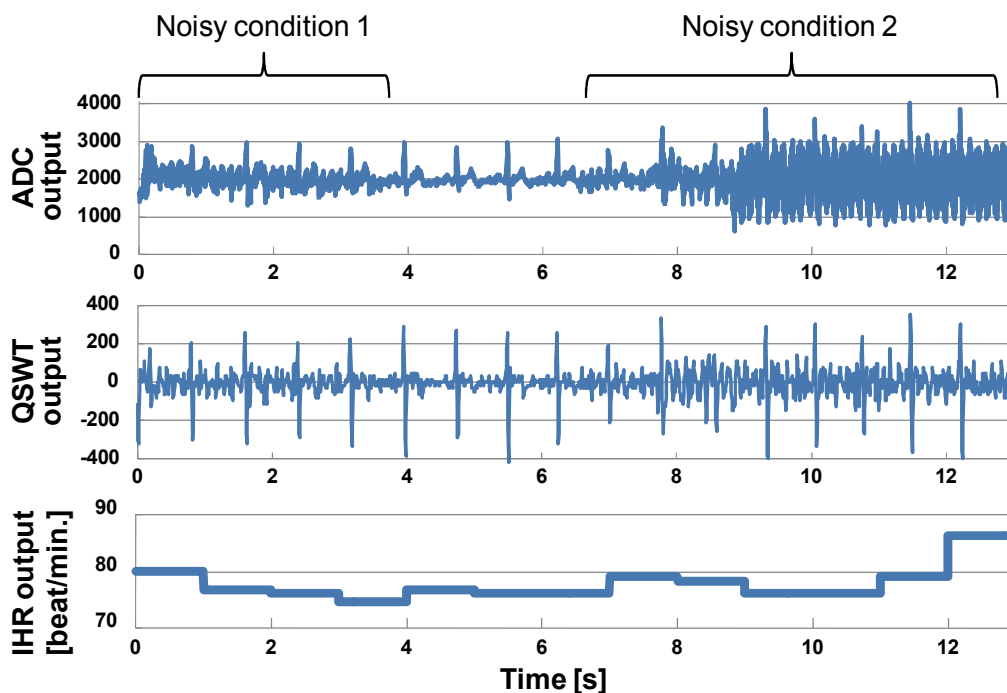


図 2.3-15: 実測 ECG 波形、及び心拍抽出結果(上段から ADC 出力、デジタルフィルタ出力、心拍抽出ブロック出力)

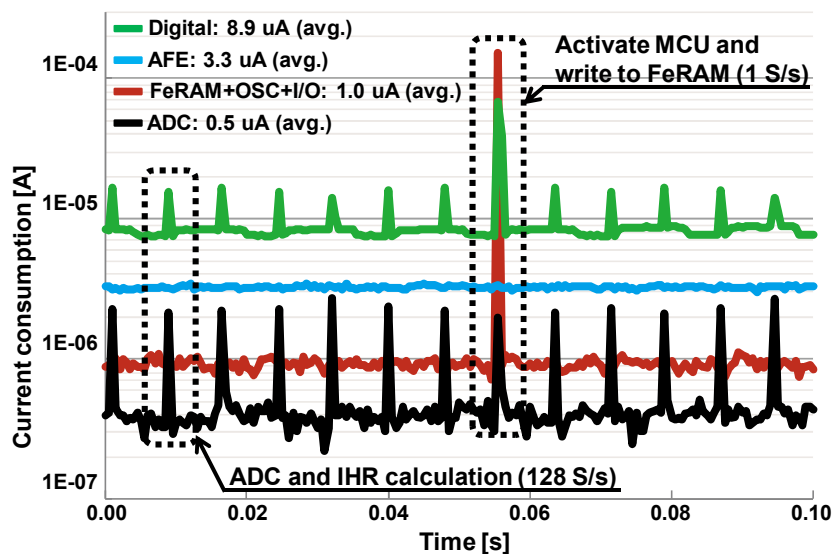


図 2.3-16: アプリケーション動作時の消費電流評価結果(実測)

(5) 従来と現在の電力消費性能比較、及び電力消費性能 10 倍達成のための方針

図 2.3-17 に従来技術の生体電位計測用アナログフロントエンド IC 用いた場合、及び提案技術によって生体センサーシステムを実現した場合、及び最終目標となるの消費電力を示す。ここで最終目標とした平均消費電流 20 μ A は 10mAh のバッテリーを用いて 2 週間以上の連続稼動が可能値である。アプリケーションとビジネスモデルの観点から 2 週間の連続稼動は必須の条件であるため、平均消費電流の改善によってバッテリーの容量が決定される。システム全体の重量とコスト、サイズ(特に厚さ)を

考慮すると、最終目標達成によって 10mAh のバッテリー動作が可能となることは重要な意味を持つ。

本研究ではまず、従来技術で最も消費電力の大きい心拍センシングの低消費電力化に取り組んだ。前述した瞬時心拍抽出アルゴリズムとその専用ハードウェア化により、アナログフロントエンドに対する要求性能を緩和し、消費電流を限界まで絞ることが可能となった。さらに、生体モニタリングアルゴリズムとの協調によりセンシング対象を心電図ではなく瞬時心拍間隔に限定することで AD 変換器のサンプリングレートも最小限に抑えた。また、このとき AD 変換器も間欠動作させることで、僅かなデジタル回路のオーバーヘッドのみで低消費電力心拍センシングを実現した。図 2.3-18 に従来技術と提案技術の心拍センシング部のブロック図を、図 2.3-19 に消費電流の比較をそれぞれ示す。デジタル部の消費電流が増加しているのに対して、AFE と ADC の性能を心拍抽出アルゴリズムに必要な最低限の性能に限定したため、全体の消費電流を大幅に削減できた。

次に、データ用メモリを FeRAM に置き換えることでリークが削減され、中間目標である平均消費電流 40uA 以下を達成した。

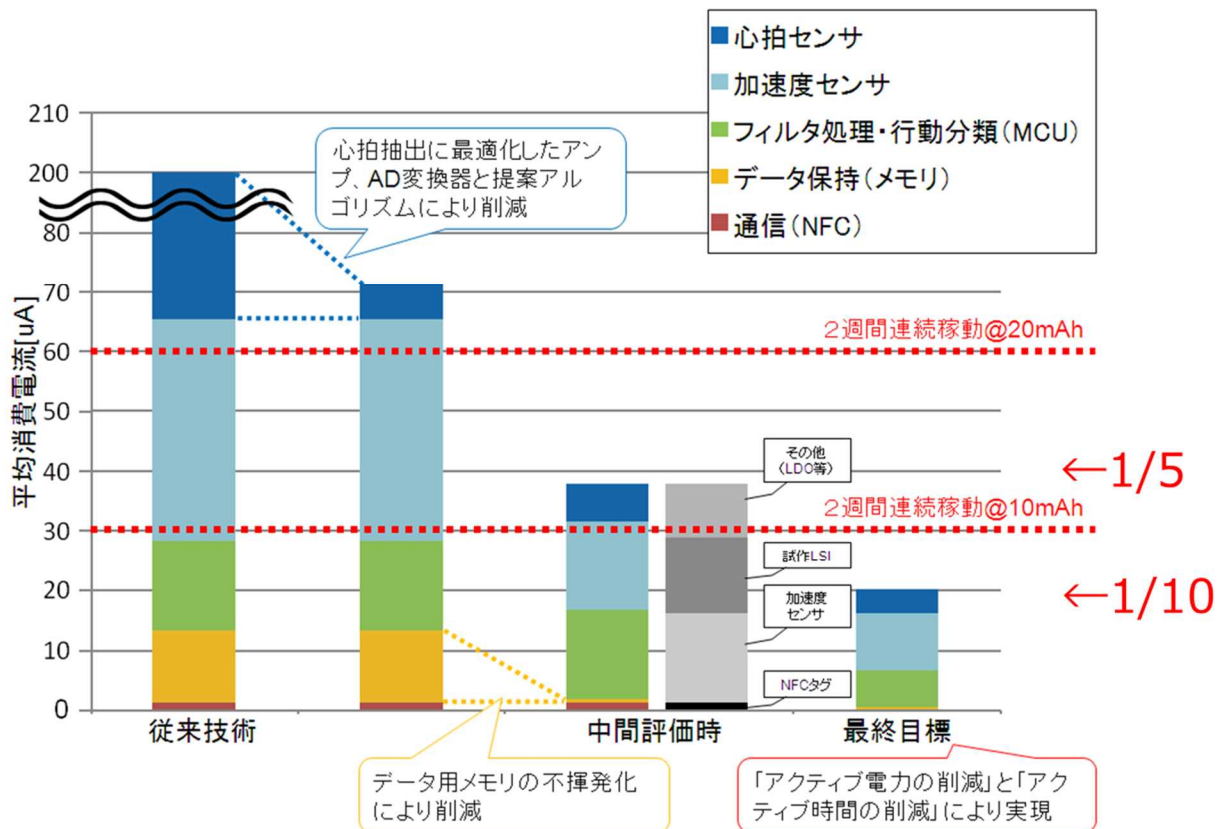


図 2.3-17: 電力削減の内訳

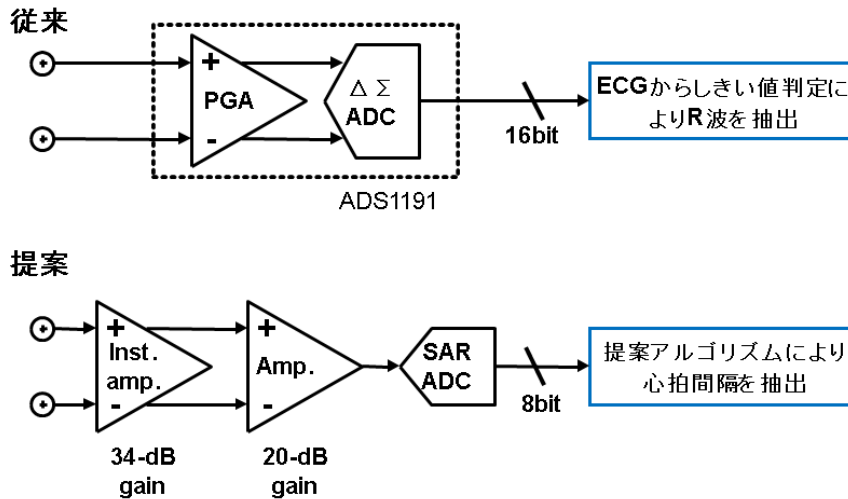


図 2.3-18:心拍抽出部ブロック図

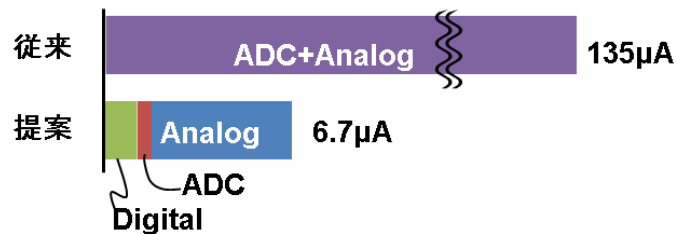


図 2.3-19:心拍抽出部消費電力

中間報告時点の電力バジェットでは、センシングと信号処理のアクティブ電力が大きな割合を占めていた。最終目的を達成するために、前述した不揮発メモリアーキテクチャを用いてアクティブ率を削減した、不揮発生体信号計測 LSI を開発した。

ヘルスケア用途においては、生体信号に求められる周波数帯域は高々1 kHz 程度である。これは数 MHz 以上の周波数で動作するマイコンの動作速度に対して十分に遅いため、回路のアクティブ率が極めて低くなる。従って低消費電力化のためには待機時の消費電力削減が重要となる。本研究では、強誘電体素子を用いた不揮発マイコンを開発することで待機電力の削減を目指した。これによって電源遮断時にメモリやフリップフロップの値を保持が可能となるため、生体信号を処理していないアイドル時にマイコンの電源を積極的に遮断するノーマリーオフ動作が可能となる。

提案不揮発生体信号計測 LSI 全体ブロック図を図 2.3-20 に示す。提案 LSI では、センサー部とタイマ、外部インターフェース、及びリアルタイムクロックを低速 (32 kHz) で動作させ、不揮発マイコン部を高速 (24 MHz) で動作させている。電源遮断の難しいセンサー周辺を低速動作させ、同時にマイコン部の処理を高速化することでスリープ時間を最大化し、全体の低消費電力化を図っている。

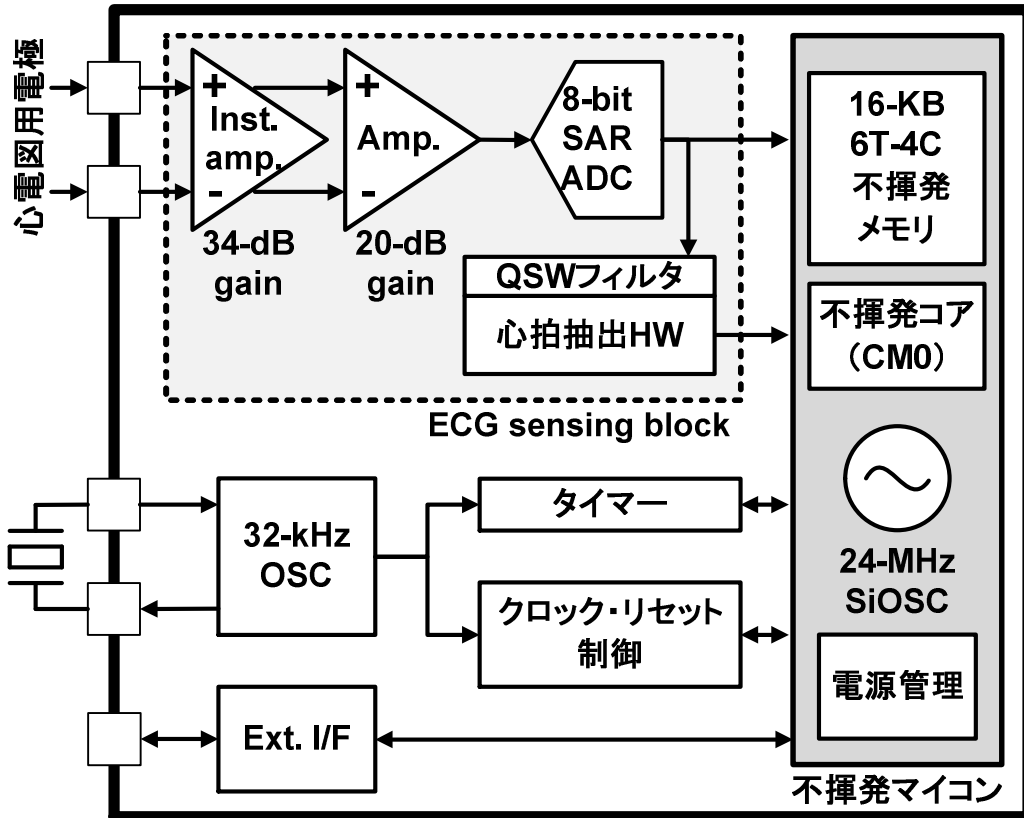


図 2.3-20: 不揮発生体信号計測 LSI 全体ブロック図

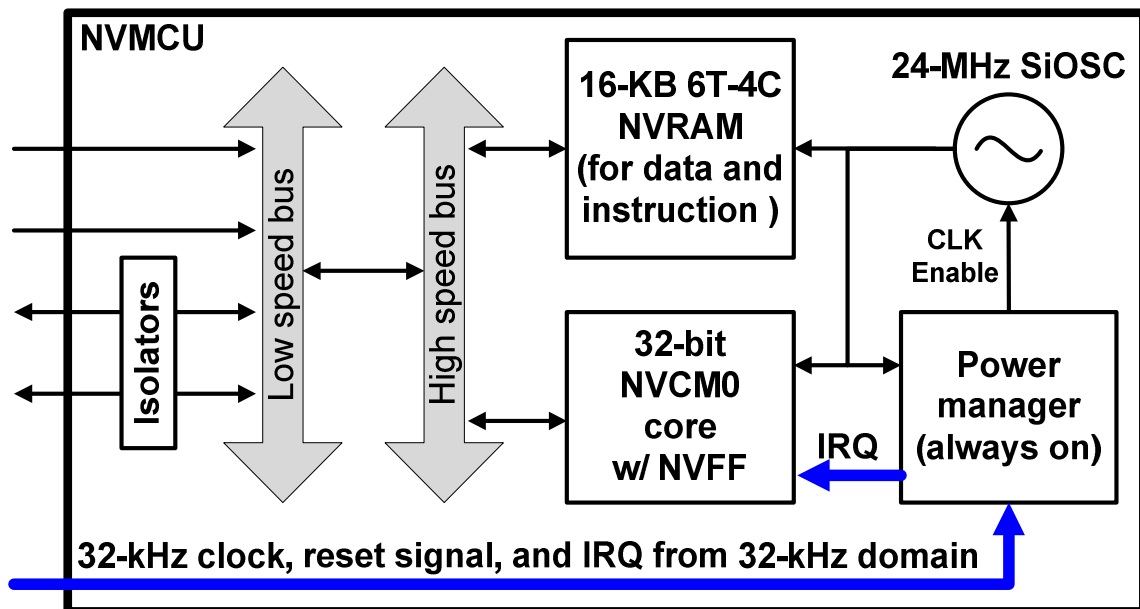


図 2.3-21: 不揮発マイコン部ブロック図

不揮発マイコンは、強誘電体素子を用いたフリップフロップによってコア部分の不揮発化を行い、データメモリと命令メモリにも 16 Kbyte の不揮発メモリを適用した。不揮発マイコンのコアには Cortex M0 コアを用いた(図 2.3-21)

不揮発メモリのメモリセルの構造は前述した 6T 型 SRAM に 4 つの強誘電体キャパシタ (4C) を接続し

た 6T-4C 型を採用した。6T-4C 型セル動作時は 6T 型の SRAM として動作し、電源遮断時は強誘電体キャパシタに値を保持する。従って、一般的な 2T-2C 型と比較して動作速度の面で有利である³⁾。しかし、容量の大きな強誘電体キャパシタが内部ノードに直接接続されるため、読み出し・書き込み動作に電力オーバーヘッドが発生するという課題があった。そこで提案 LSI では、プレート線の電荷を再利用するプレート線チャージシェア手法と、内部容量の大きさを利用してビット線のチャージ電力を削減する方法を提案し、電力オーバーヘッドを削減した。

マイコン部分は基本的にスリープ状態(ディープスリープ)で電源が遮断された状態にあり、低速ドメインにあって常時起動しているタイマからの割り込み信号(IRQ)で起動する。24 MHz で動作する不揮発マイコンと、32 kHz で動作するセンサー部やタイマなどの回路は非同期動作となるため、マイコンの低速バスでタイミングを同期している。また、32 kHz のリアルタイムクロックは常時起動しているが、24 MHz の発振器はスリープ時には電源を遮断している。

センサー部は低速で生体信号のサンプリングを行い、タイマによって周期的に不揮発マイコンを電源遮断状態から起動する。この時、不揮発素子に保持されたデータを復帰させる(リコールする)ことで高速に電源遮断前の状態に復帰できるため、スリープ期間を最大化して効率よく電源を遮断することが可能となる。次に、計測された信号に対して何らかのアルゴリズムを適用し、スリープ状態に遷移する。その時レジスタとメモリの状態を全て不揮発素子に保存(ストア)し、電源を遮断する。従って、マイコンは殆どの期間スリープ状態で電源が遮断されることになる。提案不揮発マイコンではストアとリコールの処理に必要な時間はそれぞれ 25 us 以下である。

実測結果から、マイコン部分のアクティブ率が低いほど(特に 0.1%以下の低アクティブ率動作において)不揮発化による消費電力削減効果が大きいことを示した(図 2.3-22)。また、図 2.3-22 に示すように、アクティブ率とともに時間あたりの起動回数もマイコンの消費電力に大きく影響する。これはストアリコール処理のオーバーヘッドによるものであり、センサーデータをバッファする等の工夫によってマイコンの起動回数を抑制することで不揮発マイコンの電力効率を向上することができる。

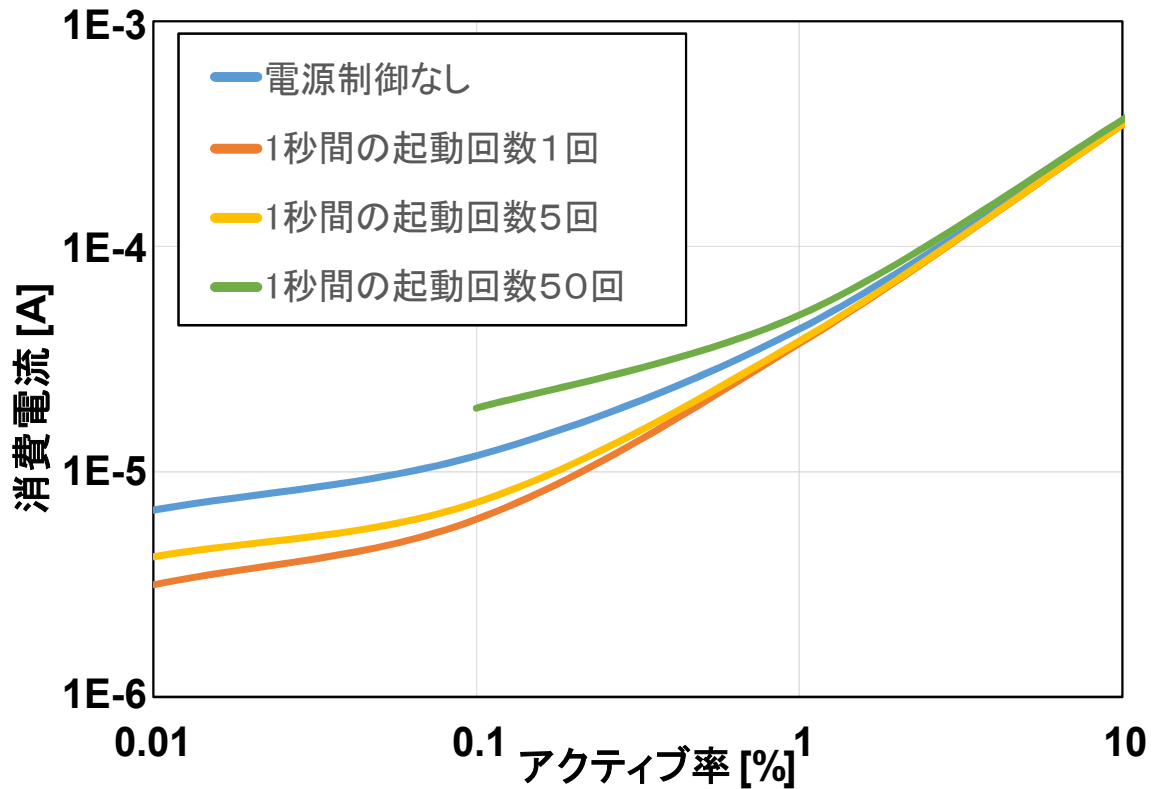


図 2.3-22: 不揮発マイコンの消費電流実測結果

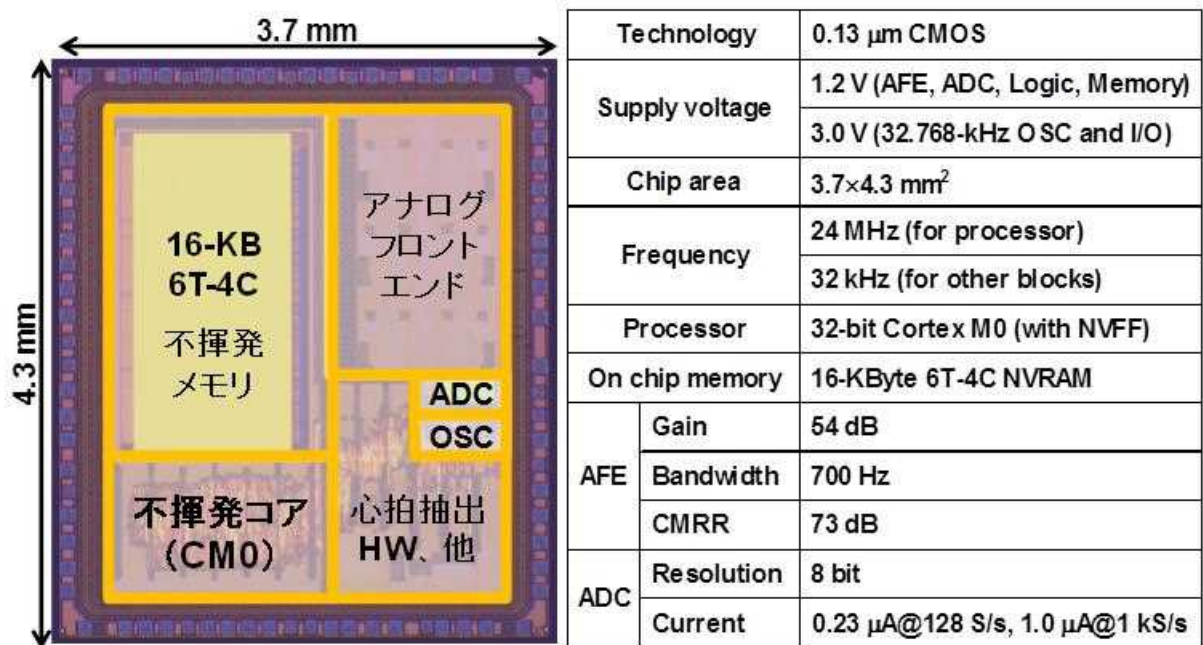


図 2.3-23: 平成 26 年度試作 LSI と性能諸元 (BU70112)

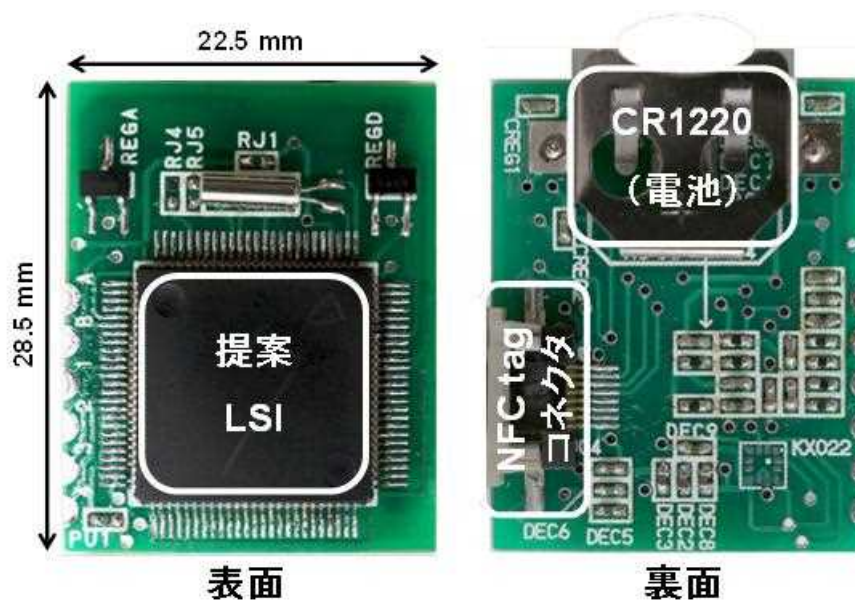


図 2.3-24: 評価用センサーボード

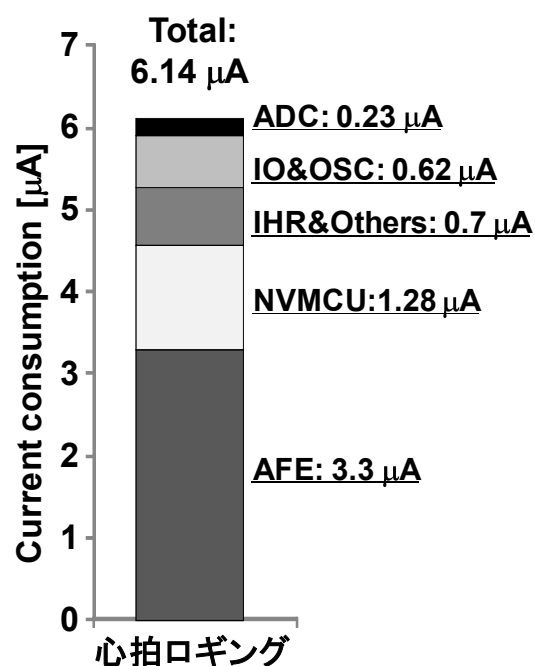


図 2.3-25: 心拍抽出時の平均消費電流

試作 LSI を 130nm 強誘電体キャパシタ混載 CMOS プロセスを用いて試作した。試作 LSI を図 2.3-23 に示す。電源電圧は殆どの回路ブロックで 1.2 V であるが、32kHz のリアルタイムクロックと I/O のみ 3 V で動作する。試作 LSI を用いたセンサー評価ボード(図 2.3-24)を作成し、実証試験を行っている。基板サイズは 22.5 mm×28.5 mm であり、無線通信には Near Field Communication Tag IC を使用した。センサー全体の重量は 3.9 g であり、そのうちバッテリーの重量は 1.0g であった。

試作 LSI を用いて心拍抽出アプリケーションを動作させた場合の平均消費電流を図 2.3-25 に示す。AD 変換器のサンプリングレートは 128 Hz に設定し、1 秒間に 1 回の割合で心拍数をメモリに書き込

む動作をさせている。平均消費電流は全体で平均 6.14 uA、内 1.28 uA が不揮発マイコンで消費され、0.7 uA が心電抽出ハードウェアで消費されている。

作製した生体センサーシステムを用いフィールドテスト(人体へ貼り付けた状態での行動実験)を 9 名の被験者で実施した。計測した行動は PC 操作、机拭き、荷物運び、歩行、階段昇り、ジョギングの 6 種類となり各行動は以下の表 2.3-1 のように 4 つのグループに分類した。

表 2.3-1:実施した行動のグループ分け

	グループの説明	実施した行動名
Group1	安静状態	PC 操作
Group2	家事活動・軽作業	机ふき、荷物運び
Group3	歩行活動	歩行
Group4	運動量の大きな行動	階段のぼり、ジョギング

被験者 9 名の得られた結果から、行動分類アルゴリズムに必要となる以下の指標について計算した。使用する指標は以下の通り

1. %HRreserve

安静時心拍と最大心拍を用いて以下の式 x で求める指標であり運動強度としてよく利用される指標。

$$\text{HRreserve} = \frac{(\text{運動時における心拍数} - \text{安静時心拍数})}{(\text{最大心拍数}^{\ast 1} - \text{安静時心拍数})}$$

※1 最大心拍数 = 220 - 年齢 により求める(カルボーネン法)

2. フィルタ後の合成加速度

得られた 3 軸の加速度に対して HPF を適用する。適用後の加速度を以下の式 xx により加速度の 3 軸合成値を求める。

フィルタ後の合成加速度

$$= \sqrt{+\text{フィルタ後 X 軸加速度}^2 + \text{フィルタ後 Y 軸加速度}^2 + \text{フィルタ後 Z 軸加速度}^2}$$

3. フィルタ前合成加速度とフィルタ後合成加速度の比率(RFU)

2で求めたフィルタ後の合成加速度と同様に、フィルタ適用前の加速度においても 3 軸合成値を求める。適用前後の合成加速度の値の比率を求める。

以下の図 2.3-26 に今回測定した 9 名の被験者の上記指標の計算結果を示す。

HRreserve を用いることで、階段のぼりと歩行を分類することができ、また、RFU を用いることで歩行・ジョギング・階段のぼりといった歩行に関する行動と家事・軽作業を分類することができる。今回の

測定結果から行動分類した結果を以下の表 2.3-2 に示す。

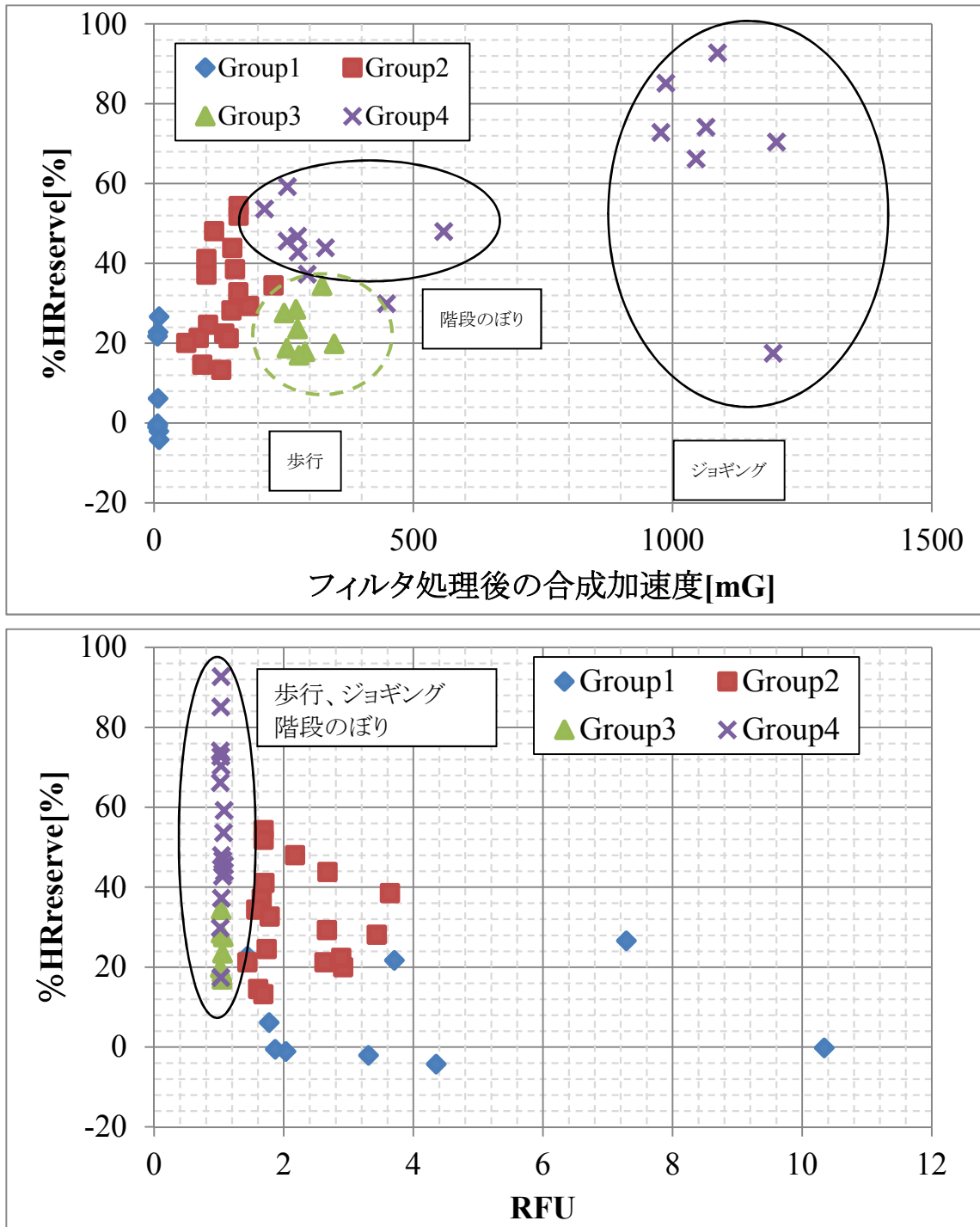


図 2.3-26: 行動分類指標の計算結果

表 2.3-2:行動推定結果の表

今回提案する センサーシステム		N	推定結果[%]			
			Group1	Group2	Group3	Group4
正しい分類	Group1	9	100	0	0	0
	Group2	18	0	100	0	0
	Group3	8	0	0	100	0
	Group4	16	0	0	25	75

Group1, 2, 3 に関しては、100%の精度で行動推定が行えている。Group4 に関しては 25%の結果が Group3 と誤推定している結果となった。Group3, 4 の推定誤差に関しては、HRreserve を用いた閾値の個人最適化を進めていくこと、センサーシステム自体の小型化・計量化による測定安定性向上によって改善できる。閾値の個人最適化に関しては、クラウドとの連携などを通じて実現可能であると考えられる。

また、国立研究開発法人 医薬基盤・健康・栄養研究所 国立健康・栄養研究所 基礎栄養研究部 部長エネルギー代謝研究室 室長(併) の田中茂穂先生に心拍・加速度の測定結果と本チップの消費電力について紹介し、以下のように御講評いただいた。

心拍情報が同時計測できるチップは、以下の3点において非常に意味があると考えられる。

- 1) 個人の体力にあわせた運動時の目標強度設定や危機管理
- 2) 主として運動時の強度推定や行動の種類識別
- 3) 特に安静時における装着・非装着の判定

そうした目的に対しては、本チップ・計測モジュールは改善点はあるものの非常に有用なものであると考えられる。また、低消費電力を活かした、デバイスの小型化・長寿命化についても期待できるチップだと感じる。

上記行動分類アルゴリズムをソフトウェア実装した場合、CPUのアクティブ率が1%となり40uA程度の消費電力となったため、加速度センサ値のフィルタ処理部分を専用ハードウェアとして実装し、最終版のLSIを設計・試作した(図2.3-27)。加速度処理部の概要を図2.3-28に示す。この最新LSIと加速度センサー、電源回路、および上記の行動推定アルゴリズムの計算処理を含めたシステム全体の消費電力は20uW以下となった。これにより、最終目標である消費電力10分の1を達成し、本分野における研究者の方からも期待していただけるSoC開発が実現できた(図2.3-29)。

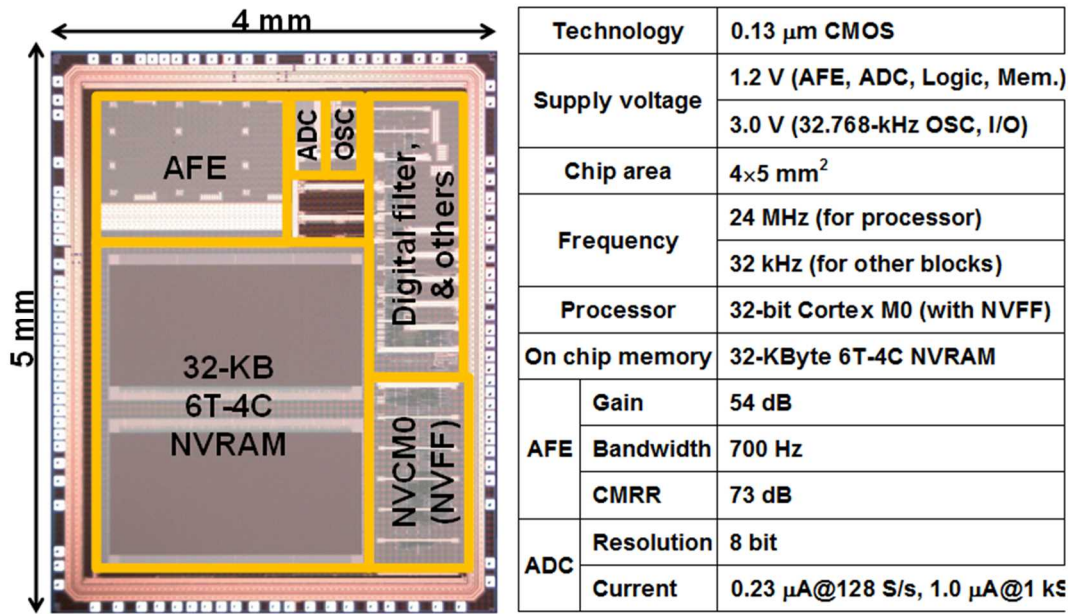


図 2.3-28:平成 27 年度試作 LSI と性能諸元 (BU70113)

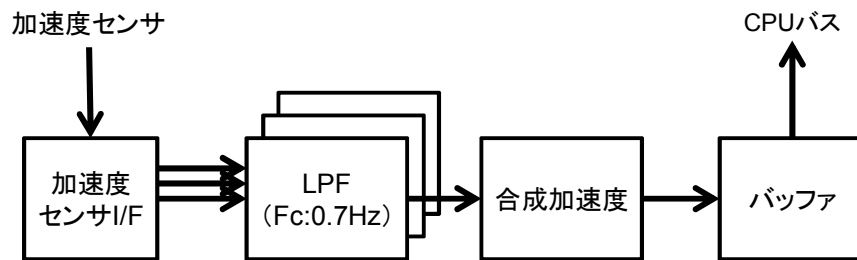


図 2.3-27:加速度フィルタ処理部

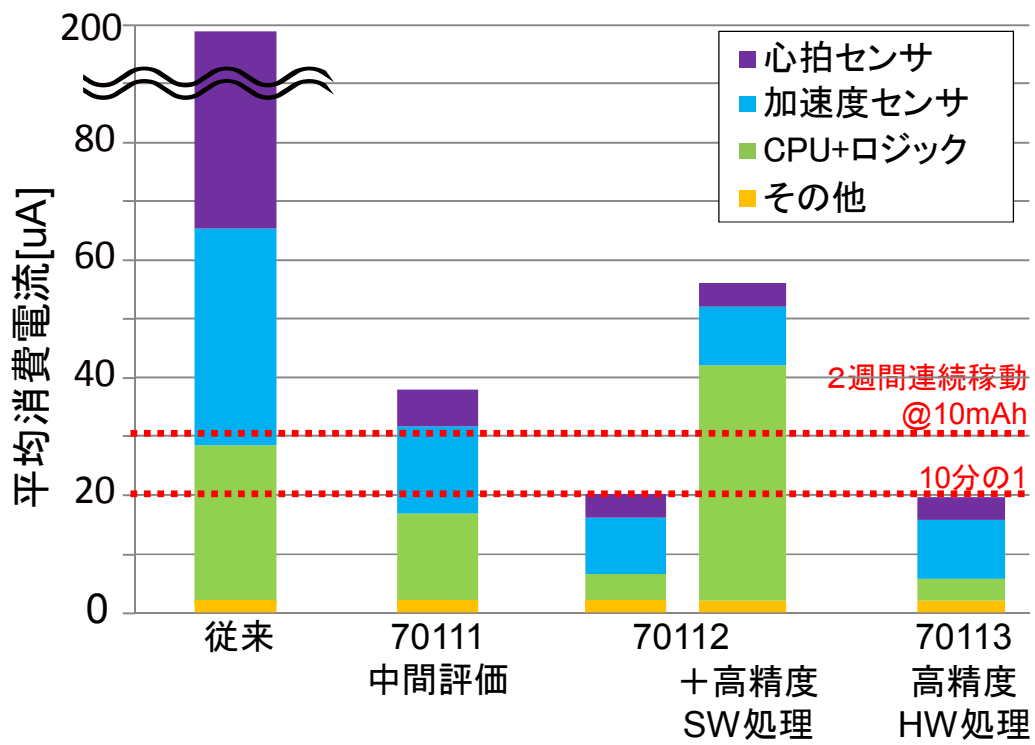


図 2.3-29: 全体消費電力の削減

2.4 ②-1 ノーマリーオフ評価基盤・プラットフォームの研究開発

(担当:ルネサスエレクトロニクス株式会社)

研究開発項目②「ノーマリーオフコンピューティング設計方法論の研究開発」(集中研)では、参加企業ならびに東京大学が連携・協力し、集中研方式で遂行することで、設計階層間で協調して実現する電力制御技術の共通基盤化を行い、ノーマリーオフコンピューティングを実現するコンピュータシステムの構築手法と設計方法論の確立を目指す。

集中研の細目 ②-1 においては、上記分散研の共通的な評価の必要性を満たし、かつ、上記②で開発するノーマリーオフ最適化技術の電力消費性能評価を適切に実現できる

②-1-1 ノーマリーオフ実機評価環境

②-1-2 ノーマリーオフ評価エミュレーション環境

を構築し、研究開発項目②及び①で活用可能な、ノーマリーオフ・システムの電力消費性能を評価するための共通の基盤となる評価基盤・プラットフォームの確立を目標に研究開発を進めた。

②-1-1 ノーマリーオフ実機評価環境

ノーマリーオフ実機評価環境の研究開発においては、集中研 Noff 評価ボードを開発した。集中研 Noff 評価ボードは、マイコン、センサ、電源回路などを搭載し、本評価ボードを用いてノーマリーオフを実現するアーキテクチャ開発・検証・実証などを行うことができる。また、評価ボード仕様検討時に各分散研と連携して、センサ拡張ボード、メモリ拡張ボード等を着脱可能な仕様とすることにより、本 Noff 評価ボードに分散研のセンサやメモリを接続してノーマリーオフアーキテクチャの検証・実証が可能な評価基盤プラットフォームを実現した。

平成 23 年度は、Noff 評価ボード、メモリ拡張ボード、センサ拡張ボード、通信装置の仕様検討のベースとなるノーマリーオフアーキテクチャの基本構成についての検討を東京大学/中村研究室と共同で実施し、ノーマリーオフアーキテクチャの基本構成の検討を完了した。

平成 24 年度は、前年度から継続して、分散研と連携しながら、集中研 Noff 評価ボード、メモリ拡張ボード、センサ拡張ボード、通信装置の仕様、Noff-HW-IF プロトコルの詳細仕様策定を行い、集中研 Noff 評価ボードの設計・試作・評価を実施した。(図 2.4-1, 図 2.4-2)

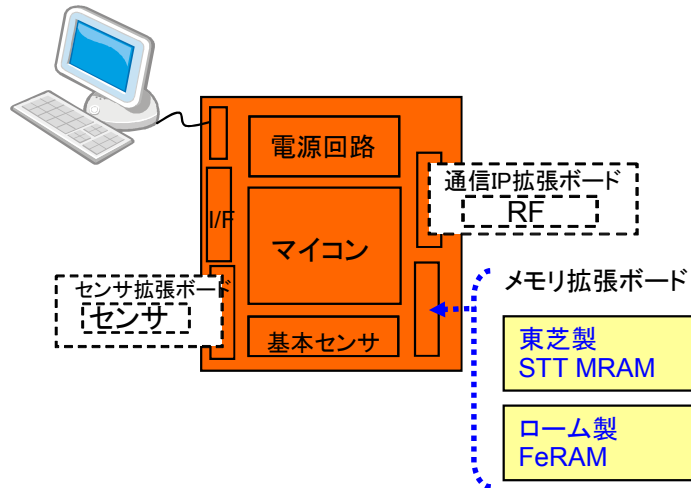


図 2.4-1 集中研用 Noff 評価ボード(試作版)

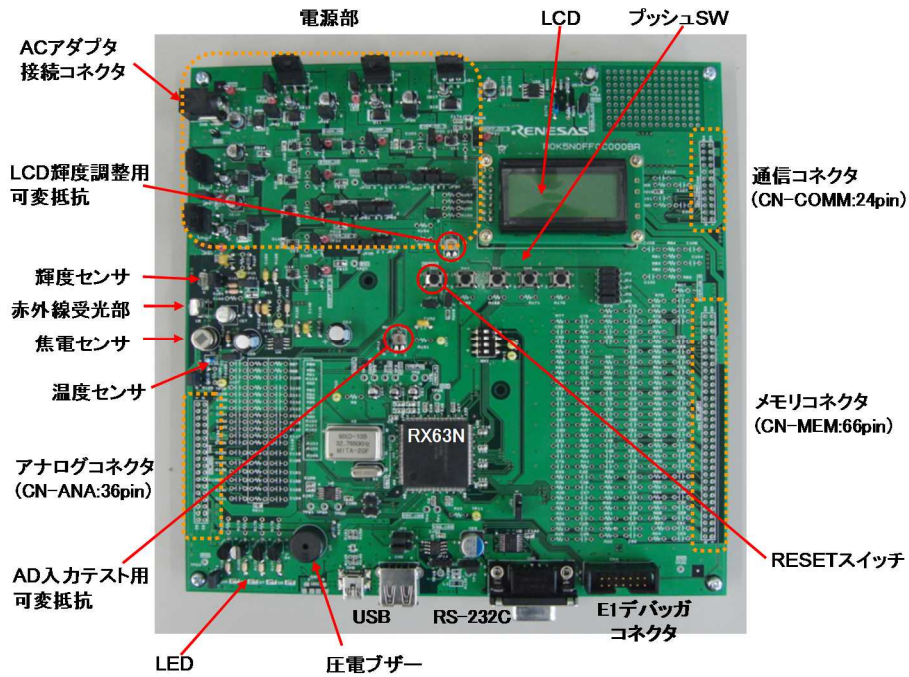


図 2.4-2 集中研用 Noff 評価ボード写真(試作版)

そして、本試作ボードによる実機評価結果から、センサシステムにノーマリーオフ制御を適用した場合の電力削減効果の見積もりを実施した。(図 2.4-3)

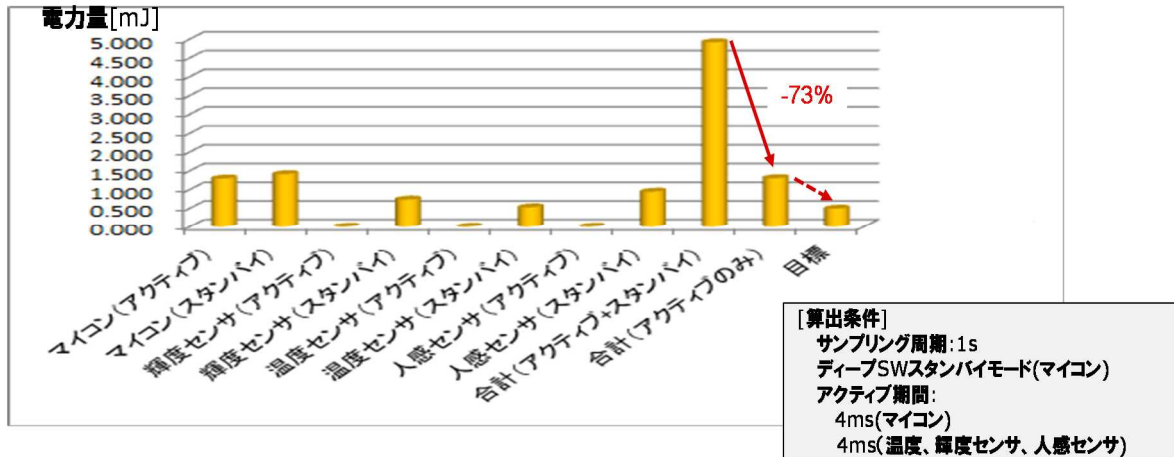


図 2.4-3 センサーシステムの消費電力量

図 2.4-3 に示すセンサーシステムにおける、マイコン及びセンサのアクティブ（動作）消費電力量は、全体の 27%であり、一方、スタンバイ消費電力量は、全体の 73%である（ただし、通信は除く）。これにより、ノーマリーオフ制御適用により、理想的（電源 ON/OFF 遷移に伴うオーバーヘッドがない理想ケース）には 73%の電力量削減が可能であることが判る。よって、本研究の目標である 90%削減を実現するためには、

- 1) 電源 ON 遷移に伴うオーバーヘッド電力の削減
- 2) アクティブ電力の削減

の両方の課題を克服することが必要であることが判明した。

そこで、この課題解決を目的として、研究開発項目②-1 においては、集中研（東京大学）と連携し、ノーマリーオフ電力モデルの開発及び階層型 PG 制御を含むタスクスケジューリング技術による電力削減技術の開発を進めた。

まず、②-1における実機評価環境上でのセンサ応用想定実機評価から得られた情報を元に、センサーネットワーク・マイコンシステム向けのタスクスケジューリング技術に基づくノーマリーオフ電力モデルの開発を行った。このモデルは、階層型アーキテクチャにタスクスケジューリング手法を適用した場合の電力見積もりを実行できるモデルであり、Task 負荷情報/処理デッドライン/データ入力周期（センサーサンプリング周期等）/各階層のプロセッサ動作電力/リーク電力/電源 ON/OFF のオーバーヘッド電力等をインプットに応じて、消費エネルギーが最小となる、プロセッサ構成及び Task 割り当てを出力することができるため、分散研の各種システム評価への活用が可能なモデルである。（図 2.4-4, 図 2.4-5）

■ 階層型ノーマリーオフ電力モデル開発

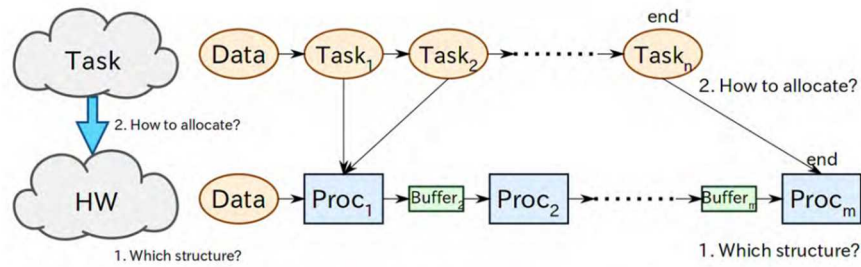


図 2.4-4 プロセッサへの Task 割り当て

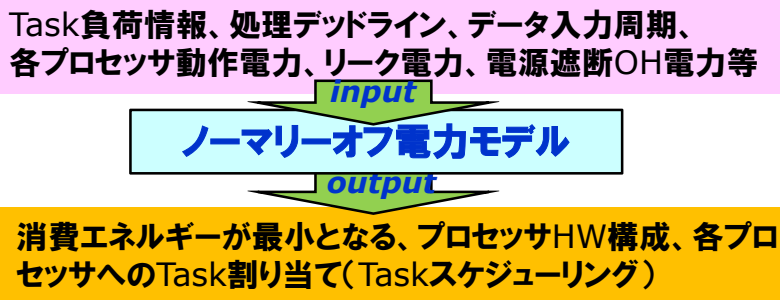
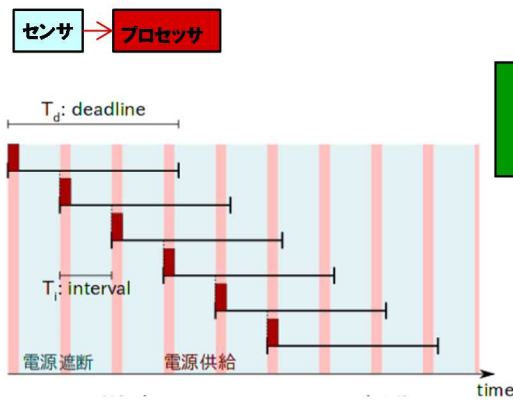


図 2.4-5 ノーマリーオフ電力モデルの入出力

さらに、センサ応用を想定したタスクスケジューリング技術によるアクティビティ局所化手法の提案を行い、分散研①のセンサ応用向けノーマリーオフアーキテクチャ確立のサポートを実施した。そして、ソフトウェア視点でのノーマリーオフ電力最適化技術の適用による従来比1/10の低電力化達成の目途を得た。

従来型 PG (パワーゲーティング) 制御においては、図 2.4-6 左のようにセンサのサンプリング周期に同期して、プロセッサをアクティブ状態にするため、センサのサンプリングの度に、電源 ON/OFF のオーバーヘッド電力消費が発生して、トータルの電力量が大きくなってしまふ。今回提案した階層型 PG 制御においては、図 2.4-6 (右) のように、センシングデータがバッファにたまった時点で初めて、プロセッサはアクティブ状態になって、まとめ処理を実行するため、電源 ON/OFF の回数を最適化することができ、システムトータルの電力消費を大幅に削減することが可能である。

○従来型PG制御(周期的センシング)



○階層型PG制御(周期的センシング)

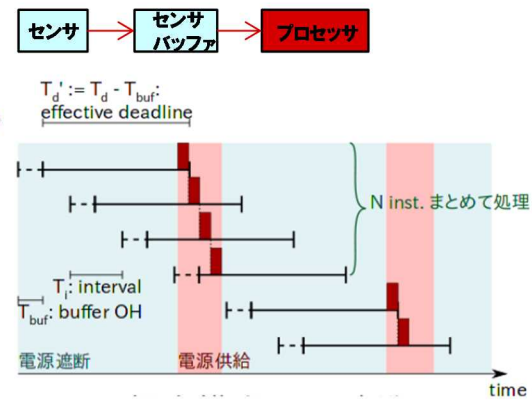


図 2.4-6 センシング動作と電力制御(左:従来型、右:階層型)

これらの制御手法の評価を行うため、図 2.4-7 に示す電力モデルの構築を行った。電力制御を全く行わない場合は、動作時のダイナミック電力に加えて、スタティック電力が常時流れる。従来型 PG ではプロセッサが動作していない区間で PG 制御を行うことで、スタティック電力を削減できる、ただし、PG 制御を行うため、パワーマネージャ追加が必要であり、On/Off 時のダイナミック電力とともに、スタティック電力が常時流れる。階層型 PG では、まとめ処理を行うためのバッファのダイナミック電力とスタティック電力がかかる。

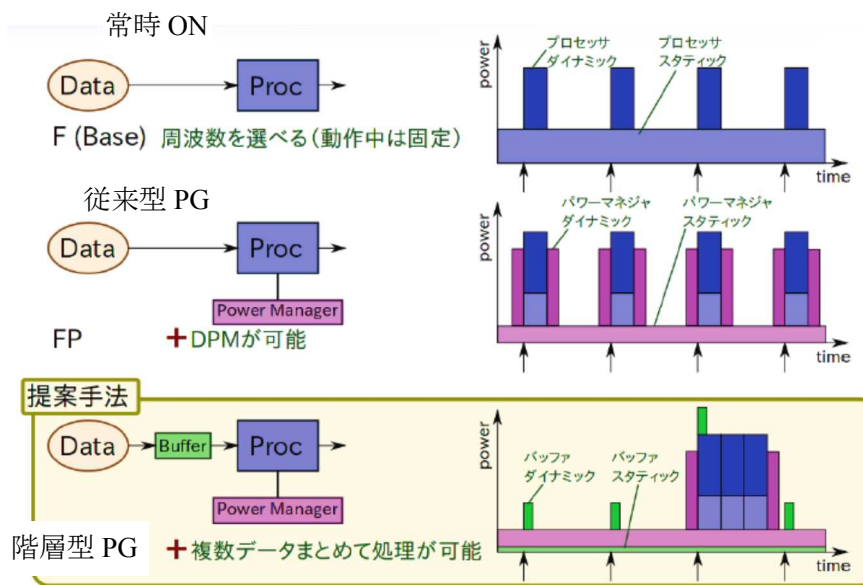


図 2.4-7 電力モデル

火災報知センサーを例に提案手法を適用、電力モデルから消費電力を予測した結果を図 2.4-8 に示す。青線が電源制御を全く行わない場合のセンシング 1 回あたりの消費エネルギーを示しており、リーク電流が常時流れ続けるため、センシング周期が長くなるにつれ、センシング 1 回あたりの消費電力が増加している。それに対して、PG 制御を行った赤色と黄色の結果ではセンシング周期にかかわらず、ほぼ一

定のエネルギー消費となっている。これはセンシング処理の合間に PG 制御を行うことにより、リーク電流を削減したためである。また、従来型 PG 制御と比較して提案する階層型 PG 処理ではプロセッサによる処理をセンシング結果がある程度バッファに溜まった段階で一括して処理を行うため、PG 回数の削減に成功している。その結果、センシング 1 回あたりの消費エネルギーを大幅に削減できる。

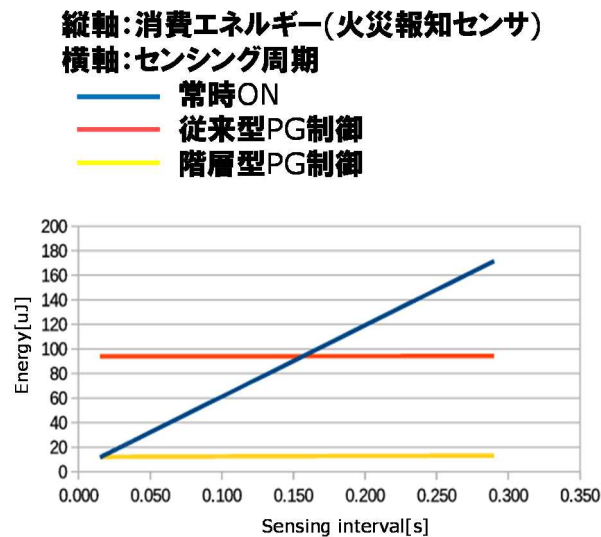


図 2.4-8 火災報知センサーの消費エネルギー

平成 25 年度は、H24 年度に試作した集中研 Noff 評価ボードの評価結果をフィードバックすることにより、集中研評価ボードの改良設計を行い、分散研のセンサー/メモリ拡張ボードへの接続、子基板変更により CPU 変更が可能(子基板変更による)で、かつ、複数の評価ボードを連結することで、先に述べた階層型 PG 制御を含むタスクスケジューリング技術を実機可能な、集中研 Noff 評価ボード(最終形)を開発した。(図 2.4-9、図 2.4-10)

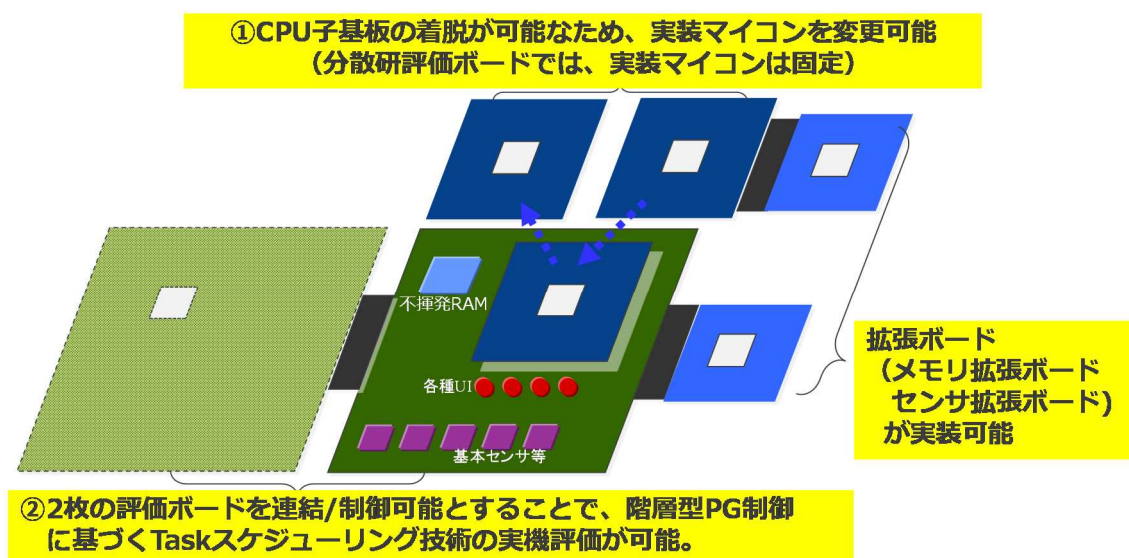


図 2.4-9 集中研 Noff 評価ボード・イメージ図(最終形)

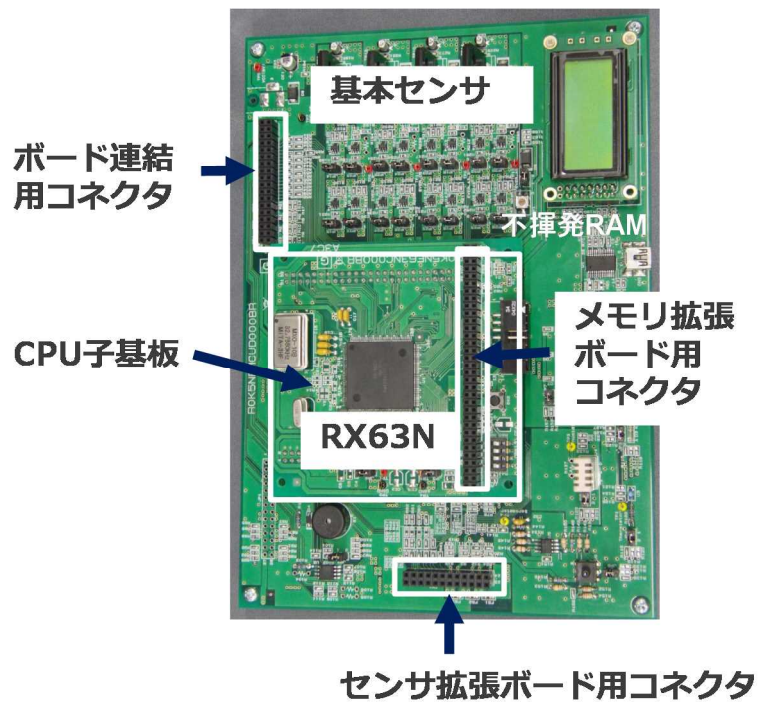


図 2.4-10 集中研 Noff 評価ボード・写真(最終形)

また、上記 Noff 評価ボードの開発にあわせて、電源 ON/OFF やスタンバイモードへの遷移を多用するノーマリーオフ・ソフトウェア技術としての Noff-API ガイドを策定し、ルネサス分散研に提供した。本 API ガイドに規定される API は、電源コントロール側用 API、電源コントロール Noff 動作側用 API、Noff 間欠動作 API、各処理共通 API で構成される。(図 2.4-11)

また、本 API ガイドは、集中研 Noff 評価ボードに準拠したノーマリーオフ API 開発のためのガイドであり、図 2.4-12 のように、電源コントロール時の動作タイミング順序を明示することにより、集中研評価ボード上の MCU-ハードウェアの電源制御動作に関わる IF プロトコル (Noff-H/W-IF プロトコル) を記載している。

■主電源コントロール側用 API

対応		名称	内容	関数名
RX63N	RL78/G1A			
○	○	主電源コントロール初期化	主電源コントロールで使用する各種リソースの初期化	NF_pcon_init
○	○	主電源コントロール有効/無効設定	主電源コントロール処理の有効/無効を設定	NF_pcon_act_set
○	○	主電源 ON/OFF 周期設定	主電源の ON/OFF 周期を設定する	NF_pcon_on_tim
○	○	主電源 OFFトリガ発行	主電源 OFFトリガ信号を NOFF 動作側に発行	NF_pcon_offtrg_out
○	○	主電源 OFF 準備完了受信	NOFF 動作側の主電源 OFF 準備完了信号を受信	NF_pcon_get_noff_off_fin
○	○	主電源 1OFF 制御	主電源 1(EVER D3.3)を OFF とする	NF_pcon_pw1_off
○	○	主電源 1OFF 時間設定	主電源 1(EVER D3.3)の OFF 時間を設定する	NF_pcon_pw1_off_tim_set
○	○	主電源 2OFF 遅延時間設定	主電源 1 の OFF タイミングから、 主電源 2 の OFF タイミングまでの遅延時間設定	NF_pcon_pw2_d_set
○	○	主電源 3OFF 遅延時間設定	主電源 1 の OFF タイミングから、 主電源 3 の OFF タイミングまでの遅延時間設定	NF_pcon_pw3_d_set
○	○	主電源 4OFF 遅延時間設定	主電源 1 の OFF タイミングから、 主電源 4 の OFF タイミングまでの遅延時間設定	NF_pcon_pw4_d_set
○	○	H/W RESET 信号出力選択	NOFF 動作側への H/W RESET 信号出力の有効無効設定	NF_pcon_hwreset_act_set
○	○	H/W RESET 信号遅延時間設定	主電源 1ON タイミングから、 H/W RESET 信号出力までの遅延時間設定	NF_pcon_hwreset_d_set

■主電源コントロール NOFF 動作側用 API

対応		名称	内容	関数名
RX63N	RL78/G1A			
○	○	主電源コントロール NOFF 初期化	NOFF 側処理で使用する各種リソースの初期化	NF_pnoff_init
○	○	主電源 OFFトリガ受信	主電源コントロール側からの 主電源 OFFトリガ信号受信	NF_pnoff_get_offtrg
○	○	主電源シャットダウン処理	主電源シャットダウン前の 不揮発メモリデータ待避処理	NF_pnoff_shutdown_set
○	○	主電源 OFF 準備完了発行	主電源 OFF 準備完了信号発行	NF_pnoff_off_fin_out
○	○	主電源 ON 復帰処理	主電源復電時、不揮発メモリから各種データ復元 及び、各種制御信号の処理	NF_pnoff_recovery_set
○	○	電流計用トリガ出力	電流計用トリガ信号ポート出力	NF_pnoff_cur_trg_out
○	×	実行処理モニタ DA 出力	実行処理モニタ用の 10bit DA 出力値設定	NF_pnoff_10da_mon_out
×	○	実行処理モニタ PORT 出力	実行処理モニタ用のポート出力値設定(6bit)	NF_pnoff_6po_mon_out

■ノーマリオフ間欠動作 API

対応		名称	内容	関数名
RX83N	RL78/G1A			
○	○	NOFF 間欠動作初期化	NOFF 間欠動作処理で使用する各種リソースの初期化	NF_noff_init
○	○	NOFF 間欠動作有効/無効設定	NOFF 間欠動作の有効/無効を設定	NF_noff_act_set
○	○	RTC 割り込み周期設定	RTC による間欠動作周期を設定	NF_noff_rtc_set
○	○	通常動作時間設定	間欠動作周期中の通常動作時間を設定	NF_noff_on_tim_set
○	○	起動安定待ち時間設定	スタンバイ復帰時の電源安定待ち時間設定	NF_noff_wait_tim_set
○	○	メインタイム周期設定	システムの基準タイム周期を設定	NF_noff_main_tim_set
○	○	スタンバイ突入処理	スタンバイ移行時に必要な各種データの待避及び、スタンバイ移行設定	NF_noff_st_set
○	○	スタンバイ復帰処理	スタンバイからの復帰時に必要な各種データの復元	NF_noff_st_recover
○	○	ON/OFF 電源 1-1 制御	ON/OFF 電源 1-1(D3.3 系統 1)の電源 ON/OFF を設定	NF_noff_onoff1_1_cnt
○	○	ON/OFF 電源 1-2 制御	ON/OFF 電源 1-2(D3.3 系統 2)の電源 ON/OFF を設定	NF_noff_onoff1_2_cnt
○	○	ON/OFF 電源 1-3 制御	ON/OFF 電源 1-3(D3.3 系統 3)の電源 ON/OFF を設定	NF_noff_onoff1_3_cnt
○	○	ON/OFF 電源 2-1 制御	ON/OFF 電源 2-1(A3.3 系統 1)の電源 ON/OFF を設定	NF_noff_onoff2_1_cnt
○	○	ON/OFF 電源 2-3 制御	ON/OFF 電源 2-3(A3.3 系統 2)の電源 ON/OFF を設定	NF_noff_onoff2_2_cnt

図 2.4-11 Noff-API ガイドにおける API の例

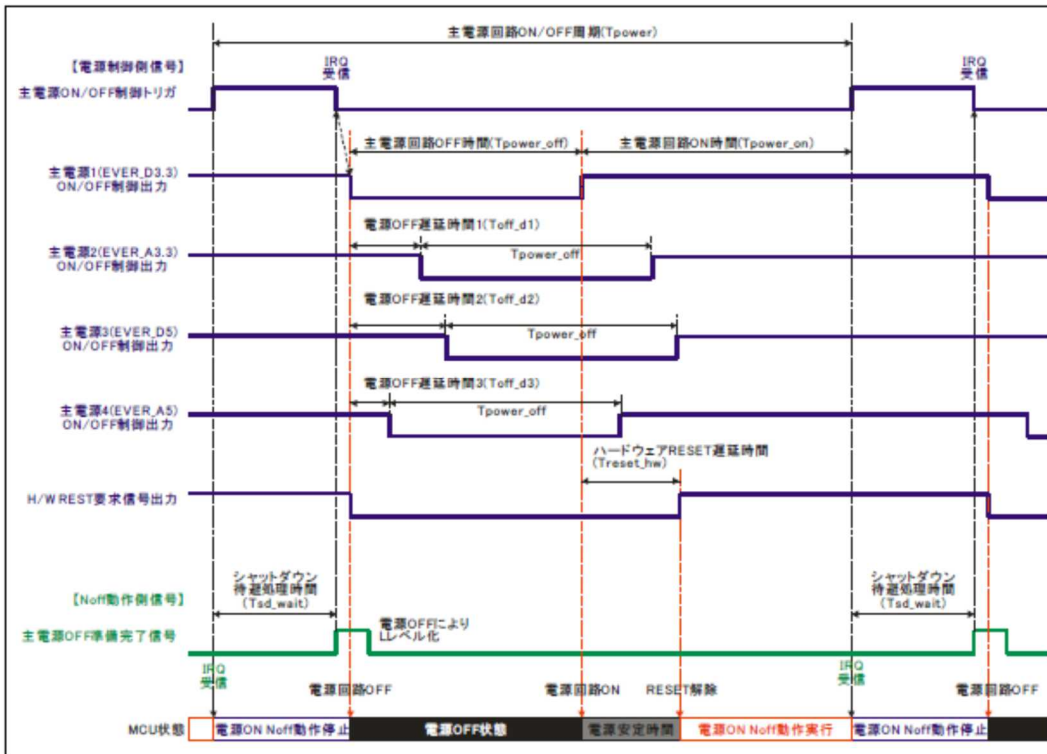


図 2.4-12 Noff-API ガイドにおける電源コントロールタイミングチャート例

②-1-2 ノーマリーオフ評価エミュレーション環境

平成 23 年度は、ノーマリーオフ評価エミュレーション環境構築手法の基本方針の検討を実施し、ノーマリーオフの基本構成要素であるマイコンモデル、メモリモデル、センサーモデルの仕様検討を完了した。

平成 24 年度は、前年度で検討した各モデルの情報から、詳細な電力及び性能評価を実現するための情報の絞込みを行った。そして、上位項目②で検討する多様なアーキテクチャに適用可能で、しかも上記情報を取得可能なノーマリーオフ評価エミュレーション技術の概略仕様の策定を実施した。具体的には、評価エミュレーションを実行する際は、マイコンの実行 Task 情報をコード化して、マイコン内蔵の DAC 電位として外部に出力させる。この Task 情報及び消費電流を外部の計測器で測定することで、Task 処理毎のマイコンやセンサーの電力プロファイル情報を取得する方式を策定した。(図 2.4-13)

平成 25 年度は、上位項目②で検討する多様なアーキテクチャに適用可能で、詳細な電力及び性能評価を実現するための情報を採取可能なノーマリーオフ評価エミュレーション環境を完成した上で、②-1-1 のノーマリーオフ実機評価環境への機能埋め込みを実施した。

■ マイコンの実行タスク情報を、DAC電位コードとして出力することにより、実行Task毎の電力プロファイルを取得できる評価エミュレーション機能を集中研実機評価ボードに実装。

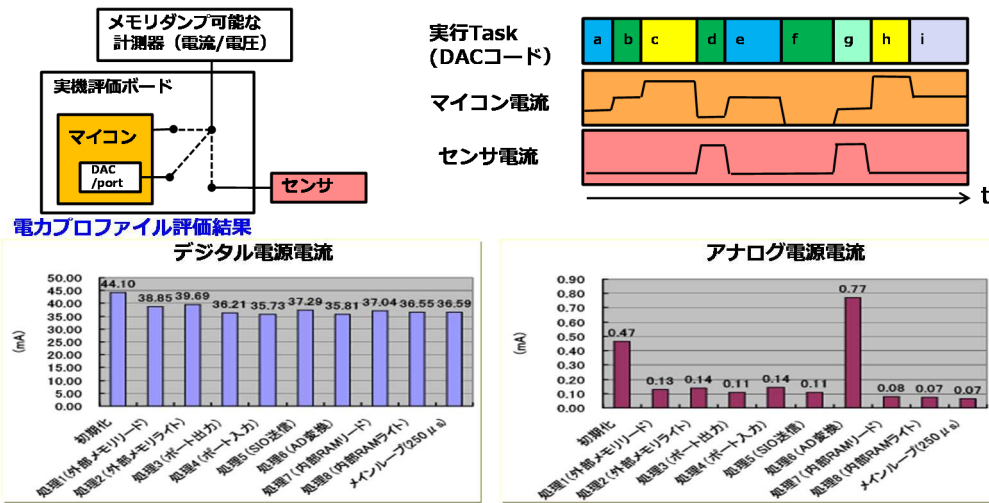


図 2.4-13 集中研 Noff 評価エミュレーション技術

次に、②と連携して開発したタスクスケジューリング手法について様々なソフトウェア開発への活用性向上を目的に、ルネサス集中研成果としての低電力化支援ツール (Noff 消費電力シミュレータ)を開発した(図 2.4-14)。この消費電力シミュレータは、内部に Noff タスクスケジューラエンジンと MCU-HW (ハードウェア)パラメータ情報を搭載しており、ユーザが入力するタスク情報に応じて、タスクスケジューリング技術に基づく電力シミュレーションを実行し、平均消費電力を最小化するための MCU 処理のタイミングチャート/消費電力グラフ/平均電力値/MCU 切り替え情報を出力することができる。ユーザは、この出力結果を参照することにより、自分の開発するソフトウェアのノーマリーオフ技術の適用性を判断し、ソフトウェア開発に活用することができる。

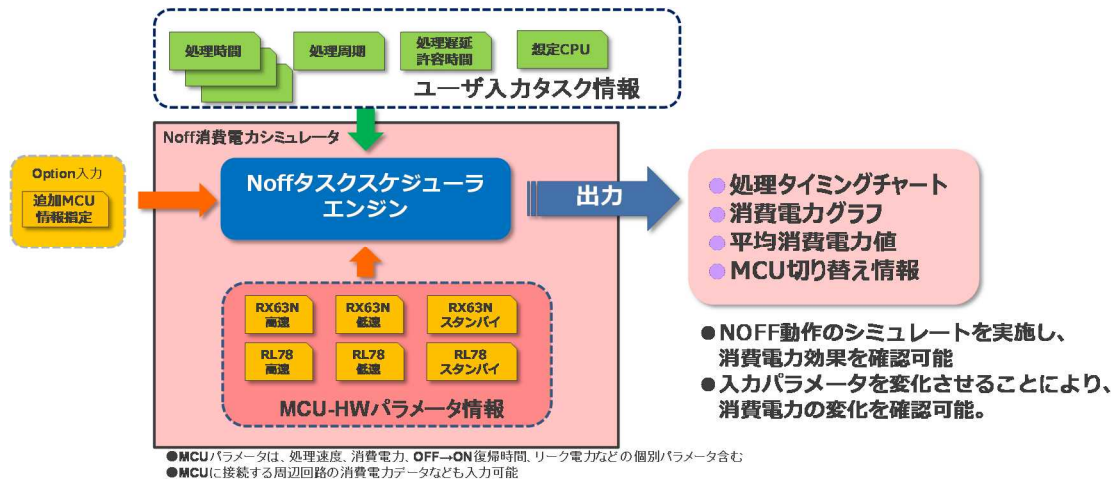


図 2.4-14 低電力化支援ツール(Noff 消費電力シミュレータ)

図 2.4-15 は、低電力化支援ツールのユーザ入力画面である。この入力画面においてユーザは、定義済み MCU の中から使用可能な MCU を選択し、各タスク処理の実行周期/実行時間/デッドライン時間の入力を行った後、シミュレーションを実行する。図 2.4-15 においては、感圧センサ/輝度センサ/温度センサ/測距センサ/通信処理から構成されるマルチセンサ応用システム動作を想定している。



図 2.4-15 ユーザ入力画面

上記のように、集中研細目②-1 においてはノーマリーオフ実機評価環境を開発し、その評価結果からノーマリーオフ制御に伴う種々の電力情報を抽出した上で、上位項目②と連携し、ソフトウェア視点でのノーマリーオフ最適化技術(タスクスケジューリング技術)の開発を行った。また、ノーマリーオフ対応のソフトウェア開発を支援するソフトウェア低電力化支援ツールを開発した。そして、ソフトウェア視点でのノーマリーオフ電力最適化技術の提案を分散研に対して行うことで、分散研の低電力化性能実証サポートを行うことができた。

以上のように②-1 では、ノーマリーオフ・システムの電力消費性能を評価するための基盤となる評価技術・プラットフォームを確立することができた。

2.5 ②-2 超高速不揮発メモリを活用するノーマリーオフメモリシステムの研究開発

(担当:株式会社 東芝)

【平成 23 年度】

コンピュータアーキテクチャの研究として、メモリ階層構造に不揮発キャッシュメモリを採用することによる利点と、オーバーヘッドを評価するための第一次検討を行った。

シミュレーションツールを用いて、L2 キャッシュメモリを備えたプロセッサの実行状況およびメモリアクセス状況をトレース可能な環境を構築した。また、ツールを拡張してレイテンシの設定を可能にし、任意の性能の RAM でのシミュレーションを可能にした。これらの分析から、スピン注入記憶素子の1次目標であった電流パルスでは、消費電力 1/10 を達成できる情報携帯端末用プロセッサの仕様と適用アプリケーションが狭い範囲に留まってしまうことが示唆された。

【平成 24 年度】

昨年度に継続して GEM5 というオープンソースのシミュレータを改良して、①-1 で具体化した超高速不揮発メモリをキャッシュメモリに搭載したプロセッサについて、ベンチマークソフト(特徴的な処理を行う多数の小規模ソフトからなる SPEC2006 を利用)のシミュレーションを可能となる環境を整えた。これを利用して MRAM と揮発メモリ(SRAM や DRAM)との組み合わせによるハイブリッドキャッシュ構造のメモリシステムを評価することを可能とした。これを利用して、①-1 で開発された DRAM/MRAM のハイブリッドキャッシュメモリシステムを評価した。この際、短時間で消えても良いデータは DRAM に、長時間保持したいデータは MRAM に保持するという使い分けの手順を開発し、プロセッサシミュレータに組み込んで評価できるようにした。DRAM のほうが MRAM よりも高速で低消費電力(短時間データ保持の場合)であるので、MRAM 単体よりも、おおよそ 20% 以下に消費電力を下げる事が出来る事が分かった。

また、Synopsis 社製の Virtualizer という、より大規模なソフトを動かすことができるプロセッサのエミュレータを使って、処理の重い2種類のアプリケーションソフトを実際に動作させて性能と電力を評価する試みも行った。このケースでは、意図したパワーゲーティングによる電源遮断を入れておらず、①-2 で開発されたメモリがノーマリーオフ動作をするために、アプリ処理中にある 100ns 以下の非常に短い待機時間でも電力をほぼ 0 にできることを利用して、消費電力をキャッシュメモリの 80% 分、プロセッサ全体の約 30% 分を削減することが可能であることを示した。

これらの研究成果から、不揮発メモリ階層構造を効率よく制御するための電力制御の時間粒度、空間粒度が明らかになってきた。具体的には、不揮発キャッシュメモリの電源遮断の最適粒度は、時間粒度が数十 ns で、空間粒度がメモリ1ビット単位であることが分かった。この情報は、研究開発項目①-1の分散研(東芝)におけるメモリハードウェア開発のために活用する。

これにより、メモリ制御回路やインターフェース回路の基本設計のノウハウが得られた。

また、平成 25 年度以降に予定していた Adaptive キャッシュメモリシステム(ひとつの MRAM 回路だけで、高速メモリ少容量のメモリと、低速大容量のメモリを動的に変更することができるメモリシステム)について、具体化する回路設計案が明らかになったため、先取りして性能の初期評価を行った。

さらに、マルチコアのプロセッサについて行った。このフェーズでは、プロセッサコアは単一種類の単純構成のものを中心とした。次に、プロセッサコアがヘテロ構造となるような、より複雑なプロセッサ構造、メモリ階層のシミュレータを検討し、いくつかの具体例について初期評価を行い、キャッシュメ

モリの遅延による性能低下が 20%未満に押さえられることを確認した。

【平成 25 年度】

高速低消費電力 STT-MRAM 回路をキャッシュメモリに適用するプロセッサを設計し、①-1で得られた STT-MRAM 回路の性能の値を用いて、②-2で開発したシミュレーション環境を用いて評価した。さらに、この不揮発化されたキャッシュメモリを有効に使う方法として、L1 キャッシュを SRAM にラストレベルキャッシュには STT-MRAM を用いて、SRAM よりも STT-MRAM の周辺回路を先に電源遮断するという方法を考案した。これらの結果から、プロセッサの処理が軽いアプリケーションでは電力効率が 10 分の 1 以下になるが、プロセッサの処理が重いアプリケーションでは、電力効率は 3 倍程度にしか向上できないことが分かった。電力効率を 10 倍以上に向上させるためには、STT-MRAM を 1ns@50uA (またはそれと同等のエネルギー) にすること、より細粒度で高速な電源遮断と、それらに基づくメモリ階層構造の最適化が必要であることが分かった。

また、単純に階層ごとに SRAM と MRAM を使う方法をさらに進化させて、ラストレベルキャッシュに SRAM と MRAM を並列に設けて、処理するソフトの種類によって、より適しているメモリを動的に選択する手法の検討も行った。

【平成 26 年度】

高速低消費電力 STT-MRAM 回路をキャッシュメモリに適用するプロセッサを設計し、①-1で得られた STT-MRAM 回路の性能の値を用いて、②-2で開発したシミュレーション環境を用いて評価した。さらに、アプリケーションの要求性能によって、ラストレベルキャッシュ(LLC)の STT-MRAM の使用容量を可変にすることで、性能と消費電力の低減を狙った Adaptive Cache の効果を、プロセッサシミュレータで見積もった。その結果、LLC が支配的なアプリケーションでは有効な手段である事が確認できた。また、低消費電力プロセッサシステム構造の検討として、プロセッサシミュレータを用いて静的電力と動的電力をエネルギー効率の見積もりを行った。従来の SRAM キャッシュに比べて消費電力的に有利になる階層領域の可視化を行った。更に、消費電力効果 10 分の 1 達成の為、特に 10 μ sec から 300 μ sec の間のプロセッサ Idle が、どのような要因により発生するのかを、実機及び仮想シミュレータにより可視化する為のツールやシミュレーション環境の構築を行った。

【平成 27 年度】

①-1で STT-MRAM のチップを集積したキャッシュメモリ回路を実際に作成し、実際に②-2で開発したキャッシュの電力制御方法を用いて、SRAM キャッシュと比較して 90%の低消費エネルギー化が可能であることを示した。また、STT-MRAM キャッシュの性能に応じて、メモリ階層のどの位置に STT-MRAM を搭載するとエネルギー削減効果が得られる分岐点の試算をベンチマークシミュレータにより算出し、その適応範囲について明らかにした。更に、実際にアプリケーションを動かした場合のプロセッサの稼働状況をモニタリングし、その状況を元にパワーゲーティングを行ったとしたときの、プロセッサシステム全体でのエネルギー削減効果を見積もり、特定のアプリケーションにおいて最大で 80%程度の削減効果が得られることが分かった。更に、STT-MRAM を使用することによるチップ面積の微細化等により、全体として 90%程度のエネルギー削減効果が得られることを示した。

2.6 ②-3 ノーマリーオフコンピューティングシステム設計方法論の研究開発

(担当:株式会社東芝、ルネサスエレクトロニクス株式会社、ローム株式会社、共同実施先:東京大学)

設計方法論の確立に必要なノーマリーオフ評価技術と最適化技術の開発を目指し、以下を行った。

ルネサスエレクトロニクスと東大は、マイコンにおける RAM 不揮発化、ロームと東大は、やはりクロック周波数がそれほど高くないヘルスケア応用分野で、FF(フリップフロップ)の不揮発化を検討し、不揮発化がもたらす低消費電力化効果を最大化するアーキテクチャ技術を検討した。また、東芝と東大は、クロック周波数が高い高性能プロセッサにおけるキャッシュメモリに STT-RAM を適用した場合に、低電力化効果を増大で可能なキャッシュメモリの構成方式を検討した。以降、順に詳細を述べる。

②-3-1 ノーマリーオフ評価技術

ノーマリーオフ最適化技術では、メモリ階層における FF、キャッシュメモリ、RAM の不揮発化を検討するが、評価技術として、各々の方式の消費電力をモデリングし定式化した。これらのモデリングでは、不揮発メモリと揮発メモリの read/write の速度およびエネルギー、論理部の電源遮断時と非電源遮断時の消費電力および電源遮断時のエネルギーオーバーヘッドで、パラメータとして与えている。これにより、アーキテクチャを変更した場合だけでなく、不揮発性メモリ自身の特性を変えた場合の電力も評価できる。そのため、今後どのような不揮発性メモリを開発すべきか、またそのような不揮発性メモリが実現した場合のシステムアーキテクチャの検討も可能とした。

以降では(1)不揮発 FF によるパワーゲーティング(PG)と(2)不揮発バッファを備えたマイコンシステムの評価技術について述べる。

(1) 不揮発 FF による PG の電力モデル

不揮発 FF(フリップフロップ)をプロセッサに搭載した場合のエネルギー削減効果を明らかにするために、不揮発 FF を用いた PG の電力モデルを作成し、その他の PG 手法と比較検討を行った。

既存の PG 手法では、PG 時のプロセッサ状態を保持するためには、何らかの手法によりプロセッサ状態を外部の不揮発メモリに書き出す必要がある。

ソフトウェア制御を用いた書き出し手法では、プロセッサ状態量の大きさに比例した時間とエネルギーが必要となる。ハードウェア制御を用いた手法としてはスキャンチェーンを用いる方法が考えられるが、スキャンチェーンは全 FF を直列に繋いでいるため、プロセッサ状態量に比例した電力と時間がかかり、エネルギーはプロセッサ状態量の 2 乗に比例する。

不揮発 FF を用いた PG ではプロセッサ中の FF をすべて不揮発 FF に置き換えることにより、任意のタイミングで全 FF の状態を一括して、待避/復帰が可能である。これらの操作は一括して行われるため、プロセッサの規模によらず一定時間で行うことが出来る。また、エネルギーはプロセッサ状態量に比例となる。

以上の考察に基づき図 2.6-1 に示す PG のエネルギーモデルを構築した。図中の赤色の点線は理想的な PG を表しており、赤線よりも上の部分が PG のオーバーヘッドエネルギーである。各変数の定義は以下の通り。

- Scontext: プロセッサ状態量

- Tstore/Trestore: プロセッサ状態の待避/復帰時間
- Trestart: 状態復元後通常実行に戻るまでの時間
- Tsleep: アイドル時間
- Pactive: 通常動作時の消費電力
- Pstore/Prestore: プロセッサ状態の待避/復帰時の消費電力
- Pstart: 状態復元後通常実行に戻るまでの消費電力
- Poff: 電源遮断時の消費電力 (=0)
- Er/Ew: 不揮発 FF または不揮発メモリの 1bit あたりの読み書きエネルギー
- Eon/Eoff: プロセッサ全体を ON/OFF するオーバーヘッドエネルギー

これらの変数を使い PG 1 回あたりのオーバーヘッドエネルギー EOH は以下の式で表される。

$$EOH = Pstore \cdot Tstore + Prestore \cdot Trestore + Pstart \cdot Trestart + (Er + Ew) \cdot Scontext + Eon + Eoff$$

この結果から、Poff が 0 であれば、EOH は Tsleep に独立であることがわかる。

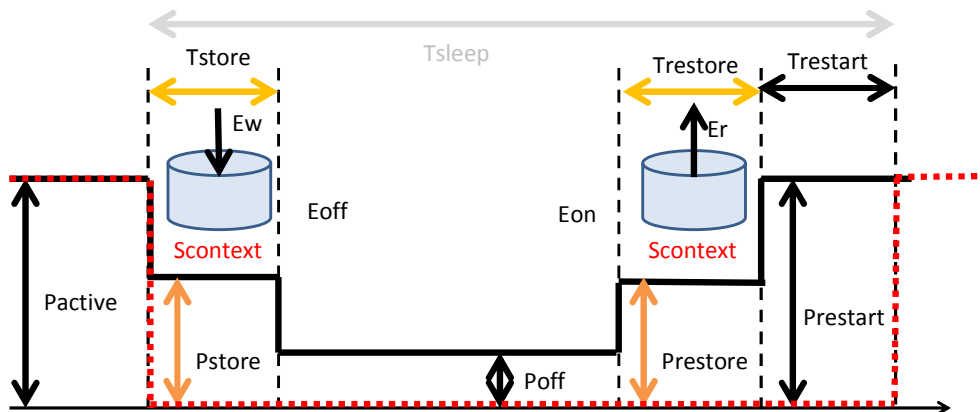


図 2.6-1 高速 PG のエネルギーモデル

このエネルギーモデルを用いた、各手法における PG 1 回あたりのオーバーヘッドの比較結果を図 2.6-2 PG オーバーヘッドに示す。ここで、プロセッサ状態量は 400bit とし、PG を全く行わなかった場合の消費エネルギーを 1 とした相対値で表す。ハードウェア制御のエネルギーは非常に大きく、この図の範囲外となっている。この結果から不揮発 FF を用いることにより、ソフトウェア制御方式と比較して PG 1 回あたりのオーバーヘッドエネルギーを 1/75 まで削減できることがわかった。また、相対エネルギーが 1、すなわちオーバーヘッドが有効となる損益分岐点 (BET) についても、ソフトウェア制御では 100ms 弱であるのに対し、不揮発 FF の BET は数 ms 秒であり、より短時間のアイドルであってもエネルギー削減が可能であることがわかった。

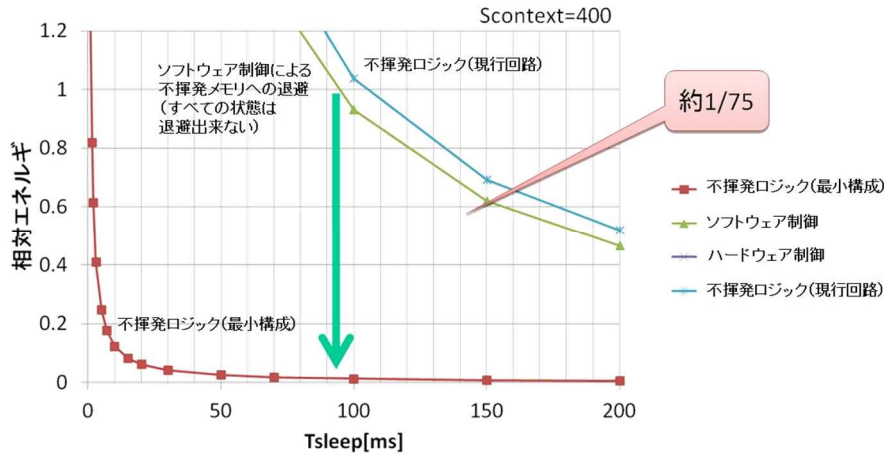


図 2.6-2 PG オーバーヘッド

以上のことから動作中のアイドル時間の分布に加えて、プロセッサ規模やメモリの消費電力によって最適な PG 制御が変化することがわかった。高速 PG に対応するためにはあらかじめ不揮発 FF をプロセッサコアに搭載する必要があるため、対象とするアプリケーションの特性を十分理解して搭載の有無を判断することが重要である。

この結果を①-4 にフィードバックすることにより、MCU 部への不揮発フリップフロップの搭載を検討し、さらなる低消費電力化を目指す。

(2) 不揮発メモリを備えたマイコンシステムの電力モデル

②-1 における実機評価環境上でのセンサ応用想定実機評価から得られた情報を元に、センサーネットワーク・マイコンシステム向けのノーマリーオフ電力モデルの開発を行った。このモデルは、階層型アーキテクチャにタスクスケジューリング手法を適用したアーキテクチャであり、プロセッサに加えて不揮発メモリや電力制御オーバーヘッドの評価が重要である(図 2.6-3)。

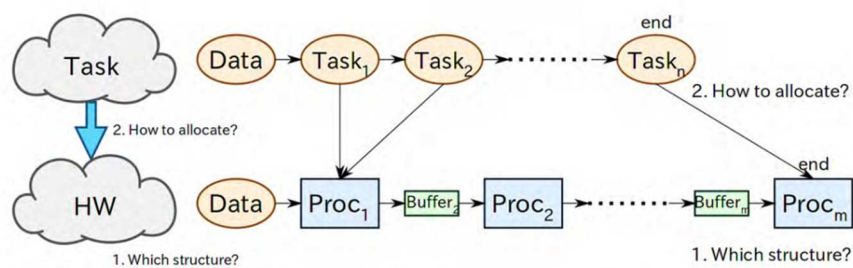


図 2.6-3 階層型アーキテクチャ

このようなアーキテクチャの評価を行うため、図 2.6-4 に示す電力モデルの構築を行った。電力制御を全く行わない場合(図 2.6-4 上段)は、動作時のダイナミック電力に加えて、スタティック電力が常時流れる。従来型 PG ではプロセッサが動作していない区間で PG 制御を行うことで、スタティック電力を削減できる。ただし、PG 制御を行うため、パワーマネージャ追加が必要であり、ON/OFF 時のダイナミック電力とともに、

スタティック電力が常時流れる(図 2.6-4 中段)。階層型 PG では、まとめ処理を行うためのバッファのダイナミック電力とスタティック電力がかかる(図 2.6-4 下段)。

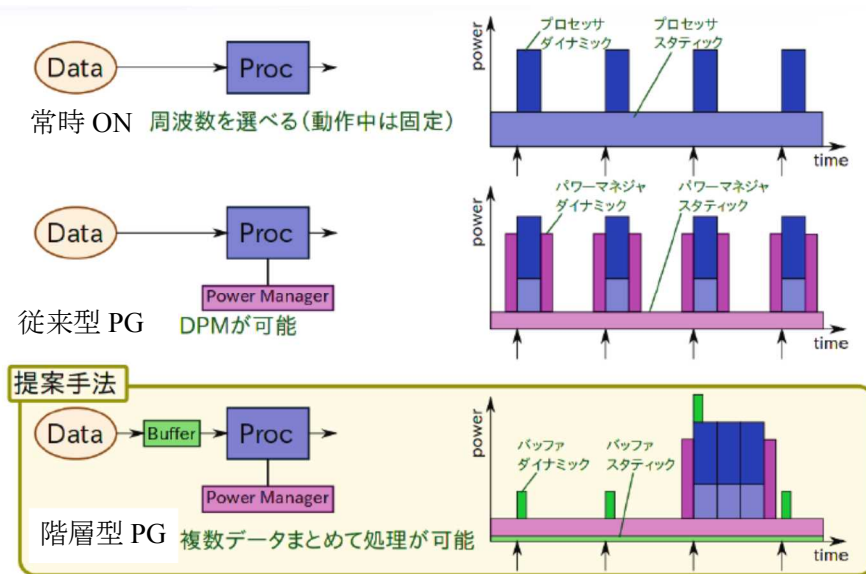


図 2.6-4 階層型アーキテクチャの電力モデル

②-3-2 ノーマリーオフ最適化技術

ノーマリーオフ最適化アーキテクチャとして、特に、RAM の不揮発化によりマイコンの電源を OFF にする機会を増大可能なシステム構成と従来の揮発キャッシュに加えて不揮発キャッシュを搭載したハイブリッドキャッシュアーキテクチャを検討した。また、それらの効果を検討するために、前述の評価技術を用い、現実的な応用アプリケーションプログラムの主要部を用いて電力評価を行った。

以降ではこれらの最適化技術を(1)センサーネットワーク向けノーマリーオフマイコンシステムと(2)携帯情報端末向けノーマリーオフキャッシュアーキテクチャに対して適用することにより、それぞれの応用領域でどのような特徴量が全体の消費エネルギーを決定づけるのかを明らかにする。

(1) センサーネットワーク向けノーマリーオフマイコンシステムの最適化

②-3-1 で開発したノーマリーオフ電力モデルを用いることにより Task 負荷情報/処理デッドライン/データ入力周期(センサーサンプリング周期等)/各階層のプロセッサ動作電力/リーク電力/電源 ON/OFF のオーバーヘッド電力等をインプットに応じて、消費エネルギーが最小となる、プロセッサ構成及び Task 割り当てを出力するタスクスケジューリング技術を開発した(図 2.6-55)。

対象システムに応じてこれらの入力パラメータを適切に与えることにより、分散研の各種システム評価への活用が可能である。



図 2.6-5 電力モデルを用いたタスクスケジューリング

さらに、センサー応用を想定したタスクスケジューリング技術によるアクティビティ局所化手法の提案を行い、分散研①のセンサ応用向けノーマリーオフアーキテクチャ確立のサポートを実施した。

従来型 PG (パワーゲーティング) 制御においては、図 0-6(左)のようにセンサのサンプリング周期に同期して、プロセッサをアクティブ状態にするため、センサのサンプリングの度に、電源 ON/OFF のオーバーヘッド電力消費が発生して、トータルの電力量が大きくなってしまふ。今回提案した階層型 PG 制御においては、図 0-6(右)のように、センシングデータがバッファにたまった時点で初めて、プロセッサはアクティブ状態になって、まとめ処理を実行するため、電源 ON/OFF の回数を最適化することができ、システムトータルの電力消費を大幅に削減することが可能である。

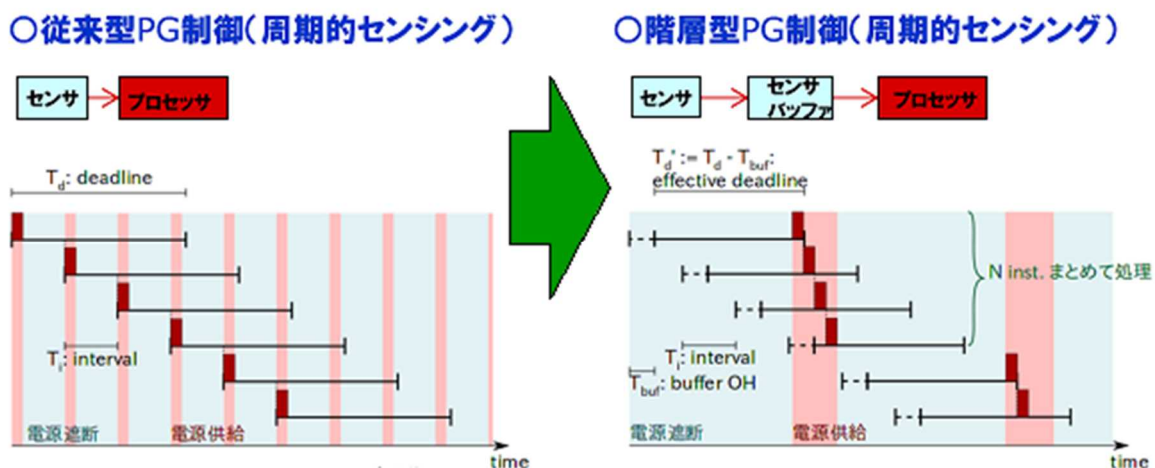


図 2.6-6 センシング動作と電力制御(左:従来型、右:階層型)

火災報知センサを例に提案手法を適用、電力モデルから消費電力を予測した結果を図 0-7 に示す。青線が電源制御を全く行わない場合のセンシング 1 回あたりの消費エネルギーを示しており、リーク電流が常時流れ続けるため、センシング周期が長くなるにつれ、センシング 1 回あたりの消費電力が増加している。それに対して、PG 制御を行った赤色と黄色の結果ではセンシング周期にかかわらず、ほぼ一定のエネルギー消費となっている。これはセンシング処理の合間に PG 制御を行うことにより、リーク電流を削減したためである。また、従来型 PG 制御と比較して提案する階層型 PG 処理ではプロセッサによる処理をセンシング結果がある程度バッファに溜まった段階で一括して処理を行うため、PG 回数の削減に成功している。その結果、センシング 1 回あたりの消費エネルギーを大幅に削減することに成功した。

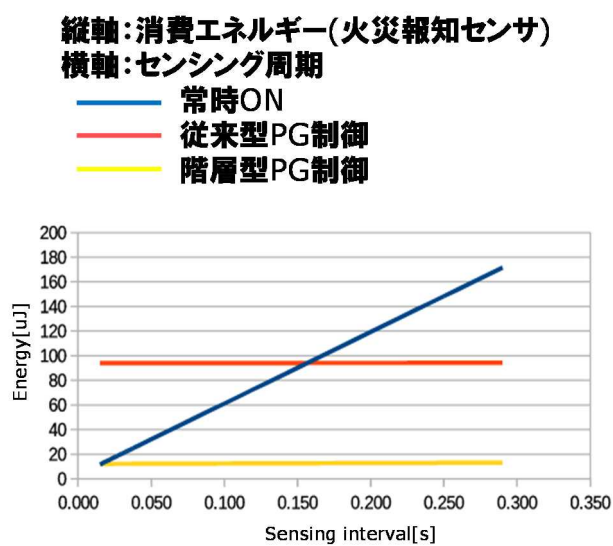
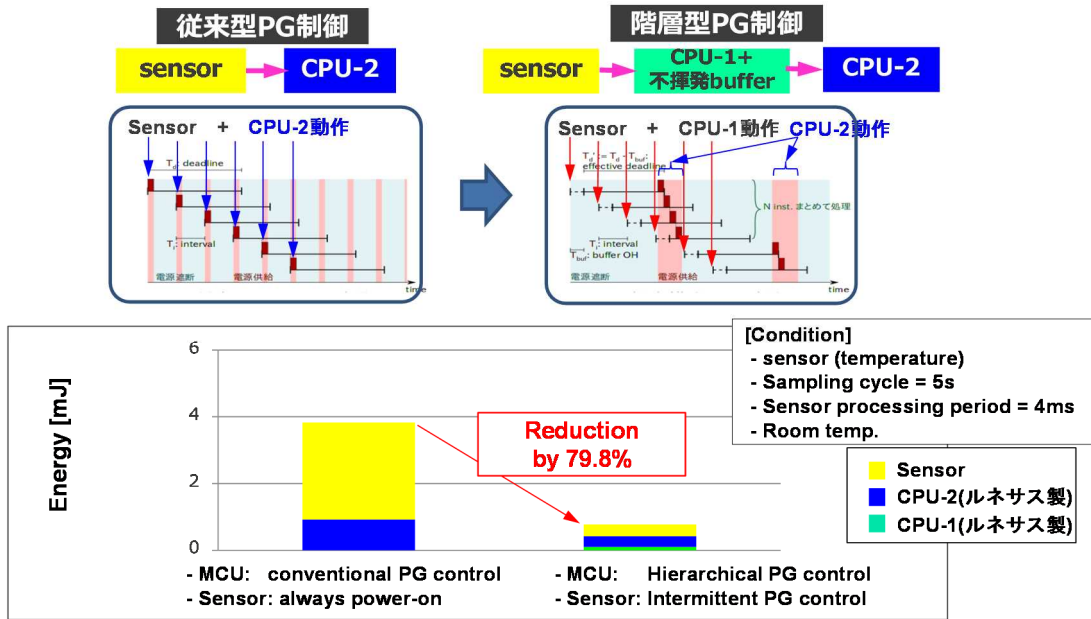


図 2.6-7 火災報知センサの消費エネルギー

図 0-7 に示したように、センシング間隔によって最適な電源制御は異なり、状況に応じた制御手法の選択が重要であることが明らかとなった。

②-1で開発した Noff 評価エミュレーション技術を埋め込んだ集中研 Noff 評価ボードを使用して、階層型 PG 制御タスクスケジューリングを行う場合の試行結果を(図 2.6-8)に示す。

温度センサの周期的サンプリング(5s 周期)及びデータ処理タスク(実行時間 4ms)の場合、従来型 PG 制御ではセンシング 1 回あたりの消費エネルギーが 3.8mJ であるのに対して、階層型 PG 制御を行うタスクスケジューリング適用するケースでは、センシング 1 回あたりの消費エネルギーは 0.77mJ となり、79.8%の低電力化が可能となる結果を得ることができた。(図 2.6-8 において、CPU-1 は RL78 マイコン、CPU-2 は RX マイコンである。)



✓ Taskスケジューリングにより、79.8%の低電力化が可能。

図 2.6-8 ノーマリーオフ実機評価環境での試行結果

次に、集中研で開発したノーマリーオフ電力評価モデルを用いて、ノーマリーオフタスクスケジューリング技術をルネサス分散研の知的バス停システム実証デモに適用した場合の電力削減効果の試算を行った。図 2.6-9 は、人が検知されない場合の知的バス停メインタスクのタイムラインであり、0.5s 毎に周期的に焦電センサ及び超音波センサの測定を行うことを示す。ここで各タスクは性能の異なる RL78 あるいは RX63N のどちらかで実行するものとする。一方、図 2.6-10 は、人が検知された場合のタイムラインであり、この場合は人検知に伴いカメラ起動と画像処理のタスクが追加されている。これらのタスクについても RL78 あるいは RX63N のどちらかで実行するものとする。

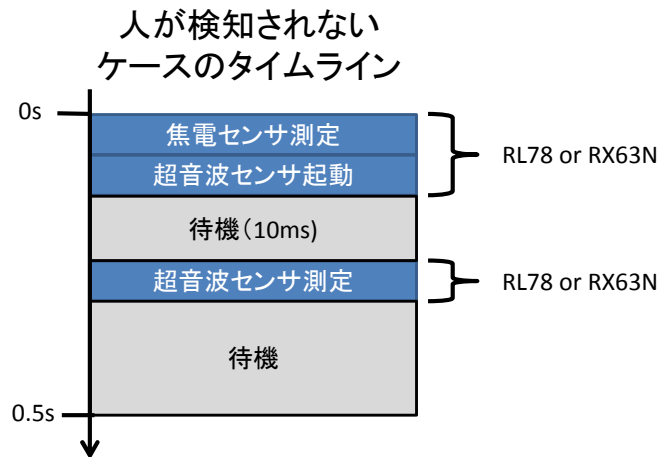


図 2.6-9 知的バス停メインタスクのタイムライン・その1

人が検知された ケースのタイムライン

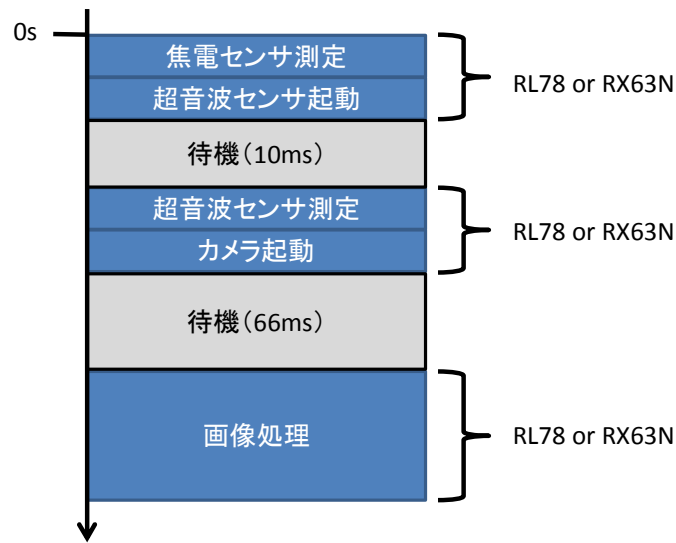


図 2.6-10 知的バス停メインタスクのタイムライン・その2

すなわち、知的バス停のメインタスクにおいては、焦電センサ・超音波センサが人を検知するまでは 0.5 秒周期で図 2.6-9 のタイムラインを繰り返すが、もし、人を検知した場合は図 2.6-10 のカメラ起動と画像処理タスク処理を実行することになる。図 2.6-11 は、集中研のノーマリーオフタスクスケジューリングによる電力削減効果の試行結果を示すグラフであり、横軸がカメラの起動回数、縦軸が消費エネルギーを示す。カメラの起動回数に応じて平均消費エネルギーの値を最小とする MCU の組み合わせが変化することが判る。図中の%を示す縦軸は、0.5 秒毎の全センシング回数/1 日に対する人検知の回数の割合を示したものである。また、図中の凡例における()内は各 MCU のスタンバイモードを示す。図 2.6-11 において、カメラの起動回数が 600 回以下では、焦電センサ及び超音波センサのタスクを RL78 で行い、人検知に伴う画像処理タスクを RX63N で行う階層 MCU 的タスク実行を行い、かつ、RL78 の待機モードは STOP モードを、RX63N の待機モードは電源 OFF (NOFF) を採用する場合が最も消費エネルギーが小さくなるという結果を得た。そして、本分析結果を分散研にデータ提供することで、知的バス停で採用されるノーマリーオフタスクスケジューリング制御の検討に貢献した。

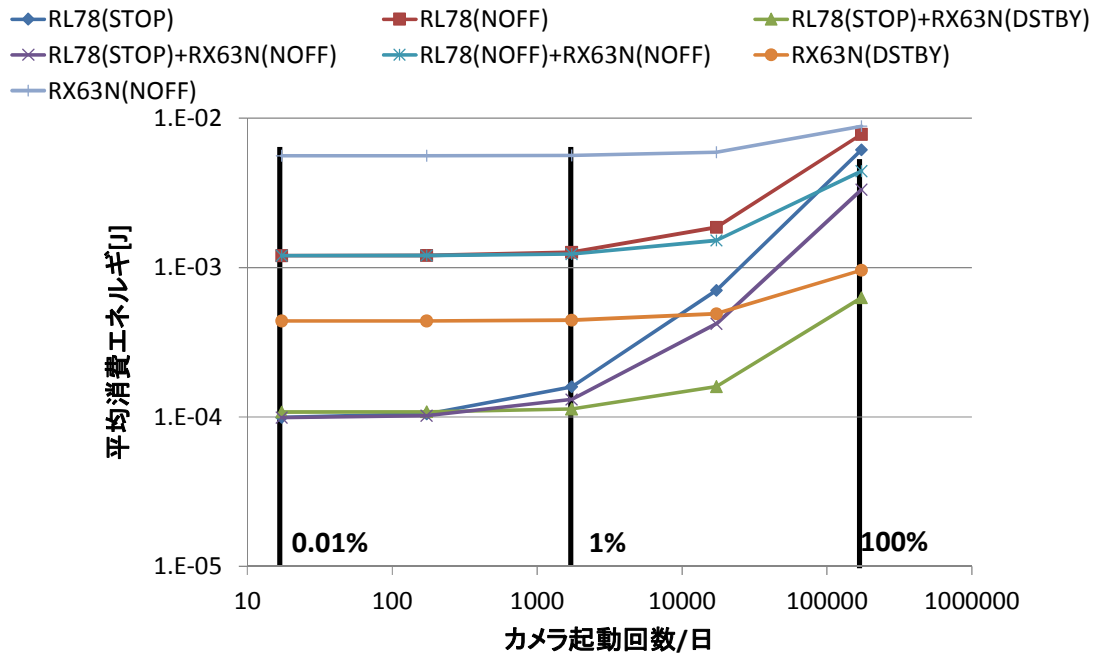


図 2.6-11 知的バス停メインタスクにおけるカメラ起動回数と消費エネルギーの関係

また、平成 26 年度からは、前年度までに開発したタスクスケジューリング技術を、より多くのアプリケーションに対して適用できるように拡張する研究を、②-1と連携して行った。前年度に開発したタスクスケジューリング技術は、単一の周期的センサーデータサンプリングと、それに付随する単一実行タスクに対するタスクスケジューリングに関するものであった(図 2.6-12)。

これに対して、新たに開発したタスクスケジューリング技術は、マルチセンサーに対するマルチ周期のデータサンプリングと、それに付随する複数の実行タスクに対するタスクスケジューリングに関するものである(図 2.6-13)。図 2.6-13 の例では、タスクのまとめ実行を行う MCU については単一の MCU を想定しているが、センサーサンプリング処理については、別 MCU で実行しても良いものと規定する。

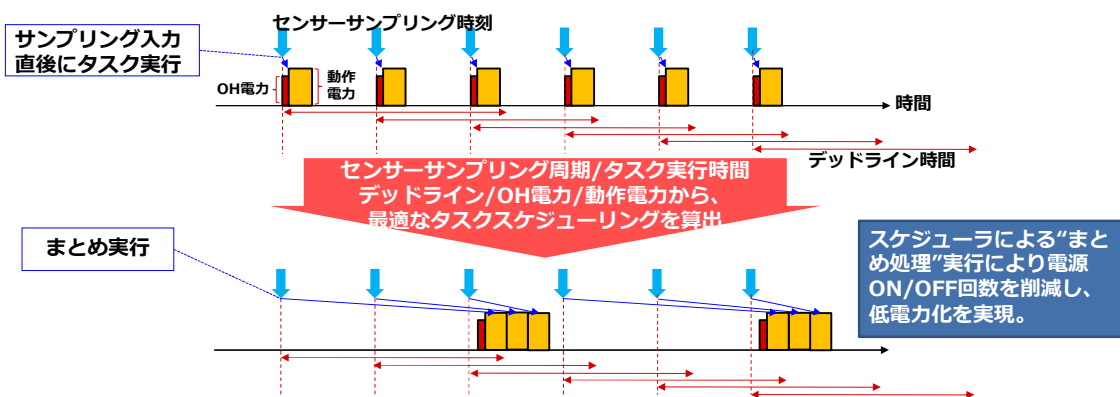


図 2.6-12 単一センシング処理に対するシングルタスクスケジューリング

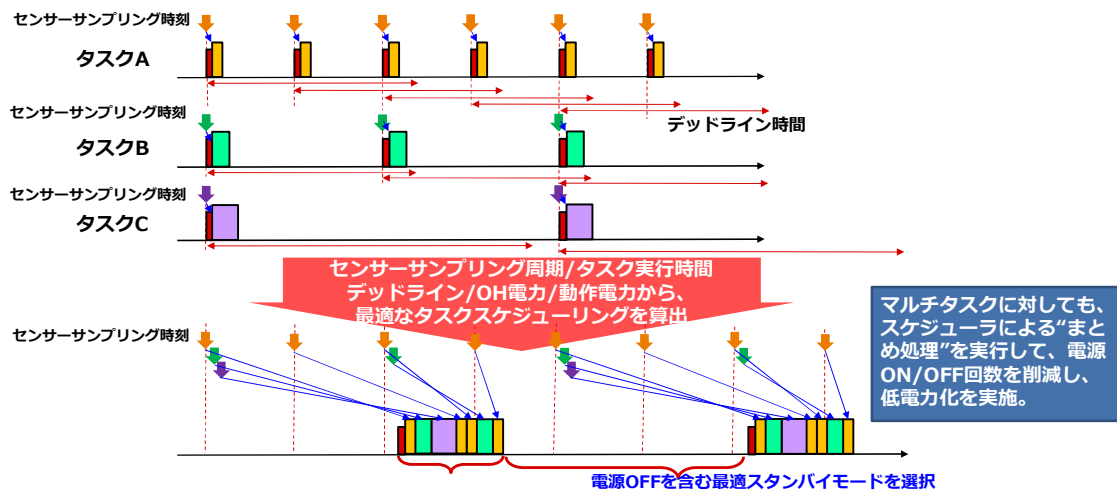


図 2.6-13 マルチセンシング処理に対するマルチタスクスケジューリング

更に、先にノーマリーオフ低電力化の課題として挙げたアクティブ電力（ダイナミック電力）の削減を目的に新たなタスクスケジューリング技術を開発した。通常、ある一連のタスクを実行する際は、実行すべき全てのタスクを制限時間（デッドライン時間）内で実行可能なマイコンを一つだけ選定する。しかし、この場合はどうしてもマイコン性能が、タスクを実行するための必要最小限の要求性能より大きくなる。その理由は、マイコン性能がタスクを実行するための必要最小限の要求性能より小さい場合は、全てのタスクを制限時間（デッドライン時間）内で実行できないことを意味するからである。そこで、今回考案されたタスクスケジューリング技術は、タスクを実行するための必要最小限の要求性能を満たさない低性能・低消費電力マイコン（MCU-low）と、必要最小限の要求性能を満たす高性能マイコン（MCU-high）を組み合わせることで処理を実行することにより、2つのマイコンからなる実効性能が、タスク実行のための必要最小限の要求性能に完全に一致するようにタスクスケジューリングするという方法である。この技術のポイントはできるだけ低電力な MCU-low でタスクを実行していき、その後デッドライン時間を満たせなくなるギリギリのタイミングでタスクを実行する MCU を高性能な MCU-high に切り替えるという点である。そして、MCU-high で実行することによりデッドライン違反が回避できるようになったら、MCU-low に切り替えるというスケジューリングを繰り返す。このようなマルチ MCU によるタスクスケジューリングにより、電力制御オーバーヘッドの最小化に加えて、アクティブ電力（ダイナミック電力）を削減できることになる。

まず、図 2.6-14 に最適なプロセッサ構成の求め方を示す。この例では MCU A から E の 5 種類の性能のプロセッサが選択可能であるとする。要求性能が図に示した大きさである場合、最適なプロセッサ構成はその前後のプロセッサ 2 つ（この例では MCU C と D）となる。以降では要求性能より小さい側のプロセッサを MCUlow、高い側のプロセッサを MCUhigh とする。



図 2.6-14 最適な MCU 構成

これらのプロセッサを用いて周期タスクを実行する場合の最適スケジューリングを図 0-9 に示す。この例では A と B の 2 つの周期タスクを実行する例を示す。MCU_{low} で実行する割合を最大化することにより、ダイナミック電力を最小化する。また、一旦切り替えが発生するとデッドライン制約の範囲内で同一プロセッサでの実行を継続することにより、プロセッサ切り替え回数を最小化し、電力制御オーバーヘッドを最小化する。

以下では上記の内容を図 2.6-15、図 2.6-16 を参照して、より具体的に説明する。図 2.6-15 では、「Example task」としてスケジューリング対象のタスク情報を示し、その下にタスクスケジューリング結果を示す。図 2.6-16 は、図 2.6-15 のタスクスケジューリング結果毎の平均消費電力を示すグラフである。

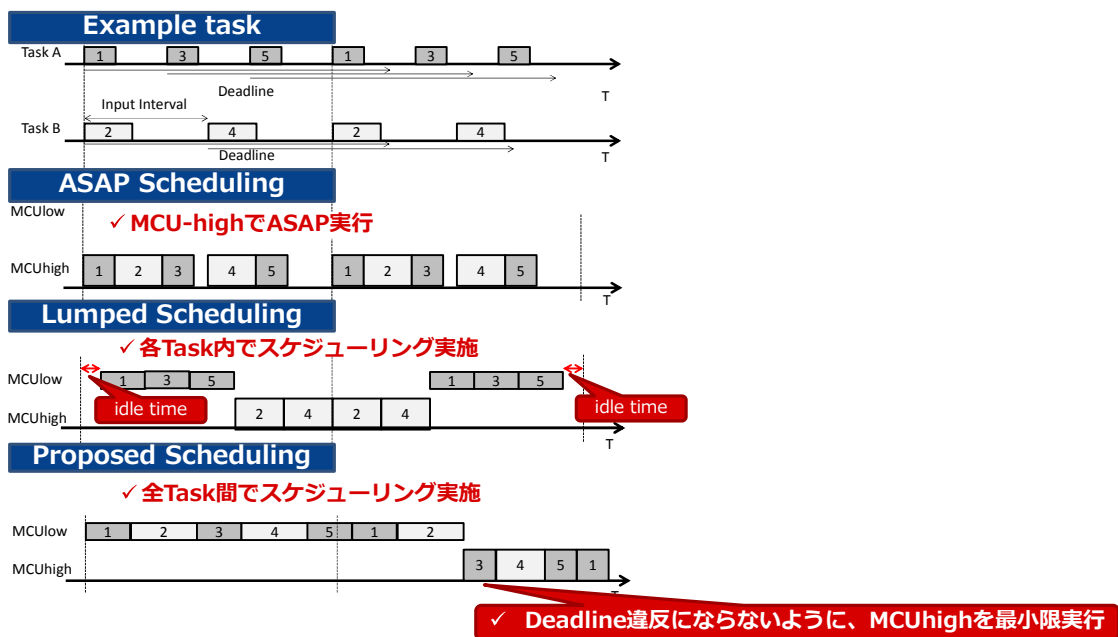


図 2.6-15 マルチ MCU によるタスクスケジューリング

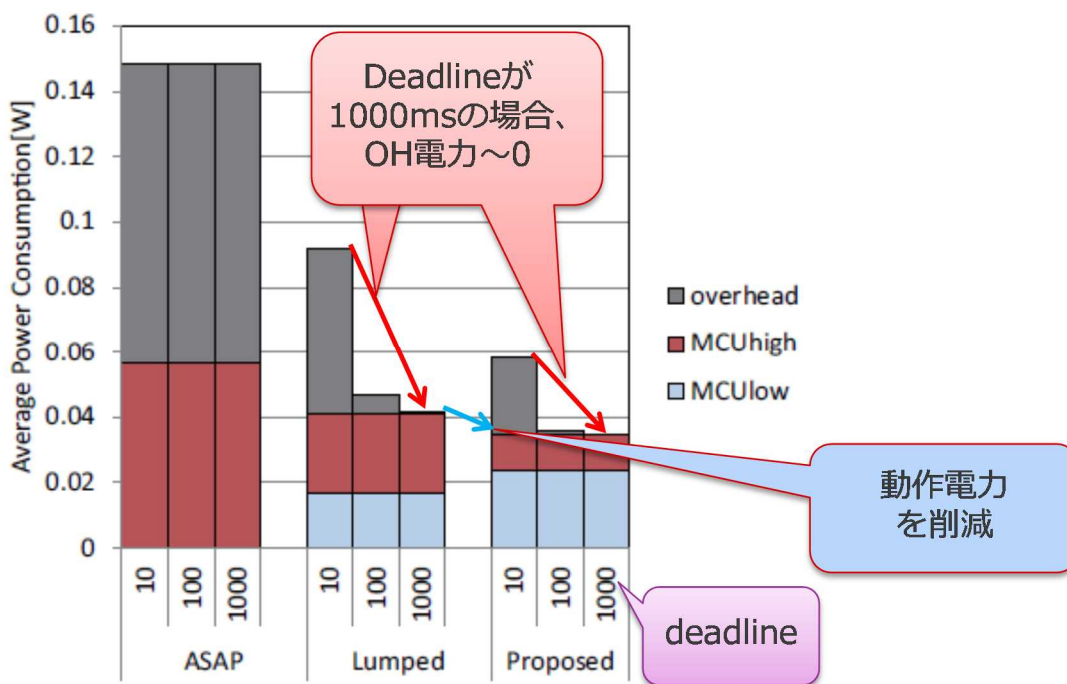


図 2.6-16 各タスクスケジューリング手法及びデッドラインに対する平均消費電力

図 2.6-15 において「Example task」は、スケジューリング対象となる周期的な実行タスクが、taskA と taskB の2個あることを示す。「ASAP Scheduling」は、MCU-high で ASAP (as soon as possible) 実行した場合のタスクスケジューリング、すなわち、タスクスケジューリング無しの通常実行を示す。この場合は、全タスクを実行する MCU-high の性能が、タスク要求性能よりも高いために、タスクを実行する必要のない空き時間が発生している。この場合は、この空き時間に頻繁にノーマリーオフ(電源 OFF)モードに遷移するために、その遷移に伴う大きなオーバーヘッド(OH(overhead))電力が発生する。また、全てのタスクを MCU-high で実行するために動作電力(アクティブ電力)も大きな値となる。「Lumped Scheduling」は、taskA を MCU-low でまとめ実行し、taskB を MCU-high でまとめ実行するように固定的に割り振った場合である。この場合は、MCU-low を使用することにより、「ASAP Scheduling」よりもアクティブ電力が低下する。また、各 MCU によるタスクのまとめ実行により、電源 OFF モードに遷移するためのオーバーヘッド電力も「ASAP Scheduling」に比べて削減される。それに対して、「Proposed Scheduling」では、MCU-low で順番にタスクを実行していき、デッドライン時間を満たせなくなるギリギリのタイミングで MCU-high に切り替える。このようにすることにより、MCU-low でのタスク実行時間が最大になり、かつ、MCU-high でのタスク実行時間が減少するため、トータルのアクティブ電力を「Lumped Scheduling」よりも更に削減することができる。また、MCU の切り替え回数も更に減らすことができるので、オーバーヘッド電力も削減できる。図 2.6-16 のグラフにおいて、横軸に示される「10, 100, 1000」の値はタスクの ms 単位のデッドライン時間を示す。デッドライン時間が長くなるほど、overhead の値が小さくなっているが、これはデッドライン時間が長ければ長いほど、まとめ実行できる期間が長くなるためである。また、グラフの縦軸は平均消費電力を示す。灰色の overhead 部分は、電源 OFF モードに遷移するために必要な消費電力(OH 電力)である。本例においては、

最大 75%のエネルギー削減が可能である。

上記のようにマルチ MCU(MCUlow/MCUhigh)を使用するタスクスケジューリング手法を用いることにより、従来のタスクスケジューリング手法ではエネルギー削減が困難な複数センサに対してマルチタスクを実行するケースに対してもエネルギー削減が可能となる。

以上のタスクスケジューリング手法を②-1で開発した低電力化支援ツール (NoFF 消費電力シミュレータ)を用いて評価を行った。図 2.4-15 に示した複数センサ応用システムのタスクに対して、図 2.6-15 に示すマルチ MCU によるマルチタスクスケジューリング技術を適用した場合の低電力化支援ツールの出力結果を図 2.6-17 に示す。図の上側のチャートは単一 MCU によるタスクスケジューリング無しのケース(ASAP 処理)の電力グラフである。図の下側のチャートは、タスクスケジューリングを適用した結果であり、マルチ MCU でのまとめ処理により MCU が最適スタンバイモードに遷移する回数が少なくなっており、かつ、MCU-low でタスクを実行する時間が増加しているため、MCU 全体としてのアクティブ電力も削減されている。図 2.6-17 の出力結果では、タスクスケジューリング適用により、平均消費電力が 49.9mW から、25.3mW に変化しており、約 50%の電力削減効果があることが判る。

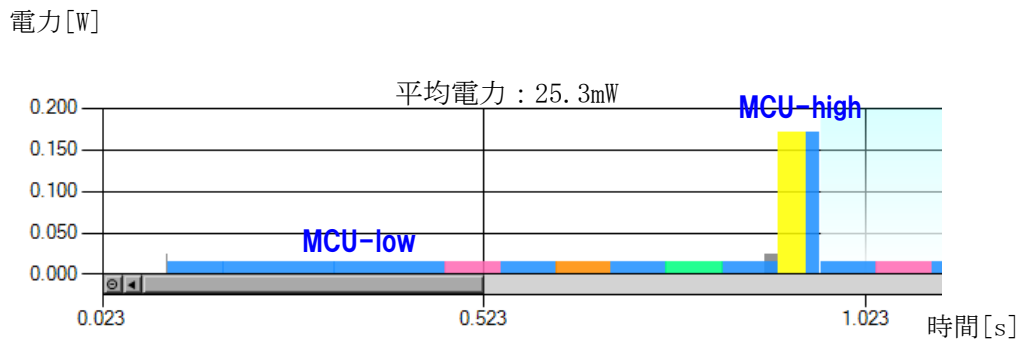
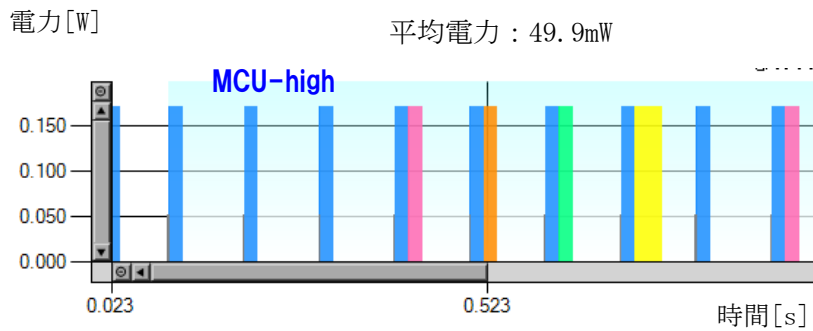


図 2.6-17 マルチ MCU によるマルチタスクスケジューリングの出力結果

なお、上記の低電力化支援ツールによるタスクスケジューリング出力結果についての実機評価結果を図 2.6-18 に示す。図 2.6-18 に示すように平均電力に関して、実機評価結果の値は、低電力化支援ツールの出力値に近い値となっており、ツール出力値は妥当なものとなっている。なお、MCU-high が RX63N マイコン、MCU-low が RL78 マイコンである。

平均電力 (NoFF タスクスケジューリング無)	
低電力化支援ツール出力値	実機評価結果
49.9mW	49.2mW

平均電力 (NoFF タスクスケジューリング有)	
低電力化支援ツール出力値	実機評価結果
25.3mW	25.0mW

図 2.6-18 実機評価結果との平均電力値の比較

分散研のマルチセンサー対応評価システムに対する試行

次に、低電力化支援ツールを用いて、ルネサス分散研のマルチセンサー対応評価システムの電力見積もりを実行した結果を以下に示す。

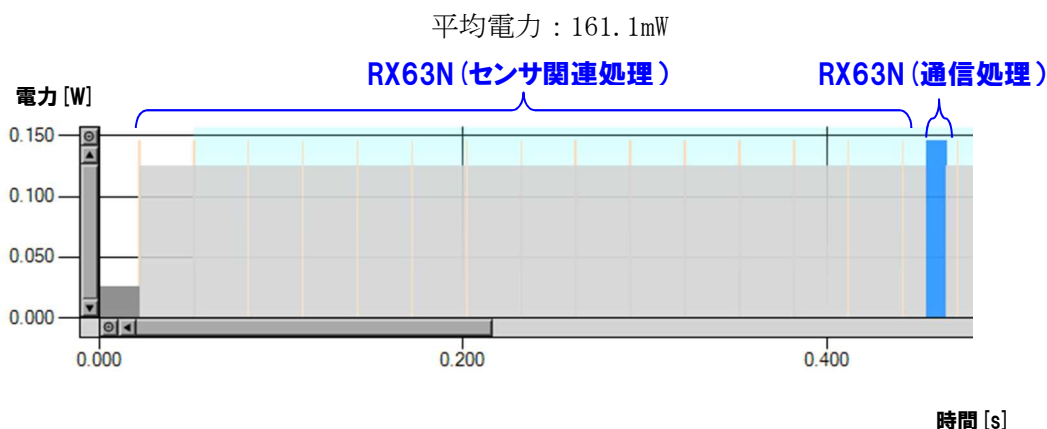


図 2.6-19 マルチセンサー対応評価システムの電力見積もり・1

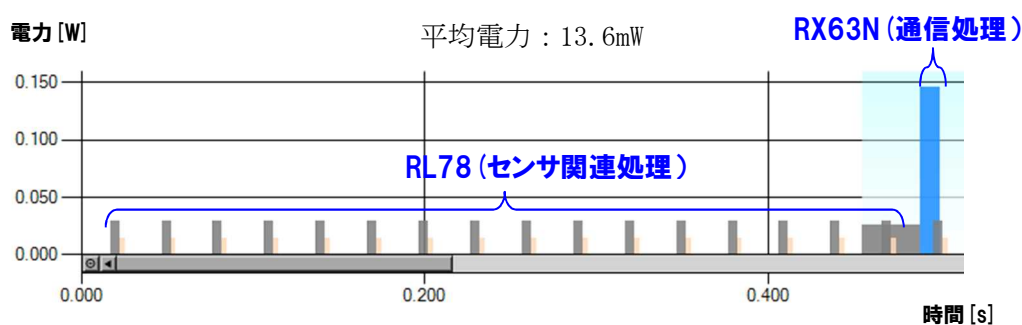


図 2.6-20 マルチセンサー対応評価システムの電力見積もり・2

図 2.6-19 は、ルネサス分散研のマルチセンサー対応評価システムのリファレンスケースとして、RX63N マイコンだけで全動作を実行する条件の下で低電力化支援ツールの電力シミュレーションを実行した場合の結果である。この場合、三軸加速度/人感センサのデータサンプリング、センサーデータ処理/通信処理を全て RX63N マイコンで実行すると想定しているために、RX63N が動作する必要がない期間が短くなるために、例え RX63N 動作が不要な期間であっても、RX63N を電源オフ状態にすることができない。そのため、本ケースでの平均電力の見積もり値は比較的大きな値 (161.1mW) となっている。

図 2.6-20 は、ルネサス分散研のマルチセンサー対応評価システムに対して、ノーマリーオフタスクスケジューリング技術を適用して、低電力化支援ツールでの電力シミュレーションを実行した結果である。この場合、三軸加速度/人感センサのデータサンプリング、センサーデータ処理を RL78 で実行し、通信処理のみ RX63N で実行するタスクスケジューリング結果となっている。このケースでは、RX63N が動作する必要

がない期間を長くとることが可能となるため、RX63N を適切に電源オフ状態とすることができている。また、三軸加速度/人感センサのデータサンプリング、センサーデータ処理等のセンサ関連処理部分を RL78 で実行しているために、MCU 全体としてのアクティブ電力の削減が可能となっている。

このケースでの平均電力の見積もり値は 13.6mW となっており、リファレンスケースの 161.1mW と比較して、約 91% の消費電力削減効果を得ることができる。

上記のような低電力化支援ツールによるノーマリーオフ電力効果の積もりを、分散研に提供することにより、分散研のマルチセンサー対応評価システムにおける低電力化実証に貢献することができた。

また、この設計方法論を、新しい領域 (NEDO 小規模開発: 位置情報収集システムのノーマリーオフアーキテクチャの研究開発) へ適用することで、目指す設計方法論の確立を行った。

(2) 携帯情報端末向けノーマリーオフキャッシュアーキテクチャの最適化

携帯情報端末に搭載される 2 次キャッシュは従来 SRAM で構成されていたが、これを MRAM または MRAM と DRAM を組み合わせた構成に置き換えた構成についての評価を行った。

以降、(2) - 1 では 2 次キャッシュを SRAM から MRAM に置き換えた場合の評価、(2) - 2 では 2 次キャッシュを MRAM と DRAM のハイブリッド構成とした場合の評価、(2) - 3 では不揮発メモリにおける省電力アクセス制御の評価を行う。

(2) - 1 MRAM キャッシュメモリの最適化および評価

ここでは、比較的動作率が低い利用状況を想定し、2 次キャッシュメモリを MRAM に置き換えた場合の電力制御について、電力削減率とオーバーヘッドの比較検討を行った。

用意したアプリケーションのアイドル時間の割合を図 2.6-21 に示す。この図より ping や netperf ではほぼ 100% の時間がアイドル時間であり、もっともアイドル時間の割合が低い mutex でも 30% 弱のアイドル時間が存在することがわかる。

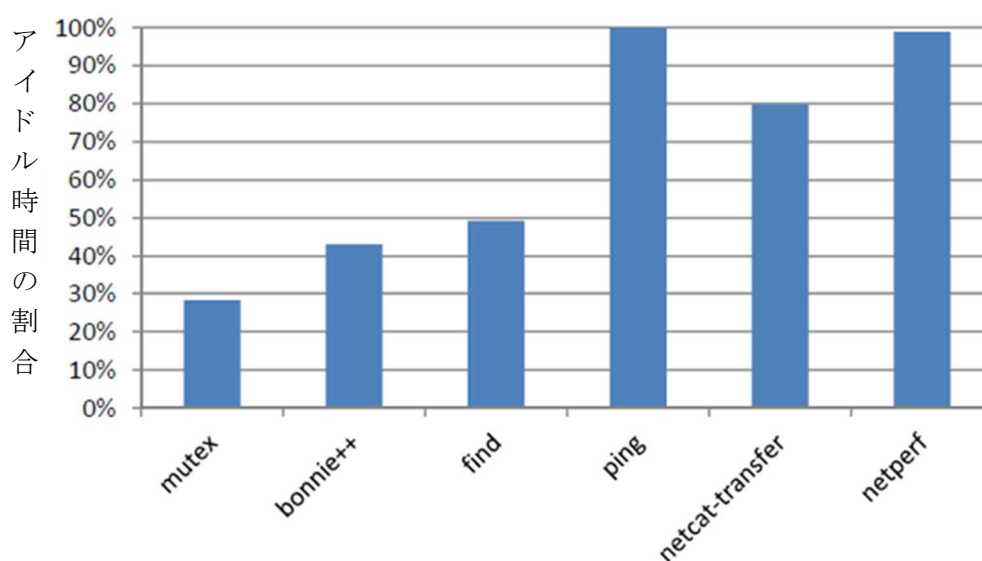


図 2.6-21 アイドル時間の割合

次に、各ベンチマークを実行中に 2 次キャッシュに含まれるデータのうち、再びアクセスされるデータの割合を図 2.6-22 に示す。この結果から再利用率の高いベンチマークであっても 13%程度のデータしか再利用されないことがわかる。

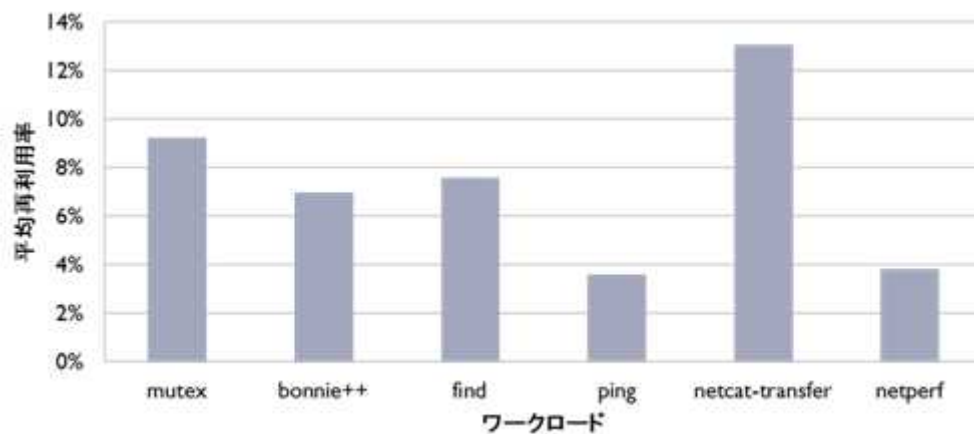


図 2.6-22 2 次キャッシュの再利用率

以上のような特徴を持ったプログラムを対象にキャッシュメモリの電源管理について比較検討を行う。今回比較対象とした方式は以下の 4 方式である。

- SRAM+電源遮断
2 次キャッシュを SRAM とし、アイドル時に電源遮断をおこなう。2 次キャッシュの内容は全て失われる。
- SRAM+待避
2 次キャッシュを SRAM とし、アイドル時に再利用されるデータのみを不揮発メモリに待避し、電源遮断を行う。電源復帰時には不揮発メモリから SRAM へデータの復帰を行う。(再利用されるデータは理想的に全て予測可能と仮定した。)
- MRAM
2 次キャッシュを MRAM とする。STT-RAM 自体はアイドル時に電力を消費しないが周辺回路が若干の電力を消費する。
- MRAM+周辺遮断
2 次キャッシュを MRAM とし、アイドル時に周辺回路の電源遮断を行う。電源遮断によりアイドル時の消費電力は 0 になるが、電源遮断のために時間およびエネルギーのオーバーヘッドが必要となる。

SRAM を用いて電源遮断を行わなかった場合を基準とした電力削減率を図 2.6-23 に示す。この結果から、単純に MRAM に置き換えただけでは、SRAM と理想的な待避を組み合わせた手法に劣ることもあるが、周辺回路の電源遮断を組み合わせることにより最大の電力削減を達成できることがわかる。

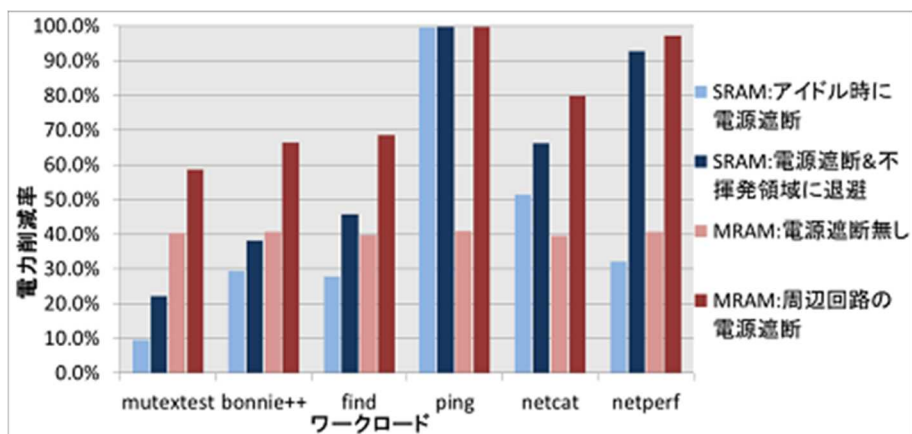


図 2.6-23 電力削減率

次に、実行時間に与える影響を調べるために、実行時間の増加率を測定した。結果を図 2.6-24 に示す。SRAM に置き換えただけでは 2 次キャッシュのデータが失われるため、実行時間が大幅に増加していることがわかる。MRAM を用いる方式では、MRAM 自体の読み書き速度が SRAM よりも遅いため、最大 15% の実行時間増加が発生している。

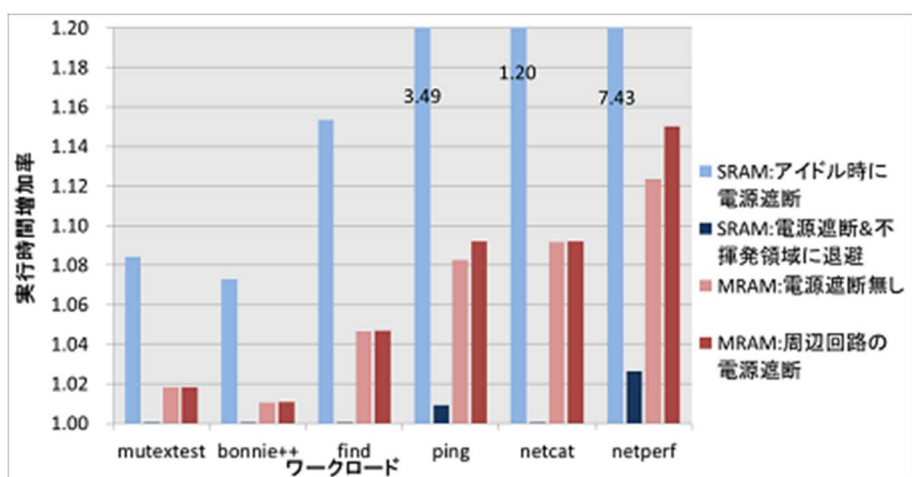


図 2.6-24 実行時間増加率

今回のプログラムではそもそもアイドル時間の割合が長いいため、実行時間の増加を許容範囲に抑えることができると考えられるが、アイドル時間の割合が少ない利用形態では注意深く適用を検討する必要があると考えられる。また、各種メモリのパラメータによっても最適な制御手法は大きく影響を受けることがわかった。

(2) -2 ハイブリッドメモリの最適化および評価

②-2 では、プロセッサ内のメモリ階層において、L1 キャッシュまでは従来型の SRAM ベースのキャッシュとして、L2 キャッシュ以下を STT-MRAM に置き換える構造を検討した。②-3 では、さらに電力効率を上げる方法として、メモリ階層の中で L1 キャッシュよりも上の階層は揮発メモリ (SRAM またはフリップフロップ) で、L2 キャッシュよりも下の階層は、揮発メモリと不揮発メモリのハイブリッド型メモリが

適しているということを明らかにした。(図 2.6-25)

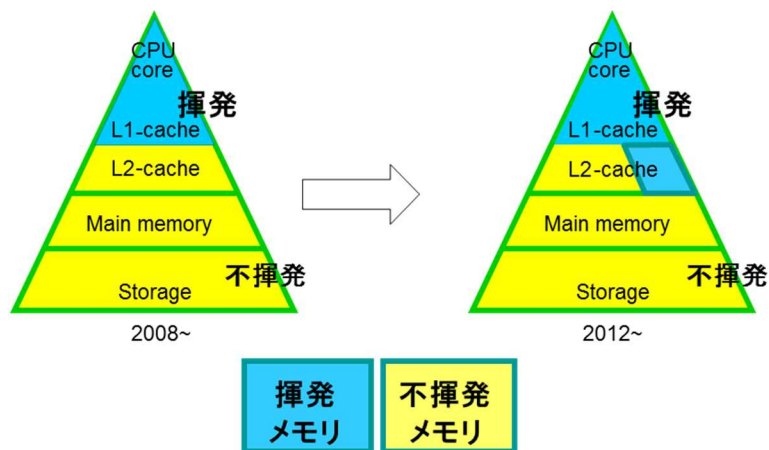


図 2.6-25 揮発メモリと不揮発メモリを使い分ける新しいメモリ階層

GEM5 というシミュレータを改良して、①-1 で具体化した超高速不揮発メモリをキャッシュメモリに搭載したプロセッサについて、ベンチマークソフト(特徴的な処理を行う多数の小規模ソフトからなる SPEC2006 を利用)のシミュレーションを可能となる環境を整えた。これを利用して MRAM と揮発メモリ (SRAM や DRAM) との組み合わせによるハイブリッドキャッシュ構造のメモリシステムを評価することを可能とした。これを利用して、①-1 で開発された DRAM/MRAM のハイブリッドキャッシュメモリシステムを評価した。この際、短時間で消えても良いデータは DRAM に、長時間保持したいデータは MRAM に保持するという使い分けの手順を開発し、プロセッサシミュレータに組み込んで評価できるようにした。DRAM のほうが MRAM よりも高速で低消費電力(短時間データ保持の場合)であるので、MRAM 単体よりも、消費電力を下げる事が出来る事が確認された。演算性能の劣化はほとんどの場合数%未満に抑えられていた。(図 2.6-26)

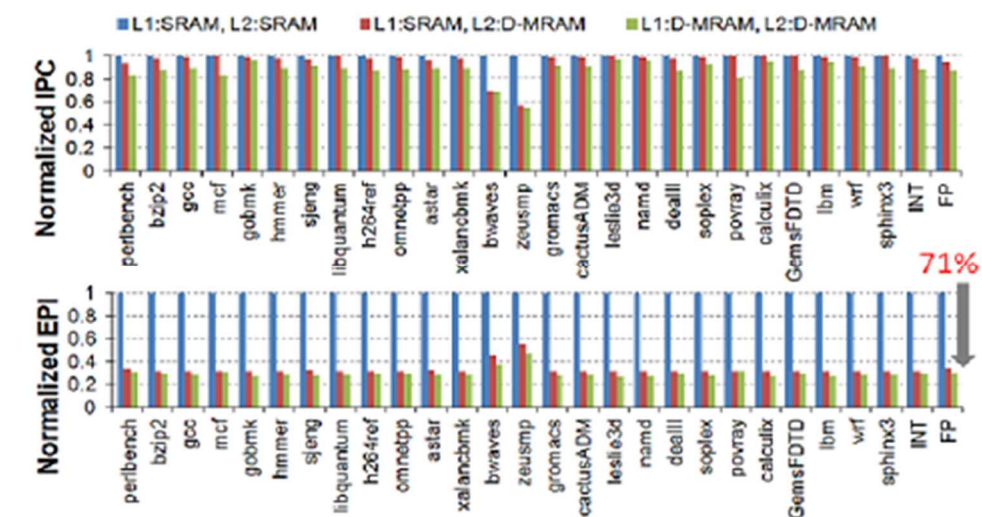


図 2.6-26 STT-MRAM/DRAM ハイブリッド型の L2 キャッシュメモリを用いたプロセッサの性能とキャッシュメモリの消費電力の比較

今後、これらのアーキテクチャ改良を盛り込んで、電力効率向上の効果を定量化していく予定である。また、これらのアーキテクチャをさらに改良しつつ、ハードウェア側への要求事項をより明確にし、MTJ 素子、メモリセル回路、キャッシュメモリシステム、メモリ階層構造の更なる改良により、電力効率 10 倍以上となる動作条件の幅を広げていく。

(2) -3 不揮発メモリにおける省電力アクセス制御

前項まではメモリ階層の最適化手法について述べたが、ここでは単一階層内の不揮発メモリの省電力化制御手法について述べる。

省電力効果を最大限に発揮するためにはその電源制御粒度は分割損が顕在化しない範囲で十分細かいことが望ましい。メモリ全体へのアクセス頻度が一定であれば、制御単位が細分化されることにより、個々の単位へのアクセス頻度が減少し、電源削減の効果が高くなることが期待できる。次に細分化したそれぞれの領域に対する省電力化手法について述べる。

まず、アクセス間隔 (short/long) と読み書き (read/write) の違いによりアクセスを 4 種類に分類する。ここでアクセス間隔は対象アクセスの直前のアクセスからの間隔とする。

あるアクセスが発生すると、予測器を用いて次のアクセスが上記 4 種類のいずれであるかを予測する。そして、次が short かつ read と予測したとき以外にはその領域を即座に電源遮断 (Immediate Sleep) することとする (図 2.6-27)。電源遮断からの復帰時には復帰オーバーヘッドが必要であるが、そのときのアクセスが書き込み (write) であれば性能に影響を与えない。また、読み込みであっても直前のアクセスから十分長い時間が経過 (long) していればそのオーバーヘッドは相対的に許容できる。

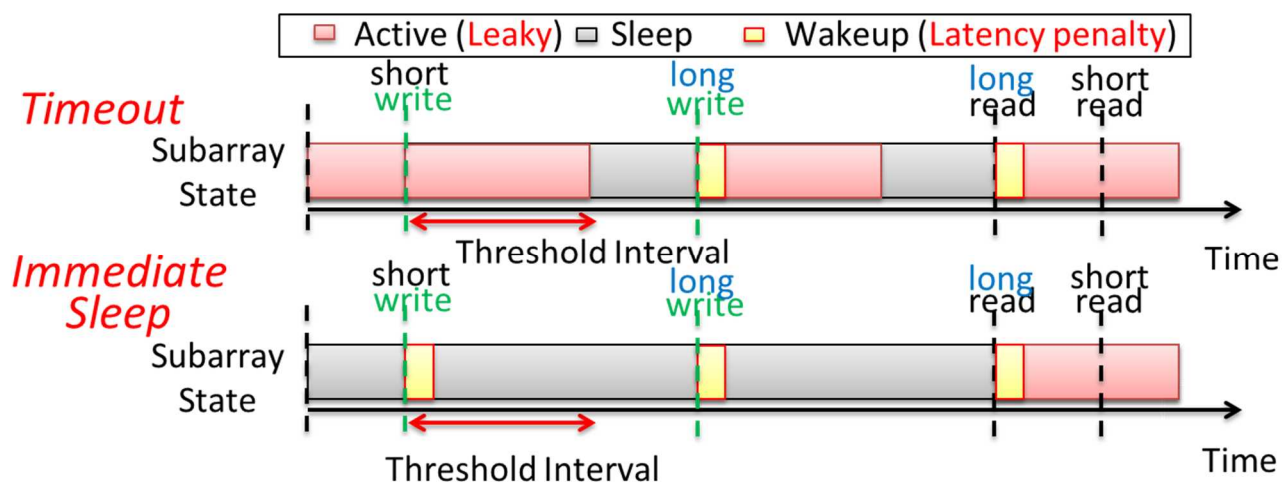


図 2.6-27 Immediate Sleep による電源制御

この手法の評価結果を図 2.6-28 に示す。ここでは性能低下が SRAM 構成の 1% 未満となるように閾値を設定した。この結果より提案手法 (w IS) によりタイムアウト手法 (w TO) と比較して 30% の消費エネルギーを削減できることがわかった。

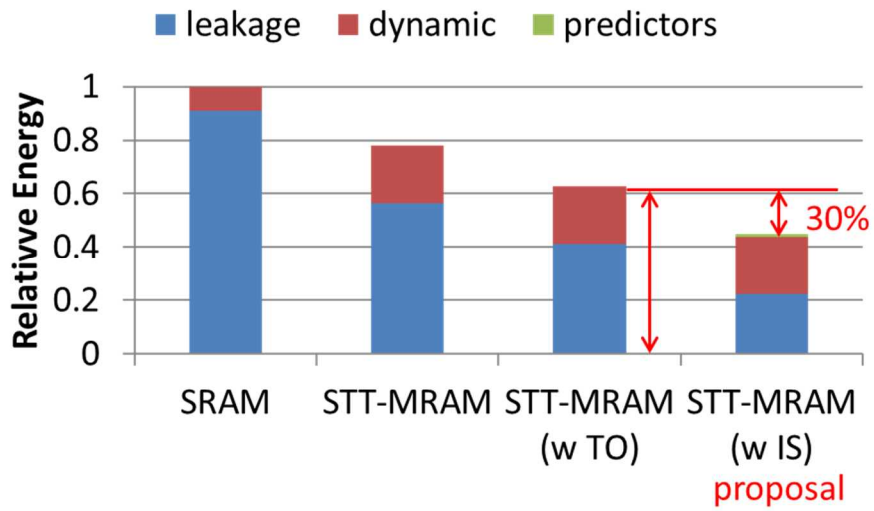


図 2.6-28 消費エネルギー評価

本手法は不揮発キャッシュメモリ単体の汎用的な省電力化手法であり、他の省電力化技術と組み合わせることによりさらなる省電力効果が期待できる。

IV. 実用化・事業化に向けての見通し及び取り組みについて

1. 実用化・事業化に向けての見通し及び取り組みについて

ノーマリーオフコンピューティング基盤技術開発では、具体的な3つの応用製品、携帯情報端末、スマートシティ・センサーネットワーク、ヘルスケア応用をターゲットに開発を行う。これらが当初の技術目標を達成したあかつきには、以下の図 IV-1 に示すような、スマートメモリシステム、マイコン、特定用途向けLSIという半導体製品として、PJ 終了後、それぞれ事業化されることが期待できる。

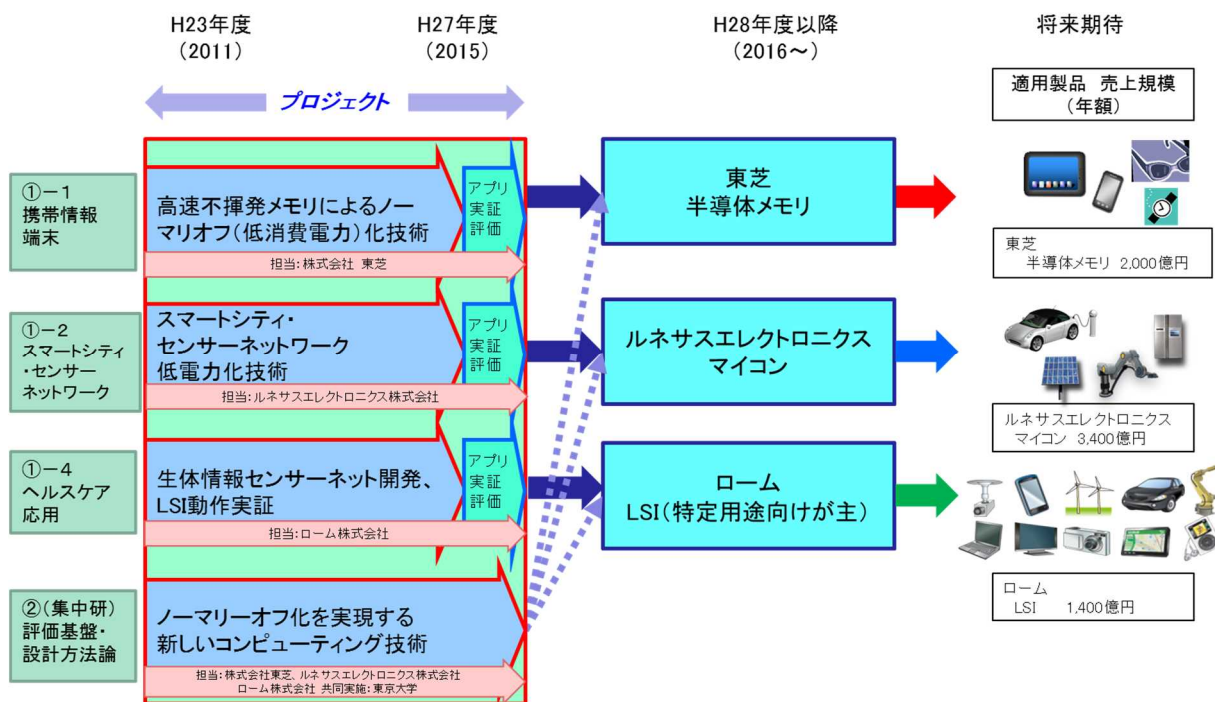


図 IV-1 実用化、事業化の概要

①-1+②-2: 携帯情報端末向けノーマリーオフプロセッサ

①-1と②-2の研究開発項目の成果により、以下の事業が候補となる。

- ・ プロセッサとして販売、SoCとして販売
- ・ キャッシュメモリ単体部品の販売、
- ・ キャッシュメモリをウエファーで販売（プロセッサへの実装はプロセッサベンダー）
- ・ 要素技術やIPの社外へのライセンス

これら可能性は多岐にあるため、市場の動向、顧客ニーズ、など事業性を分析しつつ、研究開発の成果に基づき、開発コスト、製品コストを予測し、売り上げ、収益性が十分見込めると判断できた段階で、上記いずれかの事業のための製品技術開発に着手する。

①-2 スマートシティ・センサーネットワーク低電力化技術

サイバーフィジカルシステムは、スマートコミュニティの基盤技術であり、センサーからインターネットに実時間で流し込まれる社会環境や自然環境のデータを処理することで、高度なサービスの実現を目指している(図 IV-2)。

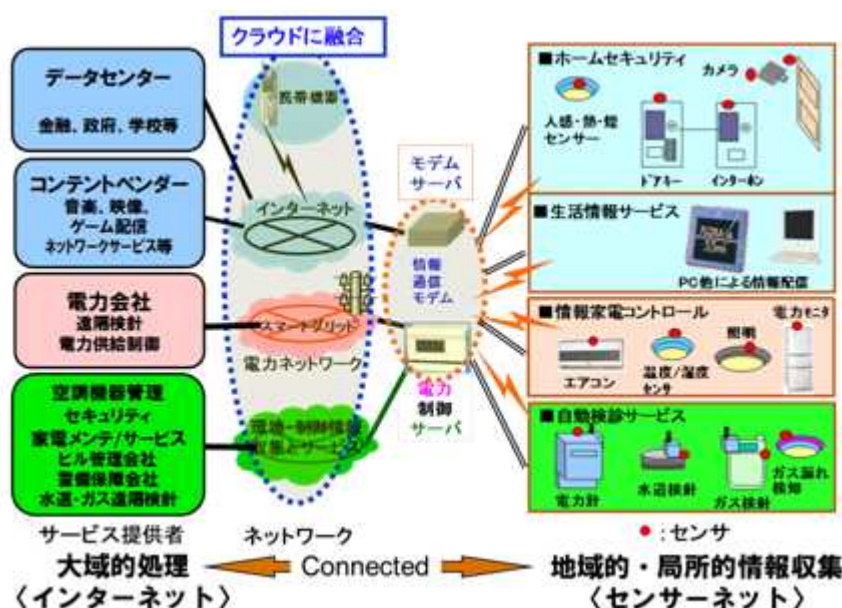


図 IV-2 サイバーフィジカルシステム

このように、社会環境・自然環境の情報をリアルタイムに収集するために、多種多様なセンサー端末が広範に使用されることになる。サイバーフィジカルシステムの発展とともに膨大化するセンサー端末をいかに低電力化するかが性能面で重要となる。

ルネサスエレクトロニクスは、本プロジェクトで得られた技術(ノーマリーオフ・HWアーキテクチャ、ノーマリーオフ電源制御技術、タスクスケジューリング技術等)をマルチセンサー系マイコンへ適用することで、環境・計測モニター応用に向けた次世代のノーマリーオフ・マイコンの事業化を推進する。

①-4 ヘルスケア応用生体情報計測センサーネットワーク低電力化技術

大きな分野としては、日本の成長分野の一つである「医療・介護・健康」を狙う。新しいデバイスやアーキテクチャを含む商品を市場に投入するためには、目標とする市場や商品仕様を明確化し、橋頭保市場を確保する必要がある。分散研方式で実施する①-4では、貼り付け型の成体情報計測センサーモジュールの中核をなすLSIの開発を行った。事業化することが目的であるため、LSIの開発方針は、量産化可能なデバイス(ここではFeRAM技術)を用い、量産可能な回路技術(ここでは、信頼性や歩留り、動作保障範囲確保が可能な技術)を用いて、LSIを設計、試作を行った。

商品としてはLSIだけでなく、モジュール全体の電力が減ることが重要なので、モジュールの総電力の電力を削減することを目指した。

ロームとしての事業化の形態は、

- ・LSI(FeRAM や不揮発 FF を混載したもの)
- ・各種センサー(加速度センサー等)

を想定している。

2018年に市場参入し、2025年には貼り付け型センサーLSIの市場として300億円を予想している。

①-4で得られる成果が特定用途に特化したものであるため、集中件方式の②の研究成果を用いて、応用範囲(応用商品)の拡大、汎用化を進め、売上増に繋げる。

(ITイノベーションプログラム)

「ノーマリーオフコンピューティング基盤技術開発」基本計画

電子・材料・ナノテクノロジー部

1. 研究開発の目的・目標・内容

(1) 研究開発の目的

① 政策的な重要性

スマートグリッドやクラウドコンピューティングといった流れの中、今後コンピュータが社会のあらゆる局面で活用されることが予測されるが、その実現のためには、メンテナンスの観点・低炭素化の観点から更なる機器・システムの低消費電力化が求められる。しかしながら、半導体の微細化を中心とした従来技術では機器・システムの高集積化と低消費電力化の両立が困難になってきており、新たな技術的アプローチが求められる。電源を切っても情報を保持できる次世代不揮発性素子は、この点で大きな可能性を秘めている。本プロジェクトは、同素子を用いた低消費電力システムの実現のための基盤技術の確立を目指すものである。

なお、本プロジェクトは「ITイノベーションプログラム」の一環として実施する。

② 我が国の状況

当該分野のデバイス開発においては我が国の技術的水準は最先端にあつて大きな発展の可能性を秘めており、不揮発性素子やその周辺分野の更なる技術向上が必要である。他方でコンピュータアーキテクチャやソフトウェアの面では諸外国に比べて必ずしも研究開発が盛んでなく、早急な取り組みが求められる。

③ 世界の取り組み状況

次世代不揮発性素子については今まで各国で盛んな取り組みが行われており、一部実用化も図られている。ただしシステム化といった点ではまだ大きな取り組みは顕在化しておらず、我が国が世界の開発をリードできる可能性がある。

④ 本事業のねらい

我が国が優位性を持つ不揮発性素子に関わるハードウェア技術の更なる高度化と併せて、不揮発性素子を用いる機器等のアーキテクチャ、ソフトウェアおよびシステム化の要素技術を世界に先駆けて確立することにより、同素子の特性を活かした新市場を創出し、併せて超低消費電力機器の普及により、温室効果ガスの削減に寄与することを目的とする。

(2) 研究開発の目標

① アウトプット目標

これまで、次世代強誘電体メモリの研究開発や、半導体アプリケーションチッププロジェクトおよびスピントロニクス不揮発性機能技術プロジェクト等において様々なメモリの個別開

発が行なわれ、それぞれ一定の成果を上げている。

しかしながら、これらのプロジェクトで相応の開発成果が出ているものの現状の揮発性メモリに即座に置き換わる性能の実現までには至っておらず、将来の機器・システムに採用されるためには、更なる性能向上が求められる。さらに、デバイスの開発に限らず、基本ソフトウェアやコンピュータアーキテクチャの開発が必要である。

これらを踏まえ本事業は、先行的に進めている「高速不揮発メモリ機能技術開発」事業の成果と連携しつつ、将来的な機器へのスムーズな導入を考慮した、デバイス・基本ソフトウェア（例えば、OS、コンパイラ、ライブラリ、API等）・コンピュータアーキテクチャ全体の研究開発を行うものである。

【最終目標】

次世代センサーネットワーク、モバイル情報機器、サーバー等、不揮発性素子を用いると想定される機器・システムにおいて、事業終了時に求められると予測される処理性能を満たすことを前提に、不揮発性素子を用いたハードウェア技術、ソフトウェア技術、コンピュータアーキテクチャの一体的な開発により、システムとしての低消費電力性能（電力あたりの性能）を本事業開始時に対して10倍とすることを実証する。

【中間目標】

次世代センサーネットワーク、モバイル情報機器、サーバー等、不揮発性素子を用いると想定される機器・システムにおいて、事業終了時に求められると予測される処理性能を満たすことを前提に、不揮発性素子を用いたハードウェア技術、ソフトウェア技術、コンピュータアーキテクチャの一体的な開発により、システムとしての低消費電力性能（電力あたり性能）が10倍となる見込みを、実験・シミュレーションにより示す。

② アウトカム目標達成に向けての取り組み

標準化や普及活動等、本研究開発事業に関連して必要とされる取り組みを行う。

③ アウトカム目標

これらの取り組みにより、我が国が技術的優位性を有する不揮発性素子のニーズをより強固にするとともに、新規コンピューティングを活用した機器による既存市場におけるシェア拡大と新規市場の創出を目指す。また、ノーマリーオフ型の電子機器の普及が拡大されると、2030年におけるCO₂削減効果は約3000万トン／年になると試算される。

(3) 研究開発の内容

上記目標を達成するために、以下の研究開発項目について、別紙の研究開発計画に基づき研究開発を実施する。

【共同研究事業（NEDO負担率：1/2以下）】

① 次世代不揮発性素子を活用した電力制御技術の開発

- ② 将来の社会生活を支える新しい情報システムにおいて飛躍的なノーマリーオフ化を実現する新しいコンピューティング技術の検討

以上の研究開発項目①②は、NEDOおよびプロジェクトリーダーの指導のもと、密に連携して実施するものとする。

2. 研究開発の実施方式

(1) 研究開発の実施体制

本研究開発は、NEDOが、単独ないし複数の原則、本邦の企業、大学等の研究機関（原則、本邦の企業等で日本国内に研究開発拠点を有していること。なお、国外の企業等（大学、研究機関を含む）の特別の研究開発能力、研究施設等の活用または国際標準獲得の観点から国外企業等との連携が必要な部分を、国外企業等との連携により実施することができる。）から公募によって研究開発実施者を選定し実施する。

本研究開発において、効率的な研究開発の推進を図る観点から、原則として当事業にはNEDOが共同研究先決定後に指名する研究開発責任者（プロジェクトリーダー）を置き、その下に研究者を可能な限り結集して効率的な研究開発を実施する。

(2) 研究開発の運営管理

研究開発全体の管理・執行に責任を有するNEDOは、経済産業省及び研究開発実施者と密接な関係を維持しつつ、プログラムの目的及び目標、並びに本研究開発の目的及び目標に照らして適切な運営管理を実施する。具体的には、必要に応じて設置される技術検討委員会等における外部有識者の意見を運営管理に反映させる他、四半期に一回程度プロジェクトリーダーとともにプロジェクトの進捗について報告を受けること等により進捗の確認及び管理を行うものとする。

3. 研究開発の実施期間

本研究開発の期間は、平成23年度から平成27年度までの5年間とする。

4. 評価に関する事項

NEDOは、技術的及び政策的観点から、研究開発の意義、目標達成度、成果の技術的意義並びに将来の産業への波及効果等について、外部有識者による研究開発の中間評価を平成25年度、事後評価を平成28年度に実施する。また、中間評価結果を踏まえ必要に応じてプロジェクトの加速・縮小・中止等見直しを迅速に行う。なお、評価の時期については、当該研究開発に係る技術動向、政策動向や当該研究開発の進捗状況等に応じて、前倒しする等、適宜見直すものとする。

5. その他の重要事項

(1) 研究開発成果の取扱い

① 共通基盤技術の形成に資する成果の普及

共同研究によって得られた研究開発成果のうち、共通基盤技術に係るものについては、プロジェクト内で速やかに共有した後、NEDOおよび実施者が協力して普及に努めるものとする。

② 知的基盤整備事業又は標準化等との連携

得られた研究開発の成果については、知的基盤整備事業又は標準化等との連携を図るため、データベースへのデータの提供、標準案の提案等を積極的に行う。

③知的財産権の帰属

共同研究の成果に関わる知的財産権については、「独立行政法人新エネルギー・産業技術総合開発機構新エネルギー・産業技術業務方法書」第 25 条の規定等に基づき、原則として、すべて共同研究先に帰属させることとする。

(2) 基本計画の変更

NEDOは、研究開発内容の妥当性を確保するため、社会・経済的状況、国内外の研究開発動向、政策動向、プログラム基本計画の変更、評価結果、研究開発費の確保状況、当該研究開発の進捗状況等を総合的に勘案し、達成目標、実施期間、研究開発体制等、基本計画の見直しを弾力的に行うものとする。

(3) 根拠法

本プロジェクトは、独立行政法人新エネルギー・産業技術総合開発機構法第 15 条第 1 項第 1 号二に基づき実施する。

(4) その他

産業界が実施する研究開発との間で共同研究を行う等、密接な連携を図ることにより、円滑な技術移転を促進する。

6. 基本計画の改訂履歴

(1) 平成 23 年 3 月、制定。

(2) 平成 23 年 7 月、独立行政法人新エネルギー・産業技術総合開発機構法の改正に伴う改訂。

(別紙) 研究開発計画

研究開発項目①「次世代不揮発性素子を活用した電力制御技術の開発」

1. 研究開発の必要性

従来の電子機器においては、非動作時においても状態を保つために多くの電力を浪費している。動作時にのみ必要な電力を供給する技術を開発することで上記のムダを排除し、劇的な低消費電力化を実現することができる。そこで、事業終了時に予測される次世代不揮発性素子の性能を前提に、次世代センサーネットワーク、モバイル情報機器、サーバー等の機器・システムにおいて、間歇動作等を志向する新たな電力制御技術の検討が必要である。

2. 研究開発の具体的内容

フラッシュメモリを除く次世代不揮発性素子の性能を最大限活かすための消費電力を抑える動作技術を志向する新しいメモリアーキテクチャ、基本ソフトウェア、アルゴリズム等を開発する。また、必要に応じて、デバイスそのものの技術開発により、上記の消費電力を抑える動作技術に求められる次世代不揮発性素子の性能(レーテンシ、スループット、耐久性などを含む)を実現する。

3. 達成目標

【最終目標】

事業終了時に予測される次世代不揮発性素子の性能を満たすことを前提に、次世代センサーネットワーク、モバイル情報機器、サーバー等から研究開発実施者が想定するアプリケーションにおいて、劇的な低消費電力化を志向する新しいメモリアーキテクチャ、基本ソフトウェア、アルゴリズムのデザインを提示するとともに、必要に応じて間歇動作等に求められる次世代不揮発性素子の性能を提示し、システムとしての低消費電力性能(電力あたり性能)が10倍となることを実証する。

【中間目標】

事業終了時に予測される次世代不揮発性素子の性能を満たすことを前提に、次世代センサーネットワーク、モバイル情報機器、サーバー等から研究開発実施者が想定するアプリケーションにおいて、劇的な低消費電力化を志向する新しいメモリアーキテクチャ、基本ソフトウェア、アルゴリズムのデザインを提示するとともに、必要に応じて間歇動作等に求められる次世代不揮発性素子の性能を提示し、システムとしての低消費電力性能(電力あたり性能)を本事業期間中に10倍と示す見込みを、実験・シミュレーションにより示す。

研究開発項目②「将来の社会生活を支える新しい情報システムにおいて飛躍的なノーマリーオフ化を実現する新しいコンピューティング技術の検討」

1. 研究開発の必要性

将来の社会生活を大きく変革させるような技術革新を実現するためには、既存の応用分野を対象とした機器・システムの漸進的な性能向上と並行して、新しい応用領域へも適用可能なコンピューティング技術の検討を開始する必要がある。

他方、このような取り組みを効果的に進めるにあたってはそれを評価するための基盤・プラットフォームの整備が重要となるが、現状では電力消費性能に関する評価技術が確立されていない状況である。そこで、上記のような先駆的な研究開発を評価するための技術の開発が必要である。

2. 研究開発の具体的内容

次世代不揮発性素子ならではの機能を活かした画期的なコンピューティング技術の開発を行う。他方、新たなコンピューティング技術を広く展開するためには、その優位性が適切に評価されることが必要である。このため、本事業全体を通して利用可能な、デモシステムの電力消費性能を評価する基盤・プラットフォームを開発する。

3. 達成目標

【最終目標】

新規コンピューティング技術について、中間目標時に提案した目標を達成するほか、実用化までの更なる技術的課題を明示する。

また併せて、デモシステムの電力消費性能を評価するための基盤となる評価技術・プラットフォームを確立する。

【中間目標】

新しい応用領域への情報通信技術の適用に向けてあるべきコンピューティング技術を提案し、その実現に向けた課題およびその課題を克服するための目標と当該目標を達成するための検討方針を明示する。

また併せて、デモシステムの電力消費性能を評価するための基盤となる評価技術・プラットフォームを明確化する。

●事前評価書

作成日	平成23年2月8日
1. 事業名称 (コード番号)	ノーマリーオフコンピューティング基盤技術開発 (P11001)
2. 推進部署名	電子・材料・ナノテクノロジー部
3. 事業概要	<p>(1) 概要：新市場を創出すること、併せて超低消費電力機器の普及により、温室効果ガスの削減に寄与することを目的に、我が国が優位性を持つ不揮発性素子に関わるハードウェア技術の更なる高度化と併せて、これを用いるアーキテクチャ、ソフトウェアおよびシステム化の要素技術を世界に先駆けて確立する。</p> <p>(2) 事業規模：総事業費（国費分） 12億円（1／2共同研究）</p> <p>(3) 事業期間：平成23年度～27年度（5年間）</p>
4. 評価の検討状況	<p>(1) 事業の位置付け・必要性</p> <ul style="list-style-type: none"> ・電機製品の省電力化という観点で見ると、半導体素子の微細化技術は長らく大きな役割を果たしてきた。しかしながら近年微細化が極限まで進んだ結果、リーク電流が増加し構造的にも閾値電圧の更なる低下は困難になってきており、電機製品の更なる省電力化のためには従来とは視点が異なるアプローチが求められるようになっている。 ・他方近年 FeRAM、MRAM、PRAM、ReRAM 等次世代不揮発性素子の急速な性能向上が達成されており、これら次世代不揮発性素子を有効に利用すれば従来の素子技術では達成が出来ない程の細粒度で電力を制御し省電力化を実現する「ノーマリーオフコンピューティング」が可能になることが予測される。 ・これを産業への影響という観点で見た場合、現在のコンピューティングの在り方自身を変革する可能性もあり、世界に先駆けてこの分野の研究開発に取り組むことは我が国の産業競争力強化という文脈でも大きな意義を有すると考えられる。 ・しかしながら「ノーマリーオフコンピューティング」の実現には素子技術のみならず、基本ソフトウェアの見直し、コンピュータアーキテクチャの再検討など多岐にわたる側面からのアプローチが必要であり、また従来の延長線上にない画期的な挑戦でありリスクも高く民間単独では行うことは極めて困難である。 ・従って本プロジェクトは、NEDOが持つ高いネットワーク機能やマネジメント機能を活用し、官民が協同した国家プロジェクトとして取り組むことが適切と考えられる。

(1) 研究開発目標の妥当性

・本プロジェクトでは「次世代センサーネットワーク、モバイル情報機器、サーバー等、不揮発性素子を用いたハードウェア技術、ソフトウェア技術、アーキテクチャ技術の適応先と想定される各機器・システムにおいて事業終了時に求められると予測される処理性能を前提に、不揮発性素子を用いたハードウェア技術、ソフトウェア技術、コンピュータアーキテクチャの一体的な開発により、システムとしての低消費電力性能（電力あたりの性能）を本事業開始時に対して 10 倍にするための要素技術開発」を目標として掲げることがを予定している。

・目標設定値を柔軟にするのは、適用される市場毎に求められる性能が異なるためである。例えばスマートフォンやタブレット端末市場においては高い処理性能と低消費電力性能の両立が求められることが予測されるが、他方で今後拡大が期待されるセンサーネットワーク市場においてはメンテナンスフリーのセンサーが志向されており、最低限必要な処理性能とずば抜けた低消費電力性能の両立が求められている。

・また低消費電力性能を 10 倍とすることの根拠は、半導体の微細化の速度と省電力化を将来において両立させることを意図したものである。別途公募がなされている「次世代半導体微細加工・評価基盤技術の開発」基本計画においては 2010 年時点における最先端の技術世代を hp45nm と仮定し、2016 年時点での hp16nm に対応した微細加工・評価基盤技術の確立を目指しており、現行の 1/9 程度まで微細化が進むことが予定している。

・本プロジェクトの成果は必ずしも最先端プロセスでの適用を前提としているわけではなく、2016 年までに多くの半導体製品市場において、現行よりも 1/9 程度の微細化が進むと仮定しそれを上回る速度での低消費電力性能の向上を担保するために「処理性能を満たした上で、デバイス・OS・アーキテクチャを通じたシステムとしての低消費電力性能（電力あたりの性能）を 10 倍にするための要素技術開発」を目標として設定した。

(1) 研究開発マネジメント

・本事業では以下の2つの技術的取組が連携して目標が達成されることを想定している。

【産業化への障壁を越えるための研究開発】

次世代不揮発性素子を用いた電力制御技術の開発

・次世代不揮発性素子の性能を最大限活かすための消費電力を抑える動作技術を志向する新しいメモリアーキテクチャ、基本ソフトウェア、アルゴリズム等を開発する。例えば間歇動作志向のOSの開発や、低消費電力志向のセンサーネットワーク向けAPIの開発などが想定される。

・また、所望の電力制御を実現するために必要に応じて、書込/読み出し速度、書込電力の低下、書き換え耐性といった次世代不揮発性素子の基本性能の向上のための技術開発を行う。

【共通基盤的技術開発及び将来の課題を解決する研究開発】

将来の社会生活を支える新しい情報システムにおいて飛躍的なノーマリーオフ化を実現する新しいコンピューティング技術の検討

・次世代不揮発性素子ならではの機能を活かしたコンピューティング技術の開発。例えば演算結果をキャッシュすることにより効率的な処理を可能とする計算技術などが想定される。

・また、電力消費性能を評価するための評価基盤・プラットフォームも整備する。

(2) 研究開発成果

①成果の意義

・多様な電子機器をノーマリーオフ化することで、コンピューティングの新たな活用が可能となり、新規市場を我が国が先駆的に開拓することができる。

・本事業は我が国発の不揮発性素子を活用した超低消費電力型コンピューティングを提唱する世界初の成果を目指しており、新たな技術領域の開拓が期待できる。

②論文発表・成果の普及

・研究開発対象は広く一般に使用される電子機器を想定しており、成果は広範囲にわたる。また、競争部分の研究開発は、事業参画者が早急な実用化を想定しており、一方集中研での協調部分は成果を戦略的に公開し普及させることを想定している。したがって、アウトカムの最大化を見据えて事業設計している。

(3) 実用化・事業化の見通し

・実用化に当たっては本事業の成果が独自規格とならないよう、既存ソフトウェアとの整合性や標準化との関係性について十分配慮することとする。

(4) その他特記事項

・特に無し

●論文リスト

【研究発表・講演】

番号	発表者	所属	タイトル	発表誌名、ページ番号	査読	発表年	月日
1	松原	はこだて未来大	情報技術と農業・漁業	第10回情報科学技術フォーラム	無	2011	9.9
2	戸田	はこだて未来大	画像処理技術を用いた水産業支援の試み	平成23年電気学会電子・情報・システム部門大会	無	2011	9.9
3	湯浅 他	産総研	不揮発エレクトロニクスによるグリーン・イノベーション	日本セラミックス協会資源・環境関連材料部会「エコマテリアルの最新動向と将来」	無	2011	9.21
4	福島 他	産総研	スピントルク磁化反転における反転確率の分散	第35回日本磁気学会学術講演	無	2011	9.29
5	富田	大阪大	光ポンプ・プローブ法による半平行磁気結合膜の高速磁化ダイナミクス測定	第35回日本磁気学会学術講演	無	2011	9.29
6	塩見 他	電通大	外部磁界によるSpinRAMの反転時間への影響	第35回日本磁気学会学術講演	無	2011	9.29
7	大丸 他	電通大	GPUによるSpinRAMシミュレーションの高速計算	第35回日本磁気学会学術講演	無	2011	9.29
8	富田	大阪大	High speed spin-transfer switching in GMR nanopillars with perpendicular	第11回「関西コロキウム電子デバイスワークショップ」	無	2011	10.21
9	薬師寺 他	産総研	Development of perpendicular-MgO-MTJs with RA-product below $3 \Omega \mu m^2$ prepared at room temperature	The 56th Magnetism and Magnetic Materials Conference	有	2011	10.31
10	Ando 他	産総研	Spin-RAM for Normally-Off Computer	Proc. 2011 11th Annual Non-Volatile Technology Symposium	有	2011	11.1
11	戸田 他	はこだて未来大	農林水環境産業の画像技術	映像情報メディア学会誌	無	2011	11.1
12	久保田 他	産総研	Enhancement of perpendicular magnetic anisotropy in FeB free layers using a thin MgO cap layer	The 56th Magnetism and Magnetic Materials Conference	有	2011	11.1
13	Bang 他	産総研	Spin-torque diode spectrum of ferromagnetically coupled (FeB/CoFe)/Ru/(CoFe/FeB) synthetic free layer	The 56th Magnetism and Magnetic Materials Conference	有	2011	11.2
14	小西	大阪大	RF amplification in a Current-field driven spin transistor	The 56th Magnetism and Magnetic Materials Conference	有	2011	11.2
15	安藤 他	産総研	[招待講演]Spin-RAM for Normally-Off Computer	2011 11th Non-Volatile Memory Technology Symposium (NVMTS 2011)	無	2011	11.7

番号	発表者	所属	タイトル	発表誌名、ページ番号	査読	発表年	月日
16	湯浅 他	産総研	[招待講演]Magnetic tunnel junctions with perpendicular anisotropy for high-density spin-torque MRAM	Joint Polish-Japanese Workshop Spintronics – from new materials to applications	無	2011	11.18
17	福島 他	産総研	[招待講演]Spin dice: Random Number Generator using Spin-torque Switching	2011 TICSpin 7th Taiwan International Conference on Spintronics	無	2011	12.4
18	湯浅 他	産総研	[招待講演]Magnetic tunnel junctions for non-volatile memory	2011 Tsukuba Nanotechnology Symposium (TNS'11)	無	2011	12.16
19	鈴木	大阪大	電流と電圧によるスピンの制御 – 高速省エネルギー不揮発性素子の実現に向けて	アモルファス・ナノ材料第147委員会114回研究会	無	2011	12.16
20	湯浅 他	産総研	Magnetoresistance and spin-transfer torque in magnetic tunnel junctions	The 2nd ASRC International Workshop on Magnetic Materials and Nanostructures	無	2012	1.10
21	清水	ルネサス	[招待講演]ノーマリオフコンピューティング課題と挑戦	第190回計算機アーキテクチャ研究発表会	無	2012	1.19
22	中村	東大	[パネル・オーガナイザ]ノーマリオフコンピューティングによる低消費電力化への挑戦	第190回計算機アーキテクチャ研究発表会	無	2012	1.19
23	藤田 他	東芝	[招待講演]ノーマリオフプロセッサ実現に向けた脳揮発メモリの課題と展望-『不揮発ロジックのジレンマ』を如何に解決するか？	第190回計算機アーキテクチャ研究発表会	無	2012	1.19
24	金他	東大 東芝	データ保持性を利用したキャッシュのパワーゲーティング手法	第190回計算機アーキテクチャ研究発表会	無	2012	1.19
25	有間 他	東大 東芝	アイドル時のキャッシュ電源遮断による性能ペナルティとその削減手法	第190回計算機アーキテクチャ研究発表会	無	2012	1.19
26	薬師寺 他	産総研	大容量スピンRAMの実現に向けた垂直磁化MTJの開発	日本磁気学会誌「まぐね」Vol.7, No.1	無	2012	2.1
27	丸山 他	はこだて未来大	需要調査分析による函館圏におけるデマンド交通運行計画の考察	情報処理学会第74回全国大会	無	2012	3.6
28	宮崎	東北大	スピントロニクス基礎(チュートリアル)	2012年春季 第59回応用物理学関係連合講演会	無	2012	3.15
29	小西	大阪大	光学ポンプ・プローブ法を用いたCoFe/Ru/CoFe反平行結合膜における磁化ダイナミクス測定	2012年春季 第59回応用物理学関係連合講演会	無	2012	3.16
30	安部 他	東芝	ハイブリッドMagnetic キャッシュメモリによるノーマリオフプロセッサ	2012年春季 第59回応用物理学関係連合講演会	無	2012	3.17
31	藤井	大阪大	CoFeSiBフリー層を有するMTJ素子の高周波スペクトル特性	2012年春季 第59回応用物理学関係連合講演会	無	2012	3.18

番号	発表者	所属	タイトル	発表誌名、ページ番号	査読	発表年	月日
32	野村 他	東芝	MRAM を用いた次世代ノーマリーオフプロセッサ	2012年 電子情報通信学会	無	2012	3.20
33	Kim 他	東大	A Novel Power-Gating Scheme Utilizing Data Retentiveness on Caches (poster)	2012 Great Lakes Symposium on VLSI (GLSVLSI'12)	有	2012	5.3
34	薬師寺 他	産総研	Technology Development of Giga-bit Scale Spin-RAM	The 8th International Nanotechnology Conference	有	2012	5.8
35	大丸 他	電通大	Fast SpinRAM Simulation by GPU	International Magnetism Conference 2012	無	2012	5.8
36	三輪 他	東大	CMP におけるキャッシュ・データを考慮したスレッド・スケジューリング手法の初期検討	情報処理学会第192回アーキテクチャ研究会研究報告	無	2012	5.8
37	福島 他	産総研	Statistical variance in switching probability of spin-torque switching in MgO-MTJ	Intermag 2012	有	2012	5.11
38	松原 他	はこだて未来大	スマートシティはこだてにおける観光の位置づけ～観光を基盤にした街の再設計の試み～	観光情報学会第9回全国大会	無	2012	5.25
39	中村	東大	[招待講演] ノーマリーオフコンピューティングの実現へ向けて	電子情報通信学会 VLSI 設計技術研究会技術研究報告	無	2012	7.3
40	塩見 他	電通大	Effect of the external fields on SpinRAM switching time	International Conference of magnetism 2012	無	2012	7.10
41	大丸 他	電通大	Fast SpinRAM Simulation by GPU	International Conference of magnetism 2012	無	2012	7.13
42	野村 他	東芝	超低消費電力 STT-MRAM を Magnetic キャッシュに用いた Run-time Normally-off Processor	第25回回路とシステムワークショップ	有	2012	7.31
43	有間 他	東大 東芝	OS の電力管理下におけるラスト・レベル・キャッシュのリーク削減手法の比較	第25回回路とシステムワークショップ	有	2012	7.31
44	有間 他	東大	アイドル時のキャッシュ電源遮断における性能ペナルティ削減手法の実装	情報処理学会第193回アーキテクチャ研究会研究報告	無	2012	8.1
45	清水 他	ルネサス	[基調講演] Challenge for the "Normally-off Computing" - Towards Smarter Society by Low-power and Programmable Sensor Network -	電子情報通信学会 (IEICE) エレクトロニクスソサイエティ 集積回路(IDC)	無	2012	8.13
46	中野 他	神戸大	Instantaneous Heart Rate Detection Using Short-Time Autocorrelation for Wearable Healthcare	34th Annual International IEEE EMBS Conference	有	2012	8.28
47	松原 他	はこだて未来大	スマートシティはこだての中核としてのスマートアクセスビークルのデザイン	第22回インテリジェントシステム・シンポジウム (FAN2012)	無	2012	8.31

番号	発表者	所属	タイトル	発表誌名、ページ番号	査読	発表年	月日
48	岡本 他	東大 ルネサス	周期実行システムにおける省電力スケジューリングの初期検討	情報処理学会第26回組込みシステム研究発表会	無	2012	9.10
49	山下 他	大阪大	垂直磁化 GMR 素子の熱活性およびダイナミック領域におけるスピン注入磁化反転確率	応用物理学会 2012 年(平成 24 年)秋季講演会	無	2012	9.11
50	水上 他	東北大	垂直磁化 Mn-Al-Ge 合金薄膜の構造と磁気特性	第 73 回応用物理学学術講演会	無	2012	9.11
51	小西 他	大阪大	RF amplification properties in magnetic tunnel junctions afforded by field-induced ferromagnetic resonance	the 21th International Colloquium on Magnetic Films and Surfaces (ICMFS2012)	有	2012	9.25
52	山下 他	大阪大	Spin Transfer Switching in Perpendicularly Magnetized GMR Nanopillars in both Dynamic and Thermally Assist Regimes	2012 International Conference on Solid State Devices and Materials (SSDM 2012)	有	2012	9.25
53	大丸 他	電通大	Effect of the Gilbert Damping Constant on the Switching Current in SpinRAM	ICAUMS 2012	無	2012	10.2
54	塩見 他	電通大	Simulation of Spin Current Switching Assisted by Electric Field	ICAUMS 2012	無	2012	10.2
55	薬師寺 他	産総研	Development of Perpendicular-MTJs for Gigabit-Scale Spin-RAM Application	ICAUMS2013	有	2012	10.3
56	福島 他	産総研	Statistical variance mapping of spin-torque switching probability in in-plane magnetized MgO-MTJ	ICAUMS2012	有	2012	10.4
57	荒川 他	はこだて未来大	ノーマリオフによる組み込みシステムの低消費電力化に関する研究	情報処理北海道シンポジウム 2012	無	2012	10.6
58	新田 他	はこだて未来大	省電力オンデマンド型知的バス停システムの提案	情報処理北海道シンポジウム 2012	無	2012	10.6
59	中野 他	神戸大	ウェアラブルヘルスケアシステムのための短時間自己相関を用いた瞬時心拍取得手法	電気学会 センサ・マイクロマシン部門大会第 29 回「センサ・マイクロマシンと応用システム」シンポジウム	無	2012	10.22
60	清水	ルネサス	[パネル・副オーガナイザ]Challenge for Zero Stand-by Power Management - Road-map to the "Normally-Off Computing" - Normally-Off Computing Architecture for Low-power Sensor Node	IEEE Asian Solid-State Circuits Conference 2012	無	2012	11.13

番号	発表者	所属	タイトル	発表誌名、ページ番号	査読	発表年	月日
61	林越	ルネサス	[パネル・パネリスト]Challenge for Zero Stand-by Power Management - Road-map to the "Normally-Off Computing" - Normally-Off Computing Architecture for Low-power Sensor Node	IEEE Asian Solid-State Circuits Conference 2012	無	2012	11.13
62	藤田	東芝	[パネル・パネリスト]Challenge for Zero Stand-by Power Management - Road-map to the "Normally-Off Computing" - Normally-Off Computing Architecture for Low-power Sensor Node	IEEE Asian Solid-State Circuits Conference 2012	無	2012	11.13
63	中村	東大	[パネル・モデレータ]Challenge for Zero Stand-by Power Management - Road-map to the "Normally-Off Computing" - Normally-Off Computing Architecture for Low-power Sensor Node	IEEE Asian Solid-State Circuits Conference 2012	無	2012	11.13
64	久保田 他	産総研	Spin transfer torque based magnetic memory and storage	New Non-Volatile Memory Workshop 2012	有	2012	11.15
65	藤田	東芝	Nonvolatile Memory Technologies for Normally-off Computing	IEEE Asian Solid-State Circuits Conference 2012	有	2012	11.17
66	椿他	神戸大	A 6.66-kHz, 940-nW, 56ppm/ ^o C, Fully On-chip PVT Variation Tolerant CMOS Relaxation Oscillator	19th International conference on Electronics, Circuits, and Systems	有	2012	12.9
67	興田 他	東芝	Progress of STT-MRAM Technology and the Effect on Normally-off Computing Systems	2012 International Electron Devices Meeting	有	2012	12.11
68	安部 他	東芝	Novel Hybrid DRAM/MRAM Design for Reducing Power of High Performance Mobile CPU	IEEE International Electron Devices Meeting (IEDM) 2012	有	2012	12.11
69	北川 他	東芝	Impact of ultra low power and fast write operation of advanced perpendicular MTJ on power reduction for high-performance mobile CPU	2012 International Electron Devices Meeting	有	2012	12.12
70	藤田 他	東芝	Novel Nonvolatile L1/L2/L3 Cache Memory Hierarchy using Nonvolatile-SRAM with voltage-induced magnetization switching and ultra low-write-energy MTJ	12th Joint MMM/Intermag conference	有	2013	1.15
71	中村	東大	[招待講演]ノーマリーオフコンピューティングへの挑戦	電子情報通信学会コンピュータシステム研究会技術研究報告	無	2013	1.16
72	薬師寺 他	産総研	Development of CoPtV and CoNiPt Synthetic Alloy Thin Films with Reduced Magnetization	The 12th Joint MMM/Intermag Conference	有	2013	1.17

番号	発表者	所属	タイトル	発表誌名、ページ番号	査読	発表年	月日
73	福島 他	産総研	Statistical analysis of spin-torque switching in in-plane magnetized MgO-MTJs under in-plane magnetic fields	The 12th Joint MMM/Intermag Conference	有	2013	1.17
74	山下 他	大阪大	Unified Analysis of Spin-Injection Thermally Assisted and Precessional Switching in Perpendicularly Magnetized GMR Nanopillars	The 12th Joint MMM/Intermag Conference	有	2013	1.17
75	北川 他	東芝	Sub-30nm p-MTJ with small switching current, large MR, and high thermal stability	12th Joint MMM/Intermag Conference	有	2013	1.17
76	才田 他	東芝	Switching current and energy barrier analysis of dynamic switching in perpendicular MTJ	12th Joint MMM/Intermag Conference	有	2013	1.17
77	安部 他	東芝	高性能モバイル CPU の低消費電力化を実現する新規 DRAM/MRAM ハイブリッドメモリ	応用物理学会シリコンテクノロジー分科会第154回研究集会、電子情報通信学会シリコンデバイス・材料研究会1月研究会 共催	無	2013	1.30
78	興田 他	東芝	スピン注入書き込みMRAM技術の進展と、そのノーマリアフコンピュータ実現に対する効果	電子情報通信学会 シリコン材料・デバイス研究会、応用物理学会シリコンテクノロジー分科会 ULSI デバイス研究委員会	無	2013	1.30
79	安部 他	東芝	高性能モバイル CPU の低消費電力化を実現する新規 DRAM/MRAM ハイブリッドメモリ	電子情報通信学会 シリコン材料・デバイス研究会、応用物理学会シリコンテクノロジー分科会 ULSI デバイス研究委員会	無	2013	1.30
80	堀 他	立命館大	Low Power Sensor System Using Smart Analog under Normally Off Operation	2013 RISP International Workshop on Nonlinear Circuits, Communications and Signal Processing	有	2013	3.4
81	本田 他	立命館大	Development of Low-power Camera Sensor Node using Infrared Array Sensor and CMOS Image Sensor	2013 RISP International Workshop on Nonlinear Circuits, Communications and Signal Processing	有	2013	3.4
82	葉師寺 他	産総研	垂直型 STT-MRAM の材料開発とその展望	日本磁気学会 スピンエレクトロニクス研究会	無	2013	3.6
83	中川 他	立命館大	センサノード低消費電力化のためのノーマリアフ動作検証環境の構築と評価	組込み技術とネットワークに関するワークショップ ETNET2013	無	2013	3.13
84	椿 他	神戸大	低参照電圧を用いた実時間計測用弛張発振回路	電子情報通信学会総合大会	無	2013	3.19
85	木村	ローム	強誘電体デバイスを用いた高信頼不揮発ロジック技術とその応用	2014年電子情報通信学会 総合大会(新潟大学)	無	2013	3.20

番号	発表者	所属	タイトル	発表誌名、ページ番号	査読	発表年	月日
86	野口 他	東芝	D-MRAM Cache: Enhancing Energy Efficiency with 3T-1MTJ DRAM / MRAM Hybrid Memory	Design, Automation & Test in Europe 2013	有	2013	3.21
87	水上 他	東北大	垂直磁化 Mn _{3+x} Ge 合金薄膜の構造と磁気特性	第 60 回応用物理学会 春季学術講演会	無	2013	3.30
88	松原 他	はこだて未来大	道南地域を対象とした階層型デマンド交通とノーマリーオフコンピューティング技術への期待	サービス学会第一回国内大会	有	2013	4.11
89	藤田 他	東芝	高性能モバイル CPU の低消費電力化を実現する垂直磁化 STT-MRAM メモリテクノロジー	集積回路研究会	無	2013	4.11
90	志賀	オムロンヘルスケア	人々の健康を支援する LSI とシステム	ノーマリーオフコンピューティング基盤技術開発プロジェクト公開シンポジウム(第 1 回)	無	2013	4.16
91	戸田 他	はこだて未来大	道南地域を対象とした階層型デマンド交通とノーマリーオフコンピューティング技術への期待	ノーマリーオフコンピューティング基盤技術開発プロジェクト公開シンポジウム(第 1 回)	無	2013	4.16
92	林越	ルネサス	スマートシティ・センサー ネットワーク低電力化技術	ノーマリーオフコンピューティング基盤技術開発プロジェクト公開シンポジウム(第 1 回)	無	2013	4.16
93	藤森	ローム	ヘルスケア応用生体情報センサーの小型、低電力化技術	ノーマリーオフコンピューティング基盤技術開発プロジェクト公開シンポジウム(第 1 回)	無	2013	4.16
94	藤田	東芝	高速低消費電力磁性体メモリによるノーマリーオフプロセッサの開発	ノーマリーオフコンピューティング基盤技術開発プロジェクト公開シンポジウム(第1回)	無	2013	4.16
95	中村	東大	ノーマリーオフコンピューティング基盤技術開発プロジェクト「プロジェクト概況報告」	ノーマリーオフコンピューティング基盤技術開発プロジェクト公開シンポジウム(第 1 回)	無	2013	4.16
96	與田 他	東芝	スピン注入書き込みMRAM技術の進展と、ノーマリーオフコンピューティング	学術振興会 151 委員会	無	2013	5.9
97	人見 他	立命館大	ビアプログラマブルストラクチャード ASIC アーキテクチャ VPEX の DES 暗号回路における消費電力性能評価	LSI とシステムのワークショップ 2013	無	2013	5.13
98	山下 他	大阪大	Field and bias dependence of high frequency magnetic noise in perpendicularly magnetized TMR nanopillars	The 8th International Symposium on Metallic Multilayers (MML2013)	有	2013	5.20
99	佐藤 他	電通大	Effect of the Gilbert Damping Constant on the Switching Current in SpinRAM	The 8th International Symposium on Metallic Multilayers	無	2013	5.20
100	藤田	東芝	高性能モバイル CPU の低消費電力化を実現する垂直磁化 STT-MRAM メモリテクノロジー	先端 CMOS デバイス・プロセスセミナー (1)	無	2013	5.21

番号	発表者	所属	タイトル	発表誌名、ページ番号	査読	発表年	月日
101	木村 他	ローム	Highly Reliable Non-Volatile Logic Circuit Technology and Its Application (Invited)	International Symposium on Multiple-Valued Logic, ISMVL2013	無	2013	5.24
102	川澄 他	東芝	Circuit Techniques in Realizing Voltage-generator-less STT MRAM Suitable for Normally-off-type Non-volatile L2 Cache Memory	2013 5th IEEE International Memory Workshop (IMW)	有	2013	5.28
103	田柳 他	はこだて未来大	デマンド応答型公共交通サービスの現状と展望	2013 年度人工知能学会全国大会(第 27 回)	無	2013	6.5
104	野口 他	東芝	A 250-MHz 256b-I/O 1-Mb STT-MRAM with Advanced Perpendicular MTJ based Dual Cell for Nonvolatile Magnetic Caches to Reduce Active Power of Processors	2013 SYMPOSIUM ON VLSI CIRCUIT	有	2013	6.13
105	林越 他	ルネサス	センサー端末におけるノーマリーオフコンピューティング	情報処理学会誌 54 巻 7 号(2013 年 7 月号)特集「ノーマリーオフコンピューティング」	無	2013	6.15
106	藤森 他	ローム	ヘルスケア応用生体情報計測センサにおけるノーマリーオフコンピューティング	情報処理学会誌 54 巻 7 号(2013 年 7 月号)特集「ノーマリーオフコンピューティング」	無	2013	6.15
107	藤田 他	東芝	携帯情報端末におけるノーマリーオフコンピューティング STT-MRAM で実現するノーマリーオフメモリ技術	情報処理学会誌 54 巻 7 号(2013 年 7 月号)特集「ノーマリーオフコンピューティング」	無	2013	6.15
108	中村 他	東大	ノーマリーオフコンピューティングー期待と課題ー	情報処理学会誌 54 巻 7 号(2013 年 7 月号)特集「ノーマリーオフコンピューティング」	無	2013	6.15
109	水上 他	東北大	Magnetic Tunnel Junctions with Mn-based Magnetic Alloys for Spin-Torque Applications	Collaborative Conference on 3D & Materials Research (Jeju) (Invited)	無	2013	6.25
110	藤井 他	神戸大	Noise-Tolerant Instantaneous Heart Rate and R-Peak Detection Using Short-Term Autocorrelation for Wearable Healthcare Systems	35th Annual International IEEE EMBS Conference	有	2013	7.3
111	林越	ルネサス	[パネル・パネリスト] 増々アナログインタフェース機能を拡充するマイコン	電子情報通信学会集積回路研究会	無	2013	7.4
112	林越	ルネサス	[招待講演] 低電圧不揮発メモリデバイス技術とシステム応用ーゼロスタンドバイ LSI の実現に向けてー	電子情報通信学会 集積回路研究会	無	2013	7.4
113	清水	ルネサス	[招待講演]Normally-off Computing and its Application to the Sensor-Net	13th International Forum on Embedded MPSoC and Multicore	無	2013	7.16

番号	発表者	所属	タイトル	発表誌名、ページ番号	査読	発表年	月日
114	中村	東大	[基調講演]Challenges and Opportunities of Normally-Off Computing	13th International Forum on Embedded MPSoC and Multicore	無	2013	7.16
115	藤田	東芝	[招待講演]Progress of STT-MRAM and its Challenge towards Normallyoff-Multi-core SoC	13th International Forum on Embedded MPSoC and Multicore	無	2013	7.17
116	佐藤 他	電通大	Effect of the Gilbert Damping Constant on the Switching Current in SpinRAM	The 3rd International Symposium on Advanced Magnetic Materials and Applications	無	2013	7.22
117	佐藤 他	電通大	Simulation of Spin Current Switching Assisted by Electric Field	The 3rd International Symposium on Advanced Magnetic Materials and Applications	無	2013	7.22
118	本多 他	立命館大	Development of effective information-hiding method for embedded systems	IEEE International MidWest Symposium on Circuits And Systems (MWSCAS)	無	2013	8.4
119	本多 他	立命館大	Hierarchical image-scrambling method with scramble-level controllability for privacy protection	IEEE International MidWest Symposium on Circuits And Systems (MWSCAS)	無	2013	8.4
120	有間 他	東大	キャッシュ電源遮断時の性能ペナルティ削減のための損失データプリフェッチ	情報処理学会論文誌 コンピューティングシステム	有	2013	9.1
121	本多 他	立命館大	間歇動作による低消費電力イメージセンサノードの開発と検証	第 12 回情報科学技術フォーラム (FIT2013)	無	2013	9.4
122	柳原 他	立命館大	階層型フィルタリング手法を用いた監視カメラデモシステム開発とその評価	第 12 回情報科学技術フォーラム (FIT2013)	無	2013	9.4
123	杉原 他	東北大	垂直磁化 D022-Mn100-xGex 薄膜における磁気的特性の作製温度依存性	第 37 回日本磁気学会 学術講演会、北海道大学	無	2013	9.4
124	福島 他	産総研	スピンドライブスピントルク磁化反転を用いた物理乱数発生器	日本磁気学会	無	2013	9.4
125	山下 他	阪大	垂直磁化素子のスピン注入磁化反転速度に対するトルクの角度依存性の影響	第 37 回日本磁気学会 学術講演会	無	2013	9.4
126	椿 他	神戸大	A 32.55-kHz, 472-nW, 120ppm/° C, Fully On-chip, Variation Tolerant CMOS Relaxation Oscillator for a Real-Time Clock Application	39th European Solid-State Circuits Conference	無	2013	9.16
127	重松 他	東大 ルネサス	周期実行システムにおける中間データに着目した電力制御手法	情報処理学会 第 30 回組込みシステム研究発表会	無	2013	9.17
128	杉原 他	東北大	Cr パッファ上に作製した垂直磁化 Mn-Ge 薄膜の磁気特性	第 74 回応用物理学会 秋季学術講演会	無	2013	9.18

番号	発表者	所属	タイトル	発表誌名、ページ番号	査読	発表年	月日
129	中田	東大	[チュートリアル講演]組込みシステムのためのノーマリーオフコンビューティング	電子情報通信学会 ソサイエティ大会	無	2013	9.19
130	和泉 他	神戸大	A 14 uA ECG Processor with Robust Heart Rate Monitor for a Wearable Healthcare System	IEEE European Solid-State Circuits Research Conference (ESSCIRC)	有	2013	9.22
131	Tanaka 他	東芝	Normally-off type nonvolatile SRAM with perpendicular STT-MRAM cells and smallest number of transistors	2013 International Conference on Solid State Devices and Materials (SSDM)	有	2013	9.27
132	荒川 他	はこだて未来大	Implementation of Normally-off Function for TOPPERS/ASP Kernel	2013 IEEE 2nd Global Conference on Consumer Electronics (GCCE 2013)	無	2013	10.2
133	荒川 他	はこだて未来大	屋外設置型端末のノーマリオフ実装	組込みシステム シンポジウム 2013	無	2013	10.17
134	Nakamura 他	電通大	Effect of the Gilbert Damping Constant on the Switching Current in Nanopillars with Perpendicular Anisotropy.	58th Annual Conference on Magnetism and Magnetic Materials	有	2013	11.6
135	Sugihara 他	東北大	Large perpendicular magnetic anisotropy for Mn _{100-x} Gex epitaxial films prepared on a Cr buffer layer	58th Annual Conference on MMM (Denver)	有	2013	11.6
136	福島 他	産総研	Low Voltage Switchable Perpendicularly Magnetized FeB/MgO/FeB Magnetic Tunnel Junctions	58th MMM Conference	有	2013	11.6
137	Miwa 他	阪大	Validity of the macromagnetic model in spin-transfer switching: activation volume and delay	58th Annual Conference on MMM	有	2013	11.6
138	Mizukami 他	東北大	Magnetic properties and fast magnetization dynamics for MnAlGe epitaxial films with a perpendicular magnetic anisotropy	58th Annual Conference on MMM (Denver)	有	2013	11.7
139	和泉 他	神戸大	Low-power Hardware Implementation of Noise Tolerant Heart Rate Extractor for a Wearable Monitoring System	IEEE International Conference on BioInformatics and BioEngineering (BIBE)	有	2013	11.10
140	水上 他	東北大	希土類・貴金属フリーMn 基合金垂直磁化薄膜 (招待講演)	「元素戦略、環境調和を視野に入れたスピントロニクスの新展開」応用物理学会スピントロニクス研究会、日本磁気学会スピントロニクス専門研究会共催(東北大学)	無	2013	11.11
141	上田 他	立命館大	ビアプログラマブルアナログ (VPA)回路設計とプログラマブルアナログ回路との性能比較	デザインガイア 2013	無	2013	11.27

番号	発表者	所属	タイトル	発表誌名、ページ番号	査読	発表年	月日
142	上口 他	立命館大	ビープログラマブルデバイス VPEX4 のベンチマーク回路を用いた性能評価	デザインガイア 2013	無	2013	11.27
143	堀 他	立命館大	ビープログラマブルアーキテクチャ VPEX4 (1)	デザインガイア 2013	無	2013	11.27
144	大谷 他	立命館大	ビープログラマブルアーキテクチャ VPEX3S	デザインガイア 2013	無	2013	11.27
145	福島 他	産総研	Spin dice: Scalable physical random number generator using stochastic spin-torque switching	International Japanese-French workshop on spintronics	有	2013	11.28
146	Yuasa 他	産総研	Future Prospects of MRAM Technologies (Invited)	the IEEE International Electron Devices Meeting (IEDM) 2013	無	2013	12.9
147	Noguchi 他	東芝	Variable nonvolatile memory arrays for adaptive computing systems	the IEEE International Electron Devices Meeting (IEDM) 2013	有	2013	12.11
148	中島 他	はこだて 未来大	バスとタクシーを融合した新しい 公共交通サービスの概念とシス テムの実装	第 50 回土木計画学研究 発表会	無	2014	1.2
149	横川 他	岡山県立 大	UPPAAL を用いた時間ペトリネット のモデル検査の高速化に関する 検討	ソフトウェア信頼性研究 会第 10 回ワークショップ (FORCE2014)	無	2014	1.6
150	清水 他	ルネサス	ノーマリーオフ・コンピューティン グ化と不揮発メモリ	日本学術振興会 シリコン超集積化シス テム第 165 委員会	無	2014	1.9
151	水上 他	東北大	マンガン系合金薄膜の垂直磁気 異方性 (招待講演)	元素戦略プロジェクト研 究会「垂直磁気異方性 の物理と材料」(中央大 学)	無	2014	1.11
152	薬師寺 他	産総研	垂直型 STT-MRAM の材料開発	元素戦略プロジェクト研 究会「垂直磁気異方性 の物理と材料」	無	2014	1.11
153	和泉 他	神戸大	Normally-off Technologies for Healthcare Appliance	19th IEEE Asia and South Pacific Design Automation Conference (ASP-DAC)	無	2014	1.19
154	中村 他	東大	Tutorial-3 Normally-Off Computing: Synergy of New Non-Volatile Memories and Aggressive Power Management	20th Asia and South Pacific Design Automation Conference (ASP-DAC 2015)	無	2014	1.19
155	林越 他	ルネサス	[招待講演]Normally-Off MCU Architecture for Low-power Sensor Node	19th Asia and South Pacific Design Automation Conference	無	2014	1.21
156	中村 他	東大	[Invited Paper] Normally-Off Computing Project : Challenges and Opportunities	19th Asia and South Pacific Design Automation Conference ASP-DAC	無	2014	1.21
157	Fujita 他	東芝	Novel Nonvolatile Memory Hierarchies to Realize "Normally-Off Mobile Processors"	19th Asia and South Pacific Design Automation Conference (ASP-DAC)	有	2014	1.21

番号	発表者	所属	タイトル	発表誌名、ページ番号	査読	発表年	月日
158	野口 他	東芝	適応的コンピューティングシステムのための容量可変不揮発メモリアレイ	シリコン材料・デバイス研究会 (SDM)・先端 CMOS デバイス・プロセス技術 (IEDM 特集)	無	2014	1.29
159	中村	東大	[Forum]Normally-Off Computing for Sensor-Net Applications	IEEE international Solid-State Circuits Conference (ISSCC)	無	2014	2.13
160	Yakushiji	産総研	Development of novel materials for ultrahigh-density STT-MRAM application	21st Korean Conference on Semiconductors (KCS 2014) "2014 International Symposium on Next Generation Non Volatile Memory Technology"	有	2014	2.26
161	Nakao 他	立命館大	A cropping robust digital watermarking algorithm using morphological wavelet transform based on max-plus algebra	2014 RISP International Workshop on Nonlinear Circuits, Communications and Signal Processing	無	2014	2.28
162	Honda 他	立命館大	Lightweight privacy protection in intermittent-sensing image sensor node	2014 RISP International Workshop on Nonlinear Circuits, Communications and Signal Processing	無	2014	2.28
163	Fujimoto 他	立命館大	Study of Human Detection Algorithm using low-resolution Infrared Image in Wireless Sensor Networks	2014 RISP International Workshop on Nonlinear Circuits, Communications and Signal Processing	無	2014	2.28
164	大谷 他	立命館大	Improved Via-Programmable Structured ASIC VPEX3S and Its evaluation	2014 RISP International Workshop on Nonlinear Circuits, Communications and Signal Processing	無	2014	2.28
165	人見 他	立命館大	Hardware Controller of camera sensor node using IR array sensor and CMOS image sensor for ultra-low-power operation	2014 RISP International Workshop on Nonlinear Circuits, Communications and Signal Processing	無	2014	2.28
166	畑中 他	東大	周期実行システムにおける動的省電力タスクスケジューリング	情報処理学会 第 165 回 SLDM・第 32 回 EMB 合同研究発表会 (ETNET2014)	無	2014	3.15
167	荒川 他	はこだて未来大	ノーマリオフによる組み込みシステム低消費電力化の実装と評価	第 165 回 SLDM・第 32 回 EMB 合同研究発表会 (ETNET2014)	無	2014	3.16
168	板井 他	東芝	高速 STT-MRAM と SRAM との性能.電力に関する比較	応用物理学会	無	2014	3.17
169	藤田	東芝	高速低消費不揮発メモリ STT-MRAM の展望	集積回路研究会 (ICD)	無	2014	4.17

番号	発表者	所属	タイトル	発表誌名、ページ番号	査読	発表年	月日
170	Matsumura 他	岡山県立大	The LSI Implementation of a Memory Based Field Programmable Device for MCU Peripherals	DDECS 2014 Electronics and Information Systems	無	2014	4.23
171	中島 他	はこだて未来大	価値共創とは何のことか - FNS によるサービスの定式化	サービス学会第2回国内大会講演論文集	無	2014	4.28
172	Ikegami 他	東芝	A 4ns, 0.9V Write Voltage Embedded Perpendicular STT-MRAM Fabricated by MTJ-Last Process	2014 International Symposium on VLSI Technology, Systems and Applications	有	2014	4.28
173	平田 他	はこだて未来大	Smart Access Vehicle サービス実践への取り組み ~ サービス共創最適化のためのフレームワーク	サービス学会第2回国内大会講演論文集	無	2014	4.29
174	Saida 他	東芝	Low-Current and High-Speed Spin-Transfer Switching in Perpendicular MTJ for Cache Memory of Mobile Processors	IEEE International Magnetism Conference, INTERMAG Europe 2014	有	2014	5.7
175	Yakushiji 他	産総研	Ultra-Low Voltage Switching in Low-RA p-MTJs with p-SAF Reference Layer	Intermag2014(口頭発表)	有	2014	5.7
176	福島 他	産総研	Magnetic field dependence of switching probability of FeB.MgO.FeB perpendicularly magnetized MTJ	Intermag 2014(口頭発表)	有	2014	5.7
177	Nakamura 他	電通大	Effect of the Gilbert Damping Constant on the Switching Current in a Nanopillar with Perpendicular Anisotropy	International Magnetism Conference 2014	有	2014	5.8
178	佐野 他	はこだて未来大	はこだて圏におけるフルデマンド型交通システムの実践	2014年度人工知能学会全国大会(第28回)	無	2014	5.12
179	中島 他	はこだて未来大	新しい交通システムを基幹とするサービス連携の提案	2014年度人工知能学会全国大会(第28回)	無	2014	5.12
180	鈴木	阪大	ナノサイズ強磁性体の電流と電圧による磁化制御 Current and Voltage Control of a magnetization in nano-magnets	ナノ学会	無	2014	5.22
181	上口 他	立命館大	人物検知用赤外線アレイセンサ対応低消費電力 AFE 回路の検討	LSI とシステムのワークショップ 2013	無	2014	5.26
182	中川 他	神戸大	A 6T-4C Shadow Memory using Plate Line and Word Line Boosting	IEEE International Symposium on Circuits and Systems (ISCAS)	有	2014	6.1
183	Noguchi 他	東芝	Highly Reliable and Low-Power Nonvolatile Cache Memory with Advanced Perpendicular STT-MRAM for High-Performance CPU	2014 Symposium on VLSI Circuits	有	2014	6.12

番号	発表者	所属	タイトル	発表誌名、ページ番号	査読	発表年	月日
184	有間 他	東大 東芝	Fine-Grain Power-Gating on STT-MRAM Peripheral Circuits with Locality-aware Access Control	The Memory Forum (in conjunction with the 41st International Symposium on Computer Architecture)	有	2014	6.14
185	Arima 他	東大	Fine-Grain Power-Gating on STT-MRAM Peripheral Circuits with Locality-aware Access Control	The Memory Forum (in conjunction with the 41st International Symposium on Computer Architecture)	有	2014	6.14
186	林越	ルネサス	スマートシティ・センサー ネットワーク低電力化技術	ノーマリーオフコンピューティング基盤技術開発プロジェクト公開シンポジウム(第2回)	無	2014	6.19
187	藤森	ローム	ヘルスケア応用生体情報センサーの小型、低電力化技術	ノーマリーオフコンピューティング基盤技術開発プロジェクト公開シンポジウム(2回)	無	2014	6.19
188	Shimomura 他	東芝	Future Prospects of advanced STT-MRAM for Normally-off Processors (Ultra-low-power Mobile Processor Applications)	The 6th IEEE International Nanoelectronics Conference 2014	有	2014	7.3
189	鈴木	阪大	Control of magnetization using current and voltage	INEC2014 IEEE International Nanoelectronics Conference 2014	無	2014	7.3
190	中村	東大	Normally-Off Computing for Smart City Applications	The 14th International Forum on Embedded MPSoC and Multicore	無	2014	7.7
191	Fujita	東芝	Normally-off Processors (Ultra-low-power Processors) based on ultra-high-speed STT-MRAM	14th International Conference on Embedded MPSoC and Multicore	無	2014	7.7
192	小田 他	岡山県立大	リングセグメント型 GALS システムを対象とした分散型非同期式アービタ	電子情報通信学会 VLD 研究会	無	2014	7.11
193	有間 他	東大 東芝	アクセスの局所性を考慮した STT-MRAM キャッシュの周辺回路の電力削減手法	第 203 回 ARC 研究発表会 (SWoPP2014)	無	2014	7.28
194	有間 他	東大	アクセスの局所性を考慮した STT-MRAM キャッシュの周辺回路の電力削減手法	第 203 回 ARC 研究発表会(SWoPP2014)	有	2014	7.28
195	椿 他	神戸大	時間計測アプリケーションに向けた超低電力弛張発振回路	電子情報通信学会 集積回路研究専門委員会 集積回路研究会	無	2014	8.4
196	野口 他	東芝	高信頼かつ低消費電力を実現する垂直 STT-MRAM を用いた不揮発キャッシュメモリ	応用物理学会シリコンテクノロジー分科会研究集会	無	2014	8.8
197	中田 他	東大 ルネサス	Data-aware Power Management for Periodic Real-time Systems with Non-Volatile Memory	3rd IEEE Nonvolatile Memory Systems and Applications Symposium (NVMSA)	有	2014	8.20

番号	発表者	所属	タイトル	発表誌名、ページ番号	査読	発表年	月日
198	中井 他	神戸大	Noise Tolerant QRS Detection using Template Matching with Short-Term Autocorrelation	36th Annual International Conference of the IEEE Engineering in Medicine and Biology Society(EMBC)	有	2014	8.26
199	横川 他	岡山県立大	A Translation Method from Timed Petri Nets into Compact Timed Automata	The 40th Euromicro Conference series on Software Engineering and Advanced Applications (SEAA 2014)	無	2014	8.29
200	Sugihara 他	東北大	Growth of very thin films of Mn ₃ Ge with a perpendicular magnetic anisotropy	International Conference on Solid State Devices and Materials (SSDM), Tsukuba, Japan	有	2014	9.1
201	中村 他	電通大	マクロスピンモデルによるスピン注入磁化反転における反転電流の損失定数依存性	第 38 回日本磁気学会 学術講演会	無	2014	9.2
202	中村 他	電通大	マイクロマグネティックモデルによるスピン注入磁化反転における反転電流の損失定数依存性	第 38 回日本磁気学会 学術講演会	無	2014	9.2
203	関 他	産総研	同一温度にある複数の磁気抵抗素子におけるスピントルク磁化反転の相関性	第 75 回応用物理学会 秋季学術講演会(口頭発表)	無	2014	9.2
204	横川 他	岡山県立大	サイズ削減を目的とした時間ベトリネットから時間オートマトンへの変換法	ソフトウェア・エンジニアリング・シンポジウム 2014 ワークショップ	無	2014	9.3
205	木村 他	ローム	Highly Reliable Non-Volatile Logic Circuit Technology and Its Application (Invited)	IEICE Transactions of Information and Systems, Vol.E-97D, No.9, pp. 2226-2233, Sept. 2014.	有	2014	9.10
206	Q.L.Ma 他	東北大	Perpendicular Magnetic Tunnel Junctions with L1 ₀ -MnGa.FM Electrodes	International Conference on Solid State Devices and Materials (SSDM), Tsukuba, Japan	有	2014	9.11
207	中島 他	はこだて未来大	One Cycle of Smart Access Vehicle Service Development	ICServ2014 The 2nd International Conference on Serviceology	無	2014	9.15
208	鈴木 他	東北大	Cr(001)下地上に作製した MnGa(001)極薄膜の垂直磁気特性	第 75 回応用物理学会 秋季学術講演会, 北海道大学	無	2014	9.17
209	薬師寺 他	産総研	高集積 STT-MRAM 実現に向けた垂直磁化トンネル接合の材料開発	応用物理学会(口頭発表・招待講演)	無	2014	9.18
210	近藤 他	岡山県立大	リングセグメント型 GALS システムの階層化	システムと LSI 設計技術研究会	無	2014	10.2
211	才田 他	東芝	携帯端末のキャッシュメモリ用途を目指した垂直磁化 MTJ の開発	集積回路研究会(ICD)	無	2014	10.3

番号	発表者	所属	タイトル	発表誌名、ページ番号	査読	発表年	月日
212	野口 他	東芝	垂直磁化 STT-MRAM を用いた ノーマリオフコンピューティング	情報処理学会 計算機 アーキテクチャ研究会 (ARC) 204	無	2014	10.6
213	Nitta 他	はこだて 未来大	Applying Normally-off to the Demand Responsive Intelligent Bus Stop System	2014 IEEE 3rd Global Conference on Consumer Electronics (GCCE 2014)	無	2014	10.8
214	和泉 他	神戸大	A 6.14uA Normally-Off ECG-SoC with Noise Tolerant Heart Rate Extractor for Wearable Healthcare Systems	IEEE Biomedical Circuits and Systems Conference (BioCAS)	有	2014	10.22
215	尾上 他	岡山県立 大	徐脈性不整脈の確率的出現に 対応した模擬心電位発生装置	平成 26 年度(第 65 回) 電気・情報関連学会中 国支部連合大会	無	2014	10.25
216	赤利 他	岡山県立 大	分散制御型リングセグメントバス システムの構成法	平成 26 年度(第 65 回) 電気・情報関連学会中 国支部連合大会	無	2014	10.25
217	神崎 他	岡山県立 大	電池駆動ノーマリオフコンピュー ティングにおける電源制御方式 の基礎検討	平成 26 年度(第 65 回) 電気・情報関連学会中 国支部連合大会	無	2014	10.25
218	Tanaka 他	東芝	A Scaling of Cell Area with Perpendicular STT-MRAM Cells as an Embedded Memory	The 14th Non-volatile Memory Technology Symposium	有	2014	10.27
219	Q.L.Ma 他	東北大	Tetragonal Mn-Ga Heusler based hybrids for spintronics applications (invited)	3rd International Conference of Asian Union of Magnetics Societies (IcAUMS), Hainan, China	無	2014	10.28
220	湯浅 他	産総研	Future Prospects of MRAM Technologies	IcAUMS 2014(口頭発 表・基調講演)	無	2014	10.29
221	湯浅 他	産総研	Perspectives on Spintronics and MRAM Technologies	IEDMS 2014(口頭発 表・基調講演)	無	2014	11.2
222	福島 他	産総研	Spin dice: physical random number generator using spin torque switching in perpendicularly magnetized MTJs	Magnetism and magnetic materials 会議 (口頭発表)	有	2014	11.5
223	木村 他	ローム	A 2.4 pJ Ferroelectric-Based Non-Volatile Flip-Flop with 10-Year Data Retention Capability	2014 IEEE Asia Solid- State Circuits Conference, A-SSCC 2014	有	2014	11.11
224	湯浅 他	産総研	Challenges for ultrahigh-density MRAM and novel functional devices	A*Star-IME STT-MRAM Workshop (口頭発表・招待講演)	無	2014	11.11
225	Q.L.Ma 他	東北大	Functional tetragonal MnGa based composite for spintronics (invited),	Condensed Matter Physics Seminar in Johns-Hopkins University, Baltimore, US,	無	2014	11.12
226	柳橋 他	東大	マルチコア周期実行システムに おける動的省電力タスクスケジ ューリングの検討	情報処理学会 第35回 組込みシステム研究発 表会	無	2014	11.14

番号	発表者	所属	タイトル	発表誌名、ページ番号	査読	発表年	月日
227	近藤 他	岡山県立大	デジタル補聴器用 DSP を対象とした非同期式直列乗算器の一構成法	第 150 回アルゴリズム研究発表会	無	2014	11.20
228	川村 他	岡山県立大	メモリをベースにしたマイコン周辺回路用フィールドプログラマブルデバイスの LSI 実装	デザインガイア 2014	無	2014	11.28
229	野口 他	東芝	[招待講演]垂直磁化型 STT-MRAM を用いたノーマリオフコンピューティング	集積回路研究会 (ICD)	無	2014	12.2
230	Ikegami 他	東芝	Low power and high density STT-MRAM for embedded cache memory using advanced perpendicular MTJ integrations and asymmetric compensation techniques	the IEEE International Electron Devices Meeting (IEDM) 2014	有	2014	12.15
231	林越	ルネサス	スマートシティ・センサー ネットワーク低電力化技術	ノーマリオフコンピューティング基盤技術開発プロジェクト公開シンポジウム(第 3 回)	無	2015	1.4
232	Fujita	東芝	Normally-Off Computing: Synergy of New Non-Volatile Memories and Aggressive Power Management	19th Asia and South Pacific Design Automation Conference (ASP-DAC), Tutorial	無	2015	1.19
233	有間 他	東大	TLB ミスペナルティ削減のための大容量 LLC の利用法に関する初期検討	情報処理学会研究報告 2014-ARC-214	無	2015	1.22
234	有間 他	東大	TLB ミスペナルティ削減のための大容量 LLC の利用法に関する初期検討	情報処理学会研究報告 2014-ARC-214	有	2015	1.22
235	池上 他	東芝	[招待講演]次世代垂直磁化 MTJ と非対称磁場補正技術を用いたキャッシュメモリ向け低電力高密度	集積回路研究会 (ICD)	無	2015	1.27
236	堀 他	立命館大	CMOS アナログ回路におけるノーマリオフ機構の検討	集積回路研究会～集積回路とアーキテクチャの協創「ロボット, ヒューマノイド, AI 技術および一般」～	無	2015	1.29
237	Fujita	東芝	Technology Trends and Applications of MRAM from Big Data to Wearable Devices	International Solid-State Circuits Conference 2015, F2: Memory Trends: From Big Data to Wearable Devices	無	2015	2.24
238	Noguchi 他	東芝	A 3.3ns-Access-Time 71.2uW.MHz 1Mb Embedded STT-MRAM Using Physically Eliminated Read-Disturb Scheme and Normally-Off Memory Architecture	International Solid-State Circuits Conference 2015	有	2015	2.24
239	堀 他	立命館大	A Study of Normally off Scheme for Analog CMOS by Bias Cutting Control	2015 RISP International Workshop on Nonlinear Circuits, Communications and Signal Processing	無	2015	2.27

番号	発表者	所属	タイトル	発表誌名、ページ番号	査読	発表年	月日
240	藤原 他	東大	マルチレート周期実行システムにおける省電力タスクスケジューリングの検討	情報処理学会 第170回 SLDM・第36回 EMB 合同研究発表会 (ETNET2015)	無	2015	3.6
241	堀 他	立命館大	CMOS アナログ回路におけるバイアス回路制御法の改良と性能評価	組込み技術とネットワークに関するワークショップ ETNET2015	無	2015	3.6
242	湯浅 他	産総研	金属スピントロニクス応用の現状と将来ビジョン	応用物理学会 春期学術講演会(口頭発表・招待講演)	無	2015	3.13
243	柳橋 他	東大	ヘテロジニアスマルチコア周期実行システムにおける省電力タスクスケジューリング	情報処理学会 組込み技術とネットワークに関するワークショップ ETNET2016	無	2015	3.24
244	中島 他	はこだて未来大	新しい交通サービス実践への道程	サービス学会第3回国内大会	無	2015	4.8
245	野口 他	東芝	[招待講演] キャッシュメモリ向け垂直磁化型 STT-MRAM の低電力化技術	集積回路研究会(ICD)	無	2015	4.17
246	和泉 他	神戸大	Noise Tolerant Heart Rate Extraction Algorithm Using Short-Term Autocorrelation for Wearable Healthcare Systems	IEICE Transactions on Information and Systems	有	2015	5.1
247	白畑 他	立命館大	センサーの動的特性を考慮したノーマリオフ手法の考察	LSI とシステムのワークショップ 2015	無	2015	5.13
248	Fukushima 他	産総研	Spin Dice (physical random number generator using spin torque switching) and its thermal response	Intermag 2015 口頭発表	有	2015	5.14
249	中川 他	神戸大	A Low Power 6T-4C Non-volatile Memory using Charge Sharing and Non-precharge Techniques	Proc. of IEEE ISCAS	有	2015	5.24
250	Yakushiji 他	産総研	Development of Perpendicular-MTJs for a high density STT-MRAM (招待講演)	5th STT-MRAM Global Innovation Forum	無	2015	5.27
251	有間 他	東大 東芝	Subarray Level Power-Gating in STT-MRAM Caches to Mitigate Energy Impact of Peripheral Circuits	52nd ACM/EDAC/IEEE Design Automation Conference (DAC), Work-in-Progress Session (poster)	有	2015	6.7
252	Arima 他	東大	Subarray Level Power-Gating in STT-MRAM Caches to Mitigate Energy Impact of Peripheral Circuits	52nd ACM/EDAC/IEEE Design Automation Conference (DAC), Work-in-Progress Session (poster presentation), (June 2015).	有	2015	6.7
253	森光 他	岡山県立大	大規模ハードウェア IP への記号モデル検査の適用事例	VLSI 設計技術研究会	無	2015	6.17

番号	発表者	所属	タイトル	発表誌名、ページ番号	査読	発表年	月日
254	藤田 他	東芝	混載 STT-MRAM 技術のトレンドと近未来の応用	電気化学会シンポジウム	無	2015	7.1
255	Yamada 他	電通大	Reducing the switching current with a Gilbert damping constant in nanomagnets with perpendicular anisotropy	International conference of Magnetism 2015	有	2015	7.6
256	Fukushima 他	産総研	Multi-bits memory cell using degenerated magnetic states in a synthetic antiferromagnetic reference layer	ICM 2015 口頭発表	有	2015	7.8
257	Fukushima 他	産総研	Small Deviation of Switching Probability of Spin-Torque Switching in Perpendicularly Magnetized MTJ	ICMFS 2015 ポスター発表	有	2015	7.14
258	Matsumoto 他	産総研	Spin transfer torque switching of a spin valve having a conically magnetized free layer	the 22nd International Colloquium on Magnetic Films and Surfaces (ICMFS 2015)	有	2015	7.16
259	Yakushiji 他	産総研	Highly Stable Co/Pt Reference Layer with a Strong Antiferromagnetic Interlayer Exchange Coupling at First Oscillation Peak in a Practicable p-MTJ	ICMFS 2015	有	2015	7.23
260	中田	東大	IoT システムの低電力化をめざす ノーマリーオフ・コンピューティング,	日本磁気学会第 203 回研究会	無	2015	7.25
261	三好 他	神戸大	高速起動を特徴とするフルオンチップ 32 MHz 弛張発振回路	第 28 回 回路とシステムワークショップ	無	2015	8.3
262	中西 他	神戸大	Physical Activity Group Classification Algorithm using Triaxial Acceleration and Heart Rate	37th Annual International Conference of the IEEE Engineering in Medicine and Biology Society(EMBC)	有	2015	8.25
263	林越	ルネサス	ルネサス・センサーネットワーク低電力化技術 ～低電力センサーネットワークにおけるノーマリーオフコンピューティング～	第 2 回 AIST-ESIP 合同セミナー 2015 「エネルギー分野における研究および産業動向と安全安心への取組み」	無	2015	9.2
264	井川 他	岡山県立大学	時間ベトリネットを対象とした非有界モデル検査の適用	ソフトウェアエンジニアリングシンポジウム 2015 (SES2015) 併設ワークショップ	無	2015	9.9
265	横川 他	岡山県立大	大規模ハードウェア IP 検証における検証コスト削減の試み	ソフトウェアエンジニアリングシンポジウム 2015 (SES2015) 併設ワークショップ	無	2015	9.9
266	松本 他	産総研	Fast spin-transfer-torque switching in a spin-valve nanopillar having a conically magnetized free layer	第 76 回応用物理学会秋季学術講演会	無	2015	9.14

番号	発表者	所属	タイトル	発表誌名、ページ番号	査読	発表年	月日
267	Yakushiji 他	産総研	Fabrication of p-SAF Structure with Strong Interlayer Exchange Coupling	応用物理学会	無	2015	9.14
268	Fujita 他	東芝	Technology trends and near-future applications of embedded STT-MRAM”(Invited)	International Memory Workshop 2015	無	2015	9.23
269	Fujita 他	東芝	Technology trends and applications of embedded-STT-MRAM from big data to IoT	Solid State Device Meeting 2015	無	2015	9.27
270	和泉 他	神戸大	A Wearable Healthcare System with a 13.7 μ A Noise Tolerant ECG Processor	IEEE Transactions on Biomedical Circuits and Systems	有	2015	10.1
271	和泉 他	神戸大	Normally Off ECG SoC With Non-Volatile MCU and Noise Tolerant Heartbeat Detector	IEEE Transactions on Biomedical Circuits and Systems	有	2015	10.1
272	和泉 他	神戸大	A Ferroelectric-Based Non-Volatile Flip-Flop for Wearable Healthcare Systems	Proc. of IEEE NVMTS	有	2015	10.13
273	Shimomura 他	東芝	[招待講演]Low Power STT-MRAM and Its Application to Normally-Off Processor	228th ECS Meeting	有	2015	10.15
274	井川 他	岡山県立大	補間に基づく時間ペトリネットの非有界モデル検査	平成 27 年度 (第 66 回) 電気・情報関連学会中国支部連合大会	無	2015	10.17
275	犬塚 他	岡山県立大	低消費電力ペースメーカ評価回路の設計	平成 27 年度 (第 66 回) 電気・情報関連学会中国支部連合大会	無	2015	10.17
276	佐保 他	岡山県立大	画像認識のハードウェア処理による高速化の一考察	平成 27 年度 (第 66 回) 電気・情報関連学会中国支部連合大会	無	2015	10.17
277	森光 他	岡山県立大	大規模ハードウェア IP へのモデル検査の適用事例	平成 27 年度 (第 66 回) 電気・情報関連学会中国支部連合大会	無	2015	10.17
278	有間 他	東大 東芝	Immediate Sleep: Reducing Energy Impact of Peripheral Circuits in STT-MRAM Caches	The 33rd IEEE International Conference on Computer Design (ICCD'15).	有	2015	10.19
279	Arima 他	東大	Immediate Sleep: Reducing Energy Impact of Peripheral Circuits in STT-MRAM Caches	The 33rd IEEE International Conference on Computer Design (ICCD'15).	有	2015	10.19
280	Yamamoto 他	はこだて未来大	Applying Normally-off to the Demand Responsive Intelligent Bus Stop System	2015 IEEE 4th Global Conference on Consumer Electronics(GCCE2015)	無	2015	10.28
281	有本 他	岡山県立大	A Battery Operated Normally-off Computing Technique for Energy Efficient Sensor Node Applications	The 12th Int'l SoC Design Conf. (ISOCC2015)	無	2015	11.2

番号	発表者	所属	タイトル	発表誌名、ページ番号	査読	発表年	月日
282	林越 他	ルネサス	Normally-Off MCU Architecture and Power Management Method for Low-Power Sensor Network	12th International SoC Design Conference	無	2015	11.3
283	中田 他	東大 ルネサス	Normally-off Computing for IoT Systems	The 12th International SoC Design Conference	無	2015	11.3
284	Takeda 他	東芝	Low-power cache memory with state-of-the-art STT-MRAM for high-performance processors	12th International SoC Design Conference	有	2015	11.3
285	中田	東大	Normally-off Computing for Smart Sensor Systems	The 15th International Conference on Computers, Communications and Systems (ICCCS)	無	2015	11.6
286	薬師寺 他	産総研	高集積 STT-MRAM の材料開発 (招待講演)	有機エレクトロニクス材料研究会	無	2015	11.26
287	Ikegami 他	東芝	MTJ based "Normally-off processors" with thermal stability factor engineered perpendicular MTJ, L2 cache based on 2T-2MTJ cell, L3 and Last Level Cache based on 1T-1MTJ cell and novel error handling scheme	the IEEE International Electron Devices Meeting (IEDM) 2015	有	2015	12.9
288	中田 他	東大 ルネサス	Energy-Efficient Continuous Task Scheduling for Near Real-time Periodic Tasks	The 8th IEEE International Conference on Internet of Things (iThings)	有	2015	12.14
289	Yakushiji 他	産総研	Highly Stable Co/Pt Reference Layer with Strong Antiferromagnetic Interlayer Exchange Coupling in a Practicable p-MTJ	2016 Joint MMM-Intermag	有	2016	1.13
290	Matsumoto 他	産総研	Theoretical analysis of thermally-activated spin-transfer-torque switching of a conically-magnetized free layer	2016 Joint MMM-Intermag Conference	有	2016	1.15
291	池上 他	東芝	[招待講演]次世代垂直磁化 MTJ を用いた高速・低消費電力のキャッシュメモリ階層技術を持つノーマリーオフプロセッサ	集積回路研究会 (ICD)	無	2016	1.28
292	Noguchi 他	東芝	4Mb STT-MRAM-Based Cache with Memory-Access-Aware Power Optimization and Write-Verify-Write / Read-Modify-Write Scheme	International Solid-State Circuits Conference 2016	有	2016	2.1
293	井川 他	岡山県立大	補間に基づく時間ペトリネットの非有界モデル検査	ウインターワークショップ 2016・イン・逗子	無	2016	2.5
294	Noguchi 他	東芝	4Mb STT-MRAM-Based Cache with Memory-Access-Aware Power Optimization and Write-Verify-Write / Read-ModifyWrite Scheme	(IEEE 主催)ISSCC2016 報告会	無	2016	2.17

番号	発表者	所属	タイトル	発表誌名、ページ番号	査読	発表年	月日
295	Yamamoto 他	はこだて未来大	Power-saving Evaluation of the Demand Responsive Intelligent Bus Stop System by Image Processing	the 22nd Korea-Japan Joint Workshop on Frontiers of Computer Vision (FCV2016)	無	2016	2.19
296	森光 他	岡山県立大	Verilog-HDL による大規模ハードウェア設計の検証支援ツールの開発	VLSI 設計技術研究会	無	2016	2.29
297	犬塚 他	岡山県立大	ノーマリオフ機能を搭載した低消費電力ペースメーカ設計	電子情報通信学会 2016 年総合大会学生ポスターセッション	無	2016	3.15
298	佐保 他	岡山県立大	ハードウェアの再利用性を考慮した画像認識コアの設計	電子情報通信学会 2016 年総合大会学生ポスターセッション	無	2016	3.15
299	坂元 他	立命館大	センサ出力読み出し回路の間欠動作に関する検討	電子情報通信学会総合大会	無	2016	3.15
300	芦田 他	立命館大	カメラセンサノードのイベント検知におけるサーモパイルアレイセンサと焦電センサの性能比較	電子情報通信学会総合大会	無	2016	3.18
301	松本 他	産総研	Theoretical analysis of thermally-activated spin-transfer-torque switching in a conically-magnetized free layer	第 63 回応用物理学会 春季学術講演会	無	2016	3.21
302	阿部 他	はこだて未来大	知的バス停におけるノーマリオフ技術適用評価	組込み技術とネットワークに関するワークショップ ETNET2016	無	2016	3.24
303	松原 他	はこだて未来大	基幹バスを利用した階層型デマンドバスの試み	サービス学会第 4 回国内大会	無	2016	3.29
304	Saida 他	東芝	Sub-3 ns pulse with sub-100 uA switching 1x-2x nm perpendicular MTJ for low-power and high-speed STT-MRAM cache operation	2016 Symposia on VLSI Technology and Circuits	有	2016	6.15

【論文】

番号	発表者	所属	タイトル	発表誌名 ページ番号	査読	発表年
1	関 他	産総研	Switching-probability distribution of spin-torque switching in MgO-based magnetic tunnel junctions	Applied Physics Letters, 99, 112504	有	2011
2	Bang 他	産総研	Spin-torque diode spectrum of ferromagnetically coupled (FeB/CoFe)/Ru/(CoFe/FeB) synthetic free layer	Journal of Applied Physics, vol. 111, no.7, article no. 07C917	有	2012
3	Kim 他	東大	Evaluation of a New Power-Gating Scheme Utilizing Data Retentiveness on Caches	IEICE TRANSACTIONS on Electronics, Communications and Computer Sciences, Vol. E95-A No. 12 pp. 2301-2308	有	2012
4	富田 他	大阪大	Unified understanding of both thermally assisted and precessional spin-transfer switching in perpendicularly magnetized giant magnetoresistive nanopillars	Applied Physics Letters 102, 042409	有	2013
5	Murakami 他	立命館大	Morphological pattern spectrum-based objects detection for protecting privacy	Journal of Signal Processing, Vol. 17, No. 4, pp. 155-158	有	2013
6	Kumaki 他	立命館大	Development of compression tolerable and highly implementable watermarking method for mobile devices	IEICE Trans. Inf. & Syst., Vol. E97-D, No. 3, pp. 593-596	有	2013
7	有間 他	東大	キャッシュ電源遮断時の性能ベナリティ削減のための損失データプリフェッチ	情報処理学会論文誌 コンピューティングシステム, Vol.6, No.3, pp.118-130	有	2013
8	中田 他	東大 ルネサス	Design Aid of Multi-core Embedded Systems with Energy Model	IPSJ Transactions on Advanced Computing Systems, Vol. 7, pp. 122-131	有	2014
9	松原 他	はこだて未来大	これからの都市型公共サービスを考える-はこだてスマートシティプロジェクトを例にして-	情報処理学会誌, Vol.55 No.2, pp. 155-160	有	2014
10	中島 他	はこだて未来大	サービス実践における価値共創のモデル	サービソロジー, サービス学会, Vol. 1, No. 2, pp. 26-31	有	2014
11	椿 他	神戸大	A Fully On-Chip, 6.66-kHz, 320-nA, 56ppm/°C, CMOS Relaxation Oscillator with PVT Variation Compensation Circuit	IEICE Transactions on Electronics, Vol. E97-C, No. 6, pp. 512-518	有	2014
12	横川 他	岡山県立大	Bounded Model Checking of Time Petri Nets using SAT Solver	IEICE Electronics Express, Vol. 12, No. 2, pp. 1-7	有	2014
13	有間 他	東大 東芝	低 CPU 負荷を考慮した STT-MRAM ラスト・レベル・キャッシュの要求性能の解析	電子情報通信学会論文誌, Vol. J97-A, No.10, pp.629-647,	有	2014
14	中島 他	はこだて未来大	バスとタクシーを融合した新しい公共交通サービスの概念とシステムの実装	土木学会論文集 D3(土木計画学), Vol. 71, No. 5, pp. L875-L888	有	2015

15	椿 他	神戸大	A 32-kHz Real-Time Clock Oscillator with On-Chip PVT Variation Compensation Circuit for Ultra-Low Power MCUs	IEICE Transactions on Electronics, Vol. 98-C, No. 5, pp. 446-453	有	2015
----	-----	-----	--	--	---	------