

「超低消費電力型光エレクトロニクス  
実装システム技術開発」

事業原簿

公開

担当部	国立研究開発法人 新エネルギー・産業技術総合開発機構 IoT推進部
-----	---

—目次—

概要.....	1
プロジェクト用語集（公開版）.....	6
<b>I. 事業の位置づけ・必要性について.....</b>	<b>11</b>
1. 事業の背景・目的・位置づけ.....	11
1. 1 事業の背景.....	11
1. 1. 1 社会的背景.....	11
1. 1. 2 技術的背景.....	11
1. 2 事業の目的.....	13
1. 3 事業の位置づけ.....	13
2. NEDO の関与の必要性・制度への適合性.....	14
2. 1 NEDO が関与することの意義.....	14
2. 1. 1 政策への適合性.....	14
2. 1. 2 NEDO 中長期計画における位置づけ.....	15
2. 1. 3 NEDO が関与する必要性・意義.....	15
2. 2 実施の効果（費用対効果）.....	18
2. 2. 1 市場規模.....	18
2. 2. 2 省エネ効果.....	19
<b>II. 研究開発マネジメントについて.....</b>	<b>20</b>
1. 事業の目標.....	20
2. 事業の計画内容.....	21
2. 1 研究開発の内容.....	21
2. 2 研究開発の実施体制.....	30
2. 3 研究開発の運営管理.....	32
2. 4 研究開発成果の実用化・事業化に向けたマネジメントの妥当性.....	33
3. 情勢変化への対応.....	34
4. 中間評価結果への対応.....	35
5. 評価に関する事項.....	35

Ⅲ. 研究開発成果	36
1. 事業全体の成果について	36
1. 1 事業全体の成果について	36
1. 2 知的財産権等の確保に向けた取組み	36
1. 3 成果の普及	36
1. 4 研究開発目標の達成度について	37
2. 研究開発項目ごとの研究開発成果について	39
2. 1 光エレクトロニクス実装基盤技術の開発	39
2. 1. 1 全体成果	40
2. 1. 2 (ii)革新的デバイス技術	42
ア)革新的光源技術 (東京大学)	42
イ)革新的光源技術 (早稲田大学)	44
ウ)革新的光検出器技術 (東京大学)	45
エ)革新的光変調器技術 (横浜国立大)	46
オ)革新的光変調器技術 (東京大学)	48
カ)革新的光配線技術 (京都大学)	49
キ)革新的光エレクトロニクス回路技術 (東京工業大学)	51
2. 2 光エレクトロニクス実装システム化技術の開発	53
2. 2. 1 システム化技術の全体像	53
2. 2. 2 中間目標と成果	54
2. 2. 3 (i)システム化技術	56
2. 2. 3. 1 (e) 光電子集積インターポーザのデバイス・実装技術開発	56
(e-1) デバイス技術 (つくば集中研)	57
(e-2) 集積化プロセス技術 (つくば集中研)	66
(e-3) 光実装技術 (つくば集中研)	72
2. 2. 3. 2 (f) 光電子集積インターポーザのシステム化技術開	81
(f-1) 情報処理システム化技術	81
① 光電子融合サーバボード (富士通分室)	81
②ラックスケール並列分散システム (つくば集中研、NEC 分室)	89
(f-2) 情報通信システム化技術 (OKI 分室)	97
2. 2. 4 (ii)国際標準化 (PETRA 本部)	106
2. 3 ③ 「成果普及活動」	108
2. 3. 1 ③ 「成果普及活動」 (東京大学)	108
2. 3. 2 ③ 「成果普及活動」 (PETRA)	109

IV. 実用化・事業化に向けての見通しおよび取り組みについて.....	110
1. 実用化・事業化に向けての見通しおよび取り組みについて.....	110
1. 1 サーバ応用 1.....	110
1. 2 サーバ応用 2.....	110
1. 3 PONシステム.....	110

(添付資料)

(A) プロジェクト基本計画

(B) 未来開拓研究プロジェクト実施要綱および実施に関する基本方針

(C) 超低消費電力型光エレクトロニクス実装システム技術開発事前評価報告書  
総合科学技術会議が実施する国家的に重要な研究開発の評価結果



# 概要

	最終更新日	2019年9月17日	
プログラム (又は施策)名	未来開拓研究プロジェクト		
プロジェクト名	超低消費電力型光エレクトロニクス実装システム技術開発	プロジェクト番号	P13004
担当推進部/ PMまたは 担当者	IOT推進部/栗原廣昭、豊田智史(2019年7月～現在) IOT推進部/中山敦、栗原廣昭、豊田智史(2019年5月～2019年6月) IOT推進部/中山敦、大橋雄二、栗原廣昭(2019年4月) IOT推進部/中山敦、大橋雄二(2017年12月～2019年3月) IOT推進部/梅田到、大橋雄二、中山敦、岩本篤(2017年7月～2017年11月) IOT推進部/厨義典、大橋雄二、岩本篤(2017年4月～2017年6月) IOT推進部/水野義博、荒川元孝、厨義典(2016年7月～2017年3月) 電子・材料・ナノテクノロジー部/水野義博、波佐昭則(2014年10月～2016年6月) 電子・材料・ナノテクノロジー部/井谷司、波佐昭則(2014年9月) 電子・材料・ナノテクノロジー部/井谷司、松岡隆一(2013年4月～2014年8月)		
0. 事業の概要	<p>クラウドコンピューティングやIOTの利用拡大、AIの活用が急速に進展しており、データセンタなどにおける情報処理量や通信トラフィックが指数関数的に増大し、データセンタ内の情報処理機器(サーバ、ルータ等)は更なる高速化が進んでいる。同時に、サーバボード間、サーバボード内のチップ間の電気配線の損失が飛躍的に増加しており、消費電力の増大が懸念され、性能向上のボトルネックとなっている。</p> <p>本プロジェクトでは、前記課題を解決する革新的技術として、情報処理機器の省電力化と高速化を目的に、電子機器の電気配線を光配線に置換する光配線技術と電子回路技術を融合させた光エレクトロニクス実装システム技術を実現する基盤技術を確立する。</p>		
I. 事業の位置 付け・必要 性につい て	<p>光エレクトロニクス実装システム技術を開発することで、データセンタ等における情報処理量・通信量の増大に伴って急激な増加が予測される消費電力量の抑制を図り、地球温暖化ガスの排出量の削減にも寄与する。</p> <p>また、光半導体分野における我が国の競争優位を維持するとともに、光エレクトロニクスを用いた新たなコンピューティング市場において競争力を獲得し、半導体産業、回路基板産業やそれらをシステム化したサーバ、ルータ等の情報通信機器産業などのエレクトロニクス産業の活性化にも資する。</p>		
II. 研究開発マネジメントについて			
事業の目標	<p>本研究開発では、電気配線を用いたサーバボードに比べて消費電力を3割削減できかつデータセンタレベルでの運用が可能な光電子融合サーバを実現するための要素技術を確立することを目標とする。</p> <p>具体的には、電子機器のデータ伝送に関して、10Tbps/ノードの伝送帯域と電気配線を用いる場合に比較して1/10の低消費電力化を、また通信速度あたりの面積比で1/100以下の小型化(100倍の帯域密度)を実現する。</p> <p>研究開発の進捗に合わせ開発成果の一部を順次実用化し、光配線と電子回路を融合させた光エレクトロニクス市場の創出と開拓を目指す。</p> <p>本プロジェクトでは、2017年度までに実施した光エレクトロニクス実装基盤技術開発及び光エレクトロニクスシステム化技術開発により上記アウトプット目標を実現可能とする技術を確立している。引き続き研究開発を行い、プロジェクト完了までに上記目標を達成する。</p> <p>本事業で開発される技術をサーバ、データセンタ、ネットワーク機器等に適用し普及させることにより、2030年には国内で年間約1500万トンのCO<sub>2</sub>排出に相当するエネルギーが削減されると見込まれ、グローバルな市場創出効果としては1.26兆円程度が期待される。</p>		

事業の計画内容	主な実施事項	第一期			第二期			第三期					
		2012	2013	2014	2015	2016	2017	2018	2019	2020	2021	2022	
事業の計画内容	① 光エレクトロニクス実装基盤技術の開発	(a) 光エレクトロニクス実装技術	→										
		(b) 光エレクトロニクス集積デバイス技術	→										
		(c) 光エレクトロニクスインターフェース技術	→										
		(d) 光エレクトロニクス回路設計技術	→										
		(ii) 革新的デバイス技術	→										
		(i) システム化技術	(a) サーバボードのシステム化技術開発	→			→						
	② 光エレクトロニクス実装システム化技術の開発	(b) ボード間接続機器、筐体間接続機器のシステム化技術開発	→			→							
		(c) データセンタ間接続機器のシステム化技術開発	→										
		(d) 企業間ネットワーク接続機器のシステム化技術開発	→			→							
		(e) 光電子集積インターポーザのデバイス・実装技術開発	→						→				
		(f) 光電子集積インターポーザのシステム化技術開発	→						→				
		(ii) 国際標準化	→										
		評価時期			中間評価			中間評価		中間評価			
	事業費推移 (会計・勘定別に NEDO が負担した実績額 (評価実施年度については予算額) を記載) (単位: 百万円)	会計・勘定	2012	2013	2014	2015	2016	2017	2018	2019	2020	2021	総額
	一般会計	—	—	—	—	—	—	—	—	—	—	—	—
特別会計 (需給)	2,800	2,400	2,777	2,500	1,720	1,801	1,292	1,743 (予定)				17,033 (予定)	
開発成果促進財源	—	102	848	1,006	—	—	140	—				2,096	
総予算額	2,800 (経産省 執行)	2,502	3,625	3,506	1,720	1,801	1,432	1,743 (予定)				19,129 (予定)	
(委託)													

光電子集積インターポーザのデバイス・実装/システム化に向けた技術開発に集約

開発体制	経産省担当 原課	商務情報政策局 情報産業課
	プロジェクト リーダー	東京大学 ナノ量子情報エレクトロニクス研究機構 特任教授 荒川泰彦
	プロジェクト マネージャー	IoT 推進部 栗原廣昭
	委託先 (助成事業の 場合「助成先」 とするなど適 宜変更) (組合が委託 先に含まれる 場合は、その参 加企業数及び 参加企業名も 記載)	2012年度～2016年度： 技術研究組合光電子融合基盤技術研究所（参加企業7社（日本電気（株）、富士通（株）、沖電気工業（株）、（株）東芝、古河電工（株）、日本電信電話（株）、NTTエレクトロニクス（株））、（国研）産業技術総合研究所、（一財）光産業技術振興協会） 共同実施（東京大学、横浜国立大学、京都大学、東京工業大学、早稲田大学） 2017年度： 技術研究組合光電子融合基盤技術研究所（参加企業5社（日本電気（株）、富士通（株）、沖電気工業（株）、（株）東芝、古河電工（株））、（国研）産業技術総合研究所、（一財）光産業技術振興協会） 共同実施（東京大学、横浜国立大学、京都大学、東京工業大学、早稲田大学） 2018年度～現在： 技術研究組合光電子融合基盤技術研究所（参加企業5社（日本電気（株）、富士通（株）、沖電気工業（株）、古河電工（株）、三菱電機（株））、（国研）産業技術総合研究所、（一財）光産業技術振興協会） 共同実施（東京大学、横浜国立大学、京都大学、東京工業大学、早稲田大学）
情勢変化への 対応	世界的なシリコンフォトニクス技術への注目の高まりと競争激化へ対応するため、光電子集積インターポーザの技術開発に集約し、開発成果促進財源により実装技術・評価技術の開発を推進した。また、データセンタ間接続機器システム技術は、実用化が加速している状況に対して、現状成果の一部を活用した先行事業化を実施するとともに、目標を状況の変化に対応したものに変更した。 モバイル情報通信やIoTの進展によるデータ通信量増大、AIおよびディープラーニングの進展による情報処理の高速化に対応しつつ、研究開発進捗に応じて最終目標（10Tbps/ノード）を明示した。	
中間評価結 果への対応	2017年度に行われた中間評価結果に対応し、主に3つの対応策を行った。 大学と企業の連携強化を図るとともに人材育成など成果普及活動を推進した。光電子集積インターポーザの低コスト化や接続性向上を可能にするポリマー導波路、曲面ミラー、光コネクタ技術を活用した異種導波路接続技術の効率化を推進した。国内外の動向調査を行い、電気配線を光配線に置き換え、省電力化に貢献できる市場を把握し、事業化へ向けた準備に取り組みに着手した。	
評価に関する 事項	事前評価	2011年度 産業構造審議会産業技術分科会評価小委員会（7月）、総合科学技術会議の評価専門調査会（12月） 担当：経済産業省
	中間評価	2014年度 中間評価実施 担当部 電子・材料・ナノテクノロジー一部
	中間評価	2017年度 中間評価実施 担当部 IoT推進部
	中間評価	2019年度 中間評価実施予定 担当部 IoT推進部
	事後評価	2022年度 評価実施予定
Ⅲ. 研究開発成 果について	研究開発項目ごとの成果と2019年度末までの成果目標を以下にまとめる。（未達の場合は、達成の課題と方針を記載） 研究開発項目①「光エレクトロニクス実装基盤技術の開発」 (i) 実装基盤技術 (a) 光エレクトロニクス実装技術（2017年度末） ・5cm×5cm程度の光電子ハイブリッド基板上にLSIを搭載するモジュール化技術を確認し、LSIモジュールでの高速光インターコネクタを実現した。 (b) 光エレクトロニクス集積デバイス技術（2017年度末） ・多数の光素子を集積した光電子集積インターポーザの大容量伝送を実現するための基盤集積技術を確認した。 (c) 光エレクトロニクスインターフェース技術（2016年度末）	

	<ul style="list-style-type: none"> <li>・低消費電力DSP-LSI最終プロトタイプを実現するとともに、データセンタ間通信向け低消費電力100Gbpsデジタルコヒーレント光トランシーバを実証するための要素技術を確立した。</li> <li>(d) 光エレクトロニクス回路設計技術（2017年度末）</li> <li>・光デバイス設計用電子・光連携TCADと光電子集積インターポーザの設計を可能とする統合設計環境を連携させ、基本実装構造に関するデータベース（デザインキット）を整備し、光電子集積インターポーザを効率的に設計可能とした。</li> <li>(ii) 革新的デバイス技術 <ul style="list-style-type: none"> <li>[革新的光源・光検出器技術]（2019年度末）</li> <li>・光電子集積インターポーザ用集積化光源に向け、シリコン上量子ドットレーザの高温動作と高速変調動作を実現する。</li> <li>・光電子集積インターポーザ用集積化受光器への展開に向け、シリコン基板上に集積した受光器の低暗電流動作を実証し、高速応答動作可能な構造を明確にする。</li> <li>[革新的光変調器技術]（2019年度末）</li> <li>・光電子集積インターポーザ用の集積化光変調器への展開に向け、超小型化・高速動作を可能とするスローライト型変調器や低消費電力化が可能なハイブリッドMOS型光変調器等の動作を実証する。</li> <li>[革新的光配線技術]（2019年度末）</li> <li>・光電子集積インターポーザへの展開に向け、フォトニックナノ構造等を用いた光損失補償機能や光バッファ機能など、革新的導波路技術の可能性を示す。</li> <li>[革新的光エレクトロニクス回路技術]（2019年度末）</li> <li>・光電子集積インターポーザへの展開に向け、光FPGAを構成するハイブリッド光素子の集積プロセスシーケンスを確立し、光FPGAの原理実証を行う。</li> <li>[革新的光スイッチングデバイス技術]（2017年度末）</li> <li>・光スイッチマトリクス of 低電力化、光信号処理デバイスの10Gbps程度での動作を実証する。これらの検討を通じて、光電子集積サーバ技術への技術展開の見通しを示すとともに事業化に対する課題を明確化した。</li> </ul> </li> </ul> <p>研究開発項目②「光エレクトロニクス実装システム化技術の開発」</p> <ul style="list-style-type: none"> <li>(i) システム化技術 <ul style="list-style-type: none"> <li>(a) サーバボードのシステム化技術開発（2017年度末）</li> <li>・光電子集積サーバボードにおける伝送機能の主要部分からなる送受信部を試作し、要求スペックを満たす光伝送を実証した。</li> <li>・光電子集積インターポーザに積層型のストレージチップを実装した光インターフェース付SSD技術を確立した。</li> <li>(b) ボード間接続機器、筐体間接続機器のシステム化技術開発（2017年度末）</li> <li>・ロジックLSIと光トランシーバの接続構造を決定した。</li> <li>・策定した設計基準に基づき既存ロジックLSIを搭載できる基板を設計・試作し、光ケーブルを用いたLSI搭載基板間光接続を実現した。</li> <li>(c) データセンタ間接続機器のシステム化技術開発（2016年度末）</li> <li>・抽出した技術課題を解決し、目標である小型、低消費電力を満たす100Gbpsデジタルコヒーレント光トランシーバを実現した。</li> <li>(d) 企業間ネットワーク接続機器のシステム化技術開発（2017年度末）</li> <li>・シリコン光導波路による双方向多重用合分波器と波長多重用合分波器を組み合わせて集積試作し、一芯双方向波長多重動作をシリコンワンチップ上で実証するとともに、企業間ネットワーク向け波長多重合分波器実用化のための要求課題を抽出し、解決の目処を得た。</li> <li>(e) 光電子集積インターポーザのデバイス・実装技術開発（2019年度末）</li> <li>・光配線の消費電力を2mW/Gbps以下にするための要素技術を開発する。また、光電子集積インターポーザの異種導波路接続技術と高集積コネクタを開発し、損失の少ないシングルモードファイバとの光リンクを実現する。</li> <li>(f) 光電子集積インターポーザのデバイス・システム化技術（2019年度末）</li> <li>・波長多重技術を用いた接続技術を開発し、消費電力の少ない光電子集積インターポーザ技術と合わせることでサーバ電力量を30%削減可能であることをシミュレーションにより示す。</li> <li>・一芯双方向波長多重トランシーバに消費電力の少ない光電子集積インターポーザを実装し、動作検証を行う。</li> </ul> </li> <li>(ii) 国際標準化（2019年度末） <ul style="list-style-type: none"> <li>・光電子集積インターポーザの物理仕様（サイズ、入出力構成等）、電気・光インターフェースに関する各種標準化団体に参画し、実用化する開発成果の事業化に必要な標準の提案を行う。</li> </ul> </li> </ul>
投稿論文（事業開始から2019年8月末まで）	「査読付き論文」122件、「学会発表（解説記事含む）」821件

	特 許 (同上)	「出願済」 205 件、(うち国際出願 107 件)
	その他の外部発表 (プレス発表等) (同上)	プレス発表等 39 件
IV. 成果の実用 化・事業化 に向けた 取組及び 見通しに ついて	本プロジェクトは日本の光デバイス、ネットワーク関連企業で構成される技術組合を実施者とする ものであり、早期に実用化の目処が立ったデバイスについては、プロジェクト期間の終了を待たず に実用化・事業化を進める。事業化を有利に進めるために、国際標準化活動による規格獲得を目指 す。	
V. 基本計画に 関する事 項	作成時期	2012年5月 「超低消費電力型光エレクトロニクス実装システム技術開発」 実施計画作成 (経済産業省) 2013年3月 基本計画作成 (NEDO)
	変更履歴	2018年1月 2018年度から2021年度の基本計画追加に伴う改訂。 2018年11月 PLの所属先の記載を変更。

## プロジェクト用語集（公開版）

用語	説明
(集積)光 I/O チップ	光 I/O コアの主要部品の1つ。シリコンフォトニクス技術を用い、光変調器、受光器、合分波器、光入出力部、などの要素光素子を SOI 基板上に集積したチップ。
2重コア SSC	2種類の屈折率の異なるコアを設け、光の結合損失が少なくなるような構造を持つ SSC。
AOC	Active Optical Cable の略：信号伝送ケーブルの一種であり、伝送部分に光ファイバを用いた物。外部インターフェースは電気信号であり、コネクタ内部に電気/光変換、光/電気変換部が内蔵されている。光ファイバ伝送のため、電気ケーブルに比べ高速/長距離伝送が可能。
APD	Avalanche Photo Diode の略：半導体におけるなだれ(Avalanche)増倍現象を用いて、通常の PD よりも高感度化した受光素子であり、長距離光通信に用いられる。
BER	Bit Error Rate の略：通信で用いられる符号誤り率で、一定の時間内での送信される符号総数に対する、誤って受信された符号数の比率で示される。
CMOS 回路	Complementary Metal Oxide Semiconductor の略：pチャネルと nチャネルの MOSFET を相補的に配置した回路構成を有する半導体デバイス。論理が反転する時にのみしか充放電電流が流れないため、消費電力の少ない論理回路が構成できる。
DC 特性	Direct Current 特性の略。静特性とも言う。
Demux	demultiplexing あるいは demultiplexer の略：シリアル信号を複数のパラレル信号に変換すること。この動作を実行するデバイス/装置。Mux の逆の動作。
DFB	Distributed Feedback の略：半導体レーザの光共振器構造の一種。共振器内部に回折格子が作りこまれており特定の波長だけが正帰還を受けるので、単一モード発振が得られる。
EOM	Embedded Optical Modules の略：オンボードタイプの組込み光モジュールであり、既存光モジュールベンダが独自のフォームファクタで製品化。 AOC よりも小型なため、LSI 近傍に搭載することが可能となる。
FDTD	Finite-difference time-domain の略：電磁場解析の一手法であり、空間・時間領域での差分方程式に展開して電場・磁場を求める方法
FPGA	Field Programmable Gate Array の略：論理回路構成が書き換え可能なプログラマブルロジックデバイス。最近は大規模化、入出力速度の高速化の進展が著しい。
Gbps	Giga bit per second の略：データ通信速度の単位の一つ。1Gbps は一秒間に十億ビットのデータを送れることを表す。
LA/TIA	Limiting Amp / Trans impedance Amp の略：受光素子からの微弱な電気信号強度を増幅するための増幅器。



用語	説明
LD	Laser Diode の略：半導体レーザー。
LD テラス	LD を実装するため、Si 基板の端面に深溝構造の方形状（テラス）のステップを形成し、その部分に LD チップを実装する。この構造を LD テラスと呼んでいる。
LN 変調器	LiNbO3 結晶のポッケルス効果による屈折率変化を利用した光変調器で光通信に不可欠なデバイスの一つ。半導体レーザーなどの CW 光を変調する外部変調器として使用されており、高速変調が可能。
MMF	Multi Mode Fiber の略： 多数のモードの光が伝搬する光ファイバ。
MOS 接合	MOS (Metal-Oxide-Semiconductor の略：金属-酸化物-半導体) 素子によるダイオード接合。
Mux	multiplexing あるいは multiplexer の略：複数のパラレル信号をシリアル信号に変換すること。この動作を実行するデバイス/装置。
NRZ	non-return-to-zero の略：ビットの値 0 または 1 に応じて、{電圧、電流または光強度} が低いまたは高い信号を出力する信号変調方式。
OIF	The Optical Internetworking Forum の略：キャリア、コンポーネントベンダ、システムベンダ、測定器会社などが参加する 1998 年に創設された業界団体。光伝送技術に関する標準化を推進し、低コストでスケラブルな光ネットワークを実現することを目的としている。
ONU	Optical Network Unit の略：光加入者通信網において、加入者宅に設置して、パソコンなどの端末機器をネットワークに接続するために、光信号と電気信号の相互の変換を行う装置。
PD	Photo Diode の略：フォトダイオード
PECST	Photonics Electronics Convergence System Technology の略：JSPS が行った最先端研究開発支援プログラム (FIRST プログラム) の 1 つの「フォトニクス・エレクトロニクス融合システム基盤技術開発」。
PIN 構造	PN 間に電気抵抗の大きな Intrinsic 半導体層をはさみ少数キャリア蓄積効果を大きくし逆回復時間を長くした構造。
PON	Passive Optical Network の略：光ファイバ網の途中に分岐装置を挿入して、1 本のファイバを複数の加入者間で共有することで、効率的な光通信を実現するネットワーク方式の一形態。光加入者通信網の基盤技術。
SATA	Serial Advanced Technology Attachment の略：データ記憶装置 (HDD、SSD など) と CPU を接続する規格の一つ。
Seeders	Serializer/Deserializer の略：シリアル信号、パラレル信号を相互変換する電子回路。
SMF	Single Mode Fiber の略： 単一光モードのみ伝搬可能な光ファイバ。

用語	説明
SOA	電荷蓄積層を持つゲート電極 MOS トランジスタを直列に接続した構造の不揮発性メモリ。USB メモリ、SD カード等幅広く使われている。
SOI	Silicon On Insulator の略：シリコン基板上にシリコン酸化膜と更にその上にシリコン層が形成された基板構造で、CMOS 電子回路やシリコンフォトニクスウェーハ基板として使用されている。
SSC : スポットサイズ変換器	Spot Size Converter の略：Si 導波路とファイバや半導体レーザのサイズ差による光の結合損失を少なくする変換器。導波路の幅を徐々に変えていく方法等いろいろな構造がある。
SSD	Solid State Drive の略：ハードディスク (HDD : Hard Disc Drive) に代り、記憶媒体に半導体不揮発性メモリ素子 (NAND FLASH MEMORY) を用いた記憶装置。小型化可能でデータ書込み/読出し速度も速く、急速に普及している。
TCAD	Technology CAD の略：プロセスシミュレータとデバイスシミュレータと回路シミュレータを統合したもの。
TIA	Trans-Impedance Amplifier の略：受光ダイオードの光電流を電圧に変換して出力する増幅器
TWDM-PON	PON の構成形態の一種。元々時分割多重 (TDM) を用いる PON に、さらに WDM を適用することにより伝送容量を拡大している。
Tx、Rx	Tx : Transmitter の略称、Rx : Receiver の略称
WDM	波長分割多重 (Wavelength Division Multiplexing) の略：光ファイバ通信において、波長の違う複数の光信号を同時に利用する (多重化) ことで、波長数分だけ伝送容量を拡大する技術。
アイパターン	信号波形の遷移を多数サンプリングし、重ね合わせてグラフィカルに表示したもの。上下左右に大きく開いたパターンほど良好な信号伝送ができていることを表す。
ウェーハボンディング	接着剤などを使わずにシリコンなどのウェーハを直接接合する技術。
ローライト型変調器	物質中において群速度が極端に小さくなった光 (スローライト) を用いた変調器
デジタル信号処理 (DSP) LSI	コヒーレント光ファイバ通信方式を実現するためのキーデバイス。偏波多重された高速光信号をコヒーレント検波した後に、分散補償や偏波分離などのデジタル電気信号処理 (Digital Signal Processing) を駆使して、ファイバ伝搬で歪んだ信号波形から正しい信号データを復元する。
デジタルコヒーレント伝送技術	光の強度に加えて位相も情報伝送に利用する通信方式。受信側では、信号光と波長が極めて近い光とを混合してから電気信号に変換 (コヒーレント検波) する。光伝送路で発生する波形歪みを超高速デジタル信号処理により補償することで、安定な大容量長距離伝送が可能となる。
デジタルコヒーレントトランシーバ	デジタルコヒーレント伝送技術を用いた光トランシーバ



用語	説明
光 FPGA	フィールドで自在に回路機能を切り替えることが可能な機能可変光回路
フリップチップ実装	実装基板上にチップを実装する方法の1つ。チップ表面と基板を電氣的に接続する際、ワイヤ・ボンディングのようにワイヤによって接続するのではなく、アレイ状に並んだバンプと呼ばれる突起状の端子によって接続する。ワイヤ・ボンディングに比べて実装面積を小さくできる。
フォトニックナノ構造	屈折率が周期的に変化するナノ構造体であり、その中の光の伝わりかたはナノ構造によって制御することができる。
マッハ・ツェンダー型	1つの光源から分けた2つの光に位相差をつけて、再び、合波することで2つの光を干渉させて光強度を変調する方法。
リング光共振器	リング状に形成された光回路。一方の直線光導波路から入力された光の中で、特定の波長をもつ光だけが共振して他方の光導波路から出力される特徴をもつ。
暗電流	PD に光の入射がない場合にも流れている電流のこと。光信号の受信における雑音となるため、暗電流が小さいことが望まれる。
位置合せトレランス	光ファイバと光デバイス、半導体レーザ素子等との位置合わせ精度の許容幅(トレランス)のこと。
液浸 ArF 露光技術	露光装置の投影レンズとウェーハの間に液体を満たして露光する技術。液体として純水を用いた場合、空気に比べて開口数が 1.44 倍に増加するため、解像度を大幅に向上することが出来る。45nm 技術世代以降の半導体加工に用いられている。
光 I/O コア	光信号の送受信(トランシーバ)機能をもつ機能ブロックを光 I/O コアと総称している。光 I/O エンジンとも呼ばれる。
光 I/O 付き LSI 基板	LSI (CPU, FPGA) の高速の入出力信号を光伝送するため、LSI の直近に小型光 I/O コアを配置した構造の基板
光ピン	垂直方向へ伝送する光導波路。有機材料で構成されておりフォトリソグラフィ技術で形成可能である。Optical Pillar ととも呼ばれる。
光電子ハイブリッド(回路)基板	インターポーザ材料にプリント基板を用いた、光電子集積インターポーザ。特にプリント基板上にポリマー光配線を用いることにより、複数の LSI を搭載した大型光電子基板が実現できる。
光電子集積インターポーザ	電子回路 (LSI) と光入出力部が実装されたインターポーザの総称。
消光比	波長合分波器の任意の出力ポートにおいて、そのポートに出力される波長の信号光強度と、それ以外の波長のノイズ光強度の比率。
石英 PLC	石英 Planer Lightwave Circuit : 石英平面光回路 石英材料を用いた平面光回路で、一般にフィルタやカップラーなどの受動光学部品でよく使われている。単位長さあたりの光波導波損失は低いが、導波路曲げ半径は、数百 um 程度と大きく、デバイス全体も大きくなる。

用語	説明
波長合分波器	異なる波長の光信号を合波したり分波したりする機能を有する光素子。断面サイズの小さな Si 細線導波路で良好な特性を得るには高精度加工が必要となる。
偏波	光や電磁波の電界の振動方向の状態を示すものであり、断面が矩形形状のシリコン導波路では、基板の面内方向に電界が振動する TE 偏波と、基板に垂直方向に電界が振動する TM 偏波とが伝搬可能である。
偏波依存損失	スポットサイズ変換器や波長合分波器などで、偏波ごとに損失が異なる場合の損失の差異を示す。一般的に、この差異が小さいことが望ましい。
量子ドット	大きさが数ナノメートルから数 10 ナノメートルの半導体微結晶。電子が 3 次的に閉じ込められ、状態密度がエネルギーに関してデルタ関数的に完全に離散化したエネルギー準位が形成されることから、光素子への適用により低閾値、低消費電力化、温度特性改善が可能となる。

# I. 事業の位置づけ・必要性について

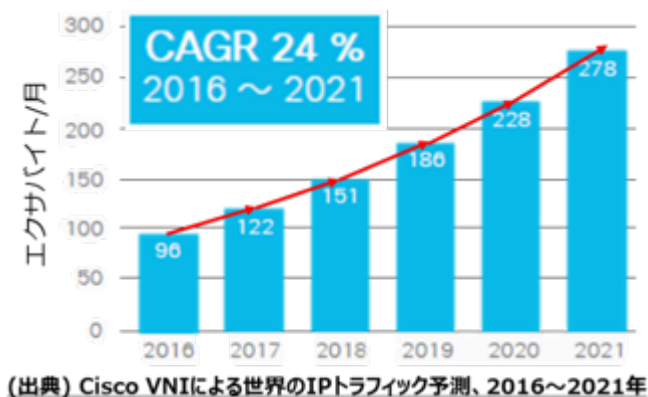
## 1. 事業の背景・目的・位置づけ

### 1. 1 事業の背景

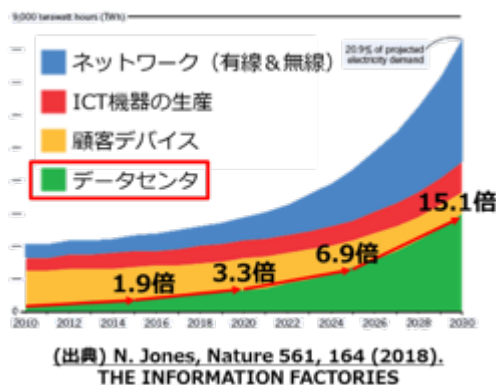
#### 1. 1. 1 社会的背景

さまざまな情報サービスがネットワークを通じて提供されるクラウドコンピューティングが進展し、膨大な数の携帯電話、スマートフォンに代表されるモバイル端末やパーソナルコンピュータ等のICT（情報通信）機器で生み出された情報がデータセンタに蓄積・処理・共有されるようになってきている。近年にはIoT（もののインターネット）やAI（人工知能）の進展も加わって、データセンタ等における情報処理量や情報通信トラフィックは急激に増大しており、今後も継続して指数関数的に伸びていくことが予測されている（図I-1.1.1-1）。現状技術の延長により実現された機器によりデータの処理や伝送が行われたと仮定すると、サーバと通信機器で構成されるデータセンタのコストや電力消費量の急増が予測され、また、情報通信機器による国内の電力消費量は2025年には2010年比で2倍の1500億kWh（現在の国内電力消費量全体の6分の1）にまで膨らむと見込まれている。情報処理で発生する排熱を少ない電力で処理できるようになったことなどにより、データセンタの市場規模の伸びに対する消費電力量の伸びは徐々に小さくなる傾向にあるが、一層の省電力化のためには、情報処理機器・装置そのものの低消費電力化と高速化を両立できる技術開発と社会実装を進める必要がある。

同様な問題は世界的にも認識されており、データセンタ内の消費電力量は2030年には2010年と比べて1.5倍程度に達する見込みもなされている（図I-1.1.1-2）。このため、半導体分野の主要なグローバル企業が次世代のデータセンタなどの低消費電力化・高速化技術として光配線技術、集積光回路技術等の光エレクトロニクス技術を上記問題の解決手段として有望視して研究開発に取り組んでいる。また、米国、欧州等の政府も関連する国家プロジェクトの実施によりそれらの研究開発の支援を行っており、全世界的な開発競争が繰り広げられている。



図I-1.1.1-1 情報通信トラフィック  
@データセンタの現状と予測

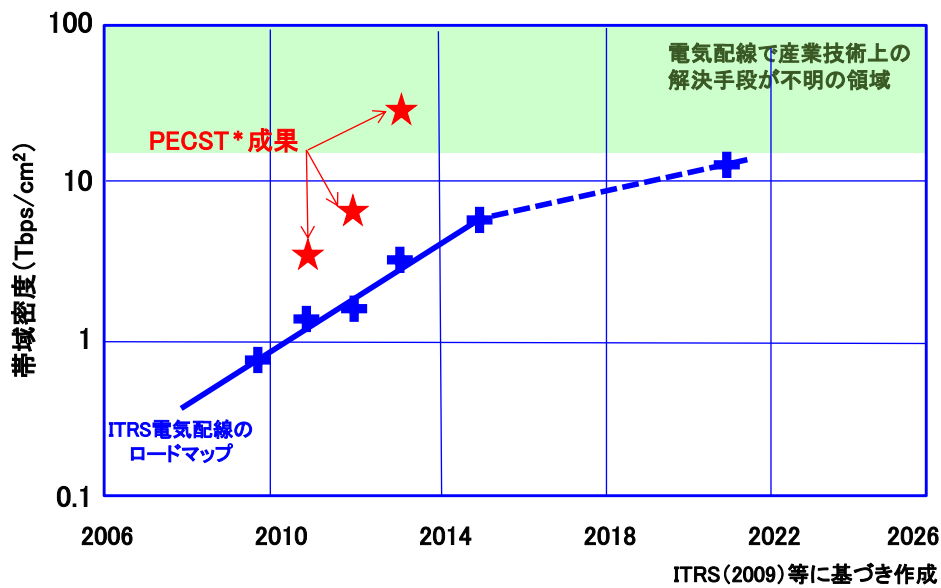


図I-1.1.1-2 ICT機器における  
消費電力量の内訳と見込み

#### 1. 1. 2 技術的背景

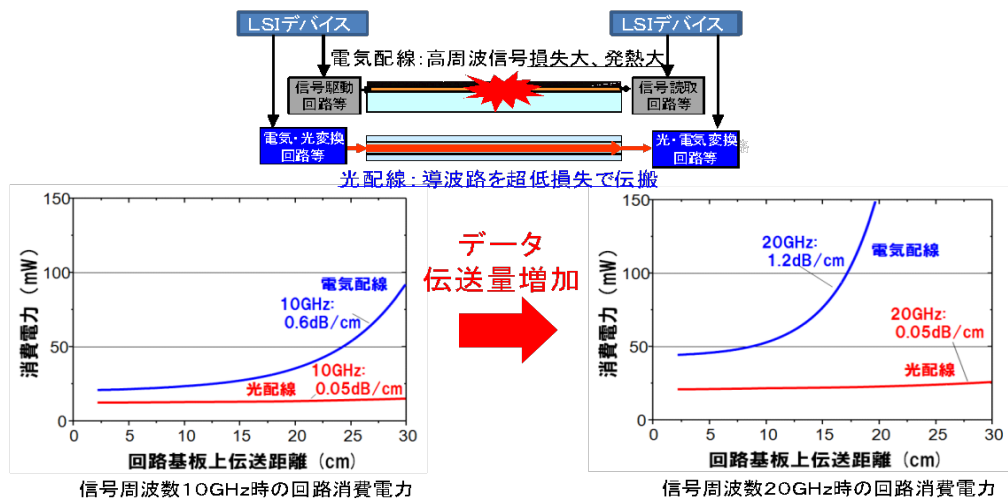
現在の情報処理機器における処理性能は、情報を処理するCPU等の演算素子の性能や演算素子間、演算素子と情報を格納するメモリ間等を繋ぐ電気配線を通じて行われる情報の伝送速度等によって決定されており、情報処理機器全体の処理性能を向上させるには、演算素子等の性能に適した情報の伝送速度を確保することが必要である。これらの情報の伝送を受け持つ電気配線では、半導体技術の進展により演算素子等が微細化・高性能化されると、演算素子が必要とする情報伝送速度を実現するために、そのピッチを縮小し本数やそこを伝達させる信号の周波数を増加させてきた。しかしながら、ITRS（国際半導体技術ロードマップ）等では、2015年以降の電気配線におけるピッチ縮小のトレンドは鈍化すると見込まれており（図I-1.1.2-3）、素子寸法縮小というスケールメリットを活か

した低消費電力化が困難になってきている。演算素子の性能に見合う情報の伝送帯域を得るためには、信号周波数を中心に高めていく必要があり、結果として、回路消費電力の急激な増大を招いてしまう。そのため、電気配線のみの回路構成では伝送帯域の向上には限界があると考えられている。



\*PECST:  
内閣府・総合科学技術会議の下で、日本学術振興会が進めた最先端研究開発支援プログラム (FIRST) におけるフォトニクス・エレクトロニクス融合システム基盤技術開発事業

図 I-1. 1. 2-3 電気配線における伝送帯域密度の推移



経済産業省/総合科学技術会議評価専門委員会資料(2011)

図 I-1. 1. 2-4 伝送距離と伝送にかかる消費電力との関係

一方、光配線による接続では、高い信号周波数領域での伝送速度の高速化が可能であり、光波長等の多重通信技術を用いることで、配線面積を電気配線の100分の1程度まで小型化することが可能である。さらに、電子機器に用いられている電気配線では、データ伝送量(信号周波数)や伝送距離の増加に伴い信号の損失が大きくなるのに対し、光配線を用いる場合はデータ伝送量が増大しても損失は一定であり(図 I-1. 1. 2-4)、伝送距離に対する消費電力の増加は極めて小さいというメリットがある。

このメリットを生かして、光配線は高速インターネット網や携帯電話基地局で利用されているほか、近年はデータセンタ等の低消費電力化・高速化技術として光配線技術や光インターコネクト技術が有力視され、半導体関連企業などで研究開発が進められており、その実用化が待ち望まれている。

## 1. 2 事業の目的

以上の背景を踏まえ、本プロジェクトは、情報通信機器の省電力化と高速化を目的に、電子機器の電気配線を光配線に置換する光配線技術と電子回路技術を融合させた光エレクトロニクス実装システム技術を実現する基盤技術を確立することを目指す。電気配線を用いたサーバボードに比べて消費電力を3割削減できかつデータセンターレベルでの運用が可能な光電子融合サーバを実現するための要素技術を確立することを目指す。具体的には電子機器のデータ伝送に関して、10Tbps/ノードの伝送帯域と電気配線を用いる場合と比較して1/10の低消費電力化を、また、通信速度あたりの面積比で1/100以下の小型化（100倍の帯域密度）を実現する。

研究開発の進捗に合わせ、開発成果の一部を順次実用化し、光配線と電子回路を融合させた光エレクトロニクス市場の創出と開拓を目指す。

本研究開発で成果を得ることにより、光半導体分野における我が国の国際優位性を維持するとともに、光エレクトロニクスを用いた新たなコンピューティング市場において我が国が競争力を獲得し、さらには半導体産業、回路基板産業やそれらをシステム化したサーバ、ルータ等の情報通信機器産業などのエレクトロニクス産業の活性化にも資する。

## 1. 3 事業の位置づけ

前述の通り、クラウドコンピューティングやIoT、AI技術の進展に伴い、情報通信量は急激に増加しており、これに伴って情報通信機器の通信負荷の増大と消費電力の急増が見込まれる。このような課題に対して光エレクトロニクス技術を社会実装することで省電力化のみならず、高速な情報処理、機器の小型化も可能であることから、欧米各国を含めた開発競争が激しくなっている。

我が国は優れた光エレクトロニクスに関する研究開発力を有しており、これまでも世界で繰り返し求められる開発をリードしてきた。2009年度から2013年度まで、内閣府・総合科学学術会議の下で日本学術振興会（JSPS）が進める「最先端研究開発支援プログラム（FIRSTプログラム）」においてフォトンクス・エレクトロニクス融合システム基盤技術開発（PECS T: Photonics-Electronics Convergent System Technology）事業が進められ、光源・受信器・導波路など光インターコネクタに必要な技術を1つのシリコンチップに集積し光集積回路として機能させるための研究開発が行われ、光集積回路として世界最高の情報伝送密度を実証すること（図I-1.1.2-3）に成功し、世界をリードするポジションを獲得している。また、2008年度から2017年度まで、文部科学省（JST）の「先端融合領域イノベーション創出拠点形成プログラム」において光ネットワーク超低エネルギー化技術拠点事業が進められ、シリコンフォトンクススイッチ等の基盤技術開発とネットワークシステムの構築により大容量データを超低消費電力で伝送できる光パスネットワークの原理を実証している。

この国際的優位性を活かし光電子融合技術を早期に確立し社会実装を進める本プロジェクトは、世界レベルでのデータセンタ等情報通信・処理に必要な電力削減およびCO<sub>2</sub>排出量削減に寄与すると期待される。国立研究開発法人新エネルギー・産業技術総合開発機構（以下、NEDOと略記する）が本プロジェクトに関与することにより、開発リスクを軽減し、企業・大学・研究機関の連携する体制を確立し、政策に沿った社会実装を可能とする。



## 2. NEDOの関与の必要性・制度への適合性

### 2. 1 NEDOが関与することの意義

#### 2. 1. 1 政策への適合性

さまざまな情報サービスがネットワークを通じて提供されるクラウドコンピューティングをはじめ、I o TやA Iの活用が急速に進んでおり、データセンタ等などにおける情報処理量や情報通信トラフィックが急激に増大している。それに伴い情報通信機器による電力消費量も急増し、2025年には現在の国内電力消費量全体の6分の1に膨らむと予測されている。このため、情報通信機器・装置を低消費電力化しつつ、高速化し、小型化する技術の開発は喫緊の課題となっている。

光エレクトロニクス技術は、上記問題への対応が期待できる技術として半導体分野の主要なグローバル企業が開発競争を繰り広げている技術であり、我が国としてもその開発を戦略的に推進していくことは重要である。

このような状況の下、我が国の政府も光エレクトロニクス技術分野を重視した研究開発政策を進めている。これまでに政府は、「科学技術創造立国」を国家戦略として打ち立て、科学技術基本法の下で「科学技術基本計画」に基づいて、創造性豊かな人材や、有限な資源を活用しつつ最大限の成果を生み出す仕組みを創り出すことを目指し、総合的な施策を強力に推進してきた。「第5期科学技術基本計画」（2016年1月閣議決定）では、科学技術イノベーション政策を経済、社会および公共のための主要な政策と位置づけ、政府の関与する研究開発投資を拡充することを定めている。また、未来の産業創造と社会変革に向けた新たな価値創出の取組として「世界に先駆けた“超スマート社会”の実現（Society 5.0）」を掲げており、大規模データの高速度・リアルタイム処理を低消費電力で実現するための「デバイス技術」や「ネットワーク技術」の開発を通して、I o Tを有効活用した共通のプラットフォーム構築に必要となるシステムの大規模化や複雑化に対応するための情報通信基盤技術の開発強化を図ることを推進している。第5期科学技術基本計画を推進する科学技術イノベーション総合戦略2017では、未来の産業創造と社会変革に向けた新たな価値創出のコアとなる基盤技術として「光・量子技術」を重点取組の一つとして挙げている。さらに、統合イノベーション戦略2018および2019でも、高速度・低消費エネルギー・低コストな光通信を実現する上で不可欠な光デバイス技術は、我が国が強みを有する分野であり、イノベーションエコシステムの形成とともに更に国際競争力を維持・向上する必要性について触れている。また、2018年に策定された未来投資戦略においては、第4次産業革命を支えるデータ駆動型社会の共通インフラ整備の一環として、我が国の強みである現場データをリアルタイムに処理するA Iチップ等のエッジ処理技術、（量子などの）次世代コンピューティング技術、大容量・高速通信を支える5G技術等といった、基盤システム・技術への投資促進も掲げている。これに加え、2019年に策定された「世界最先端デジタル国家創造宣言官民データ活用推進基本計画」においても、I Tを活用した社会システムの抜本改革には、機械判読に適した形式で入手した大量データの高速度処理を可能とするデジタル環境が不可欠であり、クラウド・エッジ領域におけるコンピューティング能力向上や大容量・超高速データ送受信のできる5G等の基盤技術開発の必要性が述べられている。

一方、我が国のエネルギー政策については、2003年10月に最初のエネルギー基本計画が策定され、2007年3月に第二次計画、2010年6月に第三次計画が策定された。しかし、その後の東日本大震災および東京電力福島第一原子力発電所事故による情勢の変化を受け、新たなエネルギー政策として2014年4月に第四次計画の策定が行われ、エネルギー政策として3E（エネルギーの安定供給、経済性の向上、環境適合）に加え、S（安全性）が新たな視点として追加されている。経済産業省は、2006年5月に我が国のエネルギー戦略として「新・国家エネルギー戦略」を取りまとめ、2030年までに少なくとも30%のエネルギー消費効率改善を目指すことを述べ、2030年に向けて実現が期待される省エネルギー技術の開発の方向性等を示した。これに基づき、2007年に「省エネルギー技術戦略2007」が経済産業省で策定され、その後2011年の全面的見直しを経て、2016年9月に「省エネルギー技術戦略2016」が策定された。この中で、家庭・業務部門の省エネルギーに係る技術として、データセンタをはじめとするネットワーク全体の消費電力低減が極めて重要であり、情報量が増加の一途をたどっている中、ルータ、サーバ等のI T機器を省電力化、小型化、低コスト化するための光信号と電気信号を変換する小型チップ、電子回路と光回路を組み合わせた光電子ハイブリッド回路配線技術が重要であることを述べている。その後、2018年7月に第五

次計画が策定され、2030年までに26%、2050年までに80%の温室効果ガス削減（2013年度比）に向けた徹底した省エネルギー社会の実現のために、官民を挙げて、継続的な技術革新と人材の育成・確保に挑戦していく必要性が述べられている。

2012年に経済産業省において「未来開拓研究プロジェクト実施要綱」並びに「未来開拓研究プロジェクトの実施に関する基本方針」が策定された。このプロジェクトは、従来技術の延長線上にない、開発リスクの高い革新的技術に関する中長期的な研究開発制度であり、我が国が直面する環境・エネルギー問題等の構造的課題の克服と、我が国の将来の成長の糧となるイノベーションを創出することを目的として立ち上がっている。2012年度は3つの研究開発テーマについてプロジェクトが開始され、その一つとして2012年度から2021年度の10年間を実施予定期間とする「超低消費電力型光エレクトロニクス実装システム技術開発」が含まれている。NEDOが実施する本事業は、未来開拓研究プロジェクトとして2012年度に経済産業省で開始されたものを承継し、2013年度から2019年度までNEDOで実施しているものである。本事業は開始されて8年が経過しようとしているが、前述のように、現行の科学技術政策、産業技術政策およびエネルギー政策においてもなお重要な技術開発であると位置付けられている。

以上のように、本事業が目指す、情報処理機器・装置の低消費電力化、高速化、小型化を可能とする技術の開発は、国の産業政策、科学技術政策とも合致するものである。

### 2. 1. 2 NEDO 中長期計画における位置づけ

NEDOの第3期中長期計画においては、電子・情報通信分野の計画として、我が国経済・社会の基盤としての電子・情報通信産業の発展を促進するため、電子デバイス、家電、ネットワーク／コンピューティングに関する課題に重点的に取り組むことが述べられている。ネットワーク／コンピューティング技術の開発としては、情報トラフィック量の爆発的増加が見込まれていることから、高速化、低消費電力化等のニーズに対応した光電子融合技術等を中心とした技術開発を行うとともに、それらを組み合わせたシステム開発等を推進することとしている。研究開発成果の最大化に向けて2018年度に掲げられた第4期中長期計画においても、産業技術分野の計画として、Society 5.0を世界に先駆けて実現するために、様々なものをつなげる新たな産業システム（Connected Industries）への変革を推進すべく、ネットワーク／コンピューティングに関する課題に対応するためのIoT・電子・情報技術開発を行うこととしており、その一環として、光エレクトロニクスを用いた光電子変換チップ内蔵基板技術に関する技術開発に取り組むこととしている。NEDOでは本事業で実施する光技術と電子技術を融合した光電子ハイブリッド技術をネットワーク／コンピューティング分野における技術開発課題として位置づけ、アクセス系ネットワークの高速化に対応した光電子モジュール技術、ハイエンドサーバにおける省電力化、高速化に係る技術の開発に取り組んでいる。

### 2. 1. 3 NEDO が関与する必要性・意義

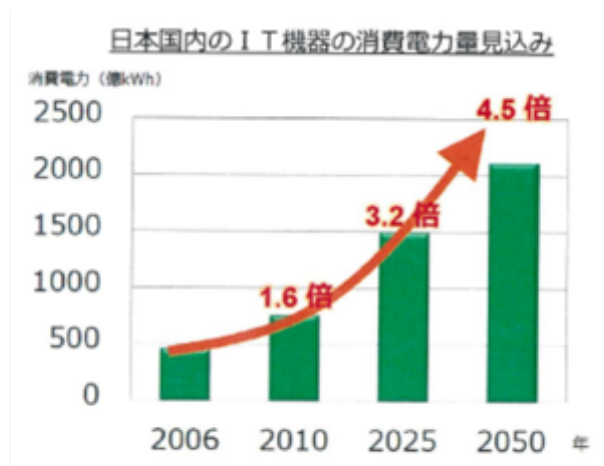
本事業は、（1）開発目的の公益性と成果としてのCO<sub>2</sub>削減効果の大きさ、（2）我が国の国際的産業競争力の確保、および（3）開発活動のリスクの大きさのという3つの視点から、NEDOが関与する必要性・意義がある。以下にその3点について詳細を説明する。

#### （1）公益性とCO<sub>2</sub>削減効果

社会のIT化の進行に伴い、我々の活動のあらゆる場面で情報通信機器が活用され、情報が創出されるようになってきている。また、創出された情報は、インターネット網の普及・発展により、データセンタを介して共有されるようになり、データセンタにおける情報処理量や通信トラフィックが急増し、今後もその増大は止まらなると予想されている。このため、我が国における情報通信機器による電力消費量は増加し続け、現状技術のままでは2025年には2010年の2倍に膨らむと見込まれており、情報通信機器の電力削減は喫緊の課題となっている（図I-2.1.3-1）。

また、温室効果ガス削減問題等の環境・エネルギー問題、あるいは東日本大震災後の状況変化を踏まえたエネルギー需給安定化への取り組み等の観点からも、電力消費量の削減が強く求められている。本事業は、情報通信機器内の電気配線を光配線に換えることにより、低消費電力でありつつ、高速で、小型化が可能となるような付加価値の高い情報処理システムを社会に提供することを目指しており、社会的ニーズに対応したものである。

本事業の成果が社会実装された場合、2030年時点のCO<sub>2</sub>年間排出量は1500万トン削減されるものと試算され、これはCOP21パリ会議（2015年開催）で日本に求められるCO<sub>2</sub>削減にも寄与するものである。



出典：経済産業省 平成24年度 我が国情報経済社会における基盤整備  
(IT機器のエネルギー消費量に係る調査事業 報告書)

図 I-2.1.3-1 国内IT機器による国内電力消費量の推計

## (2) 国際競争力確保

本事業で研究開発を行うチップ間光インターコネクタ技術等は、半導体分野の主要なグローバル企業（IBM、Intel等）が次世代のデータセンタなどの低消費電力化・高性能化技術として有力視してのものであり、世界各国・地域で技術開発および社会実装を目指す大型投資が行われている（図 I-2.1.3-2）。

米国では、光リンクの高速化IC技術を開発するEPIIC（Electronics and Photonic Integrated Circuits）、チップ間の光接続技術等を開発するC2OI（Chip to Chip Optical Interconnect）、コア間の光配線、チップ内の光配線に関する研究開発を行うUNIC（Ultra Performance Nanophotonic Intra Chip Communications Program）や通信を含む様々な用途に適用できる光電子マイクロシステムをチップスケールで実現するための研究開発を行うE-PHI（Electronic-Photonic Heterogeneous Integration）等の光電子融合に関する技術開発がDARPA（国防高等研究計画局：Defense Advanced Research Projects Agency）の資金で実施されてきた。2015年7月に発表されたNNMI（米国製造イノベーションネットワーク）に基づきAIMフォトンクス（American Institute for Manufacturing Photonics）が設立され、これまで分散していた米国セクタを統一し、革新的光学デバイスの製造分野でのグローバルリーダーになることを目指している。連邦政府、州政府、民間から計6億ドルの拠出が計画されており、企業、大学・研究所、政府機関が参加して組織を構成している。これに加え、DARPAは2018年12月にPIPES（the Photonics in the Package for Extreme Scalability）を新たに立ち上げた。LSIチップ等へのソケットの電力供給能力は20Tbps程度であるという課題認識の元、インターポーザ型電子/光変換デバイスを開発し、100Tbps-1Pbpsの伝送容量を達成する目標計画である。このプログラムでは、3.5年間で約6500万ドルの拠出を予定している。

更に、米国エネルギー省（Department of Energy）では情報通信量の増大に伴って消費電力量が急激に増加すると予測されることに対し、データセンタのエネルギー効率を2倍にすることを目標としてENLITENED（Energy-efficient-light-wave integrated technology enabling networks that enhance datacenters）プログラムを立上げた。光インターコネクタ技術、関連するスイッチ・ネットワーク技術を利用していくことを計画しており、2016年6月に公募開始、2017年1月に参加する大学および企業の採択を決定した。このプログラムでは当初2年間で約25百万ドルの拠出を決定している。



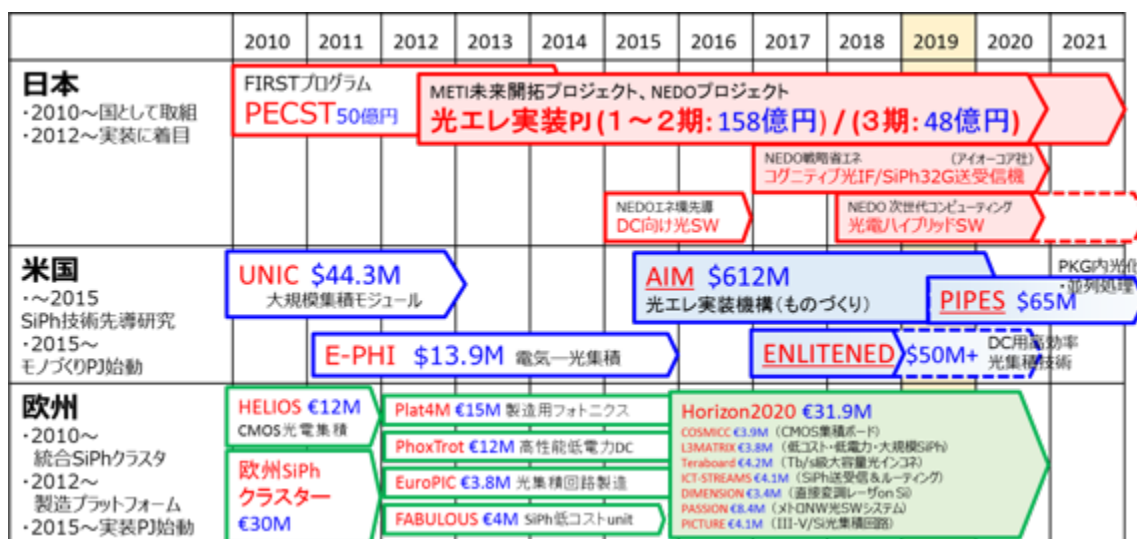


図 I-2.1.3-2 光エレクトロニクス研究領域の各国・地域の取組状況

また、欧州でも光電子集積、光インターコネクタに関するプロジェクトが実施されている。具体的には、欧州研究開発フレームワーク (FP, Framework Programme) の第7次計画 (FP7, The Seventh Framework Programme) にてCMOS上にフォトニクス・エレクトロニクス機能を集積するための技術を開発するHELIOS (pHotonics ELectronics functional Integration on CMOS)、電子・光回路の協調設計、集積化等に取り組み、共通のデザインフローを提供することを目的としたPlat4M (Photonic Libraries And Technology for Manufacturing)、低コストシリコンフォトニクス部品を設計開発するFABULOUS (FDMA Access By Using Low-cost Optical Network Units in Silicon Photonics)、ナノインプリントにより多層の光回路を作製する技術等を開発するFIREFLY (Multilayer Photonic Circuits made by Nano-Imprinting of Waveguides and Photonic Crystals)、チップ間インターコネクションのためのプラズモン光部品技術等を開発するNAVOLCHI (Nano Scale Disruptive Silicon-Plasmonic Platform for Chip-to-Chip Interconnection)、高性能コンピューターシステム向けの光インターコネクタ技術を開発するPhoxTrot (Photonics for High-Performance, Low-Cost and Low-Energy Data Centers, High Performance Computing Systems: Terabit/s Optical Interconnect Technologies for On-Board, Board-to-Board, Rack-to-Rack data links) 等が挙げられる。このような流れを受け、2014年から2020年までの期間で実施されているHORIZON2020の中でもICTにかかわるリーダーシップを目指す計画のもとでシリコンフォトニクスの研究開発が進められている。シミュレーションから社会実装に至るまでプロジェクトが詳細に設定されており、具体的には、COSMIC (CMOS集積ボード)、L3MATRIX (低コスト・低電力・大規模Siフォトニクス)、Teraboard (Tb/s級大容量光インターコネクタ)、ICT-STREAMS (Siフォトニクス送受信&ルーティング)、DIMENSION (直接変調レーザ on Si)、PASSION (メトロネットワーク光スイッチシステム)、PICTURE (III-V/Si光集積回路) 等が挙げられる。これらのプログラムを総額すると3190百万ユーロ程度の拠出の予定となる。

また、シリコンフォトニクスのファンドリサービスを提供する産学官連携活動が米国、欧州で各々展開されている。その例として、米国デラウェア大学を中心とするOpSIS (Optoelectronics Systems Integration in Silicon)、欧州ではIMECとCEA-LetiによるePIXfab、アイントホーヘン工科大学でのEuroPIC (European manufacturing platform for Photonic Integrated Circuits) を挙げることができる。

I.1.3の事業の位置付けで既に述べたように我が国では、2009年度から2013年度まで、JSPSが進める「FIRSTプログラム」においてフォトニクス・エレクトロニクス融合システム基盤技術開発 (PECST) 事業が進められ、光源・受信器・導波路など光インターコネクタに必要な技術を1つのシリコンチップに集積し光集積回路として機能させるための研究開発を行い、光集積回路として世界最高の情報伝送密度を実証することに成功している。PECST事業の成果により、我が国

における光半導体の技術開発では世界をリードするポジションにあることが実証されており、我が国の光半導体分野の技術競争力は世界的に繰り広げられている光電子融合技術の開発競争において、世界をリードできるポテンシャルを有しているものと考えられる。その一方で、クラウドコンピューティング分野およびそれを支えるサーバやルータ等の分野では、米国・中国企業で市場シェアの過半を占め、日本企業のシェアは10%以下にとどまっていることも事実である（図 I-2.1.3-3）。

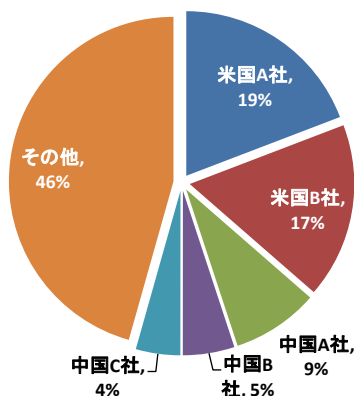


図 I-2.1.3-3 ベンダー別世界サーバ出荷台数シェア（2016 第1四半期）

I o T社会の到来、A I技術の社会実装の進行に合わせて従来の電氣的な情報通信の限界を克服する必要性が高まり、中長距離の情報通信のみではなく情報処理デバイス・システムの心臓部にまで光技術を導入するために、個別の企業ではなく国や地域全体が一体となって大きな技術革新の波を乗り越えようとしている。その中で我が国は光エレクトロニクス実装の分野で世界をリードできる研究開発のポテンシャルを有しており、政府、研究機関、企業が一体となってその力を引き上げることによってI o TやA Iの進化とともにもたらされる超情報化社会で世界に先駆けてソリューションを提供することができ、この分野の市場において圧倒的な優位性を築いていけると期待される。

### （3）民間企業ではリスクのある研究開発内容

本事業で求められる技術開発要素には、従来のエレクトロニクスと同程度に低い実装コストかつ信頼性の高い光電気変換素子や光配線との接続の実現、シリコン基板上およびプリント基板上に光導波路を形成する技術、光と電気が融合したシステムとしての安定性・信頼性の確保、大口径ウェーハ上に作製された光電子集積インターポーザの信頼性評価という今までにない評価技術等が含まれる。いずれにおいても非連続イノベーションが必要であり、研究開発のリスクは高く、またその要素技術が広範囲に亘るため、多くの企業間や大学、国の研究機関が連携し各要素技術を統合することが必要である。

この技術開発プロジェクトにNEDOが関与することにより研究開発リスクが軽減され、また企業・大学・国の研究機関が連携し一体となって技術開発に取り組む体制が実現でき、更に政策に沿った社会実装も可能となる。

以上のように、本事業は我が国政府の政策に合致し、産業政策・情報政策の面からも極めて重要な課題であることから、国家プロジェクトとしてNEDOが関与すべきものであるといえる。

## 2. 2 実施の効果（費用対効果）

### 2. 2. 1 市場規模

世界的な情報通信量は今後も急激な指数関数的増大を続けていくと予想され、現在でも年間数百エクサバイトに至っており、今後数年のうちにゼタバイトのオーダーに達するものと推定されている（図 I-2.2.1-1）。これに対応して情報通信をつかさどる情報機器のうちサーバの世界生産量は年間約1000万台、市場規模は現在約5.9兆円（Gartner社、2016年推定値）であり、今後一定の割合で増加するものと推定されている。サーバを設置し運用するデータセンタビジネスも現在約15兆円の市場があり、今後も着実な伸びが見込まれている（図 I-2.2.1-2、富士キメラ総研、2016年実績）。

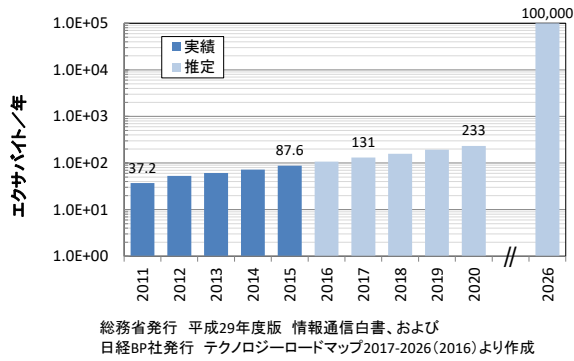


図 I-2.2.1-1 世界の情報通信量推移

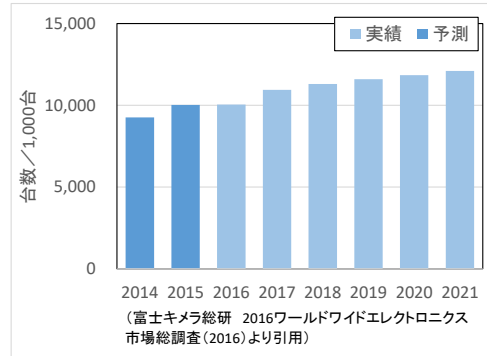


図 I-2.2.1-2 世界のサーバ生産台数推移

このような状況からデータセンタなどにおける情報通信機器 1 台当たりの情報処理の負荷も急激に増大することは明確で、現在の電気通信を主体としたシステム構成は近い将来限界を迎え、光通信技術を用いた情報通信および情報処理システムが不可欠になるものと推定される。

本プロジェクトで開発される技術の適用先として、AOC (Active Optical Cable) 市場、サーバ・HPC (High Performance Computing) 市場、高精細テレビ・自動車・ロボット等の電子機器市場、ルータ・トランシーバ等のネットワーク機器市場が想定され、2030 年には 1.2 兆円以上の売上げを期待している。(図 I-2.2.1-3)

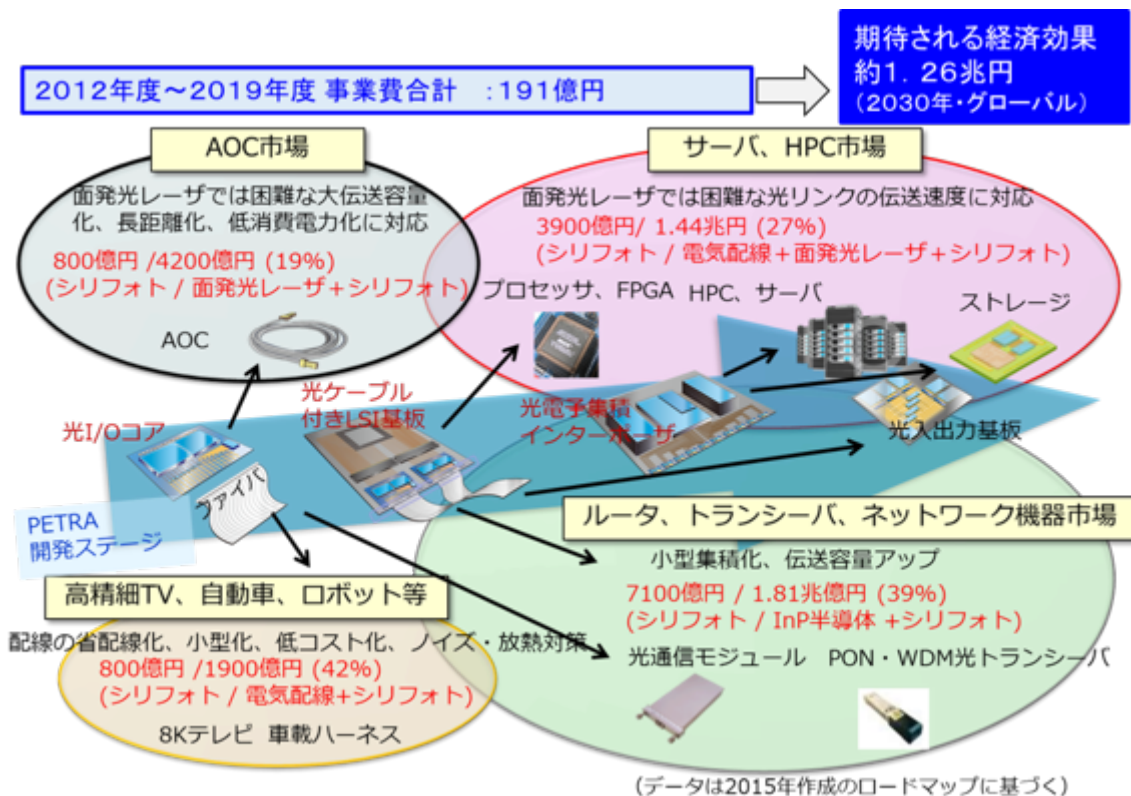


図 I-2.2.1-3 本プロジェクト成果の適用先と経済効果

## 2.2.2 省エネ効果

本プロジェクトで開発される成果が前記の 4 市場に適用されることを想定して省エネルギー効果を試算すると、2030 年には約 400 億 kWh/年の電力削減 (CO<sub>2</sub>削減量に換算すると 1500 万吨/年) が期待される。なお、試算前提としてプロジェクト成果を適用した機器の普及率を 2030 年で 50%、サーバ/データセンタ、ネットワーク機器、パーソナルコンピュータ、ディスプレイ/テレビにおける電力削減量をそれぞれ、31%、80%、35%、10%としている。



## II. 研究開発マネジメントについて

### 1. 事業の目標

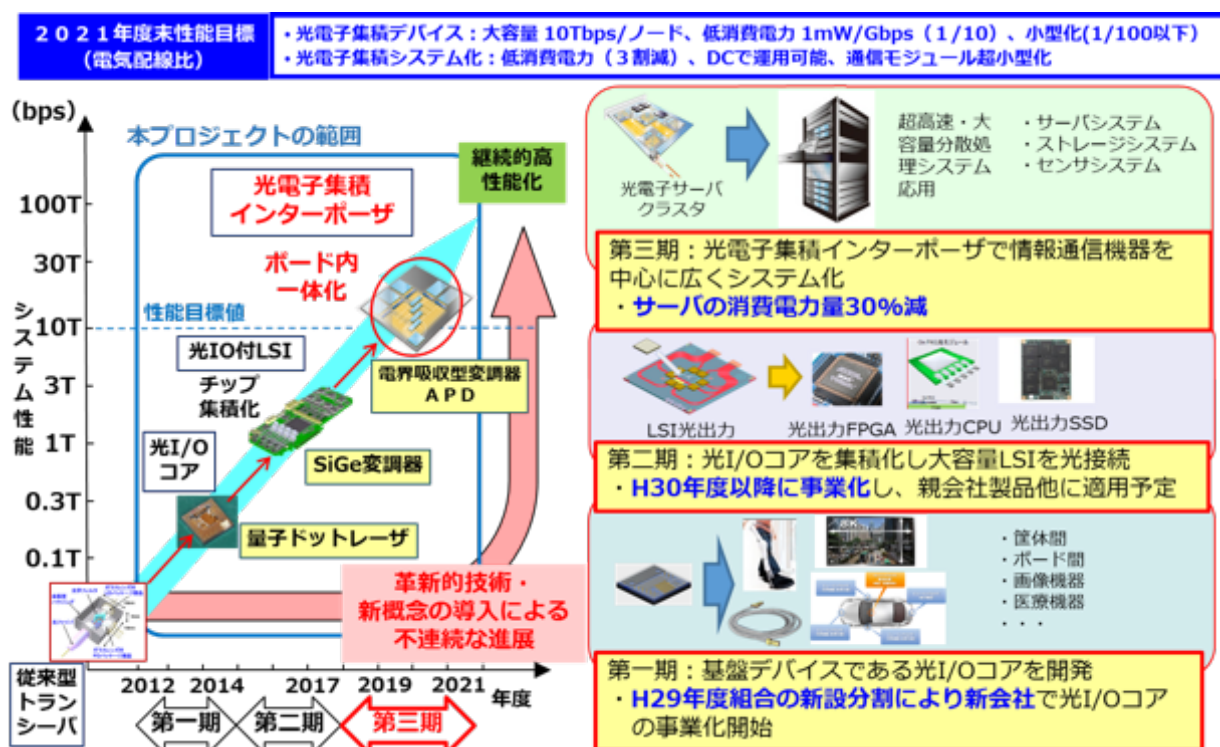
#### 【全体目標】

本研究開発は、我が国の将来の成長の糧となるイノベーションを創出する未来開拓研究プロジェクトの一つとして実施され、情報化社会の進展に伴う国内のIT機器による電力消費量増大に対応するため、IT機器の省電力化と高速化の両立を目指し、電気信号と光信号を相互に変換する超小型光素子の革新技術を開発するとともに、電子機器の電気配線を光配線に置換する光配線技術と電子回路技術を融合させた光エレクトロニクス実装システム技術を実現する基盤技術を確立することを目指す。

未来開拓研究プロジェクトは2012年度から2021年度までの10年間で実施することを予定しており、研究開発は①光エレクトロニクス実装基盤技術と②光エレクトロニクス実装システム化技術の2項目に大きく分けて実施する。具体的には、光導波路、光変調器や受光器等と電気配線をシリコン上に高密度集積した光電子集積インターポーザ、ポリマー光配線と電気配線を形成した光電子ハイブリッド回路基板を実現するために必要な光および電子デバイス技術、その設計技術や目的性能を大きく高める革新的デバイスの開発を光エレクトロニクス実装基盤技術、光電子融合サーバ等、それぞれの目的に最適なアーキテクチャの明確化、関連する信号処理技術等の開発を光エレクトロニクス実装システム化技術で実施する。

これらの技術開発により、電気配線を用いたサーバボードに比べて消費電力を3割削減できかつデータセンタレベルでの運用が可能な光電子融合サーバを実現するための要素技術を確立することを目指す。電子機器のデータ伝送に関して、10Tbps/ノードの伝送帯域と電気配線を用いる場合に比較して1/10の低消費電力化を、また、通信速度あたりの面積比で1/100以下の小型化（100倍の帯域密度）を実現する。図II-1-1に事業の全体計画と性能目標を示す。

NEDOは未来開拓研究プロジェクトの実施期間の全10年間のうち7年間（2013年度～2019年度、2012年度は経済産業省執行）を執行し、未来開拓研究プロジェクトの最終目標である光電子融合サーバボードを実現するために必要となる構成要素技術を確立するとともに、事業化に必要な国際標準を獲得することを2021年度までに達成すべき目標として設定し、本プロジェクトの最終目標としている。



図II-1-1 事業の全体計画と性能目標

この目標に向けた取り組みとして、研究開発成果は、各実施者が自社に持ち帰り、実用化のための技術開発などを実施して事業化を進め、開発成果の新たな適用先の探索と顧客価値の評価に努めている。図 II-1-2 に事業全体の研究開発スケジュールを示す。最終目標に至るまでのマイルストーンを達成し、実用化の目処が見えた光デバイスは、プロジェクト終了を待たずに実用化・事業化の準備を進め、技術動向・市場動向を踏まえた上で、戦略的に事業化を開始している。具体的には、研究開発項目①光エレクトロニクス実装基盤技術にて確立した光電子集積サーバボード構成要素技術および研究開発項目②光エレクトロニクス実装システム化技術にて確立した光電子集積光通信システム技術を実用化の観点から絞込み、2015年にデジタルコヒーレントトランシーバの事業化を開始し、2017年に「光 I/O コア」と呼ばれる光トランシーバチップの事業化を開始した。

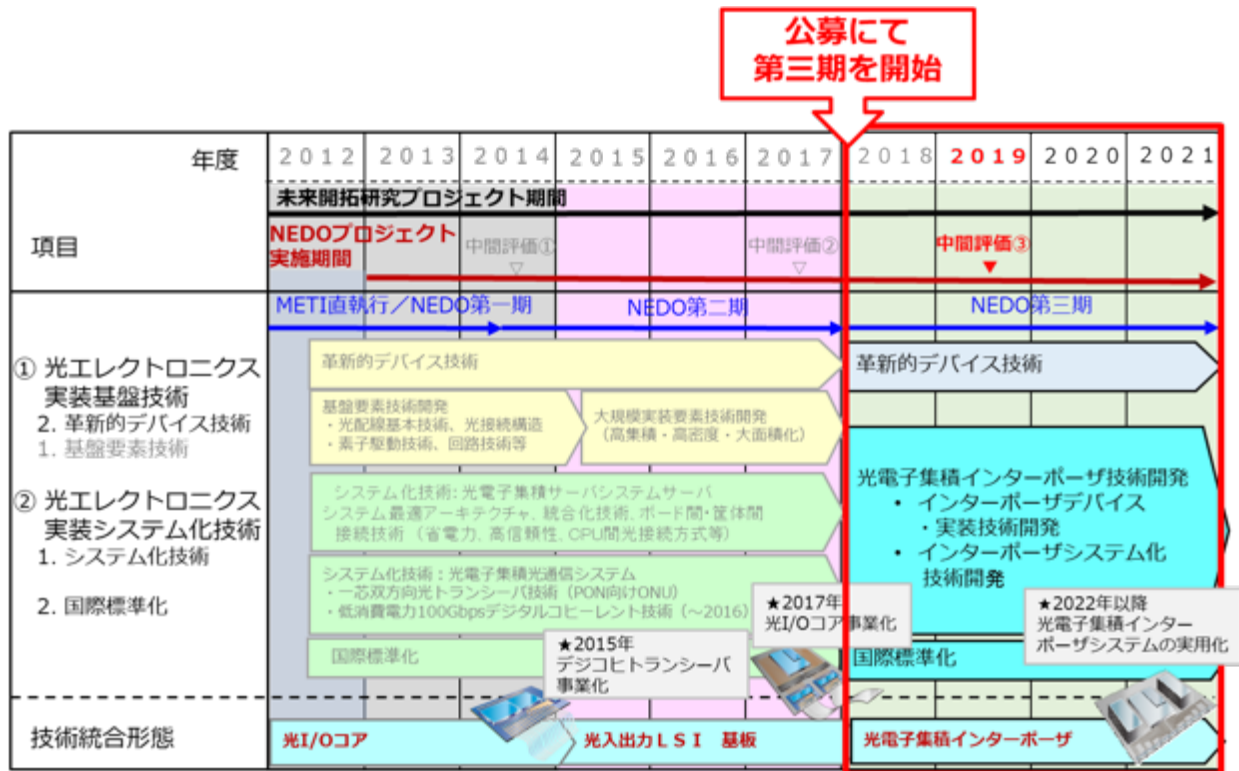


図 II-1-2 事業全体の研究開発スケジュール

## 2. 事業の計画内容

### 2. 1 研究開発の内容

上述した全体目標を達成するために、以下の研究開発項目および研究開発計画に基づき、研究開発を実施する。研究開発の実施にあたっては、研究開発テーマとして光集積回路を実現するための要素技術を開発する①光エレクトロニクス実装基盤技術の開発、とそれらを統合し、全体システムとして動作させるための技術を開発する②光エレクトロニクス実装システム化技術の開発に大別して実施することとした。本研究開発は、実用化まで長期間を要するハイリスクな基盤的技術に対して、産官学の複数事業者が互いのノウハウなど持ち寄り、協調して実施する事業であり、委託事業として実施する。

研究開発項目① 光エレクトロニクス実装基盤技術の開発

(i) 実装基盤技術

- (a) 光エレクトロニクス実装技術
- (b) 光エレクトロニクス集積デバイス技術
- (c) 光エレクトロニクスインターフェース技術
- (d) 光エレクトロニクス回路設計技術

(ii) 革新的デバイス技術

研究開発項目② 光エレクトロニクス実装システム化技術の開発

(i) システム化技術

- (a) サーバボードのシステム化技術開発
  - (b) ボード間接続機器、筐体間接続機器のシステム化技術開発
  - (c) データセンタ間接続機器のシステム化技術開発
  - (d) 企業間ネットワーク接続機器のシステム化技術開発
  - (e) 光電子集積インターポーザのデバイス・実装技術開発
  - (f) 光電子集積インターポーザのシステム化技術開発
- (ii) 国際標準化

II. 1の全体目標で既に述べたとおり、経済産業省は未来開拓研究プロジェクト「光エレクトロニクス」の事業期間として2012年度から2021年度(10年間)を予定し、2012年度から2017年度までの6年間の実施者を公募した。2013年度からはNEDOが、2017年度までの5年間の基本計画を策定し研究開発を実施した。2017年度に実施した中間評価において、プロジェクトの必要性、研究開発マネジメント、研究開発成果、実用化・事業化に向けた取組および見通しが評価※され、当初計画された計10年間の事業遂行が妥当と認められた。※事業の位置づけ・必要性(3.0)、研究開発マネジメント(2.9)、研究開発成果(3.0)、実用化・事業化(2.6)、( )内は、評価点。満点は3.0点。

以上の経緯を踏まえ、2017年度まで計6年間の研究開発により確立した光電子集積サーバボード構成要素技術を光電子集積インターポーザのデバイス・実装/システム化に向けた技術開発へと集約し、2018年に公募を実施し、2013年度にNEDOが策定した基本計画の一部を見直して2018年度から2021年度まで4年間の研究開発を継続する。以下では、それぞれの研究開発内容について説明する。

## 研究開発項目① 「光エレクトロニクス実装基盤技術の開発」

### 1. 研究開発項目の概要

電子機器に電気配線を用いる場合データ伝送量や速度、伝送距離の増加に伴い信号伝送の損失が大きくなるのに対して、光配線を用いる場合それらが増大しても損失は一定であり消費電力の増加は極めて小さいという特性がある。このメリットを生かして、光配線は高速インターネット網や携帯電話基地局で利用されているほか、近年はデータセンタ等の低消費電力化・高速化技術として光配線技術が有力視され、半導体分野の企業で研究開発が進められている。

本研究開発では、電子機器の電気配線を光配線に置換し電子回路技術を融合させる光エレクトロニクス実装システム技術の根幹となる光電子集積インターポーザ、光電子ハイブリッド回路基板等を実現するための構成要素技術の開発と、高速化、省電力化、小型化などの面で画期的な性能向上や中期的な技術基盤の変化をもたらす革新的デバイス技術の開発を行う。

### 2. 研究開発項目の具体的内容

#### (i) 実装基盤技術

##### (a) 光エレクトロニクス実装技術(2017年度まで)

電気配線と光配線が融合した光電子ハイブリッド回路基板の作製技術、高密度の光・電気のインターフェースを備えた光電子集積インターポーザを光電子ハイブリッド回路基板に実装するための実装技術とインターフェース技術および高信頼、低コスト化を実現する設計・方式・製造装置を開発する。また、光電子集積インターポーザとLSIを接続するインターフェース技術および光電子ハイブリッド回路基板間を接続する高集積コネクタ技術を開発する。さらに汎用電気インターフェースに対応した光素子駆動アナログ電子回路を開発し、ロジックLSIに搭載するためのアナログ電子回路技術の開発を行う。

##### (b) 光エレクトロニクス集積デバイス技術(2017年度まで)

光トランシーバや光電子集積インターポーザ等を実現する基盤技術として、光導波路、光源、光変調器、受光器、光入出力素子、合分波器などの超小型要素光素子を開発すると共に、これらを高密度集積する技術を開発する。また、光信号の並列化、多重化、多値化についても検討を行い、インターポーザ上での大容量信号伝送技術を開発する。さらに、ロジック、メモリ等の電子回路



チップの搭載が可能で、光トランシーバを高密度に集積した、低消費電力で低コストな光電子集積インターポーザを形成する基盤技術の開発を行う。

(c) 光エレクトロニクスインターフェース技術（2016年度まで）

大規模データセンタ内の筐体間接続、データセンタ間接続に向けた、100Gbpsの伝送容量を持つデジタルコヒーレント送受信モジュール実現のための信号処理回路と光回路に関する基盤技術を開発する。

(d) 光エレクトロニクス回路設計技術（2017年度まで）

光回路技術と電子回路技術を融合した新しい光エレクトロニクス回路の設計技術に関し、光、電子、それぞれの回路の最適設計を効率的に行うための統合設計環境を実現する基盤技術を開発する。さらに、本統合設計環境を本事業内の研究チームで利用可能とするための支援体制、スキームを整備する。

(ii) 革新的デバイス技術

[革新的光源・光検出器技術]

光電子集積インターポーザの光源、受光器の高性能化に向け、シリコン基板上量子ドットレーザ技術とその集積化技術の開発を行うとともに、高感度受光器に関する技術開発を行う。

[革新的光変調器技術]

光電子集積インターポーザの光変調器の高性能化に向けた光制御技術として、新原理に基づく次世代光変調器を開発する。

[革新的光配線技術]

光電子集積インターポーザの光導波路の高機能化に向けた光配線基盤技術として、フォトニックナノ構造等を用いた光配線技術の開発を行う。

[革新的光エレクトロニクス回路技術]

光電子集積インターポーザの光回路を高機能化する機能可変型光エレクトロニクス回路の基盤技術として、サーバ回路の再構成を可能とする光フィールドプログラマブルゲートアレイ技術およびそのための要素デバイスの開発を行う。

[革新的光スイッチングデバイス技術]

大規模光電子集積インターポーザで実現されるサーバ回路におけるデータ通信の高効率化に向け、CPU間等の効率的なデータ転送を可能とする光ルーティング技術実現のためのハイブリッド集積光スイッチングデバイス技術、超高速集積光信号処理デバイスの開発を行う。

### 3. 達成目標

光電子集積インターポーザ、光電子ハイブリッド回路基板およびそれぞれの要素技術を組み込んだデバイスの集積化技術を開発することにより、電気配線の1/10の低消費電力化・高速化（1mW/Gbps）を達成する目処を得るとともに、1/100以下の小型化実現のための要素技術を確立する。また、機器間光インターフェースにおいて、100Gbps/chの高速伝送および現状の光トランシーバモジュールの消費電力（300W程度）を1/5～1/10まで低減できる低消費電力化技術を実現する。

各開発項目は計10年間の開発期間を最大四期に分け、それぞれの期間で目標を定めて技術開発を行う。

(i) 実装基盤技術

(a) 光エレクトロニクス実装技術

多数の光デバイス・電子デバイスが搭載されたシリコンフォトニクスによる光電子インターポーザおよび光電子インターポーザを搭載した光電子ハイブリッド回路基板を実現するための基盤技術を開発する。

【中間目標】（2014年度末）

小型の高速・低消費電力光トランシーバと数十mm角のポリマー光配線を形成した光電子ハイブリッド回路基板を開発し、光入出力を持つLSIを実現するための基盤技術を確立する。

【最終目標】（2017年度末）

5cm×5cm程度の光電子ハイブリッド基板上にLSIを搭載するモジュール化技術を確

- 立し、LSIモジュールでの高速光インターコネクトを実現する。
- (b) 光エレクトロニクス集積デバイス技術  
 超高速のデータ伝送を行う光電子集積インターポーザを実現するため、シリコンフォトニクス技術を用いた光集積回路技術を開発するとともに、ロジックLSI、メモリLSI、光デバイス等を光電子集積インターポーザ上に高密度集積するための集積化技術を実現する。  
**【中間目標】**（2014年度末）  
 光信号の並列化技術、多重化技術を開発し、大容量信号伝送を実現するための基盤要素技術を確立する。また、低コスト化のための光素子の集積化技術と導波路技術を確立する。  
**【最終目標】**（2017年度末）  
 多数の光素子を集積した光電子集積インターポーザの大容量伝送を実現するための基盤集積技術を確立する。
- (c) 光エレクトロニクスインターフェース技術  
 大規模データセンタ内の筐体間、データセンタ間の大容量通信を可能とする小型デジタルコヒーレント光トランシーバに必要な信号処理回路、光回路技術を平成28（2016）年度までに確立する。  
**【中間目標】**（2014年度末）  
 100Gbps動作に対応するDSP-LSIと集積光送受信デバイスの試作を行い、基本性能評価と問題点の抽出を行う。  
**【最終目標】**（2016年度末）  
 低消費電力DSP-LSI最終プロトタイプを実現するとともに、データセンタ間通信向け低消費電力100Gbpsデジタルコヒーレント光トランシーバを実証するための要素技術を確立する。
- (d) 光エレクトロニクス回路設計技術  
 光回路技術と電子回路技術を融合した新しい光エレクトロニクス回路を効率的に設計するための光エレクトロニクス統合設計環境を実現し、プロジェクト内での活用を可能とするとともに、本プロジェクト成果事業化時に適用できる効率的な設計フロー構築のための基盤技術を確立する。  
**【中間目標】**（2014年度末）  
 マルチフィジクス対応の光エレクトロニクス実装システム統合設計環境の基本構成を構築し、統合設計を行うための基本的なフローの実証を行う。また、光デバイス設計の基盤技術として、光変調器等の開発に適用可能な電子・光連携TCADの基本構造を確立する。  
**【最終目標】**（2017年度末）  
 光デバイス設計用電子・光連携TCADと光電子集積インターポーザの設計を可能とする統合設計環境を連携させ、基本実装構造に関するデータベース（デザインキット）を整備し、光電子集積インターポーザを効率的に設計可能とする。
- (ii) 革新的デバイス技術開発  
 光電子集積サーバの高性能化を可能とする光電子集積デバイスの非連続的な高速化・低消費電力化・小型化・低コスト化などの高性能化をもたらす挑戦性の高い技術の研究開発を、以下のように実施する。なお、当該技術開発に関しては、その開発の性質等を考慮し、技術開発の進捗度、本研究開発事業内での展開の可能性等の観点から、必要に応じて見直しを適宜実施するものとする。
- [革新的光源・光検出器技術]  
 光電子集積インターポーザの光源、受光器の高性能化に向けてシリコン基板上量子ドットレーザ技術とその集積化技術の開発を行うと共に、高感度受光器に関する技術開発を行う。  
**【中間目標】**（2014年度末）  
 温度安定シリコン上量子ドットレーザの基盤技術開発を進め、シリコン導波路結合型単チャンネル量子ドットレーザを実現する。また、超高感度受光器の基盤技術として受光器における暗電流抑制効果を実証する。  
**【中間目標】**（2017年度末）  
 光電子集積サーバ用の集積化光源への展開に向け、量子ドットレーザアレイを実現するとともに



にシリコン系基板上に直接成長した量子ドットレーザを試作する。また、導波路型受光器における暗電流抑制技術を実現する。これらの検討を通じて、光電子集積サーバ技術への技術展開の見通しを示すとともに事業化に対する課題を明確化する。

【中間目標】（2019年度末）

光電子集積インターポーザ用集積化光源に向け、シリコン上量子ドットレーザの高温動作と高速変調動作を実現する。また、光電子集積インターポーザ用集積化受光器への展開に向け、シリコン基板上に集積した受光器の低暗電流動作を実証し、高速応答動作可能な構造を明確にする。

【最終目標】（2021年度末）

光電子集積インターポーザ用集積化光源に向け、 $1.4\mu\text{m}$ 以上の長波長帯のシリコン基板上量子ドットレーザの実現可能性を示す。また、光電子集積インターポーザ用集積化受光器に向け、高速応答可能で省電力化が可能な導波路型受光器を実証することにより、光電子集積インターポーザへの技術展開の見通しを示すと共に、事業化に対する課題を明確化する。

[革新的光変調器技術]

光電子集積インターポーザの光変調器の高性能化に向けた光制御技術として、新原理に基づく次世代超小型光変調器の開発を行う。

【中間目標】（2014年度末）

光電子集積サーバに使用する光電子集積インターポーザの光変調器の超小形化を可能とする新原理に基づく変調器として、 $10\text{Gbps}$ 程度の高速動作を実現する。

【中間目標】（2017年度末）

超小型高速変調器としてLN変調器を凌駕する実用性能を得る。また、これらの検討を通じて、光電子集積サーバ技術への技術展開の見通しを示すとともに事業化に対する課題を明確化する。

【中間目標】（2019年度末）

光電子集積インターポーザ用の集積化光変調器への展開に向け、超小型化・高速動作を可能とするスローライト型変調器や低消費電力化が可能なハイブリッドMOS型光変調器等の動作を実証する。

【最終目標】（2021年度末）

光電子集積インターポーザ用の集積化光変調器への展開に向け、スローライト型変調器やハイブリッドMOS型変調器等に対し、多重化・多値変調等の伝送方式を実現する可能性を実証することにより、光電子集積インターポーザへの技術展開の見通しと事業化に対する課題を明確化する。

[革新的光配線技術]

光電子集積インターポーザの光導波路の高機能化に向けたナノスケール光配線基盤技術として、フォトニック結晶構造等を用いた信号伝搬制御等に関する高度な光配線技術の開発を行う。

【中間目標】（2014年度末）

光電子集積サーバの配線密度を飛躍的に高めることのできる3次元光配線技術において、層間方向への伝搬機能が可能であることを実証する。

【中間目標】（2017年度末）

3次元光配線技術として垂直方向と水平方向の伝搬機能の統合を実現する。また、これらの検討を通じて、光電子集積サーバ技術への技術展開の見通しを示すとともに事業化に対する課題を明確化する。

【中間目標】（2019年度末）

光電子集積インターポーザへの展開に向け、フォトニックナノ構造等を用いた光損失補償機能や光バッファ機能など、革新的導波路技術の可能性を示す。

【最終目標】（2021年度末）

光電子集積インターポーザへの展開に向け、フォトニックナノ構造等による光損失補償機能や光バッファ機能を統合することなどにより高度な光配線技術を開発し、光電子集積サーバ技術の革新的展開へ寄与する。

[革新的光エレクトロニクス回路技術]

光電子集積インターポーザの光回路を高機能化する機能可変型光エレクトロニクス回路の基盤技術として、光回路の再構成を可能とする光フィールドプログラマブルゲートアレイ（以下光FPGA）技術およびそのための要素デバイスの開発を行う。

【中間目標】（2014年度末）

ハイブリッド回路基板上における半導体レーザの高効率化を行うとともに複数の光増幅器が並ぶアレイデバイスを実現する。

【中間目標】（2017年度末）

異なる機能の光回路を同一回路基板上に集積し、光FPGAコンセプトを実証する。また、これらの検討を通じて、光電子集積サーバ技術への技術展開の見通しを示すとともに事業化に対する課題を明確化する。

【中間目標】（2019年度末）

光電子集積インターポーザへの展開に向け、光FPGAを構成するハイブリッド光素子の集積プロセスシーケンスを確立し、光FPGAの原理実証を行う。

【最終目標】（2021年度末）

光電子集積インターポーザへの展開に向け、シリコンインターポーザ上で機能可変型光エレクトロニクス回路の基本機能を実証して光FPGA実現の見通しを明らかにすることにより、光電子集積サーバ技術の革新的展開へ寄与する。

#### [革新的光スイッチングデバイス技術]

大規模光電子集積インターポーザで実現されるサーバ回路におけるデータ通信の高効率化に向け、CPU間等の効率的なデータ転送を可能とする光ルーティング技術実現のためのハイブリッド集積光スイッチングデバイス技術、超高速集積光信号処理デバイスの開発を行う。

【中間目標】（2014年度末）

サーバ回路におけるデータ通信の高効率化を可能とする導波路クロスバー型をベースとした超小型光スイッチを試作し、スイッチング動作を実証するとともに、超高速光信号処理デバイス実現にむけた基本的な論理動作を実現する。

【最終目標】（2017年度末）

光スイッチマトリクスの低電力化、光信号処理デバイスの10Gbps程度での動作を実証する。また、これらの検討を通じて、光電子集積サーバ技術への技術展開の見通しを示すとともに事業化に対する課題を明確化する。

### 研究開発項目② 「光エレクトロニクス実装システム化技術の開発」

#### 1. 研究開発項目の概要

本プロジェクトで目指す小型、高速、低消費電力の光電子融合サーバを実現するには、それに適したシステムアーキテクチャを見出すとともに、運用信頼性のある実用性の高い技術の開発が必要である。光電子集積インターポーザは、これまでの研究開発の成果を集約しアウトプット目標を達成するために重要な素子であり、そのデバイス技術、実装技術およびシステム化技術を開発する必要がある。

本研究開発では、光配線導入による低消費電力化や高速化などのメリットを生かすサーバ等のシステムアーキテクチャの要件・課題を抽出し、研究開発項目①光エレクトロニクス実装基盤技術の開発の要素技術を用いてシステムを構築するための基盤技術を開発する。これにより、システムの実用性を検証するとともに、要素技術開発にフィードバックすることで、完成度の高い技術の効率的な開発を実現する。

#### 2. 研究開発の具体的内容

##### (i) システム化技術

##### (a) サーバボードのシステム化技術開発（2017年度まで）

データセンタレベルでの運用が可能な、多種のLSIを高密度集積した光電子集積インターポーザを光電子ハイブリッド回路基板上に搭載した、小型・高速動作・低消費電力光電子融合サー

バボードを実現するための基盤技術を開発する。また、高速ストレージインターフェースに適応する光インターフェースと大容量高速NANDデバイスを搭載した光インターフェース付き大容量SSDを実現するための基盤技術を確立する。

(b) ボード間接続機器、筐体間接続機器のシステム化技術開発（2017年度まで）

光送受信システムを内蔵し、光ケーブルと電気コネクタを実装した光トランシーバを開発し、アクティブ光ケーブル（AOC）を実現する。さらに、光トランシーバを集積した光電子ハイブリッド回路基板上に、既存ロジックLSIを実装した光ケーブル付きLSIを開発する。

(c) データセンタ間接続機器のシステム化技術開発（2016年度まで）

低消費電力DSP-LSIと集積型送受信光デバイスをモジュール化したデータセンタ間接続用光トランシーバの実現を目的に、高周波実装回路技術と、変調器／ドライバ、受信フロントエンド等のデバイス制御技術を確立し、小型で低消費電力の100Gbpsデジタルコヒーレント光トランシーバを実現する。

(d) 企業間ネットワーク接続機器のシステム化技術開発（2017年度まで）

シリコンフォトリソグラフィ技術を用いたアクセスネットワーク用集積光エレクトロニクスチップを開発し、企業間ネットワーク接続機器に適用する一芯双方向波長多重トランシーバのシステム化技術を確立する。

(e) 光電子集積インターポーザのデバイス・実装技術開発

2017年度までに本プロジェクトで開発された光エレクトロニクス実装基盤技術およびシステム化技術あるいはそれらと同等の技術を基に、光電子集積インターポーザを実現するために必要なデバイスおよび実装技術を開発する。

具体的には光変調器、受光器、光入出力素子、合分波器などの光電子インターポーザの構成要素となる光素子を小型化、高速化および低消費電力化するための技術を開発すると共に、光信号の多重化および多値化を検討し、光電子集積インターポーザにおける大容量信号伝送技術を開発する。

また、光電子集積インターポーザの大容量化、高信頼、低コスト化を実現する実装技術として、異種導波路を接続する技術、光電子集積インターポーザとLSIを接続するインターフェース技術、および高集積コネクタ技術を開発する。

(f) 光電子集積インターポーザのシステム化技術開発

上記(e)で研究開発する光電子集積インターポーザを情報処理装置や情報通信機器およびそのシステムに適用するために必要となるシステム化技術の研究開発を行う。

(f-1) 情報処理システム化技術

実際のデータセンタで運用が可能でありかつ光電子集積インターポーザを用いた小型かつ高速動作が可能な低消費電力光電子融合サーバボードを実現するため、必要となるシステム化技術を開発する。

(f-2) 情報通信システム化技術

シリコンフォトリソグラフィデバイス技術を応用展開した光電子集積インターポーザを用いて、小型一芯双方向波長多重トランシーバのシステム化技術を確立する。

(ii) 国際標準化

国際競争力を確保するために、諸外国での同種の研究開発プロジェクトの現状を分析するとともに、プロジェクトの進展状況を踏まえ、成果の優位性を保つために国際標準化を積極的に推進する。また、フォーラム標準化機関[OIF (Optical Internetworking Forum)、IEEE 802.3 (Next gen 100G Optical Ethernet Study Group)、COBO (Consortium for On-Board Optics)]、並びにデジュール標準化機関[IEC (International Electrotechnical Commission)]等の標準化動向を踏まえ、研究開発成果が迅速かつ広く世界の市場で受け入れられるようにする

ために、光電子集積インターポーザに関わる国際標準化を積極的に推進する。

### 3. 達成目標

電気配線を用いたサーバボード比で消費電力が3割削減でき、データセンタレベルの運用が可能な、多種のLSIを高集積化した小型・高速動作・低消費電力な光電子融合サーバボード等を実現するため基盤技術を開発し、光電子融合サーバボード実現のための目処を得ることを目標とする。

具体的には、光電子集積インターポーザを実現するために必要なデバイス技術および実装技術を開発し、10Tbps/ノードの高速・高密度化と、電気配線を使用した場合の1/10に相当する1mW/Gbpsの低消費電力を実現するための要素技術を確立する。

加えて、順次実用化する開発成果の事業化に必要な国際標準の提案と採択推進活動を行う。

各開発項目は計10年間の開発期間を最大四期に分け、それぞれの期間で目標を定めて技術開発を行う。

#### (i) システム化技術

##### (a) サーバボードのシステム化技術開発

電気配線を用いたサーバボード比で消費電力が3割削減でき、データセンタレベルでの運用が可能な光電子集積サーバボード実現のための基盤技術を開発する。多種のLSIが高密度集積した光電子集積インターポーザを光電子ハイブリッド回路基板上に搭載した小型・高速動作・低消費電力光電子集積サーバボードを実現するための課題抽出を行い、課題解決の目処を得る。また、高速ストレージインターフェースに適応する光インターフェースと大容量高速NANDデバイスを搭載した光インターフェース付き大容量SSDを実現するための基盤技術を確立する。

##### 【中間目標】(2014年度末)

光電子集積技術を最大限に活かすために光インターコネクションに要求される伝送スペック(変調速度、多重度、チャンネル数など)および光電子インターポーザの回路冷却に関する基本要件を明らかにする。また、光電子集積インターポーザと積層型ストレージチップ実装基板からなるハイブリッド型の光インターフェース付きSSDを試作し、標準ストレージインターフェースによる光接続動作を検証する。

##### 【最終目標】(2017年度末)

光電子集積サーバボードにおける伝送機能の主要部分からなる送受信部を試作し、要求スペックを満たす光伝送を実証する。また、光電子集積インターポーザに積層型のストレージチップを実装した光インターフェース付SSD技術を確立する。

##### (b) ボード間接続機器、筐体間接続機器のシステム化技術開発

光ケーブルと電気コネクタを実装した光トランシーバによるアクティブ光ケーブルの実現と、光トランシーバとロジックLSIを実装した光ケーブル付きLSIの実現に向け、次の開発を行う。

##### 【中間目標】(2014年度末)

小型光トランシーバを搭載したアクティブ光ケーブル(AOC)を完成させ、筐体間接続における実用性を実証する。また、標準化動向を考慮しながら、光トランシーバとロジックLSI間の電気伝送に関するインターフェース仕様を決定する。

##### 【最終目標】(2017年度末)

LSIと光トランシーバの接続構造を決定する。また、策定した設計基準に基づき既存ロジックLSIを搭載できる基板を設計・試作し、光ケーブルを用いたLSI搭載基板間光接続を実現する。

##### (c) データセンタ間接続機器のシステム化技術開発

低消費電力DSP-LSIと小形集積型送受信光デバイスをモジュール化したデータセンタ間接続用トランシーバの実現に向け、次の検討を行う。

##### 【中間目標】(2014年度末)

一次試作の光デバイスおよびDSP-LSIを用いたトランシーバを試作し、デバイス制御動作を検証するとともに改良・完成度向上に向けた指針・フィードバック事項を抽出する。



**【最終目標】（2016年度末）**

抽出した技術課題を解決し、目標である小型、低消費電力を満たす100Gbpsデジタルコヒーレント光トランシーバを実現する。

**(d) 企業間ネットワーク接続機器のシステム化技術開発**

シリコンフォトリソグラフィ技術を用いた集積光エレクトロニクスチップを開発し、企業間ネットワーク接続機器に適用する一芯双方向波長多重トランシーバを実現するための基盤システム化技術を確立する。

**【中間目標】（2014年度末）**

シリコン光導波路による波長合分波器を用いて1.25Gbpsの一芯双方向光トランシーバを実証する。

**【最終目標】（2017年度末）**

シリコン光導波路による双方向多重用合分波器と波長多重用合分波器を組み合わせて集積試作し、一芯双方向波長多重動作をシリコンワンプラットフォーム上で実証するとともに、企業間ネットワーク向け波長多重合分波器実用化のための要求課題を抽出し、解決の目処を得る。

**(e) 光電子集積インターポーザのデバイス・実装技術開発**

光電子集積インターポーザを実現するために必要なデバイス技術および実装技術を開発し、10Tbps/ノードの高速・高密度化を実現するための要素技術を確立する。

具体的には、光変調器、受光器、光入出力素子、合分波器など光電子集積インターポーザの構成要素となる光素子の小型、高速、低消費電力化技術を開発する。また、シングルモードファイバとの接続に適した異種導波路接続構造並びに導波路・光ファイバ間の接続構造を開発する。更に、光電子集積インターポーザにおける大容量信号伝送技術として光信号の多重化、多値化技術を開発する。

**【中間目標】（2019年度末）**

光配線の消費電力を2mW/Gbps以下にするための要素技術を開発する。また、光電子集積インターポーザの異種導波路接続技術と高集積コネクタを開発し、損失の少ないシングルモードファイバとの光リンクを実現する。

**【最終目標】（2021年度末）**

光配線の消費電力を1mW/Gbps以下とするための要素技術と、電気配線と比較し通信速度あたりの面積で1/100すなわち100倍の帯域密度を実現するための要素技術、およびシリコンフォトリソグラフィ技術による波長多重シングルモード光回路を開発することにより、10Tbps/ノードの帯域幅を持つ光電子集積インターポーザ技術を実現する。

**(f) 光電子集積インターポーザのシステム化技術開発**

**(f-1) 情報処理システム化技術**

上記(e)で開発する高速・小型・省電力光電子集積インターポーザを用いたサーバボードを実現するための要素技術を開発し、データセンターで運用できかつ電気配線を用いた場合に比べて消費電力を3割削減できることを示す。

**【中間目標】（2019年度末）**

波長多重技術を用いた接続技術を開発し、消費電力の少ない光電子集積インターポーザ技術と合わせることでサーバ電力消費量を30%削減可能であることをシミュレーションにより示す。

**【最終目標】（2021年度末）**

消費電力の少ない光電子集積インターポーザ技術と波長多重技術を用いた接続技術を組合せた光電子融合サーバボードを試作し、試作機とシミュレーションを用いてサーバ電力消費量を30%削減可能であることを示す。

**(f-2) 情報通信システム化技術**

上記(e)で開発する高速・小型・省電力光電子集積インターポーザを用いることにより、一芯双方向波長多重トランシーバを搭載した光アクセスネットワーク端末装置を小型化するための要素技術を開発し、光加入者端末装置を10cm×2cm×2cm以下のサイズに小型化する目処

をつけることを目標とする。

【中間目標】(2019年度末)

一芯双方向波長多重トランシーバに消費電力の少ない光電子集積インターポーザを実装し、動作検証を行う。

【最終目標】(2021年度末)

光電子集積インターポーザを用いた一芯双方向波長多重トランシーバを搭載することにより、光加入者端末装置を10cm×2cm×2cm以下のサイズに小型化するための実装技術を開発する。

## (ii) 国際標準化

本プロジェクトでの開発成果の事業化に必要な各種インターフェースの標準化を獲得するため、次のような標準化活動を実施する。

【中間目標】(2014年度末)

光インターコネクトに関する標準化団体(OIF(Optical Internetworking Forum)、IEEE 802.3(Next gen 100G Optical Ethernet Study Group))に参画し、「キーメンバーコミュニティ」におけるプレゼンスを確立する。また、100Gbpsデジタルコヒーレント光トランシーバに関する標準化を推進する。

【中間目標】(2017年度末)

本プロジェクトの成果である光実装部品における各種インターフェース等の標準化提案活動を行い、実用化する開発成果の事業化に必要な標準の提案を行う。

【中間目標】(2019年度末)

光電子集積インターポーザの物理仕様(サイズ、入出力構成等)、電気・光インターフェースに関する各種標準化団体に参画し、実用化する開発成果の事業化に必要な標準の提案を行う。

【最終目標】(2021年度末)

光電子集積インターポーザの物理仕様(サイズ、入出力構成等)、電気・光インターフェースに関し、提案した標準化案の採択推進活動を行う。

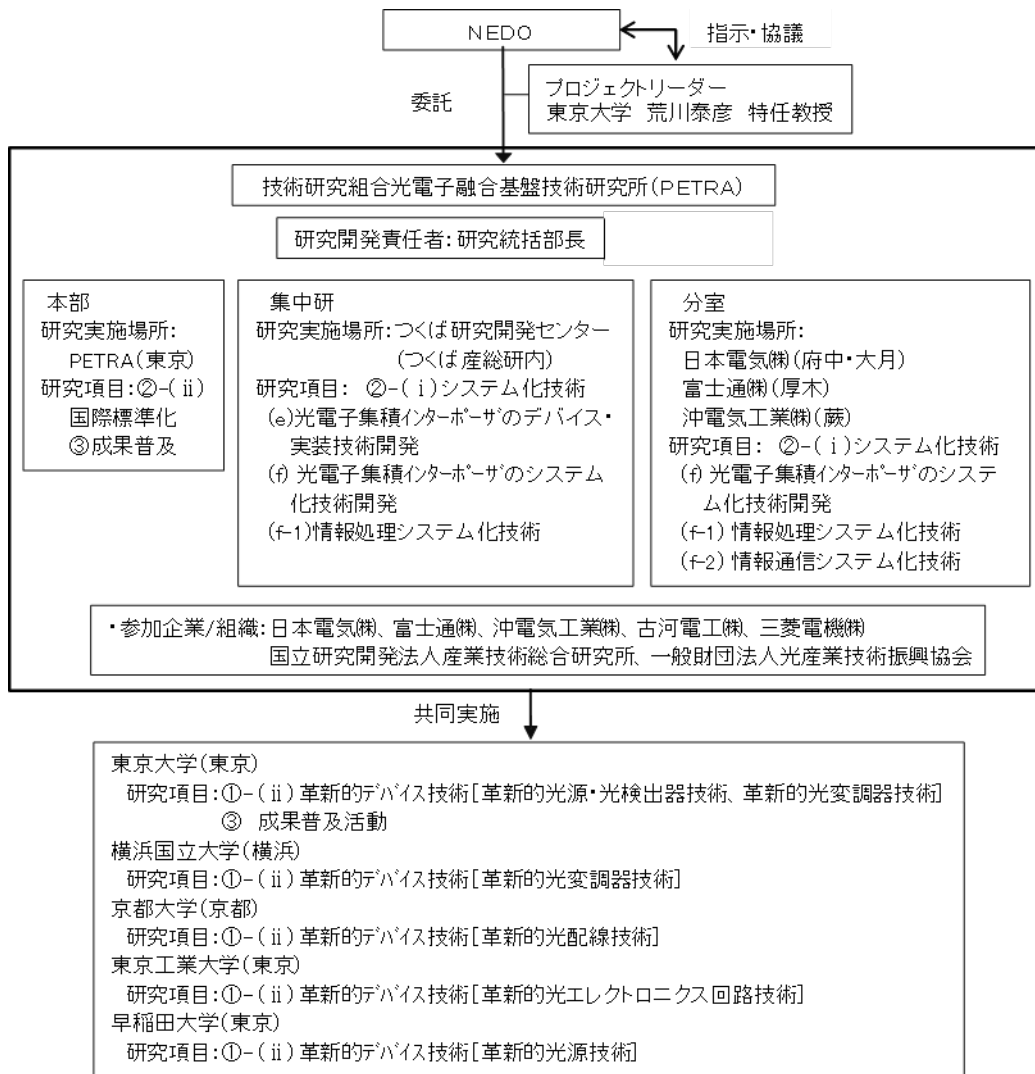
## 2.2 研究開発の実施体制

### (1) 実施体制

プロジェクト目標の達成には多くのブレークスルーが必要であることを考慮し、次のような観点から研究開発の実施体制を構築している。

- ① それぞれの研究開発テーマについて最高のポテンシャルを有する研究者を企業・機関のレベルを超えて結集させ、ドリームチームを結成する。
- ② それぞれの研究開発テーマ間のみならず、実装基盤技術とシステム化技術の研究開発テーマが相互に関連しあって目標とするシステムが構築されてゆくことから、相互に緊密な連携をとって研究開発を推進できるようにする。
- ③ 各企業・機関が所有する既存設備、ノウハウ等を有効に活用することにより、効率的かつ効果的な研究開発を可能とするとともに、できるだけ効果的な資金配分を実現する。
- ④ 参加企業・機関が一体となって標準化推進を進めるとともに、本研究開発成果の実用化・事業化をより確実なものとするため、国内外市場における事業戦略を策定しつつ研究開発を推進できるようにする。

本プロジェクトの研究開発拠点と研究項目を図II-2.2-1に示す。本プロジェクトは技術研究組合光電子融合基盤技術研究所(以下、PETRAと略記する)にNEDOが委託して実施する事業である。プロジェクトの研究員は、PETRA組合員である日本電気株式会社、富士通株式会社、沖電気工業株式会社、古河電気工業株式会社、三菱電機株式会社、国立研究開発法人産業技術総合研究所(以下、AIST)、および一般財団法人光産業技術振興協会からの出向者等によって構成されており、集中研、分室、本部において研究活動を行っている。



図Ⅱ-2.2-1 プロジェクトの研究開発拠点と研究項目

PETRA集中研は、AIST（つくば）に設置され、PETRA研究員がAISTの実験室、実験設備を活用し、光電子集積インターホーザのデバイス・実装技術、システム化技術等の研究開発を推進している。PETRA分室では、組合員各社の実験室において本研究開発に参加しているPETRA組合員が保有する設備、ノウハウ等を活用しつつ、情報処理システム化技術、情報通信システム化技術についての研究開発を推進している。PETRA本部では、光協会と協力しつつ国際標準化活動を実施するとともに、本研究開発全体の一般事務を集中的に管理している。

研究開発の全体を統括するプロジェクトリーダー（PL）の下に、PETRAが実施する研究開発内容について責任を持つ研究統括部長を置き、プロジェクト全体の運営、研究開発進捗管理と迅速な意思決定、研究項目間の効果的な連携が可能になるように全体の実施体制を構築している。

本プロジェクトにおける研究総括責任者であるプロジェクトリーダーは下記の役割を担い、プロジェクト全体の運営を行っている。

1. 組織関係
  - (1) 研究体（分室、集中研）の設置、廃止等の組織構成案の策定。
  - (2) 研究体の研究サブリーダー等の選任と解任。
2. 予算関係
  - (1) 各事業年度における予算配分の調整および予算案の策定。
3. 研究計画・管理関係

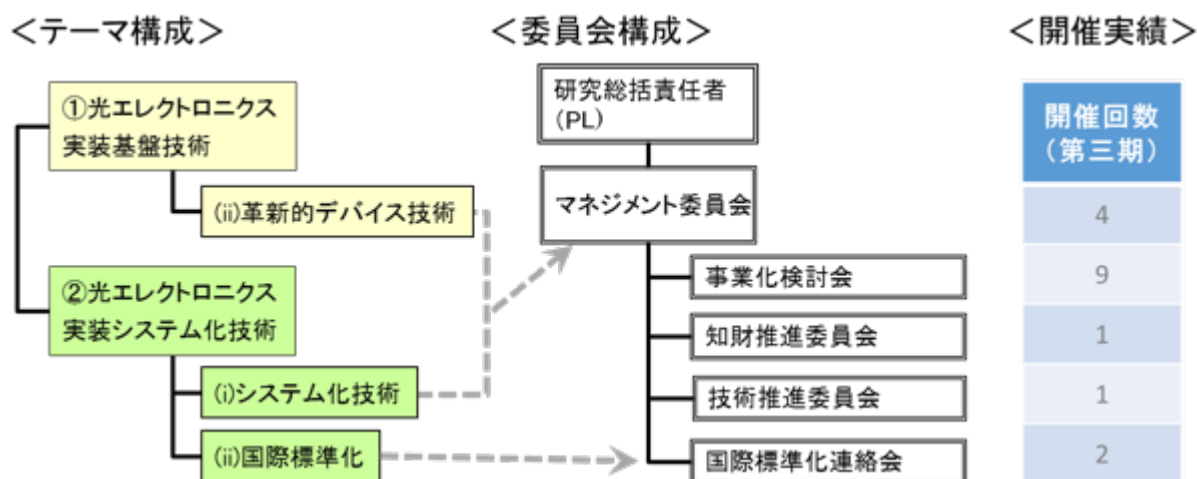
- (1) 各研究体の研究サブリダー等から構成される「マネジメント委員会」、「技術委員会」を開催し、年間計画の策定や研究進捗状況の管理および総合調整を行う。  
また、P E T R Aより3回/月程度の頻度でプロジェクトの進捗状況について報告を受け、プロジェクト全体の進捗状況を把握する。
  - (2) P E T R Aとともにプロジェクト成果の実用化計画を協議するとともに、それを考慮した研究開発計画を策定する。
  - (3) 年度毎のプロジェクト推進目標を策定し、これを管理/フォローアップを実施する。
4. 研究成果関係
- (1) 特許、論文、学会発表、標準化寄与文書、新聞発表、展示会出展等のプロジェクト成果の計画策定と実績の管理実施。
5. その他
- (1) プロジェクト活動の啓蒙・啓発事業として、ワークショップやシンポジウム等の企画立案と実施。
  - (2) 経済産業省、N E D O、大学等の各種関係会議やヒアリング等への対応および総括。

(2) 共同実施

研究開発項目①光エレクトロニクス実装基盤技術の開発において研究開発を実施する革新的デバイス技術については、各々の分野で先進的な取り組みを行っている東京大学（革新的光源・光検出器技術、革新的光変調器技術）、横浜国立大学（革新的光変調器技術）、京都大学（革新的光配線技術）、東京工業大学（革新的光エレクトロニクス回路技術）、早稲田大学（革新的光源技術）とP E T R Aが共同研究契約を締結し、研究開発を実施している。

2. 3 研究開発の運営管理

本プロジェクトは、F I R S Tプログラムの一つである「フォトニクス・エレクトロニクス融合システム基板技術開発（P E C S T）」と連携し、その技術成果を活用しつつ光電子集積システムの実現に必要な基本技術要素を研究開発する①光エレクトロニクス実装基盤技術の開発と、その技術要素を統合してシステムとして実現するための②光エレクトロニクス実装システム化技術の開発が、相互にフィードバックを行いながら効率的、効果的に研究開発を実施し、最大化された成果を生み出すとともに、成果を早期に実用化することを目的に運営されている。その目的の実現のため、次に示す組織体を構成し、プロジェクトを推進している（図Ⅱ-2.3-1）。



図Ⅱ-2.3-1 プロジェクトの運営体制

- ① プロジェクト運営に係る最高議決機関としてマネジメント委員会を設置。四半期ごとに開催し、実施計画の進捗状況、政策動向、技術動向等を確認し、実施計画の見直しに関し、審議・決定する。大学（革新的デバイス技術）との共同実施内容については、進捗状況により適宜シ



- システム化技術としてPETRAによる開発対象としていく。
- ② プロジェクト参加組合員による成果の効果的な実用化を実現するため、プロジェクトの研究開発と参加組合員による実用化活動の方向性等について企画、調整する事業化検討会を設置。
  - ③ プロジェクト成果の早期実用化を実現するため、プロジェクトに指針を示し、サポートを行う委員会として、知財推進委員会、技術推進委員会を設置。
  - ④ 国際標準化連絡会を半年に一度開催し、国際標準化の主要メンバーから組合員に向けプロジェクトに関わる国際標準化の進捗状況を報告・議論し、国際標準化状況の周知を図る。

また、新規市場の開拓を伴う本研究開発成果の実用化を促進するため、その実用化については、研究開発終了後の企業による実用化努力のみならず、研究開発途上でも実用化可能な技術についてはバイプロダクトとして積極的に実用化を行なうこととしている。

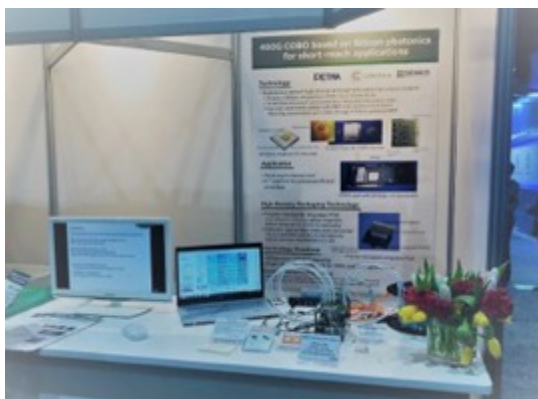
本研究開発の成果に係わる知的所有権の取得、権利の帰属、実施等に関するルールは、「超低消費電力型光エレクトロニクス実装システム技術開発」の研究開発事業に関する知的財産権取扱規程」として、知財推進委員会にて策定され、運用されている。共同実施を行っている大学における知的財産権の取扱いについても、PETRAと個々の大学間で結ばれる共同研究契約にて規定されており、それに基づいた運用がなされている。

なお、知的財産権取得規程、大学における知的財産権の取扱い規定の策定に当たっては、未来開拓研究プロジェクトの目的の一つである成果の実用化による国益の実現を阻害することが無いように、実用化時における必要な知的財産権の円滑な実施を可能とすることを基本的な方針として事前に定めている。その結果、定められた知的財産取得規程は、プロジェクト開始前に参加者が保有していた知的財産権の許諾に関する考え方や共同研究を行っている大学が取得する知的財産権の補償等の取扱い等についても考慮されたものとなっている。

NEDOは実施者とのディスカッション、情報交換を促進するため、プロジェクト全体のヒアリングおよび実施者各社の個別ヒアリングなどを通じて、研究開発の進捗状況の確認等を行うと共に、課題の共有や開発計画の見直し、加速資金の必要性、成果の実用化・事業化等について実施者と議論を行い、プロジェクトマネジメントに活用している。また、実施者間では、PETRA内の実施者間で行う四半期ごとにテーマごとの進捗確認・ヒアリング等で研究開発状況、進捗などについて報告し、議論を行うことで緊密かつ効率的に研究開発を推進している。

#### 2. 4 研究開発成果の実用化・事業化に向けたマネジメントの妥当性

プロジェクトの開始にあたり、NEDOは経済産業省と共に光素子・光デバイス、光モジュール、光通信等の光通信技術において強みを持つ企業、スーパーコンピュータ、サーバ、ストレージ、コンピュータネットワーク等の情報処理関連装置技術等において、研究面、事業面で共にトップレベルの強みを持つ企業が参加した事業の実施体制を構築し、光通信技術と情報処理装置技術との深い融合を実現するために必要な研究開発とその成果の実用化の達成に対する蓋然性を高めている。



図Ⅱ-2.4-1 国際会議での展示 (OFC2019)

これに加え、プロジェクト参加企業等において事業化に深い知識を持つ人員をメンバーとし、必要に応じてプロジェクト外部の有識者も交えて、プロジェクト成果の実用化・事業化について継続的に

議論を行う事業化検討会等を設置し、実用化の観点からプロジェクト成果の実用化に求められる要件や事業化のための戦略等について議論を進めている。

プロジェクトで開発に取り組んでいる光電子融合技術は、汎用性の高い技術であり、適用対象によっては途中段階の技術が十分有用な場合も想定されるとの認識で研究開発を行っている。また、光電子融合技術は未だ存在しない市場を切り開くものであるため、その普及には一定程度の時間も必要であることも予想される。従って、光電子融合技術のスムーズな普及をはかるため、経済産業省、NEDO、実施者間でプロジェクト成果の適用可能性のある対象の探索に努めるとともに、実用化・事業化戦略に関して継続的な議論を実施しており、研究開発途上でも実用化の可能な技術についてはパイプロダクトとして速やかに実用化を図ることとしている。

また、研究開発成果の普及を促進しつつ国際競争力を確保するには、特許の取得と標準化について戦略的に進める必要があるとの認識である。このため、知財推進委員会と国際標準化連絡会をプロジェクトに設置して、プロジェクトの実用化戦略と連携した知財戦略、標準化戦略を策定し、プロジェクト成果のオープン化、クローズ化を実践している。また、技術の実現性を示して標準化活動を支援するため、ECOC、OFC等の主要な国際会議において成果発表や、成果の展示を行った。OFC 2019での展示デモ風景を図II-2.4-1に示す。

連携プロジェクトであるPECS Tの成果活用に関しては、両プロジェクトの連携会議として設置されたガバニングボードにおいて、経済産業省、内閣府とともに協議を行い、PECS Tで取得された知財や人材等を効果的に活用するための取り決め等について整備を行った。

### 3. 情勢変化への対応

情勢変化への対応としては、下記のような取り組みを行っている。

- 1) 国際競争力強化や実用化に資すべく本プロジェクトで開発を進めている要素技術の研究開発成果に基づき、当初の計画を変更する形で、実施方針の変更や加速資金の投入を実施した。光電子集積インターポーザは技術的ハードルが高いため、実装技術・評価技術の開発を前倒しし、実用化検討を推進している（表II-3-1）。

表II-3-1 研究開発目標の妥当性と情勢変化への対応

2021年度末の  
性能目標は妥当

2021年度末性能目標 (電気配線比)		・光電子集積デバイス：大容量10Tbps/ノード、低消費電力1mW/Gbps(1/10)、小型化(1/100以下) ・光電子集積システム化：低消費電力(3削減)、DCで運用可能、通信モジュール超小型化		
項目	テーマ	研究開発目標(2019年度末)	情勢の変化	目標の妥当性と対応
① 盤 技 術	革新的 デバイス 技術	◆光電子集積インターポーザの継続的高性能化を可能にする、革新的基盤技術：光源、光検出器、光変調器、光導波路のデバイス技術や機能可変な光回路システム技術、を開発する。	◆モバイル通信、クラウドコンピューティング、IoT・AIの進展により、通信量がさらに増加すると予測	目標は妥当
	② 実 装 シ ス テ ム 化 技 術	◆光集積インターポーザの異種波路接続技術と高集積コネクタを開発し、損失の少ないシングルモードファイバとの光リンクを実現する。 ◆光配線による10Tbps伝送へ向けた課題を抽出し、サーバ電力量を30%削減可能であることをシミュレーションにより示す。	◆シリコンフォトニクス技術の開発競争激化 ◆競合各社が相次ぎ光接続サーバ、データセンタの高度化を提案 ◆データセンタの消費電力削減を目指した海外プロジェクト立上げが進行	実施事項を追加(2018年) ◆光電子集積インターポーザは技術的ハードルが高いが、実装技術・評価技術の開発を前倒し。実用化検討を推進。2020年度は光波路実装スループット向上をめざした技術開発を計画。
	国際 標準化	◆研究開発成果の普及促進に必要な標準化提案を行う。	◆電気配線の技術も進展し、1レーン20Gbps伝送を超える技術の報告も相次ぐ	目標は妥当
③	成果普及 活動	◆ビジョン形成を含む教育カリキュラムへ展開 ◆周辺領域の調査・基礎研究を応用研究へ展開	◆北米5Gの立ち上がり	目標は妥当

- 2) 国際的な学会動向や、欧米を中心とした先進各国の国家プロジェクト動向、並びにロードマップ等の最新情報を入手することで、本プロジェクトの研究開発レベルのベンチ・マーキングの見直しを定期的に行い、実施計画・方針等の変更反映させている。

3) 実用化の目処が見えた光デバイスは、プロジェクト終了を待たずに実用化の準備を進めている。

#### 4. 中間評価結果への対応

2017年度に実施された中間評価において、プロジェクトの必要性、研究開発マネジメント、研究開発成果、実用化・事業化に向けた取り組み及び見通しが評価され、当初計画した計10年間の事業遂行が妥当と認められた。本事業に対し提言された指摘事項と、その後の対応進捗について表Ⅱ-4-1に示す。これらを受けて、NEDOは各研究開発項目の進捗と整合性・連携状況の確認を行うと同時に、政策動向・業界技術動向なども把握して、必要な対策を合議し、プロジェクトリーダーおよび実施者と連携して研究開発の運営管理を実施することとした。具体的には以下の3つの対応策を推進した。

- 大学と企業の連携強化を図るとともに人材育成など成果普及活動を推進した。
- 光電子集積インターポーザの低コスト化や接続性向上を可能にするポリマー導波路、曲面ミラー、光コネクタを活用した異種導波路接続技術の効率化を推進した。
- 国内外の動向調査を行い、電気配線を光配線に置き換え、省電力化に貢献できる市場を把握し、事業化へ向けた取り組みに着手した。

これらに加え、高いコストを要するデバイス素子等の開発には、シミュレーションを積極的に活用し、財源・リソースの適切な配分に努めている。

#### 5. 評価に関する事項

NEDOは、技術的および政策的観点から、研究開発の意義、目標達成度、成果の技術的意義および将来産業への波及効果等について、外部有識者による研究開発の評価を事業項目毎に実施する。具体的には、2014年度、2017年度に中間評価を実施済みであり、また、2019年度に中間評価、2022年度に事後評価を実施する計画としている。評価結果は、経済産業省と相談のうえ、事業の延長・加速・縮小や必要な体制の再構築などを含めて後年度の研究開発に迅速に反映することとする。

なお、評価の時期は、当該研究開発に係る技術動向、政策動向や当該研究開発の進捗状況等に応じ、前倒しする等適宜見直すものとする。

表Ⅱ-4-1 2017年度中間評価の指摘事項と対応進捗

### ＜第三期計画に反映した中間評価の提言＞

2017年中間評価の提言		第三期計画への反映
1	革新的デバイス技術研究において、技術推進委員会での情報交換や討論などを通じて <b>大学と企業間の連携をより一層強化</b> して、本プロジェクト成果としての貢献を明確化することを期待する。	開発テーマ個別の進捗と同時に <b>テーマ間の整合性・連携状況を四半期に一度確認し必要な対策を講じる</b> ことにより、大学・企業等実施者間の連携強化を図り推進。（基本計画「研究開発の運営管理」の項に反映）
2	コストパフォーマンスを意識して情勢変化へ機敏な対応をしつつ、 <b>時代のスピードに乗って柔軟に製品を送り出すなど、更に多くの実用化・事業化を実現</b> することを期待する。	<ul style="list-style-type: none"> <li>・光電子集積インターポーザの<b>低コスト化、接続性向上</b>のため、ポリマー導波路、曲面ミラー、光コネクタを活用した<b>異種導波路接続技術の効率化</b>。</li> <li>・技術動向調査「ICT機器における情報伝送高速化技術に関連する」を実施。<b>コストを考慮しつつ、現状の電気配線を光配線に置き換え、省電力化に貢献できる市場を把握</b>。</li> </ul>



## Ⅲ. 研究開発成果

### 1. 事業全体の成果について

#### 1. 1 事業全体の成果について

電子機器の電気配線を光配線に置き換える光回路技術と電子回路技術を融合させた光エレクトロニクス実装システム技術を開発するために、以下の項目について研究開発を進める。

研究開発項目①光エレクトロニクス実装基盤技術の開発

(ii) 革新的デバイス技術

研究開発項目②光エレクトロニクス実装システム化技術の開発

(i) システム化技術

(e) 光電子集積インターポーザのデバイス・実装技術開発

(f) 光電子集積インターポーザのシステム化技術開発

(ii) 国際標準化

③成果普及活動

なお、研究開発項目① 光エレクトロニクス実装基盤技術の開発 (i) 実装基盤技術および研究開発項目②光エレクトロニクス実装システム化技術の開発 (i) の (a) (b) (c) (d) については本「超低消費電力型光エレクトロニクス実装システム技術開発」プロジェクトの2012年度～2017年度で開発が終了している。(「超低消費電力型光エレクトロニクス実装システム化技術開発」(中間評価)分科会資料7-1参照のこと)

事業原簿では、研究開発項目に沿って成果を記述する。

#### 1. 2 知的財産権等の確保に向けた取組み

研究開発成果の実用化・事業化を推進するためには、製品の性能優位性を確保するとともに、持続的に市場優位性を確保するために、簡単に他社に真似されない製品とする必要がある。プロジェクト成果の事業化を推進するために、オープン・クローズ戦略に基づき成果の知的財産権利化とブラックボックス化により参入障壁の形成を目標に活動する。

・オープン化 (知的財産権利化)

光電子集積インターポーザの構造、外観等を知財化し、電気・光の入出力に関わるインターフェース部を標準化して、開発技術が世の中で使われるようにする。コア技術である光電子集積インターポーザの集積光/電子回路と実装構造について、権利化を進めるとともに、外部特許を継続的に調査し、競争力のある知財創出を目指す。

・クローズ化 (ブラックボックス化)

知財権化しても権利の防御の難しい光電子集積インターポーザの実装方法、装置仕様等はノウハウとしてブラックボックス化し、誰も容易にまねのできない参入障壁を築く。

国際標準化に関しては、開発成果が広く受け入れられるよう、電気・光の入出力に関わるインターフェース部を主に標準化することを目標に活動する。研究開発項目②(ii) 国際標準化が担務とする。半年に一度、国際標準化連絡会を開催し、国際標準化の主要メンバーから組合員に向けプロジェクトに関わる国際標準化の進捗状況を報告・議論し、国際標準化状況の周知を図る。

#### 1. 3 成果の普及

プロジェクト内で共有されてきた研究開発成果の社会実装、産業への波及効果を推進するために、研究開発の実施期間中から、研究開発の成果が迅速かつ広く受け入れられるように、ニュースリリース、展示会への出展、シンポジウム開催等の取組みを通じて光エレクトロニクス技術の情報発信、普及促進を推進する。さらに、光エレクトロニクス技術の共通基盤技術を、一般のユーザ、研究者、学生等へ幅広く普及させるために、成果普及、人材育成に向けたプログラムを実施する。プログラムでは、光エレクトロニクス分野におけるイノベーション創出に向けた周辺研究、人材育成、ビジョン形成等の活動を推進する。

研究開発成果の普及として、学会活動、展示会活動、ニュースリリース等を表Ⅲ-1-1 にまとめる。特許については、プロジェクト成果の活用のため、国内外で積極的に出願している。

表Ⅲ-1-1 事業全体の成果と成果普及（2018年4月1日～2019年7月19日）

年度	特許国内登録	特許海外登録		論文・学会発表	ニュースリリース	主要展示会
合計	41	21		95	3	-
2018年度	27	16		67	2	OFC2019
2019年度	14	5		28	1	CEATEC(予定) OFC2020(予定)

#### 1. 4 研究開発目標の達成度について

研究開発の中間目標に向けた進捗状況を表Ⅲ-1-2にまとめる。達成度は全て大幅達成◎、達成○となっている。

表Ⅲ-1-2 事業全体の進捗状況

テーマ	2019年度末中間目標	主な成果状況	達成度
革新的デバイス技術	光電子集積サーバの継続的な高性能化を可能とする光電気集積デバイスの更なる小型化・低消費電力化・高機能化に向け、光源、光検出器、光変調器、光導波路のデバイス技術開発や機能可変な光回路システム技術の開発を行う。	<ul style="list-style-type: none"> <li>・シリコン基板上直接量子ドットレーザの高温(101°C)での発振に成功</li> <li>・シリコン基板上 InGaAs 薄膜構造で、受光器の 1fF 以下の寄生容量を実証</li> </ul>	◎
光電子集積インターポーザのデバイス・実装技術開発	光配線の消費電力を 2mW/Gbps 以下にするための要素技術を開発する。また、光電子集積インターポーザの異種導波路接続技術と光コネクタを開発し、損失の少ないシングルモードファイバとの光リンクを実現する。	<ul style="list-style-type: none"> <li>・変調器、受光器の 56Gbps 動作実証</li> <li>・16 波長合成分波を可能とする光素子を動作実証</li> <li>・EA 変調器を開発し、今年度中に 2mW/Gbps 以下を達成見込み</li> <li>・三次元造形ポリマーミラー形成技術を開発し、シリフォトチップからのシングルモード光の入出力を確認</li> </ul>	◎
光電子集積インターポーザのシステム化技術開発	波長多重技術を用いた接続技術を開発し、消費電力の少ない光電子集積インターポーザ技術と合わせることでサーバ電力量を 30%削減可能であることをシミュレーションにより示す。	<ul style="list-style-type: none"> <li>・システム化実装の課題抽出に向けた検証用サーバボードの構成を決定サーバ消費電力見積と上記実行時間の短縮見込みから、サーバ消費電力量の 30%以上削減可能性を確認した</li> <li>・TWDM-PON ONU 用光電子集積インターポーザの基本構造を設計</li> </ul>	○
国際標準化	光電子集積インターポーザの物理仕様（サイズ、入出力構成）、電気・光インターフェースに関する各種標準化団体に参画し、標準化動向を踏まえ、実用化する開発成果の事業化に必要な標準の提案を行う。	<ul style="list-style-type: none"> <li>・フォーラム標準化機関において、インターフェース標準化を推進</li> <li>・デジュール標準化機関（IEC）において、光集積回路パッケージの標準化を推進し、最終文書段階に進展。</li> </ul>	○
成果普及活動	プロジェクト内で共有されてきた研究開発成果の共通基盤技術を一般ユーザ、研究者、学生等へ幅広く普及させる。ニュースリリースを計画的に進める。	<ul style="list-style-type: none"> <li>・フォトリクス・イノベーションセミナーは、2018年度に4回のセミナーを開催した</li> <li>・プレスリリース 3件</li> </ul>	○

成果の最終目標の達成可能性について表Ⅲ-1-3にまとめる。全テーマが達成可能の見込みである。

表Ⅲ-1-3 成果の最終目標の達成可能性

テーマ	最終目標（2021）	達成見通し
革新的デバイス技術	各デバイスの最終目標を達成するとともに、光電子集積インターポーザへの技術展開の見通しと事業化に対する課題を明確化する。	中間目標の達成性をさらに展開するとともに、PETRA 研究員との議論を重ね、サーバ技術への展開を図ることによって目標達成の見込み。
光電子集積インターポーザのデバイス・実装技術開発	光配線の消費電力を1mW/Gbps以下とするための要素技術と、電気配線と比較し通信速度あたりの面積で1/100すなわち100倍の帯域密度を実現するための要素技術、およびシリコンフォトリソグラフィ技術による波長多重シングルモード光回路を開発することにより、10Tbps/ノードの帯域幅を持つ光電子集積インターポーザ技術を実現する。	<ul style="list-style-type: none"> <li>新規の光デバイス（変調器、受光器）開発による高速化と省電力化、波長多重合分波器による高密度化で消費電力と帯域密度の目標達成の見込み。</li> <li>ポリマー技術を適用した高精度な光実装技術の開発による低損失化により、10Tbps/ノードの帯域幅の目標達成の見込み。</li> </ul>
光電子集積インターポーザのシステム化技術開発	<ul style="list-style-type: none"> <li>消費電力の少ない光電子集積インターポーザ技術と波長多重技術を用いた接続技術を組合せた光電子融合サーバボードを試作し、試作機とシミュレーションを用いてサーバ電力量を30%削減可能であることを示す。</li> <li>光電子集積インターポーザを用いた一芯双方向波長多重トランシーバを搭載することにより、光加入者端末装置を10cm×2cm×2cm以下のサイズに小型化するための実装技術を開発する。</li> </ul>	<ul style="list-style-type: none"> <li>シミュレーションから見積もったサーバ消費電力と実行時間から、サーバ消費電力量の30%以上削減可能性を見出しており、上記のデバイス・実装技術開発の成果を盛り込んだ試作機とシミュレーションにより、目標達成の見込み。</li> <li>基本構造の設計を完了しており、上記のデバイス・実装技術開発の成果を盛り込んだ試作機により、目標達成の見込み。</li> </ul>
国際標準化	光電子集積インターポーザの物理仕様（サイズ、入出力構成）、電気・光インターフェースに関し、提案した標準化案の採択推進活動を行う。	フォーラム標準化機関(COBOに等)において、インターフェース標準化を推進するとともに、デジュール標準化機関(IEC)において、光集積回路パッケージの標準化を推進することで、目標達成の見込み。
成果普及活動	光エレクトロニクス技術を、一般のユーザ、研究者、学生等へ幅広く普及させるために、成果普及、人材育成に向けたプログラムを実施する。プレスリリース、展示会への出展等の取組みを通じて情報発信、普及促進を推進する。	フォトリソグラフィ・イノベーションセミナー、International Symposium on Photonics and Electronics Convergenceの継続的な開催、並びにプレスリリース、展示会を継続的に推進することで目標達成見込み。

## 2. 研究開発項目ごとの研究開発成果について

### 2.1 光エレクトロニクス実装基盤技術の開発

電子機器の電気配線を光化する光配線技術と電子回路技術を融合させた光エレクトロニクス実装システム技術の根幹となる光電子集積インターポーザをさらに発展させるために、革新的デバイス技術に挑戦する。

光電子集積インターポーザは、データセンタなどの低消費電力化・高速化技術として期待される光配線技術の実装の要素の一つであるが、扱うべきデータ量の増大に伴って、そこに求められる性能は益々高まっている。その要求に継続的に応えていくためには、光電子集積インターポーザを構成する光源、検出器、変調器、光導波路などの各要素デバイスおよびそれらを用いた光回路構成などにおいて、継続的な性能向上に加えて、革新的技術や新概念の導入などによる不連続な進展が必要である。本項目では、光電子集積インターポーザの継続的高性能化を可能とする革新的デバイスの基盤技術として、光源、光検出器、光変調器、光導波路のデバイス技術や機能可変な光回路システム技術の開発を行う。具体的な研究項目および担当機関は以下のとおりである

【革新的光源・光検出器技術】（東京大学、早稲田大学）

光電子集積インターポーザの光源、受光器の高性能化に向け、シリコン基板上量子ドットレーザ技術とその集積化技術の開発を行うとともに、高感度受光器に関する技術開発を行う。

【革新的光変調器技術】（横浜国立大学、東京大学）

光電子集積インターポーザの光変調器の高性能化に向けた光制御技術として、新原理に基づく次世代光変調器を開発する。

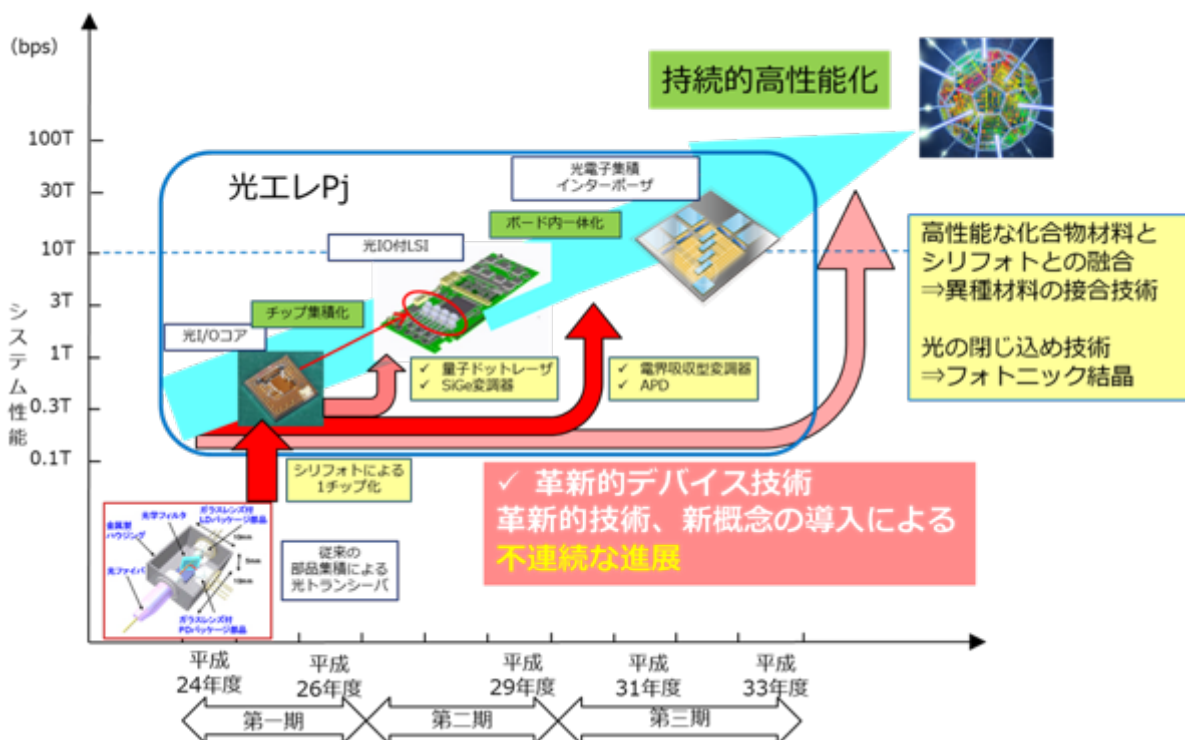
【革新的光配線技術】（京都大学）

光電子集積インターポーザの光導波路の高機能化に向けた光配線基盤技術として、フォトニックナノ構造等を用いた光配線技術の開発を行う。

【革新的光エレクトロニクス回路技術】（東京工業大学）

光電子集積インターポーザの光回路を高機能化する機能可変型光エレクトロニクス回路の基盤技術として、サーバ回路の再構成を可能とする光フィールドプログラマブルゲートアレイ技術およびそのための要素デバイスの開発を行う。

図Ⅲ-2.1-1に革新的デバイス技術のプロジェクトにおける位置づけを示す。



図Ⅲ-2.1-1 革新的デバイス技術の本事業における位置づけ



## 2. 1. 1 全体成果

研究開発の中間目標に向けた進捗状況を表Ⅲ-2.1.1-1 にまとめる。達成度は全て大幅達成の◎、達成の○となっている。

表Ⅲ-2.1.1-1 革新的デバイスの進捗状況

テーマ	2019 年度末中間目標	主な成果状況	達成度
ア) 革新的光源技術 (東京大学)	光電子集積インターポーザ用集積化光源への展開として、シリコン上量子ドットレーザの高温動作と高速変調動作を実現する。また、変調器および受光器が集積されたシリコン光回路基板上へのハイブリッド量子ドットレーザの形成技術の確立を目指す。	<ul style="list-style-type: none"> <li>・シリコン基板上直接量子ドットレーザの高温(101°C)での発振に成功</li> <li>・シリコン上量子ドットレーザの室温10Gbps 直接変調動作に成功</li> <li>・シリコン光変調器を集積したシリコン光回路基板の設計・試作を完了</li> </ul>	◎
イ) 革新的光源技術 (早稲田大学)	光電子集積インターポーザ用集積化光源への展開として、シリコン基板上量子ドットレーザと組成制御導波路のモノリシック集積構造を実現する。また組成制御導波路による変調器特性の評価および量子ドットレーザとのモノリシック集積化の課題を抽出する。さらに、シリコン基板上量子ドットレーザへの展開を図る。	量子ドット組成混合技術の条件把握によりPL ピーク波長シフトとして110nm を達成し、変調器作製の目処を付けた。モノリシック集積構造については後期に達成見込み。	○
ウ) 革新的光検出器技術 (東京大学)	光電子集積インターポーザ用集積化受光器への展開に向け、シリコン基板上に集積した受光器の低暗電流動作を実証し、高速応答動作可能な構造を明確にする。	<ul style="list-style-type: none"> <li>・InGaAs 導波路メサ構造により、1 fF 以下の寄生容量を実現可能であることを数値解析で明確化</li> <li>・シリコン基板上 InGaAs 薄膜構造において、素子長5 μmにおいて20 nA以下の低暗電流動作を実証。また1fF以下の寄生容量も実証。</li> </ul>	○
エ) 革新的光変調器技術 (横浜国大)	スローライトとRF信号の位相整合を実現する2種類の変調器について、実験と理論の比較、改善点の探索 改めて二つの変調器の試作、周波数応答の改善、遮断周波数35 GHz以上が得られるか、最速64 Gbps変調においてアイ開口が得られるか、などの評価	<ul style="list-style-type: none"> <li>・メアンダライン電極による位相整合効果で、スローライトが顕著な時に遮断周波数が改善することを確認</li> <li>・同電極と最適な終端抵抗により、最大遮断周波数の理論値50GHz以上、実験値38GHzを評価</li> <li>・50~64GbpsのOOK変調において明快なアイ開口を観測</li> </ul>	○
オ) 革新的光変調器技術 (東京大学)	光電子集積インターポーザ用の集積化光変調器への展開に向け、ハイブリッドMOS型光変調器等の高効率化・低損失化に最適な異種半導体の組み合わせを明確化する。また高誘電率ゲート絶縁膜の導入による高効率化手法および高速化に向けた寄生キャパシタンス低減構造を明確化する。	<ul style="list-style-type: none"> <li>・量子井戸構造を用いることで変調効率、変調損失を2倍程度改善可能であることを解析により明確化</li> <li>・逆バイアス動作の変調原理を実証。高速性と動作エネルギーを同時に改善可能であることを実証。</li> <li>・HfO<sub>2</sub>ゲート絶縁膜により換算膜厚を低減に成功。</li> </ul>	◎

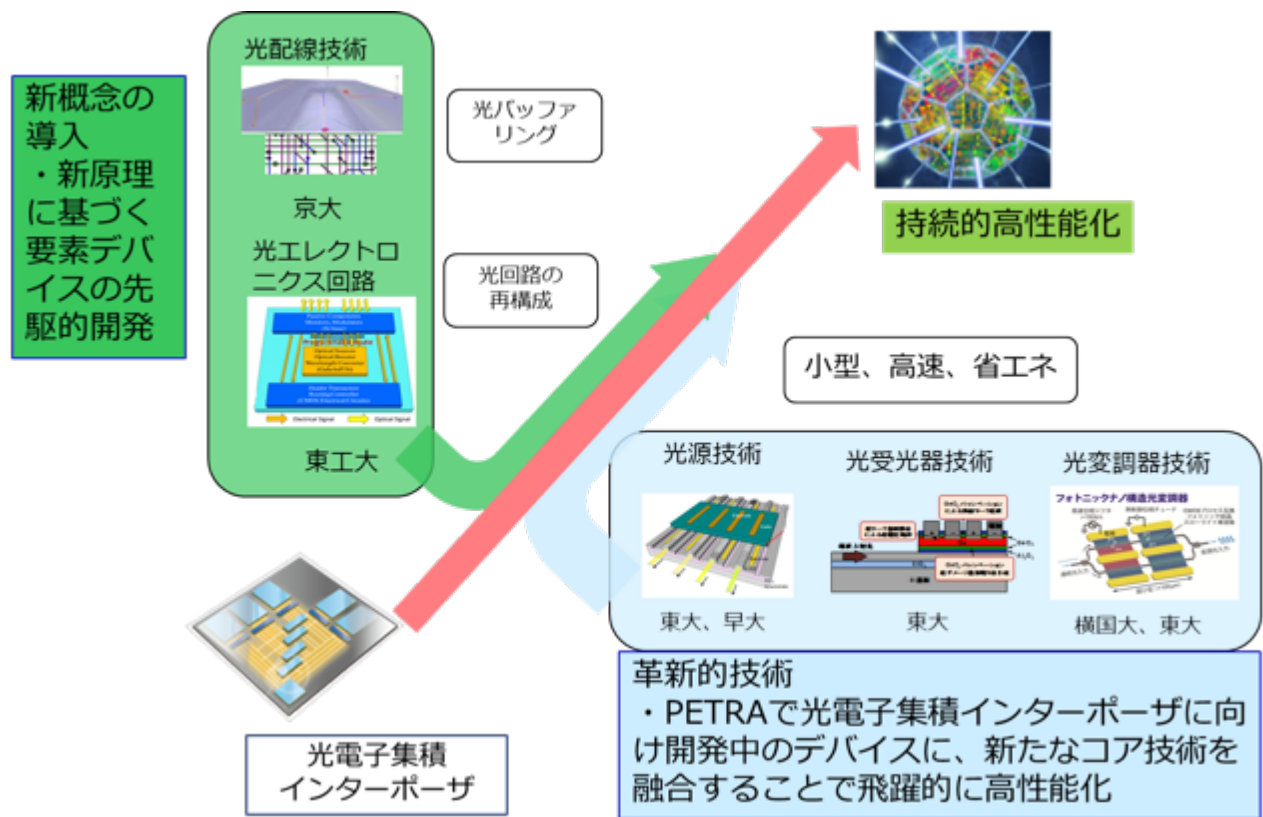


<p>力) 革新的光配線技術 (京都大学)</p>	<p>光電子集積インターポーザへの展開に向け、フォトニックナノ構造等を用いた光損失補償機能や光バッファ機能など、革新的導波路技術の可能性を示す。</p>	<ul style="list-style-type: none"> <li>・機械学習を活用した構造最適化によりフォトニックナノ構造共振器のQ値の歩留まりが大幅に向上することを実験的に示した。</li> <li>・高Q値共振器の電氣的制御に向けたプロセスを開発しつつあり、電極を導入した共振器でQ値400万を達成できるようになった。</li> </ul>	<p style="text-align: center;">○</p>
<p>キ) 革新的光エレクトロニクス回路技術 (東京工業大学)</p>	<p>光電子集積インターポーザへの展開に向け、光FPGAを構成するハイブリッド光素子の集積プロセスシーケンスを確立し、光FPGAの原理実証を行う</p>	<ul style="list-style-type: none"> <li>・広帯域ミラー構造の提案と実証</li> <li>・不揮発性スイッチの実証</li> <li>・CMOSプロセスでダミーパターンを有する素子での接合を実現</li> </ul>	<p style="text-align: center;">○</p>

## 2. 1. 2 (ii)革新的デバイス技術

コスト競争を回避し、長期的な技術的優位性を確保し続けるためには、光電子集積サーバの継続的な高性能化を可能とする光電気集積デバイスの更なる小型化・低消費電力化・高機能化が必要となる。そのため、技術的に非連続な革新的デバイスの基盤技術となる、光源、光検出器、光変調器、光導波路のデバイス技術開発や機能可変な光回路システム技術の開発を行う。

本研究は、東京大学、京都大学、東京工業大学、横浜国立大学、早稲田大学と共同研究契約を結んで推進する。図Ⅲ-2.1.2-1に革新的デバイス技術の開発テーマをまとめる



図Ⅲ-2.1.2-1 革新的デバイス技術の開発テーマ

### ア)革新的光源技術（東京大学）

光電子集積サーバ用の集積化光源への展開として、シリコン上量子ドットレーザの性能向上を目指すとともに、それらを光変調器などの機能が集積化された光チップ上に集積しその基本動作を実証する。また、シリコン基板上的高品質  $1.3\mu\text{m}$  帯量子ドット形成技術を基礎に更なる結晶成長技術の深化と波長制御技術の確立を図り、次世代集積化用光源技術として  $1.4\mu\text{m}$  以上の長波長帯のシリコン基板上量子ドットレーザの技術開発を行う。

### 目標

2019 年度中間目標：光電子集積インターポーザ用集積化光源への展開として、シリコン上量子ドットレーザの高温動作と高速変調動作を実現する。また、変調器および受光器が集積されたシリコン光回路基板上へのハイブリッド量子ドットレーザの形成技術の確立を目指す。

最終目標（2021 年度末）：光電子集積インターポーザ用集積化光源に向け、集積シリコン光回路上ハイブリッド量子ドットレーザの基本動作を実証するとともに  $1.4\mu\text{m}$  以上の長波長帯のシリコン基板上量子ドットレーザの実現可能性を示す。

## スケジュール

2018年度は、シリコン変調器などを有する光回路上への貼り合わせによるハイブリッド量子ドットレーザの集積化に向けた、プロセスフローの設計および各過程での要素技術の検討を行う。また、シリコン基板上の長波長帯量子ドットの形成に向け、量子ドットの結晶成長技術を中心にその基盤技術の開発を行う。2019年度は、ハイブリッド量子ドットレーザの高温動作などを実現するとともに、前年度の知見にもとづき、シリコン光変調器や Ge 受光器が集積されたシリコン光回路基板上へのハイブリッド量子ドットレーザの集積化技術を確認する。シリコン基板上への長波長帯量子ドットの形成技術については、バッファ層や積層量子ドット構造などの検討を進め 1.4 $\mu\text{m}$  以上の長波長化を実現する。2020年度は、これまでの成果に立脚し集積シリコン光回路上ハイブリッド量子ドットレーザを試作するとともに、長波長量子ドットの高密度化、高品質化に取り組み、2021年度は、集積シリコン光回路上ハイブリッド量子ドットレーザの基本動作を実証するとともに 1.4 $\mu\text{m}$  以上の長波長帯のシリコン基板上量子ドットレーザの実現可能性を検討することで最終目標を達成する。

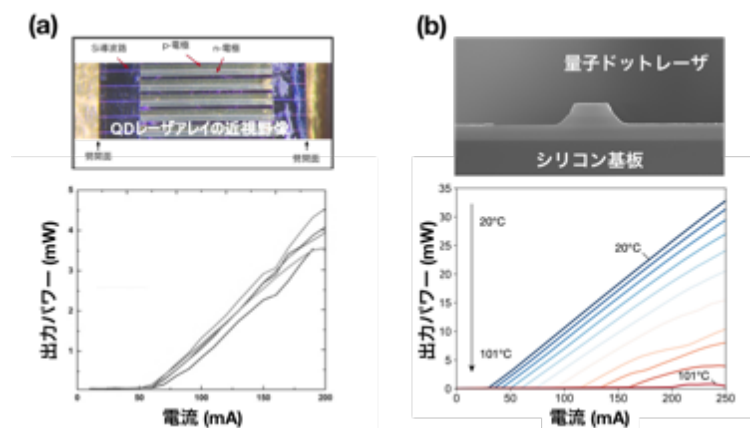
## アプローチ、特長技術

量子ドットレーザは、低閾値電流密度、高温動作特性、温度安定動作や高速変調特性などの特徴を有しており、特に低閾値動作、高温・温度安定動作は光電子融合システムの基本光源に求められる要求を満たすものである。革新的光源技術では、この量子ドットレーザをシリコン光回路上に実現する。

## 成果

多チャンネルエバネッセント結合型ハイブリッドシリコン量子ドットレーザアレイからの発振に成功した(図Ⅲ-2.1.2 ア) -1 (a)。この結果は波長分割多重方式(WDM)への応用のための中核技術であり、エバネッセント結合型量子ドットレーザの多チャンネル化を世界で初めて実証したものである。さらに、シリコン光変調器を集積したシリコン光回路基板の設計・試作を完了し、量子ドットレーザのハイブリッド集積に着手した。

Si(100)基板上での高品質バッファ層および InAs/GaAs 量子ドット層を実現し、シリコン基板上直接量子ドットレーザの 101 $^{\circ}\text{C}$  での発振に成功した(図Ⅲ2.1.2 ア) -1 (b)。本成果は、無加工シリコン(100)基板上に MBE 成長のみで実現した世界初のレーザとして位置づけられる。さらに、1.4 $\mu\text{m}$  以上の発光波長を持つ InAs 量子ドットの GaAs 基板上形成に成功し、シリコン基板上長波長量子ドットレーザへの展開の見通しを得た。



図Ⅲ-2.1.2 ア) -1 (a) エバネッセント結合型ハイブリッドシリコン量子ドットレーザアレイの光学顕微鏡写真と発振特性、(b) Si 基板上 MBE 直接成長量子ドットレーザの SEM 写真と発振特性の温度依存性

## ベンチマーク

光電子ハイブリッドシステムに搭載されるレーザの評価指標である、閾値電流密度、動作温度と温度変動に対する耐久性、レーザ出力のシリコン光導波路への結合効率、変調周波数の全てにおいて、

シリコン導波路結合型量子ドットレーザは、シリコン上量子井戸レーザと同等もしくはそれを凌駕することが可能である。一方、実証されたシリコン基板上直接成長型量子ドットレーザは、単一エピタキシー（MBE 成長）による無加工シリコン(100)基板上での初めての報告であり、他機関では追従できていない世界トップの技術である。

### イ)革新的光源技術（早稲田大学）

シリコン基板上量子ドットの組成混合により禁制帯幅波長が制御された部分的導波路形成技術を開発し、シリコン基板上に量子ドット波長可変レーザおよび高速変調器がモノリシックに集積された小型光電子集積インターポーザ用高機能集積化光源を実現する。

#### 目標

2019 年度中間目標：光電子集積インターポーザ用集積化光源への展開として、シリコン基板上量子ドットレーザと組成制御導波路のモノリシック集積構造を実現する。また組成制御導波路による変調器特性の評価および量子ドットレーザとのモノリシック集積化の課題を抽出する。さらに、シリコン基板上量子ドットレーザへの展開を図る。

最終目標（2021 年度末）：シリコン基板上に量子ドット波長可変レーザおよびⅢ-V 高速変調器がモノリシックに集積された光電子集積インターポーザ用高機能集積化光源を実現する。

#### スケジュール

2018 年度において、InP 系 1550nm 波長帯 QD で検討してきた QDI 化技術を GaAs 系 1200nm 帯 QD への適用性を検討し、最適条件を把握する。2019 年度では、これらの結果を踏まえて、QDI レーザによる結晶性の確認、QD と QDI 集積レーザの実現、制御された QDI サンプルによる吸収特性と変調器への検討、シリコン基板上 QD への集積レーザの展開を図る。

#### アプローチ、特長技術

シリコン基板上量子ドットの波長可変レーザ化、変調器モノリシック集積化において、発光以外の全ての機能をシリコン導波路に持たせるよりは、Ⅲ-V 材料で出来るだけの機能を低コストでモノリシック形成が出来ればより小型化、低コスト化を図ることが出来ると考えられる。そのためにこれまでに 1550nm 帯量子ドットで開発してきた領域制御量子ドット組成混合技術は有望な技術であり、シリコン基板上 1200nm 帯量子ドットに適用することにより、シリコン基板上の小型変調器モノリシック集積波長可変レーザの実現（図Ⅲ-2.1.2 イ）-1）が可能となる。

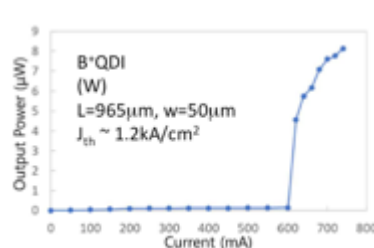
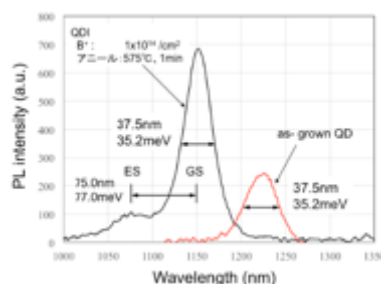
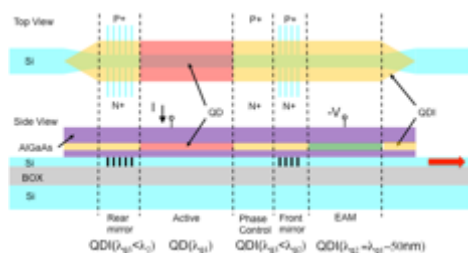
#### 成果

1550nm 量子ドットで得てきた組成混合技術の成果を踏まえて、1200nm 量子ドットにおいても同様に種々のイオン注入やドライエッチングにより組成混合が効果的に得られる条件を検討した。その結果、B<sup>+</sup>イオン注入と量子ドット成長温度程度よりやや高い温度での高速アニールにより、量子ドット波長に対して透明化される約 110nm の PL ピーク波長を得た。その際、PL スペクトルに複数ピークが現れる現象が見られたが、イオン注入条件の最適化により、連続的な PL 波長シフトが得られる条件を見出した。（図Ⅲ-2.1.2 イ）-2）STEM 断面像や EDX の組成分析から、In および Ga の元素拡散により組成ばやけや量子ドットの拡大が観測され、組成混合が発生していることを示した。組成混合のウェーハにより、低しきい値でパルスレーザ発振が確認され、（図Ⅲ-2.1.2 イ）-3）組成混合技術が結晶性に与える影響はほとんど無いことが確認され、次の低損失導波路や変調器集積のための領域制御組成混合技術および集積レーザ実現への見通しが得られた。

#### ベンチマーク

従来の送受信集積光デバイスとしては、Ⅲ-V 族半導体においてすでに商用化されているものは結晶再成長が必要で高コストであり、シリコン基板上へのハイブリッド集積においてもウェーハ貼り付けは集積機能に制限があり、また変調器の小型化に課題を有する。他方、本研究での量子ドット組成

混合技術は、量子ドット活性層の特徴を活かして、複数の禁制帯幅波長の自由な領域形成が出来る。従来技術と比較した具体的なベンチマークに至る数値は今後の進捗に委ねるが、超小型変調器がモノリシック集積された高性能な量子ドット光源の実現が可能である。



図Ⅲ-2.1.2 イ) -1 シリコン基板上変調器集積量子ドットレーザ

図Ⅲ-2.1.2 イ) -2 1200nm 帯量子ドット組成混合のPLスペクトル

図Ⅲ-2.1.2 イ) -3 1200nm 帯量子ドット組成混合サンプルのレーザ特性

### ウ)革新的光検出器技術（東京大学）

受光部を熱酸化 Si 基板に貼り合わせた素子構造は、強い光閉じ込めによる素子小型化に加えて、寄生キャパシタンス低減に優れた構造であり、小型・省電力・小型導波路受光器を実現する上で有望な素子構造である。本項目では、光電子集積インターポーザ受光器の高性能化に向け、Ge やⅢ-V 族半導体等を Si 基板の上に貼り合わせた構造等を用いた高感度受光器に関する技術開発をすすめ、高速応答可能で省電力化が可能な導波路型受光器の実現を目指した研究開発を推進する。

### 目標

2019 年度中間目標：光電子集積インターポーザ用集積化受光器への展開に向け、シリコン基板上に集積した受光器の低暗電流動作を実証し、高速応答動作可能な構造を明確にする。

最終目標（2021 年度末）：光電子集積インターポーザ用集積化受光器に向け、高速応答可能で省電力化が可能な導波路型受光器を実証することにより、光電子集積インターポーザへの技術展開の見通しを示すと共に、事業化に対する課題を明確化する。

### スケジュール

2018 年度は、貼り合わせ基板上における低キャパシタンス受光器素子構造を明確にするとともに、受光器諸特性を数値解析により明確化する。また貼り合わせ・基板剥離プロセスの検討を進め、貼り合わせ基板作製プロセスの改善に向けた検討を進める。2019 年度は、シリコン基板上に集積した受光器の低暗電流動作を実証し、高速応答動作可能な構造を明確にする。これらの成果を踏まえ、2020 年度、2021 年度は高速応答可能な導波路型受光器の実証を目指す。

### アプローチ、特長技術

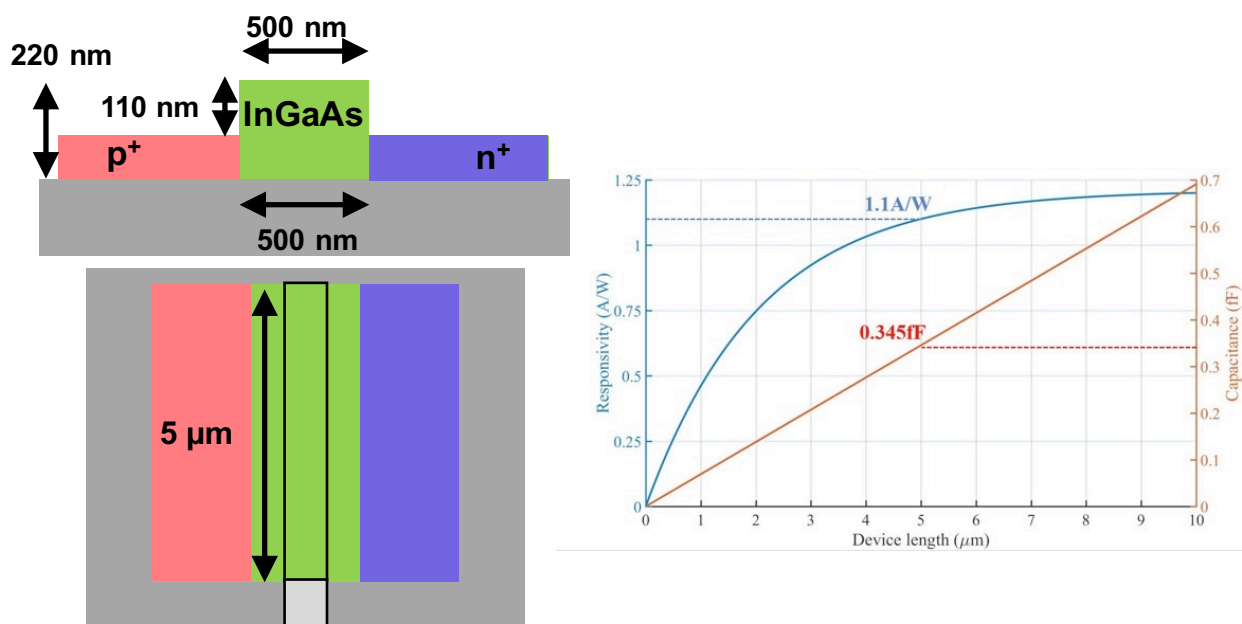
Ⅲ-V 族半導体や Ge 薄膜を Si 基板上に貼り合わせることで、極めて光閉じ込めの強い受光層を形成することが可能であることから、素子の短尺化、寄生容量の低減などにより高速・省電力の受光器が可能になり、既存の受光器の性能を大幅に向上することが期待される。

### 成果

Ⅲ-V 族半導体や Ge 薄膜を用いた受光素子構造の数値解析を進めた。検討した素子構造を図Ⅲ-2.1.2 ウ) - 1 に示す。220 nm 膜厚の InGaAs 薄膜に導波路メサ構造を形成し、横型 PIN 接合を形成することで受光感度を維持したまま寄生容量を低減可能であることを数値解析で明らかにした。素子長 5 μm においても、受光感度は 1.1 A/W と極めて大きな値が得られることが分かった。また同時に素子寄生容量も 0.35 fA 以下に低減可能であることも分かった。また応答速度も 30 GHz 以上、動作時の受



光器の消費エネルギーも 1 fJ/bit 以下が原理的には可能であることも明らかになった。InGaAs 薄膜を Si 基板上に貼り合わせた構造に横型 PIN 接合を形成した素子を作製し、基本特性の評価も進めた。暗電流は素子長 5  $\mu\text{m}$  に対して、20 nA 以下となることを実証した。また 1.5 V バイアス時の寄生容量も 1 fF 以下になることを実証することに成功した。



図Ⅲ-2.1.2 ウ) - 1 InGaAs 薄膜を用いた受光器の素子構造および受光特性数値解析結果

#### ベンチマーク

既存の InP 基板上受光器や縦型接合を用いた Si 基板上 Ge 受光器と比較して、InGaAs 薄膜を用いた本受光器は、同程度の暗電流は維持しつつ、寄生容量を大幅に低減可能であることが分かった。またフォトニック結晶を用いた受光器と比較しても一層の寄生容量低減が可能であることから、他機関と比較して大幅なアドバンテージを有している。

#### エ)革新的光変調器技術 (横浜国立大)

フォトニック結晶をマッハ・ツェンダー変調器の移相器に導入し、スローライト効果により変調効率を高め、従来の 1/10 の小型化を実現する。400G Ethernet に適用する 40 Gbps 以上の高速化を狙う。

#### 目標

2019 年度中間目標：位相整合効果が期待されるスローライト変調器を製作し、30Gbps 以上の OOK 変調動作を実証すると共に、消費電力を評価する。さらに 40Gbps 以上の動作の実現可能性を評価する。

最終目標 (2021 年度末)：光電子集積インターポーザ用光変調器に向け、位相整合対策が施された移相器長 200 $\mu\text{m}$  程度のスローライト変調器において、30Gbps 以上の OOK 変調動作を実証する。また、同様の 50Gbps 以上の動作、ならびに波長多重化、ならびに QPSK、PAM 等の多値化による 100Gbps 以上の動作の実現可能性を明らかにする。

#### スケジュール

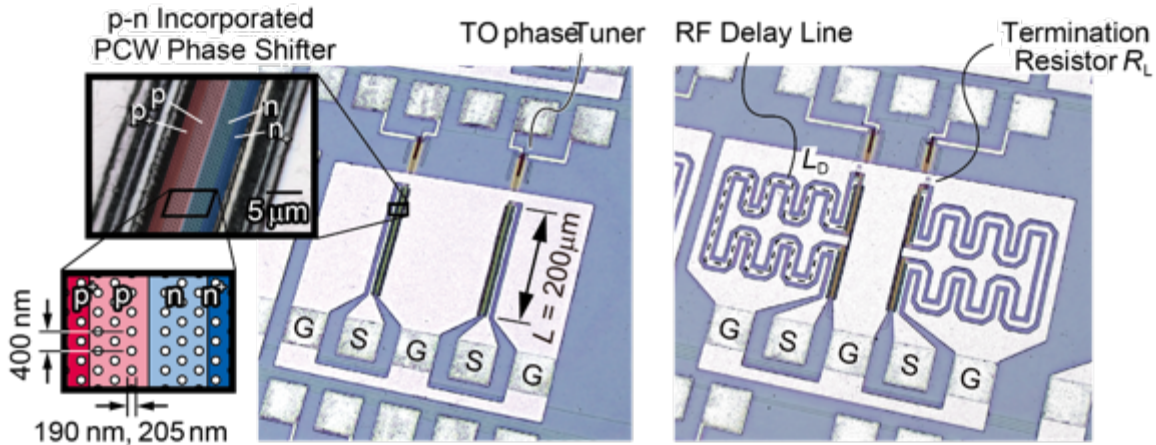
第三期の前半でメアングライン電極や分割電極など、スローライト変調器の位相不整合の問題を回避する構造を試し、高速化の見通しを付ける。後半では多重化や多値化により、100Gbps 以上を狙う。

#### アプローチ、特長技術

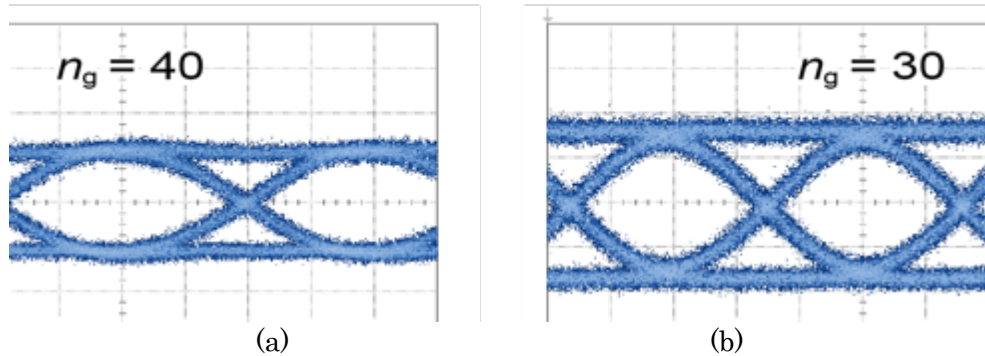
フォトニック結晶のスローライト効果により、移相器長  $200\mu\text{m}$  以下で実用十分な動作を得る。スローライトと RF 信号の位相不整合を回避するため、図Ⅲ-2.1.2 エ) -1 のような RF 遅延線=メアンダライン電極等を採用し、高速化を狙う。また終端抵抗の最適化により、周波数帯域を引き上げる。

### 成果

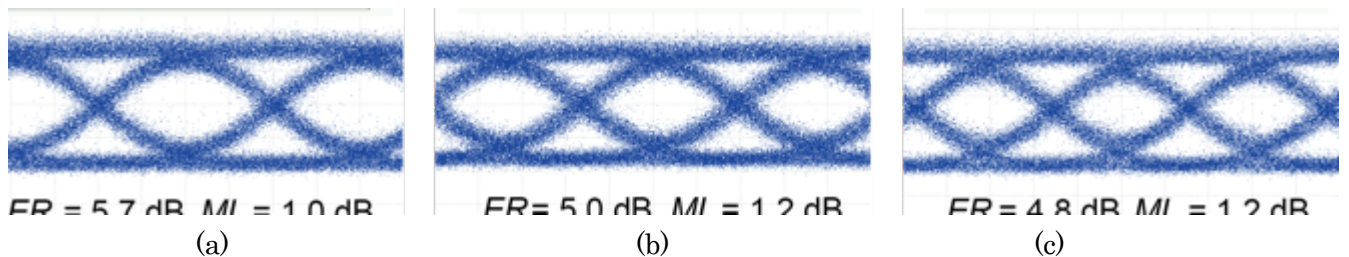
メアンダライン電極で特に位相不整合の抑制が見られ、終端の最適化で低周波側を抑制することで、最大の遮断周波数  $38\text{GHz}$  を得た。そして図Ⅲ-2.1.2 エ) -2 のように、スローライトの群屈折率を  $n_g = 30\sim 40$  に高めた状態で、 $1\sim 2V_{pp}$  という低電圧での明瞭な  $25\sim 32\text{Gbps}$  変調を得た。また  $n_g = 20$  に抑制して  $50\sim 64\text{Gbps}$  の変調を試したところ、電圧が  $5V_{pp}$  以上と高いものの、こちらも明確なアイ開口が確認された。



図Ⅲ-2.1.2 エ) -1 製作した変調器。(a) 通常電極デバイス。(b) メアンダライン電極デバイス。



図Ⅲ-2.1.2 エ) -2 比較的低速でのアイパターン。(a)  $25\text{Gbps}$ 、 $1V_{pp}$ 。(b)  $32\text{Gbps}$ 、 $2V_{pp}$ 。



図Ⅲ-2.1.2 エ) -3 高速でのアイパターン。  $5.2\sim 5.3V_{pp}$ 。(a)  $50\text{Gbps}$ 、(b)  $56\text{Gbps}$ 、(c)  $64\text{Gbps}$ 。用いているサンプリングオシロスコープが図Ⅲ-2.1.2 エ) -2 の場合とは異なる。

### ベンチマーク

今回の結果と他機関の近年の高速変調器の報告結果を表Ⅲ-2.1.2 エ) -1 で比較する。本変調器の速度は他の最高速の Si 変調器と遜色がなくなった。サイズの面では圧倒的に小さいので、現在の  $n_g = 20$  を  $30\sim 40$  に引き上げれば、電圧  $2\sim 3V_{pp}$  で消光比  $3\text{dB}$  は十分に期待できる。

表Ⅲ-2.1.2 エ) -1 他機関との性能比較

機関 (年)	トロント大 IME, Huawei (2017)	中国科学院 (2014)	マクギル大 (2015)	IMEC (2017)	横国大 (2019)
導波路	リブ	リブ	リブ	リブ	フォトニック結晶
波長帯	Oバンド	N/A	Cバンド	Cバンド	Cバンド(>15nm)
速度 [Gb/s]	50	70	60	56	64
長さ [μm]	3000	750	4250	1500	200
電圧 [V]	1.5	5.3	4.8	2.5	5.2
消光比 [dB]	3.4	6.1	3.8	2.3	4.8
オンチップ損失 [dB]					
パッシブ	5.5	3.3	3.3	2.2	5~6
アクティブ	7.1	N/A	N/A	N/A	6~8

### オ)革新的光変調器技術 (東京大学)

本項目では、主にⅢ-V 族半導体や Ge 薄膜を Si 基板上に集積したハイブリッド光変調器の高効率化・低損失化・省電力化・高速化を目指した研究開発を進める。特に、Si 基板上に異種半導体を、絶縁膜を介して貼り合わせたハイブリッド MOS 構造を用いた光変調器の研究を推進する。

#### 目標

2019 年度中間目標:光電子集積インターポーザ用の集積化光変調器への展開に向け、ハイブリッド MOS 型光変調器等の高効率化・低損失化に最適な異種半導体の組み合わせを明確化する。また高誘電率ゲート絶縁膜の導入による高効率化手法および高速化に向けた寄生キャパシタンス低減構造を明確化する。

最終目標 (2021 年度末):光電子集積インターポーザ用の集積化光変調器への展開に向け、ハイブリッド MOS 型変調器等に対し、多重化・多値変調等の伝送方式を実現する可能性を実証する。これにより、光電子集積インターポーザへの技術展開の見通しと事業化に対する課題を明確化する。

#### スケジュール

2018 年度は、光変調に適した異種半導体の検討を進め、変調特性を数値解析で明確にする。2019 年度は、光電子集積インターポーザ用の集積化光変調器への展開に向け、ハイブリッド MOS 型光変調器等の高効率化・低損失化に最適な異種半導体の組み合わせを明確化する。また高誘電率ゲート絶縁膜の導入による高効率化手法および高速化に向けた寄生キャパシタンス低減構造を明確化する。これらの成果を踏まえ、2020 年度、2021 年は、最適な異種半導体と組み合わせたハイブリッド MOS 型光変調器の動作実証を目指すとともに、多重化・多値変調動作実証を目指す。

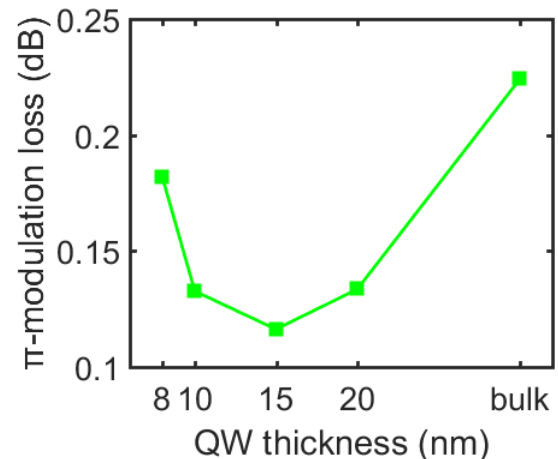
#### アプローチ、特長技術

有効質量が軽い歪み SiGe やⅢ-V 族半導体を組み合わせることで、シリコン光集積回路中の光変調に用いられる自由キャリア効果を増大可能であり、高効率光変調器を実現する上で有効であることをこれまでの研究で実証してきた。これらの半導体薄膜をゲート絶縁膜を介してシリコン導波路貼り合わせたハイブリッド MOS 構造を用いることで、既存の光変調器を大幅に性能向上することが期待できる。

#### 成果

光変調に適した異種半導体の探索を進めた結果、InGaAsP 量子井戸構造を用いることで変調時光学損失を抑制可能であることを数値計算により明らかにした (図Ⅲ-2.1.2 オ) - 1)。また InGaAsP に替

わり Ge を用いたハイブリッド MOS 構造を新たに提唱した。数値計算により、Ge 中の正孔による自由キャリア吸収を用いた光変調が可能であることを明らかにした。また InGaAsP を用いたハイブリッド MOS 構造に逆バイアスを印加した空乏型光変調動作を新たに提唱し、高効率変調と高速動作が両立可能であることを実証することに成功した。また不要なシリコンスラブ部分をエッチングすることで寄生容量の大幅な低減に成功した。Al<sub>2</sub>O<sub>3</sub>に代わり、高誘電率ゲート絶縁膜である HfO<sub>2</sub>を用いたハイブリッド MOS 構造の検討も進めた。HfO<sub>2</sub>を用いることで換算ゲート絶縁膜膜厚を 3.5 nm 程度に低減可能であることを実証し、一層の変調効率改善が可能であることを明らかにした。



図Ⅲ-2.1.2 オ) -1 量子井戸を用いたハイブリッド MOS 光変調器素子構造および変調時損失解析結果

#### ベンチマーク

Ⅲ-V 族半導体薄膜を用いたハイブリッド光変調器構造を用いることで、従来のⅢ-V 族半導体厚膜を用いたハイブリッド光変調器や InP 基板上の光変調器と比較して、光閉じ込めを大幅に大きくすることが可能となる。逆バイアス印加による電界効果で光変調も可能であり、変調効率や動作速度、変調時損失などにおいて大幅なアドバンテージを有する。

#### カ)革新的光配線技術（京都大学）

本研究では光電子集積インターポーザへの展開に向けた革新的導波路技術として、シリコンフォトニックナノ構造等の検討を行う。シリコンフォトニックナノ構造は微小領域における光情報の保持と、保持されている光に様々な操作を加えるという機能を実現できる可能性を持つ。特に光保持領域同士の結合の強度および位相を動的に制御して固有状態を操作する手法を展開することにより、光バッファ機能等の高度な導波路技術の可能性を探求する。これらの効果を用いて、高度な機能を持つ革新的導波路技術を探求し、さらにはこれらを統合することなどにより高度な光配線技術を開発し、光電子融合サーバ技術の革新的展開へ寄与する。

#### 目標

2019 年度中間目標：光電子集積インターポーザへの展開に向け、フォトニックナノ構造等を用いた光損失補償機能や光バッファ機能など、革新的導波路技術の可能性を示す。

最終目標（2021 年度末）：光電子集積インターポーザへの展開に向け、フォトニックナノ構造等による光損失補償機能や光バッファ機能を統合することなどにより高度な光配線技術を開発し、光電子融合サーバ技術の革新的展開へ寄与する。

#### スケジュール

2018 年度は、光バッファ機能等の高度な導波路技術において重要となるフォトニックナノ構造の光保持損失の低減に有効な手法を検討しつつ、光保持領域同士の結合強度・位相を動的に制御できる手法を検討した。



2019年度は、2018年度に検討した構造最適化手法を用いて設計したフォトニックナノ構造を作製し、保持時間増大の可能性を検討する。光保持領域同士の結合制御に関しては、電氣的制御が可能な超低損失フォトニックナノ構造を実現し、動的な結合制御の可能性を実験的に検証する。

2020年度は、大域的構造最適化手法と損失補償手法を統合することにより、光保持時間の増大の検討を行う。また、光保持領域間の結合の動的制御を多数の光保持領域へと拡張し、それによる導波制御の可能性を検討する。

2021年度は、大域的構造最適化手法、損失補償手法、光保持領域間の結合制御を統合する可能性について検討を進める。

### アプローチ、特長技術

京都大学グループは他に追随を許さない世界最高の実験 Q 値 1100 万を示す超低損失フォトニック結晶共振器を作製する技術を持つ。この技術をコアに光バッファ実現を目指す。また導波路を介して離れた共振器同士を強く結合させる独自の技術を開発しており、これにより光保持用の超低損失共振器と制御用共振器を空間的に分離して、制御に伴う損失の増加を抑制しつつ、高度な光制御を行うというアプローチをとる。また制御用共振器を周波数変調することで、周波数の異なる光保持共振器同士を動的に接続する。さらに、光ナノ構造の高い構造自由度を十分に活用して各種の性能を最適化するための、機械学習に基づく独自の構造最適化手法を開発しつつあり、これをもう一つの軸として光バッファ実現を目指す。

### 成果

光共振器の損失の低減に関しては、機械学習を活用した新たな構造最適化手法を提案・実証した。この手法ではまず、手動設計によって Q 値を最大化したフォトニック結晶共振器(理論 Q 値 1.4 億)に対して上下左右対称なランダムな空気孔シフトを導入した構造を多数生成し、その Q 値を第一原理手法によって計算することで、学習データセットを用意する。次に 4 層の畳み込みニューラルネットワークに、空気孔シフトパターンと Q 値の関係を学習させる。これにより、900 個のデータを学習した後のニューラルネットワークは誤差 16%程度で構造から Q 値を予測できるようになった。次に学習済みニューラルネットワークを用いて Q 値の構造パラメータに対する微分(勾配)を求め、これをもとに Q 値が高くなる方向に構造を少しずつ変化させることで最適化を行い、得られた構造の Q 値を第一原理計算によって確認した。その結果、手動最適化による最大値 1.4 億を 10 倍以上上回る 16 億という Q 値が得られ、本手法の有効性が示された。

光保持領域同士の動的な結合制御に関しては制御用共振器を介して 2 つの光保持用共振器を接続した構造において、光保持用共振器同士の周波数が一致していなくても、制御用共振器にその差周波数に相当する高周波変調を加えることで、離調のある保持領域同士を実効的に結合できることを理論的に見出した。この実効的結合においては、制御用共振器に加える周波数変調の量と位相を調整することで、結合強度だけでなく、結合位相も動的に制御できる。実験的には制御用共振器を挟む形で面内 pn 接合を形成し、この pn 接合に高周波電圧を印加して制御用共振器内のキャリア密度を変化させ、これによって屈折率を変えることで実効的な結合の形成に必要な変調を加え、2 共振器間の光転送を実証することを第一段階とする。現在、動的制御用の面内 pn 接合および初期波長調整用のマイクロヒーターを導入したフォトニック結晶光回路を試作しつつあり、電氣制御用の電極を導入した状態で Q 値 400 万程度の共振器を作製できることは確認している。さらに面内 pn 接合と制御用共振器の距離やイオン打ち込み後の活性化アニールの条件を最適化することで、上述のような高 Q 値の光保持領域と pn 接合を含む制御用共振器からなる光回路の実現を目指す。

### ベンチマーク

本検討で開発した機械学習に基づく共振器構造最適化手法と、他の構造最適化手法の比較を下表に示す。様々な構造に適用可能で、自動で構造を探索でき、かつ少ない共振器データで非常に高次元のパラメータを最適化できることから、本手法が他手法に比べて圧倒的に優位であることが分かる。



表Ⅲ-2.1.2 カ) 1 ベンチマーク

手法	遺伝的アルゴリズム	漏れモード可視化	導波モード解析	機械学習 (本開発)
内容	ランダム生成パターンからのエリート構造の抽出、掛け合わせにより次世代構造を生成	ライトコーン内成分の逆フーリエ変換で漏れ位置を特定	共振器モードが好適な包絡線を持つように構造を逆算。	構造と Q 値の関係を学習し、これを元に構造最適化
適用性	様々な構造に対応可能	様々な構造に対応可能	導波路型以外の構造には対応できない	様々な構造に適応可能
探索	自動	手動	構造が一意に決まる	自動
最適化度/必要計算量	比較的多数の共振器データが必要。 7 パラメータの最適化に 36000 パターンの共振器データが必要。	1 パラメータずつの最適化  複合パラメータの最適化ができない	逆算時の単純化の範囲内での最適化  最適化の度合いは低い	最適化度が高く、必要な共振データも少ない。 1000 パターンの学習で 27 パラメータの最適化が可能
文献	<i>APL</i> . 111, 131104 (2017).	<i>Opt. Exp.</i> 24, 9541 (2016).	<i>J. L. T.</i> 26, 1532 (2008).	<i>Opt. Exp.</i> 26, 32704 (2018).

### キ)革新的光エレクトロニクス回路技術 (東京工業大学)

光電子集積サーバに使用する光電子集積インターポーザの光回路の再構成を可能とする回路プラットフォームの CMOS 電子回路上への形成を目的として技術開発を行う。

#### 目標

2019 年度中間目標：光電子集積インターポーザへの展開に向け、光 FPGA を構成するハイブリッド光素子の集積プロセスシーケンスを確立し、光 FPGA の原理実証を行う。

最終目標 (2021 年度末)：光電子集積インターポーザへの展開に向け、シリコンインターポーザ上で機能可変型光エレクトロニクス回路の基本機能を実証して光 FPGA 実現の見通しを明らかにすることにより、光電子集積サーバ技術の革新的展開へ寄与する。

#### スケジュール

光 FPGA のハイブリッド光素子集積プロセスシーケンス確立のため CMOS プロセスで作製された Si 回路上への接合などの個別課題の確認を行い、シーケンスを固定する。また、機能可変構造がそれぞれのデバイスに与える影響について数値計算によって明らかにしたうえで、可変部品に必要な反射、損失等の要求特性を明確にする。そしてそれを元に実際の作製を行う。

#### アプローチ、特長技術

将来的なインターコネクションでは、サーバには様々な回路要求が存在するため、ユーザ各自によっても必要な光回路構成が異なる可能性がある。そのためにフィールドで自在に回路機能を切り替えることが可能な機能可変光回路 (通称光 FPGA) の実現を目指している。大規模化、電子回路との親和性を考えて Si 基板上にその光回路を形成することを前提とする必要がある。ただし、Si 材料は、その物性的特性から十分な光利得を実現することが困難であるため、プラズマ活性化接合法を利用して低温で低ダメージに異種材料集積を実現する。この手法によって、並列、冗長的に様々な種類の III-V 族半導体/Si ハイブリッド光部品 (基本構成は半導体光増幅器(SOA)) を配置、導波路を接続する。また、切り替えのためのスイッチは磁気光学効果を利用した不揮発性スイッチの導入を検討する。

#### 成果

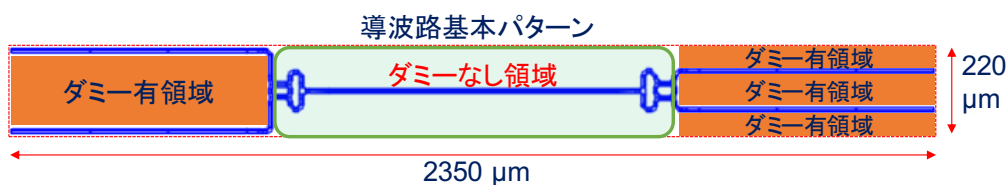
Si フォトニクス生産で利用される CMOS プロセスにおいては、大面積のウェーハへのエッチング等を均一に行うためパターンがない部分にダミーパターンが導入される。しかしながらこのダミーパターンはハイブリッド構造を考慮した場合、接合面積の減少とともに、接合基板除去の際の薬液の入り込みによる接合破壊を引き起こす可能性がある。これを検討するため図Ⅲ-2.1.2 キ) -1 に示すようなダミーパターンを形成し、接合を行った。接合面積について、図Ⅲ-2.1.2 キ) -1 においては、75%

となるが、接合面積を変化させたパターンも同時に作製した。また、ウェーハエッジからある距離までパターンを入れないことを試みた。その結果、図Ⅲ-2.1.2 キ) -1(c)に示すように接合面積 75%およびウェーハエッジからのパターン禁止距離 6mm で接合が可能であることが分かった。ただし、一部で破壊が見えており、ウェーハ上欠陥からの薬液の侵入が原因と考えられるため、今後の改善が必要な部分である。

また、本実験は接合温度 150 度を必要とするプラズマ活性化接合による接合であったが、常温で接合を可能とする常温表面活性化接合による接合条件出しを行い InP 基板へダメージの少ない照射が可能な Xe ガスによる表面クリーニングによって、良好な常温接合ができることを確認した。

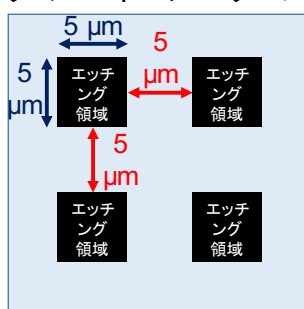
次に、機能可変回路において扱う波長範囲を拡大することを目的とした波長無依存ミラーを設計、作製した。これは、曲げを有する方向性結合器をループミラーの入口に導入することで、結合率の波長依存性を低減し、結果として反射率を一定にするものである。これにより従来のループミラーに比べ波長依存性を小さくすることに成功した。

最後に、不揮発性スイッチ実現のため Ce:YIG 基板上に a-Si 導波路を形成、クラッドを介して磁性材料である FeCo を置き、その上に配置した電極に電気を流すことで磁化方向を変化させ、MZI 型スイッチ方向を変えることに成功した。

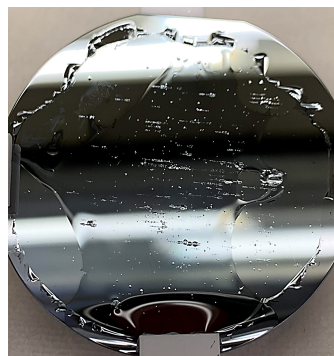


(a) 全体配置

ダミー：ホールパターン



(b) ダミーパターン形状



(c) 接合後ハイブリッド基板

図Ⅲ-2.1.2 キ) -1 ダミーパターンを有する SOI 基板への接合

### ベンチマーク

機能を再構成可能な光回路を作製することは世界で徐々に取り組みがスタートしているが、提案は先駆的であり、またアクティブ素子を含めた取り組みは本研究だけである。また、常温接合でのシリコンフォトニクス素子作製の取り組みもこれまで行われていない。そして、切り替え時しか電力を消費しない不揮発性スイッチは、世界でも例がなく先駆的な取り組みと言える。

## 2. 2 光エレクトロニクス実装システム化技術の開発

### 2. 2. 1 システム化技術の全体像

本プロジェクトで目指す小型、高速、低消費電力の光電子融合サーバを実現するには、それに適したシステムアーキテクチャを見出すとともに、運用信頼性のある実用性の高い技術の開発が必要である。光電子集積インターポーザは、これまでの研究開発の成果を集約しアウトプット目標を達成するために重要な素子であり、そのデバイス技術、実装技術およびシステム化技術を開発する必要がある。

本研究開発では、光配線導入による低消費電力化や高速化などのメリットを生かすサーバ等のシステムアーキテクチャの要件・課題を抽出し、2017年度までに開発した研究開発項目①光エレクトロニクス実装基盤技術(i)実装基盤技術、の開発技術を活用し、システムを構築するための基盤技術を開発する。これにより、システムの実用性を検証するとともに、要素技術開発にフィードバックすることで、完成度の高い技術の効率的な開発を実現する。

#### (i) システム化技術

##### (e)光電子集積インターポーザのデバイス・実装技術開発

2017年度までに本プロジェクトで開発された光エレクトロニクス実装基盤技術およびシステム化技術あるいはそれらと同等の技術を基に、光電子集積インターポーザを実現するために必要なデバイスおよび実装技術を開発する。

具体的には光変調器、受光器、光入出力素子、合分波器などの光電子インターポーザの構成要素となる光素子を小型化、高速化および低消費電力化するための技術を開発すると共に、光信号の多重化および多値化を検討し、光電子集積インターポーザにおける大容量信号伝送技術を開発する。また、光電子集積インターポーザの大容量化、高信頼、低コスト化を実現する実装技術として、異種導波路を接続する技術、光電子集積インターポーザとLSIを接続するインターフェース技術、および光コネクタ技術を開発する。

##### (f)光電子集積インターポーザのシステム化技術開発

上記(e)で研究開発する光電子集積インターポーザを情報処理装置や情報通信機器およびそのシステムに適用するために必要となるシステム化技術の研究開発を行う。

##### (f-1)情報処理システム化技術

実際のデータセンタで運用が可能であり、かつ光電子集積インターポーザを用いた小型かつ高速動作が可能な低消費電力光電子融合サーバボードを実現するため、必要となるシステム化技術を開発する。

##### (f-2)情報通信システム化技術

シリコンフォトリソグラフィデバイス技術を応用展開した光電子集積インターポーザを用いて、小型一芯双方向波長多重トランシーバのシステム化技術を確立する。

#### (ii) 国際標準化

国際競争力を確保するために、諸外国での同種の研究開発プロジェクトの現状を分析するとともに、プロジェクトの進展状況を踏まえ、成果の優位性を保つために国際標準化を積極的に推進する。また、フォーラム標準化機関[OIF(Optical Internetworking Forum)、IEEE802.3 (Ethernet Working Group)、COBO (Consortium for On-Board Optics)]、並びにデジュール標準化機関[IEC (International Electrotechnical Commission)]等の標準化動向を踏まえ、研究開発成果が迅速かつ広く世界の市場で受け入れられるようにするために、光電子集積インターポーザに関わる国際標準化を積極的に推進する。

#### (2) - 3. ③「成果普及活動」

プロジェクト内で共有されてきた研究開発成果の社会実装、産業への波及効果を推進するために、研究開発の実施期間中から、研究開発の成果が迅速かつ広く受け入れられるように、ニュースリリース、展示会への出展、シンポジウム開催等の取組みを通じて光エレクトロニクス技術の情報発信、普及促進を推進する。さらに、光エレクトロニクス技術の共通基盤技術を、一般のユーザ、研究者、学生等へ幅広く普及させるために、成果普及、人材育成に向けたプログラムを実施する。プログラムでは、光エレクトロニクス分野におけるイノベーション創出に向けた周辺研究、人材育成、ビジョン形成等の活動を推進する。

## 2. 2. 2 中間目標と成果

研究開発の進捗状況をまとめた表をⅢ-2.2.2-1,2,3 に示す。達成度は全て大幅達成◎、達成○となっている。

### Ⅲ-2.2.2-1 (e)光電子集積インターポーザのデバイス・実装技術開発

テーマ	2019 年度末中間目標	主な成果状況	達成度
デバイス技術	<ul style="list-style-type: none"> <li>・1レーン当たり 56Gbps 高速動作を可能とする光変調器および受光器の低消費電力光回路およびこれを駆動する電子回路を実現する。</li> <li>・1レーン当たりの大容量化に向け 16 波長合分波を可能とする光素子の動作を実証する。</li> <li>・光回路の消費電力を 2mW/Gbps 以下にするための要素技術を開発する。</li> </ul>	<ul style="list-style-type: none"> <li>・変調器、受光器の 56Gbps 動作実証。また、これら光デバイスを駆動する電子回路（ドライバ、TIA）の 56Gbps 動作実証見込み。</li> <li>・16 波長合分波を可能とする光素子を動作実証。</li> <li>・2mW/Gbps 以下の消費電力に向けて EA 変調器などの要素技術を開発中。今年度中に 2mW/Gbps 以下を達成見込み。</li> </ul>	◎
集積プロセス技術	<p>光集積プロセスについては、300nm ウェーハを用いたシリフォト統合化集積プロセスに新規変調、受光、合分波、光 I/O 機能を実装し、集積プロセスとして確立</p> <p>ウェーハレベル評価については、ウェーハレベル素子動作評価、プロセスばらつき影響評価</p>	<ul style="list-style-type: none"> <li>・新規変調、受光、合分波、光 I/O 機能の集積実装完了</li> <li>・プロセス改善による導波損失低減（0 帯、~1.6dB/cm）</li> <li>・ウェーハプロービングにより、300nm シリフォト統合化プロセスによるパッシブ、アクティブ素子の高い特性均一性および加工再現性を実証</li> </ul>	○
光実装技術	<ul style="list-style-type: none"> <li>・4 波長多重に対応した低損失（<math>\leq 1</math>dB）なシリコンフォトニクス光入出力構造を実現する。</li> <li>・シリコンフォトニクスチップ用のポリマー光入出力構造を実現し、高密度光接続構造（5Tbps/mm<sup>2</sup>）を実現する。また、シングルモードポリマー光導波路の低損失化（<math>\leq 0.4</math> dB/cm）を実現する。</li> <li>・高スループット露光技術を用いた高効率化技術を検討する。</li> <li>・光コネクタ用の位置決め構造を集積し、光ファイバとのアレイ接続を確認する。</li> <li>・シングルチップ実装技術を確立し、シリコン導波路、シングルモードポリマー光導波路アレイ、シングルモード光ファイバアレイに繋がる 3.6Tbps 相当の光リンク実証を行う。</li> </ul>	<ul style="list-style-type: none"> <li>・曲面ミラー構造により、4 波長多重（LR4:16nm）時の波長無依存入出力特性を実現。低損失化は構造最適化により、年度内に達成見込み。</li> <li>・インターポーザ上のポリマー光導波路にて 0.36 dB/cm（1.3 <math>\mu</math>m 帯）を実現。高密度光接続構造（5Tbps/mm<sup>2</sup>）は年度内に達成見込み。</li> <li>・高スループット露光技術に関しては年度内達成見込み。</li> <li>・インターポーザ上の光コネクタ実装に光ファイバとの光接続を実現。年度内に組み立て手法を確立。</li> <li>・シングルチップ実装は実証。評価技術を年度内に確立し、3.6Tbps 相当の光リンク実証は年度内達成見込み。</li> </ul>	○

III-2.2.2-2 (f)光電子集積インターポーザのシステム化技術開発

テーマ	2019 年度末中間目標	主な成果状況	達成度
光電子融合サーバボード	光電子融合サーバボードの基本構造を試作して動作検証とシミュレーションを併用し、10 Tbps 伝送に向けた課題を抽出する。	<ul style="list-style-type: none"> <li>・ 10 Tbps 伝送に向けて要件を定義し、課題の具体化と解決に向けたアプローチをスタート</li> <li>・ 電気・光配線の高密度化に向けたサーバボードの基本構造を提案し、試作により有効性を確認</li> <li>・ システム化実装の課題抽出に向けた検証用サーバボードの構成を決定し、高密度実装設計と検証を完了し検証用ボードを試作</li> <li>・ 光信号の更なる高密度化に向けたパラツキ・擾乱を自律制御する WDM 技術を提案し、試作機により有効性を実証</li> </ul>	○
ラックスケール並列分散システム	波長多重技術を用いた接続技術を開発し、消費電力の少ない光電子集積インターポーザ技術と合わせることによりサーバ電力量を30%削減可能であることをシミュレーションにより示す。	<ul style="list-style-type: none"> <li>・ 波長多重ネットワークのリンク・シミュレーションおよび構成部品の評価により、ノード間通信電力の低消費電力化見込みを確認した。</li> <li>・ 光接続された2台のFPGAボード間でP2P通信の検証を行い、従来に比べて通信遅延時間の短縮を実証した。</li> <li>・ 光ハブに適した通信アルゴリズムの改良を行い、並列計算シミュレータを用いて並列計算ベンチマークの実行時間をシミュレーションし、従来に比べて数倍～1桁の実行時間短縮が可能であることを確認した。</li> <li>・ サーバ消費電力見積と上記実行時間の短縮見込みから、サーバ消費電力量の30%以上削減可能性を確認した。</li> </ul>	○
情報通信システム化技術	一芯双方向波長多重トランシーバに光電子集積インターポーザを実装し、動作検証を行う。	<ul style="list-style-type: none"> <li>・ TWDM-PON ONU用光電子集積インターポーザの基本構造を設計</li> <li>・ 双方向AWGを用いてWDM光回路を小型化 ⇒面積従来の60%</li> <li>・ バットジョイント型APD導入により受光感度が向上⇒21.8A/W(世界最高)</li> <li>・ インターポーザを試作して光入出力を確認</li> </ul>	○



III-2.2.2-3 (ii) 国際標準化と③成果普及活動

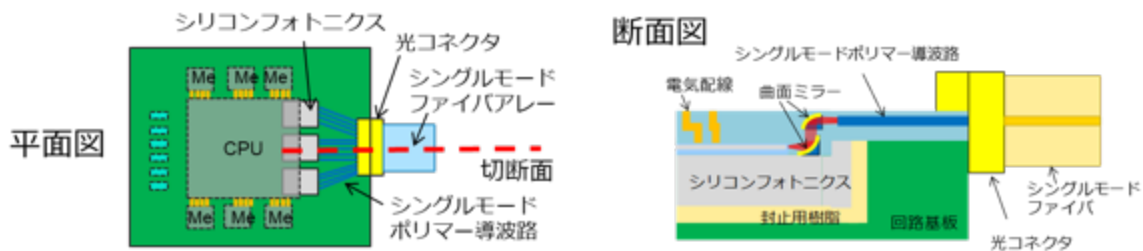
テーマ	2019 年度末中間目標	主な成果状況	達成度
国際標準化	光電子集積インターポーザの物理仕様（サイズ、入出力構成）、電気・光インターフェースに関する各種標準化団体に参画し、標準化動向を踏まえ、実用化する開発成果の事業化に必要な標準の提案を行う。	フォーラム標準化機関（OIF、IEEE802.3、COBO）において、インターフェース標準化を推進、COBO に Si フォト技術を適用：OFC 動態デモ デジュール標準化機関（IEC）において、光集積回路（PIC）パッケージのプロジェクトリーダーとして集積パッケージの標準化を推進し、最終文書段階に進展。 光電子集積インターポーザをサポートする高密度光接続の標準化開始	○
成果普及活動（東京大学）	プロジェクト内で共有されてきた研究開発成果の共通基盤技術を一般ユーザ、研究者、学生等へ幅広く普及させる。以下の項目を実施する。 1. 学生向け講義：ナノ量子情報エレクトロニクスに関する講義【ナノ量子情報エレクトロニクス特論】 2. 学生、社会人向けの集中セミナー【フォトンクス・イノベーションセミナー】	ナノ量子情報エレクトロニクス特論においては、係る分野の一線級の研究者による講義が行われて、4 企業における集中講義により実学性を高める内容とした。電気工学系、物理工学系、物理系などの幅広い領域から受講した。フォトンクス・イノベーションセミナーは、2018 年度に 4 回のセミナーを開催した。プロジェクト成果の幅広い応用展開および当該分野において将来的に活用が見込まれる基盤的技術の両面においての講義を企画、運営して延べ 343 名の参加者があり、各セミナーにおいて活発な議論が行われ、成果普及および成果の発展に寄与する内容となった。	○
成果普及活動（PETRA）	2018 年度の活動に加え、研究開発成果をアピールするために、タイミングを見たニュースリリースを計画的に進める。また、海外でのプレゼンスを高めるために、OFC（米国）、ECOC（欧州）、Photonics West（米）の 3 大国際展示会を見据えて、展示会出展の可能性を探っていく。	・ニュースリリース 3 件（2018 年度 2 件、2019 年度 1 件） ・国内展示会 3 件（インターオプト（2018, 2019 年度）、CEATEC（2019 年度）） ・国際展示会 2 件（OFC（2018, 2019 年度）） ・国内シンポジウム 2 件（光産業シンポジウム（2018, 2019 年度））	○

2. 2. 3 (i) システム化技術

2. 2. 3. 1 (e) 光電子集積インターポーザのデバイス・実装技術開発

1 ノード当たり 10Tbps のインターコネクト帯域に向け、光電子集積インターポーザを実現するために必要なデバイス技術、集積化プロセス技術、および光実装技術に関する研究開発を実施する。デバイス技術では、10Tbps に向けた各要素デバイスである光変調器、受光器およびこれらを駆動する電子回路、波長多重光回路の研究開発を行う。集積化プロセス技術では、上記の各要素デバイスを集積するための光集積プロセス技術とこれらの集積デバイス評価を行うウェーハレベル評価技術の研究開発を行う。更に、光実装技術では、10Tbps の帯域密度を実現するための高密度光入出力パッケージ技術の研究開発を行う。

図 III-2.2.3(e)-1 に、10Tbps 帯域密度の光電子集積インターポーザを実現するためのデバイス・実装技術開発目標を示す。1 シリコンフォトンクスチップ当たり伝送速度 112Gbps の信号を 16 波長で多重化し、送受で 3.6Tbps となる。1 LSI 当たり 3 シリコンフォトンクスチップで、 $3.6\text{Tbps} \times 3 \approx 10\text{Tbps}$  を実現する。



### 光電子集積インターポーザ

1シリコンフォトニクスチップ 当たり 112Gbps x 16 波 x 送受 (2) = **3.6Tbps**

1 LSI 当たり 3シリコンフォトニクスチップで、3.6Tbps x 3 ≒ **10Tbps**

#### 第一期の技術目標 第二期の技術目標 第三期の技術目標

デバイス 技術 開発	高速デバイス	25Gbps/Si変調器	50Gbps/PAM4	<b>112Gbps/56GBaud+PAM4</b>
	低電力デバイス	5mW/Gbps /Si変調器	3mW/Gbps /高性能材料 (SiGe)変調器	<b>1mW/Gbps /小型導波路埋込型 SiGe変調器</b>
	波長多重デバイス	4波長/Aレイ導波路型回折格子 (AWG) (素子)	8波長/AWG(素子)	<b>16波長/AWG+バンドパスフィルタ (集積回路)</b>
実装 技術 開発	光の入出力 (広帯域密度)	10μmレベル目合わせ精度/ グレーティングカプラ+縦型ポリマー導波路 (0.5Tbps/mm <sup>2</sup> )		<b>1μmレベル目合わせ精度/ 3次元ミラー+横型ポリマー導波路 (20Tbps/mm<sup>2</sup>)</b>
	電気配線構造	平面構造		<b>インターポーザ構造</b>

図III-2.2.3(e)-1 デバイス・実装技術開発目標

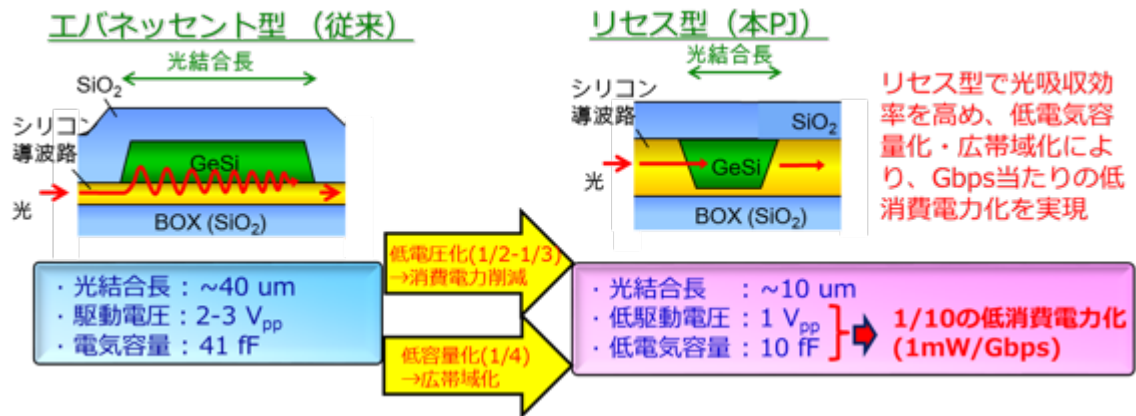
#### (e-1) デバイス技術 (つくば集中研)

1ノード当たり 10Tbps を達成するためには光電子集積インターポーザの小型化と同時に大容量化を実現するための光回路の高速化・多重化が必要である。この光電子集積インターポーザを実現するためのシリコンフォトニクス光回路および光回路を駆動する電子回路の研究開発内容を以下に示す。

##### ・光変調器・受光器

光回路を小型化するために、シリコンフォトニクス技術を用いる。この技術を用いて 10Tbps の大容量化を達成するには、光変調器および受光器の 56Gbps から 112Gbps の高速動作および低消費電力化が課題になる。光変調器の高速化を達成するために、これまで開発してきた SiGe などの高効率な空乏層型マッハ・ツェンダー (MZ) 光変調器に加え、1mW/Gbps の低消費電力が期待できる GeSi/Ge 電界吸収型光変調器/受光器を研究開発する。図III-2.2.(e-1)-1 は、従来のエバネッセント型の電界吸収型 (EA) 光変調器/受光器と本提案のリセス型の電界吸収型光変調器/受光器の断面図である。従来のエバネッセント型では、シリコン導波路を伝搬する光が GeSi/Ge 吸収層に徐々に吸収される構造になっているため、光吸収効率が悪く光結合長が長くなり、駆動電圧や電気容量が大きくなる。このため高速動作が困難になり、消費電力も増大するという課題があった。本提案のリセス型では、シリコン導波路を伝搬する光が直接 GeSi/Ge 吸収層に結合する構造になっているため、光吸収効率がよく光結合長が短くなり、小型で駆動電圧や電気容量が小さくなる。このため、高速動作が低消費電力で可能になる。

受光器の高速化を達成するために低容量で感度劣化の少ない上記の導波路型 Ge 受光器を主に研究開発する。上記に記載したリセス型の受光器を採用することで、高速化と高感度化を両立する。更なる光変調器、受光器の高速化に向けて pulse amplitude modulation 4 (PAM4)などの多値化技術を導入し 112Gbps の達成を目指す。



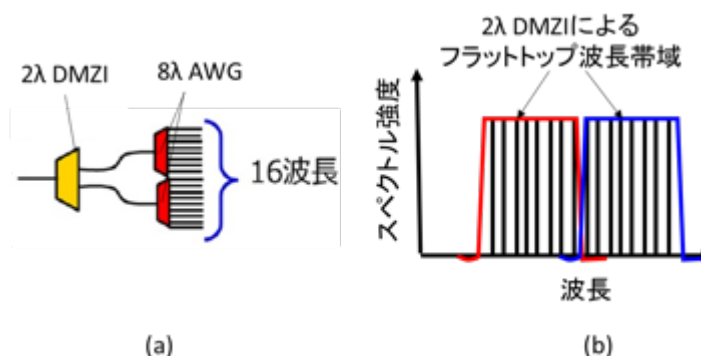
図III-2.2.3(e-1)-1 GeSi/Ge 電界吸収型光変調器/受光器の従来構造と本提案構造

・電子回路

高速な光変調器、受光器を低電力で動作させる駆動回路を研究開発する。低消費電力の観点からはCMOS回路が有力であるが、一方、PAM4などの多値化には線形性が重要でBiCMOS回路が有力である。周辺電子回路との接続やコスト、消費電力の観点なども考慮に入れ、CMOS、BiCMOSの両方を比較しながら最終的には回路方式を絞り込んで研究開発を進める。

・波長多重光回路

10Tbpsの大容量化を達成するには、高速化に加え、16波( $\lambda$ )の波長を多重化する波長多重光回路が必要である。波長多重光回路の多波長化に向けては、挿入損失および波長クロストークの低減が重要な課題になる。従来のアレイ導波路回折格子(AWG)型フィルタの場合、多波長化( $8\lambda \Rightarrow 16\lambda$ )に伴い、アレイ導波路数が大幅に増え、素子サイズが増大する他、波長多重帯域の中心から離れるにつれ、挿入損失および波長クロストークの劣化が顕著になる。これらの課題を克服するために、図III-2.2.3(e-1)-2に示す $2\lambda$ 遅延マッハ・ツェンダー干渉(DMZI)型フィルタと $8\lambda$ AWGフィルタをタンデム接続した $16\lambda$ 波長多重合成分光回路を研究開発する。尚、信号受信の際は、入力信号の偏波状態が保たれないため、任意偏波状態を有する信号受信も必要となる。それを可能にする偏波ダイバシティ型受信部についても併せて研究開発する。



図III-2.2.3(e-1)-2 遅延マッハ・ツェンダー干渉(DMZI)型フィルタとアレイ導波路型回折格子(AWG)型フィルタとを組み合わせた本提案の波長多重光回路(a)と波長スペクトルの例(b)

目標

2019年度中間目標:

- ・ 1レーン当たり 56Gbps 高速動作を可能とする光変調器および受光器の低消費電力光回路およびこれを駆動する電子回路を実現する。

- ・ 1レーン当たりの大容量化に向け 16 波長合分波を可能とする光素子の動作を実証する。
- ・ 光回路の消費電力を 2mW/Gbps 以下にするための要素技術を開発する。

最終目標（2021 年度末）：

- ・ 1レーン当たり 112Gbps 高速動作を可能とする光変調器および受光器の低消費電力光回路およびこれを駆動する電子回路を実現する。
- ・ 1レーン当たりの大容量化に向け 16 波長合分波した光信号のシングルモードファイバ伝送を実現する。
- ・ 1ノード当たり 10Tbps の伝送密度を有する光回路を実現する。
- ・ 光回路の 1 mW/Gbps の低消費電力動作を実証する。

### スケジュール

2018年度は、光回路の高速化・低消費電力化に向けて、1レーン当たり 56Gbps 高速動作が可能な光変調器および受光器の低消費電力光回路およびこれを駆動する電子回路の設計を行う。1レーン当たりの大容量化に向けては、16 波長合分波を可能とする光素子の設計を行う。また、更なる大容量信号伝送技術として光信号の多値化について検討する。光配線の低消費電力化（2mW/Gbps 以下）を達成するための課題抽出を行い、達成のための方針を示す。

2019年度は、光回路の高速化・低消費電力化に向けて、1レーン当たり 56Gbps 高速動作を可能とする光変調器および受光器の低消費電力光回路およびこれを駆動する電子回路を実証する。その中で高速化や低消費電力化に最適な構造を抽出し、2mW/Gbps 以下の低消費電力を可能にする要素技術を開発する。1レーン当たりの大容量化に向けては、16 波長合分波を可能とする光素子の基本動作を実証する。

2020年度は、光回路の高速化・低消費電力化に向けて、1レーン当たり 112Gbps 高速動作が可能な光変調器および受光器の低消費電力光回路およびこれを駆動する電子回路の設計・作製を行う。1レーン当たりの大容量化に向けては、16 波多重光回路の小型化・安定化にむけた設計・作製を行う。光配線の低消費電力化（1mW/Gbps）を達成するための課題抽出を行い、達成のための方針を示す。

2021年度は、光回路の高速化・低消費電力化に向けて、1レーン当たり 112Gbps 高速動作を可能とする光変調器および受光器の低消費電力光回路およびこれを駆動する電子回路の基本動作を実証する。1レーン当たりの大容量化に向けては、16 波長合分波した光信号のシングルモードファイバ伝送を実現する。また、これらの集積回路において1ノード当たり 10Tbps の伝送密度を実現する。更に、光回路の 1mW/Gbps の低消費電力動作を実証する。

表Ⅲ-2.2.3(e-1)-1 デバイス技術の研究開発線表

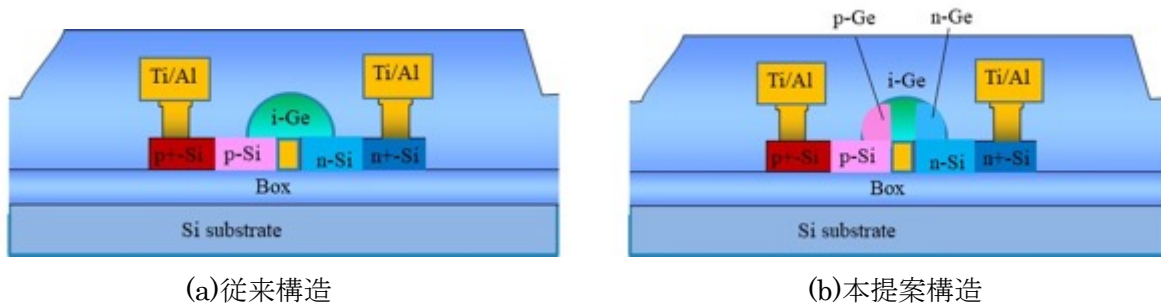
	2018年度	2019年度上期	2019年度下期	2020年度	2021年度
光変調器・送信回路	56Gbps 基本動作	56Gbps 動作実証	112Gbps PAM4 基本動作	112Gbps 動作実証	低電圧動作
受光器・受信回路	56Gbps 基本動作	56Gbps 動作実証	112Gbps PAM4 基本動作	112Gbps 動作実証	高性能化
電子回路	56Gbps BiCMOS回路 試作		112Gbps PAM4 BiCMOS回路 設計・試作		
波長多重光回路	16波多重基本動作	16波WDM 動作実証		小型化・安定化 (16波多重)	

### アプローチ、特長技術

- ・ 光変調器・受光器



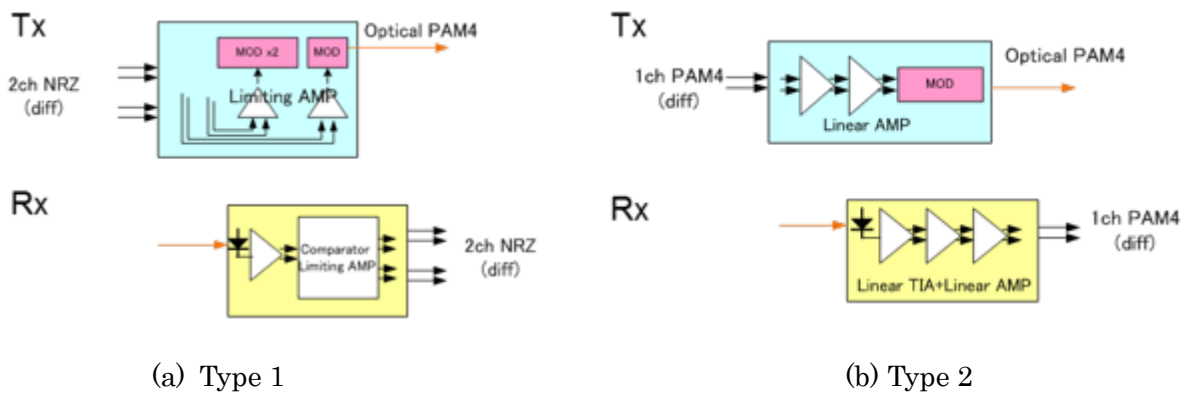
図Ⅲ-2.2.3(e-1)-3 に従来および本提案の 56Gbps 高速・低消費電力光変調器/受光器として、横型 PIN 接合 GeSi/Ge 電界吸収型光変調器/受光器の断面図を示す。従来の GeSi/Ge 電界吸収型光変調器/受光器では、電界光吸収が発生する i-Ge 層に印加される電界強度が弱く、十分な消光比の光変調信号/受信信号を得るために高電圧が必要であった。本提案の構造では、Ge 層中に PIN 接合を形成し、接合幅を制御することにより低電圧で高効率な光変調動作/受光動作が可能な構造になっており、小型・高速化・低消費電力化が可能である。これにより、高帯域密度伝送が実現可能な小型 112GbpsPAM4 用光変調器/受光器が実現されると共に、最終目標である 1mW/Gbps の低電力化が達成される見込みである。



図Ⅲ-2.2.3(e-1)-3 GeSi/Ge 電界吸収型光変調器/受光器の(a)従来構造および(b)本提案構造

・電子回路

図Ⅲ-2.2.3(e-1)-4 に光集積回路の最終目標の 112Gbps PAM4 に向けて、2つの送信器 (Tx) および受信器 (Rx) の方式のブロック図を示す。次世代チップスケール光トランシーバのチップサイズ、低消費電力、コストの観点より方式を比較した。



図Ⅲ-2.2.3(e-1)-4 112GbpsPAM4 に向けた Tx と Rx のブロック図

Type 1 の Tx では、2ch 分の 56Gbps NRZ の信号の MSB (Most Significant Bit) と LSB (Least Significant Bit) 信号を 2つの光変調器に入力して、光変調器で PAM4 の光信号を生成している。入力信号は 2 ch 分の差動信号と、2つの光変調器および光変調器ドライバーが必要となり、チップサイズや消費電力が増大する。Rx では PAM4 の信号を Comparator で decode させ 2ch の NRZ 信号を出力させるが、2 ch 分の差動信号出力はチップサイズが増大する要因になる。一方、Type 2 では、Tx は PAM4 信号をアンプで増幅して光変調器に入力して PAM4 の光信号を出力させる。Rx では PAM4 の光信号をそのまま電気信号に変えて出力する。この方式が、チップサイズや消費電力を考慮すると有利となる。5mm 角のチップサイズと消費電力化の観点から、Type 2 方式を採用することを決定した。しかしながら Type 2 方式では、Tx の光変調器ドライバーや、Rx の TIA (Transimpedance AMP) とアンプには、線形性が要求される。

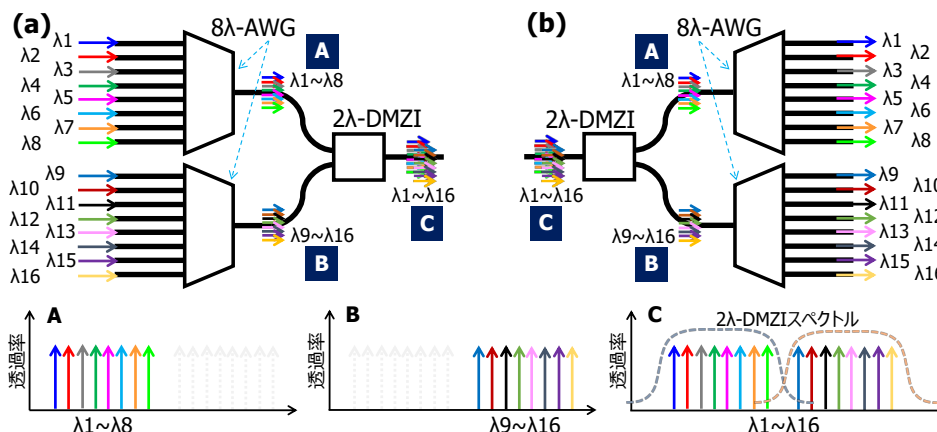
Tx の光変調器ドライバーと Rx の TIA に適用するデバイス技術として、16-nmCMOS と SiGe-BiCMOS の検討を行った。高速動作の指標となるデバイスの  $f_r$  (Current gain cut-off frequency) は、



両者とも 300GHz 以上あるものの、高振幅出力が可能で、かつ前述したように PAM4 信号の入出力に不可欠な線形性を考慮すると、SiGe-BiCMOS の適用が有利であると考えた。本プロジェクトでは、SiGe-BiCMOS を用いた光変調器ドライバーと TIA を重点に設計を開始した。

・波長多重光回路

図Ⅲ-2.2.3(e-1)-5 に本提案の 16λ 波長多重光回路を示す。波長多重信号を送信する際は、8λ AWG スペクトルの繰り返し周波数(FSR<sub>AWG</sub>)に割り当てた 16λ 信号を空間的に分離した一対の AWG へ入射し、FSR<sub>AWG</sub> の 2 倍を有する DMZI によりそれぞれの 8λ 信号群を合波する。一方、受信の際は、送信部と左右反転した構造を有し、DMZI により 8λ 信号群へ分離し、その後、AWG により各波長成分に分波する。この場合、DMZI の低挿入損失性および 8λ 信号群の透過抑圧により、単一 AWG の 16λ 化よりも素子の挿入損および波長クロストーク面で優れた特徴を有する。

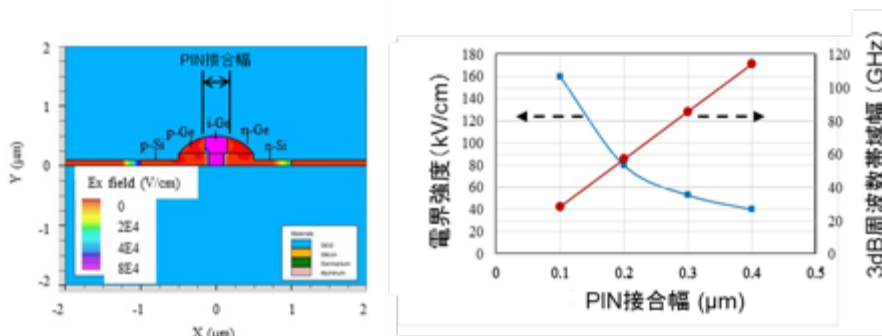


図Ⅲ-2.2.3(e-1)-5 多段遅延干渉(DMZI)型フィルタとアレイ導波路回折格子(AWG)型フィルタとをタンデム接続した本提案の 16λ 波長多重回路の概略図 (a)送信部と(b)受信部

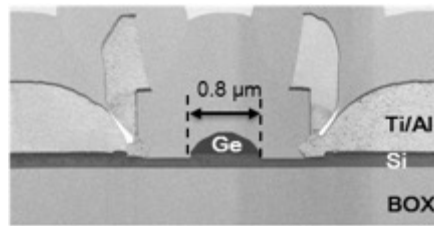
成果

・変調器・受光器

横型 PIN 接合 GeSi 電界吸収型光変調器において、Ge 層中の PIN 接合幅を変化させた場合の電界強度と 3dB 周波数帯域幅の計算結果を図Ⅲ-2.2.3(e-1)-6 に示す。PIN 接合幅を 0.2 μm に設計することで、電界強度が 80kV/cm と従来構造よりも光吸収係数が 3 倍程度変化し、3dB 周波数帯域幅も 50GHz が得られる。図Ⅲ-2.2.3(e-1)-7 にドーピングプロファイル制御により PIN 接合幅を 0.2 μm 程度とした断面 SEM 写真を示す。本素子構造により、挿入損失 3-4dB、2.5V 程度の低電圧で 56 Gbps 高速動作を実現した。

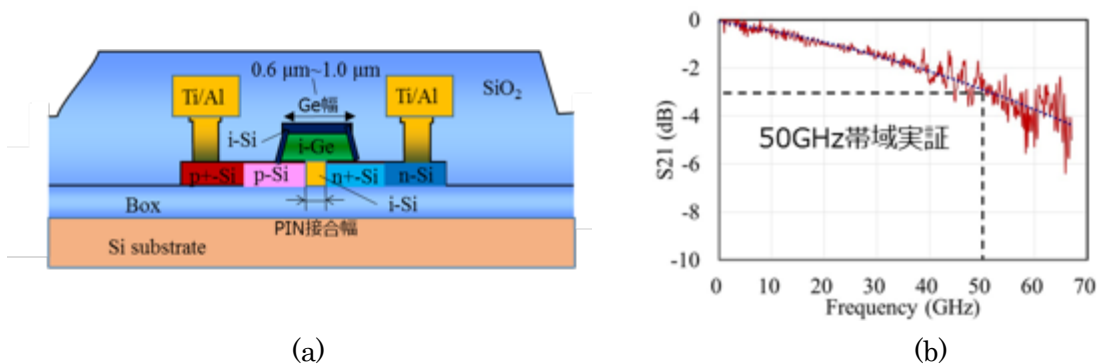


図Ⅲ-2.2.3(e-1)-6 横型 PIN 接合 GeSi 電界吸収型光変調器の PIN 接合幅を変化させた場合の電界強度と 3dB 周波数帯域幅 (計算)



図Ⅲ-2.2.3(e-1)-7 横型 PIN 接合 GeSi 電界吸収型光変調器の断面 SEM

図Ⅲ-2.2.3(e-1)-8(a)に横型 PIN 接合 Ge 受光器の断面構造を示す。下部電極である Si 層における PIN 接合幅および Ge 幅を最適化した。PIN 接合幅  $0.2\mu\text{m}$ 、Ge 幅  $0.6\mu\text{m}$ 、受光器長  $40\mu\text{m}$  の周波数応答特性を図Ⅲ-2.2.3(e-1)-8(b)に示す。量子効率 80%以上で 56Gbps 動作に対応可能な 50GHz 超の周波数帯域を実現した。



図Ⅲ-2.2.3(e-1)-8 横型 PIN 接合 Ge 受光器の(a)断面構造、(b)周波数応答特性

・電子回路

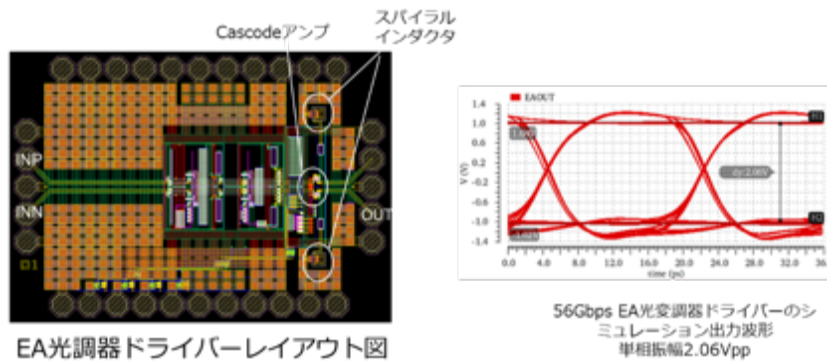
112Gbps PAM4 の Tx/Rx の方式と IC 構成を検討し、線形性に有利な SiGe-BiCMOS を用いて、Tx/Rx を構成する IC である光変調器ドライバーと TIA の設計を開始した。2019 年度の目標である 56Gbps 光集積回路実現に向け、光変調器ドライバーと TIA の回路設計およびレイアウト設計を完了し、試作を行った。

光変調器ドライバーでは、MZ 光変調器、進行波型 MZ 光変調器、EA 光変調器の 3 種類の光変調器に対して、各光変調器ドライバーの設計を行った。各光変調器の動作条件から各光変調器ドライバーの出力仕様を決めた。表Ⅲ-2.2.3(e-1)-2 に各光変調器ドライバーの仕様を示す。

表Ⅲ-2.2.3(e-1)-2 各光変調ドライバーの仕様

	MZ光変調器DRV	進行型MZ光変調器DRV	EA光変調器DRV
出力振幅	差動2Vpp	差動3Vpp	単相2Vpp
出力Fan-out	2(差動) Delay: 6.2psec	1(差動)	1(単相)
光変調器との結合	DC結合	DC結合	AC結合
出力レベル	変調器側で調整	-2V±0.75V	変調器側で調整

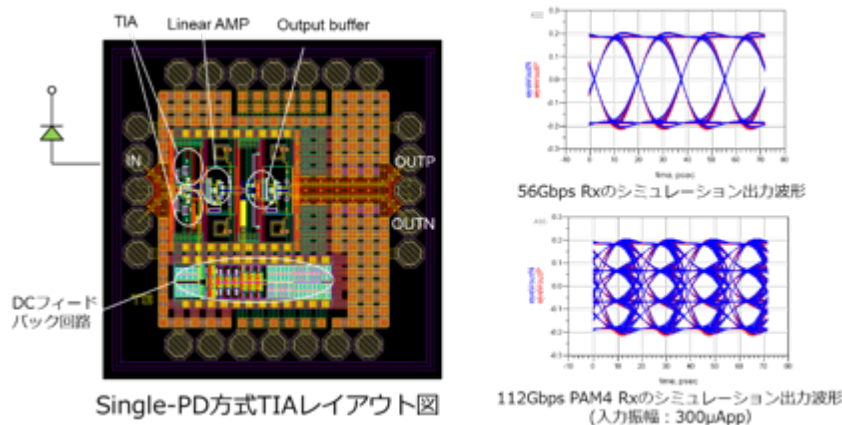
EA 光変調器ドライバーに向けては、RC の等価回路モデルを用い設計を行った。3 段アンプの構成で、出力段を Cascode アンプ、スパイラルインダクタを用いた広帯域化設計を行った。図Ⅲ-2.2.3(e-1)-9 に設計したチップレイアウトおよび回路シミュレーション結果を示す。56Gbps NRZ、単相振幅 2Vpp の良好な出力波形が得られている。また、この光変調器ドライバーは、2.0~2.32Vpp の振幅調整機能を内蔵している。帯域は 46.8GHz、チップサイズは、1.793mm×1.02mm である。



図III-2.2.3(e-1)-9 EA 光変調器ドライバーのレイアウト図および 56Gbps 出力波形

TIA では、Single-PD (Photodiode) 方式 TIA と AC Coupling 方式差動 TIA の 2 種類の TIA の回路設計およびレイアウト設計を実施した。AC coupling には、10nF の表面実装シリコンキャパシタをシリコンフォトニクスチップに実装することで、PN31 段の信号を受けることが可能である。導波路型 Ge-PD の実測 S パラメータより等価回路モデルを抽出し、PAM4 に必要な線形動作を考慮して、TIA の回路設計を行なった。設計に用いた PD の帯域は 40GHz であり、光入力透過特性の他に出力反射特性もフィッティングを行った。

Single-PD 方式 TIA に向けては、主信号 TIA 回路とシングル-差動信号変換に必要な DC フィードバック回路を設計した。設計特性として帯域 33.8GHz、トランスインピーダンス利得 62.9 dBΩ が得られた。高速特性が要求されない DC フィードバック回路部分には CMOS を用いて、小型・低電力化を実現できるように設計した。図III-2.2.3(e-1)-10 に設計したレイアウトおよび回路シミュレーション結果を示す。図に示すように 56Gbps NRZ で良好な出力波形を確認した。さらに、入力 300μApp で、線形動作しており、112Gbps PAM4 においても良好な出力波形を確認した。



図III-2.2.3(e-1)-10 Single-PD 方式 TIA のレイアウト図および 56/112Gbps 出力波形

・ 2mW/Gbps 以下の低消費電力にするための要素技術

光回路 (光変調器・受光器) の消費電力を 2mW/Gbps 以下にする要素技術の研究開発を行うために、これらの光変調器・受光器を用いて消費電力の解析を行った。光変調器には、前述した低消費電力の横型 PIN 接合 GeSi 電界吸収型光変調器で解析を行った。現状の駆動振幅は 2Vpp である。光変調器の入力インピーダンスを 50Ω とすると、2Vpp の駆動振幅を得るには 40mA の電流が必要となる。SiGe-BiCMOS を用いて回路設計を行った 56Gb/s の光変調器ドライバーでは 2Vpp の駆動振幅を得るには、光変調器駆動段では 4.5V の電源電圧が必要であった。そのため消費電力としては 180mW になり 56Gbps で動作すると、3.3mW/Gbps となる。このように光変調器の駆動振幅の低減が大きな課題となる。

現在、駆動振幅 1Vpp を目指して横型 PIN 接合 GeSi 電界吸収型光変調器の研究開発を進めているが、1Vpp の駆動電圧になると、消費電流だけでなく駆動段の電源電圧は 3.3V に低電源化が可能にな

り、消費電力は 66mW (1.18mW/Gbps) の低電力化が実現できる。受光器においては、電源電圧が 3.3V としても暗電流が 10 $\mu$ A 以下であるため、光回路の消費電力はほとんど無視できる。従って、光回路の消費電力は、1.21mW/Gbps まで低減可能である。

さらに、56Gbps の光変調器ドライバーや 112Gbps の TIA のブロック構成で IC 全体の消費電力を解析した。光変調器の駆動振幅 1Vpp になると、光変調器ドライバーは入力バッファ段と駆動段の 2 段で構成できる。各段は 2 つのエミッタフォロワと ECL (Emitter-coupled logic) で構成される。解析で求めた光変調器ドライバーの消費電力は光変調器を含むドライバー全体で 1.89mW/Gbps の消費電力が見積られた。一方、TIA では AC Coupling 方式差動 TIA で解析を進めた。TIA は、現在は 3 段構成で、TIA 段と出力バッファ段の 2 段で構成される。TIA 段は 19.8mW で、112Gbps で動作可能になると 0.18mW/Gbps の低電力化が実現される。また、受光器を含む TIA 全体でも 0.32mW/Gbps の低消費電力化が見積られた。従って、ドライバーや TIA の駆動回路を含めても 2.21mW/Gbp の低消費電力化が実現可能である。

以上示したように、駆動振幅 1Vpp の横型 PIN 接合 GeSi 電界吸収型光変調器を実現することで、光回路で 2mW/Gbps 以下の低消費電力化が可能である指針を得た。

・波長多重光回路

本提案の 16 $\lambda$  波長多重光回路の動作特性を理論的に検証するために、結合モード理論に基づく数値解析モデルを構築した。図 III-2.2.3(e-1)-11 に解析モデルの概略を示す。試作実績のある 8 $\lambda$  AWG および 2 $\lambda$  DMZI の数値解析モデルを求めた上、作製条件等を新たに考慮し、両方のモデルを統合することにより、図 III-2.2.3(e-1)-11 に示す 16 $\lambda$  波長多重光回路の数値解析モデルを構築した。

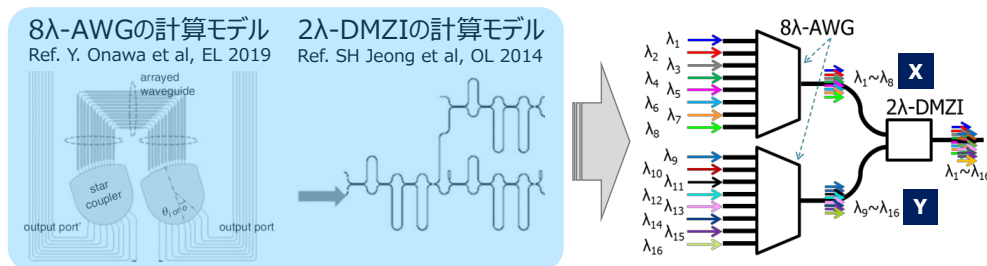


図 III-2.2.3(e-1)-11 16 $\lambda$  波長多重光回路の数値解析モデルの概略

図 III-2.2.3(e-1)-12 に、数値解析により求めた 16 $\lambda$  波長多重光回路のスペクトル特性を示す。一对の 8 $\lambda$  AWG のチャンネル間隔を 100GHz に設定し、その 8 $\lambda$  波長群の FSR<sub>AWG</sub> を 12.8nm に設定した。図 III-2.2.3(e-1)-11 に示すように、空間的に分離されている一对の AWG により、 $\lambda_1 \sim \lambda_8$  および  $\lambda_9 \sim \lambda_{16}$  の信号をそれぞれ合波することができ、これらの信号群の合波のために、25.6nm の FSR<sub>DMZI</sub> を有する 2 $\lambda$  DMZI を接続し、図 III-2.2.3(e-1)-12 に示すように、同一特性を示す 8 $\lambda$  AWG の不要なスペクトルを >25dB 抑圧し、16 $\lambda$  の波長多重が可能であることを確認した。

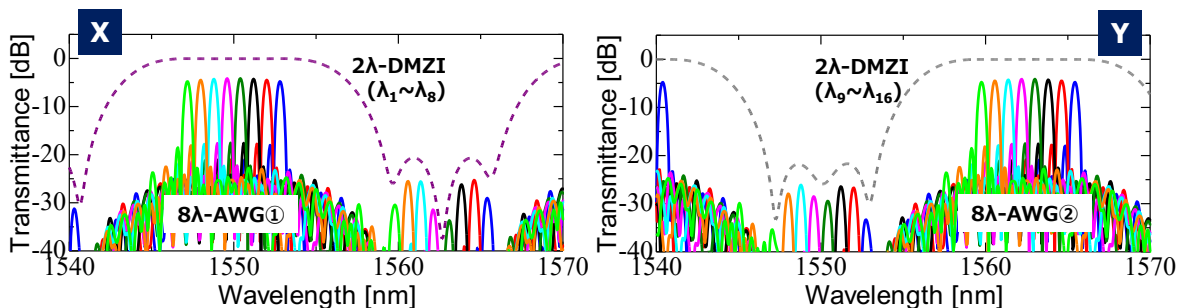


図 III-2.2.3(e-1)-12 16 $\lambda$  波長多重光回路の波長スペクトル特性

図 III-2.2.3(e-1)-11 に示す 16 $\lambda$  波長多重光回路は、図 III-2.2.3(e-1)-5 に示す送信部として機能する。一方、このデバイスは入力方向に対して可逆的に動作するため、図 III-2.2.3(e-1)-11 に示す出力を入力として用いれば、図 III-2.2.3(e-1)-12 に示すスペクトル特性に基づき、16 $\lambda$  波長多重光回路の受信部として機能する。



## ベンチマーク

### ・変調器・受光器

光変調器、受光器のベンチマークを表Ⅲ-2.2.3(e-1)-3 に示す。光変調器の PETRA の現状は、SiGe を採用することで、他機関よりも変調効率が大きく、駆動電圧や位相変調器長を小さくできることが特徴である。SiGe を用いた光変調器には、キャリアプラズマ効果を利用した MZ 型とフランツケルディッシュ効果による EA 型がある。前者は波長帯域が広く、温度依存性が殆どない実用性能を実証して来ているが、高速化に向けて更なる小型化・高効率化が課題である。

一方、フランツケルディッシュ効果を用いた EA 型は、上記の Ge 層中のドーピングプロファイルを制御することにより、従来課題であった駆動電圧を小さくすることが可能である。また、電気容量がキャリアプラズマ効果を用いた場合に比較して 2 桁程度小さく、小型・低消費電力であるという特徴がある。この構造においては、環境温度による動作波長帯域を制御することが課題である。本プロジェクトでは、MZ 型と EA 型の上記課題を解決し、10Tbps を実現可能な小型・高速で低消費電力な光変調器の実現を目指す。

これまで PETRA が開発してきた受光器は、Ge 成長方法や構造の工夫により受信感度が高く、小型・低電圧駆動可能であることが特徴である。本プロジェクトでは、これらの特徴を活かし、10Tbps を実現可能な小型・高速で低消費電力な受光器の実現を目指す。

表Ⅲ-2.2.3(e-1)-3 光変調器、受光器のベンチマーク

光変調器	PETRA		MEC		Luxtera
	PN (マッハ・ツェンダー)	SGePN (電界吸収型)	PN (リング共振器)	SGePN (電界吸収型)	PN (マッハ・ツェンダー)
変調効率 $\alpha V \pi L$ (dBV)	10.0	N.A.	N.A.	N.A.	16
速度 (Gbps)	56	56	56	50	25
電圧 (V)	5.0	2.5	1.1	2.0	0.9
位相長 ( $\mu\text{m}$ )	200	20	30	40	3000
波長帯域 (nm)	>40nm	40nm	~0.1nm	30nm	>40nm
温度依存性	○	△	×	△	○
受光器					
	PETRA	MEC	Luxtera	Intel	IBM
構造	横型PN	縦型PN	横型PN	縦型PN	MSM
量子効率 (%)	80-90	60	80	65	40
速度 (GHz)	>50	>50	>40	31	35
電圧 (V)	3	2	2	2	1
サイズ ( $\mu\text{m}$ )	30	15	30	50	30

### ・電子回路

電子回路の設計において、112Gbps PAM4 の高速性と線形性を CMOS で両立するのは難易度が高く（特に線形性）、両立の観点からは SiGe-BiCMOS が優位である。光変調器ドライバーのベンチマークを表Ⅲ-2.2.3(e-1)-4 に示す。現時点では、光変調器ドライバーと光変調器を集積した形態での 112Gbps の報告は無い。MZ 型光変調器ドライバーでは、IBM の 60Gbps 送信器は 6 分割電極の入力信号を全て外部で位相調整しているため、実用性は低いと考えられる。EA 型光変調器ドライバーは、MZ 光変調器用ドライバーよりも消費電力は低いが、高速動作は 70Gbps の報告例に留まっている。また、TIA のベンチマークを表Ⅲ-2.2.3(e-1)-5 に示す。112Gbps PAM4 の報告は無いものの、106Gbps の報告例など高速化が進展している。ただし、106Gbps の報告例では PD と TIA が集積化されておらず PN9 段までであるため、実用性の観点ではまだ不十分である。



表Ⅲ-2.2.3(e-1)-4 光変調器ドライバーのベンチマーク

	IC	Mod	$\lambda$ (nm)	NRZ or PAM	Data rate (Gbps)	PRBS	Power (mW)	コスト	
MZ 変調器	IBM (2018)	SiGe 130nm	Si PN Segmented	1310	NRZ	60	7	2250	○
	Finisar (2015)	SiGe 130nm	Si PN Traveling	1310	NRZ	56	9	430	○
	Univ. of Toronto (2017)	CMOS FD-SOI 28nm	Si PN Traveling	1550	NRZ	44	31	410	×
	IHP (2016)	SiGe 250nm	Si PN Segmented	1550	PAM-4	25 x 2	7	1500	○
	<b>PETRA (2016)</b>	<b>CMOS 28 nm</b>	<b>Si MOS Segmented</b>	<b>1310</b>	<b>NRZ</b>	<b>25</b>	<b>31</b>	<b>78</b>	○
EA 変調器	Ghent (2019)	SiGe 55nm	SiGe EA	1560	NRZ	70	9	61	○
	HHI (2017)	SiGe 130nm	InGaAlAs EML	1300	NRZ	56	31	84	○
					PAM-4	32 x 2			
Oracle (2014)	CMOS 130nm SOI	SiGe EA	1530	NRZ	25	N/A	70	○	

表Ⅲ-2.2.3(e-1)-5 TIA のベンチマーク

	IC	PD	$\lambda$ (nm)	NRZ or PAM	Data rate (Gbps)	PRBS	Power (mW)	コスト
IBM (2012)	CMOS 90nm SOI	Ge WG	1310	NRZ	40	7	158	△
Ireland (2017)	CMOS 40nm	Ge WG	1550	PAM-4	20 x 2	11	80	×
IBM (2015)	SiGe 130nm	GaAs	850	NRZ	71	7	860	○
Ghent (2019)	SiGe 55nm	Ge WG	1550	PAM-4	53 x 2	9	160	○
<b>PETRA (2016)</b>	<b>CMOS 28 nm</b>	<b>Ge</b>	<b>1310</b>	<b>NRZ</b>	<b>25</b>	<b>31</b>	<b>45</b>	○

#### ・波長多重光回路

波長多重用の合分波回路は、シリコン細線導波路構造を用いることで、モノリシック集積化に優れた波長合分波光回路を実現できる。PETRAのAWGは、スターカップラ配置やアレイ導波路幅の最適化により、低損失および低波長クロストークを実現している。本提案では、小型化に優れ、低損失および低波長クロストークを兼ね備えたDMZIフィルタを組み合わせ、16波以上の多チャンネル化を目指す。

尚、更なる多チャンネル化 (>32波) と低クロストーク化に優位性を有するDMZIアクティブ制御方式の研究開発も併せて行う (2.2.2.2(f-1)情報処理システム技術①光電子融合サーバボード参照)。

表Ⅲ-2.2.3(e-1)-6 波長多重光回路用の合分波回路のベンチマーク

機関	PETRA			IMEC	LETI
導波路構造	Si細線	Si細線	Si細線	Si細線	Si細線
デバイス原理	DMZI アクティブ制御	DMZI パッシブ	AWG パッシブ	AWG パッシブ	Echelle パッシブ
波長数	4	4	8	8	16
チャンネル間隔 [GHz]	1600	800	100	100	100
挿入損 [dB]	2~3	~1.2	~1.5	2~3.5	1.5~2
クロストーク [dB]	<-50	<-24	<-17	<-17	<-15

#### (e-2) 集積化プロセス技術 (つくば集中研)

広帯域の光電子集積インターポーザ実現に向けて、光集積回路チップを構成する信号光の変調、受光、合分波、入出力のそれぞれについて、従来性能を超える高速光変調器・受光器、多波長の波長多重回路、チップと外部との光結合の広帯域化を可能にする光結合素子等の新規光素子プロセスの開発が求められる。加えて、これらの開発した光素子プロセスを集積プロセスに統合し、それぞれの素子性能について集積レベルでの検証を行うことが求められる。大容量光電子集積インターポーザに用いられる大規模光集積回路には上記の新規光素子が多数集積されるが、光集積回路の十全な動作のために

はそれぞれの光素子特性のばらつきが極めて少ないことが必須となる。従って、新規光素子のプロセス開発、集積プロセスへの統合検証に関わる光集積プロセス技術の研究と並行して、新規開発された光変調器・受光器等のアクティブ光素子の定量的評価を行う評価技術の研究が必要である。これらの光集積プロセス開発とウェーハレベル評価を連携させ、ウェーハレベル評価による新規素子特性評価結果を回路・デバイス設計や光集積プロセス開発にフィードバックし、それぞれの最適化を行うことで、高度に多数の光素子が集積される広帯域の光電子集積インターポーザの性能実証が可能となる。こうした観点から、集積化プロセスの研究に当たっては、光集積プロセス技術とウェーハレベル評価技術の二つの技術について、互いの連携を図りながら技術開発を進める。

#### ア) 光集積プロセス技術

光変調器・受光器の更なる高速化を支える不純物プロファイル制御技術、大容量化のためのチャンネル当たり波長多重度を 8 波以上とする波長多重回路の低クロストーク化技術、チップと外部との光結合の広帯域化のための光結合素子プロセス技術を新規に研究開発する。更に、開発した技術をシリフト統合化集積プロセスに統合し、それぞれの機能を実証し、素子性能のライブラリ化を図る。

光変調器・受光器プロセスの研究開発については、新規高速光変調器のシリフト統合化集積プロセスへの実装において、特に重要となる素子中の不純物プロファイルの精密な制御について検討を行う。これにより、変調効率の増加と抵抗・キャパシタンス積で表される遅延成分の低減を図ることが可能な P(DN) 接合構造の不純物プロファイル制御技術を構築する。

波長多重回路プロセスの研究開発については、波長多重度を 8 波以上とする場合、使用する波長の間隔が数 nm となるため、各チャンネルの波長のばらつきに由来する隣接波長チャンネル間のクロストークを抑えることが難しくなる。この波長ばらつきを低減するために、その基本構成要素である細線導波路の加工プロセスの最適化を図り、加工寸法ばらつきを低減することで安定な波長多重回路動作に必要とされる 20dB 以上の低クロストーク化技術を構築する。

光結合素子プロセスの研究開発については、上記の波長多重度を 8 波以上とする大容量化に必要な 40nm 以上の広い波長帯域、かつ 2.5dB 以下の低損失の光結合を実現する。これまで開発を進めてきた回折格子結合器を用いた面型光結合の場合、出射波長が回折格子により制限を受けるため、波長帯域は 30~40nm 程度に留まる。これに代えて、スポット径変換器からチップ端方向への光の入出射により光結合を行う光結合素子を用いて広波長帯域化する必要がある。広波長帯域、かつ低損失の光結合を可能にするため、光学損失の少ない端面形成を含めた光結合素子プロセス技術を構築する。

光電子集積インターポーザ実現のためのシリコンフォトニクス技術による光変調器、受光器、波長多重回路および光結合素子のプロセスを統合してシリフト統合化集積プロセスを構築する。同プロセスを用いて高速光トランシーバが高密度に集積された光集積回路チップを試作し、光電子集積インターポーザとして 10Tbps/ノードの伝送密度を実現できることを実証する。

#### イ) ウェーハレベル評価技術

ウェーハプロービング技術、および同評価技術を用いた導波路加工偏差抽出技術を、波長多重回路向けに必要な高信頼性の導波路形成プロセスの検証評価に適用し、従来性能を超える導波路プロセスの研究開発を行うとともに、広帯域の変調器・受光器の素子動作特性評価に向けた新規プロービングシステムを構築する。高度に光素子が集積される光電子集積インターポーザの実現に向け、変調器・受光器をはじめとする集積光素子の特性ばらつき要因の解析を通じ、素子特性の再現性向上を図る。

#### 目標

2019 年度中間目標：光電子集積インターポーザ実現のためのシリコンフォトニクス技術による光変調器、受光器、波長多重回路および光結合素子の P(DN) 接合構造の改良による変調・受光効率の向上 (20%以上)、Butt 光結合素子プロセス技術開発による波長帯域の拡大 (40nm 以上)、および低損失化 (2.5dB 以下)、および細線導波路の加工プロセスの改良による 16 波長多重回路の低クロストーク化 (-20dB 以下) を可能にする。ウェーハ上に集積したこれらの光素子の高速伝送動作、低損失合成分波、低損失結合等の性能を実証する。加えて、シリフト統合化集積プロセスのばらつきが各光素子の特性ばらつきに及ぼす影響を検討する。

最終目標（2021年度末）：光電子集積インターポーザ実現のためのシリコフォトニクス技術による光変調器、受光器、波長多重回路および光結合素子のプロセスを統合してシリフォト統合化集積プロセスを構築する。同プロセスを用いて高速光トランシーバが高密度に集積された光集積回路チップを試作し、光電子集積インターポーザとして10Tbps/ノードの伝送密度を実現できることを実証する。

### スケジュール

2018年度は、表Ⅲ-2.2.3(e-2)-1に示すように、光変調器、受光器および光結合素子のP(I)N接合構造の改良による変調・受光効率の向上、Butt光結合素子プロセス技術開発による波長帯域の拡大および低損失化を可能にする素子プロセスの設計をこれまでに構築した300mm統合化プロセスへの実装を前提として実施し、これらの高機能素子を設計した素子プロセスを用いて試作する。また、これらの試作に先立ち、16波長多重回路の低クロストーク化(-20dB以下)を可能にする細線導波路の加工プロセスの改良を行い、16波長多重回路の試作を合わせて実施する。

ウェーハプロービング技術については、ウェーハ上に集積した変調器、受光器等の素子動作評価を可能にする素子設計と試作を実施するとともに、これらの素子を評価するウェーハプロービング技術を合わせて開発する。

2019年度は、16波長多重回路の低クロストーク動作、高速・高感度の変調器・受光器動作、ポリマー導波路結合素子の広波長帯域・低損失動作をそれぞれ試作実証する。

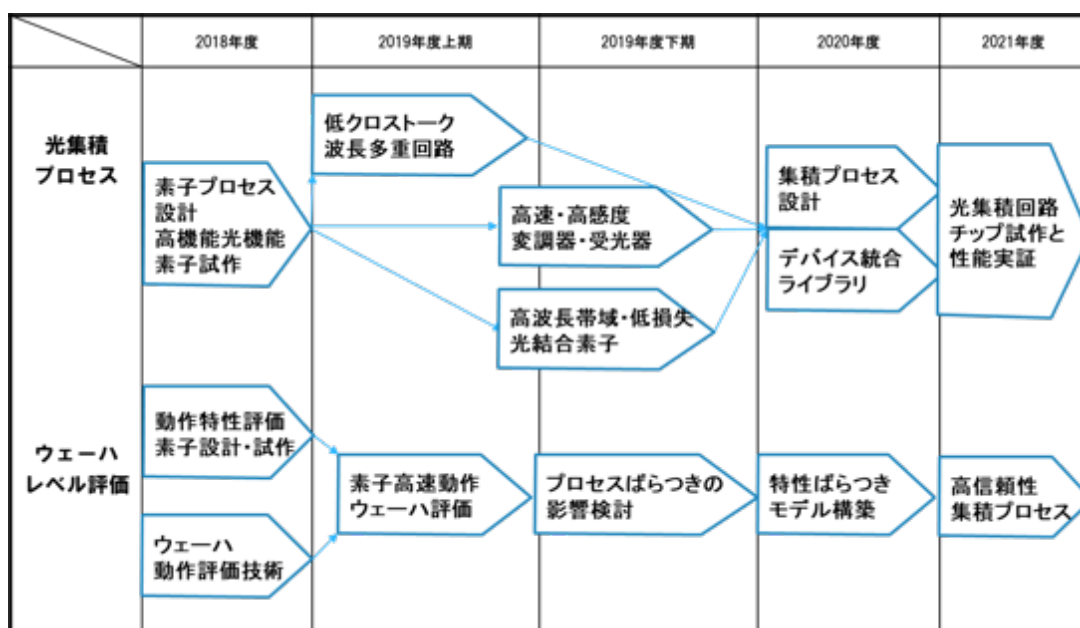
ウェーハプロービング技術については、変調器、受光器等の素子動作評価をウェーハレベルで評価するとともに、光素子特性ばらつきに及ぼす製造プロセスの影響について検討する。

2020年度は、前年度の16波長多重回路、変調器、受光器、ポリマー導波路結合素子の動作性能評価結果を基に光電子集積インターポーザ実現のためのシリフォト統合化集積プロセスを設計する。また、試作評価結果をもとに光素子の同号的なライブラリを構築する。

ウェーハプロービング技術については、変調器、受光器等の光素子特性ばらつきに及ぼす製造プロセスの影響についての検討結果を基に特性ばらつきモデルを構築し、精度の高い性能予測につなげる。

2021年度は、前年度に構築されたシリフォト統合化集積プロセスおよびデバイス統合化ライブラリについて、ウェーハプロービング技術に基づく特性ばらつきモデルを基にした信頼性の検証を進めるとともに、シリフォト統合化集積プロセスを用いて高速光トランシーバが高密度に集積された光集積回路チップを試作し、光電子集積インターポーザとして10Tbps/ノードの伝送密度を実現できることを実証する。

表Ⅲ-2.2.3(e-2)-1：開発スケジュール(集積化プロセス技術)



## アプローチ、特長技術

本プロジェクトの研究開発を通じて確立した 300mm 統合化プロセスとウェーハレベルプロービング技術を基に、集積化プロセス技術の研究を進める。300mm 統合化プロセスについては、高均一の 300mm SOI の使用とあわせて高精度の液浸 ArF 露光技術および高品質 Ge エピタキシャル膜成長技術の適用を特徴としており、これらの先端技術の適用により、世界最高の低損失導波路等の他を凌駕する素子性能、集積回路性能が得られている。また、同プロセス技術により試作した基本的な光素子については性能検証が完了しライブラリ化が図られている。これらのことから、同プロセスを基に光電子集積インターポーザ向けの集積化プロセスの研究を進めることで、他機関に対してのアドバンテージを保ちつつ、先駆的な成果創出に集中した研究が可能となる。また、ウェーハプロービング技術については、これまでに構築した技術で極めて高い測定再現性を達成しており、同装置を波長多重回路向けに必要な高信頼性の導波路形成プロセスの検証評価に適用する。また、広帯域の変調器・受光器の素子動作特性評価については、これらの評価に適したプロービングシステムを新規に構築する。

集積化プロセスの構築に当たっては、光電子集積インターポーザへの適用が必要となる高機能の光変調器、受光器、波長多重回路および光結合素子の素子プロセスの設計と試作実証を、300mm 統合化プロセスへの実装を前提として実施し、これらの性能評価結果をフィードバックして光電子集積インターポーザに向けた 300mm 統合化プロセスの設計を行い、集積試作を実施することとする。

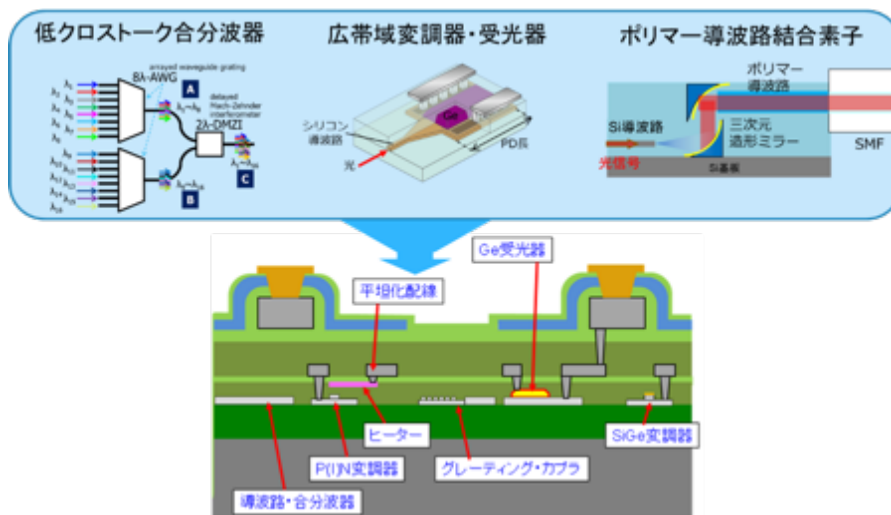
ウェーハプロービング技術については、高度に光素子が集積される光電子集積インターポーザの実現に向けて、導波路デバイスの精密評価への適用により波長多重回路に必要な高品位の導波路の形成プロセスの確立を図るとともに、変調器・受光器のばらつき要因の解析を通じ高信頼のアクティブ素子形成技術の構築を図る。

## 成果

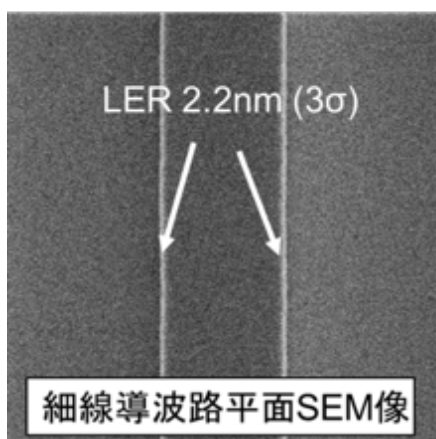
2018 年度には、光集積プロセスについては、光電子集積インターポーザに必要な、広帯域の光変調器、受光器、波長多重回路、および低損失の光結合素子について、P(DN) 接合構造の最適化による変調・受光効率の向上、広波長帯域化、かつ低損失化を可能にする光結合素子プロセス技術、および細線導波路の加工プロセスの最適化による低クロストーク化の構築に向けた、それぞれの素子のプロセス設計を行うとともに、それらの素子をシリフト統合化集積プロセスの適用により試作した[ 図Ⅲ-2.2.3(e-2)-1 ]。また、シリフト統合化集積プロセスの更なる改善に向けて導波路プロセスの最適化を実施し、導波路のラインエッジラフネスを低減できるプロセスを構築した(2.9nm→2.2nm)。この導波路加工プロセスにより O 帯の細線導波路伝搬損失を 0.3dB/cm 程度改善できることを確認し、上記の素子試作への適用を行った[ 図Ⅲ-2.2.3(e-2)-2 ]。さらに、これまでに構築したリング共振器の共振波長ばらつきの解析手法による導波路加工偏差の抽出値から、今回の高機能素子試作に適用した集積プロセスにおいて高い寸法精度が得られていることを確認した[ 図Ⅲ-2.2.3(e-2)-3 ]。本プロセスによって作製した同一ウェーハ上の導波路、グレーティングカップラ、および受光器各 64 素子の特性ばらつきをウェーハプローバにより測定した結果、いずれの素子についても高い均一性を示すことが示され[ 図Ⅲ-2.2.3(e-2)-4 ]、これらのことから、設計した素子プロセスが光集積回路の試作に十分適用可能であることが確認された。

ウェーハレベル評価については、上記のそれぞれの光素子の特性を、同一ウェーハ上に形成された 50 以上の素子の動作特性を高速の光学アライメントを適用することで 2 時間以内の高速で自動測定するためのウェーハプローバ評価用素子を設計し、試作を実施した[ 図Ⅲ-2.2.3(e-2)-5 ]。試作した評価用素子を用いて、同一ウェーハ上に構成した受光器 64 素子の高周波特性を評価し、2 時間以内の高速で自動測定できることを確認した[ 図Ⅲ-2.2.3(e-2)-6 ]。

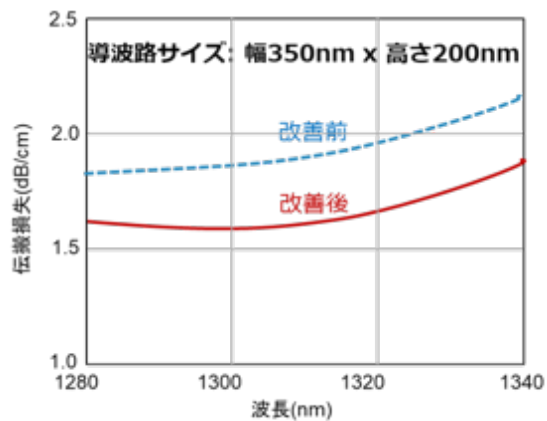




図Ⅲ-2.2.3(e-2)-1 300mm 統合化プロセスへの新規デバイスの集積実装

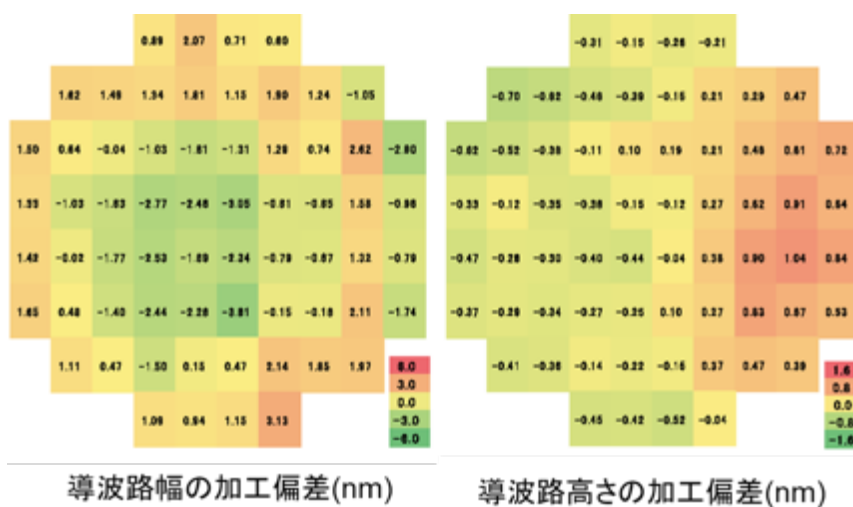


(a)



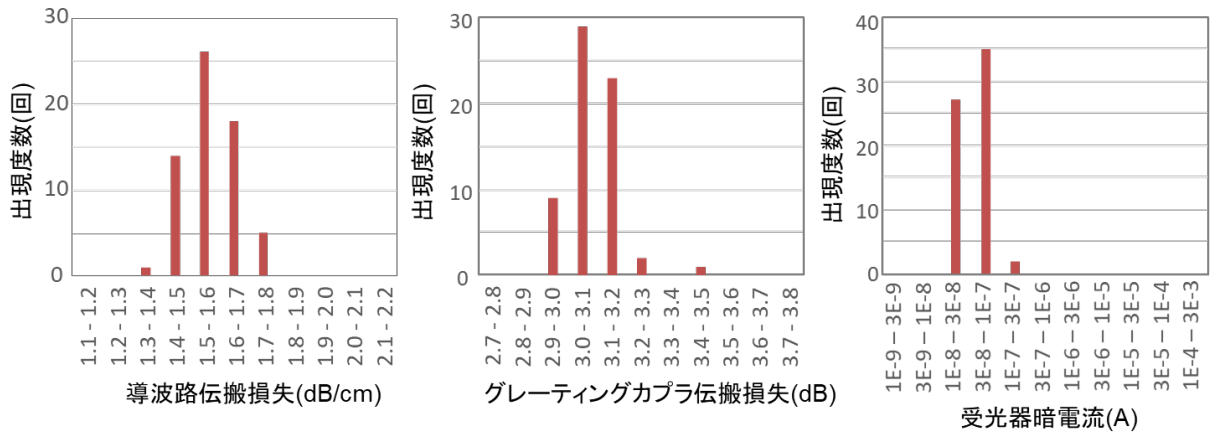
(b)

図Ⅲ-2.2.3(e-2)-2 導波路プロセス改善による導波路伝搬損失低減 [(a) 改善プロセスによる導波路の平面 SEM 像、(b) 細線導波路の TE モード伝搬損失スペクトルのプロセス改善前後の比較

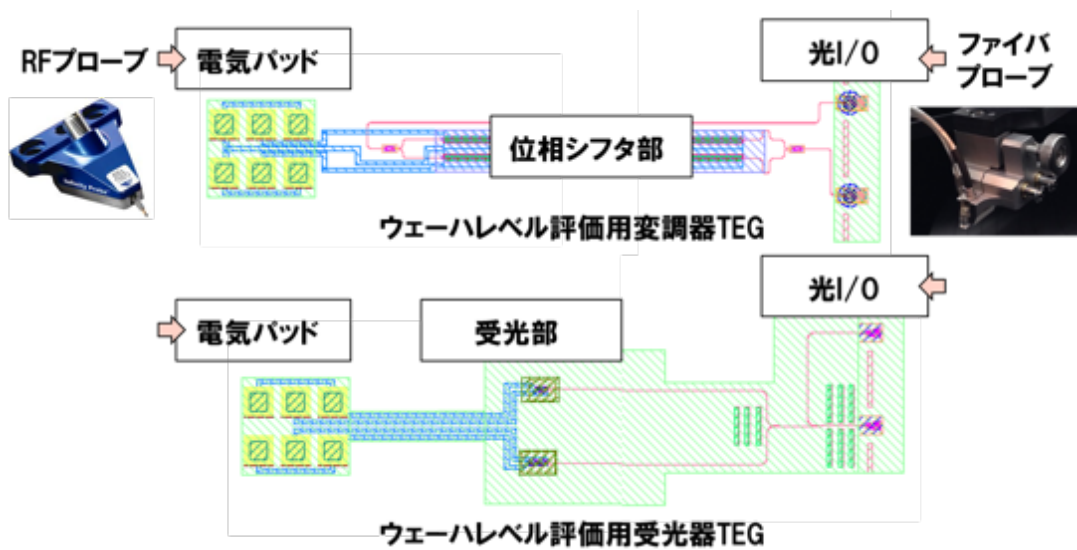


図Ⅲ-2.2.3(e-2)-3 リング共振器の共振波長ばらつきから見積もった導波路加工寸法偏差

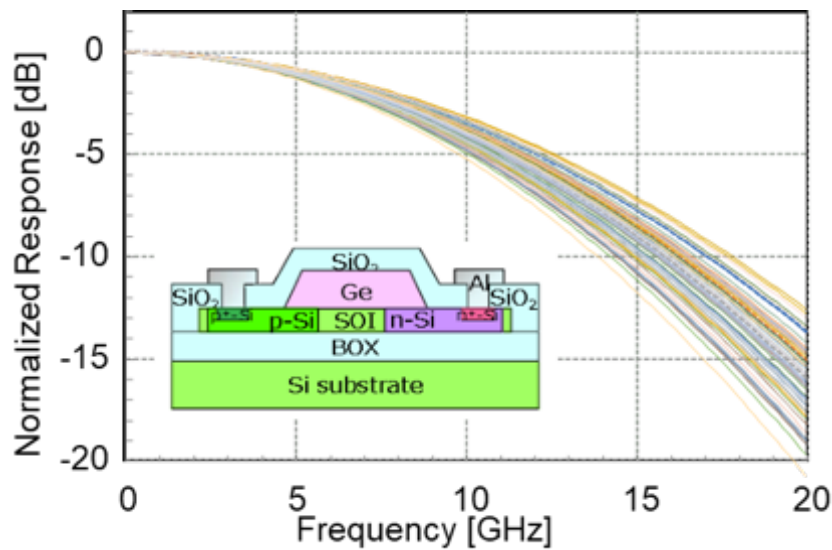




図Ⅲ-2.2.3(e-2)-4 高性能素子試作に適用した集積プロセスによって作製した同一ウェーハ上の導波路、グレーティングカプラ、および受光器各 64 素子の特性ばらつき(ウェーハプローバにより測定)



図Ⅲ-2.2.3(e-2)-5 変調器・受光器の動作特性自動評価用素子の設計



図Ⅲ-2.2.3(e-2)-6 同一ウェーハ上に形成された受光器の高周波特性 (各測定値に対するフィッティング結果)

## ベンチマーク

従来、シリコンフォトニクス集積回路チップでは、CMOS 世代に換算して 150-90nm 世代のプロセス技術が用いられてきた。これは、従来の回路チップでは、40Gbps(4 チャンネル x10Gbps)の性能であることから、光デバイスのプロセス制御性は十分であったと考えられる。本プロジェクトにおいては、100Gbps(多チャンネル x25Gbps)以上の高性能化実現を目指すものであり、300mm ウェーハプロセスにより実現される高精度のプロセスをベースとしたデバイス技術を構築することで目標性能が達成できると考えている。本プロジェクトにて開発した 300mm ウェーハプロセスと他機関とのベンチマークを図Ⅲ-2.2.3(e-2)-6 に示す。本ベンチマークでは、他機関より公表されている 300mm ウェーハプロセス技術、デバイス技術、集積化技術について比較している。PETRA では 300mm ウェーハ技術と 40nmCMOS 技術を用いている。一方、他機関では、300mm ウェーハ技術であるが、より古い 90nmCMOS 技術を用いており、PETRA の 300mm ウェーハプロセス技術は他機関と比較して、広帯域および小フットプリントの光集積回路試作において、優位な技術であると言える。

	パッシブ素子	アクティブ素子 [変調器/受光器]	プロセス統合化	集積回路
PETRA	◎ 細線導波路 C帯損失~0.4dB/cm	○ >25GHz動作	○ 1.3um/1.5um系統合 プロセス(細線)	○ 4ch.-PSM, LD実装含む チップ面積小
IMEC	△ 細線導波路 C帯損失~1dB/cm	◎ 40GHz動作	△ 1.3um/1.5um系 別プロセス(細線)	△ 4λ.-WDM, LD実装無し チップ面積小
STMicro	△ リブ導波路 C帯損失~0.4dB/cm	△ 25GHz動作	△ 1.3um/1.5um系統合 プロセス(リブ)	△ 4ch.-PSM, LD実装含む チップ面積大

図Ⅲ-2.2.3(e-2)-6 300mm ウェーハを用いた光集積回路開発における各開発機関のプロセス技術、デバイス技術、集積化技術の比較

### (e-3) 光実装技術（つくば集中研）

光実装技術課題では 10Tbps の帯域密度をもつ光電子集積インターポーザの実現を目指した取り組みを行う。10Tbps の帯域密度を実現するためには、光波長多重技術、高密度光入出力パッケージ技術等の最先端技術の研究開発が必要である。シリコン導波路と光波長多重信号が伝送可能なシングルモードファイバとの接続に適した異種導波路接続構造を開発し、導波路・光ファイバ間の高集積コネクタを開発することでこれまでの部品実装と比べて光入出力構造の大幅な高密度化を可能にする。

## 目標

2019 年度中間目標：

- ・4 波長多重に対応した低損失(≦1dB)なシリコンフォトニクス光入出力構造を実現する。
- ・シリコンフォトニクスチップ用のポリマー光入出力構造を実現し、高密度光接続構造(帯域密度 5Tbps/mm<sup>2</sup>)を実現する。また、シングルモードポリマー光導波路の低損失化(≦0.4 dB/cm)を実現する。
- ・高スループット露光技術により、昨年度対比 10 倍の異種導波路接続効率を実証する。
- ・光コネクタ用の位置決め構造を集積し、光ファイバとのアレイ接続を確認する。
- ・シングルチップ実装技術を確立し、シリコン導波路、シングルモードポリマー光導波路アレイ、シングルモード光ファイバアレイに繋がる 3.6Tbps 相当の光リンク実証を行う。

最終目標（2021年度末）：

- ・16 波長多重に対応した波長無依存、偏波無依存なシリコンフォトニクス光入出力構造を実現する。また、光入出力部分の面積  $0.15\text{mm}^2$  以下と低損失を実現する。
- ・16 波長多重に対応したシリコン導波路とポリマー光導波路との高密度光結合接続構造（帯域密度  $20\text{Tbps/mm}^2$ ）を実現する。また、高精度位置合わせとトリミング技術を確立し、高効率光接続技術を実現する。
- ・高集積光コネクタ用位置決め構造の高精度化と高精度実装技術を確立し、シングルモードポリマー光導波路アレイとシングルモード光ファイバアレイとの 12 芯光接続技術を実現する。
- ・マルチチップ実装技術、再配線技術、放熱構造技術を確立する。
- ・以上により、電気配線と比較し通信速度あたりの面積で 1/100 すなわち 100 倍の帯域密度である  $20\text{Tbps/mm}^2$  を実現するための要素技術を開発し、光電子集積インターポーザ構造において、1 ノード当たり  $10\text{Tbps}$  相当の伝送密度を実現する。

### スケジュール

2018 年度は、1 個のシリコンフォトニクスチップを用いた光電子集積インターポーザの各種要素の基本設計・試作を行う。具体的には下記の課題に取り組む。

- ・シリコン導波路とポリマー導波路の入出力部分の構造検討を行い、3 次元曲面ミラーによるシングルモードポリマー導波路との集積検討を行い、有効性を実証する。
- ・異種導波路接続技術として、材質・径が大きく異なるシリコン導波路と光ファイバの接続のためのポリマー導波路の形状設計と試作評価を行い、最適なポリマー導波路構造を見出す。また、その効率的な形成技術を確立することでインターポーザの性能評価および実用化検討が可能になることを明らかにする。
- ・高集積光コネクタの開発として、インターポーザ基板上にアレイ接続可能な光コネクタの位置決め構造を形成する検討を行い、簡便な操作でシングルモード光ファイバとの光接続が可能な構造を確立する。

2019 年度は 1 個のシリコンフォトニクスチップを用いた光電子集積インターポーザのリンク実証を置く。具体的には下記の課題に取り組む。

- ・4 波長多重に対応した低損失なシリコンフォトニクスの光入出力構造の試作を行い、損失が 1dB 以下であることを確認する。
- ・シリコン導波路とシングルモードポリマー光導波路との高密度集積を実現する異種導波路接続技術を開発し、高密度光接続構造（帯域密度  $5\text{Tbps/mm}^2$ ）を実現する。
- ・高スループット露光技術により、昨年度対比 10 倍の異種導波路接続効率を実証する。
- ・構造や作製プロセスの改善等によりシングルモードポリマー光導波路の低損失化（ $\leq 0.4\text{ dB/cm}$ ）を実現する。
- ・高集積光コネクタの取り付け手法を確立とシングルモード光ファイバとの低損失アレイ接続を実現し、光リンクの特性評価を行う。
- ・上記の異種導波路接合技術と高集積コネクタを用いた光集積インターポーザのシングルチップ実装技術を開発し、シリコン導波路、シングルモードポリマー光導波路アレイ、シングルモード光ファイバアレイに繋がる  $3.6\text{Tbps}$  相当の光リンク実証を行う。

2020 年度は、光電子集積インターポーザに複数のシリコンフォトニクスチップ実装に向けた基本設計と光リンクの低損失化、高機能化を行う。具体的には下記の課題に取り組む。

- ・シリコンフォトニクスの光入出力構造に関しては 16 波長多重に向けた低損失化、波長無依存化、偏波無依存化に向けた設計と試作を行う。
- ・シングルモードポリマー光導波路に関しては広帯域化と高信頼化に向けた設計と試作を行い、シリコンフォトニクスとの光結合構造は 16 波長多重と帯域密度向上に向けた設計と試作を行う。
- ・ポリマー導波路形成の効率化技術においては、前年度に試作した高スループット露光技術の位置

精度機能を最適化し、0.1 $\mu\text{m}$  以下の位置合わせ精度を実現する。また高速部品実装システムの仕様検討を行う。

- ・高集積光コネクタでは、基板への高精度取り付け手法の開発を行う。
- ・光パッケージ技術に関してはマルチチップ実装を目指して、チップ位置補正技術、モールド技術、温度制御実装技術の基本検討を行う。

2021 年度は、マルチチップシリコンフォトニクスを用いた 10Tbps の広帯域な光電子集積インターポーザの実証を行う。

- ・16 波長多重に対応したシリコンフォトニクスの光入出力構造の波長無依存化と偏波無依存化を行い、シリコン導波路と結合するポリマー光結合構造との高密度光結合を実現する。
- ・ポリマー導波路形成の効率化技術においては、前年度までに開発した高精度取り付け手法を導入した高速部品実装システム開発を行い、これまで高精度光部品実装の課題であった光調芯時間をなくした高速な部品搭載を検証する。
- ・高集積光コネクタは、前年度までに開発した高精度取り付け手法を用いたシングルモードポリマー光導波路アレイとシングルモード光ファイバとの 12 芯高精度光結合を実証する。さらに、この実証結果を基に、12 芯高精度接合構造の標準化提案につなげていく。
- ・光パッケージ技術に関してはマルチチップ実装技術、再配線技術、放熱構造技術を確立し、シリコンフォト光入出力密度 20Tbps/mm<sup>2</sup> を実現するとともに、10Tbps 伝送密度の光リンク実証を行う。

#### アプローチ、特長技術

我々は 1 ノード当たり 10Tbps 以上の高速・大容量伝送が可能な高性能 LSI 用光電子集積インターポーザの実現を目指しており、そのために電気配線と比較し通信速度あたりの面積で 1/100 すなわち 100 倍の帯域密度を実現する必要がある。従来のシリコンフォトニクスチップの光実装方式は、シリコンフォトニクス上にファイバアレイ部品を実装する方式であった。この時、シリコンフォトニクスチップ面積の多く (~10mm<sup>2</sup>) が光入出力部品で占められており、シリコンフォトニクスチップに占める光入出力面積が全体の 1/4 ほどと小型高密度化の弊害となっていた。また半導体材料は波長温度依存性が 0.4nm/°Cあり、通常の 0.8nm 間隔の波長多重技術を使用するためには温度分布を±1°C以下にする必要があるが、部品実装方式では部品部分のためにヒートシンクが置けず、放熱の観点でも波長多重技術の使用も困難であった。このため、10Tbps の広帯域密度を実現できなかった。

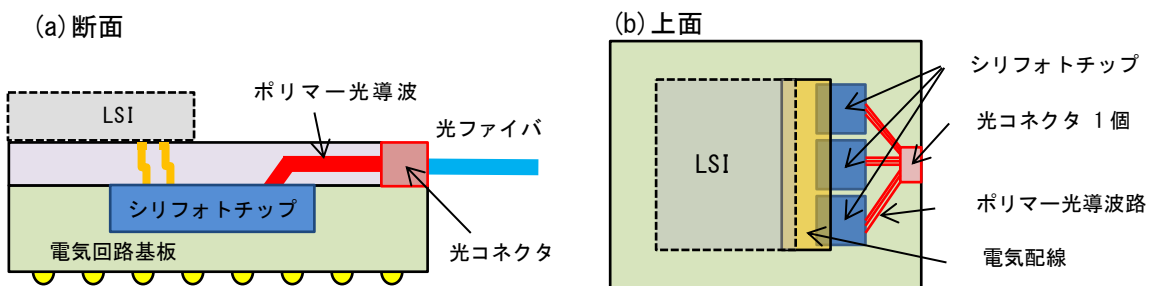
10Tbps の帯域密度を実現するためには光波長多重技術、高密度光入出力パッケージ技術等の最先端技術の研究開発が必要である。本提案ではシリコンフォトニクスチップを集積したインターポーザにウェーハレベルパッケージ技術を用いて、ポリマー光ファンアウト導波路構造を集積することで、これまでの部品実装と比べて光入出力構造の大幅な高密度化を可能にする。図Ⅲ-2.2.3(e-3)-1 に本提案で実現する光電子集積インターポーザの概念図を示す。複数のシリコンフォトニクスチップを電気回路基板トレンチ部に内装し、その上部に光再配線層と電気再配線層がある。光電子集積インターポーザと外部光ファイバとの接続を容易にできるようにするために、シリコンフォトニクスチップと外部接続コネクタまでの光再配線層としてポリマー光導波路を露光技術で作製する。これにより $\leq \pm 1\mu\text{m}$  の高精度な目合わせが可能になりシングルモードの低損失な光接続が可能になる。光電子集積インターポーザ内の電気リンクにおいても LSI 実装時に LSI からの高速電気信号配線とシリコンフォトニクスチップ間が最短となるよう配置するための電気再配線を行う。これにより、電気配線での電力消費を極力減らし、良好なシグナルインテグリティを確保することができる。本提案の光電子集積インターポーザの光接続に関する特徴を図Ⅲ-2.2.3(e-3)-2 に示す。本提案ではシリコンフォトニクスチップと光ファイバとの間にアレイピッチ変換可能なポリマー光ファンアウト導波路構造を形成している。本提案の課題として波長多重用シリコンフォトニクス光入出力技術とシングルモードポリマー光導波路用光入出力技術を研究開発し、部品実装方式に比べてシリコンフォトニクス光結合面積の小型化(1/50)を実現する。従来のシリコンフォトニクスチップの光実装ではチップ上に光ファイバアレイ部品を実装するため、チップ面積の多く (~10mm<sup>2</sup>) が光入出力部品で占めており、シリコンフォトニクスチップの小型高密度化の弊害となっていた。本提案では露光技術を用いて、シリコンフォトニクスチップ上に小型なポリマー光入出力構造を実現する。また従来は背高部品があったため、チップ上



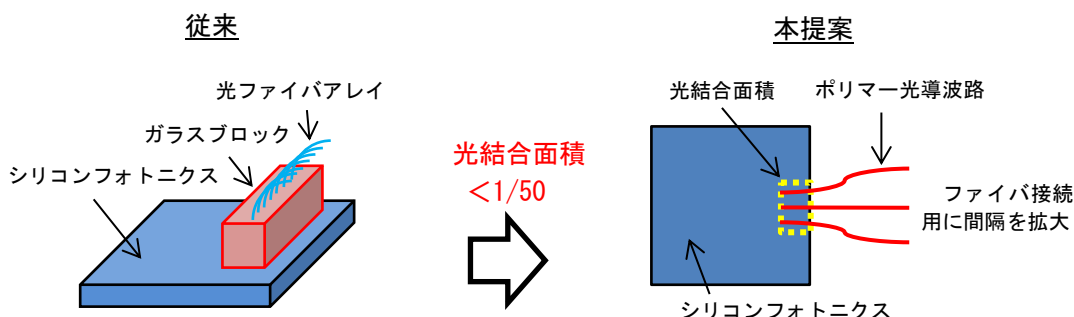
部全体をヒートシンクでカバーできず部分的に大きな温度分布 ( $\geq \pm 1^{\circ}\text{C}$ ) が発生し、波長多重化が困難であった。本提案では光入出力構造を低背化し、波長多重化が使用できるよう均一な温度分布を実現する。例えばこれらの技術を用いてシリコンフォトニクス光入出力部分を実現すると導波路 1 チャネルあたり 112Gbps、16 波の波長多重技術が可能となり、光入出力部分の帯域密度 20Tbps/mm<sup>2</sup> となる。この時、10Tbps 伝送が可能な帯域密度が初めて実現可能となる。また、低消費電力化に向けた光リンクの低損失化も必要である。これまでシングルモード伝送を基準としたシリコン導波路入出力機構と光ファイバには大きなモード径の違いがあり、モードミスマッチによる大きな接続損失が発生し、かつ接続許容誤差要求も非常に厳しいものであった。本提案では図III-2.2.3(e-3)-3 に示すポリマー光導波路を用いることで、断熱的なモード径変化が可能となり、モードミスマッチにおける接続損失部分を光ファイバの 2.1 dB に比べて、1 dB 以上の改善が見込める。またシリコンフォトニクスチップとポリマー光導波路間に 3 次元曲面ミラーを用いることで、広い波長範囲での動作が可能となる。一方、採用するポリマー光導波路部分においては、シングルモード伝搬できる構造および、低損失化、波長無依存化、偏波無依存化が要求されることになり、それぞれの課題に対する研究開発が必須となる。接続許容誤差の拡大においては、シングルモードポリマー光導波路アレイとシングルモード光ファイバアレイとの高効率で光接続可能な光コネクタを研究開発することで外部ファイバとの容易な接続方式を提案する。そのためには光結合技術、実装技術として、下記の研究内容を具体的に行う。

- ・波長多重技術を使用可能とする光リンクのシングルモード化、波長・偏波無依存化
- ・高帯域密度化に向けたシリコンフォトニクスチップ上の光結合面積の狭小化
- ・簡易組み立て可能なパッシブ光コネクタ実装技術の構築
- ・並列化を可能とするマルチチップ実装、波長多重化を可能とする温度制御への対応

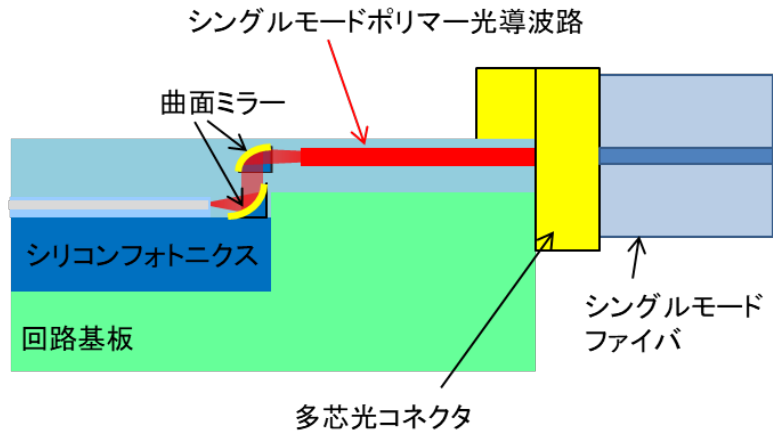
更に、低消費電力化に向けた光リンクの低損失化も重要である。光リンクはシリコンフォトニクスチップの光入出力構造、シングルモードポリマー光導波路、シングルモード光ファイバで構成された部分である。



図III-2.2.3(e-3)-1 光電子集積インターポーザ概念図の(a)断面と(b)上面



図III-2.2.3(e-3)-2 光入出力構造の小型高密度化概念図



図Ⅲ-2.2.3(e-3)-3 提案する光電子集積インターポーザの断面図

(a) シリコンフォトニクスの光入出力構造

16 波長多重に対応したシリコンフォトニクスから外部への光入出力を広帯域かつ高効率で行える光入出力構造に関して研究開発する。我々は低損失なシリコンフォトニクス用ミラー技術を有しており、それを発展させ、光入出力損失 0.5dB 以下を目指す。また、設計技術と作製技術を確立することで、光波長、光偏波、外部温度の各種条件によって光入出力特性が変化しない光入出力構造を実現する。

(b) シングルモードポリマー光導波路とシリコンフォトニクスとの光接続構造

ウェーハレベルパッケージ技術を用いて、シリコンフォトニクスから入出力される光を高密度（帯域密度 20Tbps/mm<sup>2</sup>）にシングルモードポリマー光導波路に結合する構造に関して研究開発する。併せて、高精度実装技術を研究開発し、シングルモードポリマー光導波路への高効率光結合（位置ずれ損失 ≤ 0.5dB）を目指す。また、複数チップから 1 つのコネクタに光を接続するシングルモードポリマー光ファンアウト構造を研究開発する。シングルモードポリマー光導波路の作製技術に関してはプロセスシミュレーションを活用することで、再現性良く、低損失特性、波長無依存特性、偏波無依存特性を実現する。

(c) シングルモード光ファイバアレイ用光コネクタ

シングルモードポリマー光導波路アレイとシングルモード光ファイバアレイとを高効率で光接続するインターポーザ用 12 芯光コネクタに関して研究開発する。この光コネクタを使用することで、インターポーザ上のシングルモード光ファイバアレイはリペアが実現可能となる。また、光コネクタは高精度製造技術、高精度取り付け技術、トリミング技術を確立する。以上からこれまでポリマーフィルム導波路でのみ実現されていた 1dB のシングルモード高効率光結合（結合損失 ≤ 1 dB）をインターポーザ上で初めて実現する。また、ソケットを用いた多芯光コネクタも検討する。

(d) マルチチップ光パッケージ

10Tbps 超が可能な光電子集積インターポーザを実現するためには複数個のシリコンフォトニクスチップを基板に実装する技術とシリコンフォトニクスチップの温度制御が簡便になる実装技術の研究開発が必要である。本提案ではシリコンフォトニクスチップを回路基板に固定する技術を確立し、LSI との容易な電気接続を実現するために電気再配線技術を確立する。

(e) 高スループット技術

光電子集積インターポーザの実現には異なる製造技術の組み合わせが必要となる。例えば、平面構造であるポリマー光導波路、電気配線と立体構造である 3 次元曲面ミラーは製造技術が異なる。本提案では光電子集積インターポーザを実現するために新しい製造技術を確立する。

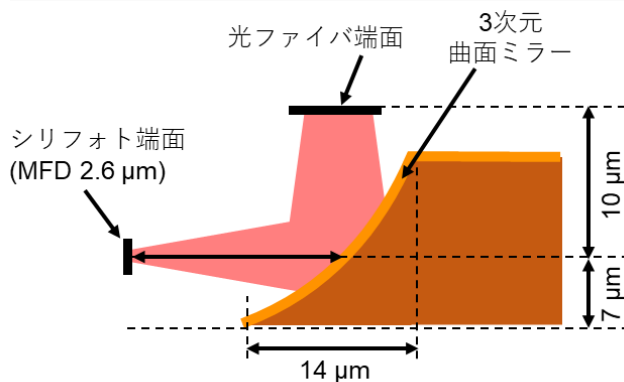
## 成果

### (a) シリコンフォトニクス光入出力構造

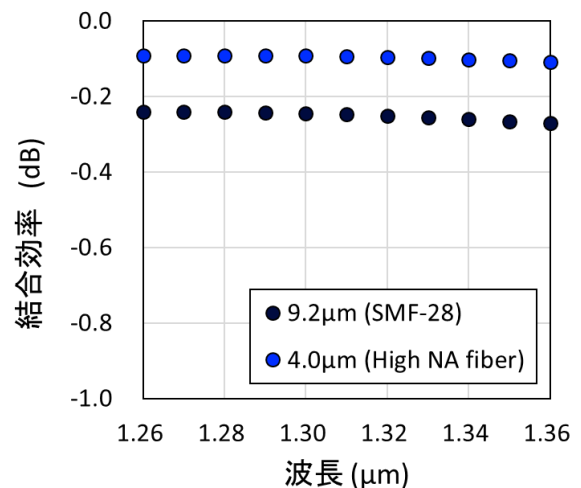
シリコンフォトニクスから外部への光入出力を広帯域かつ高効率で行える 3次元曲面ミラー構造を設計した。設計に用いた構造を図Ⅲ-2.2.3(e-3)-4 に示したが、実際のシリコン光導波路端面と同じ  $2.6\mu\text{m}$  のビーム径を光源に用いてシングルモード光ファイバと高 NA 光ファイバとの結合計算を行った。曲面ミラー構造を最適化することで図Ⅲ-2.2.3(e-3)-5 に示す通り、 $9.2\mu\text{m}$  径のシングルモードファイバで  $0.3\text{dB}$  以内の損失、 $4\mu\text{m}$  径の高 NA ファイバで  $-0.1\text{dB}$  と両方とも高効率で光結合できることが分かった。また、 $100\text{nm}$  超える広い波長帯域で高い結合効率が実現可能であることを計算で明らかにした。

次にシリコンフォトニクスチップ中に 3次元曲面ミラー構造集積を行った。露光法により作製された 3次元曲面ミラーはチップ中の任意の位置に正確に集積可能である。実際にシリコンフォトニクスチップ中に作製した 3次元曲面ミラーの顕微鏡写真を図Ⅲ-2.2.3(e-3)-6 に示す。写真から位置ずれ (Y 軸) は  $0.1\mu\text{m}$  以下とシングルモード光接続でも損失が出ない高精度集積が可能となっている。また、シリコンフォトニクス端面と 3次元曲面ミラーの断面高さプロファイルを図Ⅲ-2.2.3(e-3)-7 に示す。光軸中心 (シリコン導波路高さ位置) にミラー面が作製されており、シリコン導波路からのビームがミラー面中心に当たるように作製されている。シリコンフォトニクス端面からの出力ビームと 3次元曲面ミラーを介した出力ビーム結果を図Ⅲ-2.2.3(e-3)-8 に示す。シリコンフォトニクス端面からのビームは  $30$  度を超える広い出射角度であるのに対して、曲面ミラーを介したビームは角度変換されており、平行光に近い  $10$  度以下の出射角度となっている。また、この出射角度の制御は  $100\text{G}$  ビットイーサで規定されている 4 波長 ( $1294.53\text{nm}\sim 1310.19\text{nm}$ ) の範囲で実現されている。以上、中間目標である 4 波長多重に対応したシリコンフォトニクス光入出力構造は実現している。

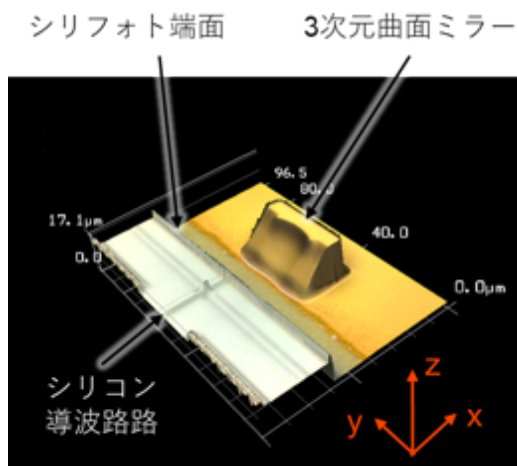
また  $1\text{dB}$  以下の低接続損失の実現はミラー構造の最適化により、年度内に達成見込み。



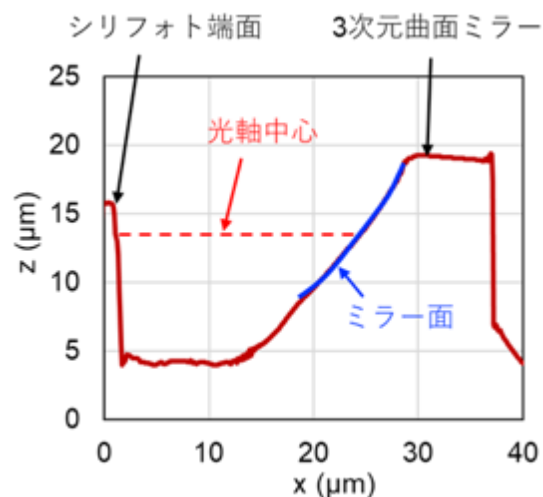
図Ⅲ-2.2.3(e-3)-4 設計に用いたミラー構造



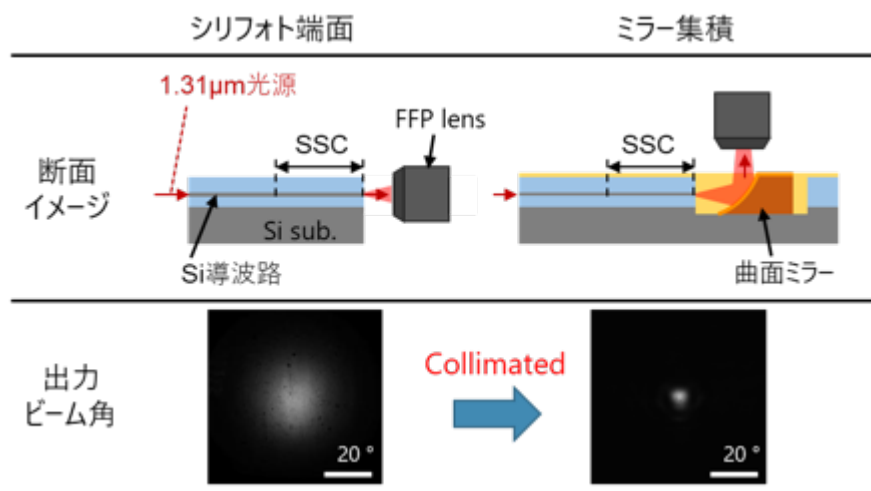
図Ⅲ-2.2.3(e-3)-5 光結合計算結果



図Ⅲ-2.2.3(e-3)-6 3次元曲面ミラーの顕微鏡写真



図Ⅲ-2.2.3(e-3)-7 断面高さプロファイル



図Ⅲ-2.2.3(e-3)-8 シリコンフォトニクス端面からの出力ビームと3次元曲面ミラーを介した出力ビーム結果

(b) シングルモードポリマー光導波路とシリコンフォトニクスとの光接続構造

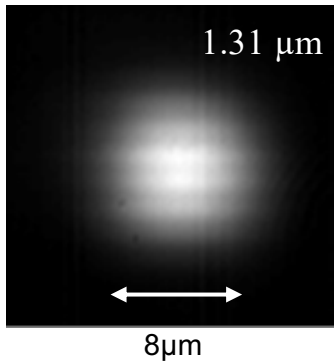
異種導波路接続技術として、材質・径が大きく異なるシリコン導波路と光ファイバの接続のためのポリマー導波路の形状設計を行い、最適なポリマー導波路構造を見出した。また、有機基板上にシングルモードポリマー光導波路を作製し、ビーム特性および伝搬損失特性を評価した。ポリマー光導波路から出射したビーム特性の評価結果から最適サイズのシングルモードポリマー光導波路を実現した。ポリマー光導波路端面での出力ビーム特性を図Ⅲ-2.2.3(e-3)-9に示すが、通信波長帯である $1.3\mu\text{m}$ 帯でシングルモード特有のガウシアンビーム形状を得た。 $1.55\mu\text{m}$ 帯でも同様にシングルモードビーム特性を得た。また、カットバック法によりポリマー光導波路の伝搬損失を評価し、波長 $1.3\mu\text{m}$ で $0.36\text{dB/cm}$ 、 $1.55\mu\text{m}$ で $0.68\text{dB/cm}$ を実現しており、図Ⅲ-2.2.3(e-3)-10に示す通り、 $1.3\mu\text{m}$ 帯で $0.4\text{dB/cm}$ 以下となる波長幅は $50\text{nm}$ となり、これは100Gビットイーサ4波長規格(LR4)の波長範囲 $16\text{nm}$ すべてで低損失伝送が可能となる。

また、シリコンフォトニクスとの光接続に関してはシリコンフォトニクスに集積した3次元曲面ミラー上に上部の3次元曲面ミラーを集積し、シリコンフォトニクスから出射したビームが上部のポリマー光導波路層に結合していることを確認した。また、上部ミラーとポリマー光導波路を作製するため、シリコンフォトニクスチップの基板埋め込みを行った。

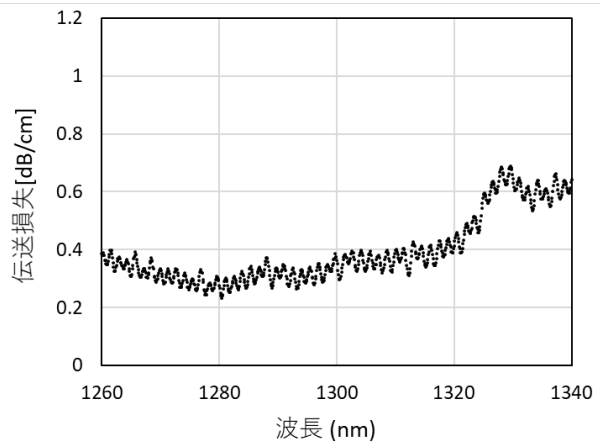
以上、中間目標であるシングルモードポリマー光導波路の低損失化( $\leq 0.4\text{dB/cm}$ )と上部ポリマー



ミラー集積を実現した。今後はミラー構造の最適化により、年度内に高密度光接続構造（帯域密度 5Tbps/mm<sup>2</sup>）を実現する。



図Ⅲ-2.2.3(e-3)-9 ポリマー光導波路端面での出力ビーム特性

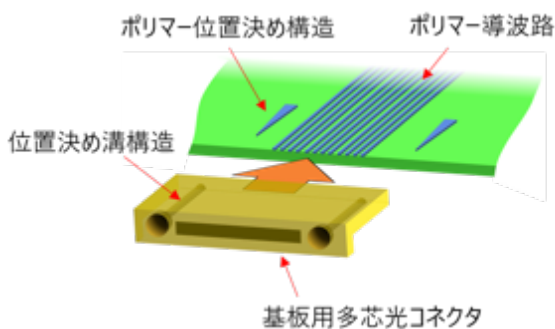


図Ⅲ-2.2.3(e-3)-10 ポリマー光導波路の伝搬損失

(c) シングルモード光ファイバアレイ用光コネクタ

高集積光コネクタの開発として、光ファイバと接続可能なインターポーザ基板用 12 芯光コネクタの基本構造を検討した。特に高精度でポリマー光導波路と光ファイバで接続できるように位置決め手法を検討した。その結果として、特徴の異なる 2 種類の光コネクタ構造を考案し、試作を行った。ポリマー位置決め構造を用いた基板用多芯光コネクタの概念図を図Ⅲ-2.2.3(e-3)-11 に示す。光コネクタの位置決め溝構造とポリマー位置決め構造とが吻合することで、お互いの位置がきまり、結果としてシングルモード光ファイバとシングルモードポリマー光導波路との高い光接続が可能となる。実際に位置決め構造が吻合した部分を光コネクタ側から観察した結果が図Ⅲ-2.2.3(e-3)-12 となる。光コネクタの位置決め溝構造の円中心とポリマー位置決め構造中心が 1μm ほどの小さなズレ量に抑えることができ、実際に光ファイバとポリマー光導波路の多芯接続を確認した。

以上、中間目標である光コネクタ用の位置決め構造を集積し、光ファイバとのアレイ接続を確認した。また、光コネクタ実装の組み立て手法を確立と伝送評価系の整備により、年度内に 3.6Tbps 相当の光リンク実証を行う。



図Ⅲ-2.2.3(e-3)-11 基板用多芯光コネクタの概念図



図Ⅲ-2.2.3(e-3)-12 吻合部分の観察結果

ベンチマーク

本提案の最大の特徴はこれまで部品実装で組み立てていた光モジュールではなく、集積パッケージ技術を用いて光電子集積インターポーザを実現する点にある。これはウェーハレベルパッケージ技術と呼ばれ、半導体分野では近年実用化が報告されてきている。我々はこの技術の光分野への応用をいち早く取り組み、これまでウェーハレベルパッケージ技術を用いて、電気回路基板上にポリマー光導

波路、光学ミラー、光コネクタの位置決め構造等の光機能素子を集積してきた。本提案ではシリコンフォトニクスチップを集積したインターポーザにウェーハレベルパッケージ技術の一つである露光技術を用いることで、最も困難な課題であるシングルモードの高精度光接続を可能とする。これまでの機械部品実装では高スループットだが、精度が悪く、一方、アクティブ調芯実装では高精度だがスループットが悪かった。本提案の光ウェーハレベルパッケージ技術ではこれまで実現できなかった高精度と高スループットの両立が実現できる。また、部品実装ではシリコンフォトニクスチップ上に大きなファイバ部品取り付け面積が必要となり、チップの小型化の制限になっていた。本提案では光入出力による小型化のボトルネックはなくなる。

また光結合技術に関しては、PETRA では露光を用いた 3 次元ミラー構造の作製技術を保有している。本提案では、これをシリコンフォトニクスとポリマー光導波路の光結合に応用することで、波長無依存、偏波無依存、位置ずれ耐性の強い、これまでにない光結合構造が実現できると考えている。

光リンクに関するベンチマークを表Ⅲ-2.2.3(e-3)-1 に示す。

シリコンフォトニクスチップ上の光結合面積は、他グループから報告されているものが部品実装方式のためシリコンフォトニクスチップ上の光結合面積が大きく、広帯域化が困難である。例えば、グレーティングカプラ方式のシリコンフォトニクス光モジュールは帯域密度 80Gbps/mm<sup>2</sup> となり、10Tbps を実現するためには光入出力部分のみで 125mm<sup>2</sup> のチップ面積が必要である。これは通常のシリコンフォトニクスチップサイズと同等サイズとなり、現実的ではない。

我々は波長多重化技術とシングルモードポリマー光ファンアウト技術を用いて、従来の部品実装方式の 1/40～1/66 の小面積化と高密度化を目指す。光入出力部分の帯域密度は導波路 1 チャンネルあたり 100Gbps、16 波の波長多重技術を使用すると 20Tbps/mm<sup>2</sup> が実現できる。これは他に比べて 100 倍以上の広帯域化が実現できることを意味している。また、ポリマー光導波路を使用して、マルチチップと 1 個のコネクタを接続できることも本提案の特徴である。例えば、3 つのシリコンフォトチップで本提案を実現した時、チップ上の光入出力面積は 0.2 mm<sup>2</sup> 以下となり、10Tbps の広帯域光リンクが初めて現実可能となる。

光リンク接続に関してはシリコンフォトニクスチップから光ファイバまでの実装を位置合わせによるパッシブ実装を目指す。当該技術に関してはアディアパティック方式が先行しているが、本提案ではこれまでの部品実装方式ではなく、ウェーハレベルパッケージ方式を採用しており、高精度かつ低コスト実装が可能となる。光リンク損失に関してはこれまで波長無依存かつ偏波無依存な低損失シリコンフォトニクス入出力用ミラー構造を実現しており、その技術を使用することで 2.5 dB 以下の低損失、波長無依存、偏波無依存な光リンクが見積もられており、他グループより高性能化が期待できる。

表Ⅲ-2.2.3(e-3)-1 光リンクに関するベンチマーク

	グレーティング方式	アディアパティック方式	ミラー方式(PETRA)
Si フォトの光入出力構造	グレーティングカプラ+光ファイバ	ポリマー導波路フィルムとのアディアパティック構造	3次元ミラー構造
チップ上光結合面積	× ~10 mm <sup>2</sup>	× ~6 mm <sup>2</sup>	◎ ~ 0.15 mm <sup>2</sup>
帯域/面積@1ch 100G	× ~80 G/mm <sup>2</sup>	× ~200 G/mm <sup>2</sup>	◎ ~ 20 T/mm <sup>2</sup> @16λ
マルチチップ対応	×	×	○
パッシブ実装(Si フォト)	×	○ アディアパティック	○ 直接露光
パッシブ実装(ファイバ)	○ MT/MT	○ PMT/MT	○ PW/MT
光リンクの波長依存性	×	○	○
光リンクの偏波依存性	○ 2POL	○	○
光リンク損失	○ 2.4 dB	○ 2.7 dB	○ ≤ 2.5 dB

## 2. 2. 3. 2 (f) 光電子集積インターポーザのシステム化技術開

上記(e)で研究開発する光電子集積インターポーザを情報処理装置や情報通信機器およびそのシステムに適用するために必要となるシステム化技術の研究開発を行う。

### (f-1) 情報処理システム化技術

最終目標の達成に向け、①光電子融合サーバボード(富士通分室)と②ラックスケール並列分散システム(つくば集中研、NEC分室)の二つの分室/グループを設置し、併行して技術開発を進める。①光電子融合サーバボード(富士通分室)は、(e)で開発したデバイス・実装技術を集積化することで、消費電力の少ない光電子集積インターポーザ技術、および波長多重技術等を用いる接続技術を組み合わせた光電子融合サーバボードを試作する。②ラックスケール並列分散システム(つくば集中研、NEC分室)は、複数の光電子融合サーバボードが接続可能なラックスケール並列分散システムを開発し、サーバ電力量を30%削減可能であることを示す。

#### ① 光電子融合サーバボード(富士通分室)

「(e) 光電子集積インターポーザのデバイス・実装技術開発」で開発する、光素子や電子回路等を高密度に集積した光電子集積インターポーザにCPUパッケージを搭載した光電子融合サーバボードを実現するためのシステム化技術開発を行う。現時点ではここで報告する通り、中間目標をほぼ達成しており、最終成果に向けてここで報告する成果をフィードバックしつつ、来年度に想定する10Tbps伝送可能な光電子融合サーバボードの最終構造の決定に進む。

#### 目標

2019年度中間目標：光電子融合サーバボードの基本構造を試作して動作検証とシミュレーションを併用し、10Tbps伝送に向けた課題を抽出する。

最終目標(2021年度末)：光電子融合サーバボードのプロトタイプを試作して良好な伝送品質を持つ10Tbps伝送可能なCPU間インターコネクットのシステム化技術を確立する。

#### スケジュール

本技術研究開発の主な項目とスケジュールを図Ⅲ-2.2.3(f-1)①-1に示す。2018年度は、10Tbps伝送に向けた光電子融合サーバボードの基本動作を確認するためサーバボードの電気配線、実装構造、冷却構造、ポリマー導波路接続構造の基本設計を決定した。2019年度は、システム化実装に向けた課題抽出として既存サーバボードを用いた動作検証を行う一方、光素子、電気素子と周辺部材を組み合わせた光電子融合サーバボード基本構造の試作を行う。サーバボードの特性を評価して、ポリマー導波路の反射やジッタを低減するための電気配線クロストークの抑制、光エンジンを高温で動作する効率的な冷却設計など、10Tbps伝送に向けた課題抽出を行う。2020年度は、2019年度までに開発した基本構造の課題をフィードバックして16チャンネルで100G-PAM4動作が可能な光エンジンを3台配置し送受10Tbps伝送を可能とする光電子融合サーバボードの設計を行う。100G-PAM4信号伝送可能な高密度電気配線の検討と10Tbps用の光エンジンが安定動作する冷却機構、反射を抑制したポリマー光導波路実装構造の検討を進める。2021年度は、2020年度に設計した光電子融合サーバボードのプロトタイプを試作し、試作機とシミュレーションを用いて10Tbps伝送動作が可能であることを示す。また試作した光電子融合サーバボードを用いて10Tbps伝送に向けたCPU間インターコネクットのデモ実証を行う。

	2018年度	2019年度上期	2019年度下期	2020年度	2021年度
光電子融合サーバボード	サーバボード基本構造設計	サーバボードの基本動作実証		10 Tbps大容量化	
シリコフォト集積素子実装技術	集積素子の実装構造の設計	集積素子の実装技術確立		10 Tbpsに向けた実装の高密度化	
高密度電気配線技術	10 Tbpsに向けた電気配線の基本構造設計	動作実証		10 Tbpsに向けた電気配線高密度化	
冷却技術	冷却機構の基本設計	冷却基本技術の確立		10 Tbps用光エンジンへの適用	
光配線技術	光配線の設計	光配線技術の確立		光配線の低反射化	

図Ⅲ-2.2.3(f-1)①-1 開発スケジュール

### アプローチ、特長技術

図Ⅲ-2.2.3(f-1)①-2(a)に本技術研究開発がターゲットとする光電子融合サーバボードのイメージを示す。インターポーザ基板上に CPU、シリコフォトニクス光 I/O、導波路、光コネクタを実装する。シリコフォトニクス光 I/O は CPU 近傍（ここでは基板裏面直下）に配置し、電気損失を抑制する。1 波あたり 100 Gbps で 16 波を波長多重するシリコフォトニクス光 I/O を 3 個配置し、アップリンク、ダウンリンク合わせ、全体で 10 Tbps の伝送が可能とする。光入出力は、ポリマー導波路により光コネクタを一つにまとめ、低損失で簡便な構成としている。

光電子融合サーバボードへの主な要件としては、1) 100 Gbps 高速電気伝送が可能、2) 電気・光信号ともに低ジッタで高品質、3) 16 波の波長制御が可能、4) 発熱量の大きい CPU 近傍に配置することから安定動作が可能、の 4 つがある。これらの要件をクリアするための 4 つの課題とそれに対するアプローチを以下にまとめる。図Ⅲ-2.2.3(f-1)①-2(b)には各課題とアプローチの関係を図示している。

### 課題：

- 課題 1：電気・光配線の高密度実装化  
⇒アプローチ①、②、⑤)
- 課題 2：光コネクタ接続の反射低減（低雑音化）  
⇒アプローチ②、③)
- 課題 3：効率的な冷却構造  
⇒アプローチ④)
- 課題 4：サーバシステムへの実装技術  
⇒アプローチ⑥)

具体的なアプローチの内容を以下に示す。

#### アプローチ①：

高周波損失と信号間におけるクロストークを抑制するために、裏面実装技術を用いて CPU とシリコフォトニクス光 I/O を直近に配置し、貫通ビアにより電気配線を最短化する。

#### アプローチ②：

シリコンと熱膨張係数が近いガラスインターポーザを用いることで、実装リフロー時の熱応力による歪みを抑制し低損失ポリマー導波路の形成に必要な平坦性を確保する。これにより、隣接ポリマー導波路間のギャップを小さくすることが可能となり、高密度配置を実現する。また、ガラス基板の薄膜化により貫通ビアを用いた両面実装を可能とし、電気配線を最短化する。



アプローチ③：

ポリマー導波路とコネクタ間の高密度低損失光配線接続技術を開発する。コネクタ部のシングルモードファイバとポリマー導波路を  $1 \mu\text{m}$  以下の高精度で位置合わせするために、先付けファイバガイド部材を作製し、ファイバガイド部材上へのポリマー導波路直描技術の適用を検討する。また、ファイバガイド上への多心ファイバー一括搭載が可能なフェルール構造を開発する。

アプローチ④：

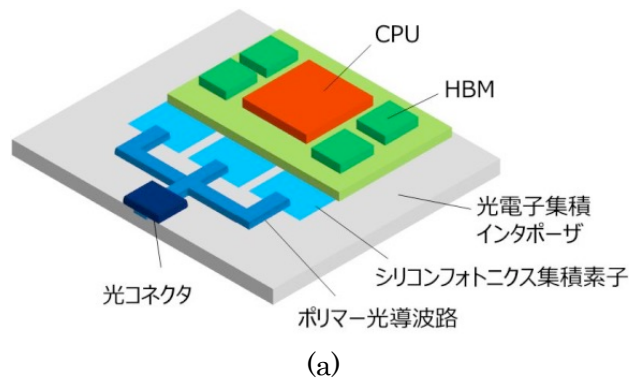
光電子融合サーバボードのサーバシステムへの実装では、巨大な発熱源である CPU の冷却機構を前提とする必要がある。一例として、PCI 規格を満足するサーバシステム内には毎秒  $5 \text{ m}$  の冷却風が光電子融合サーバボードを吹き抜けることから、この風を利用した効率的な冷却構造を検討する。一方で、強風による光ファイバフェルールへのダメージが予想されることから、風路制御構造の付与なども同時に検討する。

アプローチ⑤：

シリコンフォトニクスは微細導波路の形成が可能で小型・高集積化に適する一方で、製造ばらつきによる位相ばらつきの影響を受けやすい。本技術研究開発ではシリコンフォトニクスチップに波長多重用合分波器を形成することから、製造による位相ばらつきに起因する波長ずれや隣接波長とのクロストークを温度変動の影響を含めシステム的に補償する仕組みを開発する。加えて、 $10 \text{ Tbps}$  超の伝送帯域を必要とする大規模サーバシステムの出現を見据え、 $32$  波長、 $64$  波長など更なる多波長化が可能な、低損失かつ低クロストークとなる合分波技術を開発する。

アプローチ⑥：

$10 \text{ Tbps}$  伝送可能な光電子融合サーバボードによる CPU 間インターコネクタのシステム化技術の確立に向けて、まず、既存サーバによるシステム実装検証を実施し課題を抽出する。



・ $10 \text{ Tbps}$ 伝送可能な光電子融合サーバボードの要件

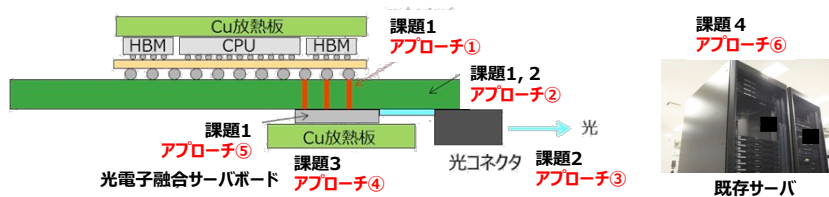
- $100\text{G}$  高速電気伝送
- 低ジッタな電気・光信号品質
- $16$ 波長制御
- 高温動作

・課題：

1. 電気・光配線の高密度実装化
2. 光コネクタ接続の反射低減（低雑音）
3. 効率的な冷却構造
4. サーバシステムへの実装技術

・アプローチ：

- ① 裏面実装技術を用いた電気配線の最短路化
- ② シリコンと熱膨張係数が近いガラスインタポーザを用いた高密度実装
- ③ ポリマー導波路とコネクタ間の光配線接続技術を開発
- ④ 光ファイバフェルール低ダメージ構造を用いた高効率なCPU冷却構成検討
- ⑤ 波長自律制御によるばらつき補償
- ⑥ 既存サーバによるシステム実装検証を実施して課題抽出

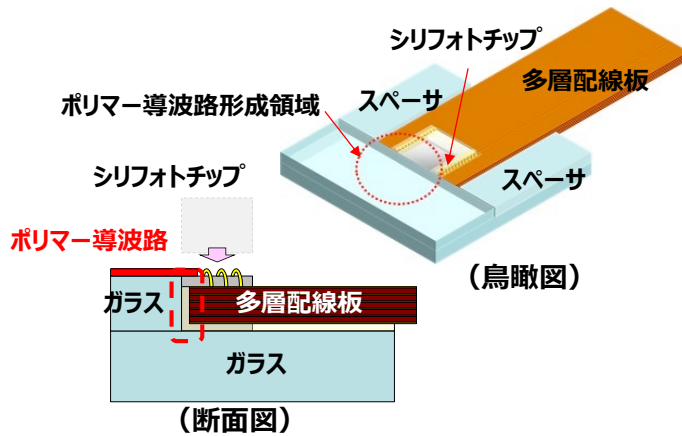


図III-2.2.3(f-1)①-2 光電子融合サーバボードのイメージ(a)と開発課題およびアプローチの関係(b)

成果

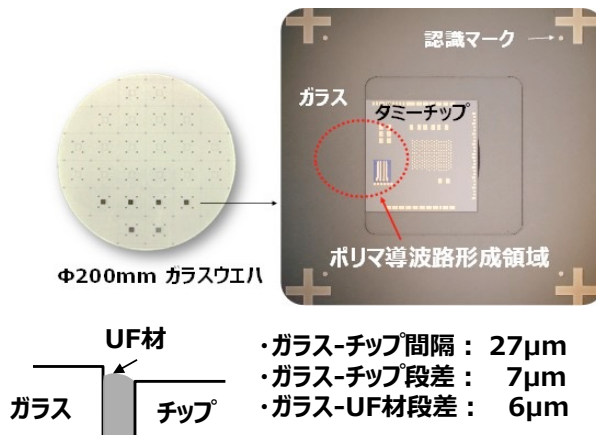
成果1 10 Tbps 向け光電子融合サーバボードの基本構造決定

10 Tbps 向け光電子融合サーバボードの基本構造として、ガラスインターポーザ基板を組み合わせたテラス構造を提案した (図Ⅲ-2.2.3(f-1)①-3)。シリコンフォトニクスチップ (シリフォトチップ) と多層配線板がガラス基板に埋め込まれた構造である。ガラス基板上面とシリフォトチップの一部にポリマー導波路形成領域を設け、低損失なポリマー導波路により外部との光インターフェースをとる。この提案構造には次に述べる二つの大きなメリットがある。一つは、ガラス基板を薄膜化することでスルーホールビアにより電気配線が短尺化し両面実装が可能になるメリットであり、もう一つは、ガラスの熱膨張係数がシリコンフォトニクスチップや Si CPU に近く、実装リフロー時の熱応力による高さ変動を抑制できるメリットである。



図Ⅲ-2.2.3(f-1)①-3 ガラスインターポーザ基板を組み合わせたテラス構造

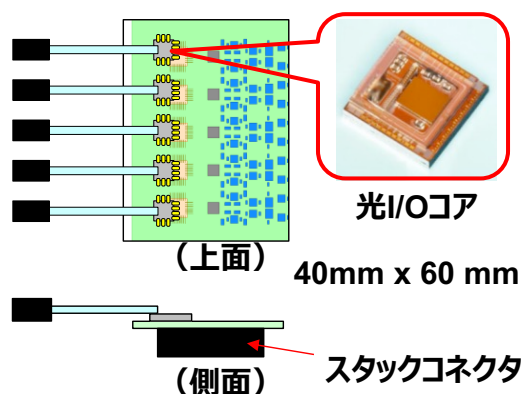
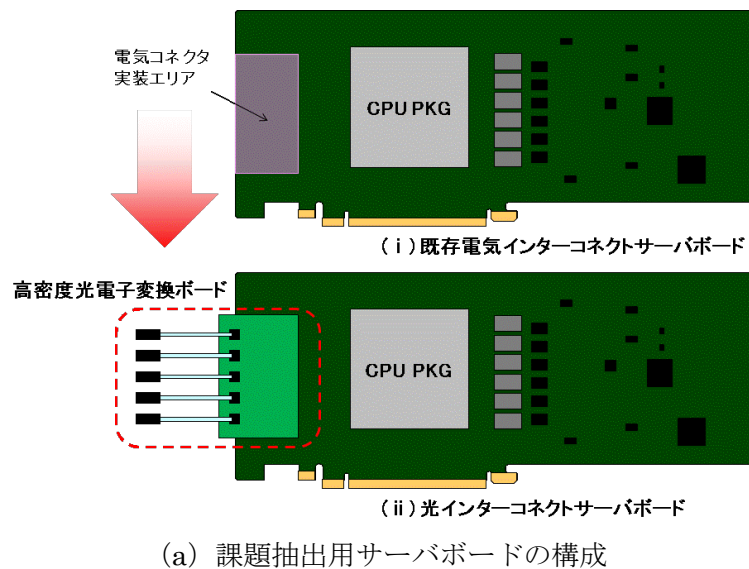
実際にガラスインターポーザ基板を組み合わせたテラス構造を試作した。図Ⅲ-2.2.3(f-1)①-4 は、テラス構造を試作したガラスウェーハと、テラス構造部にダミーチップを埋め込んだ領域の拡大図を示している。ガラス基板とダミーチップの間に空隙が生じるとポリマー導波路の形成に悪影響を及ぼすことから、空隙を封止材 (UF 材) で埋める構造としている。ウェーハ面内で仕上り形状を評価したところ、ガラスとダミーチップの仕上り段差は平均  $7 \mu\text{m}$ 、ガラスとダミーチップの間隔 (空隙) は平均  $27 \mu\text{m}$ 、ガラスと UF 材の段差は平均  $6 \mu\text{m}$  であった。ガラスウェーハ面内での均一性は良好なことを確認した。ガラスとダミーチップの段差やガラスと UF 材の段差は、作り込みで製造条件を最適化することで低減させることができる。これらの結果から、ガラスとシリコンフォトニクスチップの平坦性は確保でき、低損失ポリマー導波路の形成と隣接ポリマー導波路の高密度配置が可能となることを示した。



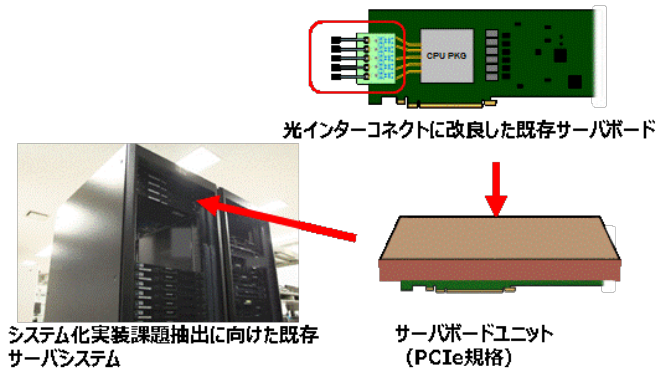
図Ⅲ-2.2.3(f-1)①-4 試作したガラステラスとチップ埋め込み構造

成果2 既存サーバによるシステム実装検証用のサーバボードの構成を決定

10 Tbps 向け光電子融合サーバボードの基本設計と併行し、既存サーバを用いたシステム化技術の課題を抽出するために、課題抽出用のサーバボードの構成を決定した。ここで、現状では 10 Tbps の帯域幅を使用するサーバの入手が極めて困難なため、比較的入手性の高い帯域幅 1 Tbps のサーバを既存サーバとして使用することとした。既存サーバのサーバボード（既存サーバボード）は電気インターコネクションを用いており、図Ⅲ-2.2.3(f-1)①-5(a)の上図に示すように、サーバボード上に電気コネクタ実装エリアを有している。本技術研究開発では、この電気インターコネクションを、同下図に示すように光インターコネクションに置き換える構造とした。光インターコネクション部は、5 個の光エンジンを実装する高密度光電子変換ボードがスタックコネクタを介して電氣的に既存サーバボードに接続される構成とする（図Ⅲ-2.2.3(f-1)①-5(b)）。光エンジンとしてはアイオーコア株式会社が販売する光 I/O コアを用いる。光 I/O コアは 25 Gbps×4 ch の伝送帯域を有し、外形 5 mm 角と小さく高密度化に適している。外形 40×60 mm の高密度光電子変換ボード上に、5 個の光 I/O コアチップ、光ファイバ結合部、20 ch 分の高速差動電気配線、DC コンバータなど電源回路、32 ビットマイコンなどを高密度に配置する。高密度光電子変換ボードの全伝送帯域幅は、25 Gbps×4 ch×5 光エンジン×送受＝1 Tbps となる。同図 (c) は、既存サーバによるシステム実装検証のイメージ図である。光インターコネクタに改良した既存サーバボードをユニットボックスに格納し、既存サーバシステムに組み込む。



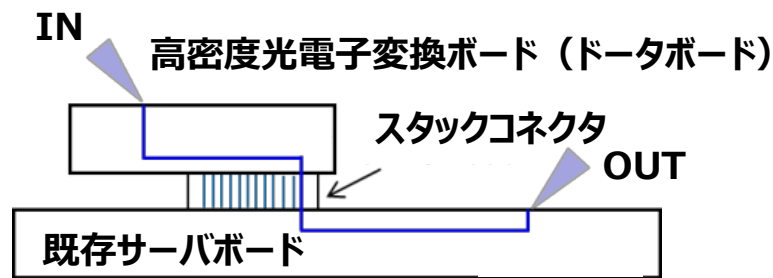
(b) 高密度光電子変換ボード 25 Gbps×20 ch (4 ch×5 モジュール)



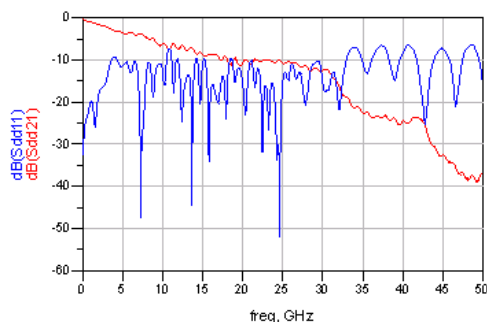
(c) 既存サーバによるシステム実装検証のイメージ

図Ⅲ-2.2.3(f-1)①-5 システム化実装の課題抽出に向けた既存サーバボードの構成と検証イメージ

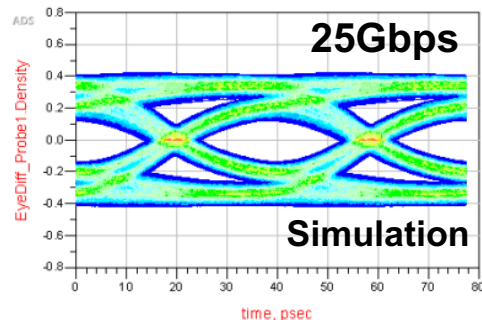
高密度光電子変換ボードに 5 個の光エンジンを高密度実装するために、試作とシミュレーションを用いて高速信号の伝送特性を検証し、高速高密度な電気配線構造を決定した。高密度光電子変換ボードと既存サーバボードがスタックコネクタを介して接続される提案構造を想定して評価ボードを試作した。図Ⅲ-2.2.3(f-1)①-6 に、伝送路、評価ボードの S パラメータ実測結果、S パラメータ実測結果と CPU の I/O モデルを用いた伝送特性のシミュレーション結果を示す。30 GHz までの広帯域で反射損失-10 dB 以下が得られた。10 GHz 付近に一部-10 dB を上回る周波数帯があるものの、伝送特性にはさほど影響を与えないと考えている。挿入損失は 25 GHz で-10 dB とやや大きい。この原因としては、光インターコネクต์に改造した既存サーバボードでは、高密度光電子変換ボードを、スタックコネクタを介して接続するため、スタックコネクタとボード間の接続損失が影響していると考えている。高速データ信号の伝送シミュレーションを行った結果、CPU I/O 部において伝送損失の等化处理を施すことで 25Gbps のアイ開口が得られることを確認した。これらの解析結果をもとに、高密度光電子変換ボードの全体基板設計と試作を行った。今後、高密度光電子変換ボードを既存サーバボードに実装し、システム化実装の課題を抽出した。



(a) 評価ボードと信号伝送路



(b) 伝送路の S パラメータ実測値



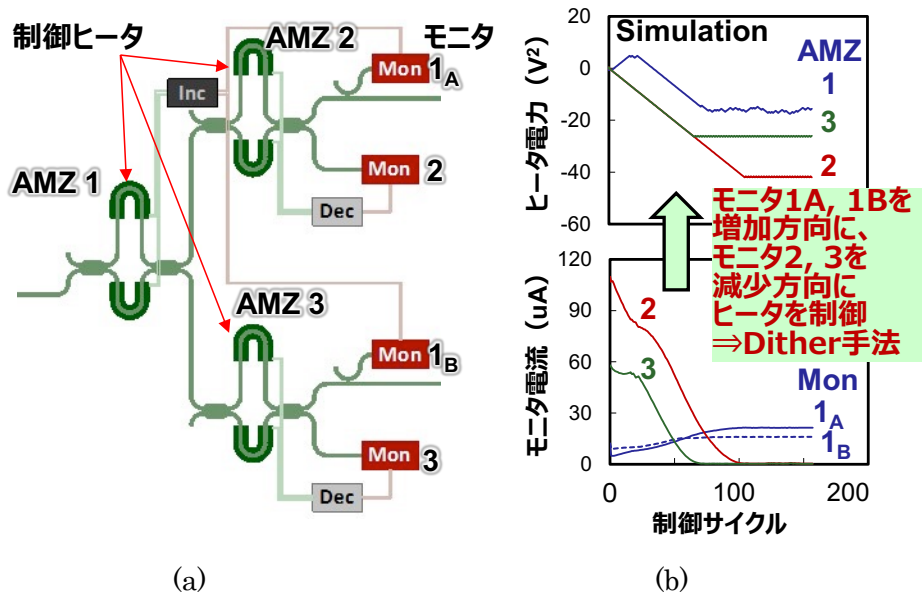
(c) 伝送路の 25Gbps 伝送波形

図Ⅲ-2.2.3(f-1)①-6 システム化実装課題抽出に向けた既存サーバボードの信号伝送特性検証

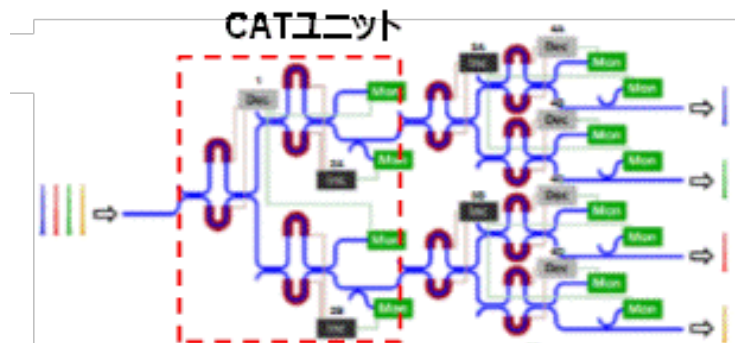


### 成果3 WDM 波長自律制御技術の提案とその原理実証

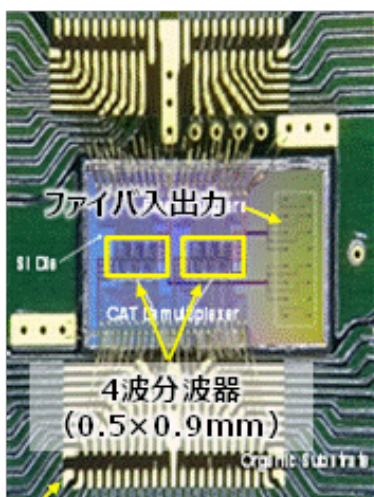
超並列構成によるサーバシステムの高性能化には伝送帯域幅の拡大を高密度に実現する必要があり、本技術研究開発では WDM によるインターポーザあるいはサーバボード構成を提案し、高密度化を進めている。本プロジェクトで開発する 10 Tbps 光電子融合サーバボードは 16 波長 WDM を前提とするが、10 Tbps 超の伝送帯域を必要とする大規模サーバシステムの出現を見据え、更なる多波長化が可能な合分波技術が必要となる。加えて、シリコンフォトニクス素子は一般的にチップ製造ばらつきや環境温度による影響を受けやすく、その結果をして WDM フィルタの波長変動が無視できないため、これを補償する WDM 波長自律制御技術が不可欠となる。そこで、図Ⅲ-2.2.3(f-1)①-7(a)に示すように、非対称マッハ・ツェンダー干渉計 3 個と光強度モニタと位相制御用ヒータを構成単位とする新たな分波器構造を提案した。同図(b)にシミュレーションによる波長自律制御の一例を示す。モニタ 1A とモニタ 1B を増加方向となるよう、モニタ 2、モニタ 3 を減少方向となるようヒータを制御する。この制御は Dither と呼ばれる比較的簡易な手法で実現できるため、制御部のハード量低減と高速動作が可能となる。提案した分波器構造を用いて実際に 4 波長分波器を試作し、評価基板に実装して分波特性を評価した。4 波長分波器は、図Ⅲ-2.2.3(f-1)①-8(a)に示すように、3 つの分波器ユニット (CAT ユニットの、図Ⅲ-2.2.3(f-1)①-7(a)) をトーナメント型に接続した構成であり、図中左側から 4 波長多重光を入射し、分波器ユニットにより 4 波長に分波して図中右側から単波長光が出射する。図Ⅲ-2.2.3(f-1)①-8(b)は、試作した 4 波長分波器の評価基板である。光ファイバとの結合はグレーティングカップラを用いた。モニタ端子、制御ヒータ端子はワイヤ・ボンディングを用いて評価基板の信号パッドに引き出している。図Ⅲ-2.2.3(f-1)①-8(c)は 4 波長分波器の評価結果である。光透過損失 3 dB 以下、波長間クロストーク -50 dB 以下の良好な分波動作を確認した。本成果により今後 32 波長更には 64 波長へと多波長化しても低クロストークを維持できる見通しが得られた。



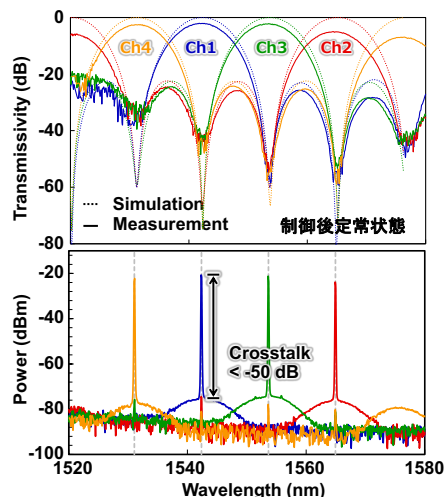
図Ⅲ-2.2.3(f-1)①-7 提案した波長自律制御可能な分波器構造(a)と波長自律制御の例(b)



(a) 提案構造を用いた 4 波長分波器



(b) 試作した 4 波長分波器チップと評価基板



(c) 4 波長分波器の実測分波特性

図Ⅲ-2.2.3(f-1)①-8 提案する 4 波長分波器とその分波動作の評価結果

#### ベンチマーク

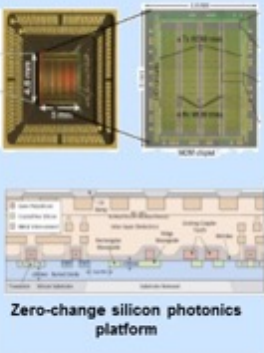
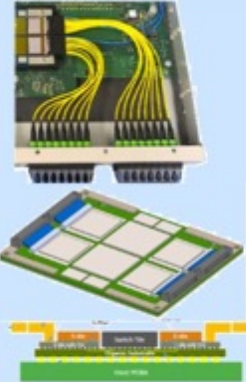

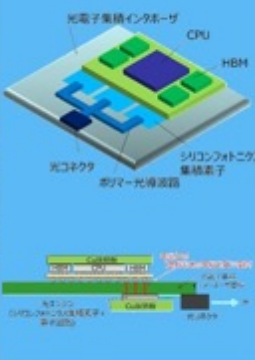
図Ⅲ-2.2.3(f-1)①-9 に各社が開発を目指している光電子融合ボードのベンチマークを示す。帯域幅、サイズ、消費電力の観点で、本技術研究開発の設定した目標は高く、世界レベルをリードするものである。

Ayar Labs 社 (<https://ayarlabs.com/>) は、高性能計算システムの処理速度を飛躍的に高める光チップを開発する米国のスタートアップである。ここは、シリコンチップ上に光回路と電気回路を一体集積することで、光エンジンの高性能化を図っている。図中に示したのは、光電気一体集積型チップであり、総帯域幅 100 Gbps を  $5 \times 4.8 \text{ mm}$  と小さなサイズで実現している。

Luxtera 社 (<http://www.luxtera.com/>) はシリコンフォトニクス技術を手がける米国のファブレスメーカーであったが、2018 年に同じく米国の Cisco Systems 社 (<https://www.cisco.com/>) に買収された。図に示しているのは、2021 年から 2023 年をターゲットとする、総伝送帯域幅 25.6 Tbps の co-packaging 型光モジュールである。4 波長 WDM で 1 波長あたり 100 Gbps、ポート数 64 を有する。本技術研究開発が掲げる目標とほぼ同レベルの目標性能が想定されている。ただし、消費電力は 70 W と非常に大きく、1 Gbps 当たりの消費電力に換算すると本技術研究開発に比べて約 3 倍の設定となっている。この点で、本技術研究開発の設定目標が世界レベルをリードすることになる。Luxtera 社も光源は外部から供給する形態を想定している。光源にはアイソレータを取り付け、外部供給光の安定化を図っている。

Rockley Photonics 社 (<https://rockleyphotonics.com/>) は米国のファブレスメーカーで、シリコンフォトニクスチップセットや IP を供給する他、カスタム設計も手掛ける。図中に示すのは”Topanga”と称する in-packaging 形態の光 ASIC と 1RU のシステムである。光 ASIC には、EAM タイプ変調器、Ge 受光器が集積されている。通常シリコンフォトニクスではサブミクロンサイズの導波路を用いるが、

Rockley社は数ミクロンとサイズの大きい導波路を用いるのが特徴で、これにより導波路の低損失化、製造ばらつきによる位相ばらつきの低減を図っている。これにより、製造ばらつきの影響の小さい合分波器を製造する技術を有している。図中の光 ASIC にも 4 波長合分波器が使用されている。トータルの伝送帯域幅は 2.4 Tbps と本技術研究開発の目標より小さい。また、導波路サイズが大きいいためかパッケージサイズは 70×40 mm と一回り大きい。電気 LSI チップには 28 nm CMOS 技術を用いている。消費電力は 36 W、1 Gbps あたり 15 mW とかなり大きい。光源はパッケージ外部から供給する。

	Ayar Lab.	Luxtera	Rockley	PETRA
構造	 Zero-change silicon photonics platform			 光電子集積インターポーザ CPU HBM 光コネクタ シリコンフォトニクス集積素子 ポジマー光導波路
帯域幅	100Gbps 4Tx/Rx WDM	25.6 Tbps 400Gbps × 64port	2.4 Tbps 100Gbps × 24port	10 Tbps 100Gbps × 16λ × 6port
サイズ	5 × 4.8mm <sup>2</sup>	89 × 50 mm <sup>2</sup> 256Gbps/mm	70 × 40 mm <sup>2</sup> (読取推定値) 30Gbps/mm	50 × 30 mm <sup>2</sup> 320Gbps/mm
消費電力	5 mW/Gbps	~70 W 2.7 mW/Gbps	~36 W 15 mW/Gbps	~10 W 1 mW/Gbps
開発時期	2018	2021~2023+	2018	2022
特徴	LSI PKGと光の2.5D実装 パラレル	LSI PKGと光の2.5D実装 4波WDM	LSI PKGと光の2.5D実装 4波WDM	光電子融合インターポーザ 16波 WDM

**世界最高クラスの帯域密度、低消費電力達成見込み**

図III-2.2.3(f-1)①-9 光電子融合ボードのベンチマーク

②ラックスケール並列分散システム（つくば集中研、NEC 分室）

目標

2019 年度中間目標：波長多重技術を用いた接続技術を開発し、消費電力の少ない光電子集積インターポーザ技術と合わせることによりサーバ電力量を 30%削減可能であることをシミュレーションにより示す。

最終目標（2021 年度末）：消費電力の少ない光電子集積インターポーザ技術と波長多重技術を用いた接続技術を組み合わせた光電子融合サーバボードを試作し、試作機とシミュレーションを用いてサーバ電力量を 30%削減可能であることを示す。

アプローチ、特長技術

まず、本プロジェクトの目標の一つである、サーバの消費電力量を 3 割削減する方法に関して、その方針を以下に説明する。IT 機器の省エネルギー化とは、ある仕事（アプリケーション）に対して、

$$\text{消費電力量} = \text{平均消費電力} \times \text{実行時間} \quad (1)$$

を小さくすることである。クラスタ・サーバで並列分散処理を行う場合、式(1)右辺第 2 項に関して、

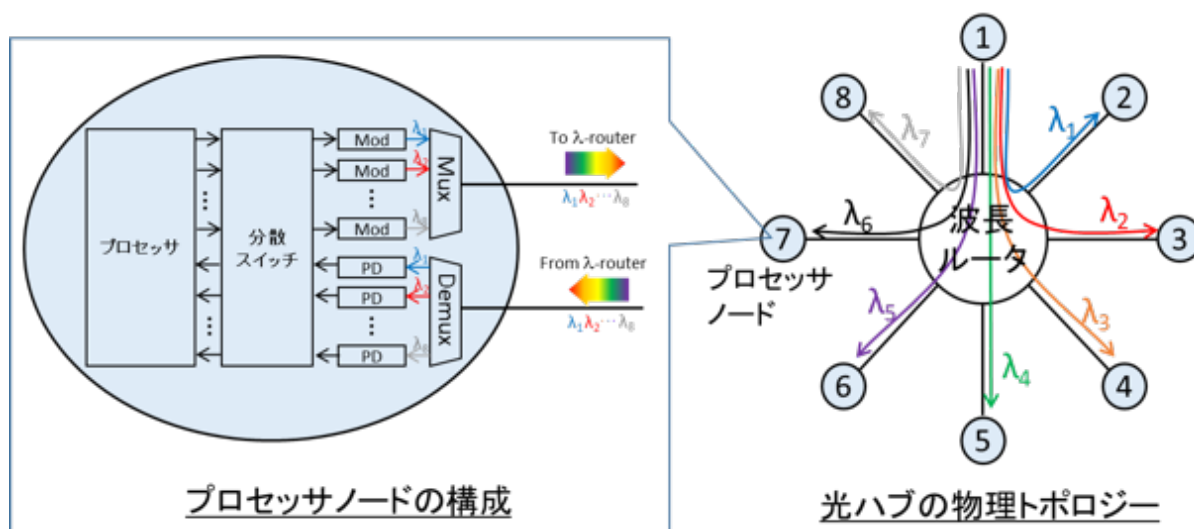
$$\text{実行時間} \approx \text{演算時間} + \text{通信時間} \quad (2)$$

と近似することができる。ここで通信時間とはプロセッサ間でデータを共有するために行うプロセッサ間の通信時間である。例えば演算時間と通信時間が同程度で、式(1)右辺第 1 項が変わらない場合、通信時間を約 6 割削減することで式(2)右辺の実行時間は約 3 割減少し、式(1)左辺のサーバ全体の消費電力量を約 3 割削減することが可能である。そこで我々は、並列分散処理を実行するクラスタ・サー



バのノード間の通信時間を削減することによりアプリケーションの実行時間を削減し、結果としてアプリケーション単位でのサーバ消費電力量を3割以上削減することを方針とした。通信時間を削減するためには、通信帯域幅を広くすること、通信遅延時間を短くすること、および通信回数を少なくすることが有効である。そこで我々は、これらを同時に実現出来るチップ間ネットワーク・アーキテクチャとして、光ハブを提案している。

光ハブの構成および動作の概略を図III-2.2.3(f-1)②-1に示す。光ハブ全体の物理的構成(物理トポロジー)は、複数のプロセッサノードが波長ルータを中心にスター状に接続された構成となっている。各プロセッサノードは光送信器および光受信器を持ち、プロセッサノードの数をNとすると、光送信器はN個の光変調器(Mod)とN×1波長合波器(Mux)、光受信器はN個の受光器(PD)と1×N波長分波器(Demux)を持つ。光送信器では、N個の変調器でN個のキャリア波長を変調したNチャンネルの信号が波長合波器で波長多重されて波長ルータに接続された1本の光ファイバに出力される。逆に光受信器では、波長ルータに接続された1本の光ファイバから入力した波長多重信号が、波長分波器でNチャンネルの信号に分離されN個の受光器で電気信号に変換される。各プロセッサノードの光送受信器は、シリコンフォトリソグラフィを用いた光電子集積インターポーザにより、小型化、高密度化、広帯域化、低消費電力化される。



図III-2.2.3(f-1)②-1 光ハブの構成と動作の概略

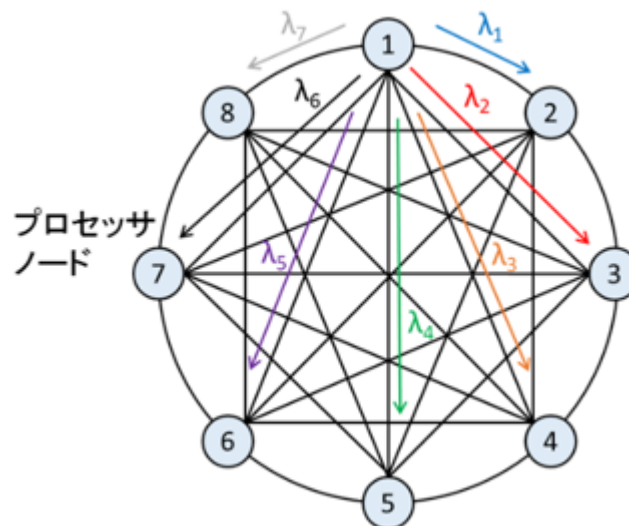
波長ルータはN個の入力ポートおよび出力ポートを有し、入力ポートと波長によってその出力ポートが循環的に決まる光素子である。例として8入力8出力の波長ルータの動作を表III-2.2.3(f-1)②-1に示す。光ハブの論理トポロジーは全ノード間を直接接続したフルメッシュ接続と等価である。波長ルータを用いない場合、N個のノード間をフルメッシュ接続するためには、図III-2.2.3(f-1)②-2に示す通りN(N-1)本の光ファイバが必要であり、Nがある程度大きい場合にはファイバ本数が多くなりすぎて実現困難であったが、上記提案の光ハブでは、図III-2.2.3(f-1)②-1に示す通り光ファイバの本数は2N本でよく、光ファイバの本数を桁違いに減らすことができ、ノード間をフルメッシュ接続することが可能となる。なお、図III-2.2.3(f-1)②-1の右図、図III-2.2.3(f-1)②-2共に、ノード間の接続を示す1本の線は双方向通信を行うための2本の光ファイバを表している。

図III-2.2.3(f-1)②-1に示す通り、光ハブの各プロセッサノードには、プロセッサ側の入出力ポートと通信相手ノード(波長)に対応したネットワーク側ポートの間を任意に接続するスイッチが必要になる。我々はこれを分散スイッチと呼んでいる。一方、従来のEthernetやInfiniBandのスイッチは、ノード間にハブ状(スター型またはツリー型)に設置されるので、集中スイッチと呼んでいる。集中スイッチは、全ノードからのトラフィックがスイッチに集中するため、ネットワークの規模や帯域幅が集中スイッチの容量で制限されてしまうという課題がある。一方、分散スイッチは、各スイッチの規模が集中スイッチの約1/Nであり、各ノードに分散配置されるため、上記集中スイッチの課題を緩和することができる。また、分散スイッチを用いたネットワークは、集中スイッチに比べて光送受信器数を半減できるという利点もある。



表Ⅲ-2.2.3(f-1)②-1 波長ルータの入出力ポートと波長の関係

波長	出力ポート								
	1	2	3	4	5	6	7	8	
入力ポート	1	$\lambda_0$	$\lambda_1$	$\lambda_2$	$\lambda_3$	$\lambda_4$	$\lambda_5$	$\lambda_6$	$\lambda_7$
	2	$\lambda_7$	$\lambda_0$	$\lambda_1$	$\lambda_2$	$\lambda_3$	$\lambda_4$	$\lambda_5$	$\lambda_6$
	3	$\lambda_6$	$\lambda_7$	$\lambda_0$	$\lambda_1$	$\lambda_2$	$\lambda_3$	$\lambda_4$	$\lambda_5$
	4	$\lambda_5$	$\lambda_6$	$\lambda_7$	$\lambda_0$	$\lambda_1$	$\lambda_2$	$\lambda_3$	$\lambda_4$
	5	$\lambda_4$	$\lambda_5$	$\lambda_6$	$\lambda_7$	$\lambda_0$	$\lambda_1$	$\lambda_2$	$\lambda_3$
	6	$\lambda_3$	$\lambda_4$	$\lambda_5$	$\lambda_6$	$\lambda_7$	$\lambda_0$	$\lambda_1$	$\lambda_2$
	7	$\lambda_2$	$\lambda_3$	$\lambda_4$	$\lambda_5$	$\lambda_6$	$\lambda_7$	$\lambda_0$	$\lambda_1$
	8	$\lambda_1$	$\lambda_2$	$\lambda_3$	$\lambda_4$	$\lambda_5$	$\lambda_6$	$\lambda_7$	$\lambda_0$

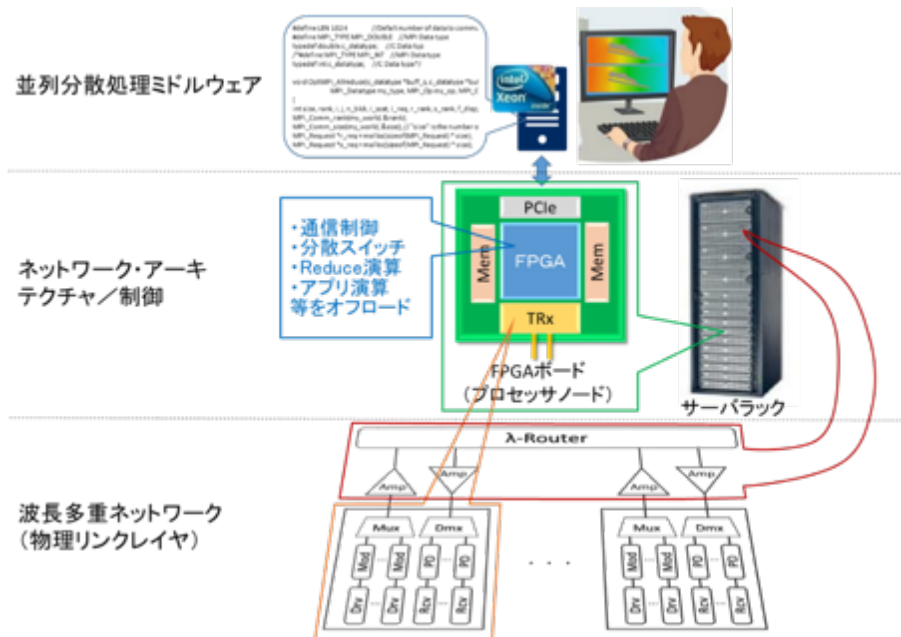


図Ⅲ-2.2.3(f-1)②-2 光ハブの論理トポロジー

上記提案の光ハブを用いることで、プロセッサノード間通信の帯域幅、遅延時間、通信回数を以下の通り改善し、通信時間を削減することができると見込んでいる。

- シリコンフォトニクス、光電子集積インターポーザ、および波長多重を用いることにより、光送受信器を小型・高密度・高速化し、プロセッサノード間通信の帯域幅を広帯域化
- プロセッサノード間をフルメッシュ接続することにより、パケットの衝突が発生しないため、従来必要だったパケットのルーティング、待機、再送等の制御によって生じる時間を削減し、プロセッサノード間通信の遅延時間を短縮
- プロセッサノード間をフルメッシュ接続することにより、従来集合通信で必要だった複数回の通信回数を1回にし、プロセッサノード間通信の通信回数を削減

プロセッサノード間を光ハブで接続した並列分散処理システムの全体像イメージを図Ⅲ-2.2.3(f-1)②-3に示す。



図Ⅲ-2.2.3(f-1)②-3 プロセッサノード間を光ハブで接続した並列分散処理システムの全体像イメージ

### スケジュール

実施計画線表を表Ⅲ-2.2.3(f-1)②-2に示す。

2018年度は、物理リンクレイヤでは、ネットワークシミュレータを用いたノード間波長多重ネットワークのシミュレーション環境を構築し、そのシミュレーション環境を用いてノード間波長多重ネットワークを用いた光ハブのリンク設計を行った。その結果、光電子集積インターポーザと低雑音光増幅器の活用、波長ルータの低クロストーク設計等により、ノード間のエラー・フリー伝送とリンク電力の削減見込みを確認した。また、その構成要素デバイスの仕様の検討、構成要素デバイス単体毎の評価による課題の抽出を行い、その選定方針を明確化した。ネットワーク・アーキテクチャ/制御では、光ハブのノードの構成、制御方法等を検討し、ポイント・ツー・ポイント (P2P) 通信の動作検証を行った。具体的には、光ハブの論理フルメッシュ接続によるノード間通信を模擬するため、自走アプリおよび分散スイッチを実装した2台のFPGA間を光接続で直結し、FPGA間P2P通信のオフロード動作の実証実験を行った。その結果、光ハブを模擬したシステムでは、従来のEthernet等によるCPU間通信に比べて低遅延・高効率な通信が可能であることを確認した。また、2019年度にノード間でのフルメッシュ接続の動作検証を行う際に必要となるFPGAボード(FPGA-HP)に関して、FPGA論理およびボード基板の設計を行い、FPGA消費電力シミュレーションにより、光ハブのルーティング電力の削減見込みを確認した。並列分散処理ミドルウェアでは、HPC等の並列分散システムの評価で使用されるベンチマーク・プログラムを選定し、そのソースコードにおけるノード間データ伝送部分を光ハブに適用できるコードに改変し、仮想ハードウェア上のシミュレーションにより実行速度の分析を行った。具体的には、並列計算シミュレータSimGridを用いて、NAS Parallel Benchmarks等の並列計算ベンチマークの実行時間をシミュレーションし、論理フルメッシュ接続の光ハブは、従来のツリー型またはトラス型接続に比べて、通信時間および実行時間の短縮が可能であることを確認した。

2019年度は、物理リンクレイヤでは、FPGAボードの光電子集積インターポーザに用いる光集積回路を試作し、その評価を行うと共に、波長多重ネットワークの光源・ルータ・アンプボードの仕様を確定する。更に、リンク実験による課題抽出およびリンク設計の修正等を行う。ネットワーク・アーキテクチャ/制御では、P2P通信の複数同時動作およびマルチ・パスを用いた広帯域通信の基本動作検証を行うと共に、1次試作用FPGA論理とFPGAボードの試作・評価、および最終デモ用FPGA論理とFPGAボードの仕様検討を行う。更に試作した4枚のFPGAボード間を光接続し、計算ノード間の基本的なルーティング動作を検証する。並列分散処理ミドルウェアでは、実行速度の分析に基づき、様々なベンチマークアプリケーションにおける光ハブの性能向上や速度低下を防ぐ演算および通信ア

ルゴリズムの改良を行うと共に、様々なベンチマークソフトの実行速度を従来のネットワークと光ハブで比較し、改良した光ハブ用ライブラリを用いることで、ラックスケール並列分散システムのアプリケーション単位での消費電力量の30%削減の可能性を示す。

2020年度は、物理リンクレイヤでは、波長多重ネットワークの光源・ルータ・アンプボードの試作を行い、多波長を用いた波長多重および波長ルーティング動作の検証を行う。ネットワーク・アーキテクチャ/制御では、マルチ・パス通信等による集合通信の広帯域化の検証を行うと共に、最終デモ用FPGA論理とFPGAボードの設計および試作を行う。並列分散処理ミドルウェアでは、AI向けアプリケーションの進展等も考慮して重要なアプリケーションを絞り込み、アプリケーションコードに光ハブ用ライブラリを実装し、その速度検証を行う。

2021年度は以下の研究開発を行う。物理リンクレイヤでは、ラックスケールの並列分散処理システムに適用可能な波長多重ネットワークを構築し、そのリンク検証を行う。ネットワーク・アーキテクチャ/制御では、広帯域インターコネクットの多ノード間同時動作の検証を行うと共に、最終デモ用FPGA論理とFPGAボードの評価・動作検証を行う。並列分散処理ミドルウェアでは、最終デモに適したアプリケーションを選定し、試作機に実装する。試作機によるデモとシミュレーションを用いてラックスケール並列分散システムのアプリケーション単位での消費電力量の30%削減を示す。

表Ⅲ-2.2.3(f-1)②-2 実施計画線表

	2018年度	2019年度上期	2019年度下期	2020年度	2021年度
並列分散処理ミドルウェア	ベンチマーク・アプリ検討	ライブラリ高速化	ベンチマーク・アプリ高速化	ライブラリ実装・評価	デモアプリ実装・評価
ネットワーク・アーキテクチャ/制御	1次ボード設計・P2P動作検証	1次ボード評価 並列通信動作	2次ボード設計 マルチパス動作	2次ボード評価 広帯域化	広帯域通信制御検証
波長多重ネットワーク(物理リンクレイヤ)	リンク設計・集積インターホーザ検討	リンク実験仕様確定 集積チップ設計	部品入手・評価 集積チップ製造	リンク検証 集積IP製造	システム検証

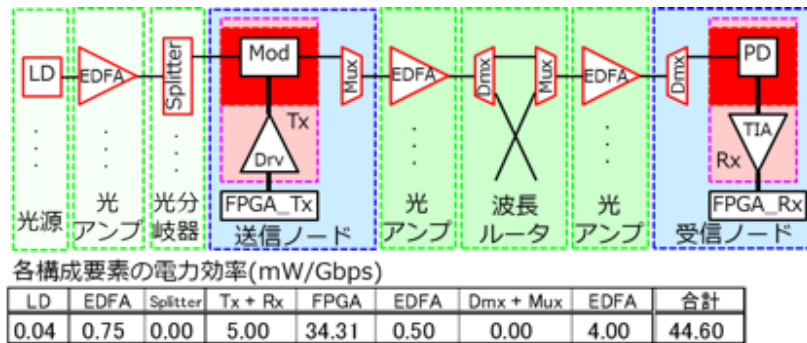
## 成果

### <波長多重ネットワーク(物理リンクレイヤ)>

物理リンクレイヤでは、ネットワークシミュレータを用いたノード間波長多重ネットワークのシミュレーション環境を構築し、そのシミュレーション環境を用いてノード間波長多重ネットワークを用いた光ハブのリンク設計を行った。光ハブの物理リンク構成と通信電力効率の内訳を図Ⅲ-2.2.3(f-1)②-4に示す。波長多重/ルーティングに用いる等周波数間隔の光を生成する光源(LD)は、ラック単位で共有され、光スプリッタで分割された光は各ノードに分配される。これにより、計算ノードの温度変化等の影響を受けずに安定した波長管理が行える。ノード内で変調(Mod)および受光(PD)を行う送信器(Tx)および受信器(Rx)は、光I/Oコアと同様に5mm角のシリコンチップで100 Gbpsの送受信を5mW/Gbpsの電力効率で行う。分散スイッチとなるFPGAの電力効率はIntel社のEarly Power Estimatorで見積もった。波長ルータでは、特に異なるノードから入力された同一波長信号間のクロストーク(コヒーレントクロストークと呼ぶ)を低く抑えるため、複数のAWG(Mux/Dmux)による構成とした。受信端で $10^{-12}$ 以下のエラーレート、23dB以上のSN比を十分なマージンで確保するため、3カ

所に光ファイバアンプ(EDFA)を配置した。1 段目の光アンプは光源出力分配損失の補償、2 段目の光アンプは Mod 通過損失の補償、3 段目の光アンプは受信パワー確保、に用いられる。光アンプの電力効率は、光電変換効率を 5%として見積もった。

次に、光ハブおよび比較対象の従来型のノード間電気配線として InfiniBand/Tree トポロジーの packetswitchネットワークを用いた典型的な並列計算システムの消費電力の比較を表Ⅲ-2.2.3(f-1)②-3 に示す。従来型の通信電力効率は Mellanox 社の Infiniband EDR (銅ケーブル) の製品仕様を参考にし、ノード帯域としては 2020 年代前半頃に普及していると予測される 400Gbps とした。一方、光ハブは、25Gbps/link、64 ノードを想定し、ノード帯域を 1.6Tbps とした。光ハブの通信電力効率は従来型に比べて約 1/3 に削減できる見込みである。この場合、サーバの消費電力の従来型と光ハブの差は 10%以下であり、消費電力はほぼ同程度になる見込みである。



図Ⅲ-2.2.3(f-1)②-4 光ハブの物理リンクと通信電力効率内訳

表Ⅲ-2.2.3(f-1)②-3 サーバ消費電力の比較

項目	InfiniBand/Tree (従来型)	光ハブ
通信電力効率 (mW/Gbps)	119	45
ノード帯域 (Gbps/node)	400	1,600
通信電力 (W/node)	48	71
CPU電力 (W/node)	150	150
その他電力 (W/node)	85	85
サーバ消費電力 (W/node)	282	306

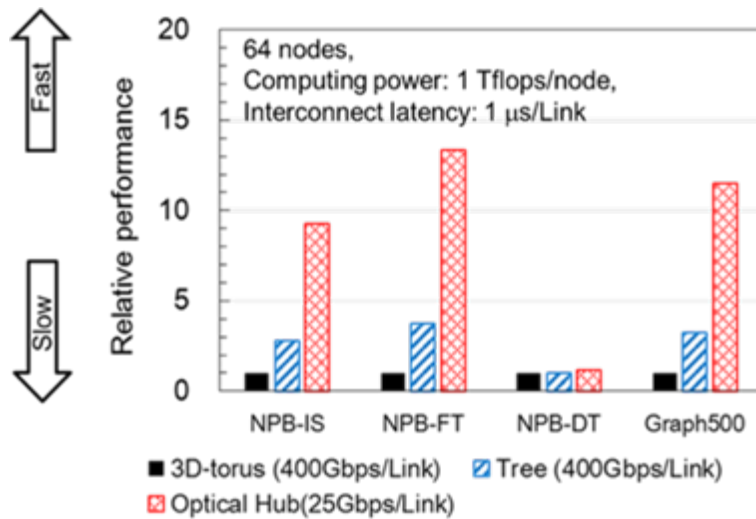
ほぼ同程度

<並列分散処理ミドルウェア>

HPC 等の並列分散システムの評価で使用されるベンチマーク・プログラムを選定し、そのソースコードにおけるノード間データ伝送部分を光ハブに適用できるコードに改変し、仮想ハードウェア上のシミュレーションにより実行速度の分析を行った。具体的には、並列計算シミュレータ SimGrid を用いて、並列計算ベンチマーク (NAS Parallel Benchmarks (NPB) の Integer Sort (IS)、Fourier Transform (FT)、Data Traffic (DT)、および Graph500) の実行時間をシミュレーションした。その結果を図Ⅲ-2.2.3(f-1)②-5 に示す。縦軸は実行時間の逆数を 3D-torus を 1 として相対値で示した。各ベンチマークの主要な通信パターンは、IS が Alltoallv、FT が Alltoall、DT が Send/Recv、Graph500 が Allgather であった。IS、FT、Graph500 のように集合通信が主要な通信パターンであるアプリケーションでは、光ハブを用いた場合、従来の Tree 型電気接続に比べて、アプリケーションの実行時間を 1/3 以下に短縮できることを確認した。

前述の通り、光ハブを用いたサーバの消費電力は従来の Tree 型電気配線とほぼ同じであるから、光ハブを用いたサーバの消費電力量の削減率は、アプリケーションの実行時間の短縮率とほぼ等しくなると予測され、光ハブを用いたサーバでは、集合通信が主要通信パターンであるアプリケーションの消費電力量は従来型に比べて 1/3 以下になることが見込まれる。

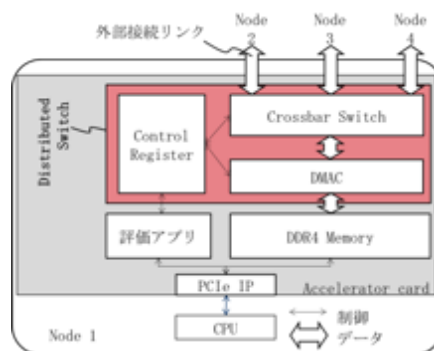




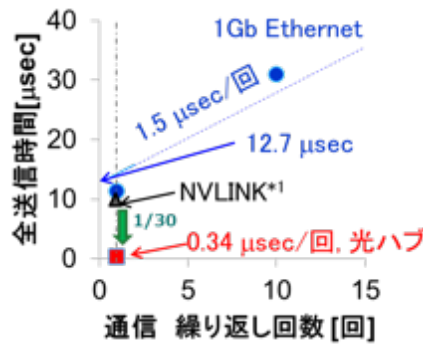
図Ⅲ-2.2.3(f-1)②-5 SimGrid を用いた並列計算ベンチマークの実行時間

<ネットワーク・アーキテクチャ/制御>

光ハブのノードの構成、制御方法等を検討し、ポイント・ツー・ポイント (P2P) 通信の動作検証を行った。具体的には、光ハブの論理フルメッシュ接続によるノード間通信を模擬し、その通信時間を評価するため、通信時間を評価する自走アプリおよび分散スイッチ v1 を実装した 2 台の FPGA 間を光接続で直結し、FPGA 間 P2P 通信のオフロード動作の実証実験を行った。分散スイッチ v1 の構成を図Ⅲ-2.2.3(f-1)②-6 に示す。分散スイッチ(Distributed Switch) v1 は、制御レジスタ(Control Register)、クロスバスイッチ(Crossbar Switch)、そして、CPU を介さずにメモリからデータを取り出すための DMAC(Direct Memory Access Controller)で構成される。並列分散処理プログラミングの標準規格である MPI の使用を想定し、ノード毎に、MPI の通信パラメータを制御レジスタに設定する。分散スイッチ v1 は、制御レジスタの設定に基づき、自発的にクロスバスイッチと DMAC を稼働する。DMAC はメモリ制御部と接続され、効率よくメモリからデータの入出力を行う。これにより、低遅延で高効率な P2P 通信を実行する。この分散スイッチ v1 を、任意の電子回路を実装可能で、且つ、複数の光 I/O と DDR4 メモリが繋がった FPGA カードに実装した。そして、通信時間を評価する自走アプリを用いて、P2P 通信における送信ノードの遅延時間を見積もった。その結果、図Ⅲ-2.2.3(f-1)②-7 に示すように、0.34 μsec と低遅延な結果が得られた。この結果は、同様な方法で行ったギガビットイーサネットと比べて、10 μsec に近い初期遅延を削除できるだけでなく、1 回あたりの遅延も約 1/5 に削減できる。且つ、1 回での通信における時間を見ても、ギガビットイーサネットや最新の NVLINK という NVIDIA 社の最新のチップ間通信技術を用いたメモリ間通信と比べても 1/30 と小さく、非常に良好な結果と考える。

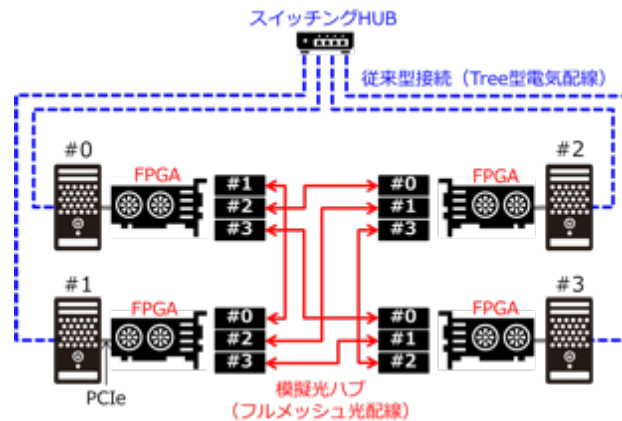


図Ⅲ-2.2.3(f-1)②-6 分散スイッチ v1 の構成



図III-2.2.3(f-1)②-7 送信ノードでの P2P 遅延

次に、図III-2.2.3(f-1)②-8 に示す通り、4つの計算ノード間を模擬光ハブ（物理的フルメッシュ光配線）で接続した並列計算システムを構築し、図III-2.2.3(f-1)②-5 でシミュレーション結果を示した並列計算ベンチマークの一つである NPB-IS の並列計算を実行し、その実行時間を従来の Tree 型電気配線接続の場合と比較した。その結果、模擬光ハブ接続により、SimGrid で予想されるのと同程度の実行速度の高速化（実行時間の短縮）を実証した。（予定）



図III-2.2.3(f-1)②-8 模擬光ハブ接続による並列計算ベンチマークの高速化実証の構成

### ベンチマーク

我々が提案する光ハブと、HPC のノード間通信等で多く使われている InfiniBand スイッチで、64 ノード間を 1 ノード当たり 1.6Tbps の帯域幅のフルバイセクションで接続した場合の比較を表III-2.2.3(f-1)②-4 に示す。ここでフルバイセクション接続とは、全ノードが同時に全帯域を使って通信しても衝突が起きない接続方法である。光ハブは 1 波長当たり 25Gbps で 64 波長、InfiniBand は 2020 年代前半に実用化されると想定される NDR×4 で 1 ポート当たり 400Gbps、36 ポートのスイッチを用いた Fat-tree 構成を仮定した。

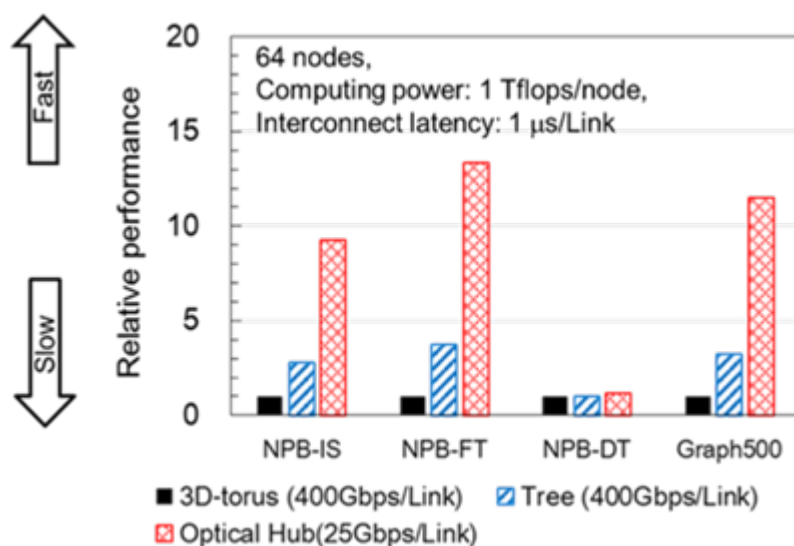
この場合、InfiniBand では表に示す通り、400Gbps のフルバイセクション接続を構成するために 6 個スイッチで 2 段 Fat-tree を構成し、更に 1.6Tbps の帯域を得るためにその構成を 4 並列化する必要がある。そのため、スイッチ 1 個当たりのサイズを 1U と仮定すると、スイッチだけで 24U と大きなサイズを占有してしまう。また、ノード/1 段目スイッチ/2 段目スイッチの 3 層間をつリー状に接続する必要があること、および 1 本の光ファイバの帯域が 400Gbps しかないことにより、全体で 1024 本の光ファイバ接続が必要になる。更にその全光ファイバの両端で電気/光または光/電気の信号変換が必要なため、25Gbps 換算で 16384 個の光送受信器が必要となる。

一方、光ハブで用いる波長ルータは、最終的には 1U 程度のサイズに収まると予想している。また、光ハブの物理トポロジーはスター型であるので、接続に必要な光ファイバの本数は 1 ノード当たり送信/受信各 1 本、全体で 128 本で良い。更に光送受信器の数もノード数の約 2 乗の 4032 個で良い。以上の比較から、提案する光ハブは、2020 年代前半頃の InfiniBand スイッチネットワークに比べて、大幅な小型化、低コスト化、低消費電力化が可能であると考えている。

表Ⅲ-2.2.3(f-1)②-4 1.6Tbps/node×64 ノードのフルバイセクション接続の比較

光ハブ (25Gbps × 64波長)	項目	InfiniBand-SW (400Gbps × 36-port × 4)
 波長ルータ スター型	物理トポロジー	 × 4 2段Fat-tree
1 U (将来目標)	ルータ/スイッチサイズ	24 U
128	ファイバ本数	1,024
4,032	トランシーバ数 (25Gbps換算)	16,384

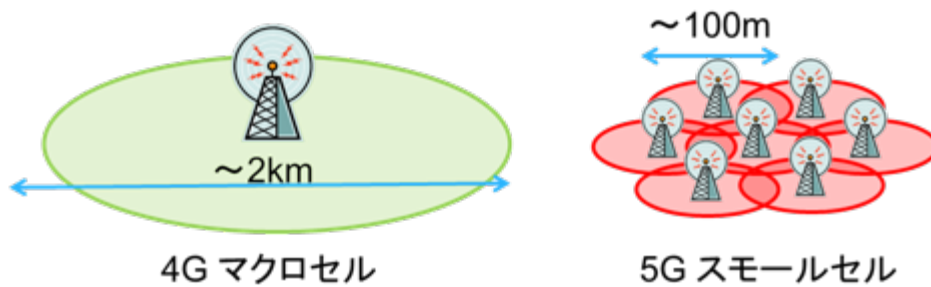
図Ⅲ-2.2.3(f-1)②-9 は、図Ⅲ-2.2.3(f-1)②-5 の再掲である。光ハブを用いることで、従来の 3D-torus 型に比べれば 1 桁以上、従来の Tree 型に比べても 3 倍以上、集合通信が主要な通信パターンであるアプリケーションを高速化（実行時間を短縮）することが出来、ほぼ実行時間の短縮と同じ比率でサーバの消費電力量を削減できると見込んでいる。



図Ⅲ-2.2.3(f-1)②-9 SimGrid を用いた並列計算ベンチマークの実行時間

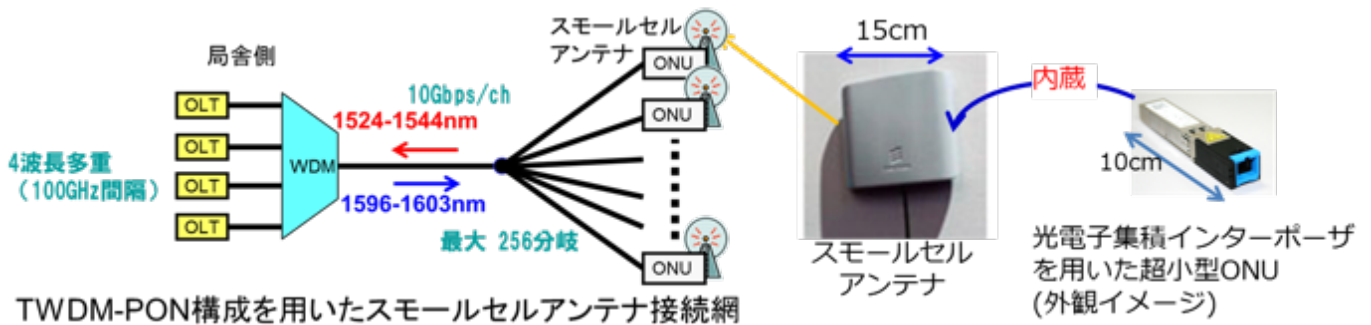
### (f-2) 情報通信システム化技術 (OKI 分室)

本プロジェクトの技術開発成果である光電子集積インターポーザにより、データセンタの飛躍的な高性能化が期待される。データセンタの性能を最大限に活かした IoT 社会の進展のためには、データセンタに集約される膨大なデータの流れを収容する情報通信ネットワークの構築が急務となっている。IoT を支えるアクセスネットワークとして期待されるのは第 5 世代移動通信 (5G) である。5G 規格では、端末通信速度は最大 10Gbps に高速化され、細分化したアンテナエリア (スモールセル) を従来の 100 倍程度に高密度に配置して 1km<sup>2</sup> 当たり約 100 万台の多数端末接続を想定している。5G の普及のためには、設置場所を選ばない小型のスモールセルアンテナ装置が必要である。



図III-2.2.3(f-2)-1 5Gにおける基地局の高密度化

多数のsmallセルアンテナを結ぶフロントホールネットワークには様々な方式が検討されているが、中でもTWDM-PON(Time Wavelength Division Multiplexing-PON)の構成を用いてsmallセルアンテナを既存の光アクセスファイバ網に収容する方式が設備コストの観点から有望である。TWDM-PONは、上り下り各4波長を多重して、1波長あたり10Gbpsで、トータルで上り下り各40Gbpsの通信を行う。5Gの普及のためには、smallセルアンテナに内蔵可能な、超小型のTWDM-PON ONU(Optical Network Unit)の開発が待たれている。



図III-2.2.3(f-2)-2 TWDM-PONによるsmallセル接続とONUの小型化

そこで、本システム化技術開発では、「(e) 光電子集積インターポーザのデバイス・実装技術開発」で開発する高速・小型・省電力光電子集積インターポーザの技術を適用することにより、TWDM-PONで用いる一芯双方向波長多重トランシーバおよびこれを搭載したONUを小型化するための要素技術を開発することを目的とする。

下記の技術開発を行う。

- ・ シリコンフォトニクス技術を用いて超小型化したWDM一芯双方向送受信チップをインターポーザ基板に埋め込む実装技術
- ・ シリコンフォトニクス技術を用いて超小型化したWDM一芯双方向送受信チップをインターポーザ基板上に形成するポリマー光導波路に偏波無依存で光結合させる実装技術
- ・ インターポーザ基板上のポリマー光導波路と共存できる電気配線技術
- ・ TWDM-PON用小型ONUのためのパッケージ技術

### 目標

2019年度中間目標：一芯双方向波長多重トランシーバに光電子集積インターポーザを実装し、動作検証を行う。

最終目標(2021年度末)：光電子集積インターポーザを用いた一芯双方向波長多重トランシーバを搭載することにより、光加入者端末装置を10cm×2cm×2cm以下のサイズに小型化するための実装技術を開発する。



スケジュール

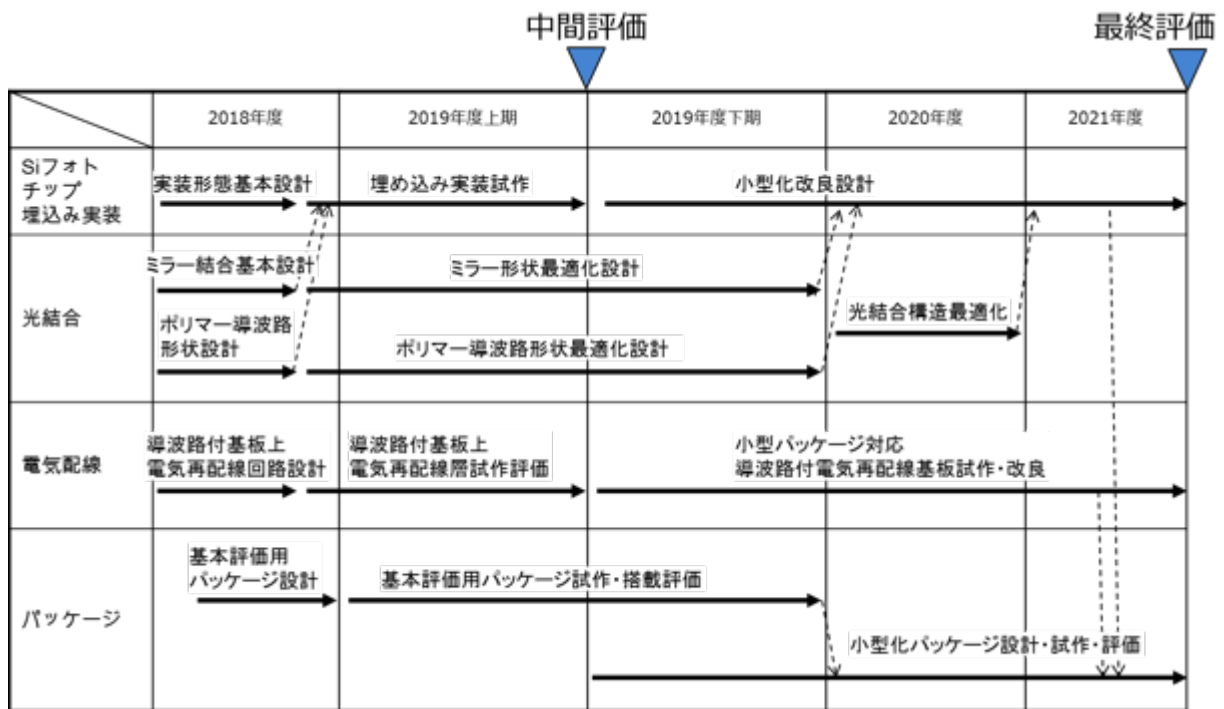
2018年度は、シリコンフォトニクス技術を用いて超小型化した WDM 一芯双方向送受信チップをインターポーザ基板に埋め込んで実装するための基本設計を行う。インターポーザ基板上的ポリマー光導波路に光入出力を行うための構造として、光信号入出力には偏波無依存動作可能なレジストミラーとポリマー導波路を用いる方式を、外部光源入力には TE 偏波動作のグレーティングカップラとポリマー導波路を用いる方式をそれぞれ選択した。また、20mm 幅パッケージに 50pin 相当の電気配線を収容するための電気配線を設計試作して、TWDM-PON に用いる 10Gbps の信号が問題なく伝送できることを確認した。

2019年度は、高効率の光結合を実現するために、レジストミラーとポリマー導波路構造の最適化を行うとともに、インターポーザ基板上的ポリマー光導波路と共存できる電気配線の設計を行い、光電子集積インターポーザを用いた TWDM-PON ONU 用一芯双方向波長多重トランシーバを試作して、基本動作を検証し、小型化のための課題を抽出する。

2020年度は、10cm×2cm×2cm 以下の小型 ONU のためのパッケージ設計、およびポリマー光導波路との結合方式の最適化設計を行う。

2021年度は、光電子集積インターポーザ上に TWDM-PON 用一芯双方向波長多重トランシーバと制御回路 IC を実装する試作を行い、TWDM-PON ONU を 10cm×2cm×2cm 以下に小型化するための要素技術を確立する。

表Ⅲ-2.2.3(f-2)-1 開発スケジュール

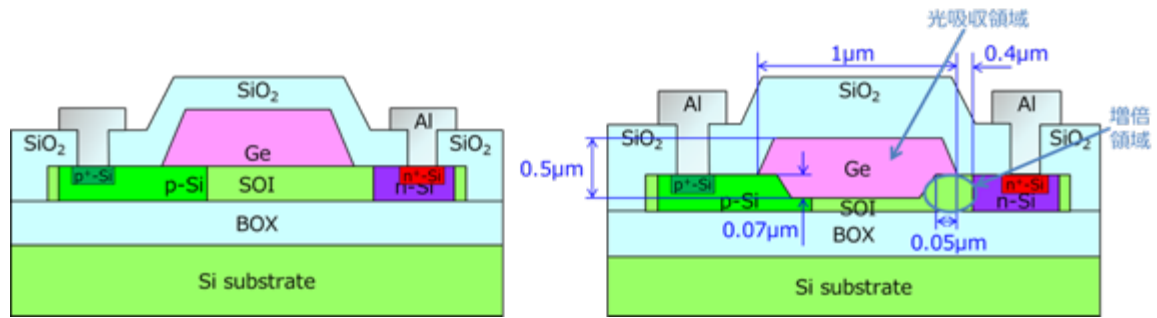


アプローチ、特長技術

本プロジェクトで開発する電子光集積インターポーザを用いた TWDM-PON ONU は、シリコンフォトニクス技術を用いて超小型化した WDM 一芯双方向送受信チップをインターポーザ基板に埋め込むことにより、光トランシーバと制御回路 IC とが一体で実装されることが従来にない特徴である。このような実装形態をとることにより、光トランシーバと制御回路 IC がコネクタを介さずにインターポーザ上の配線で接続できる。ここで用いる WDM 一芯双方向送受信チップには、「(e) 光電子集積インターポーザのデバイス・実装技術開発」で開発する要素デバイス技術である、WDM 一芯双方向送受信チップ高感度化に向けたアバランシェ・フォトダイオード(APD)型の Ge 受光器、および波長合分波回路を適用する。

図Ⅲ-2.2.3(f-2)-3 に従来および本提案のアバランシェ・フォトダイオード (APD) 型 Ge 受光器の断面模式図を示す。高い受光感度を得るために APD 型で雪崩増倍 (Avalanche Multiplication) 現象を

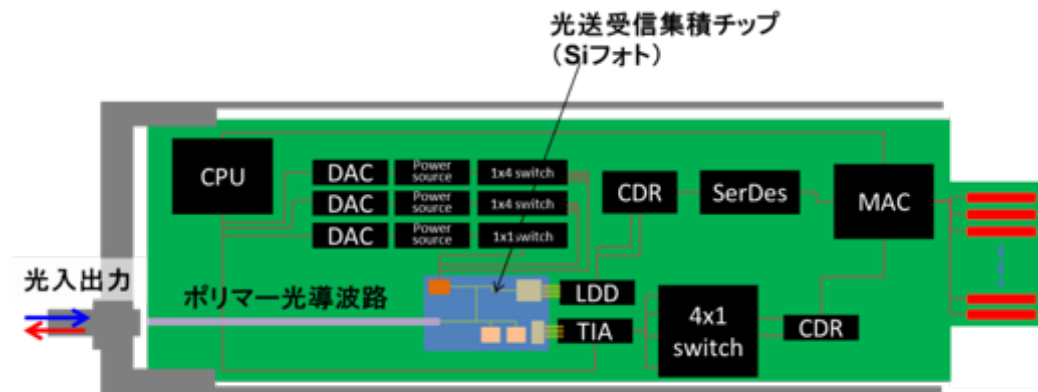
利用して受光感度を増倍させる Ge 受光器である。光吸収領域と増倍領域を分離して効率的に雪崩増倍が生じるようにした SAM (Separated Absorption and Multiplication) 構造であり、Ge 膜が光吸収領域、SOI 層のノンドープ領域が増倍領域として動作する。また、Ge の吸収端付近の波長帯域である 1600nm 帯の光も高感度で受信するために、Ge 光吸収領域を伝搬する光が金属電極で散乱、吸収されることがないように、Ge 光吸収領域にメタルコンタクトが不要な横型 SAM 構造とした。さらに、高効率、低偏波依存でシリコン導波路と Ge 光吸収領域とを光学的に結合させるために、従来のエバネッセント型に対して、バットジョイント型とした。本構造は、Ge 光吸収領域にイオン注入、コンタクトホール、電極形成が不要なため、ほとんどの工程を成熟した CMOS プロセスで製造できるメリットもある。



図Ⅲ-2.2.3(f-2)-3 APD 型 Ge 受光器の断面模式図 (数値は設計値)

さらに、シングルモードファイバに対する光入出力にもインターポーザ基板上に一体形成したポリマー光導波路を介した独自の新規構造を導入する。波長多重技術を用いるため、ポリマー光導波路はシングルモード伝搬を行える構造とする。WDM 一芯双方向送受信チップとポリマー光導波路の間は、独自のミラー結合構造とすることにより偏波依存性・波長依存性が小さい高効率の光結合を実現する。ポリマー光導波路内で伝播モード径をシングルモードファイバの伝播モード径近くに拡大することで、シングルモードファイバに対して調芯トレランス大きく、高効率で偏波無依存の光結合が実現できる。

このような実装形態をとることにより、小型で信号ロスが少ない低消費電力の ONU が実現できる。光電子集積インターポーザの技術を適用した TWDM-PON ONU の概念図を図Ⅲ-2.2.3(f-2)-4 に示す。



図Ⅲ-2.2.3(f-2)-4 光電子集積インターポーザの技術による TWDM-PON ONU の概念図

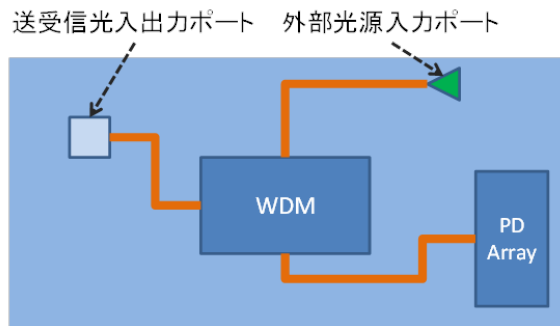
### 成果

まず、TWDM-PON ONU 用光電子集積インターポーザの基本構造を設計した。光信号を入出力するポートには、送信光と受信光の波長帯が離れており、受信光の偏波がランダムなので、「(e-3) 光実装技術」で開発した波長無依存・偏波無依存動作可能なレジストミラーとポリマー導波路を用いることとした。一方、送信用外部光源を入力するポートには、TE 偏波動作のグレーティングカップラとポリマー導波路を用いることとした。断面構造概略を図Ⅲ-2.2.3(f-2)-5 に示す。



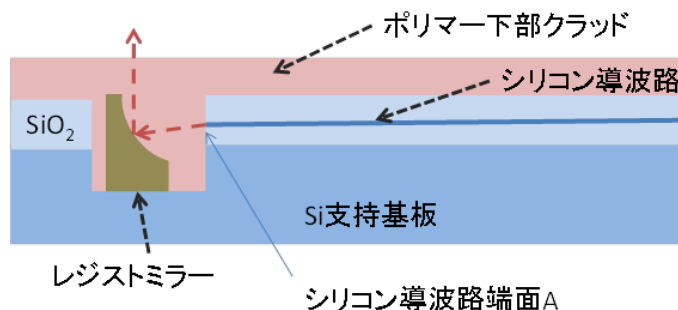
図Ⅲ-2.2.3(f-2)-5 TWDM-PON ONU 用光電子集積インターポーザの基本構造

TWDM-PON 集積チップは、上り下り各 4 波長多重の送受信機能をシリコンフォトニクス技術により集積した光回路チップであり、図Ⅲ-2.2.3(f-2)-6 に示すように、送受信光入出力ポート、外部光源入力ポート、波長合分波フィルタ (WDM)、およびフォトダイオードアレイ (PD Array) を具える。



図Ⅲ-2.2.3(f-2)-6 TWDM-PON 集積チップの光回路概略図

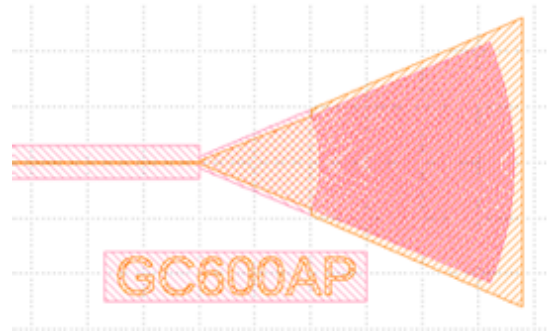
送受信光入出力するポートには、「(e-3) 光実装技術」で開発したレジストミラー構造を用いるため、それに最適化したシリコンフォトニクス光回路設計が必要となる。レジストミラー構造においては、図Ⅲ-2.2.3(f-2)-7 に示すようにシリコンフォトニクスから出力された光をレジストミラーで基板法線方向へ出力を行うが、実際にはレジストミラー部はポリマー導波路を作製するための下部クラッド材もしくはそれを補佐する材料に埋め込まれることとなる。本開発ではレジストミラー部とシリコン導波路の間は屈折率 1.5 付近の材料で埋め込むこととし、シリコン導波路から出射された光もしくは外部から入力された光がシリコン導波路端面 A 部で反射が起きないように有効屈折率が近い値になることおよびレジストミラー部で容易にコリメート光に変換できるようなモードフィールドにすることに加えて、製造プロセスに負担をかけないように簡易型のスポットサイズコンバータとしてシリコン導波路部を逆テーパ型の入出力機構を採用した。



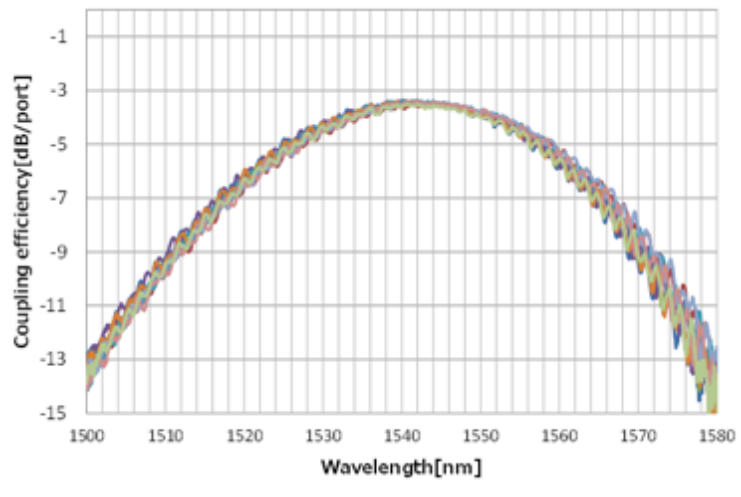
図Ⅲ-2.2.3(f-2)-7 送受信光入出力ポート概略図

一方外部光源入力ポートには、送信用外部光源が TE 偏波で固定されて入力されるため表面入出力によく利用されるグレーティングカップラを用いるので、外部光源の波長帯域で結合損失が最小となるような設計を行う必要がある。採用したグレーティングカップラにおいても製造プロセスに負荷がかか

らないように一般的な扇形でピッチ間隔をアポタイズした構造を採用した。試作したグレーティングカプラの CAD 図面および測定結果を図Ⅲ-2.2.3(f-2)-8 に示す。図Ⅲ-2.2.3(f-2)-8 の(b)より、最小結合損失-3.3dB/port 1dB 帯域 25~30nm と外部光源接続のためのグレーティングカプラとしては十分な実力を持つことが確認できた。本来 1530nm 付近にピークを持つように設計したものであるが、プロセスとの兼ね合いにより波長特性がシフトしているため、プロセスに合わせて再設計を行うかプロセス条件を一部変更するか検討中である。



(a)平面図

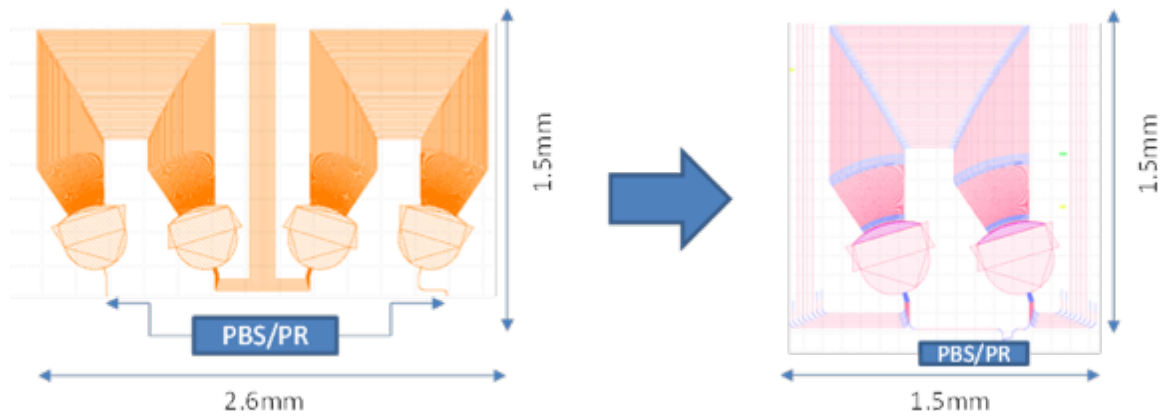


(b)光学評価データ

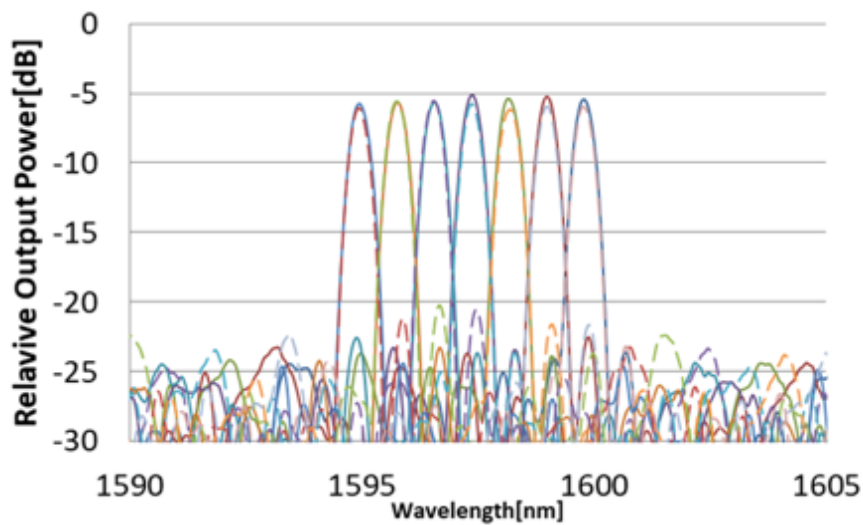
#### 図Ⅲ-2.2.3(f-2)-8 グレーティングカプラ平面図および光学評価データ

図Ⅲ-2.2.3(f-2)-6 における光回路概略図中における Wavelength Division Multiplexer(WDM)フィルタにおいては、主に受信側の波長を分離する構造として、従来より Arrayed Waveguide Grating(AWG)を利用した素子構成としていた。受信光においては、偏波状態がランダムであるため偏波無依存の光回路が必要となる。本受信光回路においては、初段に偏波分離素子を構成し、偏波状態を TE-mode および TM-mode に分離する。さらに偏波変換素子を用いて TM-mode の偏波状態を TE-mode に固定する。それぞれの光信号を波長分離し受光素子である Photo detector(PD)に入射させる。このため、波長分離部である AWG を 2 素子利用していた。しかしながら、製造誤差の影響を考慮するとそれぞれの AWG の特性を個別に制御することが必要となり非常に制御システムに負荷をかけることが確認されたため、本プロジェクトでは波長制御を簡易化するための構造として図Ⅲ-2.2.3(f-2)-9 に示すように双方向 AWG 構造を新たに採用した。これにより、波長制御すべき素子が一つとなるとともに接地面積に関しても従来の 60%程度となり光集積回路チップの小型化が期待できる。波長分離間隔を 100GHz Grid として設計した双方向 AWG の光学測定結果を図Ⅲ-2.2.3(f-2)-10 に示す[1]。同図に示すように設計通りの波長間隔で波長分離できていることが分かる。また消光比は、約 20dB と比較的良好的な結果が得られている。TM-mode に設定した光を入射させた場合の測定結果が点線で記載されているが、TE-mode と波長間隔および分離波長が一致している。



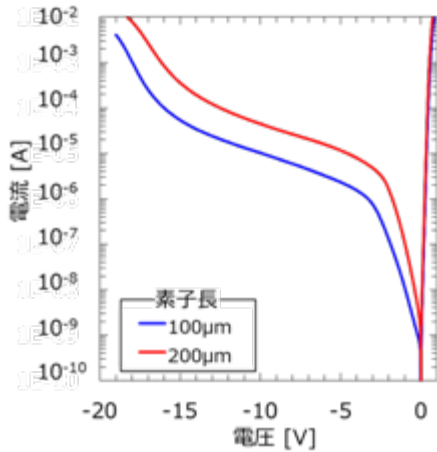


図Ⅲ-2.2.3(f-2)-9 双方向 AWG を用いた受信側光回路

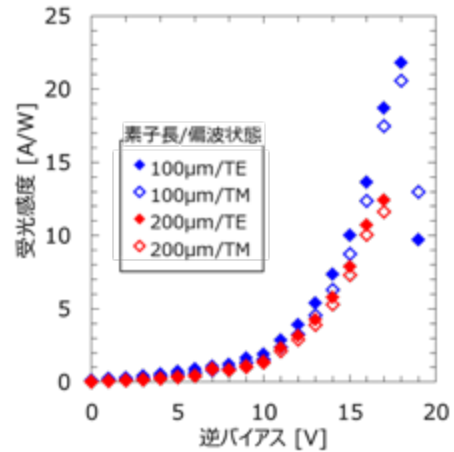


図Ⅲ-2.2.3(f-2)-10 双方向 AWG 光学測定結果

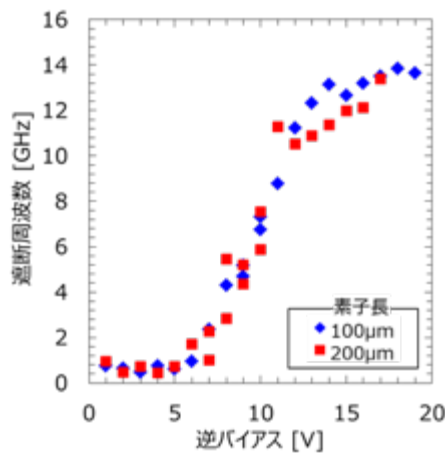
図Ⅲ-2.2.3(f-2)-11 (a)～(c)に、試作したバットジョイント横型 SAM 構造をもつ APD 型 Ge 受光器の暗状態の電流電圧特性、波長 1600nm 帯における受光感度と周波数応答の測定結果をそれぞれ示す。同図(a)に示す通り、逆方向電流  $10\mu\text{A}$  時の逆方向電圧をブレイクダウン電圧  $V_{\text{BR}}$ 、ブレイクダウン電圧  $V_{\text{BR}}$  の 90%の逆方向電圧における逆方向電流を暗電流  $I_{\text{D}}$  と定義すると、素子長  $100\mu\text{m}$ 、 $200\mu\text{m}$  における暗電流はそれぞれ  $7.61\mu\text{A}$ 、 $8.31\mu\text{A}$  だった。同図(b)に示す通り、素子長  $100\mu\text{m}$ 、逆バイアス 18V において、波長 1600nm の TE モード光に対する受光感度は  $21.8\text{A/W}$ 、TM モード光に対する受光感度は  $20.6\text{A/W}$  だった。APD 型 Ge 受光器の波長 1600nm における受光感度としては、我々の知る限り世界最高レベルの値が得られた。同図(c)に示す通り、素子長  $100\mu\text{m}$ 、 $200\mu\text{m}$  いずれにおいても、逆バイアス 18V において、波長 1600nm に対する遮断周波数は、10GHz を十分超えた。



(a) 暗状態の電流電圧特性



(b) 波長 1600nm 帯における受光感度



(c) 波長 1600nm 帯における遮断周波数

図Ⅲ-2.2.3(f-2)-11 APD 型 Ge 受光器の特性評価結果

電気配線に関しては、20mm 幅のパッケージに約 50pin 相当の配線を収容する必要がある。これに対して、16mm 幅に 50pin を配置した評価用配線基板を試作して、TWDM-PON で用いる 10Gbps の電気信号が基板上を問題なく伝送できることを確認した。

[1]Y. Onawa et.al. Electronics Letters (2019),55(8):475

ベンチマーク




APD 型 Ge 受光器のベンチマークを表Ⅲ-2.2.3(f-2)-2 に示す。APD 型 Ge 受光器については、PETRA が本プロジェクトでこれまで開発してきたのは、波長 1600nm 帯の高感度受光を狙ったものであり、他にあまり例を見ないため、厳密なベンチマークは難しい。受光波長帯を無視すれば、他の APD よりも印加電圧が高いと言えるため、今後は SACM (Separated Absorption, Charge and Multiplication) 構造の適用等で印加電圧の低下を目指す。

表Ⅲ-2.2.3(f-2)-2 APD型Ge受光器のベンチマーク

APD型Ge受光器			
機関	PETRA	Hewlett-Packard	McGill大
構造	導波路型 Butt結合 横型SAM構造	導波路型 Evanescent結合 縦横型SACM構造	導波路型 Evanescent結合 縦横型SACM構造
波長帯	1600nm	1550nm	1310nm
受光感度	21.8A/W @TE 20.6A/W @TM	15A/W	約15A/W
遮断周波数	13.8GHz	14.3GHz	約30GHz
印加電圧	-18V	-6V	-16V

FTTH(Fiber to the Home)に用いられている従来のGE-PON ONUでは、光トランシーバと制御回路ICがそれぞれ別な基板に実装された卓上サイズの装置で、典型的なサイズとしては3cm×15cm×15cm程度である。TWDM-PON ONUはGE-PON ONUにはない波長多重分離の機能が加わることと送信信号を光源を直接変調する方式から変調器を用いた方式に変更することにより電気信号の端子がGE-PONに比べて4倍以上となる。そのため、従来技術の延長で作製した試作品のサイズは25cm×40cm×15cm程度となり、シリコンフォトニクス技術により小型化した光トランシーバを用いても、従来のGE-PON ONUのサイズよりさらに小型化することは困難と考えられる。本プロジェクトで開発する電子光集積インターポーザを用いたTWDM-PON ONUは、電子回路基板内にシリコンフォトニクス技術を利用した光集積回路チップを埋め込むことによりシリコンフォトニクスと電子回路基板部の電気的接続を最短でつなぐとともに従来必要であったRF接続端子を縮小化もしくは削除することができることになる。本電子光集積インターポーザをドータボードとして、メイン基板に実装することにより10cm×2cm×2cm以下の小型化が期待でき、今後爆発的に普及するであろう5GモバイルのスマートセルアンテナにONUを組み込むことが可能となる。

表Ⅲ-2.2.3(f-2)-3 ONUのサイズ比較

GE-PON	TWDM-PON(従来)	TWDM-PON(開発案件)
		
H15cm x W15cm x D 3cm	H15cm x W40cm x D25cm	H2cm x W2cm x D10cm
送受 1 波長ずつ 波長切替無	送受 4 波長ずつ 波長切替時間 ~1s	送受 4 波長ずつ 波長切替時間 <1ms

## 2. 2. 4 (ii)国際標準化 (PETRA 本部)

国際競争力を確保するために、プロジェクトの進展状況を踏まえ、成果の優位性を保つために、国際標準化を積極的に推進する。

### 目標

2019 年度中間目標：光電子集積インターポーザの物理仕様（サイズ、入出力構成）、電気・光インターフェースに関する各種標準化団体に参画し、標準化動向を踏まえ、実用化する開発成果の事業化に必要な標準の提案を行う。

最終目標（2021 年度末）：光電子集積インターポーザの物理仕様（サイズ、入出力構成）、電気・光インターフェースに関し、提案した標準化案の採択推進活動を行う。

### スケジュール

2018 年度は、光電子集積インターポーザのデータセンタ等の次世代高速光伝送への適用について、IEEE802.3、OIF、COBO 等における標準化へのコンセンサス形成に関与し、標準化の提案を行う。IEC においては、光電子集積パッケージと光接続に関するデジュール標準化を推進する。

2019 年度は、光電子集積インターポーザの IEEE802.3、OIF、COBO 等における標準化の提案を行い、標準化テーマへの採用を目指す。IEC においては、光電子集積インターポーザの物理仕様の標準化提案を行い、光電子集積回路に関するデジュール標準化をリードする。

2020 年度は、光電子集積インターポーザの IEEE802.3、OIF、COBO 等におけるデータセンタ等への適用に向けた標準化案の提案を行う。IEC においては、光電子集積インターポーザの物理仕様の標準化を推進する。

2021 年度は、光電子集積インターポーザの IEEE802.3、OIF、COBO 等におけるデータセンタ等への適用に向けた標準化案の採択推進活動を行う。IEC においては、光電子集積インターポーザの物理仕様の標準化案の採択推進活動を行う。

表 2.2.4-1 国際標準化スケジュール

	2018年度	2019年度上期	2019年度下期	2020年度	2021年度
国際標準化 光電子集積 インターポーザ	物理仕様の標準化 提案に向けたコンセ ンサス形成と提案	データセンタ等へ適用 に向けた標準化提案		標準化提案と 標準化推進	標準化案の 採択推進

### アプローチ、特長技術

光電子集積インターポーザの物理仕様（サイズ、入出力構成）、電気・光インターフェースに関して、フォーラム標準化機関（OIF、IEEE802.3、COBO）、並びにデジュール標準化機関（IEC）等の各種標準化団体に参画し、標準化動向を踏まえ、実用化する開発成果の事業化に必要な標準の提案を行う。

### 成果

IEC において、光集積回路（PIC）パッケージのプロジェクトリーダーとして集積パッケージの標準化を推進し、Si フォトニクスチップスケールパッケージ標準は最終文書案が承認され、標準化文書発行まで進展。光トランシーバの性能標準も技術的な仕様策定が終了し標準化文書案の作成を行った。さらに、光電子集積インターポーザのエコシステムを構築するため、125 ミクロンピッチの高密度光接続（光導波路、光ファイバ、コネクタ）の標準化を提案し、標準化プロジェクトが発足した。

オンボード光モジュールの標準化を行う COBO において、COBO 仕様準拠した光モジュールを



実現し、OFC2019において、世界最小のCOBO準拠400G伝送モジュールを実現し、伝送デモを行った。これによりSiフォトニクスの高密度化、低消費電力化への優位性を示した。COBOにおいてはオンボードからパッケージ集積への進展に関する議論をリードし、ポリマー導波路を用いたインターポーザ基板の提案を行った。

#### ベンチマーク

COBO、OIFで光I/O集積パッケージ議論が始まり、Siフォトニクスが具体化の有力候補となっている。COBOにおいては、いち早くCOBO仕様に準拠した光モジュールを実現し、Siフォトニクスの高密度化への優位性を示し、集積パッケージ化の議論をリードしている。

インターフェースの高速化では112Gbpsの標準化に関し、OIFの検討メンバーとして参加し、Siフォトニクスの低電圧動作による低消費電力インターフェースの標準化を働きかけている。

実装ではIECにおいて、パッケージ、光配線基板、光ファイバ/コネクタ全般のエコシステム構築に向け、高密度光ファイバの標準化をリードしている。

## 2. 3 ③ 「成果普及活動」

プロジェクトの研究開発成果を一般のユーザ、研究者、学生等へ幅広く普及させるために、東京大学において「フォトニクスイノベーション共創プログラム」を実施し、光エレクトロニクス分野におけるイノベーション創出に向けた人材育成を推進した。具体的には、大学院生を対象としたフォトニクス技術領域の教育カリキュラムである「ナノ量子情報エレクトロニクス特論」および学内外の学生と社会人のためのフォトニクスに関する公開セミナー「フォトニクス・イノベーションセミナー」を開催している。以下に目標、成果について述べる。

### 2. 3. 1 ③ 「成果普及活動」(東京大学)

#### 目標

東京大学ナノ量子情報エレクトロニクス研究機構において、プロジェクト成果の普及のための人材育成並びに成果普及を図る。

このために、大学院生を対象とした光エレクトロニクス分野に関わる教育カリキュラム「ナノ量子情報エレクトロニクス特論」および学内外の学生や社会人を対象とした公開セミナー「フォトニクス・イノベーションセミナー」を継続的に実施してプロジェクト成果の活用および当該領域の研究開発および社会実装を推進する人材を育成する。

#### スケジュール

2019年度は、「フォトニクスイノベーション共創プログラム」を継続して実施する。大学院教育カリキュラム「ナノ量子情報エレクトロニクス特論」を4企業における企業集中講義を含めて実施する。フォトニクス・イノベーションセミナー、ISPECを継続して開催してフォトニクス分野、殊に光電子集積技術の一層の理解を深め、新たな人材の育成を行う。

2020年度は、ナノ量子情報エレクトロニクス特論、フォトニクス・イノベーションセミナー、ISPECを継続して実施する。

2021年度は、最終シンポジウムなどにより、プロジェクトの成果を広く一般に普及させる。

#### アプローチ

フォトニクスイノベーション共創プログラムでは、以下の課題について人材育成・成果普及活動を行う。

(ア) 企業集中講義を含む大学院教育カリキュラム「ナノ量子情報エレクトロニクス特論」

(イ) 学内外の学生と社会人のためのフォトニクスに関する公開セミナー「フォトニクス・イノベーションセミナー」

#### 成果

「フォトニクスイノベーション共創プログラム」において、プロジェクト成果の普及を支える人材の育成を目指して活動した。大学院生向けカリキュラム「ナノ量子情報エレクトロニクス特論」(2018年度:4月～7月開講、2019年度:4月～[7月]開講)では、光エレクトロニクス、物理学、半導体工学、情報科学など工学、理学、数理科学の幅広い分野にわたる学際的な研究・学問領域の第一線で活躍する講師陣が、基礎事項の解説とその最先端を紹介する講義を行った。また、企業における集中講義(各年度に4回実施)で企業研究に直接触れる機会を設け、産業を意識した研究の在り方を企業の研究者たちと直接議論を交わすことによって学ぶことで、成果普及に実践的に貢献する人材を育成した。

フォトニクス・イノベーションセミナーにおいては、2018年度、光電子融合集積技術に関する4回(うち1回は国際会議ISPEC2018と共同開催)のセミナーを開催した。フォトニクス関連の学生・研究者のみならず広範な分野から延べ343名の参加者を得て、光電子融合技術に関する基礎理論から応用技術、産業化に至る幅広い領域の教育と技術の啓蒙に寄与した。また、京都および仙台において関西・東北地区それぞれ初となる地方開催を行い、地域的にも裾野を広げつつプロジェクト成果の普及とフォトニクス分野の人材教育としての機能を果たした。

さらに、2018年度は、Integrated Photonic Systems Roadmap International (IPSR-I) Winter Meeting in JAPAN 2019、集積光システムロードマップ会議国際版をアジアで初めて開催した。欧州・北米・アジアの専門委員を迎え、光電子集積システムのロードマップやサプライチェーンに関する議

論を深めた。光電子融合技術・集積光システムの将来展望や方向性を具体化・共有化し、国際的ロードマップとして策定する場におけるアジア・日本のプレゼンスを高めるとともに、日本からの参加者(特に若手研究者)がそのような議論に直接参画することでプロジェクト成果の普及に関わる人材育成としての側面においても貢献した。

### 2. 3. 2 ③ 「成果普及活動」(PETRA)

#### 目標

シリコンフォトニクスに関連する技術開発は、米国のAIM (American Institute for Manufacturing Integrated Photonics) や、欧州の国家プロジェクトに見られるように、世界規模でのしびりが削られている状況である。このような状況において、研究開発と併行して、ニュースリリース、展示会への出展、シンポジウム開催等の取組みを通じて、世界規模で本事業のプレゼンスを高め、開発技術の優位性を示すとともに、光エレクトロニクス技術の普及促進を行う。

#### スケジュール

##### 2018年度

- ・PETRA 主催の国際会議「ISPEC (International Symposium on Photonics and Electronics Convergence)」と、(一財)光産業技術振興協会と共催している「光産業技術シンポジウム」を開催し、2018年度～2021年度の事業テーマである、光電子集積インターポーザとそれをを用いたシステム化の有効性を広くアピールした。また、InterOpto等の展示会活動を活用して、広報活動を展開した。

##### 2019年度

- ・2018年度の活動に加え、研究開発成果をアピールするために、タイミングを見たニュースリリースを計画的に進める。また、海外でのプレゼンスを高めるために、OFC (米国)、ECOC (欧州)、Photonics West (米)の3大国際展示会を見据えて、展示会出展の可能性を探っていく。

##### 2020年度

- ・継続してシンポジウム、展示会、ニュースリリース等、普及の場を広げていく。

##### 2021年度

- ・研究成果をとりまとめ、シンポジウム、展示会等と通じてプロジェクトの成果を広く一般に普及させる。

#### アプローチ

ニュースリリースに関しては、学会、展示会等に合わせてタイムリーに実施する。展示会への出展に関しては、2018年度～2021年度の事業テーマである、光電子集積インターポーザとそれをを用いたシステム化の有効性のアピールに適した展示会に積極的に出展する。

#### 成果

成果普及活動として以下の成果が得られている。

- ・ニュースリリース 3件(2018年度2件、2019年度1件)
- ・国内展示会 3件(インターオプト(2018,2019年度)、CEATEC(2019年度))
- ・国際展示会 2件(OFC(2018,2019年度))
- ・国内シンポジウム 2件(光産業シンポジウム(2018,2019年度))

## IV. 実用化・事業化に向けての見通しおよび取り組みについて

### 1. 実用化・事業化に向けての見通しおよび取り組みについて

組合員企業により サーバ応用と PON システムの事業化を推進する。

#### 1. 1 サーバ応用 1

自動運転の動画処理等、AI 技術の広まりにより、AI アクセラレータへのニーズが急速に高まっており、その市場は今後も年率 20%以上で堅調に推移すると予想されている。その市場にマッチしたクラウドやオンプレミス装置向けに、次世代 AI アクセラレータやそれに搭載したアクセラレーターボードを開発している。本プロジェクトで開発している光電子融合サーバボードのインターコネクト技術は、AI アクセラレータの一段の高性能化技術、更には高性能サーバにおけるその次世代の差別化技術として期待されている。本プロジェクト開発する技術を他社に先駆けていち早く事業化するために、開発初期段階から事業部門と定期的に情報交換を行うなど連携して検討を進めている。

#### 1. 2 サーバ応用 2

ラックスケール並列分散システムは 2019 年度にはリンク設計によりシミュレーションでサーバ電力量 30%削減を示すレベルまで完成しており、2021 年度末には消費電力の少ない光電子集積インターポーザ技術と波長多重技術を用いた接続技術を組み合わせた光電子融合サーバボードを試作し、試作機とシミュレーションを用いてサーバ電力量を 30%削減可能であると見込んでいる。

上記、ラックスケール並列分散システムを FPGA (Field Programmable Gate Array) の論理回路として実装した FPGA+光ボードで試作し、実際のアプリケーションを動作させ、光ハブでノード間を接続することで、従来のサーバ (Xeon) に比べ実効性能が向上することを示してきた。

昨今、注目を集めている人工知能 (AI : Artificial Intelligence) や、分散処理向けのシステムとして光ハブの有効性の検証を進め、ボードを試作し具体的用途の検討を促進すると共に、市場動向や競合他社の動向を見据えタイムリーに実用化できるよう検討・開発を行う。

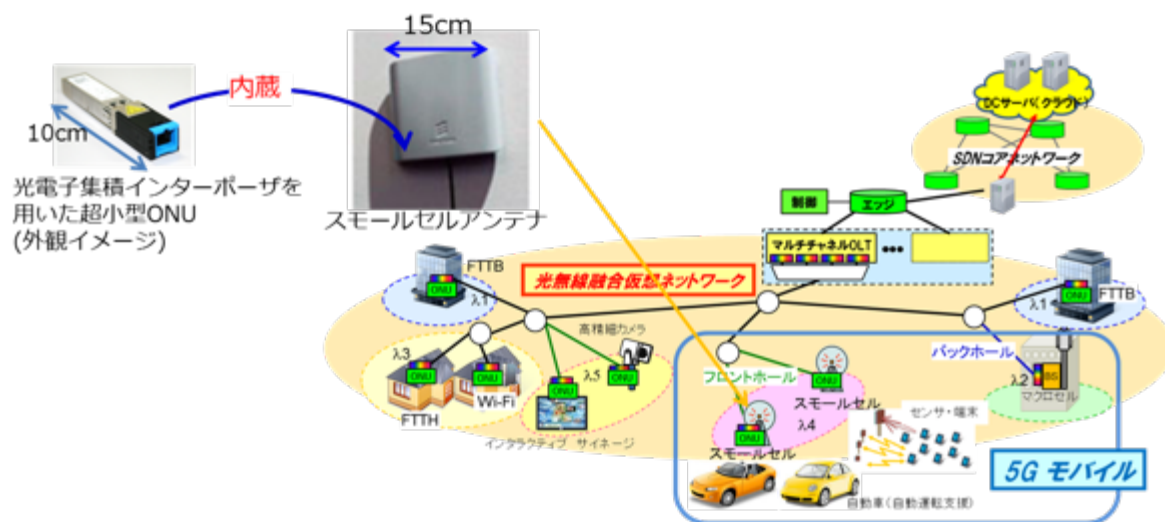
並行してラックスケール並列分散システムを量産化レベルに上げるための信頼性確認、歩留まり向上するための検討を進めると共に、ラックスケール並列分散システムをより使いやすく、汎用的な部品とするための検討も進める。具体的には、ラックスケール並列分散システムは光部品を光ファイバで接続するための光コネクタが多いため、組立が容易に出来ない課題もある。実用化のためには誰でも取り扱いやすい形態が必須と考え、一括接続可能なコネクタの様な交換が容易となるモジュール化の検討も進める。

#### 1. 3 PONシステム

第5世代移动通信 (5G) では、端末通信速度は最大 10Gbps に高速化され、細分化したアンテナエリア (スモールセル) を従来の 100 倍程度に高密度に配置して 1km<sup>2</sup> 当たり約 100 万台の多数端末接続を想定している。多数のスモールセルアンテナを結ぶフロントホールネットワークにはパッシブ光ネットワーク (PON) の構成を用いてスモールセルアンテナを既存の光アクセスファイバ網に収容する方式が設備コストの観点から有望である。

「(f-2) 情報通信システム化技術」の開発は、5G ネットワークを支える PON システムへの適用を目指すものであり、ONU の小型化により、設置場所を選ばない小型のスモールセルアンテナ装置が実現され、5G の本格的な普及を加速させることが期待される。スモールセル基地局数は国内で 2030 年頃までに約 1000 万局、世界では最終的にその 10 倍が設置される見通しであり、これに見合った ONU の需要が見込まれる。





図IV-1.3-1 ONU 小型化により 5G 普及を加速

## (A) プロジェクト基本計画

プロジェクト基本計画は、独立行政法人 新エネルギー・産業技術総合開発機構（以下、NEDOと表記する）のプロジェクトを効率的かつ効果的に実施するために、次に掲げるプロジェクトの基本事項を定めたものである。

- ① プロジェクトの目的、目標及び内容
- ② プロジェクトの実施方式
- ③ 研究開発の実施期間
- ④ 評価に関する事項
- ⑤ その他の重要事項

基本計画は、原則として全研究開発期間に亘り有効であるが、技術評価の結果や内外の研究開発動向・政策動向、研究開発予算の確保状況等の外部状況変化、あるいは研究体制、当該研究開発の進捗状況等の内部変化に応じて、適宜・適切にその内容を変更する。

本プロジェクト「超低消費電力型光エレクトロニクス実装システム技術開発」の基本計画<sup>1</sup>を次ページ以降に示す。

---

<sup>1</sup> 「超低消費電力型光エレクトロニクス実装システム技術開発」基本計画：  
<http://www.nedo.go.jp/content/100749254.pdf>

## 「超低消費電力型光エレクトロニクス実装システム技術開発」基本計画

I o T 推進部

## 1. 研究開発の目的・目標・内容

## (1) 研究開発の目的

## ①政策的な重要性

クラウドコンピューティングやI o T（もののインターネット）の利用拡大、A I（人工知能）の活用が急速に進んでおり、データセンタなどにおける情報処理量や情報通信トラフィックが指数関数的に増大しており、今後も情報量の増大が予測されている。現状技術の延長ではデータ伝送に係る電力消費量は増加し続け、平成37

(2025)年には1500億kWh（現在の国内電力消費量全体の6分の1）に膨らむと見込まれている。情報処理で発生する排熱を少ない電力で処理できるようになったことなどにより、データセンタの市場規模の伸びに対する消費電力量の伸びは徐々に小さくなる傾向にあるが、一層の省電力化のためには、情報処理機器・装置そのものの低消費電力化と高速化を両立できる技術開発と社会実装を進める必要がある。こうした状況を踏まえ、内閣府が平成28（2016）年1月策定した第5期科学技術基本計画および平成29（2017）年6月に策定した科学技術イノベーション総合戦略2017の中では、「超スマート社会」（Society5.0）実現のために情報通信基盤技術の開発強化が掲げられ、大規模データを高速にリアルタイムにかつ少ない消費電力で処理するためのデバイスおよびネットワーク実現が求められている。

電子機器に電気配線を用いる場合データ伝送量や速度、伝送距離の増加に伴い信号伝送の損失が大きくなるのに対して、光配線を用いる場合それらが増大しても損失は一定であり消費電力の増加は極めて小さいという特性がある。このメリットを生かして、光配線は高速インターネット網や携帯電話基地局で利用されているほか、近年はデータセンタ等の低消費電力化・高速化技術として光配線技術が有力視され、半導体関連企業などで研究開発が進められている。

## ②我が国の状況

我が国では、平成21（2009）年度から25（2013）年度まで、内閣府・総合科学学術会議の下で日本学術振興会（J S P S）が進める「最先端研究開発支援プログラム（F I R S Tプログラム）」においてフォトンクス・エレクトロニクス融合システム基盤技術開発（P E C S T : Photonics-Electronics Convergent System Technology）事業が進められ、光源・受信器・導波路など光インターコネクに必要

な技術を1つのシリコンチップに集積し光集積回路として機能させるための研究開発が行われ、光集積回路として世界最高の情報伝送密度を実証することに成功し、世界をリードするポジションを獲得している。また、平成20（2008）年度から29（2017）年度まで、文部科学省（JST）の「先端融合領域イノベーション創出拠点形成プログラム」において光ネットワーク超低エネルギー化技術拠点事業が進められ、シリコンフォトニクススイッチ等の基盤技術開発とネットワークシステムの構築により大容量データを超低消費電力で伝送できる光パスネットワークの原理を実証している。

### ③世界の取組状況

海外では、政府資金投入による大型プロジェクトとして研究開発活動が活発に進められている。

例えば、欧州では「7th Research Framework Programme (FP7)」（2007年～2013年、総額68億円）が実施され、その後継として「HORIZON2020」の中で12のシリコンフォトニクス関連のプロジェクト（2015年～2020年、総額51億円）が遂行されている。

米国でも「DARPA Projects for Silicon Photonics」（2006年～2012年、総額86億円）等の取組があり、2015年以降は日本のプロジェクトをモデルにしてシリコンフォトニクスの実装及びものづくりを目的とするプロジェクト「The American Institute for Manufacturing Integrated Photonics (AIM Photonics)」（2015年～2019年、総額726億円）、及び「Energy-efficient Light-wave Integrated Technology Enabling Networks that Enhance Datacenters (ENLITENED)」（2017年～2020年、前半2年の総額約28億円）が立ち上がっている。

### ④本事業のねらい

本研究開発は、情報通信機器の省電力化と高速化を目的に、電子機器の電気配線を光配線に置換する光配線技術と電子回路技術を融合させた光エレクトロニクス実装システム技術を実現する基盤技術を確立することを目指す。

本研究開発で成果を得ることにより、光半導体分野における我が国の国際優位性を維持するとともに、光エレクトロニクスを用いた新たなコンピューティング市場において我が国が競争力を獲得し、さらには半導体産業、回路基板産業やそれらをシステム化したサーバ、ルータ等の情報通信機器産業などのエレクトロニクス産業の活性化にも資する。

## (2) 研究開発の目標

### ①アウトプット目標



本研究開発では、電気配線を用いたサーバボードに比べて消費電力を3割削減できかつデータセンターレベルでの運用が可能な光電子融合サーバを実現するための要素技術を確認することを目指す。

具体的には、電子機器のデータ伝送において10Tbps/ノードの伝送帯域と電気配線を用いる場合と比較して1/10の低消費電力化を、また通信速度あたりの面積比で1/100以下の小型化（100倍の帯域密度）を実現する。

研究開発の進捗に合わせ開発成果の一部を順次実用化し、光配線と電子回路を融合させた光エレクトロニクス市場の創出と開拓を目指す。

本プロジェクトでは、平成29（2017）年度までに実施した光エレクトロニクス実装基盤技術開発及び光エレクトロニクスシステム化技術開発により上記アウトプット目標を実現可能とする技術を確認している。引き続き研究開発を行い、プロジェクト完了までに上記目標を達成する。

個々の開発項目における中間及び最終目標に関しては、別紙1および2を参照のこと。

## ②アウトカム目標

本事業で開発される技術をサーバ、データセンター、ネットワーク機器等に適用し普及させることにより、平成42（2030）年には国内で年間約1500万トンのCO<sub>2</sub>排出に相当するエネルギーが削減されると見込まれる。

また、グローバルな市場創出効果として平成42（2030）年度に1.26兆円程度が期待される。

## ③アウトカム目標達成に向けての取組

研究開発の成果は、各実施者が自社に持ち帰り、実用化のための技術開発等を実施して事業化を進める。また、開発成果の新たな適用先の探索と顧客価値の評価に努める。このような取組を通じて、本プロジェクトの研究開発成果で実現するIT機器の高い省エネルギー性能とデータ転送性能を強みとして、市場の創出とシェア獲得を迅速に進め、IT機器の電力消費量低減とCO<sub>2</sub>排出量の削減を推進する。

研究開発と並行して、光エレクトロニクス技術の標準化を図り、研究開発の成果が迅速かつ広く世界の市場で受け入れられるよう努める。また、ニュースリリース、展示会への出展、シンポジウム開催等の取組を通じて本事業の情報発信及び光エレクトロニクス技術の普及促進を行うと共に、光エレクトロニクス技術に関する人材育成の活動により企業や大学における研究活動の支援等を行う。

## （3）研究開発の内容

上記目標を達成するために、以下の研究開発項目について、別紙の研究開発計画に基

づき、研究開発を実施する。

【委託事業】

研究開発項目① 光エレクトロニクス実装基盤技術の開発

- (i) 実装基盤技術
  - (a) 光エレクトロニクス実装技術
  - (b) 光エレクトロニクス集積デバイス技術
  - (c) 光エレクトロニクスインターフェース技術
  - (d) 光エレクトロニクス回路設計技術
- (ii) 革新的デバイス技術

研究開発項目② 光エレクトロニクス実装システム化技術の開発

- (i) システム化技術
  - (a) サーバボードのシステム化技術開発
  - (b) ボード間接続機器、筐体間接続機器のシステム化技術開発
  - (c) データセンタ間接続機器のシステム化技術開発
  - (d) 企業間ネットワーク接続機器のシステム化技術開発
  - (e) 光電子集積インターポーザのデバイス・実装技術開発
  - (f) 光電子集積インターポーザのシステム化技術開発
- (ii) 国際標準化

以上の研究開発は、実用化まで長期間を要するハイリスクな基盤的技術に対して、産官学の複数事業者が互いのノウハウなど持ち寄り、協調して実施する事業であり、委託事業として実施する。

## 2. 研究開発の実施方式

### (1) 研究開発の実施体制

プロジェクトマネージャーに国立研究開発法人新エネルギー・産業技術総合開発機構（以下「NEDO」という。）IoT推進部 中山 敦 を任命して、プロジェクトの進行全体を企画・管理や、そのプロジェクトに求められる技術的成果及び政策的効果を最大化させる。

また、研究開発に参加する研究開発グループが持つ研究開発ポテンシャルを最大限活用することにより効率的な研究開発の推進を図る。この目的でNEDOが委嘱する研究開発責任者（プロジェクトリーダー）として、国立大学法人東京大学 ナノ量子情報エレクトロニクス研究機構 特任教授 荒川泰彦氏を置き、効果的な研究開発を実施する。

本研究開発は、経済産業省において我が国の将来の成長の糧となるイノベーションを創出する未来開拓研究プロジェクトの一つである「光エレクトロニクス」として平成24（2012）年度に立ち上げられた10年間のプロジェクトであり、事業開始から平成29（2017）年度末まで6年間の研究開発実施者を平成24（2012）年度に企業、大学等

の研究機関(委託先から再委託された研究開発実施者を含む)から公募によって選定し、共同研究契約等を締結する研究体を構築して開始したものである。

これを受けNEDOは平成25(2013)年度から29(2017)年度まで5年間の基本計画を策定し、研究開発を実施した。

平成29(2017)年度に実施した中間評価において、プロジェクトの必要性、研究開発マネジメント、研究開発の成果、実用化・事業化に向けた取組および見通しが評価され、当初計画した計10年間の事業遂行が妥当と認められた。

以上のことより、平成30(2018)年度から33(2021)年度まで4年間の研究開発実施者を公募により選定する。公募は、企業や大学等の研究機関等(以下、「団体」という。)のうち原則として日本国内に研究開発拠点を有するものを対象とし、単独又は複数で研究開発に参加するものとする。ただし、国外の団体の特別の研究開発能力や研究施設等の活用又は国際標準獲得の観点から必要な場合は、当該の研究開発等に限り国外の団体と連携して実施することができるものとする。

## (2) 研究開発の運営管理

研究開発全体の管理・執行に責任と決定権を有するNEDOは、経済産業省及び研究開発実施者と密接な関係を維持しつつ、事業の目的及び目標、並びに本研究開発の目的及び目標に照らして適切な運営管理を実施する。具体的には、NEDOは四半期に一回程度事業の進捗について実施者から報告を受けること等により各研究開発項目の進捗と研究開発項目間の整合性・連携状況の確認を行うと同時に、政策動向・業界技術動向等も把握して、必要な対策を合議し、PLおよび実施者と連携して実施する。必要に応じて技術推進委員会等を開催して外部有識者の意見を運営管理に反映するものとする。

## 3. 研究開発の実施期間と経緯

2.(1)ですでに述べたとおり、経済産業省は未来開拓研究プロジェクト「光エレクトロニクス」の事業期間として平成24(2012)年度から平成33(2021)年度(10年間)を予定し、平成24(2012)年度から平成29(2017)年度までの6年間の実施者を公募した。平成25(2013)年度からはNEDOが、平成29(2017)年度までの5年間の基本計画を策定し研究開発を実施した。平成29(2017)年度に実施した中間評価において、プロジェクトの必要性、研究開発マネジメント、研究開発成果、実用化・事業化に向けた取組及び見通しが評価され、それを踏まえ当初計画された計10年間の事業として実施する。

以上の経緯と平成29(2017)年度まで計6年間の研究開発の成果を踏まえ、平成25(2013)年度にNEDOが策定した基本計画の一部を見直して平成30(2018)年度から平成33(2021)年度まで4年間の研究開発を継続する。変更点は別紙1および2を参照のこと。

#### 4. 評価に関する事項

NEDOは、技術的及び政策的観点から、研究開発の意義、目標達成度、成果の技術的意義及び将来産業への波及効果等について、外部有識者による研究開発の評価を事業項目毎に実施する。具体的には、本基本計画の対象期間中の平成26(2014)年度、平成29(2017)年度に中間評価を実施済みであり、また平成31(2019)年度に中間評価、平成34(2022)年度に事後評価を実施する。評価結果は、経済産業省と相談のうえ、事業の延長・加速・縮小や必要な体制の再構築などを含めて後年度の研究開発に迅速に反映することとする。

なお評価の時期は、当該研究開発に係る技術動向、政策動向や当該研究開発の進捗状況等に応じ、前倒しする等適宜見直すものとする。

#### 5. その他重要事項

##### (1) 研究開発成果の取扱い

###### ①成果の普及

得られた研究開発成果のうち、共通基盤技術に係るものについては、プロジェクト内で速やかに共有した後、NEDO及び実施者が協力して普及に努めるものとする。

###### ②標準化との連携

得られた研究開発の成果については、成果のグローバル展開に向けてオープン／クローズド戦略に基づき事業戦略と一体となった国際標準化を進める。また、諸外国に先んじて国際標準を獲得するため、国際標準提案に係る戦略的かつ迅速な国際標準獲得活動を実施する。

###### ③知的財産権の帰属

委託研究開発の成果にかかわる知的財産権については、「国立研究開発法人新エネルギー・産業技術総合開発機構 新エネルギー・産業技術業務方法書」第25条の規定等に基づき、原則として、すべて委託先に帰属させることとする。

###### ④知財マネジメントに係る運用

本プロジェクトは、「NEDOプロジェクトにおける知財マネジメント基本方針」を適用する。

##### (2) 基本計画の変更

プロジェクトマネージャーは、当該研究開発の進捗状況及び評価結果、社会・経済的状况、国内外の研究開発動向、政策動向、第三者の視点からの評価結果、研究開発費の確保状況等、プロジェクト内外の情勢変化を総合的に勘案し、必要に応じて目標達成に向けた改善策を検討し、達成目標、実施期間、実施体制等、プロジェクト基本計画の見



直しを弾力的に行うものとする。

(3) 根拠法

本プロジェクトは、国立研究開発法人新エネルギー・産業技術総合開発機構法第15条第1号ニ及び第9号に基づき実施する。

6. 基本計画の改訂履歴

- (1) 平成25(2013)年3月制定。
- (2) 平成27(2015)年9月、根拠法の追加に伴う改訂。
- (3) 平成30(2018)年1月、平成30(2018)年度から平成33(2021)年度の基本計画追加に伴う改訂。
- (4) 平成30(2018)年11月、PLの所属先の記載を変更。

## (別紙1) 研究開発計画

### 研究開発項目①光エレクトロニクス実装基盤技術の開発

#### 1. 研究開発の必要性

クラウドコンピューティングやI o T (もののインターネット) の利用拡大、A I (人工知能) の活用が急速進んでおり、データセンタなどにおける情報処理量や通信トラフィックが指数関数的に増大しており、今後も情報量の増大が予測されている。

電子機器に電気配線を用いる場合データ伝送量や速度、伝送距離の増加に伴い信号伝送の損失が大きくなるのに対して、光配線を用いる場合それらが増大しても損失は一定であり消費電力の増加は極めて小さいという特性がある。このメリットを生かして、光配線は高速インターネット網や携帯電話基地局で利用されているほか、近年はデータセンタ等の低消費電力化・高速化技術として光配線技術が有力視され、半導体分野の企業で研究開発が進められている。

本研究開発では、電子機器の電気配線を光配線に置換し電子回路技術を融合させる光エレクトロニクス実装システム技術の根幹となる光電子集積インターポーザ、光電子ハイブリッド回路基板等を実現するための構成要素技術の開発と、高速化、省電力化、小型化などの面で画期的な性能向上や中期的な技術基盤の変化をもたらす革新的デバイス技術の開発を行う。

#### 2. 具体的研究内容

##### (i) 実装基盤技術

###### (a) 光エレクトロニクス実装技術

電気配線と光配線が融合した光電子ハイブリッド回路基板の作製技術、高密度の光・電気のインターフェースを備えた光電子集積インターポーザを光電子ハイブリッド回路基板に実装するための実装技術とインターフェース技術及び高信頼、低コスト化を実現する設計・方式・製造装置を開発する。また、光電子集積インターポーザとL S I を接続するインターフェース技術及び光電子ハイブリッド回路基板間を接続する高集積コネクタ技術を開発する。さらに汎用電気インターフェースに対応した光素子駆動アナログ電子回路を開発し、ロジックL S I に搭載するためのアナログ電子回路技術の開発を行う。

###### (b) 光エレクトロニクス集積デバイス技術

光トランシーバや光電子集積インターポーザ等を実現する基盤技術として、光導波路、光源、光変調器、受光器、光入出力素子、合分波器などの超小型要素光素子を開発すると共に、これらを高密度集積する技術を開発する。また、光信号の並列化、多重化、多値化についても検討を行い、インターポーザ上での大容量信号伝送技術を開発する。さらに、ロジック、メモリ等の電子回路チップの搭載が可能で、光トランシーバを高密

度に集積した、低消費電力で低コストな光電子集積インターポーザを形成する基盤技術の開発を行う。

(c) 光エレクトロニクスインターフェース技術

大規模データセンタ内の筐体間接続、データセンタ間接続に向けた、100Gbpsの伝送容量を持つデジタルコヒーレント送受信モジュール実現のための信号処理回路と光回路に関する基盤技術を開発する。

(d) 光エレクトロニクス回路設計技術

光回路技術と電子回路技術を融合した新しい光エレクトロニクス回路の設計技術に関し、光、電子、それぞれの回路の最適設計を効率的に行うための統合設計環境を実現する基盤技術を開発する。さらに、本統合設計環境を本事業内の研究チームで利用可能とするための支援体制、スキームを整備する。

(ii) 革新的デバイス技術

[革新的光源・光検出器技術]

光電子集積インターポーザの光源、受光器の高性能化に向け、シリコン基板上量子ドットレーザ技術とその集積化技術の開発を行うとともに、高感度受光器に関する技術開発を行う。

[革新的光変調器技術]

光電子集積インターポーザの光変調器の高性能化に向けた光制御技術として、新原理に基づく次世代光変調器を開発する。

[革新的光配線技術]

光電子集積インターポーザの光導波路の高機能化に向けた光配線基盤技術として、フォトリソナノ構造等を用いた光配線技術の開発を行う。

[革新的光エレクトロニクス回路技術]

光電子集積インターポーザの光回路を高機能化する機能可変型光エレクトロニクス回路の基盤技術として、サーバ回路の再構成を可能とする光フィールドプログラマブルゲートアレイ技術及びそのための要素デバイスの開発を行う。

[革新的光スイッチングデバイス技術]

大規模光電子集積インターポーザで実現されるサーバ回路におけるデータ通信の高効率化に向け、CPU間等の効率的なデータ転送を可能とする光ルーティング技術実現のためのハイブリッド集積光スイッチングデバイス技術、超高速集積光信号処理デバイスの開発を行う。

### 3. 達成目標

光電子集積インターポーザ、光電子ハイブリッド回路基板及びそれぞれの要素技術を組み込んだデバイスの集積化技術を開発することにより、電気配線の1/10の低消費電力

化・高速化（1mW/Gbps）を達成する目処を得るとともに、1/100以下の小型化実現のための要素技術を確認する。また、機器間光インターフェースにおいて、100Gbps/chの高速伝送及び現状の光トランシーバモジュールの消費電力（300W程度）を1/5～1/10まで低減できる低消費電力化技術を実現する。

各開発項目は計10年間の開発期間を最大四期に分け、それぞれの期間で目標を定めて技術開発を行う。

(i) 実装基盤技術

(a) 光エレクトロニクス実装技術

多数の光デバイス・電子デバイスが搭載されたシリコンフォトニクスによる光電子インターポーザ及び光電子インターポーザを搭載した光電子ハイブリッド回路基板を実現するための基盤技術を開発する。

【中間目標】（平成26（2014）年度末）

小型の高速・低消費電力光トランシーバと数十mm角のポリマー光配線を形成した光電子ハイブリッド回路基板を開発し、光入出力を持つLSIを実現するための基盤技術を確認する。

【最終目標】（平成29（2017）年度末）

5cm×5cm程度の光電子ハイブリッド基板上にLSIを搭載するモジュール化技術を確認し、LSIモジュールでの高速光インターコネクトを実現する。

(b) 光エレクトロニクス集積デバイス技術

超高速のデータ伝送を行う光電子集積インターポーザを実現するため、シリコンフォトニクス技術を用いた光集積回路技術を開発するとともに、ロジックLSI、メモリLSI、光デバイス等を光電子集積インターポーザ上に高密度集積するための集積化技術を実現する。

【中間目標】（平成26（2014）年度末）

光信号の並列化技術、多重化技術を開発し、大容量信号伝送を実現するための基盤要素技術を確認する。また、低コスト化のための光素子の集積化技術と導波路技術を確認する。

【最終目標】（平成29（2017）年度末）

多数の光素子を集積した光電子集積インターポーザの大容量伝送を実現するための基盤集積技術を確認する。

(c) 光エレクトロニクスインターフェース技術

大規模データセンタ内の筐体間、データセンタ間の大容量通信を可能とする小型デジタルコヒーレント光トランシーバに必要な信号処理回路、光回路技術を平成28（2016）年度までに確認する。

【中間目標】（平成26（2014）年度末）



100Gbps動作に対応するDSP-LSIと集積光送受信デバイスの試作を行い、基本性能評価と問題点の抽出を行う。

【最終目標】(平成28(2016)年度末)

低消費電力DSP-LSI最終プロトタイプを実現するとともに、データセンタ間通信向け低消費電力100Gbpsデジタルコヒーレント光トランシーバを実証するための要素技術を確立する。

(d) 光エレクトロニクス回路設計技術

光回路技術と電子回路技術を融合した新しい光エレクトロニクス回路を効率的に設計するための光エレクトロニクス統合設計環境を実現し、プロジェクト内での活用を可能とするとともに、本プロジェクト成果事業化時に適用できる効率的な設計フロー構築のための基盤技術を確立する。

【中間目標】(平成26(2014)年度末)

マルチフィジクス対応の光エレクトロニクス実装システム統合設計環境の基本構成を構築し、統合設計を行うための基本的なフローの実証を行う。また、光デバイス設計の基盤技術として、光変調器等の開発に適用可能な電子・光連携TCADの基本構造を確立する。

【最終目標】(平成29(2017)年度末)

光デバイス設計用電子・光連携TCADと光電子集積インターポーザの設計を可能とする統合設計環境を連携させ、基本実装構造に関するデータベース(デザインキット)を整備し、光電子集積インターポーザを効率的に設計可能とする。

(ii) 革新的デバイス技術開発

光電子集積サーバの高性能化を可能とする光電子集積デバイスの非連続的な高速化・低消費電力化・小型化・低コスト化などの高性能化をもたらす挑戦性の高い技術の研究開発を、以下のように実施する。なお、当該技術開発に関しては、その開発の性質等を考慮し、技術開発の進捗度、本研究開発事業内での展開の可能性等の観点から、必要に応じて見直しを適宜実施するものとする。

[革新的光源・光検出器技術]

光電子集積インターポーザの光源、受光器の高性能化に向けてシリコン基板上量子ドットレーザ技術とその集積化技術の開発を行うと共に、高感度受光器に関する技術開発を行う。

【中間目標】(平成26(2014)年度末)

温度安定シリコン上量子ドットレーザの基盤技術開発を進め、シリコン導波路結合型単チャンネル量子ドットレーザを実現する。また、超高感度受光器の基盤技術として受光器における暗電流抑制効果を実証する。

**【中間目標】**（平成29（2017）年度末）

光電子集積サーバ用の集積化光源への展開に向け、量子ドットレーザアレイを実現するとともにシリコン系基板上に直接成長した量子ドットレーザを試作する。また、導波路型受光器における暗電流抑制技術を実現する。これらの検討を通じて、光電子集積サーバ技術への技術展開の見通しを示すとともに事業化に対する課題を明確化する。

**【中間目標】**（平成31（2019）年度末）

光電子集積インターポーザ用集積化光源に向け、シリコン上量子ドットレーザの高温動作と高速変調動作を実現する。また、光電子集積インターポーザ用集積化受光器への展開に向け、シリコン基板上に集積した受光器の低暗電流動作を実証し、高速応答動作可能な構造を明確にする。

**【最終目標】**（平成33（2021）年度末）

光電子集積インターポーザ用集積化光源に向け、 $1.4\mu\text{m}$ 以上の長波長帯のシリコン基板上量子ドットレーザの実現可能性を示す。また、光電子集積インターポーザ用集積化受光器に向け、高速応答可能で省電力化が可能な導波路型受光器を実証することにより、光電子集積インターポーザへの技術展開の見通しを示すと共に、事業化に対する課題を明確化する。

**[革新的光変調器技術]**

光電子集積インターポーザの光変調器の高性能化に向けた光制御技術として、新原理に基づく次世代超小型光変調器の開発を行う。

**【中間目標】**（平成26（2014）年度末）

光電子集積サーバに使用する光電子集積インターポーザの光変調器の超小形化を可能とする新原理に基づく変調器として、 $10\text{Gbps}$ 程度の高速動作を実現する。

**【中間目標】**（平成29（2017）年度末）

超小型高速変調器としてLN変調器を凌駕する実用性能を得る。また、これらの検討を通じて、光電子集積サーバ技術への技術展開の見通しを示すとともに事業化に対する課題を明確化する。

**【中間目標】**（平成31（2019）年度末）

光電子集積インターポーザ用の集積化光変調器への展開に向け、超小型化・高速動作を可能とするスローライト型変調器や低消費電力化が可能なハイブリッドMOS型光変調器等の動作を実証する。

**【最終目標】**（平成33（2021）年度末）

光電子集積インターポーザ用の集積化光変調器への展開に向け、スローライト型変調器やハイブリッドMOS型変調器等に対し、多重化・多値変調等の伝送方式を実現する可能性を実証することにより、光電子集積インターポーザへの技術展開の見通し

と事業化に対する課題を明確化する。

#### [革新的光配線技術]

光電子集積インターポーザの光導波路の高機能化に向けたナノスケール光配線基盤技術として、フォトニック結晶構造等を用いた信号伝搬制御等に関する高度な光配線技術の開発を行う。

【中間目標】（平成26（2014）年度末）

光電子集積サーバの配線密度を飛躍的に高めることできる3次元光配線技術において、層間方向への伝搬機能が可能であることを実証する。

【中間目標】（平成29（2017）年度末）

3次元光配線技術として垂直方向と水平方向の伝搬機能の統合を実現する。また、これらの検討を通じて、光電子集積サーバ技術への技術展開の見通しを示すとともに事業化に対する課題を明確化する。

【中間目標】（平成31（2019）年度末）

光電子集積インターポーザへの展開に向け、フォトニックナノ構造等を用いた光損失補償機能や光バッファ機能など、革新的導波路技術の可能性を示す。

【最終目標】（平成33（2021）年度末）

光電子集積インターポーザへの展開に向け、フォトニックナノ構造等による光損失補償機能や光バッファ機能を統合することなどにより高度な光配線技術を開発し、光電子集積サーバ技術の革新的展開へ寄与する。

#### [革新的光エレクトロニクス回路技術]

光電子集積インターポーザの光回路を高機能化する機能可変型光エレクトロニクス回路の基盤技術として、光回路の再構成を可能とする光フィールドプログラマブルゲートアレイ（以下光FPGA）技術及びそのための要素デバイスの開発を行う。

【中間目標】（平成26（2014）年度末）

ハイブリッド回路基板上における半導体レーザの高効率化を行うとともに複数の光増幅器が並ぶアレイデバイスを実現する。

【中間目標】（平成29（2017）年度末）

異なる機能の光回路を同一回路基板上に集積し、光FPGAコンセプトを実証する。また、これらの検討を通じて、光電子集積サーバ技術への技術展開の見通しを示すとともに事業化に対する課題を明確化する。

【中間目標】（平成31（2019）年度末）

光電子集積インターポーザへの展開に向け、光FPGAを構成するハイブリッド光素子の集積プロセスシーケンスを確立し、光FPGAの原理実証を行う。

【最終目標】（平成33（2021）年度末）

光電子集積インターポーザへの展開に向け、シリコンインターポーザ上で機能可変型光エレクトロニクス回路の基本機能を実証して光FPGA実現の見通しを明らかにすることにより、光電子集積サーバ技術の革新的展開へ寄与する。

[革新的光スイッチングデバイス技術]

大規模光電子集積インターポーザで実現されるサーバ回路におけるデータ通信の高効率化に向け、CPU間等の効率的なデータ転送を可能とする光ルーティング技術実現のためのハイブリッド集積光スイッチングデバイス技術、超高速集積光信号処理デバイスの開発を行う。

**【中間目標】**（平成26（2014）年度末）

サーバ回路におけるデータ通信の高効率化を可能とする導波路クロスバー型をベースとした超小型光スイッチを試作し、スイッチング動作を実証するとともに、超高速光信号処理デバイス実現にむけた基本的な論理動作を実現する。

**【最終目標】**（平成29（2017）年度末）

光スイッチマトリクスの高電力化、光信号処理デバイスの10Gbps程度での動作を実証する。また、これらの検討を通じて、光電子集積サーバ技術への技術展開の見通しを示すとともに事業化に対する課題を明確化する。



## 研究開発項目②光エレクトロニクス実装システム化技術の開発

### 1. 研究開発の必要性

本プロジェクトで目指す小型、高速、低消費電力の光電子融合サーバを実現するには、それに適したシステムアーキテクチャを見出すとともに、運用信頼性のある実用性の高い技術の開発が必要である。光電子集積インターポーザは、これまでの研究開発の成果を集約しアウトプット目標を達成するために重要な素子であり、そのデバイス技術、実装技術及びシステム化技術を開発する必要がある。

本研究開発では、光配線導入による低消費電力化や高速化などのメリットを生かすサーバ等のシステムアーキテクチャの要件・課題を抽出し、研究開発項目①光エレクトロニクス実装基盤技術の開発の要素技術を用いてシステムを構築するための基盤技術を開発する。これにより、システムの実用性を検証するとともに、要素技術開発にフィードバックすることで、完成度の高い技術の効率的な開発を実現する。

### 2. 具体的研究内容

#### (i) システム化技術

##### (a) サーバボードのシステム化技術開発

データセンタレベルでの運用が可能な、多種のLSIを高密度集積した光電子集積インターポーザを光電子ハイブリッド回路基板上に搭載した、小型・高速動作・低消費電力光電子融合サーバボードを実現するための基盤技術を開発する。また、高速ストレージインターフェースに適応する光インターフェースと大容量高速NANDデバイスを搭載した光インターフェース付き大容量SSDを実現するための基盤技術を確立する。

##### (b) ボード間接続機器、筐体間接続機器のシステム化技術開発

光送受信システムを内蔵し、光ケーブルと電気コネクタを実装した光トランシーバを開発し、アクティブ光ケーブル(AOC)を実現する。さらに、光トランシーバを集積した光電子ハイブリッド回路基板上に、既存ロジックLSIを実装した光ケーブル付きLSIを開発する。

##### (c) データセンタ間接続機器のシステム化技術開発

低消費電力DSP-LSIと集積型送受信光デバイスをモジュール化したデータセンタ間接続用光トランシーバの実現を目的に、高周波実装回路技術と、変調器/ドライバ、受信フロントエンド等のデバイス制御技術を確立し、小型で低消費電力の100Gbpsデジタルコヒーレント光トランシーバを実現する。

##### (d) 企業間ネットワーク接続機器のシステム化技術開発

シリコンフォトニクス技術を用いたアクセスネットワーク用集積光エレクトロニクスチップを開発し、企業間ネットワーク接続機器に適用する一芯双方向波長多重トランシーバのシステム化技術を確立する。

(e) 光電子集積インターポーザのデバイス・実装技術開発

平成29(2017)年度までに本プロジェクトで開発された光エレクトロニクス実装基盤技術およびシステム化技術あるいはそれらと同等の技術を基に、光電子集積インターポーザを実現するために必要なデバイスおよび実装技術を開発する。

具体的には光変調器、受光器、光入出力素子、合分波器などの光電子インターポーザの構成要素となる光素子を小型化、高速化および低消費電力化するための技術を開発すると共に、光信号の多重化および多値化を検討し、光電子集積インターポーザにおける大容量信号伝送技術を開発する。

また、光電子集積インターポーザの大容量化、高信頼、低コスト化を実現する実装技術として、異種導波路を接続する技術、光電子集積インターポーザとLSIを接続するインターフェース技術、及び高集積コネクタ技術を開発する。

(f) 光電子集積インターポーザのシステム化技術開発

上記(e)で研究開発する光電子集積インターポーザを情報処理装置や情報通信機器およびそのシステムに適用するために必要となるシステム化技術の研究開発を行う。

(f-1) 情報処理システム化技術

実際のデータセンタで運用が可能でありかつ光電子集積インターポーザを用いた小型かつ高速動作が可能な低消費電力光電子融合サーバボードを実現するため、必要となるシステム化技術を開発する。

(f-2) 情報通信システム化技術

シリコンフォトニクスデバイス技術を応用展開した光電子集積インターポーザを用いて、小型一芯双方向波長多重トランシーバのシステム化技術を確立する。

(ii) 国際標準化

国際競争力を確保するために、諸外国での同種の研究開発プロジェクトの現状を分析するとともに、プロジェクトの進展状況を踏まえ、成果の優位性を保つために国際標準化を積極的に推進する。また、フォーラム標準化機関[OIF (Optical Internetworking Forum)、IEEE 802.3 (Next gen 100G Optical Ethernet Study Group)、COBO (Consortium for On-Board Optics)]、並びにデジュール標準化機関[IEC (International Electrotechnical Commission)]等の標準化動向を踏まえ、研究開発成果が迅速かつ広く世界の市場で受け入れられるようにするために、光電子集積インターポーザに関わる国際標準化を積極的に推進する。

### 3. 達成目標

電気配線を用いたサーバボード比で消費電力が3割削減でき、データセンターレベルの運用が可能な、多種のLSIを高集積化した小型・高速動作・低消費電力な光電子融合サーバボード等を実現するため基盤技術を開発し、光電子融合サーバボード実現のための目処を得ることを目標とする。

具体的には、光電子集積インターポーザを実現するために必要なデバイス技術および実装技術を開発し、10Tbps/ノードの高速・高密度化と、電気配線を使用した場合の1/10に相当する1mW/Gbpsの低消費電力を実現するための要素技術を確立する。

加えて、順次実用化する開発成果の事業化に必要な国際標準の提案と採択推進活動を行う。

各開発項目は計10年間の開発期間を最大四期に分け、それぞれの期間で目標を定めて技術開発を行う。

#### (i) システム化技術

##### (a) サーバボードのシステム化技術開発

電気配線を用いたサーバボード比で消費電力が3割削減でき、データセンターレベルでの運用が可能な光電子集積サーバボード実現のための基盤技術を開発する。多種のLSIが高密度集積した光電子集積インターポーザを光電子ハイブリッド回路基板上に搭載した小型・高速動作・低消費電力光電子集積サーバボードを実現するための課題抽出を行い、課題解決の目処を得る。また、高速ストレージインターフェースに適応する光インターフェースと大容量高速NANDデバイスを搭載した光インターフェース付き大容量SSDを実現するための基盤技術を確立する。

##### 【中間目標】(平成26(2014)年度末)

光電子集積技術を最大限に活かすために光インターコネクションに要求される伝送スペック(変調速度、多重度、チャンネル数など)及び光電子インターポーザの回路冷却に関する基本要件を明らかにする。また、光電子集積インターポーザと積層型ストレージチップ実装基板からなるハイブリッド型の光インターフェース付きSSDを試作し、標準ストレージインターフェースによる光接続動作を検証する。

##### 【最終目標】(平成29(2017)年度末)

光電子集積サーバボードにおける伝送機能の主要部分からなる送受信部を試作し、要求スペックを満たす光伝送を実証する。また、光電子集積インターポーザに積層型のストレージチップを実装した光インターフェース付SSD技術を確立する。

##### (b) ボード間接続機器、筐体間接続機器のシステム化技術開発

光ケーブルと電気コネクタを実装した光トランシーバによるアクティブ光ケーブルの実現と、光トランシーバとロジックLSIを実装した光ケーブル付きLSIの実現

に向け、次の開発を行う。

【中間目標】(平成26(2014)年度末)

小型光トランシーバを搭載したアクティブ光ケーブル(AOC)を完成させ、筐体間接続における実用性を実証する。また、標準化動向を考慮しながら、光トランシーバとロジックLSI間の電気伝送に関するインターフェース仕様を決定する。

【最終目標】(平成29(2017)年度末)

LSIと光トランシーバの接続構造を決定する。また、策定した設計基準に基づき既存ロジックLSIを搭載できる基板を設計・試作し、光ケーブルを用いたLSI搭載基板間光接続を実現する。

(c) データセンタ間接続機器のシステム化技術開発

低消費電力DSP-LSIと小形集積型送受信光デバイスをモジュール化したデータセンタ間接続用トランシーバの実現に向け、次の検討を行う。

【中間目標】(平成26(2014)年度末)

一次試作の光デバイス及びDSP-LSIを用いたトランシーバを試作し、デバイス制御動作を検証するとともに改良・完成度向上に向けた指針・フィードバック事項を抽出する。

【最終目標】(平成28(2016)年度末)

抽出した技術課題を解決し、目標である小型、低消費電力を満たす100Gbpsデジタルコヒーレント光トランシーバを実現する。

(d) 企業間ネットワーク接続機器のシステム化技術開発

シリコンフォトニクス技術を用いた集積光エレクトロニクスチップを開発し、企業間ネットワーク接続機器に適用する一芯双方向波長多重トランシーバを実現するための基盤システム化技術を確立する。

【中間目標】(平成26(2014)年度末)

シリコン光導波路による波長合分波器を用いて1.25Gbpsの一芯双方向光トランシーバを実証する。

【最終目標】(平成29(2017)年度末)

シリコン光導波路による双方向多重用合分波器と波長多重用合分波器を組み合わせ集積試作し、一芯双方向波長多重動作をシリコンワンチップ上で実証するとともに、企業間ネットワーク向け波長多重合分波器実用化のための要求課題を抽出し、解決の目処を得る。

(e) 光電子集積インターポーザのデバイス・実装技術開発

光電子集積インターポーザを実現するために必要なデバイス技術および実装技術を

開発し、10Tbps/ノードの高速・高密度化を実現するための要素技術を確立する。

具体的には、光変調器、受光器、光入出力素子、合分波器など光電子集積インターポーザの構成要素となる光素子の小型、高速、低消費電力化技術を開発する。また、シングルモードファイバーとの接続に適した異種導波路接続構造並びに導波路・光ファイバー間の接続構造を開発する。更に、光電子集積インターポーザにおける大容量信号伝送技術として光信号の多重化、多値化技術を開発する。

【中間目標】(平成31(2019)年度末)

光配線の消費電力を2mW/Gbps以下にするための要素技術を開発する。また、光電子集積インターポーザの異種導波路接続技術と高集積コネクタを開発し、損失の少ないシングルモードファイバーとの光リンクを実現する。

【最終目標】(平成33(2021)年度末)

光配線の消費電力を1mW/Gbps以下とするための要素技術と、電気配線と比較し通信速度あたりの面積で1/100すなわち100倍の帯域密度を実現するための要素技術、およびシリコンフォトニクス技術による波長多重シングルモード光回路を開発することにより、10Tbps/ノードの帯域幅を持つ光電子集積インターポーザ技術を実現する。

#### (f)光電子集積インターポーザのシステム化技術開発

##### (f-1)情報処理システム化技術

上記(e)で開発する高速・小型・省電力光電子集積インターポーザを用いたサーバボードを実現するための要素技術を開発し、データセンタで運用できかつ電気配線を用いた場合に比べて消費電力を3割削減できることを示す。

【中間目標】(平成31(2019)年度末)

波長多重技術を用いた接続技術を開発し、消費電力の少ない光電子集積インターポーザ技術と合わせることでサーバ電力量を30%削減可能であることをシミュレーションにより示す。

【最終目標】(平成33(2021)年度末)

消費電力の少ない光電子集積インターポーザ技術と波長多重技術を用いた接続技術を組合せた光電子融合サーバボードを試作し、試作機とシミュレーションを用いてサーバ電力量を30%削減可能であることを示す。

##### (f-2)情報通信システム化技術

上記(e)で開発する高速・小型・省電力光電子集積インターポーザを用いることにより、一芯双方向波長多重トランシーバを搭載した光アクセスネットワーク端末装置を小型化するための要素技術を開発し、光加入者端末装置を10cm×2cm×2cm以下のサイズに小型化する目処をつけることを目標とする。

【中間目標】(平成31(2019)年度末)



一芯双方向波長多重トランシーバに消費電力の少ない光電子集積インターポーザを実装し、動作検証を行う。

【最終目標】(平成33(2021)年度末)

光電子集積インターポーザを用いた一芯双方向波長多重トランシーバを搭載することにより、光加入者端末装置を10cm×2cm×2cm以下のサイズに小型化するための実装技術を開発する。

## (ii) 国際標準化

本プロジェクトでの開発成果の事業化に必要な各種インターフェースの標準化を獲得するため、次のような標準化活動を実施する。

【中間目標】(平成26(2014)年度末)

光インターコネクトに関する標準化団体(OIF(Optical Internetworking Forum)、IEEE802.3(Next gen 100G Optical Ethernet Study Group))に参画し、「キーメンバーコミュニティー」におけるプレゼンスを確立する。また、100Gbpsデジタルコヒーレント光トランシーバに関する標準化を推進する。

【中間目標】(平成29(2017)年度末)

本プロジェクトの成果である光実装部品における各種インターフェース等の標準化提案活動を行い、実用化する開発成果の事業化に必要な標準の提案を行う。

【中間目標】(平成31(2019)年度末)

光電子集積インターポーザの物理仕様(サイズ、入出力構成等)、電気・光インターフェースに関する各種標準化団体に参画し、実用化する開発成果の事業化に必要な標準の提案を行う。

【最終目標】(平成33(2021)年度末)

光電子集積インターポーザの物理仕様(サイズ、入出力構成等)、電気・光インターフェースに関し、提案した標準化案の採択推進活動を行う。

(別紙2) 研究開発計画

	H24 2012	H25 2013	H26 2014	H27 2015	H28 2016	H29 2017	H30 2018	H31 2019	H32 2020	H33 2021
研究開発項目① 光エレクトロニクス実装 基盤技術の開発	(i) 実装基盤技術(光I/Oコア)									
	(ii) 革新デバイス技術									
研究開発項目② 光エレクトロニクス実装 システム化技術の開発	(i) システム化技術(光I/Oコア)						(光電子集積インターポータ)			
	(ii) 国際標準化									
評価時期			中間 評価			中間 評価		中間 評価		事後 評価 (H34)

## **(B) 未来開拓研究プロジェクト実施要綱および実施に関する基本方針**

### **未来開拓研究プロジェクト**

経済産業省が実施している未来開拓研究プロジェクトは、中長期的観点の研究開発を優れた技術および知見を有する国内外の企業、大学、公的機関などで構築した研究体制で推進することにより、我が国が直面する環境・エネルギー問題及び少子高齢化問題等の構造的課題の克服、東日本大震災後の状況変化を踏まえたエネルギー需給安定化並びに新興国の台頭により厳しさを増す我が国産業の成長に貢献することを目標として実施されているものである。

本プロジェクト（「超低消費電力型光エレクトロニクス実装システム技術開発」）は、2012年度に未来開拓研究プロジェクトとして定められ、実施されている。

次ページ以降に未来開拓研究プロジェクトの実施要綱、および本プロジェクトが記載された基本方針を示す。

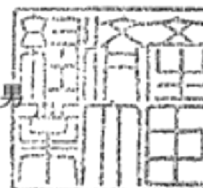
# 経済産業省

平成 24・03・21 産第 4 号

平成 24 年 8 月 28 日

## 未来開拓研究プロジェクト実施要綱

経済産業大臣 枝野 幸男



### (目的)

第一条 この実施要綱は、経済産業大臣による未来開拓研究プロジェクトの実施に関する基本方針の策定に関する事項、経済産業省の関係部局による未来開拓研究プロジェクトの実実施計画の策定に関する事項その他未来開拓研究プロジェクトを実施するために必要な制度の骨格に関する事項等を定め、未来開拓研究プロジェクトを円滑かつ効果的に実施することにより、もって我が国経済の持続的な発展を図ることを目的とする。

### (定義)

第二条 この実施要綱において「未来開拓研究プロジェクト」とは、我が国の将来の成長の糧となるイノベーションを創出する、従来技術の延長線上にない、開発リスクの高い革新的技術に関する中長期的な研究開発プロジェクトであって、国のイニシアティブの下、優れた技術及び知見を有する国内外の企業、大学、公的研究機関等を集め、省庁の枠を超えて、継続的に実施されるもののうち、第五条の規定による指定を受けたものをいう。

### (基本方針)

第三条 経済産業大臣（以下「大臣」という。）は、未来開拓研究プロジェクトの実施に関する基本方針（以下「基本方針」という。）を作成するものとする。

2 基本方針には、次に掲げる事項について定めるものとする。

- 一 未来開拓研究プロジェクトの実施の目標
  - 二 未来開拓研究プロジェクトの要件に関する事項
  - 三 未来開拓研究プロジェクトの概要、未来開拓研究プロジェクトの成果の事業化を促進するための取組に関する事項、研究開発及び事業化に必要な知的財産の取扱いに関する事項その他未来開拓研究プロジェクトの円滑かつ効果的な実施に関し必要な事項
  - 四 前各号に掲げるもののほか、未来開拓研究プロジェクトの実施に関する重要事項
- 3 大臣は、研究開発の動向の変化、社会情勢の変化その他情勢の変化により必要が生じたときは、基本方針を変更するものとする。
  - 4 大臣は、基本方針を定め、又はこれを変更しようとするときは、あらかじめ産業構造審議会の意見を聴くものとする。

(未来開拓研究プロジェクト候補の選定)

- 第四条 産業技術環境局長は、基本方針において定める未来開拓研究プロジェクトの要件を満たしうる研究開発プロジェクトを次条において未来開拓研究プロジェクトとして指定するものの候補（以下「未来開拓研究プロジェクト候補」という。）として選定するものとする。
- 2 産業技術環境局長は、前項の規定による選定をしようとするときは、あらかじめ、技術総括審議官及び未来開拓研究プロジェクト候補の選定に係る部局の長（以下「関係部局長」という。）の意見を聴き、その意見を尊重しなければならない。

(未来開拓研究プロジェクトの指定)

- 第五条 大臣は、前条第一項の規定により選定された未来開拓研究プロジェクト候補の中から、基本方針に適合すると判断されるものを未来開拓研究プロジェクトとして指定するとともに、当該未来開拓研究プロジェクトの実施に係る責任を有する部局の長（以下「所管部局長」という。）を指定するものとする。
- 2 大臣は、前項の規定により未来開拓研究プロジェクト及び所管部局長を指定した場合には、当該プロジェクトの概要及び所管部局長を基本方針に規定



するものとする。

(実施計画)

第六条 産業技術環境局長及び所管部局長は、共同で、未来開拓研究プロジェクトごとに、当該未来開拓研究プロジェクトを実施するための計画（以下「実施計画」という。）を定めるものとする。

2 実施計画においては、次に掲げる事項を規定するものとする。

一 未来開拓研究プロジェクトの目標及びその研究開発の内容

二 前号に掲げるもののほか、未来開拓研究プロジェクトの成果を事業化するための取組その他未来開拓研究プロジェクトの実施に必要な事項

3 産業技術環境局長及び所管部局長は、研究開発の動向の変化、社会情勢の変化その他情勢の変化により必要が生じたときは、実施計画を変更するものとする。

(年度計画)

第七条 産業技術環境局長及び所管部局長は、毎事業年度の開始前に、前事業年度までの未来開拓研究プロジェクトの進捗状況を踏まえ、実施計画に定める目標を達成するため、年度ごとの未来開拓研究プロジェクトの実施に関する計画（以下「年度計画」という。）を定めるものとする。

2 第六条第三項の規定は、前項の年度計画に準用する。

(政策評価)

第八条 産業技術環境局長は、経済産業省技術評価指針（平成二十一年三月三十一日）に基づき、定期的に、未来開拓研究プロジェクトについて評価を行うものとする。

2 産業技術環境局長及び所管部局長は、前項の評価の結果を踏まえ、未来開拓研究プロジェクトの実施計画又は年度計画を見直す必要があると判断した場合には、すみやかに、これらを変更するものとする。

(独立行政法人の協力)

第九条 産業技術環境局長及び所管部局長は、未来開拓研究プロジェクトの実

施に当たって、独立行政法人に対し、未来開拓研究プロジェクトの実施に関し必要な協力を求めるものとする。

(文部科学省等との連携の協議)

第十条 産業技術環境局長は、未来開拓研究プロジェクトの実施に当たって、文部科学省その他の行政機関（経済産業省を除き、以下「関係行政機関」という。）の所掌に係る科学技術の基礎的研究と密接な連携を行う必要がある場合には、関係行政機関の担当部局等の長に対し、未来開拓研究プロジェクトを連携して行うための体制の構築等に関する協議を申し入れるものとする。

2 産業技術環境局長は、未来開拓研究プロジェクトの実施に当たって、関係行政機関の所掌に係る事業と密接な連携を行う必要がある場合には、未来開拓研究プロジェクトの成果を活用する可能性がある事業等と密接な連携を行う必要がある事業を所管する関係行政機関の担当部局等の長に対し、未来開拓研究プロジェクトを連携して行うための体制の構築等に関する協議を申し入れるものとする。

(雑則)

第十一条 この要綱に定めるもののほか、未来開拓研究プロジェクトの実施に関し必要な事項は、産業技術環境局長が別に定める。

2 産業技術環境局長は、前項の規定により必要な事項を定めるときその他未来開拓研究プロジェクトの実施に必要となる総合的な検討を行うときは、技術総括審議官及び関係部局長の意見を聴くものとする。

附 則

第一条 産業技術環境局長は、この要綱の施行後、技術総括審議官及び関係部局長の意見を聴いて、経済産業省が行う研究開発プロジェクトの企画・立案やその推進に関する基本方針の策定等の措置について検討を行い、所要の措置を講ずるものとする。

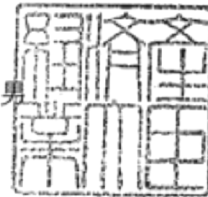
# 経済産業省

平成24・03・21産第5号

平成24年8月28日

## 未来開拓研究プロジェクトの実施に関する基本方針

経済産業大臣 枝野 幸男



### 1. 未来開拓研究プロジェクトの実施の目標

未来開拓研究プロジェクトは、中長期的観点の研究開発を優れた技術及び知見を有する国内外の企業、大学、公的研究機関等で構築した研究体制で推進することにより、我が国が直面する環境・エネルギー問題及び少子高齢化問題等の構造的課題の克服、東日本大震災後の状況変化を踏まえたエネルギー需給安定化並びに新興国の台頭により厳しさを増す我が国産業の成長に貢献することを目標とする。

### 2. 未来開拓研究プロジェクトの要件に関する事項

未来開拓研究プロジェクトは、客観的なデータ等に基づいて、以下のすべての要件を満たす技術とする。

#### ①我が国経済社会に大きなインパクトを与える技術

我が国が直面する環境・エネルギー問題や少子高齢化問題等の根本的な解決に貢献し、経済成長への寄与の著しい技術であること。

#### ②従来技術の延長線上にない、開発リスクの高い技術

実用化されていない新材料や新原理の導入など、従来技術の延長線上にない、非連続型の発展が必要な技術であり、実用化まで長期間を要し、開発に伴うリスクが高い技術であること。

#### ③我が国が強みを持つ技術

影響力のある論文や重要特許の件数、関連する市場におけるシェア等か

ら、我が国が国際的に優位にあると判断される技術であること。

### 3. 未来開拓研究プロジェクトの円滑かつ効果的な実施に関し必要な事項

#### (1) 未来開拓研究プロジェクトの概要及び所管部局長

2. に定める要件を満たし、未来開拓研究プロジェクト実施要綱第五条第一項の規定により指定された未来開拓研究プロジェクトについて、その必要性・事業内容、2. の要件への適合、目的・目標等の事業概要及び所管部局長を別添1において整理するものとする。

#### (2) 未来開拓研究プロジェクトの推進体制等

未来開拓研究プロジェクトの成果の事業化を促進するための取組に関する事項その他未来開拓研究プロジェクトの円滑かつ効果的な実施に関し必要な事項について、以下のとおり定める。

##### ① 推進体制の構築

研究開発のみならず、その後の事業化においても十分な成果を上げるため、それぞれの役割が明確で、研究開発及び事業化の段階において優れた技術、知見を有する相互補完的な関係にある企業（中小企業、ベンチャー企業を含む。）、大学、公的研究機関等から構成される事業推進体制（以下「推進体制」という。）を構築し、研究開発段階から事業化を志向して推進することとする。

なお、推進体制の構築に当たっては、国内外の技術及び市場の動向を調査した上で、国外の大学や企業の参画の是非を検討することとする。

##### ② 関連独立行政法人の協力

研究開発及び事業化の促進に当たって、関連する分野において所管する独立行政法人の知見・ノウハウ等を活用することが必要である場合には、実施計画に当該独立行政法人の役割を位置付け、協力を求めるものとする。

##### ③ 他省庁の施策との連携体制の構築

###### ア. 文部科学省等との連携

未来開拓研究プロジェクトに関連した文部科学省等が実施する基礎的研究との連携を密にし、研究開発の効率的推進や事業化の加速を実現するため、原則として、未来開拓研究プロジェクトと当該基礎的研究の参加者間で、研究課題の決定、成果の共有・取扱、設備の共用及

び研究人材交流の促進等について連携する体制を構築する。

イ. 他の事業所管省庁との連携

必要に応じて、未来開拓研究プロジェクトの成果の活用に関連した事業及び規制を所管する省庁との連携を密にし、研究開発の効率的推進や事業化の加速を実現するため、研究開発関連の調整及び共有のほか、規制緩和、導入促進等の関連施策を講じる連携体制を構築するものとする。

④研究開発及び事業化に必要な知的財産の取扱い等

推進体制の効果的な運用のため、別添2に掲げる基本的考え方に従って研究開発及び事業化に必要な知的財産管理の規定等の整備を求めることとする。また、参加する大学に、研究人材の流動化や実践的な人材育成への取組を促すこととする。

⑤その他事業化促進の取組

開発された成果を我が国の産業競争力強化につなげるため、事業者だけでなく、潜在的なユーザー等の意見を聴いて、標準化戦略や成果の市場への受容を促すための安全・性能証明の方策を含む事業化戦略を策定する。また、途中段階で得られた成果は他の施策と連携しつつ、事業化を図る。

4. その他、未来開拓研究プロジェクトの実施に関する重要事項

未来開拓研究プロジェクトを継続的に実施するため、予算、組織、制度等に関する必要な措置を行うよう努めるものとする。

関連技術や市場の動向を随時把握し、最新の技術や知見を事業に取り込むように努めることとする。

定期的に評価を実施し、研究開発の内容及び事業化の戦略等について適切な見直しを行う。



## 未来開拓研究プロジェクト

## 1. 高効率モーター

## (1) 事業の必要性・事業内容

現在、電力の過半はモーターが消費している。また、家電や産業機械向けに加えて、自動車の電動化（HEV、EV、FCV）に伴ってモーターの需要の拡大が予想されている。モーターはその消費電力の2割を損失しており、中長期的なエネルギー需給戦略において、モーターの省エネは最重要課題の一つである。モーターの性能は磁石に依存しており、省エネに当たっては、高性能な磁石の開発が鍵となる。

現行で最強であるネオジム磁石は日本で発明されたものであり、我が国は磁石技術で世界をリードしてきた。特に自動車駆動用モーターに使用される高性能磁石に至っては、日本の3企業のみが生産している。一方、ネオジム磁石の性能が理論限界に接近し、米国における基本特許が期限を迎えることから、我が国の優位性が低下する恐れがある。

また、高性能磁石の原材料には、現在、中国がほぼ供給を独占しているレアアース（ネオジム、ジスプロシウム等）が大量に必要とされ、特定国の原料の生産動向に影響される可能性があることから、レアアースの安定確保に取り組むとともに、レアアースに依存しない体制の構築が急務となっている。

そのため、レアアースに依存しない革新的な高性能磁石を開発し、磁石産業の競争力を維持・強化することで、次世代自動車や家電、産業機械の心臓部であるモーターの競争力を確保し、我が国産業全体を活性化に寄与することを目指す。

## (2) 要件への適合

- ①我が国経済社会への大きなインパクト
  - ・電力消費の過半を占めるモーターに関する省エネ
  - ・中国が掌握するレアアースからの脱却
- ②従来技術の延長線上にない、開発リスクの高さ
  - ・レアアースフリーかつ現行磁石の理論限界を超える高性能磁石の開発
- ③我が国の強み
  - ・現行最強であるネオジム磁石を我が国が発明

・高性能磁石及び高効率モーター設計技術は日本が世界をリード

(3) 事業の目的・目標

現在のレアアース添加型磁石の2倍の磁力を持ちながら、レアアースを使用しない革新的な高性能磁石を開発する。また、内部エネルギー損失（鉄損）を半減するための高効率軟磁性体（鉄芯）を開発する。モーター全体の設計見直しを行い、システム全体としてのエネルギー損失を1/4削減する。

(4) 事業期間

平成24年度から平成33年度

(5) 事業規模

200億円程度を想定（平成24年度から3年の国庫債務負担行為を確保）

※中間評価等の結果を勘案し、事業規模は必要に応じて見直す。

(6) 所管部局長

製造産業局長

2. 光エレクトロニクス

(1) 事業の必要性・事業内容

クラウド・コンピューティングの進展によりデータセンタ等における情報処理の大規模化が進み、情報処理量や通信トラフィックが指数関数的に増大しており、今後とも情報量の増加は止まらなると予測されている。現状の技術のままではデータ伝送に係るコストや電力消費量は増加することが予測され、2025年には4倍（現在の国内電力消費量全体の4分の1）に膨らむと見込まれている。このため、機器・装置の低コスト化、低消費電力化を可能とする革新的技術の開発を進めていく必要がある。

これまで、情報通信機器は半導体回路の微細化を進めることで、低消費電力化や小型化、高機能化といったニーズに応えてきたが、微細加工技術の限界が見え始めている。この様な状況で一層の低消費電力化や高機能化を実現していくには、微細化以外の技術の高度化を図ることが必要である。光エレクトロニクス実装システム技術開発は、今後、情報処理量の急増に伴って、電力消費量の増大が見込まれている中、情報通信機器の省電力、

高速、小型化を可能とする光配線、光素子を開発し、システム化を行うものであり、低消費電力化や高機能化に対して極めて有効な施策となる。

光技術は半導体分野の主要なグローバル企業が次世代のデータセンタ等の低消費電力化・高性能化技術として有力視しており、米国で大型プロジェクトが進行中である。我が国は青色ダイオードを始めレーザーダイオード等の光半導体ではこれまで世界をリードし、世界市場の6割程度を占めてきた。IT機器、家電機器への光伝送技術の本格的導入に当たっては国家プロジェクトの下で、我が国が強みを有する要素技術を結集して、研究開発を進めることが必要である。それによって、光エレクトロニクスを用いた新たなコンピューティング市場において競争力を獲得し、ひいては半導体産業、回路基板産業や、それらをシステム化したサーバ、ルータ等の情報通信機器産業などの幅広いエレクトロニクス産業の活性化にも資することが出来る。

## (2) 要件への適合

### ①我が国経済社会への大きなインパクト

- ・2025年には電力消費4倍と予想されるIT機器のデータ伝送に関し、現状の1/10の低消費電力化・高速化

### ②従来技術の延長線上にない、開発リスクの高さ

- ・半導体の微細化の限界を超えた省電力、高速、小型化を達成する光配線、光素子の開発

### ③我が国の強み

- ・レーザーダイオード等の光半導体は我が国が世界をリード

## (3) 事業の目的・目標

光配線、光素子を開発し、電子機器のデータ伝送に関し、現状の1/10の低消費電力化・高速化と通信速度あたりの面積比で約1/100以下の小型化・高密度配線を可能とする光エレクトロニクス実装システム技術を実現し、データセンタレベルでの運用可能性を検証する。これにより、電力消費が急増すると予想される電子機器の消費電力を大幅に（サーバの場合は3割）削減する。

## (4) 事業期間

平成24年度から平成33年度

(5) 事業規模

300億円程度を想定

※中間評価等の結果を勘案し、事業規模は必要に応じて見直す。

(6) 所管部局長

商務情報政策局長

3. 革新的触媒

(1) 事業の必要性・事業内容

我が国の化学産業は、出荷額約40兆円、従業員数約88万人を擁する一大産業であり、高い国際競争力を誇る製品を多数生み出している。とりわけ石油化学部材やケイ素部材は自動車、情報・通信分野等の高度組立産業を中心に必要不可欠な役割を果たしている。

一方で、同産業は基幹化学品から機能性化学品までの様々な製品の原料として化石資源を大量に消費し、二酸化炭素排出量においても産業分野の13%を占める。地球温暖化が懸念され、輸入に頼る石油の価格上昇や枯渇リスクに直面する中、化学品製造の革新的イノベーションの実現により、こうした課題を乗り越えていくことが急務となっている。石油資源からの脱却や低炭素社会の実現のためのキーテクノロジーである触媒技術は、ノーベル化学賞を受賞した野依良治、鈴木章、根岸英一教授らを擁する我が国が世界トップレベルの技術を有する。

そのため、二酸化炭素と水を原料に太陽エネルギーでプラスチック原料等基幹化学品を製造する革新的触媒や、砂から有機ケイ素原料を直接合成し、同原料から高機能有機ケイ素部材を製造する革新的触媒等の技術開発を行い、我が国が有する技術の国際的優位性を確保しながら、資源問題、環境問題を同時に解決することを目指す。

(2) 要件への適合

①我が国経済社会への大きなインパクト

- ・石油に依存しない化学品製造プロセスの構築

②従来技術の延長線上にない、開発リスクの高さ

- ・二酸化炭素と水を原料に太陽エネルギーでプラスチック原料等の基幹化学品等を製造する触媒の開発

③我が国の強み

- ・キーテクノロジーとなる触媒技術において、我が国は多数のノーベル化



学賞受賞者を輩出するなど、世界をリード

(3) 事業の目的・目標

二酸化炭素と水を原料に太陽エネルギーでプラスチック原料等基幹化学品を製造する革新的技術を確立するため、太陽エネルギーにより水から水素を製造する光触媒のエネルギー変換効率の30倍以上の飛躍的向上等を図り、2030年に既存のオレフィン製造量の20%を代替し、オレフィン原料であるナフサを17%削減する。また、金属ケイ素を経ない砂からの有機ケイ素原料や高機能有機ケイ素部材を製造する革新的技術を確立するため、ケイ素に適用可能な触媒の開発及びその反応率の向上等を図り、有機ケイ素部材の高性能化や製造プロセスの省エネ化（低コスト化）により、更なる市場拡大を実現する。

(4) 事業期間

平成24年度から平成33年度

(5) 事業規模

170億円程度を想定（平成24年度から3年の国庫債務負担行為を確保）

※中間評価等の結果を勘案し、事業規模は必要に応じて見直す。

(6) 所管部局長

製造産業局長



## 未来開拓研究プロジェクトにおける知的財産等の取扱いに関する基本的考え方

- 未来開拓研究プロジェクトにおいては、参加者間のシナジー効果の発揮等によるプロジェクトの目的(研究開発の成功と成果の事業化による国益の実現)達成を確実にするため、知的財産について適切な管理を行う。
- 具体的には、プロジェクトで発生する知的財産が、原則として参加者に帰属することを前提に、以下のような問題を防止する観点から、プロジェクトごとの事情に応じて、適切な措置を講ずる。

- 参加者の所有する知的財産権(フォアグラウンド、バックグラウンド)がプロジェクトの推進の障害になること
- 参加者 A と B の協力(A から B への知的財産権の実施許諾や材料提供等)による事業化を想定していたところ、A からプロジェクト外の X(B の競合相手等)に対して、より有利な条件で実施許諾や材料提供がなされてしまい、プロジェクトの目的が達せられなくなること
- A から B への知的財産権の実施許諾や材料提供等が何らかの事情(例:A の X による買収、A のプロジェクトからの脱退 等)で滞り、プロジェクトの目的が達せられなくなること
- 大学等と企業の共有特許に係る不実施補償等を巡る協議が難航し、産学連携や事業化に支障が生じること

- 経済産業省は、プロジェクトごとの事情に応じて、これらの問題を防止するために必要な措置を、経済産業省と事業推進体制間の契約や事業推進体制内の規約等の形で具体化し、適切な管理を実現する。
- なお、未来開拓研究プロジェクトにおいては、プロジェクトの発明に基づく知的財産権の出願費用は、原則として参加者の自己負担とするが、必要に応じ、事業推進体制内の審査を経て、予算の範囲内で、プロジェクト予算で負担することができることとする。

## **(C) 超低消費電力型光エレクトロニクス実装システム技術開発事前評価報告書、総合科学技術会議が実施する国家的に重要な研究開発の評価結果**

次ページ以降に2011年度（平成23年度）に、産業構造審議会産業技術分科会評価小委員会にて実施された本プロジェクトの実施に係る事前評価書、および、総合科学技術会議が実施する国家的に重要な研究開発の評価「超低消費電力型光エレクトロニクス実装システム技術開発」の評価結果を示す。この結果に基づき、事業の効率的かつ効果的な実施を行っている。

超低消費電力型光エレクトロニクス  
実装システム技術開発事業  
事前評価報告書

平成23年7月  
産業構造審議会産業技術分科会  
評価小委員会

## はじめに

研究開発の評価は、研究開発活動の効率化・活性化、優れた成果の獲得や社会・経済への還元等を図るとともに、国民に対して説明責任を果たすために、極めて重要な活動であり、このため、経済産業省では、「国の研究開発評価に関する大綱的指針」（平成20年10月31日、内閣総理大臣決定）等に沿った適切な評価を実施すべく「経済産業省技術評価指針」（平成21年3月31日改正）を定め、これに基づいて研究開発の評価を実施している。

今回の評価は、「超低消費電力型光エレクトロニクス実装システム技術開発事業」の事前評価であるが、本事業は、現在、新しい国家プロジェクトのあり方として議論している非連続型研究開発事業の一つとして検討していることから、この視点から評価を行うことが必要と考え、産業構造審議会産業技術分科会評価小委員会に付議することとした。

なお、当該研究開発事業は、昨年事前評価を実施した「超低消費電力型光電子ハイブリッド回路技術開発事業」の名称を「超低消費電力型光エレクトロニクス実装システム技術開発事業」へ変更し、来年度から実質的な研究開発をスタートさせるものであり、技術開発内容等に大きな変更がないことから、この度の事前評価では、第1章技術に関する施策及び新規研究開発事業の概要及び第2章評価コメントは、昨年事前評価した「超低消費電力型光電子ハイブリッド回路技術開発事業」のものを掲載している。

今般、当該研究開発事業に係る検討結果が事前評価報告書の原案として産業構造審議会産業技術分科会評価小委員会（小委員長：平澤 冷 東京大学名誉教授）に付議され、内容を審議し、了承された。

本書は、これらの評価結果を取りまとめたものである。

平成23年7月

産業構造審議会産業技術分科会評価小委員会

産業構造審議会産業技術分科会評価小委員会  
委員名簿

委員長	平澤 冷	東京大学名誉教授
	池村 淑道	長浜バイオ大学バイオサイエンス研究科研究科長 バイオサイエンス学部学部長 コンピュータバイオサイエンス学科 教授
	大島 まり	東京大学大学院情報学環教授 東京大学生産技術研究所教授
	太田 健一郎	横浜国立大学特任教授
	菊池 純一	青山学院大学法学部長・大学院法学研究科長
	小林 直人	早稲田大学研究戦略センター教授
	鈴木 潤	政策研究大学院大学教授
	中小路 久美代	株式会社SRA先端技術研究所所長
	森 俊介	東京理科大学理工学部経営工学科教授
	吉本 陽子	三菱UFJリサーチ&コンサルティング株式会社 経済・社会政策部主席研究員

(委員敬称略、五十音順)

事務局：経済産業省産業技術環境局技術評価室



「情報政策関連事業」に係る事前評価検討会  
委員名簿

座長 藤村 修三 東京工業大学 イノベーションマネジメント研究科 教授

加藤 和彦 筑波大学大学院システム情報工学研究科 教授

新 誠一 電気通信機器大学電気通信学部システム工学科 教授

館 暲 慶應義塾大学大学院メディアデザイン研究科 教授

廣瀬 通孝 東京大学情報工学研究科 教授

前口 賢二 (社)半導体産業研究所 所長

望月 洋介 (株)日経BP クリーンテック研究所長

(敬称略、五十音順)

事務局:経済産業省商務情報政策局情報政策課

超低消費電力型光エレクトロニクス実装システム技術開発事業（旧「超低消費電力型光電子ハイブリッド回路技術開発事業」）の評価に係る省内関係者

**【事前評価時】**

商務情報政策局 情報通信機器課長 吉本 豊（事業担当課長）

産業技術環境局 産業技術政策課 技術評価室長 秦 茂則

新規研究開発事業「超低消費電力型光エレクトロニクス実装システム技術開発事業」（旧「超低消費電力型光電子ハイブリッド回路技術開発事業」）に関する事前評価

#### 審議経過

○事前評価検討会（平成22年5月10日）

- ・評価の方法等について
- ・技術に関する施策及び新規研究開発事業の概要並びに創設の妥当性について
- ・評価の進め方について

※会議終了後、メールレビューにて評価報告書（案）の審議

○産業構造審議会産業技術分科会評価小委員会（平成22年7月7日）

- ・事前評価報告書(案)について（個別審議）

○産業構造審議会産業技術分科会評価小委員会（平成23年7月22日）

- ・事前評価報告書(案)について

## 目 次

はじめに

産業構造審議会産業技術分科会評価小委員会 委員名簿

「情報政策関連事業」に係る事前評価検討会委員名簿

「超低消費電力型光エレクトロニクス実装システム技術開発事業」（旧「超低消費電力型光電子ハイブリッド回路技術開発事業」）の評価に係る省内関係者

「超低消費電力型光エレクトロニクス実装システム技術開発事業」（旧「超低消費電力型光電子ハイブリッド回路技術開発事業」）事前評価 審議経過

	ページ
第1章 技術に関する施策及び新規研究開発事業の概要	
1. 技術に関する施策の概要	1
2. 新規研究開発事業の創設における妥当性等について	1
3. 新規研究開発事業を位置付けた技術施策体系図等	3
第2章 評価コメント	4
第3章 評価小委員会のコメント及びコメントに対する対処方針	7

（参考資料1）「超低消費電力型光電子ハイブリッド回路技術開発事業」事前評価に係る評価小委員会委員からのコメント及び対処方針

（参考資料2）超低消費電力型光エレクトロニクス実装システム技術開発事業の概要（PR資料）

## 第1章 技術に関する施策及び新規研究開発事業の概要

### 1. 技術に関する施策の概要

「科学技術で世界をリード」（総理所信）し、環境と経済が両立した持続可能な成長に貢献するべく、グリーンイノベーションを推進する研究開発、国際競争力の強化を実現することが必要。情報通信機器分野においては、我が国の主力産業の一つであり、国際的な技術開発競争が最も激しい分野の一つでもあるIT・エレクトロニクス産業の競争力強化と「グリーンIT」による低消費電力化への貢献を目的に、各種デバイスやネットワーク関連機器等の開発に取り組む。

### 2. 新規研究開発事業の創設における妥当性等について

- プリント基板等の電気配線基板は、情報通信機器、映像機器、携帯機器、ロボット、計測機器、自動車などを始めとして、殆ど全ての民生用／産業用電子機器で広く利用されており、我が国の基幹産業を支える基盤技術である。
- 現在、上記電子機器で扱う情報量は飛躍的に増加しており、今後とも情報量の増加は止まらなると予測されている。この情報量の増加に伴い、電気配線基板には、情報信号の高速化、配線密度の高密度化、小型軽量化、柔軟性等が求められている一方で、省エネ化も達成する必要がある。
- しかしながら、電気配線には本質的に電気抵抗、電気容量、インダクタンスが存在するため、信号の周波数が高くなると消費電力が大きくなる、配線サイズが大きくなる、電磁干渉による雑音が大きくなる等の課題が生じ、上記の要求を満たすことが困難になってきている。
- これまでに、LSIチップ内のグローバル配線を光配線化するための技術開発事業（MIRAIプロジェクト）、LSIモジュール内配線を光配線化するための技術開発事業（フォトリソ・エレクトロニクス融合システム基盤技術開発）、および電気配線基板間（バックプレーン）を光で接続するための技術開発事業（次世代高効率ネットワークデバイス技術開発）等は実施されているが、LSIモジュール間（電気配線基板内）配線の上記課題に対する技術開発が手つかずの状態にあり、早急に着手する必要がある。
- 半導体国際技術ロードマップ（ITRS）によると、早ければ2015年頃にはLSIモジュール間の配線に光配線が必要になると予測されている。その実現のためには、インターフェースの標準化やサプライチェーンの変革も必要になり、民間企業の単独による開発・事業化では不可能である。このような状況を受け、米国では2008年からDARPAの資金による光電子ハイブリッド集積PJであるUNIC-PJが、同じく欧州ではEUのFP7の資金による多数の光電子ハイブリッド集積関係PJ（HELIOS, BOOM, HISTRIC, WADIMOS等）が開始されており、応用範囲の広い本基盤技術分野で日本が遅れをとらないためにも、早急に国の主導による技術開発を開始する必要がある。
- 上記の課題を解決した配線基板を実現するため、高周波信号の接続を高密度・小型・低消費電力で行うことが出来る光配線と、小型・低消費電力で信号処理を行うことができるCMOS-LSIをハイブリッド集積した光電子ハイブリッド回路基板技術開発を、産



学連携により実施する。

- 具体的には、従来のLSIのインターフェース機能および電気プリント基板の配線機能を、シリコンまたは化合物半導体を用いた集積型光インターフェースおよび光配線基板に置き換え、これらをCMOS-LSIおよび電気配線基板とハイブリッド集積することにより、1mW/Gbps以下の低消費電力化・高速化と従来面積比で約1/100以下の小型化・高密度配線化を実現する技術開発を実施する。更に、波長多重技術および光スイッチング技術等を適用することにより、高速・高密度・柔軟・省エネルギーな光配線を実現する。また、究極の省エネ技術である、全光型革新的デバイス（光IC、光LSI）の基盤技術開発も進める。



## 第2章 評価コメント

### 1. 事業の目的・政策的位置付け（新規研究開発事業の創設）の妥当性

光デバイス技術の開発は半導体ロードマップにより比較的短期で実用化が望まれている技術であり、小型・低消費電力機器を実現するためには必須の技術である。またコンピューティングや将来のスマートグリッドに代表される大規模通信網を支える基盤技術として不可避である。中でも本プロジェクトが目的としている光電子ハイブリッド回路技術は光通信システムを構築してゆく上での一つの技術的ボトルネックとなっていることから、産学連携によりこれを解決することの意義は大きい。本事業による要素技術確立、インターフェイス標準化、CMOS-LSIとのハイブリッド集積実証が行われることで一気に企業製品開発へ移行する環境が生まれる期待は大きい。

なお、本プロジェクトの開発技術は激しい国際間での開発競争が予想されることから、わが国産業を国際競争において優位な位置に立たせることができるかどうかモジュールレベルでのコスト・性能比を強く留意した開発が必要であると同時に、プロジェクトの柔軟で慎重な推進が求められる。また、デバイスがどういう新しいシステムを生み、どうエネルギーを削減するかはわかるが、その変化は量的な変化だけでなく、世の中の変化にどう影響するのかを示すことが必要と思われる。

#### 【肯定的意見】

- ・光を利用した本プロジェクトは、産学連携が必須の分野と考える。コンピューティングとしても、社会インフラとしても不可避になる技術であり、ここに国の予算がつくことは妥当だと考える。
- ・目標とする時期に関して、「ITRSに遅れを取らない」と読める文章があるが、ITRSよりも前倒しで実現することを期待する。
- ・光デバイス技術は将来のスマートグリッドに代表される大規模通信網を支える基盤技術の一つである。中でも本プロジェクトが目的としている光電子ハイブリッド回路技術は光通信システムを構築してゆく上での一つの技術的ボトルネックとなっている。従ってこれを解決することの福音は大きい。
- ・LSIモジュール間の光配線は半導体ロードマップにより比較的近場で実用化が急がされている技術であり、小型・低消費電力機器を実現するためには必須の技術です。本事業による要素技術確立、インターフェイス標準化、CMOS-LSIとのハイブリッド集積実証が行われることで一気に企業製品開発へ移行する環境が生まれる期待は大きい。

#### 【問題点・改善すべき点】

- ・10年前にも同様の事業提案があったように記憶している。技術は進展し、社会情勢も変わってきている。過去からの経緯を含めて、ロードマップが欲しい。
- ・他の事業に比べ、国が開発すべき論点が、希薄である。そこを明確にすべきである。
- ・デバイスがどういう新しいシステムを生み、どうエネルギーを削減するかはわかる。しかし、その変化は量的である。もっと質的な変化につながるアイデアをデバイスとシステムの連携で作れないものか。
- ・しかし一方で、上記肯定的意見での記述内容は激しい国際間での開発競争が予想されることを意味する。すなわち、本プロジェクトがわが国産業を国際競争において優位な位置に立たせることができるかどうかは微妙である。もちろん開発に遅れを取り追従す

る側に回った場合でも、基礎的な知識を有しているかどうかでその追従速度は変わってくる。従って、国際競争の激しさは本プロジェクトの重要性を低下させるものではないが、プロジェクトの柔軟で慎重な推進が通常の研究・開発プロジェクトよりも求められる。

・実用化に向けた大きな課題はコストと思います。モジュールレベルでのコスト・性能比を強く留意した開発を望みます。

## 2. 今後の新規研究開発事業の実施に向けての提言

息の長い開発が必要なことは分かるが、戦略性や将来見通しを技術者目線ではなく、国民目線で説明できるかが重要である。また目的と光電子ハイブリッド回路技術の進捗状況だけでなく、関連する他の技術の発展状況を踏まえて随時研究・開発方針を柔軟に適正化するための研究戦略組織の併設が必要と思われる。

### 【各委員の提言】

- ・この課題に限らず提案されている技術は重要だけど目新しさが無い。息の長い開発が必要なことは分かるが、それだけに歴史も含めて戦略性や将来見通しが必要。昨年と今年は何が違うかを技術者目線ではなく、国民目線で説明できるかが重要。
- ・目的と電子ハイブリッド回路技術の進捗状況だけでなく、関連する他の技術の発展状況を踏まえて、随時研究・開発方針を柔軟に適正化するための研究戦略組織の併設が必要と思われる。
- ・アプリケーションにより求められる性能、コストが異なると思います。今後の議論の中で明確にして欲しい。



### 第3章 評価小委員会のコメント及びコメントに対する対処方針

本研究開発事業に対する評価小委員会のコメント及びコメントに対する推進課の対象方針は、以下のとおり。

#### 【超低消費電力型光エレクトロニクス実装システム技術開発事業】

##### コメント①

非連続型研究開発として国が長期・段階的に実施する必要性等をより明確にするとともに、当面する技術的な進捗度の評価や、その実用化に伴う新しい課題の探索・解決などの学習型の仕組み作りを試みる等、プログラム設計とその運用に配慮しながら進めていただきたい。

##### 対処方針①

平成23年度に光エレクトロニクス実装技術に関する先導研究の結果等を踏まえ、平成24年度以降本事業において国が長期・段階的に実施する必要性等をより明確にするとともに、技術的な進捗度の評価や、その実用化に伴う新しい課題の探索・解決などの学習型の仕組み作りを試みる等、適切に執行を進めて行く。

「超低消費電力型光電子ハイブリッド回路技術開発事業」事前評価に係る  
評価小委員会委員からのコメント及び対処方針

コメント	対処方針
<p>○本事業については、光素子・全光通信に既に取り組んでいる通総研のプログラムとの連携が必要。省庁間の共管プログラムにしてはどうか。</p> <p>○我が国の光電子ハイブリッド回路技術は、欧米等に比べて遅れており、実用化に向けた明確なロードマップを作成し、早急に取り組むことを期待。</p>	<p>○本プロジェクトはボード内・機器内・データセンタ内の省エネを目指すものであり、総務省及び情報通信研究機構の光ネットワークの研究開発とは、オール光用機器・システム実現を見据えて研究成果を共有するなど連携を行う方針である。</p> <p>○欧米等に対して優位に立てるように、高い競争力を有する日本の中核企業が結集して行う。その際、優先的に行う技術開発課題の抽出、先行開発を視野に入れたロードマップの策定を行う方針である。</p>

超低消費電力型光エレクトロニクス実装システム技術開発

商務情報政策局 情報通信機器課  
03-3501-6944

事業の内容

事業の概要・目的

○クラウド・コンピューティングの進展によりデータセンターの情報処理の大規模化が進み、情報処理量や通信トラフィックの指数関数的増大に直面しています。光電子ハイブリッド回路技術開発は、省電力、高速で小さな光接続により様々なLSIを高集積することを可能とすることから、高い情報処理能力を有するサーバ等のIT機器の大幅な消費電力低減が見込まれます。

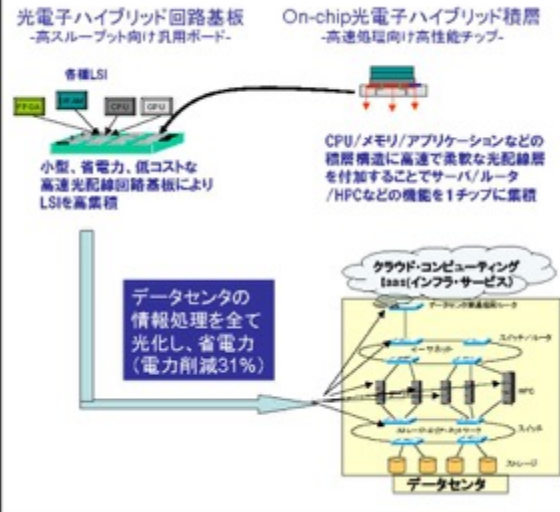
○データセンターを構成するルータ、サーバ等のIT機器内におけるLSI内間の配線とインターフェイスを、電子回路と光回路をハイブリッド集積した光電子ハイブリッド回路技術の研究開発により小型、省電力、低コスト化し、データセンターの情報処理量の増加による課題を解決します。

条件（対象者、対象行為、補助率等）



事業イメージ

○光電子ハイブリッド回路をルータ、サーバ等の全てのIT機器に搭載し、情報処理量の増加に対応し省電力化を実現します。



総合科学技術会議が実施する  
国家的に重要な研究開発の評価

「超低消費電力型光エレクトロニクス  
実装システム技術開発」  
の評価結果

平成 23 年 12 月 15 日

総合科学技術会議

## 目次

1. はじめに.....	1
2. 評価の実施方法 .....	2
2.1. 評価対象の概要.....	2
2.2. 評価目的.....	2
2.3. 評価方法.....	3
3. 評価結果 .....	6

参考1 評価専門調査会 名簿

参考2 評価検討会 名簿

参考3 審議経過

参考4 第1回検討会 経済産業省提出資料【省略】

参考5 第2回検討会 経済産業省提出資料【省略】



## 1. はじめに

総合科学技術会議は、大規模な研究開発その他の国家的に重要な研究開発について、国の科学技術政策を総合的かつ計画的に推進する観点から、自ら評価を行うこととされている(内閣府設置法第26条)。

このため、総合科学技術会議では、新たに実施が予定される国費総額が約300億円以上の研究開発について評価を行い、その結果を公開するとともに、評価結果を推進体制の改善や予算配分に反映させることとしている。評価にあたっては、あらかじめ評価専門調査会が、必要に応じて専門家・有識者の参加を得て、府省における評価の結果も参考に調査・検討を行い、総合科学技術会議はその報告を受けて結果のとりまとめを行うこととしている。

「超低消費電力型光エレクトロニクス実装システム技術開発」は、平成24年度予算概算要求において、経済産業省が新たに実施することとした事業であり、平成24年から平成33年までの10年間の国費総額約291億円を見込む大規模研究開発である。総合科学技術会議では、評価専門調査会に当該研究開発に関係する分野の専門家・有識者を交えて調査・検討を行った。その結果を踏まえて評価を行い、その結果をここにとりまとめた。

総合科学技術会議は、本評価結果を関係大臣に通知し、実施計画や推進体制の改善、予算配分への反映を求めるとともに、評価専門調査会において、その実施状況をフォローアップすることとする。

## 2. 評価の実施方法

### 2.1. 評価対象の概要

○名称：『超低消費電力型光エレクトロニクス実装システム技術開発』

○実施府省：経済産業省

○実施期間及び予算額：

平成 24 年度から平成 33 年度まで。

国費総額約 291 億円。

平成 24 年度予算概算要求額約 60 億円。

○事業内容：

光配線(高屈折率、低減衰率の微細な光導波路)や光素子(小型で低損失な光変調器、受光器等)の開発を行い、光エレクトロニクス(エレクトロニクスとフォトニクスの融合)実装システム技術を実現することにより、今後、電力消費が急増すると予想されるサーバ等の電子機器の消費電力を大幅に削減する。

### 2.2. 評価目的

総合科学技術会議は、国の科学技術政策を総合的かつ計画的に推進する観点から実施し、評価結果を関係大臣に通知して、当該研究開発の効果的・効率的な遂行を促進することを目的に評価を実施する。

## 2.3. 評価方法

### (1) 評価検討会の設置

評価に必要な調査・検討を行うため、評価専門調査会[参考 1]の有識者議員1名、専門委員3名に、外部より当該分野の専門家・有識者3名の参加を得て、評価検討会を設置した[参考 2]。

当該分野の専門家、有識者の選任においては、評価専門調査会会長がその任に当たった。

### (2) 評価時期

評価結果を推進体制の改善や予算配分に反映させる必要があるため、予算概算要求提出後、10月より調査・検討を開始し、年内に評価結論を得ることとした[参考 3]。

### (3) 調査・検討方法

#### ア. 過程

- ・ 第1回評価検討会において、経済産業省の担当室長他から研究開発等の内容について説明を受け[参考 4]、質疑を行い、イ. の調査・検討項目を念頭に問題点や論点候補について議論した。その後、この議論と評価検討会委員から提出された追加質問に基づく追加説明依頼項目について、経済産業省へ対応を依頼した。また、評価検討会委員からの評価コメントを踏まえ、論点を整理した。
- ・ 第2回評価検討会において、追加説明依頼項目について経済産業省から説明を受け[参考 5]、質疑を行い、問題点や論点を議論した。
- ・ 第1回、第2回評価検討会での調査・検討内容及び、評価検討会委員からの評価コメントを踏まえ、評価結果原案(評価に

に係る調査・検討結果)を作成した。

- ・ 評価専門調査会において、評価結果原案(評価に係る調査・検討結果)を検討し、評価結果案をとりまとめ、総合科学技術会議において審議の上、決定した。

## イ. 調査・検討項目

評価検討会においては、(1)の依頼項目について経済産業省から説明を受け、(2)の調査検討項目に係る基本的な項目に加え、評価対象事案に応じた評価の視点を明示し、調査・検討を実施した。

### (1)依頼項目

- ①名称
- ②実施期間、全体事業費(うち国費)、平成24年度予算概算要求額
- ③目的(背景、意義、効果など)
- ④科学技術基本計画における位置付け等
- ⑤実施内容と目標(具体的な実施内容と達成目標、期待する成果など)
- ⑥年次計画(具体的な実施内容、事業費とその用途別内訳など)
- ⑦実施体制
- ⑧推進体制(役割、権限、責任など)
- ⑨研究開発評価(評価者、実施目的、実施時期、事前評価の結果など)
- ⑩関係施策・事業との関係



## (2)調査・検討に係る基本的な項目

### A. 科学技術上の意義

科学技術上の目的・意義・効果等。

### B. 社会・経済上の意義

社会・経済上の目的・意義・効果等。

### C. 国際関係上の意義

国際貢献・役割分担、国益上の意義・効果等。

### D. 計画の妥当性

目標・期間・予算・体制・人材や安全・環境面等からの妥当性。

### E. 運営等

事前評価の実施状況、評価結果の反映の仕組等。

## ウ. その他

評価検討会は非公開としたが、資料は公表に適さないとされた部分を除き検討会終了後に公表。また、議事概要については発言者による内容確認後に非公表情報、発言者の氏名を除き公表。



### 3. 評価結果

#### (1) 総合評価

「超低消費電力型光エレクトロニクス実装システム技術開発」は、電子回路と光回路をハイブリッド集積した光電子ハイブリッド回路技術を開発することにより、データセンターを構成するルータ、サーバ等の IT 機器内における LSI 間の配線とインターフェースの小型化、省電力化、低コスト化を実現するものである。

本事業は経済産業省が実施する事業であり、実施期間は平成 24 年度から平成 33 年度までである。

今後、クラウド化、データ処理の高度化が進んで行く上で、データセンターをはじめとする情報処理インフラの電力消費量は急速に増加していくと考えられる一方で、地球的規模の課題である温室効果ガス削減への取組みや、今回の東日本大震災を受けての電力消費量の削減が強く求められている。

このような状況下、IT 機器内の電気配線を光化することで、低消費電力で付加価値の高い情報処理システムを社会に提供することを目指している本事業の対象とする技術開発の必要性は高い。

また、IT 機器間の光通信技術が広く普及した現在、光信号のままプリント基板上および LSI に信号伝送する技術が強く求められている。本事業で実施される技術開発は、低消費電力化のみならず、電子回路のプリント基板上に光を導入することのメリットである高速化、小型化・高密度化、低コスト化、回路複雑性の低減、信号伝送信頼性向上等に大きく寄与し、従来のエレクトロニクス技術の延長では達成できない、より高速化・高信頼化した情報処理システムの実現が期待されるため、本事業によって開発される技術の有効性は高い。

本技術が社会に実装されるためには、従来のエレクトロニクスと同程度の低コストかつ信頼性の高い光電気変換素子や光配線との接続の実現、プリント基板上に光導波路を形成する技術、光と電気が融合したシステムとしての安定性・信頼性の確保、大口径ウェハ上に作製された光配線を搭載したインターポーザの信頼性評価という今までにない評価技術開発などのブレークスルーが求められてい

ることから、難易度の高い技術開発の必要があり、研究開発のリスクは高い。また、求められている技術開発要素が広範囲であることから、多くの企業間の連携や要素技術の連携・統合が必要であり、光エレクトロニクス分野で世界をリードし、日本の国際競争力を維持するために、国が主導して取り組む必要がある。

以上のことから、本事業は、実施の意義や必要性が高く、国として取り組むべきものと判断される。

なお、本事業の実施に当たっては、以下の指摘事項を踏まえた対応を求めるものである。

## (2) 指摘事項

### ①光エレクトロニクス実装システム全体の目標及びマイルストーンの明確化と計画の柔軟な見直しについて

本事業は、長期に及ぶプロジェクトであることから、国際競争の観点に立って、プロジェクト全体としての目標を明確にしつつ、柔軟に計画の見直しを行っていくことが必要である。

個別要素技術に関しては、光インターポーザ大口径ウェハプロセス、LSI インターフェイス設計、シリコンフォトニクスインターポーザ、光エレクトロニクス実装システムの低消費電力化・小型化について定量的な目標が設定されており、その見直しを行うことも計画に織り込まれているが、それら個別要素技術を統合して実現する、製品イメージを基にした最終目標とその中間目標に関しては、現段階では示されていない。

このため、製品イメージに基づく最終目標を設定するとともに、中間目標(マイルストーン)についても定量化できるものにしておく必要がある。

また、特に、成熟した電子回路のプリント基板にこの新技術が導入されるためには、光導入による低消費電力化や高速化などのメリットを生かすシステムのアーキテクチャを設計し、その設計に基づいて関連技術の目標を設定することが重要である。現段階では、光



源技術や素子実装技術などの具体的目標が示されていないので、それらを明確にする必要がある。

さらに、開発した技術が実用化されるためには、コストの低減も重要であるが、現段階では具体的な目標は示されていない。このため、コストについての目標を明示していく必要がある。

設定した目標や達成時期については、国際的な技術開発の進展状況との比較を基に必要な見直しを行いつつ、プロジェクトを推進する必要がある。

## ②プロジェクトの効果的・効率的な推進体制及び実施体制の構築について

技術研究組合等をプロジェクトの実施主体とし、プロジェクトリーダーを責任者として権限を集中して事業化までの推進を図っていく体制は適切であるが、プロジェクト途中での評価結果に基づく目標・運営体制等の見直しについての具体的な手順は現段階で示されていない。

このため、経済産業省内の責任体制と併せて、評価体制と評価方法、評価結果を計画の見直し等につなげる手順等についても全体の事業計画の中で明確に位置付けるとともに、技術研究組合等の構成メンバーとなる研究開発実施主体を募集する際の公募要領等にも明示する必要がある。

また、研究開発を実施していく上で、光エレクトロニクス実装システムについて、これまでにない新しいシステムとして、社会に実装していくためには、光と電気の融合が鍵となることから、光技術の関係者だけでなく、LSI、コンピュータのハードウェア・ソフトウェア、コンピュータアーキテクチャー、ネットワークなど異分野の研究者、技術者が一体となって課題を解決できる体制を構築することが重要である。併せて、主要な適用先であるデータセンター開発の実施主体とも密接な連携を取りながら、効率よくプロジェクトを進める体制を構築することも必要である。

このため、研究開発実施主体が応募する際の要件に含める等により、これらの研究開発の実施体制を構築することが必要である。

### ③研究開発成果を産業化、社会実装に結びつけるための出口戦略について

最終的なメインターゲットとしては、省電力化と高速化、小型化による効果が非常に大きいと考えられるサーバとスパコンを、CPU やメモリのLSIチップのI/O部分の消費電力を1/10にすることにより、サーバにおいては現行比で、約3割程度の省電力化を実現することを目標としている。この目標達成に向けて、電子回路だけで実現する競合技術や海外プロジェクトの動向を踏まえ、光技術の導入による高機能化を、電子回路とコストパフォーマンスで勝負できるような形で、実用化していく必要がある。

また、本技術の本質的な競争力を担保するために、海外企業が簡単に真似ることができない技術要素やノウハウを適切な形で閉じ込めるブラックボックス化と、開発技術や製品を企業が利用し易い形で提供するオープン化を戦略的に融合させて推進することが必要である。

本事業に関し、経済産業省は、産業政策として、設備投資に対する補助金サポート、企業の再編や分社化等を支援するツールを考えているとしており、国内のデータセンターへの積極的な導入については種々検討がなされている。しかしながら、世界市場で優位に立つためには、低消費電力と低価格で製品を提供することにとどまるのではなく、単純な価格競争に陥らないように製品の付加価値を高めるなど戦略的な対応を検討する必要がある。

また、長期的な市場戦略という観点に立てば、データセンターの海外立地が進む可能性もあることから、本施策の目標が達成される2021年におけるデータセンターの国内外の立地動向についての展望を持ちながら研究開発を推進することが重要である。

### ④知的財産権及び国際標準への戦略的対応について

知的財産権を技術研究組合等で一括管理する方向は適切であるが、価値ある知的財産を生み出し、かつそれらを有効に活用する、

知的財産の具体的な管理運営指針づくりについて、技術研究組合等に参加する企業などが十分協議・調整しておくことが必要である。

また、本プロジェクトで技術開発する成果を世界へ展開していくために、経済産業省は、諸外国での同種の研究開発プロジェクトの現状を分析し、今後の研究開発の進展状況を踏まえ、国際標準化に向けてオープンに連携すべきところとブラックボックスとして競争すべきところを組み合わせ、戦略的に推進することが必要である。



## 《参考資料》

- (参考 1) 評価専門調査会 名簿
- (参考 2) 評価検討会 名簿
- (参考 3) 審議経過
- (参考 4) 第 1 回評価検討会 経済産業省提出資料【省略】
- (参考 5) 第 2 回評価検討会 経済産業省提出資料【省略】

## 参考 1 評価専門調査会 名簿

会長	奥村 直樹	総合科学技術会議	議員
	相澤 益男		同
	本庶 佑		同
	白石 隆		同
	今榮 東洋子		同
	青木 玲子		同
	中鉢 良治		同
	大西 隆		同

## (専門委員)

浅見 泰司	東京大学空間情報科学研究センター長 教授
阿部 啓子	東京大学大学院農学生命科学研究科 特任教授
飯島 貞代	三菱化学株式会社 三菱化学フェロー、ヘルスケア企画室部長
伊藤 恵子	専修大学経済学部准教授
上杉 邦憲	独立行政法人宇宙航空研究開発機構 名誉教授
上野 裕子	三菱UFJリサーチ&コンサルティング 株式会社 主任研究員
尾形 仁士	三菱電機エンジニアリング株式会社相談役
長我部 信行	株式会社日立製作所中央研究所長
河合 誠之	東京工業大学大学院理工学研究科教授
来往 伸子	津田塾大学学芸学部教授
高橋 真理子	朝日新聞編集委員
中馬 宏之	一橋大学イノベーション研究センター教授
中杉 修身	元上智大学教授
中村 崇	東北大学多元物質科学研究所教授
福井 次矢	聖路加国際病院院長
松橋 隆治	東京大学大学院工学系研究科教授
村上 輝康	株式会社野村総合研究所シニア・フェロー

参考 2 評価検討会 名簿

奥村 直樹	総合科学技術会議 議員
座長 村上 輝康	評価専門調査会 専門委員
尾形 仁士	同
中馬 宏之	同
木村 忠正	電気通信大学 名誉教授
小柳 光正	東北大学未来科学技術共同研究センター 教授
長谷川 淳	ルネサスエレクトロニクス技術開発本部 副本部長

### 参考 3 審議経過

- 10月11日 評価専門調査会  
評価検討会の設置、評価時期の確認等
- 10月28日 第1回評価検討会  
経済産業省から事業内容のヒアリング、質疑、論  
点の検討  
⇒追加質問を整理し、経済産業省へ対応を依頼  
⇒委員からの評価コメントに基づき論点を整理
- 11月11日 第2回評価検討会  
追加質問事項に対する追加ヒアリング、評価の骨  
子の検討  
⇒評価に係る調査・検討結果をとりまとめ
- 11月29日 評価専門調査会  
検討会座長から評価に係る調査・検討結果の報  
告、評価結果案の検討  
⇒評価報告書案のとりまとめ
- 12月15日 総合科学技術会議  
評価結果案に基づく審議と評価結果の決定