

「AI チップ開発加速のための
イノベーション推進事業」

事業原簿
【公開版】

| | |
|-----|--|
| 担当部 | 国立研究開発法人 新エネルギー・産業技術総合開発機構 IoT 推進部 |
|-----|--|

—目次—

| | |
|---------------------------------------|------------|
| 概 要 | II |
| プロジェクト用語集 | V |
| 1. 事業の位置付け・必要性について | 1-1 |
| 1. 事業の背景・目的・位置づけ | 1-1 |
| 2. NEDO の関与の必要性・制度への適合性 | 1-4 |
| 2.1 NEDO が関与することの意義 | 1-4 |
| 2.2 実施の効果（費用対効果） | 1-5 |
| 2. 研究開発マネジメントについて | 2-1 |
| 1. 事業の目標 | 2-1 |
| 2. 事業の計画内容 | 2-2 |
| 2.1 研究開発の内容 | 2-2 |
| 2.2 研究開発の実施体制 | 2-7 |
| 2.3 研究開発の運営管理 | 2-9 |
| 2.4 研究開発成果の実用化に向けた マネジメントの妥当性 | 2-10 |
| 3. 情勢変化への対応 | 2-15 |
| 4. 評価に関する事項 | 2-18 |
| 3. 研究開発成果について | 3-1 |
| 1. 事業全体の成果 | 3-1 |
| 2. 研究開発項目毎の成果 | 3-3 |
| 4. 成果の実用化に向けた取組及び見通しについて | 4-1 |
| 1. 本事業（プロジェクト）における実用化の考え方 | 4-1 |
| 2. 実用化に向けた今後の検討及び課題 | 4-1 |
| 3. 実用化による波及効果 | 4-2 |

（添付資料）

- ・基本計画
- ・プロジェクト開始時関連資料（事前評価結果）
- ・学会発表等リスト

概要

| | | 最終更新日 | 2020年9月5日 | | | | |
|------------------------------|--|----------|-----------|--------|--------|--------|-------|
| プロジェクト名 | AI チップ開発加速のためのイノベーション推進事業 | プロジェクト番号 | P18004 | | | | |
| 担当推進部/ PMまたは担当者 | IoT 推進部 遠藤康浩 PM (2018年5月～2019年3月) IoT 推進部 波佐昭則 PM (2019年4月～2020年9月現在) | | | | | | |
| 0. 事業の概要 | <p>IoT 社会の到来で大量のデータを効率的かつ高度に利活用するためには、エッジでの情報処理が不可欠である。エッジにおいて限られた資源を用いて効率的に処理を行う AI チップを開発するためには、AI とチップ設計、ソフトとハード双方に関する知見と技術に加え、高額な設計ツールや設計検証設備等も必要であり、これが AI チップ開発とビジネス化に向けた高いハードルとなっている。</p> <p>本事業では、大学や研究機関等による AI チップ開発のための共通基盤技術の開発を進めるとともに、その知見や設計・検証等の開発環境等を中小企業やベンチャー企業をはじめとする民間企業等に提供することによって、AI チップのアイデアを実用化する開発を加速する。</p> <p>なお、本事業は内閣府「官民研究開発投資拡大プログラム (PRISM)」に登録済である。</p> | | | | | | |
| 1. 事業の位置 付け・必要性について | <p>本事業は、超スマート社会 Society5.0 実現に向けた、第 5 期科学技術基本計画 (平成 28 年度閣議決定)、未来投資戦略 (平成 30 年度閣議決定)、統合イノベーション戦略 (平成 30 年度閣議決定) 世界最先端デジタル国家創造宣言官民データ活用推進基本計画 (令和元年度閣議決定) における基盤技術として挙げられており、科学技術・産業技術政策を実現する事業と位置付けられる。また、従来にない AI チップを実用化するためには開発を支援する拠点機能が必要であり、国際的な開発競争も激しい技術分野で、欧米中では国会的な取組が進行している。さらに、本事業は民間企業単独ではリスクがあり、市場原理のみで技術開発の推進を図ることは困難であるため、本事業で推進する必要がある。</p> | | | | | | |
| 2. 研究開発マネジメントについて | | | | | | | |
| 事業の目標 | 大学や研究機関等による高度な AI チップ開発のための共通基盤技術の開発を進めるとともに、その知見や AI チップの設計・評価・検証等の開発環境を AI チップ設計拠点として整備し、民間企業等に提供、AI チップの開発を加速する。 | | | | | | |
| 事業の計画内容 | 主な実施事項 | 2018fy | 2019fy | 2020fy | 2021fy | 2022fy | |
| | 研究開発項目① AI チップに関するアイデアの実用化に向けた開発 (助成) | | | | | | |
| | 研究開発項目② AI チップ開発を加速する共通基盤技術の開発 (委託) | | | | | | |
| 事業費推移 (単位:百万円) (委託・助成) | 会計・勘定 | 2018fy | 2019fy | 2020fy | 2021fy | 2022fy | 総額 |
| | 一般会計 | 684 | 1,827 | 1,970 | | | 4,481 |
| | 特別会計 (電源・需給の別) | 0 | 0 | 0 | | | 0 |

| | | | | | | | |
|-------------------|---|--|--------------------|--------------------|---|--|-------|
| | 開発成果促進財源 | 0 | 109 | 0 | | | 109 |
| | 総 NEDO 負担額 | 684 | 1,936 | 1,970 | | | 4,590 |
| | (委託) | 631 | 1,658 | 1,502 | — | | 3,791 |
| | (助成) 助成率：2/3 | 53 助成率： 2/3 | 278 助成率： 2/3 | 468 助成率： 2/3 | — | | 799 |
| 開発体制 | 経産省担当原課 | 商務情報政策局 情報産業課 | | | | | |
| | プロジェクト リーダー | 東京大学大学院 情報工学系研究科 教授 中村宏 | | | | | |
| | プロジェクト マネージャー | IoT 推進部 遠藤康浩 (2018 年 5 月～2019 年 3 月) IoT 推進部 波佐昭則 (2019 年 4 月～2020 年 9 月現在) | | | | | |
| | 助成先 | 2018 年度分 (採択 5 件⇒2 年目 3 件) 株式会社テックイデア (2 年目交付) 株式会社レイトロン (2 年目交付) 東北マイクロテック株式会社 (2 年目交付) 株式会社シンコム (1 年目で終了) 株式会社 Trigen Semiconductor (1 年目で終了) 2019 年度 (採択 4 件⇒2 年目 2 件) 株式会社デジタルメディアプロフェッショナル、株式会社カイ (2 年目交付) 株式会社シグリード (2 年目交付) 株式会社ハカルス (事業化前倒しのため 1 年目で終了) 株式会社エイ・オー・テクノロジーズ (1 年目で終了) 2020 年度 (採択 3 件、年度内追加公募予定) 株式会社ネフロック AMI 株式会社 株式会社 AnchorZ | | | | | |
| | 委託先 | 国立研究開発法人 産業技術総合研究所 再委託先 (公財) 福岡県産業・科学技術振興財団 国立大学法人 東京大学 | | | | | |
| 情勢変化への 対応 (委託) | <ul style="list-style-type: none"> 研究開発項目②の事業に関し、内閣府官民研究開発投資拡大プログラム (PRISM) の 1 年目の対象施策に選定されたため、活用内容を技術推進委員会で審議し、本事業に必要な I/O などの機能モジュールや IP コアの導入・整備を前倒して実施した (2018 年 10 月)。 研究開発項目②の事業に関し、拠点利用者の予想以上の増加が見込まれる中、現状の設備能力では利用者数が制限されてしまう可能性が予見されたため、2019 年 10 月に設備増強に向けた加速資金の投入を決定した。 研究開発項目②の事業に関し、助成事業の予算変動による余剰予算が発生したため、2019 年 12 月に事業内資金を流用することを決定し、拠点利用者の AI チップ向け独自 IP の評価が簡単にできるよう実施項目 1-5 の目標を追加した。 | | | | | | |
| 中間評価結果 への対応 | (中間評価実施前のため、記載事項なし) | | | | | | |

| | | |
|--------------------------|---|--|
| 評価に関する事項 | 事前評価 | 2018 年度実施 |
| | 中間評価 | 2020 年度 中間評価実施予定 |
| | 事後評価 | 2023 年度 事後評価実施予定 |
| 3. 研究開発成果について | <p>研究開発項目①AI チップに関するアイデアの実用化に向けた開発（助成事業）</p> <p>中間目標：現状以上の性能を有する AI 向けチップの設計を行い、評価・検証が可能な段階まで到達。設計した AI 向けチップのビジネス化に向けたシナリオを作成。</p> <p>中間目標に対する成果：採択 9 件中、6 件が上記中間目標を達成しステージゲート審査通過。現在、事業化前倒しのため終了した 1 件を除いた 5 件、及び今年度新たに採択した 3 件を加え、合計 8 件実施中。</p> <p>最終目標：AI チップの設計を行い、AI チップの動作を効率化し現状以上の性能を有することをシミュレーション等により検証。検証した AI 向けチップのビジネス化の道筋を立てる。</p> <p>研究開発項目②AI チップ開発を加速する共通基盤技術の開発（委託事業）</p> <p>中間目標：本事業を通じて開発、整備した AI チップ設計のための共通基盤技術、学習環境、設計環境等の活用件数 10 件以上。</p> <p>中間目標に対する成果：本事業を通じて開発、整備した AI チップ設計のための共通基盤技術、学習環境、設計環境等の活用件数 26 件。個別の実施項目の詳細は 3 章に記載。</p> <p>最終目標：本事業を通じて開発、整備した AI チップ設計のための共通基盤技術、学習環境、設計環境等の活用件数 15 件以上。</p> | |
| | 投稿論文（委託） | 0 件 |
| | 特許（委託） | <p>0 件</p> <p>（特記事項）本委託事業においては、特許権の取得より一般に幅広く使える AI チップのための設計技術の開発やそのマニュアル化、ノウハウ等の蓄積に注力している。事業で開発、整備する AI チップ設計手法、リファレンスデザイン、IP ライブラリ、設計クラウド構成、SoC プラットフォーム等については共通基盤技術として公開し、拠点の継続的な運用に必要な箇所（ノウハウの位置付け）については非公開とする。</p> |
| | その他の外部発表（委託、プレス発表等） | <p>プレス発表：1 件</p> <p>・2019 年 10 月：AI チップ開発加速のための「AI チップ設計拠点」が稼働開始—設計・評価ツールの提供により、中小・ベンチャーのチップ開発加速を目指す—（NEDO、産総研、東大） https://www.nedo.go.jp/news/press/AA5_101211.html</p> <p>研究発表・講演：6 件</p> <p>展示会への出展：2 件</p> <p>フォーラム・シンポジウム開催：14 件</p> <p>セミナー開催：3 件</p> |
| 4. 成果の実用化に向けた取組及び見直しについて | <p>本事業で開発した共通基盤技術・資産を継承する自立運営組織(仮称: AIDCx)を設立し、プロジェクト終了後も低コスト・短期間でのチップ開発を可能にする共通基盤の提供を継続させる。見直しに関しては、秘匿情報を含むため非公開。</p> | |
| 5. 基本計画に関する事項 | 作成時期 | 2018 年 3 月 作成 |
| | 変更履歴 | 2020 年 9 月 改定 |

プロジェクト用語集

| 用語 | 説明 |
|-----------------|--|
| AIDCx | 本事業で開発した共通基盤技術・資産を継承する自立運営組織の仮称。 |
| AI チップ | 人工知能（AI）技術により演算処理などを高速化することに特化した半導体チップ。 |
| CNN | 畳み込み型ニューラルネットワーク（Convolutional Neural Network）の略 |
| d.lab | 東京大学大学院工学系研究科付属システムデザイン研究センターの別名称。 |
| DARPA | アメリカ国防高等研究計画局（Defense Advanced Research Projects Agency）の略 |
| EDA | EDA は（Electronic Design Automation）の略で、半導体集積回路などの電気系回路設計を自動化・支援・補助するソフトウェア。 |
| IP | IP は（Intellectual Property）の略で、半導体集積回路を構成する部分的な回路情報。 |
| LSF | 負荷分散機構（Load Sharing Facility）の略。 |
| NoMachine | NX technology 社製品。中間サーバを必要としない設計システムへの接続ソフト。 |
| NoC | Network-on-Chip の略。 |
| RNN | 再帰型ニューラルネットワーク（Recurrent Neural Network）の略。 |
| RTL | レジスタ転送レベル（Register Transfer Level）の略で、論理回路をハードウェア記述言語で記述する際の手法。 |
| SoC | System on a Chip の略で、集積回路の 1 個のチップ上に、プロセッサコアをはじめ一般的なマイクロコントローラが持つような機能のほか、応用目的の機能なども集積し、連携してシステムとして機能するよう設計されているチップ。 |
| TCAD | Technology CAD の略で、プロセスシミュレータとデバイスシミュレータと回路シミュレータを統合したもの。 |
| VDEC | VLSI Design and Education Center（東京大学大規模集積システム設計教育研究センター）の略。現在は d.lab に改組。 |
| 上流設計 | 半導体チップの設計工程の一つで、仕様に基づいて、半導体チップを構成する部品（機能素子）とそのつながりを表す回路データを作成する工程。 |
| 設計フロー | EDA ツールを用いた設計手順。 |
| ツールチェーン | さまざまな種類の EDA ツールの組合せ。 |
| テープアウト | 半導体設計の最終段階の区切りをさし、完成したデータを製造部門に出荷すること。 |
| （ハードウェア）エミュレーター | 集積回路レベルからシステム全体までを高速に検証することができる検証装置。 産総研が、経済産業省「産業技術実用化開発事業費補助金：AI チップ開発加速のための検証環境整備事業」で導入。 |
| 物理設計 | 半導体チップの設計工程の一つで、上流設計で作成された回路データを用いて、半導体ウエハー上に半導体チップとして機能素子や配線などを作りこむためのデータを作成する工程。 |
| ライブラリー | 半導体設計で用いる設計部品データ。 |
| リファレンスデザイン | 完成品の実装例。 |

1. 事業の位置付け・必要性について

1. 事業の背景・目的・位置づけ

IoT、人工知能（AI）、ビッグデータ、ロボット等の技術革新により、これまで実現不可能とされていた社会の実現が可能になりつつある。IoT 技術の進展により、実社会のあらゆる事業・情報がデータ化され、ネットワークを通じた自由なやりとりが可能となりつつある。AI 技術は、その飛躍によって、機械が自ら学習し人間を超える高度な判断をすることも可能にしている。また、ビッグデータ技術によって、集まった大量のデータの分析から新たな価値を生み出すことを可能にしている。ロボット技術は、より多様かつ複雑な作業の自動化を可能にしている。また、これら技術革新の掛け合わせによって、革新的な製品やサービスが生み出されることも期待できる。例えば、無人自動走行車、ものづくり現場における多品種少量生産、個人に最適化された医薬品の提供、介護現場の労働力不足解消、インフラ保安の効率化等の実現が期待され、産業構造や就業構造を劇的に変える可能性を秘めている。

「必要なもの・サービスを、必要な人に、必要な時に、必要なだけ提供し、社会の様々なニーズにきめ細かく対応でき、あらゆる人が質の高いサービスを受けられ、年齢、性別、地域、言語といった様々な違いを乗り越え、生き活きと快適に暮らすことのできる」超スマート社会（Society 5.0）の実現には、上記のような第 4 次産業革命技術やそれらを用いて創造される製品やサービスを次々と社会実装していかなくてはならない。

関連する政策として、次のようなものが打ち出されている。第 5 期科学技術基本計画（平成 28 年 1 月閣議決定）では、「超スマート社会」（Society 5.0）の実現において、構築に必要で速やかな強化を図るのが必要な基盤技術として、安全な情報通信を支える「サイバーセキュリティ技術」、IoT やビッグデータ解析、高度なコミュニケーションを支える「AI 技術」、大規模データの高速・リアルタイム処理を低消費電力で実現するための「デバイス技術」、IoT の高度化に必要となる現場システムでのリアルタイム処理の高速化や多様化を実現する「エッジコンピューティング」等が挙げられている。「科学技術イノベーション総合戦略 2017」（平成 29 年 6 月閣議決定）では、「超スマート社会」（Society 5.0）の実現に向けた重きを置くべき取組として、「サイバー空間関連の基盤技術の強化（エッジコンピューティング等）」や「フィジカル空間関連の基盤技術の強化（超小型・超低消費電力デバイス等）」が挙げられている。「未来投資戦略 2017」（平成 29 年 6 月閣議決定）では、イノベーション・ベンチャーを生み出す好循環システムのための重点投資すべき分野の取組の一つとして、「AI 学習効率の向上、自然言語処理、ディープラーニング翻訳、超高効率 AI 処理に資する半導体及び革新的センサ等の基盤技術開発及びその組み込みシステムへの適用」が挙げられている。

また、経済産業省は、Society 5.0 を実現するための我が国の産業が目指すべき姿（コンセプト）として、「Connected Industries」を提唱した（平成 29 年 3 月）。Connected Industries は、既存産業とデジタル技術の「つながり」をはじめとして、機械、データ、技術、ヒト、組織など様々なものの繋がりによって新たな付加価値の創出や社会課題の解決を目指すものである。経済産業省は、Connected Industries を実現するための事業を強力に推進しており、特に、「自動走行・モビリティサービス」、「バイオ・素材」、「スマートライフ」、「プラント・インフラ保安」、「ものづくり・ロボティクス」を 5 つの重点取組分野としている。

上記の社会課題解決には、大量データの効率的かつ高度な利用を可能とする情報の収集、蓄積、解析、セキュリティなどの技術に加え、AI・次世代コンピューティング技術がエッジやクラウド領域において求められている。中でも、自動走行やロボティクスを始めとする分野では、従来のクラウドコンピューティングからネットワークの末端（エッジ）で中心的な情報処理を行うエッジコンピューティングへの分散が不可欠になると考えられており、エッジにおける処理の重要性や価値が高まると推察されている。特にエッジにおいては限られた資源を用いて効率的に処理を行う必要があるため、性能を飛躍的に向上させられる AI 技術の活用が期待されている。この転換期を日本の IT 産業が大幅に成長するチャンスと見据え、産学官の体制による野心的な技術開発を推進することが重要である。

日本は、コンピューティング分野において、ハードウェアを中心に存在感を発揮してきた。1980 年前後には、日本発の材料、メモリ、アーキテクチャなどの革新的な技術を発明し、ムーア則実現の礎を築いた。

その後、ファウンドリーという業態が新たに誕生し、設計と製造を分離することで複雑化する集積回路の開発に対応する動きが活発化したが、市場変化への対応が遅れたことに伴い、例えば半導体では 1988 年には 50%を超えていたシェアが現在では 10%程度にまで落ち込む等、現在はコンピューティング分野において苦戦している。

分業化が進む集積回路開発分野において、独創的な VLSI（大規模集積回路）システムを発想し、回路構成・基本設計技術を有する技術者集団を育成するため、VLSI の設計教育の高度化と充実を目指し、1996 年に全国の大学などが共同で利用できる施設として VDEC（大規模集積システム設計教育研究センター）が東京大学内に設置された。主に、学術的用途向けとして、集積回路設計に欠かせない設計環境や検査・測定環境を自ら保有し、学生、研究者を中心に解放することで、人材育成に寄与している。また、一般社団法人電子情報技術産業協会の半導体部会役員会が推進した半導体先端技術の民間共同開発プロジェクト「あすかプロジェクト」が 2001 年に開始し、デザインルール hp65 向け技術として SoC

(System-on-a-chip) の開発効率を向上させる 45nm 対応設計技術や 32nm 対応プロセスデバイス技術を開発したが、10 年後の 2010 年に終了している。

日本の情報産業の再興のためには、最先端の設計開発を推進する新たな基盤的な環境や技術を整備、開発することが勝負の鍵となる。

米国では、半導体集積回路の設計作業を自動化し支援するためのソフトウェアやハードウェア及び手法である EDA (Electronic Design Automation) 技術の黎明期から、国が大学の研究活動を中心に支援してきた。現在も、DARPA (Defense Advanced Research Projects Agency) が CRAFT (Circuit Realization at Faster Timescales) プログラムを通して LSI の開発を支援しており、中小企業やベンチャー企業は非常に安価な料金で LSI の設計から試作、評価に取り組むことが出来ている。欧州でも比較的早くから LSI 設計技術が IMEC などの産学連携を通じて強化されてきた。中国でも半導体を基幹産業とするために国内企業の育成に取り組んでおり、国家政策により上海、北京、無錫、成都、大連等を IC 産業育成地域として指定し、国営の IC R&D Center (試作、EDA、テストサービス) を設置している。

ネットワークの末端 (エッジ) で中心的な情報処理を行うエッジコンピューティング技術の重要性や価値が高まる中、日本にはベンチャー企業を中心に AI に関する高度な技術が存在するが、図 1-1 に示すように、競争力のある AI チップを開発するためには、AI とチップの設計、ソフトとハード双方に関する知見と技術に加え、高額な設計ツールや設計検証設備等が必要となっている。

現在でも東京大学を中心として運営される LSI 開発支援拠点 d.lab も存在するが、アカデミックライセンスが主体の学術的用途という制約があり、特にベンチャー企業等が有する革新的アイデア等の開発やビジネス化を加速する、新たな共通基盤が求められている。

本事業では、大学や研究機関等による高度な AI チップ開発のための共通基盤技術の開発を進めるとともに、その知見や AI チップの設計・評価・検証等の開発環境を民間企業等に提供する。

民間企業等においては、AI チップに関するアイデア実用化に向けた研究開発を支援するとともに、AI チップ開発を加速するために整備した設計検証拠点で開発を実施し、AI チップ開発スキームにおける設計、検証をシームレスに実施することで、革新的なアイデアの実現を加速する研究開発を進め、世界における存在感を再び獲得することを目指す。

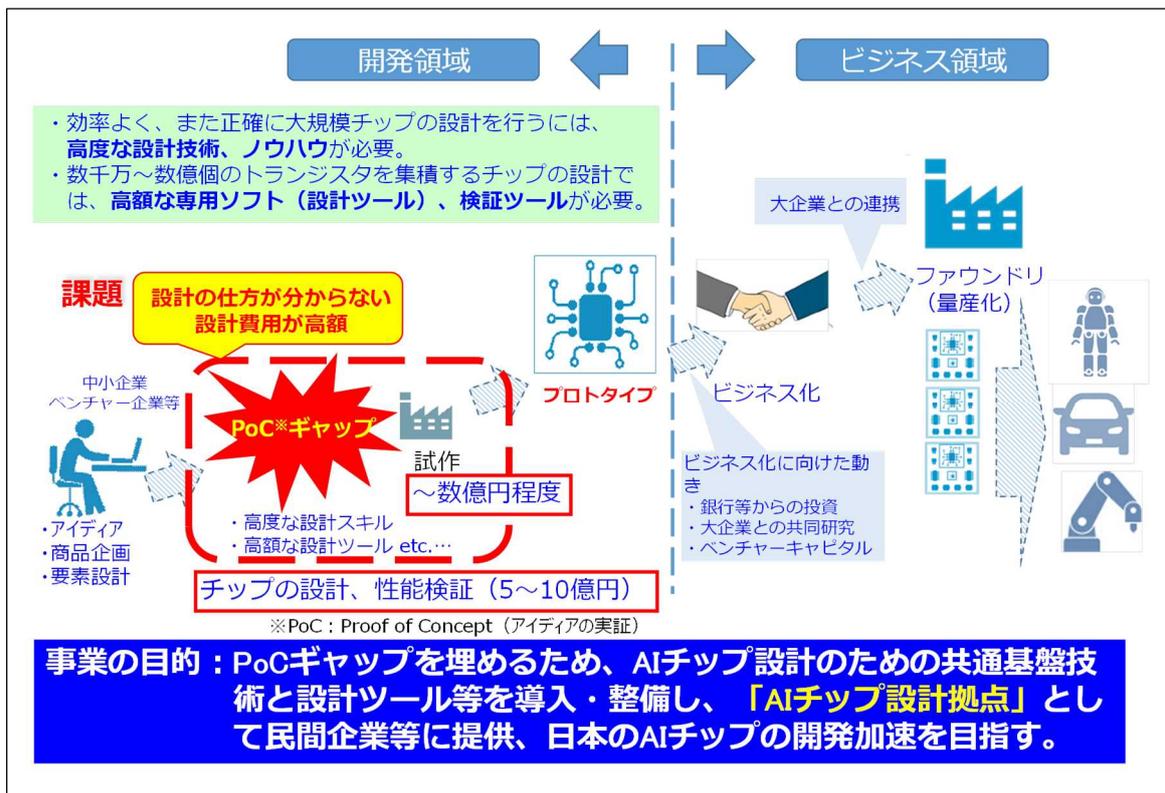


図 1-1 本事業の課題と目的

2. NEDO の関与の必要性・制度への適合性

2.1 NEDO が関与することの意義

日本にはベンチャー企業を中心に AI に関する高度な技術が存在するが、当該 AI をエッジ側で効率的かつ高速に動作させるためには、AI の動作専用設計開発した専用デバイス (AI チップ) が必要となる。しかし、AI チップの開発には高額利用料が必要となる専用の設計ツール (EDA ツール)、検証装置等が必要であるとともに、試作にかかる費用も高額であるため、革新的な構想が企業にあったとしても AI チップの設計開発を行う事が出来ずにいる。

専用の設計ツールを用いなければならない背景には、微細化が進む事での回路設計の高度化に対応する必要があること、EDA ツールを使わなければ設計した回路の性能が保証されないという面がある。そのため、アイデア段階ではビジネス化までの事業化計画が不明確となり、民間資金の獲得も困難となる。これが AI チップビジネスに参入しようとする企業にとって、開発とビジネス化の間を隔てる高いハードルとなっている。

そのため、国が主導してこのハードルを取り除く政策を実施し、画期的なアイデアを用いた AI チップの設計開発を推進するとともに、開発を通じた人材育成はもとより、エッジコンピューティングの実現に貢献し、日本の産業競争力の強化にも繋げる。

2.2 実施の効果（費用対効果）

本プロジェクトの総事業費は2018～2022年度で83.5億円を計画しており、プロジェクトを通じて、2032年のエッジ向けAIチップの世界市場で750億円の市場獲得を目指す。また、現状以上の性能を有するAIチップの実用化率は2023年以降で50%以上を目指す。

目指している市場獲得の数值は、以下から推測した。IRTNTR12711_Global Artificial Intelligence Chips Market 2017-2021によると、2021年のAIチップ市場は5.24億ドル、市場成長率は30～70%と予想されている。このAIチップ市場において、本事業が関わるエッジ領域は、PWC（AIによる市場シェアの拡大、WWW.PWC.COM/JP、2020年3月）等から1/5と仮定した。為替レートはこの20年の平均を考慮し1ドル100円、市場成長率は前述のIRTNTR12711の予測を参考に30%と仮定した。日本メーカーの市場占有率は、エコノミストOnline記事（<https://weekly-economist.mainichi.jp/articles/20200204/se1/00m/020/053000c>）から20%と仮定した。本事業の適用率20%で試算した結果、2032年の市場獲得は750億円となった（図1-2）。

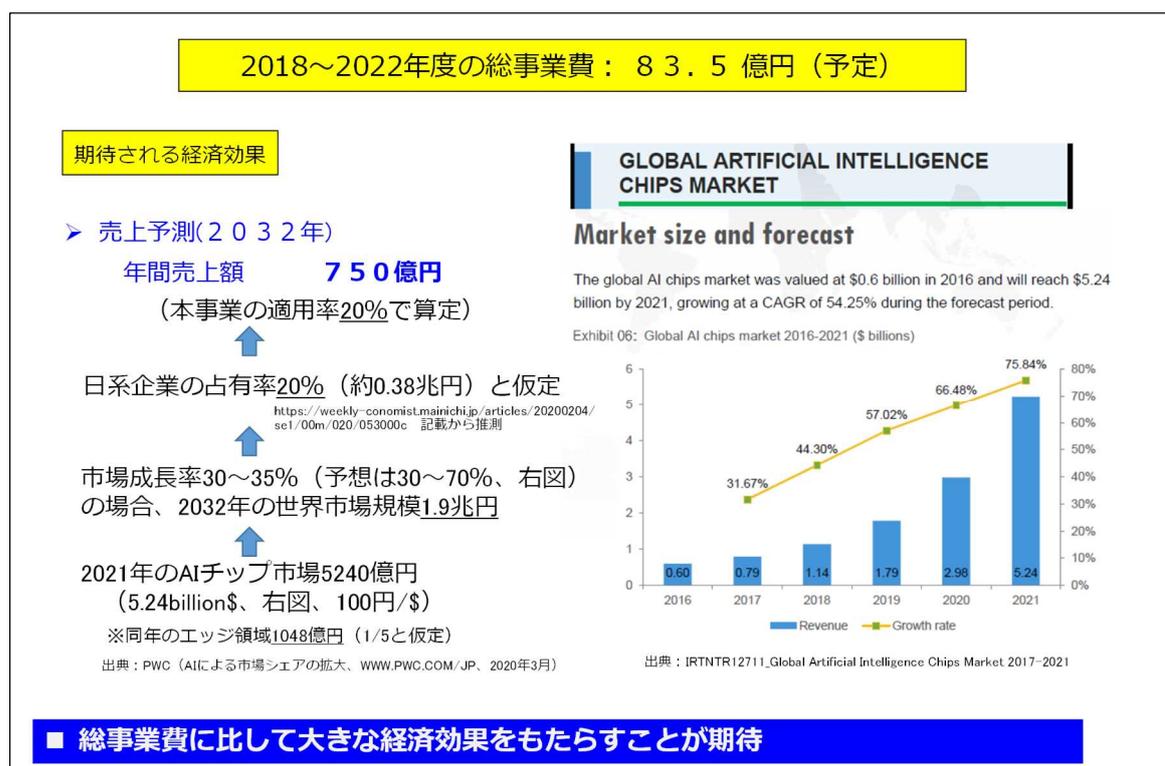


図 1-2 本事業の実施の効果

前述の目標の達成に向け、国内の大学・研究機関等によって開発した共通基盤技術（高性能な AI チップ開発に資する設計技術等）は、順次民間企業等へ提供し、開発拠点の機能向上を図る。

民間企業等の AI チップのアイデア実用化開発については、1 年目終了時に継続可否に係るステージゲート審査を実施し、ビジネス化に向けた動きがあり優れた成果が見込める企業を集中的に支援する。

また、AI チップの研究開発と並行して、民間企業等において IoT や AI 技術を活用するための知見やノウハウを持った人材の育成を進めることで、本研究開発の成果の更なる高度化へと繋げる。

プロジェクトの実施において、民間企業は並行して成果を活用する企業とのマッチングも実施し、事業終了後は本格的なビジネス化へと繋げる。

2. 研究開発マネジメントについて

1. 事業の目標

1章で述べた事業の背景・目的・位置づけから、本事業の目標を、“大学や研究機関等による高度な AI チップ開発のための共通基盤技術の開発を進めるとともに、その知見や AI チップの設計・評価・検証等の開発環境を AI チップ設計拠点として整備し、民間企業等に提供、AI チップの開発を加速する。”とし（図 2-1）、次に述べる研究開発項目を設定した。

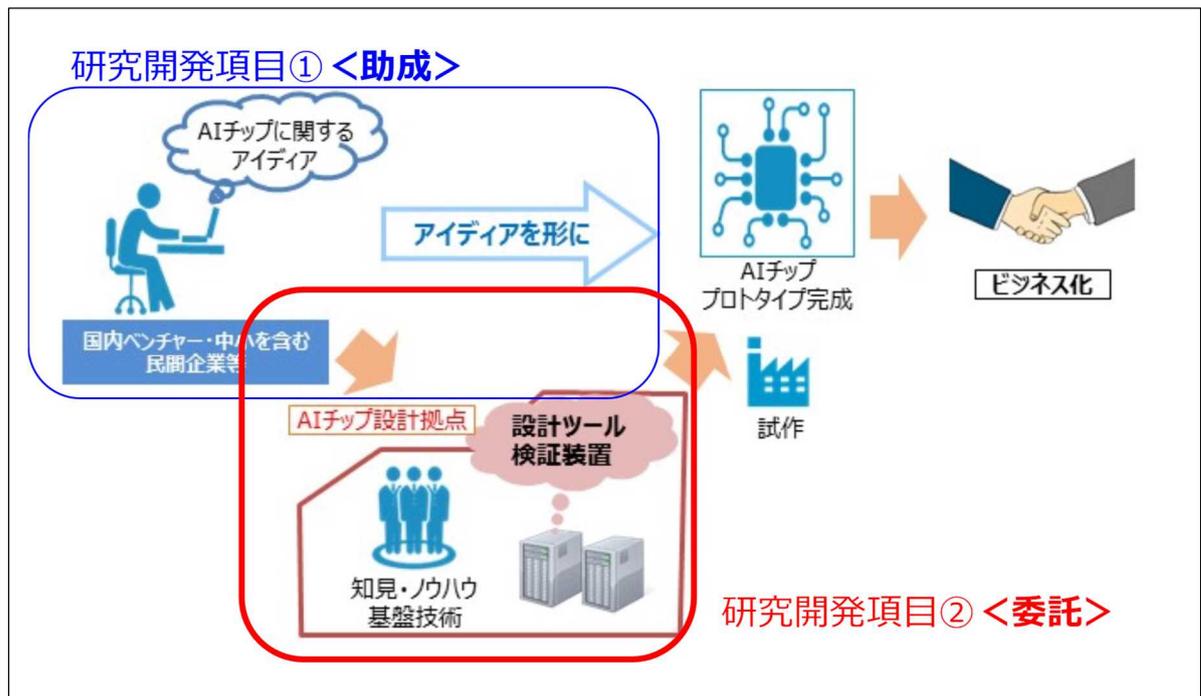


図 2-1 本事業の目標と研究開発項目のイメージ

【研究開発項目①】 AI チップに関するアイデア実用化に向けた開発

AI チップの設計を行い、AI チップの動作を効率化し現状以上の性能を有することをシミュレーション等により検証する。

<中間目標（各事業 1 年目）>

- 現状以上の性能を有する AI 向けチップの設計を行い、評価・検証が可能な段階まで到達することを目標とする。
- 設計した AI 向けチップのビジネス化に向けたシナリオを作成する。

<最終目標（各事業 2 年目）>

- 設計した回路等を、シミュレーション等により、現状以上の性能を有することを検証する。
- 検証した AI 向けチップのビジネス化の道筋を立てる。

上記目標を設定した根拠は、アイデアの効果や技術的実現性を早期に検証するとともに、研究開発項目②の拠点の構築に向けたフィードバックを行うためである。また、事業終了時点で社会実装先に求められる諸性能を満たすことを前提に、事業開始時に広く普及している技術と比較し評価する。なお、事業初年度に設定する中間目標は、事業開始時期に応じて適宜修正、変更する。

上記の取組を通して、2023 年以降、順次技術の実用化率 50%以上を目指す。

【研究開発項目②】 AI チップ開発を加速する共通基盤技術の開発

AI チップ開発に必要な集積回路設計ツールや設計検証設備を備えた開発拠点を構築し、本事業を通じて開発、整備した AI チップ設計のための共通基盤技術、学習環境、設計環境等を「AI チップ設計拠点」として整備し、民間企業等に提供、日本における AI チップの開発を加速することを目指す。

<中間目標（2020 年度）>

- 本事業を通じて開発、整備した AI チップ設計のための共通基盤技術、学習環境、設計環境の活用件数 10 件以上を目標とする。

<最終目標（2022 年度）>

- 事業を通じて開発、整備した AI チップ設計のための共通基盤技術、学習環境、設計環境の活用件数 15 件以上を目標とする。

※上記目標を設定した根拠は、初年度整備の環境を早期に公開・活用し、研究開発項目①の事業者を中心とした拠点利用者から数多くのフィードバックを受け、拠点の整備に生かすため。

2. 事業の計画内容

2.1 研究開発の内容

2.1.1 研究開発項目①AI チップに関するアイデア実用化に向けた開発 <助成>

AI チップに関するアイデアを実用化するため、専用の設計ツールを用いて論理設計等の基礎設計を行い、シミュレーション等により有効性を評価・検証する。さらに検証した成果をビジネス化するために企業との連携を進め、ビジネス化への道筋を立てる。

その他、AI チップの実用化に向けた研究開発において重要となる技術開発等についても、適宜開発を進める。

公募は毎年実施し、研究開発期間は原則 2 年以内とし、課題設定型産業技術開発費助成金交付規定に則り、助成率 2/3 以内、助成金 5,000 万円以内/年（場合によっては変動有り得る）とする。また、研究開発を効率的に推進するため、1 年目終了前にステージゲート方式を適用する。対象者は中小企業等とし、実施体制は連名提案可（ただし連名提案者も中小企業等）、大学・公的機関との共同研究可とする（図 2-2）。現在の予算推移は、研究開発項目②と併せて表 2-1 に記載する。

| | |
|-------|---|
| 事業期間 | 毎年公募で事業者を決定 交付決定（事業開始）から最大 2 年間 1 年目終了前にステージゲート審査で 2 年目の継続を判断 |
| 交付規程 | 課題設定型産業技術開発費助成金交付規程 |
| 助成率 | 2 / 3 以内 |
| 助成金の額 | 5 0 0 0 万円以内/年 × 2 年間（変動有り得る） |
| 対象技術 | A I チップに関するアイデア実用化に向けた開発※ |
| 対象者 | 中小企業等 |
| 実施体制 | 連名提案可（ただし、連名提案者も中小企業等） 大学・公的機関との共同研究可 |

※ 助成対象事項

- ① A I チップに関するアイデアの実用化に向けた開発であること。
- ② A I チップの性能を、シミュレーション等により評価し、現状以上の性能を確認することを目標としたものであること。
- ③ 提案時に提出する事業化計画をベースにし、検証した A I チップのビジネス化の道筋を立てることを目標にするものであること。

図 2-2 研究開発項目①（助成）の概要

2.1.2 研究開発項目②AI チップ開発を加速する共通基盤技術の開発＜委託＞

高度な AI チップ開発を加速するために必要な共通基盤技術として、世界標準の商用基盤に接続することを目的とした、AI チップの設計・評価・検証等の開発環境を整備する。また、

チップ開発を促進する共通技術の開発、IoT や AI 技術を活用するための知見やノウハウを持った人材を育成する環境の整備を行い、革新的なアイデアの実現を加速する。

革新的なアイデアから AI チップを設計する段階において、図 2-3 に示すように、アイデアをハード化する、大規模化する、特殊機能の具現化など行う際の技術的な障壁が存在する。

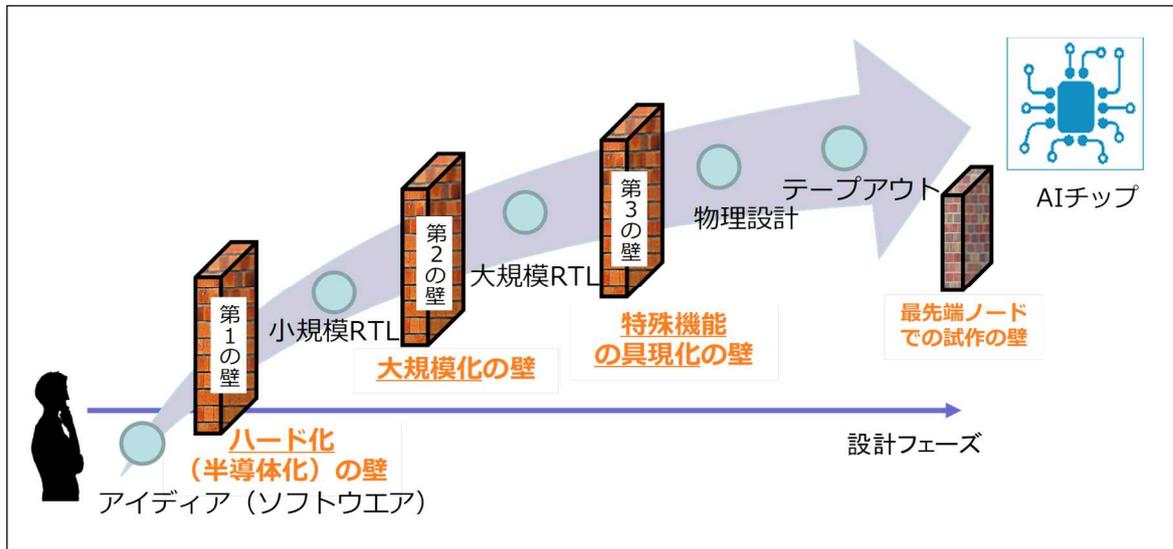


図 2-3 AI チップ設計段階における障壁

上記設計段階での障壁を突破するために必要な共通基盤技術の研究開発、及び開発環境の整備・人材育成の環境整備の観点から、図 2-4 に示す実施項目を設定した。

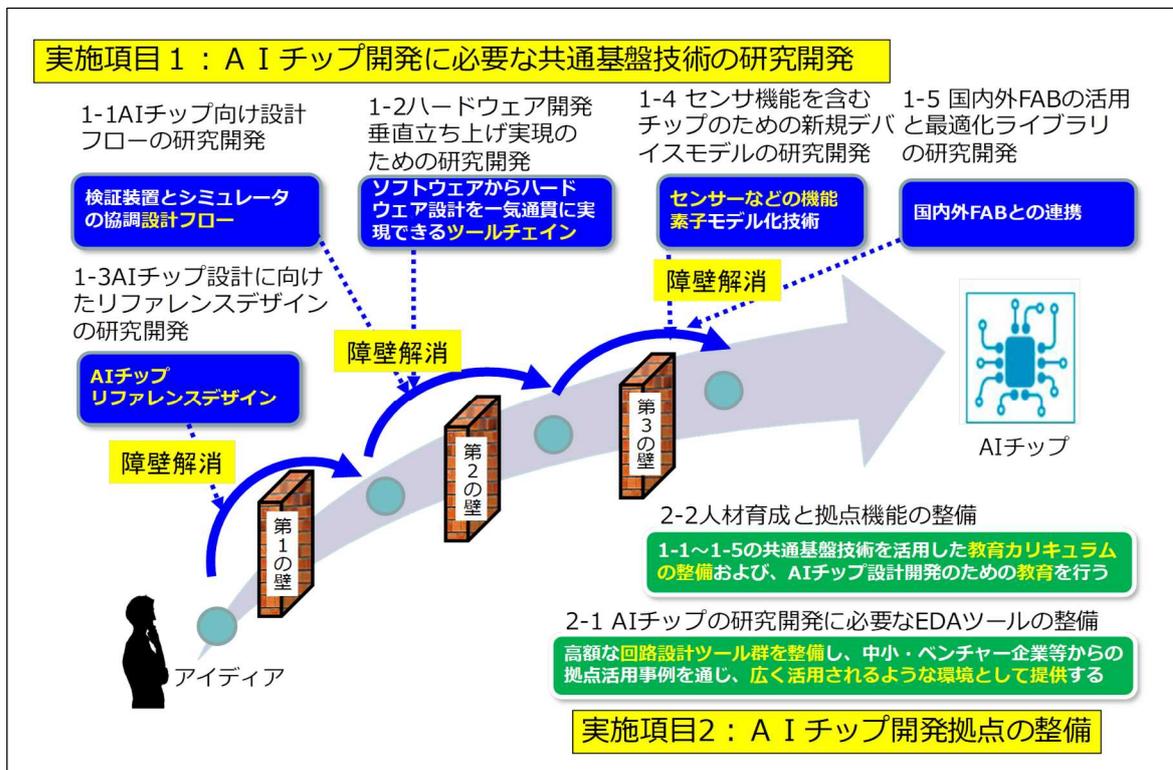


図 2-4 研究開発項目②における各実施項目の位置付け

各実施項目は以下の通り。

実施項目 1 : AI チップ開発に必要な共通基盤の研究開発

実施項目 1-1 : AI チップ向け設計フローの研究開発

実施項目 1-2 : ハードウェア開発垂直立ち上げ実現のための研究開発

実施項目 1-3 : AI チップ設計に向けたリファレンスデザインの研究開発

実施項目 1-4 : センサ機能を含むチップのための新規デバイスモデルの研究開発

実施項目 1-5 : 国内外 F A B の活用と最適化ライブラリの研究開発

実施項目 2 : AI チップ開発拠点の整備

実施項目 2-1 : AI チップの研究開発に必要な EDA ツールの整備

実施項目 2-2 : 人材育成と拠点機能の整備

なお、整備する拠点は、AI チップの開発に対し、開発コストやリスク等から民間企業単独では挑戦できないような開発を行うための共通基盤を構築し、研究開発項目①の実施者をはじめとした中小企業等が広く活用できる環境整備を行い、AI チップ技術の開発を加速する。さらに、拠点利用者の意見等を収集し、共通基盤技術、及び拠点機能を拡充させていく。

研究開発項目①のスケジュールを図 2-5 に示す。

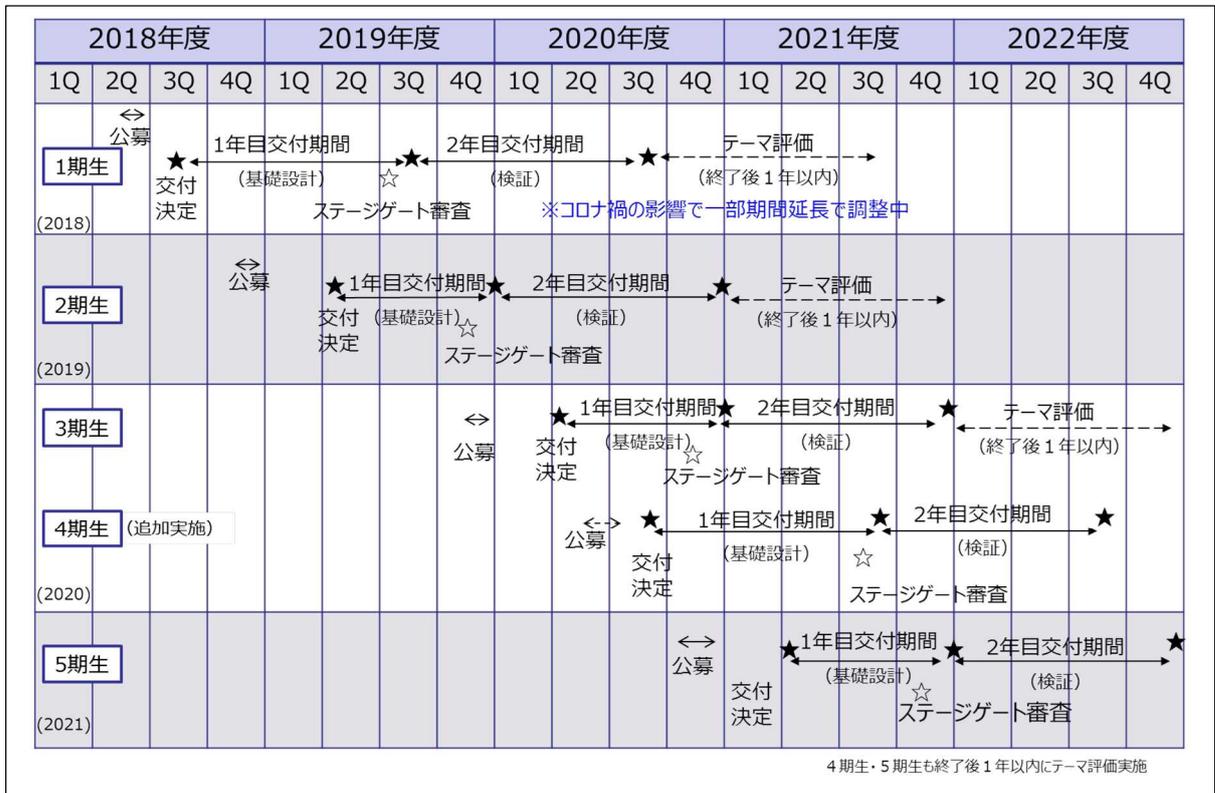


図 2-5 研究開発項目①のスケジュール

研究開発項目①のスケジュールを図 2-6 に示す

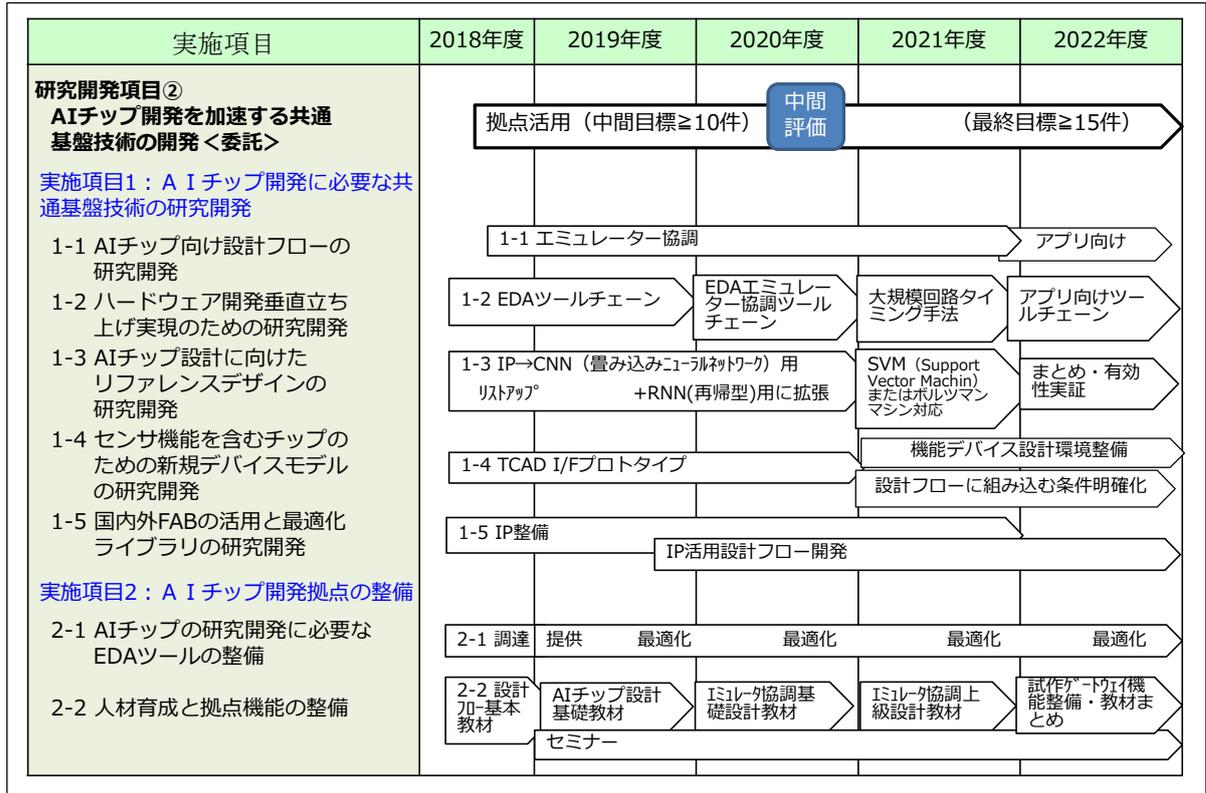


図 2-6 研究開発項目②のスケジュール

2019年度までの研究開発費の実績と2020年度以降の予定をまとめたプロジェクト費用を表 2-1 に示す。

(単位：百万円)

| 研究開発項目 | 2018年度 | 2019年度 | 2020年度 | 2021年度 | 2022年度 | 合計 |
|------------------------------|--------|--------|--------|--------|--------|-------|
| ① AIチップに関するアイデア実用化に向けた開発<助成> | 53 | 278 | 468 | | | 799 |
| ② AIチップ開発を加速する共通基盤技術の開発<委託> | 631 | 1658 | 1502 | | | 3,791 |
| 合計 | 684 | 1,936 | 1,970 | | | 4,590 |

表 2-1 プロジェクト費用の実績

2.2 研究開発の実施体制

プロジェクトマネージャー（以下「PM」という。）として、2018年5月～2019年3月まで NEDO IoT 推進部 遠藤康浩 主査、2019年4月から NEDO IoT 推進部 波佐昭則 主任研究員を任命して、プロジェクトの進行全体を企画・管理し、そのプロジェクトに求められる技術的成果及び政策的効果を最大化させる。

また、各実施者の研究開発能力を最大限に活用し、効率的かつ効果的に研究開発を推進する観点から、NEDO は国立大学法人東京大学 大学院情報理工学系研究科 教授 中村宏をプロジェクトリーダー（以下「PL」という。）とし、PL の下で研究開発を実施する。

研究開発項目①の実施者は公募により選定する。必要に応じて、実施期間中に複数回公募を行う。研究開発実施者の選定においては、課題解決への道筋やビジネス化へのストーリーを設定できていることを重視する。

実施者は、企業や大学等の研究機関等（以下「団体」という。）のうち、原則として日本国内に研究開発拠点を有するものを対象とし、単独又は複数で研究開発に参加するものとする。ただし、国外の団体の特別の研究開発能力や研究施設等の活用又は国際標準獲得の観点から必要な場合は、当該の研究開発等に限り国外の団体と連携して実施することができるものとする。

実施者の選定・審査は、公募要領に合致する応募を対象に NEDO が設置する審査委員会（外部有識者で構成）で行う。当該委員会の結果を参考とし、本事業の目的の達成に有効と認められる事業者を選定した後、NEDO 内に設置した契約・助成審査委員会において採択の可否を決定する。申請者に対しては、必要に応じてヒアリング等を実施する。審査委員会は非公開のため、審査経過に関する問い合わせには応じない。

採択結果については、NEDO から申請者に通知する。なお不採択の場合は、その明確な理由を添えて通知する。採択案件については、申請者の名称、研究開発テーマの名称・概要を公表する。

研究開発の実施体制図を図 2-7 に示す。研究開発項目②の実施者は審査委員会での審査の結果、国立研究開発法人産業技術総合研究所（以下「産業技術総合研究所」という。）、国立大学法人東京大学（以下「東京大学」という。）、産業技術総合研究所の再委託先として福岡県産業・科学技術振興財団を採択し、研究開発責任者として産業技術総合研究所 招聘研究員 内山邦男とした。また、2.3 で述べるがプロジェクト全体の課題解決・個別テーマの推進のための委員会も設置・運用している。

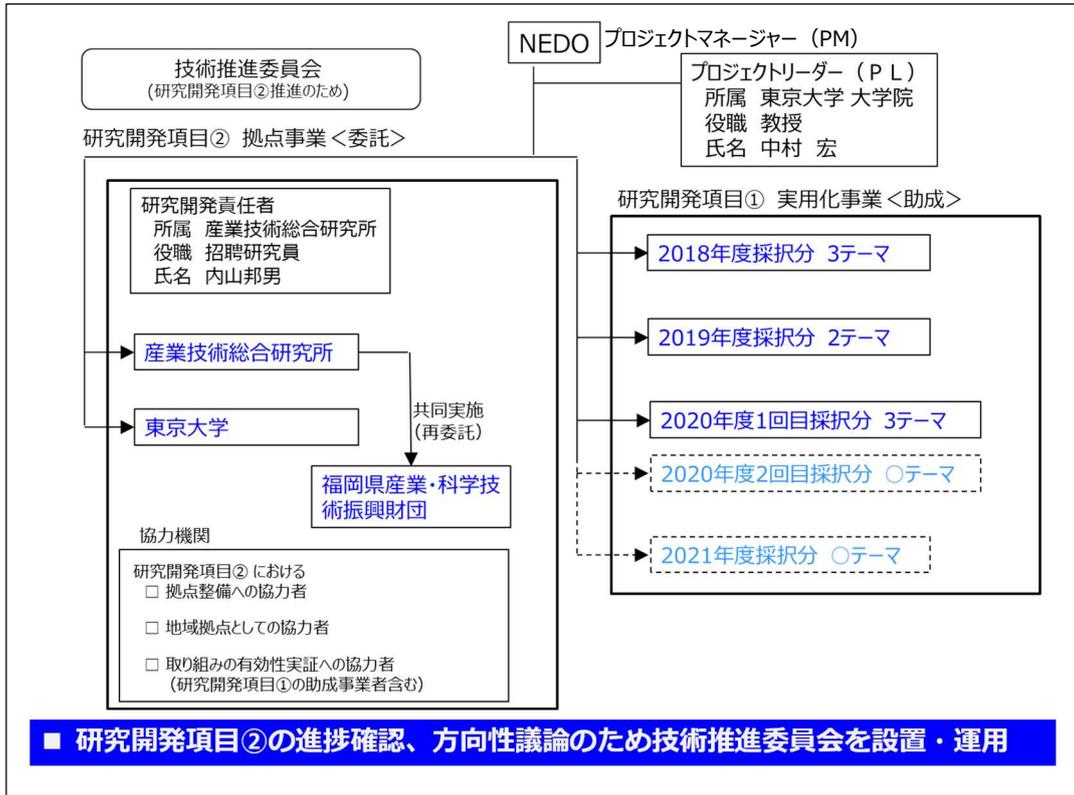


図 2-7 本事業の体制図

2.3 研究開発の運営管理

NEDO は、研究開発全体の管理、執行に責任を負い、研究開発の進捗のほか、外部環境の変化等を適時に把握し、必要な措置を講じるものとする。運営管理は、効率的かつ効果的な方法を取り入れることとし、次に掲げる事項を実施する（図 2-8）。

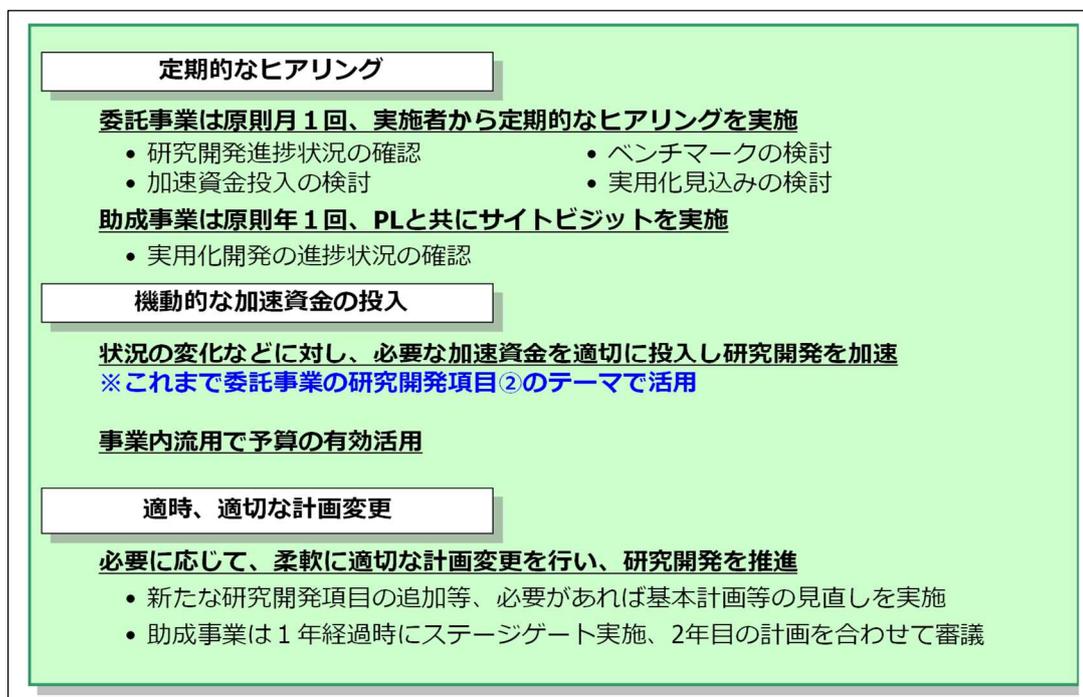


図 2-8 研究開発の進捗管理方針

①研究開発の進捗把握・管理

PM は、PL や研究開発実施者と緊密に連携し、研究開発の進捗状況を把握する。また、必要に応じ、外部有識者で構成するアドバイザー委員会を組織し、定期的に技術的評価を受け、目標達成の見通しを常に把握することに努める。各テーマの進捗、成果の事業化の見通し等を踏まえ、必要に応じ、加速、縮小、実施体制の再構築を行う。

②技術分野における動向の把握・分析

プロジェクトで取り組む技術分野について、内外の技術開発動向、政策動向、市場動向等について調査し技術の普及方策を分析、検討する。なお、調査の効率化の観点から、本プロジェクトにおいて委託事業として実施する。

③研究開発テーマの評価

研究開発項目①については、研究開発を効率的に推進するためステージゲート方式を適用する。ステージゲートは原則 1 年経過した段階を目的に 1 度実施し、毎年、研究開

発テーマ毎の予算配分を精査する。また、各テーマの事業期間終了後 1 年以内に事後評価（テーマ評価）を実施する。

また、本プロジェクトの研究開発項目②においては、技術推進委員会を組織し、定期的に、事業の進捗や計画についてアドバイスをいただき、いただいたアドバイスを各実施項目の推進に活用している。

2.4 研究開発成果の実用化に向けた マネジメントの妥当性

研究開発項目①AI チップに関するアイデア実用化に向けた開発<助成>の進捗管理の実績と予定を図 2-9 に示す。図に示すように、計画通りの管理を行っている。なお、一期生の検証中の 2 テーマはコロナ禍の影響があり、期間延長で調整している。

図 2-10 にこれまでに採択・交付決定の実施者名・テーマ名・2 年目交付の有無を示す。図に示すように、これまでに 12 件採択・交付決定済みであり、現在 8 件が事業を実施している。これまでの採択 12 テーマ全てが、研究開発項目②の AI チップ設計拠点を活用している（予定含む）。

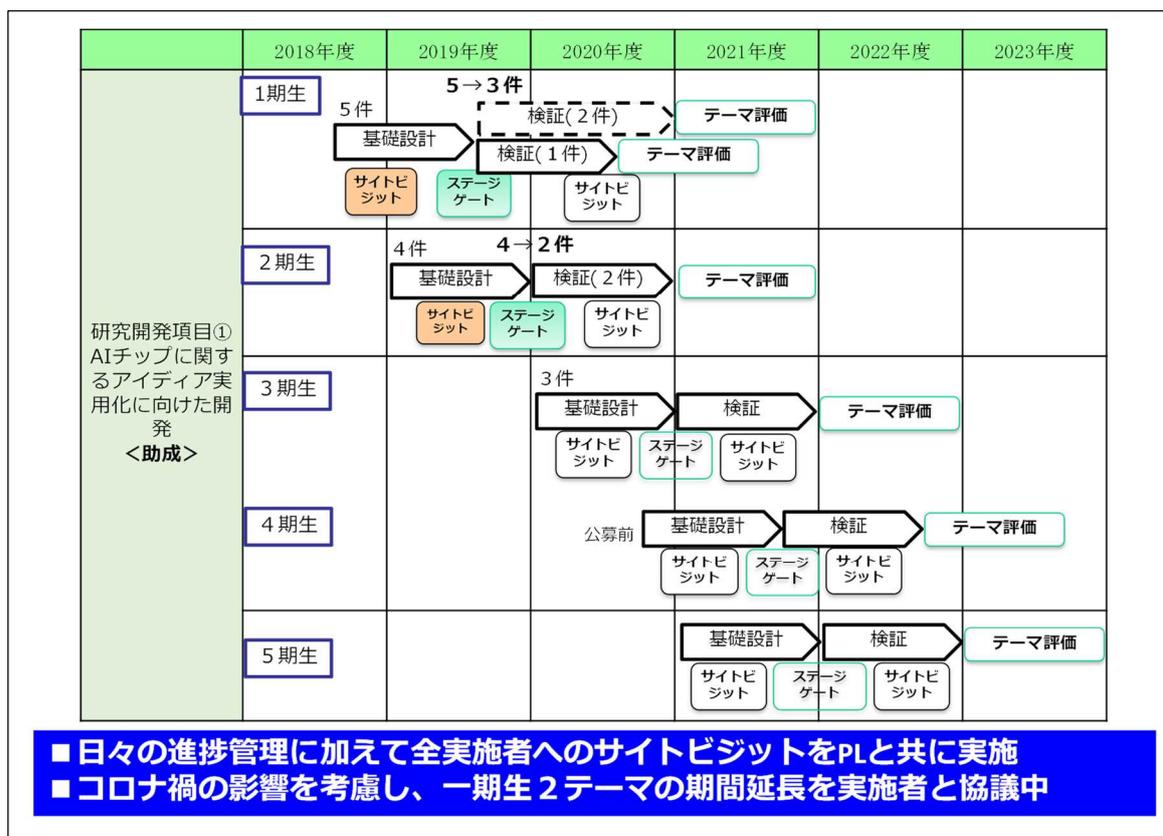


図 2-9 研究開発項目①の進捗管理実績と予定

これまで12件採択・交付決定済み、内8件事業実施中
 (※採択12件全てのテーマが研究開発項目②の拠点を活用(予定含む))

一期生(2018年度):採択5件⇒2年目3件(ステージゲート審査結果による)

| 実施者名 | テーマ名 | 2年目交付 |
|----------------------------|--------------------------------|-------|
| 株式会社テックイデア | AI機能を有するCMOSイメージセンサおよびセンサ装置の開発 | 対象 |
| 株式会社レイトロン | AIを用いた高性能リアルタイム対話インターフェースの開発 | 対象 |
| 東北マイクロテック株式会社 | サイクリック学習機能を有する超低電力AIチップの開発 | 対象 |
| 株式会社Trigence Semiconductor | AIエッジ搭載音声インターフェースモジュールの研究 | - |
| 株式会社シンコム | エッジデバイスをAI化する汎用画像処理プロセッサの開発・評価 | - |

二期生(2019年度):採択4件⇒2年目2件(終了テーマの内一件は、事業化前倒しにより2年目辞退)

| 実施者名 | テーマ名 | 2年目交付 |
|------------------------------|--------------------------------------|-------------|
| 株式会社デジタルメディアプロフェッショナル、株式会社カイ | 癌コンパニオン診断用AI病理画像システム向けAIハードウェア研究開発 | 対象 |
| 株式会社シングルード | AI技術でメモリの通信速度を高速化するメモリコントローラの開発 | 対象 |
| 株式会社ハカルス | スパースモデリング技術を用いた学習・推論エンジンを搭載するAIチップ開発 | 事業化前倒しのため終了 |
| 株式会社エイ・オー・テクノロジーズ | 画像集合演算プロセッサ(2D-SOP)による高度画像認識基盤の開発 | - |

三期生(2020年度):採択3件(※2020年度 四期生として2回目の公募を予定)

| 実施者名 | テーマ名 | 2年目交付 |
|-------------|--|-------|
| 株式会社ネブロック | FPGAでリアルタイムに高品質な音声合成を行うリニア可変周波数変調(LVFS)チップ開発 | |
| A M I 株式会社 | 心疾患自動診断アシスト機能搭載チップの実用化に向けたシステム開発 | |
| 株式会社AnchorZ | 適時生体情報と利用履歴による認証システム端末用アルゴリズム・ハードウェア要素開発 | |

図 2-10 研究開発項目①の採択状況

研究開発項目②AIチップ開発を加速する共通基盤技術の開発<委託>の進捗管理の実績と予定を図 2-11 に示す。図に示すように、計画通りの管理を行っている。

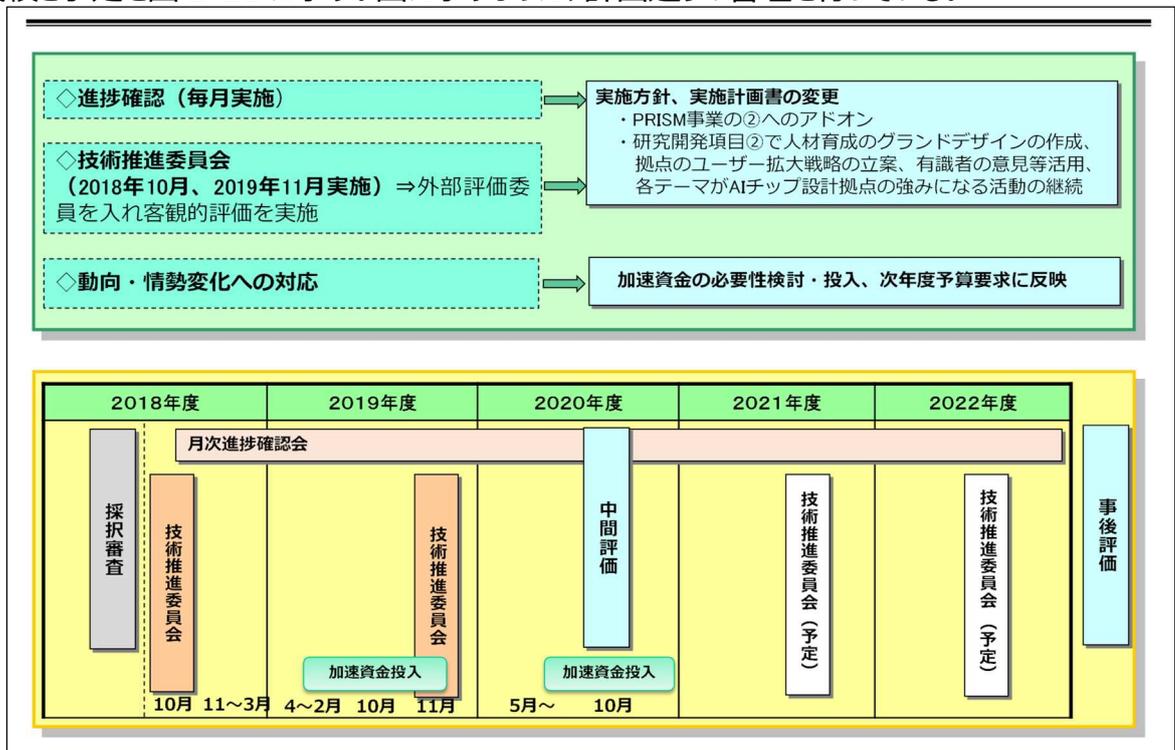


図 2-11 研究開発項目②の進捗管理実績と予定

本プロジェクトの実用化の定義は、「当該研究開発に係る AI チップのための設計フロー（設計手順）等の共通基盤技術や導入された設計ツールが、本事業で整備された拠点を通し、顧客や社会へ提供される等、具体的なサービス利用が開始されていること」とする。

上記実用化に向け、2.1.2 で述べた研究開発項目②の各実施項目において、以下の中間目標と最終目標を設定した。なお、これらの目標は、拠点利用者から得られるフィードバックを通して適宜最適化させる。

実施項目 1：AI チップ開発に必要な共通基盤の研究開発

実施項目 1-1：AI チップ向け設計フローの研究開発

【中間目標】

- ・拠点利用者が、小・中規模の回路に対し、拠点で構築した RTL 記述を用いたエミュレータ・シミュレータ協調設計検証フローで設計検証を実施（5 件以上）
- ・拠点利用者が、小・中規模の回路に対し、拠点で構築したネットリストレベルの記述を用いたエミュレータ・シミュレータ協調設計検証フローで設計検証を実施（3 件程度）
- ・エミュレータ・シミュレータ協調設計検証フローを用いることによる設計検証効率の向上を、エミュレータのみを用いた設計検証フローと比較することで（検証時間・検証カバレッジ等を用いて）可視化するとともに結果を電子的に公開する。

【最終目標】

- ・拠点利用者が、より大規模（> 1 BG）な回路に対し、エミュレータ・シミュレータ協調設計検証フローで設計検証を実施（3 件程度）
- ・拠点で構築した高速チップ・超低消費電力チップ・高電力効率チップ等のアプリケーション向けのエミュレータ・シミュレータ協調設計検証フローで、拠点利用者が設計検証を実施（事業期間全体で 10 件程度）

実施項目 1-2：ハードウェア開発垂直立ち上げ実現のための研究開発

【中間目標】

- ・モデルベースのエミュレータ・EDA ツールの協調設計ツールチェーンを開発し、小・中規模の実設計において実証する。3 件以上がこのモデル設計フローを活用した設計を行う。

【最終目標】

- ・アプリケーション向けのツールチェーンを策定し、拠点利用者が事業期間全体で 5 件程度、より大規模（> 1 B G）な設計を実施する。

実施項目 1-3 : AI チップ設計に向けたリファレンスデザインの研究開発

【中間目標】

- ・畳み込み・再帰型ニューラルネットワークに対応したアクセラレタリファレンスデザインを作成する。その動作をエミュレータ上で再現し、ニューラルネットワーク用シミュレーションフレームワークの処理について、ソフトウェアによる実行結果と矛盾しない正当な計算結果が得られることを確認する。

【最終目標】

- ・畳み込み・再帰型ニューラルネットワーク用アクセラレタを、サポートベクターマシン、ないしボルツマンマシンに対応したアクセラレタリファレンスデザインとして拡張するとともに、エッジ用の低消費電力システムに適用可能なセンサフロントエンドマクロを加え、リファレンスデザインのポートフォリオを完成させる。リファレンスデザインのポートフォリオは、拠点利用者等の利用を通してその有効性を実証する。

実施項目 1-4 : センサ機能を含むチップのための新規デバイスモデルの研究開発

【中間目標】

- ・Impulse TCAD をベースとして AI チップに搭載する際に利用可能な独自の機能デバイス設計ツールのプロトタイプを、例えばイメージセンサーといった特定の用途を想定して開発・評価し、課題を抽出し、改良仕様を策定する。

【最終目標】

- ・機能デバイス設計ツールを改良し、クラウド上で利用可能な環境を構築、特定の用途を想定したケースに対して有効性を検証する。その一環として機能デバイス設計ツールの拠点利用者等の利用を通してその有効性を実証する。また、検討した新規デバイス IP のモデル化技術等については、AI チップ設計フローへ組み込むために必要な条件等の明確化を図る。

実施項目 1-5 : 国内外 FAB の活用と最適化ライブラリの研究開発

【中間目標】

- ・整備すべき IP カタログの作成と整備順の策定
- ・カタログに沿った IP を整備し、拠点利用者が利用できるように WEB に掲載する
- ・AI チップ向け独自 IP の評価手法を検討し、それに則った評価チップを設計する。

【最終目標】

- ・整備した IP を用いたアプリケーション向けの設計フローを構築し、電子的にマニュアルを作成する。構築した設計フローは拠点利用者の利用を通してその有効性を実証する。
- ・AI チップ向け独自 IP の評価手法を構築し、拠点利用者に提供できるよう整備する。その利用法のマニュアル等を電子的に作成し HP にて公開する。

実施項目 2：AI チップ開発拠点の整備

実施項目 2-1：AI チップの研究開発に必要な EDA ツールの整備

【中間目標】

- ・EDA ツールを導入、利用環境を整備し、拠点利用者へ公開することで 10 件程度の利用実績をあげる。

【最終目標】

- ・EDA ツールを安定的最新バージョンに更新、利用環境を整備し、拠点利用者へ公開することで、期間全体を通し 15 件程度の利用実績をあげる。

実施項目 2-2：人材育成と拠点機能の整備

【中間目標】

- ・エミュレータ及び EDA ツールを活用した設計フローの一般論（初級編）、導入 EDA ツールを用いた AI チップ設計論、エミュレータ・EDA 協調設計検証論（初級編）を整備し、拠点利用者に対し、2019 年度以降 1 項目あたり年間 1 回以上の教育コースを実施する。
- ・国内外の代表的な FAB と契約を締結し、設計環境を導入することで設計試作ゲートウェイ機能を整備する。これを拠点利用者へ公開することで、実施項目 1-1 の中間目標のネットリスト検証フロー利用目標 3 件のうち 1 件程度が本設計試作ゲートウェイ機能を利用して設計手順を実施する。
- ・拠点運営について運営形態等の検討を行うコンソーシアム等を立ち上げる。

【最終目標】

- ・エミュレータ・EDA 協調設計検証論（上級編）を整備し、各種教育カリキュラムの教育コースを充実させる。
- ・実施項目 1-1 最終目標の協調設計検証フロー利用目標 10 件のうち 3 件程度が本設計試作ゲートウェイ機能を利用して設計手順を実施する。

上記目標達成を通じた実用化に向け、PL は PM と連携して、月次の進捗会議において指導・実施計画書における目標の最適化・加速資金の必要性判断を行う。さらに、技術推進委員会を定期的開催し、有識者の意見も活用し実用化を目指す。

本プロジェクトの知財マネジメント、及び、データマネジメントは、NEDO プロジェクトにおける知財マネジメント基本方針に則り、知財運営委員会を設置し管理している。ただし、本事業内容の特異性から、設計技術のマニュアル化とノウハウの蓄積に注力している。アイデアを有する民

間企業等の人材育成施策として、マニュアル（教材）を準備するとともに、フォーラム・シンポジウムやセミナーを運営する。また、基本的に本共通基盤技術は拠点ユーザーに対しては公開を原則とするが、プロジェクト終了後の拠点の継続的な自立運営を考えて、一部は非公開とし、拠点内部のみに秘匿する。本プロジェクトに関わる技術の公開・非公開の対象を表 2-2 に示す。

| 分類 | AIチップ開発用に構築する共通基盤技術 |
|-----|---|
| 公開 | AIチップ設計手法 リファレンスデザイン IPライブラリ 設計クラウド構成 SoCプラットフォーム |
| 非公開 | AIチップ設計手法（一部） リファレンスデザイン（一部） SoCプラットフォーム（一部） |

表 2-2 本事業で構築する共通基盤技術

3. 情勢変化への対応

研究開発項目②において表 2-3 に示す 3 件の動向・情勢変化への対応を行った。

| 動向・情勢変化 | | 対応 |
|---------|--|--|
| 1 | 2018年度 本事業が、内閣府官民研究開発投資拡大プログラム（PRISM）の1年目の対象施策に選定。 | PRISM予算を活用しAIチップ設計に必要な28nmノードのIPコアの導入・整備を前倒し実施。 |
| 2 | 2019年度 拠点利用者の予想以上の増加が見込まれる中、現状の設備能力では利用者数が制限されてしまう可能性が予見。 | 利用者からのフィードバックを出来るだけ多く集め拠点の整備を確実に進めるため、2019年10月に加速資金の投入を決定、拠点利用者数の拡大を図るべく拠点設備の増強等を前倒し実施。 |
| 3 | 2019年度 助成事業においてステージゲート審査の結果などにより予算の変動が発生。 | 予算の有効活用のため、事業内で予算を柔軟に組み換え、委託事業へ加速資金として投入することを決定。具体的には、2019年12月に仕様書・実施計画書を変更し、実施項目 1 - 5 に新たな目標を追加。 |

表 2-3 研究開発項目②の動向・情勢の把握と対応

以下具体的に記載する。

1. 動向・情勢変化 1 (図 2-12)

内閣府官民研究開発投資拡大プログラム (PRISM) の 1 年目の対象施策に選定された。その対応のため 2018 年 10 月に技術推進委員会を開催し、活用内容を審議し、AI チップ設計に必要な I/O などの機能モジュールや IP コアの導入・整備を前倒しで実施した。

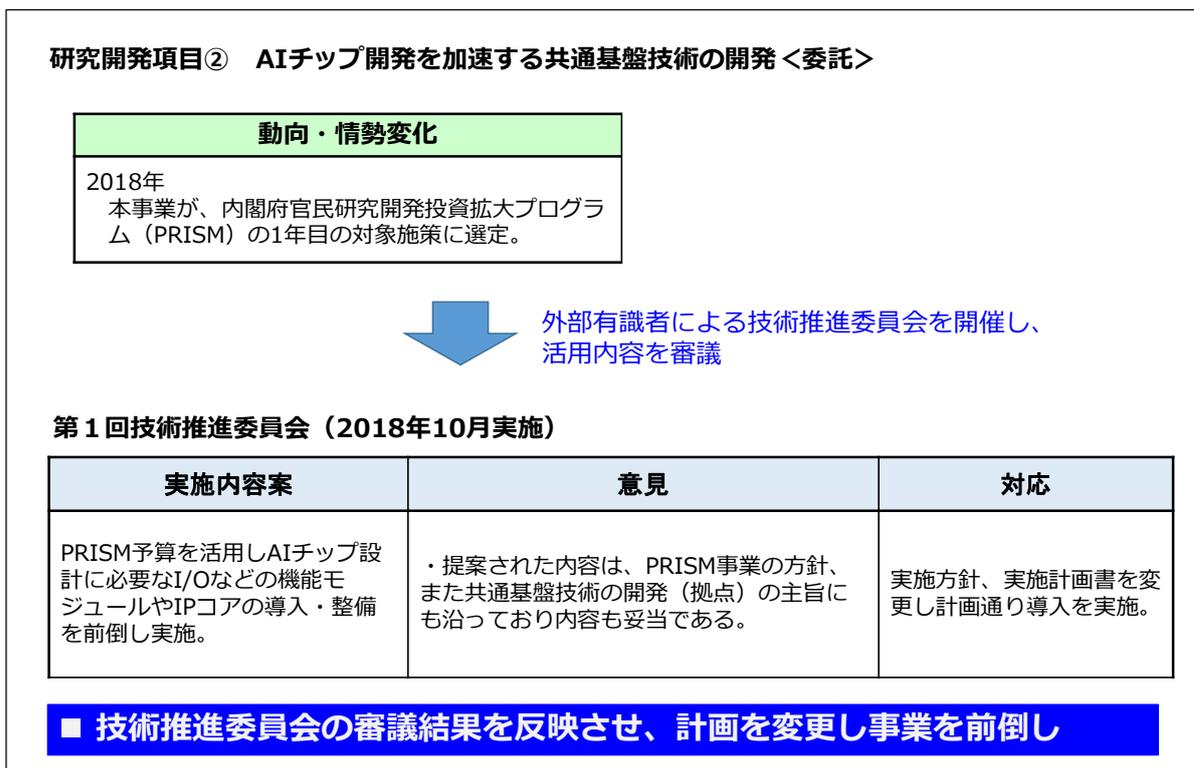


図 2-12 情勢変化への対応 1

2. 動向・情勢変化 2 (図 2-13)

拠点利用者の予想以上の増加が見込まれる中、現状の設備能力では利用者数が制限されてしまう可能性が 2019 年 8 月までの月次の進捗会議から予見された。

そのため、利用者からのフィードバックを出来るだけ多く集め拠点の整備を確実に進めるため、2019 年 10 月に加速資金の投入を決定し、拠点利用者数の拡大を図るべく拠点設備の増強等を前倒し実施した。

研究開発項目② AIチップ開発を加速する共通基盤技術の開発<委託>

動向・情勢変化

2019年度
拠点利用者の予想以上の増加が見込まれる中、現状の設備能力では利用者数が制限されてしまう可能性が見える。



開発促進財源（加速）の投入を決定
実施方針、実施計画書の変更実施

| 件名 | 金額 (百万円) | 目的 | 成果 |
|---|-------------|--|--|
| AIチップ設計拠点クラウドのセキュリティ強化とユーザー数拡大のための施策（実施項目2-1） | 109 | 本拠点クラウドのセキュリティ強化とユーザー数拡大（ユーザー数：50社以上）のためにシステム強化を同年度中に実施する。 | セキュリティを確保した上で、拠点の規模及び能力が拡充し、拠点ユーザー数50社以上の利用が可能になり、拠点整備の加速が期待される。 |

■ 加速資金の適切な投入により、開発拠点の整備を前倒し

図 2-13 情勢変改への対応 2

3. 動向・情勢変化 3（図 2-14）

研究開発項目①の助成事業において、ステージゲート審査の結果などにより予算の変動が発生した。そこで予算の有効活用のため、事業内で予算を柔軟に組替え、研究開発項目②の委託事業へ加速資金として投入することを決定した。2019年12月に仕様書・実施計画書を変更し、テストチップの開発に着手した。

研究開発項目② AIチップ開発を加速する共通基盤技術の開発<委託>

動向・情勢変化

2019年
助成事業においてステージゲート審査の結果などにより予算の変動が発生。



予算の有効活用のため、事業内で予算を柔軟に組替え、委託事業へ加速資金として投入することを決定。
実施方針、実施計画書の変更を実施。

| 件名 | 金額 (百万円) | 目的 | 成果 |
|----------------------------------|-------------|---|---------------------------------|
| 国内外FABの活用と最適化ライブラリの研究開発（実施項目1-5） | 172 | ユーザーのAIチップ向け独自IPの評価が簡単にできるような拠点機能として評価プラットフォームの構築を図る。 | 評価プラットフォーム構築に向けたテストチップの開発に着手した。 |

■ 事業内資金の柔軟な組替えと実施計画書の変更により、拠点の機能を向上

図 2-14 情勢変化への対応 3

4. 評価に関する事項

本プロジェクトは二つの研究開発項目が連携して成果を出す事業であることから、事業全体がナショナルプロジェクトに分類され、研究開発項目①及び研究開発項目②を含めてプロジェクト評価を実施する。また、研究開発項目①は事業開始 1 年以内にステージゲート評価を行うため、中間評価においては研究開発マネジメントまでを評価対象とする。研究開発項目②は、成果の実用化に向けた取組及び見通しまでを評価対象とする。

本プロジェクトの開始に際し、事前評価を 2 回行ったので、内容を以下に記載する。いずれの評価も「高効率・高速処理を可能とする AI チップ・次世代コンピューティングの技術開発事業」として、本プロジェクトを含む複数のプロジェクトを評価した。

事前評価 1

- 評価の実施時期 : 2017 年 7 月
- 評価手法 : 外部評価
- 評価事務局 : NEDO 評価部
- 評価項目・基準 : 非公開

事前評価 2

- 評価の実施時期 : 2017 年 11 月 16 日
- 評価手法 : 第三者評価
- 評価事務局 : 内閣府
- 評価項目・基準 :

評価専門調査会での調査検討においては、国家の基本計画や関連する上位政策・施策等の推進といったより大局的・俯瞰的観点での評価に力点を置くことを念頭に、事業における直接的な成果（アウトプット）に係る専門的評価については、実施府省における評価等の妥当性を確認することでその結果を活用することとし、国家の基本計画や関連する上位政策における事業の位置付けや社会への効果・効用（アウトカム）とそれを達成するための道筋に対する評価を中心に調査検討を実施した。評価項目を以下に記載する。

- ① 評価対象案件の実施府省等における評価の妥当性
- ② 関連する上位の政策・施策等の目標を達成するための道筋
- ③ 研究開発の目標・実施内容
- ④ 研究開発マネジメント

3. 研究開発成果について

1. 事業全体の成果（研究開発項目②の成果）

ここでは研究開発項目②AIチップ開発を加速する共通基盤技術の開発＜委託＞の成果について記す。

本研究開発項目では、AIチップの設計開発環境を整え中小ベンチャー企業等のAIチップ開発を加速するために、AIチップの設計検証に必要なツールや装置、標準的なIPを備えた設計開発拠点を整備するとともに、AIチップの設計における各種問題を解決するための共通基盤技術を開発し、これを拠点で活用してAIチップを設計開発するための知見や技術を広めることに注力している。

この取組により、以下の目標を設定している。

〔中間目標〕（2020年度）

本事業を通じて開発、整備したAIチップ設計のための共通基盤技術、学習環境、設計環境の活用件数10件以上を目標とする。

〔最終目標〕（2022年度）

本事業を通じて開発、整備したAIチップ設計のための共通基盤技術、学習環境、設計環境の活用件数15件以上を目標とする。

2020年7月時点において、表3-1の通り活用件数は26件（19社+7大学）となっており、既に最終目標を達成している。今後更に、環境の整備、拡張、及び、共通基盤技術の充実を計り、活用件数を伸ばしていく予定である。

| 中間目標 | 成果 | 達成度 | 課題と解決方針 |
|--|--|-----|---------|
| 本事業を通じて開発、整備したAIチップ設計のための共通基盤技術、学習環境、設計環境の活用件数10件以上を目標とする。 | <ul style="list-style-type: none"> ・活用件数26件を達成した。 ・開発・整備として、設計検証フロー並びにツールチェーンの構築、リファレンスデザインの作成、独自機能素子の物理設計環境のプロトタイプ開発、IPの整備とAIチップ向け独自IP評価手法検討と評価チップ設計、EDAツール利用環境の整備、教育コースの実施、試作ゲートウェイ機能の整備、などを行った（詳細は次ページ以降の各実施項目に示す）。 | ○ | |

◎ 大きく上回って達成、○達成、△達成見込み（中間）、×未達

表 3-1 目標の達成状況

各実施項目の成果概要を表 3-2、表 3-3 に示す。

| 実施項目 | 中間目標 | 成果 | 達成度 | 今後の課題と解決方針 |
|--------------------------------------|--|---|-----------------------|--|
| 1-1 AIチップ向け設計フローの研究開発 | <ul style="list-style-type: none"> ・拠点利用者が、小・中規模の回路に対し、拠点で構築したRTL記述を用いたエミュレータ・シミュレータ協調設計検証フローで設計検証を実施（5件以上） ・拠点利用者が、小・中規模の回路に対し、拠点で構築したネットリストレベルの記述を用いたエミュレータ・シミュレータ協調設計検証フローで設計検証を実施（3件程度） ・エミュレータ・シミュレータ協調設計検証フローを用いることによる設計検証効率の向上を、エミュレータのみを用いた設計検証フローと比較することで（検証時間・検証カバレッジ等を用いて）可視化するとともに結果を電子的に公開する | <ul style="list-style-type: none"> ・RTLレベルの記述を用いたシミュレータおよびエミュレータによる設計検証は7件進行中。 ・ネットリストレベルの記述を用いたエミュレータ・シミュレータ協調設計フローでの検証は実施前（0件）。 ・設計検証効率の比較確認は未。 ・設計効率の更なる向上に向け、エミュレータシミュレータ協調設計検証プラットフォームVeriForgeを導入した。エミュレータのみとの比較は検証中。 ・エミュレータ利用ガイドライン及びエミュレータ利用マニュアル（エミュレータ利用モデルを含む）を3件作成し拠点のホームページ（以下HPと略）にて公開。 | △ (2020年度末には達成見込み) | 検証フローの仕様実例を提示し10月から拠点利用者に使用して貰う。それにより年度末には3件達成の見込み。この検証時に合わせて検証効率も比較確認を行う。 |
| 1-2 ハードウェア開発垂直立ち上げ実現のための研究開発 | <ul style="list-style-type: none"> ・モデルベースのエミュレータ・EDAツールの協調設計ツールチェーンを開発し、小・中規模の実設計において実証する。3件以上がこのモデル設計フローを活用した設計を行う | <ul style="list-style-type: none"> ・高位合成を使ったデジタル設計【基礎編】を作成し、ここで定義されたモデル設計フローを活用した高位合成を3件設計した。 | ○ | |
| 1-3 AIチップ設計に向けたリファレンスデザインの研究開発 | <ul style="list-style-type: none"> ・畳み込み・再帰型ニューラルネットワークに対応したアクセラレータリファレンスデザインを作成する。その動作をエミュレータ上で再現し、ニューラルネットワーク用シミュレーションフレームワークの処理について、ソフトウェアによる実行結果と矛盾しない正当な計算結果が得られることを確認する。 | <ul style="list-style-type: none"> ・畳み込みニューラルネットワークに対応したアクセラレータリファレンスデザインを作成し、その動作をエミュレータ上で再現した。 ・さらに、エミュレータ上で100データでの学習を例題として、ニューラルネットワーク用シミュレーションフレームワークの処理について、ソフトウェアによる実行結果と矛盾しない正当な計算結果が得られることを確認した。 ・なお、6月フォーラムにおいて、日本ケイデンス・デザイン・システムと共同でリファレンスデザインについて紹介。簡易マニュアルを拠点HP内で公開。 | ○ | |
| 1-4 センサ機能を含むチップのための新規デバイスモデルの研究開発 | <ul style="list-style-type: none"> ・ImpulseTCADをベースとしてAIチップに搭載する際に利用可能な独自の機能素子の物理設計環境のプロトタイプを、例えばフォトセンサーといった特定の用途を想定して開発・評価し、課題を抽出し、改良仕様を策定する | <ul style="list-style-type: none"> CMOSイメージセンサーピクセルのデバイスシミュレーションのWebユーザーインタフェースのプロトタイプを開発した。関連ユーザー評価結果を元に改良仕様を策定した。 | ○ | |
| 1-5 国内外FABの活用と最適化ライブラリの研究開発 | <ul style="list-style-type: none"> ・整備すべきIPカタログの作成と整備順の策定 ・カタログに沿ったIPを整備し、拠点利用者が利用できるようにWEBに掲載する ・AIチップ向け独自IPの評価手法を検討し、それに則った評価チップを設計する。 | <ul style="list-style-type: none"> ・整備すべきIPカタログである、PRISMにより導入したIPリストを整備しWebに掲載した ・拠点導入IPを最大限活用し、かつ拠点利用者の設計の実用化加速支援を目指したAi-One SoCプロジェクトを立ち上げSoCを設計した | ○ | |

◎ 大きく上回って達成、○達成、△達成見込み（中間）、×未達

表 3-2 各実施項目の達成状況

| 実施項目 | 中間目標 | 成果 | 達成度 | 今後の課題と解決方針 |
|--------------------------------|---|---|-----|------------|
| 2-1 AIチップの研究開発に必要なEDAツールの整備 | <ul style="list-style-type: none"> EDAツールを導入、利用環境を整備し、拠点利用者へ公開することで10件程度の利用実績をあげる | <ul style="list-style-type: none"> 導入したEDAツールの利用マニュアルを公開、ツール利用のための環境設定ファイルをツール毎に準備、ライセンスの効率的な運用、設計データやIPの保護のために、VMにログインし、LSF（ライセンス・スケジューラ）を用いたツールの実行環境を整備し、ツール利用が進んでいる。 以上により、利用件数は26件となった。 | ◎ | |
| 2-2 人材育成と拠点機能の整備 | <ul style="list-style-type: none"> エミュレータ及びEDAツールを活用した設計フローの一般論（初級編）、導入EDAツールを用いたAIチップ設計論、エミュレータ・EDA協調設計検証論（初級編）を整備し、拠点利用者に対し、2019年度以降1項目あたり年間1回以上の教育コースを実施する 国内外の代表的なFABと契約を締結し、設計環境を導入することで設計試作ゲートウェイ機能を整備する。これを拠点利用者へ公開することで、実施項目1-1の中間目標のネットリスト検証フロー利用目標3件のうち1件程度が本設計試作ゲートウェイ機能を利用して設計手順を実施する。 拠点運営について運営形態等の検討を行うタスクフォース等を立ち上げる | <ul style="list-style-type: none"> 1-1、1-2と協調しながら教材の整備を行い、「デジタル設計の基礎」、「ハードウェア・エミュレータでの論理検証の基礎【初級編】【応用編】」「高位合成を使ったデジタル設計【基礎編】【続基礎編】【実践編】」「デジタルブロック・物理設計編」を整備した。SoC設計セミナーを4回、教育セミナーを3回実施した。また、人材育成に向けた方針を定め、それに基づき、一般向けに設計フォーラムを14回実施した（参加者数は回を追うごとに増加している） 代表的なFABとして、TSMCとNDAを締結しライブラリの供給を受け設計に供している タスクフォースを設立して自立化の検討を開始した | ○ | |

◎大きく上回って達成、○達成、△達成見込み（中間）、×未達

表 3-3 各実施項目の達成状況

2. 研究開発項目毎の成果（実施項目ごとの成果）

実施項目 1-1 「AIチップ向け設計フローの研究開発」

大規模なAIチップ開発においては、全数の検証が不可能であることに起因して設計段階と製造された実チップとの間で動作や性能に乖離が発生し、期待される動作や性能を実現することが困難である。設計の初期段階から、設計性能が実チップに十分反映されるようにアプリケーションを見据えて開発することが不可欠であるが、論理設計以降の設計経験があるAIベンチャーでも難易度が高い。また、AIチップは、基本演算ユニットは一般的には小規模であり、かつ規則性が高いため、一見すると設計の難易度は低く思われるが、実際には接続が多数存在し、大量のデータの授受が不可欠、かつ全体としての動作検証を行うためには十分に長い検証ステップを行わないといけないといった特徴を有する。更に性能の優位性を実現するためには、高速性、超低消費電力性、高電力効率性といった特化したチップ設計が不可欠で、これらの検証のためには、従来のようにシミュレータだけに頼る検証では不十分である。

そこで、本研究課題では、エミュレータを用いた検証を行うことで大規模な設計に対して十分な検証ステップを実行可能でそれに基づく性能の見積りに基づく設計を実現することで、アイディ

アからスムーズに AI チップを実現し、かつ十分な検証によって、ファーストシリコンからの稼働、ファーストシリコンと同時にソフトウェアが稼働するシステムの実現を目指したものである。

図 3-1 に示すように設計フローには、基本であるハードウェア記述シミュレーション、ソフト検証、論理合成、ネットリストシミュレーション、等価性検証をラインアップ。これに加えて、ロジックエミュレーションによる検証行程を追加することで、AI チップ設計に特有である、規則性が高くかつ接続が多数存在するといった特徴を有する、高速、大規模、超低消費電力、高電力効率なチップ設計フローへの対応を目指す。設計フローの有効性の実証としては、

- ・実施項目 1-3 において開発される「リファレンスデザイン」に対して本実施項目で開発する設計フローを適用し有効性を実証
- ・「AI チップ開発加速のためのイノベーション推進事業／研究開発項目①：AI チップに関するアイデア実用化に向けた開発」の助成事業者を中心とした拠点利用者（以下、拠点利用者）の利用を通してその有効性を実証
- ・実施項目 1-5 において開発する最適化ライブラリを用いた設計に本設計フローを適用することで有効性を実証を目指したフローの構築を行う。

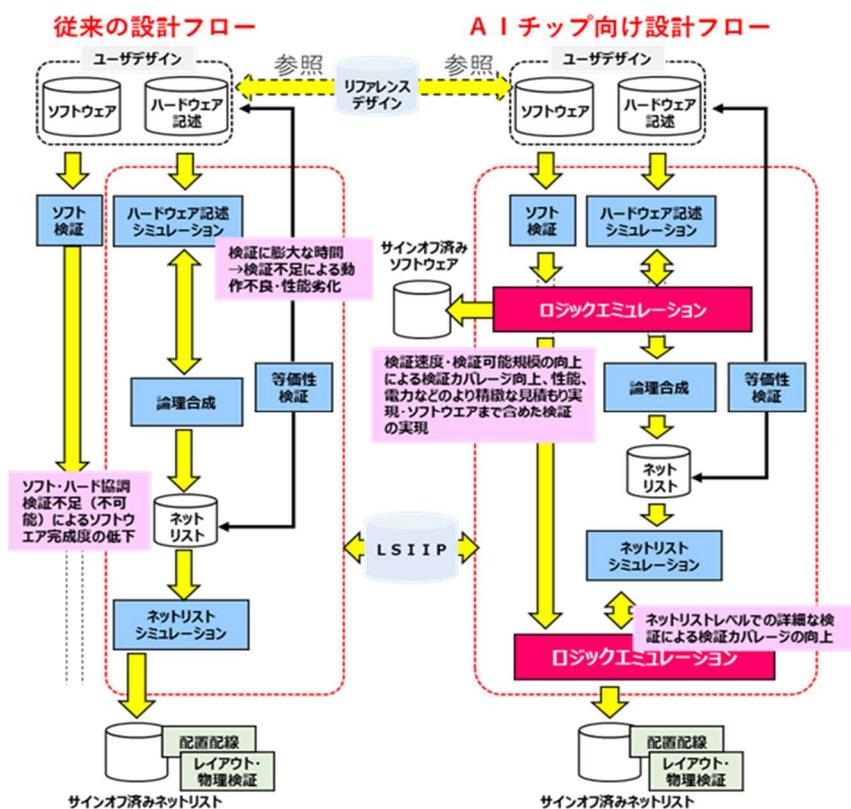


図 3-1 エミュレータを核とした AI チップ向け設計フロー

現時点までに、エミュレータ利用規定を整備し、デジタル設計の流れとその中での検証の位置づけ、エミュレータを用いた論理検証の基礎教材（図 3-2）の整備を行い、HP 上で公開し、エミュレータ利用法講習会及び検証法の講習会を実施した。加えて、エミュレータシミュレータ協調検証環境を整備しサンプル RTL を用いたデモの作成を行った。実際のサンプル RTL を用い

た教材の整備により、難解で使いこなすことが困難と思われがちなエミュレータを気軽に利用開始できる環境の整備ができた。さらに、検証法の講義に合わせる形で、教材を活用したセミナーを実施することで、エミュレータに対する理解を深める活動を行った。シミュレーションしか使わない通常の設計者に、エミュレータへのマイグレーションがシームレスにできることを示し、エミュレータの利用を加速することで、より確実な設計検証、より大規模な検証を抜けなく検証する枠組みの構築ができた。

結果として、現時点までに RTL 記述を用いたシミュレータ及びエミュレータによる設計検証は 7 件が進行中であり、この部分の中間目標は達成している。

ハードウェア・エミュレータでの論理検証の基礎

【応用編】

AIチップ設計拠点
東京大学システムデザイン研究センター

-1-

| | |
|---|--|
| <p>【目次】</p> <p>【デジタル設計の基礎編】</p> <p>1章 論理設計概要</p> <p>1.1. LSI設計概要</p> <p>1.2. 論理設計フロー</p> <p>1.3. 論理回路の基本</p> <p>1.4. HDL(SystemVerilog)概要</p> <p>2章 検証概要</p> <p>2.1. 検証について</p> <p>2.2. 検証手順</p> <p>2.3. 検証方法</p> <p>2.4. 検証ツール</p> <p>3章 仕様説明</p> <p>3.1. サンプルモジュールの概要</p> <p>3.2. 基本モジュール MAD1</p> <p>3.3. 並列化モジュール MADC FF</p> <p>4章 基本モジュール(MAD1)検証フロー</p> <p>4.1. テレクトリ構成</p> <p>4.2. MAD1の検証環境</p> <p>4.3. MAD1の検証実行フロー</p> <p>4.4. MAD1の結果確認</p> <p>5章 並列化モジュール(MADC FF)検証フロー</p> <p>5.1. テレクトリ構成</p> <p>5.2. MADC FFの検証環境</p> <p>5.3. MADC FFの検証実行フロー</p> <p>5.4. MADC FFの結果確認</p> <p>A章 Appendix</p> | <p>【ハードウェア・エミュレータでの論理設計の基礎(初級)編】</p> <p>6章 ハードウェア・エミュレータでの論理検証</p> <p>6.1. エミュレータ概要</p> <p>6.2. エミュレータでの機能検証環境</p> <p>7章 ハードウェア・エミュレータでの検証フロー</p> <p>7.1. テレクトリ構成</p> <p>7.2. MADC FFの検証環境</p> <p>7.3. MADC FFの検証実行フロー</p> <p>7.4. MADC FFの結果確認</p> <p>A章 Appendix</p> <p>【ハードウェア・エミュレータでの論理設計の基礎(応用)編】</p> <p>8章 ニューラルネットワークの回路仕様</p> <p>8.1. 手書き数字認識のニューラルネットワーク</p> <p>8.2. サンプルモジュール回路の仕様</p> <p>9章 ニューラルネットワークの検証フロー</p> <p>9.1. テレクトリ構成</p> <p>9.2. 検証環境</p> <p>9.3. 検証実行フロー</p> <p>9.4. 検証結果確認</p> <p>A章 Appendix</p> |
|---|--|

本書は【ハードウェア・エミュレータでの論理設計の基礎(応用)編】になります。

-2-

図 3-2 エミュレータを用いた論理検証教材例

実施項目 1-2 「AI チップ設計に向けたリファレンスデザインの研究開発」

システムレベル記述言語若しくはソフトウェアの知見しかない AI ベンチャーにおいて、多種多様な設計ツールを取捨選択し、スムーズに AI チップの設計を行うことは AI アルゴリズムのハードウェア化における大きなハードルである。現に、ソフトウェア開発者において、FPGA での実装までは比較的容易であるにもかかわらずチップ化がほとんど実現されないのはこの辺りが大きいとされている。さらに、この本質は、様々な設計ツール及び検証作業を要することに加えて、当該ツール群に特有な個々のデータベースやファイル形式を取り扱う必要があり、ハードウェア開発への新規参入は非常に敷居が高い。この敷居をいかに軽減するかが課題である。

そこで本研究開発項目においては、ハードウェア開発を生業としないためシステムレベル記述言語若しくはソフトウェアの知見しかないベンチャー企業等の研究開発者でも、多種多様な設計ツールを適切に取捨選択でき、システムレベル記述言語からハードウェア設計のサインオフまでを一気通貫に実現できるツールチェーンを策定することを目指している。これによりハードウェア設計経験のない AI ベンチャー企業であったとしてもアイデアからスムーズに AI チップ実現が可能となる。

そこで本研究課題においては、ツールチェーンを網羅するマニュアル・教材を整備することに加え、ツール利用のための環境設定ファイルをツール毎に準備することでツール利用のハードルを下げることを目指した研究開発を行う（図 3-3）。

現時点までに、EDA ツールの利用ガイドライン、利用マニュアルの公開、EDA ツールの管理運用指針を策定し（図 3-4）、安全かつ EDA ライセンスの効率的な運用を可能とする利用形態を構築し、その乗っ取った利用、導入した EDA ツールを用いた設計フロー教材として、高位合成教材、物理設計教材を完成させ公開、ツール利用のための環境設定をひとまとめにして、利用者が即利用開始できるように整備に取り組んだ。これらの取組により、マニュアルに加え、導入ツールに即した教材の整備、ツール毎の環境変数の一括した整備により、EDA ツール利用初心者の利用開始の障壁が劇的に低減した。加えて、NoMachine によるセキュアな画面転送による、利用者データの散逸のリスク、拠点の IP の不正流出を防止しつつ利便性良く利用できる環境を構築するとともに、ライセンスキューシステム LSF を用いた EDA ツールの利用によるライセンスの効率的な運用を実現しており、貴重なライセンスの有効活用に資している。

なお、高位合成を使ったデジタル設計【基礎編】のモデル設計フロー（図 3-5）を活用した高位合成設計 3 件の実証確認中となっている。

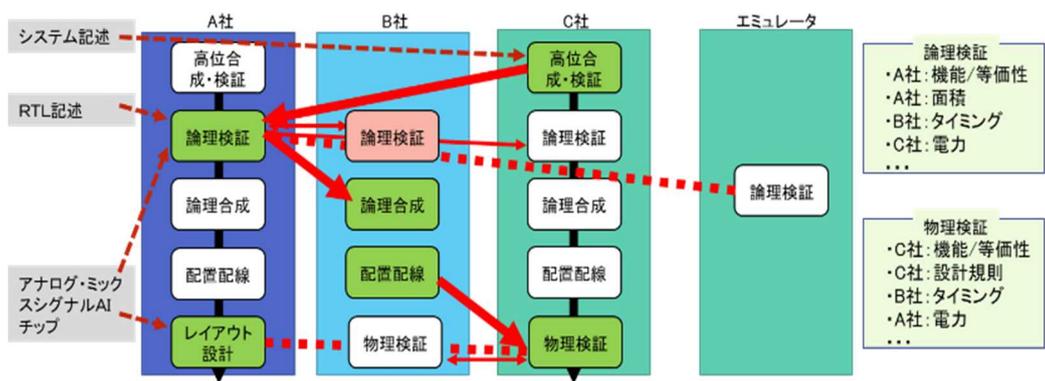


図 3-3 ツールチェーンの一例

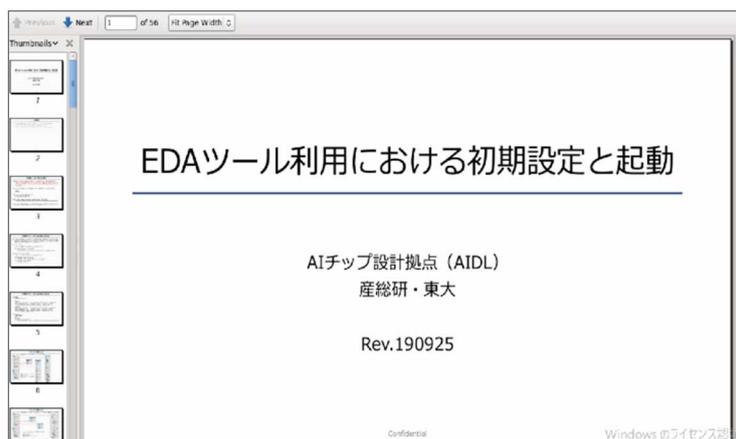


図 3-4 EDA ツール起動マニュアル

| デジタル設計教材 | | |
|---------------------------------|----------------------------|---------------------------|
| 高位合成を使ったデジタル設計【基礎編】 | | |
| AIチップ設計拠点 東京大学システムデザイン研究センター | | |
| 【目次】 | | |
| 高位合成を使ったデジタル設計【基礎編】 | | |
| 1章 高位合成概要 | 8章 GDCによるシミュレーション概要 | 14章 バイブライシス |
| 1.1 高位合成とは | 8.1 アストペンタ作成 | 14.1 Architecture |
| 1.2 高位合成での設計フロー | 8.2 フロップ | 14.2 スループットの検証 |
| 1.3 高位合成のフルフロー | 9章 Cadence起動 | 14.3 RTL生成 |
| 1.4 記述言語Verilogの概要 | 9.1 SystemC記述の作成 | 14.4 遅延検証 |
| 1.5 高位合成ツールAについて | 9.2 Cadence起動 | 15章 サンプル回路、MAGC.PE |
| 2章 高位合成設計フロー概要 | 10章 アストペンタに依存しない検証 | 15.1 機能性検証作成 |
| 2.1 Cadenceについて | 10.1 DesignChecker の起動 | 15.2 CoCm 記述 |
| 2.2 Cadence設計フロー | 10.2 DesignChecker の結果確認 | 15.3 機能性検証 |
| 3章 サンプルモジュール書き込み | 10.3 コードの修正 | 15.4 SystemC 記述 |
| 3.1 サンプルモジュールの概要 | 11章 CoCm出力のシミュレーション | 15.5 アストペンタ作成 |
| 3.2 基本モジュール MAGC | 11.1 Cadence Coverage の起動 | 15.6 アストペンタに依存しない検証 |
| 3.3 サンプル回路設計の準備編の扱い | 11.2 CoCm出力結果の確認 | 15.7 CoCm出力結果の取得 |
| 4章 機能性検証作成工程 | 12章 デザインフロー | 15.8 サイクルフロー |
| 4.1 機能性検証とは | 12.1 サイクルフロー概要 | |
| 4.2 MAGCの機能性検証 | 12.2 サイクルフロー | |
| 4.3 MAGCのCoCm記述 | 12.3アーキテクチャ制約確認 | |
| 5章 設計性検証作成工程 | 12.4 ツール連携 | |
| 5.1 設計性検証とは | 12.5 サンプル回路 | |
| 5.2 MAGCの設計性検証 | 12.6 RTL生成 | |
| 5.3 MAGCのSystemC記述 | 12.7 Verilog 互換 | |
| 6章 コーディング工程 | 12.8 Design Analyzer の起動 | |
| 6.1 コーディングとは | 12.9 Design Analyzer の結果確認 | |
| 6.2 MAGCのコーディング | 13章 シミュレーション | |
| 7章 アストペンタ作成工程 | 13.1 シミュレーションの準備・設定 | |
| 7.1 アストペンタとは | 13.2 Verilogの起動 | |
| 7.2 Verilogのコーディング | | |
| 7.3 MAGCのアストペンタ | | |
| 7.4 Verilog記述 | | |

図 3-5 ツールチェーンマニュアル例：高位合成を使ったデジタル設計

実施項目 1-3 「AI チップ設計に向けたリファレンスデザインの研究開発」

AI チップ設計に向けたリファレンスデザインの研究開発においては、ハードウェア記述、ファームウェア、ソフトウェアと PCIe 等の高速バスインターフェース、DDR 等の高速メモリインターフェース、標準バスインターフェースや、画像認識 AI で用いられる畳み込みニューラルネットワーク IP からなるアクセラレータをリファレンスデザインとして作成することに取り組んだ。また、畳み込みニューラルネットワーク IP の部分を今後 AI において使われると推測される再帰的ニューラルネットワーク、サポートベクターマシン、ボルツマンマシンに適用可能なように拡張することに取り組むこととなっている。中間目標としては、畳み込み・再帰型ニューラルネットワークに対応したアクセラレータリファレンスデザインを作成し、その動作をエミュレータ上で再現し、ニューラルネットワーク用シミュレーションフレームワークの処理について、ソフトウェアによる実行結果と矛盾しない正当な計算結果が得られることを確認することであった。今年度までに、上記計画通りのリファレンスデザインを構築し、エミュレータ上での動作を確認した。これによって、FPGA で PoC(Proof of Concept

をしてきたようなユーザーが SoC(System on Chip)に移行する際に最新の検証手段を提供可能となる。

リファレンスデザインは、図 3-6 に示すようにアクセラレータ RTL に加え、Flame work としては Chainer、Python、OS としては Ubuntu、ホストとしては Intelx86_64、更に GPU(NVidia)も含むものである。本プロジェクトでは、これらのすべての要素をエミュレータシステムによって、各部の協調動作を一貫して再現することを目指した。

本研究では、これを実現するために AXI バスファンクショナルモデルを導入し、エミュレータに実装された DUT(Design Under Test)の RTL とそれ以外の部分のモデルを搭載したシミュレータを接続することとした。更に GPU 及び Ubuntu を搭載したチップ駆動用のホスト PC は、実機をエミュレータ制御ホストに接続できるようにし、DUT の RTL を実際のソフトウェアから起動可能なソフトウェアハードウェア一貫検証を実現するためのシステムとして構築した。この検証システムによって、ソフトウェアハードウェア一貫検証を実現することに成功した。この検証システムは、エミュレータ装置、ソフトウェアシミュレータ用ホスト、そしてリファレンスデザインのモックとなる Host の 3 要素によって構成され、世界でも稀な大規模検証環境といえる。CPU モデル、DRAM モデルは、C 言語モデル等で代用しており、集積回路 IP を持たないユーザーも自身の RTL を検証可能になる。

リファレンスデザイン自体の動作健全性の確認は、同一のニューラルネットワークの 100 データによる学習過程を題材とし、検証システムのエミュレーション結果がソフトウェアによる実行結果と矛盾しない正当な計算結果が得られることを確認した。より具体的には、図 3-7 に示すように、Alexnet 第 4 層前後の入出力値が一致することを確認するとともに、Alexnet の 100 データ学習後の画像認識スコアが矛盾しないことを確認した。

本システムの使用方法は、拠点 Web ページの FAQ に案内を出すとともに、システム上に使用法マニュアルを公開している。2020 年度拠点 6 月フォーラムでも案内を実施した。

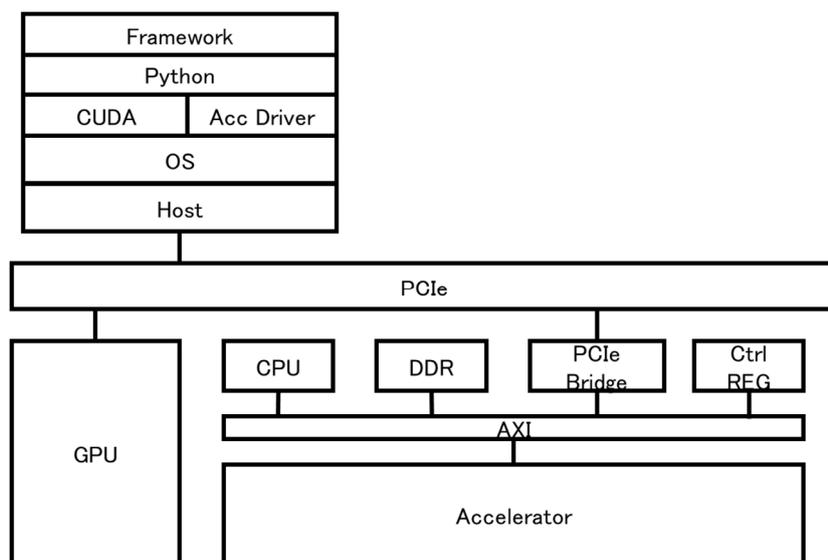


図 3-6 リファレンスデザインの構成

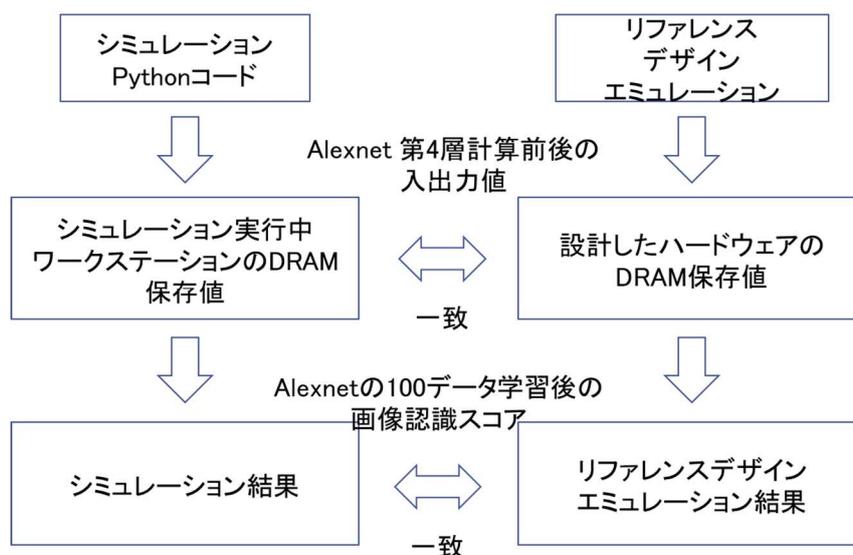


図 3-7 リファレンスデザインの検証過程

実施項目 1-4 「センサ機能を含むチップのための新規デバイスモデルの研究開発」

センサ機能を含むチップのための新規デバイスモデルの研究開発については、物理設計環境を拠点ユーザーに提供するため、要望が多かった CMOS イメージセンサー関連ユーザーの訪問ヒアリングを行った。CMOS イメージセンサーに注目したのは他のセンサに展開できるなど拠点にとっての将来性の観点からである。ヒアリングの結果を受け Impulse TCAD を用いてユーザーの要望を実現するための CMOS イメージセンサピクセルのシミュレーション技術を構築した（図 3-8）。更に条件振りやレイアウト変更などの要望を反映できる TCAD の Web ユーザーインターフェースを開発した（図 3-9）。更に TCAD への個別の要望を通じて協力関係を結び、共通的に再利用できる入力データのひな型の整備が可能な体制ができつつある。

Web ユーザーインターフェースは素子寸法・ドーパント分布などのパラメータを設定するなど、汎用的な仕組みとして WebUI を構築しており、将来様々なデバイス構造に拡張が可能である。今後訪問した関連ユーザーを中心にご評価いただき、いただいたご意見を元に改良する予定である。また TCAD に対する個別の要望に対する対応も行っており共通利用可能な入力データのひな型の充実が期待できる。

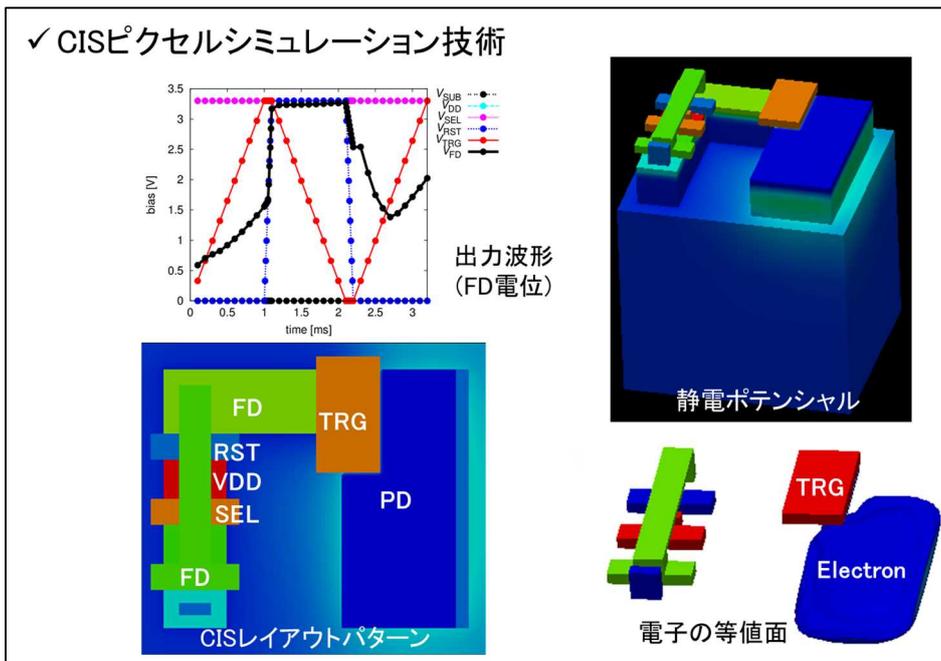


図 3-8 ユーザーの要望を実現するための CMOS イメージセンサピクセルシミュレーション技術

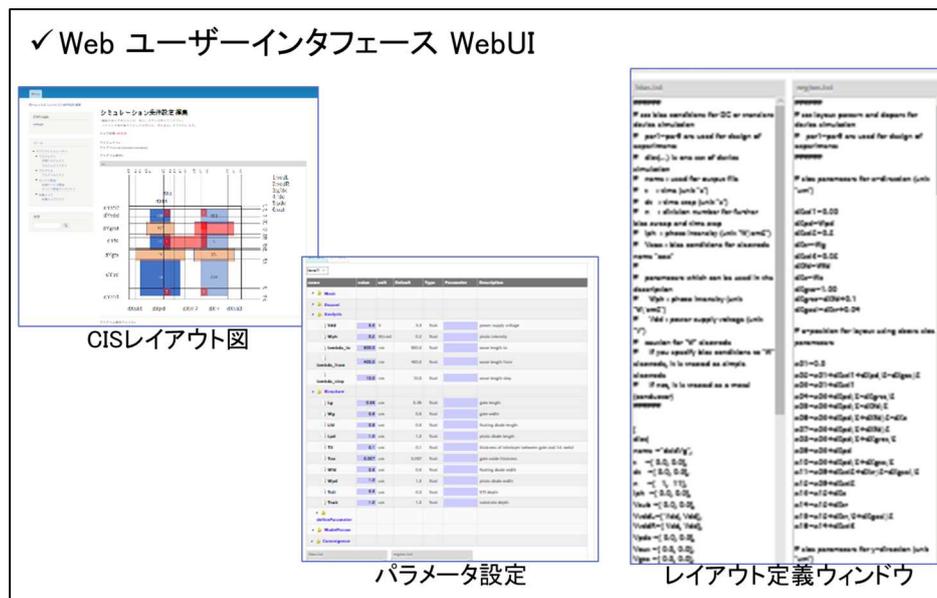


図 3-9 開発した Web ユーザーインターフェイス

実施項目 1-5 「国内外 FAB の活用と最適化ライブラリの研究開発」

AI チップ開発の上で、さらなるハードルは、AI コアの設計はできてもそれだけでは PoC を担うハードウェアにはならず、制御用のプロセッサ、それらを接続する NoC IP、オンチップメモリ、更には外部の制御用機器（PC など）との高速通信を担うインターフェイス IP 等を搭載することが

不可欠であり、それらの調達、それらを用いた設計の困難さが、AI チップ開発のハードルを更に高くしている。また、高いセキュリティ性等を保証する必要があるアプリケーション向けの半導体を国内 FAB で製造したいとの要求は少なくないが、国内の FAB は設計者からの利用実績が極端に少ないためノウハウの蓄積・公開に制約があり、容易に設計に取り組める状況ではない

(図 3-10、図 3-11)。そこで、本研究開発項目においては、スタンダードセルなどの基本 IP、PLL やメモリといったプリミティブライブラリに加え、完成度の高い AI チップの実現に向けて高速 I/O やプロセッサといった高次の IP の整備を行い、それらが利用可能となるようにする。これにより、拠点利用者は競争力のある AI コアの開発に注力することができるようになり、開発期間の短縮を実現できる。また、標準 IP コアを用いた設計フローを開発、最適化を行うことにより、設計フローの最適が可能となり、結果的に、AI ハードウェア設計の開発が加速されることが期待される。

本研究課題に関して、AI チップ開発に必要な標準 IP として、PCIe、DDR などの標準インターフェース IP、NoC やバスインターフェース IP、標準的なプロセッサコア IP を導入し、設計に利用可能な形で整備した。また、整備した IP を IP カタログの形でリストの整備と公開を行った。さらに導入 IP コアを有効活用しながら設計ノウハウを集積する目的で、AI コアを搭載するプラットフォームとして SoC 設計を開始し、そのブロック図、フロアプランの策定と、それに基づいた NoC など IP 利用方針の策定を行った (図 3-12)。

本研究課題の取組の結果として、多くの利用価値の高い IP が整備され利用可能な状況になったことは、EDA の整備と併せて非常に意義の高いことである。さらに、AI コアのアイデアを実証するためには SoC としての実現が不可欠であり、その実現を容易化するための AI コアの評価のための SoC プラットフォームの構築は、今後の AI チップ快活加速において、大きなマイルストーンである。さらに、このようなマルチコアの SoC プラットフォームは世界的にも新規性の高い取組である。

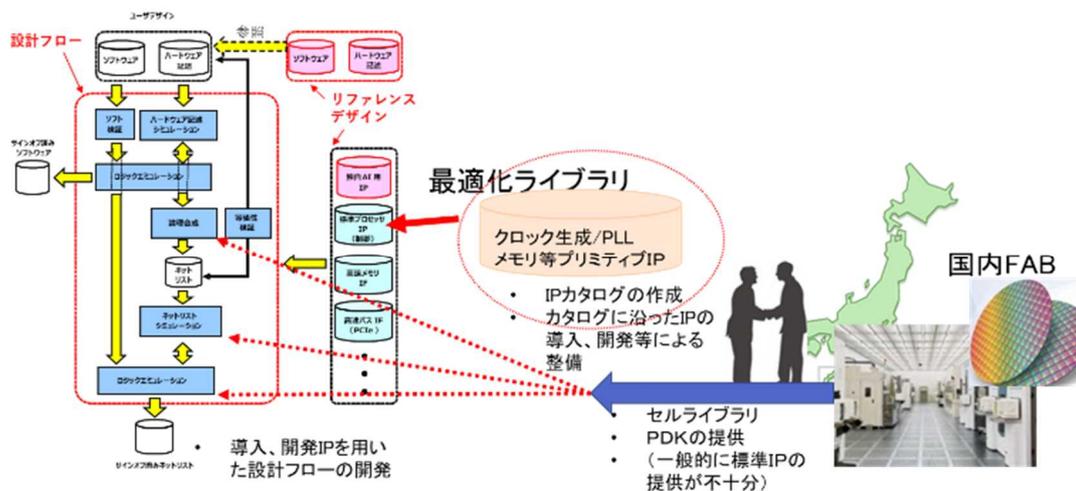


図 3-10 設計フローとライブラリ



図 3-11 AIチップ設計とIPの関係

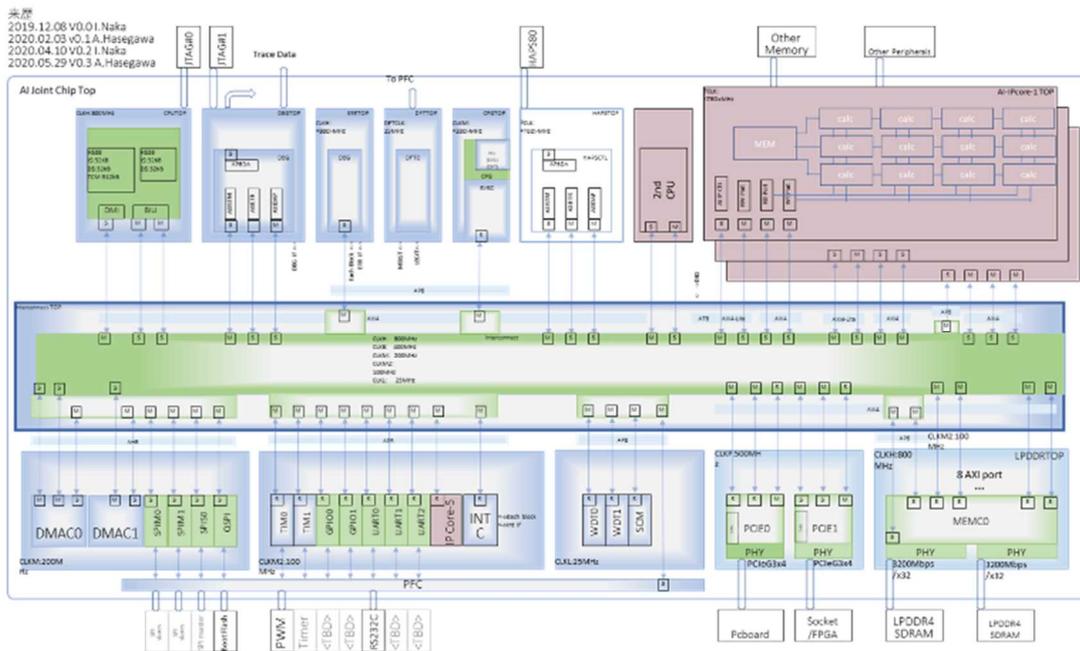


図 3-12 SoCプラットフォームの構成概要

実施項目 2-1 「AI チップの研究開発に必要な EDA ツールの整備」

AI チップ開発において数ある障壁の最初であり最大の障壁である EDA ツールを整備し、中小・ベンチャー企業に広く活用されるような環境として提供することが本研究プロジェクトにおける最大の課題である。AI チップ開発において、その性能を高精度に予測し設計するための設計ツール群はもはや欠かすことのできないものとなっているが、これらの設計ツール群は非常に高価であるため、AI チップの開発には莫大な費用が必要となり、大きな障壁となっている。そこで、本研究開発項目において、アナログ系、デジタル系論理設計・物理設計のための設計ツール群、高位合成のためのツール群及びサインオフ検証向けツール群を整備し、拠点を利用する中小・ベンチャー企業に広く活用されるような環境を整備する。これらの EDA ツール群は拠点内にライセンスサーバを設置し以下の通りの管理運用を行う。拠点を利用する中小・ベンチャー企業は、

- (1) 企業内に企業自身が整備した計算機にツールをインストールし、ライセンス認証を行い利用する（図 3-13：ベンチャーA に相当）、
- (2) 拠点に設置するプライベートクラウド上のツールを利用する（図 3-13：ベンチャーB、C に相当）、
- (3) 拠点に設置する利用ブースにおいて利用する（図 3-13：ベンチャーD に相当）

いずれかの形態での利用を前提とする。利用申請ライセンス数、利用ユーザー登録により利用を厳密に管理することで、利便性を損なうことなく目的外利用を防ぐ。なお、利便性及びセキュリティ担保の目的で、(2) を優先して整備し運用し、順次、(3)、(1) に運用を拡大していくこととする。

2019 年度より順次利用を開始し、現状では (2) に関しては十分に安定した運用を実現している。EDA ツールの導入に関しては、永久ライセンスと 4 半期毎の単価契約に分割することで、定常的な費用負担の軽減を図りながら、ライセンスの機動的な運用を可能とする契約を実現した。さらに、EDA ツールの利用規約の整備を行い、申請から利用までのフローを整えた。EDA ツールを実行するサーバ環境を導入し、それらを実際に利用できる環境に整備し運用した。また、EDA ツールは、最新バージョンを利用しなくてはならない案件と、PDK との相性から特定バージョンを利用しなくてはならない案件が混在することから、必要に応じて、最新バージョン及び必要バージョンをインストールすることで、ライブラリや設計フローに即応した利用環境の整備を行った。さらに、ライセンス監視ツール OpenLM をインストールし利用動向の監視を行うとともに、利用状況に応じたライセンス数の調整を実現した。

また、EDA ツールの利用に際して、不正なライブラリダウンロードなどといったことを防止する目的での、セキュリティを確保したうえで、設計ファイルの UPLOAD、DOWNLOAD を半自動で実現できる環境を構築した（図 3-14）。

その結果として、現在までのライセンス利用ユーザー数が、25 プロジェクト 139 アカウントの利用実績となっている（図 3-15、図 3-16）。なお、利用申請が認められて利用が開始したプロジェクト数は 26 となっている（図 3-17）。この実績は当初 10 件程度の利用の想定に対して大幅な上積の実績となっており、2019 年度の加速資金でのインフラ増強が有効に機能している。

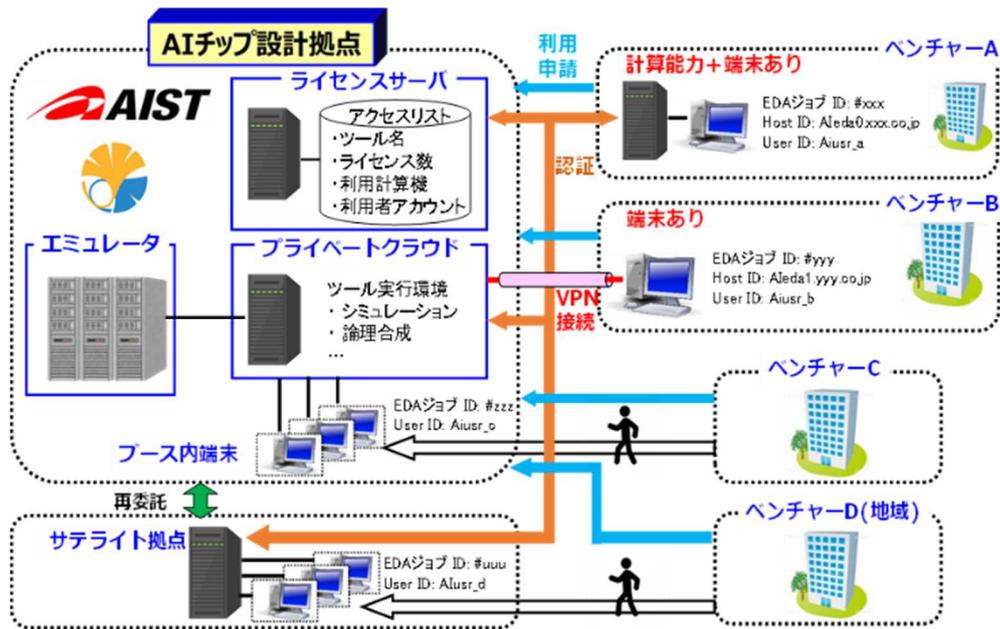


図 3-13 AI 拠点における EDA ツールの利用形態

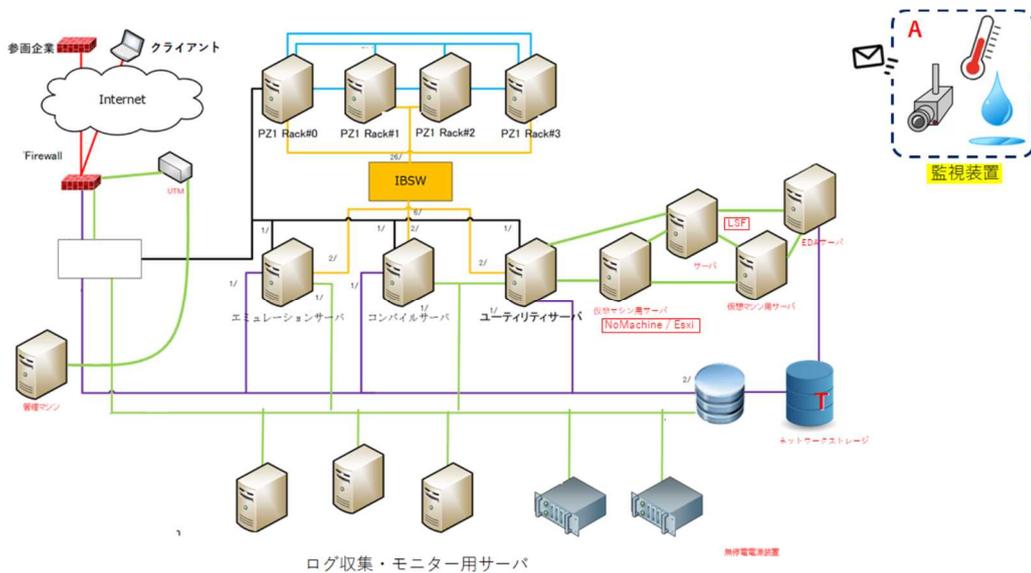


図 3-14 拠点の EDA 利用 IT インフラ概要

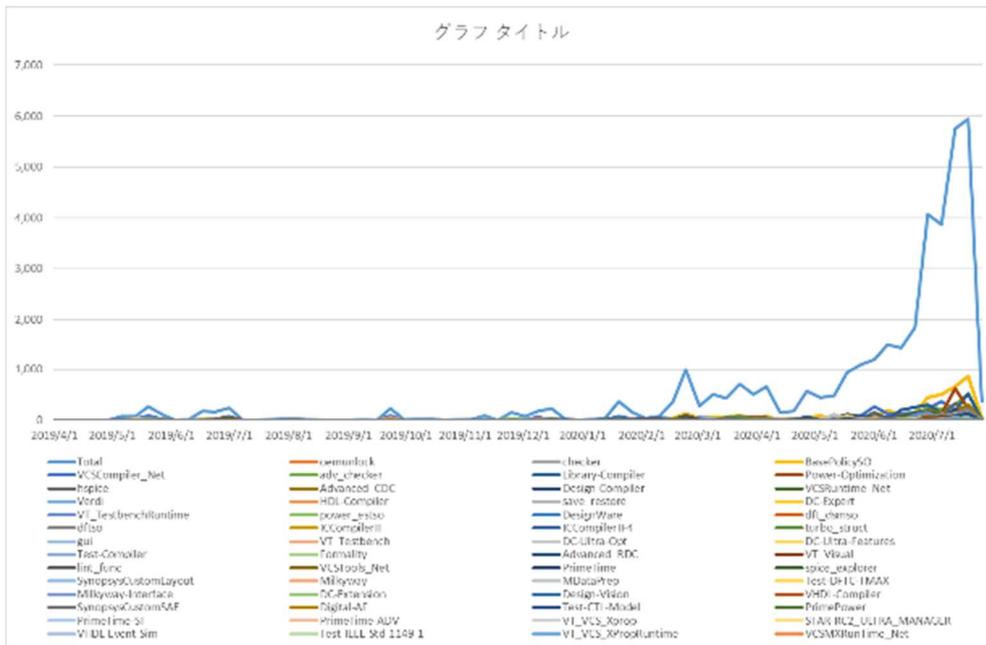


図 3-15 シノプシス社ツールの利用状況

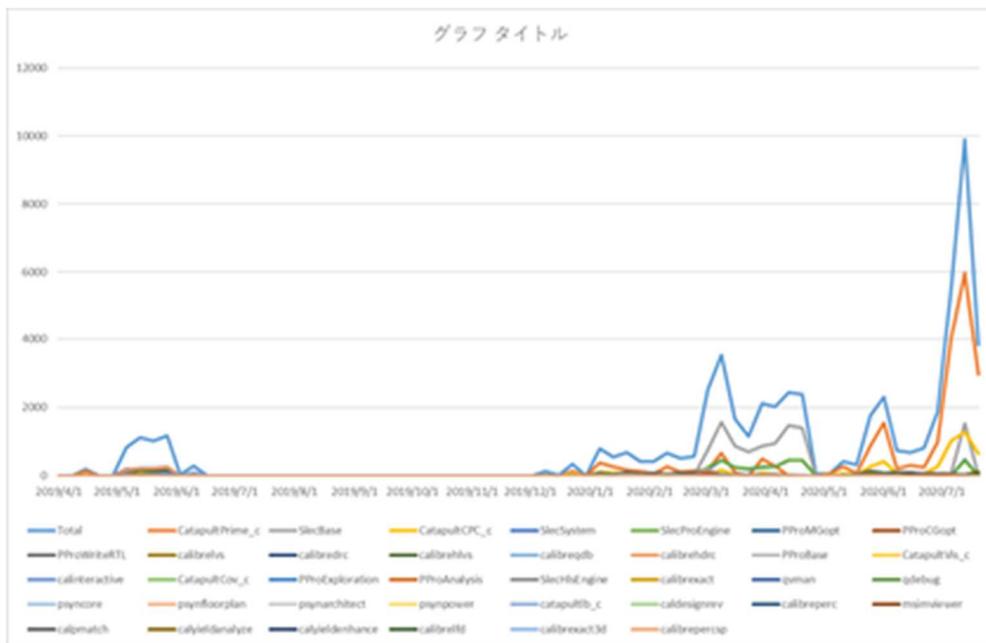


図 3-16 メンター社ツールの利用状況

- これまでの登録利用者 26機関：19企業（内利用終了2社） + 7大学

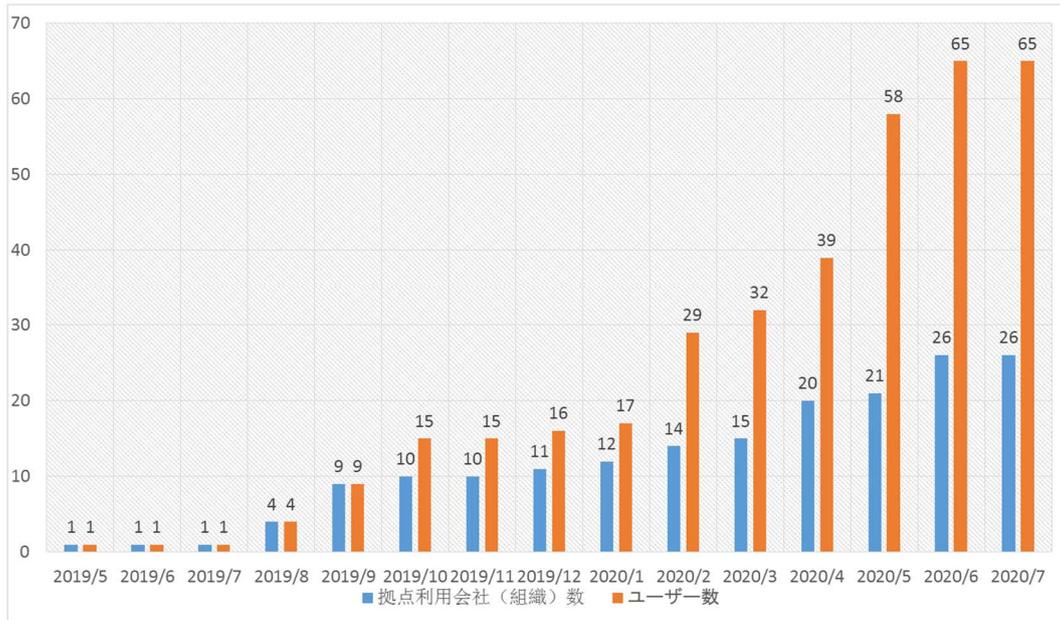


図 3-17 拠点利用者数の推移

実施項目 2-2 「人材育成と拠点機能の整備」

構築した AI チップ設計開発環境を活用するための機能やマニュアル類を整備するとともに、人材育成を行う。ツールや設計フロー、ツールチェーンやリファレンスデザインを準備しただけでは、エミュレータや EDA ツール群を使いこなして AI チップの開発ができるわけではない。また、FAB の選定、契約、設計のための PDK やライブラリの導入は非常に時間がかかり容易ではない。そこで、拠点の利用に関するマニュアルの整備の他、AI チップ設計・検証ガイドラインの策定や、AI チップ設計の教育カリキュラムを構築し、中小・ベンチャー企業の AI チップ開発に関する人材育成を実施する（図 3-18）。さらに、代表的な FAB に対する窓口を整備し、試作に向けた支援を行う。複数回の勉強会を開催し、中小・ベンチャー企業等の意見を集約し、マーケティングやコンソーシアム活動を通して拠点の自立運営を検討する。

この課題に対し、現時点までに、EDA ツールの利用ガイドライン、利用マニュアルの公開を行い、EDA ツールの管理運用指針を策定し、安全かつ EDA ライセンスの効率的な運用を可能とする利用形態を構築し、その乗っ取った利用を行っている。さらに、導入した EDA ツールを用いた設計フロー教材として、高位合成教材を完成させ、更にその続編としての物理設計教材を 2020 年度末までに完成させ公開する予定で研究開発を進めている。ツール利用のための環境設定をひとまとめにして、利用者が即利用開始できるように整備を行った。また、人材育成に向けては、フォーラムを通じた幅広い興味の喚起、セミナーを通じた深堀に加え、整備した教材を用いた自習などの教育を合わせることで効率よく人材の育成を目指している。

一般向けの設計フォーラムは合計 13 回開催、教育セミナーを 3 回実施、SoC 設計実践セミナーを 4 回実施している。これらフォーラム、セミナー開催と連動する形でトレーニング資料のダウンロード数も増加しており（図 3-19）、これらが自習により活用されていると期待される。また、ネットワーク越しの利用に起因して起こりうる諸問題を回避するために拠点利用ブースを整備し拠点に来てのツールの利用（図 3-20、図 3-13 中のベンチャーC の利用形態）へも対応を行った。また、拠点の自立運営に向けた議論を加速するため、拠点内部にタスクフォース設立して自立化の検討を開始し、外部識者への加入の了解を得て外部識者を含めた議論を加速することを目指している。

| ハード開発経験知見 | | 試作・製造 | テスト | 検証技術 | EDAツール | | | AIアルゴリズム | AIチップ | システム設計 | 組込ソフト | |
|-----------|---------------|---|---|----------------------|-------------------|---------------|-------------|------------------|-------|--------|-----------------|--|
| | | | | エミュレーション | デジタル設計 | アナログ設計 | 設計フロー | ML/DL等 | | | | |
| あり | 実習 手簿 | AI拠点 重点2:教材となる題材(正しいデータ、間違っデータなど)を蓄積する 重点3:SoCを教材とした実践トレーニング | | | | | | | | | | |
| | 座学 | VDEC連携したテスト手法 | AI拠点 エミュレータ協調検証 | AI拠点 デジタル設計トレーニング | AI拠点 アナログ編・RF編 | AI拠点 設計フロー | 産総研AIセンター連携 | AI拠点 AI SoC設計 | | | エイお おかIS T連携 | |
| なし | この領域のユーザ拡大が重要 | マッチング | AI拠点 重点1:フォーラム・セミナー(フランクな勉強会、マッチング)を月一回以上開催 | | | | | | | | | |
| | 成果アピール | | | | | | | | | | | |

図 3-18 人材育成のグランドデザイン

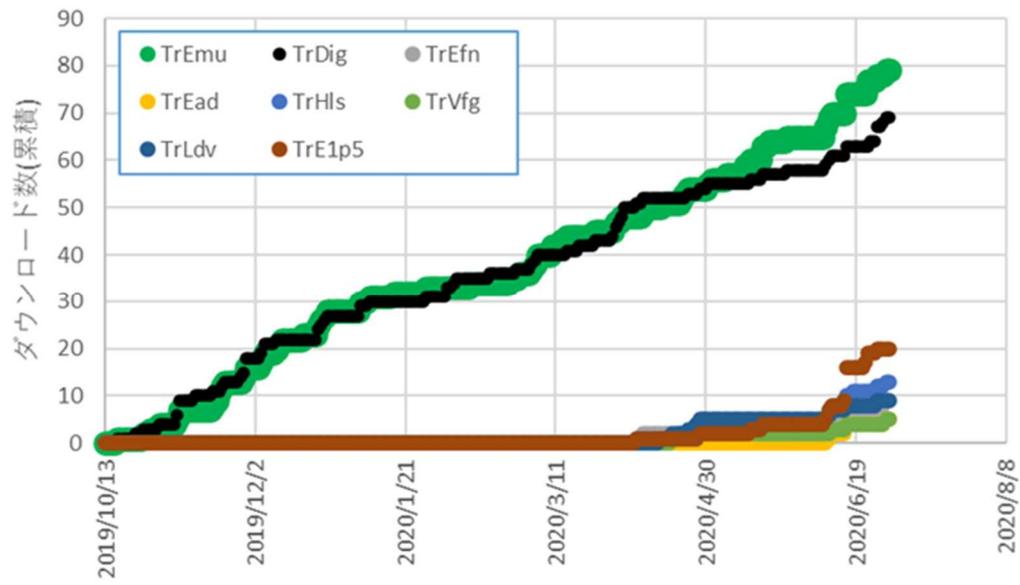


図 3-19 トレーニング資料のダウンロード数

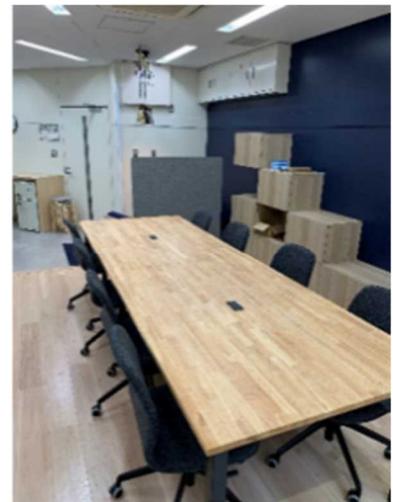


図 3-20 拠点ブースの整備

4. 成果の実用化に向けた取組及び見通しについて

1. 本事業（プロジェクト）における実用化の考え方

本事業の実用化に向けては、本プロジェクトで開発した共通基盤技術・資産（チップ設計手法／ノウハウ DB、SoCプラットフォーム、IPライブラリ、チップ設計クラウド、チップ設計HP、運営管理技術、チップ設計教育DBなど）を継承する自立運営組織(仮称: AIDCx)を組織化し、プロジェクト終了後も低コスト・短期間でのチップ開発を可能にする共通基盤の提供を継続させることを考える（図4-1）。

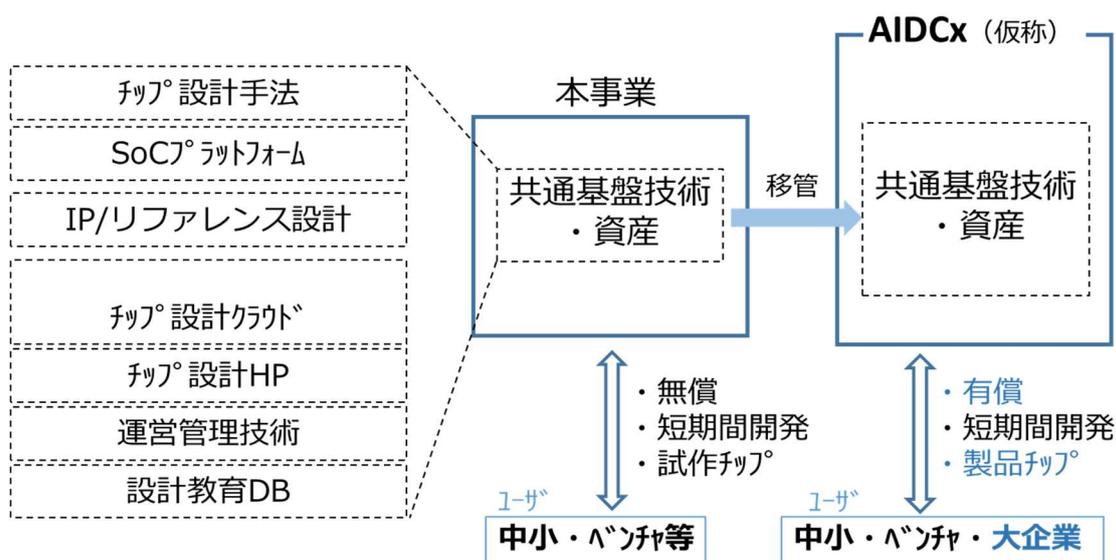


図 4-1 自立運営組織(AIDCx)のイメージ

2. 実用化に向けた今後の検討及び課題

AIDCxの組織化、運営に向けて、事業モデルの具体化、共通基盤技術の拡充、国の施策との連携について、以下のような検討課題がある。

今後、それぞれについて、具体的な検討を進める。

(1) 事業モデルの具体化／課題

- ・EDAベンダ、IPベンダとの契約形態
- ・ファブとの連携モデル
- ・収支モデル
- ・AIDCxの組織形態（営利 or 非営利団体）
- ・資産移管方法

(2) 共通基盤技術の拡充／課題

- ・SoCプラットフォームの拡充（現状、28nm 技術に対応）
- ・AIDCx 専用 IP ライブラリの確保
- ・自立資金の確保

(3) 国の他の施策との連携／検討

- ・経済安全保障関連施策との整合性
- ・自立資金の確保

3. 実用化による波及効果

本事業の実用化により、我が国において以下の波及効果があると考えている。

(1) 我が国における AI チップ開発の活性化

- ・AIDCx に共通基盤技術を集約・蓄積し、共通利用することにより、チップ開発の効率を改善し多くのアイデア実用化の創出に貢献
- ・AIDCx を核としたチップ開発のための資金調達エコシステム構築により、資金調達プロセスを活性化

(2) 我が国の国家／経済安全保障への貢献

- ・チップ設計のエンジニアリングチェーンを国内に確保
- ・国内半導体ファブと連携した国内でのチップ設計-生産エコシステムの確立

添付資料

●基本計画

P18004

「AI チップ開発加速のためのイノベーション推進事業」 基本計画

IoT 推進部
イノベーション推進部

1. 研究開発の目的・目標・内容

(1) 研究開発の目的

① 政策的な重要性

IoT、人工知能（AI）、ビッグデータ、ロボット等の技術革新により、これまで実現不可能とされていた社会の実現が可能になりつつある。IoT 技術の進展により、実社会のあらゆる事業・情報がデータ化され、ネットワークを通じた自由なやりとりが可能となりつつある。AI 技術は、その飛躍によって、機械が自ら学習し人間を超える高度な判断をすることをも可能にしている。また、ビッグデータ技術によって、集まった大量のデータの分析から新たな価値を生み出すことを可能にしている。ロボット技術は、より多様かつ複雑な作業の自動化を可能にしている。また、これら技術革新の掛け合わせによって、革新的な製品やサービスが生み出されることも期待できる。例えば、無人自動走行車、ものづくり現場における多品種少量生産、個人に最適化された医薬品の提供、介護現場の労働力不足解消、インフラ保安の効率化等の実現が期待され、産業構造や就業構造を劇的に変える可能性を秘めている。

「必要なもの・サービスを、必要な人に、必要な時に、必要なだけ提供し、社会の様々なニーズにきめ細かく対応でき、あらゆる人が質の高いサービスを受けられ、年齢、性別、地域、言語といった様々な違いを乗り越え、生き活きと快適に暮らすことのできる」超スマート社会（Society 5.0）の実現には、上記のような第4次産業革命技術やそれらを用いて創造される製品やサービスを次々と社会実装していかなくてはならない。

関連する政策として、次のようなものが打ち出されている。第5期科学技術基本計画（平成28年1月閣議決定）では、「超スマート社会」（Society 5.0）の実現において、構築に必要で速やかな強化を図るのが必要な基盤技術として、安全な情報通信を支える「サイバーセキュリティ技術」、IoTやビッグデータ解析、高度なコミュニケーションを支える「AI技術」、大規模データの高速度・リアルタイム処理を低消費電力で実現するための「デバイス技術」、IoTの高度化に必要となる現場システムでのリアルタイム処理の高速度化や多様化を実現する「エッジコンピューティング」等が挙げられている。「科学技術イノベーション総合戦略2017」（平成29年6月閣議決定）では、「超スマート社会」（Society 5.0）の実現に向けた重きを置くべき取組として、「サイバー空間関連の基盤技術の強化（エッジコンピューティング

等)」や「フィジカル空間関連の基盤技術の強化（超小型・超低消費電力デバイス等）」が挙げられている。「未来投資戦略 2017」（平成 29 年 6 月閣議決定）では、イノベーション・ベンチャーを生み出す好循環システムのための重点投資すべき分野の取組の一つとして、「AI 学習効率の向上、自然言語処理、ディープラーニング翻訳、超高効率 AI 処理に資する半導体及び革新的センサ等の基盤技術開発及びその組込みシステムへの適用」が挙げられている。

また、経済産業省は、Society 5.0 を実現するための我が国の産業が目指すべき姿（コンセプト）として、「Connected Industries」を提唱した（平成 29 年 3 月）。Connected Industries は、既存産業とデジタル技術の「つながり」をはじめとして、機械、データ、技術、ヒト、組織など様々なものの繋がりによって新たな付加価値の創出や社会課題の解決を目指すものである。経済産業省は、Connected Industries を実現するための事業を強力に推進しており、特に、「自動走行・モビリティサービス」、「バイオ・素材」、「スマートライフ」、「プラント・インフラ保安」、「ものづくり・ロボティクス」を 5 つの重点取組分野としている。

上記の社会課題解決には、大量データの効率的かつ高度な利用を可能とする情報の収集、蓄積、解析、セキュリティなどの技術に加え、AI・次世代コンピューティング技術がエッジやクラウド領域において求められている。中でも、自動走行やロボティクスを始めとする分野では、従来のクラウドコンピューティングからネットワークの末端（エッジ）で中心的な情報処理を行うエッジコンピューティングへの分散が不可欠になると考えられており、エッジにおける処理の重要性や価値が高まると推察されている。特にエッジにおいては限られた資源を用いて効率的に処理を行う必要があるため、性能を飛躍的に向上させられる AI 技術の活用が期待されている。この転換期を日本の IT 産業が大幅に成長するチャンスと見据え、産学官の体制による野心的な技術開発を推進することが重要である。

日本にはベンチャー企業を中心に AI に関する高度な技術が存在するが、当該 AI をエッジ側で効率的かつ高速に動作させるためには、AI の動作専用に設計開発した専用デバイス（AI チップ）が必要となる。しかし、AI チップの開発には高額利用料が必要となる専用の設計ツール（EDA ツール）、検証装置等が必要であるとともに、試作にかかる費用も高額であるため、革新的な構想が企業にあったとしても AI チップの設計開発を行う事が出来ずにいる。

専用の設計ツールを用いなければならない背景には、微細化が進む事での回路設計の高度化に対応する必要があることと、EDA ツールを使わなければ設計した回路の性能が保証されないという面がある。そのため、アイデア段階ではビジネス化までの事業化計画が不明確となり、民間資金の獲得も困難となる。これが AI チップビジネスに参入しようとする企業にとって、開発とビジネス化の間を隔てる高いハードルとなっている。

そのため、国が主導してこのハードルを取り除く政策を実施し、画期的なアイデアを用いた AI チップの設計開発を推進するとともに、開発を通じた人材育成はもとより、エッジコンピューティングの実現に貢献し、日本の産業競争力の強化にも繋げる。

② 我が国の状況

日本は、コンピューティング分野において、ハードウェアを中心に存在感を発揮してきた。1980年前後には、日本発の材料、メモリ、アーキテクチャなどの革新的な技術を発明し、ムーア則実現の礎を築いた。

その後、ファウンドリーという業態が新たに誕生し、設計と製造を分離することで複雑化する集積回路の開発に対応する動きが活発化したが、市場変化への対応が遅れたことに伴い、例えば半導体では1988年には50%を超えていたシェアが現在では10%程度にまで落ち込む等、現在はコンピューティング分野において苦戦している。

分業化が進む集積回路開発分野において、独創的なVLSI（大規模集積回路）システムを発想し、回路構成・基本設計技術を有する技術者集団を育成するため、VLSIの設計教育の高度化と充実を目指し、1996年に全国の大学などが共同で利用できる施設としてVDEC（大規模集積システム設計教育研究センター）が東京大学内に設置された。主に、学術的用途向けとして、集積回路設計に欠かせない設計環境や検査・測定環境を自ら保有し、学生、研究者を中心に解放することで、人材育成に寄与している。また、一般社団法人電子情報技術産業協会の半導体部会役員会が推進した半導体先端技術の民間共同開発プロジェクト「あすかプロジェクト」が2001年に開始し、デザインルールhp65向け技術としてSoC（System-on-a-chip）の開発効率を向上させる45nm対応設計技術や32nm対応プロセスデバイス技術を開発したが、10年後の2010年に終了している。

日本の情報産業の再興のためには、最先端の設計開発を推進する新たな基盤的な環境や技術を整備、開発することが勝負の鍵となる。

③世界の取組状況

米国では、半導体集積回路の設計作業を自動化し支援するためのソフトウェアやハードウェア及び手法であるEDA（Electronic Design Automation）技術の黎明期から、国が大学の研究活動を中心に支援してきた。現在も、DARPA（Defense Advanced Research Projects Agency）がCRAFT（Circuit Realization at Faster Timescales）プログラムを通してLSIの開発を支援しており、中小企業やベンチャー企業は非常に安価な料金でLSIの設計から試作、評価に取り組むことが出来ている。欧州でも比較的早くからLSI設計技術がIMECなどの産学連携を通じて強化されてきた。中国でも半導体を基幹産業とするために国内企業の育成に取り組んでおり、国家政策により上海、北京、無錫、成都、大連等をIC産業育成地域として指定し、国営のIC R&D Center（試作、EDA、テストサービス）を設置している。

④本事業のねらい

ネットワークの末端（エッジ）で中心的な情報処理を行うエッジコンピューティング技術の重要性や価値が高まる中、日本にはベンチャー企業を中心にAIに関する高度な技術が存在するが、競争力のあるAIチップを開発するためには、AIとチップの設計、ソフトとハード双方に関する知見と技術に加え、高額な設計ツールや設計検証設備等が必要となっている。

現在でも東京大学を中心として運営されるLSI開発支援拠点VDECも存在するが、アカデミックライセンスが主体の学術的用途という制約があり、特にベンチャー

企業等が有する革新的アイデア等の開発やビジネス化を加速する、新たな共通基盤が求められている。

本事業では、大学や研究機関等による高度な AI チップ開発のための共通基盤技術の開発を進めるとともに、その知見や AI チップの設計・評価・検証等の開発環境を民間企業等に提供する。

民間企業等においては、AI チップに関するアイデア実用化に向けた研究開発を支援するとともに、AI チップ開発を加速するために整備した設計検証拠点で開発を実施し、AI チップ開発スキームにおける設計、検証をシームレスに実施することで、革新的なアイデアの実現を加速する研究開発を進め、世界における存在感を再び獲得することを目指す。

(2) 研究開発の目標

①アウトプット目標

【研究開発項目①】 AI チップに関するアイデア実用化に向けた開発

AI チップの設計を行い、AI チップの動作を効率化し現状以上の性能を有することをシミュレーション等により検証する。詳細は別紙のとおり。

【研究開発項目②】 AI チップ開発を加速する共通基盤技術の開発

AI チップ開発に必要な集積回路設計ツールや設計検証設備を備えた開発拠点を構築し、本事業を通じて開発、整備した AI チップ設計のための共通基盤技術、学習環境、設計環境等の活用件数 15 件以上を目標とする。詳細は別紙のとおり。

②アウトカム目標

2032 年のエッジ向け AI チップの世界市場で約 750 億円の市場獲得を目指す。

なお、①については 2023 年以降順次技術の実用化率 50%以上を目指す。

③アウトカム目標達成に向けての取組

大学・研究機関等によって開発した共通基盤技術（高機能な AI チップ開発に資する設計技術等）は、順次民間企業等へ提供し、開発拠点の機能向上を図る。

民間企業等の AI チップのアイデア実用化開発については、1 年目終了時に継続可否に係る審査を実施し、ビジネス化に向けた動きがあり優れた成果が見込める企業を集中的に支援する。

また、AI チップの研究開発と並行して、民間企業等において IoT や AI 技術を活用するための知見やノウハウを持った人材の育成を進めることで、本研究開発の成果の更なる高度化へと繋げる。

プロジェクトの実施において、民間企業は並行して成果を活用する企業とのマッチングも実施し、事業終了後は本格的なビジネス化へと繋げる。

(3) 研究開発の内容

上記のアウトカム目標達成に向けて、以下の研究開発項目に取り組む。詳細は別紙のとおり。

【研究開発項目①】 AI チップに関するアイデア実用化に向けた開発 <助成>

民間企業等が持つ AI チップに関するアイデアを実用化するため、専用の設計ツールを用いて論理設計等の回路設計を行い、シミュレーション等により有効性を評価・検証する。さらに検証した成果をビジネス化するために企業とのマッチングを行い、ビジネス化への道筋を立てる。

また、各種専門家の派遣等、採択者等へのハンズオン支援を実施する。

【研究開発項目②】 AI チップ開発を加速する共通基盤技術の開発 <委託>

高度な AI チップ開発を加速するために必要な共通基盤技術として、世界標準の商用基盤に接続することを目的とした、AI チップの設計・評価・検証等を実施する開発環境を整備する。また、チップ開発を促進する共通技術の開発、IoTやAI技術を活用するための知見やノウハウを持った人材を育成する環境の整備等を行い、革新的なアイデアの実現を加速する。

2. 研究開発の実施方法

(1) 研究開発の実施体制

プロジェクトマネージャー（以下「PM」という。）に NEDO IoT 推進部 波佐昭則を任命して、プロジェクトの進行全体を企画・管理し、そのプロジェクトに求められる技術的成果及び政策的効果を最大化させる。

NEDO は公募により研究開発実施者を選定する。必要に応じて、実施期間中に複数回公募を行う。研究開発実施者の選定においては、課題解決への道筋やビジネス化へのストーリーを設定できていることを重視する。

研究開発実施者は、企業や大学等の研究機関等（以下「団体」という。）のうち、原則として日本国内に研究開発拠点を有するものを対象とし、単独又は複数で研究開発に参加するものとする。ただし、国外の団体の特別の研究開発能力や研究施設等の活用又は国際標準獲得の観点から必要な場合は、当該の研究開発等に限り国外の団体と連携して実施することができるものとする。なお、各実施者の研究開発能力を最大限に活用し、効率的かつ効果的に研究開発を推進する観点から、NEDO は研究開発責任者（プロジェクトリーダー、以下「PL」という。）として国立大学法人東京大学大学院情報理工学系研究科 教授 中村宏を選定し、各実施者は PL の下で研究開発を実施する。

(2) 研究開発の運営管理

NEDO は、研究開発全体の管理、執行に責任を負い、研究開発の進捗のほか、外部環境の変化等を適時に把握し、必要な措置を講じるものとする。運営管理は、効率的かつ効果的な方法を取り入れることとし、次に掲げる事項を実施する。

①研究開発の進捗把握・管理

PM は、PL や研究開発実施者と緊密に連携し、研究開発の進捗状況を把握する。また、必要に応じ、外部有識者で構成するアドバイザリー委員会を組織し、定期的に技術的評価を受け、目標達成の見通しを常に把握することに努める。各テーマの進捗、成果の事業化の見通し等を踏まえ、必要に応じ、加速、縮小、実施体制の再構築を行う。

②技術分野における動向の把握・分析

PMは、プロジェクトで取り組む技術分野について、内外の技術開発動向、政策動向、市場動向等について調査し技術の普及方策を分析、検討する。なお、調査の効率化の観点から、本プロジェクトにおいて委託事業として実施する。

③研究開発テーマの評価

研究開発項目①については、研究開発を効率的に推進するためステージゲート方式を適用する。ステージゲートは原則1年経過した段階を目途に1度実施する。また、各テーマの事業期間終了後1年以内に事後評価を実施する。

毎年、研究開発テーマ毎の予算配分を精査する。

3. 研究開発の実施期間

2018年（平成30年度）から2022年までの5年間とする。

4. 評価に関する事項

NEDOは技術評価実施規程に基づき、技術的及び政策的観点から研究開発の意義、目標達成度、成果の技術的意義並びに将来の産業への波及効果等について、プロジェクト評価を実施する。

評価の時期は、中間評価を2020年度、事後評価を2023年度とし、当該研究開発に係る技術動向、政策動向や当該研究開発の進捗状況等に応じて、前倒しする等、適宜見直すものとする。

また、中間評価結果を踏まえ必要に応じて研究開発の加速・縮小・中止等の見直しを迅速に行う。

なお、本プロジェクトは二つの研究開発項目が連携して成果を出す事業であることから、事業全体がナショナルプロジェクトに分類され、研究開発項目①及び研究開発項目②を含めてプロジェクト評価を実施する。

5. その他重要事項

(1) 研究開発成果の取り扱い

①共通基盤技術の形成に資する成果の普及

研究開発実施者は、研究成果を広範に普及するよう努めるものとする。NEDOは、研究開発実施者による研究成果の広範な普及を促進する。

研究開発成果のうち共通基盤技術に係るものについては、プロジェクト内で速やかに共有した後、NEDO及び実施者が協力して普及に努めるものとする。

②標準化施策等との連携

得られた研究開発成果については、標準化等との連携を図ることとし、標準化に向けて開発する評価手法の提案、データの提供等を積極的に行う。

③知的財産権の帰属、管理等取扱い

研究開発成果に関わる知的財産権については、「国立研究開発法人新エネルギー・産業技術総合開発機構 新エネルギー・産業技術業務方法書」第 25 条の規定等に基づき、原則として、全て委託先に帰属させることとする。なお、プロジェクト初期の段階から、事業化を見据えた知財戦略を構築し、適切な知財管理を実施する。

④知財マネジメントに係る運用

本プロジェクトは、「NEDO プロジェクトにおける知財マネジメント基本方針」を適用する。

⑤データマネジメントに係る運用

本プロジェクトは、「NEDO プロジェクトにおけるデータマネジメントに係る基本方針（委託者指定データを指定しない場合）」を適用する。

(2) 「プロジェクト基本計画」の見直し

PM は、当該研究開発の進捗状況及びその評価結果、社会・経済的状況、国内外の研究開発動向、政策動向、研究開発費の確保状況等、プロジェクト内外の情勢変化を総合的に勘案し、必要に応じて目標達成に向けた改善策を検討し、達成目標、実施期間、実施体制等、プロジェクト基本計画を見直す等の対応を行う。

(3) 関係省庁の施策との連携

目標達成のため、関係省庁が実施する関連プロジェクトと必要に応じて連携する。

本プロジェクトは、内閣府「官民研究開発投資拡大プログラム（PRISM）」に登録されており、当該事業を通じた連携を必要に応じて行う。

また、NEDO「高効率・高速処理を可能とする AI チップ・次世代コンピューティングの技術開発事業」においては、必要に応じて開発した AI チップを用いたコンピューティング技術の開発に向けて成果を連携し、IoT 社会を支える技術開発を幅広く推進することで実用化と市場展開を促進する。

(4) 根拠法

本プロジェクトは、国立研究開発法人新エネルギー・産業技術総合開発機構法第 15 条 2 号、3 号及び 9 号に基づき実施する。

6. 基本計画の改訂履歴

(1) 2018 年（平成 30 年）3 月、制定

(2) 2020 年 9 月 PM、PL、研究開発項目①の研究開発期間について修正

(別紙1) 研究開発計画

研究開発項目①「AI チップに関するアイデア実用化に向けた開発」

1. 研究開発の必要性

大量データの効率的かつ高度な利用を可能とする情報の収集、蓄積、解析、セキュリティなどの技術に加え、AI・次世代コンピューティング技術がエッジやクラウド領域において求められている。中でも、自動走行やロボティクスを始めとする分野では、従来のクラウドコンピューティングからネットワークの末端（エッジ）で中心的な情報処理を行うエッジコンピューティングへの分散が不可欠になると考えられており、エッジにおける処理の重要性や価値が高まると推察されている。特にエッジにおいては限られた資源を用いて効率的に処理を行う必要があるため、性能を飛躍的に向上させられる AI 技術の活用が期待されている。この転換期を日本の IT 産業が大幅に成長するチャンスと見据え、産学官の体制による野心的な技術開発を推進することが重要である。

我が国には、国内ベンチャー企業等を中心に、AI の知見はもとより、チップの開発に係る様々なアイデアや技術を持つ企業があり、新たなビジネスを創出させるイノベーションの種が存在している。多くの画期的なアイデアを実用化するために、AI チップに関するアイデアの実用化に向けた研究開発を加速することが不可欠である。

2. 研究開発の具体的内容

AI チップに関するアイデアを実用化するため、専用の設計ツールを用いて論理設計等の基礎設計を行い、シミュレーション等により有効性を評価・検証する。さらに検証した成果をビジネス化するために企業との連携を進め、ビジネス化への道筋を立てる。その他、AI チップの実用化に向けた研究開発において重要となる技術開発等についても、適宜開発を進める。

3. 研究開発期間

原則 2 年以内とする。

研究開発を効率的に推進するため、ステージゲート方式を適用する。

4. 達成目標

<中間目標（各事業 1 年目）>

- 現状以上の性能を有する AI 向けチップの設計を行い、評価・検証が可能な段階まで到達することを目標とする。
- 設計した AI 向けチップのビジネス化に向けたシナリオを作成する。

<最終目標（各事業 2 年目）>

- 設計した回路等を、シミュレーション等により、現状以上の性能を有すること

を検証する。

- 検証した AI 向けチップのビジネス化の道筋を立てる。

上記目標は、事業終了時点で社会実装先に求められる諸性能を満たすことを前提に、事業開始時に広く普及している技術と比較し評価する。また、事業初年度に設定する中間目標は、事業開始時期に応じて適宜修正、変更する。

上記の取組を通して、2023 年以降、順次技術の実用化率 50%以上を目指す。

研究開発項目②「AI チップ開発を加速する共通基盤技術の開発」

1. 研究開発の必要性

ネットワークの末端（エッジ）で中心的な情報処理を行うエッジコンピューティング技術の重要性や価値が高まる中、日本にはベンチャー企業を中心に AI に関する高度な技術が存在するが、競争力のある AI チップを開発するためには、AI とチップの設計、ソフトとハード双方に関する知見と技術に加え、高額な設計ツールや設計検証設備等も必要であり、これが AI チップ開発とビジネス化に向けた高いハードルとなっている。

本事業では、大学や研究機関等による高度な AI チップ開発のための共通基盤技術の開発を進めるとともに、その知見や設計・評価・検証等の開発環境を民間企業等に提供することによって、民間企業等が持つ AI チップのアイデア実用化を加速する。

2. 研究開発の具体的内容

高度な AI チップ開発を加速するために必要な共通基盤技術として、世界標準の商用基盤に接続することを目的とした、AI チップの設計・評価・検証等の開発環境を整備する。また、チップ開発を促進する共通技術の開発、IoT や AI 技術を活用するための知見やノウハウを持った人材を育成する環境の整備を行い、革新的なアイデアの実現を加速する。

想定する研究開発テーマ例及び拠点整備例は下記のとおり。

（研究開発テーマ例）

- AI チップ設計のための共通基盤的な IP 技術開発
- フリーソフトウェアやオープンソースソフトウェアのセキュリティの確認、開発。
- 設計したチップの性能を検証するツールやライブラリ、手法（クラウドを使った実証手法、設計ツールの活用を容易にするための手法も含む）の開発
- その他、共通基盤技術として重要な技術

（拠点整備例）

- 集積回路設計ツールや集積回路検証装置等を使用するための研究開発拠点の整備や運用
- AI チップの研究開発に必要となる各種ツール（FPGA による実証も含む）の選定と導入
- 集積回路設計に必要な IP（Intellectual Property）等の提供とライセンス管理等
- 集積回路設計ツールや設計検証設備等の使用方法、集積回路設計技術等、IoT 技術、AI 技術を活用するためのノウハウを持った人材の育成のためのトレーニング環境等
- その他、拠点運用として重要な項目の整備

なお、整備する拠点は、AI チップの開発に対し、開発コストやリスク等から民間企業単独では挑戦できないような開発を行うための共通基盤を構築する。また、構築する共通基盤については、研究開発項目①の実施者等にも活用可能とし、AI チップ技術の開発を加速する。さらに、研究開発項目①の実施者の意向を収集し、共通基盤の機能を拡充する。

3. 研究開発期間

5年以内とする。

4. 達成目標

<中間目標（2020年度）>

- 本事業を通じて開発、整備した AI チップ設計のための共通基盤技術、学習環境、設計環境の活用件数 10 件以上を目標とする。

<最終目標（2022年度）>

- 本事業を通じて開発、整備した AI チップ設計のための共通基盤技術、学習環境、設計環境の活用件数 15 件以上を目標とする。

(別紙 2) 研究開発スケジュール

| | 平成30年度 (2018年度) | 平成31年度 (2019年度) | 平成32年度 (2020年度) | 平成33年度 (2021年度) | 平成34年度 (2022年度) | 平成35年度 (2023年度) |
|--|--------------------|--------------------|--------------------|--------------------|--------------------|--------------------|
| 項目① AIチップ に関するアイデア 実用化に向けた 開発(助成) | 基礎設計 | 検証 基礎設計 | 検証 基礎設計 | 検証 基礎設計 | 検証 | |
| 項目② AIチップ 開発を加速する共 通基盤技術の開発 (委託) | 拠点整備・運用 | | | | | |
| | 拠点活用 | | | | | |
| | 基盤技術開発 | | | | | |
| 評価 時期 | | | 中間評価 | | | 事後評価 |

●プロジェクト開始時関連資料：

総合科学技術・イノベーション会議における事前評価結果を以下に記載する。なお、パブリックコメントは未実施である。

3. 1. 本事業の評価結果

全体評価としては、本事業が開発対象とする I o T、AI チップ及び次世代コンピューティング技術は、Society 5.0 の実現を支える重要な基盤技術であり、本事業で開発される基盤技術が様々な産業やサービスに活用され、我が国の産業競争力の維持・強化に貢献することが大いに期待されるものである。また、事業化・実用化を目指した民間における研究開発を促進する観点からも、本事業は国として主導的に取り組むべきものであり、国費を投入して実施する意義・必要性は認められる。しかしながら、今後事業を開始するにあたり解決すべき課題等があり、本課題等に対する指摘事項については、3. 1. 1 以降の 2.3. 評価方法に基づく①から④の各調査項目における評価結果にて詳述する。

なお、解決すべき課題等の指摘事項については、最終目標に向けた定量的な K P I の設定のもと、国民に対する説明責任を果たすために、今後より厳格な N E D O での評価に努め、同様な分野の研究開発との柔軟な連携、情勢の変化等による目標の再設定、体制の変更、事業の加速・中止を含めた計画変更の要否を定期的に検討していくべきである。

3. 1. 1 評価対象案件の実施府省等における評価の妥当性

実施府省・機関における本事業の評価は、本研究開発課題を設定し推進する N E D O が評価の実施主体となり、N E D O 技術評価実施規程に基づき、本事業の事前評価が行われている。評価に当たっては、本事業の成果（アウトプット）とその効果・効用（アウトカム）達成に至るまでの「道筋」を踏まえ、本事業に応じた評価項目・評価基準が設定され、外部の専門家・有識者で構成された「研究評価委員会」を設置して外部評価が行われており、その評価結果は国民に公開されるとともに事業毎に策定されている基本計画に反映していることから、「国の研究開発評価に関する大綱的指針」（平成 28 年 12 月 21 日内閣総理大臣決定）（以下「大綱的指針」という。）に沿って研究開発プログラムの評価が行われ、評価結果についても特段問題となる点は見受けられなかった。

また、本事業は、実施期間が 10 年間で予定する長期間にわたる研究開発であることから、達成度を評価してから次の段階に進む方法を導入する計画として事業期間中に 2 回の中間評価（平成 32 年度及び平成 36 年度）の実施、平成 35 年度前には中期計画切り替えに伴う事業見直しを予定しており、目標達成度の把握、社会経済情勢等の変化を踏まえた改善・見直しを行う計画となっている。経済産業省では、N E D O における評価結果を踏まえた予算要求や上位の施策への反映を行う体制となっており、適切な評価の実施体制が執られている。

今後の評価においては、大綱的指針にある研究開発プログラムとしての評価をより意識し、政策等を立案・推進する側（経済産業省・N E D O）とその下で研究開発を実施する側（今後選定される実施研究機関）との役割分担と責任の所在を明確化し、個別の研究開発課題の活動から得られる

アウトプット情報・アウトカム情報等をもとに、政策等を立案・推進する側において明確化された道筋について、アウトカム目標の達成状況や達成見込み、研究開発過程の有効性や効率性を確認していくことが望まれる。

3. 1. 2 関連する上位の政策・施策等の目標を達成するための道筋

「第5期科学技術基本計画」（平成28年1月閣議決定）の中では、我が国が目指すべき未来社会の姿である Society 5.0 の実現に向けて、サービスプラットフォームの構築に必要で速やかな強化を図るのが必要な基盤技術として、I o T、大規模データの高速・リアルタイム処理を低消費電力で実現するための「デバイス技術」、I o Tの高度化に必要となる現場システムでのリアルタイム処理の高速化や多様化を実現する「エッジコンピューティング」等が挙げられている。また、「科学技術イノベーション総合戦略 2017」（平成29年6月閣議決定）では、Society 5.0 を実現するプラットフォームの構築に向けて重きを置くべき取組として基盤技術の強化が提唱されており、サイバー空間関連の基盤技術の強化としては「エッジコンピューティング等の研究開発の推進」が、フィジカル空間関連の基盤技術の強化として「超小型・超低消費電力デバイスの開発」等が挙げられている。

さらに、政府の成長戦略である「未来投資戦略 2017」（平成29年6月閣議決定）においても、イノベーション・ベンチャーを生み出す好循環システムのための重点投資すべき分野の一つとして、「人工知能の研究開発目標と産業化のロードマップ」に基づき、AI 学習効率の向上、自然言語処理、ディープラーニング翻訳、超高効率 AI 処理に資する半導体及び革新的センサ等の基盤技術開発及びその組み込みシステムへの適用を加速することが挙げられている。本事業は、当該ロードマップにおける半導体アーキテクチャのうち、フェーズ1（平成32年）までに開発を進める「AI 対応型半導体」、及びフェーズ2（平成37年から平成42年頃）までに開発を進める「全く新しいアーキテクチャ（脳型、量子等）」に該当している。

これら政府の計画・戦略に関連して、経済産業省は、我が国産業が目指す姿（コンセプト）として、平成29年3月に Connected Industries を提唱し、同コンセプトを実現するために重点分野を定めつつ政策資源を集中投入し、横断的な政策を推進するとしている。本事業は、横断的な政策である「データ活用に向けた基盤整備」の中の「革新的な AI チップ開発の促進」に位置付けられ、平成30年度の経済産業政策の重点施策の一つとされている。

以上の関連する上位の政策・施策等の目標を達成するため、本事業の成果とその目標達成に向けた道筋には妥当性があり、非連続なイノベーションを創出する挑戦的な研究開発を進める戦略性が認められる。

本事業により創出される効果・効用は広く産業や社会全体に及ぶものであり、また、例えば自動運転や産業機械、医療機器といった AI 関連分野における今後の国際市場に大きく影響するもので、我が国産業の国際競争力の強化にとって極めて重要な技術となり得るものである。このため、本分野は世界的に様々な方向性を模索している段階であり、長期的な視点での予測が難しい状況であるが、本分野における総合科学技術・イノベーション会議や人工知能技術戦略会議等の政府の関連会議における将来のグランドデザインやシナリオを関係者間で共有しつつ、経済産業省が主体となってそれらを踏ま

えた本分野における我が国産業の育成・強化に向けた戦略やアウトカム目標とともに、それらを達成する道筋を時間軸に沿ってより明確化していく必要がある。

3. 1. 3 研究開発の目標・実施内容

(1) 研究開発の実施内容

次世代コンピューティングの技術開発に関しては、半導体やコンピューター分野での世界における我が国の現状のプレゼンスを考えると、研究開発の意義は認められる。しかしながら、社会実装や国際競争力の観点から、単にハードウェアの研究・開発のみならず、ミドルウェア開発、アルゴリズム開発が重要となっており、また、ユーザーに近いアプリケーション・サービスと基礎的なコンピュータサイエンスでの研究開発を強化する必要がある。この観点から、より戦略的な研究開発の目標や実施内容を検討するためには、政府が目指す Society 5.0 や Connected Industries を実現するサービスや応用を想定したトップダウン的思想により、我が国が世界に対し競争力を有するアプリケーションを具体的に特定し、育成すべき産業の方向性や達成すべき機能／非機能要件を明確にした上で、エッジ側のみならずサイバー・フィジカル界面層技術やネットワーク技術等を含めたサイバー・フィジカル・システムに関する技術全体の進展を俯瞰したアーキテクチャの検討が必要不可欠であり、同様の研究開発を行う機関や企業の動向と連動して、本事業による研究開発目標の更なる具体化を図る必要がある。

また、本事業の成果を我が国産業の国際競争力強化につなげていくためには、国際標準化を睨んだ共通基盤技術としての横断的な活動とそれに関連したマネジメントが必要であり、テーマによらない共通基盤を築き上げ、それを国際標準化した上で、個別テーマ毎のアプリケーションを開発することも考慮すべきである。

(2) 府省連携、産学官での連携

次世代コンピューティングの技術開発は、医療、ヘルスケア、防災・減災、インフラ老朽化、インフラ維持等社会が直面する社会課題や、新素材、創薬等のサイエンス領域といった幅広い応用が期待できるものであり、国家として戦略的に取り組むことが重要である。その実施にあたっては、総合科学技術・イノベーション会議が進める I m P A C T 等で実施されている既存プロジェクト（例：量子人工脳を量子ネットワークでつなぐ高度知識社会基盤の実現）や関連府省の同領域の研究開発、国内企業等との連携を積極的に進める必要がある。

また、総合科学技術・イノベーション会議においては、平成 30 年度に官民研究開発投資拡大プログラム（P R I S M）を新たに創設し、そのターゲット領域として、「革新的フィジカル空間基盤技術」を設定する予定である。同プログラムにおいては、経済産業省が実施する「AI チップ開発加速のためのイノベーション推進事業（平成 30 年度予算概算要求額 2 6 億円（新規））」を含め、各府省が実施するセンサやエッジコンピューティング、アクチュエータ等に係る研究開発（対象施策）を政府全体として一体的に進めるべく支援する方針である。

本事業については、エネルギー対策特別会計により予算措置がなされる見込みであり、P R I S M の対象施策とはしないものの、同ターゲット領域に該当する施策であることから、政府全体として、本領域に係る研究開発と整合性を持って進めていく観点から、総合科学技術・イノベーション会議や P R I

S M革新的フィジカル基盤技術を担当する領域統括等との緊密な連携の下、推進すべきである。そのため、本事業の実施に当たり、その実施主体であるN E D Oと総合科学技術・イノベーション会議とで、P R I S Mとの連携のための体制の整備や、具体的な連携の進め方等に係る検討を進める必要がある。

3. 1. 4 研究開発マネジメント

N E D Oにおける研究開発マネジメントとしては、外部有識者で構成された研究評価委員会を設置して、外部評価による事前評価（実施済）及び中間評価（今後、概ね3年毎に実施予定）が実施され、別途設置予定の外部有識者によるアドバイザリー委員会においては、事業の進捗に応じた技術的課題に対する助言が行われこととなり、それらの結果は実施研究機関の事業計画や予算配分等に適時反映する方針としている。以上から、適切な研究開発マネジメント体制が整備されているものと評価できる。一方、本事業において非連続なイノベーションの創出を加速するためには、研究開発を実施する主体の長（リーダー）の権限強化、成果の最大化のための体制作り、有機的な連携や多様な専門知の結集による実用化までを考慮した取組等をそのマネジメントにおいてさらに目指すべきである。また、マネジメントとプロデューサーの役割を担うプログラムマネージャー等の導入や新しいアイデアを持つ研究者への機会の付与等の挑戦的な研究開発の推進に適した手法や評価方法を検討しつつ、情勢変化を踏まえて実施計画や体制を柔軟に見直すP D C Aプロセスを適切に設定するべきである。

本事業における実施研究機関やリーダーは事業の開始後に選定され、設定された課題の下で研究開発が実施されていくことになるが、今後明確化されていく本分野における我が国産業の育成・強化に向けた戦略やアウトカム目標、それらを達成する道筋等を考慮して、特に産業化を担う主体を意識した選定が行われ、関連府省等における同領域の研究開発動向と協調して研究開発が実施されていくべきである。

また、我が国における本研究領域での人材や中小・ベンチャー企業を早急に育成する必要があり、「科学技術イノベーション総合戦略 2017」においても我が国におけるイノベーション創出に向けた人材、知、資金の好循環システムの構築として、オープンイノベーションの推進、新規事業に挑戦する人材を含む中小・ベンチャー企業の創出、知的財産・標準化戦略及び制度等の取組の強化を掲げていることから、本事業を推進する中でこれらの観点を考慮した研究開発マネジメントを実施するべきである。

●外部発表リスト

(a) 学会発表・講演

| 番号 | 発表者 | 所属 | タイトル | 会議名 | 発表年月 |
|----|------|-----|---|----------------------------------|--------------------|
| 1 | 内山邦男 | 産総研 | NEDO 事業「AI チップ開発加速のためのイノベーション推進事業」 「AI チップ設計拠点」紹介および運営方針 | 第 1 回 NV-FPGA 研究会 | 2019 年 7 月 |
| 2 | 内山邦男 | 産総研 | NEDO 事業「AI チップ開発加速のためのイノベーション推進事業」 AI チップ設計拠点 | 第 37 回エナジーハー ベストコンソーシアム 総会 | 2019 年 7 月 |
| 3 | 内山邦男 | 産総研 | NEDO 事業「AI チップ開発加速のためのイノベーション推進事業」 「AI チップ設計拠点」 | 第 1 回トリリオンノー ド研究会 | 2019 年 8 月 |
| 4 | 内山邦男 | 産総研 | AI チップの開発を加速する AI チップ設計拠点 | 学振 154 委員会 第 113 回研究会 | 2019 年 9 月 |
| 5 | 内山邦男 | 産総研 | 論理エミュレーション技術への期待 -AI チップ設計拠点の立場から- | Cadence 検 証 フォーラム | 2019 年 9 月 |
| 6 | 内山邦男 | 産総研 | AI チップ設計拠点 = 新しいパラダイムの構築に向けて = | DA シンポジウム 2020 | 2020 年 9 月 (予定) |

(b)新聞・雑誌等への掲載

| 番号 | 所属 | タイトル | 掲載誌名 | 掲載年月 |
|----|--------|---|-----------------|------------|
| 1 | 産総研・東大 | NEDO・産総研・東大、AI チップ開発加速のための「AI チップ設計拠点」が稼働開始 | 日本経済新聞 web 版 | 2019/10/07 |
| 2 | 産総研・東大 | 東大内の AI チップ設計拠点 NEDO、産総研などが中小企業など向けに試験運用 | 電波新聞 web 版 | 2019/10/11 |