

「高効率・高速処理を可能とする AIチップ・次世代コンピューティングの 技術開発」

研究開発項目① 革新的AIエッジコンピューティング技術の開発

研究開発項目② 次世代コンピューティング技術の開発

研究開発項目③ 高度なIoT社会を実現する横断的技術開発

事業原簿

担当部	国立研究開発法人 新エネルギー・産業技術総合開発機構 IoT 推進部
-----	--

【第2部】

研究開発項目② 次世代コンピューティング技術の開発

(事業期間:2018～2027 年度)

—目次—

プロジェクト用語集	(2-10)
1. 事業の位置付け・必要性について.....	2-1-1
1.1 事業実施の背景.....	2-1-1
1.2 政策的位置づけ.....	2-1-2
1.3 アウトカム効果.....	2-1-2
1.4 国際的なポジション.....	2-1-2
1.5 海外状況のまとめ.....	2-1-3
1.6 NEDO が関与する意義.....	2-1-4
1.7 今回の事業の位置づけ.....	2-1-4
2. 研究開発マネジメントについて.....	2-2-5
2.1 事業の目的.....	2-2-5
2.2 研究開発目標と根拠.....	2-2-5
2.3 研究開発スケジュール.....	2-2-9
2.4 プロジェクト費用.....	2-2-10
2.5 マネジメント体制.....	2-2-10
2.6 実施体制.....	2-2-13
2.7 動向・情勢の把握と対応.....	2-2-14
2.8 知財マネジメント.....	2-2-14
3. 研究開発成果について.....	2-3-1
3.1 研究開発テーマ「実社会の事象をリアルタイム処理可能な次世代データ処理基盤技術の研究開発」	2-3-2
3.1.1 研究開発サブテーマ「実社会の事象をリアルタイム処理可能な次世代データ処理基盤技術の研究開 発:実施項目Ⅰ 基礎研究」.....	2-3-2
3.1.1.1 概要.....	2-3-2
3.1.1.2 最終目標と根拠.....	2-3-3
3.1.1.3 目標の達成度.....	2-3-5
3.1.1.4 成果と意義.....	2-3-6
3.1.1.5 成果の普及.....	2-3-7
3.1.2 研究開発サブテーマ「実社会の事象をリアルタイム処理可能な次世代データ処理基盤技術の研究開 発:実施項目Ⅱ 実用化研究」.....	2-3-8
3.1.2.1 概要.....	2-3-8
3.1.2.2 最終目標と根拠.....	2-3-8
3.1.2.3 目標の達成度.....	2-3-8
3.1.2.4 成果と意義.....	2-3-9
3.1.2.5 成果の普及.....	2-3-9
3.1.3 研究開発サブテーマ「実社会の事象をリアルタイム処理可能な次世代データ処理基盤技術の研究開 発:実証研究」.....	2-3-9
3.1.3.1 概要.....	2-3-9

3.1.3.2	最終目標と根拠	2-3-10
3.1.3.3	目標の達成度	2-3-11
3.1.3.4	成果と意義	2-3-11
3.1.3.5	成果の普及	2-3-12
3.2	研究開発テーマ「超電導パラメロン素子を用いた量子アニーリング技術の研究開発」	2-3-14
3.2.1	研究開発サブテーマ「高コヒーレンス超電導パラメロンアニーリング素子の研究開発」	2-3-19
3.2.1.1	概要	2-3-19
3.2.1.2	最終目標と根拠	2-3-20
3.2.1.3	目標の達成度	2-3-21
3.2.1.4	成果と意義	2-3-21
3.2.1.5	成果の普及	2-3-23
3.2.2	研究開発サブテーマ多ビット化を支える 3次元実装技術の研究開発(a)超電導 TSV を有するインター ポータの開発」	2-3-23
3.2.2.1	概要	2-3-23
3.2.2.2	最終目標と根拠	2-3-24
3.2.2.3	目標の達成度	2-3-24
3.2.2.4	成果と意義	2-3-24
3.2.2.5	成果の普及	2-3-25
3.2.3	研究開発サブテーマ「多ビット化を支える 3次元実装技術の研究開発(b)プローブピンによる信号取り出 し技術の開発」	2-3-25
3.2.3.1	概要	2-3-25
3.2.3.2	最終目標と根拠	2-3-25
3.2.3.3	目標の達成度	2-3-26
3.2.3.4	成果と意義	2-3-26
3.2.3.5	成果の普及	2-3-29
3.2.4	研究開発サブテーマ「多体相互作用の高効率な表現方法の研究開発」	2-3-29
3.2.4.1	概要	2-3-29
3.2.4.2	最終目標と根拠	2-3-29
3.2.4.3	目標の達成度	2-3-30
3.2.4.4	成果と意義	2-3-30
3.2.4.5	成果の普及	2-3-30
3.2.4.6	その他	2-3-30
3.2.5	研究開発サブテーマ「量子アニーリング機構の設計最適化技術に関する研究開発」	2-3-31
3.2.5.1	概要	2-3-31
3.2.5.2	最終目標と根拠	2-3-31
3.2.5.3	目標の達成度	2-3-32
3.2.5.4	成果と意義	2-3-32
3.2.5.5	成果の普及	2-3-33
3.2.6	研究開発サブテーマ「量子磁束回路を用いた量子ビット用制御・読出し回路の研究開発」	2-3-33
3.2.6.1	概要	2-3-33
3.2.6.2	最終目標と根拠	2-3-33
3.2.6.3	目標の達成度	2-3-34

3.2.6.4	成果と意義	2-3-34
3.2.6.5	成果の普及	2-3-35
3.2.7	研究開発サブテーマ「量子ダイナミクスの高速並列シミュレーションによる量子アニーリングの性能評価の研究開発」	2-3-35
3.2.7.1	概要	2-3-35
3.2.7.2	最終目標と根拠	2-3-35
3.2.7.3	目標の達成度	2-3-35
3.2.7.4	成果と意義	2-3-36
3.2.7.5	成果の普及	2-3-36
3.3	研究開発テーマ「ディスアグリゲーション型次世代データセンタに適用する光電ハイブリッドスイッチを用いた高速低電力データ伝送システムの研究開発」	2-3-37
3.3.1	研究開発サブテーマ「光電ハイブリッドスイッチ制御技術および光電ハイブリッドスイッチシステム実証」	2-3-38
3.3.1.1	概要	2-3-38
3.3.1.2	最終目標と根拠	2-3-38
3.3.1.3	目標の達成度	2-3-39
3.3.1.4	成果と意義	2-3-39
3.3.1.5	成果の普及	2-3-41
3.3.2	研究開発サブテーマ「光電ハイブリッドスイッチ制御アルゴリズム」	2-3-41
3.3.2.1	概要	2-3-41
3.3.2.2	最終目標と根拠	2-3-41
3.3.2.3	目標の達成度	2-3-41
3.3.2.4	成果と意義	2-3-42
3.3.2.5	成果の普及	2-3-43
3.3.3	研究開発サブテーマ「光スイッチネットワークアーキテクチャの最適化」	2-3-43
3.3.3.1	概要	2-3-43
3.3.3.2	最終目標と根拠	2-3-43
3.3.3.3	目標の達成度	2-3-43
3.3.3.4	成果と意義	2-3-43
3.3.3.5	成果の普及	2-3-45
3.3.4	研究開発サブテーマ「光波長送受信器」	2-3-46
3.3.4.1	概要	2-3-46
3.3.4.2	最終目標と根拠	2-3-46
3.3.4.3	目標の達成度	2-3-47
3.3.4.4	成果と意義	2-3-47
3.3.4.5	成果の普及	2-3-50
3.3.5	研究開発サブテーマ「バースト多値プロセッサ」	2-3-51
3.3.5.1	概要	2-3-51
3.3.5.2	最終目標と根拠	2-3-51
3.3.5.3	目標の達成度	2-3-51
3.3.5.4	成果と意義	2-3-51
3.3.5.5	成果の普及	2-3-54

3.3.6	研究開発サブテーマ「光コアスイッチ」	2-3-54
3.3.6.1	概要	2-3-54
3.3.6.2	最終目標と根拠	2-3-55
3.3.6.3	目標の達成度	2-3-55
3.3.6.4	成果と意義	2-3-55
3.3.6.5	成果の普及	2-3-57
3.3.7	研究開発サブテーマ「国際標準化」	2-3-57
3.3.7.1	概要	2-3-57
3.3.7.2	最終目標と根拠	2-3-57
3.3.7.3	目標の達成度	2-3-57
3.3.7.4	成果と意義	2-3-57
3.3.7.5	成果の普及	2-3-58
3.4	研究開発テーマ「イジングマシン共通ソフトウェア基盤の研究開発」	2-3-59
3.4.1	研究開発サブテーマ「イジングマシン共通ソフトウェア基盤の研究開発」	2-3-59
3.4.1.1	概要	2-3-59
3.4.1.2	最終目標と根拠	2-3-60
3.4.1.3	目標の達成度	2-3-61
3.4.1.4	成果と意義	2-3-62
3.4.1.5	成果の普及	2-3-68
3.5	研究開発テーマ「未来共生社会にむけたニューロモルフィックダイナミクスのポテンシャルの解明」	2-3-69
3.5.1	研究開発サブテーマ「身体と脳神経系のカップリングダイナミクスによる効率的かつ多様な行動生成」	2-3-69
3.5.1.1	概要	2-3-69
3.5.1.2	最終目標と根拠	2-3-69
3.5.1.3	目標の達成度	2-3-69
3.5.1.4	成果と意義	2-3-71
3.5.1.5	成果の普及	2-3-71
3.5.2	研究開発サブテーマ「ニューロモルフィックデバイスの探索」	2-3-71
3.5.2.1	概要	2-3-71
3.5.2.2	最終目標と根拠	2-3-71
3.5.2.3	目標の達成度	2-3-72
3.5.2.4	成果と意義	2-3-74
3.5.2.5	成果の普及	2-3-74
3.5.3	研究開発サブテーマ「ロボカップ@ホームによる脳型アーキテクチャの実証実験」	2-3-74
3.5.3.1	概要	2-3-74
3.5.3.2	最終目標と根拠	2-3-74
3.5.3.3	目標の達成度	2-3-75
3.5.3.4	成果と意義	2-3-75
3.5.3.5	成果の普及	2-3-75
3.6	研究開発テーマ「深層確率コンピューティング技術の研究開発」	2-3-77
3.6.1	研究開発サブテーマ「深層確率コンピューティングに適した計算アルゴリズムの研究開発」	2-3-77

3.6.1.1	概要	2-3-77
3.6.1.2	最終目標と根拠	2-3-77
3.6.1.3	目標の達成度	2-3-78
3.6.1.4	成果と意義	2-3-78
3.6.1.5	成果の普及	2-3-80
3.6.2	研究開発サブテーマ「確率プログラミング言語の研究開発」	2-3-81
3.6.2.1	概要	2-3-81
3.6.2.2	最終目標と根拠	2-3-82
3.6.2.3	目標の達成度	2-3-82
3.6.2.4	成果と意義	2-3-82
3.6.2.5	成果の普及	2-3-85
3.6.3	研究開発サブテーマ「深層確率コンピューティングに適したハードウェアシステムの開発」	2-3-85
3.6.3.1	概要	2-3-85
3.6.3.2	最終目標と根拠	2-3-86
3.6.3.3	目標の達成度	2-3-86
3.6.3.4	成果と意義	2-3-86
3.6.3.5	成果の普及	2-3-91
3.7	研究開発テーマ「イン不揮発性メモリ分散 Approximate コンピューティングの研究開発」	2-3-92
3.7.1	研究開発サブテーマ「イン不揮発性メモリ分散 Approximate コンピューティングの研究開発」	2-3-92
3.7.1.1	概要	2-3-92
3.7.1.2	最終目標と根拠	2-3-92
3.7.1.3	目標の達成度	2-3-93
3.7.1.4	成果と意義	2-3-94
3.7.1.5	成果の普及	2-3-98
3.7.1.6	その他	2-3-98
3.8	研究開発テーマ「物理ダイナミクスに基づく学習デバイスを備えた超高効率認知コンピューティングの研究開発」	2-3-99
3.8.1	研究開発サブテーマ「物理リザバーの数理・アルゴリズムの研究開発」	2-3-99
3.8.1.1	概要	2-3-99
3.8.1.2	最終目標と根拠	2-3-99
3.8.1.3	目標の達成度	2-3-100
3.8.1.4	成果と意義	2-3-101
3.8.1.5	成果の普及	2-3-101
3.8.2	研究開発サブテーマ「光リザバー・デバイス設計技術の研究開発」	2-3-101
3.8.2.1	概要	2-3-101
3.8.2.2	最終目標と根拠	2-3-101
3.8.2.3	目標の達成度	2-3-101
3.8.2.4	成果と意義	2-3-101
3.8.2.5	成果の普及	2-3-102
3.8.3	研究開発サブテーマ「スピン・リザバー・デバイス設計技術の研究開発」	2-3-102
3.8.3.1	概要	2-3-102
3.8.3.2	最終目標と根拠	2-3-103

3.8.3.3	目標の達成度	2-3-103
3.8.3.4	成果と意義	2-3-103
3.8.3.5	成果の普及	2-3-104
3.8.4	研究開発サブテーマ「物理リザーバーのコンポーネント化の研究開発」	2-3-104
3.8.4.1	概要	2-3-104
3.8.4.2	最終目標と根拠	2-3-104
3.8.4.3	目標の達成度	2-3-104
3.8.4.4	成果と意義	2-3-105
3.8.4.5	成果の普及	2-3-105
3.9	研究開発テーマ「2028年に性能100倍を達成する汎用性の高い高性能計算機アーキテクチャとシステムソフトウェアの技術の探索」	2-3-106
3.9.1	研究開発サブテーマ「2028年に性能100倍を達成する汎用性の高い高性能計算機アーキテクチャとシステムソフトウェアの技術の探索」	2-3-106
3.9.1.1	概要	2-3-106
3.9.1.2	最終目標と根拠	2-3-107
3.9.1.3	目標の達成度	2-3-108
3.9.1.4	成果と意義	2-3-109
3.9.1.5	成果の普及	2-3-109
4.	実用化・事業化に向けての見通し及び取り組みについて	2-4-1
4.1	実社会の事象をリアルタイム処理可能な次世代データ処理基盤技術の研究開発における実用化・事業化の見通し(日本電気株式会社)	2-4-1
4.1.1	概要	2-4-1
4.1.2	実用化・事業化への課題と対応策	2-4-1
4.1.3	実用化・事業化の体制	2-4-1
4.1.4	市場規模と経済効果	2-4-1
4.1.5	ベンチマーク	2-4-1
4.1.6	事業化までのマイルストーン	2-4-1
4.2	実社会の事象をリアルタイム処理可能な次世代データ処理基盤技術の研究開発における実用化・事業化の見通し(株式会社ノーチラス・テクノロジーズ)	2-4-2
4.2.1	概要	2-4-2
4.2.2	実用化・事業化への課題と対応策	2-4-2
4.2.3	実用化・事業化の体制	2-4-2
4.2.4	市場規模と経済効果	2-4-2
4.2.5	ベンチマーク	2-4-2
4.2.6	事業化までのマイルストーン	2-4-2
4.3	実社会の事象をリアルタイム処理可能な次世代データ処理基盤技術の研究開発における実用化・事業化の見通し(株式会社パスコ)	2-4-4
4.3.1	概要	2-4-4
4.3.2	実用化・事業化への課題と対応策	2-4-4
4.3.3	実用化・事業化の体制	2-4-4
4.3.4	市場規模と経済効果	2-4-4
4.3.5	ベンチマーク	2-4-5

4.3.6	事業化までのマイルストーン	2-4-5
4.4	超電導パラメロン素子を用いた量子アニーリング技術の研究開発における実用化・事業化の見通し (日本電気株式会社)	2-4-6
4.4.1	概要	2-4-6
4.4.2	実用化・事業化への課題と対応策	2-4-7
4.4.3	実用化・事業化の体制	2-4-9
4.4.4	市場規模と経済効果	2-4-9
4.4.5	ベンチマーク	2-4-10
4.4.6	事業化までのマイルストーン	2-4-10
4.5	ディスアグリゲーション型次世代データセンタに適用する光電ハイブリッドスイッチを用いた高速低電力 データ伝送システムの研究開発「光波長送受信器の研究開発」における実用化・事業化の見通し(技 術研究組合参加組合員)	2-4-12
4.5.1	概要	2-4-12
4.6	ディスアグリゲーション型次世代データセンタに適用する光電ハイブリッドスイッチを用いた高速低電力 データ伝送システムの研究開発「バースト多値プロセッサの研究開発」における実用化・事業化の見通 し(技術研究組合参加組合員)	2-4-13
4.6.1	概要	2-4-13
4.7	イジングマシン共通ソフトウェア基盤の研究開発における実用化・事業化の見通し(豊田通商株式会社、 株式会社フィクスターズ)	2-4-14
4.7.1	概要	2-4-14
4.7.2	実用化・事業化への課題と対応策	2-4-14
4.7.3	実用化・事業化の体制	2-4-17
4.7.4	市場規模と経済効果	2-4-18
4.7.5	ベンチマーク	2-4-18
4.7.6	事業化までのマイルストーン	2-4-18
4.8	未来共生社会にむけたニューロモルフィックダイナミクスのポテンシャルの解明「ニューロモルフィック デバイスの探索(レザバー)の研究開発」における実用化・事業化の見通し(株式会社日立製作所、産 業技術総合研究所、北海道大学、東京大学)	2-4-19
4.8.1	概要	2-4-19
4.8.2	実用化・事業化への課題と対応策	2-4-19
4.8.3	実用化・事業化の体制	2-4-19
4.8.4	市場規模と経済効果	2-4-19
4.8.5	ベンチマーク	2-4-20
4.8.6	事業化までのマイルストーン	2-4-20
4.9	未来共生社会にむけたニューロモルフィックダイナミクスのポテンシャルの解明「ロボカップ@ホームに よる脳型アーキテクチャの実証実験」における実用化・事業化の見通し(九州工業大学、大阪大学他)	2-4-21
4.9.1	概要	2-4-21
4.9.2	実用化・事業化への課題と対応策	2-4-21
4.9.3	実用化・事業化の体制	2-4-21
4.9.4	市場規模と経済効果	2-4-21
4.9.5	ベンチマーク	2-4-23

4.9.6	事業化までのマイルストーン	2-4-23
4.10	深層確率コンピューティング技術の研究開発における実用化・事業化の見通し	2-4-24
4.10.1	概要	2-4-24
4.10.2	実用化・事業化への課題と対応策	2-4-24
4.10.3	実用化・事業化の体制	2-4-24
4.10.4	市場規模と経済効果	2-4-24
4.10.5	ベンチマーク	2-4-25
4.10.6	事業化までのマイルストーン	2-4-25
4.11	イン不揮発性メモリ分散 Approximate コンピューティングの研究開発における実用化・事業化の見通し	2-4-26
4.11.1	概要	2-4-26
4.11.2	実用化・事業化への課題と対応策	2-4-26
4.11.3	実用化・事業化の体制	2-4-26
4.11.4	市場規模と経済効果	2-4-27
4.11.5	ベンチマーク	2-4-27
4.11.6	事業化までのマイルストーン	2-4-28
4.12	物理ダイナミクスに基づく学習デバイスを備えた超高効率認知コンピューティングの研究開発における実用化・事業化の見通し(日本アイ・ビー・エム株式会社、東京大学)	2-4-29
4.12.1	概要	2-4-29
4.12.2	実用化・事業化への課題と対応策	2-4-29
4.12.3	実用化・事業化の体制	2-4-29
4.12.4	市場規模と経済効果	2-4-29
4.12.5	ベンチマーク	2-4-30
4.12.6	事業化までのマイルストーン	2-4-30
4.13	2028年に性能100倍を達成する汎用性の高い高性能計算機アーキテクチャとシステムソフトウェアの技術の探索における実用化・事業化の見通し(国内企業システムベンダー等)	2-4-31
4.13.1	概要	2-4-31
4.13.2	実用化・事業化への課題と対応策	2-4-31
4.13.3	実用化・事業化の体制	2-4-31
4.13.4	市場規模と経済効果	2-4-32
4.13.5	ベンチマーク	2-4-32
4.13.6	事業化までのマイルストーン	2-4-32
4.14	2028年に性能100倍を達成する汎用性の高い高性能計算機アーキテクチャとシステムソフトウェアの技術の探索「McIMの研究開発」における実用化・事業化の見通し	2-4-33
4.14.1	概要	2-4-33
4.14.2	実用化・事業化への課題と対応策	2-4-33
4.14.3	実用化・事業化の体制	2-4-33
4.14.4	市場規模と経済効果	2-4-33
4.14.5	ベンチマーク	2-4-33
4.14.6	事業化までのマイルストーン	2-4-33

●特許論文等リスト(添付資料).....	2-添-1
◎研究開発テーマ「実社会の事象をリアルタイム処理可能な次世代データ処理基盤技術の研究開発」.....	2-添-1
◎研究開発テーマ「超電導パラメロン素子を用いた量子アニーリング技術の研究開発」.....	2-添-5
◎研究開発テーマ「ディスアグリゲーション型次世代データセンタに適用する光電ハイブリッドスイッチを用いた高速低電力データ伝送システムの研究開発」.....	2-添-15
◎研究開発テーマ「イジングマシン共通ソフトウェア基盤の研究開発」.....	2-添-18
◎研究開発テーマ「未来共生社会にむけたニューロモルフィックダイナミクスのポテンシャルの解明」.....	2-添-24
◎研究開発テーマ「深層確率コンピューティング技術の研究開発」.....	2-添-35
◎研究開発テーマ「イン不揮発性メモリ分散 Approximate コンピューティングの研究開発」.....	2-添-37
◎研究開発テーマ「物理ダイナミクスに基づく学習デバイスを備えた超高効率認知コンピューティングの研究開発」.....	2-添-42
◎研究開発テーマ「2028 年に性能 100 倍を達成する汎用性の高い高性能計算機アーキテクチャとシステムソフトウェアの技術の探索」.....	2-添-46

プロジェクト用語集

用語	説明
3He 冷凍機	液化した 3He ガスの蒸発潜熱を利用して試料を冷却する冷凍機。ベース温度は 300mK 程であり希釈冷凍機ほどの極低温は実現できないが、3He ガスを循環させる必要がないため比較的コンパクトで安価
Approximate コンピューティング	アプリケーションのユーザが正しいとみなせる範囲の精度内で誤りを許容する代わりに、高実行性能・高電力効率の計算・通信・ストレージ機能を実現するコンピューティング方式
Bayes by Backpropagation (BbB)	ベイジアンニューラルネットワークは、ネットワークのパラメタが確率分布で表現される深層確率モデルである。これに対し、ELBO の勾配を計算し、これを用いてパラメタを更新することで学習を行う計算手法
BeCu(ベリリウム銅)	プローブピンの材料として一般的によく使用される。柔らかく、接触抵抗が低いという特徴を有する
CGRA	粗粒度回路再構成可能アレイ (Coarse-Grain Reconfigurable Array)。FPGA(Field-Programmable Gate Array)のように回路をデバイス上に配置配線してその上で計算処理を実行することが可能なアーキテクチャだが、回路再構成単位がビット単位～の細粒度である FPGA と比べ、8-bit～32-bit 等語調が大きく任意の回路というよりは、数値計算などの特定の回路向けに設計されている。計算カーネルのデータフローグラフを回路として配置配線し実行するような用途が多い。マイクロプロセッサと比べて、低消費電力であり、演算器間のデータ移動を効率良く行えるものと期待される。配置配線という最適化問題を解くためにコンパイルは比較的長時間を要する
Computation-in-Memory	メモリを用いた機械学習の演算回路システム。メモリと演算回路の間のデータ移動を無くすことで、低電力・高速処理を実現
DBx1000	Carnegie Mellon University のデータベース研究グループが開発主導する評価用データベースシステム https://github.com/yxymit/DBx1000
D-wave 社	カナダの量子コンピューターのハードウェアの企業。世界で初めて量子アニーリングマシンを商用化した
FeFET	強誘電体材料を用いたトランジスタ型(FET 型)不揮発性メモリ
FIVO (Filtering Variational Objectives)	変分法では、対数周辺尤度の下限である、Evidence Lower Bound(ELBO)を最大化することでパラメータ学習を進める。FIVO は、ELBO の時系列版であり、粒子フィルタ(正確に言えば、Sequential Importance Sampling 法)をもちいて評価する
Flink	オープンソースの統合ストリーム処理およびバッチ処理フレームワーク https://flink.apache.org/
FLOPS-to-BYTES	近年、多くのアプリケーションがメモリ性能に律速されるため、ポストムーア時代における計算機の継続的な性能向上のために、アーキテクチャ設計において FLOPS(演算性能)の増加から BYTES(メモリや通信のバンド幅や

	メモリ容量)の増加に重点を移行していくべきという設計思想。本プロジェクトの3名を含む日本の学者により CF'16 において発表された
FPGA	Field Programmable Gate Array の略で、任意のハードウェア回路を実現できるように論理素子を二次元アレー状(Gate Array)に配置し、それらを任意に接続できるようにしたもの。設計現場のフィールドで機能を変更するプログラミングができるのでこのように呼ばれる
FPGA	Field-Programmable Gate Array、書き換え可能ゲートアレイの略。ユーザ側が回路をプログラム可能な LSI で、比較的大規模な回路まで実装できる。性能は専用 LSI に及ばないが、初期コストが安く開発できる。
GAN (Generative Adversarial Networks)	訓練データの分布を模倣するように、新しいデータを生成する深層学習モデルの一つ。顔画像の生成などが典型的な応用である。
geoSpark	大規模空間データの解析に利用されるフレームワーク https://sedona.apache.org/
GPU	Graphics Processing Unit の略で、画像処理などに特化したアクセラレータ。コア数が多く、またメモリアクセス速度も速いため、画像処理にとどまらず、機械学習や科学技術計算など一般的な用途として解くに並列性の高い計算に用いられる
HSR	TOYOTA HSR(Human Support Robot)はトヨタ自動車が開発する生活支援ロボットである。国内外 13 カ国、49 機関で研究開発に活用され、家庭やオフィス、病院、介護施設等での実証実験が進められている。経済産業省と NEDO が主催する World Robot Summit の競技会 Partner Robot Challenge (Real Space) および RoboCup@Home Domestic Standard Platform League の標準ロボットとして採用されており、HSR を用いた片付けタスクなどの各種ロボットベンチマークも世界的に競われている
HTAP	HTAP は hybrid transactional analytical processing の略であり、ガートナーによって定義された用語。トランザクション処理と分析の「壁を打ち破る」新しいアプリケーションアーキテクチャを指す
In(インジウム)	超電導材料の1つであり、超電導転移温度は 3.4K
Irregular Access	不連続なアドレスに対するメモリアクセス列のこと。CPU・GPU を問わず現在主流のキャッシュアーキテクチャとの相性が非常に悪く、例えば 128 バイトのキャッシュラインの 4 バイトしか使わないような効率の悪い資源(キャッシュ容量やメモリバンド幅)浪費を引き起す。疎行列で定式化されるアプリケーション(多くの科学技術計算やグラフ処理など)における配列の間接参照などによって頻繁に出現する。Gather/Scatter 処理のニアメモリプロセッシングにより、これまで未開拓な加速要因として活用可能である
i 線ステツパ	高精度の光学系を持つことで解像度が高く、またレチクルと呼ばれる回路パターンを作りこんだフォトマスクを用いて試料表面に塗布したフォトレジストに回路パターンを露光することで高速の露光も実現する。露光されたレジスト部分がのちの現像工程で除去されて、回路パターンが転写されたレジスト層が微細回路パターン加工用マスクとして用いられる。i 線の波長は 0.365 um であり露光の解像度は 0.5-1um 程度

LHZ 法	量子アニーリングを実行する際にどの素子とどの素子を相互作用させるか、ということについてのアルゴリズムの一つ。この方法では、隣接する素子との相互作用のみで、任意のイジング問題を扱うことができる。その代わりに、四つの隣接する素子間の四体相互作用が必要である
Material Requirement Planning (MRP)	資材所要量計画は工場などで使われる生産管理手法の一つ
McIM	本プロジェクトの課題 3 が提唱しているポストムーア時代向けのアーキテクチャ。汎用性と連続性と実装容易性を確保しながら、主に高いメモリ性能を実現するために、多数の低電力汎用コアをメモリ側に配置することを特徴とする。FLOPS-to-BYTES を志向するアプローチの一つ
MINN (Model Identification Neural Network)	VAE に基づく時系列向けのネットワークを、状態空間モデルとして理解しやすい形に改造したネットワーク群
Nb(ニオブ)	低温で超伝導となる金属の 1 つ。アルミニウムより硬く、超伝導転移温度も高い
OLAP	OLAP は online analytical processing の略であり、複雑で分析的な問い合わせに対し高速に結果を返すシステム
OLTP	OLAP は online transactional processing の略であり、データの入力と検索のトランザクション処理を扱うシステム
OpenMVG	Structure From Motion (SfM) のためのライブラリ。 複数の位置から撮影した静止画像群から、3次元空間で点群を構築する
OpenMVS	点群データから、より密な点群を求める Multi-View Stereo のためのライブラリ
PLC	Planar Lightwave Circuit、平面光波回路のこと
QAM 方式	Quadrature Amplitude Modulation :直交振幅変調方式のこと。16QAM は、位相が直交する 2 つの波を合成して搬送波とし、それぞれを 4 段階の振幅で識別する方式。1つの偏波で 4 ビットの伝送ができる。本事業では 2 つの偏波を多重して、それぞれを 16QAM 変調する DP(Dual Polarization)-16QAM 方式を採用している。また、QAM 方式以外に振幅識別を用いない QPSK(Quadrature Phase Shift Keying)変調も光コヒーレント伝送では多用されるため、本事業でも検討対象の変調方式も一つとしている
RBL 法	LHZ 法の変型版
Read only Anomaly	データベースにおける Anomaly とは Serializable ではない実行を引き起こす状態を指す。Read only Anomaly は 2004 年に見つかった Anomaly であり、とくに HTAP システムでは問題が顕在化する https://dl.acm.org/doi/10.1145/1031570.1031573
RISC-V	UC Berkeley を中心に開発されたオープンな RISC プロセッサ仕様。Rocket コアを中心とするフリーの実装も存在する。
ROS	ROS (Robot Operating System) はロボットアプリケーション作成を支援するミドルウェアで、ライブラリとツール群(ハードウェア抽象化、視覚化ツール、メッセージ通信など)を提供している。ロボットミドルウェアのデファクトス

	<p>タンダードで、全世界で 10 万人以上のユーザがいる一大 OSS (Open Source Software) コミュニティを形成している。本プロジェクトから提案する様々なデバイスを ROS 対応することで、世界中のロボットプログラマへ一気に広めることが可能である</p>
SEM	<p>走査型電子顕微鏡 (SEM) は電子線を磁気レンズで細くしぼって観察対象物表面に走査・照射し、観察対象物表面近傍から放出される二次電子等を検出することで主に観察対象物の表面形状を観察する。光学顕微鏡よりも分解能が高い</p>
SQUID	<p>Superconducting Quantum Interference Device の略。ジョセフソン接合を含む超電導ループ構造を持つ。ループ内の磁束の数は飛び飛びの値 (磁束量子と呼ばれるものの整数倍) しか取れないため、高感度な磁場センサとしても用いられる</p>
TEG チップ	<p>素子が設計通りに動作しているか、および、製造上の不具合の有無等を調べるためのテスト用チップ。Test Element Group の略</p>
TPC-H	<p>トランザクション処理性能評議会 (Transaction Processing Performance Council: 以下 TPC) が定義するデータベースの処理性能指標の 1 つであり、意思決定支援のワークロードによるベンチマーク</p>
TSV	<p>Si 貫通電極 (through-silicon via)。電子部品である半導体の実装技術の 1 つであり、シリコン製半導体チップの内部を垂直に貫通する電極のことである。複数枚のチップを積んで 1 つのパッケージに収める場合に、従来ではワイヤ・ボンディングで行なわれている上下のチップ同士の接続をこの貫通電極で行なう。</p>
Vivado 高位合成システム	<p>FPGA の供給会社である Xilinx 社が提供している C プログラムを直接ハードウェアに変換するソフトウェアツール</p>
World Robot Summit	<p>総称 WRS は、ロボットの活躍が期待されるさまざまな分野において、世界中から集結したチームがロボットの技術やアイデアを競う競技会「World Robot Challenge (WRC)」と、ロボット活用の現在と未来の姿を発信する展示会「World Robot Expo (WRE)」とで構成されている。</p>
アニーリング素子	<p>(結合した複数個の) 量子ビットを用いて量子アニーリングを実現するためのデバイス</p>
アモルファス層	<p>原子が周期的な結晶構造を持たない層</p>
アンローリング	<p>C プログラムのループ <code>for (i=0; i < n; i++) { ... }</code> では i が 1 つずつ変わってゆくが、それを i が 2 つずつ (あるいはもっと大きく) 変わるようにして一度に処理される演算の数を大きくし、可能なら並列化してハードウェアでの効率化を行う手法</p>
イジングハミルトニアンイジング問題	<p>イジング問題で考える、二値変数で表される多変数関数。物理的には、対象とするシステムのエネルギーを表す関数。一般に、エネルギーを表す関数をハミルトニアンと呼び、イジング問題におけるハミルトニアンをイジングハミルトニアンと呼んでいる</p>
イジングマシン	<p>イジング問題を解くことを主な目的とする専用ハードウェア。イジング問題を解くソフトウェアを意味することもある</p>

イジングマシン	量子アニーリングマシンをはじめ、内部にイジングモデルと呼ばれるモデルを持ち、その基底状態(最小エネルギー状態)を求めることで、高速に組合せ最適化問題を解法するコンピュータ
イジング項	イジング型の相互作用
イジング問題	たとえば、変数 s_1, s_2 を考え、どちらも 1 か -1 のみを取り得るとし、 $s_1 \times s_2 + s_1 - s_2$ を最小にする s_1 と s_2 の値の組合せを見つける問題はイジング問題の一例である。一般にイジング問題は二つの値(「1 か-1」など)のみを取る変数で表される多変数関数を考え、それが最小になるような二値変数の値の組合せを見つける問題である。変数の 2 次以下の項(2 個以下の変数の積)しか含まない場合を考えるとすることが多い。組合せ最適化問題は基本的にイジング問題の形式で表すことができる
インターポーザ	貫通電極によって表裏の回路の導通をとるために用いられる基板のこと。3D の高集積化技術として活用されている
エアブリッジ	上記クロストークを抑制するために、量子ビットチップの高周波伝送線路によって分断されているグラウンド電極間を、伝送線路には触れないように空中で架橋する構造
エッジ・コンピューティング	スマホやロボット、ドローン、自動運転車、センサなどのエッジ・コンポーネント側にデータ処理装置を分散配置して、データ処理を行う技術の総称。従来のデータセンターを中心としたクラウド・コンピューティングと対比的に用いられる概念である
エミュレーション	物理現象の模擬をソフトウェアで行うシミュレータをハードウェア化したもの
カーネル法	非線形なデータ解析を行うための機械学習技術のひとつ。正定値カーネルと呼ばれるクラスの関数でデータを表現する
クエンチ	ハミルトニアンのパラメータを急激に変化させる操作。断熱型量子計算では、ハミルトニアンのパラメータをゆっくりと変化させることによって量子状態を常にハミルトニアンの基底状態に保つ。一方、クエンチのあるダイナミクスでは基底状態にとどまらず、より複雑なダイナミクスを伴う
クライアント側	サーバー側のインターフェース。反対側の伝送方面はライン側と呼ぶ
クロストーク	ここでは、2ビット素子において片方のビットの周波数を変化させるために磁場を印加した際に、もう片方のビットの周波数も意図せず変化する現象を指す
ゲート方式	ノイマン型のコンピュータのビットに対する演算処理(ゲート)の量子版に相当する演算を行うタイプの量子コンピュータ
コヒーレンス時間	一般的には重ね合わせ状態の継続する時間を意味するが、量子ビットに対して用いる際は上記の位相緩和時間を指す場合が多い
コヒーレント光信号	位相変調させた信号光に局発光を干渉させて信号を検出するコヒーレント受信を用いる光信号。偏波多重も組み合わせて大容量化する
サイクル精度のエミュレーション・シミュレーション	実際のデジタルハードウェアでは、レジスタファイルやメモリ要素などへの信号値の書き込みが、クロックサイクルのエッジに同期して行われる。計算に伴うそのような書き込み動作を模擬し、計算処理にかかるサイクル数を正確に評価することが可能なエミュレーションまたはシミュレーションを、サイ

	<p>クル精度と表現している。尚、ここではそれぞれ、エミュレーションとは FPGA 等による実ハードウェア上で論理記述された CGRA のハードウェアを動作させることを、シミュレーションではソフトウェアで CGRA の論理動作を模擬することを意味している。開発した環境では、VHDL により記述された CGRA のパラメータ化論理回路を、GHDL というソフトウェアにより C コードに変換しそれを実行している。これは、シミュレーションである。また、その VHDL は FPGA 上に配置配線すればエミュレーション可能なものである</p>
ジョセフソン接合	<p>非常に薄い絶縁体を2つの超伝導体で挟んだ構造のこと。ジョセフソン接合を介して、2つの超伝導体の波動関数の位相差に応じたトンネル電流が流れる</p>
シンボルレート	<p>変調情報を伝送する速度のこと。変調による変化を1秒間に何回伝送できるかを示す。フランス人技術者 J. M. E. Baudot の名をとって baud rate (ボーレート)と呼ばれることも多い</p>
スキーマ	<p>データベースのデータ構造の定義</p>
スパッタリング	<p>真空チャンバー内に薄膜としてつけたい金属をターゲットとして設置し、高電圧をかけてイオン化させた希ガス元素(普通はアルゴンを用いる)や窒素(普通は空気由来)を衝突させ、ターゲット表面の原子がはじき飛ばされ、基板に到達して製膜する方法。そのため、スパッタリングはいわゆる「乾式めっき法」(真空めっき)に分類され、コーティングする対象物を液体や高温気体にさらすことなくめっき処理が出来ることが特徴</p>
スピン	<p>原子などの電気を帯びた粒子が回転した場合の磁場(N 極の向き)のこと。上を向くか下を向くかを 1 と -1 で表すことが多い</p>
スピンレザバー	<p>スピントルク発振素子におけるスピンの多様なダイナミクスを利用した物理リザバーであり、ナノメートルサイズの磁気抵抗素子を用いるため小型・省電力なシステムの実現が期待される</p>
スピン波	<p>磁性体は局在したスピン角運動量をもった元素の集合である。スピンはベクトル量で、その空間内の配置場所と大きさは変化しないが、その方向は様々な要因で変化する。磁性体内の一部のスピンの方向が変化すると、その変化は波の様に空間を伝搬する。これをスピン波と呼ぶ</p>
スペクトロスコピー	<p>観測量の周波数(または波長)依存性を調べる実験。分光法</p>
セレクトアスイッチ	<p>N 入力 1 出力のスイッチで、N 個の入力ポートのうちの 1 つを出力ポートに接続するスイッチ</p>
ソフトウェア擬似量子アニーリング	<p>スピンをもつ量子の集合がその総エネルギーを最小にする現象を、疑似的に二値のスピン変数の集合に対する処理をソフトウェアで行うこと。焼鈍しを疑似的に行うシミュレーティッドアニーリングになぞらえて量子アニーリングと呼ばれる</p>
ソフトロボット	<p>単に身体がやわらかな素材で構成されているのみでなく、やわらかな素材が発現する機能(例えばなじみといった環境との高い適応性や、やわらかな身体に根ざした計算能力など)を積極的に活かしたロボットを指す</p>
ダイナミック酸化	<p>真空チャンバ内に酸素を一定の流量で導入しながら一定の排気速度で排気することで、真空チャンバ内の酸素分圧を一定に保つトンネルバリアの</p>

	形成方式。
ため込み式酸化	真空排気後に排気を止めた状態で真空チャンバ内に酸素を一定量導入し、真空チャンバ内の酸素分圧を一定に保つトンネルバリアの形成方式
トグル	二値(1, -1 あるいは 1, 0)のいずれかをとるスピン変数の値を別の値に変化させること
ドライエッチング	反応性の気体(エッチングガス)やイオン、ラジカルによって材料をエッチングする方法。主に化学的な反応によるエッチングを指し、反応による生成物は気体である場合が多い
トンネルバリア	非常に薄い絶縁体を二つの超電導体ではさんだジョセフソン接合が超電導量子ビットの主要な構成要素であり、この薄い絶縁体層をトンネルバリアと呼ぶ
ニアデータプロセッシング	メモリのできるだけ近くに CPU コアを配置してできるだけデータがある場所で処理することで、移動するデータ量やアクセス遅延や消費エネルギーの削減をはかる高速化手法またはアーキテクチャ。古くは Processing in memory(PIM)と呼ばれていたが、ビッグデータ処理のコンテキストでは Near data processing が用いられることが多い。Near memory processing と同義で、RAM 上に大半のデータを配置することで高速化する手法を除く In memory processing と同義であることが多い
ニューラル・ネットワーク	生物の脳の認知機能と構造に基礎を置いている機械学習モデル。神経細胞を数理的にモデル化した人工ニューロン素子のネットワークによって構成される
ニューロモルフィズム	脳や身体に宿る生物の神経機構に内在する本質を捉え、その工学的な実現を通じて、人工物を設計・作動させ、その経緯や結果を通して、生物系の神経機構の新たな理解を生み出し、さらに工学的再現にフィードバックするといった「科学と工学の微視的にも巨視的にも相互浸透的な動的循環による新たな学際的アプローチの理念」を指す
ニューロモルフィックダイナミクス	ニューロモルフィズムの理念のもとに、デバイス/材料や集積回路/アーキテクチャからモデル/アルゴリズムやシステム/応用に至るまでの各分野を統合した超域
ニューロモルフィックダイナミク理論	超域ニューロモルフィックダイナミクスの核となる脳と身体のそれぞれのダイナミクス及びそれらの結合ダイナミクスを表す一般的な計算モデルの理論
ハウジング	ソケットを構成する部材の1つ。ソケットは、主に信号を伝送するためのプローブピンと、プローブピンを保持するためのハウジングで構成される。ハウジングは絶縁材料であると同時に誘電体でもあるため、高周波伝送のためには、材料物性値として誘電率と誘電損失($\tan \delta$)が重要な値となる。また、本開発ではプローブピンの接続状態を室温から極低温(10mK)まで保持する必要があるため、ハウジングの熱膨張率も重要な物性値となる
パフォーマンスカウンター	システムの状態や動作を計測する手段で、アプリケーションを実装した際にどの計算リソースがどのくらい使用されたかがわかり、その値を取得することによりアプリケーションの特徴を理解することができる
パラメトリックオシレータ	パラメトリック発振をする振動子

パラメトリック発振	共振周波数の2倍の周波数で共振周波数を変調すると、パラメータ共振による増幅効果が生じる。変調強度がある閾値を超えたときに起きる自励振動をパラメトリック発振と呼ぶ
パラメロン共振器	パラメロンを構成する共振器
フリップチップボンディング	Flip Chip Bonding:FCB。チップの能動面と基板面が対向した状態で実装される手法
プローブピン	ソケットを構成する部材の 1 つ。ソケットは、主に信号を伝送するためのプローブピンと、プローブピンを保持するためのハウジングで構成される。本開発で求められるプローブピンの特性としては、高周波伝送を可能にする低損失に加えて、高密度実装を実現するための狭ピッチ対応(極細径)が重要となる。また、コンタクトを取るために内蔵されているバネは、通常、ニッケル系の磁性材料を含むが、超電導チップの動作に悪影響を及ぼす可能性があるため、非磁性バネへの変更も検討する必要がある
プロトタイプシミュレータ	何等かの物理現象の模擬(シミュレーション)をソフトウェアで行うシステムであるシミュレータの暫定版のこと
ベイズ推論	推論したい事柄に関する事前知識を表す事前確率と、観測されたデータとから、ベイズの定理を使って事後確率を求めることによって確率的な推論を行う、統計的推論の方法論。
ベーシックブロック	CPU で実行される分岐のない命令の集まり。すなわち、内部のコードが他のコードの分岐先になっておらず連続して実行される命令群
ポンプ	上記パラメトリック発振を起こす目的で、量子ビットの共振周波数を変調するために高周波信号を入力すること
マイクロ波	周波数が 300MHz から 30GHz 程度の電磁波の総称。転じて、同周波数の交流電流をもマイクロ波と呼ぶ
マスクレス露光機	光学露光装置ではあるがデータをもとに描画・露光するためレチクル(回路パターンを作りこんだフォトマスク)が不要。i 線ステツパよりも解像度は低い
ミドルウェア	アプリケーションプログラムを特定のハードウェアで動作させる際に、その仲立ちとなって動作するソフトウェアならびにその集合
リザバー・コンピューティング	ニューラル・ネットワークのアーキテクチャの 1 つ。入力データを高次元空間へ変換するリザバー層とその状態を読み取って所望の出力へと変換するリードアウト層からなる。リザバー層は学習を必要とせず、学習はリードアウト層のみで行われるため、学習負荷が非常に軽い。リザバー層は水面に喩えられ、そこにデータを入力すると、静かな水面に石を投げ込んだ際に広がる波面の様子を読み取るように推論が進むことから、この名前になっている
ルーフラインモデル	メモリバンド幅と演算器性能の 2 つのハードウェア制約により導かれるアプリケーションの浮動小数演算速度(FLOPS)の上限(Roofline)を示した性能モデル。グラフで表示した際に右肩上がりのバンド幅律速な領域と、ピーク演算性能で飽和する演算律速な領域に分かれ、個々のアプリケーション特性は必ず Roofline の下側にプロットされる

レーザー	光共振器を用いて人工的に生成された、位相や波長の揃った光。光リザバー・デバイスでは、レーザーの性質を利用してリザバー層を実現している
レザバーコンピューティング	再帰的ニューラルネットワークの特殊なモデルを一般化した概念で、時系列情報処理に適した機械学習の枠組みの一つ。尚、レザバーは、リザバーやリザヴァ、レザヴァなどとも呼ばれるが、本プロジェクトでは、レザバーに統一する。
レザバーチップ	典型的なレザバー計算モデルでは、レザバー内はスパースな固定荷でランダムに結合されたリカレントニューラルネットワークであるが、内部に非線形なダイナミクス(履歴を残した非線形な状態の時間発展)が必要である。これを、CMOS 集積回路で構成する場合、デジタル/アナログ双方の手法で実装が可能であり、FPGA での実装例もあるが、トランジスタの非線形特性を利用したアナログ回路で構成すると、より効率的な実装が可能である。
ロボカップ@ホーム	2050 年までに、11 体のヒューマノイドロボットチームが FIFA のワールドカップチャンピオンチームを破ることを最終目標とするロボカップにおいて、災害救助のロボカップレスキューに続いて、日常生活支援ロボットの能力を競うロボカップ@ホームが 2005 年に構想発表され、2006 年から正式競技会として運営され、毎年、全世界から数十チームが参加し、様々なタスクを競い、技術向上と応用範囲の拡大が図られている
位相緩和時間	外界の周波数揺らぎの影響を受けて、量子ビットの0と1の重ね合わせ状態のコヒーレンスが失われる典型的な時間スケール
音声認識	機械学習により、人間の発話データからの文字起こしや発話者の特定などを行う手法。
希釈冷凍機	4He とその安定同位体である 3He の混合液から選択的に蒸発させた 3He ガスを、再度混合液に注入する際の希釈熱によって試料を冷却する冷凍機。mK オーダーの極低温を実現することができる
機械学習	人間が計算機に対し明示的にルールを与えるのではなく、計算機に多くの例をデータとして与えて、そのデータの中に潜む有用な規則、ルール、知識表現、判断基準などを自動的に抽出する手法。ビッグデータ時代の到来により、近年その重要性が高まっている。
擬似量子機構	スピンをもつ量子の集合がその総エネルギーを最小にするようにスピンの値を決定する現象を疑似的に実現する方式のこと
局所磁場	イジングハミルトニアン $\sum J_{ij} \sigma_{iz} \sigma_{jz}$ を、2スピンの平行反平行を ± 1 とするあらたなスピンを用いて $\sum J_k \sigma_{kz}$ と表した際の J_k を局所磁場と呼ぶ。実験的には各ビットのシグナルラインにマイクロ波を注入することが局所磁場を印加することに相当する
近接相互作用	隣接した量子ビット同士の間にもみ相互作用があること
金属破壊モード	ダイシエア試験で実装されたチップを破壊した際の接合部における破壊状態の一つ。強固に接合されていた場合は、接合界面ではなく母材の金属より破壊する。
係数行列	二値(1, -1 あるいは 1, 0)をとる変数 x_i を用いた最小化したい二次式 $\sum_{i=1}^n \sum_{j=i+1}^n J_{ij} x_i x_j$ の係数値 J_{ij} を二次元の行列の形で表したもの

原子スイッチレザバーチップ	原子スイッチを非線形演算素子とするレザバーと CMOS を集積したチップ。シリアル時分割入出力の原子スイッチレザバーおよび原子スイッチアレイのスキャン・読み出し・書き込みを行う CMOS 回路により構成される
固体量子ビット	量子ビットの0, 1状態が、半導体等の固体素子における電荷、スピン、磁束、位相等の量子力学的な2準位によって構成されるタイプの量子ビット
誤り訂正回路	符号誤りを訂正するアルゴリズムを搭載した回路
光子	(可視光等の)電磁波を構成する最小単位。有限のエネルギーを持ち、質量は0の粒子
光波長送受信器	一般的な光デジタル・コヒーレント・トランシーバーと主要構成はほぼ同じであるが、局発光の波長切替時間が $100 \mu\text{s}$ 程度と高速である
酸化膜	熱したりするとことで、金属や半導体表面に酸素と反応して生成する皮膜。銅ならば酸化銅、シリコンならばシリコン酸化膜ができる。また、スパッタリング法等により膜厚を制御して意図的に堆積することも可能
酸素分圧	真空チャンバ内における酸素のみの圧力
磁束量子ビット	超電導ループを永久電流が時計回りに流れる状態と反時計回りに流れる状態を0, 1状態として利用するタイプの量子ビット
室温接合抵抗評価システム	ジョセフソン接合の室温抵抗値を評価するシステム。この測定値から極低温での接合特性を推測できる
実時間ダイナミクス	実数軸上の時間発展。(実時間に対して、熱平行状態を生成する操作は、時間 t を虚数とする虚時間発展とも呼ばれる)
斜め蒸着装置	試料表面にあらかじめ形成しておいたマスクを用いて微小寸法のジョセフソン接合を作製するための蒸着装置。試料の傾斜・回転機構を有しており、蒸着物質流の試料表面への入射角度を変えることができることが特徴
巡回セールスマン問題	n 個の都市に対して、一度ずつすべての都市を回る経路の中で総距離が最小のものを求める問題、セールスマンが都市をめぐるという意味で名前がつけられた
深層確率モデル	深層ニューラルネットワークを用いて表現された確率分布モデル。データの生成過程のモデルの場合には、深層生成モデルと呼ぶこともある
世界モデル (World Model)	環境からの限られた観測情報を元に、環境で行動した際の行動と観測の関係を学習によって構築する枠組み。世界モデルを用いることで、直接には観測できない状態での行動による状態と観測の変化をエミュレーションできるようになる
制御ポスト	フリップチップボンディングで量子チップをインターポータ上へ実装する際に、量子チップとインターポータ間のギャップをある一定の高さにするための突起構造
制約項	LZH 法において、元の問題にある長距離相互作用を効率よく表すために入る量子ビット同士の制約の項
生体レザバー	生体組織そのものあるいは培養神経細胞とそのネットワークにより構成される物理レザバー。脳型レザバーの構造探査に用いられるとともに、サイバネティックニューロモルフィックコンピューティングにおける埋め込みレザバーの最終形態にもなりえる

積和演算のエネルギー効率	浮動小数点計算を行う通常のデジタル計算機の演算性能指標 FLOPS に対して、固定小数点演算でよい特定用途プロセッサ (AI チップ等) では OPS (Operations Per Second) が用いられる。演算効率 (エネルギー効率) とは、消費電力当たりの演算性能であり、専用 AI チップで使われる単位は TOPS/W = (Tera Ops per sec)/(Joule per sec) = Tera Ops/Joule。この逆数は、1 演算当たりの消費エネルギー = $1/(TOPS/W)$ [pJ/op] となる。すなわち、1 演算に 1pJ 消費する場合、1TOPS/W となる。積和演算の場合、乗算と加算で 2 演算とみなす。ただし、効率は演算のビット精度にも依存するため、極端な場合、2 値演算畳込み NN などでは、乗算を 1 ビット演算 (XNOR) で行うことで、デジタル方式でも 700TOPS/W という極めて高い効率を実現できる。この場合、「1-b TOPS/W」という表記がされることもある
絶縁層	2つの導電性 (半導体や金属) の層または構造の間の絶縁を取るために設けられる層
全結合	ここででの結合とは、ハミルトニアンにおける変数の積を意味する。変数 s_1 と変数 s_2 が積になっている、つまり $s_1 \times s_2$ という項がハミルトニアンに含まれるとき、両者が結合していると考えられる。特に、全ての二つの変数の組が積になっている場合を全結合と呼ぶ。また、全結合ではないものは部分結合と呼ばれることもある
組合せ最適化問題	順番や物の配置のように、ある条件を満たす範囲で最も良い組合せを探すという問題。例) 工場の生産ラインの計画
組合せ最適化問題	多数の組合せの中から最適な組合せを選択する問題。組合せ最適化問題の例として巡回セールスマン問題などがある
側壁粗さ (スキヤロップ)	Si 貫通電極 (TSV: through-silicon via) を形成する際に、貫通孔のドライエッチング加工を行う際に、貫通孔が深い穴形状の場合、保護膜の形成とドライエッチングを交互に行う必要がある。その時のプロセスの切り替え時間によりエッチング加工面であるシリコンの側壁にリング状の凸凹になる構造がスキヤロップと呼ばれる
多体相互作用	物理的な素子間が互いに影響を及ぼし合う状況は、通常二つの素子間のみの互いの影響を考える。しかし、三個以上の素子が同時に影響を及ぼし合う状況もあり、これを多体相互作用と呼ぶ。イジング問題においては、イジングハミルトニアンにおける三個以上の変数の積 (3 次以上の項) がこれに対応し、これも多体相互作用と呼ばれる
超電導パラメロン	超電導回路におけるパラメトリック発振の 2 つの位相状態を量子ビットの 0, 1 として用いる素子
超電導バンプ	Nb や In などの超電導材料で構成された接続端子
長距離相互作用	遠くの量子ビット同士の間相互作用があること
適応制御	符号間干渉を抑制するため、通信路特性や信号品質の変化に応じて等化器回路、多値処理回路、誤り訂正回路の統制を自動的に調整する制御
電子線描画装置	磁気レンズで細くしぼった電子線を試料表面に塗布したレジストに走査・照射して回路パターンを試料表面に転写するための装置。電子線照射された部分のレジストがのちの現像工程で除去され、回路パターンが転写された

	レジスト層が微細回路パターン加工用マスクとして用いられる。データをもとに描画するためレチクルが不要。i 線ステッパやマスクレス露光機のような光学露光装置よりも解像度が高くより微細な構造を作製することができる一方で、電子線走査に時間を要するため作業時間がかかる
脳・身体結合の大規模シミュレータ	筋骨格系の大自由度性や冗長性などの生物学的特徴を有した複雑身体シミュレーションやロボットに、生物規範の大規模脳モデル・シミュレーションを統合したシステムであり、神経系や身体に内包される構造的および機能的特性や神経系-身体-環境の相互作用によって生じる動的特性の実験や検証に用いる
脳型リザバー	脳構造に近い並列入出力かつ近傍結合構造を持つ物理リザバー。半導体ニューロモルフィック素子による構成を前提としたもの
反応性イオンエッチング装置	フッ素などの化学反応性のあるイオンに加速電圧を加えて試料表面に衝突させ、異方性のあるエッチングにより材料を除去することで微細な回路パターンを作製する
反交差	相互作用のある2状態のエネルギー(または周波数)が近づいたとき、2状態のエネルギーが交わらずに、ギャップを形成するように分裂する様子を反交差と呼ぶ
物理イジングモデル	特定のイジングマシンハードウェアに依存したイジングモデル。論理イジングモデルに比較して、係数のビット幅に限られる、スピン数が限られるなどの制約がある
物理リザバー・コンピューティング	物理系のダイナミクスをリザバー層として利用した、リザバー・コンピューティングの実現方法の一つ。アルゴリズムとしての簡便さに加え、物理系を直接計算過程として用いるため、高効率での動作が期待できる
物理リザバー	通常のリザバーコンピューティングでは、ソフトウェア上で実装された再帰的ニューラルネットワークをリザバーとして活用し情報処理を実現する。これに比して、物理リザバーでは、物理系のダイナミクスそのものをリザバーとして活用する
分散機械学習	複数の計算機やアクセラレータ(FPGA や GPU)を利用して、深層学習等の学習処理を行うことで、高速・大量データの学習を可能にする機構
変分オートエンコーダ (Variational Auto-Encoder: VAE)	代表的な、潜在変数を持つ深層確率生成モデルの一つ。画像などの複雑で高次元のデータの確率分布を学習することができる
万能型量子コンピューティングマシン	計算途中のエラーを訂正する能力を備えたゲート型の量子コンピュータマシン。任意のゲート操作を任意の回数こなすことができる
問題項	LZH 法において、元の問題そのものを表す項
有限要素法	数値解析手法の一つ。解析的に解くことが難しい微分方程式の近似解を数値的に得る方法の一つ。方程式が定義された領域を小領域(要素)に分割し、各小領域における方程式を比較的単純で共通な補間関数で近似する。つまり、有限要素法では、複雑な形状や構造の部品を単純な形状の集合体となるまで分割し、その単純形状ごとの熱応力や変形を求め、それを全体構造まで積み重ねることによって解くことで、各部の熱応力や変形を求めることができる

溶融金属充填法	シリコン(Si)やガラス等の基板に微細な貫通孔を形成した後、溶融した金属をその貫通孔に充填する方法。貫通孔内部に導体を埋め込むことで Si 貫通電極(TSV:through-silicon via)を実現できる。通常のめっき法による金属充填に比較してアスペクト比が大きい貫通孔に適しているとされる
量子アニーリングマシン	ゲート型のようにビット内またはビット間の演算を繰り返すことで問題を解くのではなく、全ビットの重ね合わせ状態が最もエネルギーの低くなるような状態に量子力学的に時間発展することを利用して組合せ最適化問題を解くタイプの量子コンピューター
量子センシング	量子化したエネルギー準位を用いて、高感度な計測を行うセンシングの総称
量子ダイナミクス	量子力学に従う物理系の時間発展
量子ビット	量子コンピューターで情報を扱う最小構成単位。古典ビットでは0か1の2状態のどちらかを取るが、量子ビットでは0と1のどちらでもある状態(重ね合わせ状態)を取ることができる
量子力学的効果	古典力学では説明できない、重ね合わせ状態等の量子力学に基づく効果
論理イジングモデル	特定のイジングマシンハードウェアに依存しない理想的なイジングモデルで、最適化問題から直接導出される

1. 事業の位置付け・必要性について

1.1 事業実施の背景

IoT、人工知能(AI)、ビッグデータ、ロボット等の技術革新により、これまで実現不可能とされていた社会の実現が可能になりつつある。IoT 技術の進展により、実社会のあらゆる事業・情報がデータ化され、ネットワークを通じた自由なやりとりが可能となりつつある。しかしながら、これらの社会実装を持続的に継続していく上で、「データ量の増大」と「消費エネルギーの増大」がボトルネックとなっている。世界のデータ量は 2 年毎に倍増している。加えて、増大するデータを収集、蓄積、解析する IT 機器の消費エネルギーも増大の一途をたどっている。

これまでは 1970 年代から続くムーア則というメガトレンドに則り、半導体の微細化によってこれらの社会課題を解決してきた。しかしながら、ムーア則の終焉が叫ばれ、既存技術の延長による課題解決アプローチは限界を迎えつつある。また、ハードウェアではなくソフトウェアに目を向けても、処理したいデータ量が爆発的に増加した結果、従来のノイマン型対応技術では効率的なデータ解析が難しくなりつつある。今後もデータ量と IT 機器の消費エネルギーは増大することが見込まれるため、より一層の通信負荷の軽減、データ処理能力の向上、エネルギー利用効率の向上等が求められている。以上のことから、本事業研究開発項目②においては、半導体微細化等による性能向上ではなく、既存の延長にないハードウェア技術ならびにソフトウェア技術による次世代のコンピューティング技術によって、情報通信機器の性能を飛躍的に向上させることを目的とする。

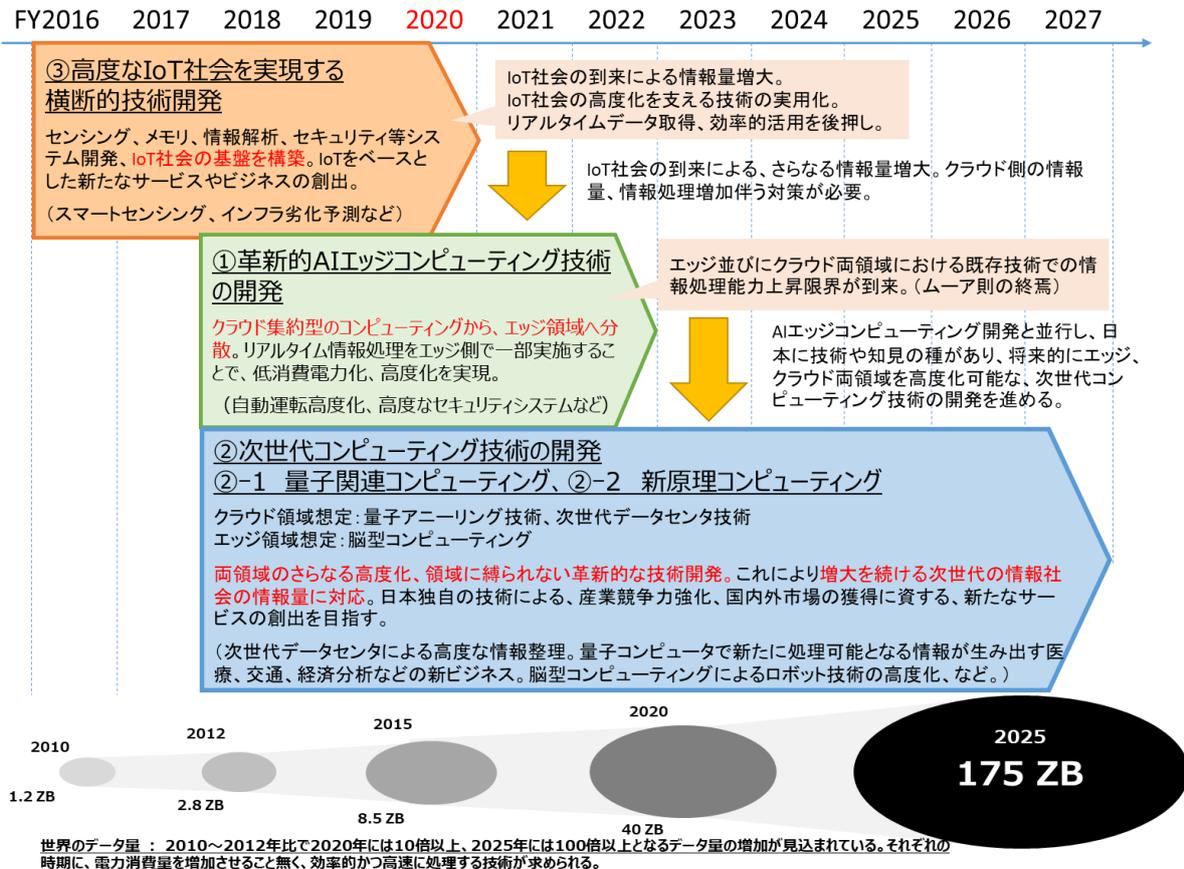


図 2-1.1-1 研究開発計画と社会課題の関係

1.2 政策的位置づけ

第5期科学技術基本計画(平成28年1月閣議決定)では、「超スマート社会」(Society 5.0)の実現において、構築に必要で速やかな強化を図るのが必要な基盤技術として、安全な情報通信を支える「サイバーセキュリティ技術」、IoT やビッグデータ解析、高度なコミュニケーションを支える「AI 技術」、大規模データの高速度・リアルタイム処理を低消費電力で実現するための「デバイス技術」、IoT の高度化に必要となる現場システムでのリアルタイム処理の高速化や多様化を実現する「エッジコンピューティング」等が挙げられている。「科学技術イノベーション総合戦略 2017」(平成29年6月閣議決定)では、「超スマート社会」(Society 5.0)の実現に向けた重きを置くべき取組として、「サイバー空間関連の基盤技術の強化(エッジコンピューティング等)」や「フィジカル空間関連の基盤技術の強化(超小型・超低消費電力デバイス等)」が挙げられている。「未来投資戦略 2017」(平成29年6月閣議決定)では、イノベーション・ベンチャーを生み出す好循環システムのための重点投資すべき分野の取組の一つとして、「AI 学習効率の向上、自然言語処理、ディープラーニング翻訳、超高効率 AI 処理に資する半導体及び革新的センサ等の基盤技術開発及びその組み込みシステムへの適用」が挙げられている。また、「未来投資戦略 2018」(平成30年6月閣議決定)では、データ駆動型社会の共通インフラの整備に向け、「我が国の強みである現場データをリアルタイムに処理する AI チップなどのエッジ処理技術、量子などの次世代コンピューティング技術の開発を促進する。」ことが挙げられている。さらに、「統合イノベーション戦略 2019」(令和元年6月閣議決定)では、未来の競争力の鍵を握る重要分野として「量子技術」が挙げられており、「量子技術イノベーション戦略」(令和2年1月統合イノベーション戦略推進会議決定)では、主要技術領域の1つとして「量子コンピュータ・量子シミュレーション」があげられている。

1.3 アウトカム効果

本研究開発項目では、既存の技術の延長にない次世代のコンピューティング技術の開発を実施する。当該項目は、半導体の微細化という従来のトレンドにない技術であり、新たな基盤的な技術開発として進める項目であることから、量子、脳型、光、あるいは設計やアルゴリズム等による高効率なコンピューティング技術等、様々な種類の技術の種があり、それらを一つ一つ育てていく必要がある。また、実用化に向けては新たな IoT サービスの創出等、世界の情報インフラ基盤に次世代コンピューティング技術が根付くための期間も必要となることから、社会普及については従来技術以上に時間を要すると考えられる。本項目については、2027年に事業を終了し、2037年度までにCO2削減効果は、本研究開発項目全体で年約2,729万トンが見込まれる。

1.4 国際的なポジション

日本は、コンピューティング分野において、ハードウェアを中心に存在感を発揮してきた。1980年前後には、日本発の材料、メモリ、アーキテクチャなどの革新的な技術を発明し、ムーア則実現の礎を築いた。しかしながら、市場変化への対応が遅れたことに伴い、例えば半導体では1988年には50%を超えていたシェアが現在では10%程度にまで落ち込む等、現在はコンピューティング分野において苦戦している。最近の関連論文数や特許出願件数についても、1位の米国に対して圧倒的に少なく、後塵を拝している。

一方、次世代コンピューティングの中で新原理コンピューティングの基礎研究では、ポテンシャルの高いシーズ技術を有する。例えば、内閣府の革新的研究開発推進プログラム(ImPACT)では「量子人工脳を量子ネットワークでつなぐ高度知識社会基盤の実現」プロジェクトを2014年から進めてきた。文部科学省は、2014年から東北大学を中心に「人間的判断の実現に向けた新概念脳型LSI創出事業」を進め、2016年には「人工知能/ビッグデータ/IoT/サイバーセキュリティ統合プロジェクト」の中で国立研究開発法人理化学研究所に革新知能統合研究センターを設置し革新的な人工知能技術の開発を推進している。国立研究開発法人情報通信研究機構では、

人工知能、量子コンピューティング、量子暗号等に関連する研究開発を幅広く進めている。国立研究開発法人産業技術総合研究所でも、人工知能や量子アニーリング等の多彩な研究開発テーマが展開されており、2015年5月には人工知能研究センターを設立している。また、ハードウェアからシステム、サービスに至るサプライチェーンにおいて、製品やサービスのセキュリティを検証可能とすべく、2018年11月にはサイバーフィジカルセキュリティ研究センターを設立している。

世界をリードする中で日本の情報産業を再興するためには、解決を目指す社会課題を絞った上で、これらの要素技術を活かしつつ、ハードウェアのみならず、ミドルウェア（アーキテクチャ）、ソフトウェア、セキュリティも考慮した一体的な技術開発を進めることが勝負の鍵となる。

1.5 海外状況のまとめ

現状では、米国系ソリューションプロバイダ（Google社、Apple社、Facebook社、Amazon社等）が世界のコンピューティング分野を牽引している。ハードウェアからソフトウェアまでの一体開発に強みがあり、クラウド領域を中心に市場を含め世界を席卷している。各陣営による買収合戦も激化しており、新たな製品やサービスが目まぐるしいスピードで社会に投入されている。

また、これら企業を中心に、次世代のコンピューティングを担うハードウェアの開発が進められている。Google社は、深層学習専用プロセッサTPU（Tensor Processing Unit）を独自に開発し、自社のクラウドサービス提供に利用している。また、エッジデバイス向けに小型化かつ省電力化したEdge TPUも販売している。NVIDIA社は、GPU（Graphics Processing Unit）を開発・展開することによって、深層学習において圧倒的な存在感を示している。Intel社は、量子コンピュータ用の超伝導テストチップを開発し、他社への提供を開始している。また、脳の仕組みを模したニューロモルフィックデバイスも開発中である。加国D-Wave社は、世界で唯一、量子アニーリングコンピュータの販売を実現している。IBM社は、クラウド上でデジタル型量子コンピュータが活用できるオンラインサービスを展開中である。

さらに、次世代コンピューティングに対する政府系の研究開発投資も盛んに行われている。例えば、欧米では、高性能コンピューティング（High performance computing）や脳型コンピューティング関連分野において大規模で長期的なプロジェクトが進行しており、大学や民間企業に対して年間1,000億円以上のファンディングが行われている（米国：NITRD、BRAIN initiative等、EU：Horizon 2020、Human Brain Project等）。米国IARPA（Intelligence Advanced Research Projects Activity）では、複数の量子コンピュータ関係のプログラムが進められており、Quantum Enhanced Optimizationにおいて100ビット級の試作機の開発が進められている。欧州では、Quantum Technologies flagshipにおいて量子コンピュータ技術開発を推進中である。また、中国では、中国科学院に量子計算実験室を設立、量子暗号通信衛星を打ち上げ等の研究開発を加速する動きがある。

一方で、世界の取り組みにおいても、未踏な部分がある。今後は、第4次産業革命技術の更なる進展に伴い、従来のクラウドコンピューティングからネットワークの末端（エッジ）で中心的情報処理を行うエッジコンピューティングへの分散が不可欠になると考えられるが、クラウドで確立された技術とは異なり、エッジで情報処理を実現するための小型デバイスとコンピューティング技術については各社手探りの部分も多く、サイズやエネルギー性能に加え、ソフトウェアとの組み合わせであるコンピューティング技術として最適化できていない。また、次世代コンピューティングの領域では、先に述べたような様々な開発の動きがあるものの、例えば販売事例のある量子アニーリングコンピュータであっても、実用的な組み合わせ最適化問題を解くためには量子ビット数を大幅に増加させる必要があるだけでなく、結合や正確性の問題、ミドルウェアを含むソフトウェア等の開発等の課題を抱えており、社会実装まではまだ遠い状況である。欧米は、IoTに関連する技術分野において、ユーザビリティ（インターフェース）、クラウド処理、コンピューティングアーキテクチャ、セキュリティディ/ペンダビリティ、ソフトウェア（プライバシー、データ形式標準化

を含む)、垂直・水平連携等に強みを有し、上記のような各国の政府及び民間における取組みにより強化しつつあり、各国における開発競争が繰り広げられている。

表 2-1.5-1 各国における量子コンピュータの研究開発の動向

国/地域	取り組み内容
 米国	<ul style="list-style-type: none"> 量子コンピュータを含む量子情報科学分野に各政府機関が年間2億ドルを投資(2016年) 「量子情報科学の国家戦略概要」にて、量子情報科学の研究支援を行うことを発表(2018年9月) 「国家量子イニシアチブ法」成立。米科学技術政策局下に専用オフィスを設置し、量子情報科学を推進する活動に5年間で総額13億ドルを投資する(2018年12月)
 ユーロ	<ul style="list-style-type: none"> 産官学で取りまとめた「Quantum Manifesto」を発表し、量子科学技術を、長期的な富の創出、安全保障、産業創出の観点から重要な技術であると位置付けた(2016年) 「Quantum Technology Flagship」プロジェクトを開始、10年間で10億ユーロを投資すると公表 対象分野は量子コミュニケーション、量子シミュレーション、量子センサー、量子コンピューターの4つ(2018年)
 イギリス	<ul style="list-style-type: none"> 量子技術に関する大型プロジェクトを総額2.7億ポンドで実施(2014年より5年計画) 英国政府が1.5億ポンドの量子コンピュータへの投資計画を公示(2019年7月)
 ドイツ	<ul style="list-style-type: none"> 「量子技術の基本計画」を閣議決定(2018年) 2021年までに、量子技術の研究開発のために6.5億ユーロを投資予定。重点技術に、シミュレータ、量子暗号、量子計測、基盤技術などを挙げている。中小企業やスタートアップ支援強化や量子技術の標準化や規格の開発支援も実施予定
 中国	<ul style="list-style-type: none"> 「国家中長期科学技術発展計画綱要(2006～2020年)」で重大科学研究計画に量子制御を指定した(2006年) 「国家イノベーション駆動型発展戦略要綱(2016～2030年)」では、産業変革を牽引する破壊的技術に自動運転や先端製造、人工知能ロボット共に、量子情報技術を挙げている(2016年) 「科学技術イノベーション第13次五カ年計画」で、量子通信と量子コンピュータを重大科学技術プロジェクトとした(2016年)

出典：

- ・【図解】量子コンピュータ開発競争、日本の現状は？なぜ米中に負けないと言えるのか、2019/7/3、ビジネスIT、<https://www.sbbt.jp/article/cont1/36552>
- ・量子技術イノベーション戦略の策定に向けて、2019/3、首相官邸、https://www.kantei.go.jp/jp/singi/ryoshijijutsu_innovation/dai1/siryou2.pdf
- ・欧州の研究・イノベーション動向、2020/1、NEDO、https://www.meti.go.jp/shingikai/sankoshin/sanyo_qiutsu/kenkyu_innovation/pdf/015_02_00.pdf
- ・戦略グローバル量子2.0、2020/1、国立研究開発法人化学技術振興機構研究開発戦略センター、<https://www.ist.go.jp/crds/pdf/2019/SP/CRDS-FY2019-SP-03.pdf>

1.6 NEDO が関与する意義

経済産業省は、Society 5.0 を実現するための我が国の産業が目指すべき姿(コンセプト)として、「Connected Industries」を提唱した(平成 29 年 3 月)。Connected Industries は、既存産業とデジタル技術の「つながり」をはじめとして、機械、データ、技術、ヒト、組織など様々なものの繋がりによって新たな付加価値の創出や社会課題の解決を目指すものである。経済産業省は、Connected Industries を実現するための事業を強力に推進しており、特に、「自動走行・モビリティサービス」、「バイオ・素材」、「スマートライフ」、「プラント・インフラ保安」、「ものづくり・ロボティクス」を5つの重点取り組み分野としている。

本プロジェクトで取り組む次世代コンピューティング技術開発は、Society 5.0 の実現につながる Connected Industries を実現するために必要不可欠なものである。上記5つの重点取り組み分野を中心に多分野を根底で支える技術開発を行うため、国が主導して取り組む意義が極めて大きい。また、大きな転換期を迎えている我が国の情報産業の再興に資するものであり、この点からも NEDO として取り組む意義が極めて大きい。

1.7 今回の事業の位置づけ

上記を踏まえ、本研究開発項目では、2030 年以降を見据えたポストムーア時代のコンピューティング技術として、既存技術の延長線上にない次世代コンピューティング技術を開発することで、高速化と低消費電力化を両立するコンピューティング技術の確立を目指す。

2. 研究開発マネジメントについて

2.1 事業の目的

1.7 節にまとめたとおり、本事業研究開発項目②は、2030 年以降を見据えたポストムーア時代のコンピューティング技術として、既存技術の延長線上にない次世代コンピューティング技術を開発することで、高速化と低消費電力化を両立するコンピューティング技術の確立を目指す。

具体的には、量子コンピューティング技術、脳型コンピューティング技術等、社会的に注目の集まる新技術に加え、次世代のデータセンタにおける効率的な情報処理を可能とする技術や、サーバ内部の光化に関する技術等、ムーア則によらず、情報処理の更なる高度化、効率化を可能とする技術の開発を進める。各研究開発課題については、RFI(Request For Infomation)を実施することにより、内外から特に有効と考えられる研究課題を選定したうえで事業者の公募を実施した。

なお、本研究開発項目は先導的な技術において長期的な開発を実施するものであるため、産学官の連携による研究開発体制で、要素技術の確立から将来的な実用化・事業化を見据えた開発(研究開発枠)を実施するものである。しかし、技術によっては、学術的には確立されたものであっても、産業応用においてはその有効性の検証含めて更なる基礎・調査的な研究開発が必要な技術も考えられる。従って、技術開発の方向性や、当該技術が特に有効と考えられる産業応用分野の確度を高めることを目的とし、大学等学術研究機関を主体として当該研究開発を行う、探索型研究を 2018 年度から最長 5 年間の事業期間で実施する。

2.2 研究開発目標と根拠

研究開発項目②「次世代コンピューティング技術の開発」は、事業終了時点で、既存技術に対して電力消費効率で 100 倍以上を達成することを各テーマにおける統一的な目標としている。本項では、それを達成するため 2020 年 7 月時点で研究開発を実施する各テーマ毎に設定している確立すべき要素技術(研究開発目標)と、その進捗状況を、以下の表にまとめる。なお、それぞれの開発状況については、『3. 研究開発成果』を参照。

表 2-2.2-1 研究開発テーマ一覧

分野	事業形態	研究開発テーマ	研究開発責任者	目標	進捗
研究開発枠	委託	実社会の事象をリアルタイム処理可能な次世代データ処理基盤技術の研究開発	日本電気株式会社	①基礎研究 これまで技術別に順調にアルゴリズム等を開発。今後、実装を進め統合アーキテクチャへの組み込みを推進し目標達成できる見込み ②実用化研究 基礎研究と実用化研究の要素技術を実用性/高速性/システム統合の視点でまとめ、実用性のあるデータベース開発を推進し目標達成できる見込み ③実証研究 これまでの要件整理およびデータ準備に加え、アプリケーション開発を推進し、2022 年度には各テーマにおいてデータベースへの高負荷検証を実施できる見込み	①基礎研究 OLTP：高速更新処理で 60Mtps を達成 OLAP：複数の高速化手法を開発し実証研究 3 のデータで検証着手 HTAP：新たな HTAP の理論的枠組みを構築 ストリーミング：新たなステート管理・フォールトトレランス手法を開発 ②実用化研究 プロトタイプ開発を実施し、基礎研究/実用化研究の結合試験を実施 全コンポーネントを統合したシステムアーキテクチャの設計に着手し、理論的なデザインを実施

				③実証研究 各テーマにおいて評価用データの取得を推進 各テーマ別にデータベースへの処理要件（更新や分析内容の調査）を進め、一部については実データでの評価を開始	
	委託	超電導パラメトロン素子を用いた量子アニーリング技術の研究開発	日本電気株式会社	<ul style="list-style-type: none"> ・立体配線を用いた8ビット回路の動作実証 ・立体配線を用いた100ビット回路を用いて、各超電導パラメトロンQ値が、105を維持していることを実証 ・チップ間接続による集積化技術開発については、前年度までの結果を基に素子の改良を行い、パラメトロン発振状態を、別チップの超電導パラメトロンに転写できることを実証 	<ul style="list-style-type: none"> ・立体回路化で生じた課題（Q値低下等）を解消して、4ビット素子のスケールリングを実現する ・平面4ビットの動作実証での3カ月の遅れを、立体スケールリング化において挽回する予定。計画通りに2022年度に立体回路スケールリング動作実証を達成できる見込み
	委託	ディスアグリゲーション型次世代データセンタに適用する光電ハイブリッドスイッチを用いた高速低電力データ伝送システムの研究開発	技術研究組合 光電子融合基盤 技術研究所	開発成果である各要素部品、システム制御コントローラを組み込んだシステムレベルでの動作検証により、1Tbps x 1,000ポート規模までの拡張性を実証し、エネルギー消費効率あるいは電力効率（単位電力あたり性能）が、事業開始時点における同等の技術と比較し、100倍以上となることを示す	2020年度までの目標である、光電ハイブリッドスイッチを構成する、光波長送受信器、バースト多値プロセッサ、光コアスイッチの各要素デバイスの切替動作について、すべて目標時間である100μs以下の動作を確認し、要素部品技術の基盤を確立した。また、スイッチシステム制御の高速制御手法を考案し、実験によりシステム制御の原理を検証した
	委託	イジングマシン共通ソフトウェア基盤の研究開発	早稲田大学	2022年度研究開発の最終目標は以下の2点となる： ①イジングマシン共通ソフトウェア基盤を構築し、実応用する ②イジングマシン共通ソフトウェア基盤により、イジングマシンで従来解法不可能であった現実課題に対し少なくとも2桁の高速解法を達成する	2020年度時点で、以下のような中間目標が達成されている： ①イジングモデル変換のための基礎理論を構築した。 ②共通ソフトウェア基盤のプロトタイプを構築した。 ③いくつかの社会課題の抽出を行った。 上記、中間目標を達成することで、十分に最終目標を達成できる見通しである
探索型研究枠	委託	未来共生社会にむけたニューロモルフィックダイナミクスの特ポテンシャルの解明	大阪大学	①身体と脳神経系のカップリングダイナミクスによる効率的かつ多様な行動生成：ニューロモルフィックダイナミクス理論の基本モデルの構築ならびに応用による検証を通じたモデルの精緻化すること	①身体と脳神経系のカップリングダイナミクスによる効率的かつ多様な行動生成：ニューロモルフィックダイナミクス理論の計算モデルの構築ならびに、シミュレーションによる各種検証実験中 ②ニューロモルフィックデバイスの探索：基本計画目標達成に向け、アナログメモリ素子開発中、

			<p>②ニューロモルフィックデバイスの探索：開発する技術のエネルギー消費効率あるいは電力（単位あたり性能）が、事業開始時点における同等の技術と比較し、100倍以上となる技術の確立に見通しを付けること</p> <p>③ロボカップ@ホームによる脳型アーキテクチャの実証実験：ロボカップ@ホームの片付けタスクにおいて、柔軟物の識別及びハンドリングをCMOSチップ、センサ単体で動作確認し、ROSで結合後、HSRの把持タスクで実証（12月のRoboCup Japan Openでデモ）</p>	<p>スピンレザバーはシミュレーションで確認済み、脳型レザバーの項目をほぼ達成中、脳型AIの実装方式確立中</p> <p>③ロボカップ@ホームによる脳型アーキテクチャの実証実験：柔軟物識別用ソフトハンドの設計・実装。これを用いた識別・ハンドリングの初期実験成功。ジャパンオープンに向けたシステムの構築中</p>
委託	深層確率コンピューティング技術の研究開発	理化学研究所	<p>①-1) 開発した手法を、産業技術総合研究所、京都大学、東京大学のソフトウェアに実装し、実データへの適用を行うことにより、エッジクラウド間の計算バランシングを評価する</p> <p>①-2) 複雑な時系列データに対して、深層学習とカーネル法を融合した状態空間モデルによる表現の可能性を示す</p> <p>①-3) 深層学習によるサンプリングの高度化により、サンプルによる確率分布の表現を効果的に学習する方法を開発し、実施項目3で開発予定のハードウェアでその有効性を評価する</p> <p>②-1) 実施項目①で検討する複雑な確率モデルを含む2種類以上の確率モデルが、拡張されたT-PRISMおよびTarsをPyTorch上に移植したPixyzによって扱えることを示す</p> <p>②-2) 深層確率学習の実施項目③で構築するハードウェアのシミュレータ上での実行効率のシミュレーションによる評価を完了させる</p> <p>②-3) T-PRISMとPixyzの融合の方針を提案し、融合の可能性を示す</p> <p>③-1) アプリケーションの性能評価とそれに基づく性能改善を行う</p> <p>③-2) 実アプリケーションで</p>	<p>①-1) Pixyzを用いて開発した手法の一部を実装するとともに、東京電力のスマートメータデータへの適用を行っている。また、VAEと状態空間モデルの融合する新モデル「Model Identification NN (MINN)」を開発し、人工データに適用し評価を行っている</p> <p>①-2) カーネル法において単純な行列演算を深層学習に置き換える方法を考案し、より柔軟性の高いベイズ推論を可能にした</p> <p>①-3) GANの判別器を用いた異常検知法を開発して有効性の検証を行っている</p> <p>②-1) T-PRISMとPixyzを開発し、それぞれ公開している。また、複数の確率モデルを実装して評価・公開している</p> <p>②-2) ハードウェア上での実行効率の予備的検討として、T-PRISMを既存の汎用エッジ向けデバイス（Jetson TX2）上での動作させ、消費電力や通信量の見積り、計算速度の解析等を実施した</p> <p>②-3) T-PRISMとPixyzの融合方式について検討し、PyTorchを共通基盤として融合する方式の検討を開始した</p> <p>③-1) プロセッサの開発を推進し、BbB法のC実装を行い、開発プロセッサでの評価</p>

			の電力見積もりを行い、1/100以上のエネルギー効率が達成できる見通しを示す	の準備を進めている ③-2) 上記開発を進めるのに加え、項目①および②と連携し、実データの解析に向けたアーキテクチャの検討をおこなっている
委託	イン不揮発性メモリ分散 Approximate コンピューティングの研究開発	東京大学	本研究ではこれまで注力されていなかったミドルウェアやネットワーク、AI アクセラレータやメモリなどに対して Approximate コンピューティングを導入し、システム全体の最適化を行った。その結果、約 217 倍の電力効率向上達成の見通しを得た。更に HfOx 型 FeFET CiM (Computation-in-Memory) でも電力効率 10 倍以上を確認。Approximate コンピューティングと HfOx 型 FeFET CiM の融合で電力効率 1,000 倍の見通し	HfOx 型 FeFET の信頼性劣化を Approximate コンピューティングで補償し、FeFET CiM をアプリケーションに応じてシステムに組み込む技術を開発することで、電力効率 1,000 倍を目指した技術を確立する
委託	物理ダイナミクスに基づく学習デバイスを備えた超高効率認知コンピューティングの研究開発	日本アイ・ビー・エム株式会社	光リザバーデバイスおよびスピリザバーデバイスの設計と作製技術の開発を行ない、ベンチマークタスクにより認知コンピューティングの実証を行う。さらに、コンポーネント化とミドルウェア及びアプリケーションの開発を行う。研究実施項目を統合して音声認識による Proof-of-Concept デモにより、超高効率認知コンピューティングを実装する	各研究実施項目の目標を予定通り達成している
委託	2028 年に性能 100 倍を達成する汎用性の高い高性能計算機アーキテクチャとシステムソフトウェアの技術の探索	理化学研究所	①開発中のアーキテクチャ探索システムを用いて、広範なアプリケーションにおいて 100 倍の実行効率が期待されるアーキテクチャ探索を行い、実アプリケーションにおいて 100 倍加速の達成に要求されるアーキテクチャの性能を定量的に示す ②アルゴリズムをデータフロー回路に展開して実行する新しい計算機アーキテクチャとそのプログラミング手法の探求のために (1) アーキテクチャ評価環境の構築と (2) アーキテクチャ設計空間の探索を行い、ポストムーア時代でも性能をスケール可能な計算機アーキテクチャを明らか	①実アプリケーションの性能見積もりの精度の改良を行っている。具体的には、ベシックブロック、パフォーマンスカウンターを抽出し、任意の (将来の) CPU 性能 (Flops 値、メモリバンド幅等) を入力として与えた場合に、実際にアプリケーションを実行せずとも実効性能を見積もることのできるフレームワークを実装し検証実験の準備を行っている ②粗粒度再構成可能アーキテクチャ (CGRA) に関する調査を行い本研究で対象とする設計空間を定めることができた。また、パラメタ化された VHDL 記述により、サイクル精

			<p>にする</p> <p>③開発中のメモリ性能推定ツールを拡張して用いることによって、複雑な構造を持つメモリアーキテクチャ上において、アプリケーション群の性能を推定する。それによりメモリアーキテクチャ探索を行い、100倍加速に到達しうるメモリアーキテクチャ構成を示す</p> <p>④FLOPS-to-BYTES コンセプトを実現する新計算原理としてニアデータプロセッシングモデルの方向性を探求するために、(1)冷却およびピン数の限界の超越やユーザや実装メーカーから見たギャップ(障壁)を抑制できる新アーキテクチャの確立、(2)これを高速に再現できる仮想環境の構築、(3)その仮想環境上で新アーキテクチャの支援システムソフトウェア群の開発、(4)それらの効果の性能評価を行うことで、ムーア則終焉後にも性能向上できる汎用高性能計算機の正しい方向性の一つである証拠を取得する</p>	<p>度で評価が可能な CGRA のシミュレーション試作環境を構築できた。簡単なベンチマークのシミュレーションを実施し、ソフトウェアによる計算結果との一致や CGRA の性能特性の予備的評価を行った。</p> <p>③メニーコアプロセッサのためのキャッシュ構造や異種メインメモリ等の先進的なメモリアーキテクチャ動向の詳細調査により、本研究で対象とするメモリアーキテクチャの探索空間をより具体化することができた。またメモリアーキテクチャ空間探索のためにメモリ性能を自由に設定可能な性能推定ツールの整備を行い、他実施項目との連携を含めたアーキテクチャ全体の探索の基盤とすることができた</p> <p>④冷却およびピン数の限界の超越や、ユーザや実装メーカーから見たギャップ(障壁)を抑制しつつ、大容量データに対する Irregular access を加速しうる McIM という有望な新アーキテクチャを考案した。実装容易性と未開拓の加速要因を利用して、律速アプリが多いバンド幅のルーブリンを圧倒的に改善するアーキテクチャの骨格を確立できた</p>
--	--	--	--	---

※2020 年度については、本研究開発項目において追加公募を実施しており、新たに 2 テーマの採択を行っている。

2.3 研究開発スケジュール

研究開発スケジュールを図 2-2.3-1 に示す。

「次世代コンピューティング技術の開発」については、2018 年度から最長 2027 年度まで 10 年間の研究期間を有する長期のプロジェクトである。しかし本技術分野は、業界動向を含めて技術潮流の変化が速く、現時点で有効であると考えられる技術が、必ずしも数年後にその有効であるとは断定できない。

従って、事業期間の中で、ステージゲート審査による各研究開発テーマの継続可否判断や開発体制に関する評価等を行うだけでなく、2022 年度には事業内容の見直しを行い、特に有効と判断される技術への集中的な支援と合わせ、一部研究開発テーマの早期終了を実施するなど、ドラスティックなマネジメントを実施する。

また、必要とされる技術がある場合は事業期間中に追加公募等を行い、テーマ、事業者を追加するだけでなく、実用化・事業化の目処が立つものについては上述の整理に寄らず、NEDO 事業による研究開発の早期終了を行い、事業者主導のもとで早期の事業化を模索していく。

FY2016 2017 2018 2019 2020 2021 2022 2023 2024 2025 2026 2027

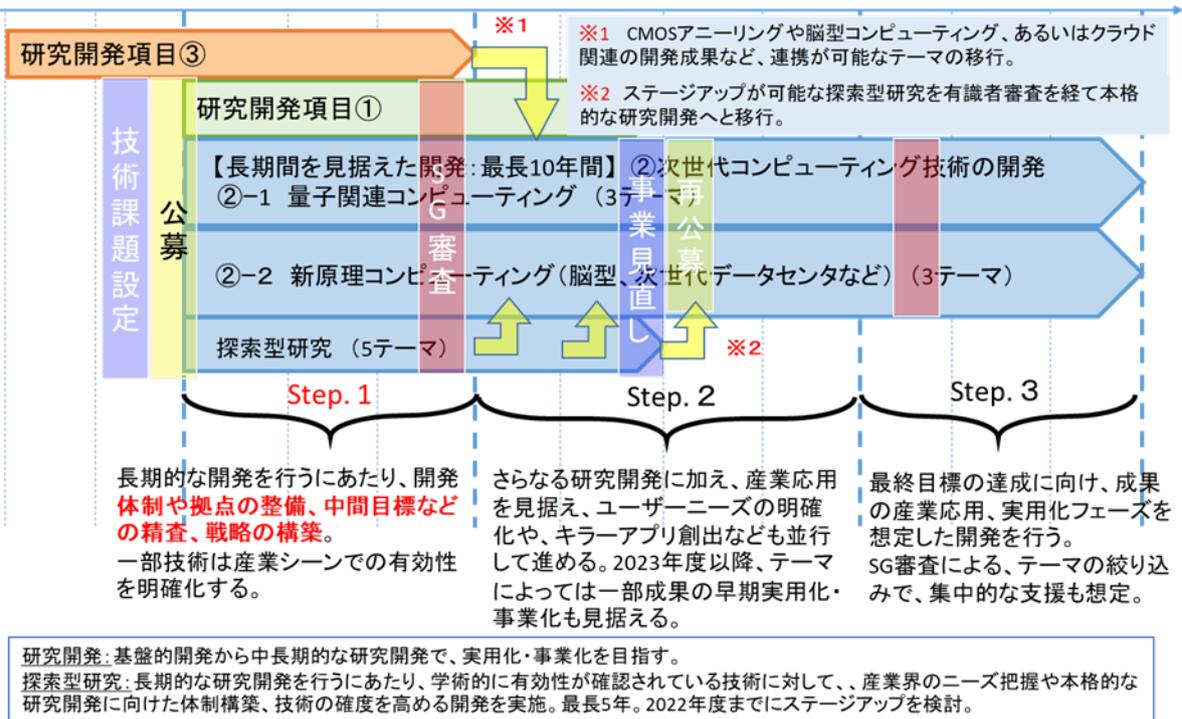


図 2-2.3-1 研究開発スケジュール

2.4 プロジェクト費用

研究開発項目②における、2018年度から3年間のプロジェクト費用は、表 2-2.4-1 の通りである。2018年度及び2019年度は執行ベースの金額であり、2020年度は契約ベースの金額としている。

表 2-2.4-1 プロジェクト費用 [単位:百万円]

研究開発項目	年度	2018	2019	2020	合計
	①革新的AIエッジコンピューティング技術の開発		2,282	4,393	4,512
②次世代コンピューティング技術の開発		1,866	2,021	3,324	7,211
③高度なIoT社会を実現する横断的技術開発		4,093	2,344	2,029	8,466
その他調査事業等		149	121	147	417
合計		8,390	8,879	10,012	30,337

2.5 マネジメント体制

本研究開発項目では、技術的成果及び政策的効果の最大化、産業社会への還元等を目指し、プロジェクト全体の企画・推進・管理を行うためにプロジェクトマネージャー(以下 PM という)およびサブ・プロジェクトマネージャー(以下 SPM という)を設置した。

加えて、効率的な研究開発の推進を図る観点から各実施者の研究開発能力を最大限に引き出し、性格の異なる各研究機関のベクトルを束ねるため、当事業には NEDO が指名する研究開発責任者(プロジェクトリーダー、以下「PL」という)を設置し、各実施者はプロジェクトリーダーの下で研究開発を実施する体制をとっている(図 2-2.5-1)。

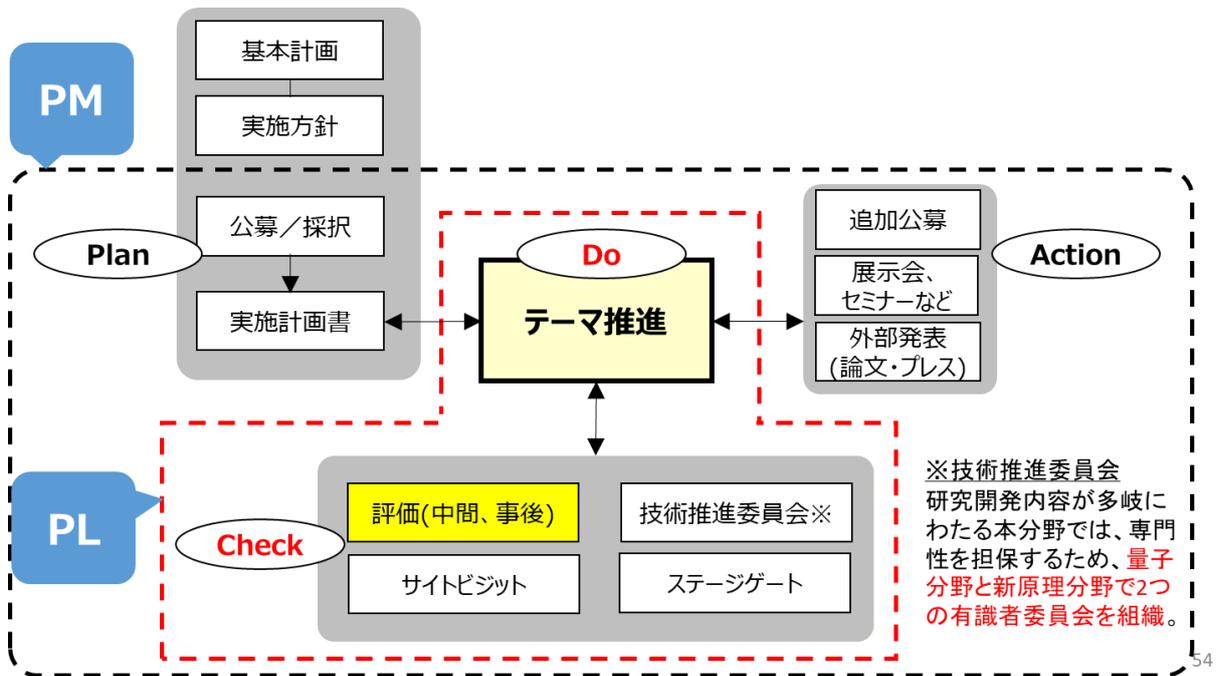


図 2-2.5-1 マネジメントツールにおける PL, PM の役割分担

また、プロジェクトをより効率的かつ効果的に遂行するため、同時に研究開発項目内の整理を行い、研究開発内容の専門性も重視して PL を複数名設置した。

具体的には、本研究開発項目を、特に専門的な知見が求められる「量子コンピューティング分野」と、幅広い知見を求められる「新原理コンピューティング(非量子)分野」の 2 つに整理し、それぞれの分野に適した専門性、知見等を有する PL を 1 名ずつ委嘱。

■ 研究開発項目②-(1)量子コンピューティング関連技術:

国立研究開発法人産業技術総合研究所 デバイス技術研究部門グループ長 川畑史郎氏

■ 研究開発項目②-(2)新原理コンピューティング関連技術:

国立研究開発法人産業技術総合研究所 特別顧問 金山敏彦氏

事業の実施にあたっては、プロジェクトの技術目標等の達成に向けた取り組み、研究開発の進捗状況の把握、プロジェクトの実施体制の構築・改変及び事業者間等の予算配分に係る助言、プロジェクトの成果の評価等に係る業務の全部又は一部について、月1回程度のペースで PL 月例会議を開催し PM/SPM と緊密な連携を図っている。事業者との関係としては、2019 年に全テーマを対象とした研究開発現場を訪問しての事業者とのミーティング(サイトビジットなど)を実施し、PL による直接の指導、意思の疎通が図れるよう実施している。

また、本研究開発項目は、次世代コンピューティングという研究課題のもと、既存の技術の延長とならない多岐にわたる研究開発を実施している。従って、有識者による定期的な集団指導体制を構築し(技術推進委員会の設置)、様々な観点から定期的に助言等をもらいながら推進している。なお、技術推進委員会についても PL 同様に分野の専門性を重視し、「量子コンピューティング分野」と「新原理コンピューティング(非量子)分野」の 2 つの委員会をそれぞれの専門性をもった産学官からなる外部有識者により組織、より専門的な視点を担保しつつ、評価、指導を実施している(図 2-2.5-2)。

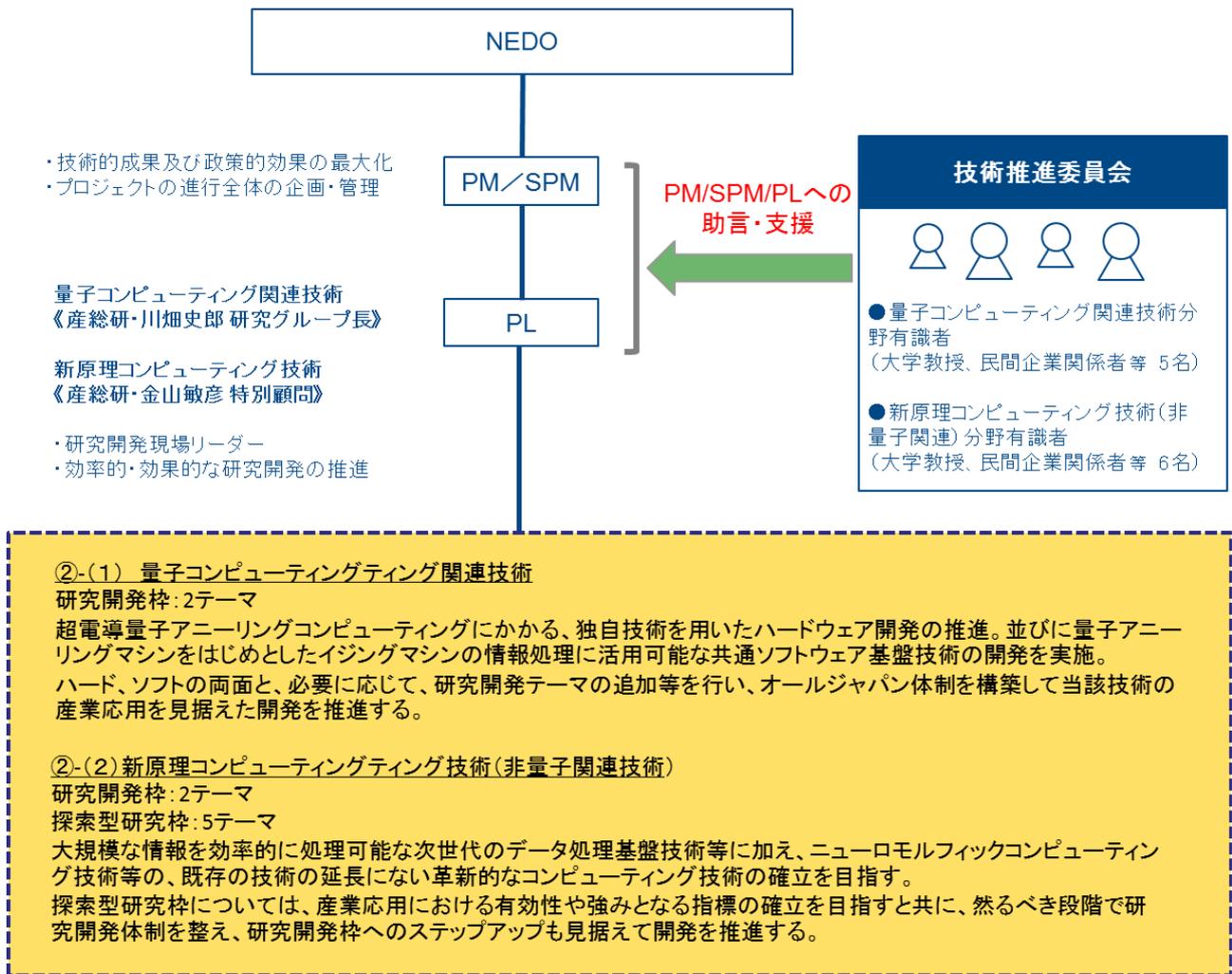


図 2-2.5-2 マネジメント体制(2020年7月時点)

2.6 実施体制

本事業は、表 2-2.6-1 に示す実施体制にて推進している。(実施方針から添付)

表 2-2.6-1 実施体制(2020年7月時点)

分類	事業形態	研究開発テーマ	委託先名		代表事業者
				再委託先・共同実施先名	
研究開発枠	委託	実社会の事象をリアルタイム処理可能な次世代データ処理基盤技術の研究開発	日本電気(株)		○
			(株)ノーチラス・テクノロジーズ		
			東京工業大学		
			大阪大学		
			名古屋大学		
			慶應義塾大学		
			うち再委託	筑波大学	
			株式会社パスコ		
	うち再委託	(株)ディーブ・センシング・イニシアティブ			
	委託	超電導パラメトロン素子を用いた量子アニーリング技術の研究開発	日本電気(株)		○
			うち共同実施	産業技術総合研究所	
			うち再委託	大阪大学	
東京工業大学					
早稲田大学					
委託	ディスプレイ型次世代データセンタに適用する光電ハイブリッドスイッチを用いた高速低電力データ伝送システムの研究開発	技術研究組合光電子融合基盤技術研究所		○	
		うち再委託	産業技術総合研究所		
		うち再委託	国立大学法人東海国立大学機構		
委託	イジングマシン共通ソフトウェア基盤の研究開発	早稲田大学		○	
		うち再委託	日本電気(株)		
		東京工業大学			
		情報・システム研究機構			
		(株)フィクスターズ			
		豊田通商(株)			
産業技術総合研究所					
探索方研究枠	委託	未来共生社会にむけたニューロモルフィックダイナミクスのポテンシャルの解明	大阪大学		○
			うち再委託	東京大学	
			うち再委託	北海道大学	
			うち再委託	京都大学	
			うち再委託	立命館大学	
			九州工業大学		
			(株)日立製作所		
	産業技術総合研究所				
	委託	深層確率コンピューティング技術の研究開発	理化学研究所		○
			情報・システム研究機構		
			産業技術総合研究所		
			うち再委託	東京大学	
			京都大学		
	委託	イン揮発性メモリ分散Approximateコンピューティングの研究開発	東京大学		○
うち再委託			(同)リトルウイング		
情報・システム研究機構					
委託	物理ダイナミクスに基づく学習デバイスを備えた超高効率認知コンピューティングの研究開発	日本アイ・ビー・エム株式会社		○	
		東京大学			
委託	2028年に性能100倍を達成する汎用性の高い高性能計算機アーキテクチャとシステムソフトウェアの技術の探索	理化学研究所		○	
		東京工業大学			
		うち再委託	横浜国立大学		

2.7 動向・情勢の把握と対応

本研究開発項目が実施する次世代コンピューティングの分野は、既存の技術の延長にない新しい技術の開発を目的としていることから、事業の推進と共に課題として見てきたものがあるれば、適宜、新テーマの追加を行うと共に、研究開発と並行して産業応用の有効性を模索するなど、各研究テーマの個別動向・進捗把握に努め、適宜研究開発の加速、前倒し等を行った。詳細は表 2-2.7-1 の通りである。

表 2-2.7-1 概要と狙い

対応	概要	狙い
研究テーマの追加	<p>2020 年 4 月。政策的観点並びに、研究開発の推進と共に技術的観点から必要とされることが明らかとなった、現在実施中のテーマの実施領域にない技術について、追加公募を実施。</p> <p>追加公募募集課題</p> <ul style="list-style-type: none"> ・アニーリングコンピューティング関連技術 ・ニューロモルフィック関連技術 	<ul style="list-style-type: none"> ・アニーリングコンピューティング関連技術 量子アニーリングマシンについて、当該コンピューティング技術を構成するため、大規模化及び汎用計算機化に必要な技術として有効と考えられる、クライオ CMOS や量子ビット用マイクロ派コンポーネントの開発等、量子アニーリングマシンの高度化に資する要素技術に関するテーマを募集する。 ・ニューロモルフィック関連技術 ヒトの脳神経モデルを模した信号処理プロセス等を組み込んだ電子回路構造を用いたチップの設計、並びに高速化と低消費電力化を両立するコンピューティング技術等の確立に向けた研究開発を募集する。
既存研究テーマの加速	<p>研究開発実施にあたり、必要と考えられる研究開発の加速を積極的に実施している。</p> <p>特に、当該技術分野については、研究開発内容並びに最長 10 年間という長期間の開発から、内容の見直しと加速を柔軟に行う事が重要である。</p> <p>特に、業界動向に係る情報収集、課題の追加や成果による試作の実施、対外的な PR を実施することによる社会認知度の向上やユーザーの早期発掘を研究開発と並行して実施するなどが想定される。</p> <p>加速の実施に当たっては、PL 指示並びに技術推進委員会による評価をもって加速内容を承認し、効率的な実施に努めている。</p>	<ol style="list-style-type: none"> ①アニーリングシンポジウムの開催 量子コンピュータは、産業応用の有効性が期待されているものの、キラーアプリが確立しておらず、その用途についても産業界での検討が進められているものである。研究開発と並行し、ニーズの発掘、将来的なユーザーの取り込みを狙い、研究者を集めたシンポジウムを開催。 ②量子アニーリングマシン精密模型の作成 ③その他研究開発内容の拡充 新原理コンピューティング技術開発を実施する 6 テーマに対して、技術推進委員会の評価・承認から研究開発内容を拡充する加速(開発項目の追加、試作、設備の拡充)を実施。

2.8 知財マネジメント

知財は、プロジェクト実施後の実用化に向けた出口戦略を構築・実現するにあたり鍵を握るとともに、戦略的な取組を関係者の合意の下で進める必要があり、その実現に向けた的確なマネジメントの実施が不可欠である。このため、本研究開発項目では NEDO プロジェクト知財基本方針を適用し、テーマ毎に実施者間での知財合意書の作成や知財運営委員会の設置を行った。

3. 研究開発成果について

本研究開発項目としては、既存技術の延長(半導体の微細化)にないコンピューティング技術による情報処理能力の向上等を、次世代コンピューティング技術として位置づけ、当該技術の中間目標として開発成果を組み込んだ要素技術に係る検証あるいはシミュレーション等により、エネルギー消費効率あるいは電力効率(単位電力あたり性能)が、事業開始時点における同等の技術と比較し、100倍以上となる見込みを示すこととしている。

目標を達成するための取り組みとして、以下の通り 2018 年度から課題設定、公募による体制構築、技術推進委員会の開催などを進め、各テーマの開発成果把握とマネジメントを行っている。

2018 年度

本研究開発項目の実施体制を構築すべく、情報提供依頼(RFI)の結果や政策的観点から以下の重点課題例を設定し、公募を実施した。結果、研究開発枠 4 テーマ、探索型研究枠 5 テーマを採択し、研究開発に着手した。

2019 年度(一部コロナ禍による影響を鑑み、2020 年度に実施。)

各事業者のサイトビジットおよび技術推進委員会を通じて進捗状況を確認した。年度途中には、加速によるシンポジウムの開催を実施するなど、研究開発のみならず、関連技術の認知度向上やユーザーニーズ把握のための活動を実施している。

2020 年度

クライオ CMOS や、ニューロモルフィックチップを用いたコンピューティングの開発等、既存テーマにないものの、当該分野における技術の確立に向けて研究開発が必要かつ政策上重要と考えられるテーマの追加公募を実施。研究開発枠で 2 テーマを採択し、新たに開発を開始した。

以下に、各研究開発テーマにおける個別の成果詳細を示す。

3.1 研究開発テーマ「実社会の事象をリアルタイム処理可能な次世代データ処理基盤技術の研究開発」

本研究開発項目では、継続して進歩していくハードウェア技術を活用する次世代データ処理基盤技術の研究開発というテーマに対し、以下の成果を上げつつある。

実施項目Ⅰ 基礎研究：高性能性、リアルタイム性をもつデータ処理基盤技術の確立

実施項目Ⅱ 実用化研究：実用化に向けた実施項目Ⅰを含む DB アーキテクチャ確立

実施項目Ⅲ 実証研究：本データ処理基盤技術の検証アプリケーションの開発

個別の研究開発テーマにおける詳細は以下に示す。

3.1.1 研究開発サブテーマ「実社会の事象をリアルタイム処理可能な次世代データ処理基盤技術の研究開発：実施項目Ⅰ 基礎研究」

3.1.1.1 概要

I-①OLTP と OLAP の統合技術の研究開発

本研究開発テーマでは、オンライントランザクション処理(OLTP)とオンライン解析処理(OLAP)を統合した技術の実現の為に、これまで2つの実施項目の研究開発を行ってきた。

I-①-1 行方向データと列方向データの融合の開発

情報システムの発達により、IoT データや多種の業務データを含む様々なデータが大量に生成されている。これら生成されたデータによるデータベースへの更新は、OLTP として高速に処理される必要がある。一方、OLTP によってデータベースに蓄積される大量のデータを有効利用するために、データを解析して有用な情報を引き出す OLAP の重要度も益々増している。しかし、OLTP と OLAP は処理の性質が大きく異なることから、OLTP による更新データを低遅延で OLAP で解析する HTAP(Hybrid Transactional Analytical Processing)を実現するために、Read only Anomaly (RoA)の検知・回避を可能としたデータ一貫性の保証が必要である。しかし、既存の一貫性保証技術だけでは、HTAP における高性能の維持と RoA の回避の両立が極めて困難である。本実施項目では、OLTP 性能の低下を抑えつつ OLAP における RoA を回避するための新たな論理的枠組を構築し、目覚ましい成果を出しつつある。今後はその効果を示す予定である。

I-①-2 コアアサインの最適化の開発

近年、半導体技術の発達により、不揮発性メモリおよび複数コアといった新しいハードウェア環境が出現している。それらのハードウェアを有効利用することで、HTAP を実現し、アプリケーションを高速実行することが可能となる。しかし、既存の複数コアを用いた HTAP システムでは、OLTP・OLAP に跨るコアアサインが動的に行われなく有効に利用されていない。そこで、本実施項目では、まず OLTP による更新内容を OLAP の対象とするログ SHIPPING のためのコアも含めてコアアサインする手法を提案し、検討を進めている。そのようなコアアサインの手法はこれまでなく、HTAP 全体の目覚ましい成果を出しつつあるといえる。今後は手法を実現し、その効果を示す予定である。

I-②OLTP とデータストリーム処理の連携技術の研究開発

本研究開発テーマでは、OLTP とデータストリーム処理との連携技術の開発を行っている。従来のデータストリーム処理ではベストエフォートの処理が原則であり、システム障害への対応は一般には想定されていなかった。しかし、データストリームのステート(一定期間確実に保持したいひとまとまりのデータとその状態)管理の需要が高まったことでフォールトトレランスの必要性が増しており、処理性能とのトレードオフに応じた柔軟なフォールトトレランスの実現が望まれている。一方、OLTP はデータベースにおける基礎技術として長年研究開発

が行われており、永続的かつ一貫性を保証したデータ処理を提供する。そこで、本研究開発テーマでは OLTP と連携したデータストリーム処理を行うことで、フォールトトレランスを考慮したデータストリームのステート管理についての研究開発を行う。

I-③OLAP 処理の高速化技術の研究開発

「OLAP 処理の高速化技術の研究開発」の課題項目では、大規模で多様な構造を有するビジネスデータあるいはセンサにより実世界から収集されるデータを対象として、自動的に有益な知識を発見する探索的データ分析技術の開発に取り組んでいる。具体的には、技術課題を2つにブレークダウンして、1)「スキーマ最適化による OLAP エンジンの高速化」、2)大規模データに対する「探索的データ分析の高精度化」に取り組んでいる。

I-④OLTP 処理の高速化技術の研究開発

トランザクション処理は必須だが、その存在はシステムの性能を劣化させる。文献 [1] によれば、データベースアクセスにおける有益な処理には CPU が 6.8%しか使われない一方、トランザクション処理にはそれが 77%も使われている。それゆえトランザクション処理の高性能化は社会的に重要な課題である。それには世界最高レベルの技術を知り尽くす必要がある。そこで我々は並行性制御法に関する分析プラットフォーム CCBench [2] を公開した。これは近代的並行性制御手法群を公平・網羅的に比較可能なシステムであり、世界的にも珍しい。CCBench を用いて既存手法を分析した結果、新たな最適化手法を発見するに至った。

CCBench の一部に基づき、トランザクション処理システム Shirakami を開発し、ノーチラステクノロジーズ社が新規開発した問合せ処理システムとの結合試験を TPC-C を用いて成功させた。

また、OLTP におけるトランザクション内部で実行される演算を高速化すべく、C 言語を動的に生成する技術を実現した。この成果は xSIG で outstanding research award を受賞した [3]。

[1] Stavros Harizopoulos, Daniel J. Abadi, Samuel Madden, and Michael Stonebraker. OLTP through the looking glass, and what we found there. In Proceedings of ACM SIGMOD, 2008.

[2] <https://github.com/thawk105/ccbench>

[3] 根本 潤, 川島 英之, 遠山 元道, “部分評価に基づくクエリコンパイラにおける SIMD 命令の活用”, outstanding research award, <http://xsig.hpcc.jp/2020/awards/>

3.1.1.2 最終目標と根拠

I-①OLTP と OLAP の統合技術の研究開発

I-①-1 行方向データと列方向データの融合の開発

目標: HTAP における一貫性の保証

根拠: 従来の HTAP システムでは OLTP とリアルタイムに実行される OLAP クエリのデータ一貫性の保証が十分に考慮されていない。データ一貫性の保証のための RoA の検知・回避が考慮されていないと OLAP の結果の信頼性が下がってしまう。既存の一貫性保証技術だけでは HTAP における RoA の回避は困難である。Two-Phase Locking では OLTP の性能が著しく低下してしまう。Serializable Snapshot Isolation では OLTP と OLAP のエンジンを分離した場合 RoA は回避出来ない。また、OLTP 側の性能をほとんど低下させない RoA 回避手法はこれまで提案されていなかった。

我々の提案する手法では OLTP 性能の低下を抑えつつ OLAP における RoA を回避する。OLTP におけるトランザクション間の依存情報を OLAP とも共有することで OLAP クエリは一貫性のあるデータのみを読むようにする。

I-①-2 コアアサインの最適化の開発

目標: HTAP における複数コアの有効利用

根拠: 既存の複数コアを用いた DBMS では OLTP・OLAP に跨り、ログシッピング (OLTP・OLAP 間のデータ適用手法) まで考慮したコアアサインは動的には行われておらず、複数コアを有効に利用されていない。我々の研究では OLTP や OLAP およびログシッピングにおいて動的にコアアサインを行う。動的なコアアサインにより負荷に即した性能向上を目指す。

I-②OLTP とデータストリーム処理の連携技術の研究開発

目標: 開発するシステム技術を踏まえたデータストリーム処理システムのプロトタイプシステムの開発

根拠: 従来技術ではストリーム処理における耐障害性は十分に研究されていない。そこで、具体的には、1) 複数のアプリケーションを想定した要求分析、2) OLTP とデータストリーム処理の連携アーキテクチャの開発、3) データストリーム処理におけるフォールトトレランス技術の開発、4) データストリーム処理におけるステート管理手法の開発、5) プロトタイプシステムの設計と開発、の 5 段階に分け、最終目標の達成を目指す。このうち、1) 及び 2) は研究開発の実施や成果の普及を考える際の前提事項や現状の把握を行うものであり、3 年目までを目処に実施する。3) 及び 4) は実際に OLTP とデータストリーム処理との連携技術を開発する上での要素技術であり、2 年目及び 3 年目を中心に並行して行う。そして、これらの成果を基に 4 年目及び 5 年目でプロトタイプシステムの開発を行う。

I-③OLAP 処理の高速化技術の研究開発

「スキーマ最適化による OLAP エンジンの高速化」

目標: 従来よりも 1 桁以上の OLAP エンジンの高速化の実現

根拠: 代表的な従来技術として、BigSubs (VLDB2018)、NoSE (ICDE2016) が挙げられるが、これらではクエリワークロードが時間変化しないことを前提としているため、実用化における時間変化するワークロードに対しては最適なスキーマ推薦を行うことができない。我々の技術では、スキーマ進化によるマイグレーションコストを含めて最適化を実施する点に新規性がありスキーマ最適化による OLAP エンジンの高速化を達成可能と考えている。

「探索的データ分析の高精度化」

目標: 従来では見つけることができなかった有益な知識を高精度化に発見

根拠: 従来研究として、欠損値補完と異常検知技術の組み合わせの調査論文 (COMPASS2019) があるが、欠損値が多い場合には大幅に異常検知の精度が劣化することが報告されている。我々の技術では、欠損値補完の問題と異常検知の問題を同時に解く点に新規性があり、欠損値補完する量を大幅に低減することで高精度な異常検知を達成することが可能と考えている。

I-④OLTP 処理の高速化技術の研究開発

目標: リアルタイム OLTP 処理技術の提案と、その探求活動の根幹を成す OLTP 分析プラットフォームの構築

根拠: 本技術が構築できれば世界最先端の OLTP 技法を比較評価することが可能になると同時に、新手法の設計という極めて困難なタスクが現実的になる。前述の CCBench は並行性制御法をサポートする。一方、OLTP を構成する機構には、並行性制御機構に加えてリカバリ機構と演算子処理機構がある。そこで最終目標としては OLTP 処理全体をサポートす

るプラットフォームを構築することを目指す。現状、世界的にも OLTP 全体を分析可能なプラットフォームは存在しないことがその難易度を示唆するが、重要課題なので挑戦する。

新規技法提案にプラットフォーム構築が必要な根拠は、OLTP は理論と実装が複雑に入り組んだ技術だからである。スケジューリング空間が広いなど理論的に優れようとも効率的な実装方法がなければ性能は劣悪となる。その例には Snapshot Isolation 法がある。OLTP 手法の提案には、OLTP の全てを知り尽くす必要がある。それゆえ、精妙巧緻な分析プラットフォームの実現が必須となる。それができればアプリケーションワークロードに合わせたプロトコルと最適化手法の試行錯誤が可能となるため、新規技法の提案が容易となる。

3.1.1.3 目標の達成度

I-①OLTP と OLAP の統合技術の研究開発

I-①-1 行方向データと列方向データの融合の開発

データ一貫性を保証するための理論的枠組を構築できた。今後は提案手法の効果を示す予定である。

I-①-2 コアアサインの最適化の開発

複数コア環境で OLTP による更新内容を OLAP の対処とするログ SHIPPING のための手法を提案し、初期評価結果として効果を示した。今後は、HTAP 全体の処理に対して動的なコアアサイン手法を改善し、効果を示す予定である。

I-②OLTP とデータストリーム処理の連携技術の研究開発

設定した目標を、予定通りに達成している。1) 複数のアプリケーションを想定した要求分析及び 2) OLTP とデータストリーム処理の連携アーキテクチャの開発では、既存のデータストリーム処理システムである Flink で実行可能な処理のサブセットを想定し、OLTP を用いてデータストリーム処理のステートを管理するアーキテクチャを提案した。これらは主に前年度(2 年目)までに行っており、今年度(3 年目)は後述する要素技術の開発に合わせた調整を中心に行っている。3) データストリーム処理におけるフォールトトレランス技術の開発及び 4) データストリーム処理におけるステート管理手法の開発は今年度(3 年目)でのおおよその開発完了を目指しており、それぞれ並行して研究開発を実施している。5)は来年度(4 年目)以降に取り組み予定であり、現時点では実施していない。

I-③OLAP 処理の高速化技術の研究開発

「スキーマ最適化による OLAP エンジン」の高速化に関しては基本機能に関するプロトタイプの開発が完成しており、簡易なベンチマークにおいて NoSE(ICDE2016) と比較して性能が改善されていることを確認済みである。現在、複雑なクエリを含む一般的なベンチマークである TPC-H に対する機能拡張、および天文台のデータベースに対する 3 万件のクエリログに対して適用できるよう機能拡張に取り組んでいる段階にある。

「探索的データ分析の高精度化」に関しては 1 マシンで動作するプロトタイプの開発が完成しており、具体的な応用例として天文データを対象とした変動天体の課題を対象として、1 万件規模の小規模データを用いて技術検証を実施している段階にある。従来は欠損値補完は天体ごとに行っていたが、空間的に近傍ある天体データを活用することで欠損値補完精度が向上できることを確認済みである。更に、次のステップで 200 万件規模の中規模データに適用するため、分散環境である Spark 環境での欠損値補完、異常検知技術を選別し、実行環境を準備中である。

I-④OLTP 処理の高速化技術の研究開発

実施計画書に記載した目標は順調に達成できている。実施計画書では研究項目として、下記を挙げた。[I-④-1. リアルタイムトランザクション処理機構の設計と実装] [I-④-2. リアルタイム演算処理機構の設計と実装]、[I-④-3. アプリケーションロジックへの最適化] を挙げた。I-④-1 と I-④-2 は 2018 年度開始であり、申請書に記載した線表通り、H31 年度時点でいずれも「設計」を完了している。I-④-1 の基幹構造の「設計」を行い、さらに CCBench として実装した。CCBench 上で用いる各種プロトコルならびに最適化手法がすでに評価可能になっている。I-④-2 は Just-in-time 技法を用いる手法が優れることを研究により突き止め、演算処理機構の「設計」を完了し、さらにその実装と初期評価を終えた。I-④-3 は予定通り 2020 年度から開始し、今年度の目標である「機能理解」に関する活動を DBx1000 なるプラットフォームを対象に開始している。

3.1.1.4 成果と意義

I-①OLTP と OLAP の統合技術の研究開発

I-①-1 行方向データと列方向データの融合の開発:

成果:HTAP において、OLAP クエリ実行時に OLTP トランザクション間の依存関係に基づきどこまでのデータをアクセスするかをリアルタイムで決定することによりデータ一貫性を保証するための理論的枠組みを構築した。

意義:OLTP 性能に(ほぼ)影響を与えることなく、リアルタイムに OLAP クエリを実行してもデータの一貫性を保証することが可能になる。また、理論的な枠組みを構築したので様々なデータ処理エンジンに適用できる。

I-②-2 コアアサインの最適化の開発

成果:複数コア環境で OLTP による更新内容を OLAP の対象とするログ SHIPPING のための新たな手法として Base backup Relation と Latest Two Version Relations の手法を提案し、複数コアを搭載する実機上で効果を確認できた。

意義:複数コアを持つ単一ホストマシン上で、サービスの停止をせずに短期間で OLTP の更新データを OLAP へ反映することで従来よりもより最新の情報で OLAP クエリを負荷に即して実行することが可能になる。

I-②OLTP とデータストリーム処理の連携技術の研究開発

各目標に分け成果と意義を述べる。1) 複数のアプリケーションを想定した要求分析 及び 2) OLTP とデータストリーム処理の連携アーキテクチャの開発 では、まず背景として、既存の分散ストリーム処理システムでは処理ノードの一部で障害が発生した際に障害の影響が全処理ノードへ波及してしまうという課題があった。本研究成果ではステートの一貫性を OLTP を用いて管理するアーキテクチャを提案しており、既存システムとは異なるアプローチでのフォールトトレランスの保証が可能となる。3) データストリーム処理におけるフォールトトレランス技術の開発 及び 4) データストリーム処理におけるステート管理手法の開発では、データストリームの並列計算により同時にアクセスされるステート情報を、データベースを用いて共有、管理する手法を提案した。処理時にパーティション分割を行う既存手法とは異なり、提案手法ではデータストリーム処理システム全体で一貫性の取れたステートへのアクセスが可能となり、より柔軟なフォールトトレランスの実現が可能となる。

I-③OLAP 処理の高速化技術の研究開発

従来技術との比較という観点で成果と意義を説明する。「スキーマ最適化による OLAP エンジンの高速化」に関しては、時間変化するワークロードに対するスキーマ最適化に取り組

んでおり、この技術課題は従来技術よりも適用範囲が広く優位性が高いと考えている。技術的な詳細に関しては、従来技術である BigSubs(VLDB2018), NoSE(ICDE2016) と比較して整数計画問題を適用する点は同様だが、a) スキーマ進化によるマイグレーションコストを含めて最適化を実施する(マイグレーションプランのリストアップおよびコスト計算), b) サブクエリ間の依存関係を活用する考え方を導入することで探索コストおよび空間コストを削減する、c) 頻出パターンマイニングの技術を活用することで優良な初期解を見つける、ことを特徴とする。

「探索的データ分析の高精度化」に関しては、欠損値補完の問題と異常検知の問題を同時に解くという着想に優位性があると考えている。技術的な詳細に関しては、a) データをクラスタ化することでクラスタ間の(スパースな空間)の欠損値補完を不要とすることによって欠損値補完による性能劣化の影響を低減し、b) クラスタ構成時にデータの分布特徴を利用し、c) 複数の異常検知をアンサンブルする、ことを特徴とする。

I-④OLTP 処理の高速化技術の研究開発

I-④-1. リアルタイムトランザクション処理機構の設計と実装

成果: 並行性制御プラットフォームである CCBench を開発して既存手法を比較した結果、Silo と呼ばれる手法が優れることを明らかにすると同時に、新しい最適化手法 (Read Phase Extension)を考案した。そこで Silo 法に基づくリアルタイムトランザクション処理機構である Shirakami エンジンを実装・実装し、標準ベンチマークである TPC-C を通過させることに成功した。

意義: 並行性制御プラットフォームとしては CMU の DBx1000, EPFL の Trireme があるが、DBx1000 は近代的手法が実装されておらず、Trireme は非公開である。CCBench は近代的手法を実装済みである点にまず意義がある。さらに CCBench は公開済みであるため、オープン戦略を採用する内外の企業との協業が推進可能な点に意義がある。

I-④-2. リアルタイム演算処理機構の設計と実装

成果: Just-in-time コンパイル技法を用いたリアルタイム演算処理機構を研究開発し、それが従来の volcano 方式に比べて大幅に高速であることを実験システムにより示した。並びにその成果によりシンポジウムで受賞した。

意義: Just-in-time コンパイル技法が優れた性能を有することを定量的に示し、今後の OLTP システムにおける優れた設計案を示したことに意義がある。

I-④-3. アプリケーションロジックへの最適化

成果: 予定通り 2020 年度から研究を開始したが、既存プラットフォームである DBx1000 の調査を開始した段階であり、成果はない。

意義: 現状では成果がないので意義はない。

3.1.1.5 成果の普及

以下の各観点で成果普及を推進する。

- ・構築した技術やシステムについて、学会・イベントにおいて発表を実施
- ・研究成果を GitHub で公開
- ・実施項目 III のアプリケーションを例とした実システムへの適用

3.1.2 研究開発サブテーマ「実社会の事象をリアルタイム処理可能な次世代データ処理基盤技術の研究開発：実施項目 II 実用化研究」

3.1.2.1 概要

II-①統合メタデータ管理基盤の研究開発

基礎研究成果の早期実用化を狙い、全体アーキテクチャの設計および利便性を向上させるための運用機能や管理機能など研究開発を行う。

II-②実行エンジンの研究開発

従来の RDBMS のアーキテクチャを刷新し、ハードウェア性能を限界まで引き出すとともに、トランザクション処理と分析処理といった異なる処理性能特性をもつワークロードにも対応できるデータベースエンジンを研究開発する。

3.1.2.2 最終目標と根拠

II-①統合メタデータ管理基盤の研究開発

目標: HTAP システムとして全コンポーネントが連携したシステムの実現

根拠: 本プロジェクトでのデータベース研究は、データベースのコアである基礎研究とそれを統合する実用化研究からなる。本項目では実用性のあるデータベースマネジメントシステムを目指し、全コンポーネントの連携とコンポーネント間で必要となるメタデータの管理そして運用機能を実装し普及を目指す。

II-②実行エンジンの研究開発

目標: シームレスな単一のプラットフォームとして OLTP/OLAP 両方のデータ処理を実用的な性能で実行できる統合実行エンジンの完成

根拠: プラグイン等による拡張の可能な構成とし、オープンソースとして公開することで、エンドユーザーやデータベース研究者が最新の技術を柔軟に拡張し、各々のビジネスや研究での活用を可能とする。これにより、商用データベース市場でのベンダ数減少による寡占化やオープンソースデータベースのコードベース肥大化のため最新のハードウェア進化への追従が困難になっている状況を解決する。

3.1.2.3 目標の達成度

II-①統合メタデータ管理基盤の研究開発

2019 年度までに基本的なメタデータ管理の方式を設計しプロトタイプを実装するとともに、他のコンポーネントとの接合試験までを実施している。

また、2020 年度からは各機関の研究プロトタイプの進捗にあわせ、システムとしての機能を横断した全体アーキテクチャの設計を進めている。

II-②実行エンジンの研究開発

実施計画書に記載した下記の予定通り進捗している。

2018 年度は OLTP エンジンのプロトタイプを完成させるとともに、FOEDUS (OSS として公開されているトランザクションエンジン) と結合して実際のハードウェア環境での性能評価を実施した。

2019 年度はクエリパイプラインを並列実行する新規アーキテクチャの設計と SQL 演算子の一部について試作を完了させた。また、慶應大学で研究開発されているトランザクションエンジンとの接合では、性能ボトルネックの分析と解消を行い、目標としていた性能ベーススコアの取得を完了した。

SQL コンパイラについては、2020 年度末目標である標準 SQL サポートに向け、実行エンジンの各種中核機能の開発を進めている。

3.1.2.4 成果と意義

II-①統合メタデータ管理基盤の研究開発

一般に普及しているオープンソースのデータベースである PostgreSQL を活用し、標準的なインターフェイスに対し各技術を連携する方式を設計実装した。これにより、一般的な技術者でも容易に高速なデータベースを利用できることが可能となる。

II-②実行エンジンの研究開発

成果は以下の通り。1)メニーコア、不揮発性メモリ等のハードウェアを活用し、データ更新処理に対して高い並列実行性能を持つ OLTP エンジン、2)基礎研究で開発された分析系問合せ処理に最適化された OLAP 処理技術のコアエンジンと前記 OLTP エンジンとの統合により実現する透過的なデータベース・システム、3)業務要求に特化した処理をサーバー側で実装、実行可能なプログラミング環境を提供するドメイン固有言語(DSL)とその処理エンジン(クエリコンパイラ)。

1)により、新しいハードウェアのパラダイムシフトに沿った次世代データベースの研究成果の実用化を加速できる。2)によりデータベースへのデータ投入から分析までのリードタイム短縮、3)により、業務要件に応じたプログラミング要求への対応が可能となる。

3.1.2.5 成果の普及

研究開発の成果であるデータベース管理システムはオープンソースで公開するとともに、ユーザー会を設立して普及を推進することで、幅広い分野での活用を促進する。

3.1.3 研究開発サブテーマ「実社会の事象をリアルタイム処理可能な次世代データ処理基盤技術の研究開発：実証研究」

3.1.3.1 概要

III-①災害発生後の初動・応急対策段階での活用

大規模災害発生時には、早い段階で広域かつ多彩な被災状況を把握し、情報を整理していくことが、その後の迅速な対策を講じていくために非常に重要である。

一方、近年航空機オブリークカメラと呼ばれる多方向空中写真撮影システムが開発され、航空機の直下方向および前後左右の斜め方向の空中写真を同時に撮影することが可能となった。斜め方向の空中写真は、直下方向の空中写真に比べて、建物の被災状態などを把握するのが容易であることから、特に重要な被災情報元となりえる。また、これらの写真をもとに SfM (Structure from Motion) 技術を用いることで、広範囲な撮影領域の 3DTin (三角形網で構成される 3 次元サーフェスモデル) を自動的に作成することが可能である。従って、この航空機オブリークカメラによる撮影を被災後の初期段階で実施できれば、広域かつ詳細な状況把握や、情報を整理するプラットフォームとなりえる 3DTin の作成・利活用が可能となる。

しかし、この航空機オブリークカメラ撮影による膨大な空中写真からの有益な情報抽出や SfM 技術による 3DTin 作成には、現状では非常に多くの時間を有するため、被災後の初動段階から応急段階での利活用は難しい。

そこで、撮影画像から 3DTin を作成する時間を短縮し、被災後の広域情報および RDB ベースのプラットフォームの提供を、より迅速かつ効率的に行えるようにすることを目指す。

また、迅速な 3DTin 構築を可能とすることで、位置情報に基づくより有用な情報の抽出を AI 技術により実現し、ドローンなどで撮影した写真や 3DTin の利用性を向上させる。

III-②生産性向上への適用

本研究開発の成果を活用して、生産計画・取引・決済等に関する情報を大量かつ高速に処理するシステムを試作し、Material Requirement Planning (MRP)の高付加価値化に適用することで、産業における生産性向上に有用であることを実証する。

III-③e-Science への適用

次世代コンピューティングのサーバーサイド・アーキテクチャ、すなわちメニーコア・大容量メモリ・広帯域(光スイッチ等による)ネットワーク・不揮発性メモリを活かしたデータベースを、数 PetaByte におよぶ観測データ(ビッグデータ)の処理に活用する。これにより、データ集約型科学(e-Science)分野、すなわち、計測機器や計算機の進展により得られるようになったより大量かつ詳細なデータを統合的に活用して新たな技術開発や発見につなげる際の土台となるデータ処理基盤の構築を可能とする。

3.1.3.2 最終目標と根拠

III-①災害発生後の初動・応急対策段階での活用

航空機で収集する画像などの処理時間を大幅に短縮し、大規模災害(地震、河川増水、雪害など)発生時の災害救助や災害復旧の効率向上につながる活用を可能とする。具体的には、現在のデータ処理におけるボトルネック解消に本研究開発の成果を活用し、航空機によるデータ収集から 3DTin 化、AI による物体検出、被災者や被害の状況及び交通障害を示す災害地図の DB 作成までの時間を短縮する。

画像や点群データの処理方式を研究開発するためには、実際の画像や点群データをシステムで処理する必要があることから、航空機による撮影を継続的に実施する。災害はいつどこで発生するかわからないため、様々な時間帯、季節、地域におけるサンプルデータを採取しておくことが必要である。また、災害対応時には時々刻々と変化する被災状況を取得し、変化抽出などを実施できるようにするため、同一エリアの時系列データも取得する。さらに、プラットフォームとしての利用を想定すると、さまざまな種類の情報を RDB 上に統合する必要もあることから、撮影されて画像からの物体検出、局所的なドローン撮影および撮影データからの情報抽出(植生や災害廃棄物などの情報抽出)などの検討を行う。

III-②生産性向上への適用

既存のデータベースよりも桁違いの性能を発揮する新しい HTAP システム(本研究開発の成果)を原材料の計算・シミュレーションに適用することで、為替の変動や原材料のコストの変化といった状況に応じて算出された予想の数値(原価や利益)を意思決定に生かすことができ、「経験と勘」に頼った判断ではなく、より正確かつ適切な、製品・サービスの製造・リリースが可能になることを実証する。

III-③e-Science への適用

本研究開発の成果活用により、これまでに蓄積されている観測データや分析結果を利用するデータクレンジング処理(現在の観測データから不適切なものを除去する処理や観測データを補正して S/N 比を向上させる処理など)、数 PetaByte におよぶ全データからデータ検索に必要な情報を抽出して展開する処理、更には、実際の研究実施において要求される分析を実用的な性能で実行可能となることを示す。現行のデータベースは大規模な観測・実

験データの分析をスピーディーかつ適切に行えているとは言えないため、本研究開発により、このようなデータ集約型科学の課題を解消する。

3.1.3.3 目標の達成度

III-①災害発生後の初動・応急対策段階での活用

2018年度は長岡地区の撮影を1回実施した。2019年度は長岡地区を2回、渋谷地区を2回、東京オリンピック会場周辺地区を2回、それぞれ撮影を実施した。また、災害のあった南房総地区、館山地区、阿武隈川地区の撮影を各1回行った。その他に、ドローンに搭載してデータ取得できるセンサの開発を進めている。

3DTin作成高速化のための研究開発には上記撮影データを利用し、処理にはオープンソースのソフトウェア(OpenMVG、OpenMVS)を使用している。データ分割、計算処理を並列化することで、高速処理を実現し、従来22日間程度かかっている処理時間を1日程度まで短縮できる見通しである。また並行して、3DTin作成プログラムとデータベースとのデータのやり取り部分や3DTinデータの表示、差分の抽出などを行うアプリケーションの開発を進めている。

ドローンに関しては、可視光だけでなく近赤外線領域まで取得可能なドローン搭載用のハイパースペクトルカメラの設計を行い、機材の開発を進めている。

III-②生産性向上への適用

実施計画書に記載した下記の予定通り進捗している。

2018年度末:本研究開発のPoC対象として、食品製造業にて稼働している生産管理システム内の所要量展開処理を選定するとともに、本研究開発の成果として想定するデータベースとの整合性を検討した。

2019年度末:既存のデータベースでPoC対象処理を動作させて稼働状況を精査し、ボトルネックを突き止めるとともに、生産管理システムとして特徴的な動作パターンを抽出した。データベースの学会で多用されているベンチマークとは全く異なる特性であることから、本研究開発の成果であるデータベースを実業務に適用する際の性能を測定するためのベンチマーク・プログラムとして整備するための検討も追加で実施した。

III-③e-Scienceへの適用

実施計画書に記載した下記の予定通り進捗している。

2018年度末:本研究開発の要件に合致するビッグデータを提供して頂く機関として国立天文台様を選定し、そのデータや処理の特性についてヒアリング等による調査をおこない、本研究開発の成果として想定するデータベースとの整合性を検討した。

2019年度末:大阪大学による研究開発の題材を大規模データ(天体観測データ)の検索と突発性天体発見とし、株式会社ノーチラス・テクノロジーズと共同で天文台データベースを本研究開発用の分散処理環境に構築したうえで geoSpark によるクエリ処理の性能を検証した。突発性天体発見については、天体カタログデータベースの最新バージョンを移行し、現状の天体カタログデータベースとの性能比較を実施した。これらの結果を踏まえ、本研究開発の成果であるデータベースを適用する際の要件を検討した。

3.1.3.4 成果と意義

III-①災害発生後の初動・応急対策段階での活用

航空機オプリークカメラによる直下方向及び斜め方向の大量の航空写真から高速に3DTinを作成してRDBに登録し、そのRDB上の既存の3DTin、3D点群などを用いて差分抽出や、データの三次元表示を行うことのできるシステムを成果とする。

現段階ではデータ処理に時間がかかりすぎるために選択肢となりえていない航空機オブリークカメラによる 3DTin が、処理時間の大幅な短縮により利用可能となることに最大の意義がある。また、3DTin などの 3 次元モデルを RDB 上に登録できるため管理の煩雑さが軽減される。現状で大規模災害時に主に利用される、衛星写真、ドローン撮影による航空写真、直下のみの航空写真、あるいは航空レーザ測量成果では、写真の解像度、広範囲の網羅性、多方向からの情報の不足などから十分とはいえず、大規模災害の現場では十分に活用できない。航空機オブリークカメラによる撮影成果と 3DTin を被災後の早い段階から利用できるようになれば、より詳細な被災情報の把握、情報の集約が可能となる。また、被災時にドローンなどの様々な情報が本システムにあがってきて、それらの情報を時々刻々と統合できるようになると、より正確な被災情報の把握、集約に非常に役立つ。

III-②生産性向上への適用

成果は以下の通り。1) 既存システムでは非同期に行っていた OLTP 処理と OLAP 処理が同時に実行できる HTAP システムの構築、2) それを用いて構築する Bill of materials (BOM) 展開と原価計算を同時に実行するシステムの試作、3) そのシステムは実際の業務処理を現実的な時間で実行可能な性能を保有していることの実証。これにより、原価や原材料の必要量等の計算を実際原価やシミュレーションを用いて適切なタイミングで実施できるシステムの構築が可能となり、各々の企業が為替の変動や原材料のコストの変化を考慮したうえで顧客ニーズに対応した生産を行う前提となる環境を整えることが可能となる。

III-③e-Science への適用

基礎研究にて研究開発した HTAP アーキテクチャに基づく並列・分散データベースを、大規模な観測データを扱うシステムに適用し、そのような場合でも、時々刻々得られる観測データの格納(OLTP)処理と、新たに格納されたデータとそれまでに蓄積された全観測データの両者を対象とする分析(OLAP)を矛盾なく効率的、更には、セミ・リアルタイムでの処理が可能となることを実証する。科学的に有意義な成果、すなわち、世界初の分析結果を得るためには、観測データのマスターデータやカタログからのレコード情報の取り出しを高速化し、より複雑な解析を可能とする必要があり、巨大なデータベースに蓄積された限られた情報を如何に早く取り出せるかが、この観測データを使った研究を推進する上で大変重要な要素となることから、本技術開発により高速検索を可能にする次世代のデータベースを実現する意義は大きい。

3.1.3.5 成果の普及

III-①災害発生後の初動・応急対策段階での活用

本実証研究で作成したデータ処理のためのプログラムは、オープンソースとして公開することを想定している。また技術者コミュニティ等において一般に公開し、普及促進を図る。実装においては、地理情報ソフトウェアとして実績があり、既に広大なエコシステムが形成されているオープン系のソフトウェアを活用しているため、研究開発後の普及・展開が容易である。今後、学会などでの発表も行っていく。

III-②生産性向上への適用

製品の多品種小ロット化や Build to Order(BTO)モデルの広範囲な普及において必要不可欠と考えられる受発注や手配(SCM)関連データベース統合システムの実用化で先行する。これにより、為替の変動や原材料のコストの変化、また需要者サイドの状況の変化に応じた製品の部品・原材料・構成の変更を勘案して算出した原価や利益の予想数値を意思決定に

生かし、「経験と勘」に頼った判断ではなく、より正確かつ適切な、製品・サービスの製造・リリースを可能とするためのシステムとしての普及を目指す。

III-③e-Science への適用

本研究開発の成果活用により実現可能となる、大量の詳細なデータと蓄積されてきた実験データを統合的に活用して新たな技術開発や発見につなげる際の土台となるデータ処理基盤は、特定分野に限定されたものではなく、科学技術全般に共通していると考えられることから、成果の適用先となる可能性はデータ集約型研究全般と考えられる。

3.2 研究開発テーマ「超電導パラメトロン素子を用いた量子アニーリング技術の研究開発」

(1) 事業全体の成果の概要

本研究開発プロジェクトでは、NEC がゲート方式で培った量子ビット「超電導パラメトロン」のノウハウと、東工大の原理・アイデアを集結し、従来方式と比較して量子力学的効果に優れた量子アニーリングマシンの開発が目標である。このような量子力学的効果に優れた量子アニーリングマシンを構築するために、量子ビット素子、モジュール実装、量子ビット制御回路、HW および計算アーキテクチャの各レイヤにわたる 6 つの研究開発項目に取り組んでいる。量子ビットの核となるパラメトロン共振器の開発では、これまでに共振器の内部 Q 値 1.1×10^5 達成(目標: 10^5 台)、結合 2 ビットパラメトロン素子を用いたビット間結合の実証等の目覚ましい成果を上げつつある。

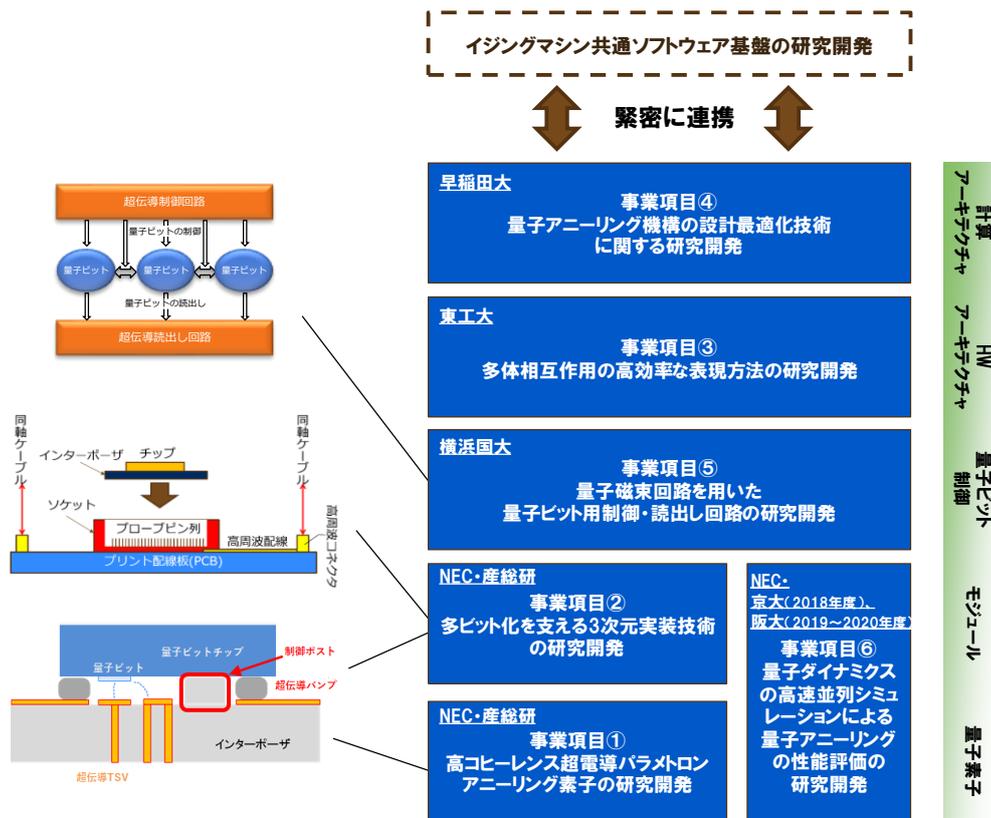


図 2-3.2-1 研究開発体制

(2) 研究開発項目毎の成果と目標の達成度

本研究開発プロジェクトの研究開始から 2020 年 6 月までの進捗は、表 2-3.2-1 に示すように各研究開発項目とも概ね計画通りに進んでいる。達成度は◎大きく上回って達成、○達成、△達成見込みとして記載した。

表 2-3.2-1 研究開発項目毎の達成状況

研究開発項目	目標	成果	達成度	今後の課題と解決方針
<p>事業項目 ① 高コヒーレンス超電導パラメロンアーリーリング素子の研究開発 (NEC、産業技術総合研究所)</p>	<p>試作装置、測定系 立ち上げ完了</p>	<p>産総研内 NEC ラボに量子ビット評価装置(希釈冷凍機、3He 冷凍機、自動運転が可能な測定システム等)、作製装置(斜め蒸着装置、室温接合抵抗評価システム等)を立ち上げ、作製から評価まで一貫して行うことが出来る環境を構築。</p>	<p>○</p>	
	<p>立体配線を用いた単一パラメロン回路動作実証</p>	<p>作製プロセスの改善により、パラメロン共振器の内部 Q 値が 1.1×10^5 と、目標としていた 10^5 台を達成した。 平面回路結合 2 ビットパラメロン試料の作製、評価を行い、パラメトリック発振のビット間の相関を確認した。 また、2 ビットイジング問題の求解についても予備的な結果を得た。 立体配線を用いた動作実証は、立体回路の磁場印加による共振周波数変動の測定を実施。</p>	<p>△</p>	<p>立体配線はコロナ禍が試作評価に影響。立体回路(基本構造サンプル)の磁場印加による共振周波数変動の測定により、構造実証を確認済。2020 年 9 月までに製造完了させる試作では、パラメロン回路の動作実証を達成見込み。</p>
<p>事業項目 ② 多ビット化を支える 3 次元実装技術の研究開発 (NEC、産業技術総合研究所)</p>	<p>25um 径以下の TSV 工程が可能な超電導めっき技術や超電導材料による熔融金属充填法を検討し、プロセス立ち上げを完了</p>	<p>25um 径以下の超電導 TSV 工程が可能なプロセスの立ち上げ。超電導バンプと制御ポストを両立するチップ接合技術を構築。</p>	<p>○</p>	<p>2020 年 9 月までに量子ビットチップとインターポーザを接合するためのプロセス構築を達成見込み。</p>

	立体配線を用いた単一パラメロン回路動作実証	立体配線を用いた動作実証は、立体回路の磁場印加による共振周波数変動の測定を実施。	△	立体配線はコロナ禍が試作評価に影響。立体回路(基本構造サンプル)の磁場印加による共振周波数変動の測定により、構造実証を確認済。2020年9月までに製造完了させる試作では、パラメロン回路の動作実証を達成見込み。
	4bit チップ用の TEG チップ、常電導 TSV インターポーザと組み合わせ評価。4ビットチップの評価が行えるレベルのソケットを完成	・インターポーザから、フリップチップボンディング接続された超電導チップ上の量子ビット(2 および 4 ビット)の制御、読出しを行う配線を試作評価。 ・プローブピン数 164 のソケットを設計し、TEG チップを用いて評価着手。	○	
事業項目 ③ 多体相互作用の高効率な表現方法の研究開発(東京工業大学)	RBL 法の小規模問題における性能評価と課題抽出	LHZ 法の拡張が RBL 法に限られるか、他に開発されている可能性を調査。LHZ-RBL 法の最適な形式の理論的説明。	○	
事業項目 ④ 量子アニーリング機構の設計最適化技術に関する研究開発(早稲田大学)	擬似量子機構実現	超伝導パラメロン素子に基づく手法のソフトウェア擬似量子アニーリングのシミュレーション方式の検討、プロトタイプシミュレータの開発。スピン間の係数の表現や符号化に関する研究により、データ量を1/10に削減。	○	データ量の削減率が元の入力サイズに依存するため、問題によっては1/10にならない場合もある。データ削減手法に用いられているパターン検索手法の改良により改善を行う。
	擬似量子機構高速化	シミュレーション方式のHW化方式の検討、FPGA向けHWモジュールを設	○	高速化において、解の精度が異なる場合がみられた。現在

		計。種々の係数表現や符号化法に対するHW演算器の設計を行い、実際の問題で高速化を評価。エミュレーションによる並列化で、速度を2倍に高速化。		原因を調査中であり、アルゴリズムの改善で解の精度を安定させる。
事業項目 ⑤ 量子磁束回路を用いた量子ビット用制御・読出し回路の研究開発 (横浜国立大学)	静磁場バイアス制御回路を設計試作し、4.2Kにおいて動作検証。電流分解能4ビット、バイアス電流を16個の量子ビットに個別供給を目標	静磁場バイアス制御回路を設計試作し、4.2Kにおける動作検証を実施。回路のレイアウト設計に誤りを確認。	△	回路のレイアウト設計の誤りを訂正し、2020年9月までに静磁場回路の動作実証見込み。
	デコーダ／マルチプレクサを設計試作し、4.2Kにおいて動作検証。1対16出力を目標	1対16デコーダ／マルチプレクサを設計試作し、4.2Kにおいて動作を検証した。	○	
	マイクロ波スイッチを回路シミュレーションにより性能評価。数GHz程度のマイクロ波をオンオフし、その最大振幅を連続的に可変し、位相を0- π 間で連続制御を目標	AQFPならびにSFQ回路を用いた可変振幅マイクロ波スイッチを提案した。 可変振幅マイクロ波スイッチを設計試作し、4.2Kにおいて基本動作を検証した。	○	
事業項目 ⑥ 量子ダイナミクス の高速並列シミュレーションによる量子ア	量子アニーリングのコードを実装、高メモリ帯域並列計算機上での量子アニーリングのシミュレーション性能を	並列計算機用のシミュレーションコードを開発。高メモリ帯域並列計算機上で量子アニーリングの性能評価。	○	超伝導パラメトロンダイナミクスの物理レベルでのシミュレーションを行う。

ニーリングの性能評価の研究開発 (NEC、大阪大学)	評価。			
-------------------------------	-----	--	--	--

(3) 成果の意義

<目標に対する達成状況と意義>

本研究開発プロジェクトの研究開始から2020年6月までの達成状況は、表2-3.2-で示したように、各研究開発項目とも概ね計画どおりに進捗している。一部試作に係わる課題は2020年9月までに解決する見込みである。ここまで獲得した要素技術が基盤となり、本研究開発プロジェクト後半において、量子ビット数を拡張した動作実証を達成可能と考えている。

一方、量子ビットに適用する3次元立体配線の分野では、超電導かつマイクロ波伝達特性に優れたTSVと量子ビットを劣化なく接続できる超電導バンプが世界的に研究・競争が活発化している(Google、IBM等)。3次元立体配線に係わる研究開発に関しては、本研究開発プロジェクトの国際競争上の優位性を維持、伸長するため、プロジェクト後半において強化が必要な分野と考えられる。

<成果の普及>

研究計画に「事業項目⑦成果最大化と普及促進に向けた取組」を期間中に追加し、展示会等における成果の発信を通じた、具体的な実用化につながるユーザの探索を実施した。展示会の展示においては、研究開発対象である量子アニーリングマシンのモックアップ機を製作して一般公開し、ハードウェアの構成や機能の説明を展示会来場者へ幅広く行うことで、ユーザ探索のツールとして活用を図った。

また、本研究開発プロジェクトの成果は、各参画機関が成果の発信に努めるとともに、参画する全機関で構成される知財運営委員会を組織して、論文発表、学会発表、講演等の発信活動や、特許出願等の知財化について情報共有を行っている。成果普及活動の実績は添付資料の表に記載した。

そのほか、本研究開発プロジェクトに関連する2件のプレスリリースを行った。

- ・ 事業採択に関してプレスリリース 2018年10月9日発表
 「高効率・高速処理を可能とする量子アニーリングマシンの研究開発に採択
 ～モビリティ・金融・創薬など多様な産業分野の組合せ最適化問題の解決へ～」
https://jpn.nec.com/press/201810/20181009_04.html 等
 (英文 2018年12月12日発表)
https://www.nec.com/en/press/201812/global_20181212_03.html 等
- ・ 日本電気株式会社が、本研究開発の進捗を含む取り組みに関してプレスリリース
 2019年12月20日発表
 「NEC、量子コンピューティング領域に本格参入
 ～スーパーコンピュータを活用したアニーリングマシンによる共創サービスを提供開始～」
https://jpn.nec.com/press/201912/20191220_01.html

なお、本研究開発プロジェクトに関連する受賞実績は下記のとおりである。

- ・ 西森秀稔, C&C 賞, 研究題目「量子アニーリングの提唱と、同概念に基づく計算機創出の基礎となったランダムスピン系の研究に関する功績」、
受賞日平成 30 年 11 月 28 日

個別の研究開発テーマにおける詳細は、事業項目ごとに 3.2.1～3.2.7 項に示す。

3.2.1 研究開発サブテーマ「高コヒーレンス超電導パラメトロンアニーリング素子の研究開発」

3.2.1.1 概要

(1) 平面回路 4 ビット動作

高い量子コヒーレンスを維持したまま集積化可能な超電導アニーリング素子を開発する。超電導アニーリングマシンはすでに D-wave 社が製品化を行っているが、D-wave 社の素子のようにジョセフソン接合を多層膜積層プロセスで作製した場合、現状では、絶縁層の誘電ロス等の影響により、高いコヒーレンスは望めない。一方、ゲート型量子計算機用の超電導量子ビットの作製方法として一般的に用いられるアルミニウムの斜め蒸着法を用いて高コヒーレンスの量子アニーリング素子を開発しようとする研究が北米を中心に行われている。アニーリング用素子においては、ゲート型と異なり、大きなダイナミックレンジで、なるべく多くのビット間を結合させる必要があるため、コヒーレンスの維持と集積化の両立が大きな課題である。

我々はこれを解決する手段として、超電導パラメトロンを用いたアニーリング素子の開発に取り組む。超電導パラメトロンは、我々が 2014 年に高精度の量子ビット読み出しデバイスとして開発したが、最近、超電導パラメトロン自体を量子ビットとしてアニーリング計算に用いることが出来るという理論提案がなされている。この方式では、量子ビット間の相互作用は、各パラメトロンへの注入マイクロ波で実装されるが、注入マイクロ波の強度とパラメトロンの光子の寿命やコヒーレンス時間は基本的には無関係である。加えて、各量子ビットは隣接する量子ビットとのみ結合出来れば十分である。従って、超電導パラメトロンを用いた本方式では、上記のコヒーレンスの維持と集積化のトレードオフは回避できると期待できる。

我々は、まず高コヒーレンス(必要条件として Q 値 $>10^5$)な超電導パラメトロン素子を用いて、4 ビットの動作実証を目指した研究開発に取り組んでいる。

(2) インターポーザを用いた立体配線による集積化技術開発

平面上に多数の量子ビットを配置したチップにおいては、各量子ビットへの制御、読み出し信号線の配線が問題となる。量子ビットの集合のうち周辺部に配置された量子ビットに対しては、同一平面内からの配線が可能だが、内部の量子ビットに対しては、何らかの立体的な配線を用いざるを得ない。本研究では、量子ビットとは別のインターポーザチップを準備し、それらをフリップチップボンディングにより接続するという方法で、立体配線を実現する(図 2-3.2.1-1)。インターポーザの表面(量子ビットチップ側)には、信号線以外はグランドプレーンを敷き、量子ビットを電磁場環境的に遮断する。信号線はインターポーザに形成された超電導 TSV を通って、インターポーザの裏面へ配線する。この技術により高コヒーレンスな量子ビットを集積化することが可能となる。このインターポーザの作製について、3.2.2 項において説明する。

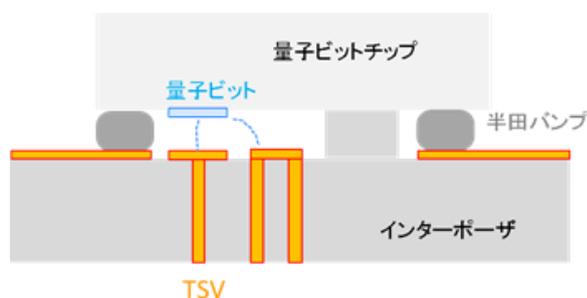


図 2-3.2.1-1 量子ビットチップとインターポーザからなる 3 次元配線の模式図

3.2.1.2 最終目標と根拠

最終目標(2022 年度末)	現状	達成見通し
立体配線を用いた 8 ビット回路の動作実証	平面回路結合 2 ビットパラメトロン試料の作製、評価を行い、パラメトリック発振のビット間の相関を確認した。	○
立体配線を用いた 100 ビット回路を用いて、各超電導パラメトロン ⁵ の Q 値(コヒーレンス)が、 10^5 を維持していることを実証	4 ビット回路の立体配線回路を試作中。大規模立体配線のための要素技術を検証。	○
チップ間接続による集積化技術開発において、パラメトロン ⁵ の発振状態を、別チップの超電導パラメトロンに転写できることを実証	2020 年度後半より検討開始	○

最終目標(2022 年度末)	目標設定の根拠
立体配線を用いた 8 ビット回路の動作実証	<p>本目標と事業項目②の目標を達成することで、2,000 以上の多ビット化の可能性を示せる。</p> <p>LHZ 方式のユニットセルを動作させ、100 ビット積層構造を構築できれば、実際には設計、製造技術として 100 ビット以上に拡張するための技術を獲得できたと理解できるため、妥当な目標である。</p> <p>チップ間接続は量子チップを複数使用した多ビット化に必須の機能であり、発振状態の転写はこの機能の実証として妥当な目標である。</p>
立体配線を用いた 100 ビット回路を用いて、各超電導パラメトロン ⁵ の Q 値(コヒーレンス)が、 10^5 を維持していることを実証	
チップ間接続による集積化技術開発において、パラメトロン ⁵ の発振状態を、別チップの超電導パラメトロンに転写できることを実証	

3.2.1.3 目標の達成度

中間目標	成果	達成度	今後の課題と解決方針
試作装置、測定系立ち上げ完了	産総研内 NEC ラボに量子ビット評価装置(希釈冷凍機、3He 冷凍機、自動運転が可能な測定システム等)、作製装置(斜め蒸着装置、室温接合抵抗評価システム等)を立ち上げ、作製から評価まで一貫して行うことが出来る環境を構築。	○	
立体配線を用いた単一パラメロン回路動作実証	作製プロセスの改善により、パラメロン共振器の内部 Q 値が 1.1×10^5 と、目標としていた 10^5 台を達成した。 平面回路結合 2 ビットパラメロン試料の作製、評価を行い、パラメトリック発振のビット間の相関を確認した。また、2 ビットイジング問題の求解についても予備的な結果を得た。	△	立体配線はコロナ禍が試作評価に影響。立体回路(基本構造サンプル)の磁場印加による共振周波数変動の測定により、構造実証を確認済。2020 年 9 月までに製造完了させる試作では、パラメロン回路の動作実証を達成見込み。

概ね計画通りに研究開発が進んでおり、最終目標は達成する見込みである。

3.2.1.4 成果と意義

(a) 量子ビット評価用装置類の導入

2018 年度から 2019 年度に産総研内に新規に設置した量子ビット評価装置の希釈冷凍機、3He 冷凍機それぞれについて、マイクロ波ケーブル、アンプ等の配線や計測機器のセットアップを行い、デバイス評価環境の立上げを完了した。なお、これら評価装置は自動運転が可能となっている。以下、これら装置を活用した超電導パラメロン素子の試作、評価状況を報告する。

(b) 平面回路超電導パラメロン素子の開発

素子設計では、分布乗数型パラメロン素子において、作製プロセスの改善により、内部 Q 値が 1.1×10^5 となり、目標としていた 10^5 台を達成した。

次にこの分布乗数型パラメロンをキャパシタンスで結合した 2 ビットパラメロン回路を設計し、試料の作製、評価を行った。

まずスペクトロスコピーの手法により、二つのビット間の相互作用に由来する反交差を確認した。相互作用の大きさはほぼ設計通りであった。次に二つのビットの共振周波数が等しくなる条件で、二つの量子ビットを同時に発振させたところ、二つのビットの発振位相が揃った状態が実現する確率が、発振位相が異なる状態が実現する確率よりも高くなるという、パラメトリック発振の相関を確認した。

以上の実験を二つのパラメロンに外部注入光を入力することで、イジング問題におけるビット間の相互作用に加えて、局所磁場を実現することができる。そのような 2 ビットイジングハミルトニアン of 求解実験をすでに行い、現在その結果について定量的評価を行っている。

この 2 ビットパラメロン技術の開発成果は、本研究開発プロジェクトで取り組む立体配線を用いた 8 ビット回路の動作実証において不可欠な課題で、大規模集積化パラメロンアーキテクチャーの開発に適用できる。この成果を、次の目標である集積化ユニットセル(4 ビット)の開発に活かすことで、開発の加速をはかる。

またこの成果は、マイクロ波領域での高コヒーレンス量子回路をベースとする技術のため、ゲート型量子計算機開発に展開できる可能性があると考えられる。また、パラメロンのパラメトリック増幅器としての活用が、様々な高感度計測技術の開発につながることを期待できる。さらに量子コンピュータ分野に限らず、量子センシング分野にも本事業で開発した技術は利用可能である。

課題としては、まず 1 ビット発振特性が、まだ完全には定量的に理解できていない点である。共振周波数の磁場依存性の非線形性のために、ポンプ印加時に実効的な共振周波数が増えていることが一因と考えており、非線形性を抑制するデバイス構造をテストしている。

また、2 ビット結合回路において、制御信号のビット間クロストークが予想以上に大きく、定量評価を複雑にしている。今後エアブリッジ構造を導入してクロストーク低減を図る予定である。

(c) 平面回路超電導パラメロン素子の作製

超電導共振器やキャパシタなどの超電導薄膜回路パターンを作製する技術としては、産総研・GRAVITY の i 線ステップや反応性イオンエッチング装置を利用して作製する手法を確立した。i 線ステップの利用により従来よりも短時間で高解像度のパターン形成が可能になった。3 インチウェハ全面に量子回路パターンを形成する場合、従来のマスクレス露光機のステップアンドリピート方式で 80 分程度、同マスクレス露光機のスキャン方式で 20 分程度を要していた。これに対し現在の i 線ステップでは 1 分程度で露光が完了するため大幅な作業効率向上を実現した。これに加えて i 線ステップ利用により解像度も向上し、従来のマスクレス露光機では解像度 $1\mu\text{m}$ で設計値に対して $0.7\mu\text{m}$ 程度線幅が縮小していたのに対し、i 線ステップでは解像度 $0.5\mu\text{m}$ で線幅の縮小はほぼ無視できるようになった。

また微小なジョセフソン接合を作製する技術としては、産総研・NPF の電子線描画装置を用いて、超電導薄膜回路パターン形成済みのウェハ上に、ジョセフソン接合作製用レジストマスクをアライメント描画により形成する技術を確立した。従来自社で実施していた条件の 5 倍の電流値かつ 5 倍の速度で描画し、寸法・形状の異常なく描画できることを確認した。

これに加えて、ジョセフソン接合形成用斜め蒸着装置を産総研・GRAVITY に設置し、組立・動作確認を問題なく完了し量子ビットの試作を開始した。本装置の特徴としては清浄な超高真空環境での接合作製が効率よく実施できることである。従来の装置では一試料ずつ長時間真空引きするため作業効率が低かったが、本装置は真空保管室を保有しているため、多数の試料を同時に長時間真空引きした後連続して接合作製が可能であるため、ジョセフソン接合作製の効率が良い。また超電導パラメロン素子を作製するために適している酸素分圧でのダイナミック酸化ができる。従来のため込み式酸化と比較して清浄な環境でのトンネルバリア形成が可能となった。

また、素子作製関連装置として室温接合抵抗評価システムを立ち上げた。

以上のように素子作製から評価まで一貫して行うことが出来る環境を産総研内に構築した。

これらの素子作製装置類を利用して、新規に設計した超電導パラメロン素子の試作を開始し、従来自社で作製していた素子と比較して良好な特性を得ている。また後述する通り、素子評価の結果予想外に量子ビット間のクロストークが大きいこと、この抑制のため、チップ上で共振器や制御配線によって切断分離されたグランド電極間を電氣的に接続するエアブリッジの作製プロセス開発を新たに開始し、作製のめどをつけた。

上述の評価環境を用いて、産総研内で作製したデバイスの特性評価を行い、パラメロンデバイスの基本的な操作や読出しが行えることを確認した。特にパラメロン共振器の内部 Q 値が、作製プロセスの改善により我々のグループとしては初めて 1.1×10^5 と、目標としていた 10^5 台を達成したことを確認した。

結合 2 ビットパラメロン試料の作製、評価を行い、パラメトリック発振のビット間の相関を確認した。また、2 ビットイジング問題の求解についても予備的な結果を得た。

斜め蒸着法によるジョセフソン接合作製方法は高コヒーレンス超電導量子ビット素子を作製するための現在知られている唯一の方法であり、本研究開発プロジェクトで用いる高コヒーレンス超電導パラメロン素子の作製に欠かせない技術である。本技術は量子ビットの作製にとどまらず、微小ジョセフソン接合を用いる素子・回路の作製に広く役立つものである。

3.2.1.5 成果の普及

成果普及活動の実績は添付資料の表にリストに記載している。

3.2.2 研究開発サブテーマ多ビット化を支える 3 次元実装技術の研究開発 (a) 超電導 TSV を有するインターポーザの開発」

3.2.2.1 概要

当該研究項目では、超電導シリコン貫通電極(TSV)技術、チップ接合技術、熱設計技術について製造・計測環境構築を含め研究開発を行った。超電導 TSV 技術については、直径 $25\mu\text{m}$ 以下かつ深さ $300\mu\text{m}$ のホール形成に向けたドライエッチング条件を検討し、TSV ホールの側壁粗さ(スキャロップ)の発生条件について、ガス切り替え条件等を含め装置仕様に関わる条件について明らかにした。また電解アルミニウムめっきでの超電導金属充填を試行し、微細孔への超電導材料充填の課題を明らかにした。チップ接合技術については計測・接合装置の導入とともに超電導バンプ方式における材料・構造の検討を進め、並行して直接接合方式におけるスパッタリング条件と接合部の表面粗さの関係と接合を妨げる酸化膜の除去手法を確認できた。極低温における熱設計技術について、有限要素法による解析環境の構築を行い、外挿法により推定した材料特性と簡易解析モデルにより TSV による放熱特性検証を可能にした。

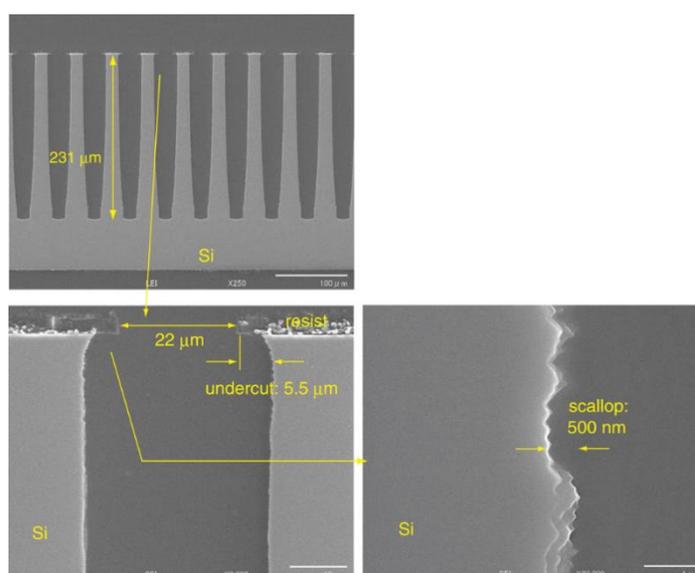


図 2-3.2.2-1 ドライエッチングによる TSV ホール形成条件確認結果

3.2.2.2 最終目標と根拠

最終目標(2022 年度末)	現状	達成見通し
立体回路 8 ビット動作実証	結合 2 ビットパラメロン試料の作製、評価を行い、パラメトリック発振のビット間の相関を確認した。	○
立体回路 100 ビット積層構造構築	4 ビット回路の立体配線回路を試作中。大規模立体配線のための要素技術を検証。	○

最終目標(2022 年度末)	目標設定の根拠
立体回路 8 ビット動作実証	本目標と事業項目①の目標を達成することで、2,000 以上の多ビット化の可能性を示せる。LHZ 方式のユニットセルを動作させ、100 ビット積層構造を構築できれば、実際には設計、製造技術として 100 ビット以上に拡張するための技術を獲得できたと理解できるため、妥当な目標である。
立体回路 100 ビット積層構造構築	

3.2.2.3 目標の達成度

中間目標	成果	達成度	今後の課題と解決方針
25um 径以下の TSV 工程が可能な超電導めっき技術や超電導材料による溶融金属充填法を検討し、プロセス立ち上げを完了	25um 径以下の超電導 TSV 工程が可能なプロセスの立ち上げ。超電導バンプと制御ポストを両立するチップ接合技術を構築。	○	2020 年 9 月までに量子ビットチップとインターポーザを接合するためのプロセス構築を達成見込み。
立体配線を用いた単一パラメロン回路動作実証	立体配線を用いた動作実証は、立体回路の磁場印加による共振周波数変動の測定を実施。	△	立体配線はコロナ禍が試作評価に影響。立体回路(基本構造サンプル)の磁場印加による共振周波数変動の測定により、構造実証を確認済。2020 年 9 月までに製造完了させる試作では、パラメロン回路の動作実証を達成見込み。

3.2.2.4 成果と意義

この多ビット化を支える 3 次元実装技術の開発成果は本プロジェクトで取り組む量子ビットの多ビット化に不可欠な課題であり、この TSV 製造技術・チップ接合技術の開発は本プロジェクトで取り組む超電導アニーリングマシンの多ビット化において不可欠な課題であり、超電導量子ビットチップ同士をつなぐ超電導結合経路を搭載する超電導インターポーザに適用

できる。この成果を超電導インターポーザとそれを用いた超電導アニーリングマシンの開発に活かすことで、スケーラブルな多ビット化が可能となり事業化の加速をはかることができる。

また熱設計における成果は量子ビットのみならず様々なデバイスに応用できるため、将来の古典超電導回路によるインターフェース回路部にも開発した技術を利用可能である。

研究開発上の課題としては、低温・低加重フリップチップ実装におけるさらなる高密度化、高アスペクト比 TSV におけるマイクロ波信号伝送の改善、製造後の試験の効率化に関する施策強化が必要である。

3.2.2.5 成果の普及

成果普及活動の実績は添付資料の表にリストに記載している。

3.2.3 研究開発サブテーマ「多ビット化を支える 3 次元実装技術の研究開発 (b) プローブピンによる信号取り出し技術の開発」

3.2.3.1 概要

超電導パラメロン素子を量子アニーリングマシンとして実際に動作させるため、極低温下で動作する超電導チップと室温に置かれる高周波エレクトロニクスの間で多数のマイクロ波信号の送受信が必要である。本目的実現に向け、超電導チップ、インターポーザ、プローブピンからなる立体的なモジュール化とする 3 次元実装技術の開発を進めている。なお、プローブピンの特性評価に関係を有するため、3.2.1 項に含まれている立体回路におけるインターポーザ評価/検討については、本項にて記載を行う。

それぞれの進捗は、以下の通り。

- ・超電導チップとインターポーザの接続は、Nb-Nb、Nb-In の構造を用い、低温プロセスでの接合状態を確認。特性評価のサンプル作製に適用した。
- ・常電導版のインターポーザ評価は、事前評価を通じ外注先を選定。特性評価のサンプル作製を進め、特性計測に着手した。
- ・プローブピンの検討では、ハウジングの位置精度とインターポーザへのプローブ接触を確認。特性評価用として 164 ピンのプローブピン・ソケットの試作を完了。

詳細は、3.2.3.4 に説明する。

3.2.3.2 最終目標と根拠

最終目標(2022 年度末)	現状	達成見通し
100 ビットインターポーザを用い、実チップと接続実証	プローブピン数 164 のソケットを設計し、TEG チップを用いて評価着手。	○

最終目標(2022 年度末)	目標設定の根拠
100 ビットインターポーザを用い、実チップと接続実証	プローブピンを用いて 100 ビットインターポーザと量子チップ接続を実証できれば、実際には設計、製造技術として 100 ビット以上に拡張するための技術を獲得できたと理解できるため、妥当な目標である。

3.2.3.3 目標の達成度

中間目標	成果	達成度	今後の課題と解決方針
4bit チップ用の TEG チップ、常電導 TSV インターポーザと組み合わせ評価。4 ビットチップの評価が行えるレベルのソケットを完成	<ul style="list-style-type: none"> ・インターポーザから、フリップチップボンディング接続された超電導チップ上の量子ビット(2 および 4 ビット)の制御、読出しを行う配線を試作評価。 ・プローブピン数 164 のソケットを設計し、TEG チップを用いて評価着手。 	○	

3.2.3.4 成果と意義

本節の説明は、超電導チップ、インターポーザ、プローブピン(ソケット)の検討連続性にあわせ、3.2.1 項の内容を含めて記載を行っている。

中間目標に向けた検討/評価としては、(1)超電導材料による超電導チップとインターポーザとの接続検討、(2)常電導版インターポーザの開発と高周波特性評価、(3)プローブピン性能評価(常電導版インターポーザとの組み合わせを含める)となる。以下、それぞれについて説明を行う。

(1) 超電導材料による超電導チップとインターポーザとの接続検討

超電導チップと 3.2.2 項に記載の超電導 TSV を用いたインターポーザにて実施する接続構造としては、接続部を超電導材料とすることが必要条件となる。このため、接続評価では、超電導チップとのプロセス親和性を主眼に置いた Nb-Nb 構造と、接続安定化を主眼に置いた Nb-In 構造の二つを候補として推進している。Nb は硬度が高いため接続面の高い平坦性を必要とすることから、延性のある In 構造を含めている。超電導チップとの接続構造としては、量子のコヒーレンスに関係する接続高さの制御性を考慮し、金属ポストを設け、その表面を超伝導材料とする構造を選択した。また、超電導チップの特性劣化を鑑み 100°C未満の低温プロセスを選定する。

Nb-Nb 構造は、金属結合を実現する基本評価から実施した。接続方法としては、低温プロセスの制約より表面活性化接合を選択。表面に Nb 膜を形成した初期評価サンプルにおいて、アモルファス層を介した接合を達成(図 2-3.2.3-1)した。本結果を受け、金属ポストを設けたダミーチップによる接続評価を実施し、引き剥がし評価にて接続部での金属破壊モード(図 2-3.2.3-2)を確認した。

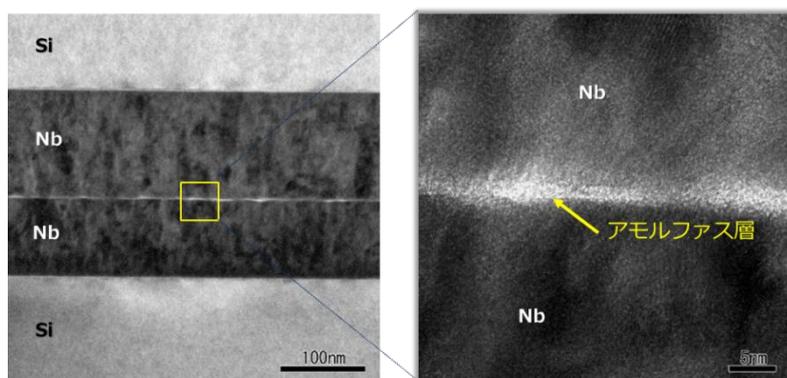


図 2-3.2.3-1 Nb-Nb 接続状態(TEM 像)



図 2-3.2.3-2 Nb-Nb 接続破断面

また、低温時の応力緩和や接続品質の安定化を狙いとした Nb-In 構造では、延性のある In を活かし、表面活性化接合のみではなく、超音波接合の検討も実施。表面活性化接合では、Nb と In 間におけるアモルファス層の生成を確認、金属ポストを設けたダミーチップでの引き剥がし評価にて接続部での金属破壊モードを確認した(図 2-3.2.3-3、図 2-3.2.3-4)。

超音波接合では、In と Nb、及び Ti 密着層間で反応層の生成を確認、金属ポストを設けたダミーチップでの引き剥がし評価にて接続部での金属破壊モードを確認した(図 2-3.2.3-5、図 2-3.2.3-6)。

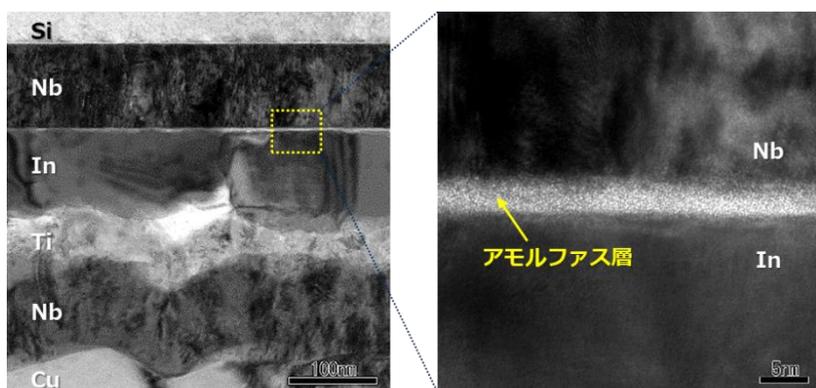


図 2-3.2.3-3 表面活性化接合による Nb-In 接続状態(TEM 像)

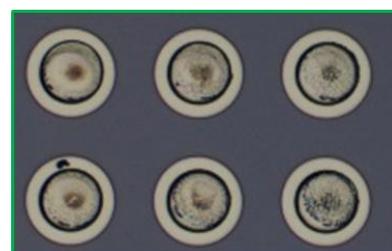


図 2-3.2.3-4 Nb-In 接続破断面

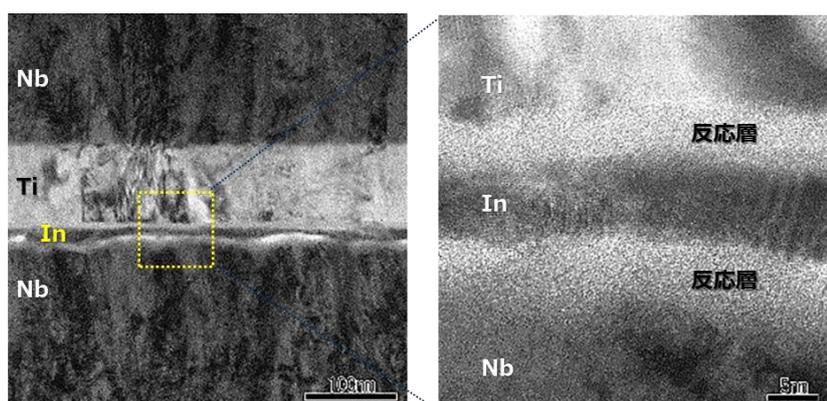


図 2-3.2.3-5 超音波接合による Nb-In 接続状態(TEM 像)

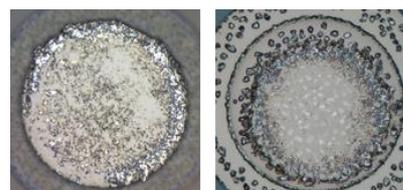


図 2-3.2.3-6 Nb-In 接続破断面

以上より、超電導材料を用いた接合を実現することができた。両接続構造とも、超電導チップを用いた特性評価用として試作を行っており、今後評価へと進む予定。

(2) 常電導版インターポーザの開発と高周波特性評価

3.2.2 項で説明を行っている超電導 TSV インターポーザの開発を実施した後に、他の項目の開発を進めると実現までの期間へのインパクトが大きいため、外部より入手可能である常電導 TSV(Cu)を用いた常電導版インターポーザを用い、(1)の接続検討とあわせて高周波特性の評価を推進した。当然ではあるが、3.2.2 項の超電導 TSV インターポーザへ結果を展開し、最終的に統合する予定である。

最初に外注先の常電導版インターポーザの実力把握として、2018 年度に二か所の外注企業(外注 A、外注 B)にて、事前評価のインターポーザ試作を実施した。外注 A は、TSV の Cu めっき埋め込みができない点、配線パターンの剥離が発生しやすい点を代表とした問題が確認された。一方、外注 B は、TSV の Cu めっき埋め込みが実施できる点、TSV をつないだ Daisy Chain パターンでの導通確認(図 2-3.2.3-7)などで外注 A より安定したパターン

形成が確認できた点に加え、各工程条件の開示や変更への柔軟な対応も可能であったため、特性評価用のインターポーザ作製先として選定した。

試作先選定後、事前評価で確認された結果より、グランド回路配置・プロセスチェックパターンなどの設計を施し、2019 年度下期に特性評価用の常電導版インターポーザ作製と(1)記載の表面活性化接合による試作を実施した。超電導チップとインターポーザにおける立体回路の基本構造(図 2-3.2.3-8)の開発に成功した。本基本構造サンプルを用いて、周波数特性の評価を進めている。

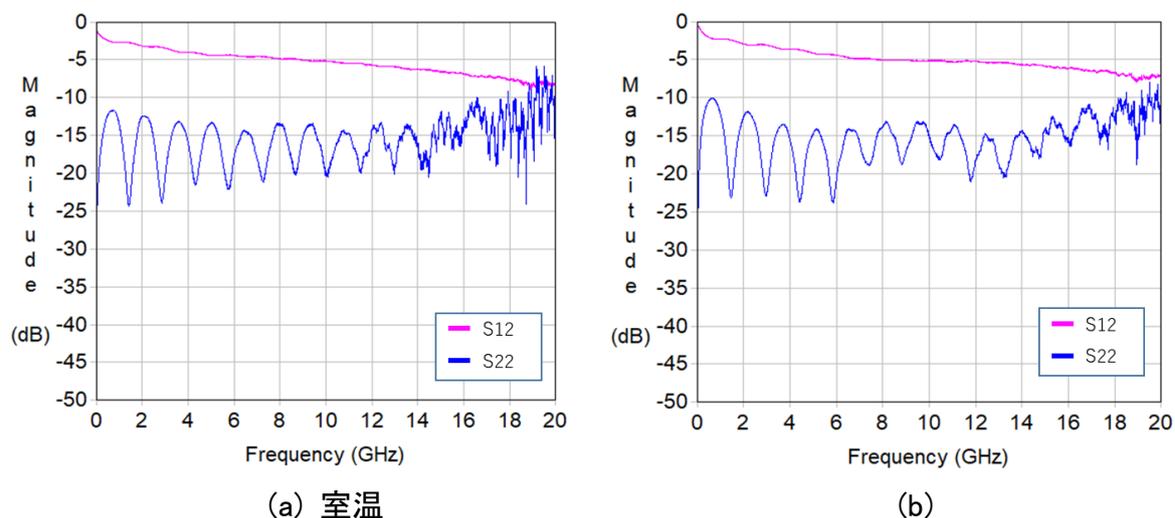


図 2-3.2.3-7 TSV 導通評価結果

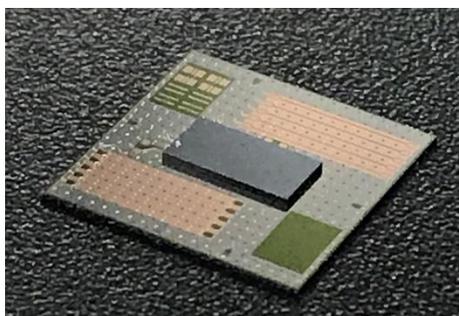


図 2-3.2.3-8 立体回路(基本構造サンプル)

(3) プローブピン(ソケット)性能評価

プローブピンとしての基本構造を検討するにあたり、セラミック製ハウジングにおける加工精度と仕上り評価を実施。プローブピンを設置する孔ピッチを計測し、 $\pm 10\mu\text{m}$ 以内に収まることを確認した。4bit の超電導チップサイズを想定した 5mm 角を模擬した評価サンプルを用い、ハウジングにプローブピンをセットした状態にて押し込みのストローク範囲と、インターポーザとの位置合わせ評価を実施し、プローブピンとしては非磁性となる BeCu を主体とした構造とすること、接続設定としてストロークの 60%を押し込んだ状態を基本とすることを選定した。また、位置合わせ精度は $\pm 50\mu\text{m}$ 以内となることを確認し、初期に設定した接続端子サイズに収まることを確認した。(2)で特性評価を開始した立体構造への 164 ピンとなるプローブピン、ハウジングの作製を完了(図 2-3.2.3-9)しており、今期の特性評価を見込んでいる。



図 2-3.2.3-9 164 ピン(ソケット)外観

この超電導チップ、インターポーザ、プローブピンによる立体回路、モジュール化とする 3 次元実装技術の開発成果は、本プロジェクトで取り組む超電導パラメトロン素子を量子アニーリングマシンとして実際に動作することにおいて不可欠な課題である。超電導材料を用いた接続とインターポーザを立体的に活用し、電磁界影響を制御へつなげることで量子のコヒーレンスを長時間化への実現に発展させていくことができる。また、立体回路とする成果を、量子ビットの高集積化への開発に活かすことで、量子アニーリングマシンとして、より複雑な組み合わせが想定される交通サービス、都市設計、創薬、製造プロセスの最適化などの事業化展開に期待できる。

また、この成果は、常電導材料による特性評価が含まれており、常電導材料で代替できる構成を見出す成果が得られた場合、レアメタルなど限られた材料の利用低減を見出せる可能性を有する。また、3 次元実装構造、ソケットについては低温下における高周波接続要望を満たすこととなり、宇宙開発などへ利用可能である。

3.2.3.5 成果の普及

成果普及活動の実績は添付資料の表にリストに記載している。

3.2.4 研究開発サブテーマ「多体相互作用の高効率な表現方法の研究開発」

3.2.4.1 概要

長距離相互作用をハードウェア上で直接実現する代わりに、近接相互作用のみで同等の機能を実現できる LHZ 法の効率をより向上させるため、既存の RLB 法の評価や、LHZ 法における各係数の時間制御に関する新手法の開発を行う。理論的研究とシミュレーションによる数値検証を併用し、最終的には実機でのハードウェア性能評価により実効性を確認する。

3.2.4.2 最終目標と根拠

最終目標(2022 年度末)	現状	達成見通し
中規模問題における手法確立とハードウェア性能評価	理論的研究と中規模問題での数値シミュレーションが順調に進行している。	○

最終目標(2022 年度末)	目標設定の根拠
中規模問題における手法確立とハードウェア性能評価	LHZ 法とその拡張版のハードウェアでの実現は前例がなく、中規模問題での手法確立自体が大きな意義を持つ。

3.2.4.3 目標の達成度

中間目標	成果	達成度	今後の課題と解決方針
RBL 法の小規模問題における性能評価と課題抽出	・LHZ 法の拡張が RBL 法に限られるか、他に開発されている可能性を調査。LHZ-RBL 法の最適な形式の理論的説明。	○	

3.2.4.4 成果と意義

LHZ 方式の実装において、制約項の時間制御を問題項と独立に行うことにより、正解を得る確率が大幅に向上することを見出した(図 2-3.2.4-1 の青い破線の制御を赤い破線に)。

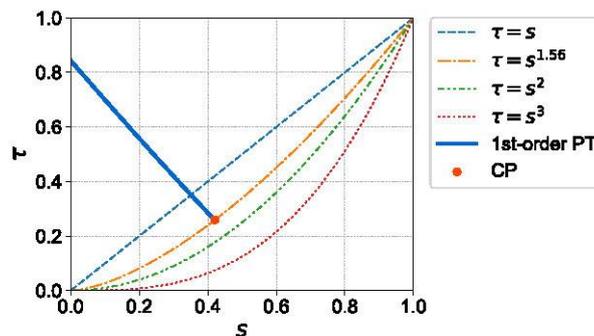


図 2-3.2.4-1

研究開発上の課題としては、理論解析と数値計算で得られた結果の物理的、直観的な説明は自明ではなく、今後の課題として取り組みを強化する。

3.2.4.5 成果の普及

成果普及活動に努め、研究開始時より新聞・雑誌等で 30 件の報道があり、国内外で約 50 件の招待講演を行った。論文、学会発表、新聞・雑誌報道の実績は添付資料の表にリストに記載。

3.2.4.6 その他

「3.2.4.4 成果と意義」の項目で記載した成果は、本研究開発の開始に先立つ研究成果に基盤を置いているが、該当の論文(Y. Susa, Y. Yamashiro, Y. Yamamoto, H. Nishimori, Exponential speedup of quantum annealing by inhomogeneous driving of the transverse field, J. Phys. Soc. Jpn. 87, 023022 (2018))が、Journal of the Physical Society of Japan(日本物理学会論文誌)の 2019 年高引用論文トップ 10 に選出された。

3.2.5 研究開発サブテーマ「量子アニーリング機構の設計最適化技術に関する研究開発」

3.2.5.1 概要

量子アニーリングは、原子のスピンなど量子レベルの現象を用いた計算機構で問題を解く手法である。しかし、その量子計算機構の設計および最適化においては、量子計算機構の通常の計算機構を用いたシミュレーションが必要不可欠である。本研究では、量子計算機構の通常のデジタル計算機構を用いたシミュレーションおよびその高速化の研究、ならびに量子計算機構アーキテクチャ最適設計に関する研究を行う。

3.2.5.2 最終目標と根拠

最終目標(2022年度末)	現状	達成見通し
ハードウェアアルゴリズムの研究では、計算性能をプロトタイプシミュレータと比べてソフトウェア上で2倍にすることを目標	圧縮した入力データを用いることにより、32地点の巡回セールスマン問題で2.6倍の高速化を達成した。他の問題に対してテストしている。	○
高速化に関する研究では、プロトタイプシミュレータと比較して100倍の量子を10倍の速度で処理することを目標	ソフトウェアのプロトタイプシミュレータに対して、ハードウェア化で2倍の高速化を達成した。解の精度が異なる場合があり調査している。	○
アーキテクチャ最適設計では、いくつかのアプリケーションを動作させ、実性能評価	巡回セールスマン問題や二次割り当て問題について、アーキテクチャをいくつか考え実行を試している。	○

最終目標(2022年度末)	目標設定の根拠
ハードウェアアルゴリズムの研究では、計算性能をプロトタイプシミュレータと比べてソフトウェア上で2倍にすることを目標	ハードウェア化で高速化は望めるが、元となるアルゴリズム自体の良さが重要である。比較の基準となるソフトウェアシミュレータの、他の研究期間での進歩を考え、通常より2倍の性能とすることで、ハードウェア化自体の価値を確立することとした。
高速化に関する研究では、プロトタイプシミュレータと比較して100倍の量子を10倍の速度で処理することを目標	量子は1ビットで表せるため、ハードウェアでの処理に適している。ただし扱えるメモリのサイズがハードウェアでは小さい場合が多いので、100倍程度が限度であると判断した。速度については、並列化の効果を10倍と予測した。
アーキテクチャ最適設計では、いくつかのアプリケーションを動作させ、実性能評価	量子アニーリングシミュレータ/エミュレータの実応用として、どのようなアーキテクチャが最適であるかの評価を実際のアプリケーションで行うこととした。

3.2.5.3 目標の達成度

中間目標	成果	達成度	今後の課題と解決方針
擬似量子機構実現	超伝導パラメロン素子に基づく手法のソフトウェア擬似量子アニーリングのシミュレーション方式の検討、プロトタイプシミュレータの開発。スピン間の係数の表現や符号化に関する研究により、データ量を 1/10 に削減。	○	データ量の削減率が元の入力のサイズに依存するため、問題によっては 1/10 にならない場合もある。データ削減手法に用いられているパターン検索手法の改良により改善を行う。
擬似量子機構高速化	シミュレーション方式の HW 化方式の検討、FPGA 向け HW モジュールを設計。種々の係数表現や符号化法に対する HW 演算器の設計を行い、実際の問題で高速化を評価。エミュレーションによる並列化で、速度を 2 倍に高速化。	○	高速化において、解の精度が異なる場合がみられた。現在原因を調査中であり、アルゴリズムの改善で解の精度を安定させる。

3.2.5.4 成果と意義

以下の 3 つのサブテーマについて研究を行った。

(a) 擬似量子アニーリングのハードウェアアルゴリズムの研究

量子アニーリング機構の計算機を用いたシミュレーションで、ハードウェア化時のメモリ量の制約を考慮し、係数行列のデータ量の削減法の提案を行った。本提案については、大規模問題において 1/10 あるいはそれ以上に削減できることを確認し、情報処理学会 DA シンポジウムで発表した(2019 年 8 月)。また、削減データを直接用いるシミュレータを開発し、係数行列をそのまま配列に記憶する通常方式に比べて大規模問題で 2.6 倍の高速化を確認した。

(b) 擬似量子アニーリングの高速化に関する研究

削減データをそのまま用いるソフトウェアのシミュレータをベースにエミュレータの開発を行った。Xilinx 社の Vivado 高位合成システムを用いるとともに、ハードウェア向けにループのアンローリングと、複数のスピンの同時トグルなどを用いて、ソフトウェアのプロトタイプに対して 2 倍の高速化を達成した。しかし、得られる解の精度が異なる場合があり、原因を調査している。

(c) ハードウェア面からの量子アニーリングマシンアーキテクチャ最適設計

種々の量子アニーリングマシンのアーキテクチャの調査を行うとともに、実際に動作させるなどして各々の特性をまとめた。スピンあるいはそれを処理するモジュールの接続関係に応じて性能に差がでることがわかっており、接続関係を考慮したシミュレータ/エミュレータの開発を検討している。また、ハードウェアエミュレーションを用いて超電導パラメロン素子の高コヒーレント時間と解の品質の関係の明確化を検討している。

この量子アニーリングシミュレーション/エミュレーション技術の開発成果は、本プロジェクトで取り組む超電導パラメロン素子の高コヒーレンス性の大規模問題での評価およびアーキテクチャ最適化において不可欠な課題で、大規模デバイスの実現前評価方式などの開発に適用できる。この成果を、超電導パラメロン素子を用いた量子アニーリングマシンの開発に活かすことで、事業化の加速をはかる。

またこの成果は、量子アニーリングの汎用シミュレータとしても利用できるため、量子アニーリングのテスト利用に展開できる可能性があると考えられる。また、高速エミュレータの活用が、FPGA サーバーを用いたサービスにつながることを期待できる。さらに量子アニーリングマシン設計に限らず、一般の最適化問題の解決にも本事業で開発した技術は利用可能である。

3.2.5.5 成果の普及

成果普及活動の実績は添付資料の表にリストに記載している。

3.2.6 研究開発サブテーマ「量子磁束回路を用いた量子ビット用制御・読出し回路の研究開発」

3.2.6.1 概要

高速かつ超低消費電力動作が可能な断熱型量子磁束パラメロン(AQFP)等の超電導集積回路を用いて極低温において多数の超電導パラメロン量子ビットを直接制御し、その状態を読み出すことが可能な制御・読出し回路を研究開発する。具体的には、量子ビットに個別に直流バイアスを印加するための静磁場バイアス制御回路、量子ビットに対してアニーリング用のポンプならびにシグナルマイクロ波を印加するためのマイクロ波スイッチ、量子ビットの状態を読み出すための信号読出し回路、ならびに多数の量子ビットと制御・読出し信号を切り替えるデコーダ/マルチプレクサを研究開発する。

3.2.6.2 最終目標と根拠

最終目標(2022年度末)	現状	達成見通し
マイクロ波制御回路と信号読出し回路を単一の量子ビットと統合し、AQFP回路を用いたパラメトリックオシレータの状態制御と読出しに関する動作検証を10mK～50mKの極低温において行う。	AQFPを用いた1対16デコーダ/マルチプレクサの4.2Kでの動作検証、AQFPならびにSFQ回路を用いた可変振幅マイクロ波スイッチの4.2Kでの動作検証を行った。また、マイクロ波信号読み出し回路の基本設計を行い、回路シミュレーションにより高い電流感度を得た。	○

最終目標(2022年度末)	目標設定の根拠
マイクロ波制御回路と信号読出し回路を単一の量子ビットと統合し、AQFP回路を用いたパラメトリックオシレータの状態制御と読出しに関する動作検証を10mK～50mKの極低温において行う。	マイクロ波制御回路の4.2Kでの基本動作検証とマイクロ波信号読み出し回路の基本設計は終わったので、今後はこれらの極低温における動作検証を行う。その後、量子ビットと集積化することで、目標を達成できる見通しである。

3.2.6.3 目標の達成度

中間目標	成果	達成度	今後の課題と解決方針
静磁場バイアス制御回路を設計試作し、4.2Kにおいて動作検証。電流分解能4ビット、バイアス電流を16個の量子ビットに個別供給を目標	静磁場バイアス制御回路を設計試作し、4.2Kにおける動作検証を実施。回路のレイアウト設計に誤りを確認。	△	回路のレイアウト設計の誤りを訂正し、2020年9月までに静磁場回路の動作実証見込み。
デコーダ／マルチプレクサを設計試作し、4.2Kにおいて動作検証。1対16出力を目標	1対16デコーダ／マルチプレクサを設計試作し、4.2Kにおいて動作を検証した。	○	
マイクロ波スイッチを回路シミュレーションにより性能評価。数GHz程度のマイクロ波をオンオフし、その最大振幅を連続的に可変し、位相を0- π 間で連続制御を目標	AQFPならびにSFQ回路を用いた可変振幅マイクロ波スイッチを提案した。 可変振幅マイクロ波スイッチを設計試作し、4.2Kにおいて基本動作を検証した。	○	

3.2.6.4 成果と意義

静磁場バイアス制御回路に関しては、基本設計を行い、回路シミュレーションによりその特性を評価した。デコーダ／マルチプレクサに関しては1対16デコーダ／マルチプレクサを設計試作し、4.2Kにおいて動作を検証した。

マイクロ波制御回路(マイクロ波スイッチ)に関しては、AQFPならびにSFQ回路を用いた可変振幅マイクロ波スイッチを提案した。4.2Kにおいて基本動作を検証した。

量子ビット出力信号読み出し回路に関しては、AQFP回路を用いた読み出し回路を提案し、その高感度化を図った。回路シミュレーションにより、約16nAの電流識別感度を得た。

これらの技術により、量子ビットへの制御用マイクロ波の印加や量子ビットの状態の観測を低温部で行えるようになり、室温から低温部への制御線の数的大幅に削減できる。以上により、量子ビットのスケールアップが可能となる。また、これらの技術を発展させることで、低温での高速な量子フィードバック制御につなげることが期待できる。

研究開発上の課題としては、今までの動作検証は全て4.2Kで実施されているため、極低温での機能評価が行われていないことである。そのため、今後は極低温での測定を行う。

3.2.6.5 成果の普及

成果普及活動の実績は添付資料の表にリストに記載している。

3.2.7 研究開発サブテーマ「量子ダイナミクス的高速並列シミュレーションによる量子アニーリングの性能評価の研究開発」

3.2.7.1 概要

本研究開発プロジェクトで計画されている超伝導パラメトロンを用いた量子アニーリングは既存の磁束量子ビットを用いた量子アニーリングに比べ高い量子コヒーレンスを有することが期待される。この高い量子コヒーレンスがあった場合に組み合わせ最適化問題をとく上で、どのような有効性があるかはまだ明らかとなっていない。この点を明らかにするためには、擬似的に量子性を取り込んだシミュレーションではなく、実際の量子ダイナミクスをシミュレーションする必要がある。本項目では並列計算機を用いて量子アニーリングの実時間ダイナミクスをシミュレーションするためのコード開発を行い、量子アニーリングにおける量子性に起因する優位性の検証や、実機との性能比較を行うことを目的とする。

3.2.7.2 最終目標と根拠

最終目標(2022年度末)	現状	達成見通し
超伝導パラメトロンダイナミクスのシミュレーションを実装し、実機との比較	量子ビットレベルのシミュレーションによる量子アニーリングの実時間シミュレーションコードが完成している。	○

最終目標(2022年度末)	目標設定の根拠
超伝導パラメトロンダイナミクスのシミュレーションを実装し、実機との比較	物理レイヤからのシミュレーションを引き続き開発することによって、実験に即したシミュレーションを実行することができる。

現在、すでに量子ビットレベルの量子アニーリングの高速シミュレーション環境は整っており、全結合イジング模型のベンチマークを取得している。また、従来の量子アニーリングだけではなく、クエンチを導入して最適化問題を解く方法とその優位性の構築にむけた取り組みを進めている。実機のアプリケーションやその優位性を検証するうえではこのレベルで十分である。さらに、今後、超伝導パラメトロンを物理的にシミュレーションすることで、実機との比較を行うことができる、実機におけるノイズの影響の検証を行うことができるため、上記の最終目標が妥当であると考えられる。

3.2.7.3 目標の達成度

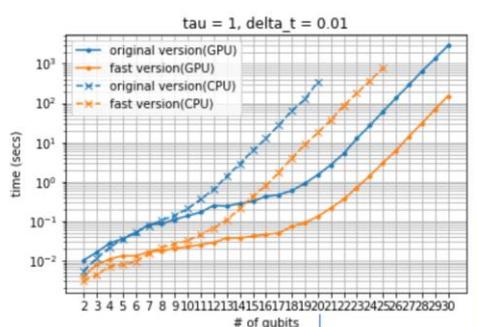
中間目標	成果	達成度	今後の課題と解決方針
量子アニーリングのコードを実装、高メモリ帯域並列計算機上での量子アニーリングのシミュレーション性能を評価。	並列計算機用のシミュレーションコードを開発。高メモリ帯域並列計算機上で量子アニーリングの性能評価。	○	超伝導パラメトロンダイナミクスの物理レベルでのシミュレーションを行う。

これまで、当初の目標である、量子アニーリングをシミュレーションするための高並列高速シミュレーションコード開発を行ってきた。30量子ビットの全結合量子アニーリングを、シミュレーションアルゴリズムの改善(約10倍)、GPUを用いた並列化(約10倍)によって現実的な時間でシミュレーションが可能となっている。このため当初の目標が達成されている。また、クエンチという従来の量子アニーリングでは行わない機構を導入した量子アニーリングについても開発されたコードを用いて検証を開始しており、当初の計画を上回る進展が得られている。

ただし、現段階のシミュレータは量子ビットレベルからのシミュレーションにとどまっており、超伝導パラメトロンによって実装される実機の挙動とは異なる。この問題を解決するために、物理レベルからシミュレーションを行うコード開発を今後進め、実機における量子効果のノイズに対する堅牢性などを検証する。

3.2.7.4 成果と意義

量子アニーリングにおける量子性による計算の加速を検証するためには、量子性を完全に取り込んだ量子系の実時間ダイナミクスのシミュレーションが必要となる。実時間シミュレーションでは量子ビットに対して指数関数的に大きなメモリを確保し、それを更新するというメモリ帯域への要請が厳しい計算が必要となる一方、高い並列化効率のあるプロセスである。本事業項目ではこれまで、量子アニーリングを実時間シミュレーションするためのコード開発を行ってきた。また、その中で30量子ビットまでの量子アニーリングのシミュレーションを現実的な時間で行うためには既存のシミュレーション方法だけでは不十分であることが明らかとなった。それを解決するために、量子ダイナミクスを細かく刻み、かくステップにおいて対角な基底へと変換することでさらに並列化効率をあげる新規のシミュレーション方法を構築した。またこのシミュレーションコードをGPU化することでさらに高速化し30量子ビットまでの量子アニーリングシミュレーションが可能となった。さらに、このコードを用いてクエンチを導入して組み合わせ最適化問題を古典アルゴリズムよりも高速に解く方法の構築とその優位性の検証を進めている。



- 初期状態: $|\psi_0\rangle = |+\dots+\rangle$
- イジング項の工夫により約10倍高速化
- CPUとGPUでは、各々100倍の高速化

20量子ビットにおける1サンプルあたりの実行時間(100step)

	qulacs(cpu)	qulacs(gpu)	高速化(cpu)	高速化(gpu)
実行時間(sec)	347.1376	1.5130	17.7991	0.1324

図 2-3.2.7-1 CPU と GPU を用いた量子アニーリングダイナミクスのシミュレーション時間の比較。従来手法(original)と本研究で最適化を行なった場合(fast)の比較。イジング項の性質を利用することによってやく約10倍、GPUを活用することで約100倍の高速化が達成された。

3.2.7.5 成果の普及

成果普及活動の実績は添付資料の表にリストに記載している。

3.3 研究開発テーマ「ディスアグリゲーション型次世代データセンタに適用する光電ハイブリッドスイッチを用いた高速低電力データ伝送システムの研究開発」

本研究開発項目では、「ポート数 1000 以上、伝送速度 1Tbps 以上を実現する新たな光スイッチと電気スイッチを組み合わせた光電ハイブリッドスイッチを用いた高速低電力データ伝送システムを開発する」という目標に対し、システムを構成する各要素技術、システム制御技術の基盤確立を達成し目覚ましい成果を上げつつある。

本研究開発テーマは、下記の研究開発項目で構成される。

- 1-1.光電ハイブリッドスイッチ制御技術および光電ハイブリッドスイッチシステム実証
- 1-2.光電ハイブリッドスイッチ制御アルゴリズム
- 1-3.光スイッチネットワークアーキテクチャの最適化
- 1-4.光波長送受信器
- 1-5.バースト多値プロセッサ
- 1-6.光コアスイッチ
- 1-7.国際標準化

1-1～1-3 は、システム関連技術、1-4～1-6 は、要素部品技術、1-7 は、技術を展開する標準化活動である。

1-1「光電ハイブリッドスイッチ制御技術および光電ハイブリッドスイッチシステム実証」の研究開発では、光コアスイッチと光 ToR の連携制御を実現する IF 構成の具体化と必要機能の提案を行った。またシステム検証系を構築して、その機能の有効性を実証した。

1-2「光電ハイブリッドスイッチ制御アルゴリズム」の研究開発では、制御アルゴリズムの選定・仕様定義および光部品表記法の設計を完了した。

1-3「光スイッチネットワークアーキテクチャの最適化」の研究開発では、スイッチで使用する各種部品の機能と得られるスイッチ特性を詳細に検討し、デバイス技術と整合する機能分割・アーキテクチャを考案し、シームレスに拡張可能な大規模光スイッチ構成基盤技術を確立した。

1-4「光波長送受信器」の研究開発では、光波長送受信器内で使用する波長可変光源の高速波長切替時間 100 μ s 以下という目標に対し、制御原理の事前検証によりその達成に目途が立った。

1-5「バースト多値プロセッサ」の研究開発では、光バースト信号に対応した新たな機能ブロック回路の設計・試作を実施して基本動作を確認するとともに、バースト多値プロセッサ全体の設計を行い、従来比約 1/10 の短縮となる 500 μ s の切り替え時間を確認した。

1-6「光コアスイッチ」の研究開発では、世界で初めてスイッチング時間が 100 μ s を下回る石英系 PLC 方式の光スイッチを作製・実証し、当該領域の技術課題をクリアする見通しを得た。

1-7「国際標準化」の活動では、データセンタ制御アルゴリズムをオープンにするプラットフォームとして最適な標準化団体の候補を選定できた。

個別の研究開発テーマにおける詳細は以下に示す。

3.3.1 研究開発サブテーマ「光電ハイブリッドスイッチ制御技術および光電ハイブリッドスイッチシステム実証」

3.3.1.1 概要

「光電ハイブリッドスイッチ制御技術」の開発では、今回開発する光コアスイッチと電気コアスイッチのハイブリッド構成を基本としたシステムにおいて、伝送トラフィックをそのフロー長に応じて光コアスイッチと電気コアスイッチに振り分ける制御方式の研究開発を行う。具体的には、ネットワークコントローラの開発、光コアスイッチおよび、光 ToR スwitchを構成する電気スイッチ、光波長送受信機の制御インタフェース機能、制御プロトコル等の検討を実施する。また、ネットワークコントローラに組み込む、振り分けアルゴリズムを検討し、ディスアグリゲーション型次世代データセンタに有効な方式の絞り込みを行い、それらの機能概要・仕様概要を明らかにする。さらに、ネットワークコントローラの実機試作を行い、振り分けアルゴリズムを実装し、「光電ハイブリッドスイッチシステム実証」の研究開発のもとで、試作したネットワークコントローラを用いて光コアスイッチ、光 ToR スwitchのトラフィック振り分け制御実験を実施し、光電ハイブリッドスイッチ制御技術を確立させる。

また、「光電ハイブリッドスイッチシステム実証」の開発では、システム実証の観点から課題を抽出し、その解決策を研究開発項目 1-2「光電ハイブリッドスイッチ制御アルゴリズム」及び 1-3「光スイッチネットワークアーキテクチャの最適化」のそれぞれの研究開発にフィードバックを行う。

さらに、研究開発項目 1-1～1-3 で開発したシステム関連技術を統合し、光電ハイブリッドスイッチシステムを試作し、ネットワークコントローラを用いて光コアスイッチ、電気コアスイッチ、光 ToR スwitchのトラフィック振り分け制御実験を行い、光電ハイブリッドスイッチシステムが目標通りの機能・電力効率を有することを確認する。

3.3.1.2 最終目標と根拠

「光電ハイブリッドスイッチ制御技術」の研究開発においては、研究開発項目 1-2「光電ハイブリッドスイッチ制御アルゴリズム」の研究開発で検討するコントロールアルゴリズムが動作するために必要なスイッチングハードウェアとなる「コントローラ」と、制御インタフェース方式を開発する。また、「光電ハイブリッドスイッチシステム実証」の開発で実施する連携実験の結果を踏まえてコントローラ制御のシーケンスなどの改良を行い、光電ハイブリッドスイッチ制御技術を確立することを最終目標とする。

システムとしての有効性を発揮するには、個々の装置の性能に加えて、それらを連携して制御する技術が不可欠である。

「光電ハイブリッドスイッチシステム実証」の研究開発では、光電ハイブリッドスイッチシステムを実際に試作し、フロー振り分け機能などの実証を行い、システム性能と電力削減効果がその目標値を達成可能であることを確認することを最終目標とする。

具体的な検証項目は以下のとおりである。

- ① 1Tbps、1,000 ポートまでの拡張性を実現する仕様および設計
- ② 光 ToR スwitch、光コアスイッチ、コントローラの試作、これらを統合した実証システム実現性
- ③ 光コアスイッチ、電気コアスイッチへのフロー振り分け機能
- ④ 動作速度、光信号の送受信性能などのシステム性能達成度
- ⑤ 電力削減効果

システムとしての実現性能および課題を明確化するには、実証システムにおいて、個々の開発装置を連携して制御し、装置単体性能では見えない、他装置からの影響や電気スイッチ等の既存装置が開発システムに及ぼす影響等、総合的な真の性能が明らかになるものと考えられ、最終目標に設定した。

3.3.1.3 目標の達成度

当初の計画通り順調に推移している。「光電ハイブリッドスイッチ制御技術」の研究開発においては、基本制御シーケンスの具体化と絞りこみを行い、それらを実現するための各装置の設定項目を定めた。また、制御プロトコルとして EtherCAT を用いることが有用であることを明らかにした。現在、コントローラの仕様策定を進めている。

また、「光電ハイブリッドスイッチシステム実証」の研究開発では電気スイッチおよびサーバを含めた検証を構築し、バースト多値プロセッサの課題抽出と解決策のフィードバックを行った。

進捗は計画通りである。

3.3.1.4 成果と意義

「光電ハイブリッドスイッチ制御技術」の研究開発：

システムを構成する光コアスイッチ、光 ToR スwitchなどの各構成要素を連携して制御し、フロー伝送経路を電気コアスイッチから光コアスイッチへ切り替える際の基本フローとして 2 案を作成した。その概略を以下に示す。

案1 サーバからの接続要求をコントローラにあげ、コントローラからサーバの送出する IP パケットのタイプオブサービス(光、電気どちらのスイッチを使用するかという情報)書き換えを行い、電気 ToR スwitchのフローテーブルに従って電気スイッチから光スイッチへ経路切り替えを行う

案2 サーバからの接続要求をコントローラにあげ、コントローラから電気 ToR スwitchのフローテーブルを書き換えることで経路切り替えを行う

また、上記切り替え処理を高速に行うため、コントローラと光コアスイッチおよび光 ToR-スウィッチの処理分担案を策定した。表 2-3.3.1-1 に分担案を示す。

表 2-3.3.1-1 切り替え処理分担案

実施装置	処理内容	通信対象
サーバ	接続要求(送受IPアドレス)	コントローラ
	ToS (Type of Service)書き換え	
	パケット送信完了通知	コントローラ
コントローラ	サーバ接続要求より経路計算	
	接続入出力ポート指示	光コアSW
	設定波長指示	光ToR-SW
	ToSの変更指示(案1)	サーバ
	フローテーブル変更指示(案2)	ToR-SW
光コアSW	光経路設定	
	設定完了通知	コントローラ
光ToR-SW (光波長送受信部)	波長設定	
	設定完了通知	コントローラ

また、上記分担案に基づき、各構成要素が行うべき設定を具体化した。具体的設定項目は以下のとおりである。

- ・システム立上げ時の各光スイッチにおける設定(波長、IP アドレス等)
- ・コントローラが具備する、光コアスイッチ接続ポートと光コアスイッチ内空間スイッチモジュール制御ポート対応表および光経路接続ログ
- ・光コアスイッチ接続ポートに対する光 ToR-スイッチ受信光波長設定対応表

さらに、制御コマンド様式について、他の関連研究項目と連携し、詳細検討を進めた。具体的には、コントローラが EtherCAT を用いて光コアスイッチに対して光経路指示を行う際の形式、および光 ToR-SW 内の光波長送受信器に対する設定波長を指示する際の形式について案を策定した。また、その案に基づいたフレーム長から EtherCAT のシステム制御への適用性について検討し、適用可能との認識を得た。

また、その結果にもとづき、研究開発項目 1-6「光コアスイッチ」と連携し 2020 年度に試作を行う動作検証用コントローラの仕様について検討を行い、そのハードウェア構成案と試作仕様を策定した。

「光電ハイブリッドスイッチシステム実証」の研究開発：

システム実証の観点から構成要素の特性調査を行い、光電ハイブリッドスイッチシステムを実現するための課題を抽出し、その課題を解決する手法をバースト多値プロセッサ仕様にフィードバックした。具体的には、電気スイッチから光スイッチへ高速で経路切り替えを行うには、バースト多値プロセッサに以下の機能が必要であることを明確にした。

- ・ 光コアスイッチからの入力信号が断状態となった際に、電気スイッチに対してアイドル信号を送出する機能(アイドルモード)
- ・ 光コアスイッチからの入力信号が入状態となった際に、光コアスイッチからの信号を電気スイッチへそのまま伝達する形態(スルーモード)へ切り替わる機能

また、光電ハイブリッドスイッチシステムにおける課題抽出と解決策の有効性を確認するため、100GbEther インタフェースを具備するサーバと OpenFlow 機能を有する電気(Ethernet)スイッチおよびバースト多値プロセッサの機能を模擬した評価ボードから構成される実験系を構築した。図 2-3.3.1-1 に実験系構成を示す。

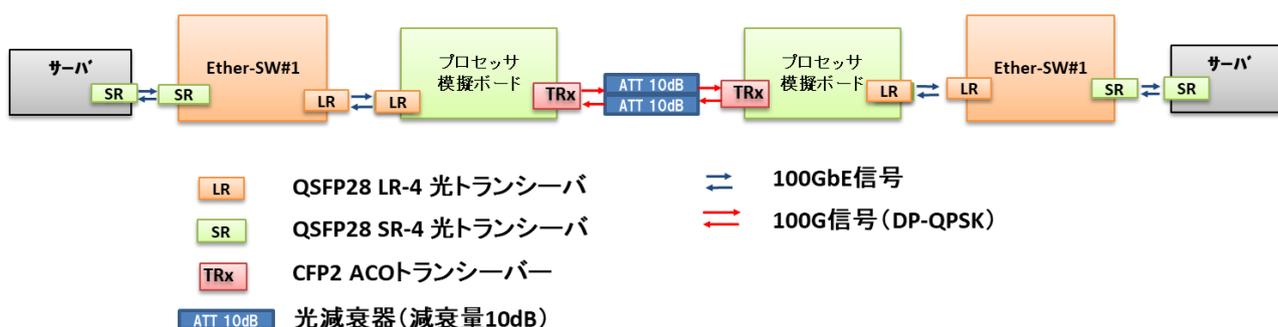


図 2-3.3.1-1 実験系構成

バースト多値プロセッサが具備すべき機能として提案を行ったアイドルモードとスルーモード切り替え機能をファームウェアによって模擬ボードで実現し、上記実験系を用いて、その有効性を確認した。すなわち、光断時には、バースト多値プロセッサよりアイドル信号を電気スイッチに送出することで電気スイッチポートの通信可能状態が維持でき、光信号入力時には、バースト多値プロセッサにおいて、光コアスイッチからの受信信号を電気スイッチへスルーさせることで通信可能状態の維持が可能であることを確認した。

しかしながら、新たな課題として、光断時のアイドル信号発出から光信号入力時の信号スルー状態に移行する際に、一時的に通信不可状態となる課題があることが明らかとなった。その対策としてアイドル信号発出/スルー両モードにおいて電気スイッチへの信号を送出する際に、同一の信号出力クロックを使用する方法を検討し、上記実験系を用いて、アイドル信号発出モードからスルーモードへ切り替わる際も電気スイッチにおいて通信可能状態が維持されることを確認した。

また、光断後に再び光信号が入力された際に、サーバ間でやり取りされる IP パケットの疎通確認を行った。その結果、光再入力時からサーバ間で IP パケットの疎通が回復するまで秒単位の時間を要することが判明し、疎通時間の短縮化が必要であることが明らかとなった。本課題の解決策について検討を開始した。

以上、成果について述べたが、「光電ハイブリッドスイッチ制御技術」の研究開発において、システムのグランドデザインとも言える基本方針を定めた。また、「光電ハイブリッドスイッチシステム実証」の研究開発においては、定めた基本方針に基づき、本研究で開発する各技術要素をシステムとして組み合わせるときに生じる課題抽出を行い、実システムの実現性を高めている。これらの検討によりスムーズな成果の普及に寄与するものとする。

3.3.1.5 成果の普及

「光電ハイブリッドスイッチ制御技術」の研究開発では、EtherCAT を用いた高速連携制御技術を検討している。この EtherCAT プロトコルは工場等において生産機械の制御に広く用いられているものであり、このプロトコルをもとに光デバイス制御を行う本成果は既存技術との整合性がよく、普及しやすい技術である。

また、「光電ハイブリッドスイッチシステム実証」の研究開発では、バースト多値プロセッサの電気スイッチとの接続性における課題を見出し、その対策を検討している。本成果はデータセンタ内に限らず、電気スイッチを用いた光伝送システム全般において、伝搬遅延の低減による接続性の改善に広く寄与するものであり、本プロジェクトで開発を行バースト多値プロセッサの普及範囲を拡大する重要要素となる。

3.3.2 研究開発サブテーマ「光電ハイブリッドスイッチ制御アルゴリズム」

3.3.2.1 概要

コントローラに組み込む振り分けアルゴリズムを各種比較検討し、ディスアグリゲーション型次世代データセンタ向けアーキテクチャに有効な方式の絞り込みを行い、それらの機能概要・仕様概要を明らかにする。また、多様な光部品の機能・状態・構成をコントローラから統一的に操作可能な表記法を開発する。さらに、既存のネットワークコントローラプラットフォームのオープンソースモジュールとしてその機能を実装し、光電ハイブリッドスイッチシステムとしての動作を実証・評価する。

3.3.2.2 最終目標と根拠

「光電ハイブリッドスイッチシステム実証」の研究開発と連携して、光電ハイブリッドスイッチシステムとしての動作確認を行い、トラフィック制御アルゴリズムを確立する。開発した成果物をオープンソースソフトウェアとして公開する。100 μ s 程度での高速切り替えを実現することを目指す。その根拠として、原理検証において 100 μ s の切り替え時間を達成できる目途を確認している。

3.3.2.3 目標の達成度

当初の計画通り順調に推移している。光電ハイブリッドスイッチのアルゴリズムの選定・仕様定義および光部品表記法の設計を完了した。現在、トラフィック振り分けアルゴリズムおよび光部品表記法の実装およびトラフィック振り分けアルゴリズムの原理実証について模擬ハードウェア環境上で開発に着手している。

3.3.2.4 成果と意義

コントローラに組み込む振り分けアルゴリズムとして、次世代コンピューティングにおける主要ワークロードと想定される大規模深層学習を念頭にトラフィック振り分けアルゴリズムを開発した。サーバがパケットにヒント情報を付加することで、深層学習のパラメータ交換通信(長いフロー)を光スイッチに振り分ける。深層学習のパラメータ交換の大容量フローを光スイッチに振り分けるリングベース AllReduce アルゴリズムを提案し、計算機シミュレーション上で性能評価を実施した。メッセージサイズに比例して性能が向上し、メッセージサイズ 128MB のときに、通信性能を約 30%高速化できることを確認した。本手法は次世代コンピューティングの主要ワークロードである深層学習の高速化に貢献するのみならず、人工知能や高性能計算などのワークロードに広く応用が可能であるという意義を持つ。

また、ネットワークコントローラプラットフォームとして、既存のネットワークコントローラのオープンソースプラットフォームである ONOS (Open Network Operating System) と OpenDayLight を比較検証した結果、その機能性やメンテナンス性などに優位性がある ONOS を研究開発プラットフォームに選定した。そして ONOS に基づく光電ハイブリッドスイッチ制御ネットワークの設計(図 2-3.3.2-1)を行った。機能性やメンテナンス性に優れたオープンソースプラットフォームを採用することで拡張が容易となることが期待されるほか、成果の導入が促進されるという意義を持つ。

上記の光電ハイブリッドスイッチ制御ネットワークの設計に基づいて、産業用リアルタイム Ethernet 規格 EtherCAT を用いた高速切替制御手法の開発を進めた。EtherCAT を用いることで、100 μ s 以内の高速切替を実現できる目処を確認した。1 x 2 の光ファイバスイッチ 2 基を用いた原理検証に成功し、原理検証段階においても 144 μ s の切替時間を達成した。

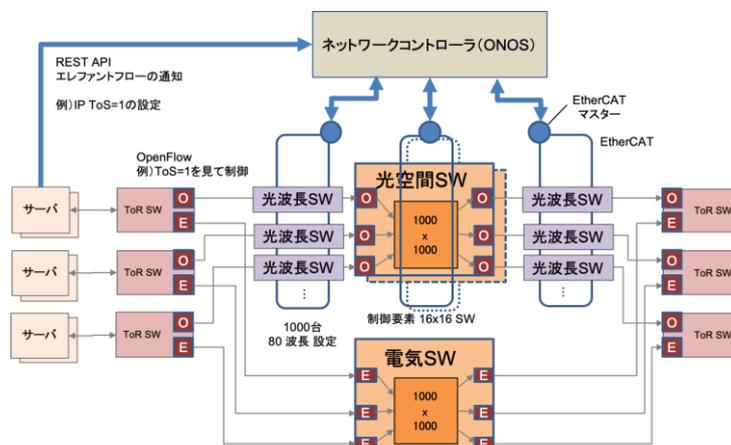


図 2-3.3.2-1 光電ハイブリッドスイッチ制御ネットワーク

多様な光部品の機能・状態・構成を統一的に管理するための表記法(モデル)開発に着手した。我々が提案する FBD (Functional Block based Disaggregation)モデルを用いることで、ネットワークコントローラやアプリケーションから、多数の光部品から構成される光スイッチおよび光ネットワークの統一的な管理・制御・機能検証が容易になる。既存手法である YANG モデルとの互換性の検討や、FBD モデルで記述された小規模な光電ハイブリッドスイッチについて要求光パスに対し各部品の必要設定を計算する自動処理プログラムの動作検証を完了した。効率的な表記法の確立は、多数の光部品から構成される光スイッチおよび光ネットワークの実現に不可欠であり、その実現に寄与するという意義を持つ。

3.3.2.5 成果の普及

光電ハイブリッドスイッチの制御アルゴリズムは、既存のネットワークコントローラプラットフォームのオープンソースモジュールとしてその機能を実装することで、成果の導入を促進する。開発した成果物はオープンソースソフトウェアとして公開する。「国際標準化」の活動と連携しながら成果の普及を目指す。

3.3.3 研究開発サブテーマ「光スイッチネットワークアーキテクチャの最適化」

3.3.3.1 概要

次世代コンピューティングでは各種の AI 関連サービス、クラウド関連サービスを含む広範囲のアプリケーションが想定される。本研究開発テーマではディスアグリゲーション型次世代データセンタへの光スイッチの導入にあたり、様々なアプリケーション、並びに様々な規模のコンピューティング環境に最適化可能な効率的な光スイッチネットワークアーキテクチャを開発する。

光スイッチの導入により期待される低消費電力・高性能・経済性の最大化、開発光スイッチの導入の促進、並びに広範囲な導入を達成するためには、各種のアプリケーションに応じたアーキテクチャの最適化が必要になる。また、大規模スイッチの経済的な導入を可能にするためには、拡張性 (pay-as-you-grow) が重要となる。これらを達成するために、光スイッチを構成する 2 つの次元、波長と空間の組み合わせの最適化が重要である。また、提案光スイッチの外部仕様を実現する最適構成を得るために、各アーキテクチャにおける要素機能部品の最適化の検討を行う。

3.3.3.2 最終目標と根拠

異なるアプリケーション・規模に応じた、変調形式・ポート数・空間スイッチ／波長スイッチ機能分担等の最適化を行い、光スイッチネットワークアーキテクチャの最適化を実現するとともに、実証実験へ反映させる。

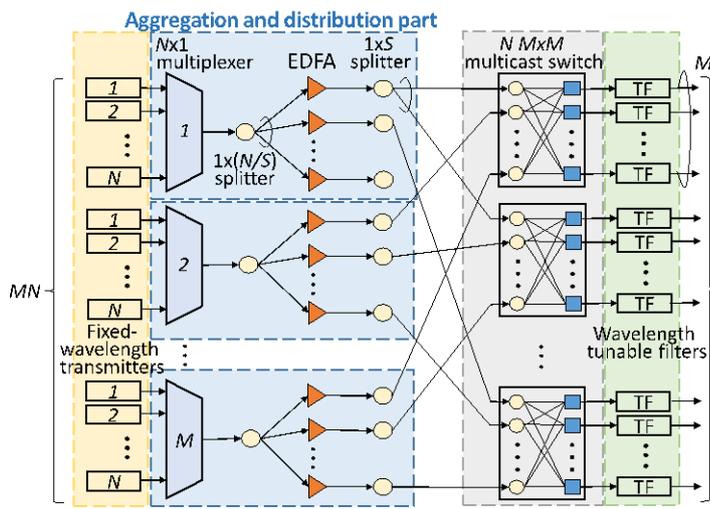
3.3.3.3 目標の達成度

スイッチで使用する各種部品の機能と得られるスイッチ特性を検討し、デバイス技術と整合する機能分割・アーキテクチャを明らかにすることにより、シームレスに拡張可能な大規模光スイッチ構成を可能とする基盤技術を確立し、当初の予定通りの目標を達成した。

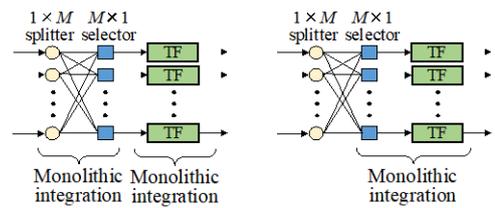
3.3.3.4 成果と意義

小規模から大規模にわたるデータセンタへの光スイッチの適合性を考える上で、波長選択性の持たせ方に応じて異なる、変調形式、送受信機などへの要求条件を明確にした。特に受信側で波長選択を行う光スイッチ構成に関し、特性評価のためのシミュレータを開発し、必要な光増幅器の増幅度、台数などをパラメータとして各条件に応じて達成可能なスイッチ規模を導出した。

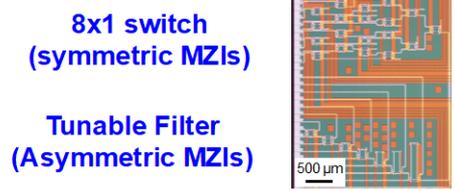
図 2-3.3.3-1 に光スイッチのモデル構成と試作した Si フォトニクス集積回路チップ (8 x 1 セレクタとチューナブルフィルタの集積チップ)、図 2-3.3.3-2 に各種変調形式における、光増幅器の増幅度、ポートあたりの増幅器数 (1/S) に対する達成可能なスイッチ規模の解析結果並びに、768 x 768 スイッチにおける 43-Gbps DQPSK 信号伝達特性、並びに試作した Si フォトニクス集積回路のスイッチ時間の評価結果を示す。5 μ s 程度のスイッチ時間が実現できることを実証した。



(a) スイッチモデル構成

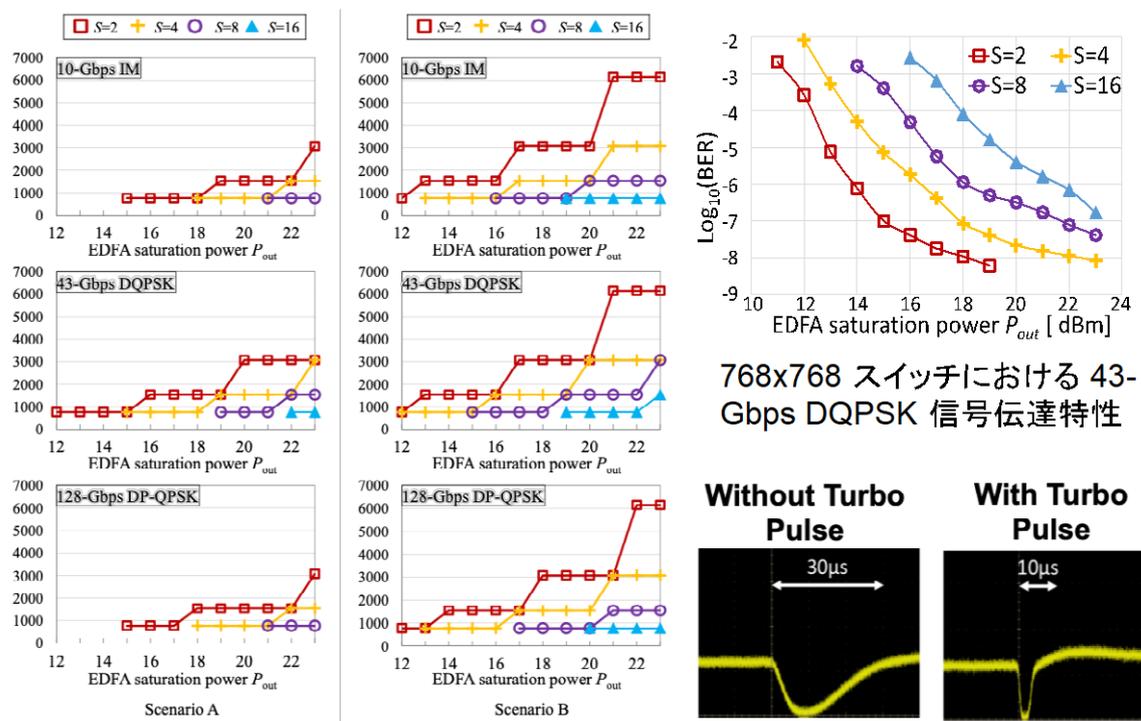


(b) マルチキャストスイッチとチューナブルフィルタの機能分割構成



(c) 試作 Si photonics 集積回路

図 2-3.3.3-1 光スイッチモデル構成と試作 Si フォトニクス集積回路チップ (8 x 1 セレクタとチューナブルフィルタの集積)



光増幅器の増幅度、ポートあたりの増幅器数(S) に対する各変調形式で達成可能なスイッチ規模

光スイッチ切替時間

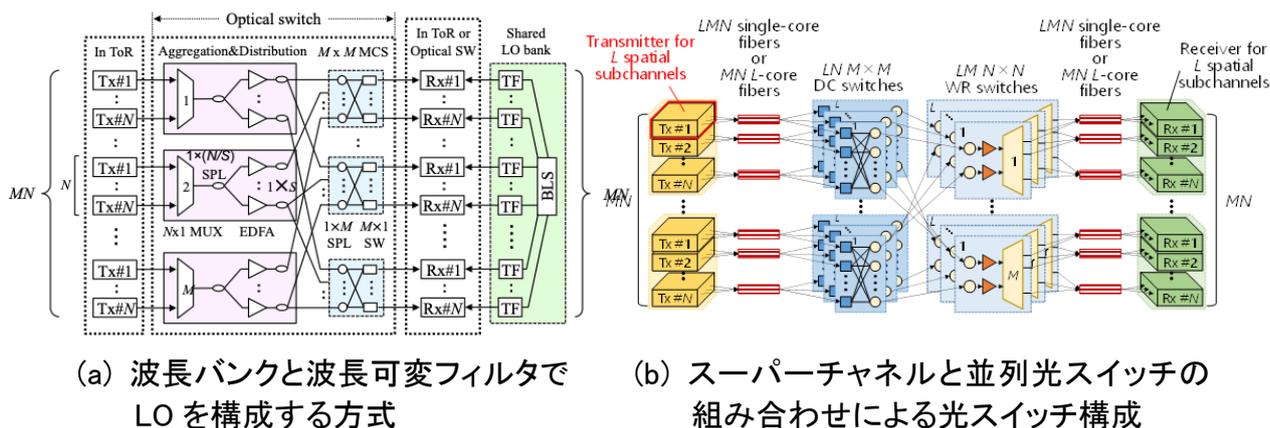
図 2-3.3.3-2 各種変調形式における、光増幅器の増幅度、ポートあたりの増幅器数(1/S) に対するスイッチ規模の解析結果並びに、768x768 スイッチを用いた特性評価結果

受信側で波長選択を行う光スイッチ構成に関し、各種コヒーレント光変調形式に対する異なる受信部構成を比較検討した。特に受信器の光パワーの飽和を防ぎつつ十分な SNR を得るためのチューナブルフィルタが省ける条件を明らかにした。また、受信部のローカル光源として波長バンクと波長可変フィルタで構成する方式(図 2-3.3.3-3(a)参照)を検討し、ス

イチ並びにローカル光源の各構成要素のパラメータ値がトータルのスイッチ規模に与える影響を定量的に評価するための、シミュレータの開発に着手した。

データセンタに適用する光スイッチの規模拡大に向け、送信側で波長選択を行う光スイッチ構成に関し、スーパーチャネルと並列光スイッチの組み合わせによる光スイッチ構成(図 2-3.3.3-3(b)参照)を提案し、これによりスイッチ総容量を大幅に拡大(2.1 Pbps)できることを伝送実験により実証した。

これらを含めた本研究開発におけるスイッチ規模拡大の進展を、図 2-3.3.3-4 にまとめる。Tunable LD タイプ、Tunable Filter タイプの各々において、本研究開発により1桁以上のスループット拡大が実現されていることが分かる。



(a) 波長バンクと波長可変フィルタで LO を構成する方式

(b) スーパーチャネルと並列光スイッチの組み合わせによる光スイッチ構成

図 2-3.3.3-3 各種新提案スイッチ構成

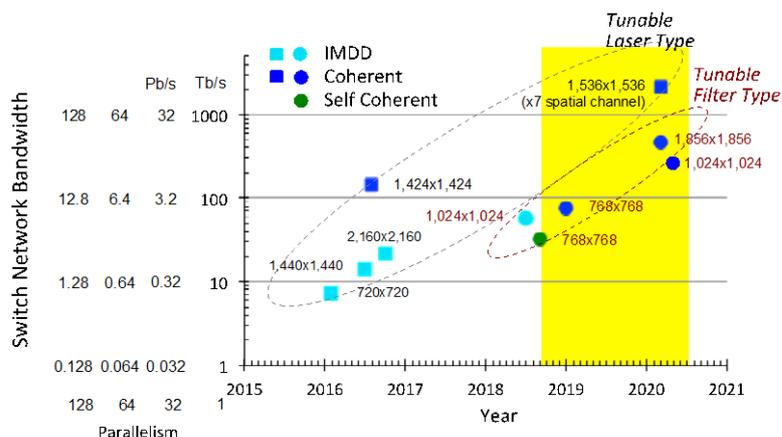


図 2-3.3.3-4 本研究開発におけるスイッチ規模拡大の進展(黄色部分)

3.3.3.5 成果の普及

光電ハイブッドスイッチを導入したディスアグリゲーション型次世代データセンタ技術は、将来のデータセンタ構成に大きなインパクトを与えるが、その成果の普及を図るためには、継続的な発展性を含めた正しい技術評価が必要である。現在、主要な国際会議・ジャーナル誌から多くの招待を受け、また自発的に発表を行い成果の普及に務めているが、今後は事業者との直接の議論を含め、開発成果の普及活動を促進していく予定で有る。

3.3.4 研究開発サブテーマ「光波長送受信器」

3.3.4.1 概要

光波長送受信器の構成を図 2-3.3.4-1 に示す。その実現に向けた各制御機能の研究開発のポイントとしては、

- ①高速波長可変光源の制御
- ②光・電気デバイスのバースト制御
- ③システム内の他の機能部との連携制御

の 3 つの観点からの制御があげられる。①については、100 μ s 程度で波長切替可能なレーザの選定および波長制御の高速化回路を開発し、光波長送受信器の切替時間の許容範囲と整合させることを目標とする。②については、バースト信号間の無信号時間への対応、バースト信号受信後の早期安定化の実現が開発要素である。高速切替と切替後の安定化時間は一般的にトレードオフの関係にあり、最適化させることが目標となる。③については、コントローラとの間で制御情報等を送受するインターフェースや通信プロトコルを規定することが目標となる。これらの検討・設計を完了した後に、制御回路について部分試作を行いレーザおよび他の光デバイスのバースト対応制御動作の原理検証を行う。その後、光波長送受信器の基本設計を実施し、設計結果に基づいてバースト多値プロセッサも含めて光波長送受信器の原理試作を行い、その組み込み動作の実証を行う。制御回路は主信号のボーレートには依存しないため、研究開発の内容は 1Tbps 級のシステムにも適用できるが、部品の入手性を考慮し、原理実証は 200Gbps で行うこととする。

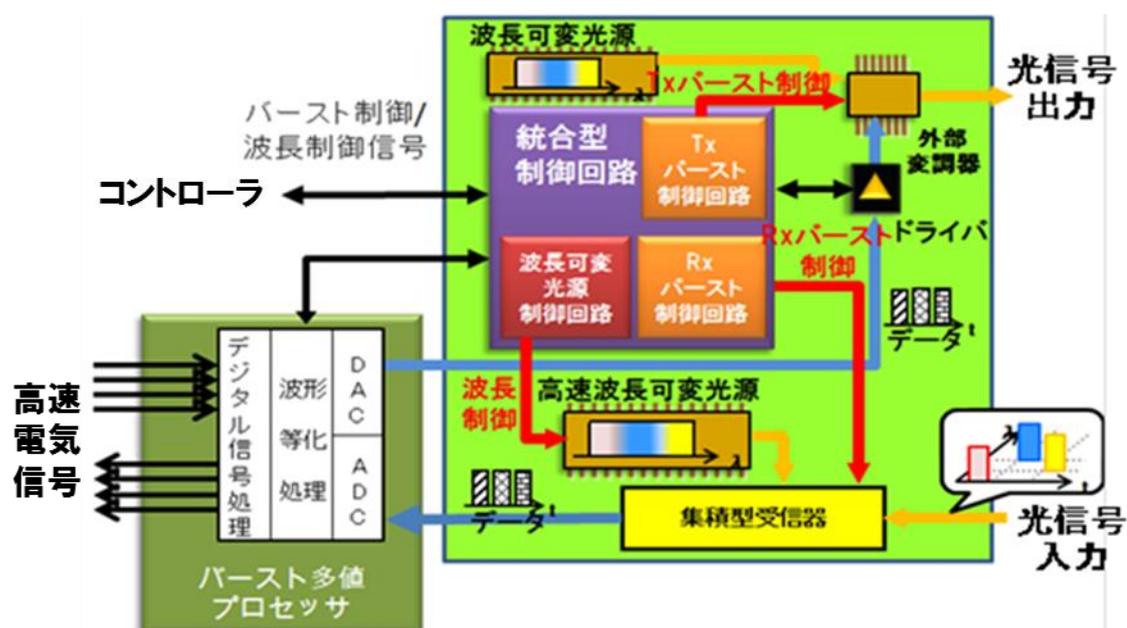


図 2-3.3.4-1 光波長送受信器の構成

3.3.4.2 最終目標と根拠

最終目標は、光波長送受信器の特性評価を行い、また、改善および最適化をすることで、光波長送受信器の技術を確立する、である。前節で述べたとおり、光波長送受信器は電気・光デバイスの高速制御と、コントローラとの通信制御が課題である。バースト通信では受信処理のタイミングが非常に重要であるため、その技術確立を行う。

3.3.4.3 目標の達成度

中間目標は、100 μ s 程度の光デバイスバースト対応制御部分動作実証、である。これまでに波長可変光源の高速波長切替 100 μ s 実現に向けて制御原理の動作検証を進め、高速制御と制御精度の両立が可能な PID (Proportional-Integral-Differential) 制御を適用することとした。また、波長可変光源の基本特性評価を実施してデバイスの選定を完了し、高速波長切替 100 μ s 実現の見通しを得た。光・電気デバイスのバースト制御は、集積型受信器のバースト応答を AGC (Automatic Gain Control) と MGC (Manual Gain Control) で評価した。その結果、バースト信号の受信には MGC が適していることが判明し、デバイスの制御方式を決定した。コントローラとの制御情報の通信については、コントローラから波長可変光源の波長と MGC の利得を受信することでバースト信号の受信が可能であると判断した。以上、中間目標に対する進捗は順調である。

3.3.4.4 成果と意義

波長可変光源の高速波長切替 100 μ s 実現に向けて、PID 制御による制御応答の高速化を検討した。検討した PID 制御の構成を図 2-3.3.4-2 に示す。PID 制御は主に比例ゲイン K_p 、積分ゲイン K_i 、微分ゲイン K_d を調整して、制御応答の高速化を図る。また、制御目標値と現在値の誤差を積分して制御偏差をゼロにしようとするが、デバイスの応答が遅い場合、積分を継続すると制御量が過大となり目標値に収束するまでの時間が長くなるという問題が生じる。これを解決するため、制御リミット到達時は積分動作を停止する機能を実装することとした。

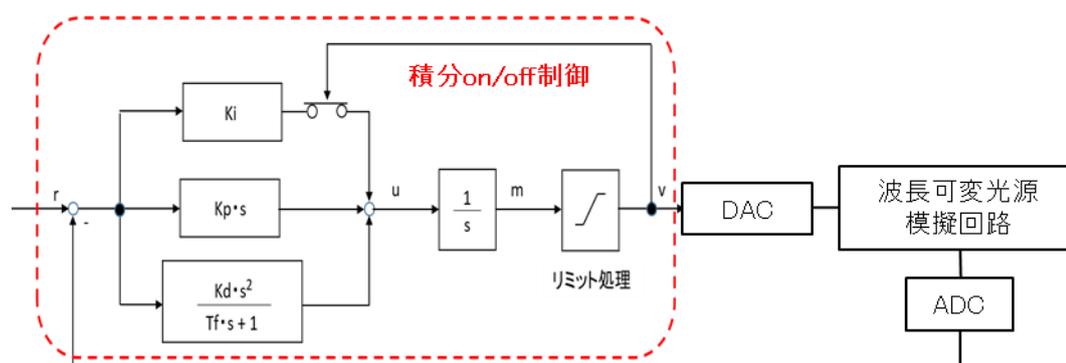


図 2-3.3.4-2 PID 制御の構成

まず、ソフトウェアで PID 制御の動作確認を実施したので、図 2-3.3.4-3 にその結果を示す。積分継続の場合、図(a)のヒータ電力が小さい波長はヒータ駆動電力が制御リミットに到達しない。波長可変光源のヒータ応答が遅いため、PID 制御器はヒータ駆動電力にプリエンファシスがかかったような制御量にしてヒータ応答の高速化を図っている様子が見て取れる。これにより、ヒータ応答はオーバーシュートが発生せず、15 μ s で目標値に到達している。図(b)のヒータ電力が大きい場合、ヒータ駆動電力がリミットに 25 μ s 張り付き、ヒータ応答にオーバーシュートが発生し、目標値に到達するまでに 40 μ s の時間がかかる。一方、図(c)のヒータ電力大で積分動作を停止した場合、ヒータ駆動電力がリミットに張り付いている時間は 10 μ s と短くなり、ヒータ応答のオーバーシュートが抑制され、20 μ s 程度で目標値に収束している。以上より、制御量がリミットに到達した場合の積分停止の有効性を確認した。

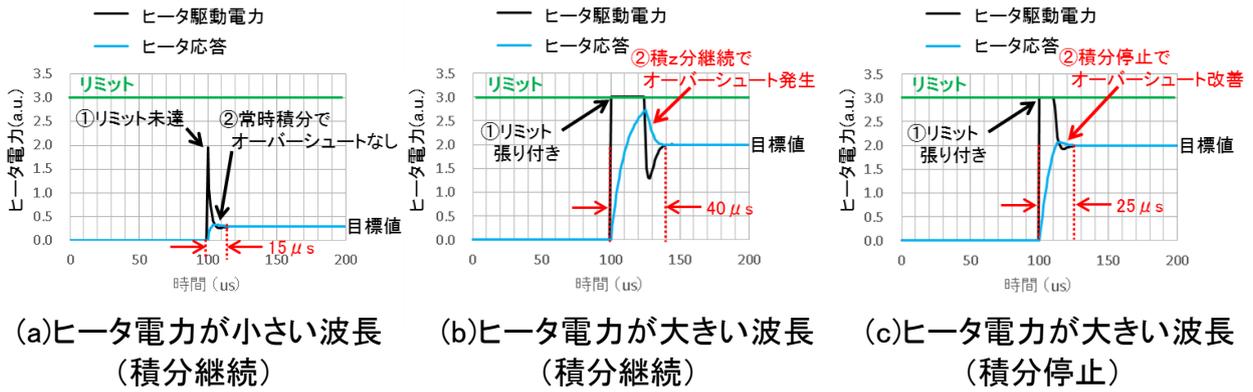
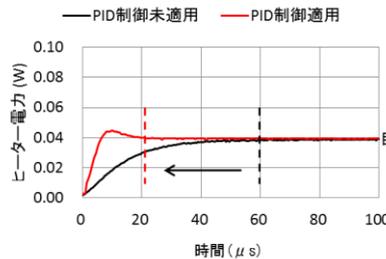


図 2-3.3.4-3 PID 制御ソフトウェアシミュレーション

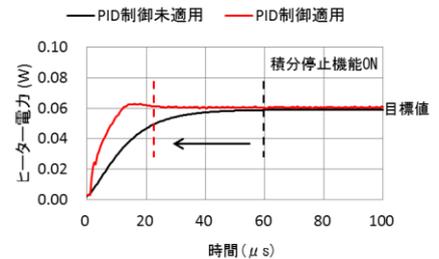
次に、ハードウェアを試作し、PID 制御による高速制御の確認を行った。試作したボードとハードウェアシミュレーションの結果を図 2-3.3.4-4 に示す。図(a)は試作ボードで、PID 制御器は FPGA(Field Programmable Gate Array)に実装し、その周辺回路に高速の ADC (Analog to Digital Converter)と DAC(Digital to Analog Converter)を搭載した。これらの部品選定により、制御周期 500ns で動作する制御器を実現した。また、試作ボードにはソフトウェアシミュレーションと同等の波長可変光源模擬回路を搭載した。図(b)はヒータ電力が小さい場合のハードウェアシミュレーション結果で、PID 制御を適用しないと目標値に収束するまで 60 μ s の時間を要するが、PID 制御の適用により 20 μ s まで応答時間を短縮した。ヒータ電力が大きい場合(図(c))も 25 μ s 程度までヒータ応答を短縮可能であり、ソフトウェアシミュレーションと同等の結果を得た。以上より、PID 制御のハードウェア技術を確立した。



(a)試作ボード



(b)ヒータ電力が小さい波長



(c)ヒータ電力が大きい波長

図 2-3.3.4-4 PID 制御事前検証用ボード試作とハードウェアシミュレーション

上記の通り、波長可変光源の応答を想定してシミュレーションによる制御原理の検証を進めてきたが、次に実際の波長可変光源を用いて、その基本応答特性を評価した。ここで用いた波長可変光源は、波長を 3 つのヒータで制御し、波長設定精度を確保するために波長ロッカーを内蔵している。波長ロッカーは光フィルタとフォトダイオードで構成されており、そのフォトダイオードの応答をモニタすることで波長切替応答を評価した。3 つのヒータ端子を同時にステップ波形で駆動したときのフォトダイオードの応答を図 2-3.3.4-5 に示す。フォトダイオードの応答は波長切替開始から 70 μ s 程度で安定しており、波長切替時間 100 μ s 実現の見通しを得た。以上より、波長可変光源の選定を完了した。今後、PID 制御を適用して波長切替時間と波長設定精度の評価を実施予定である。

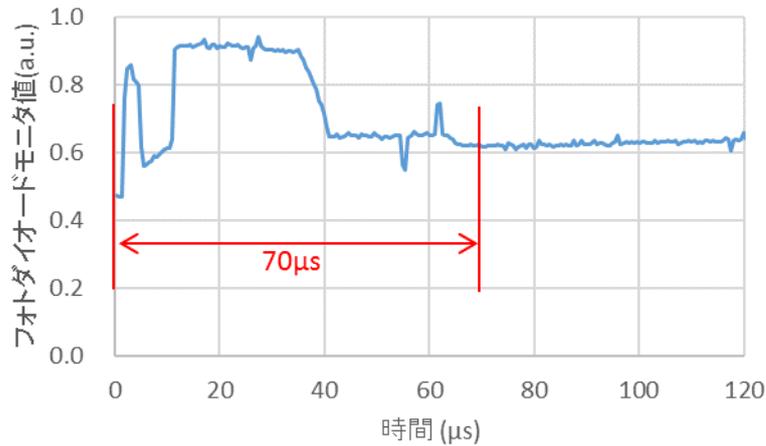


図 2-3.3.4-5 波長可変光源の波長切替応答基本評価

光・電気デバイスのバースト制御は、図 2-3.3.4-6 に示す評価系で 200Gbps (32Gbaud 対応) 集積型受信器のバースト応答を評価した。デジタル信号処理回路で 32Gbaud の偏波多重 16 値直交振幅変調 (DP16QAM: Dual Polarization 16 Quadrature Amplitude Modulation) の電気信号を生成し、その信号を CFP2-ACO (ACO: Analog Coherent Optics) を用いて光信号に変換する。この信号は連続信号であるため、バースト信号を生成するために音響光学変調器を用いた。任意波形発生器で電気バースト信号を生成し、電力分配器でその信号を 2 分岐、片方は電気バースト信号波形を確認するためにオシロスコープに接続した。もう片方は音響光学変調器が必要とする振幅に増幅するため、ドライバに接続した。ドライバの出力波形に応じて音響光学変調器 (AOM: Acousto-Optic Modulator) が光強度変調を行い、光バースト信号を生成する。その光バースト信号を光分岐器で 2 分岐、片方を光・電気変換後にオシロスコープに接続して光バースト信号が生成されていることを確認することとした。光分岐器のもう片方は評価対象である集積型受信器に入力し、その出力をオシロスコープに接続して集積型受信器のバースト応答を評価した。

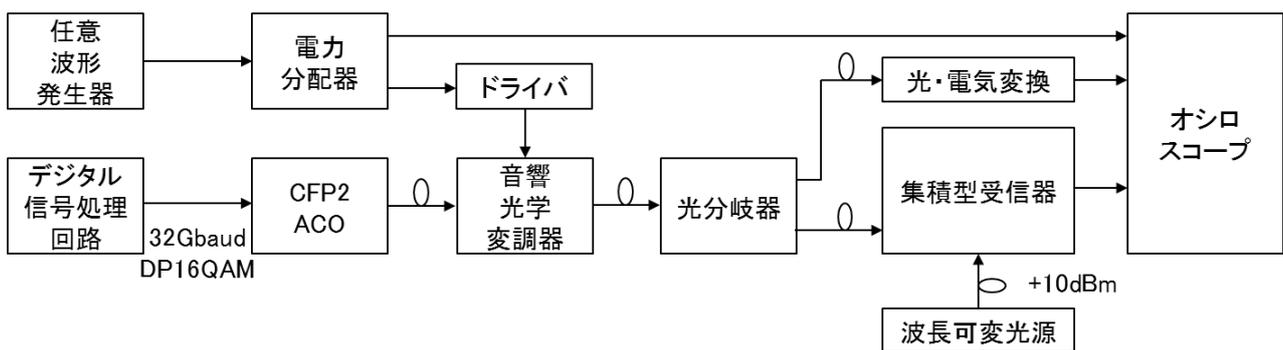


図 2-3.3.4-6 集積型受信器の光バースト信号受信制御

集積型受信器には、その出力振幅を制御するために AGC と MGC の 2 つのモードがあり、AGC モードの結果を図 2-3.3.4-7 に示す。光バースト信号として、有信号区間 9.9ms、無信号区間 100 μ s を想定した評価で、AOM 駆動電気信号に合わせて光信号がオフ・オンしており、光バースト信号が正しく生成されている様子が見て取れる。AGC は集積型受信器内部で自動的に利得調整を行い、その利得変化を集積型受信器の利得制御端子電圧でモニタ

可能である。信号断になると集積型受信器の出力振幅を一定に保持しようとし、利得電圧を高くて利得を上昇させるように動作する。しかし、その後、光バースト信号が入力されると利得が高すぎるため利得電圧を低下させて利得を下げる。AGCモードでは、無信号区間100 μ sの影響で集積型受信器の出力振幅が安定するまでに1.05ms程度かかっており、AGCはバースト信号受信には不向きであることが判明した。

一方、MGCは外部から利得電圧を印加するため、主信号系の出力端子をオシロスコープでモニタした。その結果を図2-3.3.4-8に示しており、光信号入力と同時に集積型受信器から電気信号が出力されている。MGCでは利得設定を光波長受信器内で行う必要があるが、その利得設定値は光信号の伝送経路による損失に依存する。コントローラが伝送経路の設定を行うため、コントローラから波長情報と合わせて利得情報を受信し、MGCの利得設定を行うこととした。以上の通り、バースト受信制御方式について技術を確立した。

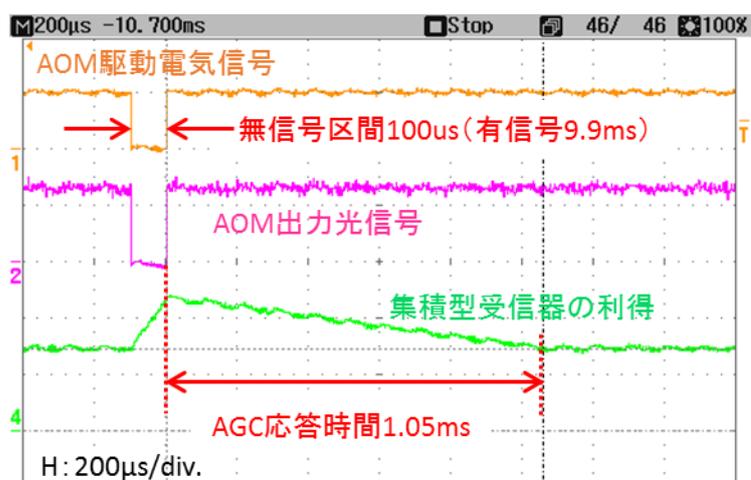


図 2-3.3.4-7 集積型受信器の光バースト信号応答評価 (AGC)

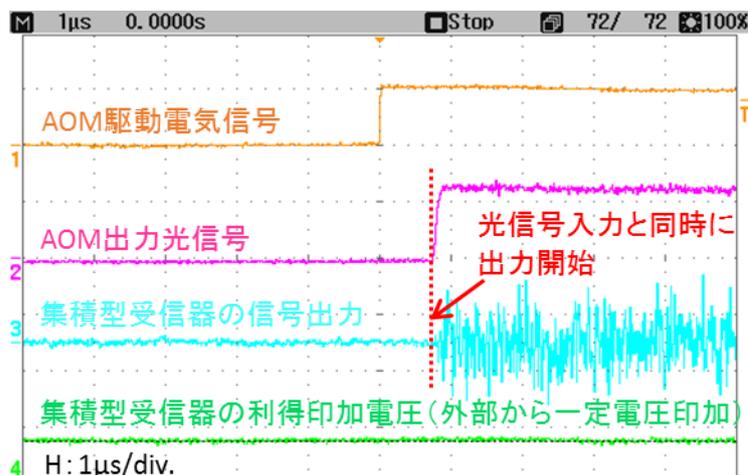


図 2-3.3.4-8 集積型受信器の光バースト信号応答評価 (MGC)

3.3.4.5 成果の普及

光波長送受信器は、光電ハイブリッドスイッチシステムの構成要素の一部である。システム実用化に向けて、他の研究開発テーマと連携して国際標準化、データセンタ事業者への提案に取り組んでいる。

3.3.5 研究開発サブテーマ「バースト多値プロセッサ」

3.3.5.1 概要

バースト多値プロセッサは、Tbps 級の光波長送受信器において、多値コヒーレント光信号を送信側で生成し、受信側でバースト状の信号を復調するための電気信号処理回路である。これまでバースト対応の電気信号処理回路としては、局舎と家庭・企業を結び最大 20km 程度伝送する光アクセスネットワーク用として、10Gbps までの技術が確立されている。また、多値コヒーレント信号対応の電気信号処理回路としては、大都市間を結び最大 2,000km 程度伝送する幹線ネットワーク用として、100Gbps 程度の技術が確立されている。開発するバースト多値プロセッサは、データセンタ内の信号伝送を主目的としているため、最大伝送距離は 10km 未満となるが、Tbps 級の超高速ビットレートと、高速な応答を行うバースト応答を両立させる必要がある。このため、従来には無い全く新しい信号処理回路技術を実現するための技術開発を行う。

3.3.5.2 最終目標と根拠

ア. ビットレート:1Tbps の基盤技術を確立(200Gbps での試作を通じて実証)

現状の半導体技術では Tbps 級のバースト多値プロセッサを現実的なコストと消費電力で実現し、下記(イ)のバースト応答速度を達成することは困難であるため、研究開発期間内に実現可能な 200Gbps 級のバースト多値プロセッサを開発試作し、特性評価を行う。ビットレート 200Gbps を達成するため偏波多重 16QAM 方式の実現が必要となるが、扱う信号は 3 種類の振幅(ゼロレベルを含めて 4 値)を取るため、信号振幅のリニアリティが特性上重要になる。複数の信号振幅を取る 16QAM 以上の多値度では、ADC/DAC、変調器/ドライバ、コヒーレント受信器の非線形劣化が伝送品質を左右する重要な要素となっており、16QAM での信号振幅のリニアリティと信号劣化量を評価することで、より多値度を向上させた 1Tbps 伝送時の伝送特性を見積もることができ、1Tbps の基盤技術を確立することが可能となる。

イ. バースト応答速度:100 μ s

バースト多値プロセッサは、光波長送受信器、光コアスイッチのスイッチング速度を損なうことのないバースト信号に対する高速追従性が必要となる。光波長送受信器内の波長可変光源の波長切替速度、光コアスイッチの切替速度の目標は 100 μ s 程度である。これらは、コントローラの指示でほぼ同時に切替処理を行う。光波長送受信器内の波長可変光源とバースト多値プロセッサの応答速度は同等で、波長切替とバースト多値プロセッサの応答がほぼ同時に行うことができれば、光電ハイブリッドスイッチシステム全体の切替時間目標が達成できる。

3.3.5.3 目標の達成度

光バースト信号に対応した新たな機能ブロック回路の設計・試作を実施して基本動作を確認するとともに、バースト多値プロセッサ全体の設計を行い、従来比約 1/10 の短縮となる 500 μ s の切り替え時間の確認を達成し、当初予定通りである。

3.3.5.4 成果と意義

バースト多値プロセッサの研究開発において、光バースト信号を安定に送受信するための新たな機能ブロックの回路検討から実施した。基本機能・性能を把握するため、基本回路設計を進めた。高速にバースト応答するためには、信号フレーム先頭位置を高速に検出し、信号の継続や収束を判定する①バースト信号推定回路、伝送路特性の高速なモニタ機能を実現するための②高速伝送路推定回路、バースト信号の到来・継続・収束に応じて各回路

ブロックを高速に制御する③バースト適応制御回路が必要となる(図 2-3.3.5-1)。これらについてアルゴリズムを検討し、アプリケーションで想定される入力信号を伝送路モデルから生成して回路シミュレーションを実施した。

バースト応答を詳細に評価するため、評価方法の検討に取り組んだ。目標である 200Gbps における 100 μ s のバースト応答達成に向け、バースト信号と伝送路特性の推定精度やバースト適応制御の安定性を重視したモードや、逆に高速応答性を重視して精度と安定性を緩和したモードについてシミュレーションによる検討を実施した。回路の基本動作を確認するとともに、理想的な条件下ではあるが、目標応答時間への目途を確認した。これらの結果を踏まえ、バースト適応制御回路の収束状態・同期状態・誤り訂正数の監視基本回路を設計し、既存 IP と合せて詳細な設計を行った。さらに、バースト対応新規設計ブロックの機能を確認するため、部分試作のレイアウトおよび試作を進めた。部分試作は実績のある 16nm プロセスにて 2018 年度に実施した。

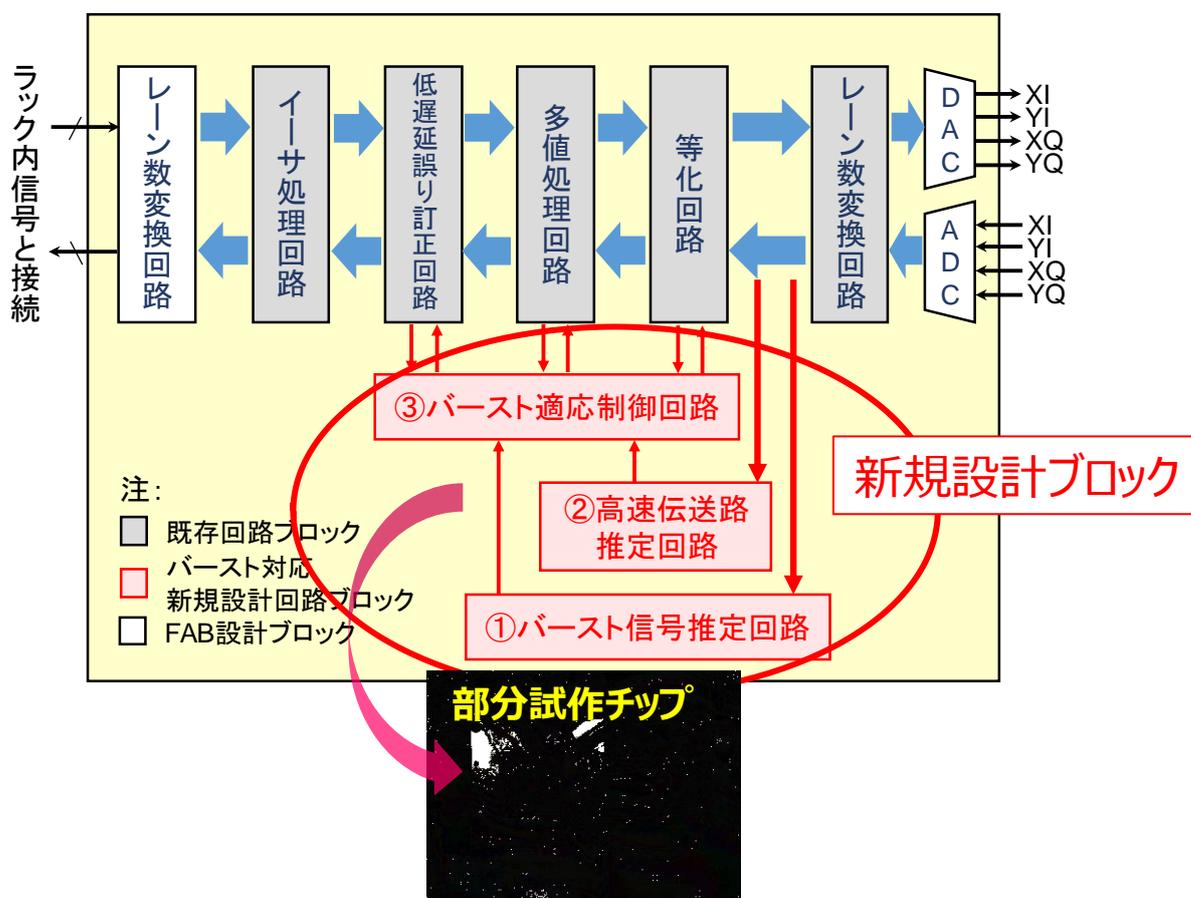


図 2-3.3.5-1 バースト多値プロセッサの主要ブロックと部分試作

2019 年度は試作した 16nm 部分試作チップのバースト特性を評価し、既存 IP とバースト対応新規設計ブロックをあわせた全体チップについて最先端の 7nm プロセスを用いた一次試作を実施した。

部分試作チップの評価では、従来のバースト非対応 LSI に比べ、約 1/10 の短縮となる 500 μ s の切り替え時間を達成した(図 2-3.3.5-2)。これにより、高速にバースト応答するため新たに導入した新規設計回路ブロックの基本的な効果を確認することができた。

一方、目標である 100 μ s の応答に対しては、さらなる切り替え時間の短縮が必要である。

バースト信号と伝送路特性の推定精度やバースト適応制御の安定性を重視したモードや、逆に高速応答性を重視して精度と安定性を緩和したモードについてシミュレーションによる検討を実施した。

また、変調方式の拡張検討により、現時点における 16QAM 変調に対し QPSK 変調での実現性を検討した。シンボルレートを当初の 2 倍に高速化するため、光波長スイッチなど光学デバイスの対応も課題となるが、高速応答性を重視したモード選択からさらに切り替え時間を約 1/2 に短縮できることが推定された(表 2-3.3.5-1)。

これらの結果を踏まえ、7nm プロセスによるバースト適応制御回路の収束状態・同期状態・誤り訂正数の監視基本回路を設計・検証し、これらの回路を統合して 7nm 化した既存 IP と合せ、詳細設計を行い試作を進めた。また、2020 年度の改良試作に向け、基本共通部分のレイアウトを前倒し実施した。

さらに、一次試作チップのバースト特性を評価するための評価ボードを設計、試作するとともに、クライアント側の出力信号におけるバースト対応の課題について検討を進めた。確認した課題への対応策は改良試作に反映する予定である。

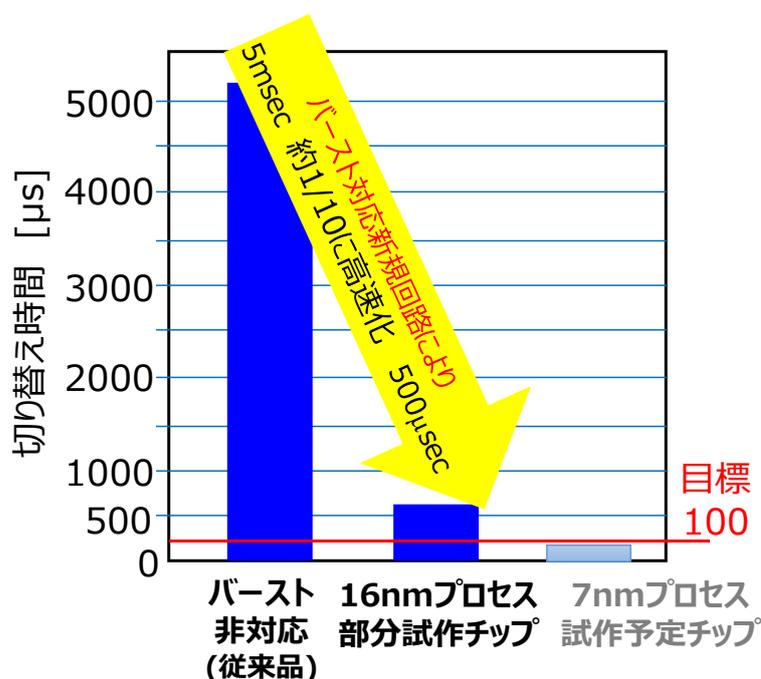


図 2-3.3.5-2 部分試作評価による切り替え時間短縮の達成度

表 2-3.3.5-1 変調方式の変更による切り替え時間の短縮

	200G 16QAM	200G 8QAM	200G QPSK
Baudrate [Gbaud]	~32	~43	~64
波長数@波長間隔	96@50GHz	76@62.5GHz	64@75GHz
応答時間相対値	1	0.75	0.5
受信感度改善量	0dB(基準)	~1.2dB	~3.5dB

これまでの研究開発により、最先端プロセスである 7nm プロセスによる光コヒーレントで、かつバースト対応の多値プロセッサを世界で初めて実現した。この成果は、本研究開発における光電ハイブリッドスイッチシステムの実現に不可欠な技術要素を提供しただけでなく、

Tbps 級の伝送速度をサポートする光スイッチの実現可能性に対して具体的な到達度を示すことができたものとする。すなわち、16nm 部分試作の評価において切り替え時間が 1/10 以下に短縮できることを確認し、最終目標である 100 μ s の切り替え時間達成に具体的な方針が明らかにできたと考えられる。また、変調方式の変更検討では動作方式の選択肢を拡張できることが判明し、切り替え時間のマージン獲得可能性や、方式の柔軟性について把握することができた。今後の研究開発においては一次試作の評価を推進し、課題解決策を改良試作に反映することで性能面、機能面の目標を達成し、スイッチシステムにコア・コンポーネントとして提供を見込んでいる。

3.3.5.5 成果の普及

バースト多値プロセッサは、光波長送受信器に組み込まれる光電ハイブリッドスイッチシステム実現の重要な要素部品のひとつである。システム実用化に向けて、他の研究開発テーマと連携して国際標準化、データセンタ事業者への提案に取り組んでいる。

3.3.6 研究開発サブテーマ「光コアスイッチ」

3.3.6.1 概要

光コアスイッチはシステム内に1台設けられ、各ラックに設けられた光 ToR スイッチから送出された光信号を、光電変換することなく、別のラックに向けて送信する機能を有する機能ブロックである。光電ハイブリッドスイッチシステムの目標性能から、入出力ポート数を 1000 ポート超に拡張可能であること、切替時間が 100 μ s 程度であること、1Tbps 級信号の透過が可能であることの3つの要件を満たす必要がある。これを実現する光回路構成として「光波長多重回路(光合波器)」「光スプリッタ」「光増幅器」「空間光スイッチ」からなる構成(図 2-3.3.6-1)を予定し、これを実装・原理検証した上でシステム実験に適用することが、本研究開発テーマの目標である。

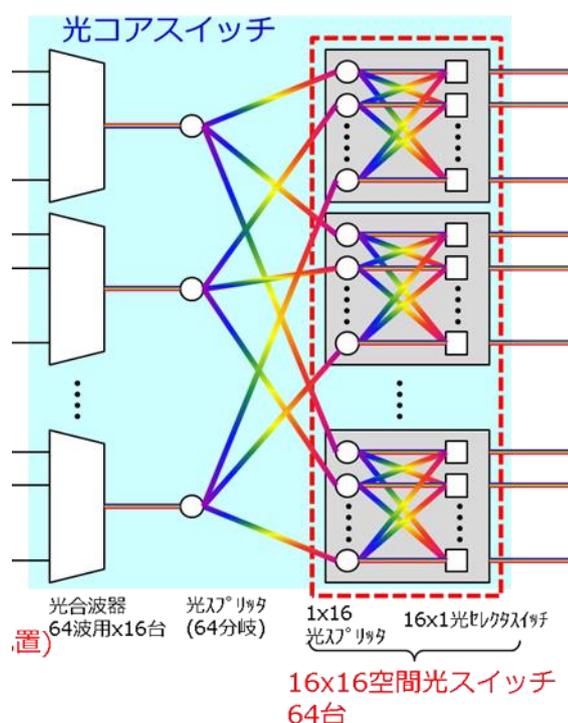


図 2-3.3.6-1 光コアスイッチ構成例

光コアスイッチの主要構成要素のうち、「光波長多重回路(合波器)」「光スプリッタ」「光増幅器」については、既製デバイスの適用が可能と想定しているが、「空間光スイッチ」についてはポート数(1,000 ポート超への拡張性と整合する規模)、光学的動特性(切替時間 100 μ s 程度)、光学的静特性(1Tbps 級の信号透過と整合する挿入損失・偏波依存特性等)の要件を全て満たすデバイスが存在しないため、研究開発期間前半(～2020 年度)において、これら全ての要件を満たす空間光スイッチの研究開発を実施する。

3.3.6.2 最終目標と根拠

光コアスイッチの研究開発における最終目標は、システム実験に適用する 1,000 ポート超に拡張可能な光コアスイッチの設計および原理検証に必要な実装を行い、他機能部との連携動作検証を実施することにある。以下、設計に関する指針、実装に関する指針、連携動作に関する指針に分けて、各々について示す。

設計に関する指針は、特に光信号伝送の観点が重要である。具体的には、「光波長多重回路(合波器)」「光スプリッタ」「光増幅器」等の構成デバイスを選定するプロセスと、新たな取り組みとして実施する「空間光スイッチ」の研究開発プロセスを並行して進め、入力から出力までの OSNR ダイアグラム等の精度を高めながら、光 ToR スイッチ内の光波長送受信器の許容範囲との整合を図る。精度の荒い初期検討状況を、空間光スイッチが最低限満たすべき要件として表現し直すと、内蔵する光セクタスイッチのポート数 16、過剰損失 13dB 以下、スイッチング時間 100 μ s 以下となる。

実装に関する指針は、フル実装時の装置サイズを実用上適切なサイズとなるよう定める必要がある。対象とする装置に必要な 1,000 ポート規模の入出力ポートの専有面積や、ファイバの挿抜を一般的な作業者が実施するための適度な間隔等を考慮して設計を実施する。精度の荒い初期検討状況として、光コアスイッチを 1 架に収容することを目安としている。

連携動作に関する指針については、コントローラとの間で制御情報等を送受するインタフェースや通信プロトコルを規定することが目標となる。システム全体を適切に動作させる観点から、特に遅延時間の低減に配慮して設計を実施する必要がある。精度の荒い初期検討状況として、コントローラと光コアスイッチの間の通信遅延を 100 μ s 以下に抑えることを目安としている。

以上の指針に沿って研究開発を推進し、進捗を踏まえて検討精度を高めることによって、着実に最終目標とする装置実装、連携動作検証が達成される。

3.3.6.3 目標の達成度

光電ハイブリッドスイッチシステムの重要な要素部品のひとつである光コアスイッチ実現に向けて、世界で初めてスイッチング時間が 100 μ s を下回る石英系 PLC 方式の光スイッチを作製し、その高速切替機能を実証した。当該領域の技術課題をクリアする見通しを得た。

現在、光コアスイッチへの適用を予定する、内蔵される光セクタスイッチのポート数が 16 の空間光スイッチの簡易モジュールの作製を進めており、期待通りの性能が得られれば、研究開発期間前半の目標を達成できる。また、連携動作に関する検討を他の研究開発テーマと共同で進めており、コントローラとの間の通信にトヨタ自動車の工場で採用されたことでも知られる EtherCAT の適用を有力候補としており、駆動信号生成回路(ドライバ回路)の EtherCAT 対応化も進めている。研究開発期間後半に予定する光コアスイッチの実装に向けても、順調に準備を進めている。

3.3.6.4 成果と意義

概要に記載の通り、研究開発期間前半(～2020 年度)では、光コアスイッチへの適用に必要な諸要件を満たす空間光スイッチの研究開発を実施している。最終目標を達成するため

には、空間光スイッチに内蔵される光セクタスイッチのポート数 16、過剰損失 13dB 以下、スイッチング時間 100 μ s 以下の要件を全て満たすデバイスを実現することが課題である。スイッチを実現するプラットフォームの候補として、まず光通信網にて豊富な適用実績のある石英系 PLC (Planar Lightwave Circuit) 方式で検討を進めた。石英系 PLC 方式で光セクタスイッチを作製する場合、ポート数 16、過剰損失 13dB 以下という2つの要件の達成は容易であるが、スイッチング時間は通常 ms 単位の時間を要するため、100 μ s 以下への短縮することが極めて高い課題であった。本研究開発テーマでは、石英系 PLC 方式の光セクタスイッチにおいて、スイッチング時間を 100 μ s 以下に抑える技術の確立を進めた。

これまでに、熱伝導効率を高める薄膜化、切替時間を短縮する駆動方法の工夫を通じて、2 入力 2 出力の光スイッチエレメントにおいて 100 μ s を下回る 84 μ s の切替を達成した(図 2-3.3.6-2、図 2-3.3.6-3)。本成果により、石英系 PLC 方式で「ポート数」「過剰損失」「スイッチング時間」の3要求条件を全て満足する光セクタスイッチを実現するための基礎データが得られたこととなり、スイッチを実現するプラットフォームに石英系 PLC 方式を採用するとの結論に至った。

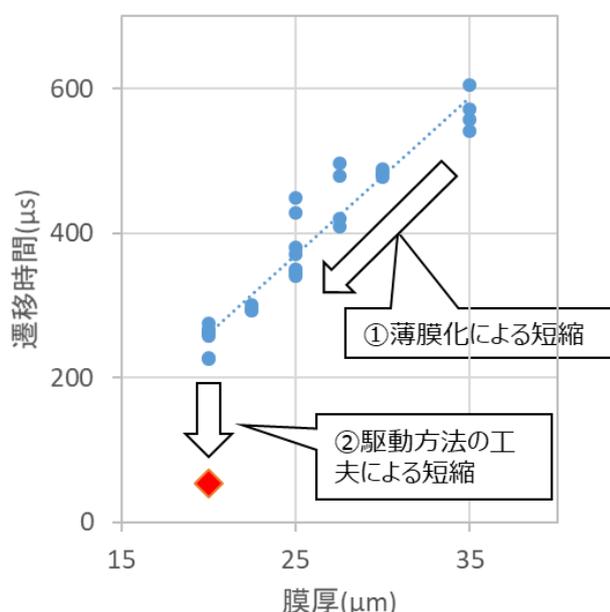


図 2-3.3.6-2 遷移時間の短縮効果概要

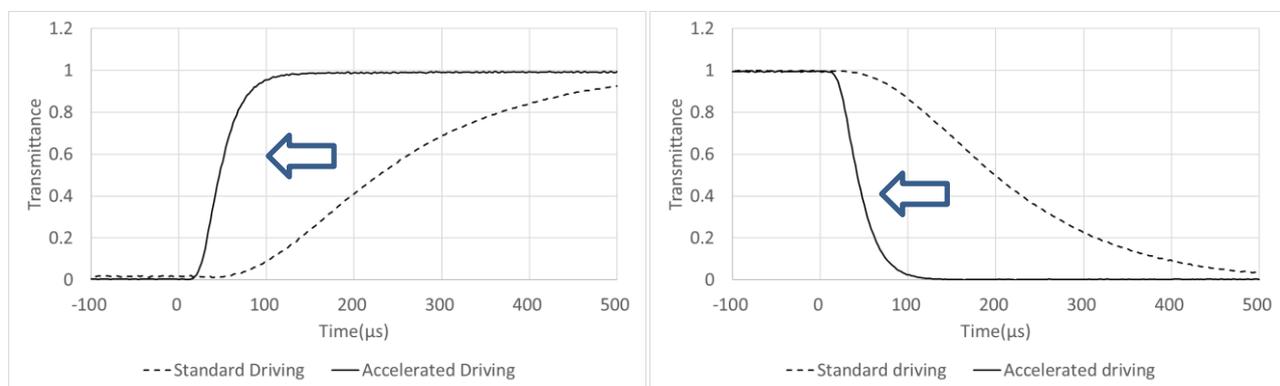


図 2-3.3.6-3 本研究で達成したスイッチング時間 100 μ s を切る応答の波形

更に上記検討を発展させて、石英系 PLC 方式で光スイッチの回路規模を 8 入力 8 出力に拡張して光ファイバ接続した簡易モジュールと、100 μ s を下回るスイッチングに最適化した駆動信号生成(ドライバ)回路を作製し、両者を組み合わせたの評価を現在実施中である。得られつつあるデータは、光スイッチエレメントの評価結果との整合性が保たれており、光コアスイッチへの適用に必要な諸要件を満足できる見通し精度が一層向上しているなど、目標達成に向けて順調に研究開発を進捗させている。

石英系 PLC 方式の光スイッチはキャリアネットワークにも適用されている実用的な光スイッチである。従って、これまでの研究開発期間で達成したスイッチング時間を 100 μ s 以下に抑える技術の開発は、実用的な光スイッチのスイッチング時間として最短レベルに位置づけられ、本成果については、光通信に関する世界最大の会議である OFC に投稿し、口頭発表で採択されるなど、対外的にも高く評価されている。

3.3.6.5 成果の普及

成果と意義の項にて言及したように、本研究開発成果がベースとしている石英系 PLC 方式の光スイッチは、キャリアネットワークにも適用される実績のある光スイッチであり、本研究開発成果が実用に供されるに当たって重要なパラメータとなる信頼性などは、基本的に既存の石英系 PLC デバイスに準じるものである。従って、本成果が市場に普及するための素地は十分に備わっていると考えられる。

光コアスイッチは、光電ハイブリッドスイッチシステム実現の重要な要素部品のひとつである。システム実用化に向けて、他の研究開発テーマと連携して国際標準化、データセンタ事業者への提案に取り組んでいる。

3.3.7 研究開発サブテーマ「国際標準化」

3.3.7.1 概要

光電ハイブリッドスイッチシステムの研究開発成果を、技術的優位を保ちながら広く普及させるために、国際標準化として以下の活動を行う。

光電ハイブリッドスイッチシステム制御アルゴリズムを普及させるため、標準化フォーラムを選定しオープンソースとしてソフトウェアを公開する。

光電ハイブリッド部品の標準化として、フォーラム標準化および国際標準化団体の標準化動向を調査し、活動に参画することで開発成果を反映する標準を獲得する。

3.3.7.2 最終目標と根拠

国際標準化における最終目標は、システム動作確認を終えたソフトウェアを技術成果として標準化団体に公開し提案を行い、また、光電ハイブリッドスイッチ部品の標準プロジェクト化をめざすことである。これにより、研究成果の技術的優位性を確保し、データセンタへの普及を促進させる。

3.3.7.3 目標の達成度

データセンタ関連のソフトウェア開発に関する標準化団体および光電ハイブリッドスイッチ部品の標準化団体での調査・働きかけを行って、標準化の賛同者獲得に向けた事前協議を行い、予定通り進捗している。

3.3.7.4 成果と意義

データセンタ制御アルゴリズムをオープンにするプラットフォームとして適している標準化団体の候補を選定し、データセンタ事業者へのプロモーション活動の基盤を築きつつある。

3.3.7.5 成果の普及

データセンタ制御アルゴリズムをオープンにするプラットフォームとして最適な標準化団体の候補を選定した。次のステップである具体的なオープンソフトウェアとしてのデータセンタ制御アルゴリズムの提案活動へ進む。

3.4 研究開発テーマ「イジングマシン共通ソフトウェア基盤の研究開発」

本研究開発項目では、イジングマシン共通ソフトウェア基盤の研究開発という目標に対し、イジングモデル変換のための理論構築や、理論に基づき共通ソフトウェア基盤のプロトタイププログラム・ライブラリを構築するなど目覚ましい成果を上げつつある。以下、主な成果を列挙する：

- ・物理イジングモデル変換の基本アルゴリズム設計として、理論的に最適性を保証する相互作用係数・外部磁場のビット幅削減を実現した。
- ・論理イジングモデル変換のための最適係数決定アルゴリズムを構築し、従来の係数設定に比較して2桁～3桁の高速化を実現した。
- ・イジング・バイナリ多項式に最適化された数式処理ライブラリの開発ならびに各社のイジングマシンを駆動するドライバの開発を行い、共通ソフトウェア基盤のプロトタイプソフトウェアを構築した。
- ・産業界との連携強化を促進するためのエコシステムやプラットフォーム構築のため、「次世代コンピュータが実現する革新的ビジネス」シンポジウムを開催し、関連事業を含め、本研究開発の成果を広く発表し、産業界に対する波及効果を得た。

個別の研究開発テーマにおける詳細は以下に示す。

3.4.1 研究開発サブテーマ「イジングマシン共通ソフトウェア基盤の研究開発」

3.4.1.1 概要

Society5.0の実現のため、先進的なモビリティサービスやスマートファクトリ、金融、創薬など多様な産業分野におけるデジタルイノベーションの進展と、これに伴う高性能コンピューティングに対する社会的要請が急激に高まっている。「最適化問題」とりわけ「組合せ最適化問題」は、Society5.0を実現する産業分野の至るところに内在し、NP 困難問題等、難しいクラスの組合せ最適化問題であっても高速に「最適解」を求めることが、Society5.0の実現の成否を決めることとなる。ここで組合せ最適化問題の超高速解法のブレークスルーとして期待されているのが「量子アニーリングマシン」をはじめとする「イジングマシン」である。いくつかのサンプルデータによれば、イジングマシンを活用することにより2桁～4桁以上の電力効率の向上が期待される。しかも量子アニーリングマシンを支える基盤技術、すなわち、超電導量子ビットやイジングモデルによる組合せ最適化問題の高速解法はいずれも90年代に我が国で提案され実証されたものであることは広く知られている。しかし、現時点で最も実用化が進んでいるのは事実上カナダ D-Wave Systems の量子アニーリングマシンであり、残念ながら我が国の研究開発は欧米に後れを取っていると言わざるを得ない。

こうした背景のもと、現在、我が国でも量子アニーリングマシンや半導体によるイジングマシンをはじめ、活発にイジングマシンの研究開発が行われて、さまざまなイジングマシンハードウェアが提案・開発されている。ところが、我が国ならびに世界のイジングマシン開発状況を俯瞰すると、巡回セールスマン問題やグラフ最大カット問題など、ごく単純かつ理想的な組合せ最適化問題のみが解法されているのにとどまり、複雑かつ多様な現実課題とのギャップが極めて大きい。ここに、現状のイジングマシン開発の最大の問題点があると言える。こうした問題点を生み出す本質的要因は、現実課題と、これを解法するイジングマシンハードウェアとの間に大きな「乖離」があることであり、いかにこの「乖離」を埋めるか、すなわち現実課題とイジングマシンとの間の中間層に、さまざまなイジングマシンアーキテクチャにとって共通的に動作する「ソフトウェア基盤」を構築するかが最大の課題となる。

本研究開発では、この問題を解決するため、現実課題とイジングマシンハードウェアの中間層として、ミドルウェア群および共通 API 等から構成される「共通ソフトウェア基盤」を研究開発する。その結果、現在までに開発された国内外のイジングマシンだけでなく、将来開発

されることが見込まれるさまざまなイジングマシンにとって、共通的なソフトウェア基盤を提供することを可能とし、現実課題とイジングマシンハードウェアとの間の「乖離」を解消、多様なイジングマシン上で「複雑かつ多様な現実課題の解法」を可能とする。

本研究開発は、[実施項目 1]イジング計算共通ソフトウェア基盤の研究開発(担当機関:早稲田大学、東京工業大学、国立情報学研究所、フィックスターズ、豊田通商、日本電気)、[実施項目 2]イジング計算アプリケーションの研究開発(担当機関:産業技術総合研究所、豊田通商)から構成され、各研究開発を通じて上記の目標を達成する。

3.4.1.2 最終目標と根拠

本研究開発の最終目標は、本研究開発と連携し、NEDO 事業で日本電気が研究開発する量子アニーリングマシンと相まって、これまで適用が困難であったさまざまな現実課題を「共通ソフトウェア基盤」によってイジングマシン上で解法することを可能とし、従来の現実課題の解法技術と比較して、少なくとも 2 桁を超える高速解法あるいは電力効率を達成することにある。

本研究開発に取り組む研究機関は、国内外でイジングマシン応用に数多く取り組んでおり、すでにいくつかの組合せ最適化問題において、イジングマシンを利用することで、従来技術と比較してすでに 1 桁以上の高速化(同精度の解に到達するまでの実行時間を 1 桁以上削減)を実現している。これらの知見をもとに最終目標の達成を目指す。

以下、研究開発の実施項目ごとに中間目標ならびに最終目標とその根拠を示す。

[実施項目 1]イジング計算共通ソフトウェア基盤の研究開発

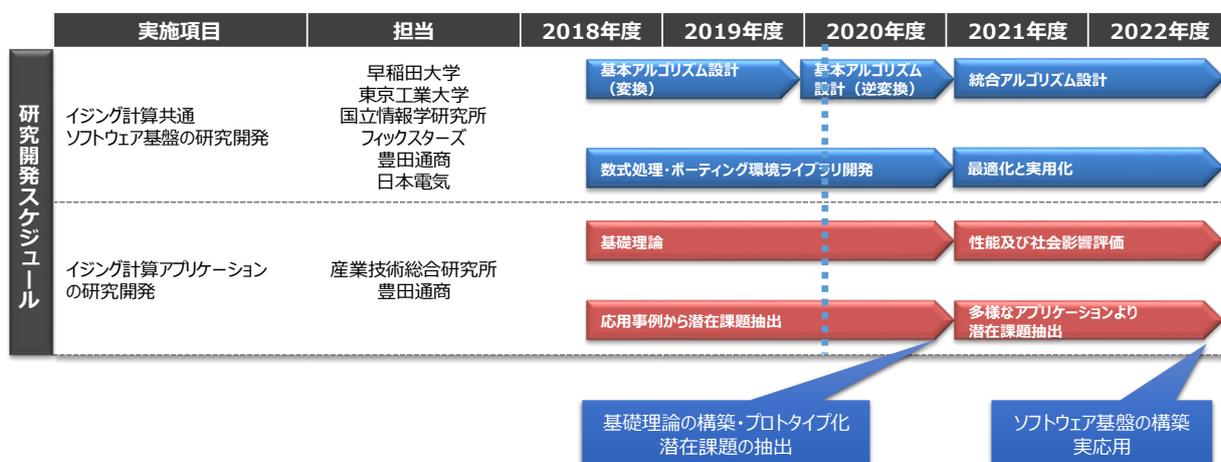
	2020年度の目標	2022年度の目標	妥当性
学校法人早稲田大学 1-1 共通ソフトウェア基盤のための基本アルゴリズムと要素技術	<ul style="list-style-type: none"> 論理・物理イジングモデル変換の統合化アルゴリズムの設計と評価 一部、論理・物理イジングモデル逆変換の評価 	<ul style="list-style-type: none"> 論理・物理イジングモデル変換/論理・物理イジングモデル逆変換の統合化アルゴリズム設計と評価 	<ul style="list-style-type: none"> 実問題とイジングモデルとの「ギャップ」を埋めるため、論理・物理イジングモデルとその間の変換・逆変換の概念を導入し、これらを最適に実現する各種基本アルゴリズムを開発する。
国立大学法人東京工業大学 1-2 共通ソフトウェア基盤の基盤理論	<ul style="list-style-type: none"> 量子と古典の比較のためのベンチマークとなる問題を設定し、その解析を行う。 高度な量子制御の理論を提案し、その有効性をテストする。 	<ul style="list-style-type: none"> 古典手法に対して量子手法が優位になる条件を明らかにする。高度な量子制御の理論の実証を行う。 	<ul style="list-style-type: none"> どのような場合に量子積が必要か、どのような場合に古典技術で十分かを明らかにすることにより、ソフト・ハードの開発方針の基盤を築く。
国立情報学研究所 1-3 共通ソフトウェア基盤評価のための古典アルゴリズム開発	<ul style="list-style-type: none"> グラフポロジータと様々な実機等の比較 スピンの結合に制約の強いトポロジ(特に疎グラフ)をもつグラフに対する組合せ最適化問題(TSPなど)に対して、古典計算機と実機のシミュレーションの計算速度、スペースそして計算精度対比評価 	<ul style="list-style-type: none"> 実ネットワークに対する組合せ最適化問題(TSPなど)に関して、古典計算機と実機のシミュレーションの計算速度、計算スペース、計算効率そして計算精度対比評価。 	<ul style="list-style-type: none"> 現在のところ、それぞれの実機がすべてのグラフポロジータ、あるいは組合せ最適化問題すべてに対応できるわけではない。 様々な実機とどの組合せが最も効果的かを見極める必要がある。
株式会社フィックスターズ 1-4 共通ソフトウェア基盤のためのライブラリ開発とAPI開発	<ul style="list-style-type: none"> イジング代数ライブラリにおける多項式処理システムのプロトタイプ開発 各種マシン向け論理変換アルゴリズム開発 	<ul style="list-style-type: none"> 主要マシンへのポーティングによる統合APIを含む開発プラットフォームの確立 	<ul style="list-style-type: none"> ユーザからの入力を高速に処理し各マシンへの入力データに適切に変換するためには、イジング代数に特化した数式処理及び論理変換システムの開発が必須。
豊田通商株式会社 1-5 共通ソフトウェア基盤のための0-1整数計画問題の抽出と適切な定式化に関する検討	<ul style="list-style-type: none"> 実課題からの0-1整数計画問題の抽出 冗長性除去、参照データセット化 	<ul style="list-style-type: none"> 論理イジングモデルへの変換容易性を考慮した抽出 定式化方針の確立 	<ul style="list-style-type: none"> 現実的な最適化課題の中から、論理イジングモデルへの変換が可能である問題に注意深く抽出し、0-1整数計画問題として、厳密に定式化し、ベンチマークデータセットとする。
日本電気株式会社 1-6 ソフトウェアと連携した量子アニーリングハードウェアのアーキテクチャ最適設計	<ul style="list-style-type: none"> トポロジパラメータが解品質に与える影響を評価し、代表的な問題クラスごとに適切なトポロジパラメータを選定する。 	<ul style="list-style-type: none"> 他の研究項目からのフィードバックに基づき、幅広いアプリケーション(問題クラス)に対応できる効率的なトポロジパラメータの導出を行う。 	<ul style="list-style-type: none"> 実問題に対する「超電導パラメトロン素子を用いた量子アニーリング技術の研究開発」プロジェクトで開発するHWの妥当性を事前に評価し、フィードバックを行う。

[実施項目 2]イジング計算アプリケーションの研究開発

	2020年度の目標	2022年度の目標	妥当性
産業技術総合研究所 2-1 セキュリティ・マテリアルデザインアプリケーション	<ul style="list-style-type: none"> セキュリティ・マテリアルデザインの理想的イジングモデルへの効果的マッピング手法探索 イジングマシンの基底探索状態をより効果的に計算するためのダイナミクス開発 	<ul style="list-style-type: none"> イジングマシンが情報セキュリティ安全性評価・マテリアルデザインに与える社会影響や要求されるハード仕様を分析、評価 	<ul style="list-style-type: none"> セキュリティ・マテリアルデザインの効率的マッピング・シミュレーション手法の確立は、社会影響評価やハード仕様の設計の提示によって、イジングマシン分野の普及に大きく貢献する。
豊田通商株式会社 2-2 次世代モビリティ・ロジスティクス・サプライチェーン	<ul style="list-style-type: none"> 渋滞情報サービスプラットフォームをテストベッドとした最適化問題の抽出と定式化の実施 	<ul style="list-style-type: none"> モビリティサービス、モビリティ以外のアプリケーションの適用可能性の検証 	<ul style="list-style-type: none"> 将来生まれてくるモビリティ領域における最適化課題を先取りし、さらにイジングマシンによる高速最適化を前提として初めて可能となるサービスモデルを検討する。
豊田通商株式会社 2-3 産業界との連携強化を促進するためのエコシステムやプラットフォーム構築	<ul style="list-style-type: none"> 有識者へのヒアリング、シンポジウム開催時のアンケート実施による意見の集約・分析、分析結果の研究開発への反映 	(2018年度・2019年度で目標達成)	<ul style="list-style-type: none"> 早期にシンポジウム等を開催して情報収集のみならず当該分野における情報の発信を行い、一連の事業の中で得られた情報を本研究開発に取り込むことで、研究開発の効率化と創出される成果の最大化を図る。

3.4.1.3 目標の達成度

本研究開発では、以下に示すような5年間の研究開発計画を立てている。現状、2年強が経過した段階で、すべての研究実施項目について研究目標を達成しており(一部については前倒しで実行)、5年間の研究開発目標を達成できる見込みである。



2018年度ならびに2019年度について、個別の目標の達成状況を以下の表の通りにまとめる(各項目の後ろの記号は、成果と意義の表中の番号に対応する)。

[実施項目1] イジング計算共通ソフトウェア基盤の研究開発

機関	2018年度の当初目標と達成状況	2019年度の当初目標と達成状況
学校法人早稲田大学 1-1 共通ソフトウェア基盤のための基本アルゴリズムと要素技術	(○) 物理イジングモデル変換の基本アルゴリズム設計と評価[1-1-A]	(○) 物理イジングモデル変換の基本アルゴリズム設計と評価[1-1-A] (○) 一部、論理イジングモデル変換の評価[1-1-B] (前倒し) 論理・物理イジングモデル変換の統合化アルゴリズム設計と評価の一部[1-1-D] (前倒し) 一部、論理・物理イジングモデル逆変換の評価[1-1-C]
国立大学法人東京工業大学 1-2 共通ソフトウェア基盤の基礎理論	(○) 内外の状況調査[1-2-A]	(○) プロトタイプ問題でのベンチマーク[1-2-A]
国立情報学研究所 1-3 共通ソフトウェア基盤評価のための古典アルゴリズム開発	(○) 密グラフでの各イジングマシンと古典計算機での比較実験[1-3-A]	(○) 「ランダムに近い疎グラフ」そして「平面に近いグラフ」に対して、各イジングマシンと古典計算機での比較[1-3-B]
株式会社フィックスターズ 1-4 共通ソフトウェア基盤のためのライブラリ開発とAPI開発	(○) 各社のイジングマシンを駆動するドライバを含むポータリング環境ライブラリのベースを開発[1-4-A],[1-4-B]	(○) 高次多項式・変数に対する四則演算や二変数多項式と論理イジングモデルとの間を変換・逆変換を含めた数式処理ライブラリ[1-4-A],[1-4-B],[1-4-C]
豊田通商株式会社 1-5 共通ソフトウェア基盤のための0-1整数計画問題の抽出と適切な定式化に関する検討	(○) 既存ベンチマークデータセットからの0-1整数[1-5-A]	(○) アプリケーション検討チーム及び外部連携組織の協力に基づく0-1整数計画問題の抽出[1-5-A],[1-5-B],[1-5-C],[1-5-D]
日本電気株式会社 1-6 ソフトウェアと連携した量子アニーリングハードウェアのアーキテクチャ最適設計	(○) 相互結合階調の基礎検討[1-6-A]	(○) 結合トポロジーの基礎検討[1-6-A],[1-6-B]

[実施項目2] イジング計算アプリケーションの研究開発

機関	2018年度の当初目標と達成状況	2019年度の当初目標と達成状況
産業技術総合研究所 2-1 セキュリティ・マテリアルデザインアプリケーション	(○) セキュリティ評価・マテリアルデザインに関する先行量子技術[2-1-A],[2-1-B]	(○) セキュリティ・マテリアルデザインの効果的マッピング方法の探索・ハードウェア実装のモデリング[2-1-A],[2-1-B]
豊田通商株式会社 2-2 次世代モビリティ・ロジスティクス・サプライチェーン	(○) 既存交通情報システムの要件分析と最適化問題の抽出[2-2-A]	(○) 既存交通情報システムから抽出した最適化問題の0-1整数計画問題への定式化[2-2-B],[2-2-C]
豊田通商株式会社 2-3 産業界との連携強化を促進するためのエコシステムやプラットフォーム構築	(○) 本事業者、大学・研究機関、企業から有識者へのヒアリングの実施と意見集約・分析[2-3-A]	(○) シンポジウム案の構想および仕様検討の事前準備、開催日の事務局運営の実施[2-3-A] (○) 有識者へのヒアリング、シンポジウム開催時のアンケート実施による意見の集約・分析。分析結果の研究開発への反映[2-3-A]

3.4.1.4 成果と意義

本研究開発は、[実施項目 1] イジング計算共通ソフトウェア基盤の研究開発ならびに[実施項目 2] イジング計算アプリケーションの研究開発のそれぞれについて、これまで顕著な研究成果をあげている。

以下、2018 年度と 2019 年度の成果をまとめ、その後、主な成果について記述する。

[実施項目 1] イジング計算共通ソフトウェア基盤の研究開発

機関	研究開発成果（価値、解決できた課題）	苦労した点・新たに発見した課題
学校法人早稲田大学 1-1 共通ソフトウェア基盤のための基本アルゴリズムと要素技術	<ul style="list-style-type: none"> [1-1-A] 物理イジングモデル変換の基本アルゴリズム設計と評価（理論的に最適性を保証する相互作用係数・外部磁場のビット幅削減） [1-1-B] 論理イジングモデル変換のための最適係数決定アルゴリズム [1-1-C] 論理イジング逆変換アルゴリズムー論理スピン解釈処理アルゴリズム [1-1-D] 統合化アルゴリズムの構築（IsingLib） 	<ul style="list-style-type: none"> 各種基本アルゴリズムのユーザ拡大とホームページによる情報発信 基本アルゴリズムを利用した外部フィードバックによるエコシステムの確立
国立大学法人東京工業大学 1-2 共通ソフトウェア基盤の基盤理論	<ul style="list-style-type: none"> [1-2-A] 量子と古典の限界にある$p=3$のpスピン模型の解析を進め、量子古典境界域の存在の普遍性の確立に向けて見直しを付けた。 	<ul style="list-style-type: none"> ギャップのランドスケープが極めて複雑な構造をしていることが明らかになり、数値精度の向上に相当の時間を要した。
国立情報学研究所 1-3 共通ソフトウェア基盤評価のための古典アルゴリズム開発	<ul style="list-style-type: none"> [1-3-A] TSPに関する予備実験（古典アルゴリズムとSA）完了 [1-3-B] グラフ上のTSPに関する予備実験（古典アルゴリズムとSA）を実グラフで完了 	<ul style="list-style-type: none"> TSPとイジングモデルが本当に相性がいいのか、あるいは入力グラフとイジングモデルの相性がいいのか、引き続き検証の必要あり。
株式会社フィクスターズ 1-4 共通ソフトウェア基盤のためのライブラリ開発とAPI開発	<ul style="list-style-type: none"> [1-4-A] 数式処理システムの設計（Pythonプロトタイプ版） [1-4-B] 各マシンへのポーティングドライバの設計（Pythonプロトタイプ版） [1-4-C] マシンの物理イジングモデルに対応するグラフ埋め込みの基本アルゴリズム構築 	<ul style="list-style-type: none"> エンタープライズ版（C++による高速処理対応版）の設計及び実装フェーズの工数が今後大きくなるが見込まれる。 ユーザビリティの向上を重視するためにAPI再設計を繰り返す必要あり。
豊田通商株式会社 1-5 共通ソフトウェア基盤のための0-1整数計画問題の抽出と適切な定式化に関する検討	<ul style="list-style-type: none"> [1-5-A] MIPLIB及び公表論文からの0-1整数計画問題の抽出 [1-5-B] 抽出した各問題の概要/分類/定式化（MIPモデル、QUBOモデル）の実施 [1-5-C] ベンチマークデータセットのウェブアプリケーションの開発と整備 [1-5-D] 研究メンバーによる整備データの活用のためのアプリ機能拡張を実施 	<ul style="list-style-type: none"> 研究メンバーおよび外部協カメンバーの利用拡大と情報発信 オンライン実行、入力・出力データの設計
日本電気株式会社 1-6 ソフトウェアと連携した量子アニーリングハードウェアのアーキテクチャ最適設計	<ul style="list-style-type: none"> [1-6-A] 評価対象のトポロジとして全結合、キメラ、LHZを選定。それぞれのトポロジに対し、相互結合係数の精度を変更可能な評価環境を開発。巡回セールスマン問題および最大カット問題を対象に評価 [1-6-B] 評価手法として、一般的な手法（SA、SQA）に加え、運動方程式ベースの解法であるSimulated Bifurcation（SB）を試作評価。必要に応じ活用予定 	<ul style="list-style-type: none"> 評価手法のパラメータ（冷却スケジュール等）に加え、問題に含まれる制約項の強さや、キメラグラフ埋め込み時のパラメータ（チェーン強度等）などのハイパーパラメータ探索の重要性

[実施項目 2] イジング計算アプリケーションの研究開発

機関	研究開発成果（価値、解決できた課題）	苦労した点・新たに発見した課題
学校法人早稲田大学 1-1 共通ソフトウェア基盤のための基本アルゴリズムと要素技術	<ul style="list-style-type: none"> [1-1-A] 物理イジングモデル変換の基本アルゴリズム設計と評価（理論的に最適性を保証する相互作用係数・外部磁場のビット幅削減） [1-1-B] 論理イジングモデル変換のための最適係数決定アルゴリズム [1-1-C] 論理イジング逆変換アルゴリズムー論理スピン解釈処理アルゴリズム [1-1-D] 統合化アルゴリズムの構築（IsingLib） 	<ul style="list-style-type: none"> 各種基本アルゴリズムのユーザ拡大とホームページによる情報発信 基本アルゴリズムを利用した外部フィードバックによるエコシステムの確立
国立大学法人東京工業大学 1-2 共通ソフトウェア基盤の基盤理論	<ul style="list-style-type: none"> [1-2-A] 量子と古典の限界にある$p=3$のpスピン模型の解析を進め、量子古典境界域の存在の普遍性の確立に向けて見直しを付けた。 	<ul style="list-style-type: none"> ギャップのランドスケープが極めて複雑な構造をしていることが明らかになり、数値精度の向上に相当の時間を要した。
国立情報学研究所 1-3 共通ソフトウェア基盤評価のための古典アルゴリズム開発	<ul style="list-style-type: none"> [1-3-A] TSPに関する予備実験（古典アルゴリズムとSA）完了 [1-3-B] グラフ上のTSPに関する予備実験（古典アルゴリズムとSA）を実グラフで完了 	<ul style="list-style-type: none"> TSPとイジングモデルが本当に相性がいいのか、あるいは入力グラフとイジングモデルの相性がいいのか、引き続き検証の必要あり。
株式会社フィクスターズ 1-4 共通ソフトウェア基盤のためのライブラリ開発とAPI開発	<ul style="list-style-type: none"> [1-4-A] 数式処理システムの設計（Pythonプロトタイプ版） [1-4-B] 各マシンへのポーティングドライバの設計（Pythonプロトタイプ版） [1-4-C] マシンの物理イジングモデルに対応するグラフ埋め込みの基本アルゴリズム構築 	<ul style="list-style-type: none"> エンタープライズ版（C++による高速処理対応版）の設計及び実装フェーズの工数が今後大きくなるが見込まれる。 ユーザビリティの向上を重視するためにAPI再設計を繰り返す必要あり。
豊田通商株式会社 1-5 共通ソフトウェア基盤のための0-1整数計画問題の抽出と適切な定式化に関する検討	<ul style="list-style-type: none"> [1-5-A] MIPLIB及び公表論文からの0-1整数計画問題の抽出 [1-5-B] 抽出した各問題の概要/分類/定式化（MIPモデル、QUBOモデル）の実施 [1-5-C] ベンチマークデータセットのウェブアプリケーションの開発と整備 [1-5-D] 研究メンバーによる整備データの活用のためのアプリ機能拡張を実施 	<ul style="list-style-type: none"> 研究メンバーおよび外部協カメンバーの利用拡大と情報発信 オンライン実行、入力・出力データの設計
日本電気株式会社 1-6 ソフトウェアと連携した量子アニーリングハードウェアのアーキテクチャ最適設計	<ul style="list-style-type: none"> [1-6-A] 評価対象のトポロジとして全結合、キメラ、LHZを選定。それぞれのトポロジに対し、相互結合係数の精度を変更可能な評価環境を開発。巡回セールスマン問題および最大カット問題を対象に評価 [1-6-B] 評価手法として、一般的な手法（SA、SQA）に加え、運動方程式ベースの解法であるSimulated Bifurcation（SB）を試作評価。必要に応じ活用予定 	<ul style="list-style-type: none"> 評価手法のパラメータ（冷却スケジュール等）に加え、問題に含まれる制約項の強さや、キメラグラフ埋め込み時のパラメータ（チェーン強度等）などのハイパーパラメータ探索の重要性

[実施項目 1] イジング計算共通ソフトウェア基盤の研究開発

1-1 共通ソフトウェア基盤のための基本アルゴリズムと要素技術

イジング計算アプリケーションとイジングマシンとの間隙を埋める共通ソフトウェア基盤の基本アルゴリズムとして、「論理・物理イジングモデル変換」と「論理・物理イジングモデル逆変換」から構成される共通ソフトウェア基盤アルゴリズムとそのための要素技術を開発する。

以下、これまでの主な成果を列挙する：

(1) 物理イジングモデル変換の基本アルゴリズム設計と評価

イジングマシンは、内部に「イジングモデル」を持ち、イジングモデルの基底状態を求めることで、等価的に組み合わせ最適化問題の解を得る。ここでイジングモデルは、スピン、2つのスピン間の相互作用、1つのスピンにかかる外部磁場によって構成されるが、スピン数、相互作用のためのビット数、外部磁場のためのビット数はイジングマシンハードウェアによって異なる。一方、実際に必要なスピン数やビット数は、組み合わせ最適化問題によって異なり、いかにこれらの間の整合をとるかが大きな課題となる。

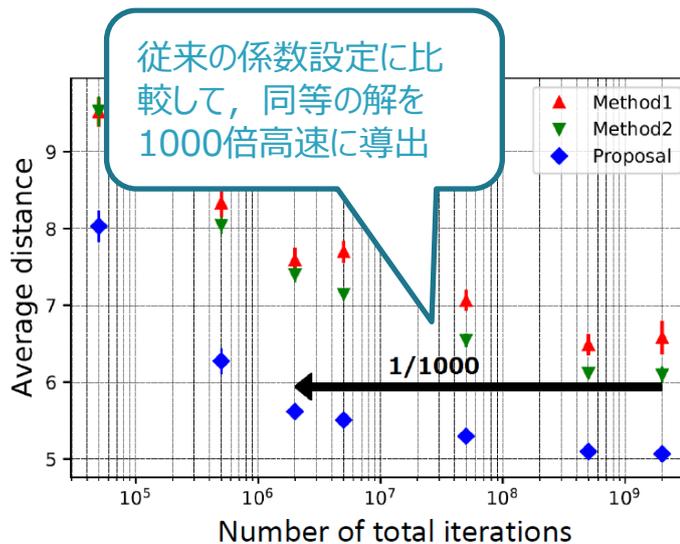
本実施項目では、世界に先駆けて、理論的に等価に相互作用係数ビット・外部磁場ビットとスピンとを置換する理論を構築した。

実問題をイジングマシンで解法する際に、大きな理論的枠組みを与えることになる。

(2) 論理イジングモデル変換の基本アルゴリズム設計と評価

イジングモデルを構築するとき、いかにハイパーパラメータを設定するかは、イジングマシンによって最適解を高速に得るために不可欠となる。これまで網羅的あるいは経験的に求められていたハイパーパラメータ設定に対して、理論的な枠組みを与え、特定のイジングマシンにとって、極めて高速に(準)最適解に到達するハイパーパラメータの設定手法を考案した。

いくつかのベンチマークアプリケーションによって評価した結果、従来のハイパーパラメータ設定に比較して、2桁~3桁の高速化が実現されている。今後のイジングマシン活用に大きく寄与する。



(3) 共通ソフトウェアプラットフォーム IsingLib と研究開発コミュニティの活性化

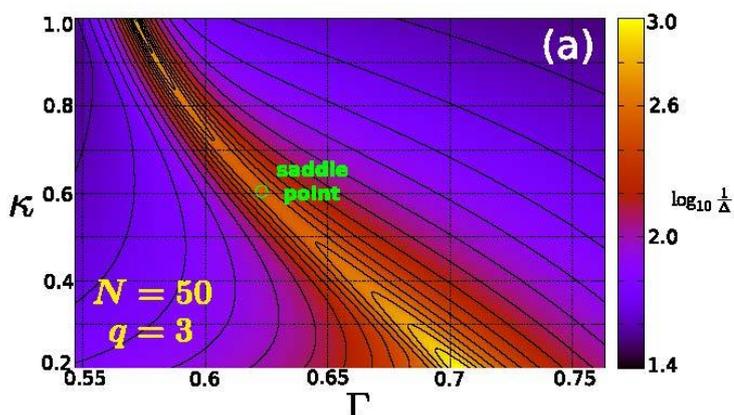
さらに、上記で示されるようなアルゴリズムをソフトウェアパッケージ化し、大学発のイジングマシン活用プラットフォームとして、IsingLib と呼ばれるライブラリ群を構築し、一部、研究コミュニティで活用している。

加えて、イジングマシン活用のため、アプリケーション分野で多くの産業界と「外部連携」し、いち早く研究開発成果の活用に取り組んでいる。

1-2 共通ソフトウェア基盤の基盤理論

組み合わせ最適化問題を専用機で解くに当たっては、各ハードウェアの特性に応じた使い分けが重要になる。そこで、量子アニーリングを直接実現した装置と古典アルゴリズムによる装置の特性を理論的に解明することが必要となり、量子と古典の詳細な比較対照を行う

研究が求められている。この視点から、理論解析が簡単かつ基本的で重要な問題である p スピン模型とその拡張の研究を実施した。量子効果を非摂動的に導入すると、エネルギーギャップのランドスケープに非自明な鞍点が生じ(下図参照)、その鞍点ではエネルギーギャップがべき的に減少すること、すなわち 2 次転移的な振る舞いをし、1 次転移に伴う計算の困難が解消することが明確に示された。こうして、量子効果を正しく取り入れることにより純粋な古典計算では見落してしまう高速化の例が少なくとも一つあることが明らかになった。



1-3 共通ソフトウェア基盤評価のための古典アルゴリズム開発

国立情報学研究所では、スピンの結合に制約の強いトポロジを持つイジングマシンのグラフトポロジに対して、古典計算機とアニーリングマシンの性能の対比評価を行った。とくグリッドグラフ、KING グラフ、道路ネットワークなどの平面グラフ、あるいは平面に数少ない交差で埋め込めるグラフなどに対して、「TSP 問題(巡回セールスマン問題)」および「グラフ的 TSP 問題」を古典計算機の最善のアルゴリズムと SA(シミュレーテッドアニーリング)との性能比較結果を行った。この性能比較においては、「解の正当性」とともに「計算時間」の比較を行った。TSP 問題は、有名な NP 困難問題であるが、グラフ的 TSP 問題も NP 困難問題であることが知られている。また実際の道路ネットワークは、グラフとして与えられることが多いため、一般の TSP 問題よりは、グラフそのものを入力として、頂点全点を回る最適なツアーを見つけるグラフ的 TSP 問題の方が、実用的にはニーズが大きい。

結果として、各社の SA は、100 点程度のグラフであれば、古典計算機におけるもっとも性能が良い近似アルゴリズムと同様な精度を残すこともあるものの、多くの場合において、古典アルゴリズムの精度に及ばなかった。これは、古典計算機の近似アルゴリズムで解く時間の 10 倍、SA に時間をかけても結果は全く変わらなかった。

また辺の重みの種類によっては、SA は、古典計算機の近似アルゴリズムに比べて非常に悪い精度の答えしか出さないことも多かった。

さらに 1,000-5,000 点程度のネットワークに対しては、SA は、さらに性能が悪い解しか出さないことが多かった。また、1,000 点以上のネットワークを各社イジングマシンのアルゴリズムを使ってマッピングすると、頂点 n に対して n^2 のスピン数を使うことが多く、各社のクラウドマシンのマッピングするのに時間を費やすこと多かった。この点は、ネットワーク依存のことが多いため、今後は、ネットワークの特徴を事前に把握して、マッピング手法を変える必要があると思われる。この点に関しても今後さらに詳しい解析を行う予定である。

1-4 共通ソフトウェア基盤のためのライブラリ開発と API 開発

イジングマシンハードウェアの違いを吸収する「各種変換ライブラリ(数式処理ライブラリとポータブル環境ライブラリ)」、これらの集合から構成される「ミドルウェア

群」、ミドルウェア群を外部プログラムから操作するための「共通 API」の開発を行う。
以下、これまでの主な成果を列挙する：

(1) イジング・バイナリ多項式に最適化された数式処理ライブラリの開発

各社のイジングマシンハードウェアの差異を吸収するために、汎用的な論理イジングモデルの構築を目的とした、高次多項式・変数に対する四則演算を実現するライブラリ及び、二値多変数多項式と論理イジングモデルとの間を変換・逆変換の機能を持つライブラリを開発した。また、後述の(2)の成果と連携することで、論理イジングモデルからハードウェア仕様固有の物理イジングモデルに変換するための基礎アルゴリズムであるグラフ埋め込みアルゴリズムの調査及びプロトタイプ開発を行った。

(2) 各社のイジングマシンを駆動するドライバの開発

各社のイジングマシンのハードウェア仕様とドライバを詳細に調査することで、D-Wave 2000Q、富士通デジタルアニーラ、東芝シミュレーテッド分岐マシン、日立 CMOS アニーリングマシンに対するポーティング環境ライブラリを開発した。これにより上記(1)とハードウェアの間を結ぶドライバの開発が可能となる。

(3) イジングマシンシミュレータにおける基礎アルゴリズムの検討

共通ソフトウェア基盤を開発及び検討する上で必要と思われる、理想イジングマシンのシミュレータについて、GPU を用いたソフトウェア実装の基礎アルゴリズム検討を行った。理想イジングマシンシミュレータの開発は(1)、(2)の成果に基づいており、共通ソフトウェア基盤の持つ機能の有効性の確認や、イジングマシンのハードウェア仕様へのフィードバックを行うための検証を行う役割を持つものである。

1-5 共通ソフトウェア基盤のための 0-1 整数計画問題の抽出と適切な定式化に関する検討

数理最適化分野で知られているベンチマークセットなどの既存データを対象に、その選別を行い、実際に変換、定式化し、データセットの整備を行った。ここで、ベンチマークセットとしては、(1)広く知られているデータセットであること、(2)イジングマシンへの論理イジングモデルに変換可能な 0-1 整数計画問題が含まれていること、(3)現実世界の課題に基づいたデータであることから、MIPLIB (<http://miplib2010.zib.de/>)を採用した。MIPLIB より 0-1 整数計画問題となるものを抽出し、検証用として、標準的なソルバーに直接入力可能な Python フォーマットにて整備した。また、抽出及び定式化した問題毎にサンプルの入力データを作成し、実際に解算の確認を行った。これらの整備したデータセットをウェブアプリケーションに格納し、共同提案者に共通ソフトウェア基盤の開発のための評価用データとして提供することで、各機関における研究開発の加速に寄与する。

1-6 ソフトウェアと連携した量子アニーリングハードウェアのアーキテクチャ最適設計

スピン数・相互結合係数ならびに外部磁場係数の階調・スピントポロジから構成される実物理イジングモデルについて、様々なパラメタを網羅的に列挙することで、アプリケーション群から見た「量子アニーリングマシン」のアーキテクチャ最適設計を行う。

以下、これまでの主な成果を列挙する：

(1) 相互結合階調と解精度の関係性の評価

ある問題クラスに対し、相互結合の階調が解品質に与える影響を比較評価し、必要な精度についての基礎検討を行った。

具体的には、スピン間の結合係数の階調を変更可能なプログラムを作成した上で、問題クラスとして巡回セールスマン問題を想定し、いくつかの問題サイズの問題を作成し、これらの問題を対象に物理スピン間の相互結合の階調を変化させ、得られる解品質(巡回セールスマン問題における経路長の長さ)の評価を通じて必要な階調を求めた。この結果、小さい問題サイズ(少ない都市数)の場合には数ビット程度でも効率的に解が求まるが、都市数が多いなど現実的な問題においては 10 数ビット程度の相互結合階調精度が必要なことを明らかにした。

(2) 結合トポロジと解精度の関係性の評価

物理スピン間の結合トポロジとして、知られている様々な結合トポロジを比較評価し、結合トポロジが解品質に与える影響についての基礎検討を行った。

具体的には、キメラトポロジおよび LHZ トポロジについて、シミュレーティッドアニーリングおよび量子モンテカルロのアルゴリズムで求解する評価プログラムを実装した上で、問題クラスとして巡回セールスマン問題および最大カット問題を対象に、いくつかの問題サイズの問題を作成し、得られる解品質(最大カット問題ではカット値またはエネルギー値、巡回セールスマン問題では経路長の長さ)を評価した。この結果、最適解への収束率は結合トポロジによって異なり、特に LHZ トポロジにおいては得られた物理スピン状態から元の問題の論理スピン状態へ復元するデコードアルゴリズムの改善や、4 体制約項の強さのチューニングが重要なことを明らかにした。

[実施項目 2] イジング計算アプリケーションの研究開発

2-1 セキュリティ・マテリアルデザインアプリケーション

イジング計算のセキュリティアプリケーションについては、計画に従い、暗号の安全性が依拠する数学的問題を基底状態探索として解くために必要となるリソース評価の研究を行った。因数分解型の問題については、積演算の回路規模を縮小する工夫として古くから知られる Karatsuba 法のアイデアをマッピングに導入、問題のサイズ n に対してアンシラビットのオーダー数が $O(n^2)$ から $O(n^{1.585})$ へ改善することを発見、その構造についても評価を行った。また、格子問題の一つである最短ベクトル問題についてはイジングモデルの基底状態探索として SA を利用して解く際に必要となるリソースについて、問題のサイズとの関係性を評価した。さらに、セキュリティ応用へ関連する話題として、イジングモデルを難読化する方法についても基本的な設計手法開発、現在安全性の理論的評価を実施している。

イジング計算のマテリアルアプリケーションについては、計画に従い、量子化学計算において必要とされる物理量を量子アニーリングによって計算する手法開発を行った。分子の基底状態に関する手法はいくつか既に開発されているが、励起状態に関連する物理量を計算する手法は開発が進んでいない。そこで、量子アニーリングを応用することで励起状態を出力する手法と遷移行列要素を量子アニーリングによって計算する手法の開発に着手した。励起状態を出力する手法に関しては、断熱時間発展に基づくプロトコルを考案し、これが動作することを確認した。また、量子化学計算とは別の文脈で開発されていた非断熱遷移に基づくプロトコルとの性能を比較し、我々が開発した断熱遷移に基づくプロトコルの方が高い正答率を持つことを発見した。以上の成果については、論文投稿を行った。また、遷移行列要素を計算する手法に関しては、前述の励起状態探索を行うプロトコルを応用し、複数回の量子アニーリングを実行することで遷移行列要素を計算できることを少数のスピンからなる系において確認した。さらに、より現実的な系における遷移行列要素の計算を数値シミュレーションによって行うことを予定している。以上の成果により、量子アニーリングマシンの応用範囲が、化学反応経路探索、色素増感型太陽電池の量子効率計算、レーザー材料の発光強度計算等へ格段に広がる可能性があることが明らかとなった。

2-2 次世代モビリティ・ロジスティクス・サプライチェーン

豊田通商の関連会社であるネクスティエレクトロニクスタイランドが提供する TSQUARE と呼ばれる交通情報配信システムをテストベッドに、要件分析と 0-1 整数計画問題の抽出を行った。当該サービスより、以下2つのサービスを共通ソフトウェア基盤での実験的検討として採用した。

- (1) タクシーの配車
- (2) 運送会社の配送スケジューリング

(1) タクシーの配車は、複数の顧客と複数のタクシーの位置関係から最適な配車の組み合わせを行うサービスであり、(2) 運送会社の配送スケジューリングは、配送場所、配送時間などの諸条件に基づき、荷物を配送する際の巡回ルート of の最適配送計画を提供するサービスとしてそれぞれ適用される。これらのサービスに関し、要件分析と最適化問題を抽出し、0-1 整数計画問題として定式化し、さらに共通ソフトウェア基盤での活用を目的とした、論理イジングモデルへの変換を行った。これらの成果は、実施項目 1-5 「共通ソフトウェア基盤のためのアプリケーションデータセットの整備とテスト環境開発」で MIPLIB から抽出したデータセットとともに、共同提案者に提供している。

2-3 産業界との連携強化を促進するためのエコシステムやプラットフォーム構築

当該技術の社会実装を見越した情報収集や、ユーザ企業との連携促進、並びに国民への本事業の研究目的、研究内容、取組みの理解促進、当該分野がもたらす次世代社会への波及効果のアピールを目的とした、シンポジウムの構想および事前準備、開催にかかる体制構築等の支援を実施した。開催したシンポジウムを活用し、技術の先導的な研究開発の方向性検証、及び並行して実用化を想定しての課題洗い出しを目的として、産業界、学术界、そして国の有識者へのヒアリングをアンケート形式にて行った。意見の集約分析を実施し、得られた情報等については、適宜研究開発計画の見直しや効率化に活用した。

2019年5月20日 『次世代コンピュータが実現する革新的ビジネス』シンポジウムを開催

目的

- 当該技術の社会実装を見越した情報収集、参加ユーザとの連携促進
- 国民への本事業の研究目的、内容、取組みの理解促進、当該技術分野がもたらす次世代社会への波及効果のPR

プログラム

13:00~14:20		セッション1 先進ユーザ企業のアニーリングビジネス戦略/ 量子コンピュータ・アニーリングマシンの可能性①	
<ul style="list-style-type: none"> ■ 開会挨拶 西山 圭太 経済産業省商務情報政策局長、田中 愛治 早稲田大学総長 ■ AI分野における量子コンピューターの可能性 濱田 俊貴 メルカリ取締役CPO ■ 基調講演 量子アニーリングの現状と展望 西森 秀稔 東京工業大学教授 	<ul style="list-style-type: none"> ■ 金融分野における次世代コンピューティング技術への期待 谷崎 勝教 三井住友銀行取締役兼専務執行役員CIO ■ 招待講演 Practical Quantum Computing Dan Cohrs CFO, D-Wave Systems 	<ul style="list-style-type: none"> ■ デジタルアニーラによる新市場の創出 堀江 健志 富士通理事 ■ ユーザ企業ハブにおける新ビジネス開拓の最前線 磁性材料 佐々木 智生 TDK ■ アニーリングマシン開発の最前線 アニーリングマシンハードウェアの開発動向 川畑 史郎 産業技術総合研究所研究グループ長 	<ul style="list-style-type: none"> ■ 早稲田大学におけるユーザ企業ハブ構築と基盤ソフトウェア開発 戸川 望 早稲田大学理工学術院教授 自動車 寺部 雅能 テンソー 材料×AI 田村 亮 NIMS/東京大学 超導量子アニーリングマシン 中村 祐一 NEC中央研究所理事 CMOSアニーリングマシン 山岡 雅直 日立製作所主任研究員
14:30~15:30		セッション2 量子コンピュータ・アニーリングマシンの可能性②	
<ul style="list-style-type: none"> ■ 基調講演 篠原 弘道 NTT取締役会長/ 日本経済団体連合会審議員会副議長 	<ul style="list-style-type: none"> ■ 招待講演 Pooya Ronagh Head of Hardware Innovation Lab, 1QBit 	<div style="border: 1px solid black; padding: 5px;"> <ul style="list-style-type: none"> ● 登録者数：730名 ● 当日参加者数：511名 </div>	

3.4.1.5 成果の普及

上述の通り、大学発のイジングマシン活用プラットフォームとして、IsingLib と呼ばれるライブラリ群を構築し、一部、研究コミュニティで活用している。本研究開発で構築されたアルゴリズムやライブラリをいち早く利用することで、成果の普及を目指している。

フィックスターズは D-Wave 2000Q、富士通デジタルアニーラ、東芝シミュレーテッド分岐マシン、日立 CMOS アニーリングマシン、イジングマシンシミュレータ(Fixstars GPU)への計算実行が可能な共有ソフトウェア基盤のプロトタイプの開発を進めている。これは、現在、早稲田大学、NEC に実際に利用されており、各研究機関においてベンチマーク評価などに役立てられている。今後はプロトタイプの開発から実用化に向けた開発作業へ継続的に移行していく。

3.5 研究開発テーマ「未来共生社会にむけたニューロモルフィックダイナミクスのポテンシャルの解明」

本研究開発項目では、「ニューロモルフィックダイナミクスのポテンシャルの解明」という目標に対し、以下のそれぞれの項目を達成し目覚ましい成果を上げつつある。

- (a)身体と脳神経系のカップリングダイナミクスによる効率的かつ多様な行動生成
- (b)ニューロモルフィックデバイスの探索
- (c)ロボカップ@ホームによる脳型アーキテクチャの実証実験

個別の研究開発テーマにおける詳細は以下に示す。



3.5.1 研究開発サブテーマ「身体と脳神経系のカップリングダイナミクスによる効率的かつ多様な行動生成」

3.5.1.1 概要

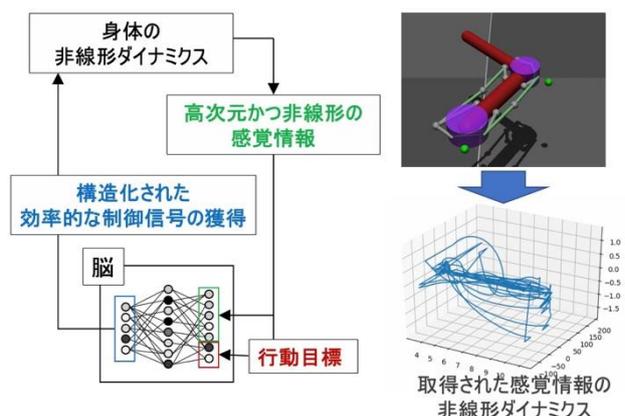
身体・脳神経系カップリングダイナミクスをモデル化し、カップリングダイナミクスの自発活動を利用して、未知で複雑な身体を制御する手法を開発し、複数の身体運動シミュレーションを通じて、構造化された効率的な制御信号の獲得を確認した。

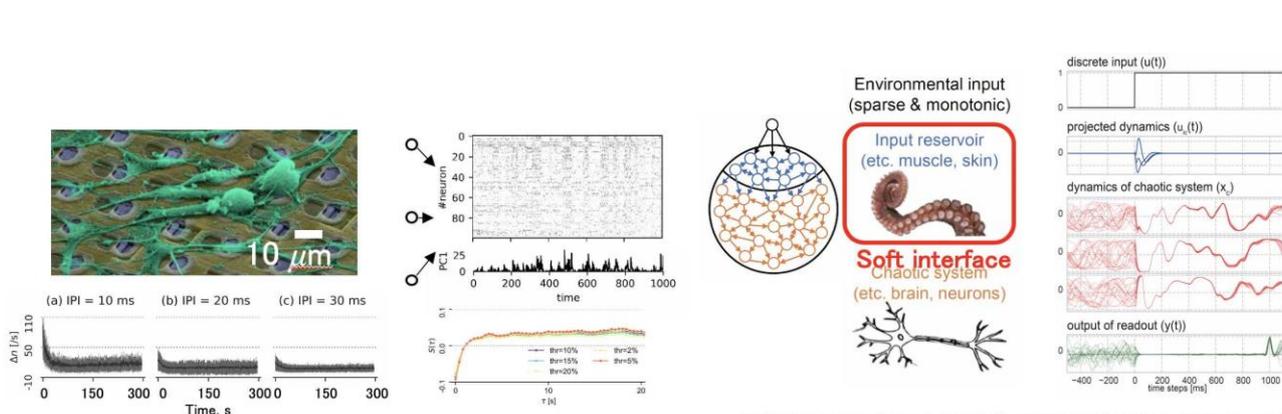
3.5.1.2 最終目標と根拠

現行の AI 手法は、与えられたデータに関する計算論を基盤とし、現行の AI 用プロセッサもこれを高速化するアーキテクチャである。これに対し、生体の知能は、環境・身体・神経系が三位一体となって適応性、ロバスト性、合目的性を創発する。IoT やロボットなど、現実の、何が起こるか事前に規定仕切れない物理世界と緊密に相互作用する系においては、後者の生体的原理に基づき、物理系の特性を活用しつつ、変化に即応し知的に振る舞う新たな方法論が求められる。これは、データセンター用プロセッサのスケールダウンではなく、埋め込みエッジコンピューティングならではの革新的なニューロモルフィックプロセッシングの提案につながる。そこで、「身体と脳神経系のカップリングダイナミクスによる効率的かつ多様な行動生成の研究開発」では、この提案に繋がる各種開発の理論的ベースとして「ニューロモルフィックダイナミクス理論」の構築、及びその検証用の脳・身体カップリングのシミュレーションプラットフォームの確立が最終目標となる。前者はプロジェクト全体の成果を統一的に説明するための理論的バックボーンとして必要であり、後者は各種応用に向けた検証実験のためのプラットフォームとして必要である。

3.5.1.3 目標の達成度

- (a) 身体・脳神経系カップリングダイナミクスの自発活動のシミュレーション:
カップリングダイナミクスの自発活動を利用する身体制御手法(図左)の実証検証を目的として、未知の固有ダイナミクスを持つ筋骨格アームモデル(図右上)を利用して自発運動を実現し、高次元かつ非線形の感覚情報(図右下)の取得を確認した。

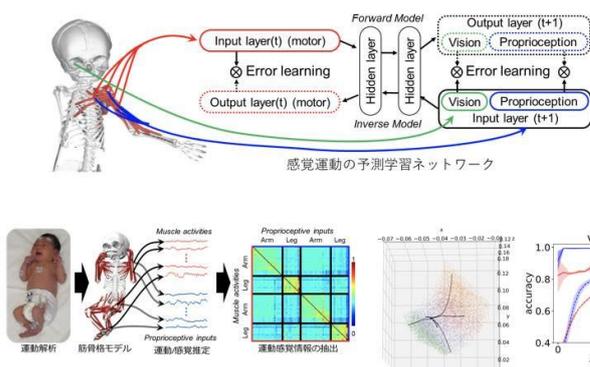




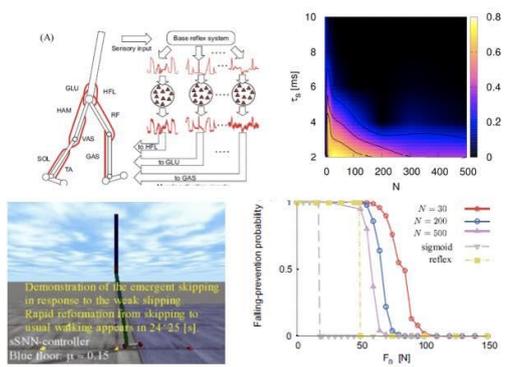
培養神経でEcho State Propertyを確認

柔軟物のカオス性によるリザーバ学習効率の向上や入力リザーバ間の自己組織化による記憶容量向上を解明

(b)脳と身体の新ニューロダイナミクス: 生体神経系の特性を明らかにするため、神経細胞の分散培養系の神経発火におけるスパイク特性を定量評価し、そのダイナミクスが持つカオス特性とレザバー性能(長時間の時系列入力に対して、初期値にかかわらず、最終的には同じ反応に収束する性質)を検証した(上図左)。高次元非線形力学系を基盤とするレザバー計算におけるカオスの有用性とその設計法を開発した。特に、複数の疑似アトラクタの設計とその疑似アトラクタ間の遷移確率の設計に成功した。また、柔軟インターフェースによってその学習効率や記憶容量が向上することを示した(上図右)。環境・身体・神経系の三位一体システムのダイナミクスの特性として、多自由度筋骨格モデルにおける身体性に基づいた運動基底の自動抽出可能性を確認するとともに、抽出した運動基底や生体を基にした拮抗抑制による感覚運動学習性能の向上を確認した(下図左上)。スパイクニューロンは生体内で使われているが、その意味や効果は必ずしも明らかではない。二足歩行の環境変動に対する安定化課題で、少数かつ時定数の小さいニューロン群で対応可能であることがシミュレーションで明らかになった(下図右上)。さらに、脳と身体をそれぞれ二つの振動子ネットワークとみなし、各種パラメータを変更による多様なダイナミクス生成のための拘束条件を探索した(下図左下)。また、レザバー内を拘束条件付き自己組織化することで複数の課題を逐次的に学習可能であることを確認した(下図右下)。

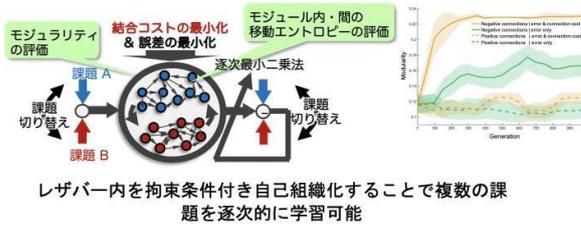
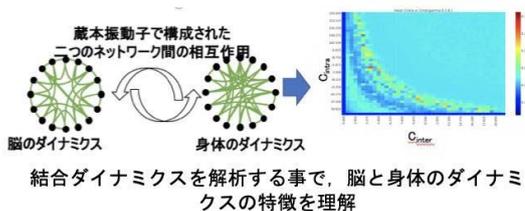


感覚運動の予測学習ネットワーク



スパイクニューロンによる二足歩行の動的安定化

ヒト乳児における感覚運動情報構造の発達の变化を調査



レザバー内を拘束条件付き自己組織化することで複数の課題を逐次的に学習可能

3.5.1.4 成果と意義

プロジェクト全体では、脳や身体に宿る生物の神経機構に内在する本質を捉え、その工学的な実現を通じて、人工物を設計・作動させ、その経緯や結果を通して、生物系の神経機構の新たな理解を生み出し、さらに工学的再現にフィードバックするといった「科学と工学の微視的にも巨視的にも相互浸透的な動的循環による新たな学際的アプローチの理念」として、ニューロモルフズムを提唱しているが、「身体と脳神経系のカップリングダイナミクスによる効率的かつ多様な行動生成の研究開発」はその基盤を構成するのが目的であり、その第一段階の成果を上げたことになる。

(a)身体・脳神経系カップリングダイナミクスの自発活動のシミュレーションでは、ニューロモルフィックダイナミクス理論構築のための予備実験を実施し、理論構築の足がかりとなった。今後は、複雑な身体と脳の結合によるシミュレーションを通じて、理論構築に集中する。また、(b)とも連携して、理論を深化させる。

(b)脳と身体のニューロダイナミクスでは、生体、物理、脳・筋骨格シミュレーションを通じて、さらの実際的新生児の運動計測も含めながら、神経系、物理・身体系を有機的に結合するためのプラットフォームを強化できた。また、スパイクニューロンの働きについて、二足歩行の安定化課題から、効率的探索、即応的な応答とその安定化に寄与していることが判明した。今後は、さらに(a)との密な連携を通じて、理論の強化及びその有効性検証の幅を広めていく。

3.5.1.5 成果の普及

身体・脳神経系カップリングダイナミクスの自発活動のシミュレーションと脳と身体のニューロダイナミクスの項目は、プロジェクト全体の理論的バックボーンであり、かつその検証シミュレーションのプラットフォームでもあり、以下のニューロモルフィックデバイスの探索やロボカップ@ホームによる脳型アーキテクチャの実証実験で広くかつ深く利用される。これらへの応用が社会への実装に繋がり、結果として広く社会に普及する。

3.5.2 研究開発サブテーマ「ニューロモルフィックデバイスの探索」

3.5.2.1 概要

生体・物理レザバーの各種実現方式の探索においては、スピンレザバーで、既存技術の100倍の演算効率を仮説検証した。また、AIレザバーの計算方式で特許申請した。さらにレザバー大脳皮質仮説検証用オンライン学習機の開発に着手した。また、生物・物理レザバーの各種方式を実現し比較検討した。

アナログメモリ技術とその実装においては、最新デジタルAIチップの100倍超の演算効率を実現可能な「時間領域アナログ積和演算回路」に適用可能なアナログメモリ素子の候補として強誘電体ゲートFET(FeFET)を検討し、大サイズ素子で必要条件を満たすことを確認した。

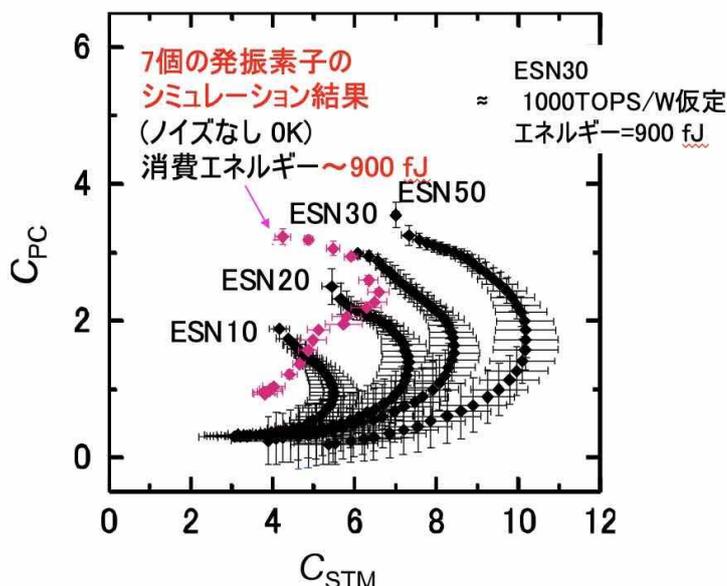
3.5.2.2 最終目標と根拠

現行のAI手法は、与えられたデータに関する計算論を基盤とし、現行のAI用プロセッサもこれを高速化するアーキテクチャである。これに対し、生体の知能は、環境・身体・神経系が三位一体となって適応性、ロバスト性、合目的性を創発する。IoTやロボットなど、現実の何が起こるか事前に規定仕切れない物理世界と緊密に相互作用する系においては、後者の生体的原理に基づき、物理系の特性を活用しつつ、変化に即応し知的に振る舞う新たな方法論が求められる。これは、データセンター用プロセッサのスケールダウンではなく、埋め込みエッジコンピューティングならではの革新的なニューロモルフィックプロセッシングの提案

につながる。そこで、「ニューロモルフィックデバイスの探索」では、実際のデバイスとして、各種レザバー方式の開発及び比較検討すること、さらにアナログメモリ素子においても数値目標の達成のみならず、ニューロモルフィックアーキテクチャによる各種応用に向けた設計仕様の提案・設計・試作・検証のサイクルが必要である。「ロボカップ@ホームによる脳型アーキテクチャの実証実験」項目との連携が必須であり、検証過程を含むことで、初めて設計仕様の根拠が担保される。これが本項目の最終目標と根拠である。

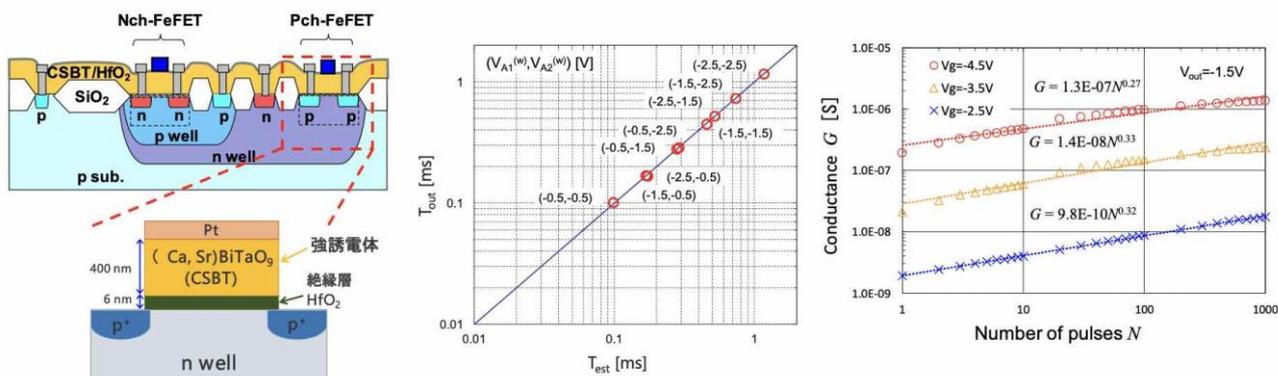
3.5.2.3 目標の達成度

(a)スピンレザバー計算機: スピンレザバーの演算効率について考察するため、代表的な計算モデルである Echo-state-network(ESN)との比較を行った。シミュレーションより7素子のスピンレザバーは30ノードのESNと同程度の演算能力があることが明らかとなった。7素子のスピンレザバーの消費エネルギーは900fJであり、30ノードのESNにおいてこれと同じ消費エネルギーを仮定すると演算効率は1,000TOPS/Wになる。したがって、7素子スピンレザバーの演算効率は1,000TOPS/W相当と見積もられる。この演算効率は現状のアナログ積和演算回路の演算効率(10TOPS/W)に対して、100倍の演算効率を持つとみなすことができ、今年度目標を達成した。



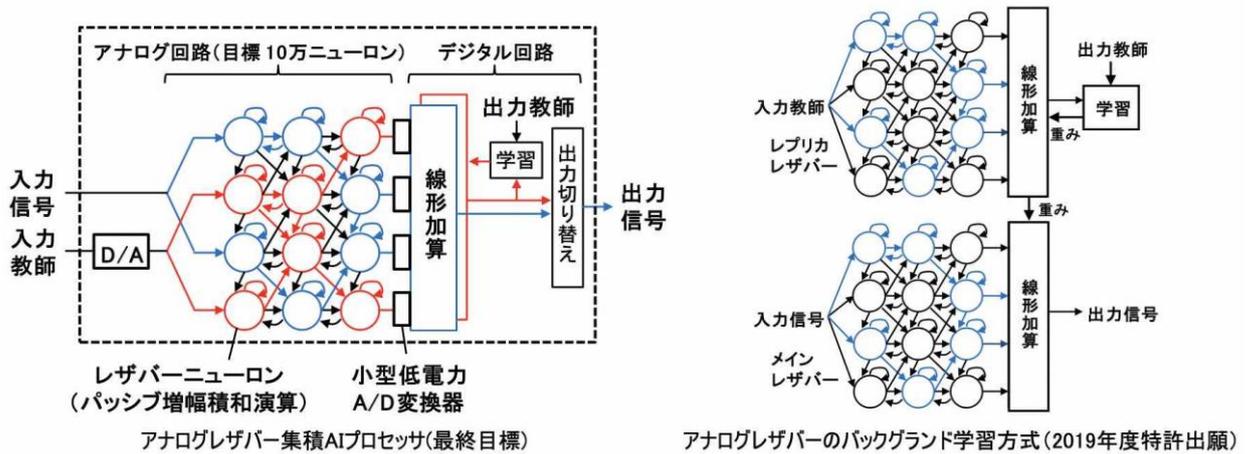
既存技術の100倍の演算効率を仮説検証

(b)アナログメモリ技術とその実装: 最先端デジタル方式 AI チップに対して電力効率 100 倍の性能を有するニューロモルフィック AI チップ実現の鍵となる新規アナログメモリ素子の実用化可能性を調査した(下図左)。特に、強誘電体ゲート電界効果トランジスタ(FeFET)を中心に検討し、必要条件を実デバイスで確認した。具体的には、FET の subthreshold 特性を利用して、3桁以上の ON/OFF 比を実現した。対数プロットで線形書込特性を検証し、積和演算精度 6 ビット相当以上を実証した(下図中央と右)。

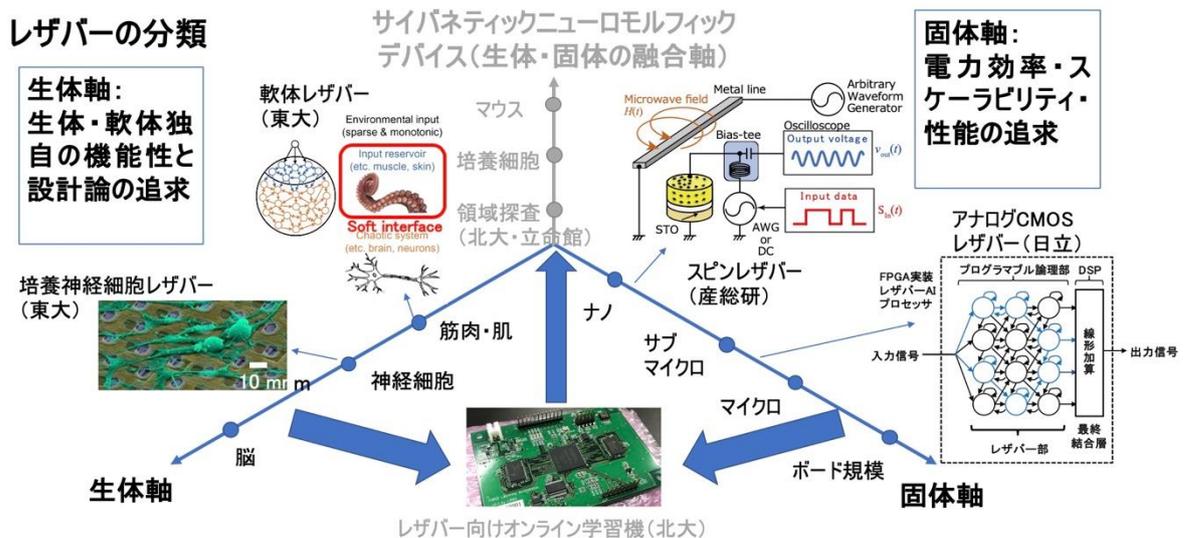


強誘電体ゲート電界効果トランジスタ(FeFET)を中心に検討、必要条件を実デバイスで確認。

(c)脳型ハードウェアの産業応用に向けた基礎検討: 日立保有の小型低電力 A/D 変換回路技術を生かした、アナログデジタル混載のレザバー集積回路を提案した。レザバーは、受動素子のみで構成したアナログニューロン回路により、極低電力で実装した(下図左)。極低消費電力の大規模アナログレザバー集積 AI プロセッサの実現に向け、アナログニューロン回路の特性変動に追従できるように、バックグラウンド常時学習方式を考案し、特許出願した(下図右)。また、脳型演算の FPGA 実装検討に関して、さまざまな工夫を重ねることで、レザバーコンピューティングのベンチマークタスクである NARMA10 タスクを十分な精度で行えることも確認した。



(d)サイバネティックコンピューティング基盤技術: 高性能アナログレザバーの実現に向けた原子スイッチの定性的数理モデルおよび SPICE モデル構築を行った。また、メモリキャパシティの大きい「近傍結合アナデジ混載レザバーモデル」を新たに発案し、そのアナログ回路化・試作を行った。小規模ノード(50 ノード)のボードが完成・納品済である。さらに、FORCE 学習アクレラレータの FPGA アーキテクチャを構築し、ボード設計と試作外注し。マイコンとの SPI 通信および FPGA コアと外部メモリの通信が設計どおり正しく行われること、設計通りの性能で学習動作ができることを確認した。また、本プロジェクトで開発されている各種レザバーとその関係を位置づけた(下図)。



3.5.2.4 成果と意義

本プロジェクトとして、提案時に募集要項に従った数値目標を呈示する意味で、スピンドルザバーで、既存技術の 100 倍の演算効率を仮説検証、アナログメモリ技術とその実装においては、最新デジタル AI チップの 100 倍超の演算効率を実現可能なデバイスを検討し、大サイズ素子で必要条件を満たすことの確認を掲げ、これらの数値目標は達成したので、十分成果があったと判断される。特に、後者の「時間領域アナログ積和演算回路」(TACT)方式は本プロジェクトの九工大グループの新規技術で、他には UCSB のグループが追従しているのみである。また、FeFET のアナログメモリ素子利用技術も産総研・九工大の独自技術であり、世界に先駆けている。しかしながら、我々の主目的は単なる数値目標の達成ではなく、それらが実用に資するかを検証しなければならない。その意味では、現状成果はその準備が整ったことを意味する。

3.5.2.5 成果の普及

上でも述べたように、現状成果は実用に資するかを検証の準備段階であり、以下の「ロボカップ@ホームによる脳型アーキテクチャの実証実験」で進める検証実験の例に示すような既存の競技会のタスクでの検証に加え、さらに開発したチップ・デバイスを、応募条件を満たすチームに配布し、競い合う形式を追究して普及に努めて行く。

3.5.3 研究開発サブテーマ「ロボカップ@ホームによる脳型アーキテクチャの実証実験」

3.5.3.1 概要

脳と身体との相互作用による知能創出へ挑む脳型チップとソフトロボティクスを融合したホームロボットの研究プラットフォームを構築した。視覚(深層学習)と触覚(ソフトハンド)の融合により、ホームロボットによる片付けタスク等に必要不可欠な把持対象の物体認識性能を向上できる知見を得た。これらの成果をロボカップジャパン・オープン 2019 の競技会で披露し、優勝と同時に全審査員から最高評価を得た。

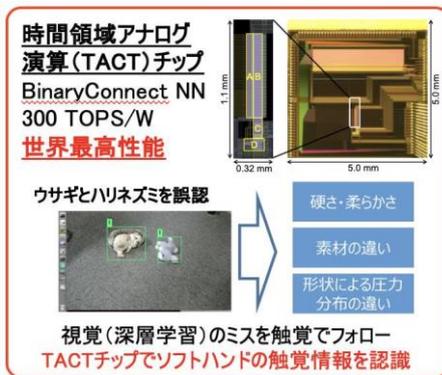
3.5.3.2 最終目標と根拠

現行の AI 手法は、与えられたデータに関する計算論を基盤とし、現行の AI 用プロセッサもこれを高速化するアーキテクチャである。これに対し、生体の知能は、環境・身体・神経系が三位一体となって適応性、ロバスト性、合目的性を創発する。IoT やロボットなど、現実の何が起こるか事前に規定仕切れない物理世界と緊密に相互作用する系においては、後者の生体的原理に基づき、物理系の特性を活用しつつ、変化に即応し知的に振る舞う新たな方法論が求められる。これは、データセンター用プロセッサのスケールダウンではなく、埋め込みエッジコンピューティングならではの革新的なニューロモルフィックプロセッシングの提案につながる。そこで、「ロボカップ@ホームによる脳型アーキテクチャの実証実験」では、本プロジェクトで開発されたチップ・デバイスを実際のロボットに搭載し、その実用性(処理速度、エネルギー消費)を確認すると同時に、脳型アーキテクチャとしての意味や価値を検証する。さらにこの脳型アーキテクチャに適合するソフトロボティクスによる身体との結合を図り、脳・身体カップリングのニューロモルフィックダイナミクスとして位置づける。ロボカップジャパン・オープンのみならず、国際大会にも競技会を提案・開催し、全世界的な活動として広げる。ロボカップ競技会データタスクを徐々に難度の高いものに設定することで、ロボカップから実社会の他の応用への道が拓ける。

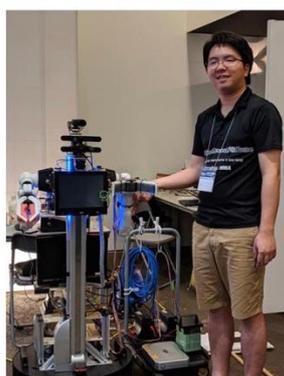
3.5.3.3 目標の達成度

脳神経系としては、世界最高性能(300TOPS/W)の時間領域アナログ演算(TACT)チップを実装して、視覚(深層学習)のみでは識別

できなかったウサギとハリネズミのぬいぐるみに対し、触覚を加えることで識別可能となった(上図左)。身体系では、ソフトロボティクスによる触覚情報の獲得と柔軟な把持を実現(上図右)することで、さきの識別感度向上に貢献した。これらを@ホームロボット Exi@(エクシア)にチップ・ハンド共に実装し、ロボカップ・ジャパン・オープン 2019 の@ホーム競技会において優勝した(次ページ図左)。電力消費が極小であることも示された(次ページ写真参照)。ただし、TACT チップに関しては、現状 300TOPS/W で世界最高水準だが、最終目標として1,000TOPS/W レベルで海馬・扁桃体・前頭前野からなる脳型アーキテクチャによる各種タスクの達成を最終目標とすると、現状は達成度 30%程度とみなせる。



これらをもとに、ロボカップ・ジャパン・オープン 2019 の@ホーム競技会において優勝した(次ページ図左)。電力消費が極小であることも示された(次ページ写真参照)。ただし、TACT チップに関しては、現状 300TOPS/W で世界最高水準だが、最終目標として1,000TOPS/W レベルで海馬・扁桃体・前頭前野からなる脳型アーキテクチャによる各種タスクの達成を最終目標とすると、現状は達成度 30%程度とみなせる。



触覚センサ付きソフトハンド(2種類)とTACTチップを搭載したExi@ロボット



把持による触覚情報獲得の様子



触覚情報認識時TACTチップの電流計。ほぼゼロ。



国際会議IEEE ISCAS2019にて受賞



LSIとシステムのワークショップで受賞

RoboCup Japan Open 2019 決勝戦

3.5.3.4 成果と意義

ロボカップ・ジャパン・オープン 2019 にて、@ホーム部門で圧倒的勝利を修めたこと(上図左)、また、国際会議 IEEE ISCAS2019 にて Best Demonstration Award 受賞、LSI とシステムのワークショップで研究賞受賞(上図右)しており、最終目標に向け、着実に成果を挙げているとみなせる。今後は、チップの性能向上はもとより、脳型アーキテクチャの深化、ボディ全体のソフト化、そして、脳・身体結合カップリングの進化が望まれる。

3.5.3.5 成果の普及

現在、九工大のグループが独自のチップ開発ならびにロボット開発を行っているが、開発されたチップを競技参加に配布可能な組織体制を構築し、ロボカップ@ホームのサブリーグとして、広く競技参加者を募り、競技会開催を通じて、チップの検証や応用範囲を広げる活

動を開始する。これにより最終的な実社会への普及が望めるとともに、競技会そのものがニューロモルフィックダイナミクスのみならず、この分野の若手人材育成に繋がると期待される。

3.6 研究開発テーマ「深層確率コンピューティング技術の研究開発」

本研究開発の目標は、①新しい深層確率コンピューティングのアルゴリズムを探求し、②それを確率プログラミング言語によって容易に利用できるようにし、さらに③最適化されたハードウェアによる加速・省電力化を実現することである。これにより、エッジ側での深層確率学習を低消費電力で実現し、通信帯域の削減等により新しい機械学習の応用可能性を切り開く。この目標に対し、以下の成果を達成し目覚ましい成果を上げつつある。

- ・ VAE と状態空間モデルの融合する新モデル「Model Identification NN (MINN)」を開発した。
- ・ カーネル法と深層学習の融合による効率的な確率推論の方法を開発した。
- ・ GAN の判別器を用いた異常検知法を開発した。
- ・ 確率論理プログラミング言語 PRISM に対し、深層ニューラルネットワークモデルを効率よく記述し、取り扱うための拡張の実装として T-PRISM を開発し公開した。
- ・ 深層確率プログラミング言語 Tars を PyTorch 上に移植・拡張し、Pixyz として公開した。
- ・ ハードウェアの基本設計を行い、関数評価器や乱数生成等の回路要素の設計を行った。

個別の研究開発テーマにおける詳細は以下に示す。

3.6.1 研究開発サブテーマ「深層確率コンピューティングに適した計算アルゴリズムの研究開発」

3.6.1.1 概要

深層確率コンピューティングのコアとなるアルゴリズムを開発する。具体的には、変分 Auto Encoder (Variational AE、以後 VAE) を状態空間モデルと融合するアルゴリズムを開発する。深層ニューラルネット (Deep Neural Network、以後 DNN) は識別モデルとして利用されるのが普通であるが、生成モデルに活用する研究もこの 2~3 年富に盛んである。その中でも VAE は、生成モデルの自動構築法としての汎用性から大きな期待が寄せられている。中央大学における研究開発の進め方においては、モデル探索とパラメータ学習に関するアルゴリズムの研究開発を両輪とする。前者では、変分オートエンコーダと状態空間モデルの融合 (実施項目①-(1)) を行う。後者では、パラメータの学習アルゴリズムおよびエッジクラウド間の計算バランシング法の開発 (実施項目①-(2)) を行う。情報・システム研究機構では、より要素的な研究開発として、カーネル法と深層学習の融合による効率的な確率推論の方法 (実施項目①-(3)(A)) と、敵対的生成ネットワーク (Generative Adversarial Network、GAN) を用いた確率推論法 (実施項目①-(3)(B)) に関する研究開発を行う。

3.6.1.2 最終目標と根拠

最終年度 (2022 年度) には、実施項目①-(1)、①-(2)、および①-(3) で開発した手法を、産業技術総合研究所、京都大学、東京大学のソフトウェア開発チームのソフトウェアに実装し、実データへの適用を行うことにより、エッジクラウド間の計算バランシングを評価する。深層学習によるサンプリングの高度化により、サンプルによる確率分布の表現を効果的に学習する方法を開発し、実施項目 3 (深層確率コンピューティングに適したハードウェアシステムの開発) で開発予定のハードウェアでその有効性を評価する。

中間目標となる 2020 年度までに、モデル探索とパラメータ学習に関するアルゴリズム開発各々に対して具体的目標を達成し、同時確率分布の表現精度を同程度に保持しつつ、エッジ側からクラウド側に転送するデータ量を、事業開始時点における同等の技術と比較し、1/100 以下とする可能性を示す。

3.6.1.3 目標の達成度

変分オートエンコーダと状態空間モデルの融合については、VAE と状態空間モデルの融合形のプロトタイプを複数検討し、Recurrent NN-VAE のエンコーダ部分のブロックモジュール間の配線を工夫することで、潜在的なモデルの同定可能性を担保しつつ、モデル学習が頑健である DNN「Model Identification NN (以後 MINN)」を考案した。

エッジクラウド間の計算バランシング法の開発については、MINN を用い人工時系列データを用いてパラメータ学習に関する数値実験を行った。

カーネル法と深層学習の融合による効率的な確率推論の方法については、カーネル法において単純な行列演算を深層学習に置き換える方法を考案し、より柔軟性の高いベイズ推論を可能にした。また GAN の判別器を用いた異常検知法を開発して有効性の検証を行った。

ソフトウェア開発チームとの連携については、すでに、VAE と状態空間モデルの融合形のプロトタイプを複数、Pixyz(東大が主開発)に実装済みである。ハードウェアチームとの連携に関しては、VAE の枠組み内でのパラメータ学習で大きな役割を果たす、対数周辺尤度の下限である、Evidence Lower Bound(ELBO)を最大化に、ハードウェアの成果を取り込む検討を始めている。時系列データを対象とする ELBO の評価では、Filtering Variational Objectives(以後、FIVO)が用いられる。FIVO では、エンコーダの最終段ブロック部分における reparametrized sampling を N 回(粒子数)行い、それらの結果を、デコーダを通して loss(尤度)を見ることで粒子を resampling(粒子フィルタの言葉では、SIS 等で評価するアルゴリズムを実装)をしている。FIVO の良い推定には、大量の良質なガウス乱数が必要となる。この部分に、乱数発生にかかわるハードウェアの成果が生かせるのではないかと考えている。

これらを総合し、目標達成に向け順調に推移していると考えられる。

3.6.1.4 成果と意義

中央大学の研究開発項目のうち、モデル探索に関しては、深層学習を利用した生成モデルと状態空間モデルの融合に関して、理論的枠組みの十分な検討を行い、開発した基本アルゴリズムを VAE の枠組みで実現することを目標としている。これまでに、VAE と状態空間モデルの融合形のプロトタイプを複数検討した。Recurrent NN-VAE のエンコーダ部分のブロックモジュール間の配線を工夫することで、潜在的なモデルの同定可能性を担保しつつ、モデル学習が頑健である DNN、すなわち前述の MINN を考案した(図 2-3.6.1-1 参照)。なお各ブロックモジュールは、中間層数が 2~3 の密結合のシンプルなものとしている。MINN はその構造自体から多様な状態空間モデルが表現でき、実際の時系列データを確率表現する上での拡張性は大きい期待できるものである。

また、パラメータ学習に関しては、データが少ない場合のアルゴリズム、特に Stochastic Back Propagation (SBP)の改良を行い、双子実験(模擬データを発生させた既知のモデルをデータから逆推定する実験)を実施し、同定性能を評価することを目標としている。VAE の枠組み内でのパラメータ学習は、前述した ELBO を最大化することで実現する。ELBO およびその亜種は二つのパーツの和で表されている。一つは、Reconstruction Loss と呼ばれ、デコーダ最終段で規定される確率モデルで測った実際のデータの確率値(尤度)に対応する。もう一つは Latent Loss と呼ばれ、仮定した事前分布とプロポザル分布の間の距離を測るものである。この二つの組み合わせにより、同じ DNN 構造でも複数のモデル同定(モデル学習)のスキームが考えられる。さまざまな MINN を具体的に計算機上に実装し、ネットワークの構造と評価関数の違いによるモデル同定の性能の違いを数値実験にて評価した。

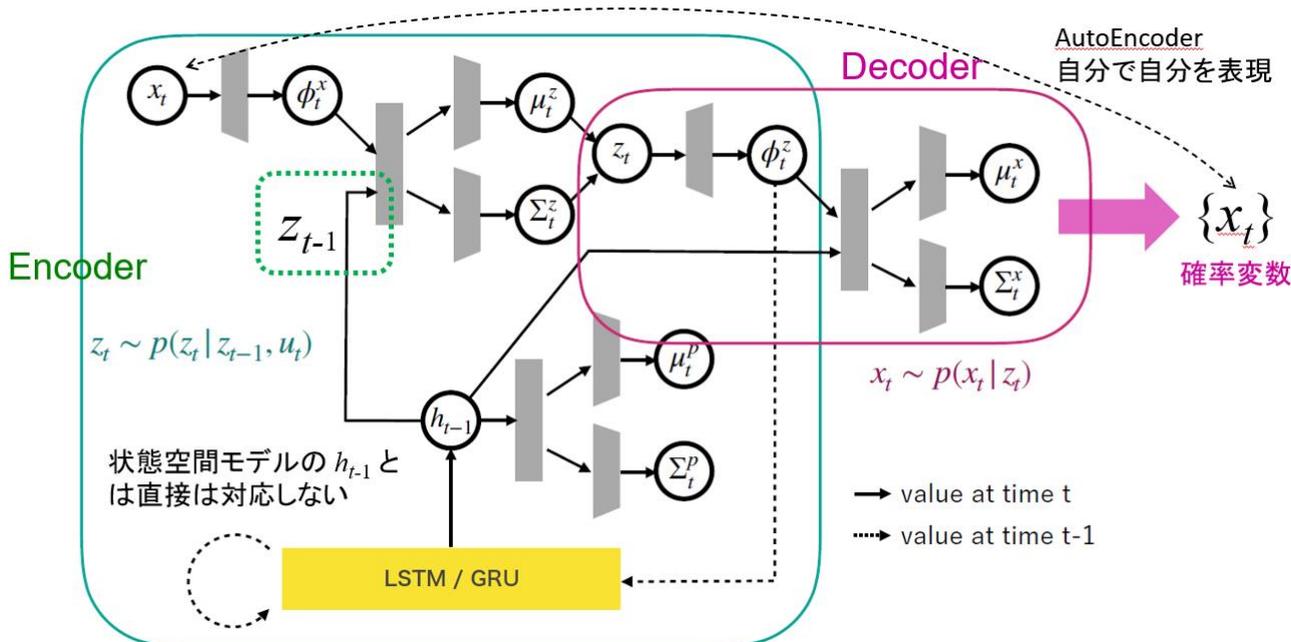


図 2-3.6.1-1 本プロジェクトで考案した Model Identification Neural Network の構成図

時系列データを対象とする ELBO に相当する FIVO では、モンテカルロ的に求めた対数尤度を参照するため、同じように対数尤度を利用する粒子フィルタの利用上のノウハウが直接的に役に立つ。これまで前述した MINN でもって、線形ではあるが非ガウス性を示す人工時系列データ、ただし異常値が観測データに時折混入する人工時系列データでもって、パラメータ学習に関する数値実験を行った。計測データに間欠的に混在する異常値の同定には成功したが、異常値の同定機能に特化した既存 DNN のパフォーマンスには残念ながら劣る。その理由は、我々の開発しているネットワークである MINN は、モデル同定を主たる機能とし、異常値同定が主たる目的でないためである。

次に、情報・システム研究機構の研究開発項目のうち、カーネル法と深層学習の融合による効率的な確率推論の方法に関しては、基礎的なアルゴリズムを開発し、その有効性を単純な問題で検証した。このアルゴリズムは、本事業に参加する福水らが研究を行ってきた、カーネル法によって重み付き粒子として確率分布を表現する方法を基礎としている。カーネル法による表現は、単純な行列演算によってベイズ推論を行うことを可能とし、ガウス性を仮定する推論法に比べてより柔軟に分布を表現可能であると同時に、モンテカルロサンプリングや変分近似など計算量の高い既存のベイズ推論法に比べ、演算量の点で優位性を持つ。その反面、推定精度がカーネルの選択に大きく依存するという弱点があった。そこで、単純な行列演算を深層学習に置き換える方法を考案し、より柔軟性の高いベイズ推論を可能にした(図 2-3.6.1-2)。今後、より大規模な問題への適用をはかり、計算量を削減する方法を探索する。また、カーネル法だけでなく Wavelet との融合の可能性を研究する。

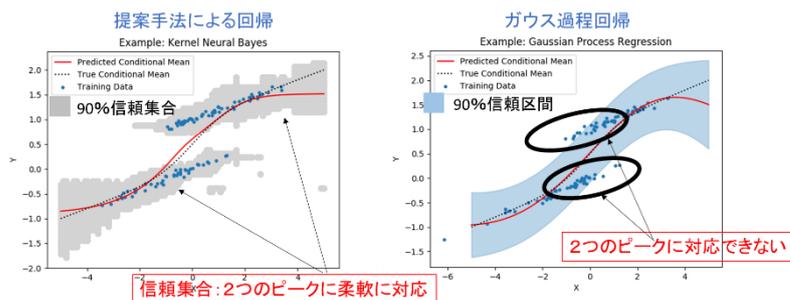


図 2-3.6.1-2 カーネル法+深層学習

また、GAN による確率推論法に関しては、正常画像のみが訓練データとして与えられるという設定のもとで、画像データからの異常検知の問題をターゲットとして、GAN の判別器を用いた異常検知法を開発して有効性の検証を行った。開発したアルゴリズムは、データとして与えられる正常画像に加えて、GAN の生成器で発生した人工異常画像を用いて正常／異常画像を識別する判別機を構成する。数字画像を用いた簡単な比較実験では、類似の異常検知法に比べて高い性能が得られた(AUPRC による比較で、提案法 0.898 / 比較手法 AnoGAN 0.873)。また、画像による異常検知用データベース MVTec AD の中の 10 タスクの異常検知タスクを用いて実験したところ、10 クラス中 8 クラスにおいて State-of-the-art を上回る AUPRC 値を示している。現在、効率的な学習を達成するためにメタ学習への拡張を研究開発中である。これらのアルゴリズムは東大の開発する Pixyz に実装を予定している。

本研究は深層学習と確率推論の融合において先駆的な意義をもつ。深層学習による非線形・ガウス型モデリングのパラダイムシフトを、状態空間モデルの枠組みに導入し、状態空間モデルの適用限界を突破することができる。具体的には、時系列データに適した、時変潜在ベクトル(状態ベクトルに対応)の自動同定、およびそれに基づいた観測モデルと近似事後分布(プロポーザル分布)を自動的に生成する計算の枠組みを確立できる。これにより、時系列モデリング利用上の匠(熟練者)の経験とノウハウ、つまり属人的スキルを自動化することで、状態空間モデルのコモディティ化に直接的に貢献する。

3.6.1.5 成果の普及

IoT の時代となり、人工物のモニタリングのために、膨大なセンサ情報をクラウドに集めることがさまざまな産業分野で企図されている。センサ情報をすべてクラウドで処理するのは、モニタリングの主たる目的(例えば異常値検知)からして非効率である。本研究開発では、上記のパラメータ学習をエッジ側でのみ実現し、学習されたパラメータのみをクラウドに送信するシステムを考えている。時系列の場合、パラメータベクトルの時間変化はあまりないと想定されるため、パラメータベクトルの時間差分が大きいものだけクラウドに送信するのが適当である。これにより、データそのものをクラウドに送信する場合に発生する個人特定の回避や、クラウドに送信する際の通信コストを大幅削減できる。あわせて、クラウドに集まるモデルバンク(パラメータベクトルバンク)のオンラインアップデートアルゴリズムの確立により、人工物のモニタリングシステムはより高度化される。具体的には、クラウドにある Digital Twin のシミュレータをデータ同化させることにより、空間分解能も時間分解能も高い予測シミュレータが構築するなど、効果的かつ低コストの人工物の管理システムが期待できる。

本プロジェクト内では行わないが、モニタリングシステムの実装例としては、IoT を用いた次世代空調システムの開発や、複数センサを統合化したビッグプラントの効果的モニタリングシステムの構築が考えられる。現在のビル空調システムでは、さまざまな場所に複数の専用の計測装置を設置し、そこからの情報をクラウド上に集め、ビル空調の集中管理を行っている。今後、自社開発の特殊な計測装置が構成する精密なシステムが、大量の安価な普通のセンサ群とベンダ等が提供するクラウド情報処理(その中では本プロジェクトで開発しているようなエッジ側での計算技術が大きな役割を果たす)の組み合わせに移行する可能性も十分あり得る。

石油プラントや化学工場等の巨大プラントシステムは、基本「一点物」であるため、そのモニタリングシステムは個別的にならざるを得ない。従来は、人手と予算をかけて、メンテナンス会社が一定の時間間隔および空間解像度で、人海戦術的に現状確認と対応を行ってきた。このような管理の業態にも、IoT や Digital Twin の観点で、業務形態を大幅に改善できるチャンスが到来している。プラントの管理においては、通常からの乖離、つまり異常状態に至る前兆をいかに早く捉えるかが最も重要である。従って、通常をよく知るとともに異常の特定に優れたセンサネットワークの構築を目指せねばならない。配管は外から見えない場所も

多々あるため、監視カメラによる画像・動画データだけでは状況の把握には不十分である。また、熱監視もプラント管理には欠かせない。人手による打音確認も自動化しなくてはならない。このように、通常のセンサ情報だけでなく、動画や音情報をセンサでエッジ計算し、クラウドに必要情報のみ送付する仕組み作りが求められる。送信された情報は、クラウドの Digital Twin 上でデータ同化のために活用される。これにより、リアルタイムで巨大プラントの状態を把握しながら、同時に異常をなるべく早く察知する、高度なモニタリングシステムが実現できる。そのシステムを活用し、ドローンによる詳細な直接モニタリングや、プラントを前もって予防的に制御するなど、効果的・効率的な対策が可能となろう。

3.6.2 研究開発サブテーマ「確率プログラミング言語の研究開発」

3.6.2.1 概要

本項目では、複雑な確率モデルを用いた学習および推論の計算を、ハードウェアシステムおよび基盤ソフトウェア上で容易に実現するための確率プログラミング言語およびそのプログラムの実行環境の開発を行う。こうしたプログラミング言語により、複雑な確率モデルの定義、すなわち確率変数の間の記述を可能にするとともに、そうしたモデルの記述をするだけで、様々な種類の学習・推定アルゴリズムが利用可能になる(図 2-3.6.2-1 参照)。

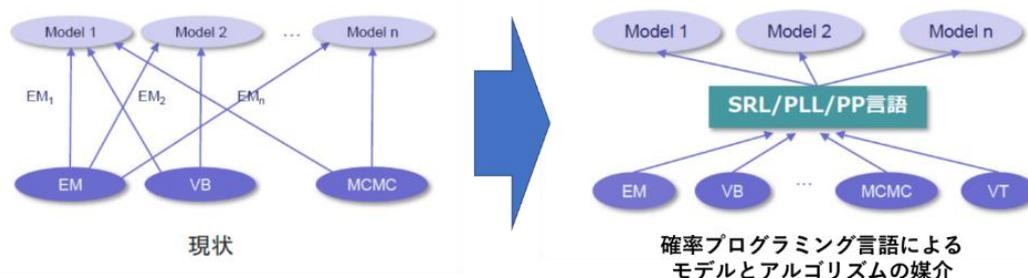


図 2-3.6.2-1 確率プログラミング言語の役割

これまでに、多くの確率プログラミング言語が研究開発されているが、そこでは、大きく二つのアプローチが取られている。一つは、汎用のプログラム言語に確率の扱いを導入して、汎用性の高い確率プログラミング言語へと拡張するアプローチ、もう一つは、深層学習のフレームワークに確率の扱いを導入して、深層学習を前提とした確率プログラミング言語へと拡張するアプローチである。本研究開発では、1つ目のアプローチとして、東京工業大学、産業技術総合研究所、および京都大学で開発された、強力な記述力を持つ確率的な論理プログラミング言語 PRISM を基盤とする ②-(1) 確率論理プログラミング言語の研究開発を、2つ目のアプローチとして、深層学習を前提とした確率プログラミング言語として東京大学で開発された Tars を基盤とする ②-(2) 深層確率プログラミング言語の研究開発を、並行して探索的に実施し、それぞれのアプローチの特徴および得失を明らかにするとともに、それぞれを相互参照しながら全体の改善を進めて、最終的には、②-(3) 確率論理プログラミングと深層確率プログラミングの評価と融合によって、融合によるさらなる高度化の可能性を探る。

3.6.2.2 最終目標と根拠

最終年度である 2022 年度に、以下の目標を達成することを目指している。

- 1) 実施項目①で検討する複雑な確率モデルを含む 2 種類以上の確率モデルが、拡張された PRISM および Tars を PyTorch 上に移植した Pixyz によって扱えることを示す。
- 2) PRISM および Pixyz の実施項目③で構築するハードウェアのシミュレータ上での実行効率のシミュレーションによる評価を完了させる。
- 3) PRISM と Tars の融合の方針を提案し、融合の可能性を示す。

これらの目標を達成することにより、世界的にも類のない、深層ニューラルネットワークを含む複雑なモデルの記述能力とハードウェアによる高速な実行速度を有する、深層確率プログラミング環境を実現し、深層確率生成モデルの研究開発を加速することが可能になる。

3.6.2.3 目標の達成度

中間目標となる 2020 年度には、以下の項目を達成し、開発する技術の電力効率(単位電力あたりの計算性能)が、事業開始時点における同等の技術と比較し、100 倍以上となる可能性を示すことを目指している。

- 1) PRISM を拡張し、深層ニューラルネットワークモデルを含む確率モデルが容易に記述できることを示す。また、線形計算を中心とした学習、推論の効率を向上させる。
- 2) Tars を PyTorch 上で効率よく実装する。また、正規分布等以外の確率分布や時系列データを扱うモデルへの対応の可能性を示す。

1)に関しては、PRISM に、深層ニューラルネットワークの計算に必要となるベクトル・テンソル変数を扱う機構を加えた T-PRISM を開発し、ベータ版を公開した。また、ハードウェアによる高速化に向けた検討として、既存の汎用エッジ向けデバイス(Jetson TX2)上での動作確認を行い、消費電力や通信量の見積り、計算速度のボトルネックの解析等も実施している。

2)に関しては、Tars を PyTorch 上で効率よく実装した深層確率プログラミング言語 Pixyz を開発し、ベータ版の ver.0.2 までを公開してきている。また Pixyz を用いて、様々な深層確率モデルを実装、性能評価を行い、Pixyz と一緒に公開している。

以上より、2020 年度末の中間目標は既に達成されており、最終目標の達成に向けた検討も進められている。

3.6.2.4 成果と意義

産業技術総合研究所と京都大学を中心に開発を進めている確率論理プログラミング言語 PRISM に対し、深層ニューラルネットワークモデルを効率よく記述し、取り扱うための拡張の実装として T-PRISM を開発し公開した(<https://github.com/prismplp/prism>)。類似のシステムは表 2-3.6.2-1 に示すように、近年多く提案されているが、T-PRISM は柔軟なモデリング能力を持つという点で他のシステムよりも優れたシステムである。具体的には、T-PRISM では、Python もしくは他のシステムで作成した多高次元データを直接入力する機構(HDF5, JSON, Google protocol buffer に対応)を実装し、GPU によるベクトル・行列計算の高速化を行った。これらの機構により従来の論理ベースのシステムでは難しかった現実的な大規模問題に対応することができるようになった。

表 2-3.6.2-1 深層学習と論理プログラムを組み合わせたシステムの比較

	ニューラルネットワークを設計可能	論理推論が可能	確率モデリング可能	論理式の構成要素が分散表現をもつ	論理プログラム
NTP [Rocktaschel+ 17]				○	Datalog
dILP [Evans+ 18]				○	Datalog
LTN [Serafini+ 16]	○			○	First-order logic (subset)
TensorLog [Cohen+ 17]		○			Datalog
DeepProbLog [Manhaeve+ 18]	○	○	○		Prolog
T-PRISM [Kojima+ 19]	○	○	○	○	Prolog



図 2-3.6.2-2 T-PRISM 概要: フロントエンドとバックエンドを分離することでバックエンドに依存しないインターフェースをユーザに提供できる

また、T-PRISM のスケーラビリティを評価するために、知識グラフを用いたサンプルプログラムの作成を行い、巨大なグラフに対してのモデルを実装することが可能なことを示した。また、深層確率時系列モデルに関して代表的な Deep Kalman Filter の簡易的な実装を行い、実行効率などの評価を行った。このような成果の背景には、T-PRISM のバックエンドを Python によって実装し、バックエンドとして TensorFlow/PyTorch を採用することで、洗練された高速な学習ライブラリが利用できるようになったことが挙げられる(図 2-3.6.2-2)。実際の実行手順としては、図 2-3.6.1-1 に従って、ユーザが記述した T-PRISM コード(一階述語論理に対応)を T-PRISM で採用しているテンソル化意味論に従って、具体的な計算手続きに変換する操作を T-PRISM コンパイラによって行う。このコンパイルでは、論理推論エンジンを用いることで、抽象的な記述から具体的な計算手続きへのコンパイルを自動的に行っており、ユーザは複雑な計算手続きであっても簡潔に記述することができる。このコンパイルの結果、一種の計算手続きを表現した計算グラフ(PRISM では説明グラフと呼ぶ)が構築され、これを計算・学習エンジンに受け渡し、実際の計算は GPU などのハードウェアを活用して、高速に行うことが可能になっている。同時に、バックエンドとフロントエンドを分離することに

より、バックエンドをいれかえることで様々な環境に対応できるようになっている。これにより、新たなハードウェアへの対応等が容易に実装できることが期待できる。

オープンソースの深層学習プラットフォームである Torch は、独自の Lua 言語上で開発されていたが、機械学習・深層学習の分野での Python 言語の普及に伴い、2018 年度から Python 言語に移植されて PyTorch となった。現在、TensorFlow と並び、代表的な深層学習プラットフォームとして活発に利用と開発が継続されている。これに対応して、本研究開発では、まず、Torch 上で開発されていた深層確率プログラミング言語 Tars を PyTorch 上に移植することから開発を開始した。この移植は順調に進展し、2019 年 3 月には、最初のベータ版である Ver0.1 を、Pixyz と名称を改めて公開することに成功した。Pixyz の基本設計は、Google が開発している TensorFlow Probability や Uber が開発している Pyro と比較して、深層学習部分と、確率モデリング部分を分離して実装できる点に特徴がある。具体的には、3 つの API (Distribution API、Loss API、Model API) による階層的な実装が、プログラムの可読性と再利用性を向上させている。

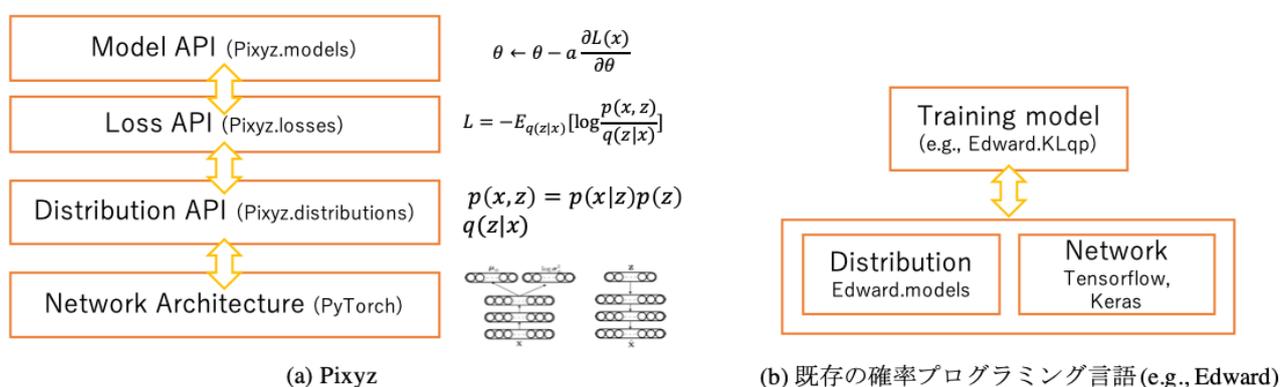


図 2-3.6.2-3 既存の確率プログラミング言語と Pixyz の比較

Distribution API では、正規分布やベルヌイ分布のような基本的な確率分布を扱うとともに、深層ニューラルネットワークを用いた確率分布の容易な定義を可能にしている。さらに、分布の掛け算によって定義される確率分布を直観的に扱うこともできる点は強力である。

Loss API では、Distribution API で定義された分布から計算される誤差関数を容易に定義することができる。対数尤度、エントロピー、分布間のダイバージェンス、敵対的損失関数、等の基本的な誤差関数が定義されていることに加えて、Distribution API と同様に、誤差関数インスタンス間の演算を可能にしているため、論文に書かれている損失関数を、ほぼそのままの形でプログラムにすることが可能である。

Model API では、Loss API で定義した誤差関数を用いて、指定したデータと最適化法によるモデルの学習とテストを容易に実行することができる。ここで、それぞれの API が相互に干渉しないため、その一部を入れ替えて再利用することが容易であり、プログラムの可読性と再利用性の大幅な向上につながっている。

その後、Distribution API で扱える確率分布の種類を増やす、Loss API の記述力を向上させる、等の改良を加えるとともに、チュートリアルやモデル実装例も追加して、現在は、Ver0.2 を公開している。Pixyz の公開は、Google TensorFlow Probability の主要開発者である Dustin Tran 氏から GitHub 上での評価を受けたことに加えて、PyTorch 関連の優れたソフトウェアを掲載する Awesome-pytorch-list で紹介される、など、世界的にも注目を集めて、現在、8,000 を超えるダウンロード数を記録している。

Pixyz による深層確率生成モデルの実装事例も、Variational Auto Encoder (VAE) とその変種から始まり、GQN のような世界モデル、DynaNet のような時系列モデルへと拡がって、多様なモデルをモデルリポジトリ Pixyzoo において公開している。これらの実装に対しても、代表的な世界モデルである GQN (Generative Query Network) 論文 (Science 誌に掲載) の第一著者である Ali Eslami 氏 (DeepMind) の Twitter に、Pixyz と共に紹介されて話題になるなど、世界的な評価を受けている。特に、GQN のような複雑なモデルの実装を誰もが可能にすることは、深層生成モデルや世界モデルの研究が、一部の巨大 IT 企業における研究開発を超えて「民主化」することに貢献している。

3.6.2.5 成果の普及

T-PRISM に関しては、GitHub 上 (<https://github.com/prismplp/prism>) で公開している。同サイト上ではサンプルプログラムとして、シンプルな手書き文字認識のニューラルネットワーク、知識グラフのモデル、Markov chain の確率計算、推移閉包の高速計算などのサンプルプログラムも公開している。多くの人がこのような論理ベースの深層学習を容易に利用できるようマニュアルの整備も合わせて実施した。

様々な環境で動作確認を行っており、Docker イメージ (<https://hub.docker.com/r/prismplp/prism>) の提供など利用しやすい環境の提供も行っている。産総研の AI 橋渡しクラウド (ABCI) 等のスケール可能なクラウド環境での実行可能性についても確認している。また、既に普及しているエッジデバイスである Raspberry pi 3 や Jetson TX2 での動作確認を行っており、ハードウェアに合わせた実装や評価に関しても検討を進めている。

深層確率プログラミング言語 Pixyz については、GitHub 上のサイト (<https://github.com/masa-su/pixyz>) において、チュートリアルも含めた ver.0.2 を公開中であり、これまでに、Dustin Tran 氏からのものを含む 338 の Star を獲得し、8,000 を超えるダウンロード数を達成している。

Pixyz による深層確率生成モデルの実装例も、同じく、GitHub 上のサイト Pixyzoo (<https://github.com/masa-su/pixyzoo>) において公開され、深層確率生成モデルの研究開発に利用されている。特に、本研究開発内においても、①深層確率コンピューティングに適した計算アルゴリズムの研究開発において、Pixyz の利用を進めており、新たなモデルの実装にもつながっている。

深層確率生成モデルは、今後、実世界のリスクの高い課題や、計算資源が限定される状況において、深層ニューラルネットワークを活用するための基盤技術として、自動運転、ロボット制御、医療応用、等の分野で利用されてゆくことが期待されており、そうした課題ごとに必要となる深層確率生成モデルの設計、開発、評価の基盤として、深層確率プログラミング言語 T-PRISM および Pixyz の普及も進むことが期待できる。今後、具体的な実用データへの適用と評価を進めるとともに、ハードウェアの開発とも連携を強めて、世界的にも競争力を持つ深層確率コンピューティングのプラットフォームとして普及させてゆきたい。

3.6.3 研究開発サブテーマ「深層確率コンピューティングに適したハードウェアシステムの開発」

3.6.3.1 概要

本テーマでは、統計数理研究所・中央大学で開発するアルゴリズム、産業技術総合研究所・京都大学・東京大学で開発するソフトウェアに適したハードウェアシステムの開発を行う。

本研究開発では、エッジ側で学習を行うことが前提となっており、エッジ側での計算量が多い。この問題を解決するためには、本方式に適した効率のよいハードウェアを開発する必要がある。アルゴリズムの汎用性が高いことを考慮すると、特定の精度・性能に限定した

ハードウェアを開発するのは適切でない。そこで、アルゴリズムに合わせて機能を設計するが、精度等は用途に合わせて変更可能なハードウェア基盤を構築する。回路の最適化により、現行 CPU に比べ 100 倍以上の電力性能の実現可能性を示す。

具体的には、ハードウェア要素およびオンチップネットワークを開発し、シミュレータおよび FPGA を用いた評価を行うと同時に、ソフトウェアシミュレータを提供する。これらとアルゴリズム・ソフトウェアを結合させ、全体としての設計環境を提供する。

3.6.3.2 最終目標と根拠

中間目標となる 2020 年度には、以下の項目を達成し、開発する技術の電力効率(単位電力あたりの計算性能)が、事業開始時点における同等の技術と比較し、100 倍以上となる可能性を示す。

- ・アルゴリズム・ソフトウェアに必要なハードウェア要素を特定し、実装を行う。また、最適なオンチップネットワークの設計を行う。
- ・ハードウェアのエミュレータ・シミュレータを整備し、ソフトウェアでの評価を可能とする。

最終年度(2022 年度)には、以下の目標を達成する。

- ・アプリケーションの性能評価とそれに基づく性能改善を行う。
- ・実アプリケーションでの電力見積もりを行い、1/100 以上のエネルギー効率が達成できる見通しを示す。

上記を通じ、エッジ側での学習を可能とし、通信量・電力削減を実現する。

3.6.3.3 目標の達成度

まず Bayes by Back-propagation を初期ターゲットとして選定し、ハードウェアの実装を開始した。必要なハードウェア要素として、まず設計のベースとなるプロセッサ設計環境として Chipyard 環境、演算要素として乱数や関数評価器の設計を行った。またプロセッサの拡張部の基本設計方針を決定し、詳細設計を行っている。オンチップネットワークについては、Chisel 言語で新規設計を行う方針を決定し、設計を開始している。今後は、詳細設計の完了と電力評価が課題となる。2020 年度内に、プロセッサ設計とその上での計算実行を行い、論文を投稿する計画である。

エミュレータの整備については、各種 FPGA 環境の整備を行った。テスト基板の立ち上げおよび Amazon Web Service 上の設計環境 Firesim を利用した評価環境の立ち上げを行っている。

上記を総合し、順調に推移していると考えられる。

3.6.3.4 成果と意義

これまでに、設計方針を確定させ詳細設計を行う段階に入っている。全体のブロック図を図 2-3.6.3-1 に示す。プロセッサは複数のプロセッサコアをオンチップネットワーク(Network on-Chip, NoC)で接続したものである。プロセッサコアとしては RISC-V を用い、乱数等の深層確率コンピューティングに必要な回路要素を拡張する。基本的には単一チップでの動作を前提とするが、オンチップネットワークを外部ネットワークに拡張することにより複数チップのシステムも可能である。

まずターゲットアルゴリズムの探索を行い、Bayes by Back-propagation(BbB)法を初期のターゲットとすることとした。BbB 法はネットワークの重みを平均 μ 、分散 σ の正規分布として表現し、そのサンプリングに VAE で多用される Reparametrization Trick 法を利用したベイズ深層学習アルゴリズムの一種である。BbB 法では確率分布評価をネットワークの重みのオーダーで実行する必要があるため、計算負荷が重く、ハードウェア加速の対象として適している。BbB 法による学習は原理的に通常の深層学習モデルに適用可能である点で汎用性の

高いアルゴリズムである。また、BbB 法による学習ではアルゴリズムチームで利用されている時系列データを対象とする ELBO に相当する FIVO と同様に、モンテカルロ的に求めた対数尤度の評価を行うなど、本プロジェクトで開発される他のアルゴリズムへの適用が容易である。

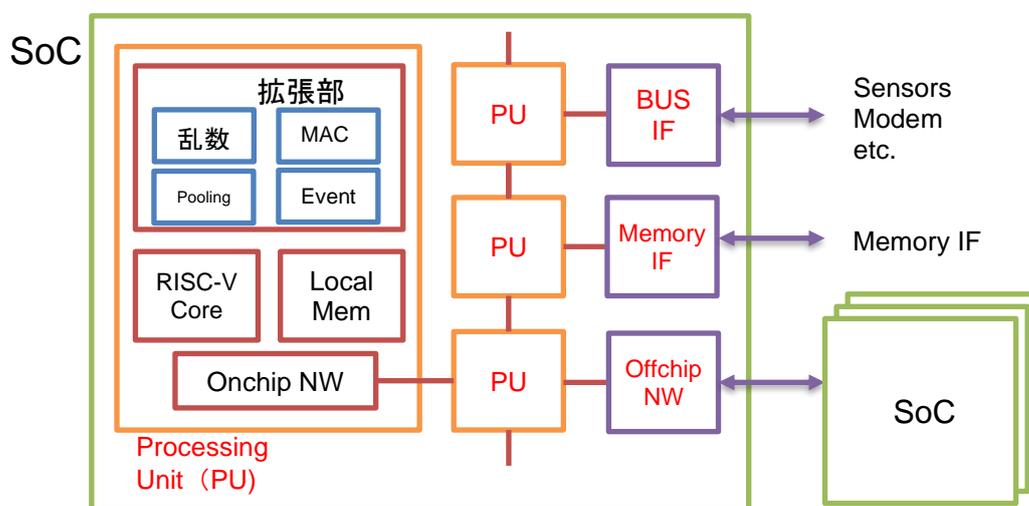


図 2-3.6.3-1 最終的な SoC のイメージ。複数の拡張されたプロセッサが NoC で接続されている。拡張部については一例である。

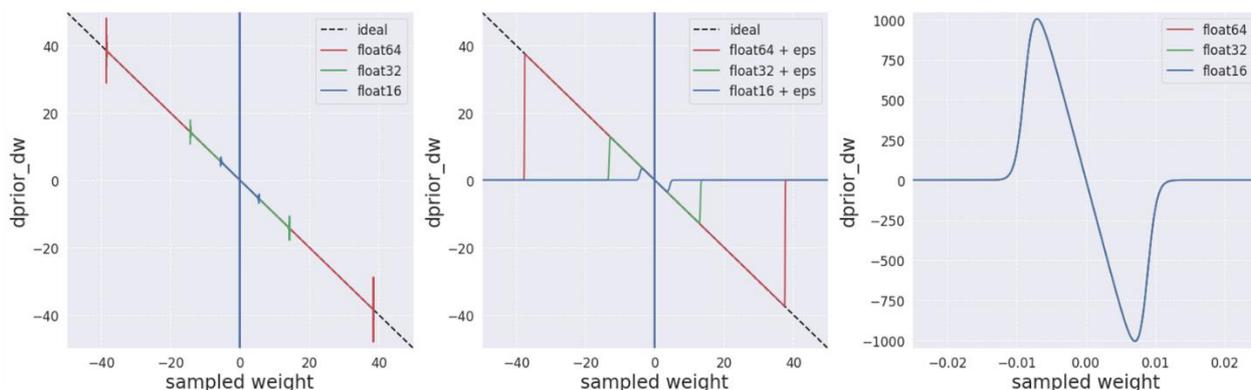
本アルゴリズムを実装し、計算精度を任意に可変可能なライブラリを用いて実装することで、計算精度の評価、計算の安定性評価、アルゴリズム比較を実施した。C 言語を用い、Deep Learning 向けライブラリに依存せずに実装を行うことで、開発するプロセッサの評価環境で動作させることができるコードとして開発している。

BbB 法におけるモンテカルロ的に求める対数尤度の数値計算評価を行った。BbB 法では対数尤度の評価の一部として、異なる分散を持った平均ゼロの二種類の正規分布を重ね合わせた ScaleMixture を重みの事前分布として利用し、学習時にはモンテカルロ的にサンプルされた重みパラメータ w に対して微分された式を利用する(式(1))。

$$\frac{d\text{Prior}}{dw}(w) = -w \frac{\left\{ \frac{a}{\sigma_\alpha^3} e^{-\frac{w^2}{2\sigma_\alpha^2}} + \frac{(1-a)}{\sigma_\beta^3} e^{-\frac{w^2}{2\sigma_\beta^2}} \right\}}{\frac{a}{\sigma_\alpha} e^{-\frac{w^2}{2\sigma_\alpha^2}} + \frac{(1-a)}{\sigma_\beta} e^{-\frac{w^2}{2\sigma_\beta^2}}} \quad (1)$$

式(1)を倍精度浮動小数点(float64)、単精度浮動小数点(float32)、半精度浮動小数点(float16)の計算精度で評価すると、分母の正規分布の両方の値がゼロになるタイミングで値が発散することが分かった(図 2-3.6.3-2(b))。BbB 法は学習が進むことによってパラメータが非数(NaN)となってしまう場合があることが複数の文献で報告されているが、事前分布の微分評価で落ちている可能性が極めて高いことが考えられる。発散を防ぐには微小の値 ε を追加することが対応策であるが、通常の深層学習のモデル設計では直接微分の式を変更することは滅多になく、ネットワークの Forward のモデルを TensorFlow や Pytorch などで記述し、バックエンドで動く自動微分機能を利用して Backward の式(微分の式)が評価される。従って Forward としてパラメータ w を変数に持つ事前分布に ε を加算して対数を取った式を w について微分した式、つまり式(1)の分母にのみ ε を足した式が通常の深層学習フレームワーク上で構築できる式になる。結果として値が発散することはなくなったが途中で値がゼロに落ちてしまい、理想的な値の直線上から外れてしまっている(図 2-3.6.3-2(b))。このモン

テカルロ的に求める対数尤度の評価における数値計算的な問題は、ソフトウェアレベルで自動微分の機能拡張を行う、あるいはハードウェアレベルで式(1)を直接評価することで対応可能であり、ソフトウェアチームと連携を取りながら改善に取り組む。また、この問題は BbB 法だけではなく、モンテカルロ的に求める対数尤度の評価の問題として一般的な課題として拡張できる可能性があり、実用面における数値計算的な影響の考察に加えてアルゴリズムチームと連携し取り組んでいく。なお、式(1)のゼロ近傍の値については計算精度の違いによる致命的な数値計算誤差は確認されなかった(図 2-3.6.3-2(c))。



(a) 式(1)の分母にepsが入らないグラフ (b) 式(1)の分母にepsが入るグラフ (c) 式(1)の0近傍のグラフ

図 2-3.6.3-2 BbB で利用される事前分布の重み w に対する微分評価値の精度による違い。
eps は本文中の ϵ に対応する。

プロセッサの設計としては、RISC-V プロセッサおよびその周辺の設計環境の評価を行い、Chipyard 開発環境をベースに開発を進めることとした。Chipyard を利用することによって、NoC と統合する前に単体コアでの BbB 法による学習評価が Linux 環境で可能となる。プロセッサシステムは全て Chisel 言語で記述することで、パラメータ化が容易で構成を自在に変えられるように実現する。拡張部(並列演算エンジン)としては Gemini をベースとして、和積演算、畳み込み推論演算、非線形演算、乱数生成をベクトル方式での処理をサポートする(図 2-3.6.3-3)。並列演算エンジンへのアクセスは RISC-V で用意されている拡張命令セットを利用する。RISC-V コアの整数レジスタを通じて拡張部の内部パラメータ設定、外部メモリとスクラッチパッド間の DMA アクセス、各種ベクトル演算処理が実行される。

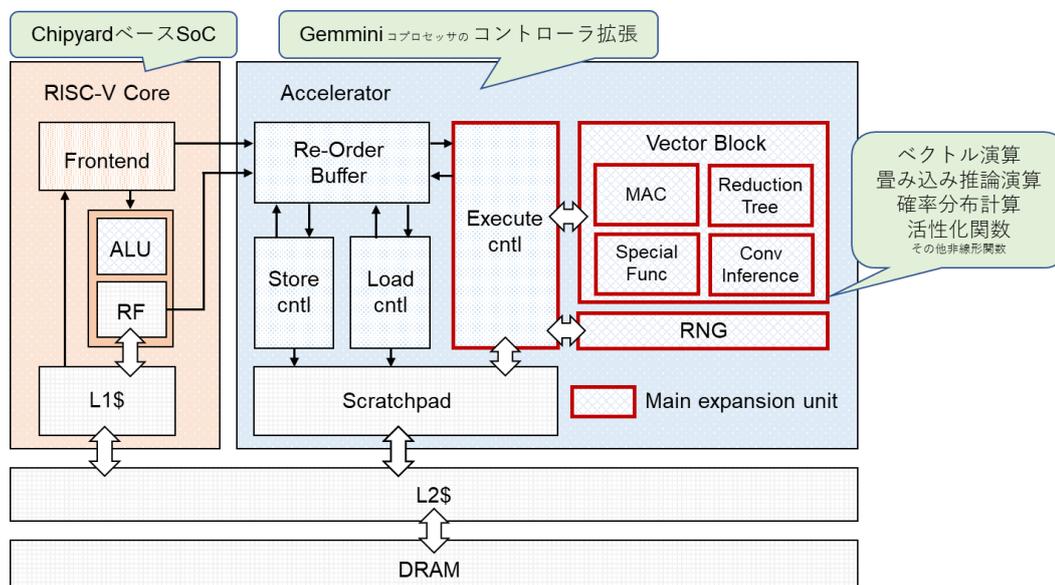


図 2-3.6.3-3 Chipyard ベース 並列演算エンジン ブロック図

並列演算エンジンにおける Re-Order Buffer(ROB)、Store コントローラ、Load コントローラ、スクラッチパッドは Gemmini 向けにサポートされていた機能を削除する程度で大幅な変更は行わない。一方で、実行コントローラは大まかなデータフローは踏襲するが本プロジェクト向けに演算ブロックについては大幅に変更する。実行コントローラの主なデータフローを図 2-3.6.3-4 に示す。実行コントローラは ROB から発行されたコマンドを受け取り、指定されたアドレスのデータに Read リクエストを送る。このレスポンスが返ってきた段階で Vector ブロックにデータが供給され、指定された命令に応じて処理が行われる。ベクトル処理には基本的な積和演算や、指数関数、対数関数、逆数、平方根といった処理に加えてシグモイド、ReLU(Rectified Linear Unit/ランプ関数)、ReLU の微分といったニューロンの活性化処理、ネットワークの出力に必要な Softmax 関数、BbB に必要な重みの生成処理といった機能が含まれる。Vector ブロックでの処理が終了されるタイミングで実行コントローラにデータと書き込みアドレス情報、ROB の管理 ID 情報が渡され、スクラッチパッドにデータを書き込むと同時に ROB に対して実行の終了を通知する。現状では学習のハードウェアサポートは全結合のみであるが、画像の特徴量抽出モデルとして広く利用されている畳み込みニューラルネットワークの VGG モデル(Simonyan, K., & Zisserman, A. (2014). arXiv:1409.1556.) の一部を利用できるように 3x3 フィルタにおける Winograd アルゴリズムによる推論フローをサポートする。乱数についてはベクトル的にスクラッチパッドへ書き込める他、直接 Vector ブロックに供給できるフローを持つ。以上の構成で詳細な設計を現在進めている。

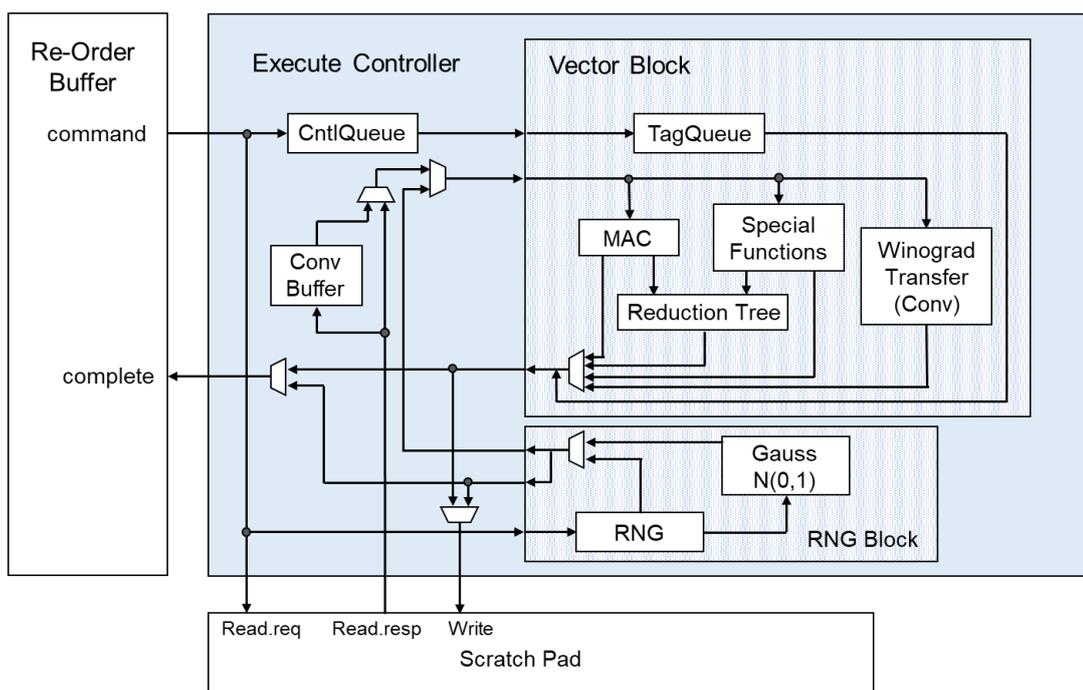


図 2-3.6.3-4 BbB アクセラレータの実行コントローラ部の主なデータフロー

また、演算加速部に用いる部品的设计を進めた。まず任意関数を区分多項式近似で求めるための回路を設計した。Chisel 言語の機能を活用し、関数と演算次数、演算器・係数テーブルの幅等を指定することで自動的にテーブルを生成する(図 2-3.6.3-5)。同時に精度評価を行いグラフの出力も行える。本機能は Kullback-Leibler 情報量およびその微分値の計算や、活性化関数の近似等に用いることができる。

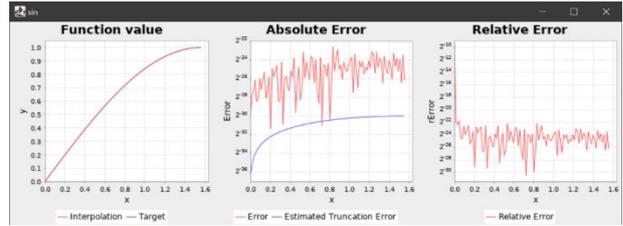
```

val xMin = 0.0
val xMax = 0.5*Pi
val nDiv = 64
val bp = 24
val cbit = Array(bp+2)

val t = new FuncTableDouble( sin, 3 )
+ addParams(xMin, xMax, nDiv)

```

Chisel 言語上の記述



回路とエラー等の確認

図 2-3.6.3-5 区分多項式近似による関数評価器の自動生成。Chisel の機能を活用し、単純な回路記述から誤差評価までを自動的に行うことができる。

乱数発生器の設計も行った。Mersenne Twister 法および Random123 Threefry 法による乱数発生器を設計した。また、Box-Muller 法による一様乱数から正規乱数への変換回路の設計を行った。

オンチップネットワークについては、アプリケーションに特化した最適な NoC を設計するために、Chisel 言語に基づく NoC を新規に開発する方針とし、NoC ジェネレータ EAGEN(Energy efficient Application-specific GEnerator for NoC)を開発している。プロセッサ同様、Chisel 言語の可塑性を活用した設計とする。EAGEN は (1) ターゲットアプリケーション仕様(例: BbB/VAE 等)、(2)実装面積やレイテンシなどの目標値、および(3)性能/消費電力に関する目標値を入力として受け取る。EAGEN はワークロードトレーサー(WT)、NoC Producer(NP)、NoC Explorer(NE)の 3 要素で構成される。図 2-3.6.3-6 にフレームワークと EAGEN のワークフローを示す。WT はアプリケーション仕様を受け取り、トラフィックをモデル化する。NP は多数のパラメタに依存し完全に構成可塑性を持つネットワーク生成部であり、Verilog コードを出力する。他の NoC ジェネレータにない要素として、電源管理モジュールの追加を検討している。

WT で生成されたトラフィックのモデルと NP で生成された NoC 設計のソースコードを、RTL シミュレータ・FireSim 等の FPGA ベースエミュレータで評価する。複数のパラメタに対するシミュレーションにより、性能・消費電力・面積の評価を行い、その結果を NE に供給する。NE はベイズ最適化または深層強化学習に基づいたランキングアルゴリズムで最適設計を迅速に探索するモジュールである。最適設計に基づき、最終的な設計を得ることができる。

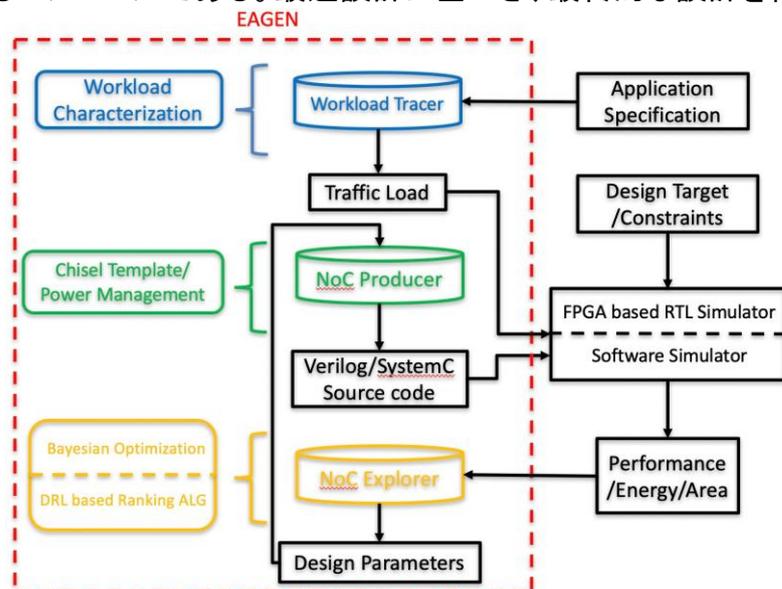


図 2-3.6.3-6 NoC ジェネレータ EAGEN の構成要素とワークフロー

3.6.3.5 成果の普及

実際の開発や応用の可能性に向けて、現在開発企業一社と協業の可能性を検討している。その検討次第ではあるが、今後設計をオープンにしていくことも含めて検討する。乱数や関数評価器はそれ単体でも再利用性が高く、深層確率学習以外の用途に対しても有用であると考えられる。また、NoC ジェネレータも再利用性が高く、他用途にも転用可能である。

3.7 研究開発テーマ「イン不揮発性メモリ分散 Approximate コンピューティングの研究開発」

本研究開発項目では、不揮発性メモリデバイス、アクセラレータ、分散処理、ネットワーク・プログラミングとハード・ソフトの全体に対して、最終的な推論結果の確度は落とさずにデータの処理や記憶の精度を落とす・エラーを許容する Approximate コンピューティングを適用し電力効率 100 倍以上を達成するという目標に対し、各要素技術で今年度の目標を達成し目覚ましい成果を上げつつある。

メモリレイヤでは、ReRAM を用いた Approximate 不揮発性メモリにより、消費電力が 90% 削減することを確認した。

Approximate 分散処理では、深層学習分散処理基盤環境を構築し、既存フレームワークを活用することで基本的な性能評価・分析を行い、誤差を許容した分散処理方式の基礎検討および、Approximate アクセラレータおよび Approximate プログラミングとの連携を実現するための分散処理フレームワークへの必要機能抽出を完了した。基礎方式の検討の中で、一部の深層学習モデルについて先行研究[大山 2018]と NW 誤差評価の結果を組み合わせることで約 2.1 倍の電力向上効果が得られる見込みを得た。

Approximate アクセラレータは、これまでにニューラルネットワークにおける学習部の IP を開発した。開発した IP を用いて FPGA で学習した結果、GPU での学習と比較して、約 2.3 倍の電力効率を達成することが確認できた。また、開発した IP を実際に従来型の FPGA に実装して、動作試験が完了している。加えて、すでに上流階層の Approximate 分散処理との連携に向け API も開発した。

Approximate ネットワークの高性能化のために拡張 SimGrid イベントドリブンシミュレーションの開発および、大規模並列アプリケーションにおける Approximate プログラミングの評価環境の構築を完了した。また、Approximate ネットワーク、メモリ、アクセラレータに備えるべき API の設計を完了した。

個別の研究開発テーマにおける詳細は以下に示す。

3.7.1 研究開発サブテーマ「イン不揮発性メモリ分散 Approximate コンピューティングの研究開発」

3.7.1.1 概要

データセンタに向けて、MRAM、ReRAM、フラッシュメモリ等の不揮発性メモリや不揮発性 FPGA など、不揮発性デバイスをデータ記憶・処理にフルに活用した、イン不揮発性メモリ分散コンピューティングを開発する。さらに、メモリデバイス、アクセラレータ、分散処理、ネットワーク、プログラミングとハード・ソフトの全体に対して、(最終的な推論結果の確度は落とさずに)データの処理や記憶の精度を落とす・エラーを許容する Approximate コンピューティングを適用し、電力効率 100 倍以上を達成する。従来は全体システムの一部(例えばアクセラレータ)にのみ Approximate コンピューティングを適用した事例はあるが、本研究はハード・ソフトの全階層を統合して Approximate コンピューティングを適用する。

3.7.1.2 最終目標と根拠

計算機の消費電力の指数関数的な増大により、ビッグデータ処理や AI などの演算需要に対して電力限界に達する。ムーアの法則による汎用プロセッサの性能向上の限界により、アクセラレータの専用プロセッサ化や不揮発性メモリの活用など多様なハードウェアを活用する。通常の CPU 技術は 10 年後に約 32 倍向上(2 年で 2 倍向上)するに留まる。本研究開発では、

-メモリレイヤのエラーを許容する記憶と計算により 4 倍

- 通信エラーや非同期制御を許容する分散処理により 3 倍
- 演算精度低下を許容する FPGA 化および不揮発性 FPGA の活用により 9 倍
- 各レイヤでのエラー許容制御パラメータの準最適解探索によるシステム全体の Approximate 性制御により 2 倍

により、ビッグデータ処理や AI 計算に対してシステム全体で電力効率 100 倍以上の性能向上を示し、明確な優位性のある計算機システムを実現する。

メモリレイヤの研究開発では、書き込みが高速・低電力であるほど信頼性が低いという不揮発性メモリの本質的トレードオフを解決することを目標にする。その結果、メモリのエラーを許容する記憶と計算により電力効率 4 倍を目指す。

Approximate 分散処理では、深層学習の分散処理機構部分に Approximate コンピューティング技術を適用することで、約 3 倍の消費電力向上効果を達成することを目標とする。深層学習や機械学習の分散処理においてノード間の同期やパラメータ交換の時間が大きなオーバーヘッドになっていることが IBM 社や Google 社らによる論文で触れられており、50-90% 程度の時間が計算ではなく同期待ち等に費やされている問題がある。これらを改善することで約 3 倍の効果が得られると予想した。Approximate アクセラレータと連携し、分散 FPGA での学習処理を実現し評価をしていくことで評価・実証を行う。

Approximate アクセラレータは 2020 年度には、システムに必要な FPGA のアーキテクチャを開発した上で FPGA-IP ライブラリを構築し、従来型の FPGA に実装し、上流階層の Approximate 分散処理及び Approximate プログラミングで IP を呼び出すための API を開発する。また、開発した IP を不揮発性 FPGA に移植して性能評価を行い、アクセラレータ単体で電力効率 9 倍以上となる可能性を示す。2021 年度からは上流階層と接続して一部の連携動作の実現やシステム全体での結合動作を実現し、アクセラレータ部分のみで電力効率が 9 倍以上となる技術を確認していく。

Approximate ネットワークで許容されるビットエラーレートを探求し性能評価し、また Approximate プログラミング手法を使用して、Approximate ネットワークおよび他の階層で開発される各デバイスおよびミドルウェアを用いた動作検証を行う。適切な最適化パラメータセットを Approximate プログラミングを用いて探索して発見することで、研究チーム全体で電力効率が 100 倍以上となる技術を確認する。

3.7.1.3 目標の達成度

メモリ・ストレージレイヤは、ReRAM を用いた Approximate 不揮発性メモリにより、従来技術と比較して消費電力が 90%削減することを確認した。さらにメモリタイプ SCM (M-SCM) およびストレージタイプ SCM (S-SCM) に記憶するストレージのデータ制御技術を統合することで、さらなる消費電力削減を見込む。

Approximate 分散処理では 2018 年度に深層学習分散処理基盤環境を構築し、既存フレームワークを活用することで基本的な性能評価・分析を行い、2019 年に誤差を許容した分散処理方式の基礎検討および、Approximate アクセラレータおよび Approximate プログラミングとの連携を実現するための分散処理フレームワークへの必要機能抽出を完了した。基礎方式の検討の中で、一部の深層学習モデルについて約 2.1 倍の電力向上効果が得られる見込みを得た。また、さらに実際に通信誤差を適用しても、適切にデータを保護することで学習精度に影響を受けないことを実機評価によって明らかにした。さらに計画から先行し、2021 年度に予定していた Approximate アクセラレータとの連携実装に着手し、FPGA の実機を用いて分散深層学習を現在最も一般的に利用されている PyTorch ベースで行えるソフトウェアの試作に着手した。2020 年度 7 月に初期版の実機検証を開始する。

Approximate アクセラレータは、これまでにニューラルネットワークにおける学習部の IP を開発した。また、開発した IP を実際に従来型の FPGA に実装して、動作試験が完了してい

る。加えて、すでに上流階層の Approximate 分散処理との連携に向け API も開発し、連携動作の確認も開始している。そのため、当初よりも前倒しで一部の目標を達成できると考えている。

Approximate ネットワークの高性能化のために拡張 SimGrid イベントドリブンシミュレーションの開発および、大規模並列アプリケーションにおける Approximate プログラミングの評価環境の構築を完了した。また、Approximate ネットワークに備えるべき API を設計し、Approximate プログラミング手法のアプリ対応を行い、加えて Approximate プログラミングから呼び出して使用するために Approximate メモリおよび Approximate アクセラレータで備えるべき API の設計を完了して、実装を開始し、その一部は完了した。引き続き実装および Approximate プログラミングを用いた最適パラメータセット探索を行うことにより、研究チーム全体で電力効率が 100 倍以上となる可能性を示すことができると見込んでいる。

3.7.1.4 成果と意義

メモリ・ストレージレイヤはこれまでに、Approximate 不揮発性メモリを提案した。不揮発性メモリの一種である ReRAM を用いたストレージのシステム、回路、メモリデバイスに対して、6 種類の Approximate 書き込み方式・読み出し方式を提案した。Approximate 技術を適用しない従来のストレージと比較して、Approximate 技術を適用した ReRAM ストレージシステムはストレージ性能 7 倍向上、消費電力 90%削減できることを確認した。この成果を電子デバイスのトップ学会である IEEE Symposium on VLSI Technology 2019 で発表し、プレスリリースを実施した。アプリケーション、システム、回路、デバイスの全体最適化のための設計プラットフォームである System, Circuit & Technology Co-design Platform を開発した。この設計プラットフォームはストレージのアプリケーション(ワークロード)に応じた様々なメモリセルエラーを取り込むことができ、不揮発性メモリの信頼性ばらつきを許容する Variability-aware Approximate Computing を設計、評価した。

	Error tolerance	ECC	Set/Reset	LRS Read
Conv. Computing	No error	Worst cell	Slowest cell	Smallest /CELL cell
V-AC	1-10 % errors	Typical cell	Typical cell	Typical /CELL cell

図 2-3.7.1-1 エラーを許容する Approximate ReRAM ストレージのターゲット

上記 System, Circuit & Technology Co-design Platform を用い、アプリケーションのデータの特徴に応じて、メモリタイプ SCM (M-SCM)およびストレージタイプ SCM (S-SCM)に記憶するデータ制御手法を設計し、信頼性と性能のトレードオフを解決した。頻繁にアクセスされるホットデータは M-SCM に記憶し、ホットデータを S-SCM に移動(evict)することによる性能劣化を抑制する。データへのアクセスが頻繁でないコールドデータは S-SCM に移動することで、M-SCM でのデータ保持エラーを抑制する。この成果を 25th Asia and South Pacific Design Automation Conference (ASP-DAC2020)で発表し、筆頭著者の学生は“IEICE VLD Excellent Student Author for ASP-DAC2020”を受賞した。

これらの成果によって不揮発性メモリの信頼性の犠牲にすることで、消費電力を削減できることを確認できた。つまり多少信頼性の悪い(エラーを発生する)不揮発性メモリをストレージに用いることができるという意味を持つ。

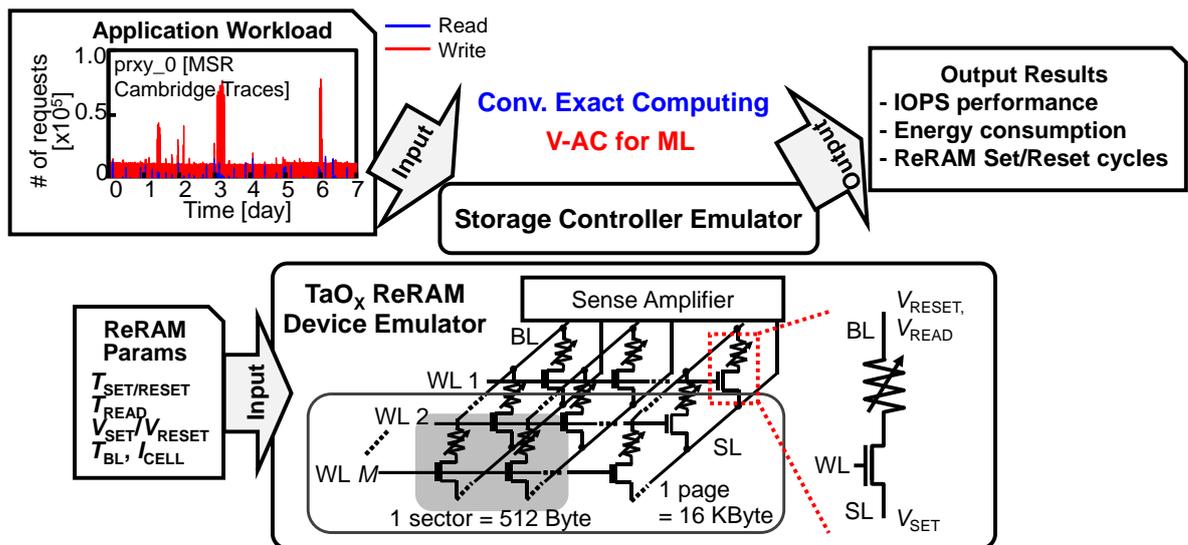


図 2-3.7.1-2 System, Circuit & Technology Co-design Platform

Approximate 分散処理では深層学習等の人工知能アルゴリズムを、複数の不揮発性 FPGA デバイスおよび不揮発性メモリで構成される超ヘテロジニアス計算機環境を活用して分散処理するための研究開発に取り組んでいる。Approximate アクセラレータおよび Approximate プログラミングと連携し、Approximate プログラミングで策定されたパラメータに基づいて Approximate アクセラレータの FPGA ロジックを組み合わせ、適切にスケジュールしながら実行する仕組みについて検討・開発を行う。分散処理ミドルウェアでは大きく 2 つの、リソース準備とスケジューリングの機能を必要とする。

- リソース準備: Approximate アクセラレータで用意される FPGA-IP パーツを用い、深層学習の分散処理に必要な計算機環境を構築
- スケジューリング: リソースの配置を考慮した分散処理スケジューリング、非同期通信制御

これらの分散処理ミドルウェアを開発し、本研究開発全体の技術を組み合わせた統合システムの試作を行うことで、システム全体へ Approximate コンピューティング技術を容易に適用可能なコンピュータシステムの実現技術を開発する。

深層学習処理において Approximate 性を採用した分散処理方式の基礎検討を行った。深層学習の分散処理方式には大きくデータ並列とモデル並列の 2 通り(とその組み合わせ)が存在するが、まずデータ並列方式について検討を行った。検討を行うため、深層学習ミドルウェアとして最も普及しているうちの 1 つである、TensorFlow における計算ワーカー間のデータ勾配交換に対して、Approximate ネットワーク技術を用いることを模擬できるツールを開発した。この模擬ツールを用いて実際に TensorFlow で現在深層学習処理において評価アプリケーションの業界標準的に扱われている ResNet による画像分類モデルの学習処理のベンチマークを動作させて通信誤差の学習への影響を評価した。転送データに対して完全にランダムにエラーを許容してしまうと勾配の値が極端に大きく変動してしまい学習が進捗しないものの、変数 1 個 32bits (4bytes) のうち上位 12bits を保護していれば全体の 50%の変数に通信エラーを含めても、エラーを入れない場合と同等に学習が進捗することを示した(図 2-3.7.1-3)。これにより、現在実際に利用されている汎用的な深層学習ソフトウェアに対しても適用可能なことを示した。

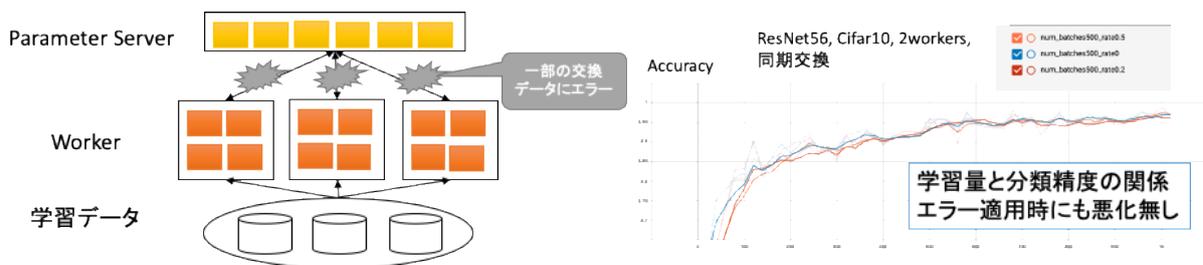


図 2-3.7.1-3 ApproximateNW 技術の TensorFlow 適用評価

Approximate アクセラレータでは、上流階層の Approximate 分散処理からの指令に応じて、FPGA 上で数学モデルや計算精度を再構成する。アクセラレータは、FPGA デバイスに従来型の FPGA と不揮発性 FPGA の両方を使用する「ハイブリッド構成」とする。従来型の FPGA に対しては、数学モデルおよび計算精度に応じた FPGA-IP を開発し、動作実証を行う。初めに簡単なニューラルネットワークを使った深層学習・アルゴリズムをターゲットとし、その後、実践的なニューラルネットワークをターゲットとする。さらに、データセンタ内でのサーバを省力化するため、サーバ上での動的再構成の技術を開発する。

ニューラルネットワークにおける学習部の IP の開発を行い、誤差逆伝播の処理の IP を新たに開発した。当社保有のニューラルネットワークモデルに開発した IP を適用し、推論・学習の処理全体を FPGA へ実装してデモを作成した。

この開発を通じて HW アーキテクチャ設計の知見を獲得すると同時に、学習部の IP 開発および FPGA 実装というほとんど前例のない成果が得られた。つまり、FPGA-IP ライブラリを構築するという計画が技術的に可能であることが証明された。

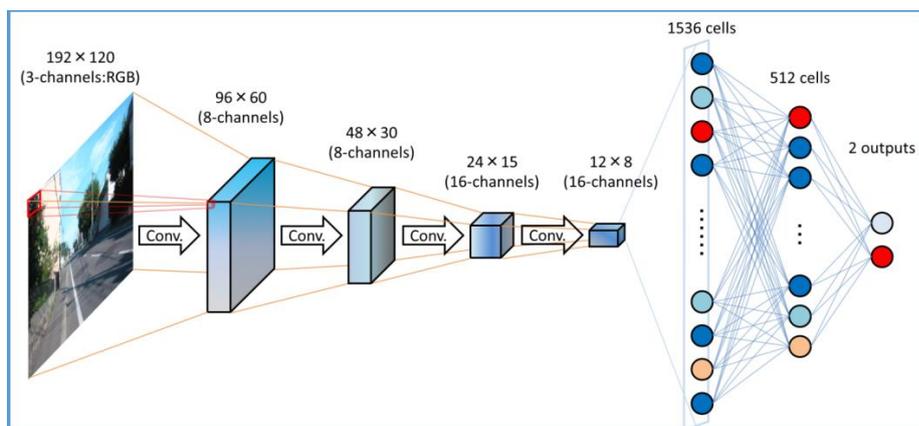


図 2-3.7.1-4 ターゲットとしたニューラルネットワーク(三栄ハイテックス所有)

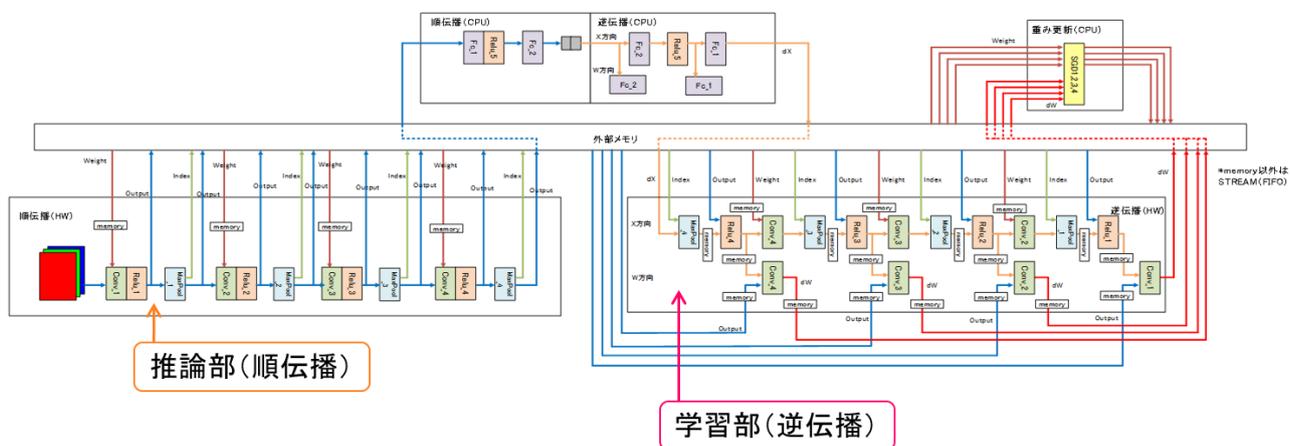


図 2-3.7.1-5 IP 開発時に設計した HW アーキテクチャ

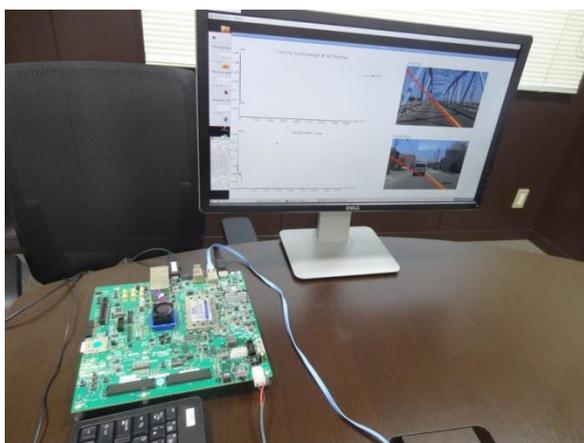


図 2-3.7.1-6 FPGA 上でのデモの様子

Approximate ネットワーク、Approximate 不揮発性メモリおよび不揮発性 FPGA を用いたイン不揮発性メモリ分散コンピューティングを用いてアプリケーションを実行する環境において、図 2-3.7.1-7 に例示するコードを、正しく動作することを保証した上で高速に実行できるパラメータセットを発見するプログラミング手法を開発する。これにより各実施項目で開発される省電力デバイスおよび分散処理ミドルウェアを統合的に活用することを可能とする。Approximate プログラミングの評価環境を構築完了できたことで、大規模な探索空間を効率的に探索することにより現実的に可能な時間内で評価可能とした。

既存プログラム + 自動でアノテーション

```

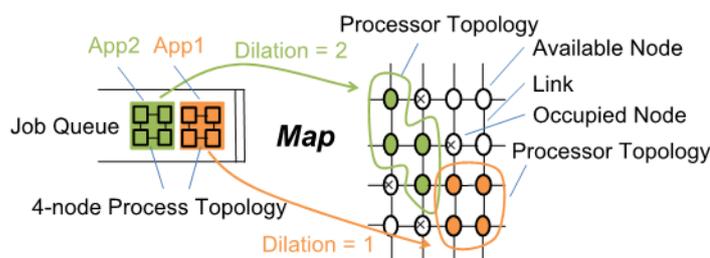
for (i = 0; i < MAX_ITER; i++)
  MPI_Send(&x, DATALEN, MPI_DOUBLE...);
for (i = 0; i < MAX_ITER; i++)
  MPI_Send(&x, DATALEN, A MPI_DOUBLE...);

```

精度と実行速度を
バランスして自動で
Approx型とPrecise型を決定

図 2-3.7.1-7 Approximate プログラミングによる探索の対象

また、Approximate ネットワークを高効率に活用できる、図 2-3.7.1-8 に示す Application Mapping 手法の開発を完了した。これにより、Approximate ネットワークを効率的に活用できるようになった。これらの知見をもとに、他の実施項目で開発されるデバイスおよびミドルウェアを効率的に活用する探索手法の開発に道筋を作ることができた



App 1: Dilation-1 Mapping, Shorter Communication → Longer Wait
 App 2: Dilation-2 Mapping, Longer Communication → Shorter Wait

図 2-3.7.1-8 Application Mapping に注目して開発した Job Scheduling 手法

3.7.1.5 成果の普及

学会発表・論文発表を積極的に行い合計 32 件発表した。さらにシンポジウム開催、デモ展示、プレスリリース 2 件を実施した。具体的には、2019 年 6 月に第 1 回 miniCANDAR シンポジウムを主催し、本研究開発テーマの講演を行った。2019 年 10 月に IoT/M2M 展【秋】にて白線検知 CNN の FPGA を用いた学習デモを行った。また、2018 年 10 月に合同会社リトルウイングが本プロジェクトへの採択されたことをプレスリリース、2019 年 6 月に IEEE Symposium on VLSI Technology 2019 の成果のプレスリリースをそれぞれ実施した。

今後は NEDO データマネジメントプランに従い、Approximate ネットワークおよび Approximate ネットワークの最適化実験により取得したデータおよび関連データの公開を進める予定である。研究講演による成果の公開を行いつつ、試作したミドルウェアの一部公開、デモ発表などを模索し、成果の普及に取り組む。2029 年度以降のインフラ不揮発性メモリサーバの販売を最終目標に、2022 年度までは引き続き開発と上流階層との連携動作試験を行っていく。そして、2023 年度から 2028 年度の間市場開拓と FPGA-IP の先行販売による普及を計画している。

3.7.1.6 その他

これまでの研究において、複数 GPU を用いた際には分散処理方式の先端技術[2018 大山]の適用(ビット精度を落としたデータ交換)により、通信負荷が大きいニューラルネットのモデル(例えば CaffeNet などでは)約 2.1 倍の計算時間向上が期待できることが分かった。しかしこの先行研究では、GoogLeNet のような計算時間に通信時間が隠蔽されてしまうモデルについては通信部分だけでは性能向上効果が得られないことが示されている。計算負荷が高いモデルやアクセラレータメモリに収まらないようなモデルの性能を向上させるためには、モデル並列を用いる必要がある。また、GPU ではなく FPGA を用いることによる特有の課題がある可能性も高い。そのため、2022 年度に計画していた連携実装を 2020 年度末から先行して行い研究活動を加速して行っている。開発中の連携実装構成を図 2-3.7.1-9 に示す。

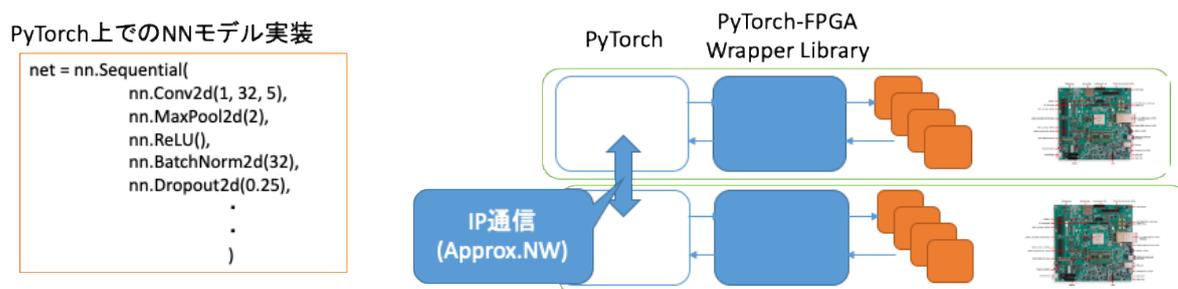


図 2-3.7.1-9 FPGA 連携実装版概念図

また、処理全体の中で演算時間よりもデータの通信時間がボトルネックになる部分が存在することが判明した。演算と通信を上流の分散処理ミドルウェアと役割分担することにより課題解決を狙う。

各ターゲットアプリケーションに対して Approximate ネットワークで許容されるビットエラーレートを探求し、また各不揮発性デバイスを利用したうえで分散処理フレームワークを用いた動作検証を行い、実施期間終了時において研究チーム全体で電力効率が 100 倍以上となる技術を確認する。

3.8 研究開発テーマ「物理ダイナミクスに基づく学習デバイスを備えた超高効率認知コンピューティングの研究開発」

本研究開発の目的は、画像・音声・言語などの非構造化データを高速かつリアルタイム、低消費電力、低コストで実現する機械学習デバイスを開発して、データセンター、ルーター、端末機器など、情報処理ネットワークの随所にハードウェアによる技術革新を行ない、ICT、IoT 社会を進展することである。これらを達成するために、リザーバーコンピューティングとよばれるニューラル・ネットワークの高いデータ処理能力と汎用性に着目し、その優位性を究極的に高めることが可能な集積機械学習デバイス「波動物理リザーバーコンピューティングデバイス」を提案して研究開発目標とした。現在、その研究開発において目覚ましい成果を上げつつある。

当初計画の5年間において、以下の研究開発テーマからなる。

- 1.物理リザーバーの数理・アルゴリズムの研究開発
- 2.物理リザーバーデバイス設計技術の研究開発
- 3.物理リザーバーのコンポーネント化の研究開発
- 4.物理リザーバー・エッジコンピューティングのミドルウェアの研究開発
- 5.物理リザーバー・エッジコンピューティングのインテグレーションの研究開発

研究開始から現時点までの期間(2年弱)において、計画通り1、2、3について実施をおこなった。個別の研究開発テーマにおける成果を以下に示す。

※3.8.1 は上記1、3.8.2 と3.8.3 は上記2、3.8.4 は上記3に該当する。

3.8.1 研究開発サブテーマ「物理リザーバーの数理・アルゴリズムの研究開発」

3.8.1.1 概要

レーザおよびスピン波を用いたリザーバーの数理モデルを構築し、数値シミュレーションによってデバイス実装時の計算性能および計算効率を最大化する。開発する物理リザーバーデバイスの基本特性と物理的制約を考慮して、実際のリザーバーデバイスのダイナミクスを再現する数理(物理)モデルを構築する。

具体的に開発する物理リザーバーデバイスの担当は以下となる。

- 光・リザーバー : 日本アイ・ビー・エム株式会社
- スピン・リザーバー : 東京大学

本研究開発テーマは各々のデバイスに密接に関係しており、個別開発と共同開発を適宜おこないながら遂行する。光・リザーバーに関しては信号処理の高速性、スピン・リザーバーに関しては信号入出力方法の多様性、という各々のリザーバーデバイスの特徴を發揮できる様にモデリングをおこなう。また、リザーバー応答をリードアウトにおいてリアルタイムで高速かつ効率的に学習するための機械学習アルゴリズムを複数検討する。

3.8.1.2 最終目標と根拠

最終目標

計算性能や処理速度を指標に、各リザーバーデバイスの特性を最大化するアルゴリズムを選定する。デバイス実装に最適な動作パラメータの設定指針を与える。開発テーマ1.2と密接に関わりながら遂行する。

根拠

物理リザバーコンピューティングは、物理ダイナミクスを直接用いて認知データ処理を行うため、所望の性能を得るためにはそのダイナミクスを適切に調整しなければならない。特に、従来とは異なる動作領域でのダイナミクスを積極的に利用して計算を行うため、その動作パラメータのチューニング手法を開発することは計算性能および計算効率を高めるためには非常に重要であるが、設計指針はこれまで報告されていない。こうした、波動物理リザバーの数理モデルを構築し、数値シミュレーションによってデバイス実装時の設計指針を得て、具体的なデバイスの作製開発につなげる。

3.8.1.3 目標の達成度

日本 IBM: 光リザバー

図 2-3.8.1-1 に示すレーザー系を用いた光リザバー・デバイスのアーキテクチャを提案した。さらに、その数理モデルを構築し、数値シミュレーションによってデバイス実装時の計算性能および計算効率の解析を達成した。具体的にはレーザー系のダイナミクスを表すレート方程式の時間領域での解析および非線形増幅器の周波数領域での解析を行い、その性能特性を評価した。特に光回路部品(増幅器など)の特性がリザバーの性能に及ぼす影響を明らかにした(図 2-3.8.1-2)。これらの結果により、研究計画に記載した技術開発を達成した。

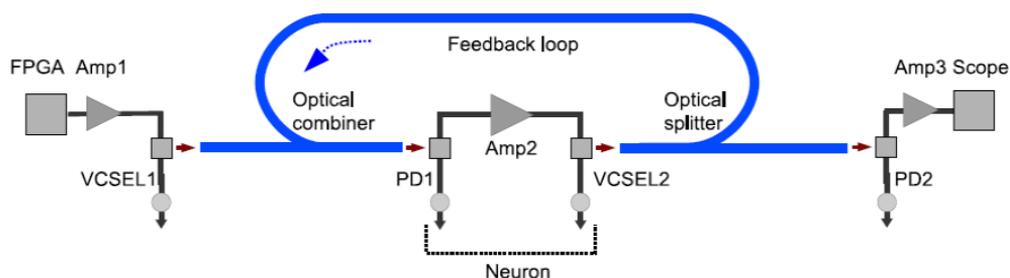


図 2-3.8.1-1 光リザバーデバイスの構造

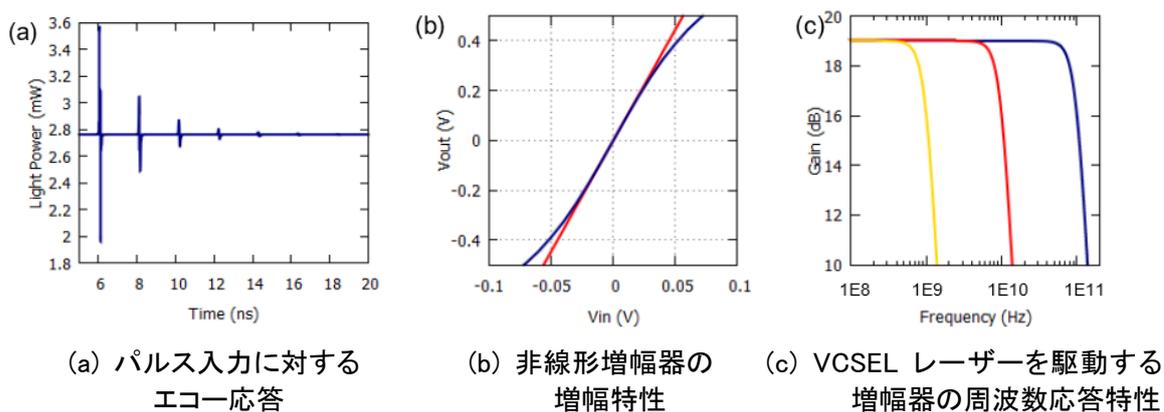


図 2-3.8.1-2 光リザバーデバイスの特性

東京大学: スピン・リザバー

一体となり遂行している研究開発サブテーマ 3.8.3 にまとめて記載する。

3.8.1.4 成果と意義

日本 IBM: 光リザバー

研究開発サブテーマ 3.8.2 にまとめて記載する。

東京大学: スピン・リザバー

一体となり遂行している研究開発テーマ 3.8.3 にまとめて記載する。

3.8.1.5 成果の普及

国内外の展示会におけるデモ出展や国内および国際会議での発表を通して、潜在的なビジネス・パートナーに対し成果の普及を行う。

3.8.2 研究開発サブテーマ「光リザバー・デバイス設計技術の研究開発」

3.8.2.1 概要

波動物理現象として光(レーザー)を利用した物理リザバー・コンピューティングを実現することにより、従来の機械学習デバイスを超える低消費電力動作・高速動作・デバイス上でのオンライン学習を目指す。

3.8.2.2 最終目標と根拠

最終目標

5-10Gbps 程度の高速動作、400mW 以下の低消費電力性を有し、エッジ・ネットワーク側に展開可能な集積化された光リザバーデバイスを実現する。

根拠

光リザバーコンピューティングの応用として念頭に置いている高速 5G・光ネットワークにおけるエッジ・コンピューティングは、超低遅延、超大容量が要求される。さらにエッジ側で動作には、GPU 等と比較して低消費電力での動作やコンパクトな実装が要求される。これらの市場動向を考慮し、最終目標を設定した。消費電力の目標値に関しては、現状のデモシステムの主要なコンポーネントである増幅器が 400mW、レーザー源が 20mW 程度であることから、これらの合計値を下回る値を設定した。

3.8.2.3 目標の達成度

汎用の光回路部品を用いたテーブルトップデモシステムを構築し(図 2-3.8.2-1)、時系列生成タスクや通信路における信号復元タスクなど様々なベンチマークタスクにより、その性能がシミュレーションから期待されるものとよく一致していることを確認した(図 2-3.8.2-2)。さらに、新規光受信器を導入し、高ゲインによるクリアな信号を実現し、デモシステムのタスクを性能向上させた。これらの結果により、研究計画に記載した技術開発を達成した。

3.8.2.4 成果と意義

光リザバー・デバイスの開発についていくつかの報告があるが、いずれも 100m 超の光ファイバーを必要としたり、損失が大きく、エッジやネットワークへ展開可能な集積化デバイスは開発途上である。これに対し、本研究開発で提案した光リザバー・デバイスのアーキテクチャは、光ファイバーを光導波路に置き換えて実装することができ、エッジ側に展開可能なサイズと消費電力を実現できる点に大きな意義がある。

3.8.2.5 成果の普及

国内および国際会議、国内および国際研究会における研究成果の発信をおこなっている。

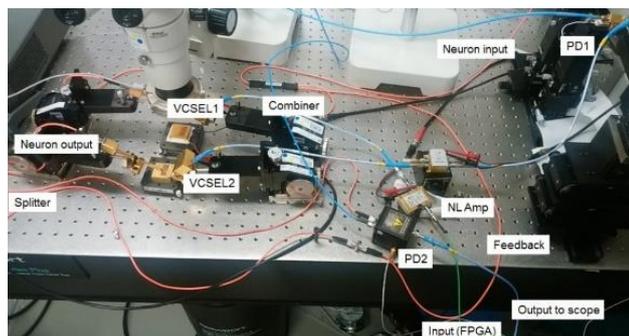


図 2-3.8.2-1 テーブルトップ・デモシステム

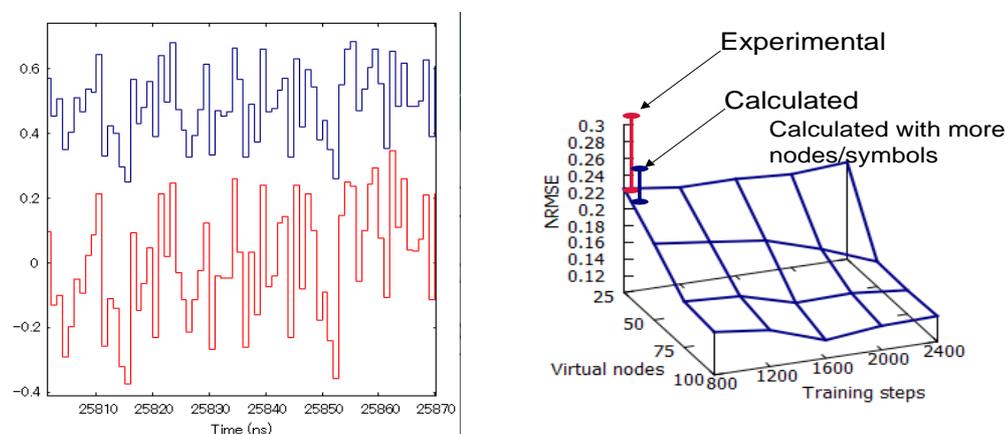


図 2-3.8.2-2 左: 光リザバー出力(赤)とシミュレーション出力(青)の比較。
右: 時系列生成タスクにおける仮想ノード数、学習ステップと誤差の関係。

3.8.3 研究開発サブテーマ「スピン・リザバー・デバイス設計技術の研究開発」

3.8.3.1 概要

以下の具体的項目からなる。

- (1)3.8.1 の開発テーマと一体となって、数値シミュレーションによってデバイス実装時の計算性能および計算効率を高めるための設計指針(物性定数、バイアス条件、入出力端子形状・配置・数)を得て、具体的なデバイスの設計技術開発につなげる。
- (2)プロトタイプデバイスの動作とリザバーコンピューティングの基礎原理の実証をおこなう。このためのデバイス加工プロセス技術を開発する。GHz 帯まで測定が可能なプローバと測定器からなる測定系構築もおこなう。
- (3)最終形態のチップデバイスを実現するために、高効率な磁気電気変換機能を持つ薄膜多層構造をスピン波の磁性体チャネル層上部に創製し、その機能性を実現する。これを利用して、多数の入出力端子を実現し、多入出力のデバイスの実装とその高い情報処理性能を実証する。

3.8.3.2 最終目標と根拠

最終目標

スピン・リザバーシステムでは、最エッジであるセンサなどの端末機器との融合により、取り込まれた様々な時系列データ処理をおこなう。このモデルケースとして、スピン波リザバーデバイスを用いて音声認識をおこない、高い認知能力を実証する。

根拠

スピン波リザバーコンピューティングデバイスの優位性は、磁性体連続媒質を伝搬するスピン波を利用することから、空間に多数の入出力端子を配置することで多様な出力波を得て次元を高め、高い計算性能が期待できることである。このデバイスは、波動伝搬過程を情報伝送と計算の両方に用いたため、入出力端子への配線のみが必要である。これにより、最小限の配線数となることから、配線のクロストーク問題を回避して高密度で多数の入出力端子が物理的に実現可能である。本提案デバイスは独創性が強く、類似の研究もないため、本開発テーマを遂行する必要がある。

3.8.3.3 目標の達成度

研究項目(1):これまでの研究遂行の中心

スピン波特性－計算性能の関係を解明する基礎特性の解析手法を構築、コンピューティング手法を確立、実装デバイス基本設計指針、基礎特性、制御手法を明確化、をおこない、スピン波デバイスのシミュレーション手法とコンピューティング手法の構築をほぼ達成した。また、音声認識に必要なデータ処理法の構築も達成した。これらは研究計画を前倒して達成した。

研究項目(2)

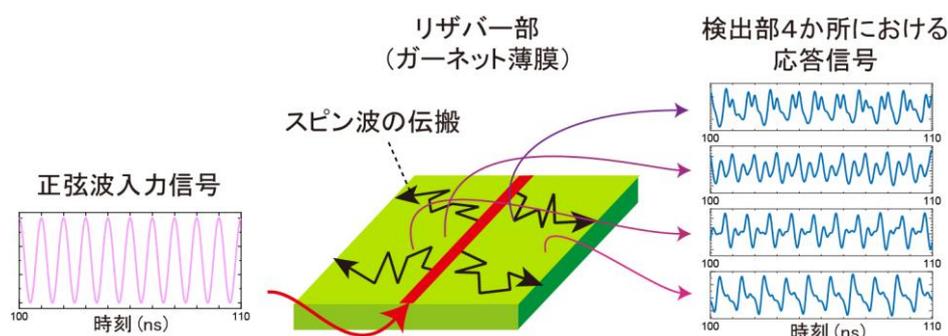
プローバーと測定器からなる測定系構築について、その基盤技術開発を計画通り達成した。

3.8.3.4 成果と意義

スピン波デバイスの優位性である出力の多次元化による高い情報処理能力を達成するための最重要課題として、多数の出力端子から多様な出力波形を得て、リザバーコンピューティングの基礎特性を実証する必要がある。基礎特性として、スピン波の非線形入出力特性、短期記憶容量の見積もり、線形分離不能タスクの実証、が挙げられる。それらの機械学習情報処理には、入力のエンコード手法、出力スピン波の特性を最大限に生かす波形の後処理、機械学習手法(アルゴリズム)の開発、も含まれる。

本研究の独創的な手法として、スピン波の媒質である磁性膜の物性や磁化分布を操作することをおこなった。これらにより、入力を行った時に多数の出力端子から異なる波形が得られ、それらが非線形入出力変換であることを実証した。また、メモリ容量の見積もりでは、様々なパラメータを試行して、スピン系リザバーコンピューティングでは最大の値を得た。さらに、線形分離不能タスクをおこない、リザバーコンピューティングに必要な特性を実証した。

上記により、研究手法の基盤が構築され、スピン波リザバーコンピューティングが高い情報処理につながるポテンシャルを有していることを実証したといえる。



3.8.3.5 成果の普及

国内および国際会議、国内および国際研究会における研究成果の発信をおこなっている。

3.8.4 研究開発サブテーマ「物理リザバーのコンポーネント化の研究開発」

3.8.4.1 概要

センサ機器と物理リザバーとのインターフェースおよび物理リザバーを制御するためのFPGA制御プラットフォームを設計・試作する。さらにミドルウェアから制御可能な物理リザバー・システムを構築し、コンポーネント化を行う。理論解析の実施項目で得られた知見をもとに、様々なベンチマーク問題やセンサデータに適用することで、動作確認および認識性能、電力削減効率や計算速度に関する性能評価を行う。

3.8.4.2 最終目標と根拠

最終目標

光リザバーはボードサイズ(スピンリザバーはさらに小さなサイズ)にデモ・システムをインテグレーションし、様々な分野のユーザーが実際に試用可能な実用最小限の製品(minimum viable product, MVP)の構築をおこなう。

根拠

様々な物理系による物理リザバーコンピューティングが提案されているが、その多くは実験室内のデモに留まっており、様々な分野のユーザーが自らのタスクに自由に適用できるというレベルには至っていない。そのため、本開発テーマを遂行する必要がある。

3.8.4.3 目標の達成度

・光リザバーコンピューティング

光リザバー・デバイスのコンポーネント化については、FPGAプラットフォームの設計を改良し、1測定あたりのデータ点数、仮想ノード数を倍増させ、タスク性能を向上させた。さらなる高性能化を図るため、5Gspsの高速ADC/DACを導入したFPGA制御プラットフォームのデザインをまとめ、国内ベンダーに委託してシステム開発を行っている。また、光マルチチップモジュールによる光リザバーデバイスの評価ボードデザインも並行して行っている。これらの結果により、研究計画に記載した技術開発目標を本年中に達成する見込みである。

・スピンリザバーコンピューティング

3.8.1と3.8.3において得られた結果から、機器の仕様選定に必要な数値が得られつつあり、今年度に更に具体的な仕様を明らかとする見込みである。現在まで、計画通りに目標を達成している。

3.8.4.4 成果と意義

・光リザバーコンピューティング

光リザバー・デバイスの特徴である高速性を十分にアピールするデモを行うためには、FPGA プラットフォームにおける DAC/ADC のデータ入出力レートを高速化する必要がある。また、現在のデモシステムはディスクリートな光部品を組み合わせて構成されており、光ファイバーのアライメント等を必要とするため、可搬性に欠けるという課題がある。従って、FPGA デモシステム高速化し、デモ・システム全体を評価ボードにインテグレーションすることは、MVP の構築に向けて重要なステップとなる。

・スピンリザバーコンピューティング

スピンリザバーコンピューティングでは、低消費電力なシステムの実装により、センサなど最エッジへ搭載する応用を目的としている。そのため、既存の安価かつ低消費電力な電子デバイスの利用を念頭に開発をおこなう必要がある。リザバーコンピューティングにおいて、スピン波リザバーデバイスの入力段(出力段)には、デジタルーアナログ(アナログーデジタル)変換器が必要であり、これが要求仕様のボトルネックとなりうる。これまでの 3.8.1 と 3.8.3 の研究開発テーマにおいて、実用を意識した動作周波数の低減を試みており、汎用電子デバイスのサンプリングレートを満たしつつある。

3.8.4.5 成果の普及

国内外の技術展示会において積極的にデモを行う。

3.9 研究開発テーマ「2028年に性能100倍を達成する汎用性の高い高性能計算機アーキテクチャとシステムソフトウェアの技術の探索」

本研究開発項目では、ポストムーア時代を迎える2028年に現在のハイエンド汎用CPUの100倍の性能を多くのアプリで達成するために、アーキテクチャ、システムソフトウェア、プログラミング等の技術探索を行い有望な指針を示すという目標に対し、現在の計算機システムの性能分析に加え性能モデリング技術を開発し、目覚ましい成果を上げつつある。

(1.1)ルーフラインモデルによる性能100倍を達成するノイマン型計算機の要求性能の定量的評価

(1.2)ベクトルデータフロー処理に適したアーキテクチャのエミュレーション環境を試作

(2) 多層化・複雑化するメモリ階層アーキテクチャの軽量シミュレーションツールを試作

(3) ユーザや実装メーカーから見た障壁を抑制しつつ、不連続アクセスを加速しうるMcIMという有望なニアメモリコンピューティングアーキテクチャを提案

各実施項目毎の詳細は以下の通りである。

3.9.1 研究開発サブテーマ「2028年に性能100倍を達成する汎用性の高い高性能計算機アーキテクチャとシステムソフトウェアの技術の探索」

3.9.1.1 概要

本事業では、ポストムーア時代を迎える2028年に現在のハイエンド汎用CPUの100倍の性能を多くのアプリで達成する画期的な帯域重視のFLOPS-to-BYTESアーキテクチャを提案し、それに対応したシステムソフトウェア・プログラミング・アルゴリズムの技術探索を行うことを目的としている。

このために、ポストムーア時代に向けたアーキテクチャシミュレータを構築し、スカラープロセッサと再構成可能ベクトルデータフローアーキテクチャ等を混合させるなどのアーキテクチャを種々のメモリシステムと組み合わせた場合について評価すると共に、多数のベンチマークを100倍程度加速するように、様々なアーキテクチャの構成チューニングや、コンパイラおよびメモリ配置・移動アルゴリズムを内在したランタイムのシステムソフトウェアを検討する。以上の事業内容を遂行するにあたり、大きく分けて下記の4つの研究項目を連携させながら推進する。

【実施項目 1.1】2028年ポストムーア時代の100倍の性能向上を示す性能モデリング及びシミュレータ環境(理化学研究所)

【実施項目 1.2】データフローによる特化型計算のための非ノイマン型計算機構とプログラミングモデル(理化学研究所)

【実施項目 2】メモリアーキテクチャ革新に対応するシステムソフトウェア技術(東京工業大学)

【実施項目 3】新アーキテクチャに基づく高性能プログラミングモデルと実装技術に関する研究(東京大学)

実施項目 1.1 では、本プロジェクトで検討するシステム・アーキテクチャの性能をモデル化し、シミュレーション環境を用いて様々な構成に対して性能を推定する。実施項目 1.2 では、1.1 で検討するシステムにおけるプロセッサ部分について、新しいアーキテクチャによる性能向上の可能性を調査し、1.1での性能推定に必要な情報を提供する。実施項目 2 では、1.1で検討するシステムにおけるメモリサブシステムについて、システムソフトウェア技術を中心

にその性能向上の可能性を調査し、1.1 の性能推定に必要となるパラメータ等を明らかにする。実施項目 3 では、将来の新アーキテクチャとしてニアメモリコンピューティングに着目し、そのプログラミングモデルや実装技術を考慮した性能推定・評価を行う。

3.9.1.2 最終目標と根拠

【実施項目 1.1】

2028 年ごろのアーキテクチャはポストムーア時代の入り口とも言え、あまねくプログラムで現状の 100 倍の実行効率が期待されるも、その最適な構成は、デバイス・ハードウェア・システムソフトウェア・プログラミング、更にはアルゴリズムに至るまで、コ・デザインが必須であり、そのために、様々なシステム構成を試す必要があるが、このためには、総合的なポストムーア時代へのシミュレータが必須であり、かつ、大量のケースを試す必要がある。そこで、各種汎用アプリケーションの特徴を抽出し、既存のスパコンを用いたシミュレーション環境を構築して、100 倍加速の達成を検証する。

【実施項目 1.2】

ムーア則の終焉以降にも向上が期待できるデータ転送能力を性能向上につなげることが可能な計算機アーキテクチャおよびそのプログラミングモデルの創成を目的として、アルゴリズムをデータフロー回路に展開して実行する非ノイマン型の新しい計算機アーキテクチャと、そのプログラミング手法の探求を行う。ムーア則の終焉以降にも向上が期待できるデータ転送能力を性能向上につなげることが可能な計算機を実現するためには、命令の逐次実行およびその並列化に基づいた従来のノイマン型プロセッサの限界を超えることができる新しいアーキテクチャが重要であるが、そのために、アルゴリズムをデータフロー回路に展開して実行する非ノイマン型の新しい計算機アーキテクチャと、そのプログラミング手法を探求する必要がある。そこで、(1)アーキテクチャ評価環境の構築、(2)アーキテクチャ設計空間の探索、を行い、ポストムーア時代の半導体技術の下でも性能をスケール可能な計算機アーキテクチャを明らかにすることを、期間全体の目標とする。

【実施項目 2】

本実施項目で焦点を置くのは、ポストムーア時代に性能向上を継続するためにますます多様化・複雑化が求められるメモリ階層を対象とした、アーキテクチャ探索と効率的活用である。メモリ階層の構成要素はキャッシュメモリ、メインメモリ、大容量不揮発メモリを基本とするが、それらの境界も多様化しうるとする。本分野の技術動向として、HBM などの三次元積層メモリ、プロセッサとメモリの積層実装による超広帯域接続や、キャッシュメモリがパッケージ内の複数チップに分散するチップレット化などが見られ、本項目でも重要視して研究開発を推進する。より具体的には(1)メモリアーキテクチャ探索のための性能推定ツール群の構築とアーキテクチャ空間探索、(2)ポストムーア時代のメモリ階層向けのデータ転送削減技術・システムソフトウェア技術。このようなアーキテクチャ・ソフトウェア連携により、2028 年後に多くのアプリについて性能 100 倍を可能とする方法の確立を、期間全体の目標とする。

【実施項目 3】

FLOPS-to-BYTE コンセプトを実現する新計算原理としてニアデータプロセッシングモデルを採用する方向性を探求する。その方向性で冷却およびピン数の限界の超越や、ユーザや実装メーカーから見たギャップ(障壁)を抑制できる新アーキテクチャを考案する。次に、これを高速に再現できる仮想環境を構築する。その仮想環境上で新アーキテクチャの支援システムソフトウェア群を開発し、それらの効果の性能評価を行うことで、ムーア則終焉後にも性

能向上できる汎用高性能計算機の正しい方向性の一つである証拠を取得することを期間全体の目標とする。

3.9.1.3 目標の達成度

【実施項目 1.1】

当初の研究計画通り目標を達成している。具体的には、(1)主要なアプリケーションの選定と特徴解析:評価ターゲットを様々な特性を持つ 30 本程度のアプリケーションに絞ることを目標に、HPC・ビッグデータ・AI アプリケーションのベンチマークや実アプリケーションの内容と基本要件を調査と選別を行った。現行マシンでの特性解析のために Xeon Phi を対象とした実験を行った。特に Xeon Phi の Knights Landing と Knights Mill という、二つのほぼ同時のアーキテクチャを持ちながら倍精度演算の性能がほぼ倍違うメニーコアプロセッサでの実行解析を行った。(2)性能モデリングおよびシミュレーション環境の構築:上記の成果を発展させ、メモリバンド幅やキャッシュ構成などを変化させた際に、どこまで性能の向上が期待できるかを分析し、プロセッサ設計の指針とするために性能モデルの構築を行なっている。

【実施項目 1.2】

中間評価に向けた目標は概ね達成している。(1)アーキテクチャ評価環境の構築については、粗粒度再構成可能アーキテクチャ(CGRA)を含むベクトルデータフロー処理に適したプロセッサアーキテクチャに関する調査を行い、本研究で探索の対象とするアーキテクチャの設計空間を定めた。次に、パラメタ化された VHDL 記述により、サイクル精度で評価が可能な CGRA のエミュレーション試作環境を構築した。これらにより、様々な構成やパラメータを持つアーキテクチャについて、その性能特性を解析・評価可能とする。(2)アーキテクチャ設計空間の探索については、手始めに、ストリームコピーと Conv 3x3 のベンチマークを CGRA エミュレータに移植した。ストリームコピーは良く知られた HPC カーネルであり、アーキテクチャと外部メモリに対してメモリスループットを評価するためのベンチマークである。Conv 3x3 は、VGGNet-16 等の近年のディープラーニングによる推論に見られるようなコンボリューション計算である。

【実施項目 2】

(1)メモリアーキテクチャ探索のための性能推定ツール群の構築とアーキテクチャ空間探索について、現世代のメニーコアアーキテクチャのメモリ特性詳細解析やメモリ階層性能推定ツールのプロトタイプの開発など、概ねスケジュール通りに進行している。推定ツールプロトタイプでは各メモリ階層の帯域、容量などを記述し、それに対し対象アプリから得られたメモリトレースを入力させることにより、階層内ボトルネックの所在と実行時間の推定下限値を出力するものである。水平的異種混合メモリを含めたアーキテクチャについて性能推定を可能とするものである。(2)データ転送削減技術・システムソフトウェア技術については、ビッグデータ処理の重要カーネルであるグラフ最短経路アルゴリズムを例題にとり、深いメモリ階層とメニーコアという現代のアーキテクチャの特性に適合した高速実装を開発した。メモリ階層間のデータ転送を削減するための再帰的ブロッキングを中核とし、Xeon Phi で 690GFlops、Xeon SkyLake 2socket で 1100GFlops と、類似の研究の約 2 倍の演算速度を達成した。

【実施項目 3】

FLOPS-to-BYTE コンセプトを推進しうるアプリケーション特性として Irregular access に着目し、それを内在する幾つかの重要なアプリケーションやベンチマークに関する調査および予備評価を行った。これと並行して、前節の特性を持つ新アーキテクチャ McIM(Massive cores in Memory Side)やその補助アーキテクチャを考案した。さらに、その上で間接参照と

という典型的な Irregular access を大幅にニアメモリ側で改善するアルゴリズムの考案を行った。さらに、McIM が NUMA であることに着目し、現行の NUMA である 4 ソケットサーバを改造することで McIM を高速に再現できる仮想環境(エミュレータ)の構築方法を考案した。最大のネックだった BIOS 改造についてもマザーボードメーカー社からの協力を取り付けることに成功した。エミュレータやシステムソフトウェアの基礎となるソフトウェアも部分的にいくつかできつつある。総合的に判断して、プロジェクトスタート当初の予定を上回る目標の達成度が得られている。

3.9.1.4 成果と意義

【実施項目 1.1】

ベーシックブロック(プログラムの命令群)、ランタイムカウンタやパフォーマンスカウンタを抽出し、任意の(将来の)CPU アーキテクチャーを入力として与えた場合に、実際にアプリケーションを実行せずとも実行時間を見積もることのできる性能モデルを実装したフレームワークのテスト段階に来ている。これにより、実際に物理的に CPU を製造、使用しなくても、性能を見積もることが可能となるので、100 倍性能を達成する CPU アーキテクチャーの探索に非常に重要となる。

【実施項目 1.2】

粗粒度再構成可能アーキテクチャ(CGRA)に関するアーキテクチャに関する調査を行い本研究で対象とする設計空間を定めることができた。また、パラメタ化された VHDL 記述により、サイクル精度で評価が可能な CGRA のエミュレーション試作環境を構築できた。これらは、今後設計空間探索を行う上で必要でありその方向性を明確にできた他、探索を行うために必要なツールのプロトタイプを準備できた点で本課題を進める基盤として意義がある。

【実施項目 2】

メニーコアプロセッサのためのキャッシュ構造や異種メインメモリ等の先進的なメモリアーキテクチャ動向の詳細調査により、本研究で対象とするメモリアーキテクチャの探索空間をより具体化することができた。またメモリアーキテクチャ空間探索のためにメモリ性能を自由に設定可能な性能推定ツールの整備を行い、実施項目 1.2 や実施項目 3 との連携を含めたアーキテクチャ全体の探索の基盤とすることができた。

【実施項目 3】

冷却およびピン数の限界の超越やユーザや実装メーカーから見たギャップ(障壁)を抑制しつつ、大容量データに対する Irregular access を加速しうる McIM という有望な新アーキテクチャを提案した。本格的な評価はエミュレータ完成を待つ必要があるものの、McIM はプロジェクト開始当初には予測できていなかった発見であり、探索的研究プロジェクトとしては望ましい成果と考えられる。大容量データに対する Irregular access は HPC の反復解法だけでなく、グラフ解析や、最近では Deep learning の Inference を用いた Recommendation におけるボトルネックであることや、Facebook 社などのデータセンターにおけるエネルギー消費の大きな割合を占めることが知られるようになった。McIM はその加速や省電力に大きく貢献できる可能性がある。

3.9.1.5 成果の普及

【実施項目 1.1】

理研で開発されたアプリケーションのミニアプリ集である FIBER、米国 DoE の研究所が中心となり開発された Proxy Apps、HPC 系の基本ベンチマークである hpcg、AI 系のベンチ

マークとして DeepBench・MLPerf・Deep500、ビッグデータ系のベンチマークとして BigDataBench・Graph500 を中心に調査を行い、それらのベンチマークをポストムーア評価環境フレームワーク(J. Domke, PAStudy, “Post-moore evaluation framework”, <https://gitlab.com/domke/PAstudy>)として公開した。これまでの成果は、大変選別の厳しい国際学会 IPDPS2019 へ採択され発表を行った。また本 NEDO プロジェクトの成果発表のために LSPANC においても口頭発表を行なった。さらに、これらの実験結果をヒューレットパッカードエンタープライズやキオクシアとのミーティングを通して共有した。

【実施項目 1.2】

CGRA に関するアーキテクチャに関する調査結果、およびサイクル精度で評価が可能な CGRA のエミュレーション試作環境に関して、論文投稿を行った。前者は IEEE Access 誌に条件付きで採録され現在 2 次査読中であり、後者は歴史のあり同分野での主要カンファレンスの一つである国際会議 ASAP (Application-specific Systems, Architectures and Processors)に採録された。また、試作した CGRA エミュレーションツールについては、オープンソースとして公開する予定である。

【実施項目 2】

メニーコアや異種メインメモリを持つアーキテクチャの詳細性能評価結果について、国際学会でポスター発表するとともに、そのためのメモリ遅延性能測定ツールを公開(<https://github.com/yuki1024/ymlc>)した。また高性能グラフ最短経路カーネルについて、国際学会 HPC Asia で論文発表するとともに、このソフトウェアも公開(<https://github.com/toshioendo/hoalgos>)した。引き続き、メモリ階層性能推定ツールから得られた結果についても学術発表およびツール公開を計画している。

【実施項目 3】

現行のマシン上でも何らかの効果があり、かつ McIM を支援しうるソフトウェアに関しては、McIM を前面に出さない形で SC19 や ICPP2020 などの HPC 系の著名なカンファレンスで積極的に発表を行っている。一方、McIM はスーパーコンピュータや大規模データセンターへの成果の普及がゴールであり、その推進力を得るべく、アーキテクチャ系のトップカンファレンスでの採録を目指す。この分野のトップカンファレンスは永年に渡り日本人が数年に 1 件しか通らない非常に狭き門であるゆえに推進力となりうる。これを達成して積極的な普及フェーズに早く移行したいと考えている(申請している加速予算を獲得して、エミュレータによる大量評価ができる状況を早期に実現することが、そのための重要な要素となる)。

4. 実用化・事業化に向けての見通し及び取り組みについて

4.1 実社会の事象をリアルタイム処理可能な次世代データ処理基盤技術の研究開発における実用化・事業化の見通し（日本電気株式会社）

4.1.1 概要

開発されたデータベースをエンドユーザーに提供する。OSS として展開するため、直接のライセンス収入はないが、本技術を活用する新たなサービスの推進、本技術自体のサポートサービスの提供ならびにシステム・インテグレーションの提供により収益を獲得する。

4.1.2 実用化・事業化への課題と対応策

従来型の OSS ミドルウェアへの期待は商用製品に対し低コストでの導入によるシステムコストの低減等が主であり、ミドルウェア事業としての収益化はむづかしい。本プロジェクトの成果物は、既存商用製品の代替ではなくその高性能性・リアルタイム性にあり、次世代のアプリケーション開発による高度なシステムの実現が重要となる。

本プロジェクトにおける実施項目Ⅲに相当するアプリケーションを自社開発し、アプリケーションとデータベースを組み合わせて事業化を推進する。

4.1.3 実用化・事業化の体制

データベース自体については OSS 化することから、自社エンジニアに加えコミュニティでの開発も取りこみ、継続的に機能改善を実施する。社内における OSS のサポート体制等は他のシステムで構築済みのため、既存の事業枠組みの中で事業化を推進する。

アプリケーションについては本プロジェクトとは独立し自社内で研究開発を継続し、本プロジェクトの成果物であるデータベースは OSS 活動を通しての成熟度を考慮しながら採用する。

4.1.4 市場規模と経済効果

国内のエンタープライズ市場は、従来型 IT への投資が減少する一方で、データ駆動型ビジネス/デジタルトランスフォーメーションとモダナイゼーションが市場をけん引する形で IT 投資は増加が予測されている。特にビジネス/デジタルトランスフォーメーションは 2025 年には数兆円規模の市場になると想定され高い成長性が期待されている。この領域で出現する新たなアプリケーション向けに次世代データベースを提供し市場開拓を支える。

4.1.5 ベンチマーク

既存の製品・OSS に比べ、次世代 HW に対応する新たなアルゴリズムを実装した本プロジェクトの成果物は、高速性および更新と分析のリアルタイム性において大きなアドバンテージを持つ。また、内部のコンポーネントはプラグガブルな設計となっており、今後 OSS で連携されるエンジンを取り込んでいくことも可能である。これらにより、目的別に競争力の持つデータベースとすることができ、アプリケーションと一体となって新たな事業へ適用することにより競争力を持つ。

4.1.6 事業化までのマイルストーン

2019-2022 自社内アプリケーション開発

2023-2024 OSS 等による機能強化・品質改善、自社アプリケーションとの統合検証

2025 アプリケーションの基盤としてのデータベースの利用

OSS サポート事業の立ち上げ

4.2 実社会の事象をリアルタイム処理可能な次世代データ処理基盤技術の研究開発における実用化・事業化の見通し（株式会社ノーチラス・テクノロジーズ）

4.2.1 概要

開発されたデータベースをエンドユーザーに提供する。OSS として展開するため、直接のライセンス収入はないが、サポートサービスの提供ならびにシステム・インテグレーションの提供により収益を獲得する。

4.2.2 実用化・事業化への課題と対応策

OSS のミドルウェアのビジネスは、収益化が難しい。分散処理ミドルウェアである Asakusa で同様のビジネスを展開し、展開ノウハウや営業パスはすでに獲得しているとはいえ、データベースの導入には必ずシステム・インテグレーションが必要になる。これには営業のコストに加え、ユーザー内部・システムインテグレータ内部での調整が必須であり、この調整コストを吸収していく必要がある。

4.2.3 実用化・事業化の体制

事業化については、分散処理ミドルウェアである Asakusa で同様のビジネスを展開しているため、展開ノウハウや営業パスはすでに獲得している。このノウハウや営業パスを利用する。追加的に拡張する機能は、すでに存在するユーザー会の、各ユーザーからのヒアリングをもとに、ニーズをくみ取って、要望の多い機能から必要に応じて実装していく。当該開発プロジェクトではデータベース機能のユーザサイドのインターフェイスや機能については Postgres の実装を再利用するため、Postgres 上で使われている機能との接続や取り込みを行っていく。

4.2.4 市場規模と経済効果

前提：市場調査によると 2017 年の RDBMS の市場規模は約 2,600 億円になっている。データベース市場は成長市場であり、これをベースに市場規模を想定する（2024 年度以降は年間 3,000～3,500 億円程度）。また市場シェアについてはより現状のデータベースのシェアは OSS と商用 DB ではおおよそ 50:50 になっている。商用 DB では Oracle、SQLServer、DB2 が主製品になっており、それぞれのシェアは Oracle:50% SQLServer:42% DB2:7%となっている。今回の OLTP のターゲットは 1) Oracle についてはそのシェア 30%、2) SQLServer については 20%程度、3) DB2 については 100%及び OSS については、すべての OSS の 30%のリプレースが可能と見ており、2024 年度以降でのシェア獲得を目指す。

4.2.5 ベンチマーク

特に商用ベースでみたときには、Oracle/SQLServer にどう対応するかがポイントになるが、競合になる Oracle/SQLServer はプロプライエタリーなデータベースになり、そのため「One-fits-all」なデータベースとして提供せざるを得ない。これに対して、新規に開発するデータベースはプラグブルな仕組みをその特徴にもっており、また OSS ゆえに新規にデータベースエンジンを開発し、特定のワークロードに特化したデータベースを「作り上げる」ということが可能になる。この結果、各ユーザーの特定のワークロードに最適なデータベースを個々に提供することができ、商用のクローズドなデータベースに対して、パフォーマンスの観点から、常に競合優位を獲得することが可能となる。

4.2.6 事業化までのマイルストーン

2023～2024 年度：DBMS の周辺機能拡張

2024～2025 年度:追加機能実装

2025 年度～:販売・収益化

4.3 実社会の事象をリアルタイム処理可能な次世代データ処理基盤技術の研究開発における実用化・事業化の見通し（株式会社パスコ）

4.3.1 概要

大規模災害発生後に活用することを想定した、航空機オブリークカメラによる撮影データから 3DTin を高速に作成できるシステムを開発する。航空機オブリークカメラは直下方向と前後左右の斜め方向の写真と同時に撮影できるシステムであり、特に斜め方向から撮影した写真は、建物の被災状況の把握などに役立つ。これらの大量の写真は多方向から撮影されていることから三次元情報を抽出することができ、これを 3DTin データとして作成することができる。実用化のための最大の課題は航空機オブリークカメラによる大量の撮影データから 3DTin を作成する処理の高速化であり、内部処理の並列化による実現をめざし、実装を行っている。撮影完了後、従来は 22 日程度の時間を要している 3DTin 作成処理を、半日以下に短縮することを目標としている。

4.3.2 実用化・事業化への課題と対応策

大規模災害被災後における三次元情報実用化の最大の課題は、3DTin モデル作成処理の高速化である。処理内容は、撮影画像と位置情報から撮影時のカメラの位置姿勢取得および 3 次元点群構築を実施する SfM (Structure from Motion) 処理と、その処理結果である 3 次元点群からピラミッド構造をもった 3D Triangulated irregular network (3DTin) モデルを作成する処理 (3DTin 化処理) からなる。

これらの処理については、写真の撮影シーケンスを考慮しつつ、内部のマッチング処理などを並列処理化することで、半ストリーミング処理を実現し、処理時間を半日以下に短縮する。なお、実装においては、地理情報ソフトウェアとして実績があり、既に広大なエコシステムが形成されているオープン系ソフトを活用することで、研究開発段階における周辺ツール活用、更には、研究開発後の普及・展開が容易なシステムを構築する。

4.3.3 実用化・事業化の体制

実用化へ向けて、以下の体制で取り組んでいる。

- ・パスコ(担当:航空機オブリークカメラ撮影、3DTin 作成処理)
- ・ノーチラス・テクノロジーズ(担当:3DTin 作成処理の高速化)
- ・名古屋大学(担当:3DTin のデータベースへの入出力及び演算機能構築)
- ・DSI(担当:ドローン搭載センサ開発及び撮影)

4.3.4 市場規模と経済効果

近年の災害発生後の被害は尋常ではない規模のものが多くなってきている。こうした中、国は国土強靱化計画(3 カ年、約 7 兆円規模)を重要な施策として打ち出しており、今後もこうした動きは継続されていくものとする。

本取組は、これまでは不可能であった広域 3 次元モデルを高速に作成することによって、より詳細な被災後の情報を提供するプラットフォーム提供の可能性を示すものであり、災害発生後対応における新たなソリューション提供を目指していくものである。

また、3 次元モデル作成の高速化は、データ作成にかかる時間短縮だけでなく、コストの削減につながるものである。高速化プログラムの実行環境の構築・運用なども含め、データ作成に要する全体コストの削減を図ることができれば、災害のような緊急時だけでなく、さまざまな場面において、3 次元モデルが利用される可能性がある。現在、中央省庁を中心に、3 次元モデルの利用促進に向けた取組が活発化しており、今後、自治体に波及することが予想される。

本取組の成果を生かすことで、防災、都市計画、インフラ管理などさまざまな分野で新たなサービスが創出される可能性がある。

4.3.5 ベンチマーク

航空機(セスナ)に取り付けた多方向(直下方向、前後方向、左右方向)5台のカメラにより、地上画素寸法 12cm、80%のコース内重複率、60%のコース間重複率の設定で、400k m²程度の広さを撮影した、25,875枚(ショット数は5,175)という標準的なデータの3DTin作成処理に、現状では22日間を要している。

このデータの3DTin作成処理に対するパフォーマンス目標として、最大時間で災害救助の基準とされる72時間以内を設定し、かつ、最短目標としては、可能な限りセミリアルタイムに近いタイムスケール、すなわち航空機から撮像を開始したと同時にデータ転送・処理を開始し、撮像が完了したタイミングですべての処理が終わっている状態を目標として設定する。現在の性能を2桁オーダー改善できれば、例えば、午前中に航空機で撮影したデータを処理し、夕刻前には3DTinモデルの作成を完了できるようになるので、災害救助や災害復旧への活用が可能となる。

4.3.6 事業化までのマイルストーン

実用化までに以下のマイルストーンが必要である。

- ・業務要件定義とシステム要件定義
- ・プロトタイプシステムの要件定義と試作
- ・プロトタイプシステムの性能チューニング
- ・物体検出の実用性の検証
- ・実証システム全体の実用性検証

4.4 超電導パラメトロン素子を用いた量子アニーリング技術の研究開発における実用化・事業化の見通し（日本電気株式会社）

4.4.1 概要

日本電気株式会社(NEC)では、本研究開発プロジェクトを通じた超電導パラメトロン素子およびその実装技術等の開発成果を活用し、2023年に量子アニーリングマシンの実用化をめざす。

本研究開発プロジェクトにおいて実用化は、本事業で獲得する要素技術を適用して開発される量子アニーリングマシンを核に、①AIソリューション市場(クラウドにより量子アニーリングマシンを利用するサービス市場)あるいはまた②AIプラットフォーム市場(量子アニーリングマシンを組み合わせ最適化問題向けのコンピュータ製品として提供するハードウェア市場)において顧客へのサービスや製品の提供が開始されることであり、さらに自社および顧客企業の売り上げ等に貢献することを言う。

量子アニーリングマシンは、カナダ D-wave 社が当初 2011 年に市場投入した。既に D-Wave 社が事業化し、現在世界的にアニーリングマシンが注目されているとはいえ、量子アニーリングマシンに関する市場規模は 2019 年度においてもまだまだ限定的である。

一方、本研究開発プロジェクトにおいて実用化を目指す量子アニーリングマシンは、様々な社会課題に深く関わる組合せ最適化問題を高精度かつ極めて高速に計算できるポテンシャルを持っている。このため最適化問題を高精度かつ高速に解きたいという需要は今後益々大きくなることが予想されている。

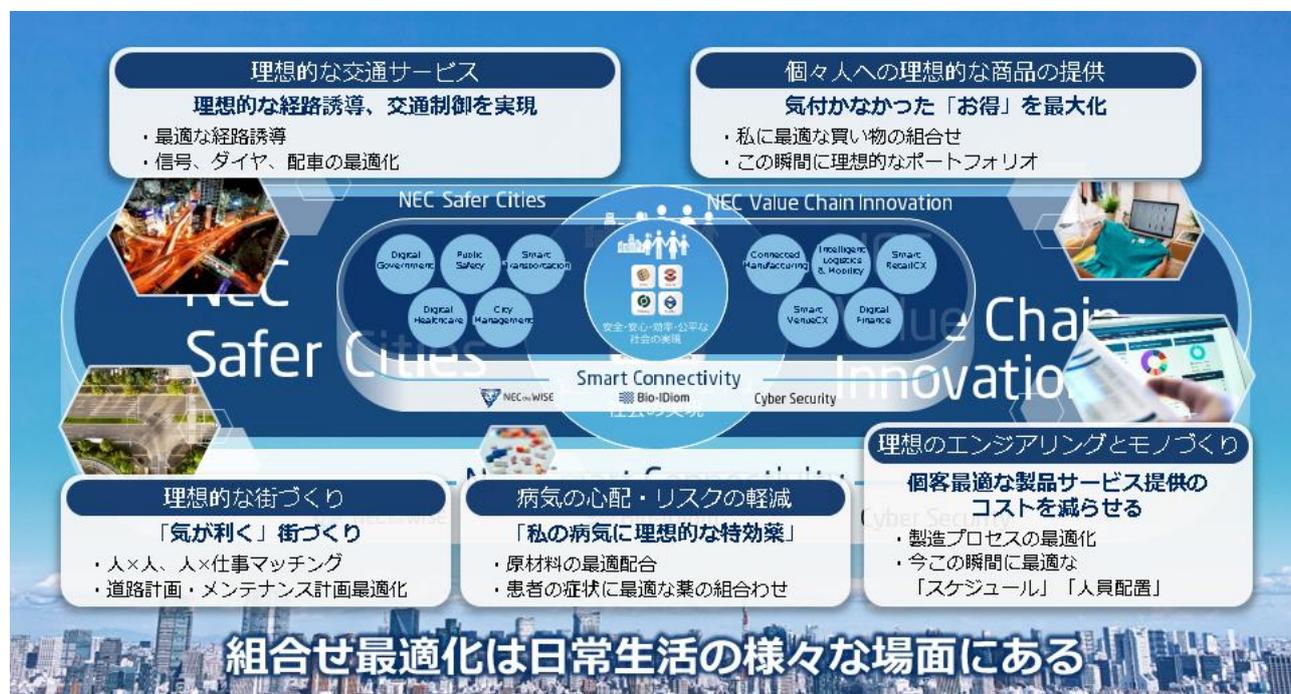
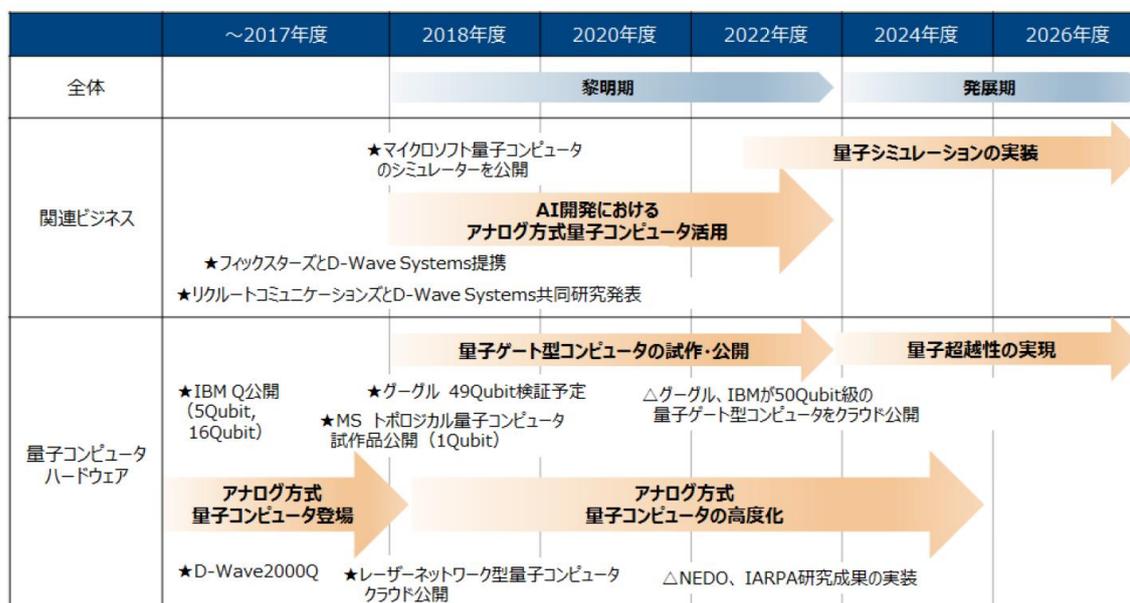


図 2-4.4.1-1 量子アニーリングマシンの適用先の例

野村総合研究所が発表した「IT ロードマップ 2018 年版」(*1)によれば、現在は量子アニーリングマシンの黎明期であり、2024 年頃から本格的な発展期が始まるとされる。NEC としては、この発展期に間に合うよう量子アニーリングマシンを実用化し、①AI ソリューション市場(クラウドによるサービス市場)と②AI プラットフォーム市場(組み合わせ最適化問題向けのコンピュータとしての HW 市場)をターゲットに獲得を目指す。



出展:野村総合研究所

図 2-4.4.1-2 量子コンピュータのロードマップ

(*1) <https://www.nri.com/jp/news/newsrelease/1st/2018/cc/0308>

4.4.2 実用化・事業化への課題と対応策

NEC はこれまで 20 年以上にわたって超電導量子ビット素子の研究を続けてきた。1999 年に世界で初めてとなる固体量子ビットを実現、2003 年にも世界初の固体結合量子ビットを実現するなど、万能型量子コンピューティングマシンの実現を目指し、研究成果をあげてきた。近年の研究で、この固体量子ビットを発展させた超電導パラメロン素子と全結合状態が可能となる方式の組み合わせが、量子アニーリングマシンで先行する D-wave 社の性能を将来的には凌駕するポテンシャルがあることが分かった。NEC は、この大きなポテンシャルを有する超電導パラメロン素子および周辺技術を開発し、量子アニーリングマシンを実用化したいと考えている。

量子アニーリングマシン実用化は大きく2つの市場、すなわち①AI ソリューション市場、②AI プラットフォーム市場をターゲットに想定している。これら市場における製品イメージ、および実用化における課題を説明する。

①AI ソリューション市場

量子アニーリングマシンを用いた、ほぼリアルタイムに組み合わせ最適化問題を解くエンジンを活用する、情報サービス事業としての事業化を目指す。その一例として、図 2.1.3 に示す物流ルート最適化を例に説明する。顧客価値(社会へのインパクト)は、リアルタイムでの交通渋滞の回避、運送業務の労働時間短縮、配送先への早期配達等である。顧客としては、コンビニ配達業者、物流業者、宅配業者、ナビゲーションアプリ等を利用する一般ユーザを想定する。

具体的には、機械学習により導き出した、ある時間帯にどの道が空いていて、どこへ運ぶ需要が多いか、同時に運ぶ荷物はどれとどれがよいか、等の情報をもとに、個々のトラックについて最適な配送ルートを決断する問題を高速かつ高品質に解くことを想定する。通常の物流最適化では、それぞれの道の「コスト」(距離、所要時間、ドライバー疲労度等により決定される)は時刻により不変として経路最適化を行う。しかしながら、現実には、朝夕のラッシュ時と昼間や夜間など、ある道の所要時間は通過時刻により異なる。そこで、機械学習で予測した、各地点の通過時刻毎の所要時間に基づき最適化することで、社会全体の高品質な最適化(消費エネルギー低減等)を実現できると考える。時刻により「コスト」が変化する経路最適化問題は、従来法では扱いづらい複雑な最適化問題であるが、量子アニーリングマシンであれば瞬時に解くことができる。また、刻一刻と変わる交通状況や配達要求(再配達依頼等)を考慮した最適化を行うためには、状況が変化する毎に再計算が必要であるが、最適化問題を瞬時に解くことができる量子アニーリングマシンであればこれも実現可能である。

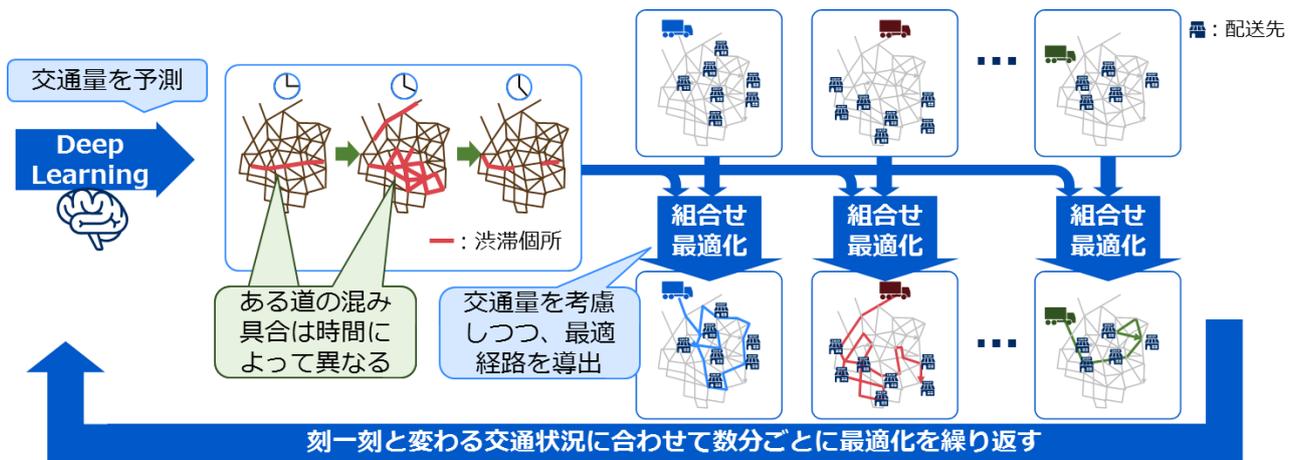


図 2-4.4.2-1 物流ルート最適化

AI ソリューション市場において、NEC はデジタルトランスフォーメーションを加速する最先端 AI 技術群「NEC the WISE」を開発・提供している。この AI は、見える化・分析・対処をするための複数の技術群によって構成されている。

複雑化・高度化する社会課題に対し、AI 処理における「見える化・分析・対処」の 3 つの要素を一つの汎用的な AI で全てに対応することは現実的ではなく、世界的に No.1、Only 1 の多様な AI 技術を組み合わせ、様々な社会・ビジネスのニーズに対応することを目指している。



図 2-4.4.2-2 AI による見える化・分析・対処

この AI 技術群に、新たに本研究開発プロジェクトで開発する量子アニーリングマシンをクラウドで動作させる専用エンジンを加える。量子アニーリングマシンの求解精度と求解速度によって、データから規則性や新しい価値を導き出す分析結果を利用して最適なアクションを促す AI 処理の「対処」要素の競争力を獲得する。この「対処」要素の強みを AI ソリューション市場で訴求し、売り上げ増につなぐ。

②AI プラットフォーム市場

解くべき組合せ最適化問題は同じであるが、①はクラウドサービスであるのに対し、組み合わせ最適化問題向けのコンピュータのハードウェア販売である点が異なる。

AI プラットフォーム市場の一部であるハイパフォーマンスコンピューティング市場において、NEC はベクトル型スパコンメーカーとして世界的に認知されており、高速の計算機を必要とするユーザへの強固なチャネルを保有している。そのチャネルをフル活用し、組合せ最適化問題向け専用のコンピュータとして販売を狙う。

実用化における課題は市場拡大のための市場構築・ユースケース開発、人材育成、エコシステム構築が考えられる。このうち市場構築・ユースケース開発は、外部機関連携で推進する。特に、NEDO「高効率・高速処理を可能とする AI チップ・次世代コンピューティングの技術開発」研究開発項目②:「次世代コンピューティング技術の開発」の研究開発テーマ「イジングマシン共通ソフトウェア基盤の研究開発」(代表事業者:早稲田大学)と本研究開発プロジェクトは密接に連携する。「イジングマシン共通ソフトウェア基盤の研究開発」のプロジェクトは、「イジングマシン共通ソフトウェア基盤」を設定し、共通ミドルウェアおよび共通 API (Application Programming Interface) の開発に取り組んでいる。ソフトウェア設計とハードウェア設計との密な連携により相互最適化を実現し、両者の強力な統合の実現を目指す。

人材育成、エコシステム構築に関しては、NEC では 2019 年度に新たに設置した量子コンピューティング推進室(*2)において、本研究開発プロジェクトによるハードウェアの完成に先行して実施する計画である。NEC の量子コンピューティング推進室では、ユーザとの共同実証を通じた用途開発および技術開発の推進において、大学機関やベンチャーとの連携も活用する。

(*2) https://jpn.nec.com/press/201912/20191220_01.html

4.4.3 実用化・事業化の体制

本研究開発プロジェクトで開発する量子アニーリングマシンの実用化は、本研究開発プロジェクトおよび「イジングマシン共通ソフトウェア基盤の研究開発」の各プロジェクトの参画機関との連携も活用して、NEC を中心に推進する。また NEC では新設した量子コンピューティング推進室において量子コンピューティングに関する活動を加速し、後述する 2024 年度の量子アニーリングマシンのクラウド利用サービス開始を目指す。

4.4.4 市場規模と経済効果

市場規模は、各社市場調査を参考として、量子力学的効果を使用していないイジングマシンを含めた市場全体について予測した。

2027 年度

イジングマシンのハードウェアおよびサービス領域市場 6,600 億円

- ・ CIR 社の量子コンピューティング市場予測(*3)を参考に、本研究開発プロジェクトによる市場活性化効果及びソフトウェア開発の加速効果を考慮し、量子コンピューティング市場を 120 億ドル@2027 年と予測

- ・ そのうち、ハードウェアおよび付帯サービス提供による収益が占める割合を 50%と仮定 (60 億ドル@2027 年)、およそ 6,600 億円(*4)。
- ・ 国内市場規模は、全世界市場規模の 1/10(660 億円@2027 年)

(*3)<https://cir-inc.com/news/quantum-computer-market-reach-us1-9-billion-2023-says-new-cir-report/>

(*4) 1 ドル=110 円と換算

2032 年度

イジングマシンのハードウェアおよびサービス領域市場 1 兆 5,400 億円

- ・ ポストンコンサルティンググループは、2032 年の量子コンピューティング市場は 280 億ドルと予測(*5)。
- ・ そのうち、ハードウェアおよび付帯サービス提供による収益が占める割合を 50%と仮定 (140 億ドル@2032 年)、およそ 1 兆 5,400 億円(*4)。
- ・ 国内市場規模は、全世界市場規模の 1/10(1,540 億円@2032 年)

2037 年度

イジングマシンのハードウェアおよびサービス領域市場 4 兆 5,100 億円

- ・ ポストンコンサルティンググループは、2037 年の量子コンピューティング市場は 820 億ドルと予測(*5)。
- ・ そのうち、ハードウェア及び付帯サービス提供による収益が占める割合を 50%と仮定 (410 億ドル@2037 年)、およそ 4 兆 5,100 億円(*4)。
- ・ 国内市場規模は、全世界市場規模の 1/10(4,510 億円@2037 年)

(*5) <https://www.bcg.com/publications/2018/coming-quantum-leap-computing.aspx>

4.4.5 ベンチマーク

本研究開発プロジェクトで開発を進める超電導パラメロン素子を用いた量子アニーリング素子のハードウェアとしての優位性には、次の 2 つが挙げられる。

1 つは 1us を越える長いコヒーレンス時間を実現することである。磁束量子ビットのコヒーレンス時間は 10ns オーダの報告もあることから、超電導パラメロン素子は 100 倍に相当する。これは、量子力学的効果を用いた処理が担保される時間が 100 倍であることを意味し、組合せ最適化計算の高精度化、高速化が期待される。

もう 1 つはハードウェアへのマッピングが容易であることである。NEC が採用する全結合方式は、イジングモデルが決定された時にハードウェアへのマッピングが一意に決まる。全結合方式ではなく部分結合方式を採用した場合は、組合せ最適化問題の課題により、このマッピングが一意に決定できず、問題に応じたマッピングを都度検討する必要がある。この結果、部分結合方式では社会課題における組合せ最適化問題を求解するための総作業時間に影響がある。

4.4.6 事業化までのマイルストーン

本研究開発プロジェクトは、2022 年度までで基本的な研究開発を完了する予定だが、本格的な社会実装に向けて、大規模化、頑健化、容易化をさらに進める必要がある。

2023 年度以降は、まず小規模な量子ビット数の量子アニーリングマシンを用いたクラウドサービス化のための技術開発を進め、2025 年度のサービス開始を目指す。平行して 2020 年

代後半のクラウドサービス開始を目標に 2,000 ビット級量子アニーリングマシンの研究開発を継続する。

本研究開発プロジェクトと外部連携する「イジングマシン共通ソフトウェア基盤の研究開発」においては、2022 年度までに各種イジングマシンに共通のソフトウェア基盤と API 提供、その後は共通のソフトウェア基盤を言語化したプログラム・ライブラリ提供を計画しており、クラウドサービス化においてこれら成果を活用していく。

4.5 ディスアグリゲーション型次世代データセンタに適用する光電ハイブリッドスイッチを用いた高速低電力データ伝送システムの研究開発 「光波長送受信器の研究開発」における実用化・事業化の見通し（技術研究組合参加組合員）

4.5.1 概要

当該技術研究組合参加組合員は、次世代コンピューティング向け超広帯域ネットワークを構成する光 ToR スwitchの主要構成要素である光波長送受信器の事業化を計画している。その機能は光トランシーバに高速光波長切替えおよび受信機能を付加したものである。本プロジェクトの最終年度にあたる 2022 年度に向けて新たな市場開拓/顧客創出を推進し、市場明確化後に、詳細設計、製品試作、製品レベルの品質にするための製品化開発を行う。あわせて、量産化技術開発を進めていき、2025 年度より本プロジェクトの光電ハイブリッドスイッチシステムが適用されると想定される大規模データセンタ事業者(Amazon, Google, Microsoft, Facebook など)を中心に光波長送受信器の販売を開始することを想定している。また、この光波長送受信器を部品として採用して装置を構成してネットワークプロバイダなどに販売するホワイトボックス装置ベンダも販売ルートになりうると想定している。また、本プロジェクトで開発する大容量コヒーレント送受信技術を用い、データセンタ間通信用の光トランシーバとしても販売することを想定している。

4.6 ディスアグリゲーション型次世代データセンタに適用する光電ハイブリッドスイッチを用いた高速低電力データ伝送システムの研究開発 「バースト多値プロセッサの研究開発」における実用化・事業化の見通し（技術研究組合参加組合員）

4.6.1 概要

当該技術研究組合参加研究員は、本研究開発で実現する光電ハイブリッドスイッチシステムの構成要素である空間光スイッチとバースト多値プロセッサを製品化し販売する。PETRA より光電ハイブリッドスイッチシステムの技術提案を大規模データセンタ事業者（Facebook、Google、Microsoft、Amazon 等）に向けて海外の競合に先駆けて実施し、同システムの早期導入を支援する。また、並行してオープンソース化団体へのオープンソフトの提供、業界標準化団体への標準化提案を通して同システムおよびそれを実現するための基盤技術が市場に受け入れられる土壌を醸成する。当該技術研究参加組合員から OEM ベンダ等に同システムのキーデバイスである空間光スイッチモジュール、バースト多値プロセッサを販売する。その際に技術研究参加組合員から OEM ベンダ等へ設計支援情報を併せて提供することで、同システムの大規模データセンタ事業者へのタイムリーな導入を図る。こうしたアプローチを光波長送受信器のサプライヤである技術研究組合参加研究員と連携して実施し、大規模データセンタ事業者の構築するサプライチェーン・エコシステムの中に入り込むビジネス戦略を進める。

4.7 イジングマシン共通ソフトウェア基盤の研究開発における実用化・事業化の見通し（豊田通商株式会社、株式会社フィックスターズ）

4.7.1 概要

豊田通商とフィックスターズは、研究開発の成果である「イジングマシン共通ソフトウェア基盤」の実用化・事業化を推進することで、イジングマシンを誰もが使うことのできる社会を目指す。イジングマシンを誰もが使うことのできる社会を実現することで、現実社会に内在する組合せ最適化問題を高速に解くことが可能となる。

これまで、ソルバーと呼ばれる数値最適化ソフトウェアを用いることで、組合せ最適化問題を解くこと自体は可能であった。しかし、その処理量・処理速度には限界があるため、たとえ組合せ最適化問題が内在する課題であっても、その解をリアルタイムに求めることはできず、ヒューリスティック法などを用いて「それらしい」解を作ることによって対応せざるを得なかった。

このような背景のもと、組合せ最適化問題の超高速解法のブレークスルーとして期待されているのが「量子アニーリングマシン」をはじめとする「イジングマシン」である。しかしながら、イジングマシンで解法可能な問題と現実課題との間には大きな乖離があるのが現状である。この乖離を埋めるべく、当該研究開発によって整備されるのが「イジングマシン共通ソフトウェア基盤」である。我々は、その実用化・事業化を通じて、イジングマシンによる組合せ最適化問題のリアルタイム処理が、Society5.0を構成する様々な産業の競争力の源泉となる社会を目指す。

4.7.2 実用化・事業化への課題と対応策

(1) - 1. キャズム理論に基づくイジングマシン実用化・事業化の全体方針

コンピュータ業界の歴史を振り返ると、いかに優れた技術を搭載したとしても、広く世の中に普及することなくその生涯を終える製品が多数存在する。マーケティング学者であるジェフリー・ムーアは、著書『Crossing the Chasm』で提唱した「キャズム理論」にて、この事象を説明している。キャズム理論とは、初期市場と主要市場の間に大きな谷（キャズム）が存在し、多くのハイテク製品はそのキャズムを越えることができずに消えていく事象を捉え、キャズムを乗り越えるためのマーケティングアプローチを示した理論である。つまり、ある製品を広く社会に普及させるためには、その製品の持つコアな機能だけではなく、ユーザが利用するに値するレベルまで、補完機能やサービスを拡充する必要があるといえる。

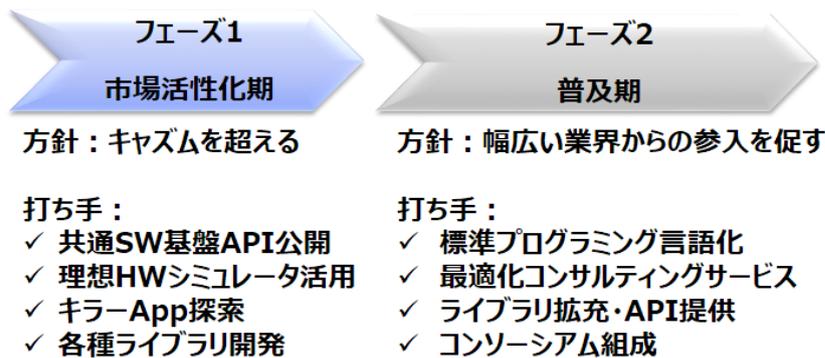
ここで、当該研究開発によって構築される「イジングマシン共通ソフトウェア基盤」は、イジングマシンが解法可能な問題と現実社会の抱える課題の間に存在する乖離を補完し、イジングマシンの実用化を促進するという意味で、キャズムを超えるための極めて重要な技術的要素となるといえる。そこで、我々の事業化・実用化に向けた活動は、「イジングマシン共通ソフトウェア基盤」をいかにして幅広いユーザに満足いく形で使って頂き、社会に普及させるかに焦点を当てた取り組みを実施する。

(1) - 2. 各フェーズにおける実用化・事業化計画

我々は、イジングマシン共通ソフトウェア基盤の実用化・事業化に向けた具体的な取り組みを、第一フェーズ：市場活性化期と、第二フェーズ：普及期の二つのフェーズに分けて実施する。

第一フェーズでは、①「イジングマシン共通ソフトウェア基盤」を極力使いやすい形で提供し、すそ野を広げる取り組みと、②イジングマシンの実用化をけん引するリードユーザとの連携により、実用に耐えうる製品・サービスを提供する取り組みを行う。これらの取り組みにより、「イジングマシン共通ソフトウェア基盤」の上に実用化を促進するコンテンツを整備し、キャズムを超える原動力とする。第二フェーズでは、より幅広い業界からの参入を促すべく、さらなるコンテンツの拡充・改善を行う。

各フェーズにおける取組の方向性と打ち手について、下図に示す。



以下、各フェーズにおける取組の方向性および具体策とその狙いについて記載する。

【フェーズ1：市場活性化期の取り組み】

市場活性化期の取り組みにおけるテーマは、上述した通り、①「イジングマシン共通ソフトウェア基盤」を極力使いやすい形で提供し、多くのユーザに体験頂くこと②リードユーザとの連携を通じて実用に耐えうる製品・サービスを開発することの二点である。

具体的には、以下4つの取り組みを予定しており、各項目について説明する。

- フェーズ1ー① 共通ソフトウェア基盤の基本的機能のAPIの無償公開
- フェーズ1ー② 理想イジングマシンシミュレータの活用
- フェーズ1ー③ リードユーザの発掘、キラーアプリケーション向け製品・サービス開発
- フェーズ1ー④ 各種ライブラリ開発・蓄積

フェーズ1ー① 共通ソフトウェア基盤の基本的機能のAPIの無償公開

イジングマシンをより多くのユーザに体験頂くべく、イジングマシン共通ソフトウェア基盤の基本的機能のAPI無償公開や、オープンソースでの公開を検討する。また、当該研究開発の協力プログラムである情報処理推進機構未踏ターゲット「次世代(非ノイマン型)計算機」プロジェクトと連携し、公開したAPIを用いてプログラミングコンテストを開催する。

フェーズ1ー② 理想イジングマシンシミュレータの活用

当該研究開発の成果である理想イジングマシンシミュレータの無償提供を実施する。この取り組みにより、ハードウェアの開発動向に左右されず、ソフトウェアの性能向上、機能拡充が可能となる。また、これまでイジングマシンに興味はあったものの、実用化までは程遠くビジネスにはならないと判断していたようなソフトウェアエンジニアに対して本シミュレータを提案することで、共通ソフトウェア基盤上に優秀なソフトウェアエンジニアの参入を促す。

フェーズ1ー③ リードユーザの発掘、キラーアプリケーション向け製品・サービス開発

このフェーズでは、(1)当該研究開発の外部連携企業への共通ソフトウェア基盤のプロトタイプ無償提供(2)豊田通商の事業機会を活用したアプリケーション開発の2つの取り組みを通じて、リードユーザの発掘とキラーアプリケーションの探索を実施する。

また、(1)(2)の取り組みとは別に、早期から当該研究開発によって生まれたプロトタイプを外部連携先のみならず広くユーザに公開することも検討する。幅広いユーザにプロトタイプを使ってもらうことで、我々の想像しないユースケースが発掘される可能性もあるため、この取り組みは極めて重要なものとする。

フェーズ1-④ 各種ライブラリ開発・蓄積

上述したフェーズ1-①、フェーズ1-②、フェーズ1-③の取り組みは、コミュニティを活性化させ、リードユーザとエンジニアをつなげることでイノベーションを起こし、キャズムを超える、いわば「縦のつながり」を意識した取り組みであったが、フェーズ1-④の取り組みは、普及期を迎えるための準備として行う、「横のひろがり」を意識した取り組みである。具体的には、当該研究開発の成果を活用し、共通ソフトウェア基盤の活用を促進する各種ライブラリを開発・蓄積する。普及期を迎えるまでに、質の高いライブラリをいかに多く保有することで、普及期を迎えた際にタイムリーにサービスを提供することが可能になると考える。

【フェーズ2:普及期の取り組み】

市場活性化期における取り組みにより、イジングマシンの活用が普及期を迎えた時、社会に内在する組合せ最適化問題が次々と顕在化されることで、その市場は指数関数的に成長すると考えられる。

そこで、普及期における取組では、幅広い業界・レベルのユーザが参入しやすい環境を提供することで、強固なイジングマシンプラットフォームを構築することを目指す。強固なプラットフォームとは、社会課題～イジングマシン共通ソフトウェア基盤～イジングマシンハードウェアの各層が有機的につながり、多くのユーザを呼び込み、各層のさらなる改善が促され、また新たなユーザが呼び込まれるような、好循環が生み出されるプラットフォームのことである。

具体的には、以下4つの取り組みを予定しており、各取り組みについて説明する。

フェーズ2-① 共通ソフトウェア基盤及び各種ライブラリの標準プログラミング言語化

フェーズ2-② イジング計算最適化コンサルティングサービスの開始

フェーズ2-③ 各種ライブラリ拡充、提供

フェーズ2-④ イジングマシン最適化コンソーシアムの組成

フェーズ2-① 共通ソフトウェア基盤及び各種ライブラリの標準プログラミング言語化

イジングマシンをより多くの人々に活用頂くためには、イジングマシンに特化したプログラミング言語に制約されるべきではなく、標準的なプログラミング言語に共通ソフトウェア基盤、及び各種ライブラリが組み込まれているような状態が望ましい。そこで我々は、当該研究開発成果を活用し、共通ソフトウェア基盤、および各種ライブラリが組み込まれた開発環境の整備を実施する。

フェーズ2-② イジング計算最適化コンサルティングサービスの開始

実社会が抱える複雑な課題について、様々な制約条件を考慮してどのように定式化するかは、イジングマシンで組合せ問題を処理することにより所望の解を得るために極めて重要な要素となる。そこで、当該研究開発の成果を活用し、イジング計算最適化コンサルティングサービスとして定式化支援を行うことで、幅広い産業におけるイジングマシンの活用を促進する。そこで、当該研究開発における様々なユースケースの検討によって得た知見を活用し、内在するものの認識されていない組合せ最適化問題を顕在化するサービスも提供する。

フェーズ2-③ 各種ライブラリ拡充、提供

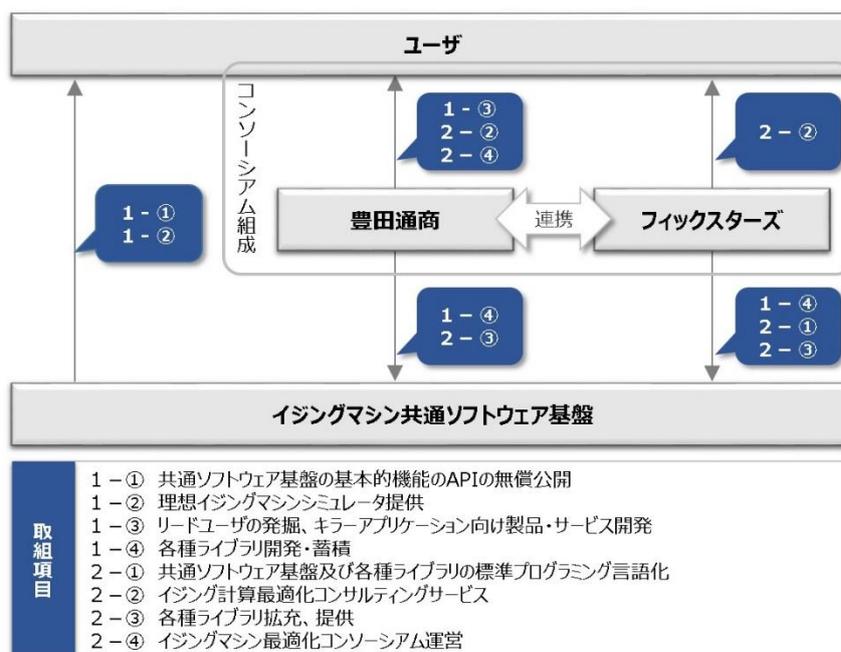
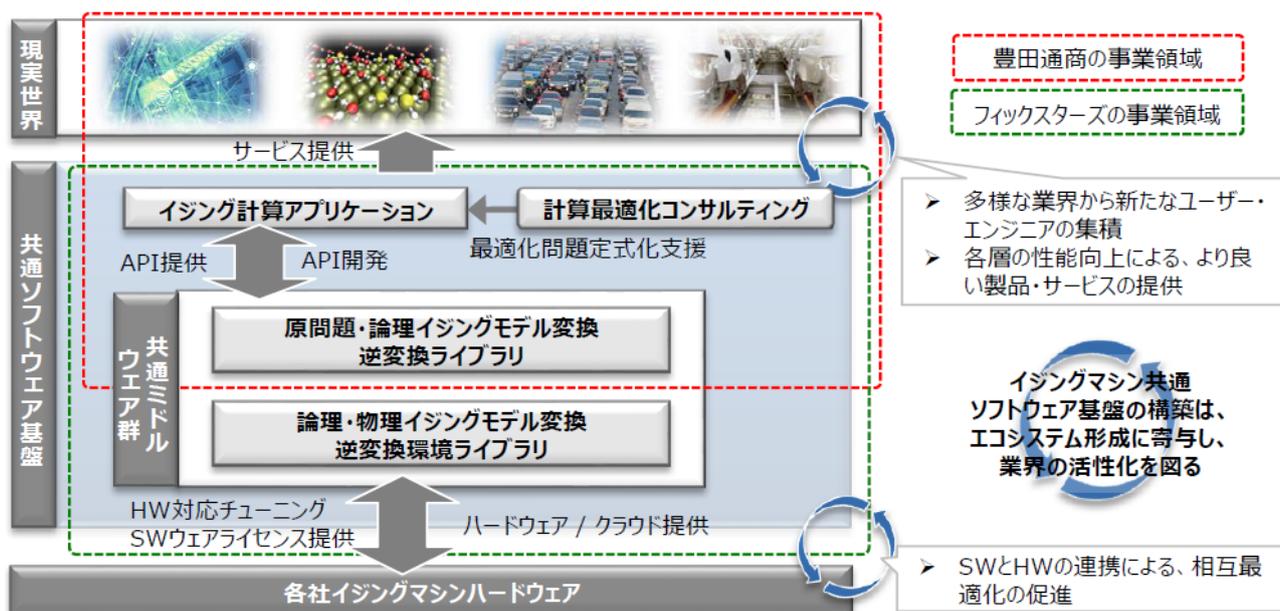
市場活性化期と比較し、普及期に参入を検討するユーザは、イジングマシンへの期待値よりも実際の費用対効果を重要視すると考えられるため、ユーザの知見に応じて様々なレベルのライブラリを用意し、ユーザの多様なニーズに適応する共通ソフトウェア基盤を構築することがより一層重要となる。そこで我々は、共通ソフトウェア基盤上で様々なライブラリの開発が行われるような取り組みを行う。具体的な方策は、自身の開発したライブラリの API 公開やオープンソース化などを含めて検討する。

フェーズ2-④ イジングマシン最適化コンソーシアムの組成

イジングマシンの活用が普及期を迎えた社会では、多様な産業でイジングマシンによる組合せ最適化問題処理の導入が検討され、日々新たなユースケースが生まれることが想像される。新たなユースケースの情報は、イジングマシン最適化アプリケーション、ミドルウェア群、イジングマシンハードウェアそれぞれにとって自らの製品を改善させる貴重な情報である。豊田通商及びフィックスターズは、効率よく各層が情報交換を行い、相互最適化を意識した製品開発を行う環境を創り出すべく、イジングマシン最適化コンソーシアムの組成を検討する。

4.7.3 実用化・事業化の体制

実用化・事業化にあたっての豊田通商とフィックスターズの事業領域について、また、取組み体制のイメージ図を下記に示す。



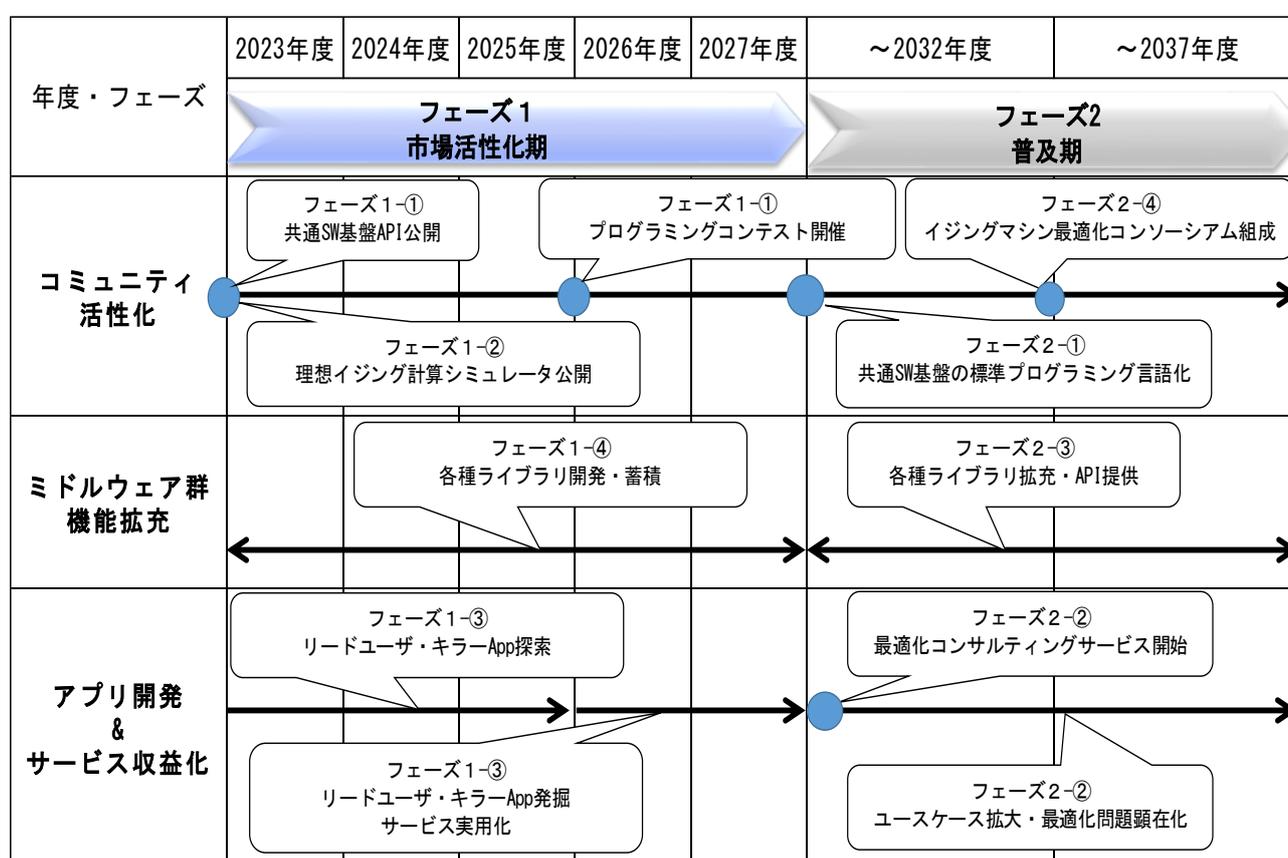
4.7.4 市場規模と経済効果

イジング計算領域におけるソフトウェア及び付帯サービス市場の規模は、プロジェクト期間終了時点(2027年)でおおよそ数百億円(国内)、数千億円(海外)と見積もられる。終了後5年目(2032年)にはそれぞれ1,000億円程度(国内)、1兆円程度(海外)と見積もられる。さらに終了後10年目(2037年)にはそれぞれ数千億円(国内)、数十兆円(海外)と見積もられる。このうち申請者は、国内で数十%、海外で数%のシェアの獲得を目指す。

4.7.5 ベンチマーク

産業界において、本研究開発と同様にイジングマシン向けAPI開発を進めているところがあるが、その多くは特定のハードウェアのために特定のアプリケーションのためのソフトウェア開発を主に行っているのに対し、本研究開発ではハードウェアや特定のアプリケーションによらないソフトウェア基盤の開発を行っている点に大きな優位性があると考えている。

4.7.6 事業化までのマイルストーン



予想される重大な障害:

サービス設計段階: ハードウェア側のスピン数が追従していない

サービス開始段階: ハードウェアが乱立し、主要なハードウェアが存在しない

販売段階: イジングマシンの計算量当たりの利用料がHPC*に比べて極端に高い

*HPC…High Performance Computing

4.8 未来共生社会にむけたニューロモルフィックダイナミクスのポテンシャルの解明「ニューロモルフィックデバイスの探索（レザバー）の研究開発」における実用化・事業化の見通し（株式会社日立製作所、産業技術総合研究所、北海道大学、東京大学）

4.8.1 概要

プロジェクト全体のレザバー関係の開発研究は、日立、産総研、北大、東大の4件であり、これに主要な物理レザバーを加えたベンチマークを4.8.5に示す。実用化・事業化に向けての見通し及び取り組みについては、4件のうち日立が最も力をいれているので、4.8.5を除き、以降は日立の研究開発について説明する。

日立は、本NEDO委託事業成果をもとに開発される、自社や他機関のレザバーAIプロセッサを、既に保有している超高感度振動センサ技術と組み合わせ、地下埋設管、橋梁、道路等の社会インフラ設備のモニタリング事業に適用する予定である。

4.8.2 実用化・事業化への課題と対応策

課題①：レザバーAIプロセッサの安定供給体制、品質保証体制の確立

対応策：半導体ベンダと共同で供給、品質保証体制を構築

課題②：SDK（ユーザのソフトウェア開発を支援するライブラリ、および、レザバーAIプロセッサ上にソフトウェアをマッピングするコンパイラ）の開発

対応策：ミドルウェアベンダと共同で開発

4.8.3 実用化・事業化の体制

日立の水・環境ビジネスユニット、研究開発グループの連携体制にて推進
レザバーAIプロセッサに関して、本NEDO委託事業の他機関と連携

4.8.4 市場規模と経済効果

インフラメンテナンス市場は、世界全体で年間200兆円（2018年時点）の巨大市場があり、国内でも、高度経済成長時代に建造されたインフラ設備の老朽化を受け、5兆円の市場がある。日立は、国内市場をビークルに、グローバルに事業展開予定。

4.8.5 ベンチマーク

物理レザバーの特徴およびスコア(高スコア 😊 > 😐 > 😞 低スコア)

	電圧・電流・電カスケール	読み出し容易性	空間スケールラビリティ	時間スケールラビリティ	製造難度・量産性	演算性能・容量
↑ 主要な物理レザバー	光レザバー [Nanophotonics 2017]	😞	😊	😊	😞	😊
	FPGA (CMOS) [IEEE Circ & Syst 2015]	😞	😊	😊	😊	😞
	分子レザバー [Nature Com 2018]	😊	😞	😊	😊	😊
↓ 本事業のレザバー	スピンレザバー (産総研)	😊	😊	😞	😊	😊
	アナログCMOSレザバー (日立)	😊	😊	😊	😊	😊
	培養神経細胞レザバー (東大)	😊	😊	😊	😊	😞~😊
	軟体レザバー (東大)	😊	😊	😊	😊	😊

(※スコアは、本事業におけるレザバー研究者らによる主観的評価の平均)

4.8.6 事業化までのマイルストーン

技術構築完了(2024/3)

レザバーAIプロセッサの供給, 品証体制の構築(2025/3)

社内事業化プロジェクト推進, 事業化承認(2025/3)

4.9 未来共生社会にむけたニューロモルフィックダイナミクスのポテンシャルの解明「ロボカップ@ホームによる脳型アーキテクチャの実証実験」における実用化・事業化の見通し（九州工業大学、大阪大学他）

4.9.1 概要

レザバーチップの ROS 制御によりロボカップ@ホームロボットに搭載して、ソフトハンド制御などをデモ検証する。これにより、超高効率レザバーチップとソフトロボティクスを融合したサービスロボットの産業化に貢献する。また、ロボカップを利用して、レザバーチップの ROS 制御の競技会を提案・設置し、若手の人材育成を進める。

4.9.2 実用化・事業化への課題と対応策

ロボカップ@ホームでの実績を踏まえて産業化に貢献すること、および人材育成のための ROS 制御の競技会を実現する上では、以下の課題と対応策が必要である。

- [1] ロボカップ日本委員会にロボカップ@ホームでの競技会で超高効率レザバーチップとソフトロボティクスを融合したサービスロボットの産業化に直結するタスク設定(現在でも十分だが、より実現可能性をあげるため)を提案する。
- [2] 新たな競技会(サブリーグ)として ROS 制御を競うタスク設定も同時に提案する。
- [3] 教育リーグに上記のサブリーグ参加のためのコースを設定し、参加チーム増を狙う。
- [4] 上記のプロセスを若干の遅れを伴って、徐々に国際大会にも同様の競技会や教育リーグによる普及に務める。

幸い、九工大チームはロボカップ@ホームでの国内大会、国際大会ともに優勝経験があり、本プロジェクトの代表者自身がロボカップ創設者の一人でもあるので、提案しやすい状況にあり、これらは事業を推進する上での優位な態勢にある。

4.9.3 実用化・事業化の体制

ロボカップ日本委員会の@ホーム技術委員会(委員長は九工大田向准教授で森江チームメンバー)に本提案のタスクフォースを設定し、以下の項目を達成する。

- [1] 超高効率レザバーチップとソフトロボティクスを融合したサービスロボットの産業化に直結するタスクの設計
- [2] ROS 制御を競うサブリーグの提案
- [3] 教育リーグに上記のサブリーグ参加のためのコース設計
- [4] 配布チップの段取りや有力な参加チームの勧誘
- [5] ロボカップ国際委員会への提案のドラフト作成

上記は、本領域全体の人材育成に繋がるので、[3,4]に関しては、領域全体で事務局を設置し、配布チップの選定、試作、配布などの業務を遂行してもらう体制をつくる。

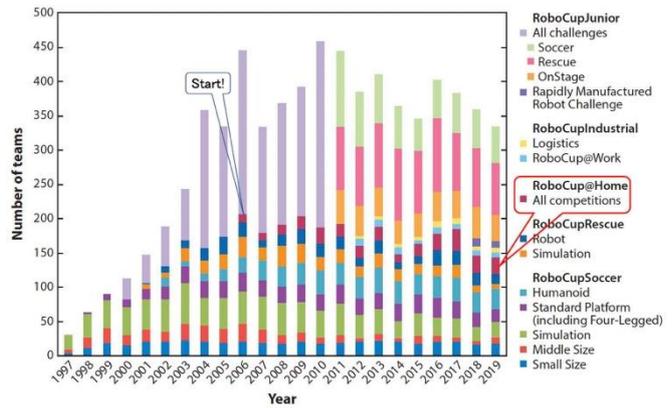
順調に教育リーグ並びに競技会が進行し、また、関連の国際会議や学会においてのデモンストレーションを通じて、企業を誘い込み、チップ・デバイスの改良設計・試作・販売、加えてサービスロボット関連のベンチャーなどとも連携して、社会実装に向けた活動を開始する。

4.9.4 市場規模と経済効果

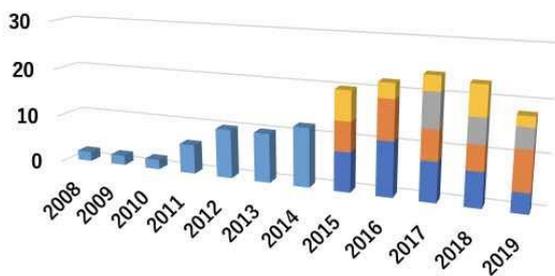
ロボカップ国際大会は 1997 年から開催されているが、ロボカップ@ホームリーグは、2005 年に提案され、2006 年から正式リーグとして毎年開催されている。現在では厳しい予選もあり、国際大会への参加チーム数は限られている(最大 30 チーム程度:次ページのグラフ参照)。国際大会に出場できない海外チームも多々あり、それぞれの地域での大会に参加している。

地域大会の代表例がジャパンオープンで2008年から@ホームリーグが開催されており、メジャーリーグの中では最多チーム数を誇る(下のグラフ参照)。九工大のチームを含め、国際大会での日本チームの優勝は多い。上記で提案したサブリーグや教育リーグの開催を国際大会にも拡張することで、参加者数は劇的に伸びると想定される。@ホームのみならず、サッカーやレスキュー、また産業応用の@ワークにも拡張できるであろうし、教育リーグの延長ではロボカップジュニアもプラットフォーム供給ができれば、可能性は高い。

ロボカップ国際大会での参加チーム数の遷移

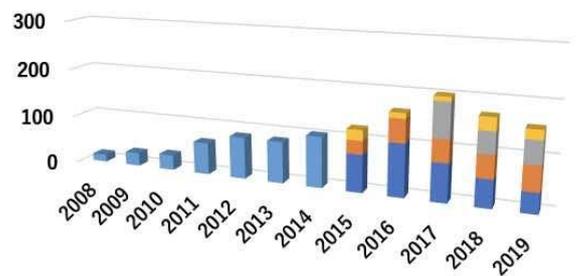


ジャパンオープン参加チーム数の遷移



■ OpenPlatform League ■ Education League ■ HSR League
■ Simulation ■ Home All

ジャパンオープン参加者数の遷移



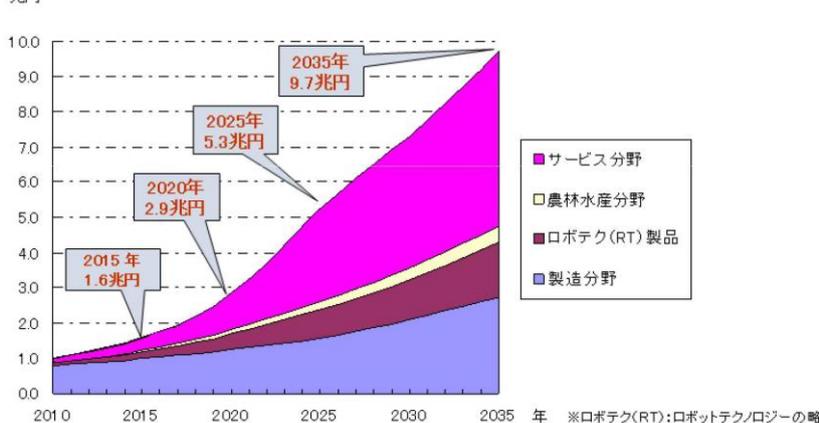
■ OpenPlatform League ■ Education League ■ HSR League
■ Simulation ■ Home All

このように、検証実験の場としてロボカップ(@ホーム)を活用することは、

- ニューロモルフィックデバイスの効率的かつ多様な検証実験が可能
- 公開競技として開催することで、プロモーション効果が高い
- ロボカップジュニアも巻き込んで、広範な世代幅の教育リーグに拡張できれば、非常に強力な人材育成基盤が構築できる。

これらの過程と並行して、関連企業との連携による社会実装を試みる。直接的応用としてはサービスロボットの市場であり、下に示す NEDO の予測では、サービスロボットの市場規模として2035年には9.7兆円とされている。@ホームでのタスクでは家庭内を想定しつつも、家事支

2035年までのロボット産業の将来市場予測



援、見守り・コミュニケーションのタスクが実現できれば、介護・福祉、受付案内、食品産業などの他のサービス分野は困難ではない。さらにロボカップのレスキューや@ワークにも波及できれば、災害救助、産業応用、さらに検査などの分野にも十分適用可能と推定され、その経済効果は大きい。

4.9.5 ベンチマーク

ロボットのコンテストは内外とも数多あるが、最先端研究を競う競技会としての比較対象はNEDO 主催の WRS が考えられる。ただし、WRS は毎年の開催ではないが、ロボカップは毎年、ジャパンオープンの国内大会及び国際大会が開催されるので、検証の場として利用しやすい。WRS 開催時には、共同して開催することも考えられる。幸い、WRS の関連競技の組織化に関しては、ロボカップ日本委員会のメンバーが深くコミットしているので、連携は十分可能と考えられる。

4.9.6 事業化までのマイルストーン

下図は、仮にステージゲートを通過し、開発プログラムに移行できたと想定した場合のマイルストーン図である。まずは、事業化への道筋を優先しており、教育リーグの拡充に関しては、明示的に示していないが、競技会を通じて、結果として育成に繋がると期待される。

2020	2021	2022	2023	2024	2025	2026	2017
NEDO ↓	WRSでの開催可能性検討 →		WRSとロボカップとの連携模索 ↑	配布体制の確立 ↕	WRSとロボカップジャパンオープンの連携 ↑	他のプロジェクトへの通知 ↑	海外配布体制確立 ↑
本プロジェクト：SG通過、本プロジェクトへ！	本プロジェクト開始 競技会用チップ及びロボットプラットフォームフォーム設計	チップ及びロボットプラットフォームフォーム試作	チップ及びロボットプラットフォームフォーム改良 ↕	チップ及びロボットプラットフォームフォーム改良 タスク設定配布5チーム ↓	他のリーグへの展開戦略：タスクとプラットフォームについて検討 ↕	他のプロジェクトチームへの勧誘と競技会拡大の打診 ↑	チップ及びロボットプラットフォームフォームさらなる改良および海外配布試行
ロボカップジャパン・オープン	競技会開催予定のアナウンス ↓	タスクフォースを設置し協議開始	タスク設定検討 ↑	デモンストラレーション開催 ↓	@ホーム実験リーグとして開催 ↓	@ホーム正式リーグとして開催 ↓	他リーグで実験リーグとして開催検討
ロボカップ国際大会	理事会にて日本でのトライアルの予定の報告 →			ジャパン・オープンの経過報告。国際技術委員を募る。	国際技術委員会設立 ↓	国際技術委員と一緒にデモンストラレーション ↓	@ホーム実験リーグとして開催

4.10 深層確率コンピューティング技術の研究開発における実用化・事業化の見通し

4.10.1 概要

本研究成果の実用化においては、様々なレベルが考えられる。まずアルゴリズムやソフトウェアについては、本研究で開発するハードウェア上に留まらず、様々な計算機上で広く活用可能である。直接の事業化を行わないとしても、広く使われるアルゴリズムのインパクトは非常に大きく、社会に貢献する。

また本研究で開発するソフトウェアは、Google の TensorFlow Probability や Uber の Pyro 等と同様にオープンソース化する予定であり、既にベータ版を公開している。これによって、深層確率コンピューティングのソフトウェア開発効率の向上に大きく貢献できる。また、種々のアルゴリズムを簡易に実装できるようになり、基礎開発者から応用現場まで広く一般性の高い技術となる。

ハードウェアについては、基盤的な設計技術と実際のプロセッサ製造の2レベルでの実用化が可能である。基盤的な設計技術としてはソフトウェアと同様に、深層確率学習向けの専用・準汎用プロセッサ設計の容易化を実現するシステムとして提供が可能である。プロセッサ (LSI) 開発については事業化が必要であり、ユーザ・計算機ベンダ等のニーズを明確にして進める。

4.10.2 実用化・事業化への課題と対応策

アルゴリズムについては、3.6.1.5 の成果の普及で今後の展望と課題を既に詳細を述べた。特に IoT 時代の人工物のモニタリングにおいて、膨大なセンサ側情報をエッジ側で一次処理するために有用な手法となりうる。空調制御やプラント等における大規模なモニタリングの効率化のために、エッジ側での学習とクラウド上でのデータ同化を組み合わせ、高度な分散処理を実現することが目指される。このためには、適切なパイロットスタディが必要となる。

ソフトウェアについては、開発したソフトウェア T-PRISM/Pixyz は既に公開されており、実用が可能である状態である。また、開発アルゴリズムの一部実装、組み込み環境での動作試行等も既に行われており、準備が進んでいる。今後は、実用化・事業化に向けて、プログラミング言語としての機能を強化するとともに、本プロジェクトでの開発アルゴリズムを含めた、アルゴリズムの実装をさらに充実させる。また、本プロジェクトで開発するハードウェアとの連携を強めてゆく。

ハードウェアについては、プロセッサの製造には大きなコストがかかるため、アプリケーションを見極めて事業化を進める必要がある。ユーザ側の連携を強化する必要があり、今年度動作可能な実装に到達した段階で改めて意見交換を進めたい。現在、機械学習向けのプロセッサは各方面で開発されているが、確率機械学習向けのものは少なく、また本計画で進めているような本格的な専用回路を含むものも少ない。本開発の特徴が活きるような領域をさらに探索する。

4.10.3 実用化・事業化の体制

今後設計が確定した段階でワークショップ等の開催を企画したい。また、現在プロセッサの開発について、企業との連携を打診中である。

4.10.4 市場規模と経済効果

国内のみにおいても、2022 年の AI 向けサーバーラック数は 1 万を超えると見積もられており、年間 2 千ラック近くが導入されると考えられる (IDC の予測)。1 ラックのコストを 2 千万円とすると、サーバ投資額は 400 億円/年となり、世界的にはこの数十倍と想定される。仮に 1 兆円として、この 1%でも市場が得られれば 10 億円/年となり、継続的な開発が可能レベルとなる。これはサーバ系の話であるが、国内の広義の IoT 市場は 8 兆円程度であるので、世界レ

ベルでこの 0.01%程度の市場獲得が必須である。本開発の先にソリューション化を推進することにより、さらに大きな規模を得られる可能性がある。

4.10.5 ベンチマーク

アルゴリズム面でのベンチマークは、国際会議・論文等で様々なアルゴリズムの性能比較が行われており、今後その上で行われていくことになる。

ソフトウェア面でのベンチマークにおいても、同様にソフトウェアパッケージとしての比較が可能である。例えば、3.6.2 項の表 2-3.6.2-1 に T-PRISM の比較が示されている。また、実際の利用について、ダウンロード数や言及数、引用数で評価できる。これらについてはまだこれからであるが、3.6.2 項で示したように Pixyz については既に 8,000 以上のダウンロードがあり、著名研究者からの言及もなされている。

ハードウェア面でのベンチマークとしては、特定の計算の速度・電力性能を評価することになるが、競合と全く同じ条件は難しく、GPU を基準に比較していくことになる。Google TPUv2、Graphcore IPU 等が基準となると考えている。

4.10.6 事業化までのマイルストーン

- プロセッサの設計を完了し、FPGA 環境で開発ソフトウェアで書かれた開発アルゴリズムを動作させる。
- LSI 化した場合のより正確な性能・電力性能評価を行う。
- 実応用アプリケーションを動作させて実証を行う。

4.11 イン不揮発性メモリ分散 Approximate コンピューティングの研究開発における実用化・事業化の見通し

4.11.1 概要

本プロジェクト全体の最終的な事業化目標としては、2029 年以降にデータセンタ向けに Approximate コンピューティング・イン不揮発性メモリサーバを販売することを目指す。本研究期間完了後、実用化に向けた研究開発枠において、本格的な製品技術を開発し、事業化を行う。

その前段階として、三栄ハイテックスおよびリトルウイングは、最終目標以前の 2022 年度以降より順次 FPGA-IP 販売や分散処理まで含めた SI 事業化を目指している。これは、データセンタ事業者やコンピュータ・ストレージメーカーへ適用する前にオンプレミスでの利用から Approximate コンピューティング自体の市場を開拓する必要があるためである。そのために前段階として、三栄ハイテックスおよびリトルウイング両社で連携しながらオンプレミス環境での技術適用や顧客探索を行う。

4.11.2 実用化・事業化への課題と対応策

データセンタ事業者へ適用するためには、Approximate コンピューティング技術をオンプレミス環境で適用するなど、市場の啓発、ソフトウェア環境含めた整備が必要となる。

現在のデータサイエンティストは、PyTorch や TensorFlow といった高度に抽象化されたフレームワーク上で試行錯誤しながら深層学習のモデルを設計している。そのため、完成済みのモデルだけでなく、試行錯誤中のモデルの学習処理時間についても短縮する必要がある。しかし、データサイエンティスト自身が GPU 等よりもより高い省電力効果を得られる FPGA コードを個別に実装することは難しい(専門性の違いによるため)。また、Approximate 演算をどのように組み合わせるか、といった Approximate Computing 技術の適用を配慮して行うことはより困難である。そこで、リトルウイングと三栄ハイテックスとが連携し、Approximate 演算を行うための FPGA IP 群をコンポーネントとして予め用意しておきそれを柔軟に活用可能にする環境を提供する。さらに、独自のフレームワークを使ってもらうのは難しいため、使い慣れたデファクトのフレームワークで本研究の技術を利用できる必要がある。そのため、デファクトになりつつある PyTorch 上で書いた深層学習モデルを自動的に複数 FPGA/GPU で実行可能にするための技術を開発に着手している。

また、現時点の顧客は AI アルゴリズム自体の開発 PoC が主流であることから、高速化および省電力化は将来的な課題となると考える。そのため、三栄ハイテックス既存の事業の 1 つである AI アルゴリズム開発を通じて、高性能化や省電力化を必要とする案件を探索し、本研究技術の適用案件を模索する。併せて、展示会などに出展した際は、統合システムの展示デモ等による認知と新規顧客の探索を行い、実用化・事業化を目指していく。

4.11.3 実用化・事業化の体制

リトルウイング社および三栄ハイテックス社は、本研究の研究開発と並行して AI 関連の案件を個別に請け負っている。現時点での顧客は AI アルゴリズム自体の開発 PoC や、その周辺のシステム開発が主流であり、高速化 & 省電力化は将来的な課題である。ただ、この中で高いレベルでの高性能化・省電力化を必要とする案件が今後増加すると考えられるため、その中で本研究技術の適用を模索していく。また、展示会での展示などで新規顧客の探索結果と併せていくことで、本研究適用による課題の解決を検討していく。

4.11.4 市場規模と経済効果

Approximate コンピューティング型サーバ・ストレージの製品ターゲット市場である、世界におけるデータセンタ利用の市場規模は、クラウド・ICT 向けサービスの普及に伴って、2014 年時点で 177.7 億ドル(約 1 兆 9,547 億円)、2020 年度には 302 億ドル(約 3 兆 3,220 億円)に延びると予測されている。

(出典: <https://www.soumu.go.jp/johotsusintokei/whitepaper/ja/h30/html/nd111330.html>)

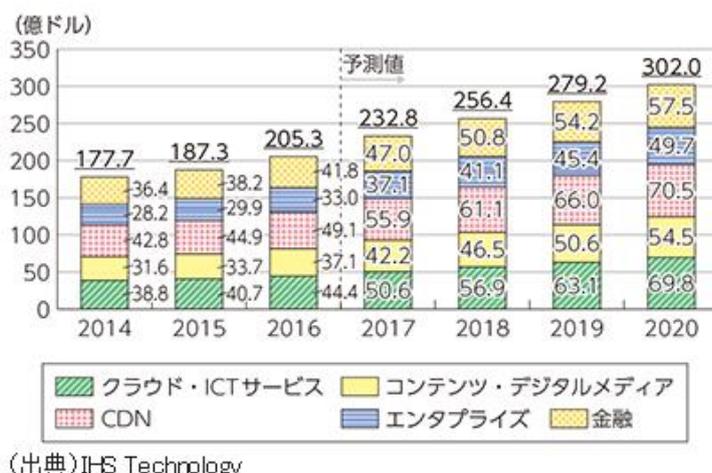


図 2-4.11.4-1 世界のデータセンター市場規模の推移及び予測(カテゴリ別)

また、世界におけるデータセンタ向けデバイスの市場予測では、2017 年には 77 億 1,890 万ドル(約 8,470 億円)と評価され、2025 年には 156 億 4,110 万ドル(約 1 兆 7,160 億円)に達すると予測されている(出典: <https://www.alliedmarketresearch.com/data-center-chip-market>)。世界規模で見てもデータセンタ向けのデバイスが市場の約 4 分の 1 を占めていることから、仮に、国内の市場規模が世界市場の 10 分の 1 ほどでも約 1,700 億円規模になる。今後もディープラーニングの発展が進むことを鑑みても、データセンタ向けのデバイスに対するアプローチは非常に大きな効果につながると思われる。

4.11.5 ベンチマーク

現在の分散処理フレームワークは、GPU については比較的容易に利用可能であるが、FPGA の利用は GPU に比べると普及していない。また、現在のミドルウェアの多くについては、推論処理は可能なものの、学習処理に FPGA を活用することは実現できていない。また、Approximate コンピューティング技術を利用できるツールはまだ一般的ではない。

現在、FPGA でニューラルネットワーク(ディープラーニング)における IP やライブラリ及び開発環境を提供・販売している企業はいくつかあるが、いずれも FPGA 上で推論を実行することに特化している。また、ターゲットとしている市場も、家電製品や建設機械(産業機器)、小型機械などエッジへの組み込みがメインとなっている。本研究発表はデータセンタを市場ターゲットとしており、三菱ハイテックス社は様々なニューラルネットワークの学習と推論を実行できる FPGA-IP の開発を行っている。特に、学習部を含む FPGA-IP の開発は前例のないものであり、競合にあたる企業が非常に少ないと考えている。そのため、売り上げ(利益)という観点でベンチマークを考えた際に、他の企業との具体的な比較はできないが、データセンタの市場規模が拡大していることを併せて考えても、FPGA-IP 販売の事業化は、弊社にとって利益拡大だけでなく、既存事業における新規顧客の獲得などより有益なものになっていくと思われる。

4.11.6 事業化までのマイルストーン

2022 年度までは引き続き開発と階層間との連携動作試験を行っていく。また、2023 年度から 2028 年度の間は Approximate コンピューティング市場の開拓に向けた探索作業をリトルウイングと協力しながら行い、並行して FPGA-IP の先行販売も模索する。本研究期間(2022 年度)終了後、実用化に向けた研究開発枠への移行を目指している。研究開発枠では、本探索研究で確立したハード・ソフト技術を盛り込み、データセンタ向け Approximate コンピューティング・イン不揮発性メモリサーバを開発する。2029 年度以前も FPGA-IP 販売や分散処理を含めた SI としての事業化を目指し、2029 年度にはメモリサーバの販売を見込んでいる。

4.12 物理ダイナミクスに基づく学習デバイスを備えた超高効率認知コンピューティングの研究開発における実用化・事業化の見通し（日本アイ・ビー・エム株式会社、東京大学）

4.12.1 概要

IoT 社会の進展に伴い、データセンター・ネットワーク・エッジにおける画像・音声・言語などの非構造化データ処理における技術革新が必要となっている。特に、エッジ・コンピューティングにおいては厳しい電力制約下での動作や高速処理などの高効率性、リアルタイム性、少量データによるオンライン学習などクラウド側とは大きく異なる性能要求があるにも関わらず、本来クラウド側の技術である深層学習や GPU アクセラレーションなどの技術をエッジ側に展開する例が多い。一方、本提案技術の物理リザーバー・コンピューティングはクラウド側・エッジ側双方において非構造化データを高効率で処理でき、その基本構造を変えることなく広範なタスクに応用可能であるという特長をもつ。従って、エッジ・コンピューティングにおいては、従来のアプローチに対して光やスピンによる物理リザーバーコンピューティングに高い優位性がある。

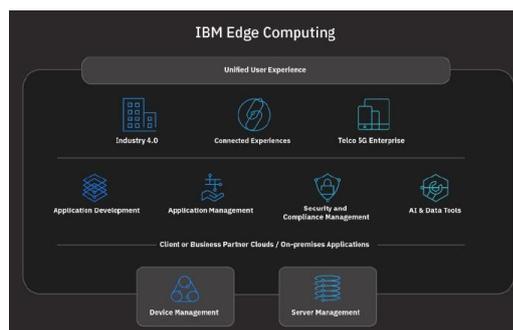
そこで、エッジコンピューティングにおける Proof-of-Concept デモを通して、実用化・事業化を目指す。具体的には、光の高速性を利用した5G・光ネットワークにおけるネットワーク内機械学習処理やスピンの低消費電力性を活かした M2M 上の機械学習処理等のエッジ・コンピューティングへの応用を幅広く探る。

4.12.2 実用化・事業化への課題と対応策

エッジ・コンピューティングはその技術領域が極めて多岐にわたることから、1 社でソリューションを構築することは困難である。したがって、テレコム事業者や IoT 事業者と連携し、具体的なサービスに向けた Proof-of-Concept シナリオを構築して行くことが必要となる。

4.12.3 実用化・事業化の体制

Watson IoT プラットフォーム、パートナー・エコシステムとの協業を通して要件やビジネスパートナーを探る。さらに、IBM Edge Computing Manager などの IBM 製品への組み込みを目指す。



4.12.4 市場規模と経済効果

機械学習市場全体としては年平均成長率44%の成長により、2022 年には 881 億ドルの市場規模に達すると見込まれる。一方で、大規模な機械学習モデルはその学習・推論過程において大量の電力を消費し、新たな二酸化炭素の排出源となる懸念もある。従って、本研究の目指す物理リザーバーコンピューティングによる高効率な認知データ処理技術は、従来の大規模機械学習に代わる選択肢を提供し、機械学習市場の発展に寄与すると期待される。

4.12.5 ベンチマーク

従来からリザバーコンピューティングのベンチマークタスクとしては、音声認識が一般的に行われてきたため、音声データの入手が比較的容易であり、従来技術との比較が可能である。したがって、本技術を評価するために、単語の発話識別によるベンチマークを実施する。

4.12.6 事業化までのマイルストーン

本研究における事業化へのマイルストーンは以下の通りである。

1. アプリケーションの選定

本研究開発において、音声認識以外にもネットワーク内機械学習や、エッジにおけるセキュリティなどの様々な応用に関して探索をおこない、各デバイスの特性が最も活かされるアプリケーションを選定する。

2. システム要件の明確化

本研究開発において、選定されたアプリケーションに対し、要求されるスループット、消費電力、デバイスサイズなどのシステム要件の明確化をおこなう。

3. 事業化パートナーの特定

成果の普及を通してパートナー企業候補を選定し、それらの企業との事業計画を策定する。

4. プロダクトレベルのシステム開発

本研究開発によって基礎技術開発を終了し、物理リザバー・コンピューティングの誤り率やデバイス動作の安定性などの項目について、製品レベルに要求される水準での検証を行う。

4.13 2028年に性能100倍を達成する汎用性の高い高性能計算機アーキテクチャとシステムソフトウェアの技術の探索における実用化・事業化の見通し（国内企業システムベンダー等）

4.13.1 概要

国内には、理研が運用するスーパーコンピュータ京、富岳を設計・製造し、同技術を使用した製品で事業化を行った企業である富士通を含め、富岳の次を請け負うことが可能なシステムベンダーが幾つか存在する。また、メモリ等のデバイス技術を開発する企業も存在する。これらの国内企業に加え国外（主に米国）の企業や研究所とも意見交換を行い、本課題で得られた知見を基に、将来における高性能計算機の実用化、事業化の道筋を模索している段階である。

4.13.2 実用化・事業化への課題と対応策

有望な要素技術を研究開発する国内企業はあるものの、実運用に耐える品質の製品化・システム化には長い道のりが必要となる。要素技術としては、例えば、デバイス製造技術、パッケージング技術、シミュレーション等による性能予測技術が挙げられる。また、富岳 Next のような新方式による次世代高性能計算機システムの構築に取り組む企業は少なく、産学で連携し、企業の観点での実現可能性の検討を行う必要がある。例えば、可能性のある新規アーキテクチャに対する実現可能性や、ソフトウェアのエコシステムを含めたシステム化の実現可能性について、企業自体も研究を行っているところではあるが、産学での連携によりそれを加速し、さらに事業化に繋げていく必要がある。

これに向けた対応策・取組として、以下を行っている。

- ・要素技術を研究開発する企業や国立研究所と意見交換
企業や研究所を訪問し、技術的な意見交換を実施。

意見交換企業・研究所：

米国 HPE（光インターコネクト技術）、富士通（高性能計算機システム、富岳）、
富士通セミコンダクタ（カーボンナノチューブメモリ）、
KIOXIA（NAND 型フラッシュメモリ）、
米国ローレンスバークレー研究所（新デバイスに対する性能予測、特化型計算等）、
米国アルゴンヌ国立研究所（CGRA コンパイラ・アーキテクチャ、特化型計算）、
AMD（一貫性維持リンクと DIMM I/F を有する chiplet）等

- ・産学間で必要な情報を共有し相乗効果を目指す。
 1. 次世代コンピューティングの最先端技術のロードマップやその性能パラメータの提供
 2. ロードマップや性能パラメータを参考に性能100倍達成のための性能推定
 3. アプリケーションの性能100倍達成するための数値目標の提供
 4. 企業のロードマップ作成や技術開発に寄与
- ・企業の参入障壁を低減する選択肢も準備
実績のある実装技術や CPU アーキとの Gap を抑制したアプローチ（McIM）も探索
Gap が原因でこぼれ落ちる市場規模を拾い上げ、企業の投資意欲を促進

4.13.3 実用化・事業化の体制

実用化・事業化の体制は、具体的に定まってははいない。

4.13.4 市場規模と経済効果

想定できる市場規模としては、HPC 市場(2020 年 280 億ドル)、データセンター(2020 年 3,000 億ドル)、FPGA 市場(2023 年 93 億ドル)の延びつつある市場が考えられ、これらを取り取ることができれば事業化の可能性は十分あり得る。また、McIM に関しては大容量のメモリに対応することで、HPC 向けプロセッサではカバーできないような領域の AI ユーザを取り込める可能性があり、その場合には、HPC 市場の 10 倍程度の規模が見込める。

4.13.5 ベンチマーク

HPC, データセンター・AI 等の想定市場におけるワークロードに対し性能評価を行うことで、潜在的な事業化の可能性や製品化した際のバリューを見積もれる可能性がある。これを行うには、そのような評価に長けた企業を連携して進めていく必要がある。

4.13.6 事業化までのマイルストーン

1. 国内企業との意見交換
2. 本研究課題への積極的参画を期待する企業との協議
3. 参画企業と、事業化を行う技術的ターゲットの絞り込み
4. 参画企業と、市場価値、事業化までのコストの見積り
5. 具体的な研究開発の開始

4.14 2028年に性能100倍を達成する汎用性の高い高性能計算機アーキテクチャとシステムソフトウェアの技術の探索「McIMの研究開発」における実用化・事業化の見通し

4.14.1 概要

Facebook社はSC19、HPCA'20などでグラフ解析やリコメンド処理(DLRM)の高速化など、同社のデータセンターワークロードの主要部分に関する高速化の研究開発を扇動している。事業規模が大きいため、自社特注のデータセンター構築を行う資金力も実力もある。現時点では双方に興味があることが確認できている段階。HPCA'20の会場にて当方の特任研究員が、Facebook社のAIインフラ研究責任者に、当方が不連続アクセスの高速化とDLRMの高速化に興味を持っていることをお伝えした際、グラフ解析の高速化への意思確認がなされた。その後、ISCA'20のFacebook社のNDP(RecNMP)の発表へのコメントの形で、当方の特任研究員がDIMM型のIrregular access用NDPのパイオニアで、ノウハウもあることをお伝えした段階にある。

4.14.2 実用化・事業化への課題と対応策

まだエミュレータの予算もついていない段階にあり、これを獲得し、実装し、説得力のある評価結果を得ることが課題である。それが成功すれば、重点アプリ二本柱であるリコメンドとグラフ解析を汎用的に加速する手段としてMcIMを将来ご採用いただける可能性はあると思われる。

4.14.3 実用化・事業化の体制

現時点では双方に興味があることが確認できている段階である。

4.14.4 市場規模と経済効果

AI系のユーザが欲しがると大容量メモリを搭載する構成にできるため、HPC市場の10倍程度の市場規模が見込める。

4.14.5 ベンチマーク

DLRMの高速化については同社独自のニアデータプロセッサRecNMPの研究を2020年6月に発表しているのがFacebook社が先行しているように一見見える。実機を作れば直面する問題が認識できていないことが読み取られ、試作経験も含め、DIMM上でのバンド幅向上技術などで当方は20年先行している。RecNMPは事実上Caffe2の特定の関数に専用化された回路なので応用範囲が狭い。McIMによるDLRMの高速化はRecNMPの専用回路をソフト的に実装することでも可能なので、応用範囲では大幅にMcIMが勝っている。先方はMcIM自体については何も知らない状況で、RecNMPには無くて当方にある加速要因がいくつかある。他にもNvidiaやIntelなどがそれぞれの現行製品ベースで案を出してくる状況なので、それらを現状で上回るか、ムーア則終焉時点で上回る伸び代を示す必要がある。

4.14.6 事業化までのマイルストーン

1. McIMエミュレータ用の予算獲得
2. McIMエミュレータの開発
3. McIMエミュレータ上でのDLRMやグラフ解析の評価
4. Facebook社への結果提示と本格的な協議・検討開始
5. 実装メーカーも交えた実用化への協議・検討開始

●特許論文等リスト（添付資料）

◎研究開発テーマ「実社会の事象をリアルタイム処理可能な次世代データ処理基盤技術の研究開発」

【論文】

番号	発表者	所属	タイトル	発表誌名、ページ番号	査読	発表年月
1	Yasuhiro Nakamura, Hideyuki Kawashima, Osamu Tatebe	筑波大学、慶應義塾大学	Integration of TicToc Concurrency Control Protocol with Parallel Write Ahead Logging Protocol	International Journal of Network Computing 9(2): 339-353 (2019)	有	2019/7
2	Harunobu Daikoku, Hideyuki Kawashima, Osamu Tatebe	筑波大学、慶應義塾大学	Skew-Aware Collective Communication for MapReduce Shuffling	IEICE Transactions on Information Systems 102-D(12): 2389-2399	有	2019/12
3	Kohei Hiraga, Osamu Tatebe, Hideyuki Kawashima	筑波大学、慶應義塾大学	Scalable Distributed Metadata Server Based on Nonblocking Transactions	Journal of Universal Computer Science, 26(1): 89-106	有	2020/1
4	Takayuki Tanabe, Takashi Hoshino, Hideyuki Kawashima, Osamu Tatebe	筑波大学、慶應義塾大学	An Analysis of Concurrency Control Protocols for In-Memory Database with CCBench	PVLDB (Proceedings of the VLDB Endowment) 13(13): 3531-3544 (2020).	有	2020/10

【外部発表】

(a) 学会発表・講演

番号	発表者	所属	タイトル	会議名	発表年月
1	神林 飛志	株式会社ノーチラス・テクノロジーズ	プロジェクトの概要	OLTP ユーザ会	2019/2
2	塩井 隆 円, 横田 治夫	東京工業大学	OLAP 用列指向データ構造への OLTP 用行指向データの変換方式 の検討	第 11 回データ工学と情報マネ ジメントに関するフォーラム	2019/3

番号	発表者	所属	タイトル	会議名	発表年月
3	諸岡 大輝, 塩井 隆円, Le Hieu Hanh, 横田 治夫	東京工業大学	複数コア環境におけるアクセス範囲を考慮した OLTP/OLAP 同時実行手法	第 11 回データ工学と情報マネジメントに関するフォーラム	2019/3
4	杉浦 健人	名古屋大学	データストリーム管理システムに関する再考	第 11 回データ工学と情報マネジメントに関するフォーラム	2019/3
5	高尾 大樹	名古屋大学	確率モデルに基づく近似的な耐障害性の保証	第 11 回データ工学と情報マネジメントに関するフォーラム	2019/3
6	杉浦 健人	名古屋大学	データベース管理システムにおける 3D TIN 管理の検討	情報処理学会第 81 回全国大会	2019/3
7	笠井 雄太	名古屋大学	大規模点群データ分析のためのデータベースの検討	情報処理学会第 81 回全国大会	2019/3
8	松本 拓海, 佐々木 勇和, 鬼塚 真	大阪大学	大域的・局所的データ分析を両立した効率的なフレームワーク	データ工学と情報マネジメントに関するフォーラム	2019/3
9	涌田 悠佑, 善明 晃由, 松本 拓海, 佐々木 勇和, 鬼塚 真	大阪大学, 株式会社サイバーエージェント	Secondary index を活用する NoSQL スキーマ推薦によるクエリ処理高速化	The 3rd cross-disciplinary Workshop on Computing Systems, Infrastructures, and Programming	2019/5
10	神林 飛志	株式会社ノーチラス・テクノロジーズ	プロジェクトの概要	産総研 IMPULSE コンソーシアム	2019/6
11	高尾 大樹	名古屋大学	センサストリーム処理のための近似的耐障害性保証	第 169 回データベースシステム・第 136 回情報基礎とアクセス技術合同研究発表会	2019/9
12	神林 飛志	株式会社ノーチラス・テクノロジーズ	Project Tsurugi (“劔”)の概要	db tech showcase 2019	2019/9
13	神林 飛志	株式会社ノーチラス・テクノロジーズ	PostgreSQL の皮を被った次世代 RDBMS - Project Tsurugi (劔) について	PostgreSQL Conference Japan 2019 基調講演	2019/11
14	高尾 大樹	名古屋大学	Approximate Fault Tolerance for Sensor Stream Processing	Australasian Database Conference 2020	2020/2
15	諸岡 大輝, 塩井 隆円, 引田 諭之, Le Hieu Hanh, 横田 治夫	東京工業大学	複数コア環境における HTAP を想定した OLTP 更新の OLAP への適用手法の検討・評価	第 12 回データ工学と情報マネジメントに関するフォーラム	2020/3

番号	発表者	所属	タイトル	会議名	発表年月
16	高尾 大樹	名古屋大学	チェックポイントリングを考慮した近似的耐障害性保証	第 12 回データ工学と情報マネジメントに関するフォーラム	2020/3
17	杉浦 健人	名古屋大学	並列ストリーム処理システムにおける DB を用いた内部状態の共有手法	第 12 回データ工学と情報マネジメントに関するフォーラム	2020/3
18	田中 玲吏	名古屋大学	RDBMS による 3D TIN データベース実装手法	情報処理学会第 82 回全国大会	2020/3
19	徳増 直紀	名古屋大学	メニーコアシステムにおける分散ストリーム処理システムの性能評価 - スループットに関する評価 -	情報処理学会第 82 回全国大会	2020/3
20	牧田 直樹	名古屋大学	メニーコアシステムにおける分散ストリーム処理システムの性能評価 - 遅延に関する評価 -	情報処理学会第 82 回全国大会	2020/3
21	葛木 優太, 伊藤 竜一, 中園 翔, 佐々木 勇和, 鬼塚 真	大阪大学, 日本電信電話株式会社	アボートの抑制を目的とするスレッド制御を用いたトランザクションへの資源割り当て	データ工学と情報マネジメントに関するフォーラム	2020/3
22	葛木 優太, 伊藤 竜一, 中園 翔, 佐々木 勇和, 鬼塚 真	大阪大学, 日本電信電話株式会社	アボートの抑制を目的とするスレッド制御を用いたトランザクションへの資源割り当て	The 4th cross-disciplinary Workshop on Computing Systems, Infrastructures, and Programming	2020/7
23	根本純、川島英之、遠山元道	慶應義塾大学	部分評価に基づくクエリコンパイラにおける SIMD 命令の活用	The 4th cross-disciplinary Workshop on Computing Systems, Infrastructures, and Programming	2020/7
24	四俣 徹, 藤原 紘子, 杉浦 健人, 石川 佳治, 神林 飛志, 埋金 進一, 川口 章, 佐藤 俊明	株式会社パスコ, 名古屋大学, 株式会社ノーチラス・テクノロジーズ	航空機ブリークカメラ撮影データからの 3D-TIN 高速作成	地理情報システム学会第 29 回学術研究発表大会	2020/10
25	神林 飛志	株式会社ノーチラス・テクノロジーズ	Project Tsurugi-中間報告	db tech showcase 2020	2020/11

(b) 新聞・雑誌等への掲載

番号	所属	発表内容	発表先	発表年月
1	株式会社ノーチラス・テクノロジーズ, 日本電気株式会社	本 PJ 概要紹介	日経 XTECH	2019/10/23
2	株式会社ノーチラス・テクノロジーズ, 日本電気株式会社	本 PJ 概要紹介	日経コンピュータ	2019/11/14
3	株式会社ノーチラス・テクノロジーズ, 日本電気株式会社	本 PJ 概要紹介	日本経済新聞電子版	2019/11/28

【受賞実績】

番号	発表者	所属	受賞種類	受賞内容	受賞年月
1	葛木 優 太, 伊藤 竜一, 中園 翔, 佐々木 勇和, 鬼塚 真	大阪大学, NTT	The 4th cross-disciplinary Workshop on Computing Systems, Infrastructures, and Programming において Outstanding Research Award を受賞	「アボートの抑制を目的とするス レッド制御を用いたトランザクシ ョンへの資源割り当て」の論文に関 して	2020/7
2	根本 潤, 川島 英 之, 遠山 元道	慶應義塾大学	The 4th cross-disciplinary Workshop on Computing Systems, Infrastructures, and Programming において Outstanding Research Award を受賞	「部分評価に基づくクエリコンパイ ラにおける SIMD 命令の活用」 の論文に関して	2020/7

◎研究開発テーマ「超電導パラメロン素子を用いた量子アニーリング技術の研究開発」

【特許】

特許件数 出願済 29 件

【論文】

番号	発表者	所属	タイトル	発表誌名、ページ番号	査読	発表年月
1	Yuxing He, Shiori Michibayashi, Naoki Takeuchi, Nobuyuki Yoshikawa	横浜国立大学	Sharp-selectivity in-line topology low temperature superconducting bandpass filter for superconducting quantum applications	Superconductor Science and Technology, Volume 33, Number 3	有	2020/2
2	Yuki Susa, Hidetoshi Nishimori	日本電気株式会社, 東京工業大学	Performance Enhancement of Quantum Annealing under the Lechner-Hauke-Zoller Scheme by Non-linear Driving of the Constraint Term	Journal of the Physical Society of Japan, Vol.89, No.4,	有	2020/3
3	Yasuharu Okamoto	日本電気株式会社	Finding a Maximum Common Subgraph from Molecular Structural Formulas through the Maximum Clique Approach Combined with the Ising Model	ACS Omega 2020, 5, 13064–13068	有	2020/5
4	Tomohiro Yamaji, Sota Kagami, A. Yamaguchi, Tetsuro Satoh, Kazuki Koshino, Hayato Goto, Lin Zhirong, Yasunobu Nakamura, Tsuyoshi Yamamoto	日本電気株式会社, 産業技術総合研究所, 理化学研究所, 医科歯科大, 株式会社東芝, 東京大学	Spectroscopic Observation of Crossover from Classical Durg Oscillator to Kerr Parametric Oscillator	Physical Review A 査読中 arXiv:2010.02621	有	2020/10

【外部発表】

(a) 学会発表・講演

番号	発表者	所属	タイトル	会議名	発表年月
1	山本 剛	日本電気株式会社	超伝導量子計算とパラメトリックデバイス	日本物理学会第 74 回年次大会	2019/3
2	西森 秀稔	東京工業大学	Quantum simulation of the Kibble-Zurek mechanism for the one-dimensional Ising model on the D-Wave machine	Seminar, 1Qbit, Canada	2019/4
3	西森 秀稔	東京工業大学	Quantum simulation of the Kibble-Zurek mechanism for the one-dimensional Ising model on the D-Wave machine	Seminar, D-Wave Systems Inc., Canada	2019/4
4	藤井 啓祐	大阪大学	NISQ 時代の量子コンピューティング	物性研究所スパコン共同利用・CCMS 合同研究会「計算物質科学の新展開」	2019/4
5	藤井 啓祐	大阪大学	NISQ 時代の量子コンピューティングと機械学習・量子化学への応用	量子コンピュータ&量子通信の最新動向と展望	2019/4
6	各務 惣太, 山道 智弘	日本電気株式会社	Dynamics of Josephson parametric oscillator with tunable Kerr nonlinearity	20 th Anniversary of superconducting qubits	2019/5
7	西森 秀稔	東京工業大学	Quantum Annealing: Current status and perspectives	ICT Research Initiative toward smart Society, China	2019/5
8	西森 秀稔	東京工業大学	量子コンピュータの今日と未来	新経営研究会イノベーションフォーラム	2019/5
9	藤井 啓祐	大阪大学	Applications of noisy-intermediate-scale quantum computing for machine learning and quantum simulation	20th Anniversary of Superconducting Qubits (SQ20th): Progress and Future Directions	2019/5
10	山本 剛	日本電気株式会社	Superconducting parametric devices	2019 Symposium on VLSI Technology	2019/6
11	各務 惣太, 山道 智弘	日本電気株式会社	Dynamics of Josephson parametric oscillator with large Kerr nonlinearity	Adiabatic quantum computing 2019	2019/6
12	西森 秀稔	東京工業大学	量子力学を使った計算の話	東工大、高校生のための先端科学技術フォーラム	2019/6

番号	発表者	所属	タイトル	会議名	発表年月
13	藤井 啓祐	大阪大学	Applications of noisy-intermediate-scale quantum computing for machine learning and quantum simulation	AQC2019	2019/6
14	西森 秀稔	東京工業大学	量子アニーリングの現状と展望	CRYPTREC シンポジウム 2019	2019/7
15	西森 秀稔	東京工業大学	量子アニーリング - 量子力学を使った計算の話 -	名古屋大学第 1 1 回 理学部コロキウム	2019/7
16	藤井 啓祐	大阪大学	NISQ 時代の量子コンピューティング : 量子・古典ハイブリッドアルゴリズム	量子イノベーション協創シンポジウム	2019/7
17	藤井 啓祐	大阪大学	量子コンピュータのためのソフトウェア	NICT オープンサミット 2019	2019/7
18	藤井 啓祐	大阪大学	NISQ 時代の量子コンピューティング	「先端ナノデバイス・材料テクノロジー第 151 委員会」令和元年度 第 2 回研究会	2019/7
19	西森 秀稔	東京工業大学	未来のコンピュータ ～量子コンピュータの礎を築く～	平成 31 年度全国理科教育大会	2019/8
20	西森 秀稔	東京工業大学	量子アニーリングを中心とした量子コンピュータ研究開発の現状と展望	第 42 回光通信研究会	2019/8
21	西森 秀稔	東京工業大学	量子アニーリングを中心とした量子コンピュータ研究開発の現状と展望	サイエンステクノフロンティアフォーラム・サイテックサロン	2019/8
22	西森 秀稔	東京工業大学	Quantum Computing by Quantum Annealing	SIAT Forum, Korea	2019/8
23	植田 圭, 戸川 望, 木村 晋二	早稲田大学	量子アニーリングエミュレータのためのデータ構造	情報処理学会 DA シンポジウム 2019	2019/8
24	西森 秀稔	東京工業大学	Performance enhancement of quantum annealing by non-traditional quantum driving	Japan-Netherlands Quantum Conference, Netherlands	2019/9
25	西森 秀稔	東京工業大学	量子アニーリングの理論と実装の現状	第 29 回 日本神経回路学会 全国大会	2019/9
26	藤井 啓祐	大阪大学	Methodologies for noisy intermediate-scale quantum (NISQ) computing for machine learning and quantum simulation	Japan-Netherlands Quantum Conference	2019/9
27	西森 秀稔	東京工業大学	Quantum Annealer as a Simulator of the 1d Transverse-Field Ising Model	East Asia Joint Symposium on Statistical Physics 2019, China,	2019/10

番号	発表者	所属	タイトル	会議名	発表年月
28	西森 秀稔	東京工業大学	Recent Developments in Quantum Annealing	Workshop on Selected Topics in Quantum Computation and Quantum Information	2019/10
29	西森 秀稔	東京工業大学	Acceleration of quantum annealing by non-traditional driving of quantum effects	International Workshop on Innovative Algorithm for Big Data, Japan, Invited talk	2019/10
30	藤井 啓祐	大阪大学	量子コンピュータが拓く未来	KEIS 量子コンピュータ講演会	2019/10
31	藤井 啓祐	大阪大学	State-of-the-art Quantum Computing Technology and Its Application for Machine Learning	The 1st AIRC-ISIR International Symposium	2019/10
32	西森 秀稔	東京工業大学	Quantum computing by quantum annealing	Tokyo Tech- IIT Guwahati Joint Workshop, Japan	2019/11
33	西森 秀稔	東京工業大学	量子アニーリングを中心とした量子コンピュータ研究開発の現状と展望 ～量子コンピュータは世界をどう変えるのか?～	アシストテクニカルフォーラム 2019	2019/11
34	西森 秀稔	東京工業大学	量子アニーリングを中心とした量子コンピュータ研究開発の現状と展望	UOS グループ関東支部例会	2019/11
35	河瀬 良亮、 藤井 啓祐	大阪大学	GPU を用いた量子ダイナミクスの高 速シミュレーション	電子情報通信学会 第 41 回量子情報技術 研究会(QIT41)	2019/11
36	山本 剛	日本電気株式会社	超伝導量子計算とパラメトリックデ バイス	第 5 回理研-産総研量子技術 イノベーション コア Workshop	2019/12
37	山道 智博	日本電気株式会社	高い Kerr 係数を持つ結合ジョセフ ソンパラメトリック発振器の測定	第 5 回理研-産総研量子技術 イノベーション コア Workshop	2019/12
38	渡辺 秀	日本電気株式会社	超電導パラメロン素子を用いた量 子アニーリングマシンのための三次元 実装構造の開発	第 5 回理研-産総研量子技術 イノベーション コア Workshop	2019/12
39	西森 秀稔	東京工業大学	量子アニーリングによる量子コンピ ュータの現状と展望	精密工学会 超精密加工専 門委員会 第 7 3 回研究会	2019/12
40	藤井 啓祐	大阪大学	Methodologies of noisy- intermediate-scale quantum computing for machine learning and quantum simulation	Topical Conference on Quantum Computing 2019	2019/12
41	藤井 啓祐	大阪大学	State-of-the-art quantum computing technology and quantum software	Moonshot International Symposium	2019/12

番号	発表者	所属	タイトル	会議名	発表年月
42	西森 秀稔	東京工業大学	量子アニーリングによる量子コンピュータ開発の現状と展望	蔵前工業会 新春講演会	2020/1
43	西森 秀稔	東京工業大学	量子アニーリングによる量子コンピュータ開発の現状と展望	暗号と情報セキュリティシンポジウム (SCIS2020)	2020/1
44	山本 剛	日本電気株式会社	超伝導量子計算とパラメトリックデバイス	第 8 回 CRAVITY シンポジウム	2020/2
45	西森 秀稔	東京工業大学	東工大研究ユニットフラッシュプレゼンテーション 量子コンピューティング研究ユニット	第 1 回東京工業大学 国際オープンイノベーションシンポジウム 2020	2020/2
46	西森 秀稔	東京工業大学	Quantum simulation of the Kibble-Zurek mechanism on D-Wave annealers	Meeting on Quantum Annealing of the LHZ Architecture and Related Topics	2020/2
47	藤井 啓祐	大阪大学	量子コンピュータ：宇宙最強のコンピュータへの挑戦	サイエンスカフェ 2019：計算機科学の最前線	2020/2
48	須佐 友紀, 西森 秀稔	日本電気株式会社, 東京工業大学	制約項の非線形ドライブによる LHZ 模型における量子アニーリングの効率向上	日本物理学会 第 75 回年次大会	2020/3
49	道林 詩織, 竹内 尚輝, 山梨 裕希, 吉川 信行	横浜国立大学	バイアス抵抗の削減による単一磁束量子マイクロ波スイッチの省電力化の検討	第 67 回応用物理学会 秋期学術講演会	2020/3
50	高川 佳大, 竹内 尚輝, 山梨 裕希, 吉川 信行	横浜国立大学	断熱量子磁束パラメロン回路を用いた位相判別回路の検討	第 67 回応用物理学会 秋期学術講演会	2020/3
51	西森 秀稔	東京工業大学	量子コンピュータ研究開発と日本の競争力強化	VISION2020	2020/8
52	西森 秀稔	東京工業大学	量子力学とそれを使った計算の話	東北大・理研 第 2 回連携ワークショップ 市民講演会	2020/9
53	高川 佳大, 吉川 信行, 竹内 尚輝, 山梨 裕希	横浜国立大学	断熱量子磁束パラメロン回路を用いた位相判別回路の感度向上方法の検討	第 81 回応用物理学会 秋季学術講演会	2020/9
54	道林 詩織, 竹内 尚輝, 山梨 裕希, 吉川 信行	横浜国立大学	可変振幅単一磁束量子マイクロ波スイッチの振幅制御特性の評価	第 81 回応用物理学会 秋季学術講演会	2020/9
55	藤井 啓祐	大阪大学	Applications of Noisy Intermediate-Scale Quantum Computer	2020 International Conference on Solid State Devices and Materials	2020/9
56	西森 秀稔	東京工業大学	量子アニーリングを中心とした量子コンピュータの現状と展望	第 39 回電子材料シンポジウム (EMS39)	2020/10

番号	発表者	所属	タイトル	会議名	発表年月
57	西森 秀稔	東京工業大学	Quantum simulation by quantum annealing	Conference on Quantum Annealing /AQC2020	2020/10
58	植田 圭, 戸川 望, 木村 晋二	早稲田大学	量子アニーリングシミュレータにおける疎行列表現方式の実行時間への影響	情報処理学会 量子ソフトウェア研究会	2020/10
59	藤井 啓祐	大阪大学	第三回ポストムーアを考える座談会～「量子コンピュータを知り、アーキテクチャを語ろう！」～	第 234 回 システム・アーキテクチャ研究発表会 (HotSPA2020)	2020/10
60	西森 秀稔	東京工業大学	量子アニーリングを中心とした量子コンピュータ研究開発の現状と展望	蔵前工業会兵庫県支部講演会	2020/11
61	西森 秀稔	東京工業大学	量子コンピュータ研究開発の現状と展望—量子アニーリングを中心として	日本国際工作機械見本市	2020/11
62	道林 詩織, 竹内 尚輝, 山梨 裕希, 吉川 信行	横浜国立大学	Power-controllable microwave switch using single-flux-quantum circuits	Applied Superconductivity Conference 2020	2020/11
63	高川 佳大, 竹内 尚輝, 山梨 裕希, 吉川 信行	横浜国立大学	Design and demonstration of a phase comparator using adiabatic quantum-flux-parametron logic	Applied Superconductivity Conference 2020	2020/11
64	宮崎 涼二	NEC	Spin representation of bifurcation-based quantum annealing with Kerr parametric oscillators	2021 APS March Meeting 発表予定	2021/3
65	Tomohiro Yamaji, Sota Kagami, A. Yamaguchi, Tetsuro Satoh, Kazuki Koshino, Hayato Goto, Lin Zhirong, Yasunobu Nakamura, Tsuyoshi Yamamoto	日本電気株式会社, 産業技術総合研究所, 理化学研究所, 医科歯科大, 株式会社東芝, 東京大学	Spectroscopic Observation of Crossover from Classical Durg Oscillator to Kerr Parametric Oscillator	2021 APS March Meeting 発表予定	2021/3

(b) 新聞・雑誌等への掲載

番号	所属	発表内容	発表先	発表年月
1	東京工業大学 西森 秀稔	科学の森：能力桁違い量子コンピューター開発競争激化、日本の巻き返しは	毎日新聞朝刊	2018/11
2	東京工業大学 西森 秀稔	量子コンピューター開発着々	河北新報	2019/1
3	東京工業大学 西森 秀稔	量子コンピューター基礎理論は日本発	高知新聞	2019/1
4	東京工業大学 西森 秀稔	「量子アニーリングマシン」はついに実用段階に達しようとしている	月間ニューメディア No.432	2019/1
5	東京工業大学 西森 秀稔	ゼロから分かる量子コンピューター Q&A	週間エコノミスト No.97-11	2019/3
6	東京工業大学 西森 秀稔	4年後、誰もが高性能コンピューターに手が届くように～「イジングマシン共通ソフトウェア基盤」開発順調	DG Lab Haus https://media.dglab.com/2019/03/14-ising-01/	2019/3
7	東京工業大学 西森 秀稔	量子コンピューター(Quantum Computer)	日経コンピュータ No.987	2019/4
8	東京工業大学 西森 秀稔	サイエンス 13年から論文引用急増	中国新聞	2019/4
9	東京工業大学 西森 秀稔	科学する人 「畑違い」の原理提唱	北国新聞	2019/4
10	東京工業大学 西森 秀稔	科学する人 「論理で完結」の数学好き	北国新聞	2019/4
11	東京工業大学 西森 秀稔	ホテル予約サイトの検索でも利用中 量子アニーリングの現状と活用例	DG Lab Haus https://media.dglab.com/2019/05/28-quantum-compute-01/	2019/5
12	東京工業大学 西森 秀稔	Ising Modelとアニーリングの考え方	マイナビニュース https://news.mynavi.jp/article/annealing-2/	2019/5
13	東京工業大学 西森 秀稔	科学する人 論文引用、一気に増加	北国新聞	2019/5
14	東京工業大学 西森 秀稔	科学する人 "畑違い"の提唱者/思いがけず扉開く	中部経済新聞	2019/5
15	東京工業大学 西森 秀稔	科学する人 講師バイトで話術鍛える/数学から理論物理学へ	中部経済新聞	2019/5
16	東京工業大学 西森 秀稔	科学する人 論文引用、一気に増加/退任後も研究続ける	中部経済新聞	2019/5
17	東京工業大学 西森 秀稔	科学 マイストーリー マシン 東北大に設置	河北新聞	2019/5
18	東京工業大学 西森 秀稔	科学する人 計算飛躍的に高速化 実用化向け研究今後も	福井新聞	2019/5
19	東京工業大学 西森 秀稔	科学する人 思いがけず扉開く	秋田さきがけ新聞	2019/6
20	東京工業大学 西森 秀稔	科学する人 バイトで話術鍛える	秋田さきがけ新聞	2019/6

番号	所属	発表内容	発表先	発表年月
21	東京工業大学 西森 秀稔	科学する人 論文引用、一気に増加	秋田さきがけ新聞	2019/6
22	東京工業大学 西森 秀稔	科学する人 思いがけず開いた扉	熊本日日新聞	2019/7
23	東京工業大学 西森 秀稔	量子コンピューティングは日本が世界をリードできる分野だ 連載・次世代計算機「量子アニーリング」の進展(1)	ニュースイッチ https://newswitch.jp/p/18251	2019/7
24	東京工業大学 西森 秀稔	量子コンピューティング「イジングマシン」が解決する課題(連載・次世代計算機「量子アニーリング」の進展(2))	ニュースイッチ https://newswitch.jp/p/18264	2019/7
25	東京工業大学 西森 秀稔	量子コンピュータって何? 動作の仕組みや開発ロードマップ、未来像を解説	CodeZin https://codezine.jp/article/detail/11616	2019/7
26	東京工業大学 西森 秀稔	科学技術政策 研究力の回復で経済成長を	読売新聞 https://www.yomiuri.co.jp/editorial/20190707-OYT1T50169/	2019/7
27	東京工業大学 西森 秀稔	グーグルなどが量子超越性実証に成功 従来型のスパコン上回る計算能力示す	毎日新聞	2019/10
28	東京工業大学 西森 秀稔	量子コンピューター「5~10年で実現」研究者、スパコン陣営に反論	毎日新聞	2019/10
29	東京工業大学 西森 秀稔	(革新の軌跡)量子計算機 基礎理論を提唱	日経産業新聞	2019/10
30	東京工業大学 西森 秀稔	東工大 西森 秀稔教授が語る「量子コンピューターの現在」、相次ぐ報道の考え方	ビジネス+IT https://www.sbbi.jp/article/cont1/37008	2019/11
31	東京工業大学 西森 秀稔	量子 2 強が競う門戸開放	日本経済新聞	2019/11
32	大阪大学 藤井 啓祐	「量子超越」社会変革も	日本経済新聞	2019/11
33	大阪大学 藤井 啓祐	革命技術生む超速計算	産経新聞	2019/11
34	日本電気株式会社	NEC、量子コンピューティングサービスを提供開始 アニーリングマシンを活用	IT media https://www.itmedia.co.jp/enterprise/articles/1912/23/news067.html	2019/12
35	日本電気株式会社	NEC、量子コンピューティング領域に本格参入	PC Watch https://pc.watch.impress.co.jp/docs/news/1225916.html	2019/12
36	大阪大学 藤井 啓祐	とにかくスパコン超え	東京新聞	2019/12
37	大阪大学 藤井 啓祐	とにかくスパコン超え	中日新聞	2019/12

番号	所属	発表内容	発表先	発表年月
38	大阪大学 藤井 啓祐	量子をめぐるエコシステム (特集 量子コンピュータ: 情報科学技術の新しいパラダイム)	現代思想	2020/1
39	東京工業大学 西森 秀稔	記者解説 量子コンピュータの胎動	朝日新聞	2020/2
40	大阪大学 藤井 啓祐	量子コンピュータを用いた量子超越実験	情報処理	2020/2
41	大阪大学 藤井 啓祐	Googleが作った量子コンピューター	日経サイエンス	2020/2
42	大阪大学 藤井 啓祐	Googleが実証を発表した「量子超越性」とは何か	科学雑誌ニュートン	2020/2
43	大阪大学 藤井 啓祐	35歳で阪大教授、藤井さんは量子ブームをどう見る	朝日新聞デジタル	2020/2
44	大阪大学 藤井 啓祐	量子コンピューターの胎動	朝日新聞	2020/2
45	東京工業大学 西森 秀稔	科学の森 複雑な計算高速処理 量子コンピュータ研究のいま (上)	毎日新聞	2020/3
46	東京工業大学 西森 秀稔	米中のはざままで 安保条約60年 第2部/2 「究極の暗号」中国が先行	毎日新聞	2020/3
47	大阪大学 藤井 啓祐	量子コンピュータの現状と可能性	生産と技術	2020/3
48	大阪大学 藤井 啓祐	量子コンピュータを用いた量子超越実験で示されたこと	日本物理学会誌	2020/3
49	東京工業大学 西森 秀稔	変革のデンソー 「化学反応」飛躍のカギに	日本経済新聞電子版及び中部版	2020/4
50	東京工業大学 西森 秀稔	スパコン、8億年かかる問題を1秒で解決…「量子コンピュータ」時代くる	韓国 中央日報	2020/5
51	東京工業大学 西森 秀稔	量子コン 応用研究が加速 最速の物流探る・金融界も注目	読売新聞	2020/5
52	東京工業大学 西森 秀稔	ルート計算、速度500倍 東工大など開発 「量子コンピューター脅かす」	毎日新聞	2020/6
53	東京工業大学 西森 秀稔	最適化計算機でシミュレーション 不完全素子でも理論実証	化学工業日報	2020/9
54	東京工業大学 西森 秀稔	量子アニーリングマシンで量子シミュレーション実行	科学新聞	2020/9
55	東京工業大学 西森 秀稔	量子コンピューター実用へ前進 スパコン超え 分子研が新物質開発	中日新聞	2020/9
56	東京工業大学 西森 秀稔	ノーベル賞週間迫る!日本人3年連続なるか? 有力候補者と研究成果をご紹介します	日刊工業新聞	2020/9
57	東京工業大学 西森 秀稔	D-Wave Systems unveils new hardware, business model in race to commercialize quantum computing	The Globe and Mail	2020/9

番号	所属	発表内容	発表先	発表年月
58	東京工業大学 西森 秀稔	東工大など、量子コンピューターで磁性体内の欠陥検証“実験装”	日刊工業新聞	2020/10
59	日本電気株式会社	カナダ D-Wave に 10 億円を投じた NEC、CTO が明かした狙い	日経クロステック https://xtech.nikkei.com/atcl/nxt/news/18/08157/	2020/11
60	東京工業大学 西森 秀稔	量子計算、勤務シフトや配送ルートにも 実用化の波	日本経済新聞	2020/11

(c) 展示会への出展

番号	所属	タイトル	展示会名	発表年月
1	日本電気株式会社	超電導パラメトロン素子を用いた量子アニーリングマシンの研究開発	経済産業省 政策シンポジウム 次世代コンピュータが実現する革新的ビジネス ～量子コンピュータ/アニーリングマシンが切り開く未来～	2019/5
2	日本電気株式会社, 産業技術総合研究所	超電導量子アニーリングマシン (NEDO ブース内)	CEATEC 2019	2019/10
3	日本電気株式会社	複雑な社会課題を解決する量子コンピュータ	C&C ユーザーフォーラム &iEXPO2019	2019/11
4	日本電気株式会社	量子技術を支えるナノテクノロジー	nano tech 2020 第 19 回 国際ナノテクノロジー総合展	2020/1
5	日本電気株式会社	Quantum computing activities in NEC, and collaboration with D-Wave	Qubits 2020	2020/9
6	日本電気株式会社	量子コンピューティングの可能性と、NEC の取り組み	第 1 回 量子コンピューティング EXPO【秋】	2020/10
7	日本電気株式会社	複雑な社会課題を解決する量子コンピューティングの活用	NEC Visionary Week	2020/11

◎研究開発テーマ「ディスアグリゲーション型次世代データセンタに適用する光電ハイブリッドスイッチを用いた高速低電力データ伝送システムの研究開発」

【特許】

番号	出願者	出願番号	国内 外国 PCT	出願日	状態	名 称	発明者
1	日本電信電話株式会社	特願 2020-002515	PCT	2020/1/24	出願中	導波路型光スイッチ回路およびその駆動方法	森脇 摂
2	産業技術総合研究所	特願 2020-024329	PCT	2020/2/17	出願中	電気光ハイブリッドスイッチネットワーク	松本怜典
3	富士通オプティカルコンポーネンツ株式会社	特願 2020-168252	国内	2020/10/5	出願中	受信装置及び受信方法	坂井良男

【論文】

番号	発表者	所属	タイトル	発表誌名、ページ番号	査読	発表年月
1	森 洋二郎, Mungun-Erdene Ganbold, 佐藤 健一	名古屋大学	Design and Evaluation of Optical Circuit Switches for Intra-Datacenter Networking	IEEE/OSA Journal of Lightwave Technology 2019 vol.37, No,2, P.330 - 337	有	2019/4

【外部発表】

(a) 学会発表・講演

番号	発表者	所属	タイトル	会議名	発表年月
1	佐藤 健一	名古屋大学	Role of Optical Circuit Switching and Realization Technologies for Datacenter Applicatio	PSC 2018	2018/9
2	Yojiro Mori, Mungun-Erdene Ganbold, Shu Namiki, Ken-ichi Sato	名古屋大学	Fast Optical Circuit Switch Using Monolithically Integrated Silicon-Photonic Space Switch and Wavelength-Tuneable Filter	ECOC 2018	2018/9

番号	発表者	所属	タイトル	会議名	発表年月
3	Mungun-Erdene Ganbold, 森 洋二郎, 佐藤 健一	名古屋大学	Performance evaluation of large-scale optical circuit switch for data centers	電子情報通信学会光通信方式研究会	2019/2
4	才田 隆志	光電子融合基板技術研究所	ディスプレイ型次世代データセンタに適用する光電ハイブリッドスイッチを用いた高速低電力データ伝送システムの研究開発	平成 30 年度光産業技術シンポジウム	2019/2
5	Truong Thao Nguyen	産業技術総合研究所	On the feasibility of Optical Circuit Switching for Distributed Deep Learning	PHOTONICS: Photonics-Optics Technology Oriented Networking, Information, and Computing Systems	2019/11
6	佐藤 健一	産業技術総合研究所	通信技術の進展 ーアーキテクチャの視点とネットワークの研究開発ー	第 33 回 光通信システムシンポジウム	2019/12
7	佐藤 健一	産業技術総合研究所	Role of Optical Technologies to Compensate the End of Moore's Law	IEEE 2019 The 2nd World Symposium on Communication Engineering (WSCE 2019)	2019/12
8	森 洋二郎, 長谷川 浩, 佐藤 健一	名古屋大学	波長分割多重および空間分割多重を用いた大容量光スイッチ	光通信システム研究会 (OCS)	2020/1
9	高野 了成, 清水 敏行, 岡崎 史裕, 石井 紀代, 並木 周, 佐藤 健一	産業技術総合研究所	Fast Control Plane Mechanism for an Optical and Electrical Hybrid Switch Network	Open Compute Project Future Technology Symposium	2020/3
10	佐藤 健一	産業技術総合研究所	Design and Performance of Optical Switching Technologies for Data Center Networks	OFC2020	2020/3
11	森脇 撰	光電子融合基板技術研究所	Fastest Switching of 84 us at Silica-based PLC Switch	OFC2020	2020/3
12	佐藤 健一	産業技術総合研究所	Design and Performance of Large Port Count Optical Switches for Intra Data Centre Application	International Conference on Transparent Optical Network 2020 (ICTON 2020)	2020/7
13	森脇 撰	光電子融合基板技術研究所	石英系 PLC スイッチにおけるスイッチング時間短縮	フォトニックネットワーク研究会	2020/8

番号	発表者	所属	タイトル	会議名	発表年月
14	本田 瑛士	名古屋大学	空間分割多重を用いたデータセンタ内光スイッチの性能評価	電子情報通信学会 ソサイエティ大会	2020/9
15	本田 瑛士	名古屋大学	Evaluation on High-Throughput Optical Circuit Switch for Intra-Datacenter Networks Based on Spatial Super-Channels	OptoElectronics and Communications Conference (OECC)	2020/10

(b) 展示会への出展

番号	所属	タイトル	展示会名	発表年月
1	光電子融合基板技術研究所	ディスアグリゲーション型次世代データセンタに適用する光電ハイブリッドスイッチを用いた高速低電力データ伝送システムの研究開発	インターオプト 2018	2018/10
2	光電子融合基板技術研究所	次世代データセンタ向け低消費電力スイッチシステムの開発 ～光電ハイブリッドスイッチシステム～	インターオプト 2020	2020/1

◎研究開発テーマ「イジングマシン共通ソフトウェア基盤の研究開発」

【論文】

番号	発表者	所属	タイトル	発表誌名、ページ番号	査読	発表年月
1	関 優也, 川畑 史郎	産業技術総合研究所	量子コンピュータと量子アニーリングマシンによる量子シミュレーション	数理科学 No. 667 (2019) 40-46	有	2019/1
2	Yang Wei Koh、西森 秀稔	東京工業大学	Reduction of the energy-gap scaling by coherent catalysis in models of quantum annealing	Physical Review A 101, 052304	有	2020/5

【外部発表】

(a) 学会発表・講演

番号	発表者	所属	タイトル	会議名	発表年月
1	河原林 健一	国立情報学研究所	疎グラフのアルゴリズム	第 11 回 Web とデータベースに関するフォーラム	2018/9
2	河原林 健一	国立情報学研究所	組合せ最適化問題に対する現代アルゴリズム	第 12 回アクセラレーション技術発表討論会「量子コンピュータ」電子情報通信学会	2019/1
3	竹原 康太, 於久 太祐, 松田 佳希, 田中 宗, 戸川 望	早稲田大学, 株式会社フィクスターズ	SA ベースのイジングマシンにより巡回セールスマン問題を高速解法するための多種軽量係数試行法	SA ベースのイジングマシンにより巡回セールスマン問題を高速解法するための多種軽量係数試行法	2019/3
4	戸川 望	早稲田大学	早稲田大学におけるユーザ企業ハブ構築と基盤ソフトウェア開発	経済産業省シンポジウム「次世代コンピュータが実現する革新的ビジネス」	2019/5
5	Kentaro Imafuku	産業技術総合研究所	Reconstruction of Model for Unknown Probabilistic Phenomena by Quantum Annealing	20th Anniversary of Superconducting Qubit	2019/5
6	Kota Takehara, Daisuke Oku, Yoshiki Matsuda, Shu Tanaka, and Nozomu Togawa	早稲田大学, 株式会社フィクスターズ	A Consideration on Multiple Coefficients Trial Method to Solve Traveling Salesman Problem for Simulated-Annealing-Based Ising Machine	Adiabatic Quantum Computing Conference (AQC-19)	2019/6

番号	発表者	所属	タイトル	会議名	発表年月
7	Daisuke Oku, Shu Tanaka, and Nozomu Togawa	早稲田大学	A Consideration on Multiple Coefficients Trial Method to Solve Traveling Salesman Problem for Simulated-Annealing-Based Ising Machine	Adiabatic Quantum Computing Conference (AQC-19)	2019/6
8	Tatsuhiko Shirai, Shu Tanaka, and Nozomu Togawa	早稲田大学	A Theoretical Model for Tuning of Embedding Algorithm in Ising Machines	Adiabatic Quantum Computing Conference (AQC-19)	2019/6
9	Kentaro Imafuku	産業技術総合研究所	Quantum Tomography based on Quantum Annealing Computation	Adiabatic Quantum Computing Conference (AQC-19)	2019/6
10	多和田 雅師, 田中 宗, 戸川 望	早稲田大学	低密度パリティ検査符号復号問題を制約なし二次形式二値変数最適化問題に変換した解法	情報処理学会 DA シンポジウム	2019/8
11	Kota Takehara, Daisuke Oku, Yoshiki Matsuda	早稲田大学, 株式会社フィックスターズ	A Multiple Coefficients Trial Method to Solve Combinatorial Optimization Problems for Simulated-annealing-based Ising Machines	IEEE International Conference on Consumer Electronics in Berlin (ICCE-Berlin)	2019/9
12	関 優也, 松崎 雄一郎, 川畑 史郎	産業技術総合研究所	量子アニーリングを用いた励起状態探索	日本物理学会 2019 年秋季大会	2019/9
13	関 優也, 松崎 雄一郎, 川畑 史郎	産業技術総合研究所	量子アニーリングを用いた励起状態探索	日本物理学会 2019 年秋季大会	2019/9

番号	発表者	所属	タイトル	会議名	発表年月
14	Kensuke Tamura, Tatsuhiko Shirai, Hosho Katsura, Shu Tanaka, and Nozomu Togawa	早稲田大学, 東京大学	Performance Comparison of Integer Encoding Methods in Ising Machines	Deep Learning and Physics (DLAP2019)	2019/10
15	Yuya Seki	産業技術総合研究所	Spin representation of problems and approach using quantum annealing	The 5th International Workshop on Innovative Algorithms for Big Data	2019/10
16	Yuya Seki, Matsuzaki Yuichiro, and Shiro Kawabata	産業技術総合研究所	Excited state search by quantum annealing	理研-産総研 第5回量子技術イノベーションコア Workshop	2019/12
17	Shu Tanaka, Yoshiki Matsuda, and Nozomu Togawa	早稲田大学, 株式会社フィックスターズ	Theory of Ising Machines and a Common Software Platform for Ising Machines	IEEE/ACM Asia South Pacific Design Automation Conference 2020 (ASP-DAC 2020)	2020/1
18	Masashi Tawada, Shu Tanaka, and Nozomu Togawa	早稲田大学	A New LDPC Code Decoding Method: Expanding the Scope of Ising Machines	International Conference on Consumer Electronics 2020 (ICCE-2020)	2020/1
19	田中 宗, 戸川 望	早稲田大学	イジングマシン分野の研究開発の現状と今後 ～ハード・ソフト・アプリケーション・理論～	2020年電子情報通信学会総合大会	2020/3
20	白井 達彦, 田中 宗, 戸川 望	早稲田大学	温度効果を用いたイジングマシンにおける埋込アルゴリズムの理論	2020年電子情報通信学会総合大会	2020/3
21	田村 健祐, 白井 達彦, 桂 法称, 田中 宗, 戸川 望	早稲田大学, 東京大学	イジングマシンにおける整数バイナリ変換の性能比較	日本物理学会第75回年次大会	2020/3

番号	発表者	所属	タイトル	会議名	発表年月
22	Yuya Seki, Matsuzaki Yuichiro, and Shiro Kawabata	産業技術総合研究 所	Excited-state search by quantum annealing	APS march meeting 2020	2020/3
23	松田 佳希	株式会社フィックス ターズ	イジングマシンにおける共通ソフトウ ェア基盤開発	2020 年電子情報通信学会総 合大会	2020/3
24	高田 淳司, 高橋 俊輔	株式会社ネクスティエ レクトロニクス, 豊田 通商株式会社	イジングマシン分野の研究開発の現 状と今後 ～イジングマシン共通ソフ トウェア基盤の開発加速を意図した 評価データセットおよび環境の整備～	2020 年電子情報通信学会総 合大会	2020/3
25	粟島 亨, 高橋 俊輔	豊田通商株式会社	イジングマシン分野の研究開発の現 状と今後 ～イジングマシンに関する 豊田通商の取り組みと狙い, および アカデミアへの期待～	2020 年電子情報通信学会総 合大会	2020/3
26	今福 健太 郎	産業技術総合研究 所	量子アニーリングを用いた量子トモグラ フィーについて	西森秀稔研究室セミナー	2020/6
27	Y. Matsuzaki, H. Hakoshim a, K. Sugisaki, Y. Seki, S. Kawabata	産業技術総合研究 所	Direct estimation of the energy gap between the ground state and excited state with quantum annealing	International Conference on Solid State Devices and Materials 2020 (SSDM2020)	2020/9
28	坂倉 佑季, 工藤 和恵, 白井 達彦, 田中 宗, 戸川 望	早稲田大学	アニーリングに基づくアルゴリズムによる 画像の多値分類	第 23 回情報論的学習理論 ワークショップ (IBIS2020)	2020/10
29	佐藤 由佳, 工藤 和恵, 白井 達彦, 田中 宗, 戸川 望	早稲田大学	アニーリングマシンを用いた乗り合いの マッチング最適化	第 23 回情報論的学習理論 ワークショップ (IBIS2020)	2020/10
30	朝岡 日向 子, 工藤 和恵, 白井 達彦, 田中 宗, 戸川 望	早稲田大学	辞書学習を利用した画像解析	第 23 回情報論的学習理論 ワークショップ (IBIS2020)	2020/10
31	白井 達彦, 田中 宗, 戸川 望	早稲田大学	温度効果に基づくイジング計算機に おける埋込アルゴリズム	情報処理学会研究報告	2020/10

(b) 新聞・雑誌等への掲載

番号	所属	タイトル	掲載誌名	発表年月
1	東京工業大学	「量子アニーリングマシン」はついに実用段階に達しようとしている	月間ニューメディア誌	2019/1
2	早稲田大学	4年後、誰もが高性能コンピューターに手が届くように～	DGLAB HAUS	2019/3
3	東京工業大学	ゼロから分かる量子コンピューターQ&A	週間エコノミスト誌	2019/3
4	東京工業大学	科学する人 「論理で完結」の数学好き	北国新聞	2019/4
5	東京工業大学	科学する人 「畑違い」の原理提唱	北国新聞	2019/4
6	東京工業大学	サイエンス 13年から論文引用急増	中国新聞	2019/4
7	東京工業大学	量子コンピューター(Quantum Computer)	日経コンピュータ誌	2019/4
8	東京工業大学	How quantum computers are transforming travel	Engineering and Technology	2019/4
9	早稲田大学	「量子コン」民間活用を支援…超高速計算で効率化	読売新聞	2019/5
10	東京工業大学	科学する人 計算飛躍的に高速化 実用化向け研究今後も	福井新聞	2019/5
11	東京工業大学	科学 マイストーリー マシン 東北大に設置	河北新聞	2019/5
12	東京工業大学	科学する人 論文引用、一気に増加/退任後も研究続ける	中部経済新聞	2019/5
13	東京工業大学	科学する人 講師バイトで話術鍛える/数学から理論物理学へ	中部経済新聞	2019/5
14	東京工業大学	科学する人 "畑違い"の提唱者/思いがけず扉開く	中部経済新聞	2019/5
15	東京工業大学	科学する人 論文引用、一気に増加	北国新聞	2019/5
16	東京工業大学	科学する人 論文引用、一気に増加	秋田さきがけ新聞	2019/6
17	東京工業大学	科学する人 バイトで話術鍛える	秋田さきがけ新聞	2019/6
18	東京工業大学	科学する人 思いがけず扉開く	秋田さきがけ新聞	2019/6
19	早稲田大学	量子コンピューティング、早大が開発する「共通ソフトウェア基盤」の役割	ニュースイッチ	2019/7
20	早稲田大学	子コンピューティング「イジングマシン」が解決する課題	ニュースイッチ	2019/7
21	東京工業大学	科学する人 思いがけず開いた扉	熊本日日新聞	2019/7

番号	所属	タイトル	掲載誌名	発表年月
22	東京工業大学	社説 科学技術政策 研究力の回復で経済成長を	読売新聞	2019/7
23	東京工業大学	グーグルなどが量子超越性実証に成功 従来型のスパコン上回る計算能力示す	毎日新聞	2019/10
24	東京工業大学	量子コンピューター「5～10年で実現」研究者、スパコン陣営に反論	毎日新聞	2019/10
25	東京工業大学	(革新の軌跡)量子計算機 基礎理論を提唱	日経産業新聞	2019/10
26	東京工業大学	量子2強が競う門戸開放	日本経済新聞	2019/11
27	東京工業大学	記者解説 量子コンピューターの始動	朝日新聞	2020/2
28	東京工業大学	米中のはざまで 安保条約60年第2部／2「究極の暗号」中国が先行	毎日新聞	2020/3
29	東京工業大学	科学の森 複雑な計算高速処理 量子コンピューター研究のいま（上）	毎日新聞	2020/3
30	東京工業大学	Fujitsu's CMOS Digital Annealer Produces Quantum Computer Speeds	IEEE Spectrum	2020/3
31	東京工業大学	変革のデンスー「化学反応」飛躍のカギに	日本経済新聞電子版及び中部版	2020/4
32	東京工業大学	Quantum Information Technologies: Approaches, Use Cases and Metrics	EETimes	2020/4
33	東京工業大学	量子コン 応用研究が加速 最速の物流探る・金融界も注目	読売新聞	2020/5
34	東京工業大学	スパコン、8億年かかる問題を1秒で解決…「量子コンピューター」時代くる	韓国 中央日報	2020/5
35	東京工業大学	ルート計算、速度500倍 東工大など開発 「量子コンピューター脅かす」	毎日新聞	2020/6

◎研究開発テーマ「未来共生社会にむけたニューロモルフィックダイナミクスのポテンシャルの解明」

【特許】

番号	出願者	出願番号	国内 外国 PCT	出願日	状態	名 称	発明者
1	株式会社日立製作所	特願 2020-024630	国内	2020/2/17	出願	リザーバー計算機	大島 俊
2	大阪大学	特願 2020-049840	国内	2020/3/19	調査中	流路式触覚センサ	石原 尚, 他4名

【論文】

番号	発表者	所属	タイトル	発表誌名、ページ番号	査読	発表年月
1	Kohei Nakajima, Taichi Haruna	The University of Tokyo	Spatiotemporal dynamics driven by the maximization of local information transfer	New Journal of Physics, 21(1), 013034.	有	2019/1
2	Jihoon Park, Koki Ichinose, Yuji Kawai et al.	Osaka University	Macroscopic Cluster Organizations Change the Complexity of Neural Activity	Entropy, 21(2), 214.	有	2019/2
3	Kohei Nakajima, Keisuke Fujii, Makoto Negoro et al.	The University of Tokyo	Boosting computational power through spatial multiplexing in quantum reservoir computing	Physical Review Applied, 11(3), 034021.	有	2019/3
4	Sumito Tsunegi, Tomohiro Taniguchi, Kohei Nakajima et al.	National Institute of Advanced Industrial Science and Technology	Physical reservoir computing based on spin torque oscillator with forced synchronization	Applied Physics Letters, 114(16) 164101.	有	2019/4
5	鹿山 敦至, 矢田 祐一郎, 高橋 宏知	東京大学	神経細胞の分散培養系における集団同期発火パターンとネットワーク構造の発達	電気学会論文誌 C 電子情報システム部門誌, 139(5), 570-578.	有	2019/5
6	三田 毅, Douglas Bakkum・Urs Frey 等	東京大学	高密度 CMOS アレイ上の分散培養系における活動電位波形に基づく興奮性及び抑制性神経細胞の分類	電気学会論文誌 C 電子情報システム部門誌, 139(5), 615-624.	有	2019/5

番号	発表者	所属	タイトル	発表誌名、ページ番号	査読	発表年月
7	石津 光太郎, 白松 (磯口) 知世, 小河原 康一 等	東京大学	ラットの聴覚タスク中のマイクロ皮質脳波計測	電気学会論文誌 C 電子情報システム部門誌 139(5), 625-631.	有	2019/5
8	Atsushi Kayama, Yuichiro Yada, Hirokazu Takahashi	The University of Tokyo	Development of network structure and synchronized firing patterns in dissociated culture of neurons	Electronics and Communications in Japan, 102(9), 3-11.	有	2019/7
9	高橋 宏知	東京大学	エンジニアのための脳科学のすすめ	電子情報通信学会誌, 102(9), 881-888.	有	2019/9
10	Tomohiro Taniguchi, Nozomi Akashi, Hirofumi Notsu et al.	National Institute of Advanced Industrial Science and Technology	Chaos in nanomagnet via feedback current	<i>Physical Review B</i> , 100: 174425	有	2019/11
11	常木 澄人, 谷口 知大, 三輪 真嗣 等	産業技術総合研究所	スピントルク発振器を用いた物理リザバー計算	日本磁気学会学会誌, No. 14, Vol. 6	有	2019/12
12	中嶋 浩平	東京大学	物理リザバー計算の射程—ソフトロボットを例に	システム/制御/情報, 63(12), 505-511.	有	2019/12
13	Terufumi Yamaguchi, Nozomi Akashi, Kohei Nakajima et al.	National Institute of Advanced Industrial Science and Technology	Synchronization and chaos in spin torque oscillator with perpendicularly magnetized free layer	Physics Review B, 100(22), 224422.	有	2019/12
14	Taichi Haruna, Kohei Nakajima	Tokyo Woman's Christian University	Optimal short-term memory before the edge of chaos in driven random recurrent networks	Physical Review E, 100(6), 062312.	有	2019/12
15	Hirokazu Takahashi	The University of Tokyo	Darwinian computation with functional map in auditory cortex	Acoustical Science and Technology, 41(1), 39-47.	有	2020/1

番号	発表者	所属	タイトル	発表誌名、ページ番号	査読	発表年月
16	Tomohiro Taniguchi	National Institute of Advanced Industrial Science and Technology	Synchronization and chaos in spin torque oscillator with two free layers	AIP Advances, 10(1), 015112.	有	2020/1
17	Terufumi Yamaguchi, Sumito Tsunegi, Tomohiro Taniguchi	National Institute of Advanced Industrial Science and Technology	Phase estimation of spin-torque oscillator by nonlinear spin-torque diode effect	Japanese Journal of Applied Physics, 59(2), 020903.	有	2020/1
18	Takuma Tanaka, Kohei Nakajima, Toshio Aoyagi	Shiga University	Effect of recurrent infomax on the information processing capability of input-driven recurrent neural networks	Neuroscience Research, (in press).	有	2020/2
19	Yutaro Ishida, Hakaru Tamukoh	Kyushu Institute of Technology	Semi-Automatic Dataset Generation for Object Detection and Recognition and its Evaluation on Domestic Service Robots	Journal of Robotics and Mechatronics, 32(1), 245-253.	有	2020/2
20	Mizuka Komatsu, Takaharu Yaguchi, Kohei Nakajima	Kobe University	Algebraic approach towards the exploitation of "softness": the input-output equation for morphological computation	The International Journal of Robotics Research, (in press).	有	2020/3
21	Tomoyo Isoguchi Shiramatsu, Hirokazu Takahashi	The University of Tokyo	Mismatch-negativity (MMN) in animal models: Homology of human MMN?	Hearing Research, (in press)	有	2020/3
22	窪田 智之, 中嶋 浩平, 高橋 宏知	東京大学	1次視覚野の過渡ダイナミクスの推定	電気学会論文誌 C 電子情報システム部門誌, 140(7), 723-729.	有	2020/3
23	Shota Hamaguchi, Takumi Kawasetsu, Takato Horii et al.	Mie University	Soft Inductive Tactile Sensor using Flow Channel Enclosing Liquid Metal	IEEE Robotics and Automation Letters, 5(3), 4028-4034.	有	2020/4

番号	発表者	所属	タイトル	発表誌名、ページ番号	査読	発表年月
24	Shogo Yonekura, Yasuo Kuniyoshi	The University of Tokyo	Spike-induced ordering: Stochastic neural spikes provide immediate adaptability to the sensorimotor system	Proceedings of the National Academy of Science	有	2020/4
25	Kohei Nakajima	The University of Tokyo	Physical reservoir computing---an introductory perspective	Japanese Journal of Applied Physics, 59(6), 060501.	有	2020/5
26	Yutaro Ishida, Takashi Morie, Hakaru Tamukoh	Kyushu Institute of Technology	A hardware intelligent processing accelerator for domestic service robots	Advanced Robotics, 34(14), 947-957.	有	2020/6
27	Hirokazu Takahashi, Tomoyo Isoguchi Shiramatsu, Rie Hitsuyu et al.	The University of Tokyo	Vagus nerve stimulation (VNS)-induced layer-specific modulation of evoked responses in the sensory cortex of rats	Scientific Reports, 10(1), 8932.	有	2020/6
28	Katsuma Inoue, Kohei Nakajima, and Yasuo Kuniyoshi	The University of Tokyo	Designing spontaneous behavioral switching via chaotic itinerancy	Science Advances, (in press)	有	2020/11
29	Terufumi Yamaguchi, Nozomi Akashi, Kohei Nakajima et al.	National Institute of Advanced Industrial Science and Technology	Step-like dependence of memory function on pulse width in spintronics reservoir computing	Scientific Reports, (in press)	有	2020/11
30	Kazutoshi Tanaka, Shih-Hsin Yang, Yuji Tokudome et al.	OMRON SINIC X Corporation	Flapping-Wing Dynamics as a Natural Detector of Wind Direction	Advanced Intelligent Systems, (in press)	有	2020/11

番号	発表者	所属	タイトル	発表誌名、ページ番号	査読	発表年月
31	Yuichiro Tanaka, Takashi Morie, and Hakaru Tamukoh	Kyushu Institute of Technology	An amygdala-inspired classical conditioning model on FPGA for home service robots	IEEE Access (in press)	有	2020
32	Ichiro Kawashima, Takashi Morie, and Hakaru Tamukoh	Kyushu Institute of Technology	FPGA implementation of hardware-oriented chaotic Boltzmann machines	IEEE Access (in press)	有	2020

【外部発表】

(a) 学会発表・講演

番号	発表者	所属	タイトル	会議名	発表年月
1	浅田 稔	大阪大学	未来共生社会を広げるニューロモフィックダイナミクス	NEDO フェスタ in 関西の TSC Foresight セミナー	2018/12
2	Sumito Tsunegi, Tomohiro Taniguchi, Shinji Miwa et al.	National Institute of Advanced Industrial Science and Technology	The effect of voltage on reservoir computing performance of a spin torque oscillator	応用物理学会春季学術講演会	2019/3
3	常木 澄人, 谷口 知大, 三輪 真嗣 等	産業総合研究所	スピントルク発振素子の短時間記憶容量	応用物理学会春季学術講演会	2019/3
4	原田 将敬, 森江 隆, 高橋 光恵 等	九州工業大学	FeFET を用いた時間領域アナログ積和演算回路の特性評価	応用物理学会春季学術講演会	2019/3
5	田向 権	九州工業大学	世界大会一位に3度輝いた生活支援ロボットが登場	九州工業大学×博多大丸タイアップイベント	2019/3
6	田向 権	九州工業大学	世界大会3連覇を達成した九工大のホームサービスロボット～九工大・明専会学生プロジェクト紹介と実機デモンストレーション～	明専会総会	2019/3
7	田向 権	九州工業大学	ホームサービスロボット実現に向けた取り組み	北九州プロバスクラブ	2019/3

番号	発表者	所属	タイトル	会議名	発表年月
8	久米 弘祐, 川節 拓実, 堀井 隆斗 等	奈良高専	三角格子状に配置したコイルと磁性 マーカを用いた柔軟触覚センサの基 礎特性評価	ロボティクス・メカトロニクス講演会	2019/6
9	水野海渡, 川節 拓実, 石原 尚 等	奈良高専	子供アンドロイドの接触反応実験に 向けた骨格と触覚を備える小型手部 の開発	ロボティクス・メカトロニクス講演会	2019/6
10	Minoru Asada	Osaka University	Neuromorphic Dynamics towards Symbiotic Society with AI/Robots	JST-MOST Workshop on "Nanoelectronics and System Integration for AI	2019/6
11	朴 志勲, 小椋 基弘, 河合 祐司 等	大阪大学	スパイクニューロンモデルの興奮性/抑 制性バランスが ネットワーク形成に及 ぼす影響	ニューロコンピューティング研究会	2019/6
12	鈴木 健太 郎, 朴 志 勲, 河合 祐司 等	大阪大学	スモールワールド性もたらす二つの 脳神経モデルの同期	ニューロコンピューティング研究会	2019/6
13	Kentaro Suzuki, Jihoon Park, Yuji Kawai et al.	Osaka University	Small-world networks enhance the inter-brain synchronization	Annual Computational Neuroscience Meeting	2019/7
14	Kaoruko Higuchi, Hoshinori Kanazawa, Yuma Suzuki et al.	The University of Tokyo	Musculoskeletal Bias on Infant Sensorimotor Development Driven by Predictive Learning	Joint IEEE International Conference on Development and Learning and on Epigenetic Robotics	2019/8
15	田向 権	九州工業大学	家庭用サービスロボットの実現に向け た競技会への参加・教育への応用	九州工業大学 110 周年記念 フォーラム	2019/8
16	森江 隆	九州工業大学	次世代人工知能のための脳型集積 回路技術とデバイス技術	半導体・集積回路技術シンポジ ウム	2019/8
17	山口 皓史, 明石 望洋, 中嶋 浩平 等	産業総合研究所	スピントルク発振器における強制同期 の理論	日本物理学会 2019 年秋季 大会	2019/9

番号	発表者	所属	タイトル	会議名	発表年月
18	Tomoyuki Kubota, Kohei Nakajima, Hirokazu Takahashi	The University of Tokyo	Echo State Property of Neuronal Cell Cultures.	International Conference on Artificial Neural Networks	2019/9
19	森江 隆, 原田 將敬, 高橋 光恵 等	九州工業大学	3 端子アナログメモリ素子としての FeFET の適用を目指した人工知能ハードウェアモデルと回路アーキテクチャ	応用物理学会秋季学術講演会	2019/9
20	Sumito Tsunegi, Tomohiro Taniguchi, Kohei Nakajima et al.	National Institute of Advanced Industrial Science and Technology	Physical reservoir computing based on spin torque oscillator	日本磁気学会学術講演会	2019/9
21	Yutaro Ishida, Hakaru Tamukoh	Kyushu Institute of Technology	High-Level Synthesis System to Integrate SoC and ROS	Asia Pacific Conference on Robot IoT System Development and Platform	2019/11
22	Tomohiro Taniguchi	National Institute of Advanced Industrial Science and Technology	Synchronization and chaos in spin torque oscillator with two free layers	Annual Conference on Magnetism and Magnetic Materials	2019/11
23	Sumito Tsunegi, Tomohiro Taniguchi, Kohei Nakajima et al.	National Institute of Advanced Industrial Science and Technology	Physical Reservoir Computing based on Spin Torque Oscillator with Synchronization	Annual Conference on Magnetism and Magnetic Materials	2019/11
24	Terufumi Yamaguchi, Nozomi Akashi, Kohei Nakajima et al.	National Institute of Advanced Industrial Science and Technology	Injection Locking of Spin-Torque Oscillator with Perpendicularly Magnetized Free Layer	Annual Conference on Magnetism and Magnetic Materials	2019/11

番号	発表者	所属	タイトル	会議名	発表年月
25	Katsuma Inoue, Kohei Nakajima, Yasuo Kuniyoshi	The University of Tokyo	Soft bodies as input reservoir: role of softness from the viewpoint of reservoir computing	International Symposium on Micro-NanoMechatronics and Human Science	2019/12
26	Nozomi Akashi, Kohei Nakajima, Yasuo Kuniyoshi	The University of Tokyo	Unpredictable as a dice: analyzing riddled basin structures in passive dynamic walker	International Symposium on Micro-NanoMechatronics and Human Science	2019/12
27	Jihoon Park, Yuji Kawai, Minoru Asada	Osaka University	Formation of Connectivity between Spiking Neural Networks with Balanced Excitation and Inhibition	脳と心のメカニズム冬のワークショップ	2020/1
28	浅田 稔	大阪大学	日本の次世代人工知能技術はロボットを中心に加速する	NEDO AI & ROBOT NEXT シンポジウム～人を見守る人工知能、人と協働するロボットの実現に向けて～	2020/1
29	Sumito Tsunegi	産業総合研究所	Physical Reservoir Computing based on Spin Torque Oscillator with forced synchronization	The 3rd Symposium for The Core Research Clusters for Materials Science and Spintronics	2020/2
30	石田 裕太郎, 田向 権	九州工業大学	ホームサービスロボットの物体検出・認識のための深層ニューラルネットワーク	電子情報通信学会スマートインフォメディアシステム研究会	2020/3
31	山口 皓史, 明石 望洋, 中嶋 浩平等	産業総合研究所	スピントルク発振器におけるカオスの理論	日本物理学会 第75回年次大会	2020/3
32	明石 望洋, 山口 皓史, 常木 澄人等	東京大学	スピントルク発振器における情報処理能力と分岐構造の関係	日本物理学会	2020/3
33	Kota Wakamatsu, Katsuma Inoue, Daiki Hagiwara et al.	Chuo University	Mixing State Estimation of Peristaltic Continuous Mixing Conveyor with Distributed Sensing System Based on Soft Intestine Motion	IEEE International Conference on Soft Robotics	2020/5

番号	発表者	所属	タイトル	会議名	発表年月
34	Ryo Sakurai, Mitsuhiro Nishida, Hideyuki Sakurai et al.	Bridgestone Corporation	Emulating a sensor using soft material dynamics: A reservoir computing approach to pneumatic artificial muscle	IEEE International Conference on Soft Robotics	2020/5
35	Shota Hamaguchi, Takumi Kawasetsu, Takato Horii et al.	Mie University	Soft Inductive Tactile Sensor using Flow Channel Enclosing Liquid Metal	IEEE International Conference on Soft Robotics	2020/5
36	水野海渡, 川節 拓実, 堀井 隆斗 等	奈良高専	触覚を備える子供アンドロイド用小型ハンドの骨格の改良と表面張力層の実装	ロボティクス・メカトロニクス講演会	2020/5
37	Jihoon Park, Yuji Kawai, Minoru Asada	Osaka University	Self-organization of connectivity in spiking neural networks with balanced excitation and inhibition	Annual Computational Neuroscience Meeting	2020/7
38	山口 皓史, 明石 望洋, 常木 澄人 等	産業総合研究所	遅延回路を含むスピントロニクス・リザバーの短時間記憶容量	応用物理学会秋季学術講演会	2020/9
39	谷口 知大, 明石 望洋, 野津 裕史 等	産業総合研究所	遅延回路を含むスピントロニクス素子におけるカオス	応用物理学会秋季学術講演会	2020/9
40	Akira Kamimaki, Sumito Tsunegi, Tomohiro Taniguchi et al.	National Institute of Advanced Industrial Science and Technology	Chaotic Behavior of Spin-Torque Oscillator with Feedback Circuit	応用物理学会秋季学術講演会	2020/9
41	Akira Kamimaki, Sumito Tsunegi, Tomohiro Taniguchi et al.	National Institute of Advanced Industrial Science and Technology	Physical Reservoir Computing by Spin-Torque Oscillator at the Edge of Chaos	応用物理学会秋季学術講演会	2020/9

番号	発表者	所属	タイトル	会議名	発表年月
42	Gabor Soter, Andrew Conn, Helmut Hauser et al.	University of Bristol	Shape reconstruction of CCD camera-based soft tactile sensors	IEEE/RSJ International Conference on Intelligent Robots and Systems	2020/10
43	徳野 将士, 田中 悠一朗, 川節 拓実 等	九州工業大学	柔軟触覚センサを搭載したロボットハンドによる触覚情報からの物体認識	日本ロボット学会 学術講演会	2020/10
44	Shoshi Tokuno, Yuichiro Tanaka, Takumi Kawasetsu et al.	Kyushu Institute of Technology	Object Recognition Using Flexible Tactile Sensor	Asia Pacific Conference on Robot IoT System Development and Platform	2020/11
45	Akira Kamimaki, Sumito Tsunegi, Tomoithiro Taniguchi et al.	National Institute of Advanced Industrial Science and Technology	Physical Reservoir Computing by Spin-Torque Oscillator at the Edge of Chaos	The 2020 Magnetism and Magnetic Materials Conference	2020/11
46	Masafumi Inada, Yuichiro Tanaka, Hakaru Tamukoh et al.	はこだて未来大学	A Reservoir Based Q-learning Model for Autonomous Mobile Robots	The 2020 International Symposium on Nonlinear Theory and Its Applications (NOLTA2020),	2020/11
47	Daichi Yamamoto, Ichiro Kawashima, Hakaru Tamukoh et al.	はこだて未来大学	FPGA Implementation and Verification of Reservoir Computing Based on Pseudo-Billiard Dynamics in Hypercube	The 2020 International Symposium on Nonlinear Theory and Its Applications	2020/11

番号	発表者	所属	タイトル	会議名	発表年月
48	Yuichiro Tanaka, Hakaru Tamukoh, Katsumi Tateno et al.	Kyushu Institute of Technology	A Brain-inspired Artificial Intelligence Model of Hippocampus, Amygdala, and Prefrontal Cortex on Home Service Robots	The 2020 International Symposium on Nonlinear Theory and Its Applications	2020/11
49	Pramanta Dinda, Hakaru Tamukoh	Kyushu Institute of Technology	Design and Implementation of Pulse-Coupled Phase Oscillators on a Field-Programmable Gate Array for Reservoir Computing	International Conference on Neural Information Processing	2020/11
50	大河原 昂也, 香取 勇一	はこだて未来大学	レザバー計算と深層強化学習を組み合わせた推論機構の研究	第 30 回日本神経回路学会 全国大会	2020/12

(b) 新聞・雑誌等への掲載

番号	所属	発表内容	発表先	発表年月
1	九州工業大学	WRS 本番直前, 「サプライズ」タスク前倒して公表	日刊工業新聞	2018/10
2	九州工業大学	散らかった部屋をロボットが片付けてくれる未来 WRS「サービスカテゴリ」ってどんな競技? 競技委員長に聞く	ロボット情報 WEB マガジン ロボスタ	2018/10
3	九州工業大学	【WRS 開催中】お片付けロボの動作, 成否を左右する人工知能	日刊工業新聞	2018/10
4	九州工業大学	WRS 受賞者, 喜びの声 成果, 次に引き継ぐ	日刊工業新聞	2018/10
5	九州工業大学	経産省が主催するロボット競技会「WRS」結果発表! 競い抜いた 5 日間	ロボット情報 WEB マガジン ロボスタ	2018/10
6	九州工業大学	九州工大、博多大丸と科学イベント ロボットや AI 紹介	日本経済新聞	2019/3
7	産業技術総合研究所	ナノ磁石を用いたレザバー計算の性能を向上	産総研ホームページ (プレス発表)	2019/4
8	東京大学	神経の確率的スパイク発火による秩序生成機能の発見	UTokyo FOCUS Articles	2020/6

◎研究開発テーマ「深層確率コンピューティング技術の研究開発」

【外部発表】

(a) 学会発表・講演

番号	発表者	所属	タイトル	会議名	発表年月
1	鈴木 雅大	東京大学	生成モデルとマルチモーダル学習および世界モデルについて	理研シンポジウム: 第2回ものづくりワークショップ	2018/10
2	R. Kojima	京都大学	A tensorized logic programming language for large-scale data	AAAI 2019 Workshop on Network Interpretability for Deep Learning	2019/1
3	麻生 英樹	産業技術総合研究所	自然知能と人工知能の共進化－「知の創生」に向けて－	東京大学先端人工知能学教育寄付講座公開シンポジウム	2019/3
4	中田 秀基	産業技術総合研究所	ニューラルネットワークを用いた任意人物・姿勢画像の生成	電子情報通信学会パターン認識・メディア理解研究会	2019/3
5	鈴木 雅大	東京大学	Pixyz: 複雑な深層生成モデル開発のためのフレームワーク	2019年度人工知能学会全国大会	2019/6
6	M. Suzuki	東京大学	Pixyz: a framework for developing complex deep generative models	Workshop on Deep Probabilistic Generative Models for Cognitive Architecture in Robotics	2019/11
7	M. Zhou	産業技術総合研究所	Image synthesis for one-shot classification with triplet network	第22回情報論的学習理論ワークショップ IBIS 2019	2019/11
8	L. Liu	産業技術総合研究所	Few-shot style transfer for handwriting chinese synthesis using conditional GAN	第22回情報論的学習理論ワークショップ IBIS 2019	2019/11
9	Y. Fu	産業技術総合研究所	An improvement on cycleGAN based symbolic music genre transfer	第22回情報論的学習理論ワークショップ IBIS 2019	2019/11
10	中田 秀基	産業技術総合研究所	少数のサンプル画像からの任意人物姿勢画像の生成	第22回情報論的学習理論ワークショップ IBIS 2019	2019/11
11	今泉 允聡	情報・システム研究機構 統計数理研究所	Statistical inference on M-estimators by high-dimensional Gaussian approximation	Workshop on Functional Inference and Machine Intelligence 2020	2020/2
12	Hao Zhang	理化学研究所	Implementing a Comprehensive Networks-on-Chip Generator with Optimal Configurations	IEEE Cluster 2020	2020/9

(b) 新聞・雑誌等への掲載

番号	所属	発表内容	発表先	発表年月
1	東京大学	深層生成モデルライブラリ「Pixyz」にかける思い	https://www.wantedly.com/companies/weblab/post_articles/156907	2019/3

◎研究開発テーマ「イン不揮発性メモリ分散 Approximate コンピューティングの研究開発」

【論文】

番号	発表者	所属	タイトル	発表誌名、ページ番号	査読	発表年月
1	竹内健	中央大学	機械学習向け Approximate 不揮発性メモリ	応用物理	無	2019/6
2	Yao Hu, Michihiro Koibuchi	情報・システム研究機構	Exploring Time space Trade off for Application Mapping onto 3 D Torus NoCs	The 22nd Workshop on Synthesis And System Integration of Mixed Information Technologies (SASIMI 2019)	有	2019/10

【外部発表】

(a) 学会発表・講演

番号	発表者	所属	タイトル	会議名	発表年月
1	鯉淵 道紘	情報・システム研究機構	Approximate Computing と関連する通信技術	ネットワーク産業・技術研究会, 第3回討論会公開ワークショップ	2018/11
2	鯉淵 道紘	情報・システム研究機構	Approximate HPC Networks for Imperfect Computing	CREST International Symposium on Big Data Application	2019/1
3	覺田 恭生, 鈴木 敦也, 木下 怜佳, 安達 優, 松井 千尋, 竹内 健	中央大学	ストレージ・クラス・メモリにおける TLM シミュレーションを用いた信頼性の評価	電子情報通信学会総合大会	2019/3
4	丹羽 直也, 平澤 将一, 鯉淵 道紘, 天野 英晴	情報・システム研究機構, 慶應義塾大学	Approximate 相互結合網を用いた巡回セールスマン問題の並列蟻コロニー最適化による解法の高速度化	情報処理学会 組込み技術とネットワークに関するワークショップ ETNET2019	2019/3
5	竹内 健	中央大学	Approximate 不揮発性メモリ	集積回路研究会【招待講演】	2019/4
6	鶴見 洸太, 鈴木 健太, 竹内 健	中央大学	パルス幅変調低電力ニューロモルフイック LSI	集積回路研究会	2019/4
7	竹内 健	中央大学	Approximate 不揮発性メモリ	第1回 miniCANDAR シンポジウム【招待講演】	2019/6

番号	発表者	所属	タイトル	会議名	発表年月
8	Chihiro Matsui, Shouhei Fukuyama, Atsuna Hayakawa, Ken Takeuchi	中央大学	Application-Induced Cell Reliability Variability-Aware Approximate Computing in TaOX-based ReRAM Data Center Storage for Machine Learning	IEEE Symp. on VLSI Technology	2019/6
9	Ken Takeuchi	中央大学	Non-volatile Memory Storage for Machine Learning	IEEE SSCS VLSIedu	2019/6
10	菅 真樹	合同会社リトルウイング	深層学習処理の高速化と省電力化に向けた Approximate 分散処理技術の開発	第 1 回 miniCANDAR シンポジウム【招待講演】	2019/6
11	平澤 将一	情報・システム研究機構	情報・システム研究機構 Approximate ネットワークと活用手法	第 1 回 miniCANDAR シンポジウム【招待講演】	2019/6
12	Chihiro Matsui, Ken Takeuchi	中央大学	TaOx-based ReRAM for Variability-Aware Approximate Computing	Flash Memory Summit	2019/8
13	Reika Kinoshita, Chihiro Matsui, Ken Takeuchi	中央大学	Maximizing Performance/cost of SSD Composed of Memory-type and Storage-type SCMs	Flash Memory Summit	2019/8
14	Koki Kamimura, Susumu Nohmi, Kenta Suzuki, Ken Takeuchi	中央大学	Parallel Product-Sum Operation Neuromorphic Systems with 4-bit Ferroelectric FET Synapses	IEEE European Solid-State Device Research Conference (ESSDERC)	2019/9
15	上村 公紀, 能美 奨, 竹内 健	中央大学	強誘電体トランジスタを用いた並列積和演算可能なニューロモルフィック集積回路	集積回路研究会, 信学技報	2019/11
16	Reika Kinoshita, Atsuya Suzuki, Shouhei Fukuyama, Chihiro Matsui, Ken Takeuchi	中央大学	Workload-aware Data-eviction Self-adjusting System of Multi-SCM Storage to Resolve Trade-off between SCM Data-retention Error and Storage System Performance	25th Asia and South Pacific Design Automation Conference (ASP-DAC 2020)	2020/1

番号	発表者	所属	タイトル	会議名	発表年月
17	Reika Kinoshita, Chihiro Matsui, Atsuya Suzuki, Shouhei Fukuyama, Ken Takeuchi	中央大学	Workload-aware Data-eviction Self-adjusting System of Multi-SCM Storage to Resolve Trade-off between SCM Data-retention Error and Storage System Performance	VLSI 設計技術研究会, 信学技報	2020/3
18	松井 千尋, 竹内 健	中央大学	アプリケーションに起因する ReRAM の信頼性ばらつきを考慮した近似計算ストレージ	応用物理学関係連合講演会	2020/3
19	橋本 峻吾, 高井 良貴, 松井 千尋, 竹内 健	中央大学	様々な遅延を考慮したストレージの性能評価	応用物理学関係連合講演会	2020/3
20	金田 凌賀, 木下 怜佳, 松井 千尋, 竹内 健	中央大学	2 種類のストレージ・クラス・メモリで構成したストレージシステムのデータ追出し間隔自動調整アルゴリズム	応用物理学関係連合講演会	2020/3
21	武石 滉大, 上村 公紀, 能美 奨, 竹内 健	中央大学	エッジコンピューティングに向けたニューロモルフィック回路	応用物理学関係連合講演会	2020/3
22	相田 息吹, 上村 公紀, 水品 圭汰, 竹内 健	中央大学	AI アクセラレータに向けたニューラルネットワーク	応用物理学関係連合講演会	2020/3
23	日根 優作, 覺田 恭生, 木下 怜佳, 竹内 健	中央大学	Double Asymmetric-latency SCMs SSD 向け書き込みと読み出しの頻度を考慮したデータ管理アルゴリズム	応用物理学関係連合講演会	2020/3
24	竹内 健	中央大学	FeFET を用いたニューロモルフィック・コンピューティング	応用物理学関係連合講演会 シンポジウム 不揮発性メモリ技術の最前線【招待講演】	2020/3
25	Chihiro Matsui, Ken Takeuchi	東京大学, 中央大学	ReRAM Cell Reliability Variation Tolerated High-Speed Approximate Storage for Machine Learning	IEEE Symp. on Low-Power and High-Speed Chips and Systems (Cool Chips 23)	2020/4
26	竹内 健	東京大学	AI 応用 Approximate メモリ	応用物理学会シリコンテクノロジー分科会	2020/5

番号	発表者	所属	タイトル	会議名	発表年月
27	Chihiro Matsui, Shun Suzuki, Ken Takeuchi	東京大学, 中央大学	Spatial Color-Perceived Data Control of NAND Flash for Image Detection	IEEE Silicon Nanoelectronics Workshop (SNW)	2020/6
28	Shun Suzuki, Hiroki Aihara, Keita Mizushina, Shin Yamaguchi, Ken Takeuchi	東京大学, 中央大学	Approximate 3D-TLC NAND Flash Write with Initial Error Injection for Application-level Reliability Improvement of Machine Learning-based Computing	IEEE Silicon Nanoelectronics Workshop (SNW)	2020/6
29	Keita Mizushina, Shun Suzuki, Hiroki Aihara, Ken Takeuchi	東京大学, 中央大学	3840x Reliability Enhanced Robust NAND flash Optimized to Store Weight Data for Object Detection and Semantic Segmentation of Self-driving Car at High Temperature	IEEE Silicon Nanoelectronics Workshop (SNW)	2020/6
30	竹内 健	東京大学	AI 時代：ソフトベンダが半導体を手掛ける時代の戦略	日本学術振興会シリコン超集積システム第 165 委員会 シリコン超集積システムの進化発展を支えるイノベーション論【招待講演】	2020/6
31	鯉淵 道紘	情報・システム研究機構	ネットワーク視点からの取り組み「不完壁なスーパーコンピュータ」	825 回マルチメディア推進フォーラム「ポスト・ムーアの切り札：Approximate Computing」	2020/7
32	菅 真樹	合同会社リトルウイング	Approximate 分散処理による深層学習処理の高速化に向けて	825 回マルチメディア推進フォーラム「ポスト・ムーアの切り札：Approximate Computing」	2020/7
33	Yoshiki Kakuta, Reika Kinoshita, Hiroshi Kinoshita, Chihiro Matsui, Ken Takeuchi	中央大学, 東京大学	Real-time Error Monitoring System Considering Endurance and Data-retention Characteristics of TaO _x -based ReRAM Storage with Workloads at Data Centers	IEEE International Symposium on VLSI Design, Automation and Test (VLSI-DAT)	2020/8

番号	発表者	所属	タイトル	会議名	発表年月
34	鯉淵 道紘	情報・システム研究機構	ポストムーア時代のスーパーコンピュータの結合網	電子情報通信学会研究会 (情報ネットワーク研究会/複雑コミュニケーションサイエンス研究会)	2020/8
35	竹内 健	東京大学	強誘電体 FET を用いた機械学習向け積和演算回路	応用物理学会秋季学術講演会【招待講演】	2020/9
36	松井 千尋, 竹内 健	東京大学	画像の空間的局所性と色のパターンに基づく 3D-TLC NAND 型フラッシュメモリ向けデータ制御技術	応用物理学会秋季学術講演会	2020/9
37	Ken Takeuchi	東京大学	Heterogeneously Integrated Adaptive Storage System for 5G Network	International Conference on Solid State Devices and Materials (SSDM) Short Course【招待講演】	2020/9
38	Chihiro Matsui, Ken Takeuchi	東京大学	SLC Flash & ReRAM Heterogeneous Memory System with Multi-Tier 5G Network & Device Co-Design for Smart Manufacturing	International Conference on Solid State Devices and Materials (SSDM)	2020/9
39	鯉淵 道紘	情報・システム研究機構	Approximate Computing と関連する通信技術	電子情報技術産業協会 (JEITA)「非ノイマン型情報処理へ向けたデバイス技術分科会」	2020/9

(b) 新聞・雑誌等への掲載

番号	所属	タイトル	掲載誌名	発表年月
1	中央大学	エラーを許容して 7 倍高速化と 90%消費エネルギーを低減	中央大学プレスリリース	2019/6

(c) 展示会への出展

番号	所属	タイトル	展示会名	発表年月
1	三栄ハイテックス	FPGA での学習デモ (白線検知 CNN)	第 5 回 IoT/M2M 展【秋】	2019/10

【受賞実績】

番号	発表者	所属	受賞種類	受賞内容	受賞年月
1	Chihiro Matsui and Ken Takeuchi	東京大学	IEEE Symposium on Low-Power and High-Speed Chips and Systems (COOL Chips 23) Best Poster Award	ReRAM Cell Reliability Variation Tolerated High-Speed Approximate Storage for Machine Learning	2020/4

◎研究開発テーマ「物理ダイナミクスに基づく学習デバイスを備えた超高効率認知コンピューティングの研究開発」

【論文】

番号	発表者	所属	タイトル	発表誌名、ページ番号	査読	発表年月
1	G. Tanaka	東京大学	Recent Advances in Physical Reservoir Computing: A Review	Neural Networks, Elsevier	有	2019/4

【外部発表】

(a) 学会発表・講演

番号	発表者	所属	タイトル	会議名	発表年月
1	中根 了昌	東京大学	スピン波リザーバーコンピューティングチップデバイス	第 66 回日本応用物理学会春季学術講演会	2019/3
2	廣瀬 明	東京大学	パターン情報表現およびパターン情報処理を物理的に実現するニューラルネットワークデバイス (招待講演)	電子情報通信学会総合大会	2019/3
3	市村 剛大	東京大学	スピン波を用いたリザーバーコンピューティングデバイスにおける荷重の空間分布	電子情報通信学会総合大会	2019/3
4	市村 剛大	東京大学	スピン波リザーバーコンピューティングにおける有用情報の空間分布	電子情報通信学会 ニューロコンピューティング研究会	2019/3
5	田中 剛平	東京大学	リザーバーコンピューティングの数理とハードウェア (招待講演)	阪大非線形数理セミナー	2019/6
6	R. Nakane	東京大学	Numerical Analysis on Wave Dynamics in a Spin-Wave Reservoir for Machine Learning	the International Joint Conference on Neural Networks (IJCNN)	2019/7
7	T. Akiyama	東京大学	Analysis on Characteristics of Multi-Step Learning Echo State Networks for Nonlinear Time Series Prediction	the International Joint Conference on Neural Networks (IJCNN)	2019/7
8	山根 敏志	日本アイ・ビー・エム株式会社	光技術を用いた物理リザーバー・コンピューティング (招待講演)	フォトニックネットワーク研究会 ワークショップ	2019/8
9	武田 征士	日本アイ・ビー・エム株式会社	Edge computing by physical reservoir device (招待講演)	電子情報通信学会ソサイエティ大会	2019/9
10	廣瀬 明	東京大学	「ニューロ的」ハードウェアと物理リザーバーコンピューティング	日本神経回路学会全国大会	2019/9
11	市村 剛大	東京大学	スピン波リザーバーコンピューティングチップにおける実空間情報分布	日本神経回路学会全国大会	2019/9
12	中根 了昌	東京大学	Machine-learning computation utilizing spin waves (招待講演)	日本磁気学会 学術講演会	2019/9

番号	発表者	所属	タイトル	会議名	発表年月
13	Jean Benoit Heroux	日本アイ・ピー・エム株式会社	Time Series Processing with VCSEL-based Reservoir Computer	The 1st International Workshop on Reservoir Computing (RC 2019)	2019/9
14	T. Akiyama	東京大学	Echo State Network with Adversarial Training	the 28th International Conference on Artificial Neural Networks	2019/9
15	市村 剛大	東京大学	スピン波リザバーコンピューティングチップにおける実空間情報分布	第 29 回日本神経回路学会全国大会	2019/9
16	田中 剛平	東京大学	リザバーコンピューティング (招待講演)	一般社団法人 電子情報技術産業協会(JEITA)	2019/10
17	中根 了昌	東京大学	チップ実装を指向したリザバーコンピューティング研究の現状 (招待講演)	JST リザバーコンピューティングワークショップ	2019/10
18	Jean Benoit Heroux	日本アイ・ピー・エム株式会社	Delayed Feedback Reservoir Computing with VCSEL (招待講演)	日本学術振興会 光ネットワークシステム技術第 171 委員会	2019/11
19	A. Hirose	東京大学	Physical reservoir computing devices and complex-valued neural networks (招待講演)	IEEE 2019 Int. Meeting for Future of Electron Devices (IMFEDK)	2019/11
20	田中 剛平	東京大学	物理リザバーコンピューティングの最新動向 (招待講演)	日本人工知能学会	2019/11
21	G. Tanaka	東京大学	Effect of Variability on Nonlinear Dynamics of Memristive Networks	the International Symposium on Nonlinear Theory and its Applications	2019/12
22	A. Hirose	東京大学	Physical Reservoir Computing Devices: Truly Neural Hardware in the AI and Sensor-Network Era (招待講演)	26th Int. Conf. Neural Information Processing (ICONIP)	2019/12
23	A. Hirose	東京大学	Physical Reservoir Computing: Possibility to resolve the inconsistency between neuro-AI principles and its hardware	26th Int. Conf. Neural Information Processing (ICONIP)	2019/12
24	G. Tanaka	東京大学	Echo State Networks Composed of Units with Time-Varying Nonlinearity	26th Int. Conf. Neural Information Processing (ICONIP)	2019/12
25	T. Yamane	日本アイ・ピー・エム株式会社	Application Identification of Network Traffic by Reservoir Computing	26th Int. Conf. Neural Information Processing (ICONIP)	2019/12

番号	発表者	所属	タイトル	会議名	発表年月
26	廣瀬 明	東京大学	光波による物理リザーブコンピューティング (招待講演)	Proc. Optics & Photonics Japan 2019	2019/12
27	田中 剛平	東京大学	リザーブコンピューティング：チュートリアル (招待講演)	学振 151 委員会	2020/1
28	G. Tanaka	東京大学	High-dimensional neurodynamics and its applications in neuro-based hardware	FY2019 RIEC Annual Meeting on Cooperative Research Projects	2020/2
29	Jean Benoit Heroux	日本アイ・ピー・エム株式会社	Time Delay Reservoir Computing with VCSEL (招待講演)	Photonic West	2020/2
30	市村 剛大	東京大学	Spatial distribution of information effective for logic function learning in spin-wave reservoir computing chip utilizing spatiotemporal physical dynamics	2020 IEEE World Congress on Computational Intelligence (WCCI)	2020/7
31	Z. Li	東京大学	Deep Echo State Networks with Multi-Span Features for Nonlinear Time Series Prediction,	2020 IEEE World Congress on Computational Intelligence (WCCI)	2020/7
32	Z. Li	東京大学	HP-ESN: Echo State Networks Combined with Hodrick-Prescott Filter for Nonlinear Time-Series Prediction	2020 IEEE World Congress on Computational Intelligence (WCCI)	2020/7
33	廣瀬 明	東京大学	Physical reservoir computing devices and complex-valued neural networks (基調講演)	ニューロモルフィック システム国際会議 (ICONS Conference) 2020	2020/7
34	田中 剛平	東京大学	Introduction to Physical RC," International Conference on Neuromorphic Systems (招待講演)	ニューロモルフィック システム国際会議 (ICONS Conference) 2020	2020/7
35	廣瀬 明	東京大学	超低消費電力情報処理実現のための物理リザーブコンピューティングチップと複素ニューラルネットワーク理論 (招待講演)	春季応用物理学学会	2020/7
36	Jean Benoit Hérroux	日本アイ・ピー・エム株式会社	Opto-Electronic Reservoir Computing for Signal Recovery (invited talk)	IEEE Photonics Society Summer Topical Meeting Series	2020/7

番号	発表者	所属	タイトル	会議名	発表年月
37	田中 剛平	東京大学	リザバーコンピューティングの現状と未来（招待講演）	応用物理学会 シリコンテクノロジー分科会システムデバイスロードマップ委員会（SDRJ）ワークショップ	2020/10
38	田中 剛平	東京大学	物理リザバーコンピューティングによる時系列パターン認識（招待講演）	電子情報通信学会 情報・システムソサイエティ第 41 回 IBISML 研究会	2020/10

(b) 新聞・雑誌等への掲載

番号	所属	タイトル	掲載誌名	発表年月
1	日本アイ・ピー・エム株式会社	エッジに最適、機械学習の高速・低消費電力化に期待の計算方式	日経 xTECH（クロステック）	2019/4
2	日本アイ・ピー・エム株式会社 山根敏志	物理リザバーコンピューティングによる機械学習デバイスとエッジコンピューティングへの応用	ProVISION	2019/6
3	東京大学 廣瀬 明	リザバーコンピューティングと複素ニューラルネットワーク（依頼執筆）	応用物理学会誌 88(8) p.559 (2019)	2019/8
4	東京大学 中根 了昌	スピン波を用いた機械学習デバイス（依頼執筆）	日本磁気学会誌 まぐね 14 巻 6 号 pp.329-334	2019/12
5	東京大学 田中 剛平	リザバーコンピューティング（依頼執筆）	映像情報メディア学会誌（知っておきたいキーワード）、Vol. 74, No.3, pp.532-534	2020/5

【受賞実績】

番号	発表者	所属	受賞種類	受賞内容	受賞年月
1	市村 剛大	東京大学 廣瀬明研究室	2019 年度 IEEE Computational Intelligence Society (CIS) Japan Chapter	Young Researcher Award	2020/5

◎研究開発テーマ「2028年に性能100倍を達成する汎用性の高い高性能計算機アーキテクチャとシステムソフトウェアの技術の探索」

【論文】

番号	発表者	所属	タイトル	発表誌名、ページ番号	査読	発表年月
1	Artur Podobus, Kentaro Sano, Satoshi Matsuoka	理化学研究所	A Template-based Framework for Exploring Coarse-Grained Reconfigurable Architectures	Proceedings of the 31st IEEE International Conference on Application-specific Systems, Architectures and Processors(ASAP), to appear	有	2020/7
2	Artur Podobus, Kentaro Sano, Satoshi Matsuoka	理化学研究所	A Survey on Coarse-Grained Reconfigurable Architectures from a Performance Perspective	IEEE Access, CONDITIONALLY ACCEPTED (条件付き採録)	有	2020/8

【外部発表】

(a) 学会発表・講演

番号	発表者	所属	タイトル	会議名	発表年月
1	Jens Domke	理化学研究所	Double-precision FPUs in High-Performance Computing: an Embarrassment of Riches?	IPDPS2019	2019/5
2	椎名 峻平	東京大学	Almost Deterministic Work Stealing	xSIG2019	2019/5
3	遠藤 敏夫	東京工業大学	メモリアクセスデータを用いた機械学習によるアプリケーションの類型化	SWoPP2019	2019/7
4	椎名 峻平, 田浦 健次郎	東京大学	Almost Deterministic Work Stealing	SC19	2019/11
5	田邊 昇	東京大学	ムーア則終焉直後に向けた高性能汎用計算機アーキテクチャの初期検討	第172回HPC研究発表会	2019/12
6	Jens Domke	理化学研究所	Double-precision FPUs in High-Performance Computing: an Embarrassment of Riches?	LSPANC	2020/1
7	幸 朋矢, 遠藤 敏夫	東京工業大学	Toward Latency-Aware Data Arrangement on Many-Core Processors	HPC Asia 2020	2020/1

番号	発表者	所属	タイトル	会議名	発表年月
8	遠藤 敏夫	東京工業大学	Integrating Cache Oblivious Approach with Modern Processor Architecture: The Case of Floyd-Warshall Algorithm.	HPC Asia 2020	2020/1
9	Jens Domke	理化学研究所	Counter-based Performance Extrapolation Toolchain ? How far can we look into the Future?	The 2nd R-CCS International Symposium	2020/2
10	Artur Podobas	理化学研究所	A Template-based Framework for Exploring Coarse-Grained Reconfigurable Architectures	ASAP 2020	2020/7
11	Helm Christian	東京大学	Automatic Identification and Precise Attribution of DRAM Bandwidth Contention	ICPP2020	2020/8
12	Jens Domke	理化学研究所	Scaling Distributed Deep Learning Workloads Beyond the Memory Capacity with KARMA	SC20	2020/11
13	Helm Christian, 穉山 空道, 田浦 健次朗	東京大学	Reliable Reverse Engineering of Intel DRAM Addressing Using Performance Counters	IEEE MASCOTS 2020	2020/11

(b) 新聞・雑誌等への掲載

番号	所属	タイトル	掲載誌名	発表年月
1	理化学研究所	Post-moore evaluation framework	PAStudy https://gitlab.com/domke/PAstudy	2019/ 5

以上