

「チップレット設計基盤構築に向けた技術開発事業」
基本計画

IoT 推進部

1. 研究開発の目的・目標・内容

(1) 研究開発の目的

① 政策的な重要性

我が国は Society 5.0 の実現に向けて、IoT や AI などのデジタル化技術を進展させ、全ての人とモノがつながり、必要な情報を必要な時に提供し、経済発展と社会課題の解決を両立する人間中心の社会を目指している。しかしながら、デジタル化技術を進展させるためには膨大なデータを高速に処理する必要があり、加えて、データ量が年々増加しているため、「増大するデータの処理」が社会課題となっている。

上記の社会課題解決には、大量データの効率的かつ高度な利用を可能とする情報の収集、蓄積、解析、セキュリティなどの技術に加え、AI・次世代コンピューティング技術が求められている。中でも、自動走行やロボティクスを始めとする分野では、従来のクラウドコンピューティングからネットワークの末端(エッジ)で中心的な情報処理を行うエッジコンピューティングへの分散が不可欠になると考えられており、エッジにおける処理の重要性や価値が更に高まってきている。特にエッジにおいては限られた資源を用いて効率的に処理を行う必要があるため、性能を飛躍的に向上させられる AI 技術の活用が期待されており、医療・ヘルスケア向け分野など、自動走行やロボティクス分野以外からも注目されている。

エッジコンピューティングにおける情報処理すなわち論理演算を行う半導体の高性能化は、これまでは 1970 年代から続くムーア則というメガトレンドに則り、これまで微細化によって達成してきた。しかしながら、更なる微細化は設計コスト、製造コストの上昇が顕著になってきており、またムーア則の終焉も論じられてきている。このような状況の中、性能とコストの両立、及び高い性能を維持しつつ設計コスト、製造コストの増加を抑制する、チップレットと呼ばれる技術への取組がインターフェース仕様などの標準化を含め米国を中心に加速しており、日本としても早急な対応が必要になってきている。

※ チップレット技術とは、集積回路を構成する CPU や GPU、アクセラレータ等について、機能ごとの複数のチップに分割、それらチップをそれぞれ最適なプロセスを使って製造しそれらを組み合わせて一つのチップとしてパッケージ化する技術で、集積回路を同一プロセスで一つのチップ上で製造する従来製法と比較して、コスト低減と高性能動作の両立が可能とみられている。

また、関連する政策として、次のようなものが打ち出されている。統合イノベーション戦略 2021 (令和 3 年 6 月 18 日閣議決定) では、Society 5.0 実現に向けた取組として、「半導体」、「AI」等の先端分野における重要技術が挙げられている。成長戦略実行計画 (令和 3 年 6 月 18 日閣議決定) では、経済安全保障の観点

からの技術優越性の確保の取組として、「半導体」、「AI」等が挙げられている。経済財政運営と改革の基本方針 2022（令和 4 年 6 月 7 日閣議決定）では、国家・国民の安全を経済面から確保する観点として、「先端半導体基盤の拡充」、「次世代半導体の設計」等が挙げられている。第 6 期科学技術・イノベーション基本計画（令和 3 年 3 月 26 日閣議決定）では、Society 5.0 実現に向けた取組として、「半導体」等の研究開発が挙げられている。デジタル社会の実現に向けた重点計画（令和 4 年 6 月 7 日閣議決定）では、デジタル社会に必要な技術の研究開発・実証の推進における、情報処理の高度化のための次世代コンピューティング技術として、「AI 半導体の開発」や「チップレットの技術開発」等が挙げられている。

また、経済産業省において「半導体・デジタル産業戦略検討会議」が設置され、半導体・デジタルインフラ・デジタル産業のそれぞれについて、戦略が策定された（令和 3 年 6 月 4 日）。半導体の目指すべき姿としてデジタル&グリーン投資を支える設計開発、今後の対応策としてデジタル投資の加速と先端ロジック半導体の設計・開発の強化が挙げられている。

本事業で取り組むチップレット設計基盤構築に向けた技術開発は、デジタル化技術の進展に必要な高度な情報処理に対応可能であり、Society 5.0 の実現につながる公益性の高い取り組みである。市場の拡大が予想される AI 半導体において、チップレット設計基盤は、今後の半導体産業の中核的な機能になりうるポテンシャルを秘めており、我が国の産業競争力強化および産業裾野拡大として国が主導して取り組む意義がある。また、我が国の半導体産業再興のためには製造業界と設計業界が双方発展する状態にする必要があり、半導体メーカーのみならずソフトウェアメーカー・システムメーカーなどの参入と、大企業だけでなく中小・ベンチャーが参入して幅広い産業基盤の形成が理想である。幅広い産業基盤の形成により、半導体の設計能力を将来的に確保し、データ社会の核となる電子機器を安定供給可能なサプライチェーンの構築に寄与するため、これらの点からも取り組む意義が大きい。

② 我が国の状況

日本は、コンピューティング分野において、ハードウェアを中心に存在感を発揮してきた。1980 年前後には、日本発の材料、メモリ、アーキテクチャなどの革新的な技術を発明し、ムーア則実現の礎を築いた。

その後、ファウンドリーという業態が新たに誕生し、設計と製造を分離することで複雑化する半導体集積回路の開発に対応する動きが活発化したが、市場変化への対応が遅れたことに伴い、例えば半導体では 1988 年には 50%を超えていたシェアが現在では 10%程度にまで落ち込む等、コンピューティング分野において苦戦している状況である。

分業化が進んできた半導体集積回路の開発分野において、独創的な VLSI（大規模集積回路）システムを発想し、回路構成・基本設計技術を有する技術者集団を育成するため、VLSI の設計教育の高度化と充実を目指し、1996 年に全国の大学などが共同で利用できる施設として VDEC（大規模集積システム設計教育研究センター）が東京大学内に設置された。主に、学術的用途向けとして、半導体集積回路の設計に欠かせない設計環境や検査・測定環境を自ら保有し、学生、研究者を中心に解放することで、人材育成に寄与している。VDEC は 2019 年 10 月からは新たに、東京大学大学院工学系研究科附属システムデザイン研究センター基盤設計研

究部門として、従来と同様の活動（VDEC 機能）を継続している。また、一般社団法人電子情報技術産業協会の半導体部会役員会が推進した半導体先端技術の民間共同開発プロジェクト「あすかプロジェクト」が 2001 年に開始し、デザインルール hp65 向け技術として SoC（System on a chip）の開発効率を向上させる 45nm 対応設計技術や 32nm 対応プロセスデバイス技術を開発したが、10 年後の 2010 年に終了している。

一方で先端半導体の設計技術への対応として、2018 年に開始した NEDO の「AI チップ開発加速のためのイノベーション推進事業」において、AI 半導体開発に必要な集積回路設計として 28nm および 12nm などの設計検証技術を開発するとともに、AI 半導体の設計・評価・検証等の開発環境を民間企業等に 2019 年 10 月より試験運用ではあるが、提供を開始している。しかしながら、チップレット技術に関する設計基盤の構築および産業の裾野拡大につながるベンチャー企業等を支援する取り組みは存在しない。

日本の情報産業の再興のためには、次世代の半導体設計開発を推進する日本の産業にあったチップレット技術の新たな基盤技術構築や設計環境の整備、開発することが勝負の鍵となる。

③ 世界の取組状況

米国では、半導体集積回路の設計作業を自動化し支援するためのソフトウェアやハードウェア及び手法である EDA（Electronic Design Automation）技術の黎明期から、国が大学の研究活動を中心に支援してきた。現在、EDA ツールベンダーは米国企業が寡占している。チップレットの設計技術に関しては、DARPA（Defense Advanced Research Projects Agency）が 2017 年にチップレットの標準化を目指す CHIPS（Common Heterogeneous Integration and IP Reuse Strategies）プロジェクトを開始し、2018 年からエレクトロニクス再興イニシアチブ（ERI: Electronics Resurgence Initiative）等で支援を行っている。欧州でも比較的早くから LSI 設計技術が IMEC などの産学連携を通じて強化され、さらに、ExaNoDe（European Exascale Processor Memory Node Design）プロジェクト等でチップレット設計技術の支援を行ってきた。中国でも半導体を基幹産業とするために国内企業の育成に取り組んでおり、国家政策により上海、北京、無錫、成都、大連等を IC 産業育成地域として指定し、国営の IC R&D Center（試作、EDA、テストサービス）を設置している。韓国においても政府が AI 半導体開発への支援を行っている。

また、Intel、AMD、Google、Meta Platforms、Microsoft、Qualcomm、Arm、Samsung Electronics、ASE group、TSMC の 10 社は、2022 年 3 月にチップレット技術の標準化を目指し、半導体のダイ間（チップレット間）の相互接続のためのオープン規格 UCIe（Universal Chiplet Interconnect Express）を推進する業界団体の設立と、同規格に基づく標準仕様「UCIe 1.0」を発表した。同団体には 2022 年 9 月時点 40 社以上が参加しており、今後の動向に関しては注視する必要がある。

④ 本事業のねらい

今後も拡大するエッジコンピューティング市場において、チップレット技術の標準化が進み、その活用も増加していくことが予想されており、我が国半導体関連企業がシェアを獲得するためには、日本としてもチップレット技術の導入が重

要であり、そのための設計基盤技術の構築や中小・ベンチャー企業等の支援が必要である。

本事業では、世界のチップレット技術の標準化動向を注視しつつ、性能とコストを両立する半導体を容易に実現するためのチップレット設計基盤構築に向けた技術開発を進め、民間企業等が広く活用できる基盤技術となることを目指す。加えて、チップレット型カスタム SoC にも搭載可能な AI 半導体チップを開発し、確実な社会実装を目指す。

(2) 研究開発の目標

①アウトプット目標

【研究開発項目】チップレット型カスタム SoC 設計基盤技術開発

エッジコンピューティング向けチップレット型カスタム SoC の設計基盤技術を開発し、基盤技術を活用したチップレット開発件数 8 件以上を目標とする。詳細は別紙のとおり。

②アウトカム目標

2037 年（令和 19 年）の産業ロボット向け・健康機器等を中心としたエッジコンピューティング向けチップレットの世界市場で約 1,214 億円の市場獲得を目指す。

③アウトカム目標達成に向けての取組

研究開発を実施する事業者は、外部の民間企業、大学や研究機関等と連携してチップレット型カスタム SoC を開発し、民間企業等へ提供できるようチップレット型カスタム SoC の開発基盤を事業期間中に確立する。また、チップレット型カスタム SoC の研究開発と並行して、民間企業等において IoT や AI 技術を活用するための知見やノウハウを持った人材の育成を進めることで、本研究開発の成果の更なる高度化へと繋げる。

(3) 研究開発の内容

上記のアウトカム目標達成に向けて、以下の研究開発項目に取り組む。詳細は別紙の通り。

【研究開発項目】チップレット型カスタム SoC 設計基盤技術開発 <委託>

チップレット型カスタム SoC の共通課題となる高効率アーキテクチャ、回路の設計、実装技術等の基盤技術、およびそれらの実証のためのチップレットを開発し、実証実験により開発した技術の有効性を確認する。開発に際しては、チップレットに関する業界団体の活動および技術の最新動向を継続的に調査すると共に、必要な仕様を取り込むなど、国際動向に連動した研究開発を実施する。さらに、チップテストを含めてのトータルコストに関わる複数の半導体ダイ接続時の問題等を踏まえた取り組みを行う。チップレット開発においては、外部の協力者と連携して実施する。それらを IP として蓄積し、民間企業等で活用できるように条件などを整備、提供のための仕組みを構築する。

本研究開発項目については、国民経済的には大きな便益がありながらも、研究開発成果が直接的に市場性と結び付かない公共性の高い事業であり、委託事業として実施する。

2. 研究開発の実施方法

(1) 研究開発の実施体制

プロジェクトマネージャー（以下「PMgr」という。）は、事業の成果・効果を最大化させるため、実務責任者として担当事業全体の進行を計画・管理し、事業遂行にかかる業務を統括する。

NEDOは公募により研究開発実施者を選定する。必要に応じて、実施期間中に複数回公募を行う。研究開発実施者の選定においては、課題解決への道筋やビジネス化へのストーリーを設定できていることを重視する。

研究開発実施者は、企業や大学等の研究機関等（以下「団体」という。）のうち、原則として日本国内に研究開発拠点を有するものを対象とし、単独又は複数で研究開発に参加するものとする。ただし、国外の団体の特別の研究開発能力や研究施設等の活用又は国際標準獲得の観点から必要な場合は、当該の研究開発等に限り国外の団体と連携して実施することができるものとする。なお、各実施者の研究開発能力を最大限に活用し、効率的かつ効果的に研究開発を推進する観点から、プロジェクトリーダー（以下「PL」という。）を委嘱する。PLは、PMgrの指示の下、プロジェクトに参画する実施者の研究開発を主導する。

(2) 研究開発の運営管理

NEDOは、研究開発全体の管理、執行に責任を負い、研究開発の進捗のほか、外部環境の変化等を適時に把握し、必要な措置を講じるものとする。運営管理は、効率的かつ効果的な方法を取り入れることとし、次に掲げる事項を実施する。

①研究開発の進捗把握・管理

PMgrは、PL及び研究開発実施者と緊密に連携し、研究開発の進捗状況を把握する。また、必要に応じ、外部有識者で構成するアドバイザリー委員会を組織し、定期的に技術的評価を受け、目標達成の見通しを常に把握することに努める。各テーマの進捗、成果の事業化の見通し等を踏まえ、必要に応じ、加速、縮小、実施体制の再構築を行う。

②技術分野における動向の把握・分析

PMgrは、プロジェクトで取り組む技術分野について、内外の技術開発動向、政策動向、市場動向等について調査し技術の普及方策を分析、検討する。なお、調査の効率化の観点から、本プロジェクトにおいて委託事業として実施する。

3. 研究開発の実施期間

2023年度から2027年度までの5年間とする。

4. 評価に関する事項

NEDOは技術評価実施規程に基づき、技術的及び政策的観点から研究開発の意義、目標達成度、成果の技術的意義並びに将来の産業への波及効果等について、プロジェクト評価を実施する。

評価の時期は、中間評価を2025年度、事後評価を2028年度とし、当該研究開発に係る技術動向、政策動向や当該研究開発の進捗状況等に応じて、前倒しする等、適宜見直すものとする。

また、中間評価結果を踏まえ必要に応じて研究開発の加速・縮小・中止等の見直しを迅速に行う。

5. その他重要事項

(1) 研究開発成果の取り扱い

① 共通基盤技術の形成に資する成果の普及

研究開発実施者は、研究成果を広範に普及するよう努めるものとする。NEDOは、研究開発実施者による研究成果の広範な普及を促進する。

研究開発成果のうち共通基盤技術に係るものについては、プロジェクト内で速やかに共有した後、NEDO及び実施者が協力して普及に努めるものとする。

② 標準化施策等との連携

得られた研究開発成果については、標準化等との連携を図ることとし、標準化に向けて開発する設計基盤技術や評価手法等の提案、データの提供等を積極的に行う。

③ 知的財産権の帰属、管理等取扱い

委託研究開発成果に関わる知的財産権については、「国立研究開発法人新エネルギー・産業技術総合開発機構 新エネルギー・産業技術業務方法書」第25条の規定等に基づき、原則として、全て委託先に帰属させることとする。なお、プロジェクト初期の段階から、事業化を見据えた知財戦略を構築し、適切な知財管理を実施する。

④ 知財マネジメントに係る運用

本プロジェクトは、「NEDO プロジェクトにおける知財マネジメント基本方針」を適用する。

⑤ データマネジメントに係る運用

本プロジェクトは、「NEDO プロジェクトにおけるデータマネジメント基本方針（委託者指定データを指定しない場合）」を適用する。

(2) 「プロジェクト基本計画」の見直し

PMgr は、当該研究開発の進捗状況及びその評価結果、社会・経済的状况、国内外の研究開発動向、政策動向、研究開発費の確保状況等、プロジェクト内外の情勢変化を総合的に勘案し、必要に応じて目標達成に向けた改善策を検討し、達成目標、実施期間、実施体制等、プロジェクト基本計画を見直す等の対応を行う。

(3) 関係省庁の施策との連携

目標達成のため、関係省庁が実施する関連プロジェクトと必要に応じて連携する。

(4) 根拠法

本プロジェクトは、国立研究開発法人新エネルギー・産業技術総合開発機構法第15条2号及び9号に基づき実施する。

(5) その他

本事業のうち委託事業は、交付金インセンティブ制度を活用することとする。当該事業における具体的運用等は、公募を経て採択された実施者に提示する。

6. 基本計画の改定履歴

(1) 2023年2月、制定

(別紙1) 研究開発計画

研究開発項目 チップレット型カスタム SoC 設計基盤技術開発

1. 研究開発の必要性

エッジコンピューティングにおける情報処理すなわち論理演算を行う半導体の高性能化は、これまでは 1970 年代から続くムーア則というメガトレンドに則り、微細化によって達成してきた。しかしながら、更なる微細化は設計コストが上昇するため、性能とコストの両立が求められている。この課題に対して、高い性能を維持しつつ設計コストの増加を抑制する、チップレットと呼ばれる技術への取組がインターフェース仕様などの標準化を含め米国を中心に加速しており、日本としても早急な対応が必要になってきている。

本研究開発では、大学や研究機関等によるチップレット型カスタム SoC 基盤設計技術の開発を進めると共に、その技術を活用してチップレットを開発する。

2. 研究開発の具体的内容

チップレット型カスタム SoC の共通課題となる高効率アーキテクチャ、回路の設計および実装基盤技術、およびそれらの実証のためのチップレットを開発し、実証実験により開発した技術の有効性を確認する。開発に際しては、チップレットに関する業界団体の活動および技術の最新動向を継続的に調査すると共に、必要な仕様を取り込むなど、国際動向に連動した研究開発を実施する。さらに、チップテストを含めてのトータルコストに関わる複数の半導体ダイ接続時の問題等を踏まえた取り組みを行う。

想定する研究開発テーマ例は下記の通り。

(研究開発テーマ例)

- 高効率チップレットアーキテクチャ開発
- 回路、実装、設計手法および評価手法を中心とする基盤技術の開発
- チップレットチップの開発
- その他、共通基盤技術として重要な技術

なお、基盤技術は、開発コストやリスク、供用性等の観点から民間企業単独では挑戦できないような技術を構築する。また、チップレットの開発については、外部の協力者等と連携して実施し、それらを IP として蓄積し、民間企業等で利活用できるように条件などを整備、提供のための仕組みを構築する。さらに、国際動向への連動として、UCIe (Universal Chiplet Interconnect Express) 等チップレットに関する業界団体の活動の最新動向を継続的に調査し、必要な仕様を取り込む。

3. 研究開発期間

5年以内とする。

4. 達成目標

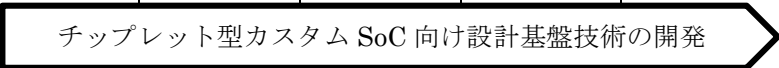

<中間目標（2025年度）>

- 本事業を通じて開発した基盤技術を活用したチップレット開発件数 4 件以上（累計）を目標とする。

<最終目標（2027年度）>

- 本事業を通じて開発した基盤技術を活用したチップレット開発件数 8 件以上（累計）を目標とする。

(別紙2) 研究開発スケジュール

	2023 年度	2024 年度	2025 年度	2026 年度	2027 年度	2028 年度
研究開発項目 チップレット型カスタム SoC 設計基盤技術開発 (委託)	 チップレット型カスタム SoC 向け設計基盤技術の開発					
		 実証用チップレットの開発				
評価時期			中間評価			事後評価