

プロジェクト名: チップレット設計基盤構築に向けた技術開発事業

研究開発の目的

Society 5.0 の実現に向けてデジタル化技術を進展させるためには、エッジでの情報処理が不可欠です。情報処理に活用するAI半導体として、高い性能を維持しつつ設計・製造コストの増加を抑制する、ポストムーア技術の一つとしてチップレットと呼ばれる技術への取組が標準化を含め米国を中心に加速しており、日本としても早急な対応が必要になってきています。

本事業では、世界のチップレット技術の標準化動向を注視しつつ、性能とコストを両立する半導体を容易に実現するためのチップレット設計基盤構築に向けた技術開発を進め、民間企業等が広く活用できる基盤技術となることを目指します。加えて、チップレット型カスタムSoCにも搭載可能なAI半導体チップを開発し、確実な社会実装を目指します。

研究開発の内容

研究開発項目

「チップレット型カスタムSoC 設計基盤技術開発」(委託)

チップレット型カスタムSoC の共通課題となる高効率アーキテクチャ、回路の設計、実装技術等の基盤技術、およびそれらの実証のためのチップレットを開発し、実証実験により開発した技術の有効性を確認する。開発に際しては、チップレットに関する業界団体の活動および技術の最新動向を継続的に調査すると共に、必要な仕様を取り込むなど、国際動向に連動した研究開発を実施する。

さらに、チップテストを含めてのトータルコストに関わる複数の半導体ダイ接続時の問題等を踏まえた取り組みを行う。チップレット開発においては、外部の協力者と連携して実施する。それらをIPとして蓄積し、民間企業等で利活用できるように条件などを整備、提供のための仕組みを構築する。

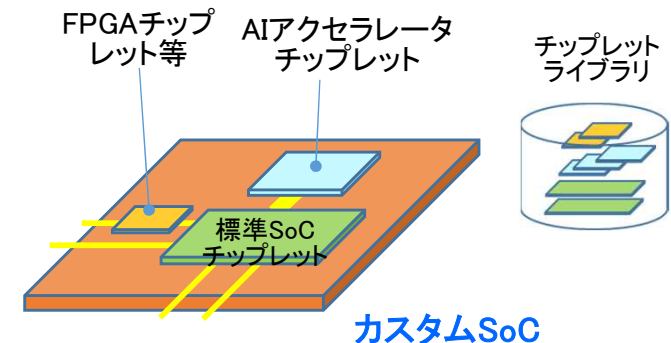
プロジェクトの規模

・NEDO予算(2023年度)	5.0億円
・実施期間	2023～2027年度(5年間)

成果適用のイメージ

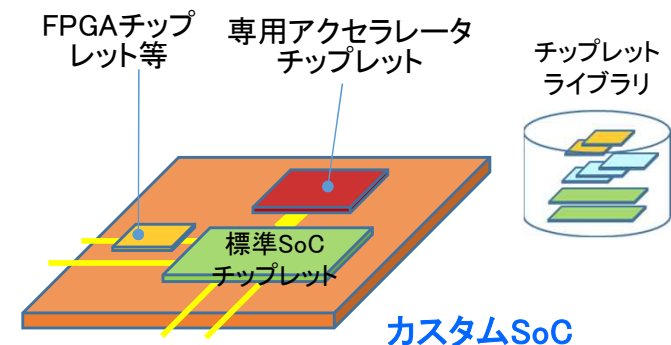
超短TATタイプ

- ・チップレットライブラリから所望のIPチップレットを選びSoCを構築
- ・カスタマイズはFPGAチップレットで行う
- ・新たなチップレット開発は不要



カスタムタイプ

- ・専用アクセラレータチップレットを独自開発
- ・標準チップレットを搭載したプラットフォーム化した基板でSoCを構築
- ・専用チップレット以外のチップレット開発は不要



※チップレット技術とは、集積回路を構成するCPUやGPU、アクセラレータ等について、機能ごとの複数のチップに分割、それらチップをそれぞれ最適なプロセスを使って製造しそれらを組み合わせる一つのチップとしてパッケージ化する技術です。