

# RISC-Vシステム設計プラットフォーム

プロジェクト  
実施者

国立大学法人東京工業大学、セイコーエプソン株式会社、株式会社エヌエスアイテクス、  
京都マイクロコンピュータ株式会社、株式会社OTSL、国立大学法人東京大学

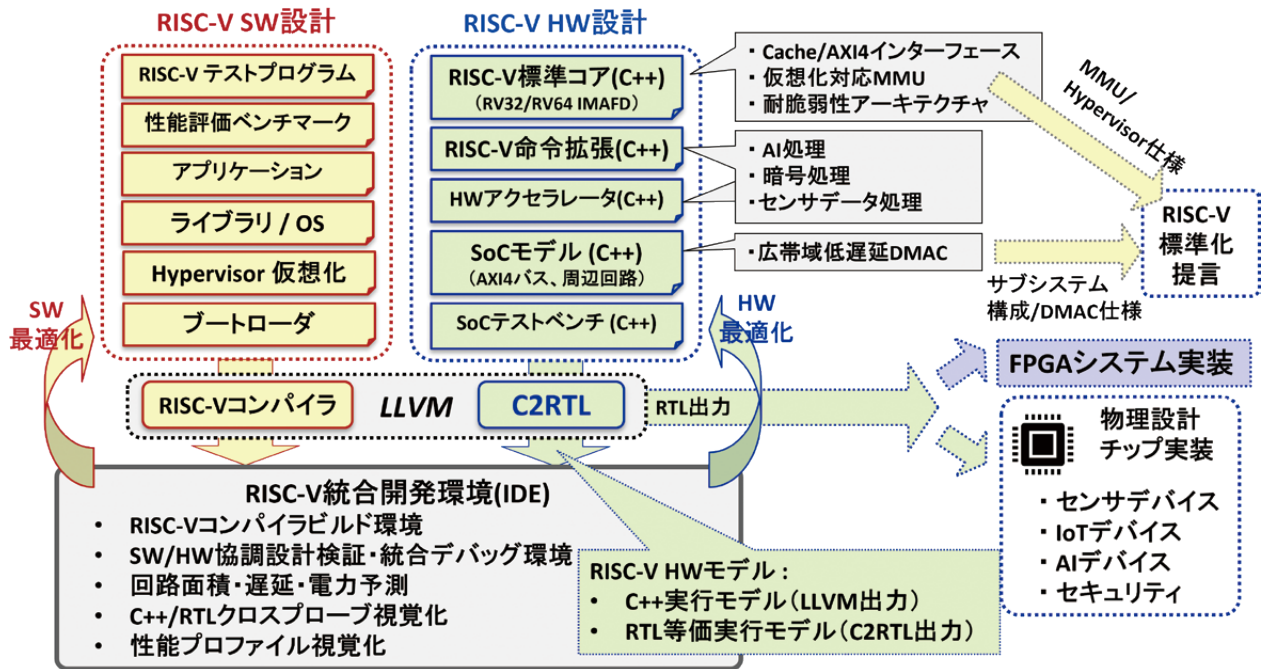
## プロジェクト概要

### 》RISC-Vオープンアーキテクチャによる高効率SoC開発

命令拡張可能なRISC-Vプロセッサと最適化設計されたハードウェア(HW)アクセラレータからなるシステム・オン・チップ(SoC)構成は、ソフトウェア(SW)定義によるシステム機能の柔軟性と高い処理効率を両立するための有力なソリューションです。

### 》RISC-VシステムのHW/SW協調最適化設計環境の構築

RISC-Vコアを含めたSoCのチップ全体をSW言語(C++)によって設計検証技術を活用したシステム設計プラットフォームを構築し、IoT・AI・セキュリティなどのエッジデバイスとそのSWを統合的に開発する設計検証環境の構築を進めています。



RISC-Vシステム設計プラットフォームで実現されるHW/SW協調設計検証メソッドロジー

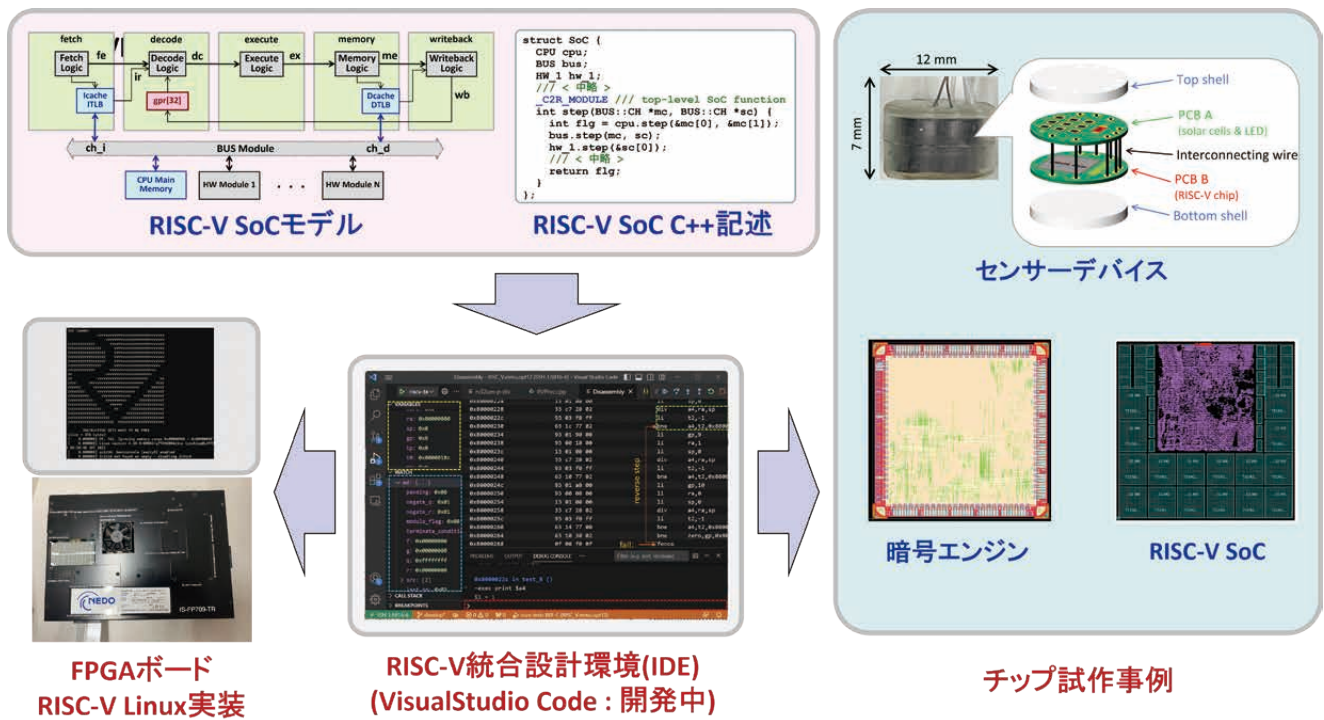
## 展示物紹介

### RISC-V統合設計環境(IDE)デモンストレーション

RISC-Vコア、バス、HWアクセラレータ、周辺回路等すべてのモジュールのSW言語(C++)記述からシステム全体の回路記述(RTL)が自動生成される設計フローと、HW/SW協調シミュレーション・デバッグツールの様子を開発中のIDEツールでご紹介します。

### RISC-V SoC設計事例紹介とFPGAデモンストレーション

RISC-V SoC、暗号エンジン、センサデバイス等のチップ試作事例の他、AIアクセラレータ搭載RISC-V SoCの回路設計事例やFPGAボードによるRISC-VのLinux実装デモンストレーションを通してSW記述からのSoC設計フローをご紹介します。



RISC-V統合設計環境(IDE)とRISC-V SoC設計事例とFPGAデモンストレーション

プロジェクト実施期間	2022年度～2024年度
NEDOプロジェクト名	省エネAI半導体及びシステムに関する技術開発事業／ AIエッジコンピューティングの産業応用加速のための設計技術開発／ RISC-Vシステム設計プラットフォームの研究開発
お問い合わせ先	東京工業大学 工学院 (担当:一色 剛) ✉ issniki@ict.e.titech.ac.jp