

「AI チップ開発加速のための  
イノベーション推進事業」

事業原簿  
【公開版】

担当部	国立研究開発法人 新エネルギー・産業技術総合開発機構 IoT 推進部、イノベーション推進部
-----	---

## —目次—

概 要 .....	II
プロジェクト用語集 .....	VII
<b>1. 事業の位置付け・必要性について .....</b>	<b>1</b>
1. 事業の背景・目的・位置づけ .....	1
2. NEDO の関与の必要性・制度への適合性 .....	4
2.1 NEDO が関与することの意義 .....	4
2.2 実施の効果(費用対効果) .....	5
<b>2. 研究開発マネジメントについて .....</b>	<b>7</b>
1. 事業の目標 .....	7
2. 事業の計画内容 .....	8
2.1 研究開発の内容 .....	8
2.2 研究開発の実施体制 .....	14
2.3 研究開発の運営管理 .....	16
2.4 研究開発成果の実用化に向けた マネジメントの妥当性 .....	17
3. 情勢変化への対応 .....	23
4. 評価に関する事項 .....	26
<b>3. 研究開発成果について .....</b>	<b>28</b>
1. 事業全体の成果 .....	28
2. 研究開発項目毎の成果 (実施項目ごとの成果) .....	34
<b>4. 成果の実用化に向けた取組及び見通しについて .....</b>	<b>112</b>
1. 成果の実用化の実施状況 .....	112
2. 今後の取組 .....	113
3. 実用化による波及効果 .....	114

### (添付資料)

- ・基本計画
- ・プロジェクト開始時関連資料(事前評価結果)
- ・研究発表・講演、論文、特許等のリスト

# 概要

		最終更新日	2023年9月21日
プロジェクト名	AI チップ開発加速のためのイノベーション推進事業	プロジェクト番号	P18004
担当推進部/ 担当者 及び METI 担当課	<p>NEDO IoT 推進部 波佐昭則 主任研究員(2018年5月～2023年3月)</p> <p>NEDO IoT 推進部 遠藤康浩 主査(2018年5月～2019年3月)</p> <p>NEDO IoT 推進部 戸田昭夫 主査(2018年5月～2020年4月)</p> <p>NEDO IoT 推進部 久保田英明 主査(2018年5月～2022年3月)</p> <p>NEDO IoT 推進部 芹澤慎 主査(2020年5月～2023年3月)</p> <p>NEDO IoT 推進部 阿川謙一 主査(2022年4月～2023年9月現在)</p> <p>NEDO IoT 推進部 橋本就吾 主任(2019年4月～2021年4月)</p> <p>NEDO IoT 推進部 功刀基 主任(2021年5月～2023年3月)</p> <p>NEDO イノベーション推進部 夏目健夫 統括主幹(2019年7月～2020年5月)</p> <p>NEDO イノベーション推進部 久保亮 統括主幹(2020年6月～2022年3月)</p> <p>NEDO イノベーション推進部 糸田真宏 統括主幹(2022年4月～2023年3月)</p> <p>NEDO イノベーション推進部 徳永真也 主査(2018年7月～2020年3月)</p> <p>NEDO イノベーション推進部 宮崎崇 主査(2018年7月～2020年3月)</p> <p>NEDO イノベーション推進部 三谷陽一郎 主査(2019年4月～2019年9月、2021年3月～2022年3月)</p> <p>NEDO イノベーション推進部 野口透 主査(2019年11月～2021年3月)</p> <p>NEDO イノベーション推進部 飛田英二 専門調査員(2019年10月～2023年9月現在)</p> <p>NEDO イノベーション推進部 清俊和 専門調査員(2020年6月～2022年9月)</p> <p>経済産業省 商務情報政策局 情報産業課</p>		
0. 事業の概要	<p>IoT 社会の到来で大量のデータを効率的かつ高度に活用するためには、エッジでの情報処理が不可欠である。エッジにおいて限られた資源を用いて効率的に処理を行う AI チップを開発するためには、AI とチップ設計、ソフトとハード双方に関する知見と技術に加え、高額な設計ツールや設計検証設備等も必要であり、これが AI チップ開発とビジネス化に向けた高いハードルとなっている。</p> <p>本事業では、大学や研究機関等による AI チップ開発のための共通基盤技術の開発を進めるとともに、その知見や設計・検証等の開発環境等を中小企業やベンチャー企業をはじめとする民間企業等に提供することによって、AI チップのアイデアを実用化する開発を加速する。</p> <p>なお、本事業は内閣府「官民研究開発投資拡大プログラム(PRISM)」に登録済である。</p>		
1. 事業の位置 付け・必要性について	<p>本事業は、超スマート社会 Society5.0 実現に向けた、第 5 期科学技術基本計画(平成 28 年度閣議決定)、未来投資戦略(平成 30 年度閣議決定)、統合イノベーション戦略(平成 30 年度閣議決定)世界最先端デジタル国家創造宣言官民データ活用推進基本計画(令和元年度閣議決定)における基盤技術として挙げられており、科学技術・産業技術政策を実現する事業と位置付けられる。また、従来にない AI チップを実用化するためには開発を支援する拠点機能が必要であり、国際的な開発競争も激しい技術分野で、欧米中では国家支援のもと、取組が進行している。さらに、本事業は民間企業単独ではリスクがあり、市場原理のみで技術開発の推進を図ることは困難であるため、本事業で推進する必要がある。</p>		
2. 研究開発マネジメントについて			
	事業の目標	<p>大学や研究機関等による高度な AI チップ開発のための共通基盤技術の開発を進めるとともに、その知見や AI チップの設計・評価・検証等の開発環境を AI チップ設計拠点として整備し、民間企業等に提供、AI チップの開発を加速する。</p>	

事業の計画内容	主な実施事項	2018fy	2019fy	2020fy	2021fy	2022fy	
	研究開発項目① AI チップに関するアイデアの実用化に向けた開発(助成)						
	研究開発項目② AI チップ開発を加速する共通基盤技術の開発(委託)						
事業費推移 (単位:百万円) (委託・助成)	会計・勘定	2018fy	2019fy	2020fy	2021fy	2022fy	総額
	一般会計	684	1,827	1,985	2,124	2,171	8,791
	特別会計 (電源・需給の別)	0	0	0	0	0	0
	開発成果促進財源	0	109	0	86	0	195
	総 NEDO 負担額	684	1,936	1,985	2,210	2,171	8,986
	(委託)	631	1,658	1,748	1,986	2,094	8,117
	(助成) 助成率: 2/3(中小) 1/2(中堅)	53 助成率: 2/3	278 助成率: 2/3	237 助成率: 2/3, 1/2	224 助成率: 2/3, 1/2	77 助成率: 2/3, 1/2	869
開発体制	経産省担当原課	商務情報政策局 情報産業課					
	プロジェクトリーダー	東京大学大学院 情報工学系研究科 教授 中村宏					
	プロジェクトマネージャー	IoT 推進部 遠藤康浩(2018年5月~2019年3月) IoT 推進部 波佐昭則(2019年4月~2023年3月)					
	助成先	2018年度分(採択5件⇒2年目3件) 株式会社テックアイデア(2年目交付) 株式会社レイトロン(2年目交付) 東北マイクロテック株式会社(2年目交付) 株式会社シンコム(1年目で終了) 株式会社 Trigence Semiconductor(1年目で終了) 2019年度(採択4件⇒2年目2件) 株式会社デジタルメディアプロフェッショナル、株式会社カイ(2年目交付) 株式会社シグリード(2年目交付) 株式会社ハカルス(事業化前倒しのため1年目で終了) 株式会社エイ・オー・テクノロジーズ(1年目で終了) 2020年度1回目(採択3件⇒2年目3件) 株式会社ネフロック(2年目交付) AMI 株式会社(2年目交付) 株式会社 Anchorz(2年目交付) 2020年度2回目(採択3件⇒2年目2件) PGV 株式会社(事業化前倒しのため1年目で終了) メイビスデザイン株式会社(2年目交付)					

		<p>株式会社テクノアクセラネットワークス(2年目交付) 2021年度(採択2件⇒2年目2件) 株式会社テックイデア(2年目交付) 株式会社ソリトンシステムズ(2年目交付)</p>
	委託先	<p>国立研究開発法人 産業技術総合研究所 再委託先 (公財)福岡県産業・科学技術振興財団 国立大学法人 東京大学</p>
情勢変化への対応	<ul style="list-style-type: none"> <li>・研究開発項目①の事業に関し、新型コロナ、半導体供給不足等の問題により、研究開発遅延が生じたため、2事業者についてそれぞれ助成事業期間の延長(7か月、1年)の処置を行った。</li> <li>・研究開発項目②の事業に関し、内閣府官民研究開発投資拡大プログラム(PRISM)の1年目の対象施策に選定されたため、活用内容を技術推進委員会で審議し、本事業に必要なI/Oなどの機能モジュールやIPコアの導入・整備を前倒して実施した(2018年10月)。</li> <li>・研究開発項目②の事業に関し、拠点利用者の予想以上の増加が見込まれる中、現状の設備能力では利用者数が制限されてしまう可能性が予想されたため、2019年10月に設備増強に向けた加速資金の投入を決定した。</li> <li>・研究開発項目②の事業に関し、拠点利用者へのヒアリング等から、より短納期・低コストでユーザー独自のAIチップが開発可能となる環境構築の必要性が予想されたため、拠点利用者のAIチップ向け独自IP(28nmプロセス)の評価が容易にできるよう2019年12月に資金の追加を決定し、実施項目1-5の目標を追加した。</li> <li>・研究開発項目②の事業に関し、AIチップ向けIPの評価環境の構築に向けた課題を早期に抽出し、低消費電力技術開発へのフィードバックを確実に実施するため、拠点利用者のAIチップ向け独自IP(28nmプロセス)の評価環境構築を前倒して確実にできるよう2020年9月に資金の追加を決定し、実施項目1-5の事業内容を変更した。</li> <li>・研究開発項目②の事業に関し、半導体需給の逼迫による12nmプロセスSOC評価プラットフォームの開発に必要なパッケージ調達やウエハー作成工程のスケジュール遅延が予想されたため、2021年8月に加速資金を投入し、本開発に必要な12nmIPの前倒し導入を決定した。</li> <li>・研究開発項目②の事業に関し、拠点利用者へのヒアリングや2021年開催の第三回技術推進委員会の結果等から、AIチップをシステム案の段階から、目指すアプリケーションの動作デモが可能になる機能整備の必要性が予想されたため、実施項目1-1の事業内容を追加するとともに拠点利用者のAIチップ向け独自IP(12nmプロセス)の評価が確実にできるよう実施項目1-5の事業内容を変更し、これらへの対応として2021年12月に資金の追加を決定した。</li> <li>・研究開発項目②の事業に関し、為替レートの変化および独自IP評価チップ(12nmプロセス)の試作代が値上げしたため、拠点利用者のAIチップ向け独自IP(12nmプロセス)の評価環境構築を確実にできるよう2022年12月に予算の追加を決定した。</li> </ul>	
中間評価結果への対応	<ul style="list-style-type: none"> <li>・AIチップ開発実証後の実用化への道筋の明確化については、当初計画通り、研究開発項目①の助成事業では、各種専門家の派遣等、採択者へのハンズオン支援を実施した。研究開発項目②の委託事業では、整備する設計拠点の機能として、拠点利用者とそのユーザーとなり得る企業とのマッチングを行う仕組みの構築を進め、拠点利用者の実用化の手助けになるような設計拠点を目指した。</li> <li>・研究開発項目②において、低消費電力技術への取り組み、実装技術、ボード設計環境整備等への検討については、中間評価時に構築していたAIチップ向け評価プラットフォーム(評価チップAI-One)において、2021年度にその展開版として低消費電力のための技術を組み込むよう計画に組み入れ、評価チップAI-</li> </ul>	

		<p>Twoとして開発した。また、併せて実装技術、ボード設計環境整備等も推進し、社会に役立つ設計拠点として整備した。</p> <p>・研究開発項目②において、構築した拠点を活用してもらう活動については、当初計画通り、引き続き、拠点整備の進捗に合わせたプレス発表や学会、セミナー等を通じて設計拠点をアピールし、拠点利用者の拡大を図った。また、構築した拠点の自立化に向けた議論において、市場の動向等に沿ったビジョンを明確にし、社会に役立つ拠点として整備した。</p>
評価に関する事項	事前評価	2018 年度実施
	中間評価	2020 年度 中間評価実施
	終了時評価	2023 年度 終了時評価実施予定
3. 研究開発成果について	<p>研究開発項目①AI チップに関するアイデアの実用化に向けた開発(助成事業)</p> <p>中間目標：現状以上の性能を有する AI 向けチップの設計を行い、評価・検証が可能な段階まで到達。設計した AI 向けチップのビジネス化に向けたシナリオを作成。</p> <p>中間目標に対する成果：採択 17 件中、14 件が上記中間目標を達成しステージゲート審査通過。</p> <p>最終目標：AI チップの設計を行い、AI チップの動作を効率化し現状以上の性能を有することをシミュレーション等により検証。検証した AI 向けチップのビジネス化の道筋を立てる。</p> <p>最終目標に対する成果：2023 年 8 月時点で 10 件が実用化達成。</p> <p>研究開発項目②AI チップ開発を加速する共通基盤技術の開発(委託事業)</p> <p>中間目標：本事業を通じて開発、整備した AI チップ設計のための共通基盤技術、学習環境、設計環境等の活用件数 10 件以上。</p> <p>中間目標に対する成果：本事業を通じて開発、整備した AI チップ設計のための共通基盤技術、学習環境、設計環境等の活用件数 26 件。個別の実施項目の詳細は 3 章に記載。</p> <p>最終目標：本事業を通じて開発、整備した AI チップ設計のための共通基盤技術、学習環境、設計環境等の活用件数 15 件以上。</p> <p>最終目標に対する成果：本事業を通じて開発、整備した AI チップ設計のための共通基盤技術、学習環境、設計環境等の活用件数 74 件。個別の実施項目の詳細は 3 章に記載。</p>	
	投稿論文	0 件
	特許	<p>助成 7 件</p> <p>委託 1 件</p> <p>(特記事項)本委託事業においては、特許権の取得より一般に幅広く使える AI チップのための設計技術の開発やそのマニュアル化、ノウハウ等の蓄積に注力した。なお、事業で開発、整備する AI チップ設計手法、リファレンスデザイン、IP ライブラリ、設計クラウド構成、SOC プラットフォーム等については共通基盤技術として公開し、拠点の継続的な運用に必要な箇所(ノウハウの位置付け)については公開範囲を限定する。</p>

	<p>その他の外部発表 (プレス発表等)</p>	<p>助成</p> <p>プレス発表：0件 研究発表・講演：0件 展示会への出展：5件 フォーラム・シンポジウム開催：0件 セミナー開催：0件</p> <p>委託</p> <p>プレス発表：4件</p> <ul style="list-style-type: none"> <li>・2019年10月：AIチップ開発加速のための「AIチップ設計拠点」が稼働開始 —設計・評価ツールの提供により、中小・ベンチャーのチップ開発加速を目指す— (NEDO、産総研、東大) <a href="https://www.nedo.go.jp/news/press/AA5_101211.html">https://www.nedo.go.jp/news/press/AA5_101211.html</a></li> <li>・2021年5月：複数のAIアクセラレータを搭載した評価チップの設計を完了、試作を開始 —短期間で低コストのAIチップ設計・評価手法の確立へ— (NEDO、産総研、東大) <a href="https://www.nedo.go.jp/news/press/AA5_101427.html">https://www.nedo.go.jp/news/press/AA5_101427.html</a></li> <li>・2022年5月：複数のAIアクセラレータを搭載した実証チップ「AI-One」の動作を確認 —従来比45%以下の短期間で低コストのAIチップ設計・評価が可能に— (NEDO、産総研、東大) <a href="https://www.nedo.go.jp/news/press/AA5_101526.html">https://www.nedo.go.jp/news/press/AA5_101526.html</a></li> <li>・2023年3月：「AIチップ設計拠点」の本格運用を開始 —設計環境の提供により、中小・ベンチャー企業などのAIチップ開発加速を目指す— (NEDO、産総研、東大) <a href="https://www.nedo.go.jp/news/press/AA5_101614.html">https://www.nedo.go.jp/news/press/AA5_101614.html</a></li> </ul> <p>研究発表・講演：47件 展示会への出展：7件 フォーラム・シンポジウム開催：46件 セミナー開催：21件</p>
<p>4. 成果の実用化に向けた取組及び見通しについて</p>	<p>当初計画通り、研究開発項目①の助成事業では、採択条件として助成事業者が開発するAIチップやIP等の事業化に向けた計画を実施計画に入れるよう要求し、事業期間中は採択者へのハンズオン支援を実施した。その結果、実用化率58.8%(採択17件中10件)となっている。</p> <p>また、研究開発項目②で整備する設計拠点においては、拠点の機能として拠点利用者とユーザーとなり得る企業とのマッチングを行う仕組みの構築を進めた。整備したAIチップ設計拠点は産総研の共用施設として、2023年4月より本格運用を開始し、アウトカム目標達成に向けて、AIチップ設計開発加速に必要な共通基盤技術を提供するとともに、拠点利用者とユーザーとなり得る企業とのマッチング活動を継続している。</p>	
<p>5. 基本計画に関する事項</p>	<p>作成時期</p>	<p>2018年3月 作成</p>
	<p>変更履歴</p>	<p>2020年9月 改訂</p>

## プロジェクト用語集

用語	説明
AIDC	本事業で開発した共通基盤技術・資産を継承する自立運営組織の仮称。
AI チップ	人工知能(AI)技術により演算処理などを高速化することに特化した半導体チップ。
CNN	畳み込み型ニューラルネットワーク(Convolutional Neural Network)の略
d.lab	東京大学大学院工学系研究科付属システムデザイン研究センターの別名称。
DARPA	アメリカ国防高等研究計画局(Defense Advanced Research Projects Agency)の略
EDA	EDA は(Electronic Design Automation)の略で、半導体集積回路などの電気系回路設計を自動化・支援・補助するソフトウェア。
IP	IP は(Intellectual Property)の略で、半導体集積回路を構成する部分的な回路情報。
LSF	負荷分散機構(Load sharing Facility)の略。
NoMachine	NX Technology 社製品。中間サーバを必要としない設計システムへの接続ソフト。
NOC	Network-On-Chip の略。
RNN	再帰型ニューラルネットワーク(Recurrent Neural Network)の略。
RTL	レジスタ転送レベル(Register Transfer Level)の略で、論理回路をハードウェア記述言語で記述する際の手法。
SOC	System On a Chip の略で、集積回路の 1 個のチップ上に、プロセッサコアをはじめ一般的なマイクロコントローラが持つような機能のほか、応用目的の機能なども集積し、連携してシステムとして機能するよう設計されているチップ。
TCAD	Technology CAD の略で、プロセスシミュレータとデバイスシミュレータと回路シミュレータを統合したもの。
VDEC	VLSI Design and Education Center(東京大学大規模集積システム設計教育研究センター)の略。現在は d.lab に改組。
上流設計	半導体チップの設計工程の一つで、仕様に基づいて、半導体チップを構成する部品(機能素子)とそのつながりを表す回路データを作成する工程。
設計フロー	EDA ツールを用いた設計手順。
ツールチェーン	さまざまな種類の EDA ツールの組合せ。
テープアウト	半導体設計の最終段階の区切りをさし、完成したデータを製造部門に出荷すること。
(ハードウェア)エミュレータ	集積回路レベルからシステム全体までを高速に検証することができる検証装置。産総研が、経済産業省「産業技術実用化開発事業費補助金：AI チップ開発加速のための検証環境整備事業」で導入。
物理設計	半導体チップの設計工程の一つで、上流設計で作成された回路データを用いて、半導体ウエハー上に半導体チップとして機能素子や配線などを作りこむためのデータを作成する工程。
ライブラリ	半導体設計で用いる設計部品データ。
リファレンスデザイン	完成品の実装例。



## 1. 事業の位置付け・必要性について

### 1. 事業の背景・目的・位置づけ

IoT、人工知能(AI)、ビッグデータ、ロボット等の技術革新により、これまで実現不可能とされていた社会の実現が可能になりつつある。IoT 技術の進展により、実社会のあらゆる事業・情報がデータ化され、ネットワークを通じた自由なやりとりが可能となりつつある。AI 技術は、その飛躍によって、機械が自ら学習し人間を超える高度な判断をすることも可能にしている。また、ビッグデータ技術によって、集まった大量のデータの分析から新たな価値を生み出すことを可能にしている。ロボット技術は、より多様かつ複雑な作業の自動化を可能にしている。また、これら技術革新の掛け合わせによって、革新的な製品やサービスが生み出されることも期待できる。例えば、無人自動走行車、ものづくり現場における多品種少量生産、個人に最適化された医薬品の提供、介護現場の労働力不足解消、インフラ保安の効率化等の実現が期待され、産業構造や就業構造を劇的に変える可能性を秘めている。

「必要なもの・サービスを、必要な人に、必要な時に、必要なだけ提供し、社会の様々なニーズにきめ細かく対応でき、あらゆる人が質の高いサービスを受けられ、年齢、性別、地域、言語といった様々な違いを乗り越え、生き活きと快適に暮らすことのできる」超スマート社会(Society 5.0)の実現には、上記のような第 4 次産業革命技術やそれらを用いて創造される製品やサービスを次々と社会実装していかなくてはならない。

関連する政策として、次のようなものが打ち出されている。第 5 期科学技術基本計画(平成 28 年 1 月閣議決定)では、「超スマート社会」(Society 5.0)の実現において、構築に必要で速やかな強化を図るのが必要な基盤技術として、安全な情報通信を支える「サイバーセキュリティ技術」、IoT やビッグデータ解析、高度なコミュニケーションを支える「AI 技術」、大規模データの高速度・リアルタイム処理を低消費電力で実現するための「デバイス技術」、IoT の高度化に必要な現場システムでのリアルタイム処理の高速化や多様化を実現する「エッジコンピューティング」等が挙げられている。「科学技術イノベーション総合戦略 2017」(平成 29 年 6 月閣議決定)では、「超スマート社会」(Society 5.0)の実現に向けた重きを置くべき取組として、「サイバー空間関連の基盤技術の強化(エッジコンピューティング等)」や「フィジカル空間関連の基盤技術の強化(超小型・超低消費電力デバイス等)」が挙げられている。「未来投資戦略 2017」(平成 29 年 6 月閣議決定)では、イノベーション・ベンチャーを生み出す好循環システムのための重点投資すべき分野の取組の一つとして、「AI 学習効率の向上、自然言語処理、ディープ

ラーニング翻訳、超高効率 AI 処理に資する半導体及び革新的センサー等の基盤技術開発及びその組み込みシステムへの適用」が挙げられている。

また、経済産業省は、Society 5.0 を実現するための我が国の産業が目指すべき姿(コンセプト)として、「Connected Industries」を提唱した(2017 年 3 月)。Connected Industries は、既存産業とデジタル技術の「つながり」をはじめとして、機械、データ、技術、ヒト、組織など様々なものの繋がりによって新たな付加価値の創出や社会課題の解決を目指すものである。経済産業省は、Connected Industries を実現するための事業を強力に推進しており、特に、「自動走行・モビリティサービス」、「バイオ・素材」、「スマートライフ」、「プラント・インフラ保安」、「ものづくり・ロボティクス」を 5 つの重点取組分野としている。

上記の社会課題解決には、大量データの効率的かつ高度な利用を可能とする情報の収集、蓄積、解析、セキュリティなどの技術に加え、AI・次世代コンピューティング技術がエッジやクラウド領域において求められている。中でも、自動走行やロボティクスを始めとする分野では、従来のクラウドコンピューティングからネットワークの末端(エッジ)で中心的な情報処理を行うエッジコンピューティングへの分散が不可欠になると考えられており、エッジにおける処理の重要性や価値が高まると推察されている。特にエッジにおいては限られた資源を用いて効率的に処理を行う必要があるため、性能を飛躍的に向上させられる AI 技術の活用が期待されている。この転換期を日本の IT 産業が大幅に成長するチャンスと見据え、産学官の体制による野心的な技術開発を推進することが重要である。

日本は、コンピューティング分野において、ハードウェアを中心に存在感を発揮してきた。1980 年前後には、日本発の材料、メモリ、アーキテクチャなどの革新的な技術を発明し、ムーア則実現の礎を築いた。

その後、ファウンドリーという業態が新たに誕生し、設計と製造を分離することで複雑化する集積回路の開発に対応する動きが活発化したが、市場変化への対応が遅れたことに伴い、例えば半導体では 1988 年には 50%を超えていたシェアが現在では 10%程度にまで落ち込む等、現在はコンピューティング分野において苦戦している。

分業化が進む集積回路開発分野において、独創的な VLSI(大規模集積回路)システムを発想し、回路構成・基本設計技術を有する技術者集団を育成するため、VLSI の設計教育の高度化と充実を目指し、1996 年に全国の大学などが共同で利用できる施設として VDEC(大規模集積システム設計教育研究センター)が東京大学内に設置された。主に、学術的用途向けとして、集積回路設計に欠かせない設計環境や検査・測定環境を自ら保有し、学

生、研究者を中心に解放することで、人材育成に寄与している。また、一般社団法人電子情報技術産業協会の半導体部会役員会が推進した半導体先端技術の民間共同開発プロジェクト「あすかプロジェクト」が2001年に開始し、デザインルール hp65 向け技術として SOC(System-On-a-chip)の開発効率を向上させる 45nm 対応設計技術や 32nm 対応プロセスデバイス技術を開発したが、10 年後の 2010 年に終了している。

日本の情報産業の再興のためには、最先端の設計開発を推進する新たな基盤的な環境や技術を整備、開発することが勝負の鍵となる。

米国では、半導体集積回路の設計作業を自動化し支援するためのソフトウェアやハードウェア及び手法である EDA(Electronic Design Automation)技術の黎明期から、国が大学の研究活動を中心に支援してきた。現在も、DARPA(Defense Advanced Research Projects Agency)が CRAFT(Circuit Realization at Faster Timescales)プログラムを通して LSI の開発を支援しており、中小企業やベンチャー企業は非常に安価な料金で LSI の設計から試作、評価に取り組むことが出来ている。欧州でも比較的早くから LSI 設計技術が IMEC などの産学連携を通じて強化されてきた。中国でも半導体を基幹産業とするために国内企業の育成に取り組んでおり、国家政策により上海、北京、無錫、成都、大連等を IC 産業育成地域として指定し、国営の IC R&D Center(試作、EDA、テストサービス)を設置している。

ネットワークの末端(エッジ)で中心的な情報処理を行うエッジコンピューティング技術の重要性や価値が高まる中、日本にはベンチャー企業を中心に AI に関する高度な技術が存在するが、図 1-1 に示すように、競争力のある AI チップを開発するためには、AI とチップの設計、ソフトとハード双方に関する知見と技術に加え、高額な設計ツールや設計検証設備等が必要となっている。

東京大学を中心として運営される LSI 開発支援拠点 VDEC も存在したが、アカデミックライセンスが主体の学術的用途という制約があり、特にベンチャー企業等有する革新的アイデア等の開発やビジネス化を加速する、新たな共通基盤が求められている。

本事業では、大学や研究機関等による高度な AI チップ開発のための共通基盤技術の開発を進めるとともに、その知見や AI チップの設計・評価・検証等の開発環境を民間企業等に提供する。

民間企業等においては、AI チップに関するアイデア実用化に向けた研究開発を支援するとともに、AI チップ開発を加速するために整備した設計検証拠点で開発を実施し、AI チップ開

発スキームにおける設計、検証をシームレスに実施することで、革新的なアイデアの実現を加速する研究開発を進め、世界における存在感を再び獲得することを目指す。

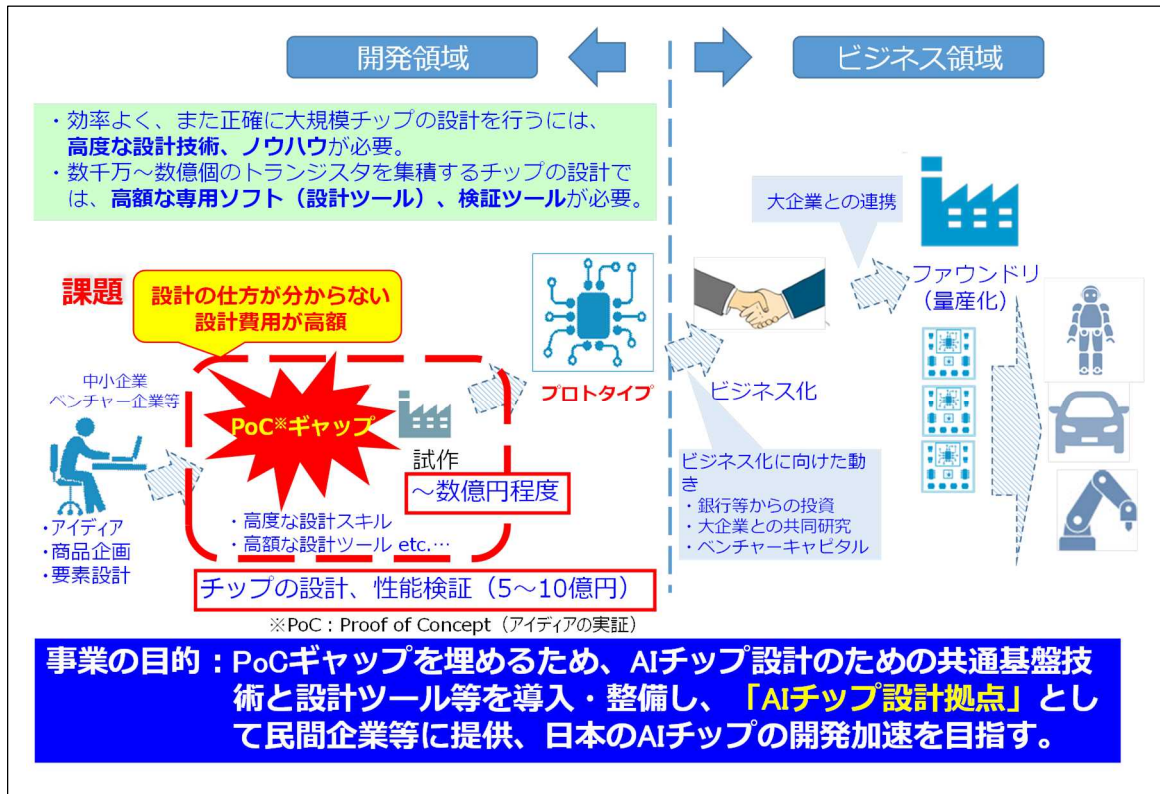


図 1-1 本事業の課題と目的

## 2. NEDO の関与の必要性・制度への適合性

### 2.1 NEDO が関与することの意義

日本にはベンチャー企業を中心に AI に関する高度な技術が存在するが、当該 AI をエッジ側で効率的かつ高速に動作させるためには、AI の動作専用設計開発した専用デバイス(AI チップ)が必要となる。しかし、AI チップの開発には高額利用料が必要となる専用の設計ツール (EDA ツール)、検証装置等が必要であるとともに、試作にかかる費用も高額であるため、革新的な構想が企業にあったとしても AI チップの設計開発を行う事が出来ずにいる。

専用の設計ツールを用いなければならない背景には、微細化が進む事での回路設計の高度化に対応する必要があることと、EDA ツールを使わなければ設計した回路の性能が保証されないという面がある。そのため、アイデア段階ではビジネス化までの事業化計画が不明確となり、

民間資金の獲得も困難となる。これが AI チップビジネスに参入しようとする企業にとって、開発とビジネス化の間を隔てる高いハードルとなっている。

そのため、国が主導してこのハードルを取り除く政策を実施し、画期的なアイデアを用いた AI チップの設計開発を推進するとともに、開発を通じた人材育成はもとより、エッジコンピューティングの実現に貢献し、日本の産業競争力の強化にも繋げる。

## 2.2 実施の効果(費用対効果)

本プロジェクトの総事業費は 2018～2022 年度で 83.5 億円を計画しており、プロジェクトを通じて、2032 年のエッジ向け AI チップの世界市場で 750 億円の市場獲得を目指す。また、現状以上の性能を有する AI チップの実用化率は 2023 年以降で 50%以上を目指す。目指している市場獲得の数値は、以下から推測した。IRTNTR12711\_Global Artificial Intelligence Chips Market 2017-2021 によると、2021 年の AI チップ市場は 5.24 億ドル、市場成長率は 30～70%と予想されている。この AI チップ市場において、本事業が関わるエッジ領域は、PWC(AI による市場シェアの拡大、WWW.PWC.COM/JP、2020 年 3 月)等から 1/5 と仮定した。為替レートはこの 20 年の平均を考慮し 1 ドル 100 円、市場成長率は前述の IRTNTR12711 の予測を参考に 30%と仮定した。日本メーカーの市場占有率は、エコノミスト Online 記事(<https://weekly-economist.mainichi.jp/articles/20200204/se1/00m/020/053000c>)から 20%と

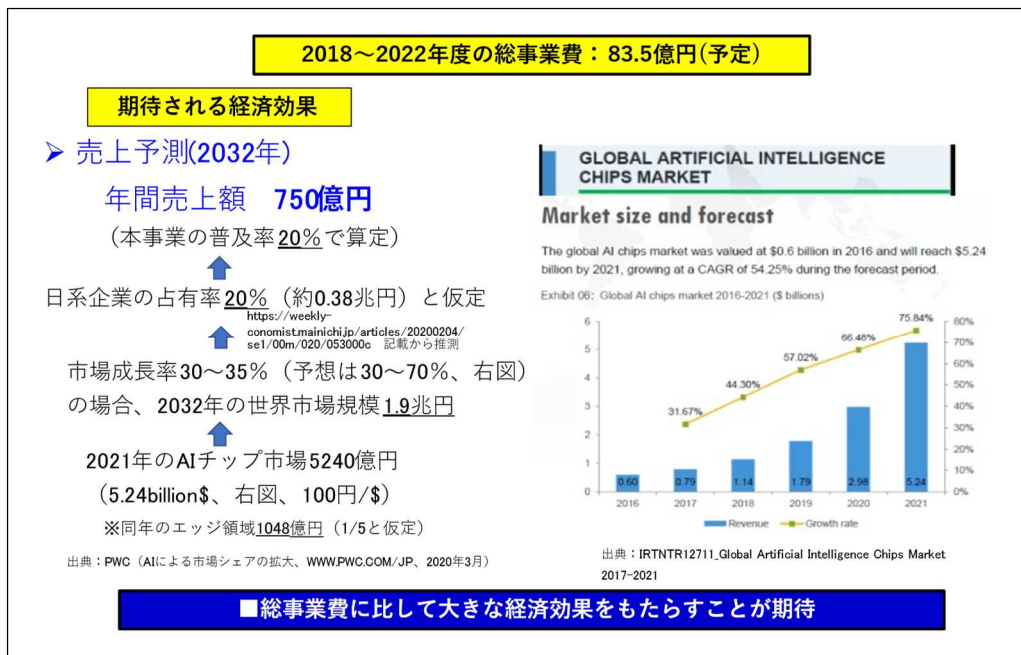


図 1-2 本事業の実施の効果

仮定した。本事業の普及率 20%で試算した結果、2032 年の市場獲得は 750 億円となった(図 1-2)。

前述の目標の達成に向け、国内の大学・研究機関等によって開発した共通基盤技術(高性能な AI チップ開発に資する設計技術等)は、順次民間企業等へ提供し、開発拠点の機能向上を図る。

民間企業等の AI チップのアイデア実用化開発については、1 年目終了時に継続可否に係るステージゲート審査を実施し、ビジネス化に向けた動きがあり優れた成果が見込める企業を集中的に支援する。

また、AI チップの研究開発と並行して、民間企業等において IoT や AI 技術を活用するための知見やノウハウを持った人材の育成を進めることで、本研究開発の成果の更なる高度化へと繋げる。

プロジェクトの実施において、民間企業は並行して成果を活用する企業とのマッチングも実施し、事業終了後は本格的なビジネス化へと繋げる。

## 2. 研究開発マネジメントについて

### 1. 事業の目標

1章で述べた事業の背景・目的・位置づけから、本事業の目標を、“大学や研究機関等による高度な AI チップ開発のための共通基盤技術の開発を進めるとともに、その知見や AI チップの設計・評価・検証等の開発環境を AI チップ設計拠点として整備し、民間企業等に提供、AI チップの開発を加速する。”とし(図 2-1)、次に述べる研究開発項目を設定した。

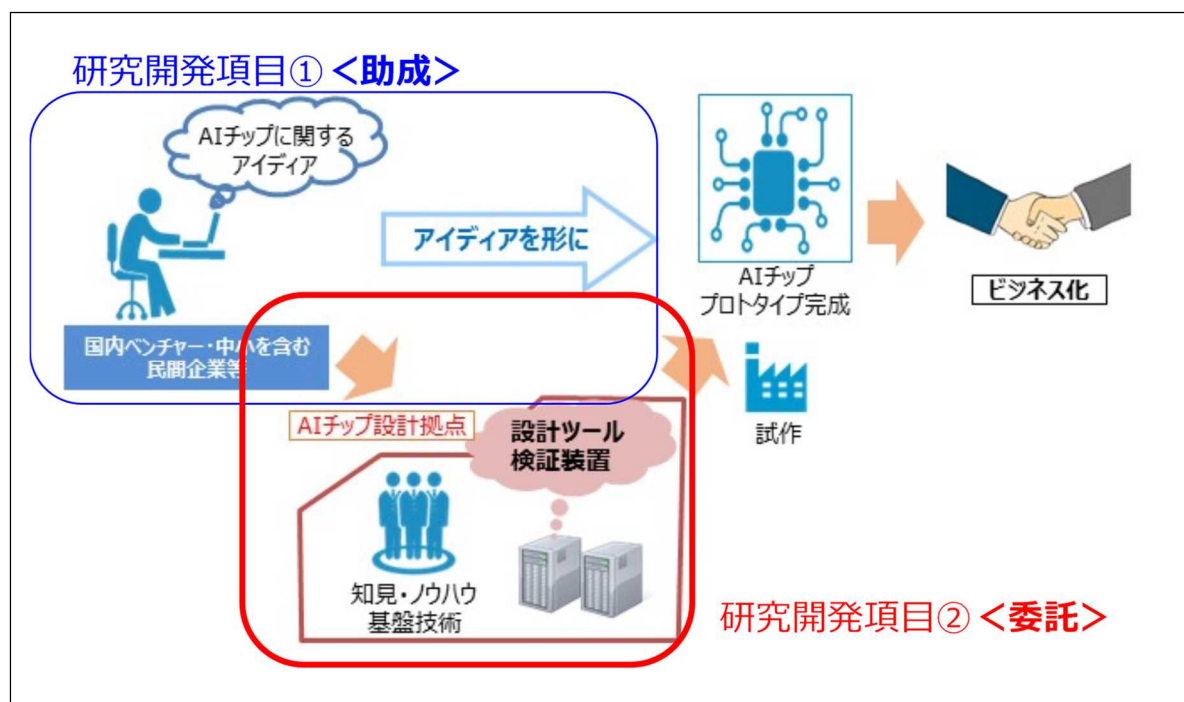


図 2-1 本事業の目標と研究開発項目のイメージ

【研究開発項目①】 AI チップに関するアイデア実用化に向けた開発

AI チップの設計を行い、AI チップの動作を効率化し現状以上の性能を有することをシミュレーション等により検証する。

<中間目標(各事業 1 年目)>

- 現状以上の性能を有する AI 向けチップの設計を行い、評価・検証が可能な段階まで到達することを目標とする。
- 設計した AI 向けチップのビジネス化に向けたシナリオを作成する。

<最終目標(各事業 2 年目)>

- 設計した回路等を、シミュレーション等により、現状以上の性能を有することを検証する。
- 検証した AI 向けチップのビジネス化の道筋を立てる。

上記目標を設定した根拠は、アイデアの効果や技術的実現性を早期に検証するとともに、研究開発項目②の拠点の構築に向けたフィードバックを行うためである。また、事業終了時点で社会実装先に求められる諸性能を満たすことを前提に、事業開始時に広く普及している技術と比較し評価する。なお、事業初年度に設定する中間目標は、事業開始時期に応じて適宜修正、変更する。

上記の取組を通して、2023 年以降、順次技術の実用化率 50%以上を目指す。

#### 【研究開発項目②】 AI チップ開発を加速する共通基盤技術の開発

AI チップ開発に必要な集積回路設計ツールや設計検証設備を備えた開発拠点を構築し、本事業を通じて開発、整備した AI チップ設計のための共通基盤技術、学習環境、設計環境等を「AI チップ設計拠点」として整備し、民間企業等に提供、日本における AI チップの開発を加速することを目指す。

##### <中間目標(2020 年度)>

- 本事業を通じて開発、整備した AI チップ設計のための共通基盤技術、学習環境、設計環境の活用件数 10 件以上を目標とする。

##### <最終目標(2022 年度)>

- 事業を通じて開発、整備した AI チップ設計のための共通基盤技術、学習環境、設計環境の活用件数 15 件以上を目標とする。

※上記目標を設定した根拠は、初年度整備の環境を早期に公開・活用し、研究開発項目①の事業者を中心とした拠点利用者から数多くのフィードバックを受け、拠点の整備に生かすため。

## 2. 事業の計画内容

### 2.1 研究開発の内容

#### 2.1.1 研究開発項目①AI チップに関するアイデア実用化に向けた開発 <助成>



AI チップに関するアイデアを実用化するため、専用の設計ツールを用いて論理設計等の基礎設計を行い、シミュレーション等により有効性を評価・検証する。さらに検証した成果をビジネス化するために企業との連携を進め、ビジネス化への道筋を立てる。

その他、AI チップの実用化に向けた研究開発において重要となる技術開発等についても、適宜開発を進める。

公募は毎年実施し、研究開発期間は原則 2 年以内とし、課題設定型産業技術開発費助成金交付規程に則り、助成率 2/3 以内、助成金 5,000 万円以内/年、2020 年 10 月からは助成対象拡大のため、中小企業は助成率 2/3 以内、助成金 6,600 万円以内/年、中堅企業は助成率 1/2 以内、助成金 5,000 万円以内/年とする。また、研究開発を効率的に推進するため、1 年目終了前にステージゲート方式を適用する。対象者は中小企業等とし、実施体制は連名提案可(ただし連名提案者も中小企業等)、大学・公的機関との共同研

事業期間	毎年公募で事業者を決定 交付決定（事業開始）から最大 2 年間 1年目終了前にステージゲート審査で2年目の継続を判断
交付規程	課題設定型産業技術開発費助成金交付規程
助成率	2 / 3 以内（中小企業）、1 / 2 以内（中堅企業）
助成金の額	6 6 0 0 万円以内/年 × 2 年間（中小企業） 5 0 0 0 万円以内/年 × 2 年間（中堅企業）
対象技術	A I チップに関するアイデア実用化に向けた開発※
対象者	中小企業等
実施体制	連名提案可（ただし、連名提案者も中小企業等） 大学・公的機関との共同研究可

※ 助成対象事項

- ① A I チップに関するアイデアの実用化に向けた開発であること。
- ② A I チップの性能を、シミュレーション等により評価し、現状以上の性能を確認することを目標としたものであること。
- ③ 提案時に提出する事業化計画をベースにし、検証した A I チップのビジネス化の道筋を立てることを目標にするものであること。

図 2-2 研究開発項目①(助成)の概要

## 2.1.2 研究開発項目②AI チップ開発を加速する共通基盤技術の開発〈委託〉

高度な AI チップ開発を加速するために必要な共通基盤技術として、世界標準の商用基盤に接続することを目的とした、AI チップの設計・評価・検証等の開発環境を整備する。また、チップ開発を促進する共通技術の開発、IoT や AI 技術を活用するための知見やノウハウを持った人材を育成する環境の整備を行い、革新的なアイデアの実現を加速する。

革新的なアイデアから AI チップを設計する段階において、図 2-3 に示すように、アイデアをハード化する、大規模化する、特殊機能の具現化など行う際の技術的な障壁が存在する。

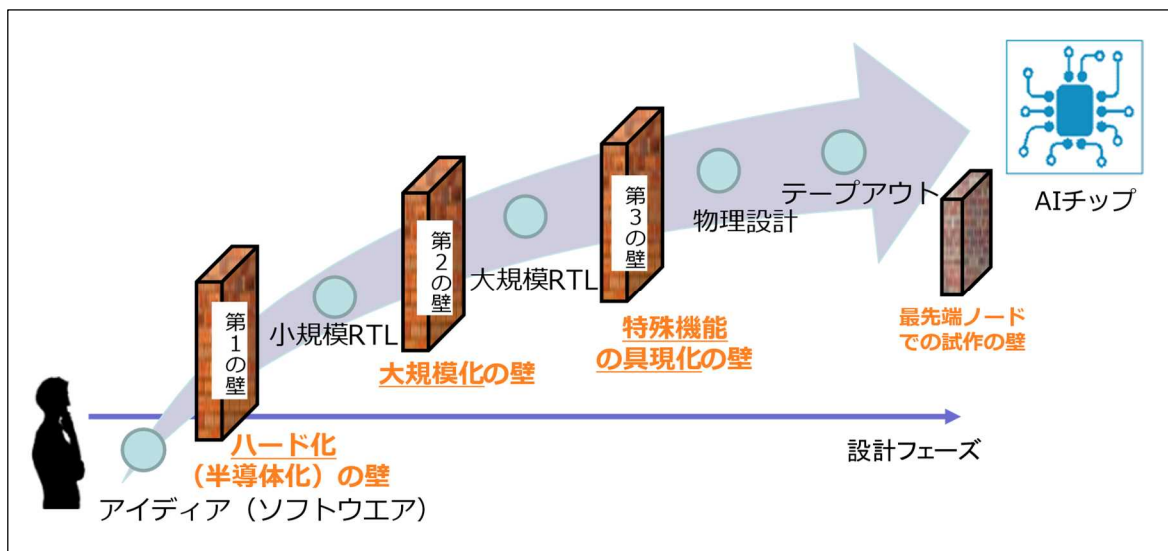


図 2-3 AI チップ設計段階における障壁

上記設計段階での障壁を突破するために必要な共通基盤技術の研究開発、及び開発環境の整備・人材育成の環境整備の観点から、図 2-4 に示す実施項目を設定した。

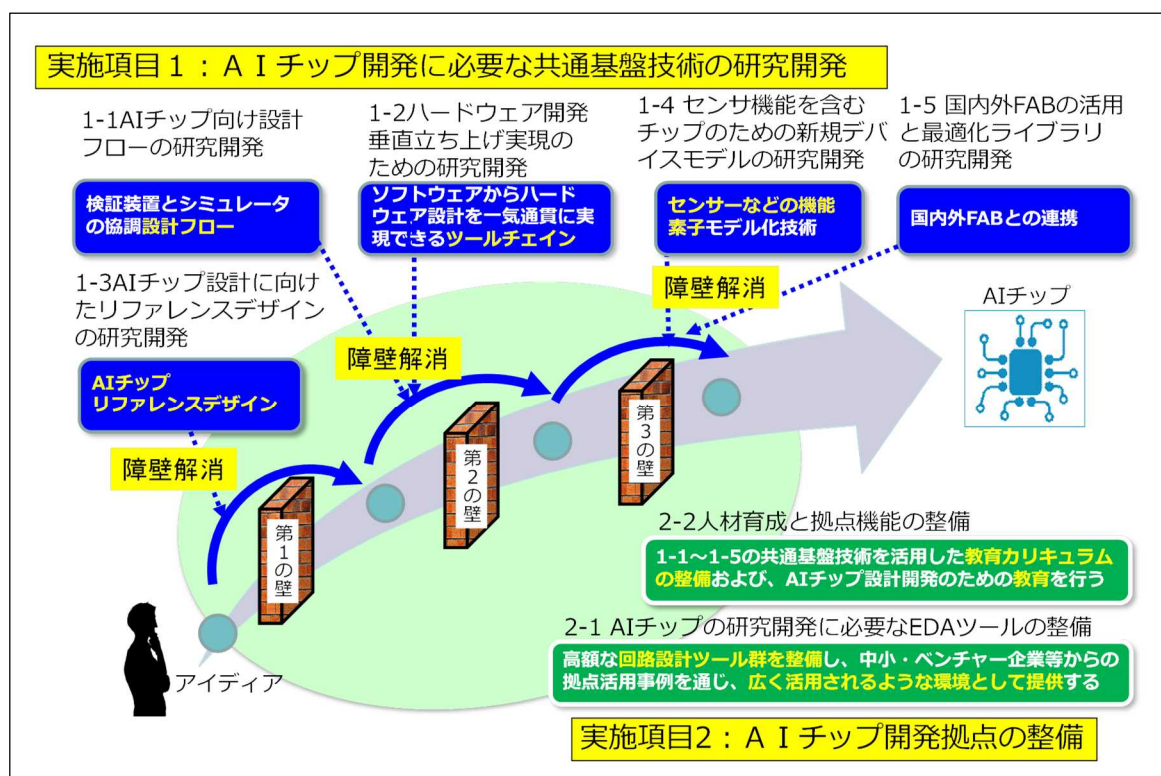


図 2-4 研究開発項目②における各実施項目の位置付け

各実施項目は以下の通り。

**実施項目 1 : AI チップ開発に必要な共通基盤の研究開発**

- 実施項目 1-1 : AI チップ向け設計フローの研究開発
- 実施項目 1-2 : ハードウェア開発垂直立ち上げ実現のための研究開発
- 実施項目 1-3 : AI チップ設計に向けたリファレンスデザインの研究開発
- 実施項目 1-4 : センサー機能を含むチップのための新規デバイスモデルの研究開発
- 実施項目 1-5 : 国内外 FAB の活用と最適化ライブラリの研究開発

**実施項目 2 : AI チップ開発拠点の整備**

- 実施項目 2-1 : AI チップの研究開発に必要な EDA ツールの整備
- 実施項目 2-2 : 人材育成と拠点機能の整備

なお、整備する拠点は、AI チップの開発に対し、開発コストやリスク等から民間企業単独では挑戦できないような開発を行うための共通基盤を構築し、研究開発項目①の実施者をはじめ

めとした中小企業等が広く活用できる環境整備を行い、AI チップ技術の開発を加速する。  
 さらに、拠点利用者の意見等を収集し、共通基盤技術、及び拠点機能を拡充させていく。

研究開発項目①のスケジュールを図 2-5 に示す。

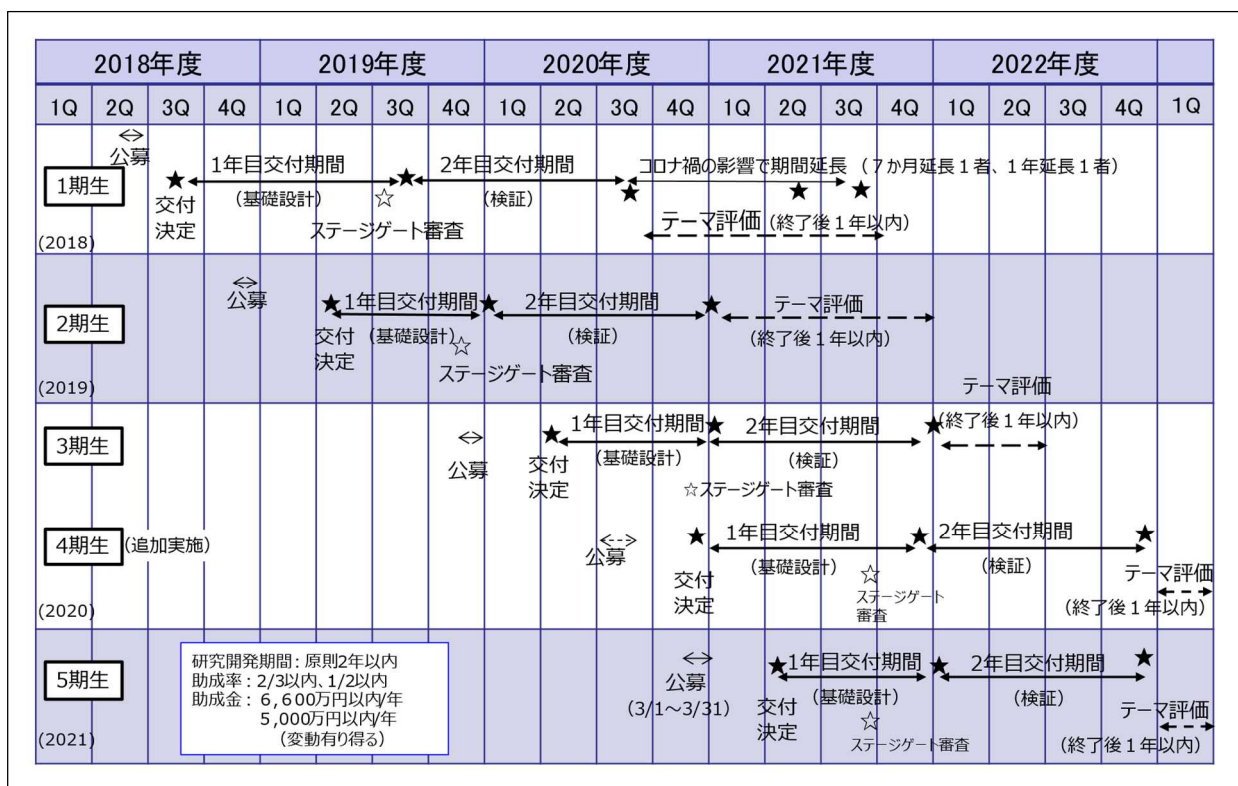


図 2-5 研究開発項目①のスケジュール

研究開発項目②のスケジュールを図 2-6 に示す。

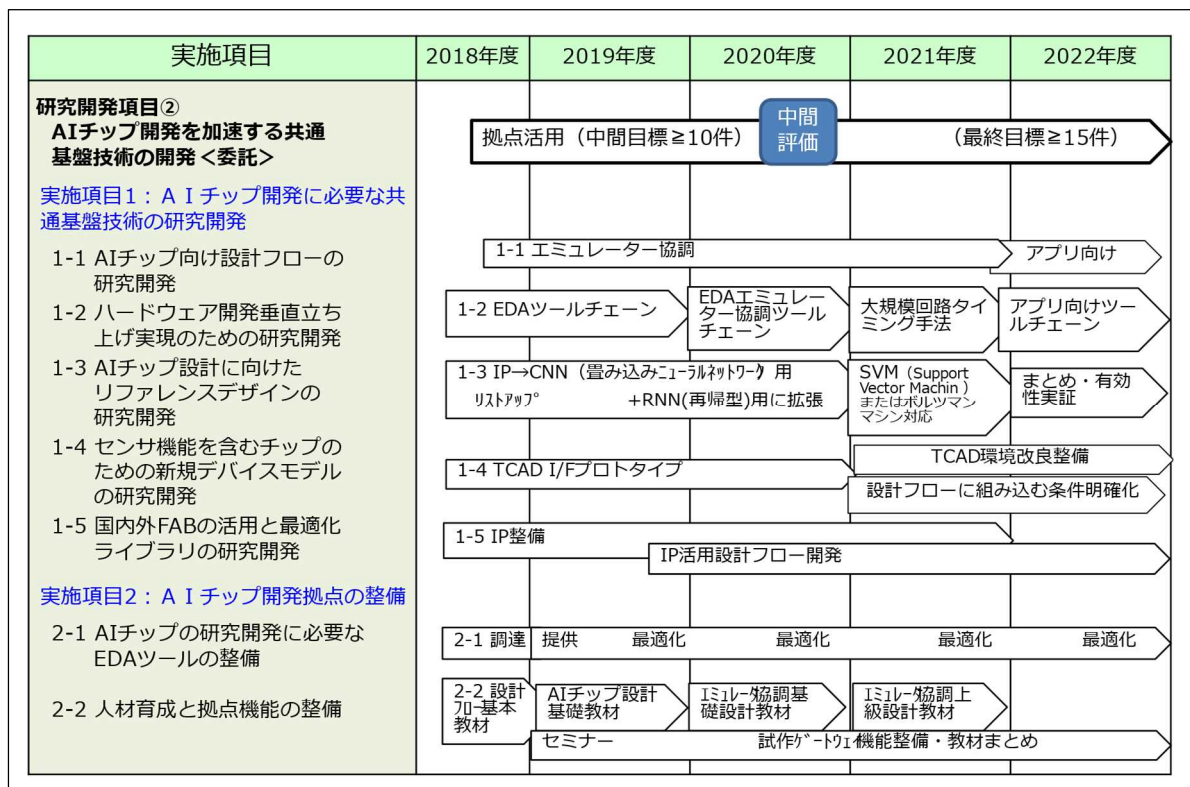


図 2-6 研究開発項目②のスケジュール

プロジェクト費用を表 2-1 に示す。

表 2-1 プロジェクト費用の実績

(単位: 百万円)

研究開発項目			補助率	2018年度	2019年度	2020年度	2021年度	2022年度	合計
研究開発項目①	助成	中小企業	2/3	53	278	237	202	40	810
研究開発項目①	助成	中堅企業(※) 2022年度(第2回) 4回目公募より追加	1/2	-	-	-	22	37	59
研究開発項目②	委託	-	1/1	631	1,658	1,748	1,986	2,094	8,117
<b>全体</b>				<b>684</b>	<b>1,936</b>	<b>1,985</b>	<b>2,210</b>	<b>2,171</b>	<b>8,986</b>

(※)中堅企業:「中堅企業」とは、売上高1,000億円未満又は従業員が1,000人未満の企業であって、中小企業者およびみなし大企業に該当しない法人

## 2.2 研究開発の実施体制

プロジェクトマネージャー(以下「PMgr」という。)として、2018年5月から2019年3月まで NEDO IoT 推進部 遠藤康浩 主査、2019年4月から2023年3月まで NEDO IoT 推進部 波佐昭則 主任研究員を任命して、プロジェクトの進行全体を企画・管理し、そのプロジェクトに求められる技術的成果及び政策的効果を最大化させる。

また、各実施者の研究開発能力を最大限に活用し、効率的かつ効果的に研究開発を推進する観点から、NEDO は国立大学法人東京大学 大学院情報理工学系研究科 教授 中村宏をプロジェクトリーダー(以下「PL」という。)とし、PL の下で研究開発を実施する。

研究開発項目①の実施者は公募により選定する。必要に応じて、実施期間中に複数回公募を行う。研究開発実施者の選定においては、課題解決への道筋やビジネス化へのストーリーを設定できていることを重視する。

実施者は、企業や大学等の研究機関等(以下「団体」という。)のうち、原則として日本国内に研究開発拠点を有するものを対象とし、単独又は複数で研究開発に参加するものとする。ただし、国外の団体の特別の研究開発能力や研究施設等の活用又は国際標準獲得の観点から必要な場合は、当該の研究開発等に限り国外の団体と連携して実施することができるものとする。

実施者の選定・審査は、公募要領に合致する応募を対象に NEDO が設置する審査委員会(外部有識者で構成)で行う。当該委員会の結果を参考とし、本事業の目的の達成に有効と認められる事業者を選定した後、NEDO 内に設置した契約・助成審査委員会において採択の可否を決定する。申請者に対しては、必要に応じてヒアリング等を実施する。審査委員会は非公開のため、審査経過に関する問い合わせには応じない。

採択結果については、NEDO から申請者に通知する。なお不採択の場合は、その明確な理由を添えて通知する。採択案件については、申請者の名称、研究開発テーマの名称・概要を公表する。

研究開発の実施体制図を図 2-7 に示す。研究開発項目②の実施者は審査委員会での審査の結果、国立研究開発法人産業技術総合研究所(以下「産業技術総合研究所」という。)、国立大学法人東京大学(以下「東京大学」という。)、産業技術総合研究所の再委託先として福岡県産業・科学技術振興財団を採択し、研究開発責任者として産業技術総合研究所 招聘研究員 内山邦男とした。また、2.3 で述べるがプロジェクト全体の課題解決・個別テーマの推進のための委員会も設置・運用している。

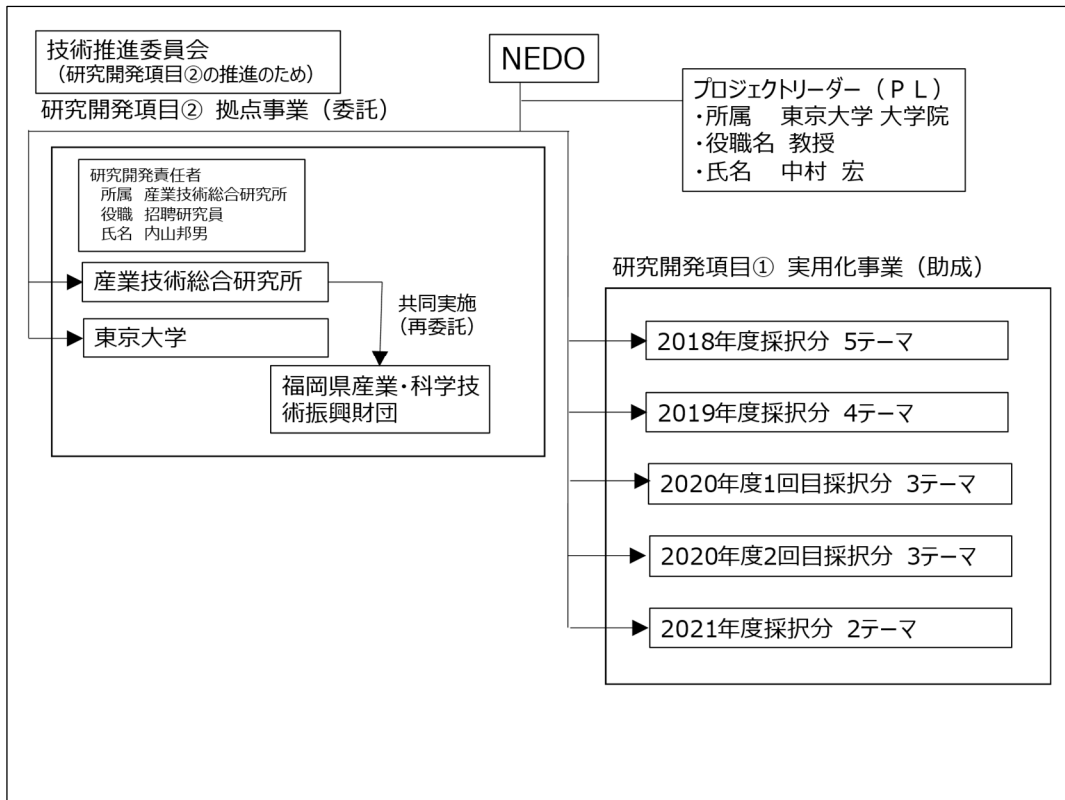


図 2-7 本事業の体制図

## 2.3 研究開発の運営管理

NEDO は、研究開発全体の管理、執行に責任を負い、研究開発の進捗のほか、外部環境の変化等を適時に把握し、必要な措置を講じるものとする。運営管理は、効率的かつ効果的な方法を取り入れることとし、次に掲げる事項を実施する(図 2-8)。

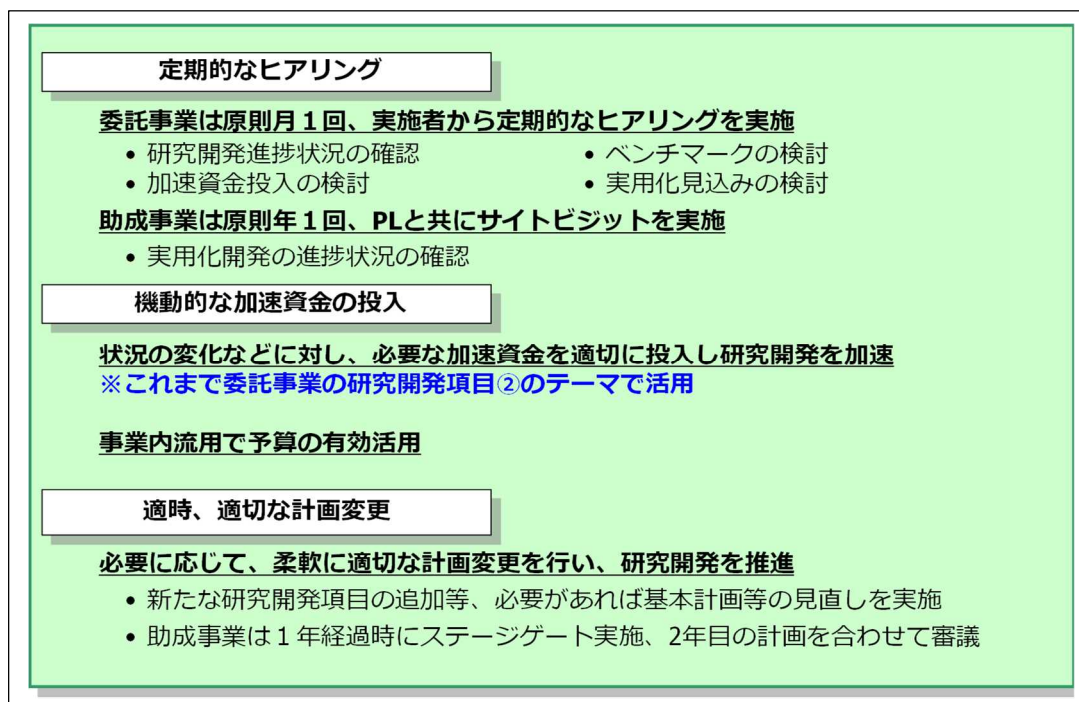


図 2-8 研究開発の進捗管理方針

### ①研究開発の進捗把握・管理

PMgr は、PL や研究開発実施者と緊密に連携し、研究開発の進捗状況を把握する。また、必要に応じ、外部有識者で構成するアドバイザリー委員会を組織し、定期的に技術的評価を受け、目標達成の見通しを常に把握することに努める。各テーマの進捗、成果の事業化の見通し等を踏まえ、必要に応じ、加速、縮小、実施体制の再構築を行う。

### ②技術分野における動向の把握・分析

プロジェクトで取り組む技術分野について、内外の技術開発動向、政策動向、市場動向等について調査し技術の普及方策を分析、検討する。なお、調査の効率化の観点から、本プロジェクトにおいて委託事業として実施する。

### ③研究開発テーマの評価

研究開発項目①については、研究開発を効率的に推進するためステージゲート方式を適用する。ステージゲートは原則 1 年経過した段階を目的に 1 度実施し、毎年、研究開



発テーマ毎の予算配分を精査する。また、各テーマの事業期間終了後 1 年以内に事後評価(テーマ評価)を実施する。

また、本プロジェクトの研究開発項目②においては、技術推進委員会を組織し、定期的に、事業の進捗や計画についてアドバイスをいただき、いただいたアドバイスを各実施項目の推進に活用している。

## 2.4 研究開発成果の実用化に向けた マネジメントの妥当性

研究開発項目①AIチップに関するアイデア実用化に向けた開発<助成>の進捗管理の実績と予定を図 2-9 に示す。図に示すように、計画通りの管理を行っている。なお、一期生の検証中の 2 テーマはコロナ禍の影響があり、期間延長で調整している。

図 2-10 にこれまでに採択・交付決定の実施者名・テーマ名・2 年目交付の有無を示す。図に示すように、これまでに 17 件採択・交付決定済みである。

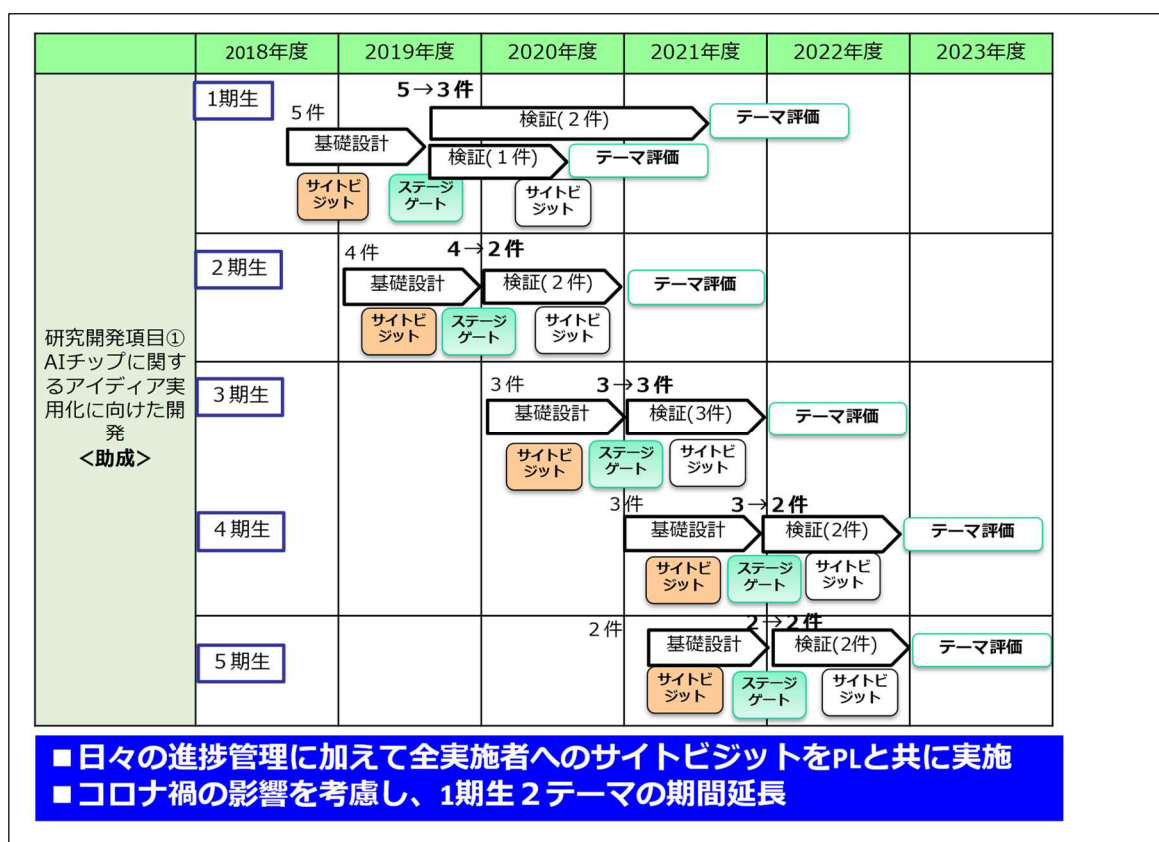


図 2-9 研究開発項目①の進捗管理実績

## 17件採択・交付決定

(※採択12件の実施者が研究開発項目②の拠点を活用)

一期生（2018年度）：採択5件⇒2年目3件（ステージゲート審査結果による）

実施者名	テーマ名	2年目交付
株式会社テックイデア	AI機能を有するCMOSイメージセンサおよびセンサ装置の開発	対象
株式会社レイトロン	AIを用いた高性能リアルタイム対話インターフェースの開発	対象
東北マイクロテック株式会社	サイクリック学習機能を有する超低電力 AIチップの開発	対象
株式会社 Trigen Semiconductor	AIエッジ搭載音声インターフェースモジュールの研究	—
株式会社シンコム	エッジデバイスをAI化する汎用画像処理プロセッサの開発・評価	—

二期生（2019年度）：採択4件⇒2年目2件（終了テーマの内一件は、事業化前倒しにより2年目辞退）

実施者名	テーマ名	2年目交付
株式会社デジタルメディアプロフェッショナル、株式会社カイ	癌コンパニオン診断用AI病理画像システム向けAIハードウェア研究開発	対象
株式会社シングルード	AI技術でメモリの通信速度を高速化するメモリコントローラの開発	対象
株式会社ハカルス	スパースモデリング技術を用いた学習・推論エンジンを搭載するAIチップ開発	事業化前倒しのため1年目で終了
株式会社エイ・オー・テクノロジーズ	画像集合演算プロセッサ（2D-SOP）による高度画像認識基盤の開発	—

三期生（2020年度1回目）：採択3件⇒2年目3件（ステージゲート審査結果による）

実施者名	テーマ名	2年目交付
株式会社ネフロック	FPGAでリアルタイムに高品質な音声合成を行うリコネフィギュラブルAIチップ開発	対象
AMI株式会社	心疾患自動診断アシスト機能搭載チップの実用化に向けたシステム開発	対象
株式会社AnchorZ	適時生体情報と利用履歴による認証システム端末用アルゴリズム・ハードウェア要素開発	対象

四期生（2020年度2回目）：採択3件⇒2年目2件（終了テーマの一件は、事業化前倒しにより2年目辞退）

実施者名	テーマ名	2年目交付
PGV	脳波AI開発環境の生産性向上に向けた脳波AI前処理チップとツールの開発	事業化前倒しのため1年目で終了
メイビスデザイン	環境適応型エッジデバイス向けオンチップ学習機能搭載AIチップの開発	対象
テクノアクセルネットワークス	組み込み AI データ用セキュリティエンジン IP の開発及び LSI 化検証	対象

五期生（2022年度）：採択2件⇒2年目2件（ステージゲート審査結果による）

実施者名	テーマ名	2年目交付
テックイデア	アナ・デジ技術を用いたAIプロセッサ用超低電力積和演算器の開発	対象
ソリトンシステムズ	再構成可能なアナログニューロン回路を用いた超低消費電力 AIチップの開発	対象

図 2-10 研究開発項目①の採択状況

研究開発項目②AIチップ開発を加速する共通基盤技術の開発〈委託〉の進捗管理の実績と予定を図 2-11 に示す。図に示すように、計画通りの管理を行っている。

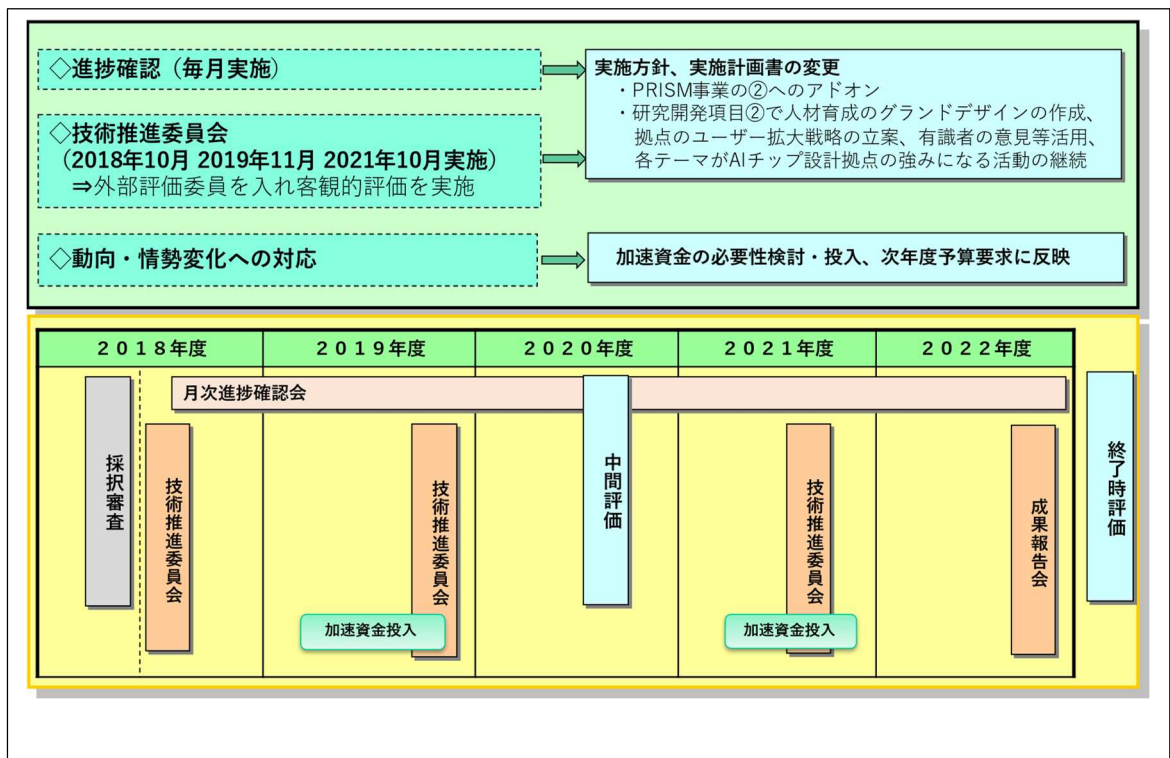


図 2-11 研究開発項目②の進捗管理実績と予定

本プロジェクトの実用化の定義は、「当該研究開発に係る AI チップのための設計フロー(設計手順)等の共通基盤技術や導入された設計ツールが、本事業で整備された拠点を通し、顧客や社会へ提供される等、具体的なサービス利用が開始されていること」とする。

上記実用化に向け、2.1.2 で述べた研究開発項目②の各実施項目において、以下の中間目標と最終目標を設定した。なお、これらの目標は、拠点利用者から得られるフィードバックを通して適宜最適化させる。

実施項目 1：AI チップ開発に必要な共通基盤の研究開発

実施項目 1-1：AI チップ向け設計フローの研究開発

【中間目標】

- ・拠点利用者が、小・中規模の回路に対し、拠点で構築した RTL 記述を用いたエミュレータ・シミュレータ協調設計検証フローで設計検証を実施(5 件以上)
- ・拠点利用者が、小・中規模の回路に対し、拠点で構築したネットリストレベルの記述を用いたエミュレータ・シミュレータ協調設計検証フローで設計検証を実施(3 件程度)

- ・エミュレータ・シミュレータ協調設計検証フローを用いることによる設計検証効率の向上を、エミュレータのみを用いた設計検証フローと比較することで(検証時間・検証カバレッジ等を用いて)可視化するとともに結果を電子的に公開する。

【最終目標】

- ・拠点利用者が、より大規模(> 1BG)な回路に対し、エミュレータ・シミュレータ協調設計検証フローで設計検証を実施(3 件程度)
- ・拠点で構築した高速チップ・超低消費電力チップ・高電力効率チップ等のアプリケーション向けのエミュレータ・シミュレータ協調設計検証フローで、拠点利用者が設計検証を実施(事業期間全体で 10 件程度)

実施項目 1-2：ハードウェア開発垂直立ち上げ実現のための研究開発

【中間目標】

- ・モデルベースのエミュレータ・EDA ツールの協調設計ツールチェーンを開発し、小・中規模の実設計において実証する。3 件以上がこのモデル設計フローを活用した設計を行う。

【最終目標】

- ・アプリケーション向けのツールチェーンを策定し、拠点利用者が事業期間全体で 5 件程度、より大規模(> 1BG)な設計を実施する。

実施項目 1-3：AI チップ設計に向けたリファレンスデザインの研究開発

【中間目標】

- ・畳み込み・再帰型ニューラルネットワークに対応したアクセラレータリファレンスデザインを作成する。その動作をエミュレータ上で再現し、ニューラルネットワーク用シミュレーションフレームワークの処理について、ソフトウェアによる実行結果と矛盾しない正当な計算結果が得られることを確認する。

【最終目標】

- ・畳み込み・再帰型ニューラルネットワーク用アクセラレータを、サポートベクターマシン、ないしボルツマンマシンに対応したアクセラレータリファレンスデザインとして拡張するとともに、エッジ用の低消費電力システムに適用可能なセンサーフロントエンドマクロを加え、リファレンスデザインのポートフォリオを完成させる。リファレンスデザインのポートフォリオは、拠点利用者等の利用を通してその有効性を実証する。

実施項目 1-4：センサー機能を含むチップのための新規デバイスモデルの研究開発

【中間目標】

- ・Impulse TCAD をベースとして AI チップに搭載する際に利用可能な独自の機能デバイス設計ツールのプロトタイプを、例えばイメージセンサーといった特定の用途を想定して開発・評価し、課題を抽出し、改良仕様を策定する。

【最終目標】

- ・機能デバイス設計ツールを改良し、クラウド上で利用可能な環境を構築、特定の用途を想定したケースに対して有効性を検証する。その一環として機能デバイス設計ツールの拠点利用者等の利用を通してその有効性を実証する。また、検討した新規デバイス IP のモデル化技術等については、AI チップ設計フローへ組み込むために必要な条件等の明確化を図る。

実施項目 1-5：国内外 FAB の活用と最適化ライブラリの研究開発

【中間目標】

- ・整備すべき IP カタログの作成と整備順の策定
- ・カタログに沿った IP を整備し、拠点利用者が利用できるように WEB に掲載する
- ・AI チップ向け独自 IP の評価手法を検討し、それに則った評価チップを設計する。

【最終目標】

- ・整備した IP を用いたアプリケーション向けの設計フローを構築し、電子的にマニュアルを作成する。構築した設計フローは拠点利用者の利用を通してその有効性を実証する。
- ・AI チップ向け独自 IP の評価手法を構築し、拠点利用者に提供できるように整備する。その利用法のマニュアル等を電子的に作成し HP にて公開する。

実施項目 2：AI チップ開発拠点の整備

実施項目 2-1：AI チップの研究開発に必要な EDA ツールの整備

【中間目標】

- ・EDA ツールを導入、利用環境を整備し、拠点利用者へ公開することで 10 件程度の利用実績をあげる。

【最終目標】

- ・EDA ツールを安定的最新バージョンに更新、利用環境を整備し、拠点利用者へ公開することで、期間全体を通し 15 件程度の利用実績をあげる。

実施項目 2-2：人材育成と拠点機能の整備

【中間目標】

- ・エミュレータ及び EDA ツールを活用した設計フローの一般論(初級編)、導入 EDA ツールを用いた AI チップ設計論、エミュレータ・EDA 協調設計検証論(初級編)を整

備し、拠点利用者に対し、2019 年度以降 1 項目あたり年間 1 回以上の教育コースを実施する。

- ・国内外の代表的な FAB と契約を締結し、設計環境を導入することで設計試作ゲートウェイ機能を整備する。これを拠点利用者へ公開することで、実施項目 1-1 の中間目標のネットリスト検証フロー利用目標 3 件のうち 1 件程度が本設計試作ゲートウェイ機能を利用して設計手順を実施する。
- ・拠点運営について運営形態等の検討を行うコンソーシアム等を立ち上げる。

#### 【最終目標】

- ・エミュレータ・EDA 協調設計検証論(上級編)を整備し、各種教育カリキュラムの教育コースを充実させる。
- ・実施項目 1-1 最終目標の協調設計検証フロー利用目標 10 件のうち 3 件程度が本設計試作ゲートウェイ機能を利用して設計手順を実施する。

上記目標達成を通じた実用化に向け、PL は PMgr と連携して、月次の進捗会議において指導・実施計画書における目標の最適化・加速資金の必要性判断を行う。さらに、技術推進委員会を定期的開催し、有識者の意見も活用し実用化を目指す。

本プロジェクトの知財マネジメント、及び、データマネジメントは、NEDO プロジェクトにおける知財マネジメント基本方針に則り、知財運営委員会を設置し管理している。ただし、本事業内容の特異性から、設計技術のマニュアル化とノウハウの蓄積に注力している。アイデアを有する民間企業等の人材育成施策として、マニュアル(教材)を準備するとともに、フォーラム・シンポジウムやセミナーを運営する。また、基本的に本共通基盤技術は拠点ユーザーに対しては公開を原則とするが、プロジェクト終了後の拠点の継続的な自立運営を考えて、一部は公開範囲を限定とした。本プロジェクトに関わる技術の公開・非公開の対象を表 2-2 に示す。

表 2-2 本事業で構築する共通基盤技術

分類	AIチップ開発用に構築した共通基盤技術
公開	AIチップ設計手法 リファレンスデザイン IPライブラリリスト 設計クラウド構成 SoCプラットフォーム
利用許諾後に公開	AIチップ設計手法（詳細版） リファレンスデザイン（詳細版） IPライブラリ
有料で公開 (2023/4より)	RTLガイドライン SoCプラットフォーム（詳細版）

### 3. 情勢変化への対応

研究開発項目②において表 2-3 に示す 7 件の動向・情勢変化への対応を行った。

表 2-3 研究開発項目②の動向・情勢の把握と対応

動向・情勢変化		対応
1	2018年度 本事業が、内閣府官民研究開発投資拡大プログラム（PRISM）の1年目の対象施策に選定	PRISM予算を活用しAIチップ設計に必要な <b>28nmノードのIPコアの導入・整備</b> を前倒し実施
2	2019年度 拠点利用者の予想以上の増加が見込まれる中、現状の設備能力では利用者数が制限されてしまう可能性	利用者からのフィードバックを出来るだけ多く集め拠点の整備を確実に進めるため、2019年10月に加速資金の投入を決定、拠点利用者数の拡大を図るべく <b>拠点設備の増強</b> 等を前倒し実施
3	2019年度 助成事業においてステージゲート審査の結果などにより予算の変動が発生	予算の有効活用のため、事業内で予算を柔軟に組み替え、委託事業へ資金を投入することを決定。具体的には、2019年12月に仕様書・実施計画書を変更し、 <b>実施項目1-5に新たな目標</b> を追加
4	2020年度 助成事業においてステージゲート審査の結果などにより予算の変動が発生	拠点利用者の <b>AIチップ向け独自IP（28nmプロセス）の評価環境構築</b> を前倒しで確実にできるよう2020年9月に実施項目1-5の事業内容を変更
5	2021年度 半導体需給のひっ迫による12nmプロセスSoC評価プラットフォームの開発に必要なパッケージ調達やウエハー作成工程のスケジュール遅延を予見	2021年8月に資金の投入を決定し、本開発に必要な <b>12nm IPの前倒し導入</b> を決定
6	2021年度 AIチップをシステム案の段階から、目指すアプリケーションの動作デモが可能になる機能整備の必要性を予見	AIチップをシステム案の段階から目指すアプリケーションの動作デモが可能になるよう実施項目1-1の事業内容を追加するとともに、拠点利用者の <b>AIチップ向け独自IP（12nmプロセス）の評価</b> が確実にできるよう実施項目1-5の事業内容を変更
7	2022年度 為替レートの変化および独自IP評価チップ（12nmプロセス）の試作代の値上げによる資金不足	拠点利用者の <b>AIチップ向け独自IP（12nmプロセス）の評価環境構築</b> を確実にできるよう2022年12月に予算の追加を決定

以下具体的に記載する。

## 1. 動向・情勢変化 1(図 2-12)

内閣府官民研究開発投資拡大プログラム(PRISM)の1年目の対象施策に選定された。その対応のため2018年10月に技術推進委員会を開催し、活用内容を審議し、AIチップ設計に必要なI/Oなどの機能モジュールやIPコアの導入・整備を前倒しで実施した。

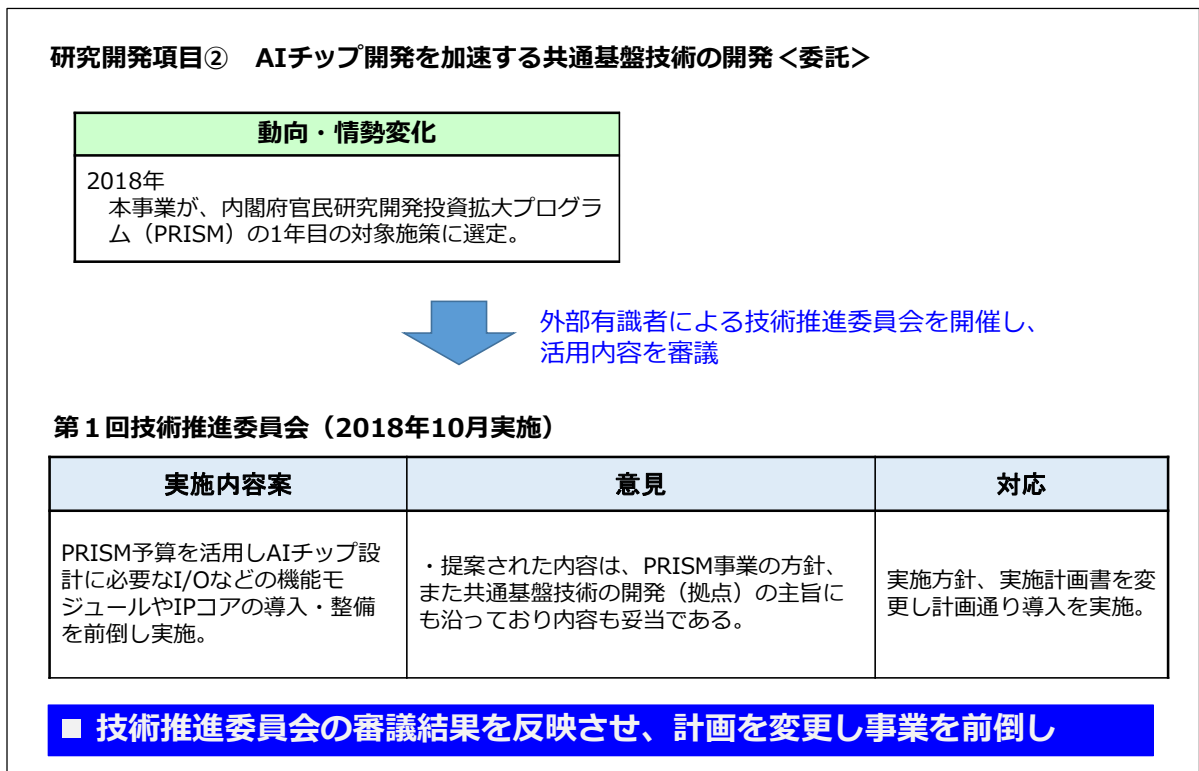


図 2-12 情勢変化への対応 1

## 2. 動向・情勢変化 2(図 2-13)

拠点利用者の予想以上の増加が見込まれる中、現状の設備能力では利用者数が制限されてしまう可能性が2019年8月までの月次の進捗会議から予見された。

そのため、利用者からのフィードバックを出来るだけ多く集め拠点の整備を確実に進めるため、2019年10月に加速資金の投入を決定し、拠点利用者数の拡大を図るべく拠点設備の増強等を前倒し実施した。



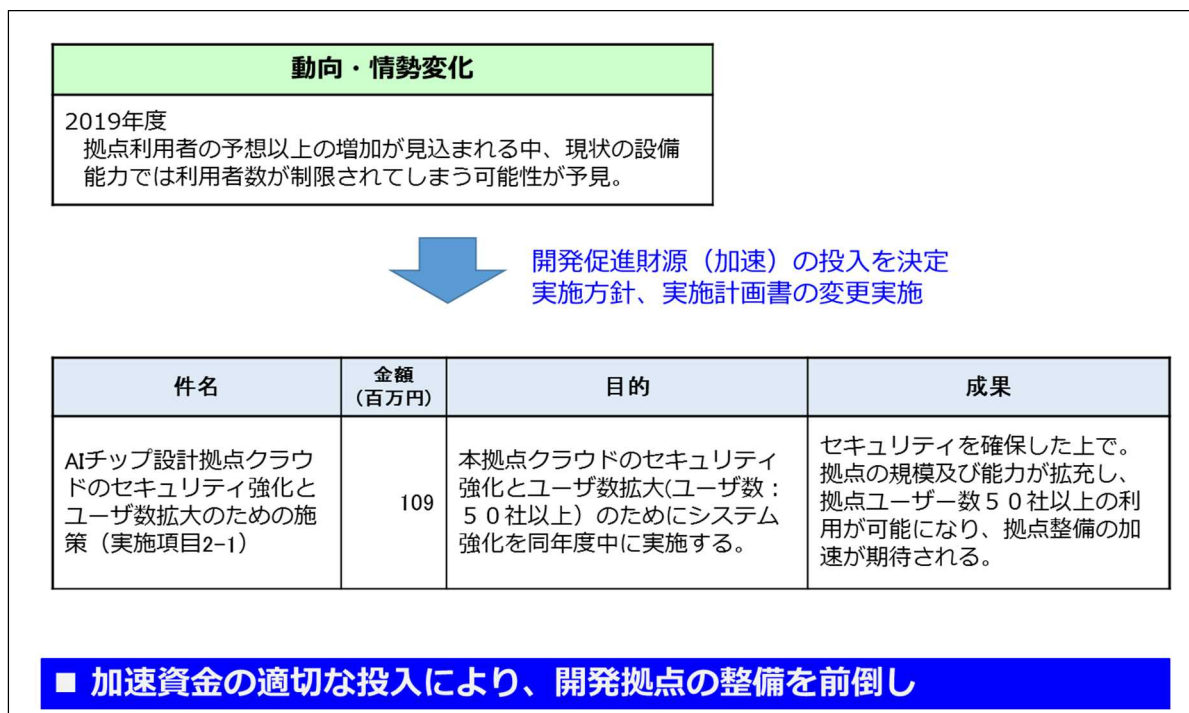


図 2-13 情勢変化への対応 2

3. 動向・情勢変化 3(図 2-14)

拠点利用ユーザーとのヒアリング等から、より短納期・低コストでユーザー独自の AI チップが開発可能となる環境構築の必要性が予見された。また、研究開発項目①の助成事業者の予算変動(ステージゲート審査の結果等)の発生も見込まれた。

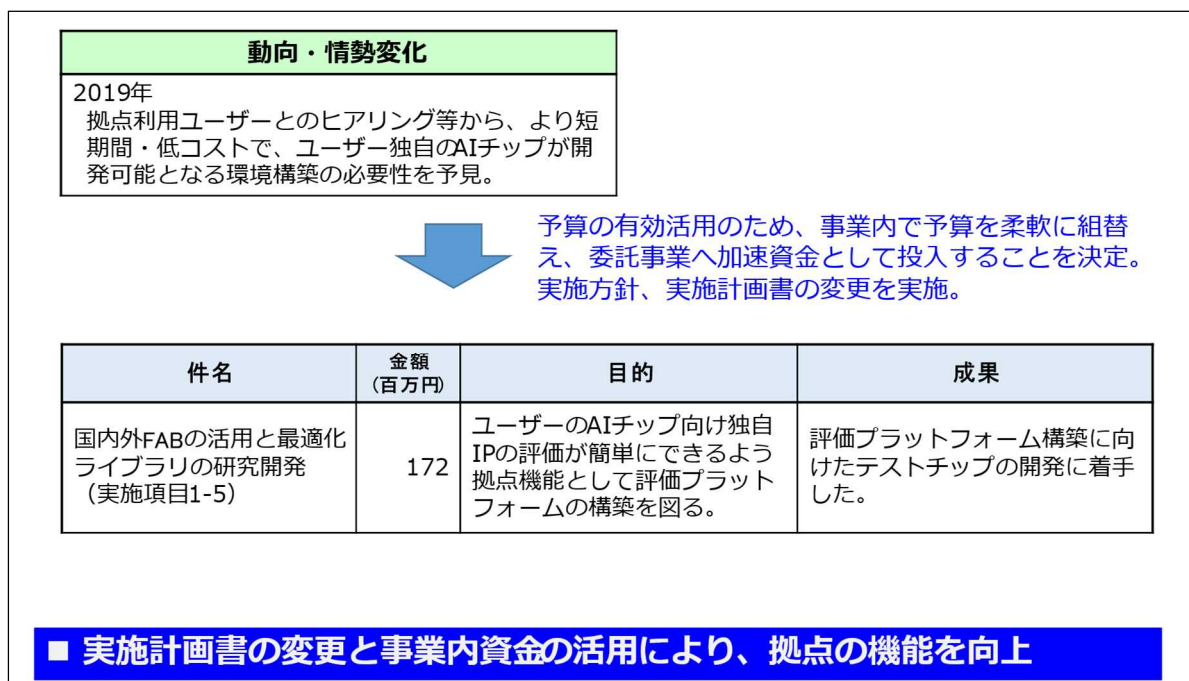


図 2-14 情勢変化への対応 3

そこで、研究開発委項目②の実施者と協議を行い、実施項目 1-5 について、新たな目標を追加する方向で事業内で予算を流用することを決定した。2019 年 12 月に実施計画書を変更しテストチップの開発に着手した。

#### 4. 評価に関する事項

本プロジェクトは二つの研究開発項目が連携して成果を出す事業であることから、事業全体がナショナルプロジェクトに分類され、研究開発項目①及び研究開発項目②を含めてプロジェクト評価を実施する。また、研究開発項目①は事業開始 1 年以内にステージゲート評価を行うため、中間評価においては研究開発マネジメントまでを評価対象とする。研究開発項目②は、成果の実用化に向けた取組及び見通しまでを評価対象とする。

本プロジェクトの開始に際し、事前評価を 2 回行ったので、内容を以下に記載する。いずれの評価も「高効率・高速処理を可能とする AI チップ・次世代コンピューティングの技術開発事業」として、本プロジェクトを含む複数のプロジェクトを評価した。

##### 事前評価 1

- 評価の実施時期 : 2017 年 7 月
- 評価手法 : 外部評価
- 評価事務局 : NEDO 評価部
- 評価項目・基準 : 非公開

##### 事前評価 2

- 評価の実施時期 : 2017 年 11 月 16 日
- 評価手法 : 第三者評価
- 評価事務局 : 内閣府
- 評価項目・基準 :

評価専門調査会での調査検討においては、国家の基本計画や関連する上位政策・施策等の推進といったより大局的・俯瞰的観点での評価に力点を置くことを念頭に、事業における直接的な成果(アウトプット)に係る専門的評価については、実施府省における評価等の妥当性を確認することでその結果を活用することとし、国家の基本計画や関連する上位政策における事業の位置付けや社会への効果・効用(アウトカム)とそれを達成するための道筋に対する評価を中心に調査検討を実施した。評価項目を以下に記載する。

- ① 評価対象案件の実施府省等における評価の妥当性
- ② 関連する上位の政策・施策等の目標を達成するための道筋
- ③ 研究開発の目標・実施内容
- ④ 研究開発マネジメント

### 3. 研究開発成果について

#### 1. 事業全体の成果

##### 1.1 研究開発項目①の成果

ここでは、研究開発項目①「AI チップに関するアイデアの実用化に向けた開発」の成果について記す。

本研究開発項目では、民間企業等においては、AI チップに関するアイデア実用化に向けた研究開発を支援するとともに、AI チップ開発を加速するために整備した設計拠点で開発を実施し、AI チップ開発スキームにおける設計、検証をシームレスに実施することで、革新的なアイデアの実現を加速する研究開発を進め、世界における存在感を再び獲得することを目指す。

この取組により、以下の目標を設定している。

[最終目標] (2022 年度)

AI チップの設計を行い、AI チップの動作を効率化し現状以上の性能を有することをシミュレーション等により検証する。また、検証した AI 向けチップのビジネス化の道筋を立てる。

助成事業のテーマ実施者に対して、それぞれの事業終了時に、外部有識者によるテーマ評価（事後評価委員会）を開催し、テーマ実施者の事業成果を評価した。全 17 テーマ実施者のうち、ステージゲート不通過者等を除き 13 テーマ実施者が委員会を受検し、技術面、事業化面共に「概ね期待通りである」以上のテーマ実施者が 12 者となったため、目標達成と判断する。

表 3-1 研究開発項目① 目標の達成状況

最終目標	成果	達成度	
AIチップの設計を行い、AIチップの動作を効率化し現状以上の性能を有することをシミュレーション等により検証する。検証したAI向けチップのビジネス化の道筋を立てる。	■技術面評価	○	
	期待以上である		0者
	期待通りである		8者
	概ね期待通りである		4者
	改善が必要である		1者
	抜本的な改善が必要である		0者
	■事業化面評価		
	期待以上である		0者
	期待通りである		5者
	概ね期待通りである		8者
改善が必要である	0者		
抜本的な改善が必要である	0者		

◎大きく上回って達成、○達成、△達成不十分、×未達大

※個別のテーマ実施者の事業成果の内容、テーマ評価(事後評価委員会)の評価結果については非公開であるため、詳細は記載しない。

## 1.2 研究開発項目②の成果

ここでは研究開発項目②AIチップ開発を加速する共通基盤技術の開発<委託>の成果について記す。

本研究開発項目では、AIチップの設計開発環境を整え中小ベンチャー企業等のAIチップ開発を加速するために、AIチップの設計検証に必要なツールや装置、標準的なIPを備えた設計開発拠点を整備するとともに、AIチップの設計における各種問題を解決するための共通基盤技術を開発し、これを拠点で活用してAIチップを設計開発するための知見や技術を広めることに注力している。

この取組により、以下の目標を設定している。

[中間目標] (2020年度)

本事業を通じて開発、整備したAIチップ設計のための共通基盤技術、学習環境、設計環境の活用件数10件以上を目標とする。

[最終目標] (2022年度)

本事業を通じて開発、整備した AI チップ設計のための共通基盤技術、学習環境、設計環境の活用件数 15 件以上を目標とする。

2022 年 3 月時点において、表 3-1 の通り活用件数は 74 件(55 社+12 大学+7 国研など)となっており、最終目標(活用件数 15 件以上)を達成している。

**表 3-1 研究開発項目② 目標の達成状況**

最終目標	成果	達成度
本事業を通じて開発、整備したAIチップ設計のための共通基盤技術、学習環境、設計環境の活用件数15件以上を目標とする。	<ul style="list-style-type: none"> <li>・活用件数74件を達成した(2022/3時点)</li> <li>・開発・整備として、設計検証フロー並びにツールチェーンの構築、リファレンスデザインの作成、独自機能素子の物理設計環境のプロトタイプ開発、IPの整備とAIチップ向け独自IP評価手法検討と評価チップ設計、EDAツール利用環境の整備、教育コースの実施、試作ゲートウェイ機能の整備、等を行った(詳細は次ページ以降の各実施項目に示す)。</li> </ul>	◎

◎ 大きく上回って達成、○ 達成、△ 達成見込み(中間)、× 未達

各実施項目の成果概要を表 3-2-1、表 3-2-2 に示す。

実施項目 1-3, 1-4 については、中間評価(2020/10/5)以降に最終目標を変更しているので表 3-3 に変更箇所とその理由をまとめた。

表 3-2-1 各実施項目の達成状況

実施項目	最終目標	成果	達成度
1-1 AIチップ向け 設計フローの研究 開発	<ul style="list-style-type: none"> <li>・拠点利用者が、より大規模 (&gt; 1BG) な回路に対し、エミュレータ・シミュレータ協調設計検証フローで設計検証を実施 (3件程度)</li> <li>・拠点で構築した高速チップ・超低消費電力チップ・高電力効率チップ等のアプリケーション向けのエミュレータ・シミュレータ協調設計検証フローで、拠点利用者が設計検証を実施 (事業期間全体で 10件程度)</li> </ul>	<ul style="list-style-type: none"> <li>・ AI-One/AI-Twoおよび協力会社の 3 件の1BG程度・超の設計のエミュレーション検証環境を整備し検証の実行</li> <li>・ 中間までの検証実績 (RTL: 5 件、ネットリスト: 3 件) に加え、AI-One/Twoおよび協力会社の検証、RISC-Vプラットフォームの検証: 2 件 (1 件はハンズオンセミナーにも使用) を加え、13 件の検証を実行</li> </ul>	○
1-2 ハードウェア開 発垂直立ち上げ 実現のための研 究開発	<ul style="list-style-type: none"> <li>・アプリケーション向けのツールチェーンを策定し、拠点利用者が事業期間全体で 5 件程度、より大規模 (&gt; 1BG) な設計を実施する</li> </ul>	<p>全体として9件のAI-IPに対してツールチェーンを活用した設計を実施した。また、AI-One/AI-TwoのSoC全体の設計 (おおむね1BG程度の規模) に対して設計フローを適用して実チップにて動作を確認した</p>	◎
1-3 AIチップ設計 に向けたリファ レンスデザイン の研究開発	<ul style="list-style-type: none"> <li>・畳み込みニューラルネットワークおよび系列データ用アクセラレータを、トランスフォーマーに対応したアクセラレータリファレンスデザインとして拡張するとともに、エッジ用の低消費電力システムに適用可能なセンサフロントエンドマクロ構成法を加え、リファレンスデザインのポートフォリオを完成させる。開発したリファレンスデザインのポートフォリオについて、有効性を検証する。 (中間評価時からの目標変更有。表3-3参照。)</li> </ul>	<ul style="list-style-type: none"> <li>・畳み込みニューラルネットワーク用アクセラレータをトランスフォーマーに対応したアクセラレータリファレンスデザインに拡張するとともに、センサフロントエンド部をHDLとしてモデル化して検証する手法の解説を加えた。開発したリファレンスデザインのうち、畳み込みニューラルネットワーク用アクセラレータは、1-5で実施したAI-Oneに実装試験を行い、構築した設計フロー、ツールチェーンの検証用テストベークルとして、その有効性を検証した。同様に、トランスフォーマー用アクセラレータリファレンスデザインは、AI-Twoに実装試験を行い、テストベークルとしてその有効性を検証した。</li> </ul>	○
1-4 センサ機能を含 むチップのため の新規デバイス モデルの研究開 発	<ul style="list-style-type: none"> <li>・機能デバイス設計ツールを改良し、クラウド上で利用可能な環境を構築、特定の用途を想定したケースに対して有効性を検証する。その一環として機能デバイス設計ツールの拠点利用者等の利用を通してその有効性を確認する。また、検討した新規デバイスのモデル化技術等については、AIチップ設計フローへ組み込みとそれに必要な条件等の明確化を図る。 (中間評価時からの目標変更有。表3-3参照。)</li> </ul>	<ul style="list-style-type: none"> <li>・TCADをクラウド上で利用するWebUIを通してCMOSイメージセンサー等の公開デバイス構造を利用して、機能素子のデバイス設計を行ない、その結果はファブとの交渉や精度確認の元、等価回路モデルなどを併用して回路シミュレーションに持ち込み、AIチップ設計フローに載せられるようになった。そのような要望を持つユーザーが利用を開始し、新規デバイス構造も追加できるようになった。</li> </ul>	○
1-5 国内外FABの活 用と最適化ライ ブラリの研究開 発	<ul style="list-style-type: none"> <li>・整備したIPを用いたアプリケーション向けの設計フローを構築し、電子的にマニュアルを作成する。構築した設計フローは拠点利用者の利用を通してその有効性を実証する。</li> <li>・AIチップ向け独自IPの評価手法を構築し、拠点利用者に提供できるよう整備する。その利用法のマニュアル等を電子的に作成しHPにて公開する。</li> </ul>	<ul style="list-style-type: none"> <li>・整備した28nm, 12nmのIPを用いた設計フローを構築し、HP上に拠点利用者用のマニュアルを掲載した。試作チップAI-One, AI-Twoの設計開発に適用し、それぞれ6者および3者の拠点利用者の独自IPに適用を行いそれぞれの独自IPを組み込んだSoCを試作評価し、すべてのIPの目標仕様どおりの動作確認を行うことで設計フローの有効性を確認した。</li> <li>・独自IPの評価手法として複数のIPをSoCチップに搭載して評価できるヘテロジニアスマルチコアSoCプラットフォームの構築を行った。SoCプラットフォームは標準システム回路、1チップシミュレーション環境、エミュレータ検証環境、リファレンスパッケージ設計データ、リファレンス評価ボード設計データ、ソフトウェア開発環境からなる。これらの利用法を拠点利用者向けにHPに掲載した。</li> </ul>	◎

◎ 大きく上回って達成、○ 達成、△ 達成見込み (中間)、× 未達

表 3-2-2 各実施項目の達成状況

実施項目	最終目標	成果	達成度
2-1 AIチップの研究開発に必要なEDAツールの整備	<ul style="list-style-type: none"> <li>EDAツールを安定的最新バージョンに更新、利用環境を整備し、拠点利用者へ公開することで、期間全体を通し15件程度の利用実績をあげる</li> </ul>	<ul style="list-style-type: none"> <li>利用状況可視化システムとしてOpenLMの運用により動的にライセンスの利用状況を確認し、ライセンスの過不足を確認できる環境を実現</li> <li>ツール群安定最新バージョンへのアップデート及びアップデート後の動作を確認、利用者の要望に応じたツールバージョンのメンテナンスを実施</li> <li>EDAツールの利用実績、EDAツール利用見込みおよび設計の状況に応じたスポットでのライセンスの導入により、ライセンス数の最適化と過不足ない運用を実現</li> <li>当初目標を大幅に上回る合計でのべ74件の利用</li> </ul>	◎
2-2 人材育成と拠点機能の整備	<ul style="list-style-type: none"> <li>エミュレータ・EDA協調設計検証論（上級編）を整備し、各種教育カリキュラムの教育コースを充実させる</li> <li>実施項目①-1最終目標の協調設計検証フロー利用目標10件のうち3件程度が本設計試作ゲートウェイ機能を利用して設計手順を実施する</li> </ul>	<ul style="list-style-type: none"> <li>実施項目①-1、①-2において確立されたエミュレータ・シミュレータ協調設計フローに即した、エミュレータ・EDA協調設計検証カリキュラム（初級編）を構築した。また、その教材を電子的に整備し、HPにて公開した</li> <li>整備した教材に基づき、1項目あたり年間1回以上の教育コースを拠点利用者等に対して実施した。必要に応じて内容の見直しを図った</li> <li>実施項目①-1中間目標のネットリスト検証フロー利用3件のうち1件が本設計試作ゲートウェイ機能を利用。</li> <li>そのフィードバックを通じて本設計試作ゲートウェイ機能の整備を行った</li> </ul>	○

◎ 大きく上回って達成、○ 達成、△ 達成見込み（中間）、× 未達



表 3-3 最終目標の変更箇所とその理由

実施項目	中間評価時の目標	最終目標
<p>1-3 AIチップ設計に向けたリファレンスデザインの研究開発</p>	<p>・畳み込み・再帰型ニューラルネットワーク用アクセラレータを、サポートベクターマシン、なしボルツマンマシンに対応したアクセラレータリファレンスデザインとして拡張するとともに、エッジ用の低消費電力システムに適用可能なセンサフロントエンドマクロを加え、リファレンスデザインのポートフォリオを完成させる。リファレンスデザインのポートフォリオは、<b>拠点利用者等の利用</b>を通してその有効性を実証する。</p>	<p>・畳み込みニューラルネットワークおよび系列データ用アクセラレータを、トランスフォーマーに対応したアクセラレータリファレンスデザインとして拡張するとともに、エッジ用の低消費電力システムに適用可能なセンサフロントエンドマクロ構成法を加え、リファレンスデザインのポートフォリオを完成させる。開発したリファレンスデザインのポートフォリオについて、<b>有効性を検証する</b>。</p>
	<p>変更理由</p> <p>再帰型ニューラルネットワークに対応したアクセラレータについて、時系列データに対しては再帰型よりもトランスフォーマー（アテンション）が市場を席巻している状況を踏まえて変更を行った。この変更は技術推進委員会で頂いたコメントを検討のうえ、実施した。</p>	
<p>1-4 センサ機能を含むチップのための新規デバイスモデルの研究開発</p>	<p>・機能デバイス設計ツールを改良し、クラウド上で利用可能な環境を構築、特定の用途を想定したケースに対して有効性を検証する。その一環として機能デバイス設計ツールの拠点利用者等の利用を通してその有効性を確認する。また、検討した<b>新規デバイスIP</b>のモデル化技術等については、AIチップ設計フローへ組み込みとそれに必要な条件等の明確化を図る。</p>	<p>・機能デバイス設計ツールを改良し、クラウド上で利用可能な環境を構築、特定の用途を想定したケースに対して有効性を検証する。その一環として機能デバイス設計ツールの拠点利用者等の利用を通してその有効性を確認する。また、検討した<b>新規デバイス</b>のモデル化技術等については、AIチップ設計フローへ組み込みとそれに必要な条件等の明確化を図る。</p>
	<p>変更理由</p> <p>開発中の新規デバイスのモデル化技術を対象にしている。当初の「新規デバイスIP」という用語は、デバイス開発後にデバイス構造が決まったものについての表現なので、実施内容に合致する「新規デバイス」と変更した。</p>	

## 2. 研究開発項目毎の成果（実施項目ごとの成果）

### 2.1 実施項目ごとの成果(研究開発項目①)

※内容非公開のため、記載無し。

### 2.2 実施項目ごとの成果(研究開発項目②)

#### 実施項目 1-1「AI チップ向け設計フローの研究開発」

目覚ましく進展する IoT 社会において、実世界の様々な形態の情報であるビッグデータから人々の生活に新たな価値を創造するための鍵となる技術として人工知能(AI)技術が注目されている。特に近年の AI 技術は急速な発展を遂げており、画像認識、音声認識、自動運転といった様々な分野に広がりを見せるとともに、人々の日常生活に浸透していく AI 時代が到来しつつある。他方、IoT や AI 技術の根幹をなす半導体集積回路の微細化は物理限界に近付いており、エネルギー消費の増大が極めて大きな課題となってきた。これらの課題を解決するためには、省エネルギーで効率的に AI を動作させる半導体集積回路・デバイス(AI チップ)の開発が必要不可欠であり、世界的にも AI チップの開発競争が激化している。AI チップは、クラウド向けの超大規模チップのみならず、エッジ用途においても日々増大する処理性能要求に応じるためにその設計規模増大がますます加速している。

このような大規模なチップにおいては、これまでも、設計と実チップでの動作や性能に乖離が生じることが課題となっており、特に、高速、大規模、超低消費電力、高電力効率を謳う場合、設計段階での実チップの精緻な見積もりが不可欠とされてきた。そこで本研究開発項目においては、失敗なく動作するチップ試作が可能となるためのノウハウを有した、AI チップ開発向けの論理設計以降の設計フロー(手順)を構築すること、特に、設計検証を高速に実施、かつ長大なテストケースにも対応が可能となるハードウェアエミュレータ(図 3-1)を設計・検証フローに組み込む形で、より確実な AI チップの設計・検証を可能とする設計検証環境を構築し、それを実設計において実証すること、さらには教材作成、セミナーなどを通して広く広めることでこの新たな設計環境に習熟した人材を育成することを目指したものとなっている。

図 3-2 に従来の設計フローと本研究開発項目で実現する AI チップ向け設計フローを示す。最大の差異はハードウェアエミュレータ(ロジックエミュレータ)を RTL+ソフトウェアの検証、およびネットリスト+ソフトウェアの検証に活用することでより精緻でかつより長時間にわたる検証(アプリ全体動作までを検証等)を実現するためのものである。従来特に日本国内においては、一部の例外を除いてそのような大規模かつソフトウェアまでの検証を設計段階で行うということが広くは行われてこなかった。そのため、一般に得られる設計検証フローにおいてハードウェアエミュレータが登場することはなかった。同時に、ハードウェアエミュレータに対するアレルギーとも呼べるほどの嫌

悪も一部に存在しそれらが大規模設計・検証を阻害していたとすら考えられる。そこで、これらのハードルを取り除くことが最大の課題であると考え、

1)如何に容易にハードウェアエミュレータを利用できるようにするか、

2)その効果を数値で実証、

3)広く告知することにより利用の促進とそれによる大規模設計検証の効率化を目指している。

1)に関して、初心者からだれでも簡単にエミュレータを使いこなすことを主眼としたシリーズ教材として、「デジタル設計教材：デジタル設計の基礎」「ハードウェア・エミュレータでの論理検証の基礎【初級編】」「ハードウェア・エミュレータでの論理検証の基礎【応用編】」の作成(図 3-3)を行った。教材は、図 3-4 に示す通り、デジタル設計の概要を紹介したうえで、AI チップの基礎としてのニューラルネットワークを題材として取り上げ、その検証にエミュレータを活用する流れとなっていて、この教材を読み進めることで自力でもエミュレータを用いた検証が可能な内容となっている。一方、シミュレーションをそのままエミュレータにもっていきただけではハードウェアエミュレータを効率的に稼働させることが出来ず、そのあたりのノウハウがハードウェアエミュレータ活用の重要な課題となっている。そこで、実際の設計に基づいて、如何に検証プログラムを効率化するかに関する教材作成(図 3-5)及びトレーニングの実施を行っている。図 3-5 に示す通り、エミュレータにおいては、テストパターンを生成するテストベンチもすべてエミュレータの中にコンパイルして入れ込んでしまい、入出力を極力なくして、最後に検証結果を参照することが不可欠であり、そのあたりを例題とともに習得できる内容となっている。これにより、サンプル設計の検証において、図 3-6 に示す通り、全く同一のテストベンチでシミュレーションとエミュレーションを比較すると 16 倍の高速化、さらにテストベンチの最適化により、シミュレーションに対して最大 100 倍を上回る高速化が可能であることを教材および演習により体験することが可能となっている。これにより、エミュレータの最高動作速度に近い速度まで検証速度を向上させることが可能となった。

2)さらに、エミュレータによる検証効率を定量的に評価し明らかにしていくことで利用活性化に向けた取り組みを行っている。一例として、実施項目 1-5 において設計・試作を行っている AI-One/AI-Two のエミュレータでの検証環境の整備、Open アーキテクチャである RISC-V プロセッサの OS 起動までのエミュレータ検証環境の整備、および自作の IP コアの RTL、ネットリストでの検証において、その検証時間の検証を行っている。結果は図 3-7(a), (b), (c)に示す通りで、RTL において、シミュレーションに対して 1,000 倍～20,000 倍の高速化、ネットリストに対しては、シミュレーションに対して 10,000 倍～100,000 倍の高速化を実現することを示している。

3)告知に向けて、独自の教材を用いたセミナーを実施するとともにエミュレータに関して Cadence 社の協力を得ながら、トレーニング、セミナー、ワークショップとホップステップジャンプ形式で基礎トレーニングから、エミュレータを用いた検証における課題の共有と議論、さらにはノウハ

ウの共有によりエミュレータ利用特により効率的なエミュレータ利用の促進に向けた取り組みを行った(図 3-8)。

これらの取り組みにより、AI-One, AI-Twoに加え、利用者 3 件の大規模設計を実施したことも含め、AI-IP コアの検証を含めた利用者の IP ブロックの検証を 10 件以上実施し、設計検証の効率化を実現することができた。



図 3-1 本研究開発課題で活用したハードウェアエミュレータ

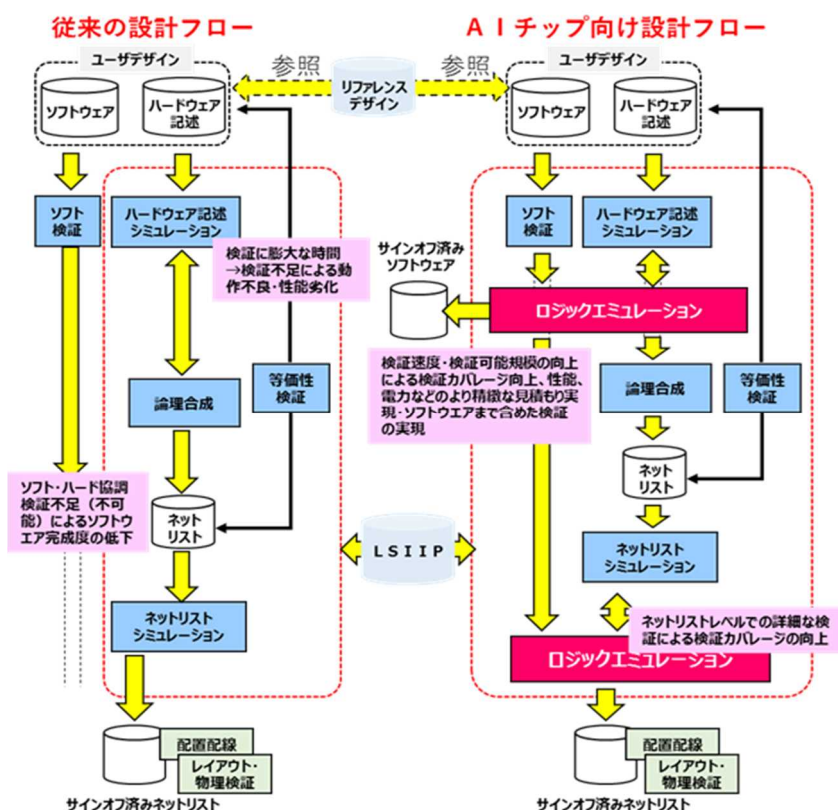


図 3-2 従来の設計フローと本研究開発項目で実現する AI チップ向け設計フロー

<p style="text-align: center;"><b>デジタル設計教材</b> デジタル設計の基礎</p> <p style="text-align: center;">AIチップ設計拠点 東京大学システムデザイン研究センター</p>	<p style="text-align: center;"><b>ハードウェア・エミュレータでの論理検証の基礎</b> 【初級編】</p> <p style="text-align: center;">AIチップ設計拠点 東京大学システムデザイン研究センター</p>	<p style="text-align: center;"><b>ハードウェア・エミュレータでの論理検証の基礎</b> 【応用編】</p> <p style="text-align: center;">AIチップ設計拠点 東京大学システムデザイン研究センター</p>
<p><b>【目次】</b></p> <p><b>【デジタル設計の基礎編】</b></p> <p><b>1章 論理設計概要</b></p> <p>1.1 論理設計の概要</p> <p>1.2 論理設計の目的</p> <p>1.3 論理設計の環境</p> <p><b>2章 論理検証</b></p> <p>2.1 論理検証の概要</p> <p>2.2 論理検証の目的</p> <p>2.3 論理検証の環境</p> <p><b>3章 仕様検証</b></p> <p>3.1 デジタルシミュレーションの概要</p> <p>3.2 基本シミュレーション環境</p> <p>3.3 高度シミュレーション環境</p> <p><b>4章 高度シミュレーション(MACD)の検証フロー</b></p> <p>4.1 MACDの検証概要</p> <p>4.2 MACDの検証環境</p> <p>4.3 MACDの検証フロー</p> <p><b>5章 高度シミュレーション(MACD)の検証フロー</b></p> <p>5.1 MACDの検証概要</p> <p>5.2 MACDの検証環境</p> <p>5.3 MACDの検証フロー</p> <p>A章_Appendix</p> <p>本書は「デジタル設計の基礎編」になります。</p>	<p><b>【目次】</b></p> <p><b>【デジタル設計の基礎編】</b></p> <p><b>1章 論理設計概要</b></p> <p>1.1 論理設計の概要</p> <p>1.2 論理設計の目的</p> <p>1.3 論理設計の環境</p> <p><b>2章 論理検証</b></p> <p>2.1 論理検証の概要</p> <p>2.2 論理検証の目的</p> <p>2.3 論理検証の環境</p> <p><b>3章 仕様検証</b></p> <p>3.1 デジタルシミュレーションの概要</p> <p>3.2 基本シミュレーション環境</p> <p>3.3 高度シミュレーション環境</p> <p><b>【ハードウェア・エミュレータでの論理検証の基礎(初級編)】</b></p> <p><b>4章 高度シミュレーション(MACD)の検証フロー</b></p> <p>4.1 MACDの検証概要</p> <p>4.2 MACDの検証環境</p> <p>4.3 MACDの検証フロー</p> <p><b>5章 高度シミュレーション(MACD)の検証フロー</b></p> <p>5.1 MACDの検証概要</p> <p>5.2 MACDの検証環境</p> <p>5.3 MACDの検証フロー</p> <p>A章_Appendix</p> <p>本書は「ハードウェア・エミュレータでの論理検証の基礎(初級編)」になります。</p>	<p><b>【目次】</b></p> <p><b>【デジタル設計の基礎編】</b></p> <p><b>1章 論理設計概要</b></p> <p>1.1 論理設計の概要</p> <p>1.2 論理設計の目的</p> <p>1.3 論理設計の環境</p> <p><b>2章 論理検証</b></p> <p>2.1 論理検証の概要</p> <p>2.2 論理検証の目的</p> <p>2.3 論理検証の環境</p> <p><b>3章 仕様検証</b></p> <p>3.1 デジタルシミュレーションの概要</p> <p>3.2 基本シミュレーション環境</p> <p>3.3 高度シミュレーション環境</p> <p><b>【ハードウェア・エミュレータでの論理検証の基礎(応用編)】</b></p> <p><b>4章 高度シミュレーション(MACD)の検証フロー</b></p> <p>4.1 MACDの検証概要</p> <p>4.2 MACDの検証環境</p> <p>4.3 MACDの検証フロー</p> <p><b>5章 高度シミュレーション(MACD)の検証フロー</b></p> <p>5.1 MACDの検証概要</p> <p>5.2 MACDの検証環境</p> <p>5.3 MACDの検証フロー</p> <p>A章_Appendix</p> <p>本書は「ハードウェア・エミュレータでの論理検証の基礎(応用編)」になります。</p>

図 3-3 デジタル設計におけるハードウェアエミュレータを用いた論理検証教材

<p style="text-align: center;"><b>デジタル設計教材</b> デジタル設計の基礎</p> <p style="text-align: center;">AIチップ設計拠点 東京大学システムデザイン研究センター</p>	<p style="text-align: center;"><b>ハードウェア・エミュレータでの論理検証の基礎</b> 【初級編】</p> <p style="text-align: center;">AIチップ設計拠点 東京大学システムデザイン研究センター</p>	<p style="text-align: center;"><b>ハードウェア・エミュレータでの論理検証の基礎</b> 【応用編】</p> <p style="text-align: center;">AIチップ設計拠点 東京大学システムデザイン研究センター</p>
<p><b>1章 論理設計概要</b></p> <p>1.1 LSI設計概要</p> <p>設計部門が担当する設計工程は、更に</p> <ul style="list-style-type: none"> <li>● 【仕様検証】(【仕様検証】を伴った「フロントエンド設計」)</li> <li>● 【実装シミュレーション】(【実装検証】を伴った「バックエンド設計」)</li> <li>● 高層をターゲットとし、層別の検証(【仕様検証】や【実装後の検証】(【実装】(【実装検証】)等を行う工程を「ドワン」)</li> </ul> <p>と分ける場合もあります。</p> <p>半導体の物理設計技術が進展して一つのLSIに搭載できるトランジスタの数が飛躍的に増大したため、工程別に専門性を求める必要性が高まりました。</p> <p>論理設計者は設計・検証する工程を一般的に論理設計と称します。論理設計については、次の1章で説明します。</p> 	<p><b>7章 ハードウェア・エミュレータでの検証フロー</b></p> <p>7.1 MACD FFの検証環境</p> <p>7.2 テストベンチ</p> <p>7.3 テスト環境</p> 	<p><b>8章 ニューラルネットワークの回路仕様</b></p> <p>8.1 手書き数字認識のニューラルネットワーク</p> <p>(1) 手書き数字認識のニューラルネットワークの構成</p> <p>28 × 28画素の画像を特徴抽出する入力層、隠れ層で0-9の認識結果を出力する。</p>  <p>28 × 28画素 グレースケール</p>

図 3-4 デジタル設計におけるハードウェアエミュレータを用いた論理検証教材の内容

## Accelerating Crypto Design on Palladium

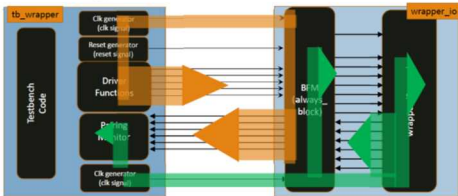
## Accelerating the crypto design - labs

Revision 1.0.0  
Mar 2021

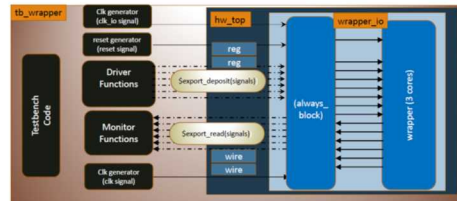
### Agenda

- Understanding the DUT (crypto design)
  - Clock analysis
  - Data analysis
  - Functionality (pairing)
- Simulating the design
  - Moving the design to Palladium
  - Signal Based Acceleration
- Accelerating the design on Palladium
  - Transaction Based Acceleration
    - Stage 1 – one transaction per VeriSP2
    - Stage 2 – one transaction per iteration
- Further Optimizations

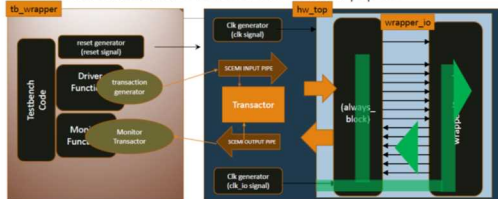
### Clock usage



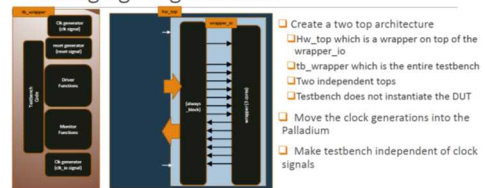
### Overall SBA architecture



### TBA architecture based on SCEMI pipes



### Managing clk generation



- Create a two top architecture
  - Hw\_top which is a wrapper on top of the wrapper\_io
  - tb\_wrapper which is the entire testbench
  - Two independent tops
- Testbench does not instantiate the DUT
- Move the clock generations into the Palladium
- Make testbench independent of clock signals

図 3-5 実設計に基づくエミュレータによる検証速度の向上手法に関する教材とその抜粋

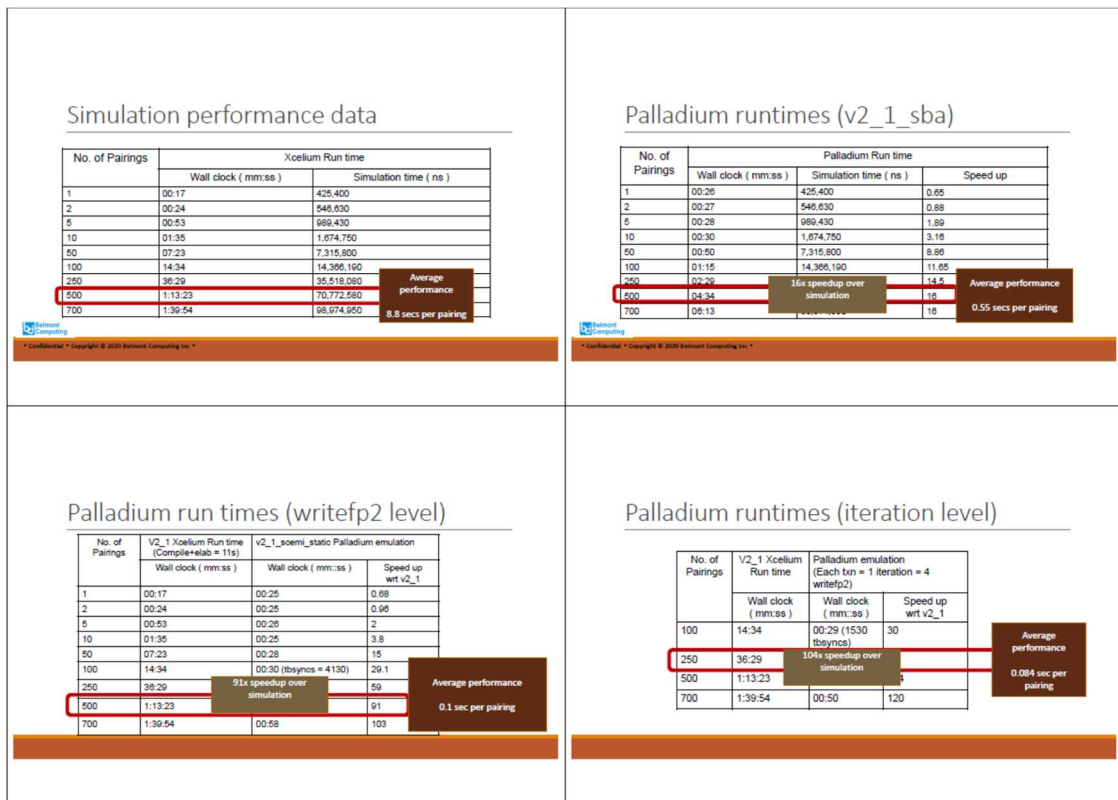


図 3-6 テストベンチの改良によるエミュレーション速度の向上効果

対象デザイン: 10MG程度の数値演算回路		シミュレータ		エミュレータ			
		コンパイル時間[s]	実行時間 (loop 50)[s]	コンパイル時間[s]	実行時間 (loop 50)[s]	実行時間 (loop 500)[s]	
RTL	何も対処しない	NA	410.98	391.82	57.79	239.95	x17
	データの入出力にメモリを使用	--	--	388.75	45.93	188.10	x22
	制御入力をメモリ使用			442.18	27.40	41.97	x98
	SCEMI Pipeを使用			468.20	27.40	42.24	x98
ネットリスト	何も対処しない	NA	419,806.74	3,978.91	60.59	208.94	x20,000
	データの入出力にメモリを使用			4,633.13	78.09	198.74	x21,000
	制御入力をメモリ使用			3,910.68	33.42	42.00	x100,000
	SCEMI Pipeを使用			3,898.73	37.27	41.57	x100,000

(a) 自作の IP の検証速度向上の結果

	parameters			boot cycles	Linux Boot			1M cycles			
	ext. mem.	log check	UART		RTL	Gate	G/R	RTL	Gate	G/R	
1	log	Yes	1/2	116M	Emu.	13'38"	15'06"	1.11	0'46"	2'01"	2.63
					Sim.	262:46'20"	561:47'40"	2.14	2:15'55"	4:50'35"	2.14
					S/E	1,156	2,232		177	144	
7	mem.	No	1/234	132M	Emu.	2'20"	2'31"	1.08	0'22"	0'53"	2.41
					Sim.	145:09'48"	609:19'36"	4.20	1:05'59"	4:36'58"	4.20
					S/E	3,733	14,527		180	314	

(b) RISC-V の検証速度の向上の結果

Pattern	シミュレータ (kHz)	CAKEなし (kHz)	CAKE 1x (kHz)	CAKEなし 速度向上	CAKE 1x 速度向上
base	7.62	499.32	817.39	66	105
base_pcie_000	0.69	374.49	769.58	543	1,115
base_pcie_001	0.33	404.15	799.37	1,225	2,422
base_pcie_002	0.31	543.21	790.48	1,752	2,550
base_pcie_004	0.59	549.47	782.13	931	1,326
base_pcie_005	0.65	405.72	784.58	624	1,207
base_memc	3.89	457.75	703.52	118	181

(c) AI-One における検証速度向上の結果

図 3-7 エミュレータによる検証速度の向上の結果

<p>【エミュレータを利用した検証の高速化に向けたテストベンチ作成方法】 日時 2021年6月30日（水）13：00 - 17：00</p> <p>【シミュレータ・エミュレータによる協調検証環境(EmuForge)を用いた検証効率向上】 日時 2021年7月1日（木）13：00 - 16：00</p> <p>【エミュレータトレーニング】 日時 2021年11月30日（木）13：00 - 17：30</p> <p>【エミュレータ・ワークショップ】 日時 2022年3月10日（木）13：30 - 17：00</p> <p>【エミュレータ・セミナー】 日時 2022年4月28日（木）13：30 - 15：00</p> <p>【エミュレータトレーニング】 日時 2022年6月7日（木）13：30 - 17：30</p> <p>【エミュレータ・ワークショップ】 日時 2022年9月13日（火）13：30 - 17：00</p> <p>【RISC-VベースSoCのシミュレーション・エミュレーション協調検証トレーニング】 日時 2022年9月28日（水）13：30 - 17：30</p> <p>【拠点フォーラム：検証特集】 日時 2022年12月23日（金）13：30 - 17：00</p> <p>【エミュレータトレーニング】 日時 2023年2月14日（火）13：30 - 17：30</p> <p>【エミュレータ・ワークショップ】 日時 2023年3月14日（火）13：30 - 17：00</p> <p>【RISC-VベースSoCのシミュレーション・エミュレーション協調検証トレーニング(再)】 日時 2023年3月20日（月）10：00 - 17：00</p>
--

図 3-8 エミュレータを用いた検証トレーニング



## 実施項目 1-2 「ハードウェア開発垂直立ち上げ実現のための研究開発」

目覚ましく進展する IoT 社会において、実世界の様々な形態の情報であるビッグデータから人々の生活に新たな価値を創造するための鍵となる技術として人工知能(AI)技術が注目されている。特に近年の AI 技術は急速な発展を遂げており、画像認識、音声認識、自動運転といった様々な分野に広がりを見せるとともに、人々の日常生活に浸透していく AI 時代が到来しつつある。他方、IoT や AI 技術の根幹をなす半導体集積回路の微細化は物理限界に近付いており、エネルギー消費の増大が極めて大きな課題となってきた。これらの課題を解決するためには、省エネルギーで効率的に AI を動作させる半導体集積回路・デバイス(AI チップ)の開発が必要不可欠であり、世界的にも AI チップの開発競争が激化している。AI チップは、クラウド向けの超大規模チップのみならず、エッジ用途においても日々増大する処理性能要求に応じるためにその設計規模増大がますます加速している。

このような大規模なチップの設計には、数多くの EDA ツールを組み合わせる必要がある。このため、システムレベル記述言語の知見しかない AI ベンチャー、FPGA により IP 開発を行っているベンチャー企業にとって、ASIC での IP の検証、性能評価に大きなハードルがあり、新規参入に対する非常に大きな敷居となっている。この研究開発課題では、多種多様な設計ツールを取捨選択し、ソフトウェアからハードウェア設計のサインオフまでを一気通貫に実現できるツールチェーン(図 3-9)を策定することで、この敷居を軽減し、システムレベル記述言語からハードウェア設計のサインオフまでを一気通貫に実現できる環境を実現し提供することにある。これにより、従来ハードウェア設計経験のない AI ベンチャーソフトウェアとしハードウェアからスムーズに AI チップ実現が可能となることが期待される。

本研究課題では、1)実施項目 2-1 において整備した EDA・EDA 利用環境を、ログインすれば即利用可能なように環境整備をする、2)ツールチェーン利用のための教材の整備に注力した。EDA ツールは毎年、また利用設計試作環境のライブラリ(PDK)によってバージョンが変化するため、環境設定もそれらすべてに対して整備している。図 3-10 には、ツールごとの環境設定ファイルの一例で、実際には、これらの設定ファイルをバージョンごとに準備し、利用者が指定のツール・バージョンを即刻利用が可能になるよう整備を行っている。同時に、図 3-11 に示すように EDA ツール利用における初期設定と起動に関するオンライン教材を整備し、即時利用を可能とした。

また、ツールチェーンを使いこなすにあたり、高位合成から物理設計までを一気に行うために必要となる教材が不可欠である。特に高位合成は 20 年以上にわたりツールが整備され続けているにもかかわらず、いまだに一般的に利用されるに至っていない。これは高位合成ツールの使いこなしの難易度の高さに起因する。そのため、特に高位合成に焦点をあて、教材整備に加えセミナーを行うことで普及に努めた。図 3-12 に整備した教材一覧を示す。

高位合成教材においては、ニューラルネットワークを題材として、図 3-13、図 3-14 に示すように最適化方法、低電力設計方法等に関する詳細を取り上げている。

これらの取り組みにより、AI-OneとAI-Twoの全体設計、AI-One搭載の6種類のAI-IPコアの設計、AI-Two搭載の3種類のAI-IPコアの設計を含めた多くの大規模な設計を実現することができた(SOC全体を含め11設計)。

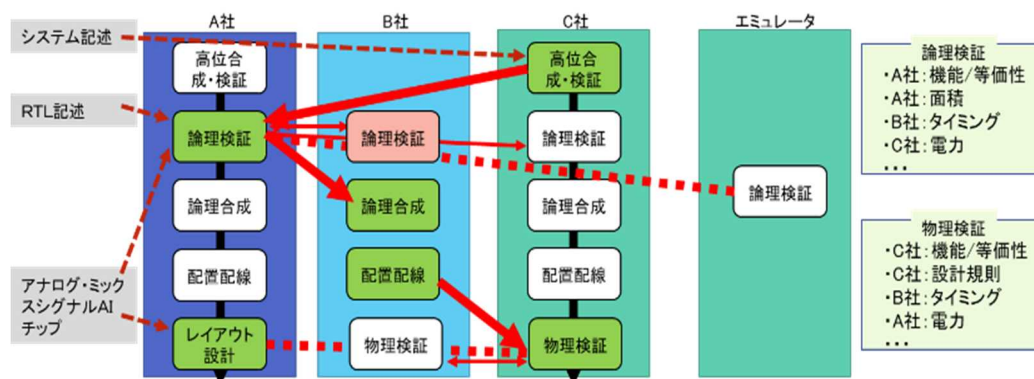


図 3-9 ツールチェーンの例

ベンダー	設定ファイル
Cadence	cshrc.innovus, cshrc.joules, cshrc.mdv, cshrc.qrc, cshrc.stratus, cshrc.virtuoso, cshrc.vxe, cshrc.genus, cshrc.jasper, cshrc.lec, cshrc.pvs, cshrc.spectre.batch, cshrc.tempus, cshrc.voltus, cshrc.xcelium
Siemens	cshrc.calibre, cshrc.catapult, cshrc.powerpro, cshrc.slec
Synopsys	cshrc.ct, cshrc.hspice, cshrc.lc, cshrc.pt, cshrc.spyglass, cshrc.vcs, cshrc.verdi, cshrc.cc, cshrc.dc, cshrc.icc, cshrc.prime, cshrc.spyglass-lint, cshrc.starrc, cshrc.vcs-mx, cshrc.waveview

図 3-10 ツールの設定ファイルの例

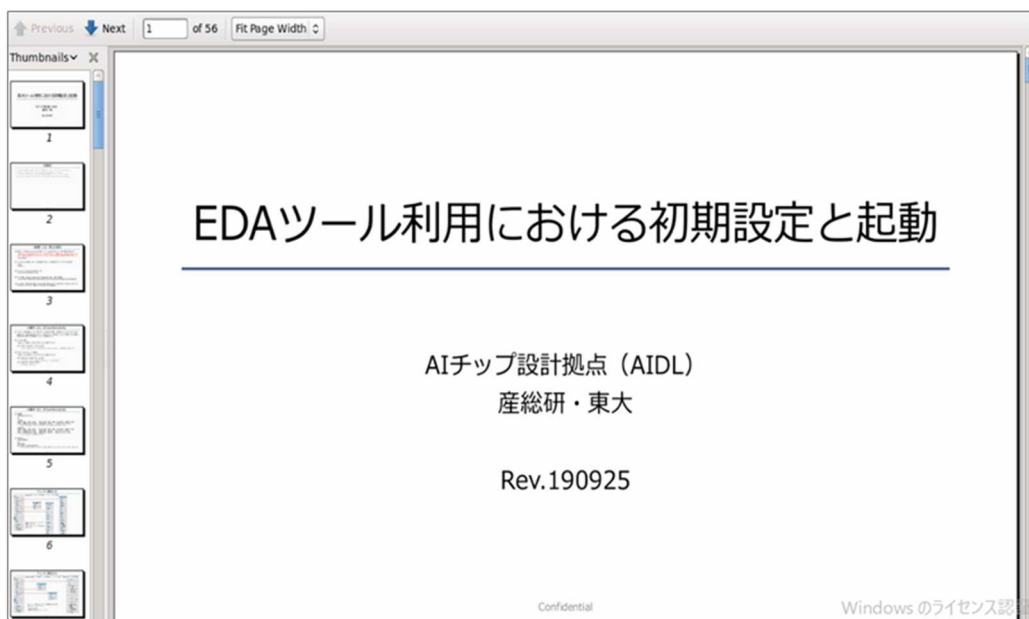


図 3-11 EDA ツール利用の初期設定とツールの起動に関するオンライン教材

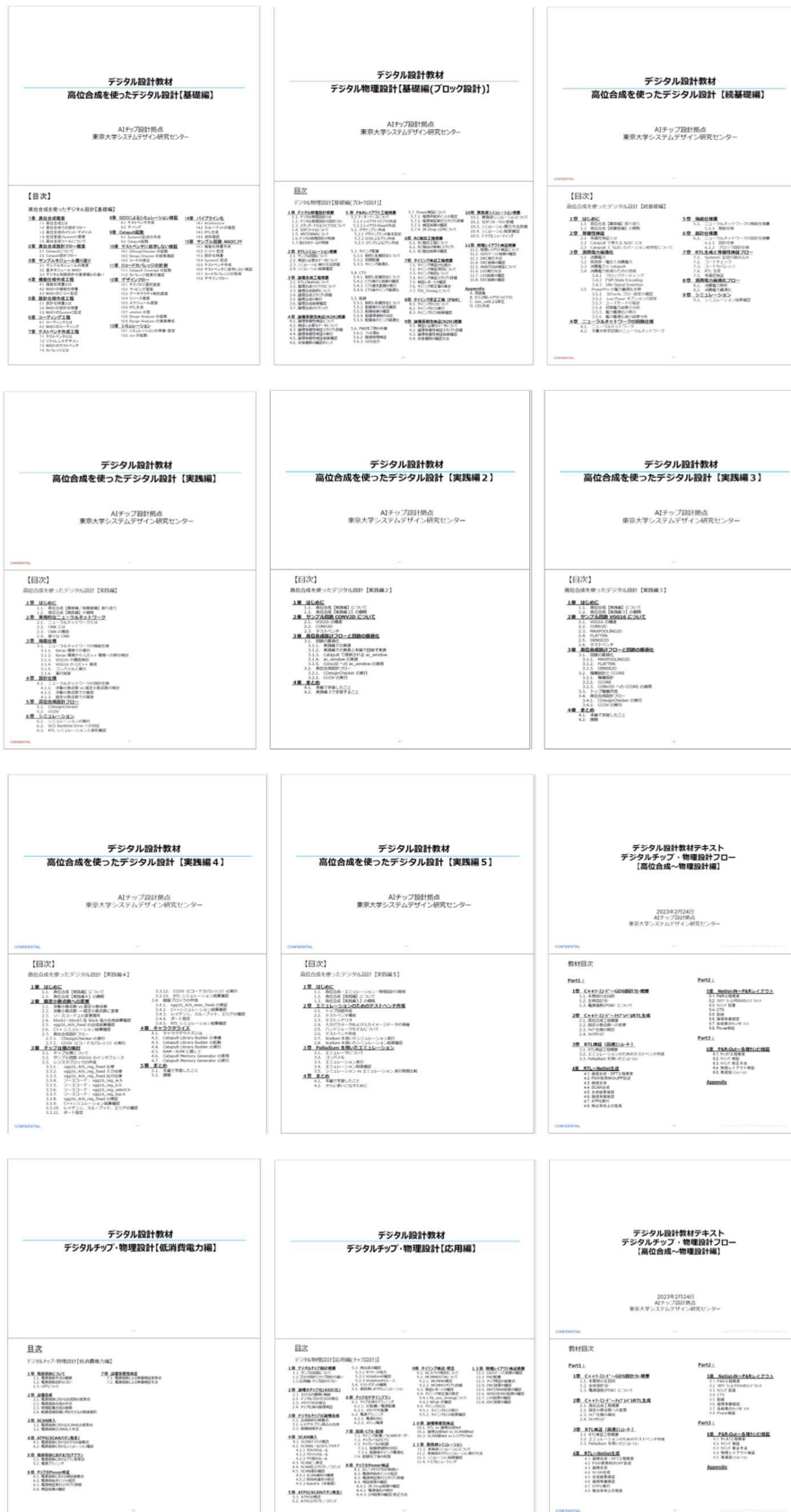


図 3-12 ツールチェーン教材一覧

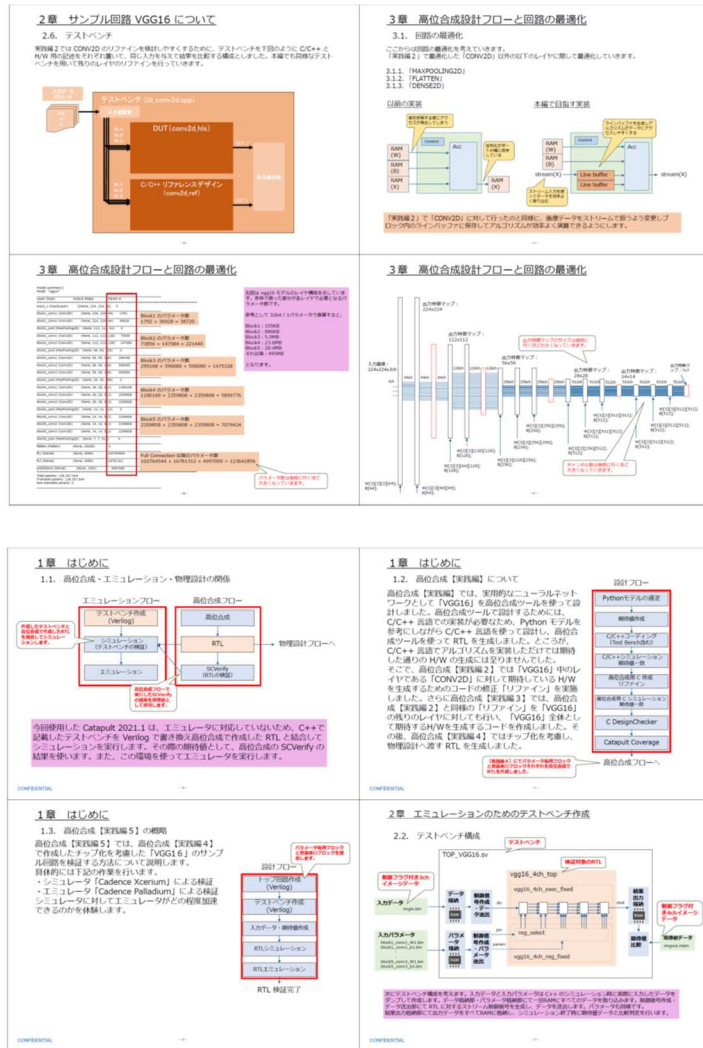
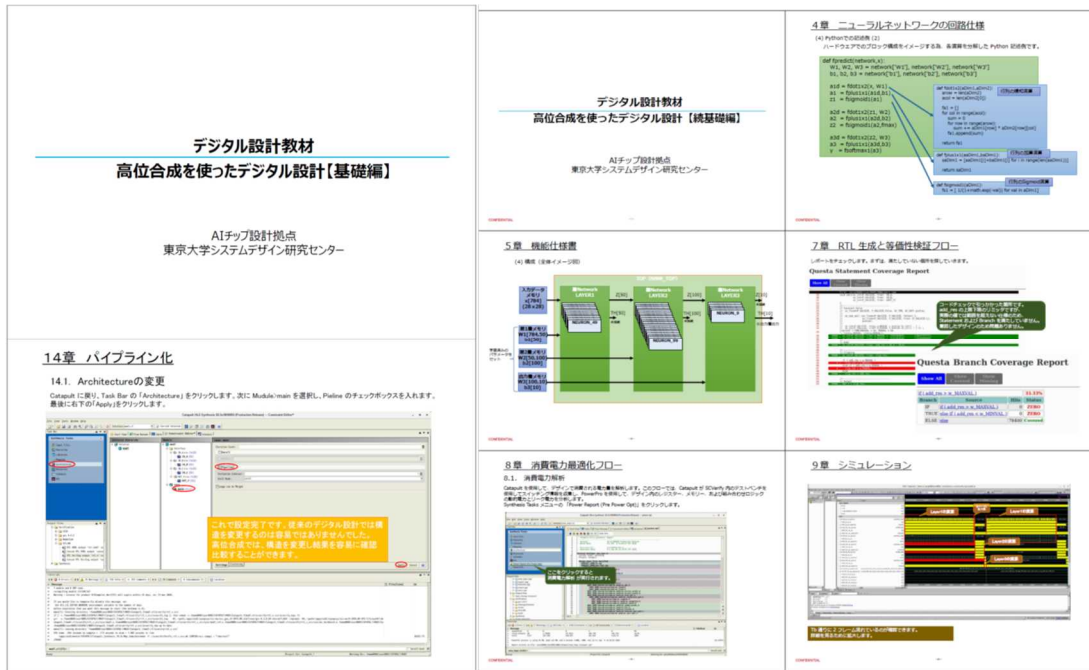


図 3-13 高位合成を使ったデジタル設計教材の抜粋

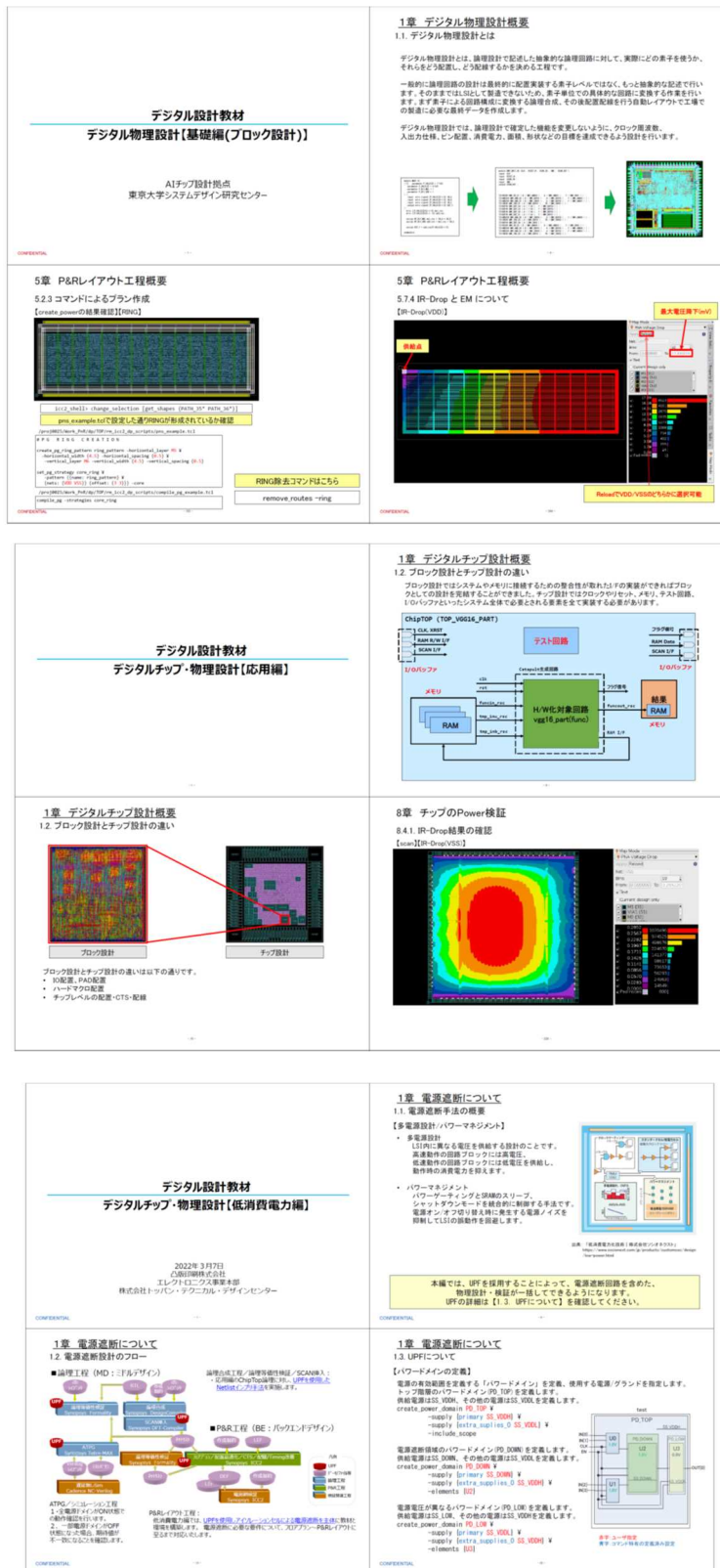


図 3-14 デジタル物理設計教材の抜粋

### 実施項目 1-3 「AI チップ設計に向けたリファレンスデザインの研究開発」

AI チップの開発においては、AI コア IP を慎重に設計・検証することはもちろんのこと、目的に合ったメモリ IP やバスインターフェイス IP 等といった周辺 IP を適切に選択し、AI コア IP に組み合わせることで AI チップ全体を完成させていくが、このような設計・開発は豊富な技術的知見や経験を必要とする。また、拠点には本プロジェクトで整備される設計ツールや標準インターフェイス等の IP、そしてこれらを用いた設計フローなどが集積されるが、これらを組み合わせることで実際のチップを短時間で設計する場合、設計環境、IP の利用方法に関するノウハウが必要である。このため、革新的な AI ソフトウェア技術を有するがチップ開発の経験が十分でない中小・ベンチャー企業等が AI チップを開発する場合、非常に難易度が高く開発期間が長期にわたる。

本実施項目では、ハードウェア記述、ファームウェア、ソフトウェアと PCIe 等の高速バスインターフェイス、DDR 等の高速メモリインターフェイス、標準バスインターフェイスや、画像認識 AI で用いられる畳み込みニューラルネットワーク IP からなるアクセラレータをリファレンスデザインとして作成する(図 3-15 の太枠で囲われた部分)。また、畳み込みニューラルネットワーク IP の部分(図 3-15 の独自 AI 用 IP の部分)を今後重要性が増すと考えられるトランスフォーマーに適用可能なように拡張する。

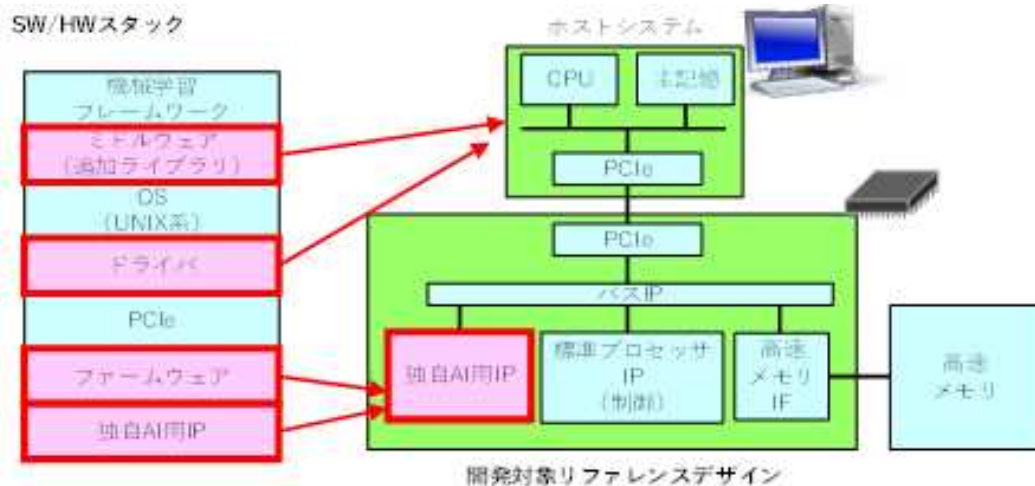


図 3-15 AI チップリファレンスデザイン開発で目標とするシステム

【リファレンスデザインの仕様策定に際して行った考察および研究開始からの経緯】

前述の目標は、AI 処理をソフトウェア処理によって具現化する手法を熟知しているが、集積回路設計手法に関する知識を持ち合わせないような想定拠点ユーザーに対して、例示を行い、集積回路化が迅速に行われるように配慮することである。

そのためには、実施項目 1-1, 1-2 で開発されるデザインフローやエミュレータ・EDA ツールの協調設計ツールチェーン、実施項目 1-5 で実施される AI チップ設計・評価プラットフォームを実

際に使えるものにする必要がある。また、デザインフローやエミュレータ・EDA ツールの協調設計ツールチェーン、AI チップ設計・評価プラットフォームの構築においても、これを検証するためのテストビークルが必要となる。

したがって、本実施項目で構築を行うリファレンスデザインとしても、これら実施項目と連携の上、研究開発を行った。特に、想定拠点ユーザーに対する配慮としては、C++による高位合成を導入するなどし、技術導入に関する障壁を下げる配慮を行った。

#### 【ソフトウェア処理から集積回路動作へ移行する処理仕様の策定】

本プロジェクトでは、前半 2 年半で畳み込みニューラルネットワークの一例として Alexnet のうち、最も積和算数の多い第 4 層ないし第 3 – 第 5 層を処理するためのアクセラレータを取り上げた。

一般的にアクセラレータによるハードウェア処理の対象とならない処理については、通常通りソフトウェア処理を行うことになる。図 3-16(a) に例示として、Alexnet をフレームワーク Chainer によって実装した場合のコードを示す。ここで、このうち `conv4=L4C2L.L4Convolution2D()` の行について、乗算回数が極めて多くなることからこの部分について独自のパッケージ `l4_Convolution_2d_links` を作成し、専用アクセラレータに処理をオフロードすることを考える。最も抽象度の高いレベルでは、図 3-16(b)に示すように、ホスト PC ないし計算機から引数の一つとしてデータストリームをアクセラレータに渡し、同様に演算結果のデータストリームをホストに戻すことによって処理を実行する。

つまり、処理をソフトウェアからアクセラレータに、あるいはアクセラレータからソフトウェアに移行するために CPU、PCIe、内部バス、専用レジスタを利用した機構、DRAM からもしくは DRAM へのデータロード・ストア機構などが必要となる。これらを順序だてて例示し、必要な要素の動作を示すことは、ユーザーの便益をもたらすと考えられる。

本実施項目で実際に使用したソフトウェア処理からアクセラレータ処理への移行方法を図 3-17(a),(b)に、アクセラレータ処理からソフトウェア処理への移行方法を同図(c), (d)にそれぞれ示す。これは、所謂ポーリングである。すなわち、処理の移行時には PCIe を通じて計算途中結果を DDR に転送し、計算リクエストフラグをコントロールレジスタに書き込む。ホストは計算終了フラグを同コントロールレジスタに検出するまで監視を続けストールする。一方、アクセラレータの CPU は同コントロールレジスタにおいて計算リクエストフラグを検出すると、アクセラレータ本体を起動する。処理が終了し次第計算結果を DDR に書き戻して計算終了フラグをコントロールレジスタに書き込む。最後に計算終了フラグを検出したホストは DDR から結果データを引き上げ次の処理へ移る。

以上のような動作を行うためには、アクセラレータの要素として、CPU, DDR, PCIe, 制御レジスタ、バス、DRAM リーダー、DRAM ライター、内部バス、マイクロコードデコーダなどが必要となる。



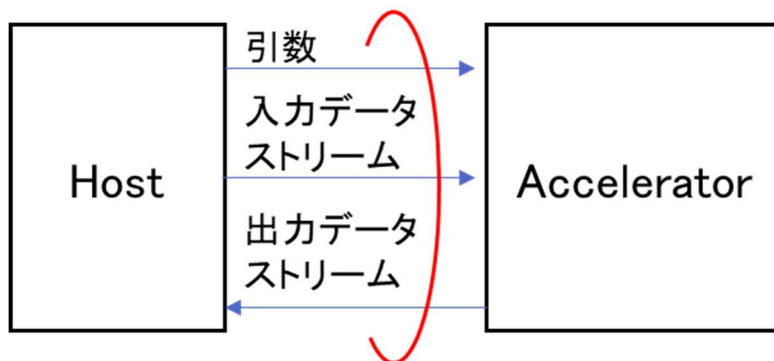
```

import numpy as np
import chainer
import chainer.functions as F
from chainer import initializers
import chainer.links as L
import l4_convolution_2d_links as L4C2L

class DSA_Alex(chainer.Chain):
def __init__(self, batchsize, out):
    super().__init__(
        conv1=L.Convolution2D(None, 96, 11, stride=4),
        conv2=L.Convolution2D(None, 256, 5, pad=2),
        conv3=L.Convolution2D(None, 384, 3, pad=1),
        conv4=L4C2L.L4Convolution2D(batchsize=batchsize, out=out),
        conv5=L.Convolution2D(None, 256, 3, pad=1),
        fc6=L.Linear(None, 4096),
        fc7=L.Linear(None, 4096),
        fc8=L.Linear(None, 1000),
    )

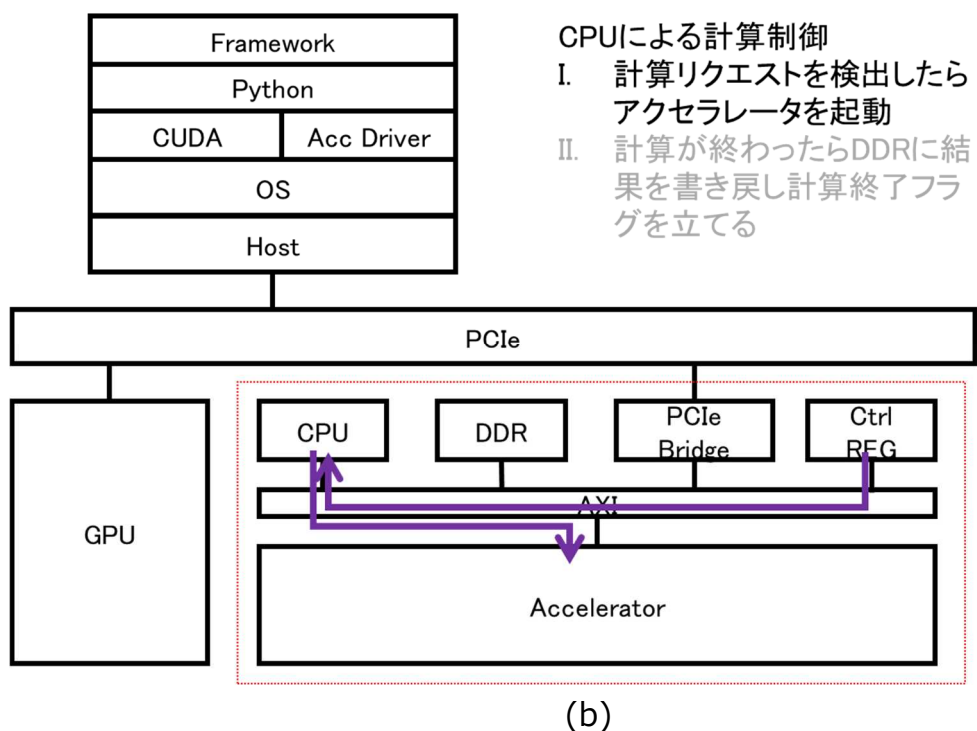
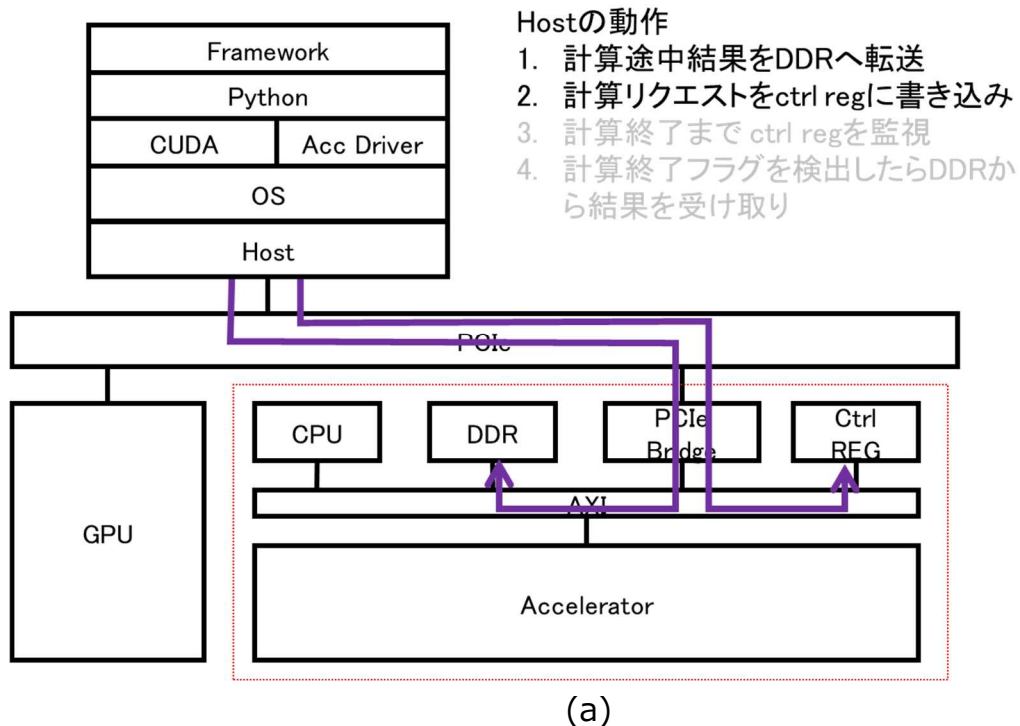
```

(a)



(b)

図 3-16 (a) Alexnet を例とするコードオフロードの例と  
(b)対応する計算オフロードに際する最も抽象度の高いブロック図



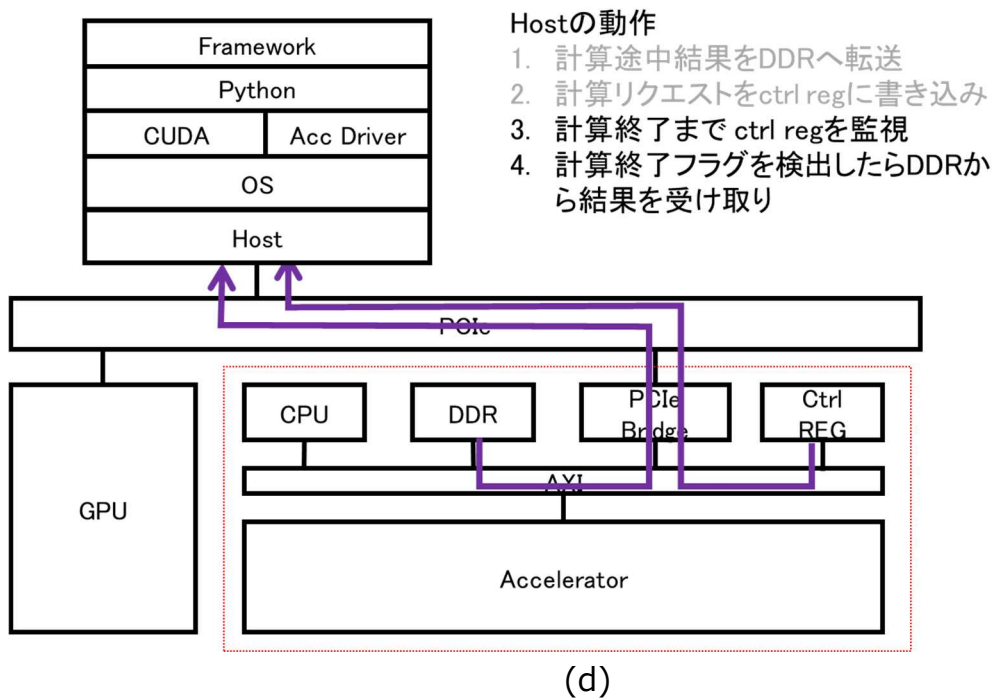
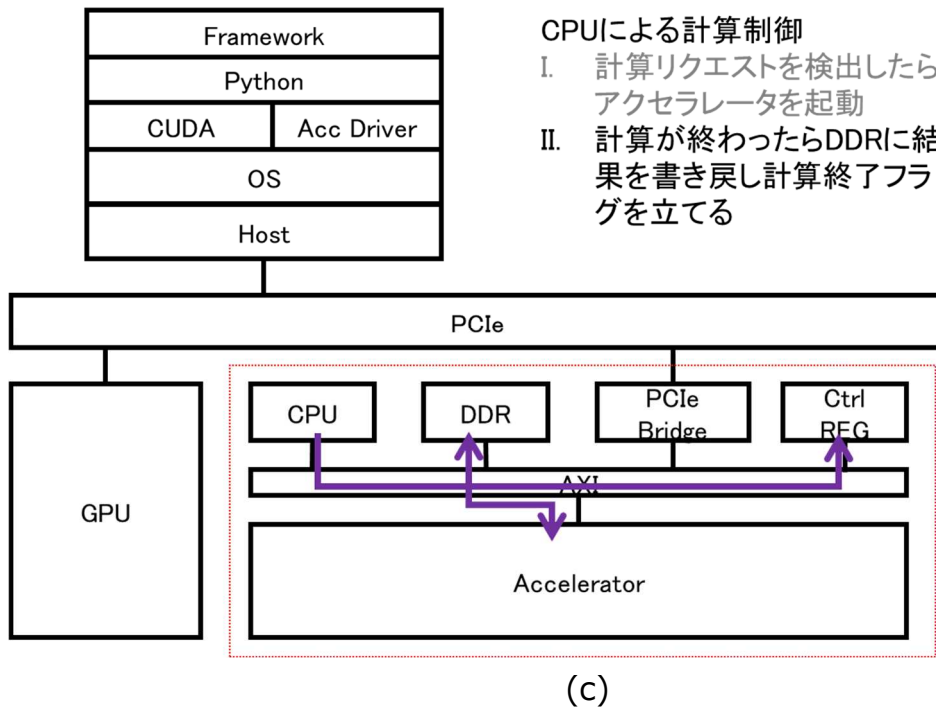


図 3-17 リファレンスデザインに実装されたポーリングによるソフトウェア処理・アクセラレータ処理の切り替え手法

### 【畳み込み処理の実装】

図 3-18 にリファレンスデザインとして作成した IP 内部の概要を図示する。DRAM リーダーから読み出されたデータは、並べ替えバッファを経て積和算器に供給される。積和算を実行した結果は部分和の積算器に転送され、丸め処理を行った後 DRAM ライターによって適宜 DRAM に書き戻される。その周辺では CPU, DDR, PCIe, コントロールレジスタ, マイクロコードデコーダが適宜動作して畳み込み処理を遂行する。特に青色で記した部分は実施項目 1-5 においてプラットフォームとして提供される部分を利用することとした。これにより、各種ドライバやファームウェアを同時に提供することが可能である。

実装においては、C++による高位合成記述を採用した。これによって、図 3-19 に示すような全体検証と実装が可能となった。すなわち、高位合成記述のソースはそのまま C++によってその振る舞いを検証できる。そのコードを流用し、ファームウェアの一部とすることができる。また、高位合成ツールによって図 3-18 の黄色ハッチング部分を SOC のRTLとして生成することができる。実施項目 1-5 で開発されたワンチップシミュレーション手法によってその振る舞いを検証可能である。この RTL を実際に集積回路実装する場合には、実施項目 1-1, 1-2 によって開発された拠点設計フローによって実装可能である。

図 3-20 に、実施項目 1-5 によって提供された検証手法を用いて行った検証波形の例を示す。実施項目 1-5 で詳述されるように、拠点のフローによって機能検証を行うことが可能であり、プラットフォームからのテストベクターの応答をシミュレータによって確認することが可能である。

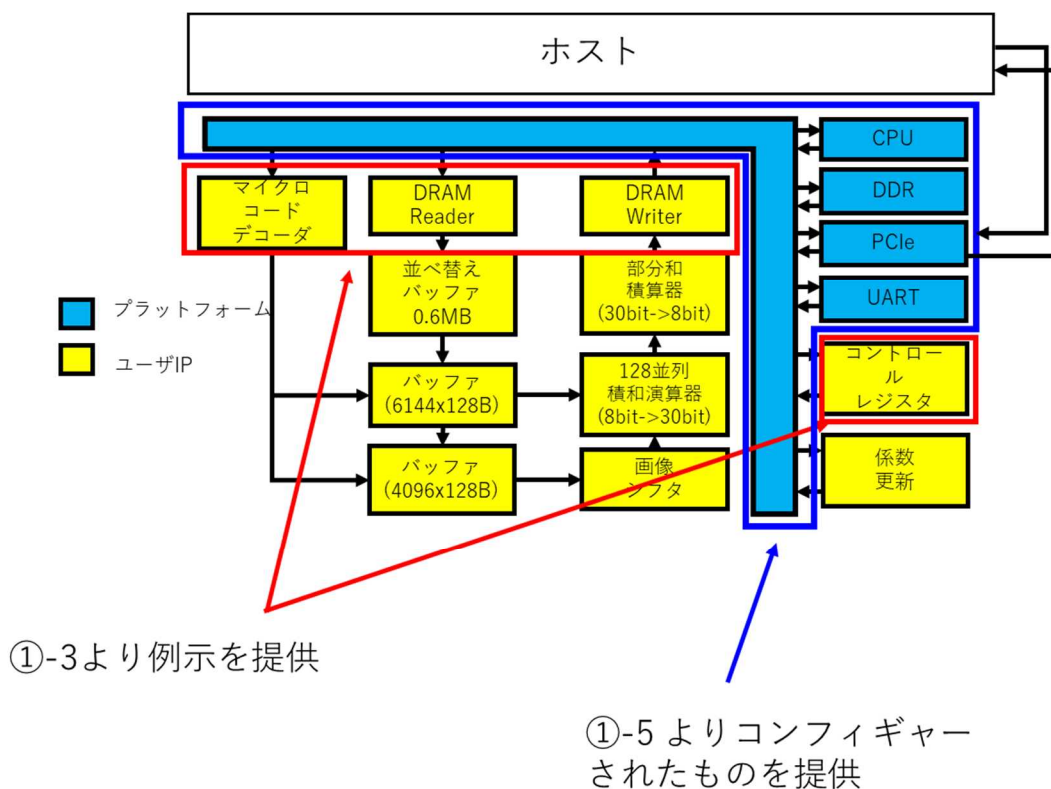


図 3-18 リファレンスデザインとして作成した IP の内部概要

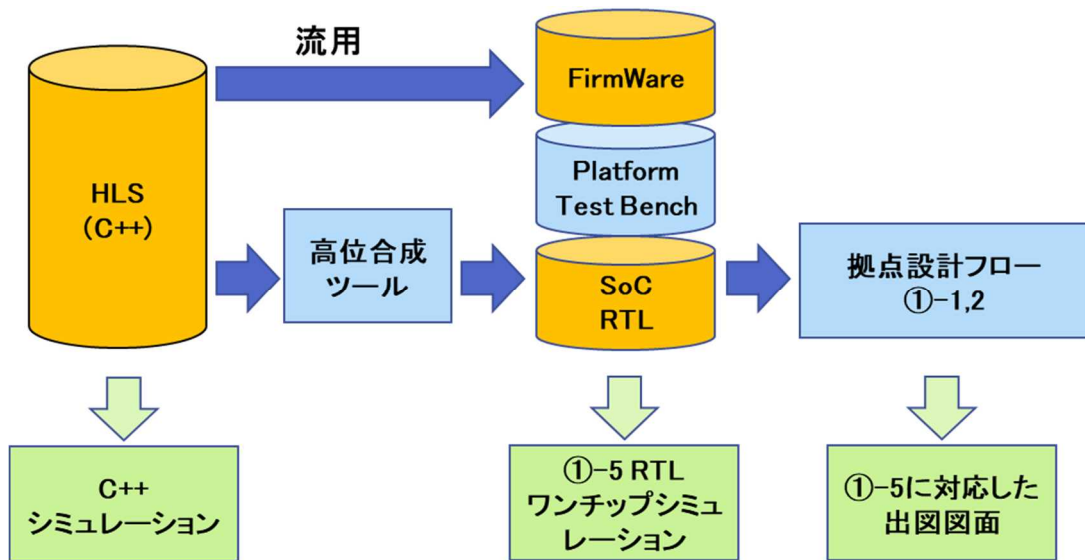


図 3-19 作成したリファレンスデザインを用いた集積回路実装フロー

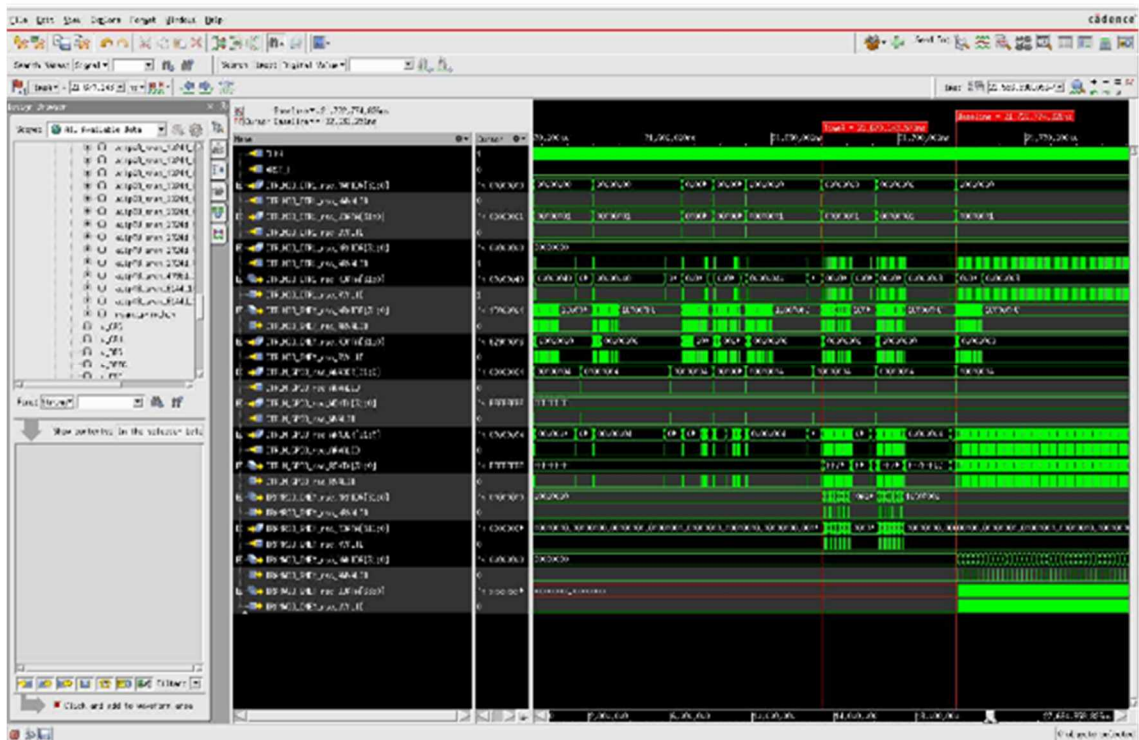


図 3-20 実施項目 1-5 に実装された畳み込みニューラルネットワークリファレンスデザインの機能検証波形の例

チップ上のレイアウトとしては、図 3-21 に示すように、プラットフォームや他 IP とともに実装が行われた。試作されたチップは、図 3-22 に示すように、実施項目 1-5 の成果として提供されたデバッガ環境によって、800MHz での正常動作を確認することに成功した。

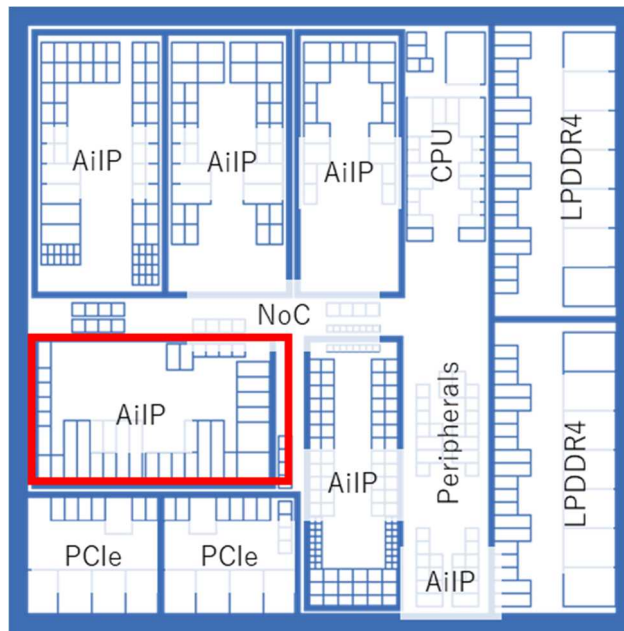


図 3-21 実施項目 1-5 により実施されたチップ試作における畳み込みニューラルネットワークワークリファレンスデザインの実装



図 3-22 評価ボードとデバッガによる動作検証の様子

表 3-4 に実装の結果をまとめる。特に、上記消費電力測定は、実施項目 1-5 のテストボード上に提供された、電源回路制御機構によって可能となったものであり、同様の手法をユーザー

に提供可能となる。この機構を使ってリアルタイムに消費電力を測定した例を図 3-23 に示す。ここで、idle, move, exec(forward, backward\_weight)に関しては下記の動作を行った結果である。

move : データセットの読み込みを 4000 回繰り返し実行

exec (forward) : 順伝播の計算を 200 回繰り返し実行

exec(backward\_weight) : 重み勾配逆伝播の計算を 200 回繰り返し実行

なお、表 3-4 の消費電力は、上記 idle 時と exec の差分を IP の動作に係る消費電力と換算した。

実装結果について、16nm テクノロジーによって実装された GPU との比較する試算結果を表 3-5 に示す。同試算は、トランジスタ層数、クロック周波数が異なるため、これらをテクノロジーノード数を勘案して平準化すると、汎用の GPU に対して 5~8 倍程度の高速化が見込める設計となっている可能性が指摘される。ただしここで、両者ともにバッチ数を 32 としたことや、GPU においては Winograd を利用しているのに対し、リファレンスデザインでは im2col/col2im と GEMM を用いたことと等価な処理を採用していること等に注意が必要である。

同リファレンスデザインを公開するにあたっては、第 4 層のみに対応する並べ替えバッファ機能やマイクロコードデコーダ機能を拡張し、第 4 層のみならず第 3-5 層に拡張した例示を作成し、公開した。

**表 3-4 畳み込みニューラルネットワークリファレンスデザインの実装実験結果**

	AI-One実装 (28 nm)
システムゲート数	2M
IPの面積	2.7mm x 2.1mm
SRAM容量	2.1MB
PE数	128
クロック速度	800MHz
消費電力	680mW

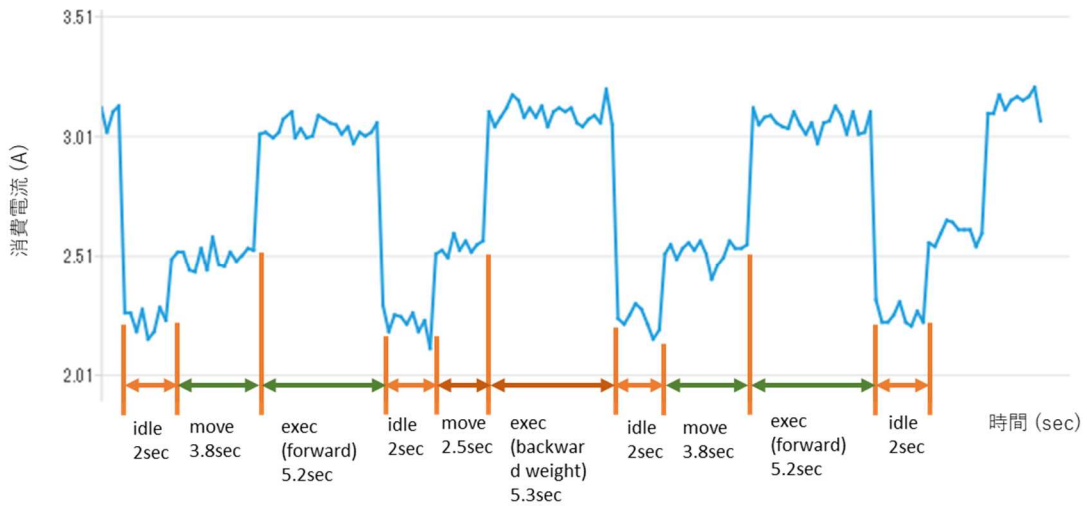


図 3-23 畳み込みニューラルネットワークリファレンスデザインの実装実験結果

表 3-5 畳み込みニューラルネットワーク実装に関する GPU との性能比較

	NVIDIA GP100	本実施項目リファレンスデザイン
テクノロジー	16 nm	28 nm
トランジスタ総数	15,300 M	75 M (バッファメモリ等を含む)
動作周波数	1,556 MHz	800 MHz
計算性能 (32バッチ)		
第4層順伝播	1,927 us (実測)	23,657 us (238 us 相当 @16nm)
第4層逆伝播	3,787 us (実測)	75,069 us (757 us 相当 @16nm)

【トランスフォーマー処理への拡張】

図 3-18 の黄色ハッチング部分を変更し、トランスフォーマー処理に適用可能な構造を持つリファレンスデザインについても後半 2 年で作成を行った。図 3-24 に、本課題の実装対象とした BERT(Bidirectional Encoder Representations from Transformers)のネットワークの概要を示す。この中で特徴的な部分は、内積、リニア層、ソフトマックス層、そして、BERT Output などのブロックに含まれるレイヤ正規化層などである。本実施項目では、レイヤ正規化は CPU 処理により実施することとした。

図 3-25 にそのブロック図概要を示す。このデザインは、図 3-18 のようなデータストリームをパイプラインで処理するのとは異なり、PE 近傍に SRAM を持ちデータを PE 間で授受しながら並列動作を行う構造とした。実装の手段としては、畳み込み処理と同様に、C++による高位モデリングを行った。さらに、これを実施項目 1-5 で実施した AI-Two により実装する実験も行った。この実験に際しては、チップ面積の制約から、内積とリニア層の機能に絞って実装を行った。



実装の結果、これら 2 つの機能は同様のデバッガを使ったテストベクターの実施により、健全な動作が確認された。

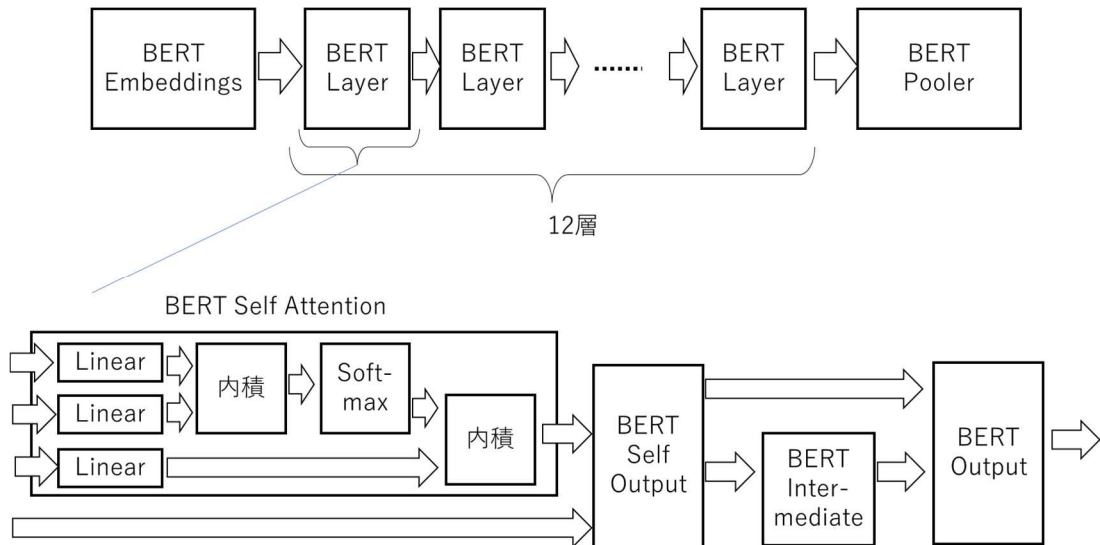


図 3-24 BERT のネットワーク構造

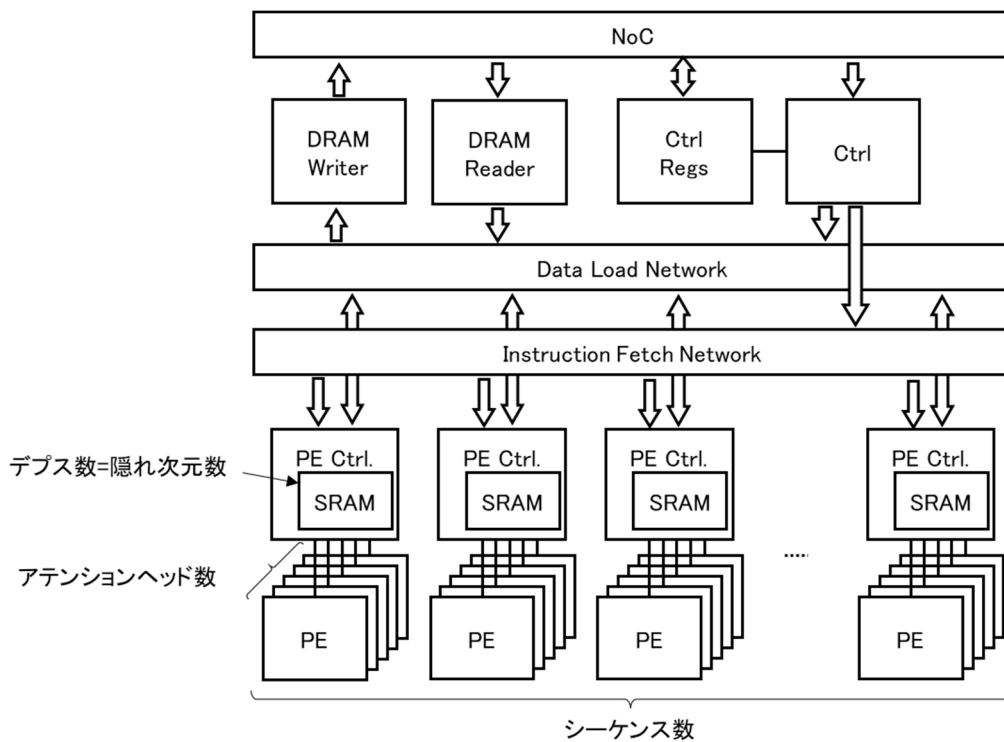


図 3-25 トランスフォーマー計算用アクセラレータの構造概要

【その他要素を含むポートフォリオ構成要素】

これら 2 つのリファレンスデザインに加え、更に、トランスフォーマー処理の精度を検討した際に用いたエミュレータ・GPU の協調検証手法等も開発した。その概念図を図 3-26 に示す。この検証系は、エミュレータを図 3-18 の黄色ハッチング部分と見立てている。すなわち、ポーリングに

よるホストと DUT の通信を、TCP/IP を介したソケット通信-シミュレータ用ホストを介して、PCIe 通信を模擬する。実際の PCIe, CPU は省略し、制御レジスタ、メモリ転送とポーリングによる制御を実装した C/C++テストベンチによってこれらの機能をテストベンチ化する。

このようなトランスフォーマーの必須機能である Softmax 関数と行列内積を Verilog 実装し、エミュレータ上で動作。Python の全体コードの中に上記エミュレータ動作を取り込むインターフェイスを作成し、これらをハードウェア化した場合のソフトウェア処理との制度の差を評価する手法として用いた。

表 3-6 に評価の一例を示す。自然言語処理用ニューラルネットワークモデル“BERT”の機能のうち、RTE ベンチマークに関して、ファインチューニングおよびこれに続く推論を実行し、そのスコアに関して、(1)エミュレータ+GPU での実行結果と、(2)対照区としての GPU のみの実行結果を比較した。(1), (2) の各条件は以下のとおりである。

#### 実装(1)

- ・ エミュレータ実装部： 128 並列 Softmax 関数ユニット
- ・ GPU 実装部： その他機能

#### 実装(2) [対照区]

- ・ エミュレータ実装部： 無
- ・ GPU 実装部： 全機能

比較結果としては、ソフトウェア実行に一致するスコアが確認された。完全に一致してはいないが、むしろハードウェア実行が良く見えるのは、フレームワーク中で乱数を用いられるためと考えられる。GPU のみによる実行時のスコアばらつきに収まるレベルと言える。

このような、エミュレータを用いた AI チップ用ホスト一体型の検証手法について、汎用的機能部分を切り出し、ポートフォリオの一部として拠点ホームページにて公開した。加えて、センサーフロントエンドマクロの構成方法、すなわちセンサー・アナログ・ミクストシグナルデザインを統合的に行うシミュレーション時間短縮のための検証手法についての手引する参考資料を追加するなどし、ポートフォリオ全体が構成される。

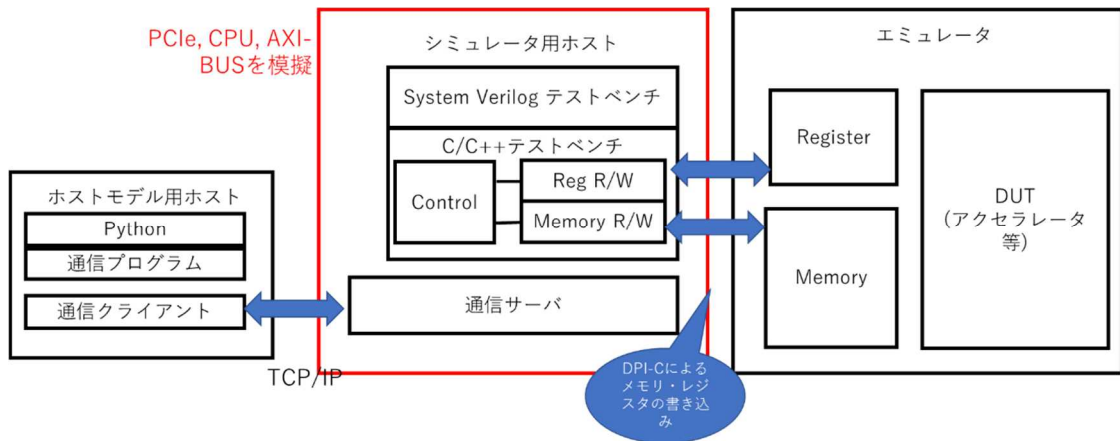


図 3-26 ソフトウェアハードウェア一括検証用エミュレータ環境の概要

表 3-6 ソフトウェア処理との比較

実装	(1) GPU+Emulator	(2) GPU
RTEベンチマーク		
accuracy	0.534	0.495
loss	0.693	0.706
実行時間	約12時間	118秒

【まとめ】

以上のように、本実施項目では、畳み込みニューラルネットワーク、トランスフォーマー処理を行うためのリファレンスデザインを作成し、他実施項目と連携し、実施項目 1-1, 1-2 で開発されるデザインフローやエミュレータ・EDA ツールの協調設計ツールチェーン、実施項目 1-5 で実施される AI チップ設計・評価プラットフォームを実際に使えるような事例として完成させた。

## 実施項目 1-4 「センサー機能を含むチップのための新規デバイスモデルの研究開発」

IoT 社会において、エッジ側では AI チップとセンサーとのオンチップ化進んできており、中でもイメージセンサーは画像認識 AI 処理の応用範囲が広く、我が国にとって強みのある分野である。このような魅力のあるセンサー付き AI チップを実現するためには、そのセンサー自体、すなわちデバイスレベルの工夫が必要であり、物理モデルに基づいてデバイスを設計する設計ツールが必要となる。このような需要は各種センサーのみならず、アナログ素子など、ロジック回路とは異なる機能素子が必要である場合に、その共通課題としてデバイス設計環境が必要とされる。

すなわち、イメージセンサー・アナログ素子等、独自の機能デバイスを IP として組み込む AI チップが今後増えてくる。このような独自の機能デバイスを備えた AI チップを設計する際、機能デバイスを設計するためのデバイス設計ツール(TCAD 等の設計ツール)に精通していない設計者が、機能デバイスを設計できる環境がないという問題、さらには設計された機能デバイスを AI チップの回路シミュレーションに反映させるモデル化等の技術がないという問題をも、早急に解決する必要がある。

産総研はすでに独自のデバイス設計ツール Impulse TCAD を開発した。自動微分を搭載することで新しい物理モデル・物理方程式を容易に組み込むことができるため、従来の TCAD に比べて新しい現象への素早い取り組みが可能であり、各種プロジェクトで活用されている。しかしながら Impulse TCAD は汎用の物理シミュレータであり、入力言語もプログラミングに近いため、一般ユーザーがすぐにデバイス設計に活用するにはハードルが高いという問題がある。

一般に Technology CAD (TCAD)を使う際にユーザーがケアしなければならない利用ノウハウとして、デバイス構造の作成、現実的な計算時間で精度よく解くための空間・時間メッシュの構築、適切な物理モデルの選択など、デバイス設計とは異なるところに注意を払わなければならない。さらには TCAD ソフトウェアのライセンスを購入したり、計算サーバを導入したりと、コストもかかるものであり、AI チップ開発に専念したい企業にとっては負担が大きい。特に CMOS イメージセンサーのように 3 次元の解析に対応するためのライセンス料及び計算機コストは問題である。

本項目はこのような問題を解決し、拠点ユーザーが活用可能なデバイス設計環境を提供することを目的とする。本項目の中間目標は、Impulse TCAD をベースとして AI チップに搭載する際に利用可能な独自の機能デバイス設計ツールのプロトタイプを、例えばイメージセンサーといった特定の用途を想定して開発・評価し、課題を抽出し、改良仕様を策定する、とした。

最終目標は、機能デバイス設計ツールを改良し、クラウド上で利用可能な環境を構築、特定の用途を想定したケースに対して有効性を検証する。その一環として機能デバイス設計ツールの拠点利用者等の利用を通してその有効性を確認する。また、検討した新規デバイスのモデル化技術等については、AI チップ設計フローへ組み込みとそれに必要な条件等の明確化を図る、とした。

以下、本項目ではまず上記中間目標までの成果を前半で報告し、後半はそれを踏まえた最終目標までの成果を報告する。

前半の 2018～2020 年度は中間目標に向けて以下の項目を実施した。

- ①ユーザーインターフェイス構築のためのユーザーヒアリング
- ②ユーザーインターフェイスプロトタイプの開発と改良
- ③TCAD によるデバイス設計支援
- ④デバイス設計のためのデバイス構造の提供
- ⑤ファブとの連携に向けた議論

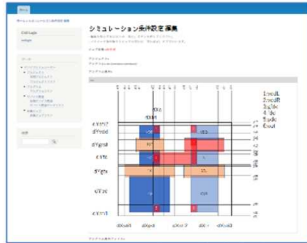
以下、項目ごとに成果を記載する。

我々は設計者が予め必要なノウハウをできるだけ減らすには、物理シミュレータをそのまま使っただけより、目的に応じて TCAD のエキスパートがデバイス構造・メッシュ・物理モデルなどをあらかじめ用意したものに、ユーザーインターフェイスから使ってもらう方式を採用した。またライセンス料や計算資源を可能な限り抑えるため、設計拠点側で用意したクラウド上の計算機資源を利用し、ユーザーはウェブブラウザで利用するウェブユーザーインターフェイス(WebUI)方式とした。

WebUI を開発するにあたり、最初に①の拠点ユーザーへのヒアリングを実施した結果、デバイス設計環境が必要なユーザーの中で、CMOS イメージセンサーに関する要望が多く、次にアナログ素子としての MOSFET が多いという結果が得られた。このヒアリングを元に、各イメージセンサー関連のユーザー企業及び大学を訪問し、デバイス設計ツールへのさらに細かい要望のヒアリングを行った。これらのヒアリング結果を元に TCAD ユーザーインターフェイスの仕様を策定した。

策定した仕様を元に②としてユーザーインターフェイスプロトタイプを開発した。ユーザーインターフェイス(UI)はユーザーが自サイトから Web の仕組みを用いてアクセスし、システム側で用意したクラウド計算機上で TCAD シミュレーションを実施、その結果を Web ブラウザから取得する WebUI 方式とした。図 3-27 に開発した WebUI の画面例を図示する。ユーザーは用意されたデバイス、ここでは CMOS イメージセンサー(CIS)ピクセルのレイアウト図を見ながら、寸法や不純物分布をパラメータとして設定し、シミュレーションを実施できる。本機能の初期評価結果として、ピクセルのレイアウトを変更したいという要望があり、レイアウト定義ウィンドウを追加して対応した。レイアウトに応じて電極が増える可能性があり、与える電圧条件のウィンドウも併せて設けた。

✓ Web ユーザーインターフェイス WebUI



1. CISレイアウト図

Symbol	Value	Unit	Parameter	Description
WPD	1000	nm	gate length	gate length
WFD	1000	nm	gate length	gate length
Wgate	1000	nm	gate length	gate length
Wgate2	1000	nm	gate length	gate length
Wgate3	1000	nm	gate length	gate length
Wgate4	1000	nm	gate length	gate length
Wgate5	1000	nm	gate length	gate length
Wgate6	1000	nm	gate length	gate length
Wgate7	1000	nm	gate length	gate length
Wgate8	1000	nm	gate length	gate length
Wgate9	1000	nm	gate length	gate length
Wgate10	1000	nm	gate length	gate length
Wgate11	1000	nm	gate length	gate length
Wgate12	1000	nm	gate length	gate length
Wgate13	1000	nm	gate length	gate length
Wgate14	1000	nm	gate length	gate length
Wgate15	1000	nm	gate length	gate length
Wgate16	1000	nm	gate length	gate length
Wgate17	1000	nm	gate length	gate length
Wgate18	1000	nm	gate length	gate length
Wgate19	1000	nm	gate length	gate length
Wgate20	1000	nm	gate length	gate length
Wgate21	1000	nm	gate length	gate length
Wgate22	1000	nm	gate length	gate length
Wgate23	1000	nm	gate length	gate length
Wgate24	1000	nm	gate length	gate length
Wgate25	1000	nm	gate length	gate length
Wgate26	1000	nm	gate length	gate length
Wgate27	1000	nm	gate length	gate length
Wgate28	1000	nm	gate length	gate length
Wgate29	1000	nm	gate length	gate length
Wgate30	1000	nm	gate length	gate length
Wgate31	1000	nm	gate length	gate length
Wgate32	1000	nm	gate length	gate length
Wgate33	1000	nm	gate length	gate length
Wgate34	1000	nm	gate length	gate length
Wgate35	1000	nm	gate length	gate length
Wgate36	1000	nm	gate length	gate length
Wgate37	1000	nm	gate length	gate length
Wgate38	1000	nm	gate length	gate length
Wgate39	1000	nm	gate length	gate length
Wgate40	1000	nm	gate length	gate length
Wgate41	1000	nm	gate length	gate length
Wgate42	1000	nm	gate length	gate length
Wgate43	1000	nm	gate length	gate length
Wgate44	1000	nm	gate length	gate length
Wgate45	1000	nm	gate length	gate length
Wgate46	1000	nm	gate length	gate length
Wgate47	1000	nm	gate length	gate length
Wgate48	1000	nm	gate length	gate length
Wgate49	1000	nm	gate length	gate length
Wgate50	1000	nm	gate length	gate length
Wgate51	1000	nm	gate length	gate length
Wgate52	1000	nm	gate length	gate length
Wgate53	1000	nm	gate length	gate length
Wgate54	1000	nm	gate length	gate length
Wgate55	1000	nm	gate length	gate length
Wgate56	1000	nm	gate length	gate length
Wgate57	1000	nm	gate length	gate length
Wgate58	1000	nm	gate length	gate length
Wgate59	1000	nm	gate length	gate length
Wgate60	1000	nm	gate length	gate length
Wgate61	1000	nm	gate length	gate length
Wgate62	1000	nm	gate length	gate length
Wgate63	1000	nm	gate length	gate length
Wgate64	1000	nm	gate length	gate length
Wgate65	1000	nm	gate length	gate length
Wgate66	1000	nm	gate length	gate length
Wgate67	1000	nm	gate length	gate length
Wgate68	1000	nm	gate length	gate length
Wgate69	1000	nm	gate length	gate length
Wgate70	1000	nm	gate length	gate length
Wgate71	1000	nm	gate length	gate length
Wgate72	1000	nm	gate length	gate length
Wgate73	1000	nm	gate length	gate length
Wgate74	1000	nm	gate length	gate length
Wgate75	1000	nm	gate length	gate length
Wgate76	1000	nm	gate length	gate length
Wgate77	1000	nm	gate length	gate length
Wgate78	1000	nm	gate length	gate length
Wgate79	1000	nm	gate length	gate length
Wgate80	1000	nm	gate length	gate length
Wgate81	1000	nm	gate length	gate length
Wgate82	1000	nm	gate length	gate length
Wgate83	1000	nm	gate length	gate length
Wgate84	1000	nm	gate length	gate length
Wgate85	1000	nm	gate length	gate length
Wgate86	1000	nm	gate length	gate length
Wgate87	1000	nm	gate length	gate length
Wgate88	1000	nm	gate length	gate length
Wgate89	1000	nm	gate length	gate length
Wgate90	1000	nm	gate length	gate length
Wgate91	1000	nm	gate length	gate length
Wgate92	1000	nm	gate length	gate length
Wgate93	1000	nm	gate length	gate length
Wgate94	1000	nm	gate length	gate length
Wgate95	1000	nm	gate length	gate length
Wgate96	1000	nm	gate length	gate length
Wgate97	1000	nm	gate length	gate length
Wgate98	1000	nm	gate length	gate length
Wgate99	1000	nm	gate length	gate length
Wgate100	1000	nm	gate length	gate length

2. パラメータ設定

```
WPD = 1000
WFD = 1000
Wgate = 1000
Wgate2 = 1000
Wgate3 = 1000
Wgate4 = 1000
Wgate5 = 1000
Wgate6 = 1000
Wgate7 = 1000
Wgate8 = 1000
Wgate9 = 1000
Wgate10 = 1000
Wgate11 = 1000
Wgate12 = 1000
Wgate13 = 1000
Wgate14 = 1000
Wgate15 = 1000
Wgate16 = 1000
Wgate17 = 1000
Wgate18 = 1000
Wgate19 = 1000
Wgate20 = 1000
Wgate21 = 1000
Wgate22 = 1000
Wgate23 = 1000
Wgate24 = 1000
Wgate25 = 1000
Wgate26 = 1000
Wgate27 = 1000
Wgate28 = 1000
Wgate29 = 1000
Wgate30 = 1000
Wgate31 = 1000
Wgate32 = 1000
Wgate33 = 1000
Wgate34 = 1000
Wgate35 = 1000
Wgate36 = 1000
Wgate37 = 1000
Wgate38 = 1000
Wgate39 = 1000
Wgate40 = 1000
Wgate41 = 1000
Wgate42 = 1000
Wgate43 = 1000
Wgate44 = 1000
Wgate45 = 1000
Wgate46 = 1000
Wgate47 = 1000
Wgate48 = 1000
Wgate49 = 1000
Wgate50 = 1000
Wgate51 = 1000
Wgate52 = 1000
Wgate53 = 1000
Wgate54 = 1000
Wgate55 = 1000
Wgate56 = 1000
Wgate57 = 1000
Wgate58 = 1000
Wgate59 = 1000
Wgate60 = 1000
Wgate61 = 1000
Wgate62 = 1000
Wgate63 = 1000
Wgate64 = 1000
Wgate65 = 1000
Wgate66 = 1000
Wgate67 = 1000
Wgate68 = 1000
Wgate69 = 1000
Wgate70 = 1000
Wgate71 = 1000
Wgate72 = 1000
Wgate73 = 1000
Wgate74 = 1000
Wgate75 = 1000
Wgate76 = 1000
Wgate77 = 1000
Wgate78 = 1000
Wgate79 = 1000
Wgate80 = 1000
Wgate81 = 1000
Wgate82 = 1000
Wgate83 = 1000
Wgate84 = 1000
Wgate85 = 1000
Wgate86 = 1000
Wgate87 = 1000
Wgate88 = 1000
Wgate89 = 1000
Wgate90 = 1000
Wgate91 = 1000
Wgate92 = 1000
Wgate93 = 1000
Wgate94 = 1000
Wgate95 = 1000
Wgate96 = 1000
Wgate97 = 1000
Wgate98 = 1000
Wgate99 = 1000
Wgate100 = 1000
```

3. レイアウト定義ウィンドウ

- 「CISレイアウト図」はデバイス構造の説明図
- 「パラメータ設定」では寸法などのパラメータを設定する
- 「レイアウト定義ウィンドウ」内はレイアウトを変えたい場合は定義を入力する

WebブラウザからCISピクセルの条件振りシミュレーションを可能にした

図 3-27 開発した WebUI の画面例

CMOS イメージセンサー(CIS)ピクセルについて③のデバイス設計支援技術として、Impulse TCAD を用いたシミュレーションフローを構築した。ここでは Photo Diode(PD)への入射光を想定し、その電荷を Floating Diffusion(FD)に転送、その電位をトランジスタのゲートに与える方式のピクセルを対象とした。解析は DC 解析と、Transient 解析に対応している。図 3-28 に CIS ピクセルのシミュレーション波形例を示す。このような各端子の電圧条件及び、光照射条件を記載するためのウィンドウによって、ユーザーは解析波形を自由に変えることができる。

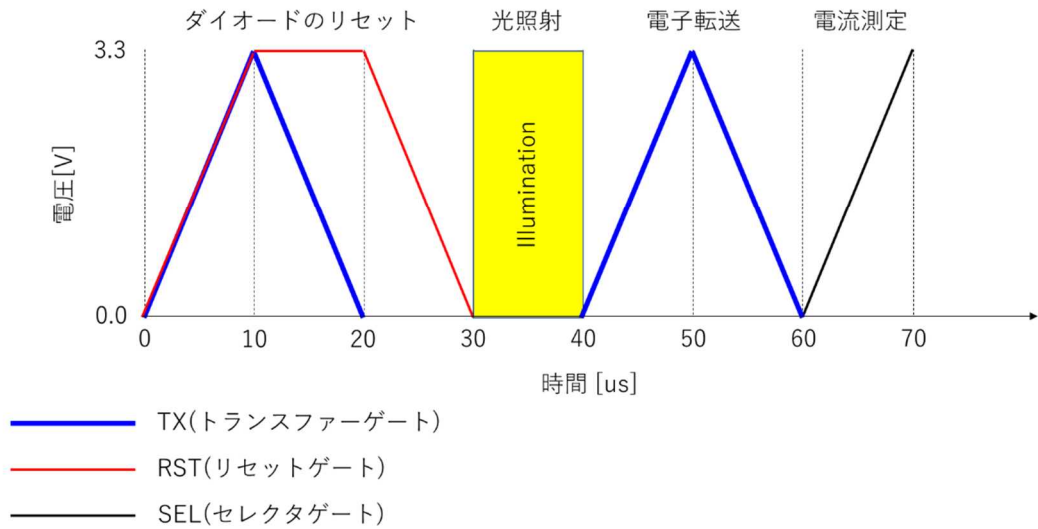


図 3-28 CIS ピクセルの解析入力条件例

図 3-29 に本シミュレーションの作業の様子を示す。左下が CIS ピクセルのレイアウト図、左上が得られた電圧波形、右上がシミュレーションに用いられた 3 次元のデバイス構造のグラフィクス、右下はフォトジェネレーションによって Photo Diode (PD) に発生した電子濃度分布を示している。このシミュレーションが Impulse TCAD 上で可能なことを確認した。③の項目は組み込むデバイスのシミュレーションノウハウを組み立てることにある。CMOS イメージセンサーピクセルでは特にシミュレーションの準備が難しいが、あらかじめこのような検討をすることで、ユーザーからノウハウの蓄積に関する負担を軽減する。

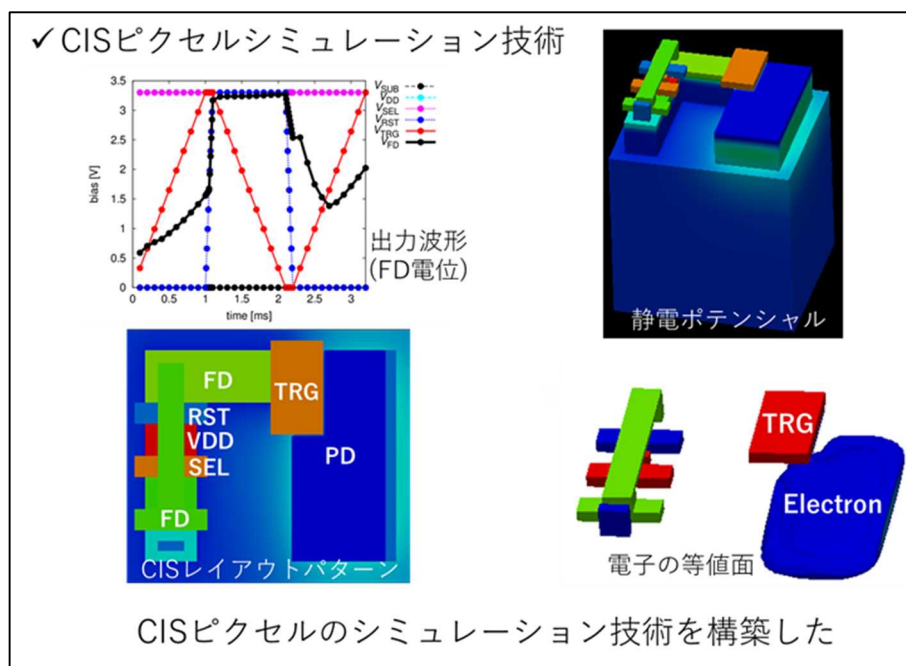


図 3-29 CMOS イメージセンサー-(CIS)ピクセルの TCAD シミュレーション例

さらに WebUI からもこの CMOS イメージセンサー-(CIS)ピクセルシミュレーションが可能のように、④のデバイス設計のためのデバイス構造の提供を実施した。これについては図 3-29 の構造・レイアウトがそれに該当する。WebUI は得られた電圧・電流特性などを CVS フォーマットでファイルとして提供し、左上のようなカーブが例えば Excel で簡単に作成できる。またグラフィクスについてはフリーのグラフィックビューアである Paraview のフォーマットで提供する。右下のようなグラフィクスも Paraview を用いて出力可能であり、CIS ピクセル設計で重要なキャリアの動きを追うことが可能である。さらに拠点ユーザーの数社から MOSFET および、応力センサーへの要望をいただき、これについても重要な拠点のターゲットと考えて WebUI に追加搭載するための基本検討も実施した。

図 3-30 にデバイス構造の追加搭載するための WebUI システム構成図を示す。ユーザーインターフェイスの共通部に、各デバイス構造の定義をはめ込むことにより、デバイス構造に応じたシミュレーション内容と、その条件振りの UI を出せるようにする。Impulse TCAD とユーザーインターフェイス部は共通で、デバイス構造定義部のみを追加すれば、新しいデバイス構造に対応できる。



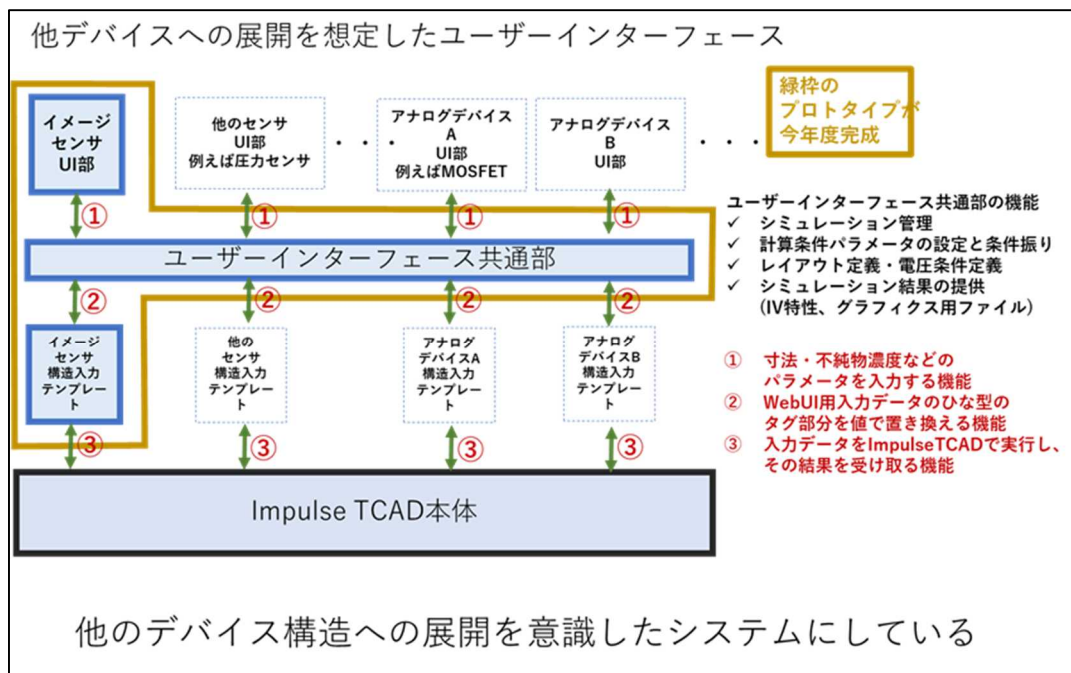


図 3-30 デバイス構造の追加を可能とする WebUI のシステム概念図

このような進捗を元に、2020 年度には⑤ファブとの連携に向けた議論を開始した。そこでは主に拠点の TCAD の考え方と、TCAD の精度を確認するための試作の可能性について、具体的なファブ企業及び、産総研のスーパークリーンルーム(SCR)と議論を開始した。

以上がプロジェクトの前半、2020 年度までの成果である。

以降は最終 2022 年度までの後半の成果について述べる。最終目標は、機能デバイス設計ツールを改良し、クラウド上で利用可能な環境を構築、特定の用途を想定したケースに対して有効性を検証する。その一環として機能デバイス設計ツールの拠点利用者等の利用を通してその有効性を確認する。また、検討した新規デバイスのモデル化技術等については、AI チップ設計フローへ組み込みとそれに必要な条件等の明確化を図る、である。

以上を踏まえて最終 2022 年度の目標を以下の通りとした。

- ⑥デバイス設計環境の整備
- ⑦新規デバイス構造の公開及びドキュメント化
- ⑧ユーザーの利用を通じた有効性の確認
- ⑨モデル化技術等について AI チップ設計フローへ組み込みおよび、条件の明確化

以降、後半 2022 年度までの成果を項目ごとに報告する。

前半 2020 年度までに開発・改良した TCAD WebUI を用いることにより、ユーザーは自サイトから、デバイス構造の構築・メッシュの設定・物理モデルの選択などのノウハウ習得を必要とせず、公開されたデバイス構造の寸法・不純物分布・電圧等のパラメータを条件振りし、各種デバイス性能とデバイス内物理量分布をファイルとして取得可能になった。この様子を図 3-31 に示す。ユーザーはメニューからデバイス構造を選び、レイアウト説明図を参照しながら各パラメータを条件振りし、クラウド計算機環境をリモートから用いたシミュレーションが可能である。後半の⑥のデバイス設計環境の整備として、利用法に関するマニュアルも整備した。

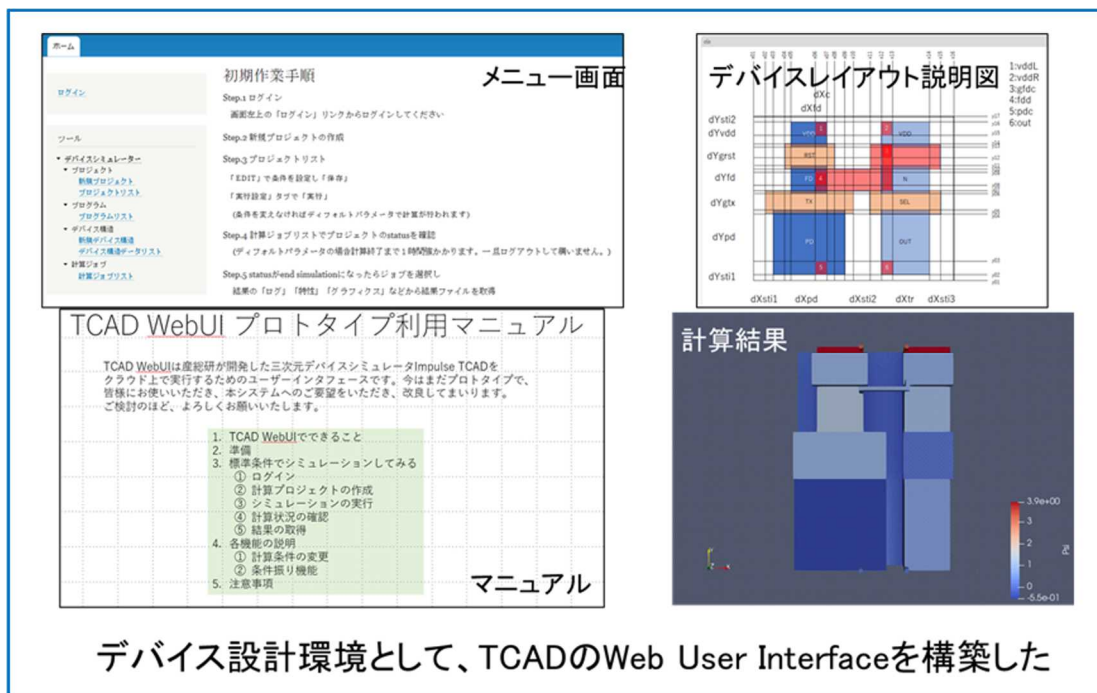


図 3-31 デバイス設計環境としての TCAD-WebUI の構築

ユーザーが条件振りシミュレーションを行なえる機能は本 WebUI の特徴であり、ユーザーがデバイス性能を最適化する際の負担を大幅に軽減できる。2022 年度までに、⑥の整備の一環として、さらに条件振り機能をよくするために、条件メニューの階層をわかりやすくした。条件振りウィンドウの例を図 3-32 に示す。新しい条件振り画面ではメッシュ・寸法・不純物分布などにジャンル分けされ、ジャンルごとに重要なパラメータから階層化されて表示される。パラメータの意味や単位、デフォルト値なども表示し、ユーザーは必要に応じて値を変更し、さらにはパラメータ毎に条件振りの設定も可能である。この条件振り機能を用いると、全ての組合せの条件表ができたのち、不要な条件を削除することも可能である。クラウド計算機を用いているため、ユーザーは計算機リソースを気にすることなく条件振りのシミュレーション結果まで得られるため、デバイス設計に集中できる。

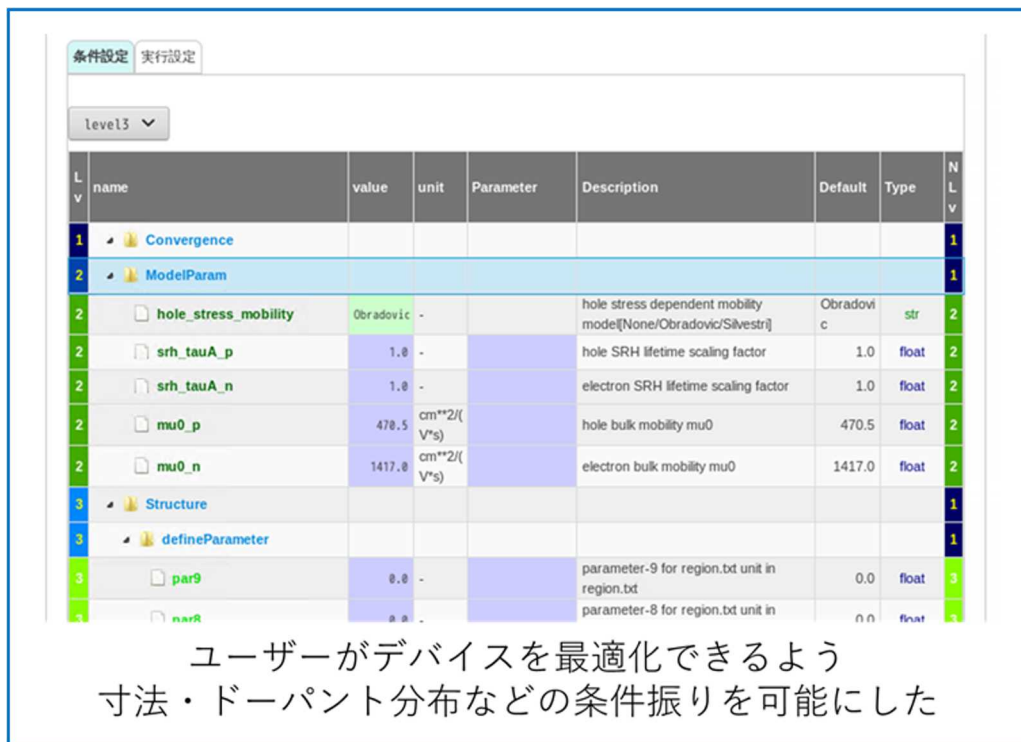


図 3-32 条件振りウィンドウの例

項目⑦の新規デバイス構造の公開及びドキュメント化としては、前半で公開した CMOS イメージセンサー(CIS)ピクセルに加えて、MOSFET 構造及び応力センサー構造を公開した。これらのシミュレーションイメージを図 3-33 に示す。左の MOSFET の需要はアナログ等に用いる素子が想定される。中央の CMOS イメージセンサー(CIS)ピクセルは 4 つのゲートを有するスタンダードな 4T タイプである。右の応力センサーは抵抗体における応力の移動度への影響の考慮により、応力によって得られる電気特性の変化がシミュレーション可能である。これらについて拠点ユーザーの協力を得て構築したシミュレーションフローを、WebUI に組み込んだものである。

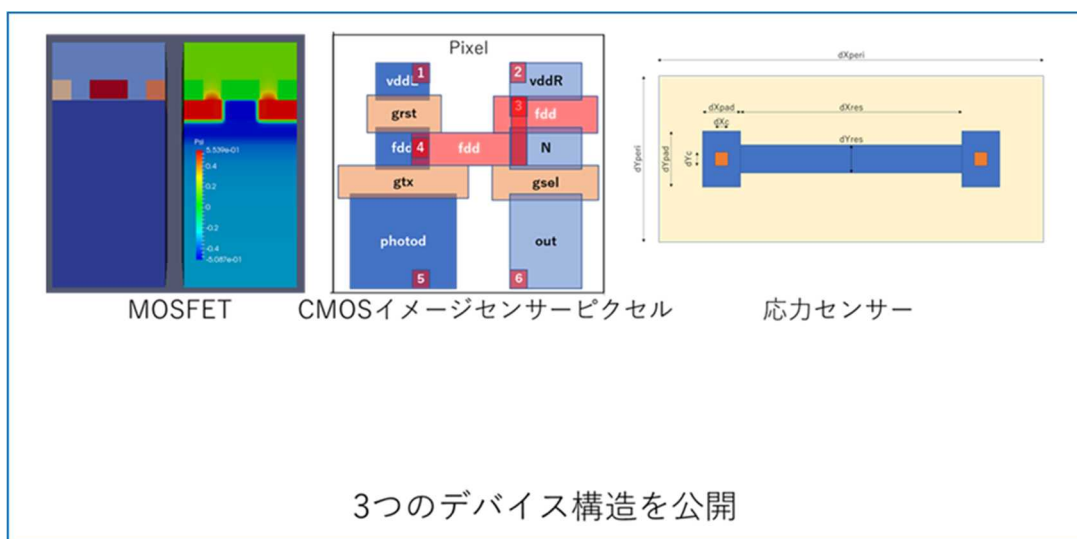


図 3-33 公開した 3 種類のデバイス構造

新規デバイス構造を組み込み易くするため、WebUI はユーザーインターフェイスと個々のデバイスに対応する部分を別々に管理している。この方法によって今後新たなデバイス構造を公開することにも容易に対応可能である。

さらに新しいデバイス構造を利用するための仕組みも準備した。ひとつは前半で準備したレイアウト設定ウィンドウを評価し、CIS ピクセルのシミュレーションが目的に応じて異なるレイアウトで可能なことを確認した。その際、シミュレーションのフロー自体は同一であり、ユーザーは異なるレイアウトを、レイアウト設定ウィンドウに入力すれば、独自のレイアウトも計算可能である。さらに SOI などの層構造に対応するため、新たにデバイス層構造設定ウィンドウを設け、その機能を用いて SOI のシミュレーションが可能であることを確認した。図 3-34 に CIS ピクセルの目的に応じたレイアウトバリエーションと、SOI MOSFET のシミュレーション例を示す。

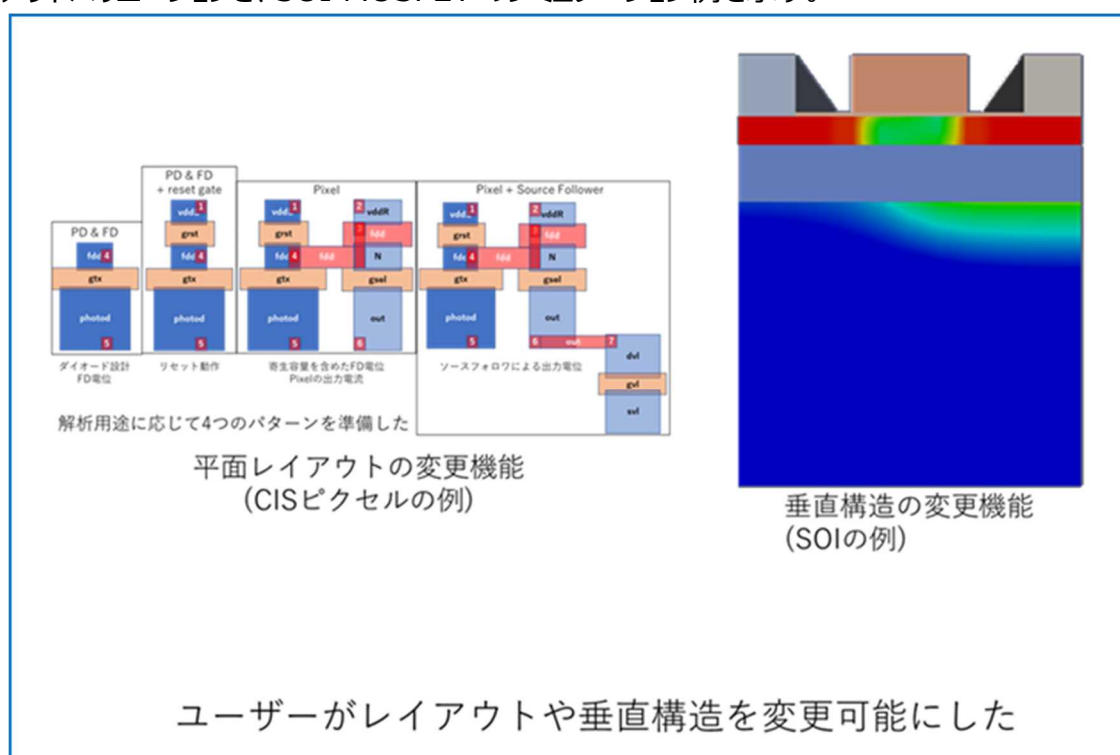


図 3-34 シミュレーション目的に応じた 4 種の CIS ピクセルレイアウト及び、新たに設けた層構造の変更機能を用いた SOI MOSFET シミュレーション例

項目⑧のユーザーの利用を通じた効果の検証について、拠点ユーザーによるシミュレーションの検討状況について図 3-35 に示す。CIS ピクセルと MOSFET, SOI が利用されており、今後も利用可能なレベルにあることを検証できた。

ユーザー	利用内容
M社	MOSFET, SOI
H社	MOSFET
B社	CIS Pixel
B社	CIS Pixel
以下は検討段階のご協力	
S大	CIS Pixel
R社	CIS Pixel
J社	応力センサー
T社	CIS, MOSFET

図 3-35 ユーザーによるシミュレーション利用状況

項目⑨設計フローへの組み込み条件の明確化の中で特に重要なのは、TCAD 精度の確認である。これはファブと連携し、TCAD の精度を確認しながらデバイス設計することが肝要である。シミュレーション精度の確認例を図 3-36 に示す。左は拠点協力者の SOI デバイスの閾値電圧のゲート長依存性をシミュレーションと比較した例であり、短チャネル効果を精度よく捉えている。右は産総研スーパークリーンルーム(SCR)の MOSFET のデバイス特性をシミュレーションと比較した例である。TCAD シミュレーションが MOSFET の基本特性である ID-VGS 特性をよく再現することを検証できた。デバイス性能を最適化するには、標準的な条件でのデバイス特性の確認が非常に重要である。

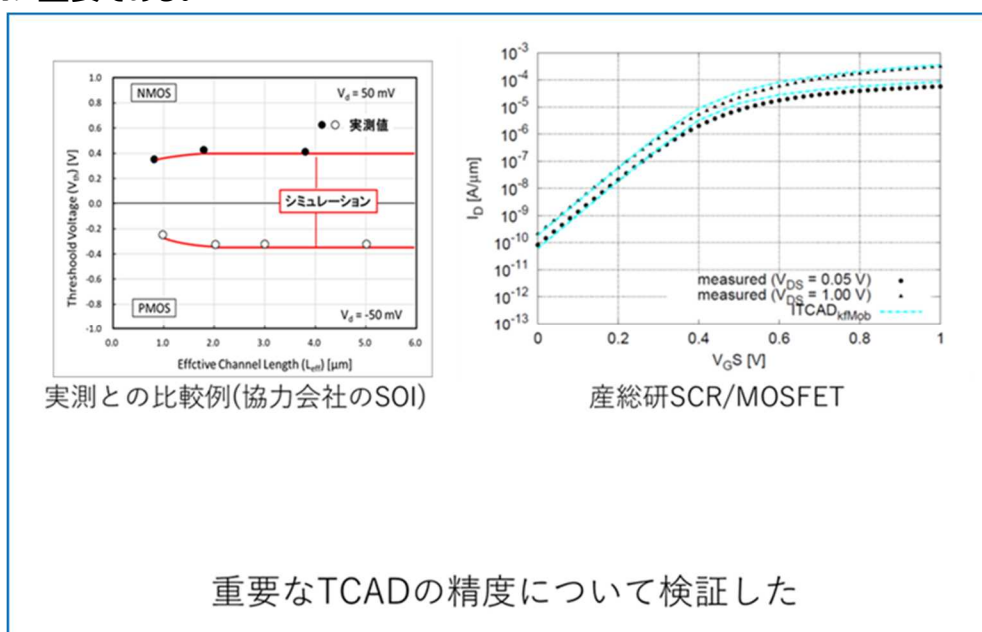


図 3-36 シミュレーション精度の確認例

設計フローに組み込むための手法として、一般的には素子モデルが用意されていて、パラメータを合わせる場合が多いが、回路シミュレーションのための等価回路モデルの構築が必要な場合が

ある。本プロジェクトでは CIS ピクセルがそれに該当する。図 3-37 に CIS ピクセルの等価回路モデルの構築例を示す。左は提供した標準の 4T 型 CIS ピクセルの等価回路モデルであり、このパラメータを TCAD に合わせることで回路シミュレーションが可能になる。右は回路シミュレーションによる入力波形(細い線)及び、フォトジェネレーション量に応じた Floating Diffusion (FD) の出力電位(太い線)の計算結果である。CIS ピクセルのように回路シミュレーションモデルが既存でない場合は、このような等価回路モデルの導入により、デバイス設計の結果から、回路シミュレーションを通じて設計フローに持ち込むことが可能である。

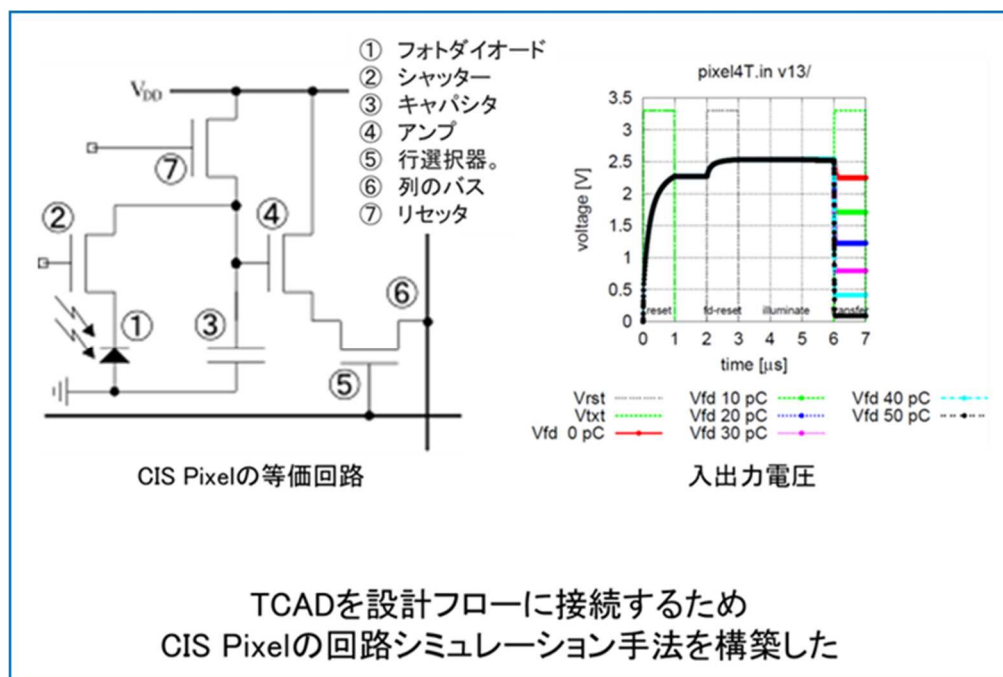


図 3-37 CIS ピクセルの回路シミュレーション向け等価回路モデルの構築例

デバイス特性の精度確認や、必要に応じた等価回路モデルの構築を経て、本テーマの対象である機能デバイスを回路シミュレーションに持ち込み、設計フローに接続できる。AI チップ設計フローとデバイス設計の関係を図 3-38 に示す。デバイス設計により得られた結果は、素子レイアウト及び SPICE モデルとしてアナログ部の部品化を通じ、ミックスドシミュレーションとして AI チップ設計フローに接続される。さらに得られた条件はファブとの交渉材料として用いられる。

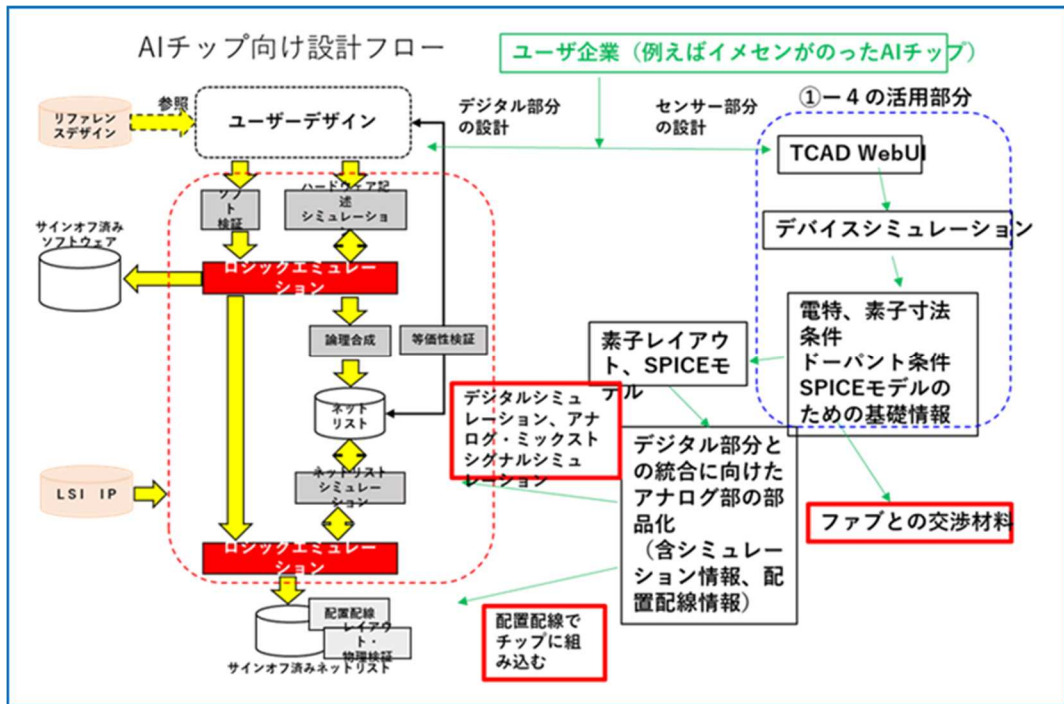


図 3-38 実施項目 1-4 のデバイス設計部分(右)と AI チップ向け設計フロー(左)の関係

以上のように前半 2018～2020 年度の項目①～⑤及び、後半 2021～2022 年度の項目⑥～⑨を通じて、ユーザーは公開デバイス構造を通じて必要な機能素子のデバイス設計を、TCAD の複雑なメッシュ設定や物理モデル等に悩むことなく、また高額なソフトウェアライセンスや計算サーバに投資することなく、WebUI を通じて利用可能となった。その結果はファブとの交渉や精度確認の元、等価回路モデルなどを併用して回路シミュレーションに持ち込み、AI チップ設計フローに載せられるようになった。

## 実施項目 1-5 「国内外 FAB の活用と最適化ライブラリの研究開発」

AI ソフトウェア技術を有するがチップ開発の経験が十分でない民間企業等が AI チップを開発する場合、目的に適した IP を選択し AI コア IP に組み合わせて AI チップ全体を設計するための技術的知見や経験を有していないという問題がある。

また、国内 FAB は外部設計者の利用実績が少なく、利用のためのノウハウが外部設計者には少ないため、外部設計者が国内 FAB の利用を想定した設計に容易に取り組める状況にならないという問題や、国内外 FAB の利用を想定した設計には多種多様な IP が必要であるという問題がある。

本項目では国内外 FAB 用の IP 等を整備し、これらを用いた設計フローを完成させて幾つかの設計事例を作成することにより設計のノウハウの蓄積を図る。

IP の利用環境の整備に当たっては、実施項目 1-2 ハードウェア開発垂直立ち上げ実現のための研究開発で作成される設計フローを実際の FAB に適用することで完成させるとともに、いくつかの設計事例により設計のノウハウの蓄積を図る。併せて、整備した IP を活用し、中小ベンチャー企業等が開発する AI チップ向け独自 IP の評価が容易にできるように、評価手法を確立し、拠点機能として整備する、とした。

また、整備する IP や評価手法等は、「AI チップ開発加速のためのイノベーション推進事業／研究開発項目①：AI チップに関するアイデア実用化に向けた開発」の助成事業者を中心としたヒアリングによりリストを作成するとともに、重要度合いにしたがって順次整備し、拠点利用者の利用を通してその有効性を実証する、とした。

以下本項目では上記の成果を報告する。

- ①IP ライブラリの整備
- ②標準プラットフォームの開発、整備 (28nm, 12nm)
- ③設計フロー (28nm, 12nm)
- ④試作チップ開発 (28nm, 12nm)
- ⑤パッケージ開発 (28nm, 12nm)
- ⑥評価ボード開発 (28nm, 12nm)
- ⑦ソフトウェア開発環境の開発 (28nm, 12nm)
- ⑧試作チップの評価 (28nm, 12nm)

以下項目ごとに成果を記載する。②～⑧の項目は標準プラットフォームで用いた技術ノードごとにまとめている(28nm[AI-One]を記載した後で、12nm[AI-Two]について記載している)。



### ①IP ライブラリの整備

IP ライブラリの整備について、NEDO 事業採択社や中小企業等にアンケートやヒヤリングを実施した。要望や機能を実現する IP(104 種類)をリスト化し、リスト内の 100 種類の IP を 46 のパッケージに集約し、導入した。

導入した IP を国外 FAB の電池駆動できる Edge 向けの 40nm プロセスライブラリと画像処理用の組み込み用途向け 28nm プロセスライブラリの 2 種類に大分類し、それを 10 種類の機能に中分類したカタログを作成し、整備順を策定してリスト化した(図 3-39)。また、国内 FAB の 40nm プロセスの情報を入手し、リスト化した。リストに沿って 2 種類に大分類した 10 種類の機能に中分類したカタログに IP コアの詳細情報を表示できるリンクを追加し、整備した IP コアの情報を拠点利用者が参照できる HP に掲載した。

Category	Edge	Graph	IP packageName
MCU, CPU	MCU for RToS		ARC EM9D Core
	DSP		
	Debug		
	INTC		
	XVIF		
	MemIF		
	ROMIF		
	Subsystem RTL		Data Fusion IP Subsystem
	FPU		ARC FPU Option for EM
	DMAC		ARC uDMA Option for EM
		CPU for Linux	ARC HS3Bx2 Core
		SRAMIF	
		ROMIF	
APB Peripheral	APB Fabric	APB Fabric	APB Fabric
	APB/GPIO	APB/GPIO	APB Peripherals
	RTC	RTC	
	Timer	Timer	
	WDT	WDT	
	I2S	I2S	APB Advanced Peripherals
	I2C	I2C	
	APB UART	APB UART	
APB SPI			

図 3-39 ホームページに記載した整備した IP のカタログ情報

AI チップ向け独自 IP の評価手法を検討し、それに則った評価チップを設計するにあたり、28nm プロセスを用いた SOC チップの検討を行ったところ、導入済みの IP では不足しているものが判明し、Network On Chip インターコネクト、インターリーバー、PLL、PCIe GEN3 の追加導入を行った。続いて行った 12nm プロセスを用いた SOC チップの設計試作に当たり、プロセスに依存する物理系 IP として PLL、PCIe、LPDDR4 の 12nm 版の追加導入を行った。

【28nm による開発(AI-One)】

## ②標準プラットフォームの開発、整備（28nm）

AI チップ向け独自 IP の評価手法としては、独自 IP 以外の SOC を標準プラットフォームとして準備し、これに独自 IP を接続することで評価を行う手法を選択することとした。さらに標準プラットフォームとしてシリコンチップだけではなく、パッケージ設計、評価ボード設計、ソフトウェア開発環境を準備することとした。これにより、SOC チップ開発にとどまらず、SOC に搭載した独自 IP の機能、特性的評価とデモンストレーション向けソフトウェア開発を短期に容易に開発ができる環境の整備を目指した。図 3-40 に標準プラットフォームの概念図、図 3-41 にパッケージ設計の具体例、図 3-42 に標準プラットフォーム評価ボードおよびソフトウェア開発環境を示す。

チップのテストを行うためのテスト回路としては標準セルで構成される論理ブロックの製造上の不良を検出するための Logic BIST 機能と SRAM の製造上の不良を検出するための Memory BIST を標準プラットフォームに搭載することとした。テストを行うにあたって LSI テスタに対する知識が不足していると想定され、テスタ導入のために必要となる資金を節約する狙いもあり、評価ボード上で実機による Logic BIST および Memory BIST の実行が可能となる制御回路を設けることとした。電源投入時のパワーオンリセット後に自動的に起動されるモードを設け良否判定結果を LED 表示することで、製造不良チップを除外することが可能となる。また、評価開始後も、リセット後に毎回動作状況の確認ができるため、初期故障の検出、誤使用による不良の発生についても確認がとれ、チップの評価時の効率向上が期待される。

詳細な不良内容の確認については JTAG インターフェイスを用いたテスト回路の制御機能を準備することで、ブロックごとの不良情報の取得や、特定検査パターンの実行などを可能としている。さらに JTAG インターフェイスを用いた制御機能においては、あらかじめレイアウトされていて BIST 機能をあとから組み込むことが困難な物理 IP について、IP ベンダが準備したテスト機能を制御する働きも持たせた。評価ボード完成後、JTAG インターフェイス機器を準備することで、物理 IP の初期不良スクリーニングを可能としている。

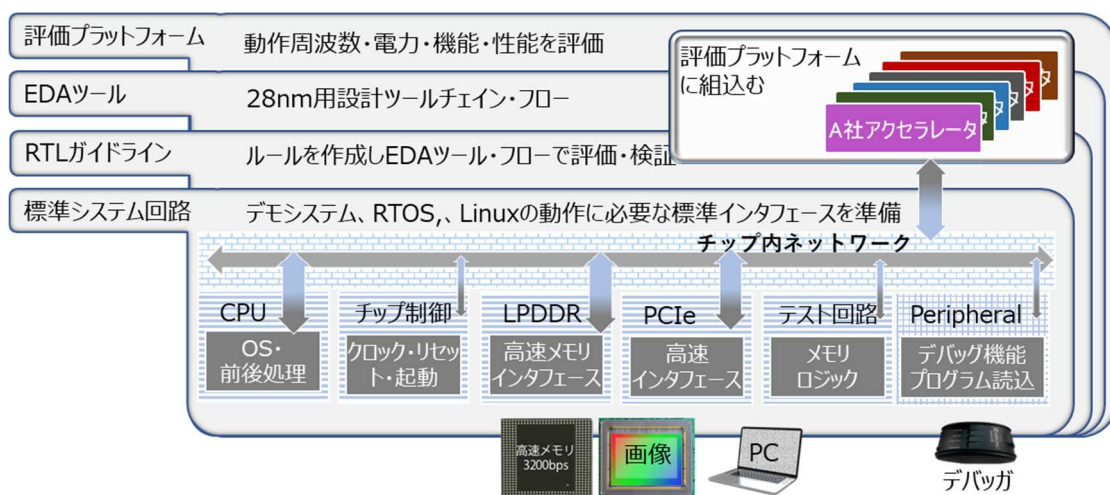


図 3-40 標準プラットフォームの概念図

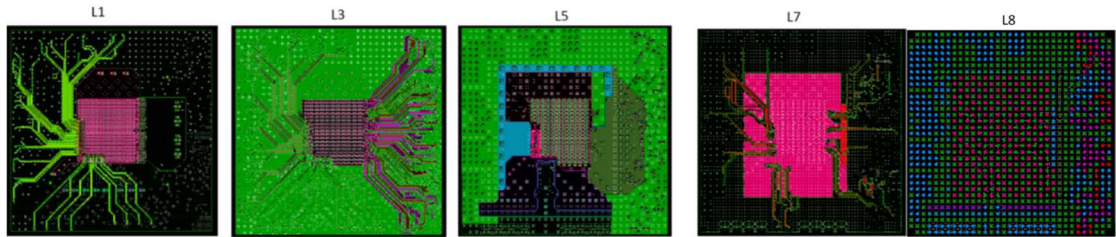


図 3-41 28nm 向け SOC のパッケージ基板設計データ

パッケージについては高速インターフェイス LPDDR4、PCIe を安定して動作させること、チップへの電源供給を安定して行うことを目的として FCBGA タイプを標準とした。28nm プラットフォームにおいては 8 層積層ラミネートタイプの基板を用いる。

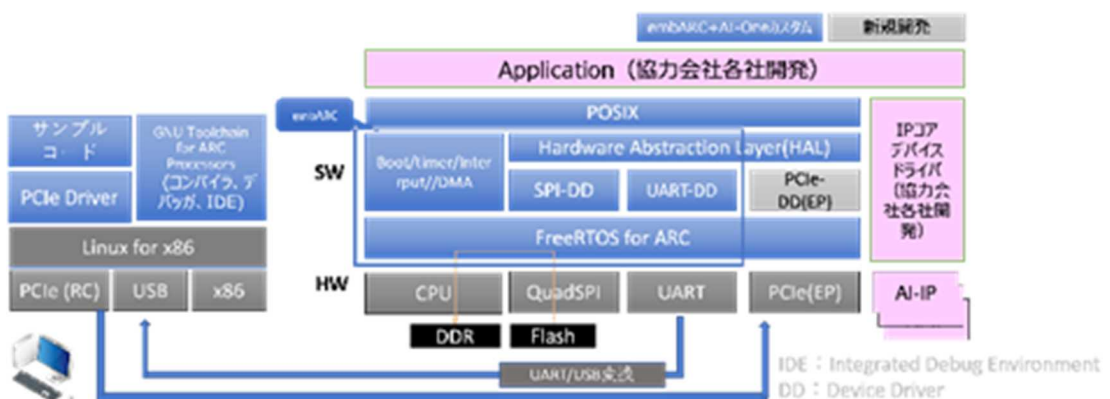
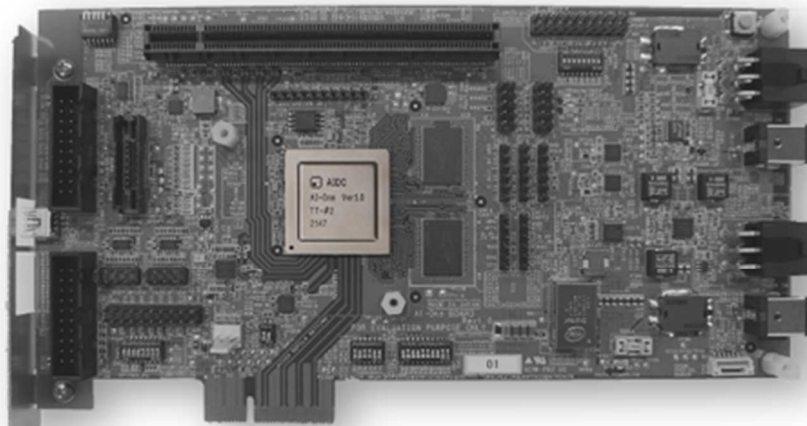


図 3-42 標準プラットフォーム評価ボード及びソフトウェア開発環境

### ③ 設計フロー (28nm)

28nm プロセスの SOC を設計するにあたり、実施項目 1-2 で開発された設計フローを独自 IP の組込み、および、使用する IP、ライブラリ、プロセスデザインキットに合わせて適用可能か検討を行った。

消費電流の増減によって引き起こされる電源電圧の低下、変動を検証するための EDA ツールと電源電流、信号線電流によるメタルマイグレーションを検証するための EDA ツールを改訂された設計フローに合わせて導入した。また、タイミング違反对策の効率を上げ設計・検証期間を短縮するため、タイミング対策 ECO ツールの導入を行った。図 3-43 に改訂された設計フローの概略説明を記載したホームページを示す。

The screenshot shows a web page for the AI-One design flow. The main heading is "7. 設計Flow". Below it, there are two columns of content. The left column, titled "設計Flow Ai-OnePlatform", contains a flowchart with steps like "AI-One協力企業 高価設計", "AI-One協力企業 RTL・NoCF", and "1chipSimulation". The right column, titled "設計内容 Aiアクセラレータ搭載", lists tools like "Catapult" and "Xilinx". Below these are two more sections: "設計Flow Ai-OnePlatform" (detailed) and "設計内容 評価チップ設計". The detailed flowchart shows a vertical sequence of steps from "Chip設計" to "物理部品". The evaluation chip design section lists tasks like "Block論理設計", "Chip実装", and "CPU".

図 3-43 AI-One 設計フローを説明するホームページ

整備した 28nm 向け IP を活用した SOC 設計を行うための設計フローを実行するため必要な、28nm プロセスデザインキット、28nm EDA ツールデザインキット、28nm 標準セルライブラリおよび 28nmSRAM コンパイラを設計フローに合わせて整備した。

プロセスデザインキットとして、論理設計フローの論理合成フローに合わせてプロセスの配線に関する設計データの整備を行った。

標準セルライブラリは低消費電力化、チップ実装面積低減を目的としてゲート長、閾値電圧 ( $V_{th}$ )、セル列高さについて表 3-7 に示すようなバリエーションを準備した。合成ツールや物理設計ツールを使用して各物理設計単位で使用するセルライブラリを選択することが可能となる。

論理合成フローに対しては、標準セルライブラリ、SRAM について、EDA 業界標準となっている Synopsys 社の Liberty フォーマットに合わせた面積、遅延、消費電流、入出力電流、端子容量のモデルを整備した。クロストークノイズ考慮の遅延についても CSSN モデルで対応している。

さらに物理設計フローのために使用する配置配線ツール、寄生容量抽出ツール、タイミング検証ツール、消費電力見積りツールのための EDA ツールデザインキットの整備を行った。フロアプラン、配置配線ツールで使用する milkyway データベース、寄生容量抵抗抽出で使用する nxtgrd フォーマットのデザインキットを整備した。

タイミング検証フローのためにはプロセス・バリエーションを考慮した遅延モデルの整備を行う必要がある。基本となる遅延モデルは動作電圧、動作温度の組合せでモデルを整備した。動作温度としては $-40^{\circ}\text{C}$ 、 $25^{\circ}\text{C}$ 、 $85^{\circ}\text{C}$ の 3 条件、動作電圧は 0.81V、0.9V、0.99V の 3 条件を整備した。遅延モデルはプロセスのバラツキにおいて P チャンネルトランジスタ(Ptr)、N チャンネルトランジスタ(Ntr)双方が最速となる ff モデル、Ptr、Ntr 双方が最遅速となる ss モデル、ティピカル条件となる tt モデルを想定し、さらにセル、配線の容量抵抗のばらつきによって CBest, RCBest, CWorst, RCWorst, Typical の条件を組合わせた遅延検証モデルを標準セル、SRAM それぞれ整備した。これらを表 3-8 標準セルライブラリモデル条件に示す。

物理設計・検証において電源および信号の配線チェックツールを動作させるため、標準セルライブラリ、SRAM の Redhawk ツールキットの整備もおこなった。

**表 3-7 28nm 標準ライブラリ構成**

ゲート長	30nm	35nm	40nm
Vth	Lvt	Svt	hvt
トラック数	7Track	9Track	

**表 3-8 28nm 標準ライブラリモデル条件**

	モデル条件				
動作電圧	0.81V	0.9V	0.99V		
動作温度	0℃	25℃	85℃	-40℃	125℃
Tr 特性	FF モデル	TT モデル	SS モデル		
配線寄生素子	CBest	Typical	CWorst	RCBest	RCWorst

SRAM についてはメモリコンパイラを用いてアクセスポートの数、データ幅、メモリ容量、目標動作周波数、書き込み時にビットごとのライトマスクサポートの有無に合わせて所望の SRAM の設計データを生成する必要がある。図 3-44 に示すホームページにある要求仕様を記載するフォームを用いて拠点利用者やプラットフォーム設計者に必要なメモリの指定を行ってもらい、拠点側で生成を行った設計データを提供する形態で設計を進める。

メモリコンパイラを用いて生成を行った SRAM の諸元を表 3-9 に示す。

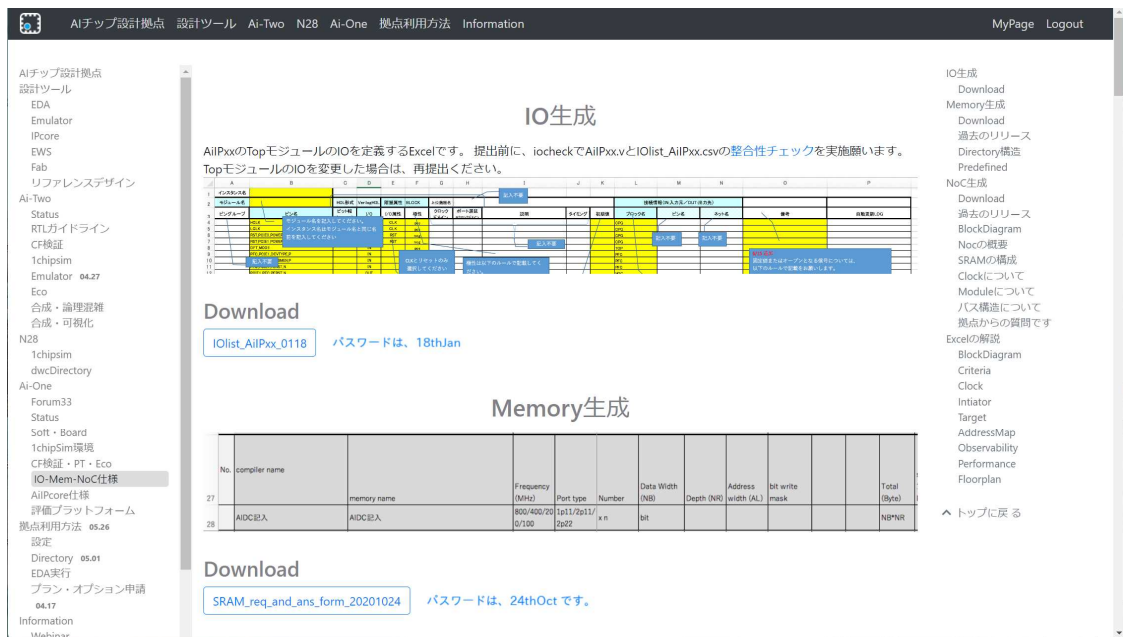


図 3-44 ホームページの SRAM メモリ要求入力シート

表 3-9 28nmSRAM の種類

アクセスポート数	シングルアクセス	1 リード、1 ライト 同時	リード、ライトのうち 2つの組合せ
書込みビットマスク	あり/なし	あり/なし	なし
データビット幅	8bit~320bit	8bit~288bit	8bit~320bit
メモリ容量	156byte~ 256kbyte	64byte~ 73728byte	16348byte~ 65536byte
動作周波数	400MHz~800MHz	400MHz~800MHz	800MHz

物理検証フローに使用する DRC キット、LVS キット、PERC キット、Dummy レイアウトデータ生成キット、SRAM sanity チェックキット、IO 用 DRC キットの整備を行った。

#### ④ 試作チップ開発 (28nm)

28nm 設計・評価プラットフォームと改訂した設計フローを用いた設計、試作、評価の効果を確認するために試作チップ AI-One の開発を行った。複数の AI チップ向け IP の評価を行うため、拠点協力会社の希望する会社のうち開発日程が適合する 5 社と実施項目 1-3 で開発を行っていた AI チップ設計に向けたリファレンスデザインの 6 種の IP を搭載したマルチ IP コア評価 SOC として開発を行った。図 3-45 に示すように、複数の IP を標準回路に含まれる IP の

共同利用およびチップ、パッケージ、評価ボード、評価ソフトの開発の共通実行により効率よく開発することを目指した。試作したチップの特定の IP のみ動作するように制限を行ったチップを評価ボードに搭載し、各社に配布し、評価の実施を依頼する形をとった。

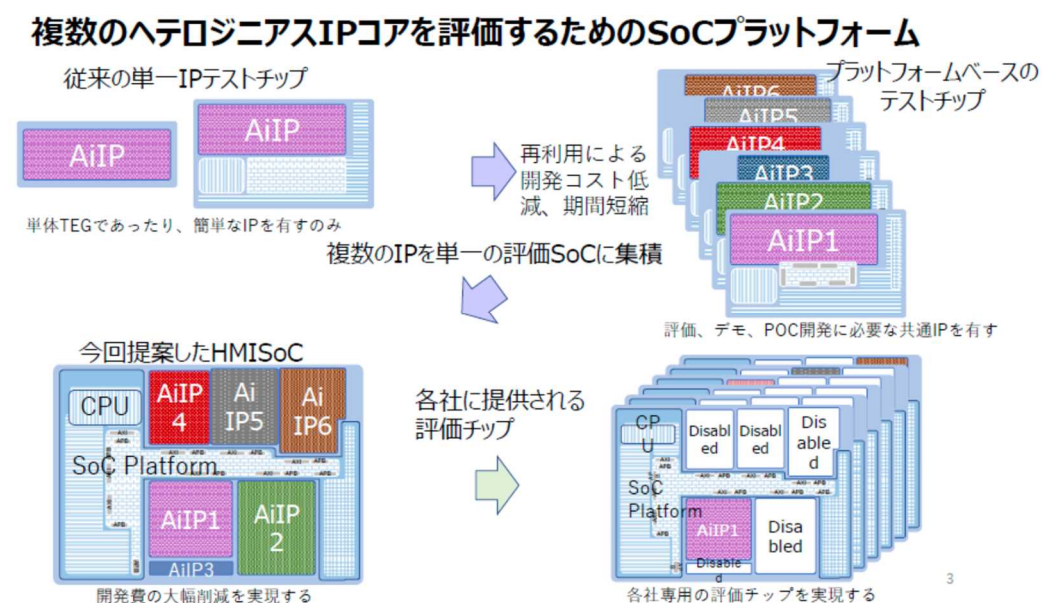


図 3-45 複数のヘテロジニアス IP コアを評価するための SOC プラットフォーム

AI チップ向け独自 IP の評価手法構築のための評価チップに必要な基本機能ブロックを拠点利用者の AI-IP コアブロック、メモリインターフェイス機能の DDR ブロック、高速通信機能の PCI ブロック、チップのメモリ救済やデバック機能のテストブロック、全てのブロックと CPU を接続するインターコネクトブロックに分類した基本機能ブロックを設計した。設計したチップのブロック図を図 3-46 に標準プラットフォームに搭載した IP の諸元を表 3-10 に示す。



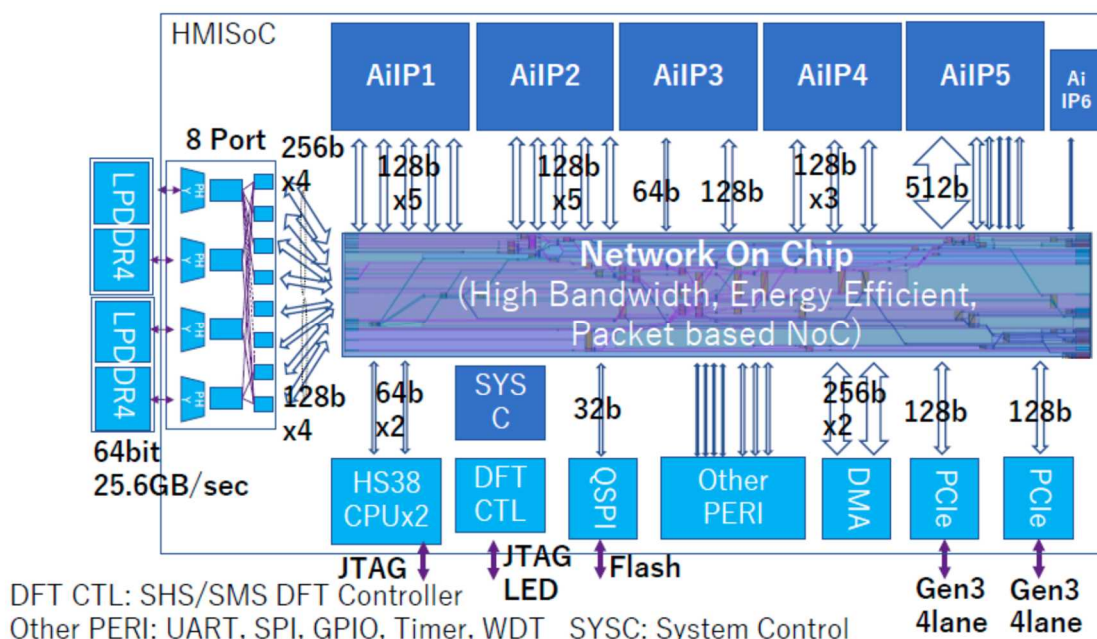


図 3-46 AI-One ブロック図

表 3-10 標準プラットフォームに搭載した IP の諸元

IP	Description	Interface	Frequency
Main CPU	32bit dual core (HS38) I, Dcache 32kB + 32kB ITCM 32kB, DTCM 32kB	64bit AXI x 2	800MHz
LPDDR4	Two 32 bit LPDDR4 @3200Mbps 8GB 25.6GB/sec total	256bit AXI x 4 128bit AXI x 4	800MHz
PCIe Gen3	End Point + Root Complex 4 lane each, 8Gbps/lane	128bit AXI	400MHz
QSPI	Boot Flash 25MHz 16MB	32bit AHB	200MHz
DMAC	8ch	256bit AXI x 2	200MHz
Others	UART x 3, GPIO 64, Timer x 2, SPI Master x 2, SPI Slave x 1		25MHz, 100MHz

上辺に図示された各 AI-IP は AI 処理の実行に当たって左辺に図示された高速大容量メモリ LPDDR4 から処理情報や重みパラメータ、処理対象のデータを入力し、AI 処理の結果を LPDDR4 に書き込むという経路が性能に一番影響を与えるものと考えられる。評価のためのデータや処理手順は PCIe インターフェイスを介してホスト PC から読み書きされることを想定している。より小容量のテストデータの入出力や SOC 内部で実行されるソフトウェアのデバッグを行うためには JTAG インターフェイスで接続されたインサーキットエミュレータなどの開発ツールを使用することも可能である。

SOC 内部に Dual コアの HS38 CPU コアを搭載しているので QSPI インターフェイスを介して接続されたフラッシュメモリからパワーオンリセット後、命令フェッチを開始し、SOC 全体の制御や演算処理を行うことを可能としている。

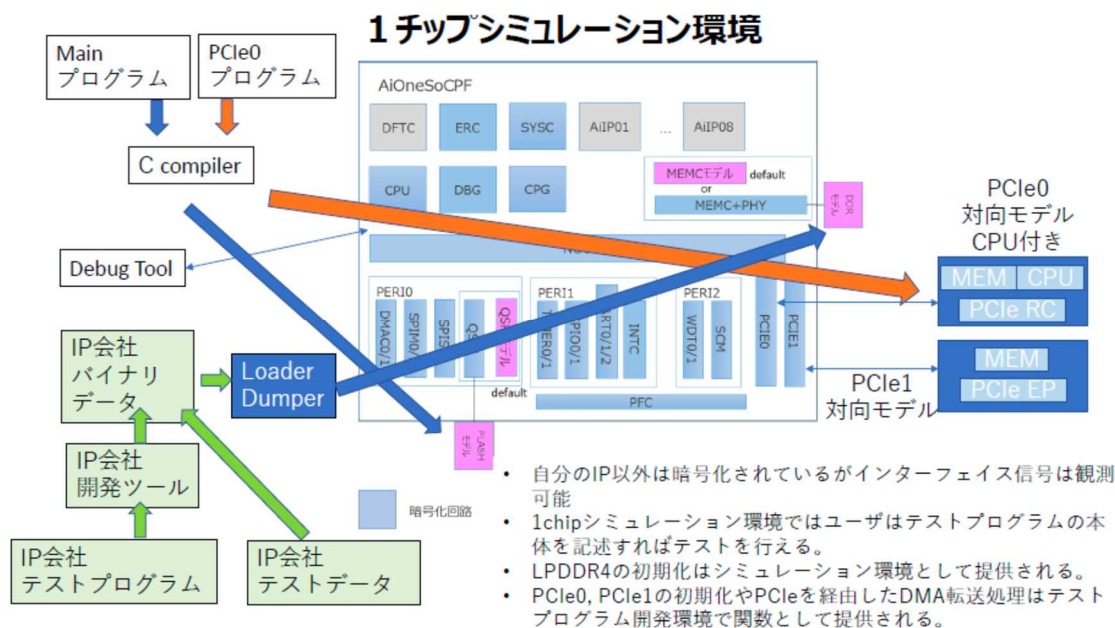
チップ外部のセンサーからデータを入力するデモンストレーションを行う際にはデータの伝送速度や提供されるインターフェイスに合わせて Other PERI に含まれる UART、SPI、GPIO 各インターフェイスを使用するか、PCIe GEN3 インターフェイスを使用することが可能となっている。

各 AI-IP から提出されたインターフェイス仕様に合わせてオンチップのインターコネクト (Network On Chip, NOC) のコンフィギュレーションを行うことで SOC チップに各 AI-IP を搭載する準備が完了する。各 AI-IP の複数のインターフェイスはそれぞれ、独立した経路を使用して LPDDR4 に接続されるので、同一の IP 間のメモリアクセスの干渉はメモリコントローラからメモリへの経路以外では生じない構造をとっている。製造後の各 SOC は 1 つの AI-IP のみ動作するため、AI-IP 間のインターフェイスの干渉も生じない。

組み上げられた SOC の論理、機能の検証を行う仕掛けとしては図 3-47 に示す 1 チップシミュレーション環境を準備した。SOC の外に設けるテストベンチにフラッシュメモリモデル、LPDDR4 メモリモデルおよび 2 つの PCIe 対向モデルを準備した。ソフトウェア開発環境で準備した C コンパイラを使ってテストプログラムをコンパイルし、フラッシュメモリモデルまたは LPDDR4 メモリモデルにローディングすることで HS38 CPU のテストプログラムの実行を行うシミュレーションが可能となる。各社が準備する AI-IP を実行させるためのファームウェアやテストデータはあらかじめバイナリデータに変換したのちテストベンチに用意されているローダによって LPDDR4 メモリモデルに格納することができる。格納後、HS38 で走るテストプログラムを実行して AI-IP の初期設定を行い AI-IP の実行を開始することが可能となる。シミュレーション実行の結果の照合を行う場合にはシミュレーション完了後、LPDDR4 メモリモデルに格納された演算結果データをテストベンチのダウンロード機能でファイルに出力し、これと期待値の比較を行う方法をとる。

PCIe 対向モデルとして準備したうちの PCIe0 ポートに接続されたモデルは SOC チップに接続するホスト PC などを想定して開発を行った。C で書かれたテストプログラムをコンパイルし、対向モデル内に設けられたメモリに転送してプログラム実行を行う。SOC チップをターゲットチップとした開発システムにおける検証などが行える。

もう一方の PCIe1 に接続された PCIe 対向モデルは PCIe から読み書きができるターゲットメモリのみを有している。あらかじめテストデータをローダを用いて格納しておくことで、疑似的なテストデータの読み出しを行うことで疑似的な入力装置の役目をエミュレートする。また、PCIe を経由した書き込みを行うことで出力データの疑似的なトレースを取り、シミュレーション実行後、メモリモデルのデータのダウンロードを行うことで PCIe を経由した疑似的な外部装置への書き込みの確認シミュレーションを行うことができる。



**図 3-47 1 チップシミュレーション環境**

この環境を利用して AI-IP を開発する各社には

- 1) IP の接続テスト
- 2) 機能テスト
- 3) 性能テスト
- 4) その他各種複合テスト

を実行してもらい、出来上がる SOC の完成度を高める狙いがある。

また、各 IP の消費電流が最大となるようなテストパターンを準備してもらい、シミュレーションを実施することで消費電力や電源ドロップの検証に使用する波形パターンを準備することを行っている。

1 チップシミュレーションとともに、図 3-43 の設計フローの AI アクセラレータ搭載フローを実行して RTL の書き方に問題がないか、IP が論理合成可能か、合成したものはタイミング的には問題がないかといった IP の検証を行うことで各 AI-IP の物理設計の準備が整う。ここまでの工程は各 IP 開発会社の分担範囲となっている。

図 3-43 の Block 論理設計以降の工程は AI-One チップ開発においては AI チップ設計拠点側の物理設計チームによって実施した。ただし、物理設計の節目節目の工程ポイント、テスト回路挿入後の等価検証確認、論理合成後のスタティックタイミング解析の結果の確認と対策、ブロックレベルの配置配線試行時の配線混雑対策やタイミング対策といったところでは物理設計チームが開示する設計データに基づいた議論を行い、各 IP の問題点の把握と可能であれば RTL やタイミング制約の改善、配置に関するアドバイスなどを実施した。

さらに、設計フェーズが進み、SOC 全体の物理設計試行が完了した段階で、物理設計に使用している RTL データを用いた 1 チップシミュレーションを用いた IP 開発者によるリグレッションテストを実施し最終物理設計フェーズへと進む。

最終物理設計が完了したデータは物理検証としてレイアウトデザインルールチェック(DRC)、回路等価検証(LVS)、電氣的ルールチェック(ERC)を行う。また、LPDDR4 ブロックについては物理 IP のブロックレイアウトデータを IP ベンダに送付しそちらでも物理検証を専門家の目で実施した。検証の完了したレイアウトデータは GDS II データとしてファウンドリに送られ試作工程へと進む。

#### ⑤ パッケージ開発 (28nm)

AI-One 試作チップのパッケージ選定にあたっては LPDDR4 インターフェイス用の信号ピンを十分に引き出せるという条件と評価ボード組立の歩留まりを高くするという目的で 27mm x 27mm、0.8mm ピッチの FCBGA パッケージを選択した。一方、AI-One チップの Bump 仕様は 160um ピッチとしチップ面積は 9mm x 8.64mm とした。次いで配線、給電に使用する層が十分にあるかどうかを検討しながらパッケージ基板の層構造を決める。このスペックに基づいてチップの Bump マップおよびパッケージの ball マッププランの初期バージョンを作成した。Bump、ball の信号名、電源ピン一覧を作成し、それぞれの物理的座標位置を記載する。この段階で LPDDR4、PCIe、PLL などの信号線引き回しや電源ピンアサインに関するガイドラインがあるものは反映を行っておく。これに基づいてまず、全体の電源給電に関するバランスをチップのフロアプランとも照らし合わせながら確認し、問題個所にはフィードバックを行う。

改訂した Bump マップ、Ball マップ情報をパッケージ基板設計用のツールに入力しツールの配線性チェック機能を用いて想定する配線層数で結線が可能か確認を行い必要であれば Bump または Ball 位置の修正を行い、結線違反を解消する。

結線違反が解消したら、電源給電層の設計を行う。特にオンパッケージのデカップリングキャパシタンスの指定がある電源についてはコンデンサの部品選定を行い、パッケージ基板上の概略の実装位置を決めたうえで電源給電層の配線を実施する。

続いて実際の配線作業を実施する。特に LPDDR4 や PCIe のように差動配線指定や配線インピーダンス指定があるものについては配線幅や等長配線などの考慮を行った配線を行う。その他の信号線も含めすべての配線を終了させる。

LPDDR4 と PCIe に関連する信号線の配線長をツールによって抽出しレポートを作成し、各 IP の実装ガイドラインに対して不適合なものがないか確認を行う。

パッケージメーカーからは外形寸法図を入手し評価ボード開発やテストボード開発に必要な場合にはソケットの選定をこれに基づいて行っておく。

パッケージ基板データを基に電源層、信号線の S パラメータ抽出を行う。抽出した S パラメータとチップの、ボードの IBIS モデル、Spice ネットリスト、電源電流モデル、S パラメータなどを用い

て Signal Integrity (SI)、Power Integrity(PI)検証を行う。SI 検証、PI 検証はパッケージ基板設計担当だけではなく、チップの物理設計 SI、PI 検証担当、ボードの SI、PI 検証担当にもパッケージ基板設計データを提供し、それぞれの観点での確認を実施する。修正が必要な点が見つかった場合にはパッケージ基板設計データの修正を行い、再度配線長確認、S パラメータ抽出から繰り返す(図 3-48)。

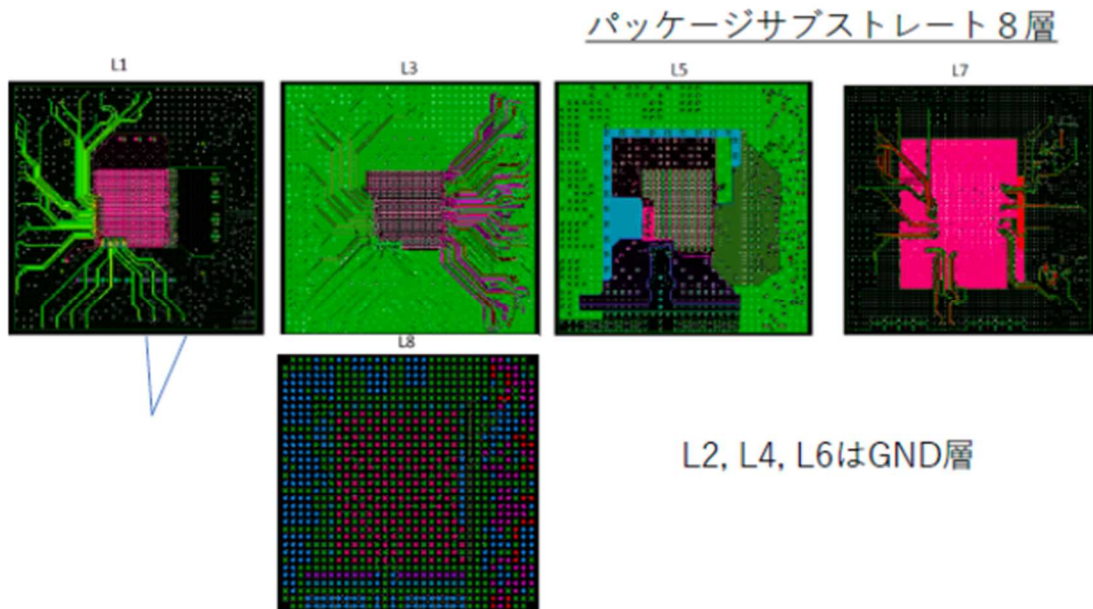


図 3-48 AI-One パッケージ基板レイアウト設計データ

パッケージ設計については、このほかに熱設計の検証を実施する必要がある。チップの物理設計フローで作成された消費電力データを基にパッケージの熱解析シミュレーションを行う。評価ボード開発側から搭載可能なヒートシンクのサイズ情報を入手し、これと消費電力データを基にパッケージの放熱シミュレーションを行う。ヒートシンクに対し無風状態でも十分な放熱が得られる場合には問題はないが、不足する場合には必要な風速をシミュレーションによって見積り、評価ボード開発側にインプットする。

#### ⑥ 評価ボード開発 (28nm)

AI-One 試作チップを評価する評価ボードの設計に当たっては再利用性と測定容易性、ソフトウェア開発の容易性、デモシステム構築の 4 つの観点から検討を行い、PC でよく使われている PCIe 標準ボードの形状を採用することとした。デモシステム作成でより小面積の形状を採用したほうが実システムに近いデモが可能となるという指摘もあるが、本プラットフォームにおいては短期に容易に試作チップの評価とソフトウェア開発が可能となるという点を重視して PCIe 標準ボード形状とした。

評価ボードの仕様を策定するにあたり、AI-One チップ開発に協力している各社からの要望事項を集めこれを基に検討を行った。要望事項は評価ボード単体にとどまらず、ホスト PC を介して SOC 内のリソースや SOC に接続されているメモリ、各種インターフェイスへのアクセスなどソフトウェアも含めた要望も含まれていた。AI-One チップ以外についての要求項目は Flashライターによるフラッシュメモリへの書き込み機能、OpenOCD を使った JTAG デバッグ機能の提供、USB インターフェイスの提供、電源電圧変更機能である。SOC チップ評価の観点からは、DFT 機能を使っでの SOC 評価が可能となる JTAG インターフェイスの提供と SOC チップの動作モードを設定するための各種設定スイッチである。これに基づいて策定したボードの基本仕様を表 3-11 に示す。また、モードスイッチの設定によって起動時のテスト結果を LED 表示するモードを用いると評価ボードに搭載された SOC チップのロジック部の故障および内蔵 SRAM の故障判定が可能となる。

部品選定、回路設計を行ったうえで基板レイアウトを実施する。今回使用した基板は 10 層 PPBU である。レイアウトデータに対して PI 検証として電源電圧ドロップ解析、インピーダンス解析を実施した。また、LPDDR4 と PCIe の信号線に対して SI 検証を実施し、要求仕様を満たしていることを確認した(図 3-49、図 3-50)。

**表 3-11 AI-One 評価ボード基本仕様**

項目	AI-One BOARD 基本仕様		
SOC	AI-One	ARC HS38 800MHzx2	スタンドアロン評価・ボード立ち上げ
メモリ	LPDDR4 DRAM QSPI FLASH ROM	32GbIt/ 3200Mbps / 16bIt 2個搭載 128Mb (16MB)	メインメモリ ブートメモリ
I/F	PCIe GEN3 EP PCIe GEN3 RC USB (UART 変換) UART SPI (Master) SPI (Slave) GPIO	4レーン カードエッジ 4レーン x16 コネクタ搭載 1ポート mIcr0-USB コネクタ Full speed 2ポート 2.54mm ピッチピンヘッダー IO3.3V 2ポート 2.54mm ピッチピンヘッダー IO3.3V 1ポート 2.54mm ピッチピンヘッダー IO3.3V 42pin 2.54mm ピッチピンヘッダー IO1.8V	IO1.8V 切換可 IO1.8V 切換可
電源	MAIN 12V 電源 PCIe EP 用 12V 電源	PCIe カードエッジ/AC アダプタ/ATX PCI 補助電源 AC アダプタ/ATX PCI 補助電源	
JTAG	OpElla-XD for ARC PARTNER-JEt2 J-LINK SIIICON BrOwsEr	20pin 38pin 20pin 20pin	デバッグ接続 (ARC) デバッグ・トレース接続 デバッグ接続 STAR Memory System 接続
基板サイズ	PCIe カード規格	200mm x 111.15mm	ミドルプロファイル 高さ制約:デュアルスロット

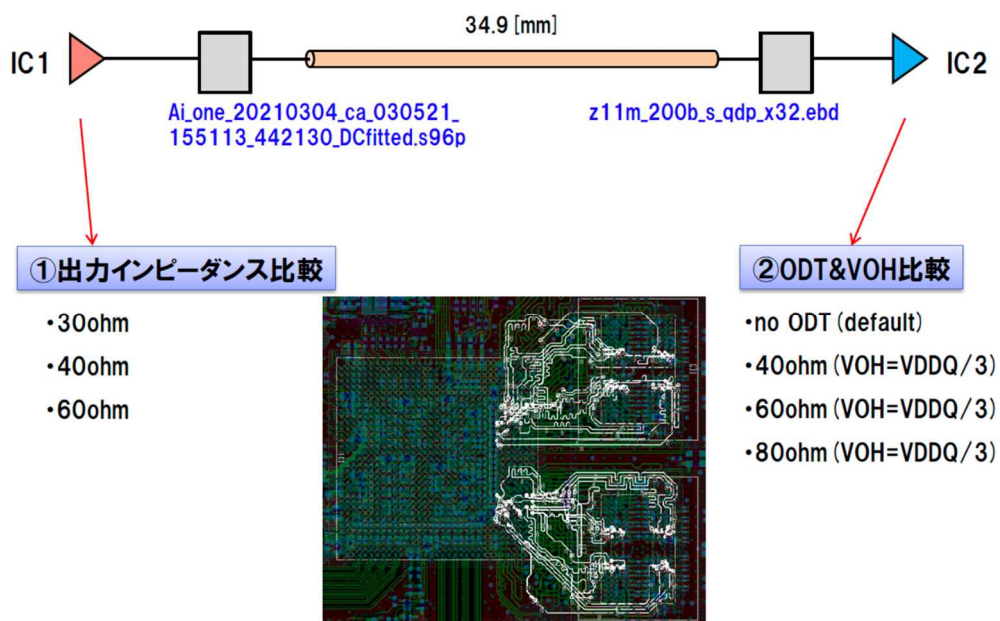


図 3-49 LPDDR4 AddrEs/CS 信号検証例



図 3-50 AI-One 評価ボード

⑦ソフトウェア開発環境 (28nm)

ソフトウェア開発環境として想定しているのは3つのユースケースである。第1のユースケースはチップの試作まで行わず1チップシミュレーション環境でIPの評価に必要なソフトウェアの開発を行い。開発したソフトウェアを使用して開発中のIPの性能などを評価するケースである。第2のユースケースは図3-51に示すようなホストPCとPCIeを介して接続し、ホストPC上で開発

を行ったソフトウェアや評価用のテストデータを評価ボードの LPDDR4 メモリにダウンロードして評価、デバッグを行うケースである。第 3 のユースケースは図 3-52 に示すように評価、プログラム実行に当たってはホスト PC とは独立に、評価ボードに接続されたセンサーやエンドポイントの PCIe インターフェイスカードなどを使って外部とのデータの入出力を行い評価やデモンストレーションを行うケースである。

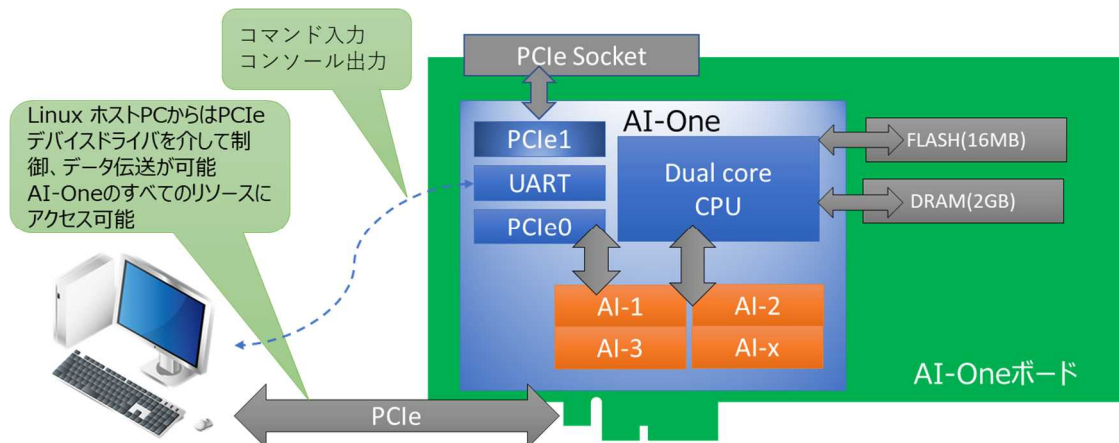


図 3-51 ユースケース 2 ホスト PC と連携した評価、デモンストレーション環境

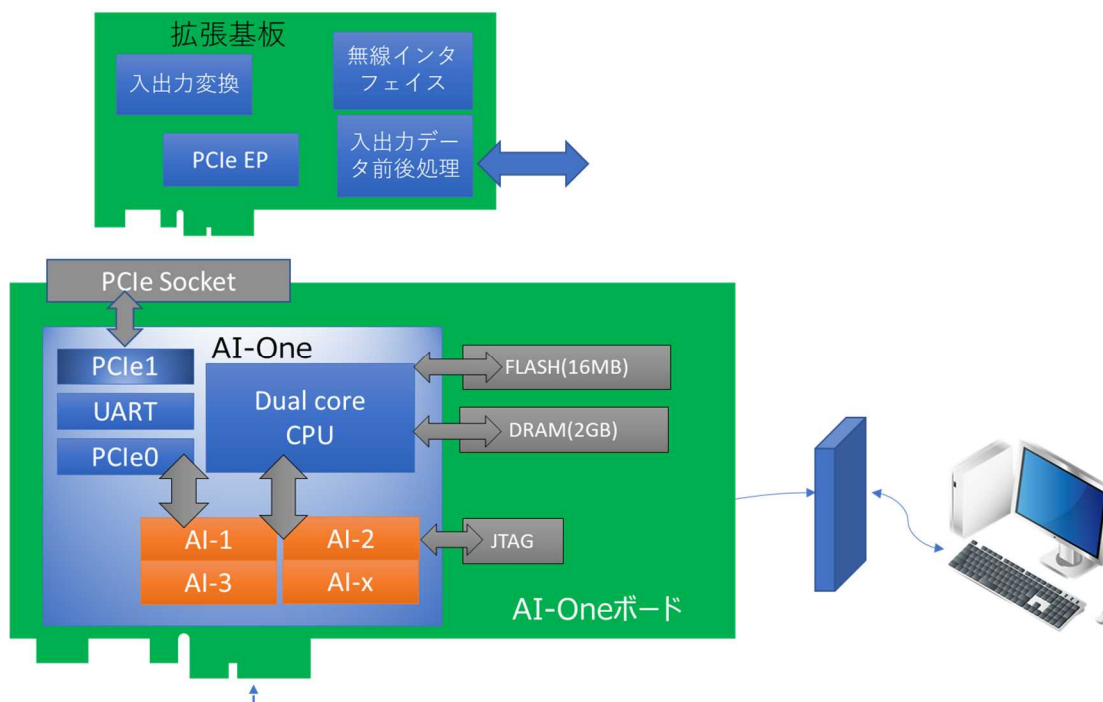


図 3-52 ユースケース 3 スタンドアロンの評価、デモンストレーション環境

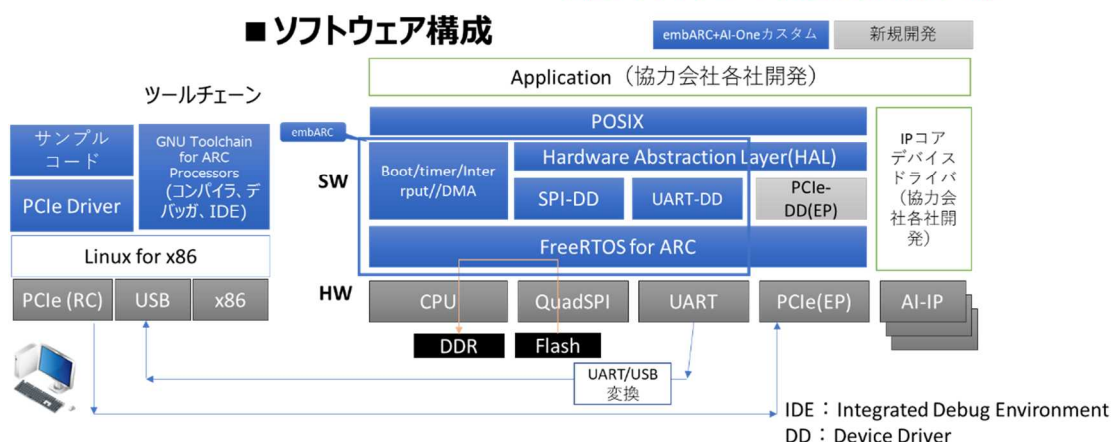
ユースケース 3 の場合、ソフトウェアのコンパイルや開発したソフトウェアのオンチップデバッグ機能を使ったデバッグのためにインサーキットエミュレータを使用することが想定されるので図 3-52 にはその機器も示されている。



いずれのケースにも使用可能なソフトウェア開発環境として図 3-53 に示すようなソフトウェアの開発を行った。ユースケース 1 の場合には OS なしのテスト環境でも、SOC 内の初期設定を行う機能はテストベンチとして搭載しているのでシミュレーション環境でのソフトウェア開発は可能であるが、実使用状態に近いものとは言い切れない。図 3-53 の右側の SOC 上で実行するソフトウェアスタックをフラッシュメモリモデルに書き込んでおくことで FreeRTOS のブート開始から実際のアプリケーションの実行までをシミュレーションすることが可能となる。

図 3-53 の左側に描かれたソフトウェアスタックは Linux が動作しているホスト PC 上で実行されるソフトウェアで PCIe のドライバを介して SOC チップ内のアクセスや設定が可能となる。右側のソフトウェアスタックをあらかじめ評価ボード上のフラッシュメモリに書き込んでおけば、リセット後のホスト PC と評価対象 SOC チップの連動評価や、連動デモンストレーションが可能となる。ユースケース 3 の場合には評価ボード上のフラッシュメモリにソフトウェアスタックを書き込んでおけば FreeRTOS を起動して SOC の初期設定を完了した状態で、評価プログラムやでもプログラムの実行を行うことができる。また、FreeRTOS の起動後のユーザーアプリケーションプログラムの先頭アドレスにブレークポイントを設定しておく、FreeRTOS の初期設定完了後、ブレーク割り込みが発生し、SOC チップに接続された JTAG インサーキットエミュレータに制御を渡すことも可能となる。

開発コスト低減やユーザの拡張性、保守性確保のため  
 embARC Open Software Platform (OSP) ベースで開発 (Synopsys無償公開環境)  
 embARCはFreeRTOSベース 評価プラットフォーム共通化で再利用が可能



**図 3-53 AI-One 評価 SOC およびホスト PC で動作するソフトウェアスタックの構成図**

デモソフトのデバッグが完了した場合にはそのプログラムを評価ボード上のフラッシュメモリに追記することによって電源オンまたはリセットスイッチを押すことで起動が可能なデモシステムとして機能させることができる。

### ⑧ 試作チップの評価 (28nm)

以上開発し、試作した評価ボード、試作 SOC の動作確認ならびに安定動作を JTAG デバッグ機能や JTAG を用いたテスト制御機能を用いて行い、AI-IP 評価に利用可能な評価

ボードの選別を行った。良品評価ボードを用いてソフトウェア開発環境のデバッグを完了させ、良品評価ボードとデバッグの完了したソフトウェア開発環境を AI-IP 開発各社に提供し、各 IP の評価を進めてもらった。評価と並行してデモンストレーション用のソフトウェアの開発も行ってもらい、AI チップ設計拠点フォーラムで開発の成果を展示することが可能となった。

図 3-54 に示すように AI-One チップは IP 開発会社の RTL の拠点へのアップロードからファウンドリへのテーパアウトまでのチップ設計期間を 10 か月で完了することができた。パッケージ基板の材料の調達ならびに組み立てラインの混雑によりパッケージ組立に時間がかかり、試作チップの完成からパッケージ組立完了までは時間を要した。パッケージ組立後はボード組立、評価ボードテスト、SOC テスト、ソフトウェア開発環境デバッグと順調に進めることが可能となった。デバッグを用いた評価ボードの実行、デバッグ環境が 1 チップシミュレーション環境と同一であったこともあり、AI-IP のテスト、評価も順調にする済めることができた。評価ボード組立完了から AI-IP のデモンストレーション完了までを約 3 か月で実現できたことは、評価プラットフォーム全体の有効性を示すものといえる。

AI チップ設計拠点で準備したデモはアマゾン AWS の IoT アプリケーション開発環境を用いた IoT 遠隔コントロールデモで、AWS IoT 接続ソフトを AI-One 評価ボードにポーティングして開発した。

ソフトウェアデバッグ・検証期間を 9 週と短期で行うことができたのは、1 チップシミュレーション環境を用いて、ソフトウェアスタックの検証の 62%をチップ完成前に実施できたことが大きい。いわゆるシフトレフトの効果といえる。

各 AI-IP についても 6 つすべて機能的な動作の正しさと所定の動作周波数での安定動作の確認を行うことができた。

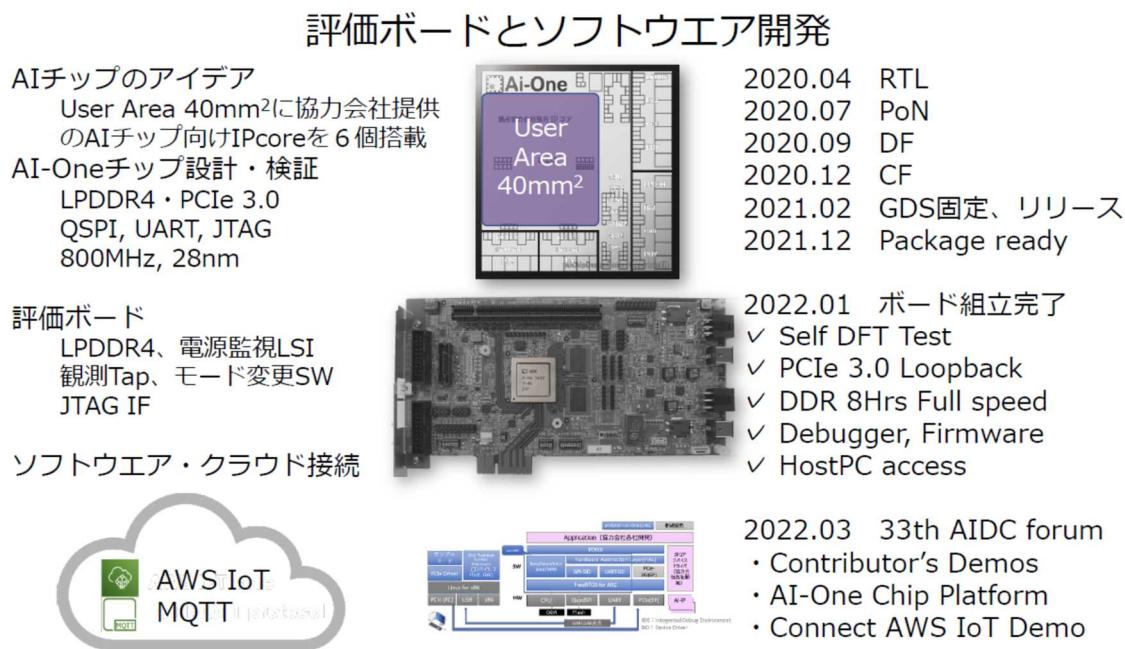


図 3-54 AI-One チップ、評価ボードとソフトウェアの開発

## 【12nm による開発(AI-Two)】

### ② 標準プラットフォームの開発、整備 (12nm)

さらなる高集積化と低消費電力化を目的に 12nm FinFET プロセスの試作チップの開発を行うこととした。12nm FinFET への対応を検討した結果、物理設計フローにおけるタイミング検証のツール実行時間が増大することが予見されたため、タイミング検証の各条件の同時並列実行を用いて多数のサーバを同時に利用することで実行時間の短縮を図ることとした。

物理設計の電源電圧ドロップ検証や高速インターフェイスのパッケージ、ボード設計検証と連動したパワーインテグリティ検証を効率よく進めるためチップパッケージモデル(CPM)の生成機能を EDA ツール、設計フローとして追加した。

物理検証において ERC チェックを強化しラッチアップの可能性を検出するトポロジカル解析を行う PERC 検証を実施することにした。また、EDA ツール実行を効率よく行うため、単一のマルチ CPU サーバの代わりにボードに 1CPU ソケットまたは 2CPU ソケットのみを搭載し、メモリアクセス速度を中心に高速化が図られているブレードサーバの複数導入を行い、ツール実行の効率化を行った。

論理検証の実行の高速化とソフトウェア開発のデバッグ加速ならびにホスト PC 接続検証の実施のため 1 チップシミュレーション環境のエミュレータ活用を行った。対象は AI-Two チップと 1 チップシミュレーション環境の PCIe 対向モデルを含むものを 1 チップシミュレーション環境ケース 1 と、PCIe 対向モデルの代わりに仮想マシン(VM)と PCIe Virtual Bridge を接続した 1 チップシミュレーション環境ケース 2 の 2 種類とした。ケース 1 はハードウェアの詳細デバッグ、検証を目的とし、ケース 2 はホスト PC の OS を含めたシステムとしてのソフトウェアデバッグ、検証を目的とする。

### ③ 設計フロー (12nm)

低消費電力化を進め、チップ実装面積を低減するため 12nm FinFET プロセス向け設計環境の整備を行った。

FinFET プロセスは素子構造上リーク電流を大幅に低減することが可能なプロセスである。さらに 28nm から微細化を進めることで面積当たりの搭載トランジスタ数を増やすことができ性能向上、コスト低減に寄与することが想定される。標準セルライブラリのバリエーションを表 3-12 に示す。また、12nm プロセスのライブラリのモデル条件を表 3-13 に示す。SRAM の種類については表 3-14 に示す。これらのデザインキット、標準セルライブラリ、SRAM ライブラリの整備を行った。

**表 3-12 12nm 標準ライブラリ構成**

ゲート長	16nm	20nm	24nm
Vth	Ulv	Lvt	Svt
トラック数	6Track	7.5Track	9Track

**表 3-13 12nm 標準ライブラリモデル条件**

	モデル条件				
動作電圧	0.72V	0.8V	0.88V		
動作温度	0℃	25℃	85℃	-40℃	125℃
Tr 特性	FF モデル	TT モデル	SS モデル		
配線寄生素子	CBest	Typical	CWorst	RCBest	RCWorst

**表 3-14 12nmSRAM の種類**

アクセスポート数	シングルアクセス	1 リード、1 ライト同時	リード、ライトのうち 2 つの組合せ
書き込みビットマスク	なし/あり	なし/あり	なし
データビット幅	8bit~400 bit	9bit~285bit	32bit
メモリ容量	144byte~79kbyte	128byte~8kbyte	768byte~4kbyte
動作周波数	500MHz~1GHz	500MHz~1GHz	1GHz

④ 試作チップ開発 (12nm)

評価プラットフォームとしての改善点や不都合点の指摘を AI-One 協力会社各社に依頼し、入手した情報に基づいて AI-Two プラットフォームの仕様改訂を行った。

チップ試作にあたり、再び、自社開発の AI-IP の搭載に協力する会社を開発スケジュールに合わせて募集し、2 社と実施項目 1-3 リファレンス設計の 3 者による 4IP の搭載を行うこととした。AI-Two のブロック図を図 3-55 に示す。

12nmFinFET プロセスの歩留まりは 28nm プロセスに対して悪化が予想されたため内蔵する SRAM の救済機能を追加した。パワーオンリセット時に Logic BIST と Memory BIST を

実行する点は AI-One 同様であるが、Memory BIST 実行後不良ビットが検出された SRAM については救済 Row または Column への置き換えを行うこととした。SRAM 検査はリセット後毎回実施するため、救済位置情報は不揮発性メモリを使用せず、レジスタに保持することとした。

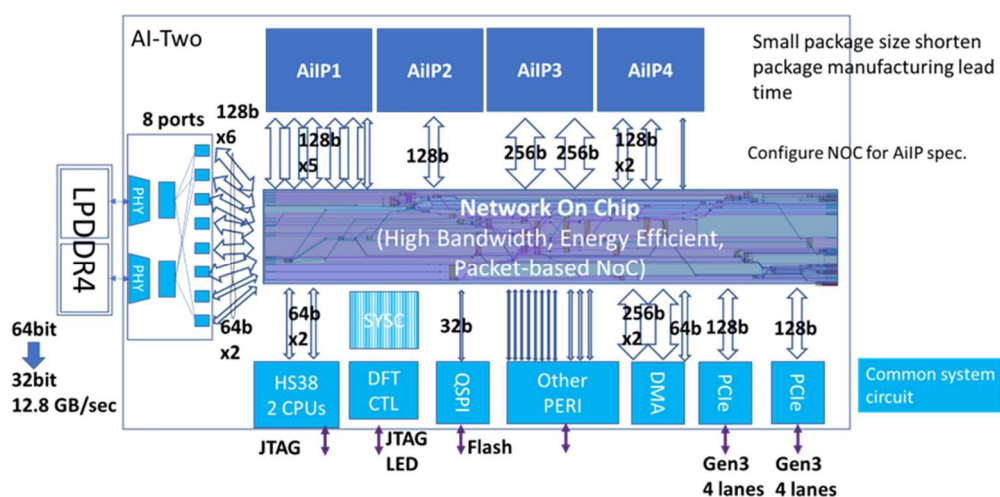
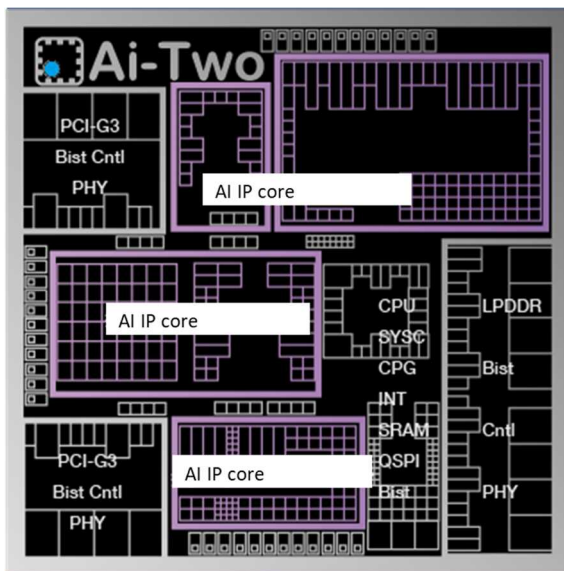


図 3-55 AI-Two ブロックダイアグラム

AI-One パッケージ基板製造時に遅延を招いた原因は、基板部材の供給難であった。AI-One チップの大きさでは、その部材でないとパッケージ基板を反りなく最終ボード実装にまで持っていくことができなかった。より一般的な基板部材の利用を可能とするため AI-Two においてはパッケージ基板寸法を 23mm x 23mm に抑えることとした。合わせて微細化に伴い SOC 全体のチップサイズは 7mm x 7mm に収まる見込みとなった。これらに対応するため、LPDDR4 インターフェイスのデータビット幅を 64bit から 32bit に低減することとした。

最終的に設計した AI-Two チップの物理設計結果を図 3-56 に示す。

AI-Two の設計は協力会社からの RTL のアップロードから物理検証終了レイアウトデータの完成まで 10 か月で完了することができた。



### AI-Two SoC

Process: TSMC 12nm FFC

Die size: 6.37mm x 6.82 mm

Package size: 23mm x 23 mm

Operating Frequency: 1GHz @ all corner

図 3-56 AI-Two 物理設計結果

### ⑤ パッケージ設計 (12nm)

「④ 試作チップ開発 (12nm)」で述べたようにパッケージ基板寸法を小さくするために 23mm x 23mm のパッケージ基板サイズを採用することとしたため、Ball の搭載可能個数が少くなったので、ボール数の確保を目的にボールのピッチを 0.65mm に縮小することにした。ボールのピッチが縮小されたことに対応するため、パッケージ基板の層数は 2 層増やして 10 層とした。パッケージ設計結果を図 3-57 に示す。

SI、PI 検証については AI-One と同様に行った。

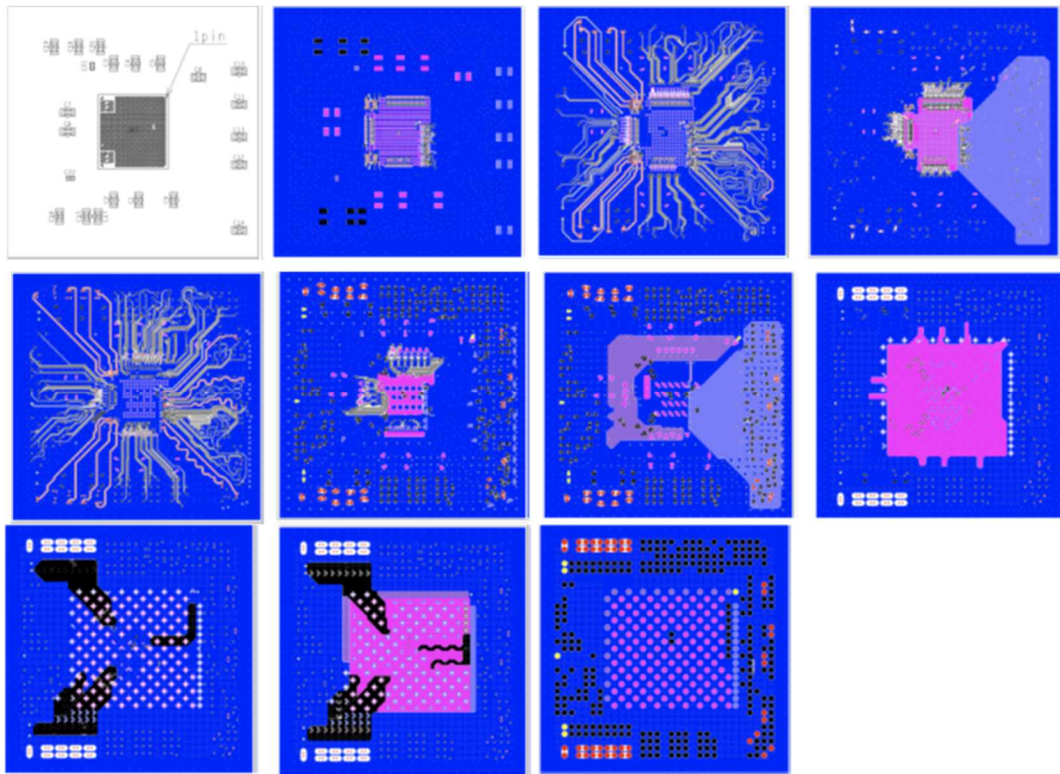


図 3-57 パッケージ設計結果

⑥ 評価ボード設計 (12nm)

一部電子部品の調達困難による納期遅延が発生していたため、納入期間の短い部品への置き換えを行った。また、デバッグ時のスイッチの操作性の悪さを改善するため実装位置の見直しを行った。

⑦ ソフトウェア開発環境 (12nm)

ソフトウェア開発環境のデバッグはシミュレータまたはエミュレータのケース 2<sup>※</sup>を用いて行い、ボード製造完了前にすべての検証項目のデバッグを実施した。

※ 「② 標準プラットフォームの開発、整備 (12nm)」に記載の 1 チップシミュレーション環境 ケース 2。

⑧ 試作チップの評価 (12nm)

AI-One と同様に評価ボードのテスト、評価チップのテスト、ソフトウェア開発環境の確認を行ったのち各評価ボードを協力会社に配布し、IP の評価とデモの作成を実施した。

ボード製造完了から評価ボード配布まで 1 か月で完了できた。

新規に搭載した Memory BIST 不良ビットの救済機構については 40 枚試作したボードのうち 3 枚に SRAM 不良が検出され、救済を行ったのち正常動作を行っていることが確認できた。

中小企業やスタートアップ企業が容易に独自 IP の性能等の評価や、デモンストレーションシステムの構築を行える設計・評価プラットフォームを 28nm プロセスおよび 12nm プロセス向け

に開発した。それぞれのプラットフォーム向けにアプリケーション向け設計フローを適用した。開発したプラットフォームを使用し、アプリケーション向け設計フローを用いて試作 SOC の設計、試作、評価を行い、その効果の確認を行った。本成果を活用することで短期間に効率よく試作チップの開発、評価を行うことができるようになった。



## 実施項目 2-1 「AI チップの研究開発に必要な EDA ツールの整備」

現在の AI チップ開発において、その性能を高精度に予測し設計するための設計ツール群はもはや欠かすことのできないものとなっているが、これらの設計ツール群は非常に高価であるため、AI チップの開発には莫大な費用が必要となり、大きな障壁となっている。さらに、標準的な高速インターフェイスやメモリアンターフェイス等の IP 利用が不可欠である。同様に大規模な AI チップの設計のためにはエミュレータを適切に活用することが不可欠で、その管理運用及び利活用の方法が大きな課題となっている。また、AI チップを開発する、あるいは AI チップの開発に参入しようとする中小・ベンチャー企業等の中には、設計ツールの管理や設定が可能でない企業があり、このことが AI チップ開発における障害となっている場合もある。

実施項目 2-1 においては、アナログ系、デジタル系論理設計・物理設計のための設計ツール群、高位合成のためのツール群及びサインオフ検証向けツール群を整備し、拠点を利用する中小・ベンチャー企業に広く活用されるような環境を整備した。同時に、国内外の FAB の代表的なプロセステクノロジー向けの設計環境を拠点として整備することで、AI チップ開発に新たに取り組むことになる中小・ベンチャー企業の設計環境整備を行った。東京大学、産総研、産総研の共同実施(再委託)先であるふくおか IST の運営するサテライト拠点やその他の地域拠点、さらには、設計ツールの管理、設定が可能な企業では、EDA ツール稼働サーバ計算機においてライセンスを取得して EDA ツールが実行できる環境を整備した。同時に東京大学、及びふくおか IST において、EDA 実行サーバ計算機を導入し EDA ツールをインストールするとともに EDA ツールが実行可能な環境を整備し、東京大学に関してはリモートからのネットワークを介した利用及び東京大学に設置するブース(図 3-58)に来てのツールの利用、ふくおか IST に関しては設置するブースに来てのツールの利用により、拠点利用者への利用サービスを実現した。同様にハードウェアエミュレータ(経済産業省 2017 年度「産業技術実用化開発事業費補助金(AI チップ開発加速のための検証環境整備事業)」で産総研が導入、以下産総研が所有するエミュレータと略す。)に関しても、拠点での利用環境の整備、地域拠点及び利用企業からのリモート利用環境の整備を実施した(図 3-59, 図 3-60)。拠点クラウドは、図 3-61 のような構成とし、さらに SOC 設計など高負荷時にはブレードサーバを活用できるように拡張している。また、拠点利用におけるセキュリティの確保のために、図 3-62 に示すように、拠点には OTP + 証明書ベースによる SSL でログインサーバにログインする。また、ログインには、NoMachine による画面転送を活用することで、通信が切断されても実行中に JOB が終了しないような仕組みを構築している。そのうえで、実際のジョブの実行にはスケジューリングソフト LSF を利用して、計算サーバに JOB を投入する形式にしている。これによりログインサーバにおけるツールバイナリへのアクセス、ファイルへのアクセスを最小限としながらツールの利用を可能にするとともに、有限の EDA ライセンスを効率的に利用する環境を構築している。通常はログインサーバのリソースは最小限としておき、ログインサーバにおいてちょっとしたスクリプトの実行などが必要な場合には、CPU、メモリなどを増加させることでリソースの最適配分を実現している。さらにハードウェアエミュレータによるリスクの

回避、および EDA ツールバイナリや IP 等の流出を防止するために、拠点クラウドへアップロード、拠点クラウドからのダウンロードは通常は禁止しておき、必要な場合、WEB インターフェイスにより、ウイルスチェックの自動実行、ファイル名、ファイルサイズに基づくルールベースでの自動チェック、さらに最終的には担当者による目視チェックにより、アップロード、ダウンロードを許可する実装を行っている。

図 3-63 に拠点に導入した EDA ツール一覧を示す。ただし、このほかに、設計期間中に限定し検証ツールなどの導入を行っている。EDA ツールは、1) 永久ライセンスを買い取り保守、2) 期間ライセンスを購入、の 2 つを組み合わせることで、ベースで必要とされるライセンスを保持しつつ、実設計等利用が集中する際にライセンス数を機動的に増加するといった柔軟な運用を実現している。図 3-64 には、期間ライセンスの運用状況を示している。さらに、図 3-65 には設計ピーク期間においてさらに集中的にライセンスが必要になった時のスポットライセンス増補の状況を示しており、これにより実施項目 1-5 の AI-One/AI-Two といった大規模 SOC 設計にも柔軟に対応することが可能となった。

これらの導入ライセンスは、リアルタイムでライセンス利用状況を可視化することでライセンス過不足を視認できるような体制を構築している(図 3-66)。

図 3-67、図 3-68 に拠点利用のための申請フローを示す。アカウント発行などは基本的にはほぼ即日で実行されるが、EDA 利用に関しては利用 EDA ツールのベンダからの許諾が必要となるため、若干の時間を要するほか、EDA ツール利用契約書への署名が必要となっている。一方、拠点クラウドなどの利用に関しては、アカウント作成、証明書作成に加え、OTP の設定と送付という作業が必要となるため、数日の時間を要している。

ふくおか IST は、東京大学と産総研が東京大学と産総研が整備した AI チップ設計拠点(本拠点)に構築された設計・開発環境をインターネット接続により利用可能とするサテライト拠点を整備した(図 3-69)。また、サテライト拠点にて整備した図 3-70 に示すオープンソース EDA 環境に複数の EDA ツール環境を整備し、8 社からの利用申請を受付けてユーザー登録を行った。更に、サテライト拠点のブース WS から LAN 接続で Cadence 社 Xcelium が利用可能な環境を構築した。これに加えて、サテライト拠点の EDA 環境利用のためのマニュアルを作成した(表 3-15)。

これらの活動により、【中間目標】EDA ツールを導入、利用環境を整備し、拠点利用者へ公開することで 10 件程度の利用実績をあげる、【最終目標】EDA ツールを安定的最新バージョンに更新、利用環境を整備し、拠点利用者へ公開することで、期間全体を通し 15 件程度の利用実績をあげる、としていた目標に対して図 3-71 に示す通り、合計 74 プロジェクト、利用者 195 名という利用実績を得た。



図 3-58 AI チップ設計拠点の利用ブース



図 3-59 ハードウェアエミュレータ

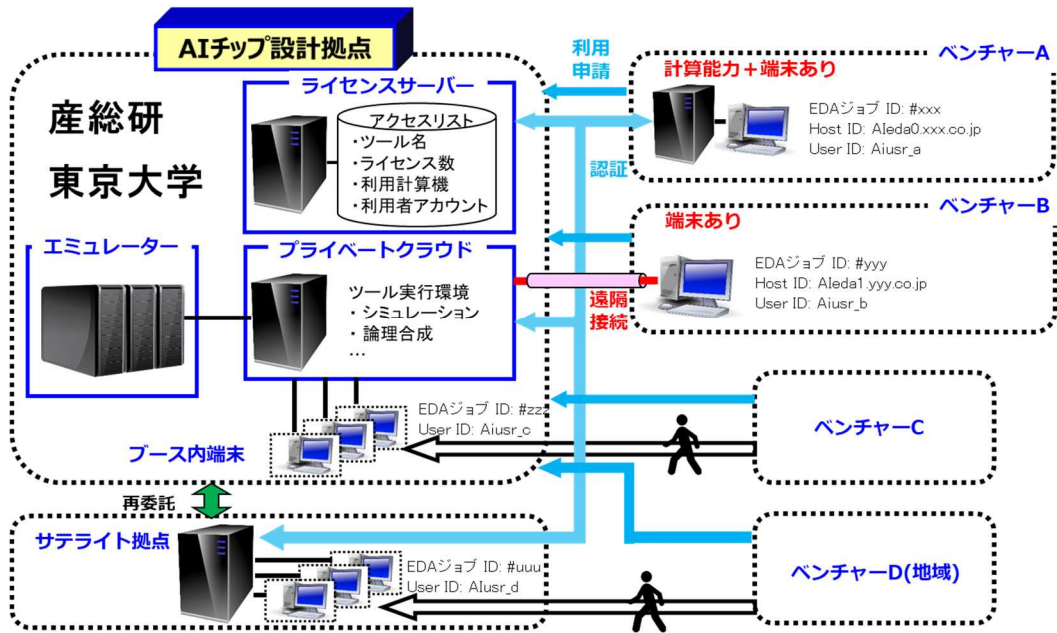


図 3-60 AI チップ設計拠点の利用形態

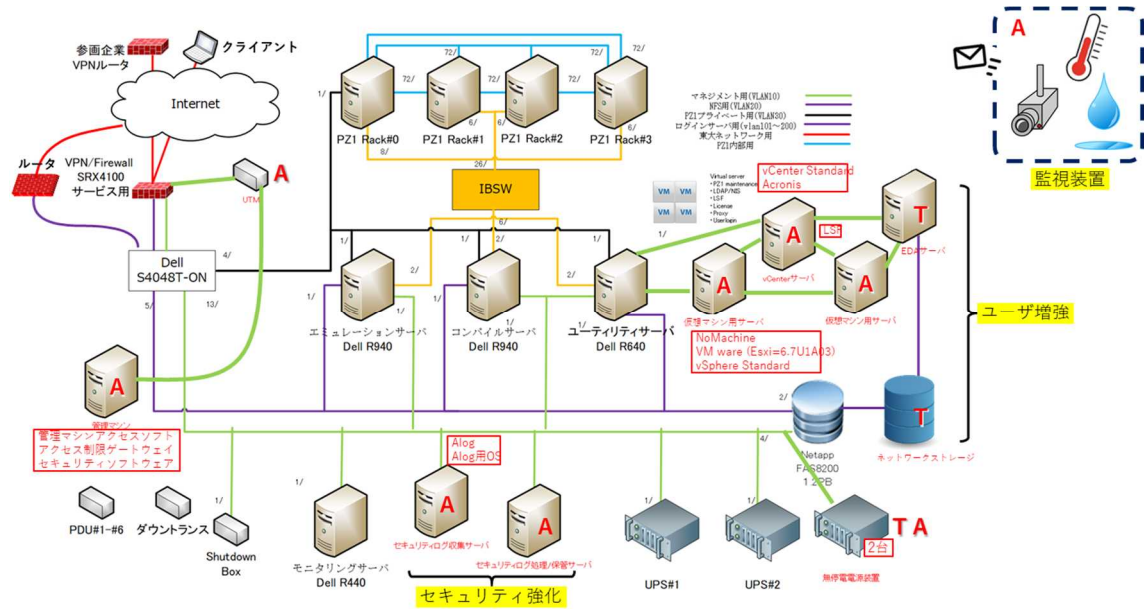


図 3-61 拠点クラウド構成



フロー名	ツール名	オプション等	永久ライセンス		単価契約ライセンス												
			当初 1/31分	追加 4/16分	'20				'21				'22				
					1	2	3	4	1	2	3	4	1	2	3	4	
高位合成	Catapult	Catapult-Prime, Oasys-RTL, Catapult Coverage SLEC-HLS, PowerPro-Optimizer	0	0	1	4	3	3	1	2	2	2	2	1	1	1	1
論理合成	Design Compiler		2	4	4	2	4	2	0	1	1	0	0	0	0	0	0
配置配線	ICCompilerII		1	1	3	1	3	3	4	1	1	0	2	13	0	0	0
静的検証	PrimeTime/PrimePower		1	0	2	2	2	4	3	2	2	2	7	19	1	1	0
等価性検証	Formality		1	0	2	2	2	2	4	1	1	1	1	1	1	1	0
形式検証	DEBUG	Verdi SVTB, Verdi Power-Aware Debug, Verdi Coverage, Verdi PerformanceAnalyzer, VC Formal, VC VerificationIP Test suites, SpyGlass, PowerReplay, TetraMAX	0	0	1	7	5	2	1	3	3	2	2	3	3	1	2
レイアウト生成	Custom Compiler		2	0	2	1	1	0	0	1	1	0	0	0	0	0	0
寄生成分抽出	ICValidator/StarRC		1	0	4	2	2	3	3	2	2	1	1	2	2	2	0
回路シミュレーション	Analog Sim (VCSAMS, CustomSim, CustomSim Reliability, CustomFaultSim)		2	0	6	2	2	3	3	2	2	3	3	3	3	3	1
物理検証系	Calibre DRC, LVS, RVE, PEX, LFE		2	3	1	0	0	0	1	1	1	1	0	1	1	1	1

図 3-64 期間ライセンスの運用状況

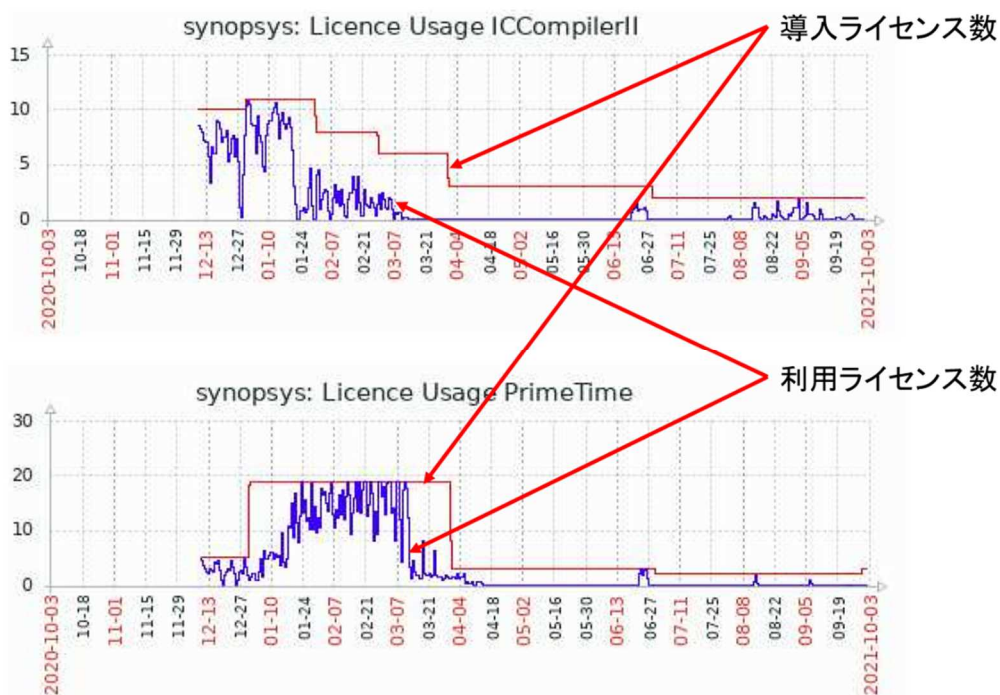
**2020年度: 当初単価契約以外のライセンス導入**

Synopsys LogicBIST	2020/10/1-	1ライセンス
ICCompilerII	2020/12/1-12/31	5ライセンス
ICCompilerII	2020/12/1-12/31	5ライセンス
ICCompilerII	2020/1/1-1/31	5ライセンス
ICCompilerII	2020/2/1-2/28	2ライセンス
PrimeTime	2020/1/1-3/31	15ライセンス
Tweaker	2020/1/1-3/31	5ライセンス
CalibreDRC	2020/2/12-3/11	5ライセンス
Ansys Redhawk/PathFinder	2020/10/1-10/31	1ライセンス
Ansys Redhawk/PathFinder	2020/11/18-3/31	1ライセンス
Ansys Redhawk/PathFinder	2020/3/X-3/31	1ライセンス

**2021年度: 当初単価契約以外のライセンス導入**

Synopsys LogicBIST	2021/4/1-	1ライセンス
Tweaker	2021/4/1-3/31	1ライセンス
Ansys Redhawk/PathFinder	2021/4/1-3/31	1ライセンス
Mentor CalibreMP	2022/1/1-3/31	2ライセンス
Mentor CalibrePERC	2022/1/1-3/31	1ライセンス
Mentor CalibreYE	2022/1/1-3/31	4ライセンス
Mentor CalibreADP	2022/1/1-3/31	1ライセンス
Synopsys ICCII	2022/2/1-2/28	3ライセンス
Synopsys ICCII	2022/3/1-3/31	5ライセンス
Synopsys PTADVP	2022/3/1-3/31	5ライセンス
Synopsys ICCII	2022/7/1-7/31	10ライセンス
Synopsys PTADVP	2022/6/1-6/30	10ライセンス
Synopsys PTADVP	2022/7/1-7/31	30ライセンス
+ Formality/Tweaker/LogicBIST/SHS/SMS	2022/4/1-	
Mentor CalibrePERC	2022/8/1-8/31	1ライセンス

**図 3-65** SOC 設計ピーク時のスポットライセンス増補状況



**図 3-66** EDA ライセンスのモニター一例

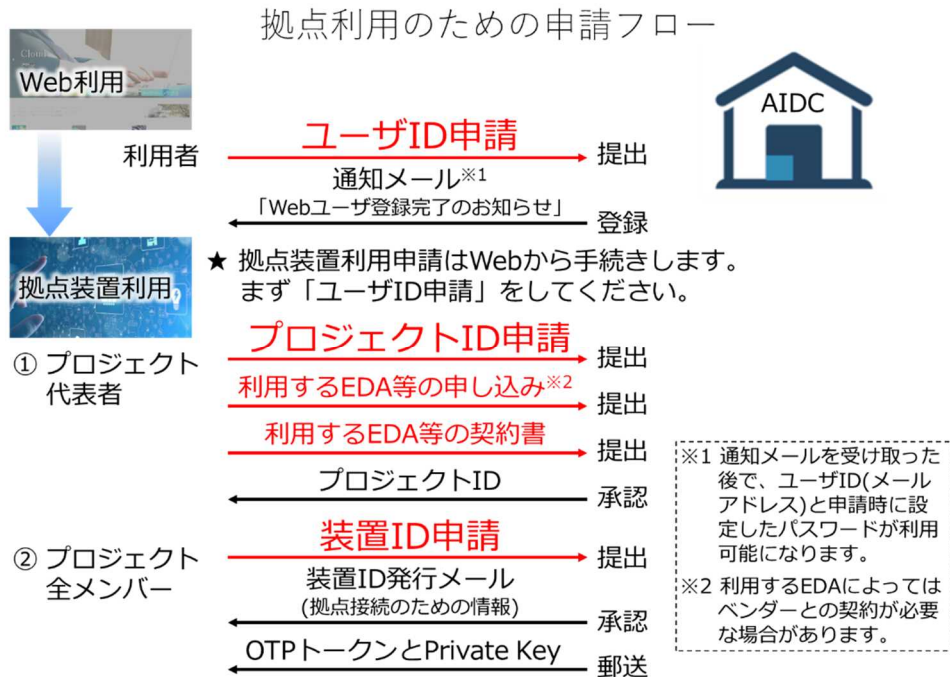


図 3-67 拠点利用のための申請フロー

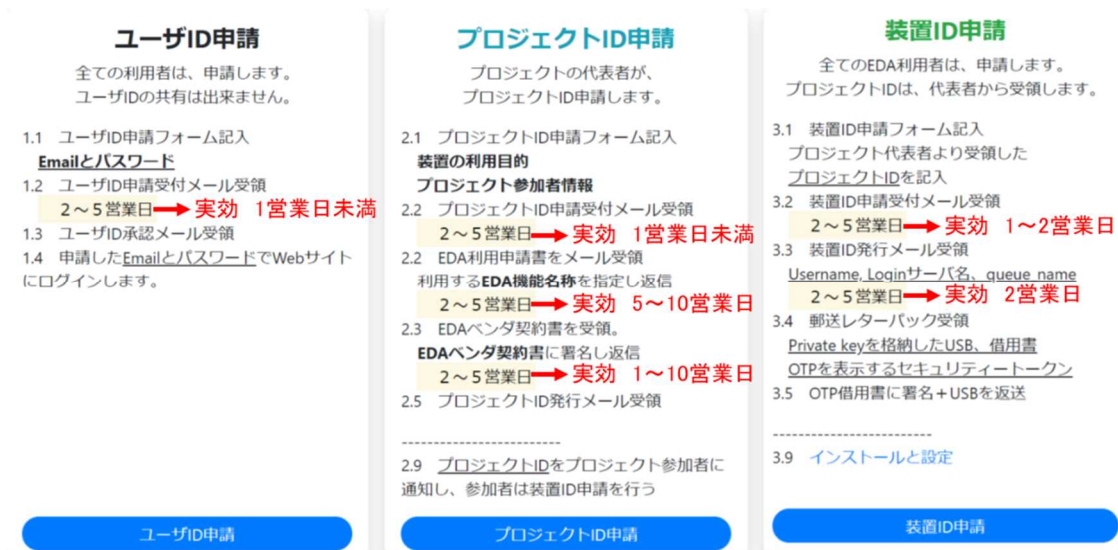


図 3-68 拠点利用申請の詳細



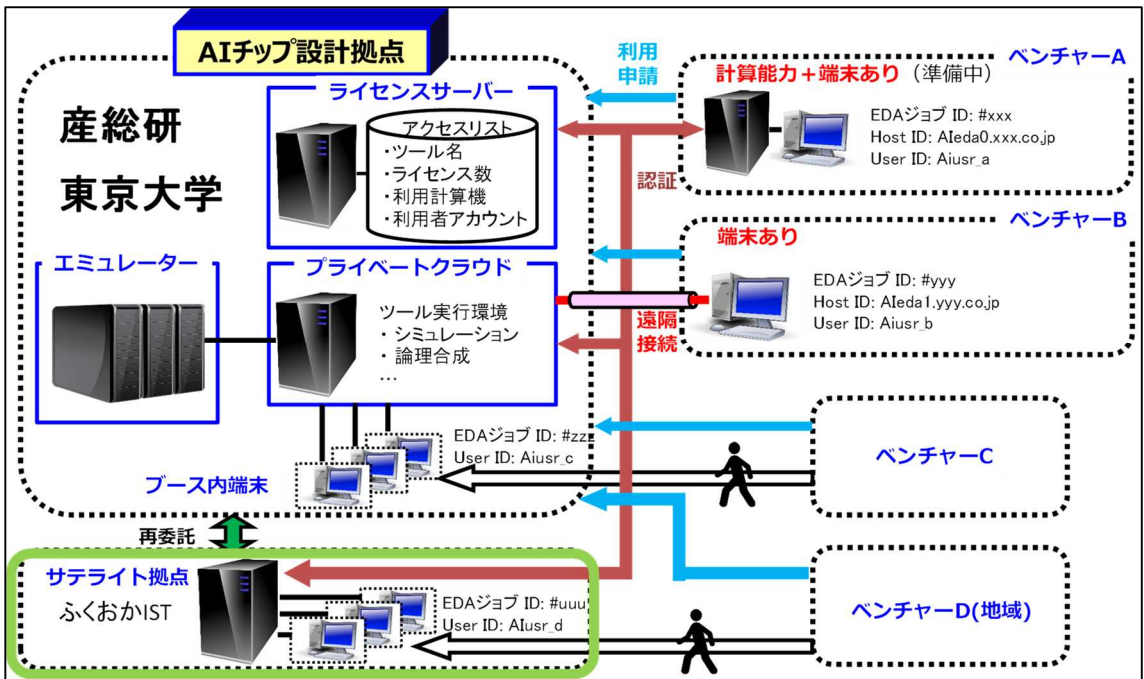


図 3-69 AI チップ設計拠点における本拠点とサテライト拠点との位置づけ

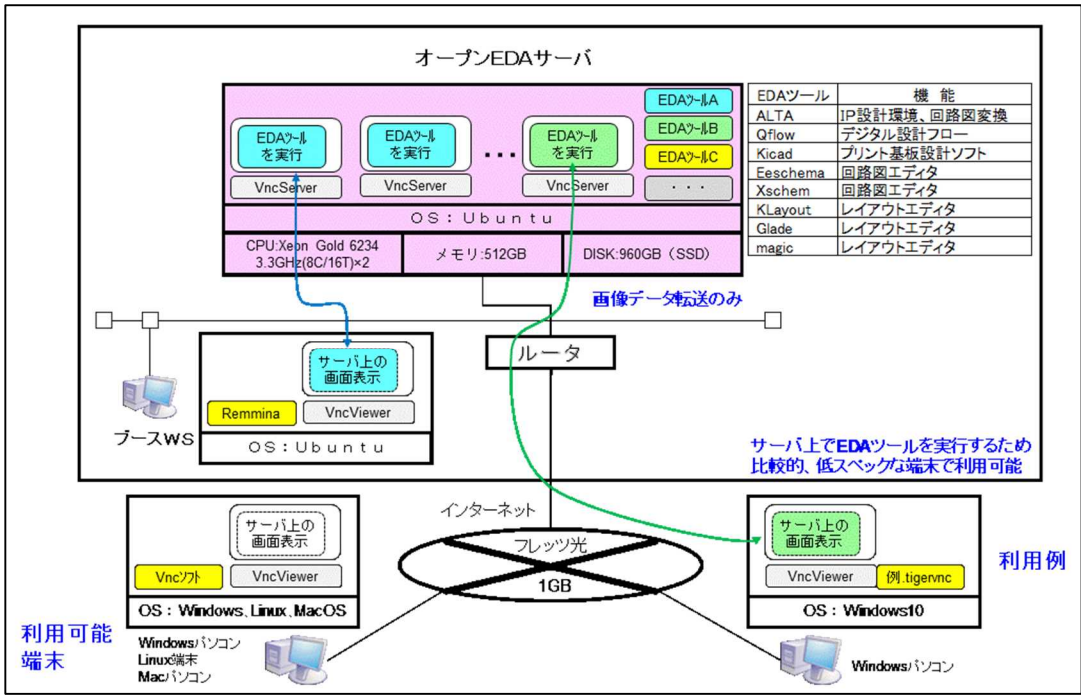


図 3-70 オープンソース EDA 環境の全体図

表 3-15 サテライト拠点で作成したマニュアル

マニュアル名称	内容
EDA サーバ概要・利用申請	AI チップ EDA 環境を利用するための申請方法
オープンソース EDA サーバスタートアップマニュアル	オープンソース EDA 環境を利用するための説明書
オープンソース EDA サーバ利用マニュアル	オープンソース EDA ツールを利用するための説明書
商用 EDA サーバ利用マニュアル	商用 EDA ツールを利用するための説明書
AI チップサテライト拠点 EDA ツール利用の手引き	設計ラボ WS を利用するための手引き

2023年3月時点の活用件数 **74件** (企業:55、大学:12、国研:6、その他:1、利用終了:19)

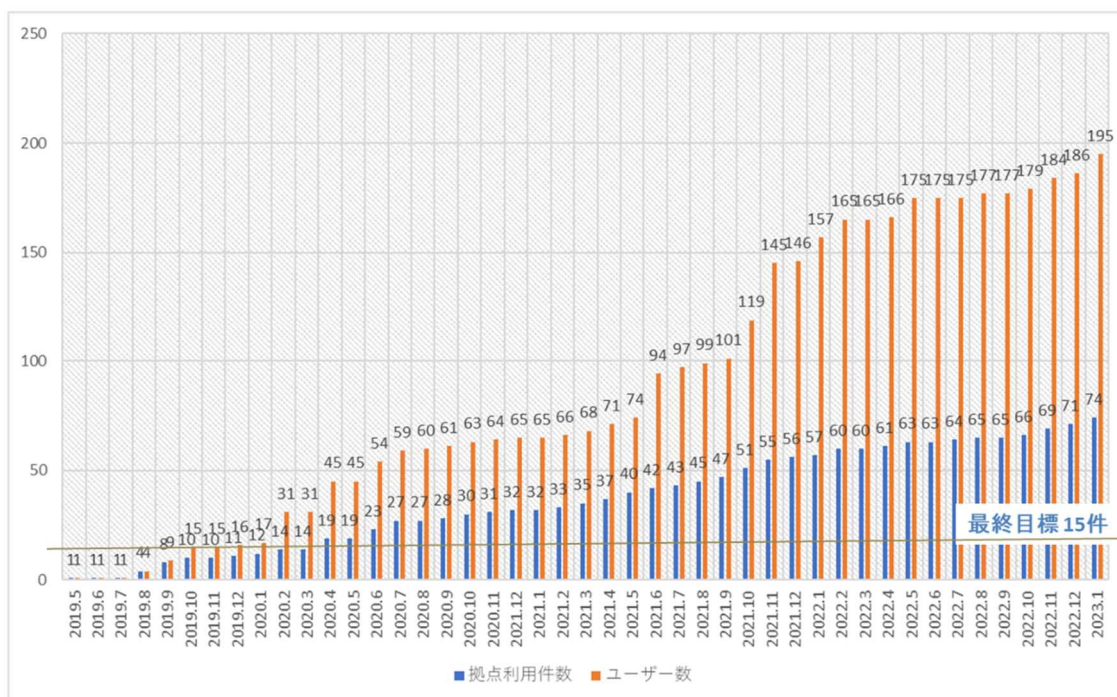


図 3-71 拠点利用実績の推移

## 実施項目 2-2 「人材育成と拠点機能の整備」

AI チップ開発拠点の機能として組み込む共通基盤技術、すなわち EDA ツールや設計フロー、ツールチェーン、リファレンスデザイン等を準備したとしても、そのままエミュレータや EDA ツール群を使いこなすことは難しく、簡単に AI チップの開発ができるわけではない。また、中小・ベンチャー企業、中でもチップ開発にこれから取り組もうとする企業にとってチップ製造の FAB の選定、守秘等の契約、設計のためのデザインマニュアル・PDK・ライブラリ等の導入は非常に時間がかかり容易ではない。加えて、これらの機能が最大限活用されるようにするためには、それらの利用方法の教育が不可欠である。同時に、教育する側の人材育成も重要な課題である。

本実施項目では拠点で導入する EDA ツール、及び産総研が所有するエミュレータの利用方法について、マニュアルを整備し(本項目は実施項目 1-1, 1-2 と協調して行いそちらにまとめて報告を行っている)、これらの公開・利用促進を目指した。更に、AI チップ設計・検証ガイドラインの策定や、AI チップ設計の教育カリキュラムの構築を実施し、教育コースやセミナー等を通じて中小・ベンチャー企業の AI チップ開発に係る人材を育成した。加えて、代表的な FAB に対するワンストップ窓口を整備することで、設計試作を希望する拠点利用者のプロセス選択の補助、FAB との契約、設計環境の整備の支援を行った(本項目は実施項目 1-5 と協調して行いそちらにまとめて報告を行っている)。また、技術交流を契機としたソフトウェア・アルゴリズム技術者の AI チップ設計開発への参入を促すフォーラム等を開催して、AI チップ設計開発の裾野の拡大を図った。

なお、本事業で整備する拠点が事業終了後も自立的に機能するために、勉強会等を開催し、ユーザーとなり得る中小・ベンチャー企業等の意見を集約を行っている。この成果は 2023 年 4 月以降の AI チップ設計拠点の運営に生かされている。更に、拠点の整備状況や各実施項目の成果を広く社会に広めるため、進捗の状況に合わせて新聞発表や展示会への出展、各学会への論文発表等を行った。

図 3-72 には拠点における人材育成のグランドデザインを示す。ここで、拠点における人材育成として、

- ・ AI チップ開発に必要な座学は既存のカリキュラム(VDEC 連携・福岡 IST 連携)を活用して網羅
- ・ 重点 1 : 未経験技術者(ソフト・アルゴリズム技術者)に向けた取り組み / フォーラム : 毎月実施(～200 名程度の参加)
- ・ 重点 2 : 実習レベルの教材準備(エミュレータ協調検証教材、デジタル設計教材、高位設計教材、設計フロー教材、AI-SOC 設計教材)
- ・ 重点 3 : AI-One 利用での実践トレーニング(システム設計者、FPGA 経験者、高位記述設計者向け)

といった方針に基づいて活動を行っている。拠点フォーラムは図 3-73 に示す通り、2019 年 5 月から実施し、2023 年 8 月で第 50 回を数え、コロナ以前の対面開催では 50 名—80

名の参加、コロナ後のオンライン開催では、100名 - 200名の参加を得て拠点活動のアウトリーチの一翼を担った活動となっている。

また、図 3-74 に示すように、ツールのセミナー、ハンズオンによるトレーニング、さらには専門的な技術討論を行うワークショップなどを実施することで、利用者の育成・利用の促進、さらにはよりノウハウの習得を目指した人材育成活動により組んでいる。これらの一部は実施項目 1-1, 1-2 で紹介した教材を活用して実施している。

加えて、図 3-75 に例示するように実施項目 1-1, 1-2 で作成した教材を WEB に掲示して利用者が参照できるようにすることに加え、実施項目 1-5 での SOC 設計のフロー詳細を Webinar の形でオンデマンド配信を実施している。長時間の Webinar にもかかわらず多くの参照回数(図 3-76)を得ており、非常に効果的な人材育成が実現できたと考えられる。

サテライト拠点主催でオープンソース EDA の人材育成を目的とした WEB 講演会を実施し、延べ 120 名の参加者が聴講した。また、本拠点で開催されるフォーラムの開催案内をサテライト拠点施設に入居する企業へ案内を行うとともにフォーラムへ積極的に参加した。

これらにより、本実施項目の最終目標としていた、エミュレータ・EDA 協調設計検証論に関して、初級編から上級(実践編)までの整備が完了し、かつ各種教育カリキュラムの教育コース、Webinar が充実できた。また、実施項目 1-1 の最終目標の協調設計検証フロー利用目標 10 件(実際には 10 件を上回る活用)のうちの AI-One, AI-Two および AI-One/Two に搭載された AI-IP コアの一部の合計 4 件以上が本設計試作ゲートウェイ機能(実施項目 1-5)を利用して設計・試作を完遂している。



図 3-72 AI チップ設計人材育成のグランドデザイン

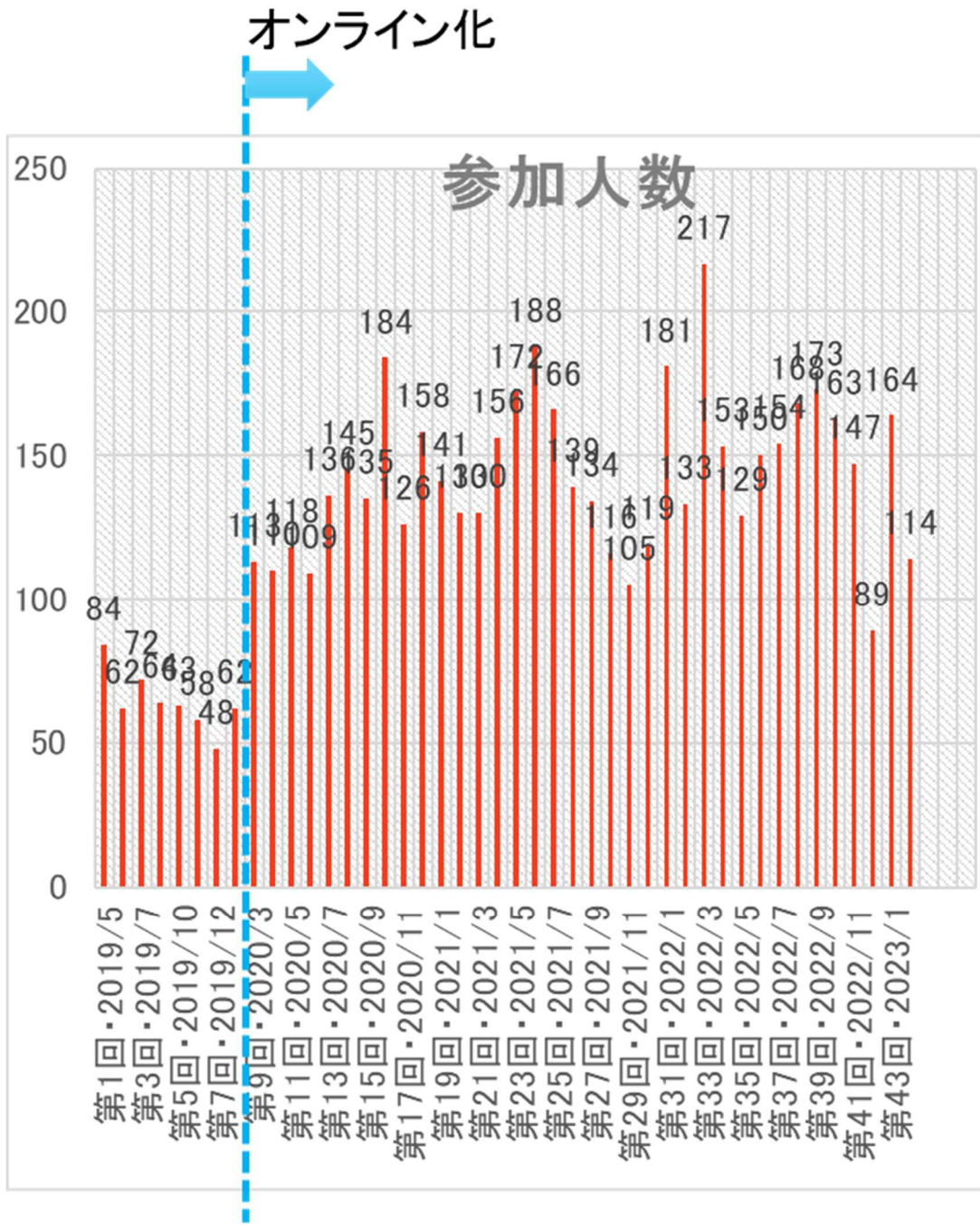


図 3-73 拠点フォーラムの参加者推移

年月日	発表媒体	発表タイトル
2019年12月19日～20日	세미나	高位合成ツール「Catapult」セミナー
2020年1月15日～16日	세미나	エミュレータとエミュレータ・シミュレータ協調検証環境セミナー
2020年3月30日～31日	Webセミナー	論理検証に関するWebセミナー
2020年10月16日	Webセミナー	<a href="#">高位合成トレーニング</a>
	Webセミナー	Cadenceパラジウム関係のデバッグ機構
2021年6月30日	Webセミナー	<a href="#">エミュレータを利用した検証の高速化に向けたテストベンチ作成方法</a>
2021年7月1日	Webセミナー	シミュレータ・エミュレータによる協調検証環境 (EmuForge) を用いた検証効率向上
2021/11/30, 2022/6/7, 2023/2/14	Webセミナー	エミュレータトレーニング
2022/3/10, 2022/9/10, 2023/3/14	Webセミナー	エミュレータ・ワークショップ
2022/9/28, 2023/3/20	Webセミナー	RISC-VベースSoCのシミュレーション・エミュレーション協調検証トレーニング

図 3-74 トレーニング・技術セミナーの実施状況

**形式検証編**

**高位合成編**

**論理合成編**

図 3-75 教材の WEB 配信および Webinar の例

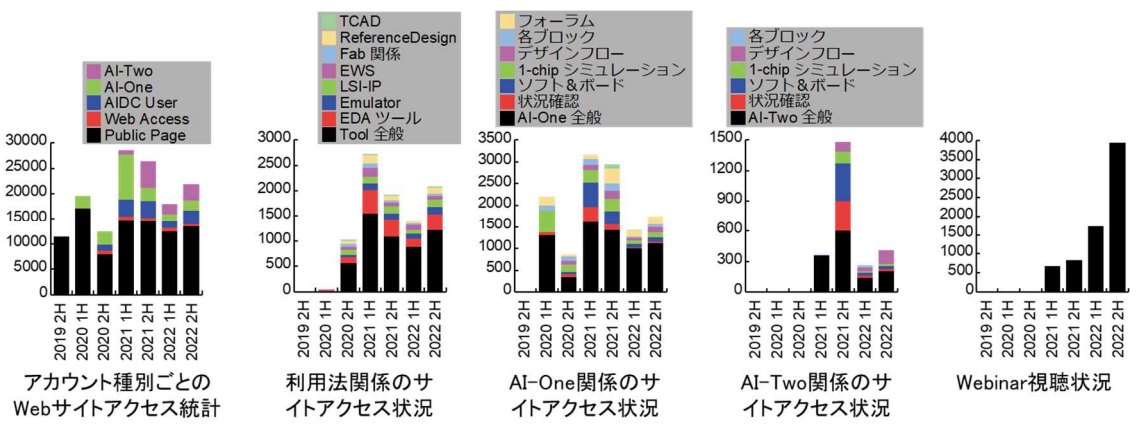


図 3-76 拠点 Web サイトのアクセス状況

## 4. 成果の実用化に向けた取組及び見通しについて

### 1. 成果の実用化の実施状況

#### 1.1 実施状況(研究開発項目①)

研究開発項目①助成事業にあつては、実用化を以下の通り定義し、実用化率 58.8%(採択 17 件中 10 件が実用化)となり、目標を達成した。

「本助成事業における実用化の定義」:

本助成事業で開発した AI チップや周辺 IP の事業期間での実証等を行い、事業終了後に顧客へのサンプル提供や IP ビジネスとしてその IP 等を紹介するなど、上市に向けた具体的な取り組みがなされること。

#### 1.2 実施状況(研究開発項目②)

中間評価時に述べたように自立運営の検討を行った結果、AI チップ設計拠点(AIDC)を産総研の共用施設として位置付けて成果の実用化を図ることになった。産総研の共用施設は、「これまで蓄積して来たノウハウ・成果を広く社会に普及させることを目的」とした取り組みであり、本事業の成果の実用化の仕組みとして適している。

産総研の共用施設としての AIDC の運用は、産総研・東大 AI チップデザインオープンイノベーションラボラトリ(AIDL)が実施する。AIDL は産総研の研究組織であり、AI チップ設計に関して東大 d.lab との共同研究を行っている。したがって、AIDC の運用は、NEDO 事業での運用体制と変わらず、産総研と東大 d.lab が協力して進めることになった。

共用施設の運用は、国立研究開発法人産業技術総合研究所共用施設等利用約款(以下、約款という。)によって規定されている。利用者は約款によって定められた単価表から算出される利用料を支払って共用施設を利用する仕組みである。AIDC も半導体設計環境の様々な設定を単価表(月単位の利用料)に掲載しており、運用している。

共用施設になった 2023 年 4 月時点の利用者の延べ人数は 15 人であったが、2023 年 8 月現在で 45 人であり、着実に利用が増えていることが分かる(図 4-1)。



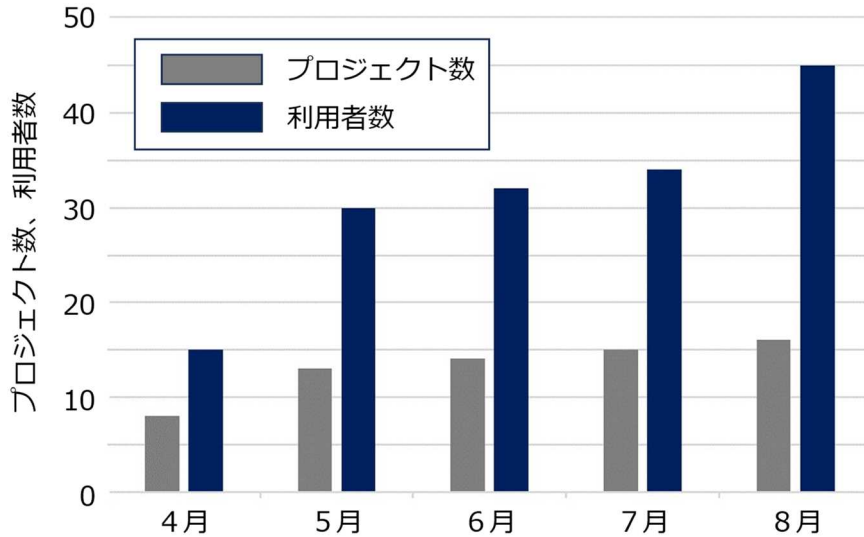


図 4-1 2023 年 4 月以降の AIDC の利用状況

## 2. 今後の取組

### 2.1 今後の取組(研究開発項目①)

研究開発項目①助成事業にあつては、事業終了後は個々のテーマ実施者が、事業化に向け研究開発を継続していくことになるが、アウトリーチ活動の一環として、CEATEC の NEDO ブースでの展示機会を提供するなどの支援を行う。

### 2.2 今後の取組(研究開発項目②)

本事業の実施期間が終了したのち、2023 年 4 月から産総研共用施設として AI チップ設計拠点を立ち上げた。

AIDC は、利用者にとって使いやすい半導体チップ設計拠点として機能し続けることが重要である。そのためには、利用者にとって魅力ある設計環境、設計サポート技術、教材を維持するため、産総研と東大で活動を継続していく。

設計環境については、計算機システムの維持と性能向上を図る。このためには利用料収入の確保が重要である。また、これまで築き上げてきた EDA ツールベンダーとの協力体制を維持することも重要である。

産総研・東大の半導体チップ設計の研究成果を利用者が使える技術として開発し、AIDC に蓄積していく。このような技術を使って利用者が設計することで短 TAT・低コストの試作チップ設計

が可能になる。今後の取り組みとしては、産総研と東大等で受託する NEDO プロジェクト「チップレット設計基盤構築に向けた技術開発事業/チップレット型カスタム SOC 設計基盤技術開発」を通じてチップレット技術を AIDC に導入していく予定である。

設計サポート技術については、SOC の設計経験がなくても AI チップを設計できる仕組みなどを導入している。具体的には AIDC で開発した SOC プラットフォームを利用することで、利用者は AI アクセラレータの設計のみで AI チップの設計が可能となる。今後も利用者目線に立った設計サポート技術を開発していく。

教材については、すでに準備した教材のブラッシュアップと、新たな技術開発案件(SOC プラットフォーム等)のマニュアル類を整備していき、人材育成に役立てていく。

これらの取り組みを継続していくことで、AIDC は単なる商用ベースではない共益的な半導体設計拠点として認知され、活用されるようになる。この活動を継続することで、半導体チップ試作に関するハードルを下げ、利用者(半導体設計者)を増やし、すそ野を広げ、我が国の半導体産業の活性化を図っていく。

### 3. 実用化による波及効果

#### 3.1 波及効果(研究開発項目①)

助成事業の個々のテーマ実施者の将来の事業化により、医療、車載、介護、認証、音声処理応用等の分野への AI 活用により日本の存在感が向上すると考えている。

#### 3.2 波及効果(研究開発項目②)

本事業の実用化により、我が国において以下の波及効果があると考えている。

##### (1) 我が国における AI チップ開発の活性化

- ・産総研共用施設 AIDC に共通基盤技術を集約・蓄積し、共通利用することにより、チップ開発の効率を改善し多くのアイデア実用化の創出に貢献
- ・産総研共用施設 AIDC を核としたチップ開発のための資金調達エコシステム構築により、資金調達プロセスを活性化

##### (2) 我が国の国家／経済安全保障への貢献

- ・チップ設計のエンジニアリングチェーンを国内に確保
- ・国内半導体ファブと連携した国内でのチップ設計-生産エコシステムの確立

## 添付資料

### ●基本計画

P18004

#### 「AI チップ開発加速のためのイノベーション推進事業」 基本計画

IoT 推進部  
イノベーション推進部

### 1. 研究開発の目的・目標・内容

#### (1)研究開発の目的

##### ① 政策的な重要性

IoT、人工知能(AI)、ビッグデータ、ロボット等の技術革新により、これまで実現不可能と思われていた社会の実現が可能になりつつある。IoT 技術の進展により、実社会のあらゆる事業・情報がデータ化され、ネットワークを通じた自由なやりとりが可能となりつつある。AI 技術は、その飛躍によって、機械が自ら学習し人間を超える高度な判断をすることも可能にしている。また、ビッグデータ技術によって、集まった大量のデータの分析から新たな価値を生み出すことを可能にしている。ロボット技術は、より多様かつ複雑な作業の自動化を可能にしている。また、これら技術革新の掛け合わせによって、革新的な製品やサービスが生み出されることも期待できる。例えば、無人自動走行車、ものづくり現場における多品種少量生産、個人に最適化された医薬品の提供、介護現場の労働力不足解消、インフラ保安の効率化等の実現が期待され、産業構造や就業構造を劇的に変える可能性を秘めている。

「必要なもの・サービスを、必要な人に、必要な時に、必要なだけ提供し、社会の様々なニーズにきめ細かく対応でき、あらゆる人が質の高いサービスを受けられ、年齢、性別、地域、言語といった様々な違いを乗り越え、生き活きと快適に暮らすことのできる」超スマート社会(Society 5.0)の実現には、上記のような第 4 次産業革命技術やそれらを用いて創造される製品やサービスを次々と社会実装していかなくてはならない。

関連する政策として、次のようなものが打ち出されている。第 5 期科学技術基本計画(平成 28 年 1 月閣議決定)では、「超スマート社会」(Society 5.0)の実現において、構築に必要で速やかな強化を図るのが必要な基盤技術として、安全な情報通信を支える「サイバーセキュリティ技術」、IoT やビッグデータ解析、高度なコミュニケーションを支える「AI 技術」、大規模データの高速・リアルタイム処理を低消費電力で実現するための「デバイス技術」、IoT の高度化に必要となる現場システムでのリアルタイム処理の高速化や多様化を実現する「エッジコンピューティング」等が挙げられている。「科学技術イノベーション総合戦略 2017」(平成 29 年 6 月閣議決定)では、「超スマート社会」(Society 5.0)の実現に向けた重きを置くべき取組として、「サイバー空間関連の基盤技術の強化(エッジコンピューティング等)」や「フィジカル空間関連の基盤技術の強化(超小型・超低消費電力デバイス等)」が挙げられている。「未来投資戦略 2017」(平成 29 年 6 月閣議決定)では、イノベーション・ベンチャーを生み出す好循環システムのための重点投資すべき分野の

取組の一つとして、「AI 学習効率の向上、自然言語処理、ディープラーニング翻訳、超高効率 AI 処理に資する半導体及び革新的センサー等の基盤技術開発及びその組み込みシステムへの適用」が挙げられている。

また、経済産業省は、Society 5.0 を実現するための我が国の産業が目指すべき姿(コンセプト)として、「Connected Industries」を提唱した(2017 年 3 月)。Connected Industries は、既存産業とデジタル技術の「つながり」をはじめとして、機械、データ、技術、ヒト、組織など様々なものの繋がりによって新たな付加価値の創出や社会課題の解決を目指すものである。経済産業省は、Connected Industries を実現するための事業を強力に推進しており、特に、「自動走行・モビリティサービス」、「バイオ・素材」、「スマートライフ」、「プラント・インフラ保安」、「ものづくり・ロボティクス」を 5 つの重点取組分野としている。

上記の社会課題解決には、大量データの効率的かつ高度な利用を可能とする情報の収集、蓄積、解析、セキュリティなどの技術に加え、AI・次世代コンピューティング技術がエッジやクラウド領域において求められている。中でも、自動走行やロボティクスを始めとする分野では、従来のクラウドコンピューティングからネットワークの末端(エッジ)で中心的な情報処理を行うエッジコンピューティングへの分散が不可欠になると考えられており、エッジにおける処理の重要性や価値が高まると推察されている。特にエッジにおいては限られた資源を用いて効率的に処理を行う必要があるため、性能を飛躍的に向上させられる AI 技術の活用が期待されている。この転換期を日本の IT 産業が大幅に成長するチャンスと見据え、産学官の体制による野心的な技術開発を推進することが重要である。

日本にはベンチャー企業を中心に AI に関する高度な技術が存在するが、当該 AI をエッジ側で効率的かつ高速に動作させるためには、AI の動作専用に設計開発した専用デバイス(AI チップ)が必要となる。しかし、AI チップの開発には高額利用料が必要となる専用の設計ツール(EDA ツール)、検証装置等が必要であるとともに、試作にかかる費用も高額であるため、革新的な構想が企業にあったとしても AI チップの設計開発を行う事が出来ずにいる。

専用の設計ツールを用いなければならない背景には、微細化が進む事での回路設計の高度化に対応する必要があることと、EDA ツールを使わなければ設計した回路の性能が保証されないという面がある。そのため、アイデア段階ではビジネス化までの事業化計画が不明確となり、民間資金の獲得も困難となる。これが AI チップビジネスに参入しようとする企業にとって、開発とビジネス化の間を隔てる高いハードルとなっている。

そのため、国が主導してこのハードルを取り除く政策を実施し、画期的なアイデアを用いた AI チップの設計開発を推進するとともに、開発を通じた人材育成はもとより、エッジコンピューティングの実現に貢献し、日本の産業競争力の強化にも繋げる。

## ② 我が国の状況

日本は、コンピューティング分野において、ハードウェアを中心に存在感を発揮してきた。1980 年前後には、日本発の材料、メモリ、アーキテクチャなどの革新的な技術を発明し、ムーア則実現の礎を築いた。

その後、ファウンドリーという業態が新たに誕生し、設計と製造を分離することで複雑化する集積回路の開発に対応する動きが活発化したが、市場変化への対応が遅れたことに伴い、例えば半導体では 1988 年には 50%を超えていたシェアが現在では 10%程度にまで落ち込む等、現在はコンピューティング分野において苦戦している。

分業化が進む集積回路開発分野において、独創的な VLSI(大規模集積回路)システムを発想し、回路構成・基本設計技術を有する技術者集団を育成するため、VLSI の設計教育の高度化と充実を目指し、1996 年に全国の大学などが共同で利用できる施設として VDEC(大規模集積システム設計教育研究センター)が東京大学内に設置された。主に、学術的用途向けとして、集積回路設計に欠かせない設計環境や検査・測定環境を自ら保有し、学生、研究者を中心に解放することで、人材育成に寄与している。また、一般社団法人電子情報技術産業協会の半導体部会役員会が推進した半導体先端技術の民間共同開発プロジェクト「あすかプロジェクト」が 2001 年に開始し、デザインルール hp65 向け技術として SOC(System-On-a-chip)の開発効率を向上させる 45nm 対応設計技術や 32nm 対応プロセスデバイス技術を開発したが、10 年後の 2010 年に終了している。

日本の情報産業の再興のためには、最先端の設計開発を推進する新たな基盤的な環境や技術を整備、開発することが勝負の鍵となる。

### ③世界の取組状況

米国では、半導体集積回路の設計作業を自動化し支援するためのソフトウェアやハードウェア及び手法である EDA(Electronic Design Automation)技術の黎明期から、国が大学の研究活動を中心に支援してきた。現在も、DARPA(Defense Advanced Research Projects Agency)が CRAFT(Circuit Realization at Faster Timescales)プログラムを通して LSI の開発を支援しており、中小企業やベンチャー企業は非常に安価な料金を LSI の設計から試作、評価に取り組むことが出来ている。欧州でも比較的早くから LSI 設計技術が IMEC などの産学連携を通じて強化されてきた。中国でも半導体を基幹産業とするために国内企業の育成に取り組んでおり、国家政策により上海、北京、無錫、成都、大連 等を IC 産業育成地域として指定し、国営の IC R&D Center(試作、EDA、テストサービス)を設置している。

### ④本事業のねらい

ネットワークの末端(エッジ)で中心的な情報処理を行うエッジコンピューティング技術の重要性や価値が高まる中、日本にはベンチャー企業を中心に AI に関する高度な技術が存在するが、競争力のある AI チップを開発するためには、AI とチップの設計、ソフトとハード双方に関する知見と技術に加え、高額な設計ツールや設計検証設備等が必要となっている。

現在でも東京大学を中心として運営される LSI 開発支援拠点 VDEC も存在するが、アカデミックライセンスが主体の学術的用途という制約があり、特にベンチャー企業等が有する革新的アイデア等の開発やビジネス化を加速する、新たな共通基盤が求められている。

本事業では、大学や研究機関等による高度な AI チップ開発のための共通基盤技術の開発を進めるとともに、その知見や AI チップの設計・評価・検証等の開発環境を民間企業等に提供する。

民間企業等においては、AI チップに関するアイデア実用化に向けた研究開発を支援するとともに、AI チップ開発を加速するために整備した設計検証拠点で開発を実施し、AI チップ開発スキームにおける設計、検証をシームレスに実施することで、革新的なアイデアの実現を加速する研究開発を進め、世界における存在感を再び獲得することを目指す。

## (2)研究開発の目標

### ①アウトプット目標

#### 【研究開発項目①】AI チップに関するアイデア実用化に向けた開発

AI チップの設計を行い、AI チップの動作を効率化し現状以上の性能を有することをシミュレーション等により検証する。詳細は別紙のとおり。

#### 【研究開発項目②】AI チップ開発を加速する共通基盤技術の開発

AI チップ開発に必要な集積回路設計ツールや設計検証設備を備えた開発拠点を構築し、本事業を通じて開発、整備した AI チップ設計のための共通基盤技術、学習環境、設計環境等の活用件数 15 件以上を目標とする。詳細は別紙のとおり。

### ②アウトカム目標

2032 年のエッジ向け AI チップの世界市場で約 750 億円の市場獲得を目指す。

なお、①については 2023 年以降順次技術の実用化率 50%以上を目指す。

### ③アウトカム目標達成に向けての取組

大学・研究機関等によって開発した共通基盤技術(高機能な AI チップ開発に資する設計技術等)は、順次民間企業等へ提供し、開発拠点の機能向上を図る。

民間企業等の AI チップのアイデア実用化開発については、1 年目終了時に継続可否に係る審査を実施し、ビジネス化に向けた動きがあり優れた成果が見込める企業を集中的に支援する。

また、AI チップの研究開発と並行して、民間企業等において IoT や AI 技術を活用するための知見やノウハウを持った人材の育成を進めることで、本研究開発の成果の更なる高度化へと繋げる。

プロジェクトの実施において、民間企業は並行して成果を活用する企業とのマッチングも実施し、事業終了後は本格的なビジネス化へと繋げる。

## (3)研究開発の内容

上記のアウトカム目標達成に向けて、以下の研究開発項目に取り組む。詳細は別紙のとおり。

#### 【研究開発項目①】 AI チップに関するアイデア実用化に向けた開発 <助成>

民間企業等が持つ AI チップに関するアイデアを実用化するため、専用の設計ツールを用いて論理設計等の回路設計を行い、シミュレーション等により有効性を評価・検証する。さらに検証した成果をビジネス化するために企業とのマッチングを行い、ビジネス化への道筋を立てる。

また、各種専門家の派遣等、採択者等へのハンズオン支援を実施する。

#### 【研究開発項目②】 AI チップ開発を加速する共通基盤技術の開発 <委託>

高度な AI チップ開発を加速するために必要な共通基盤技術として、世界標準の商用基盤に接続することを目的とした、AI チップの設計・評価・検証等を実施する開発環境を整備する。

また、チップ開発を促進する共通技術の開発、IoT や AI 技術を活用するための知見やノウハウを持った人材を育成する環境の整備等を行い、革新的なアイデアの実現を加速する。

## 2. 研究開発の実施方法

## (1)研究開発の実施体制

プロジェクトマネージャー(以下「PMgr」という。)に NEDO IoT 推進部 波佐昭則を任命して、プロジェクトの進行全体を企画・管理し、そのプロジェクトに求められる技術的成果及び政策的効果を最大化させる。

NEDO は公募により研究開発実施者を選定する。必要に応じて、実施期間中に複数回公募を行う。研究開発実施者の選定においては、課題解決への道筋やビジネス化へのストーリーを設定できていることを重視する。

研究開発実施者は、企業や大学等の研究機関等(以下「団体」という。)のうち、原則として日本国内に研究開発拠点を有するものを対象とし、単独又は複数で研究開発に参加するものとする。ただし、国外の団体の特別の研究開発能力や研究施設等の活用又は国際標準獲得の観点から必要な場合は、当該の研究開発等に限り国外の団体と連携して実施することができるものとする。なお、各実施者の研究開発能力を最大限に活用し、効率的かつ効果的に研究開発を推進する観点から、NEDO は研究開発責任者(プロジェクトリーダー、以下「PL」という。)として国立大学法人東京大学 大学院情報理工学系研究科 教授 中村宏を選定し、各実施者は PL の下で研究開発を実施する。

## (2)研究開発の運営管理

NEDO は、研究開発全体の管理、執行に責任を負い、研究開発の進捗のほか、外部環境の変化等を適時に把握し、必要な措置を講じるものとする。運営管理は、効率的かつ効果的な方法を取り入れることとし、次に掲げる事項を実施する。

### ①研究開発の進捗把握・管理

PMgr は、PL や研究開発実施者と緊密に連携し、研究開発の進捗状況を把握する。また、必要に応じて、外部有識者で構成するアドバイザー委員会を組織し、定期的に技術的評価を受け、目標達成の見通しを常に把握することに努める。各テーマの進捗、成果の事業化の見通し等を踏まえ、必要に応じて、加速、縮小、実施体制の再構築を行う。

### ②技術分野における動向の把握・分析

PMgr は、プロジェクトで取り組む技術分野について、内外の技術開発動向、政策動向、市場動向等について調査し技術の普及方策を分析、検討する。なお、調査の効率化の観点から、本プロジェクトにおいて委託事業として実施する。

### ③研究開発テーマの評価

研究開発項目①については、研究開発を効率的に推進するためステージゲート方式を適用する。ステージゲートは原則 1 年経過した段階を目途に 1 度実施する。また、各テーマの事業期間終了後 1 年以内に事後評価を実施する。

毎年、研究開発テーマ毎の予算配分を精査する。

## 3. 研究開発の実施期間

2018 年度から 2022 年度までの 5 年間とする。

#### 4. 評価に関する事項

NEDO は技術評価実施規程に基づき、技術的及び政策的観点から研究開発の意義、目標達成度、成果の技術的意義並びに将来の産業への波及効果等について、プロジェクト評価を実施する。

評価の時期は、中間評価を 2020 年度、事後評価を 2023 年度とし、当該研究開発に係る技術動向、政策動向や当該研究開発の進捗状況等に応じて、前倒しする等、適宜見直すものとする。

また、中間評価結果を踏まえ必要に応じて研究開発の加速・縮小・中止等の見直しを迅速に行う。

なお、本プロジェクトは二つの研究開発項目が連携して成果を出す事業であることから、事業全体がナショナルプロジェクトに分類され、研究開発項目①及び研究開発項目②を含めてプロジェクト評価を実施する。

#### 5. その他重要事項

##### (1)研究開発成果の取り扱い

###### ①共通基盤技術の形成に資する成果の普及

研究開発実施者は、研究成果を広範に普及するよう努めるものとする。NEDO は、研究開発実施者による研究成果の広範な普及を促進する。

研究開発成果のうち共通基盤技術に係るものについては、プロジェクト内で速やかに共有した後、NEDO 及び実施者が協力して普及に努めるものとする。

###### ②標準化施策等との連携

得られた研究開発成果については、標準化等との連携を図ることとし、標準化に向けて開発する評価手法の提案、データの提供等を積極的に行う。

###### ③知的財産権の帰属、管理等取扱い

研究開発成果に関わる知的財産権については、「国立研究開発法人新エネルギー・産業技術総合開発機構 新エネルギー・産業技術業務方法書」第 25 条の規定等に基づき、原則として、全て委託先に帰属させることとする。なお、プロジェクト初期の段階から、事業化を見据えた知財戦略を構築し、適切な知財管理を実施する。

###### ④知財マネジメントに係る運用

本プロジェクトは、「NEDO プロジェクトにおける知財マネジメント基本方針」を適用する。

###### ⑤データマネジメントに係る運用

本プロジェクトは、「NEDO プロジェクトにおけるデータマネジメントに係る基本方針(委託者指定データを指定しない場合)」を適用する。

##### (2)「プロジェクト基本計画」の見直し



PMgrは、当該研究開発の進捗状況及びその評価結果、社会・経済的状況、国内外の研究開発動向、政策動向、研究開発費の確保状況等、プロジェクト内外の情勢変化を総合的に勘案し、必要に応じて目標達成に向けた改善策を検討し、達成目標、実施期間、実施体制等、プロジェクト基本計画を見直す等の対応を行う。

### (3)関係省庁の施策との連携

目標達成のため、関係省庁が実施する関連プロジェクトと必要に応じて連携する。

本プロジェクトは、内閣府「官民研究開発投資拡大プログラム(PRISM)」に登録されており、当該事業を通じた連携を必要に応じて行う。

また、NEDO「高効率・高速処理を可能とするAIチップ・次世代コンピューティングの技術開発事業」においては、必要に応じて開発したAIチップを用いたコンピューティング技術の開発に向けて成果を連携し、IoT社会を支える技術開発を幅広く推進することで実用化と市場展開を促進する。

### (4)根拠法

本プロジェクトは、国立研究開発法人新エネルギー・産業技術総合開発機構法第15条2号、3号及び9号に基づき実施する。

## 6. 基本計画の改訂履歴

(1)2018年3月、制定

(2)2020年9月 PMgr、PL、研究開発項目①の研究開発期間について修正

## (別紙 1)研究開発計画

### 研究開発項目①「AI チップに関するアイデア実用化に向けた開発」

#### 1. 研究開発の必要性

大量データの効率的かつ高度な利用を可能とする情報の収集、蓄積、解析、セキュリティなどの技術に加え、AI・次世代コンピューティング技術がエッジやクラウド領域において求められている。中でも、自動走行やロボティクスを始めとする分野では、従来のクラウドコンピューティングからネットワークの末端(エッジ)で中心的な情報処理を行うエッジコンピューティングへの分散が不可欠になると考えられており、エッジにおける処理の重要性や価値が高まると推察されている。特にエッジにおいては限られた資源を用いて効率的に処理を行う必要があるため、性能を飛躍的に向上させられる AI 技術の活用が期待されている。この転換期を日本の IT 産業が大幅に成長するチャンスと見据え、産学官の体制による野心的な技術開発を推進することが重要である。

我が国には、国内ベンチャー企業等を中心に、AI の知見はもとより、チップの開発に係る様々なアイデアや技術を持つ企業があり、新たなビジネスを創出させるイノベーションの種が存在している。多くの画期的なアイデアを実用化するために、AI チップに関するアイデアの実用化に向けた研究開発を加速することが不可欠である。

#### 2. 研究開発の具体的内容

AI チップに関するアイデアを実用化するため、専用の設計ツールを用いて論理設計等の基礎設計を行い、シミュレーション等により有効性を評価・検証する。さらに検証した成果をビジネス化するために企業との連携を進め、ビジネス化への道筋を立てる。

その他、AI チップの実用化に向けた研究開発において重要となる技術開発等についても、適宜開発を進める。

#### 3. 研究開発期間

原則 2 年以内とする。

研究開発を効率的に推進するため、ステージゲート方式を適用する。

#### 4. 達成目標

##### <中間目標(各事業 1 年目)>

- 現状以上の性能を有する AI 向けチップの設計を行い、評価・検証が可能な段階まで到達することを目標とする。
- 設計した AI 向けチップのビジネス化に向けたシナリオを作成する。

##### <最終目標(各事業 2 年目)>

- 設計した回路等を、シミュレーション等により、現状以上の性能を有することを検証する。

- 検証した AI 向けチップのビジネス化の道筋を立てる。

上記目標は、事業終了時点で社会実装先に求められる諸性能を満たすことを前提に、事業開始時に広く普及している技術と比較し評価する。また、事業初年度に設定する中間目標は、事業開始時期に応じて適宜修正、変更する。

上記の取組を通して、2023 年以降、順次技術の実用化率 50%以上を目指す。

## 研究開発項目②「AI チップ開発を加速する共通基盤技術の開発」

### 1. 研究開発の必要性

ネットワークの末端(エッジ)で中心的な情報処理を行うエッジコンピューティング技術の重要性や価値が高まる中、日本にはベンチャー企業を中心にAIに関する高度な技術が存在するが、競争力のあるAIチップを開発するためには、AIとチップの設計、ソフトとハード双方に関する知見と技術に加え、高額な設計ツールや設計検証設備等も必要であり、これがAIチップ開発とビジネス化に向けた高いハードルとなっている。

本事業では、大学や研究機関等による高度なAIチップ開発のための共通基盤技術の開発を進めるとともに、その知見や設計・評価・検証等の開発環境を民間企業等に提供することによって、民間企業等が持つAIチップのアイデア実用化を加速する。

### 2. 研究開発の具体的内容

高度なAIチップ開発を加速するために必要な共通基盤技術として、世界標準の商用基盤に接続することを目的とした、AIチップの設計・評価・検証等の開発環境を整備する。また、チップ開発を促進する共通技術の開発、IoTやAI技術を活用するための知見やノウハウを持った人材を育成する環境の整備を行い、革新的なアイデアの実現を加速する。

想定する研究開発テーマ例及び拠点整備例は下記のとおり。

#### (研究開発テーマ例)

- AIチップ設計のための共通基盤的なIP技術開発
- フリーソフトウェアやオープンソースソフトウェアのセキュリティの確認、開発。
- 設計したチップの性能を検証するツールやライブラリ、手法(クラウドを使った実証手法、設計ツールの活用を容易にするための手法も含む)の開発
- その他、共通基盤技術として重要な技術

#### (拠点整備例)

- 集積回路設計ツールや集積回路検証装置等を使用するための研究開発拠点の整備や運用
- AIチップの研究開発に必要となる各種ツール(FPGAによる実証も含む)の選定と導入
- 集積回路設計に必要なIP(Intellectual Property)等の提供とライセンス管理等
- 集積回路設計ツールや設計検証設備等の使用方法、集積回路設計技術等、IoT技術、AI技術を活用するためのノウハウを持った人材の育成のためのトレーニング環境等
- その他、拠点運用として重要な項目の整備

なお、整備する拠点は、AIチップの開発に対し、開発コストやリスク等から民間企業単独では挑戦できないような開発を行うための共通基盤を構築する。また、構築する共通基盤については、研究開発項目①の実施者等にも活用可能とし、AIチップ技術の開発を加速する。さらに、研究開発項目①の実施者の意向を収集し、共通基盤の機能を拡充する。

### 3. 研究開発期間

5年以内とする。

### 4. 達成目標

#### <中間目標(2020年度)>

- 本事業を通じて開発、整備した AI チップ設計のための共通基盤技術、学習環境、設計環境の活用件数 10 件以上を目標とする。

#### <最終目標(2022年度)>

- 本事業を通じて開発、整備した AI チップ設計のための共通基盤技術、学習環境、設計環境の活用件数 15 件以上を目標とする。

(別紙 2)研究開発スケジュール

	2018年度	2019年度	2020年度	2021年度	2022年度	2023年度
項目① AIチップに関するアイデア実用化に向けた開発（助成）	基礎設計	検証 基礎設計	検証 基礎設計	検証 基礎設計	検証	
項目② AIチップ開発を加速する共通基盤技術の開発（委託）	拠点整備・運用					
	拠点活用					
	基盤技術開発					
評価時期			中間評価			終了時評価

## ●プロジェクト開始時関連資料：

総合科学技術・イノベーション会議における事前評価結果を以下に記載する。なお、パブリックコメントは未実施である。

### 3. 1. 本事業の評価結果

全体評価としては、本事業が開発対象とする IoT、AI チップ及び次世代コンピューティング技術は、Society 5.0 の実現を支える重要な基盤技術であり、本事業で開発される基盤技術が様々な産業やサービスに活用され、我が国の産業競争力の維持・強化に貢献することが大いに期待されるものである。また、事業化・実用化を目指した民間における研究開発を促進する観点からも、本事業は国として主導的に取り組むべきものであり、国費を投入して実施する意義・必要性は認められる。しかしながら、今後事業を開始するにあたり解決すべき課題等があり、本課題等に対する指摘事項については、

3. 1. 1 以降の 2.3. 評価方法に基づく①から④の各調査項目における評価結果にて詳述する。

なお、解決すべき課題等の指摘事項については、最終目標に向けた定量的な KPI の設定のもと、国民に対する説明責任を果たすために、今後より厳格な NEDO での評価に努め、同様な分野の研究開発との柔軟な連携、情勢の変化等による目標の再設定、体制の変更、事業の加速・中止を含めた計画変更の要否を定期的に検討していくべきである。

#### 3. 1. 1 評価対象案件の実施府省等における評価の妥当性

実施府省・機関における本事業の評価は、本研究開発課題を設定し推進する NEDO が評価の実施主体となり、NEDO 技術評価実施規程に基づき、本事業の事前評価が行われている。評価に当たっては、本事業の成果(アウトプット)とその効果・効用(アウトカム)達成に至るまでの「道筋」を踏まえ、本事業に応じた評価項目・評価基準が設定され、外部の専門家・有識者で構成された「研究評価委員会」を設置して外部評価が行われており、その評価結果は国民に公開されるとともに事業毎に策定されている基本計画に反映していることから、「国の研究開発評価に関する大綱的指針」(平成 28 年 12 月 21 日内閣総理大臣決定)(以下「大綱的指針」という。)に沿って研究開発プログラムの評価が行われ、評価結果についても特段問題となる点は見受けられなかった。

また、本事業は、実施期間が 10 年間で予定する長期間にわたる研究開発であることから、達成度を評価してから次の段階に進む方法を導入する計画として事業期間中に 2 回の中間評価(2020 年度及び 2024 年度)の実施、2023 年度前には中期計画切り替えに伴う事業見直しを予定しており、目標達成度の把握、社会経済情勢等の変化を踏まえた改善・見直しを行う計画となっている。経済産業省では、NEDO における評価結果を踏まえた予算要求や上位の施策への反映を行う体制となっており、適切な評価の実施体制が執られている。

今後の評価においては、大綱的指針にある研究開発プログラムとしての評価をより意識し、政策等を立案・推進する側(経済産業省・NEDO)とその下で研究開発を実施する側(今後選定される実施研

究機関)との役割分担と責任の所在を明確化し、個別の研究開発課題の活動から得られるアウトプット情報・アウトカム情報等をもとに、政策等を立案・推進する側において明確化された道筋について、アウトカム目標の達成状況や達成見込み、研究開発過程の有効性や効率性を確認していくことが望まれる。

### 3. 1. 2 関連する上位の政策・施策等の目標を達成するための道筋

「第5期科学技術基本計画」(平成28年1月閣議決定)の中では、我が国が目指すべき未来社会の姿である Society 5.0 の実現に向けて、サービスプラットフォームの構築に必要で速やかな強化を図るのが必要な基盤技術として、IoT、大規模データの高速・リアルタイム処理を低消費電力で実現するための「デバイス技術」、IoT の高度化に必要となる現場システムでのリアルタイム処理の高速化や多様化を実現する「エッジコンピューティング」等が挙げられている。また、「科学技術イノベーション総合戦略2017」(平成29年6月閣議決定)では、Society 5.0 を実現するプラットフォームの構築に向けて重きを置くべき取組として基盤技術の強化が提唱されており、サイバー空間関連の基盤技術の強化としては「エッジコンピューティング等の研究開発の推進」が、フィジカル空間関連の基盤技術の強化として「超小型・超低消費電力デバイスの開発」等が挙げられている。

さらに、政府の成長戦略である「未来投資戦略2017」(平成29年6月閣議決定)においても、イノベーション・ベンチャーを生み出す好循環システムのための重点投資すべき分野の一つとして、「人工知能の研究開発目標と産業化のロードマップ」に基づき、AI 学習効率の向上、自然言語処理、ディープラーニング翻訳、超高効率 AI 処理に資する半導体及び革新的センサー等の基盤技術開発及びその組み込みシステムへの適用を加速することが挙げられている。本事業は、当該ロードマップにおける半導体アーキテクチャのうち、フェーズ1(2020年)までに開発を進める「AI 対応型半導体」、及びフェーズ2(2025年から2030年頃)までに開発を進める「全く新しいアーキテクチャ(脳型、量子等)」に該当している。

これら政府の計画・戦略に関連して、経済産業省は、我が国産業が目指す姿(コンセプト)として、2017年3月に Connected Industries を提唱し、同コンセプトを実現するために重点分野を定めつつ政策資源を集中投入し、横断的な政策を推進するとしている。本事業は、横断的な政策である「データ活用に向けた基盤整備」の中の「革新的な AI チップ開発の促進」に位置付けられ、2018年度の経済産業政策の重点施策の一つとされている。

以上の関連する上位の政策・施策等の目標を達成するため、本事業の成果とその目標達成に向けた道筋には妥当性があり、非連続なイノベーションを創出する挑戦的な研究開発を進める戦略性が認められる。

本事業により創出される効果・効用は広く産業や社会全体に及ぶものであり、また、例えば自動運転や産業機械、医療機器といった AI 関連分野における今後の国際市場に大きく影響するもので、我が国産業の国際競争力の強化にとって極めて重要な技術となり得るものである。このため、本分野は世界的に様々な方向性を模索している段階であり、長期的な視点での予測が難しい状況であるが、本分野における総合科学技術・イノベーション会議や人工知能技術戦略会議等の政府の関連会議におけ



る将来のグランドデザインやシナリオを関係者間で共有しつつ、経済産業省が主体となってそれらを踏まえた本分野における我が国産業の育成・強化に向けた戦略やアウトカム目標とともに、それらを達成する道筋を時間軸に沿ってより明確化していく必要がある。

### 3. 1. 3 研究開発の目標・実施内容

#### (1) 研究開発の実施内容

次世代コンピューティングの技術開発に関しては、半導体やコンピューター分野での世界における我が国の現状のプレゼンスを考えると、研究開発の意義は認められる。しかしながら、社会実装や国際競争力の観点から、単にハードウェアの研究・開発のみならず、ミドルウェア開発、アルゴリズム開発が重要となっており、また、ユーザーに近いアプリケーション・サービスと基礎的なコンピュータサイエンスでの研究開発を強化する必要がある。この観点から、より戦略的な研究開発の目標や実施内容を検討するためには、政府が目指す Society 5.0 や Connected Industries を実現するサービスや応用を想定したトップダウン的思想により、我が国が世界に対し競争力を有するアプリケーションを具体的に特定し、育成すべき産業の方向性や達成すべき機能／非機能要件を明確にした上で、エッジ側のみならずサイバー・フィジカル界面層技術やネットワーク技術等を含めたサイバー・フィジカル・システムに関する技術全体の進展を俯瞰したアーキテクチャの検討が必要不可欠であり、同様の研究開発を行う機関や企業の動向と連動して、本事業による研究開発目標の更なる具体化を図る必要がある。

また、本事業の成果を我が国産業の国際競争力強化につなげていくためには、国際標準化を睨んだ共通基盤技術としての横断的な活動とそれに関連したマネジメントが必要であり、テーマによらない共通基盤を築き上げ、それを国際標準化した上で、個別テーマ毎のアプリケーションを開発することも考慮すべきである。

#### (2) 府省連携、産学官での連携

次世代コンピューティングの技術開発は、医療、ヘルスケア、防災・減災、インフラ老朽化、インフラ維持等社会が直面する社会課題や、新素材、創薬等のサイエンス領域といった幅広い応用が期待できるものであり、国家として戦略的に取組むことが重要である。その実施にあたっては、総合科学技術・イノベーション会議が進める IMPACT 等で実施されている既存プロジェクト(例：量子人工脳を量子ネットワークでつなぐ高度知識社会基盤の実現)や関連府省の同領域の研究開発、国内企業等との連携を積極的に進めることが必要である。

また、総合科学技術・イノベーション会議においては、2018 年度に官民研究開発投資拡大プログラム(PRISM)を新たに創設し、そのターゲット領域として、「革新的フィジカル空間基盤技術」を設定する予定である。同プログラムにおいては、経済産業省が実施する「AI チップ開発加速のためのイノベーション推進事業(2018 年度予算概算要求額 26 億円(新規))」を含め、各府省が実施するセンサーやエッジコンピューティング、アクチュエータ等に係る研究開発(対象施策)を政府全体として一体的に進めるべく支援する方針である。

本事業については、エネルギー対策特別会計により予算措置がなされる見込みであり、PRISMの対象施策とはしないものの、同ターゲット領域に該当する施策であることから、政府全体として、本領域に係る研究開発と整合性を持って進めていく観点から、総合科学技術・イノベーション会議やPRISM革新的フィジカル基盤技術を担当する領域統括等との緊密な連携の下、推進すべきである。そのため、本事業の実施に当たり、その実施主体であるNEDOと総合科学技術・イノベーション会議とで、PRISMとの連携のための体制の整備や、具体的な連携の進め方等に係る検討を進める必要がある。

### 3. 1. 4 研究開発マネジメント

NEDOにおける研究開発マネジメントとしては、外部有識者で構成された研究評価委員会を設置して、外部評価による事前評価(実施済)及び中間評価(今後、概ね3年毎に実施予定)が実施され、別途設置予定の外部有識者によるアドバイザー委員会においては、事業の進捗に応じた技術的課題に対する助言が行われこととなり、それらの結果は実施研究機関の事業計画や予算配分等に適時反映する方針としている。以上から、適切な研究開発マネジメント体制が整備されているものと評価できる。一方、本事業において非連続なイノベーションの創出を加速するためには、研究開発を実施する主体の長(リーダー)の権限強化、成果の最大化のための体制作り、有機的な連携や多様な専門知の結集による実用化までを考慮した取組等をそのマネジメントにおいてさらに目指すべきである。また、マネジメントとプロデューサーの役割を担うプログラムマネージャー等の導入や新しいアイデアを持つ研究者への機会の付与等の挑戦的な研究開発の推進に適した手法や評価方法を検討しつつ、情勢変化を踏まえて実施計画や体制を柔軟に見直すPDCAプロセスを適切に設定するべきである。

本事業における実施研究機関やリーダーは事業の開始後に選定され、設定された課題の下で研究開発が実施されていくことになるが、今後明確化されていく本分野における我が国産業の育成・強化に向けた戦略やアウトカム目標、それらを達成する道筋等を考慮して、特に産業化を担う主体を意識した選定が行われ、関連府省等における同領域の研究開発動向と協調して研究開発が実施されていくべきである。

また、我が国における本研究領域での人材や中小・ベンチャー企業を早急に育成する必要があり、「科学技術イノベーション総合戦略2017」においても我が国におけるイノベーション創出に向けた人材、知、資金の好循環システムの構築として、オープンイノベーションの推進、新規事業に挑戦する人材を含む中小・ベンチャー企業の創出、知的財産・標準化戦略及び制度等の取組の強化を掲げていることから、本事業を推進する中でこれらの観点を考慮した研究開発マネジメントを実施するべきである。

## ●研究発表・講演、論文、特許等のリスト

### (1) 研究発表・講演

番号	発表者	所属	タイトル	学会名・イベント名等	発表年月
1	内山邦男	国立研究開発法人 産業技術総合研究 所	NEDO事業：「AIチップ開発加速のためのイノベーション推進事業」AIチップ設計拠点	第37回エナジーハーベストコンソーシアム総会	2019年7月
2	内山邦男	国立研究開発法人 産業技術総合研究 所	NEDO事業：「AIチップ開発加速のためのイノベーション推進事業」AIチップ設計拠点」紹介および運営方針	第1回NV-FPGA研究会	2019年7月
3	内山邦男	国立研究開発法人 産業技術総合研究 所	NEDO事業：「AIチップ開発加速のためのイノベーション推進事業」AIチップ設計拠点	第1回トリオンノード研究会	2019年8月
4	内山邦男	国立研究開発法人 産業技術総合研究 所	AIチップの開発を加速するAIチップ設計拠点	学振154委員会 第113回研究会	2019年9月
5	内山邦男	国立研究開発法人 産業技術総合研究 所	論理エミュレーション技術への期待-AIチップ設計拠点の立場から-	Cadence検証フォーラム	2019年9月
6	内山邦男	国立研究開発法人 産業技術総合研究 所	AIチップ設計拠点	RISC-V Day Tokyo 2020	2020年11月
7	内山邦男	国立研究開発法人 産業技術総合研究 所	AIチップ設計拠点 -新しいパラダイムの構築に向けて-	DAシンポジウム2020	2020年9月
8	内山邦男	国立研究開発法人 産業技術総合研究 所	AIチップ設計拠点	TRASIO第二回 オープンフォーラム	2021年10月
9	長谷川淳	国立大学法人東京 大学	Hot Interconnects における技術動向	AIチップ設計拠点 フォーラム(第28 回)	2021年10月
10	内山邦男	国立研究開発法人 産業技術総合研究 所	RISC-Vとオープン化への期待 AIチップ設計拠点の観点から	RISC-V Days Tokyo 2021 Autumn	2021年11月
11	池田誠	国立大学法人東京 大学	VDEC / d.lab & AI拠点 ～チップの民主化とRISC-V～	RISC-V Days Tokyo 2021 Autumn	2021年11月

12	五十嵐泰史	国立研究開発法人 産業技術総合研究所	IEDMにおける半導体技術の開発動向	AIチップ設計拠点 フォーラム(第30 回)	2021年12 月
13	内山邦男	国立研究開発法人 産業技術総合研究所	AIチップ設計拠点 -日本のAIチップに向けた取り組みと 世界の動き-	電子デバイス界面 テクノロジー研究会 (EDIT26)	2021年1月
14	内山邦男	国立研究開発法人 産業技術総合研究所	AIチップ設計拠点 -パラダイムシフトの時代に-	Design Solution Forum 2020	2021年2月
15	内山邦男	国立研究開発法人 産業技術総合研究所	AIチップ設計拠点	RISC-V Days Tokyo 2021 S pring	2021年4月
16	荒川文男	国立大学法人東京 大学	COOL Chips 24 における先端チップの動向	AIチップ設計拠点 フォーラム(第22 回)	2021年4月
17	荒川文男	国立大学法人東京 大学	エミュレータ上でのRISC-VプロセッサによるLinuxブート	RISC-V Days Tokyo 2021 S pring	2021年4月
18	池田誠	国立大学法人東京 大学	チップの民主化とVDEC, d.labおよびAI拠点	RISC-V Days Tokyo 2021 S pring	2021年4月
19	長谷川淳 中一郎	国立大学法人東京 大学 国立研究開 発法人産業技術総 合研究所	AI アクセラレータ向け評価プラットフォームと評価チップ(A I-One)	AIチップ設計拠点 フォーラム(第23 回)	2021年5月
20	内山邦男 長谷川淳	国立研究開発法人 産業技術総合研究 所 国立大学法人 東京大学	AIチップ設計拠点-エッジ向けAIチップの開発を加速	LSIとシステムのワ ークショップ(電子 情報通信学会)	2021年5月
21	五十嵐泰 史	国立研究開発法人 産業技術総合研究 所	2021 VLSI Technology に見る半導体技術動向	AIチップ設計拠点 フォーラム(第24 回)	2021年6月
22	更田裕司 大内真一	国立研究開発法人 産業技術総合研究 所	2021 Symposium ON VLSI Circuits での AI チップ研究動向	AIチップ設計拠点 フォーラム(第25 回)	2021年7月
23	内山邦男	国立研究開発法人 産業技術総合研究 所	AIチップ設計拠点	第1回 産総研 次世代コンピュー ティング基盤開発 拠点シンポジウム	2021年7月

24	荒川文男	国立大学法人東京大学	Hot Chips 33 における AI チップ研究開発動向	AIチップ設計拠点フォーラム(第26回)	2021年8月
25	池田誠、長谷川淳	国立大学法人東京大学	回路設計・アーキテクチャ設計・アルゴリズム設計とSOC設計	【フォーラム開催】AIチップ設計拠点フォーラム(第40回)	2022年10月
26	長谷川淳、中一郎	国立研究開発法人産業技術総合研究所・国立大学法人東京大学	複数のヘテロジニアスIPコアを評価するためのSOCプラットフォームの構築と評価	【フォーラム開催】AIチップ設計拠点フォーラム(第40回)	2022年10月
27	内山邦男	国立研究開発法人産業技術総合研究所	AIチップの開発動向とAIチップ設計拠点の活動	第13回光・電波フォーラム	2022年11月
28	長谷川淳、中一郎	国立研究開発法人産業技術総合研究所・国立大学法人東京大学	複数のヘテロジニアスIPコアを評価するためのSOCプラットフォームの構築と評価	Design Solution Forum 2022	2022年11月
29	長谷川淳、中一郎	国立研究開発法人産業技術総合研究所・国立大学法人東京大学	複数のヘテロジニアスIPコアを評価・デモするためのSOCプラットフォームの構築と評価	Edge Tech 2022	2022年11月
30	大内真一	国立研究開発法人産業技術総合研究所	AI-accelerator proof Of concept by a multi-IP chip project	2022 IEEE CPMT Symposium Japan (ICSJ)	2022年11月
31	荒川文男	国立大学法人東京大学	AI-Oneプラットフォームのハードウェアエミュレータ上での検証環境構築	【Webフォーラム開催】AIチップ設計拠点フォーラム(第42回)	2022年12月
32	藤田昌宏	国立大学法人東京大学	確実に動作させるためのSOC検証技術：エミュレーション、プロトタイピング、そして形式的検証	【Webフォーラム開催】AIチップ設計拠点フォーラム(第42回)	2022年12月
33	池田誠	国立大学法人東京大学	AIチップ設計拠点および成果例紹介	先進半導体・デザインで拓く未来社会創成シンポジウム	2022年1月
34	内山邦男	国立研究開発法人産業技術総合研究所	AIチップ開発の現状～設計環境の整備と加速に向けて	ITmedia Virtual EXPO 2022 春(アイティメディア)	2022年2月

				EE TImEs Ja pan)	
35	更田裕司	国立研究開発法人 産業技術総合研究 所	ISSCC2022におけるAIチップ研究動向	AIチップ設計拠点 フォーラム(第30 回)	2022年2月
36	長谷川淳 中一郎	国立大学法人東京 大学 国立研究開 発法人産業技術総 合研究所	AI-One チップおよび評価プラットフォーム	AIチップ設計拠点 フォーラム(第33 回)	2022年3月
37	大内真一	国立研究開発法人 産業技術総合研究 所	AI-One 評価プラットフォーム開発協力会社からのプレ ゼンテーション	AIチップ設計拠点 フォーラム(第33 回)	2022年3月
38	更田裕司	国立研究開発法人 産業技術総合研究 所	Symposium ON Technology aNd Circuits 20 22 におけるAIチップ向け回路設計技術の研究動向	【Webフォーラム 開催】AIチップ設 計拠点フォーラム( 第36回)	2022年6月
39	内山邦男	国立研究開発法人 産業技術総合研究 所	ポストムーアの半導体技術とAIチップ設計拠点の活動	RISC-V Day T okyo 2022 Sp ring	2022年6月
40	五十嵐泰 史	国立研究開発法人 産業技術総合研究 所	2022 Symposium ON VLSI Technologyにみ る半導体技術動向	【Webフォーラム 開催】AIチップ設 計拠点フォーラム( 第37回)	2022年7月
41	長谷川淳、 島津之彦、 池田誠、中 一郎、大内 真一	国立研究開発法人 産業技術総合研究 所・国立大学法人 東京大学	SOC PLATFORM FOR HETEROGENEOUS MU LTIPLE IP CORE EVALUATION	59th 2022 De sign Automati on Conference	2022年7月
42	池田誠、長 谷川淳	国立大学法人東京 大学	Vail WorkshopとDAC 2022に見る技術動向	【Webフォーラム 開催】AIチップ設 計拠点フォーラム( 第37回)	2022年7月
43	内山邦男	国立研究開発法人 産業技術総合研究 所	AIチップの開発動向とAIチップ設計拠点	HIYA・3DPI共 催研究会	2022年8月
44	荒川文男	国立大学法人東京 大学	Hot Chips 2022にみる最先端チップの開発動向	【Webフォーラム 開催】AIチップ設 計拠点フォーラム( 第39回)	2022年9月

45	内山邦男	国立研究開発法人 産業技術総合研究 所	AIチップ設計拠点 ー半導体チップの開発ハブとしてー	NV-FPGA Initiative 第4回公開シンポジウム	2023年3月
46	更田裕司	国立研究開発法人 産業技術総合研究 所	ISSCC2023におけるAIチップ研究動向	【Webフォーラム 開催】AIチップ設計 拠点フォーラム( 第45回)	2023年3月
47	大内真一	国立研究開発法人 産業技術総合研究 所	マルチIP SOCによるドメイン・スペシフィック・アクセラレータ のNREコスト削減	第70回応用物理 学会春季学術講 演会	2023年3月

## (2) 特許等

番号	出願者	出願番号	国内・外国 ・PCT	出願日	状態	名称
1	株式会社テックイ デア	特願2020- 550012 (PCT/JP2019/03 2573)	PCT	2019.8.21	公開済	イメージ センサ
2	株式会社カイ	特願2020- 216728	国内	2020.12.25	公開済	癌の再発可能性 を判定する再発 判定装置および 再発判定方法
3	株式会社テクノア クセルネットワー クス	特願2021- 118796	国内	2021.7.19	公開済	データベース管理 システム及び通信 システム
4	—	—	国内	—	出願済	—
5	—	—	国内	—	出願済	—
6	—	—	国内	—	出願済	—
7	—	—	国内	—	出願済	—
8	メイビスデザイン株 式会社	特願2023- 074432	国内	2023.4.28	登録済	相互接続制御回 路

## (3) 成果普及の努力

番号	発表者	所属	タイトル	雑誌名・学会名・ イベント名等	発表年月
1	国立研究開発法人 産業技術総合研究 所・国立大学法人 東京大学	国立研究開発法人 産業技術総合研究 所・国立大学法人 東京大学	AIチップ開発を支援する「AIチ ップ設計拠点」を構築 ー わ が国の革新的なAIチップアイ デアの実現を加速 ー	産業技術総合研究 所ウェブサイト 東 京大学工学部ウ ェブページ	2018年12月

2	国立研究開発法人 産業技術総合研究 所・国立大学法人 東京大学	国立研究開発法人 産業技術総合研究 所・国立大学法人 東京大学	AIチップ設計拠点フォーラム( 第1回)	フォーラム	2019年5月
3	国立研究開発法人 産業技術総合研究 所・国立大学法人 東京大学	国立研究開発法人 産業技術総合研究 所・国立大学法人 東京大学	AIチップ設計拠点フォーラム( 第2回)	フォーラム	2019年6月
4	国立研究開発法人 産業技術総合研究 所・国立大学法人 東京大学	国立研究開発法人 産業技術総合研究 所・国立大学法人 東京大学	AIチップ設計拠点フォーラム( 第3回)	フォーラム	2019年7月
5	国立研究開発法人 産業技術総合研究 所・国立大学法人 東京大学	国立研究開発法人 産業技術総合研究 所・国立大学法人 東京大学	AIチップ設計拠点フォーラム( 第4回)	フォーラム	2019年9月
6	国立研究開発法人 産業技術総合研究 所・国立大学法人 東京大学	国立研究開発法人 産業技術総合研究 所・国立大学法人 東京大学	AIチップ設計拠点フォーラム( 第5回)	フォーラム	2019年10月
7	国立研究開発法人 産業技術総合研究 所・国立大学法人 東京大学	国立研究開発法人 産業技術総合研究 所・国立大学法人 東京大学	AIチップ開発のための設計拠 点	CEATEC2019	2019年10月
8	NEDO(国立研究 開発法人新エネル ギー・産業技術総 合開発機構) 国 立研究開発法人産 業技術総合研究所 国立大学法人東 京大学	NEDO(国立研究 開発法人新エネル ギー・産業技術総 合開発機構) 国 立研究開発法人産 業技術総合研究所 国立大学法人東 京大学	AIチップ開発加速のための「AI チップ設計拠点」が稼働開始 —設計・評価ツールの提供に より、中小・ベンチャーのチップ 開発加速を目指す—	NEDOウェブページ 産業技術総合研 究所ウェブページ 東京大学工学部ウ ェブページ	2019年10月
9	国立研究開発法人 産業技術総合研究 所・国立大学法人 東京大学	国立研究開発法人 産業技術総合研究 所・国立大学法人 東京大学	AIチップ設計拠点フォーラム( 第6回)	フォーラム	2019年11月
10	国立研究開発法人 産業技術総合研究 所・国立大学法人 東京大学	国立研究開発法人 産業技術総合研究 所・国立大学法人 東京大学	AIチップ設計拠点フォーラム( 第7回)	フォーラム	2019年12月



11	国立研究開発法人 産業技術総合研究 所・国立大学法人 東京大学	国立研究開発法人 産業技術総合研究 所・国立大学法人 東京大学	AIチップ開発加速のためのイノ ベーション推進事業	NEDOフェスタIN関 西2019	2019年12月
12	国立大学法人東京 大学	国立大学法人東京 大学	高位合成ツール「Catapult」 セミナー	セミナー	2019年12月
13	国立研究開発法人 産業技術総合研究 所・国立大学法人 東京大学	国立研究開発法人 産業技術総合研究 所・国立大学法人 東京大学	AIチップ設計拠点活動開始 記念公開シンポジウム	シンポジウム	2019年2月
14	国立研究開発法人 産業技術総合研究 所・国立大学法人 東京大学	国立研究開発法人 産業技術総合研究 所・国立大学法人 東京大学	AIチップ設計拠点フォーラム( 第8回)	フォーラム	2020年1月
15	国立研究開発法人 産業技術総合研究 所・国立大学法人 東京大学	国立研究開発法人 産業技術総合研究 所・国立大学法人 東京大学	エミュレータとエミュレータ・シミュ レータ協調検証環境セミナー	セミナー	2020年1月
16	国立研究開発法人 産業技術総合研究 所・国立大学法人 東京大学	国立研究開発法人 産業技術総合研究 所・国立大学法人 東京大学	AIチップ設計拠点フォーラム( 第9回)	webフォーラム	2020年3月
17	国立大学法人東京 大学	国立大学法人東京 大学	論理検証に関するWebセミナ ー	webセミナー	2020年3月
18	国立研究開発法人 産業技術総合研究 所・国立大学法人 東京大学	国立研究開発法人 産業技術総合研究 所・国立大学法人 東京大学	AIチップ設計拠点フォーラム( 第10回)	webフォーラム	2020年4月
19	国立研究開発法人 産業技術総合研究 所・国立大学法人 東京大学	国立研究開発法人 産業技術総合研究 所・国立大学法人 東京大学	AIチップ設計拠点フォーラム( 第11回)	webフォーラム	2020年5月
20	国立研究開発法人 産業技術総合研究 所・国立大学法人 東京大学	国立研究開発法人 産業技術総合研究 所・国立大学法人 東京大学	AIチップ設計拠点フォーラム( 第12回)	webフォーラム	2020年6月
21	国立研究開発法人 産業技術総合研究 所・国立大学法人 東京大学	国立研究開発法人 産業技術総合研究 所・国立大学法人 東京大学	AIチップ設計拠点フォーラム( 第13回)	webフォーラム	2020年7月

22	国立研究開発法人 産業技術総合研究 所・国立大学法人 東京大学	国立研究開発法人 産業技術総合研究 所・国立大学法人 東京大学	AIチップ設計拠点フォーラム( 第14回)	webフォーラム	2020年8月
23	国立研究開発法人 産業技術総合研究 所・国立大学法人 東京大学	国立研究開発法人 産業技術総合研究 所・国立大学法人 東京大学	AIチップ設計拠点フォーラム( 第15回)	webフォーラム	2020年9月
24	国立研究開発法人 産業技術総合研究 所・国立大学法人 東京大学	国立研究開発法人 産業技術総合研究 所・国立大学法人 東京大学	AIチップ設計拠点フォーラム( 第16回)	webフォーラム	2020年10月
25	国立研究開発法人 産業技術総合研究 所・国立大学法人 東京大学	国立研究開発法人 産業技術総合研究 所・国立大学法人 東京大学	高位合成セミナー	webセミナー	2020年10月
26	国立研究開発法人 産業技術総合研究 所・国立大学法人 東京大学	国立研究開発法人 産業技術総合研究 所・国立大学法人 東京大学	AIチップ設計拠点フォーラム( 第17回)	webフォーラム	2020年11月
27	国立研究開発法人 産業技術総合研究 所・国立大学法人 東京大学	国立研究開発法人 産業技術総合研究 所・国立大学法人 東京大学	AIチップ設計拠点フォーラム( 第18回)	webフォーラム	2020年12月
28	国立研究開発法人 産業技術総合研究 所・国立大学法人 東京大学	国立研究開発法人 産業技術総合研究 所・国立大学法人 東京大学	AIチップ設計拠点フォーラム( 第19回)	webフォーラム	2021年1月
29	国立研究開発法人 産業技術総合研究 所・国立大学法人 東京大学	国立研究開発法人 産業技術総合研究 所・国立大学法人 東京大学	AIチップ設計拠点フォーラム( 第20回)	webフォーラム	2021年2月
30	国立研究開発法人 産業技術総合研究 所・国立大学法人 東京大学	国立研究開発法人 産業技術総合研究 所・国立大学法人 東京大学	エミュレータ・シミュレータ協調 検証セミナー(1)	webセミナー	2021年2月
31	国立研究開発法人 産業技術総合研究 所・国立大学法人 東京大学	国立研究開発法人 産業技術総合研究 所・国立大学法人 東京大学	AIチップ設計拠点フォーラム( 第21回)	webフォーラム	2021年3月

32	国立研究開発法人 産業技術総合研究 所・国立大学法人 東京大学	国立研究開発法人 産業技術総合研究 所・国立大学法人 東京大学	エミュレータ・シミュレータ協調 検証セミナー(2)	webセミナー	2021年3月
33	国立研究開発法人 産業技術総合研究 所・国立大学法人 東京大学	国立研究開発法人 産業技術総合研究 所・国立大学法人 東京大学	論理エミュレータ技術講座(1)	webセミナー	2021年3月
34	国立研究開発法人 産業技術総合研究 所・国立大学法人 東京大学	国立研究開発法人 産業技術総合研究 所・国立大学法人 東京大学	AIチップ設計拠点フォーラム( 第22回)	webフォーラム	2021年4月
35	国立研究開発法人 産業技術総合研究 所・国立大学法人 東京大学	国立研究開発法人 産業技術総合研究 所・国立大学法人 東京大学	論理エミュレータ技術講座(2)	webセミナー	2021年4月
36	国立研究開発法人 産業技術総合研究 所・国立大学法人 東京大学	国立研究開発法人 産業技術総合研究 所・国立大学法人 東京大学	AIチップ設計拠点フォーラム( 第23回)	webフォーラム	2021年5月
37	NEDO(国立研究 開発法人新エネル ギー・産業技術総 合開発機構) 国 立研究開発法人産 業技術総合研究所 国立大学法人東 京大学	NEDO(国立研究 開発法人新エネル ギー・産業技術総 合開発機構) 国 立研究開発法人産 業技術総合研究所 国立大学法人東 京大学	複数のAIアクセラレータを搭載 した評価チップの設計を完了、 試作を開始 一短期間で低コ ストのAIチップ設計・評価手法 の確立へ	NEDOウェブページ 産業技術総合研 究所ウェブページ 東京大学工学部ウ ェブページ	2021年5月
38	国立研究開発法人 産業技術総合研究 所・国立大学法人 東京大学	国立研究開発法人 産業技術総合研究 所・国立大学法人 東京大学	論理エミュレータ技術講座(3)	webセミナー	2021年5月
39	国立研究開発法人 産業技術総合研究 所・国立大学法人 東京大学	国立研究開発法人 産業技術総合研究 所・国立大学法人 東京大学	AIチップ設計拠点フォーラム( 第24回)	webフォーラム	2021年6月
40	国立研究開発法人 産業技術総合研究 所・国立大学法人 東京大学	国立研究開発法人 産業技術総合研究 所・国立大学法人 東京大学	エミュレータを利用した検証の 高速化に向けたテストベンチ作 成方法	webセミナー	2021年6月

41	国立研究開発法人 産業技術総合研究 所・国立大学法人 東京大学	国立研究開発法人 産業技術総合研究 所・国立大学法人 東京大学	AIチップ設計拠点フォーラム( 第25回)	webフォーラム	2021年7月
42	国立研究開発法人 産業技術総合研究 所・国立大学法人 東京大学	国立研究開発法人 産業技術総合研究 所・国立大学法人 東京大学	シミュレータ・エミュレータによる 協調検証環境(EmuForge) を用いた検証効率向上	webセミナー	2021年7月
43	渡邊 幸美 森 昭人	ふくおかIST 企業 支援G°	AIチップ設計サテライト拠点 オープンソースEDA利用説明 会	オープンソースEDA 説明会	2021年7月
44	国立研究開発法人 産業技術総合研究 所・国立大学法人 東京大学	国立研究開発法人 産業技術総合研究 所・国立大学法人 東京大学	AIチップ設計拠点フォーラム( 第26回)	webフォーラム	2021年8月
45	国立研究開発法人 産業技術総合研究 所・国立大学法人 東京大学	国立研究開発法人 産業技術総合研究 所・国立大学法人 東京大学	AIチップ設計拠点フォーラム( 第27回)	webフォーラム	2021年9月
46	国立研究開発法人 産業技術総合研究 所・国立大学法人 東京大学	国立研究開発法人 産業技術総合研究 所・国立大学法人 東京大学	AIチップ設計拠点フォーラム( 第28回)	webフォーラム	2021年10月
47	国立研究開発法人 産業技術総合研究 所・国立大学法人 東京大学	国立研究開発法人 産業技術総合研究 所・国立大学法人 東京大学	AIチップ設計拠点フォーラム( 第29回)	webフォーラム	2021年11月
48	国立研究開発法人 産業技術総合研究 所・国立大学法人 東京大学	国立研究開発法人 産業技術総合研究 所・国立大学法人 東京大学	エミュレータ初心者講習会	webセミナー	2021年11月
49	国立研究開発法人 産業技術総合研究 所・国立大学法人 東京大学	国立研究開発法人 産業技術総合研究 所・国立大学法人 東京大学	AIチップ設計拠点フォーラム( 第30回)	webフォーラム	2021年12月
50	国立研究開発法人 産業技術総合研究 所・国立大学法人 東京大学	国立研究開発法人 産業技術総合研究 所・国立大学法人 東京大学	AIチップ設計拠点フォーラム( 第31回)	webフォーラム	2022年1月
51	国立研究開発法人 産業技術総合研究	国立研究開発法人 産業技術総合研究	RISC-VベースSOCのソフト・ ハード協調検証トレーニング	webセミナー	2022年1月

	所・国立大学法人 東京大学	所・国立大学法人 東京大学			
52	渡邊 幸美 森 昭人	ふくおかIST 企業 支援G°	オープンソースEDA環境の説明	オープンソースEDA 講演会	2022年1月
53	国立研究開発法人 産業技術総合研究 所・国立大学法人 東京大学	国立研究開発法人 産業技術総合研究 所・国立大学法人 東京大学	AIチップ設計拠点フォーラム( 第32回)	webフォーラム	2022年2月
54	国立研究開発法人 産業技術総合研究 所・国立大学法人 東京大学	国立研究開発法人 産業技術総合研究 所・国立大学法人 東京大学	AIチップ設計拠点フォーラム( 第33回)	webフォーラム	2022年3月
55	国立研究開発法人 産業技術総合研究 所・国立大学法人 東京大学	国立研究開発法人 産業技術総合研究 所・国立大学法人 東京大学	論理エミュレータワークショップ	webセミナー	2022年3月
56	NEDO(国立研究 開発法人新エネル ギー・産業技術総 合開発機構) 国 立研究開発法人産 業技術総合研究所 国立大学法人東 京大学	NEDO(国立研究 開発法人新エネル ギー・産業技術総 合開発機構) 国 立研究開発法人産 業技術総合研究所 国立大学法人東 京大学	複数のAIアクセラレータを搭載 した実証チップ「AI-One」の動 作を確認 ―従来比45%以 下の短期間で低コストのAIチ ップ設計・評価が可能に―	NEDOウェブページ 産業技術総合研 究所ウェブページ 東京大学工学部ウ ェブページ	2022年3月
57	国立研究開発法人 産業技術総合研究 所・国立大学法人 東京大学	国立研究開発法人 産業技術総合研究 所・国立大学法人 東京大学	AIチップ設計拠点フォーラム( 第34回)	webフォーラム	2022年4月
58	国立研究開発法人 産業技術総合研究 所・国立大学法人 東京大学	国立研究開発法人 産業技術総合研究 所・国立大学法人 東京大学	エミュレータセミナー	webセミナー	2022年4月
59	国立研究開発法人 産業技術総合研究 所・国立大学法人 東京大学	国立研究開発法人 産業技術総合研究 所・国立大学法人 東京大学	AIチップ設計拠点フォーラム( 第35回)	webフォーラム	2022年5月
60	国立研究開発法人 産業技術総合研究 所・国立大学法人 東京大学	国立研究開発法人 産業技術総合研究 所・国立大学法人 東京大学	2022エミュレータ初心者講習 会	webセミナー	2022年6月

61	国立研究開発法人 産業技術総合研究 所・国立大学法人 東京大学	国立研究開発法人 産業技術総合研究 所・国立大学法人 東京大学	AIチップ設計拠点フォーラム( 第36回)	webフォーラム	2022年6月
62	国立研究開発法人 産業技術総合研究 所・国立大学法人 東京大学	国立研究開発法人 産業技術総合研究 所・国立大学法人 東京大学	AIチップ設計拠点フォーラム( 第37回)	webフォーラム	2022年7月
63	国立研究開発法人 産業技術総合研究 所・国立大学法人 東京大学	国立研究開発法人 産業技術総合研究 所・国立大学法人 東京大学	AIチップ設計拠点フォーラム( 第38回)	webフォーラム	2022年8月
64	国立研究開発法人 産業技術総合研究 所・国立大学法人 東京大学	国立研究開発法人 産業技術総合研究 所・国立大学法人 東京大学	AIチップ設計拠点フォーラム( 第39回)	webフォーラム	2022年9月
65	国立研究開発法人 産業技術総合研究 所・国立大学法人 東京大学	国立研究開発法人 産業技術総合研究 所・国立大学法人 東京大学	RISC-VベースSOCのシミュレ ーション・エミュレーション協調 検証トレーニング	webセミナー	2022年9月
66	国立研究開発法人 産業技術総合研究 所・国立大学法人 東京大学	国立研究開発法人 産業技術総合研究 所・国立大学法人 東京大学	第2回エミュレータワークショップ	webセミナー	2022年9月
67	国立研究開発法人 産業技術総合研究 所・国立大学法人 東京大学	国立研究開発法人 産業技術総合研究 所・国立大学法人 東京大学	AIチップ設計拠点フォーラム( 第40回)	webフォーラム	2022年10月
68	江藤 文香 森 昭人	ふくおかIST 企業 支援G°	サテライト拠点のオープンソース EDA環境について	オープンソースEDA 講演会	2022年11月
69	国立研究開発法人 産業技術総合研究 所・国立大学法人 東京大学	国立研究開発法人 産業技術総合研究 所・国立大学法人 東京大学	AIチップ設計拠点フォーラム( 第41回)	webフォーラム	2022年11月
70	国立研究開発法人 産業技術総合研究 所・国立大学法人 東京大学	国立研究開発法人 産業技術総合研究 所・国立大学法人 東京大学	AIチップ設計拠点フォーラム( 第42回)	webフォーラム	2022年12月
71	国立研究開発法人 産業技術総合研究	国立研究開発法人 産業技術総合研究	AIチップ設計拠点フォーラム( 第43回)	webフォーラム	2023年1月

	所・国立大学法人 東京大学	所・国立大学法人 東京大学			
72	国立研究開発法人 産業技術総合研究 所・国立大学法人 東京大学	国立研究開発法人 産業技術総合研究 所・国立大学法人 東京大学	202302エミュレータ初心者講 習会	webセミナー	2023年2月
73	国立研究開発法人 産業技術総合研究 所・国立大学法人 東京大学	国立研究開発法人 産業技術総合研究 所・国立大学法人 東京大学	AIチップ設計拠点フォーラム( 第44回)	webフォーラム	2023年2月
74	国立研究開発法人 産業技術総合研究 所・国立大学法人 東京大学	国立研究開発法人 産業技術総合研究 所・国立大学法人 東京大学	AIチップ設計拠点フォーラム( 第45回)	webフォーラム	2023年3月
75	国立研究開発法人 産業技術総合研究 所・国立大学法人 東京大学	国立研究開発法人 産業技術総合研究 所・国立大学法人 東京大学	RISC-Vベース学習用SOCフ レームワークAthOsによる検証 トレーニング	ハイブリッドセミナー	2023年3月
76	NEDO(国立研究 開発法人新エネル ギー・産業技術総 合開発機構) 国 立研究開発法人産 業技術総合研究所 国立大学法人東 京大学	NEDO(国立研究 開発法人新エネル ギー・産業技術総 合開発機構) 国 立研究開発法人産 業技術総合研究所 国立大学法人東 京大学	「AIチップ設計拠点」の本格運 用を開始－設計環境の提供 により、中小・ベンチャー企業な どのAIチップ開発加速を目指 す－	NEDOウェブサイト 産業技術総合研 究所ウェブサイト 東京大学工学部ウ ェブページ	2023年3月
77	国立研究開発法人 産業技術総合研究 所・国立大学法人 東京大学	国立研究開発法人 産業技術総合研究 所・国立大学法人 東京大学	第3回エミュレータワークショップ	webセミナー	2023年3月