「AI チップ開発加速のためのイノベーション推進事業」
終了時評価報告書

２０２３年１２月

国立研究開発法人新エネルギー・産業技術総合開発機構

研究評価委員会

2023 年 12 月

国立研究開発法人新エネルギー･産業技術総合開発機構
　理事長　　斎藤　保　殿

国立研究開発法人新エネルギー・産業技術総合開発機構
研究評価委員会 委員長　　木野　邦器

NEDO技術委員・技術委員会等規程第34条の規定に基づき、別添のとおり評価結果について報告します。

「AI チップ開発加速のためのイノベーション推進事業」
終了時評価報告書

２０２３年１２月

国立研究開発法人新エネルギー・産業技術総合開発機構

研究評価委員会

目　次

はじめに　1
審議経過　2
分科会委員名簿　3
研究評価委員会委員名簿　4

第１章　評価
１．　評価コメント　1-1
１．１　意義・アウトカム（社会実装）達成までの道筋
１．２　目標及び達成状況
１．３　マネジメント
（参考）分科会委員の評価コメント　1-3
２．評点結果　1-10

第２章　評価対象事業に係る資料
１．事業原簿　2-1
２．分科会公開資料　2-2

参考資料１　分科会議事録及び書面による質疑応答　参考資料 1-1
参考資料２　評価の実施方法　参考資料 2-1

はじめに

国立研究開発法人新エネルギー・産業技術総合開発機構においては、被評価プロジェクトごとに当該技術の外部専門家、有識者等によって構成される分科会を研究評価委員会によって設置し、同分科会にて被評価対象プロジェクトの研究評価を行い、評価報告書案を策定の上、研究評価委員会において確定している。

本書は、「AI チップ開発加速のためのイノベーション推進事業」の終了時評価報告書であり、NEDO 技術委員・技術委員会等規程第 32 条に基づき、研究評価委員会において設置された「AI チップ開発加速のためのイノベーション推進事業」（終了時評価）分科会において評価報告書案を策定し、第 75 回研究評価委員会（2023 年 12 月 11 日）に諮り、確定されたものである。

2023 年 12 月
国立研究開発法人新エネルギー・産業技術総合開発機構
研究評価委員会

審議経過

● 分科会（2023 年 10 月 23 日）

公開セッション

１．開会、資料の確認

２．分科会の設置について

３．分科会の公開について

４．評価の実施方法について

５．プロジェクトの概要説明

６．プロジェクトの詳細説明（一部非公開）

非公開セッション

７．全体を通しての質疑

公開セッション

８．まとめ・講評

９．今後の予定

１０．閉会

● 第 75 回研究評価委員会（2023 年 12 月 11 日）

「AI チップ開発加速のためのイノベーション推進事業」（終了時評価）

分科会委員名簿

（2023 年 10 月現在）

	氏名	所属、役職
分科会長	永妻（ながつま）　忠夫（ただお）	大阪大学　大学院基礎工学研究科 システム創成専攻　教授
分科会長 代理	吉瀬（きせ）　謙二（けんじ）	東京工業大学　情報理工学院　情報工学系　教授
委員	桑田（くわた）　薫（かおる）	東京工業大学　理事・副学長 （ダイバーシティ推進担当）
	杉岡（すぎおか）　俊明（としあき）	株式会社ソシオネクスト　グローバル開発本部 開発企画部　技術戦略推進室　室長補佐
	南川（みなみかわ）　明（あきら）	インフォーマインテリジェンス合同会社 C&D コンサルティンググループ シニアコンサルティングディレクター
	宮森（みやもり）　高（たかし）	東芝デバイス&ストレージ株式会社 デバイス&ストレージ研究開発センター センター長

敬称略、五十音順

研究評価委員会委員名簿

（2023 年 12 月現在）

	氏　名	所属、役職
委員長	木野（きの）　邦器（くにき）	早稲田大学　理工学術院　教授
委員	浅野（あさの）　浩志（ひろし）	岐阜大学　特任教授 一般財団法人電力中央研究所　研究アドバイザー
	稲葉（いなば）　稔（みのる）	同志社大学　理工学部　教授
	五内川（ごないかわ）　拡史（ひろし）	株式会社ユニファイ・リサーチ　代表取締役社長
	鈴木（すずき）　潤（じゅん）	政策研究大学院大学　政策研究科　教授
	原田（はらだ）　文代（ふみよ）	株式会社日本政策投資銀行　常務執行役員
	松井（まつい）　俊浩（としひろ）	東京情報デザイン専門職大学　情報デザイン学部 学部長・教授
	松本（まつもと）　真由美（まゆみ）	東京大学　教育学部附属教養教育高度化機構 環境エネルギー科学特別部門　客員准教授
	吉本（よしもと）　陽子（ようこ）	三菱 UFJ リサーチ&コンサルティング株式会社 政策研究事業本部　経済政策部　主席研究員

敬称略、五十音順

第１章　評価

１．評価コメント

１．１　意義・アウトカム（社会実装）達成までの道筋

本事業は、中小企業・ベンチャー等へ開かれた開発環境として、AI チップのシステムレベル記述言語からハードウェア設計までとその検証をワンストップで提供できる環境を整備した。また、設計拠点の利用者数の増加が重要との認識から、拠点の構築のみならず、セミナー、フォーラムの開催、展示会への出展、学会発表、プレスへの情報発信をコアとして、拠点と利用者ならびに成果を活用したい企業とのマッチング戦略を常に意識し進化させてきたことは評価できる。さらに、12nm プロセスの設計・評価のプラットフォーム構築を前倒しで進めるなど、テクノロジー面での競争力の獲得に努めたこと、本事業の終了後も自立化を見据え、産業技術総合研究所（産総研）を母体とした拠点を構築し、運用を開始している点も評価できる。

知的財産については、本事業で開発・整備した AI チップの設計手法、レファレンスデザイン、IP ライブラリ等の共通基盤技術を公開し、幅広い国内ユーザーに利用を促進することで開発初期のハードルを下げるとともに、他方では、拠点の継続的な運用と競争力維持のためのノウハウは公開を限定するなど、適切なオープン・クローズ戦略をとっており、妥当といえる。

一方で、AI チップに限らず、半導体設計業界全体にとって、教育・人材育成は今後ますます重要となる中、今回の取り組みを通して、若手だけではなくリスキリングなど、設計人材育成の必要性の訴求が望まれる。

今後、整備した拠点を維持していくためには、運営資金の獲得や利用促進を図るビジネスモデル等の確立が必須と考えられる。また、開発した設計評価プラットフォームを活用する方法はまだ議論の余地があると感じられるため、その活用方法については継続的に議論し更新していくことが期待される。

注）IP：Intellectual Property

１．２　目標及び達成状況

2032 年の AI チップ市場における売上 750 億円を具体的なアウトカム数値目標として掲げることで、事業の内容やその進め方がより明確になっており、また、革新的アイデアを持つ中小企業・ベンチャー等の AI チップ開発を加速、そのマーケットインを促進し、2023 年以降の実用化率 50%を超える見込みを得ていることは評価できる。

さらに、外部環境の変化を踏まえてアウトプット指標・目標値を適切に見直しつつ、助成事業（中小企業等による AI チップ開発）と委託事業（AI チップ開発の加速のための共通基盤技術の開発）を両輪として、2023 年度より、拠点の本格運用をスタートさせたこと、なかでも、28nm と 12nm のプロセスの IP を整備しながら、オペレーティングシステムとアプリケーションが動作する AI アクセラレータを含む大規模な SoC を開発し、その安定動作を達成した点は高く評価できる。

一方で、助成事業で実施した企業の幾つかの開発が試作に留まっており、これらの企業へのヒアリング等を通じて、AI チップの開発に着手できていない問題点を今一度整理し、改善していくことが望まれる。また、実用化・事業化に向けて、本事業で整備した拠点を活用し、成果を活用したい企業等との協業や、新市場の短期立ち上げを訴求し半導体設計に付加価値をつけていくなど、AI チップのビジネス市場をより活性化する活動を担っていくことも期待したい。

注）SoC：System on Chip

1．3　マネジメント

プロジェクトリーダー（PL）と NEDO 推進部が連携した運営体制を構築し、産総研と東京大学、ならびに福岡県産業・科学技術振興財団（ふくおか IST）からなる拠点を研究開発責任者が牽引する仕組みが効果的に機能していた。また、拠点事業と実用化事業、その全てを統括して PL がマネジメントすることで、拠点の整備と並行して、その開発環境を利用した実用化の課題等を一括して俯瞰可能な体制が敷かれていた。さらに、拠点をワンストップで活用できることは、実用化に向けた活動もよりスムーズに進めることが可能な体制として高く評価できる。

また、委託事業である共通基盤技術の開発計画において、アイデアからチップ実現までの道筋を 3 つの壁に例えて可視化し、それらの壁を克服するための戦略を、研究開発ならびに環境整備という観点から整理して、チーム全体で共有できていたことが、確実な目標達成につながったものと思われる。さらに、新型コロナや世界的な半導体不足の影響なども克服し、予定していた研究開発を適切に進めた点は高く評価できる。

今後も、開発環境はバージョンアップが必要となるため、将来の AI チップ開発環境の構想を検討するなど、継続した取り組みが求められる。

（参考）分科会委員の評価コメント

１．１　意義・アウトカム（社会実装）達成までの道筋

＜肯定的意見＞

・ アウトカムの達成に向け、設計拠点の利用者数の増加が重要との認識から、設計インフラの構築のみならず、セミナー、フォーラムの開催、展示会への出展、学会発表、プレスへの情報発信をコアとして、拠点と利用者ならびに社会とのマッチング戦略を常に意識し進化させてきた。また、AI チップの開発競争が世界中で激化していくことを先見し、12nm プロセスのための設計・評価のプラットフォーム構築を前倒しで進めるなど、テクノロジー面での競争力の堅持に努めた。また、NEDO の関連事業「高効率・高速処理を可能とする AI チップ・次世代コンピューティング技術」との相乗効果が期待される。

・ 拠点事業では、プロジェクトリーダ、NEDO、事業者間における進捗会議（毎月）において、知財戦略を継続的に検討し、特許権取得の前に、設計ツールの利便性の向上や利用ノウハウの蓄積に注力した。具体的には、事業で開発・整備した AI チップの設計手法、レファレンスデザイン、IP ライブラリ等の共通基盤技術を広く公開して利用を促進し、一方、拠点の継続的な運用と競争力維持のためのノウハウは公開を限定する等、適切なオープン・クローズ戦略を取った。

・ 設計評価プラットフォームとして 28nm の AI-One と 12nm の AI-Two を開発した。これを活用することで、日系企業の AI チップの占有率を向上させて、目標とするアウトカムを実現するという道が見え始めている。

・ 知的財産・標準化戦略については、適切に運営している。

・ AI チップ市場を活性化するため、中小企業・ベンチャーにも開かれた開発環境を整備すること、高位レベルの設計からスムーズに HW 回路に落としていける環境を EDA ツールのツールチェーンの実証とともにワンストップで提供できる環境を整備できていること。

・ 提供する IP のデータについては、外への持ち出しはせず、拠点内からの Tapeout により、知財のクローズを担保している。

・ IoT 社会の背景から、目的、将来像が具体的に示されており、アウトカム目標達成にむけた道筋も概ね示されている。

・ オープン戦略を採用している点については、研究発表・講演、フォーラム・シンポジウムの開催、セミナーなどを活発に行っており、AI-DC の利用者も順調に増加している点で、確実な成果につながっている。

・ 大学や研究機関等による AI チップ開発のための共通基盤技術の開発を進めるためのプロジェクトで成果を上げだしている。エミュレータを利用出来るようになり、大規模設計にも対応出来るようになった。他の国内外開発拠点と比較しても充実している。

・ 幅広い国内ユーザーに開かれた設計拠点をめざしているため、原則としてオープン戦略を採用している。ここでは特に独自の特許権の獲得よりは共通基盤技術として設計技術のマニュアル化、ノウハウの蓄積等に注力し広く使ってもらう方針である。これに異論はない。
・ 今後も AI 市場が成長することが期待される中で、ベンチャーなどの新しいアイデアを盛り込んだ AI チップの開発に対して、開発環境整備、技術サポート、試作、さらには、人材育成まで、幅広く支援する内容を盛り込んでいる。また、本事業の終了後、産総研を母体とした設計開発拠点として運用を開始しており、自立化まで考慮されている点が評価される。
・ AI チップ開発の初期段階を支援するためにオープンとする情報と、クローズにする詳細情報を分けることによって、開発初期のハードルを下げるとともに、具体的な開発プロジェクトにおける高度な設計の支援が可能になるように考えられている。

＜問題点・改善点・今後への提言＞
・ セミナー等による教育・人材育成という観点では、興味を持ってくれる若手技術者、さらには学生をどのように増やしていくかが、AI チップに限らず、半導体 LSI 設計全体にとって重要かと思う。もちろん、これからは若手だけに期待するのではなく、リスキリング時代、今回の経験を通して、省庁の垣根を超えた、設計人材育成の取り組みの必要性を訴えていただきたい。
・ 今後、多くの実 AI チップが登場する過程において、標準化に関しても注力されることを期待する。
・ 開発した設計評価プラットフォームを活用する方法が十分に議論されていない。その活用方法については継続的に議論して更新していく必要がある。
・ EDA ツールのライセンスが国内に限定していること、数量の最適化はしているもののピーク時に制約が出る可能性があり、運用上未だライセンス数での問題は残る。維持メンテに関する体制維持には、膨大なコストが発生する。拠点の運営について、サービス提供の事業として自立運用モデルが必要になるが、未だ明確な提示に至っていない。今後自立運用モデル（ビジネスモデル）の確立が必須である。
・ 知財のライセンス方法の考え方は、IP を保有するユーザーとの個別の交渉が、通常の運用ルールとしていると伺える。一方で、戦略的 IP による市場での競争優位に立つための標準化戦略を持てば、整備したシステムを世界に広めるための、一つの方策に使える可能性がある。そのような普及の為の知財戦略、標準化戦略は、今後是非考えて頂きたい。
・ アウトカム目標の 2032 年の市場獲得 750 億円達成までの道筋はしめされているが、本事業成果が民間企業の売上にどう反映され、その売上が 750 億円にどう結びつくのかが不明であり、その仕組みを明確にする必要がある。

・ 特許創出という観点では、まだまだ活動が低調気味に見える。設計基盤整備事業という点では特許は出にくい点は否めないが、助成事業に対し、特許活動が活発化するように、例えばインセンティブを与えるような施策も、日本の技術力底上げには必要と思われる。
・ 特に問題ではありませんが、継続的に運営するための資金やビジネスモデルが今後必要になってくるので国内外からの利用促進を行う事が出来ると良いです。

１．２　目標及び達成状況

＜肯定的意見＞

・ 助成事業（中小企業による AI チップ開発）と受託事業（AI チップ開発の加速のための共通基盤技術の開発）の両輪を結実させ、2023 年度より、AI チップ設計拠点（AI-DC）の本格運用をスタートさせたことは評価に値する。先端的半導体 LSI のファブの建設とタイムリーに呼応し、今後、我が国の半導体産業や社会への大きなインパクトが期待される。
・ 本事業と通じて開発・整備した共通基盤技術、学習環境、設計環境の活用件数が、目標値（15 件）を大きく上回る 74 件に達し、また、拠点の本格運用が始まった 2023 年度上期（9 月）で 17 件の利用者数を得ていることは、成果として高く評価できる。また、助成事業で支援した企業 17 社のうち 10 社（約 60%）が上市に向けた具体的な取り組みを行っていることも評価に値する。加えて、受託事業の中で開発した評価チップ（Ai-One、Ai-Two)は、拠点において築き上げた設計・評価基盤（すなわちエミュレータをはじめとする高度な設計力）の証左であり、将来への波及効果が大きい。
・ 設計評価プラットフォームの AI-One および AI-Two を開発と提供、扱いやすいハードウェアエミュレータの開発と提供により、AI チップ開発の壁の解消が進むと考える。
・ 外部環境の変化及び当該研究開発により見込まれる社会的影響等を踏まえてアウトプット指標・目標値を適切に見直しながら、最終目標を十分に達成した。28nm と 12nm のプロセスの IP を整備しながら、オペレーティングシステムとアプリケーションが動作する AI アクセラレータを含む大規模な SoC を開発して、その安定動作を確認した点は高く評価できる。加えて、ハードウェアエミュレータの整備や、定期的に実施している人材育成のためのセミナーの運営などの活動も高く評価できる。
・ ワンストップで対応できる利用体制やノウハウの必要な AI チップ開発環境の整備を行い、革新的アイデアを持つ中小企業・ベンチャーの AI チップ開発を加速。AI チップのマーケットインの活性化を推進でき、2023 年以降の実用化率 50%を超える見込みを得た。

・ 高位レベル設計から回路へのスムーズな落とし込みと、エミュレータを使った検証環境の性能等、また、ライセンス数の最適化の検討考慮により、開発環境としての性能はほぼ期待通りに整備された。
・ 研究開発項目①のアウトカム目標：実用化率 50%以上に対し、2023 年時点で 58.8%を達成できている点は、活動が着実に行われた結果であり、今後もその活動を活発化して行ってほしい。
・ 研究開発項目②のアウトプット目標：AI-DC 活用件数 15 件以上に対し、活用件数 74 件という実績は、期待以上の需要があった事のあらわれであり、この活動が大変意義があったのだと思います。今後も、活動を活発化し、日本企業を支えて頂ければと思います。
・ 目標の活用件数 15 件を大きく超えて 74 件となっている。まだ増加傾向にあるようです。特に企業での利用が多いようです。
・ 研究開発項目②においては、2032 年の AI チップ市場における売上 750 億円をアウトカム目標としている。具体的な売上を目標として置くことで事業の内容や進め方が明確になっている。また、これから成長が見込まれる半導体と AI の二つ市場における日本のプレゼンスの向上のために、大きな役割を果たす目標となっている。
・ 研究開発項目②では、目標とした活用件数 15 件に対して 74 件と大幅に超える活用件数となった。フォーラム、セミナーなどの広報活動を積極的に実施ししてチップ開発のニーズを掘り起すことにつながった点は大きく評価できる。また、教育カリキュラム、教材の整備、Webinar を含むセミナーの実施は、本 AI チップ開発にとどまらず、広く半導体・デジタル人材育成に貢献できるものである。

＜問題点・改善点・今後への提言＞
・ アウトカム目標のひとつとして、売り上げ予測値を掲げたことは重要であるが、技術の占有率、普及率が見通せず、精度の高い議論をすることは非常に難しいように感じた。他の NEDO 事業でも同じような数値目標を検討されていると思うので、専門家の力を借りて、共通のガイドラインに基づく、試算プラットフォームを作ることを検討されてはいかがか。
・ 活用件数という予測が難しいものを数値目標として掲げ、それを達成、突破するためのプレッシャーと努力は想像を超えたものだったと思う。将来、新たな NEDO 事業を計画する際に、貴重な経験として活用できるのではないか。
・ 研究開発項目①の助成事業を実施した企業の幾つかの開発が FPGA を用いた試作で止まっている。これらの企業へのヒアリング等を通じて、AI チップの開発に着手できていない問題点を整理して、継続的に設計拠点の役割を見直していく必要がある。
・ 必ずしも全ての活用企業が売り上げ、シェアの数字目標の確度を上げたビジネスプランになってはいない。例えば、FPGA までの実用化であると最終の AI チップの売り上げの積み上げは明確に示しきれていないことになる。上市の確度を上げ、AI

チップ開発環境の整備によるビジネス規模への貢献度を数値目標で示せるようにすることと、将来はビジネスの売り上げに依存した環境提供のコスト負担等の利用ルールを決めていくと、自立運用モデルの確立に繋がる可能性がある。

- 経済的優位性として、商用化によるビジネスプランをより精緻にしていく必要がある。現状では、実用化すると言っても、多くが回路動作検証済レベル IP の提供にとどまっており、実用化を目指すのであれば、アプリ製品企業等との協業による完成化等、よりビジネスに踏み込むことが望まれる。ビジネスに踏み込んだ際、本事業で整備した AI チップ環境を武器に、戦略的連携で、新市場の立ち上げを短期化できる訴求をすることで、IP のデザインインに付加価値をつけていくことも協業ビジネスをスコープに入れるなど、AI チップのビジネス市場を活性化する戦略的活動を担うことも期待したい。
- 研究開発項目②のアウトカム目標：2032 年の市場獲得 750 億円については、2024 年以降の本プロジェクト成果の民間企業の活用促進方法、目標達成までの具体的な計画が必要。
- 活用件数 74 件で頭打ちにならないように、目標の再設定が必要だと思います。アウトカム目標達成には、AI-DC をより使いやすく、実用化・事業化につながり易くする仕組みが必要だと思います。また、利用者拡大や、拠点の拡充、リスクを踏まえた拠点運用の整備等も必要になると思います。今後も活発な活動を期待します。
- 今後、半導体人材不足が騒がれている日本では学生や人材育成が重要になります。多くの学生が使いやすいように企業の資金サポートも必要になってくるでしょう。また、政府の継続的なサポートがあると継続性が高まります。
- 実際はここからビジネスに繋がる事が必要になってきますので、特許サポート、ビジネスサポート（顧客開拓のための情報提供など）が組織的に作られると良い。また、顧客ニーズをある程度シェアするような仕組みもあれば良いと思う。
- アウトカム目標の 2032 年 750 億円実現の蓋然性については、現時点で明らかにすることは難しい。一方で、AI 市場は今回参照した 2020 年時点での予測を超えて成長する可能性があり、本事業を引き継いだ設計開発拠点で継続して開発を支援することで、最終的にアウトカムを超える成果を期待している。研究開発項目①を実施した 17 者のうち、研究開発項目②の設計環境を利用したものは 12 者、SoC プラットフォームである AI-one/two に独自 IP を搭載したものは 1 者にとどまった。アウトカム目標の達成のためにも研究開発項目①と②がもっと連携できれば良かったと思う。

1．3　マネジメント

＜肯定的意見＞

- プロジェクトリーダと NEDO 担当推進部が連携して強力な運営体制を構築し、産業技術研究所（AIST)とサテライトである福岡 IST、ならびに東京大学からなる 3 つの実施拠点（いわゆる現場）を研究開発責任者が牽引する仕組みが効果的に機能

していたと言える。特に、実施拠点である AIST と東京大学間の打合せを週 1 回定期的に実施していたことが、5 年間にわたるチーム総合力の発揮に多いに寄与したと思われる。

- 受託事業である共通基盤技術の開発計画において、アイデアからチップ実現（ゴール）までの道筋を 3 つの壁に例えて可視化し、それらの壁を系統的に克服するための戦略を、研究開発ならびに環境整備という観点から整理して、チーム全体で共有できていたことが、確実な目標達成につながったものと思われる。
- 実施者は高い技術力と適切な実施体制で、期待を上回る成果を出した。
- 新型コロナウイルスの影響、世界的な半導体不足の影響などを克服する適切な対処により、予定していた研究開発を適切に進めた点は高く評価できる。
- マネジメントは拠点事業と実用化事業に分け、全てを統括して PL がマネジメントすることで、拠点の技術整備と並行して、その開発環境を利用した実用化の課題等が俯瞰できるベストな体制で実施された。また、実用化ユーザーにとって拠点がワンストップ窓口の体制で活用できることは、実用化活動自身もスムーズに進めることができる体制として優れている。
- AI チップ開発の回路設計からのフローを網羅し、エミュレータによるソフトとの協調検証と検証の網羅率 up/期間の短縮により First チップの確実な動作の実現、また、回路開発プラットフォームと実証ボード環境の整備等、回路開発に於ける環境技術をツールチェーンと共に検証整備を計画通り完了していることは高く評価される。
- NEDO、PL、技術推進委員会、研究開発責任者、産総研、東京大学など、プロジェクト推進体制が大変良くできていると思います。定例会を通した進捗管理、HP 構築やフォーラム、外部発表など、全体の活動が上手く調和しており、本プロジェクトの成果から、マネジメントがしっかり出来ているのだと思いました。
- アウトプット目標に向けた研究開発計画がされていたと思います。途中、コロナの影響に対しても柔軟に対応した事が、アウトプット目標に繋がっていると思います。また、研究開発の継続、中断についての判断も、ステージゲート方式で適切に行われていたと思います。
- 研究開発において、産総研－東京大学の打ち合わせを定期的に週 1 回は実施。再委託先を含めての打ち合わせを月 1 回は実施となっておりプロジェクト推進は充分であった。
- 大きくは実施項目 1，AI チップ開発に必要な共通基盤技術の開発、2，人材育成と拠点機能の整備となっており、AI チップ製造までが一気通貫で行える拠点が整った。スケジュールも大きな遅延なく最終目標である拠点整備も完成している。
- 実施体制は明確であり、また、採択プロセスに問題はなかった。
- 研究開発項目②においては、実際に AI-one/two という大規模な SoC を、28nm/12nm という先端プロセスで試作した。また、エミュレータを活用し、不具合のない SoC として動作させることができた。これによって、AI チップを開発するため必要な要

素技術が網羅された計画であったことが実証されたと考える。進捗管理は、毎月の進捗確認、年に 1 回の技術推進委員会、中間評価によって適切に行われていた。また、想定を超えた利用者増への対応、12nm プロセスでの開発前倒し、新しい AI 技術の取り込みなど、適切に実施内容を変更していた。

＜問題点・改善点・今後への提言＞

- 改善点ではないが、先端的 LSI 設計に関する多くの業務が ICT を活用してリモートで遂行できることが証明されたことは、今後、日本全体の設計力強化を図る上での大きな布石になったと思われる。この経験をさらに水平展開して我が国の強みに育てていただきたい。
- 受託事業である共通基盤技術の開発計画において、アイデアからチップ実現（ゴール）までの道筋を 3 つの壁に例えて可視化し、それらの壁を系統的に克服するための戦略を、研究開発ならびに環境整備という観点から整理して、チーム全体で共有できていたことは、今後の同様の研究開発の成功事例になるものと思う。
- 拠点環境のユーザーが国内の中小・ベンチャーを想定しており、国外の組織への対応が未着手である。今後、AI チップ開発市場において、国内外の開発者の連携も考慮すると、国外ユーザーへの対応体制も整備する必要がある。
- 開発環境は常にバージョンアップしていくため、追従するマネジメントが今後も必要になる。その際、発生するコストについて、自立運営モデルと共に検討し、費用・売り上げのマネジメントも実施していく必要がある。技術網羅に関して、更にアルゴリズムから回路開発支援の機能等をサポートしてく機能強化のマネジメントも必要となる。将来の AI チップ開発環境の機能構想を立てて、今後の活動に反映していく必要がある。
- 今後、Rapidus との関係強化が図られるようにしてもらいたい。

２．評点結果

評価項目・評価結果		各委員の評価						評点
1. 意義・アウトカム（社会実装）達成までの道筋								
	(1)アウトカム達成までの道筋	A	A	B	B	B	B	2.3
	(2)知的財産・標準化戦略	A	A	A	A	A	B	2.8
2. 目標及び達成状況								
	(1)アウトカム目標及び達成見込み	A	B	A	B	B	B	2.3
	(2)アウトプット目標及び達成状況	A	A	A	A	B	B	2.7
3. マネジメント								
	(1)実施体制	A	A	A	A	A	A	3.0
	(2)研究開発計画	A	A	A	A	A	A	3.0

≪判定基準≫
A：評価基準に適合し、非常に優れている。
B：評価基準に適合しているが、より望ましくするための改善点もある。
C：評価基準に一部適合しておらず、改善が必要である。
D：評価基準に適合しておらず、抜本的な改善が必要である。

（注）評点は A=3、B=2、C=1、D=0 として事務局が数値に換算・平均して算出。

第２章　評価対象事業に係る資料

１．事業原簿

次ページより、当該事業の事業原簿を示す。

資料７-1

「AI チップ開発加速のための
イノベーション推進事業」

事業原簿
【公開版】

担当部	国立研究開発法人 新エネルギー・産業技術総合開発機構 IoT 推進部、イノベーション推進部

—目次—

概　要 II

プロジェクト用語集 VII

1.　事業の位置付け・必要性について 1

1.　事業の背景・目的・位置づけ 1
2.　NEDO の関与の必要性・制度への適合性 4
2.1　NEDO が関与することの意義 4
2.2　実施の効果(費用対効果) 5

2.　研究開発マネジメントについて 7

1.　事業の目標 7
2.　事業の計画内容 8
2.1　研究開発の内容 8
2.2　研究開発の実施体制 14
2.3　研究開発の運営管理 16
2.4　研究開発成果の実用化に向けた マネジメントの妥当性 17
3.　情勢変化への対応 23
4.　評価に関する事項 26

3.　研究開発成果について 28

1.　事業全体の成果 28
2.　研究開発項目毎の成果　(実施項目ごとの成果) 34

4.　成果の実用化に向けた取組及び見通しについて 112

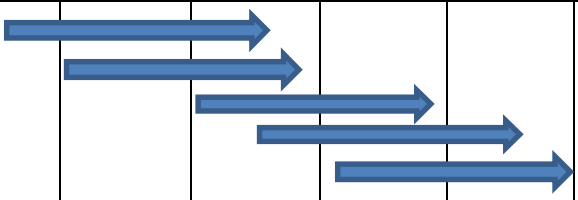
1.　成果の実用化の実施状況 112
2.　今後の取組 113
3.　実用化による波及効果 114

(添付資料)

・基本計画
・プロジェクト開始時関連資料(事前評価結果)
・研究発表・講演、論文、特許等のリスト

概　要

	最終更新日	2023 年 9 月 21 日	
プロジェクト名	AI チップ開発加速のためのイノベーション推進事業	プロジェクト番号	P18004
担当推進部/ 担当者 及び METI 担当課	NEDO IoT 推進部　波佐昭則 主任研究員(2018 年 5 月～2023 年 3 月) NEDO IoT 推進部　遠藤康浩 主査(2018 年 5 月～2019 年 3 月) NEDO IoT 推進部　戸田昭夫 主査(2018 年 5 月～2020 年 4 月) NEDO IoT 推進部　久保田英明 主査(2018 年 5 月～2022 年 3 月) NEDO IoT 推進部　芹澤慎 主査(2020 年 5 月～2023 年 3 月) NEDO IoT 推進部　阿川謙一 主査(2022 年 4 月～2023 年 9 月現在) NEDO IoT 推進部　橋本就吾 主任(2019 年 4 月～2021 年 4 月) NEDO IoT 推進部　功刀基 主任(2021 年 5 月～2023 年 3 月) NEDO イノベーション推進部　夏目健夫 統括主幹(2019 年 7 月～2020 年 5 月) NEDO イノベーション推進部　久保亮 統括主幹(2020 年 6 月～2022 年 3 月) NEDO イノベーション推進部　粂田真宏 統括主幹(2022 年 4 月～2023 年 3 月) NEDO イノベーション推進部　徳永真也 主査(2018 年 7 月～2020 年 3 月) NEDO イノベーション推進部　宮崎崇 主査(2018 年 7 月～2020 年 3 月) NEDO イノベーション推進部　三谷陽一郎 主査(2019 年 4 月～2019 年 9 月、2021 年 3 月～2022 年 3 月) NEDO イノベーション推進部　野口透 主査(2019 年 11 月～2021 年 3 月) NEDO イノベーション推進部　飛田英二 専門調査員(2019 年 10 月～2023 年 9 月現在) NEDO イノベーション推進部　清俊和 専門調査員(2020 年 6 月～2022 年 9 月) 経済産業省 商務情報政策局 情報産業課		
0. 事業の概要	IoT 社会の到来で大量のデータを効率的かつ高度に利活用するためには、エッジでの情報処理が不可欠である。エッジにおいて限られた資源を用いて効率的に処理を行う AI チップを開発するためには、AI とチップ設計、ソフトとハード双方に関する知見と技術に加え、高額な設計ツールや設計検証設備等も必要であり、これが AI チップ開発とビジネス化に向けた高いハードルとなっている。 本事業では、大学や研究機関等による AI チップ開発のための共通基盤技術の開発を進めるとともに、その知見や設計・検証等の開発環境等を中小企業やベンチャー企業をはじめとする民間企業等に提供することによって、AI チップのアイディアを実用化する開発を加速する。 なお、本事業は内閣府「官民研究開発投資拡大プログラム(PRISM)」に登録済である。		
1. 事業の位置付け・必要性について	本事業は、超スマート社会 Society5.0 実現に向けた、第 5 期科学技術基本計画(平成 28 年度閣議決定)、未来投資戦略(平成 30 年度閣議決定)、統合イノベーション戦略(平成 30 年度閣議決定)世界最先端デジタル国家創造宣言官民データ活用推進基本計画(令和元年度閣議決定)における基盤技術として挙げられており、科学技術・産業技術政策を実現する事業と位置付けられる。また、従来にない AI チップを実用化するためには開発を支援する拠点機能が必要であり、国際的な開発競争も激しい技術分野で、欧米中では国家支援のもと、取組が進行している。さらに、本事業は民間企業単独ではリスクがあり、市場原理のみで技術開発の推進を図ることは困難であるため、本事業で推進する必要がある。		
2. 研究開発マネジメントについて			
	事業の目標	大学や研究機関等による高度な AI チップ開発のための共通基盤技術の開発を進めるとともに、その知見や AI チップの設計・評価・検証等の開発環境を AI チップ設計拠点として整備し、民間企業等に提供、AI チップの開発を加速する。	

	事業の計画内容	主な実施事項	2018fy	2019fy	2020fy	2021fy	2022fy	
		研究開発項目① AI チップに関するアイディアの実用化に向けた開発(助成)						
		研究開発項目② AI チップ開発を加速する共通基盤技術の開発(委託)						
	事業費推移 (単位:百万円) (委託・助成)	会計・勘定	2018fy	2019fy	2020fy	2021fy	2022fy	総額
		一般会計	684	1,827	1,985	2,124	2,171	8,791
		特別会計 (電源・需給の別)	0	0	0	0	0	0
		開発成果促進財源	0	109	0	86	0	195
		総 NEDO 負担額	684	1,936	1,985	2,210	2,171	8,986
		(委託)	631	1,658	1,748	1,986	2,094	8,117
		(助成) 助成率: 2/3(中小) 1/2(中堅)	53 助成率: 2/3	278 助成率: 2/3	237 助成率: 2/3, 1/2	224 助成率 2/3, 1/2	77 助成率 2/3, 1/2	869
	開発体制	経産省担当原課	商務情報政策局 情報産業課					
		プロジェクト リーダー	東京大学大学院 情報工学系研究科 教授 中村宏					
		プロジェクト マネージャー	IoT 推進部 遠藤康浩(2018 年 5 月～2019 年 3 月) IoT 推進部 波佐昭則(2019 年 4 月～2023 年 3 月)					
		助成先	2018 年度分(採択 5 件⇒2 年目 3 件) 株式会社テックイデア(2 年目交付) 株式会社レイトロン(2 年目交付) 東北マイクロテック株式会社(2 年目交付) 株式会社シンコム(1 年目で終了) 株式会社 Trigence Semiconductor(1 年目で終了) 2019 年度(採択 4 件⇒2 年目 2 件) 株式会社ディジタルメディアプロフェッショナル、株式会社カイ(2 年目交付) 株式会社シグリード(2 年目交付) 株式会社ハカルス(事業化前倒しのため 1 年目で終了) 株式会社エイ・オー・テクノロジーズ(1 年目で終了) 2020 年度 1 回目(採択 3 件⇒2 年目 3 件) 株式会社ネフロック(2 年目交付) AMI 株式会社(2 年目交付) 株式会社 Anchorz(2 年目交付) 2020 年度 2 回目(採択 3 件⇒2 年目 2 件) PGV 株式会社(事業化前倒しのため 1 年目で終了) メイビスデザイン株式会社(2 年目交付)					

			株式会社テクノアクセルネットワークス(2 年目交付) 2021 年度(採択 2 件⇒2 年目 2 件) 株式会社テックイデア(2 年目交付) 株式会社ソリトンシステムズ(2 年目交付)
		委託先	国立研究開発法人 産業技術総合研究所 再委託先 (公財)福岡県産業・科学技術振興財団 国立大学法人 東京大学
	情勢変化への対応		・研究開発項目①の事業に関し、新型コロナ、半導体供給不足等の問題により、研究開発遅延が生じたため、2 事業者についてそれぞれ助成事業期間の延長(7 か月、1 年)の処置を行った。 ・研究開発項目②の事業に関し、内閣府官民研究開発投資拡大プログラム(PRISM)の 1 年目の対象施策に選定されたため、活用内容を技術推進委員会で審議し、本事業に必要な I/O などの機能モジュールや IP コアの導入・整備を前倒しで実施した(2018 年 10 月)。 ・研究開発項目②の事業に関し、拠点利用者の予想以上の増加が見込まれる中、現状の設備能力では利用者数が制限されてしまう可能性が予見されたため、2019 年 10 月に設備増強に向けた加速資金の投入を決定した。 ・研究開発項目②の事業に関し、拠点利用者へのヒアリング等から、より短納期・低コストでユーザー独自の AI チップが開発可能となる環境構築の必要性が予見されたため、拠点利用者の AI チップ向け独自 IP(28nm プロセス)の評価が容易にできるよう 2019 年 12 月に資金の追加を決定し、実施項目 1-5 の目標を追加した。 ・研究開発項目②の事業に関し、AI チップ向け IP の評価環境の構築に向けた課題を早期に抽出し、低消費電力技術開発へのフィードバックを確実に実施するため、拠点利用者の AI チップ向け独自 IP(28nm プロセス)の評価環境構築を前倒しで確実にできるよう 2020 年 9 月に資金の追加を決定し、実施項目 1-5 の事業内容を変更した。 ・研究開発項目②の事業に関し、半導体需給のひっ迫による 12nm プロセス SOC 評価プラットフォームの開発に必要なパッケージ調達やウエハー作成工程のスケジュール遅延が予想されたため、2021 年 8 月に加速資金を投入し、本開発に必要な 12nmIP の前倒し導入を決定した。 ・研究開発項目②の事業に関し、拠点利用者へのヒアリングや 2021 年開催の第三回技術推進委員会の結果等から、AI チップをシステム案の段階から、目指すアプリケーションの動作デモが可能になる機能整備の必要性が予見されたため、実施項目 1-1 の事業内容を追加するとともに拠点利用者の AI チップ向け独自 IP(12nm プロセス)の評価が確実にできるよう実施項目 1-5 の事業内容を変更し、これらへの対応として 2021 年 12 月に資金の追加を決定した。 ・研究開発項目②の事業に関し、為替レートの変化および独自 IP 評価チップ(12nm プロセス)の試作代が値上げしたため、拠点利用者の AI チップ向け独自 IP(12nm プロセス)の評価環境構築を確実にできるよう 2022 年 12 月に予算の追加を決定した。
	中間評価結果への対応		・AI チップ開発実証後の実用化への道筋の明確化については、当初計画通り、研究開発項目①の助成事業では、各種専門家の派遣等、採択者へのハンズオン支援を実施した。研究開発項目②の委託事業では、整備する設計拠点の機能として、拠点利用者とそのユーザーとなり得る企業とのマッチングを行う仕組みの構築を進め、拠点利用者の実用化の手助けになるような設計拠点を目指した。 ・研究開発項目②において、低消費電力技術への取り組み、実装技術、ボード設計環境整備等への検討については、中間評価時に構築していた AI チップ向け評価プラットフォーム(評価チップ AI-One)において、2021 年度にその展開版として低消費電力のための技術を組み込むよう計画に組み入れ、評価チップ AI-

<table>
<tr><td></td><td></td><td colspan="2">Two として開発した。また、併せて実装技術、ボード設計環境整備等も推進し、社会に役立つ設計拠点として整備した。

・研究開発項目②において、構築した拠点を活用してもらう活動については、当初計画通り、引き続き、拠点整備の進捗に合わせたプレス発表や学会、セミナー等を通じて設計拠点をアピールし、拠点利用者の拡大を図った。また、構築した拠点の自立化に向けた議論において、市場の動向等に沿ったビジョンを明確にし、社会に役立つ拠点として整備した。</td></tr>
<tr><td></td><td rowspan="3">評価に関する事項</td><td>事前評価</td><td>2018 年度実施</td></tr>
<tr><td>中間評価</td><td>2020 年度　中間評価実施</td></tr>
<tr><td>終了時評価</td><td>2023 年度　終了時評価実施予定</td></tr>
<tr><td colspan="2">3．研究開発成果について</td><td colspan="2">研究開発項目①AI チップに関するアイディアの実用化に向けた開発(助成事業)
中間目標：現状以上の性能を有する AI 向けチップの設計を行い、評価・検証が可能な段階まで到達。設計した AI 向けチップのビジネス化に向けたシナリオを作成。
中間目標に対する成果：採択 17 件中、14 件が上記中間目標を達成しステージゲート審査通過。

最終目標：AI チップの設計を行い、AI チップの動作を効率化し現状以上の性能を有することをシミュレーション等により検証。検証した AI 向けチップのビジネス化の道筋を立てる。

最終目標に対する成果：2023 年 8 月時点で 10 件が実用化達成。

研究開発項目②AI チップ開発を加速する共通基盤技術の開発(委託事業)
中間目標：本事業を通じて開発、整備した AI チップ設計のための共通基盤技術、学習環境、設計環境等の活用件数 10 件以上。
中間目標に対する成果：本事業を通じて開発、整備した AI チップ設計のための共通基盤技術、学習環境、設計環境等の活用件数 26 件。個別の実施項目の詳細は 3 章に記載。
最終目標：本事業を通じて開発、整備した AI チップ設計のための共通基盤技術、学習環境、設計環境等の活用件数 15 件以上。
最終目標に対する成果：本事業を通じて開発、整備した AI チップ設計のための共通基盤技術、学習環境、設計環境等の活用件数 74 件。個別の実施項目の詳細は 3 章に記載。</td></tr>
<tr><td></td><td>投稿論文</td><td>0 件</td></tr>
<tr><td></td><td>特許</td><td>助成　7 件

委託 1 件
(特記事項)本委託事業においては、特許権の取得より一般に幅広く使える AI チップのための設計技術の開発やそのマニュアル化、ノウハウ等の蓄積に注力した。なお、事業で開発、整備する AI チップ設計手法、リファレンスデザイン、IP ライブラリ、設計クラウド構成、SOC プラットフォーム等については共通基盤技術として公開し、拠点の継続的な運用に必要な箇所(ノウハウの位置付け)については公開範囲を限定する。</td></tr>
</table>

	その他の外部発表 (プレス発表等)	助成 プレス発表：0 件 研究発表・講演：0 件 展示会への出展：5 件 フォーラム・シンポジウム開催：0 件 セミナー開催：0 件 委託 プレス発表：4 件 ・2019 年 10 月：AI チップ開発加速のための「AI チップ設計拠点」が稼働開始 ―設計・評価ツールの提供により、中小・ベンチャーのチップ開発加速を目指す―　(NEDO、産総研、東大) https://www.nedo.go.jp/news/press/AA5_101211.html ・2021 年 5 月：複数の AI アクセラレータを搭載した評価チップの設計を完了、試作を開始 ―短期間で低コストの AI チップ設計・評価手法の確立へ―　(NEDO、産総研、東大) https://www.nedo.go.jp/news/press/AA5_101427.html ・2022 年 5 月：複数の AI アクセラレータを搭載した実証チップ「AI-One」の動作を確認 ―従来比 45%以下の短期間で低コストの AI チップ設計・評価が可能に―　(NEDO、産総研、東大) https://www.nedo.go.jp/news/press/AA5_101526.html ・2023 年 3 月：「AI チップ設計拠点」の本格運用を開始 ―設計環境の提供により、中小・ベンチャー企業などの AI チップ開発加速を目指す―　(NEDO、産総研、東大) https://www.nedo.go.jp/news/press/AA5_101614.html 研究発表・講演：47 件 展示会への出展：7 件 フォーラム・シンポジウム開催：46 件 セミナー開催：21 件
4.成果の実用化に向けた取組及び見通しについて	当初計画通り、研究開発項目①の助成事業では、採択条件として助成事業者が開発する AI チップや IP 等の事業化に向けた計画を実施計画に入れるよう要求し、事業期間中は採択者へのハンズオン支援を実施した。その結果、実用化率 58.8%(採択 17 件中 10 件)となっている。 また、研究開発項目②で整備する設計拠点においては、拠点の機能として拠点利用者とユーザーとなり得る企業とのマッチングを行う仕組みの構築を進めた。整備した AI チップ設計拠点は産総研の共用施設として、2023 年 4 月より本格運用を開始し、アウトカム目標達成に向けて、AI チップ設計開発加速に必要な共通基盤技術を提供するとともに、拠点利用者とユーザーとなり得る企業とのマッチング活動を継続している。	
5. 基本計画に関する事項	作成時期	2018 年 3 月　作成
	変更履歴	2020 年 9 月　改訂

プロジェクト用語集

用語	説明
AIDC	本事業で開発した共通基盤技術・資産を継承する自立運営組織の仮称。
AI チップ	人工知能(AI)技術により演算処理などを高速化することに特化した半導体チップ。
CNN	畳み込み型ニューラルネットワーク(Convolutional Neural Network)の略
d.lab	東京大学大学院工学系研究科付属システムデザイン研究センターの別名称。
DARPA	アメリカ国防高等研究計画局(Defense Advanced Research Projects Agency)の略
EDA	EDA は(Electronic Design Automation)の略で、半導体集積回路などの電気系回路設計を自動化・支援・補助するソフトウェア。
IP	IP は(Intellectual Property)の略で、半導体集積回路を構成する部分的な回路情報。
LSF	負荷分散機構(Load sharing Facility)の略。
NoMachine	NX Technology 社製品。中間サーバを必要としない設計システムへの接続ソフト。
NOC	Network-On-Chip の略。
RNN	再帰型ニューラルネットワーク(Recurrent Neural Network)の略。
RTL	レジスタ転送レベル(Register Transfer Level)の略で、論理回路をハードウェア記述言語で記述する際の手法。
SOC	System On a Chip の略で、集積回路の 1 個のチップ上に、プロセッサコアをはじめ一般的なマイクロコントローラが持つような機能のほか、応用目的の機能なども集積し、連携してシステムとして機能するよう設計されているチップ。
TCAD	Technology CAD の略で、プロセスシミュレータとデバイスシミュレータと回路シミュレータを統合したもの。
VDEC	VLSI Design and Education Center(東京大学大規模集積システム設計教育研究センター)の略。現在は d.lab に改組。
上流設計	半導体チップの設計工程の一つで、仕様に基づいて、半導体チップを構成する部品(機能素子)とそのつながりを表す回路データを作成する工程。
設計フロー	EDA ツールを用いた設計手順。
ツールチェーン	さまざまな種類の EDA ツールの組合せ。
テープアウト	半導体設計の最終段階の区切りをさし、完成したデータを製造部門に出荷すること。
(ハードウェア)エミュレータ	集積回路レベルからシステム全体までを高速に検証することができる検証装置。 産総研が、経済産業省「産業技術実用化開発事業費補助金：AI チップ開発加速のための検証環境整備事業」で導入。
物理設計	半導体チップの設計工程の一つで、上流設計で作成された回路データを用いて、半導体ウエハー上に半導体チップとして機能素子や配線などを作りこむためのデータを作成する工程。
ライブラリ	半導体設計で用いる設計部品データ。
リファレンスデザイン	完成品の実装例。

1. 事業の位置付け・必要性について

1. 事業の背景・目的・位置づけ

IoT、人工知能(AI)、ビッグデータ、ロボット等の技術革新により、これまで実現不可能と思われていた社会の実現が可能になりつつある。IoT 技術の進展により、実社会のあらゆる事業・情報がデータ化され、ネットワークを通じた自由なやりとりが可能となりつつある。AI 技術は、その飛躍によって、機械が自ら学習し人間を超える高度な判断をすることをも可能にしている。また、ビッグデータ技術によって、集まった大量のデータの分析から新たな価値を生み出すことを可能にしている。ロボット技術は、より多様かつ複雑な作業の自動化を可能にしている。また、これら技術革新の掛け合わせによって、革新的な製品やサービスが生み出されることも期待できる。例えば、無人自動走行車、ものづくり現場における多品種少量生産、個人に最適化された医薬品の提供、介護現場の労働力不足解消、インフラ保安の効率化等の実現が期待され、産業構造や就業構造を劇的に変える可能性を秘めている。

「必要なもの・サービスを、必要な人に、必要な時に、必要なだけ提供し、社会の様々なニーズにきめ細かに対応でき、あらゆる人が質の高いサービスを受けられ、年齢、性別、地域、言語といった様々な違いを乗り越え、活き活きと快適に暮らすことのできる」超スマート社会(Society 5.0)の実現には、上記のような第 4 次産業革命技術やそれらを用いて創造される製品やサービスを次々と社会実装していかなくてはならない。

関連する政策として、次のようなものが打ち出されている。第 5 期科学技術基本計画(平成 28 年 1 月閣議決定)では、「超スマート社会」(Society 5.0)の実現において、構築に必要で速やかな強化を図るのが必要な基盤技術として、安全な情報通信を支える「サイバーセキュリティ技術」、IoT やビッグデータ解析、高度なコミュニケーションを支える「AI 技術」、大規模データの高速・リアルタイム処理を低消費電力で実現するための「デバイス技術」、IoT の高度化に必要となる現場システムでのリアルタイム処理の高速化や多様化を実現する「エッジコンピューティング」等が挙げられている。「科学技術イノベーション総合戦略 2017」(平成 29 年 6 月閣議決定)では、「超スマート社会」(Society 5.0)の実現に向けた重きを置くべき取組として、「サイバー空間関連の基盤技術の強化(エッジコンピューティング等)」や「フィジカル空間関連の基盤技術の強化(超小型・超低消費電力デバイス等)」が挙げられている。「未来投資戦略 2017」(平成 29 年 6 月閣議決定)では、イノベーション・ベンチャーを生み出す好循環システムのための重点投資すべき分野の取組の一つとして、「AI 学習効率の向上、自然言語処理、ディープ

ラーニング翻訳、超高効率 AI 処理に資する半導体及び革新的センサー等の基盤技術開発及びその組み込みシステムへの適用」が挙げられている。

また、経済産業省は、Society 5.0 を実現するための我が国の産業が目指すべき姿(コンセプト)として、「Connected Industries」を提唱した(2017 年 3 月)。Connected Industries は、既存産業とデジタル技術の「つながり」をはじめとして、機械、データ、技術、ヒト、組織など様々なものの繋がりによって新たな付加価値の創出や社会課題の解決を目指すものである。経済産業省は、Connected Industries を実現するための事業を強力に推進しており、特に、「自動走行・モビリティサービス」、「バイオ・素材」、「スマートライフ」、「プラント・インフラ保安」、「ものづくり・ロボティクス」を 5 つの重点取組分野としている。

上記の社会課題解決には、大量データの効率的かつ高度な利用を可能とする情報の収集、蓄積、解析、セキュリティなどの技術に加え、AI・次世代コンピューティング技術がエッジやクラウド領域において求められている。中でも、自動走行やロボティクスを始めとする分野では、従来のクラウドコンピューティングからネットワークの末端(エッジ)で中心的な情報処理を行うエッジコンピューティングへの分散が不可欠になると考えられており、エッジにおける処理の重要性や価値が高まると推察されている。特にエッジにおいては限られた資源を用いて効率的に処理を行う必要があるため、性能を飛躍的に向上させられる AI 技術の活用が期待されている。この転換期を日本の IT 産業が大幅に成長するチャンスと見据え、産学官の体制による野心的な技術開発を推進することが重要である。

日本は、コンピューティング分野において、ハードウェアを中心に存在感を発揮してきた。1980 年前後には、日本発の材料、メモリ、アーキテクチャなどの革新的な技術を発明し、ムーア則実現の礎を築いた。

その後、ファウンドリーという業態が新たに誕生し、設計と製造を分離することで複雑化する集積回路の開発に対応する動きが活発化したが、市場変化への対応が遅れたことに伴い、例えば半導体では 1988 年には 50%を超えていたシェアが現在では 10%程度にまで落ち込む等、現在はコンピューティング分野において苦戦している。

分業化が進む集積回路開発分野において、独創的な VLSI(大規模集積回路)システムを発想し、回路構成・基本設計技術を有する技術者集団を育成するため、VLSI の設計教育の高度化と充実を目指し、1996 年に全国の大学などが共同で利用できる施設として VDEC(大規模集積システム設計教育研究センター)が東京大学内に設置された。主に、学術的用途向けとして、集積回路設計に欠かせない設計環境や検査・測定環境を自ら保有し、学

生、研究者を中心に解放することで、人材育成に寄与している。また、一般社団法人電子情報技術産業協会の半導体部会役員会が推進した半導体先端技術の民間共同開発プロジェクト「あすかプロジェクト」が 2001 年に開始し、デザインルール hp65 向け技術として SOC(System-On-a-chip)の開発効率を向上させる 45nm 対応設計技術や 32nm 対応プロセスデバイス技術を開発したが、10 年後の 2010 年に終了している。

日本の情報産業の再興のためには、最先端の設計開発を推進する新たな基盤的な環境や技術を整備、開発することが勝負の鍵となる。

米国では、半導体集積回路の設計作業を自動化し支援するためのソフトウェアやハードウェア及び手法である EDA(Electronic Design Automation)技術の黎明期から、国が大学の研究活動を中心に支援してきた。現在も、DARPA(Defense Advanced Research Projects Agency)が CRAFT(Circuit Realization at Faster Timescales)プログラムを通して LSI の開発を支援しており、中小企業やベンチャー企業は非常に安価な料金で LSI の設計から試作、評価に取り組むことが出来ている。欧州でも比較的早くから LSI 設計技術が IMEC などの産学連携を通じて強化されてきた。中国でも半導体を基幹産業とするために国内企業の育成に取り組んでおり、国家政策により上海、北京、無錫、成都、大連 等を IC 産業育成地域として指定し、国営の IC R&D Center(試作、EDA、テストサービス)を設置している。

ネットワークの末端(エッジ)で中心的な情報処理を行うエッジコンピューティング技術の重要性や価値が高まる中、日本にはベンチャー企業を中心に AI に関する高度な技術が存在するが、図 1-1 に示すように、競争力のある AI チップを開発するためには、AI とチップの設計、ソフトとハード双方に関する知見と技術に加え、高額な設計ツールや設計検証設備等が必要となっている。

東京大学を中心として運営される LSI 開発支援拠点 VDEC も存在したが、アカデミックライセンスが主体の学術的用途という制約があり、特にベンチャー企業等が有する革新的アイディア等の開発やビジネス化を加速する、新たな共通基盤が求められている。

本事業では、大学や研究機関等による高度な AI チップ開発のための共通基盤技術の開発を進めるとともに、その知見や AI チップの設計・評価・検証等の開発環境を民間企業等に提供する。

民間企業等においては、AI チップに関するアイディア実用化に向けた研究開発を支援するとともに、AI チップ開発を加速するために整備した設計検証拠点で開発を実施し、AI チップ開

発スキームにおける設計、検証をシームレスに実施することで、革新的なアイディアの実現を加速する研究開発を進め、世界における存在感を再び獲得することを目指す。

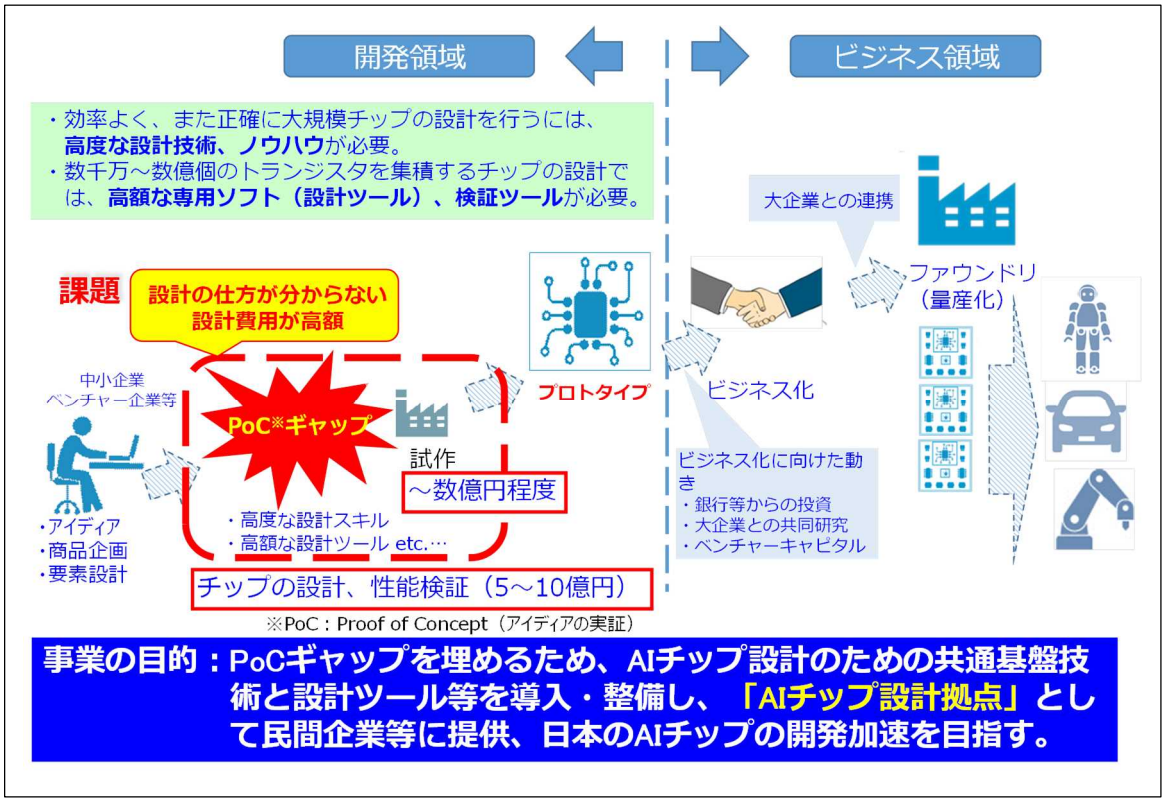


図 1-1　本事業の課題と目的

2.　NEDO の関与の必要性･制度への適合性

2.1　NEDO が関与することの意義

日本にはベンチャー企業を中心に AI に関する高度な技術が存在するが、当該 AI をエッジ側で効率的かつ高速に動作させるためには、AI の動作専用に設計開発した専用デバイス(AI チップ)が必要となる。しかし、AI チップの開発には高額利用料が必要となる専用の設計ツール(EDA ツール)、検証装置等が必要であるとともに、試作にかかる費用も高額であるため、革新的な構想が企業にあったとしても AI チップの設計開発を行う事が出来ずにいる。

専用の設計ツールを用いなければならない背景には、微細化が進む事での回路設計の高度化に対応する必要があることと、EDA ツールを使わなければ設計した回路の性能が保証されないという面がある。そのため、アイディア段階ではビジネス化までの事業化計画が不明確となり、

民間資金の獲得も困難となる。これが AI チップビジネスに参入しようとする企業にとって、開発とビジネス化の間を隔てる高いハードルとなっている。

そのため、国が主導してこのハードルを取り除く政策を実施し、画期的なアイディアを用いた AI チップの設計開発を推進するとともに、開発を通じた人材育成はもとより、エッジコンピューティングの実現に貢献し、日本の産業競争力の強化にも繋げる。

2.2 実施の効果(費用対効果)

本プロジェクトの総事業費は 2018～2022 年度で 83.5 億円を計画しており、プロジェクトを通じて、2032 年のエッジ向け AI チップの世界市場で 750 億円の市場獲得を目指す。また、現状以上の性能を有する AI チップの実用化率は 2023 年以降で 50%以上を目指す。目指している市場獲得の数値は、以下から推測した。IRTNTR12711_Global Artificial Intelligence Chips Market 2017-2021 によると、2021 年の AI チップ市場は 5.24 億ドル、市場成長率は 30～70%と予想されている。この AI チップ市場において、本事業が関わるエッジ領域は、PWC(AI による市場シェアの拡大、WWW.PWC.COM/JP、2020 年 3 月)等から 1/5 と仮定した。為替レートはこの 20 年の平均を考慮し 1 ドル 100 円、市場成長率は前述の IRTNTR12711 の予測を参考に 30%と仮定した。日本メーカの市場占有率は、エコノミスト Online 記事(https://weekly-economist.mainichi.jp/articles/20200204/se1/00m/020/053000c)から 20%と

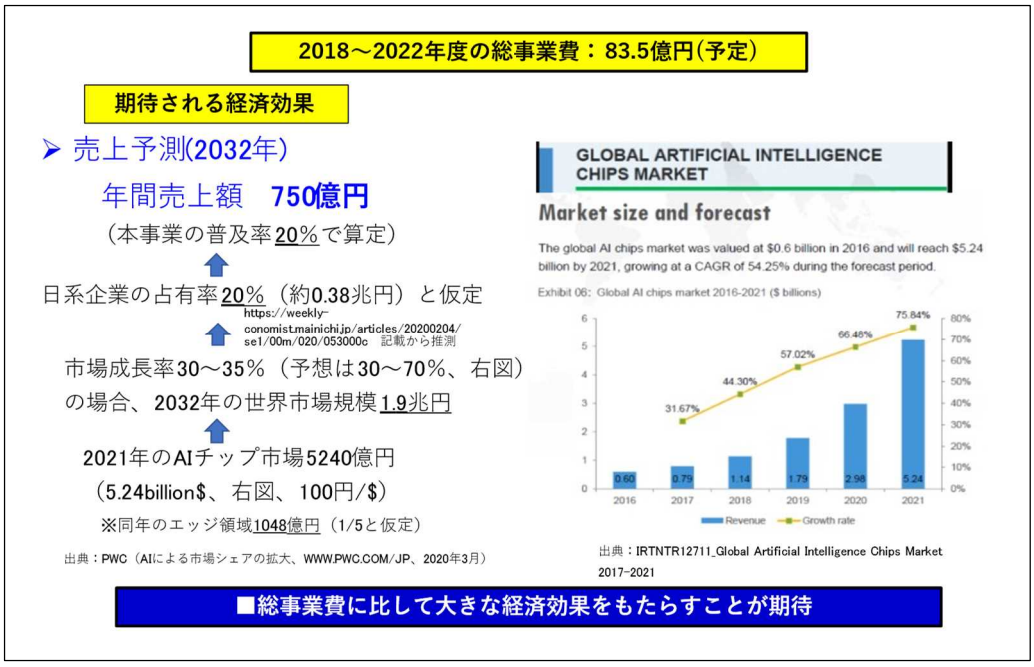


図 1-2 本事業の実施の効果

仮定した。本事業の普及率 20%で試算した結果、2032 年の市場獲得は 750 億円となった(図 1-2)。

前述の目標の達成に向け、国内の大学・研究機関等によって開発した共通基盤技術(高機能な AI チップ開発に資する設計技術等)は、順次民間企業等へ提供し、開発拠点の機能向上を図る。

民間企業等の AI チップのアイディア実用化開発については、1 年目終了時に継続可否に係るステージゲート審査を実施し、ビジネス化に向けた動きがあり優れた成果が見込める企業を集中的に支援する。

また、AI チップの研究開発と並行して、民間企業等において IoT や AI 技術を活用するための知見やノウハウを持った人材の育成を進めることで、本研究開発の成果の更なる高度化へと繋げる。

プロジェクトの実施において、民間企業は並行して成果を活用する企業とのマッチングも実施し、事業終了後は本格的なビジネス化へと繋げる。

2. 研究開発マネジメントについて

1. 事業の目標

1 章で述べた事業の背景・目的・位置づけから、本事業の目標を、“大学や研究機関等による高度な AI チップ開発のための共通基盤技術の開発を進めるとともに、その知見や AI チップの設計・評価・検証等の開発環境を AI チップ設計拠点として整備し、民間企業等に提供、AI チップの開発を加速する。”とし(図 2-1)、次に述べる研究開発項目を設定した。

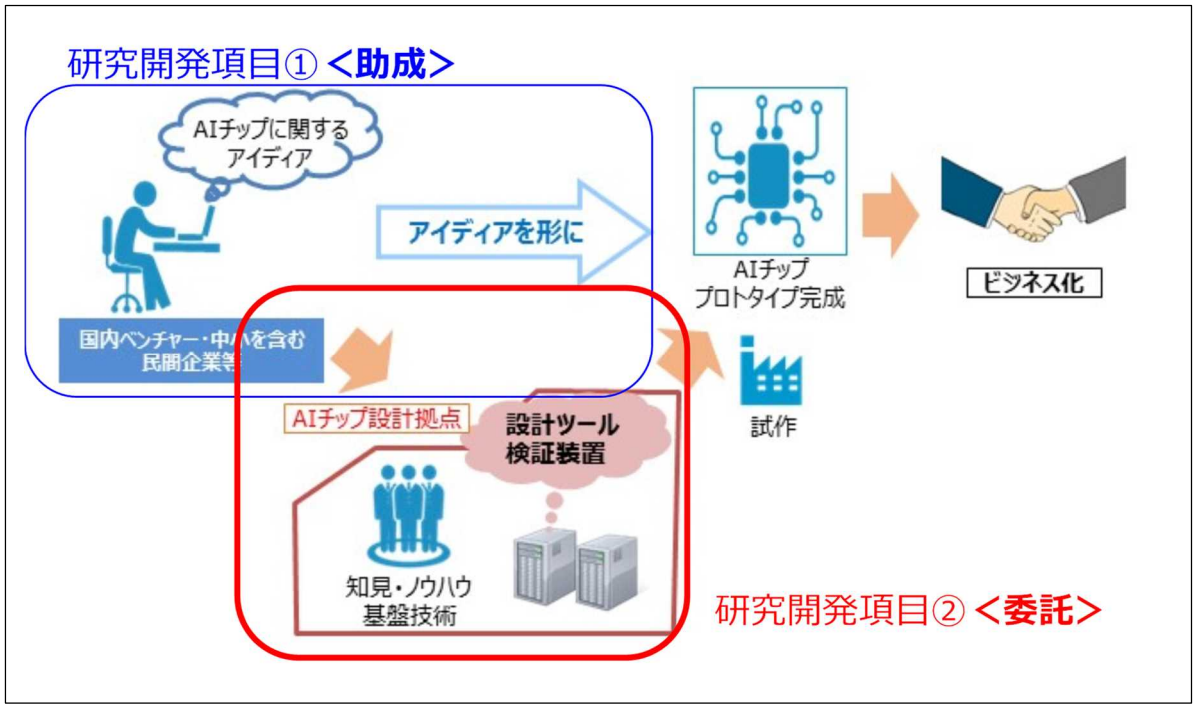


図 2-1 本事業の目標と研究開発項目のイメージ

【研究開発項目①】AI チップに関するアイディア実用化に向けた開発

AI チップの設計を行い、AI チップの動作を効率化し現状以上の性能を有することをシミュレーション等により検証する。

＜中間目標(各事業 1 年目)＞

- 現状以上の性能を有する AI 向けチップの設計を行い、評価・検証が可能な段階まで到達することを目標とする。
- 設計した AI 向けチップのビジネス化に向けたシナリオを作成する。

＜最終目標(各事業 2 年目)＞

- 設計した回路等を、シミュレーション等により、現状以上の性能を有することを検証する。
- 検証した AI 向けチップのビジネス化の道筋を立てる。

上記目標を設定した根拠は、アイディアの効果や技術的実現性を早期に検証するとともに、研究開発項目②の拠点の構築に向けたフィードバックを行うためである。また、事業終了時点で社会実装先に求められる諸性能を満たすことを前提に、事業開始時に広く普及している技術と比較し評価する。なお、事業初年度に設定する中間目標は、事業開始時期に応じて適宜修正、変更する。

上記の取組を通して、2023 年以降、順次技術の実用化率 50%以上を目指す。

【研究開発項目②】 AI チップ開発を加速する共通基盤技術の開発

AI チップ開発に必要な集積回路設計ツールや設計検証設備を備えた開発拠点を構築し、本事業を通じて開発、整備した AI チップ設計のための共通基盤技術、学習環境、設計環境等を「AI チップ設計拠点」として整備し、民間企業等に提供、日本における AI チップの開発を加速することを目指す。

＜中間目標(2020 年度)＞

- 本事業を通じて開発、整備した AI チップ設計のための共通基盤技術、学習環境、設計環境の活用件数 10 件以上を目標とする。

＜最終目標(2022 年度)＞

- 事業を通じて開発、整備した AI チップ設計のための共通基盤技術、学習環境、設計環境の活用件数 15 件以上を目標とする。

※上記目標を設定した根拠は、初年度整備の環境を早期に公開・活用し、研究開発項目①の事業者を中心とした拠点利用者から数多くのフィードバックを受け、拠点の整備に生かすため。

2. 事業の計画内容

2.1 研究開発の内容

2.1.1 研究開発項目①AI チップに関するアイディア実用化に向けた開発 ＜助成＞

AI チップに関するアイディアを実用化するため、専用の設計ツールを用いて論理設計等の基礎設計を行い、シミュレーション等により有効性を評価・検証する。さらに検証した成果をビジネス化するために企業との連携を進め、ビジネス化への道筋を立てる。

その他、AI チップの実用化に向けた研究開発において重要となる技術開発等についても、適宜開発を進める。

公募は毎年実施し、研究開発期間は原則 2 年以内とし、課題設定型産業技術開発費助成金交付規程に則り、助成率 2/3 以内、助成金 5,000 万円以内/年、2020 年 10 月からは助成対象拡大のため、中小企業は助成率 2/3 以内、助成金 6,600 万円以内/年、中堅企業は助成率 1/2 以内、助成金 5,000 万円以内/年とする。また、研究開発を効率的に推進するため、1 年目終了前にステージゲート方式を適用する。対象者は中小企業等とし、実施体制は連名提案可(ただし連名提案者も中小企業等)、大学・公的機関との共同研

事業期間	毎年公募で事業者を決定 交付決定（事業開始）から最大２年間 1年目終了前にステージゲート審査で2年目の継続を判断
交付規程	課題設定型産業技術開発費助成金交付規程
助成率	２／３以内（中小企業）、１／２以内（中堅企業）
助成金の額	６６００万円以内/年 × ２年間（中小企業） ５０００万円以内/年 × ２年間（中堅企業）
対象技術	ＡＩチップに関するアイディア実用化に向けた開発※
対象者	中小企業等
実施体制	連名提案可（ただし、連名提案者も中小企業等） 大学・公的機関との共同研究可

※ 助成対象事項
①ＡＩチップに関するアイディアの実用化に向けた開発であること。
②ＡＩチップの性能を、シミュレーション等により評価し、現状以上の性能を確認することを目標としたものであること。
③提案時に提出する事業化計画をベースにし、検証したＡＩチップのビジネス化の道筋を立てることを目標にするものであること。

図 2-2 研究開発項目①(助成)の概要

2.1.2 研究開発項目②AI チップ開発を加速する共通基盤技術の開発 <委託>

高度な AI チップ開発を加速するために必要な共通基盤技術として、世界標準の商用基盤に接続することを目的とした、AI チップの設計・評価・検証等の開発環境を整備する。また、チップ開発を促進する共通技術の開発、IoT や AI 技術を活用するための知見やノウハウを持った人材を育成する環境の整備を行い、革新的なアイディアの実現を加速する。

革新的なアイディアから AI チップを設計する段階において、図 2-3 に示すように、アイディアをハード化する、大規模化する、特殊機能の具現化など行う際の技術的な障壁が存在する。

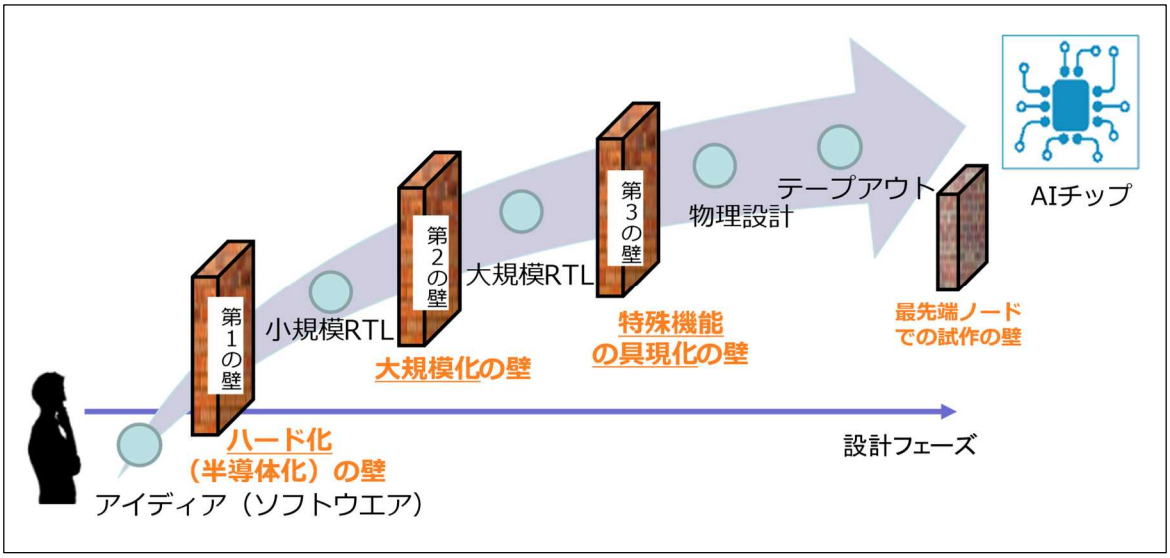


図 2-3 AI チップ設計段階における障壁

上記設計段階での障壁を突破するために必要な共通基盤技術の研究開発、及び開発環境の整備・人材育成の環境整備の観点から、 図 2-4 に示す実施項目を設定した。

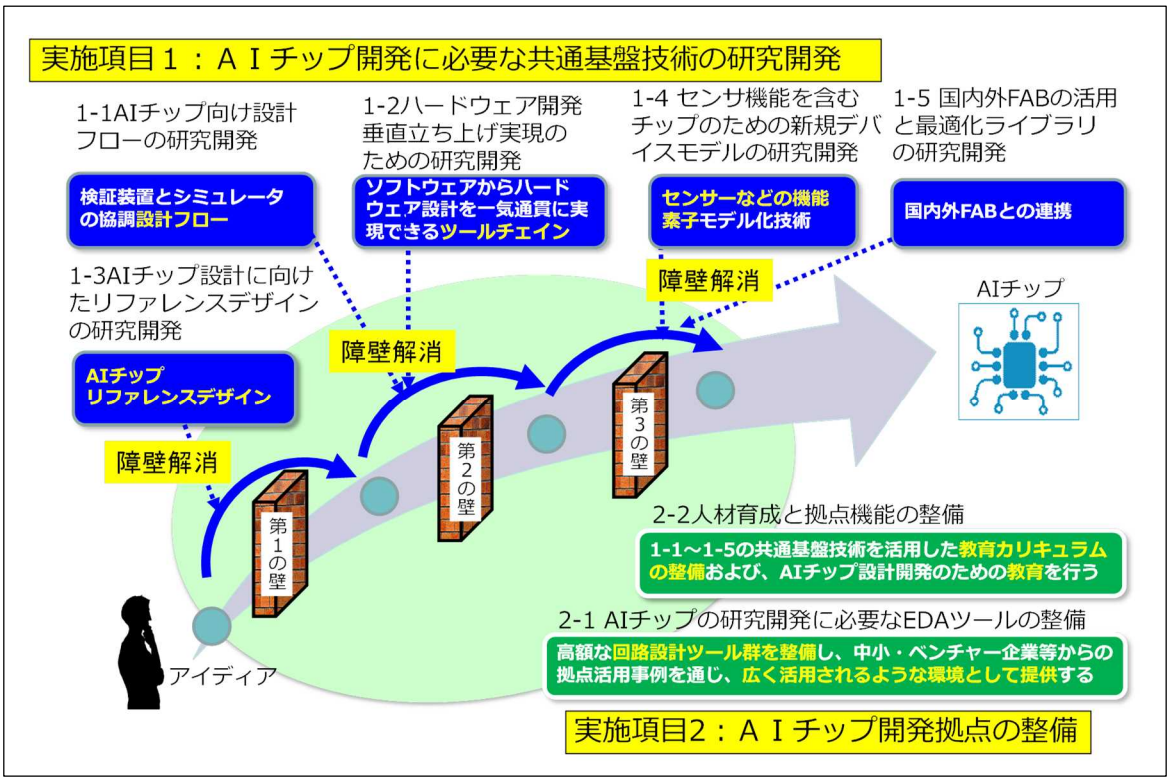


図 2-4　研究開発項目②における各実施項目の位置付け

各実施項目は以下の通り。

実施項目 1：AI チップ開発に必要な共通基盤の研究開発

実施項目 1-1：AI チップ向け設計フローの研究開発

実施項目 1-2：ハードウェア開発垂直立ち上げ実現のための研究開発

実施項目 1-3：AI チップ設計に向けたリファレンスデザインの研究開発

実施項目 1-4：センサー機能を含むチップのための新規デバイスモデルの研究開発

実施項目 1-5：国内外 FAB の活用と最適化ライブラリの研究開発

実施項目 2：AI チップ開発拠点の整備

実施項目 2-1：AI チップの研究開発に必要な EDA ツールの整備

実施項目 2-2：人材育成と拠点機能の整備

なお、整備する拠点は、AI チップの開発に対し、開発コストやリスク等から民間企業単独では挑戦できないような開発を行うための共通基盤を構築し、研究開発項目①の実施者をはじ

めとした中小企業等が広く活用できる環境整備を行い、AI チップ技術の開発を加速する。さらに、拠点利用者の意見等を収集し、共通基盤技術、及び拠点機能を拡充させていく。

研究開発項目①のスケジュールを図 2-5 に示す。

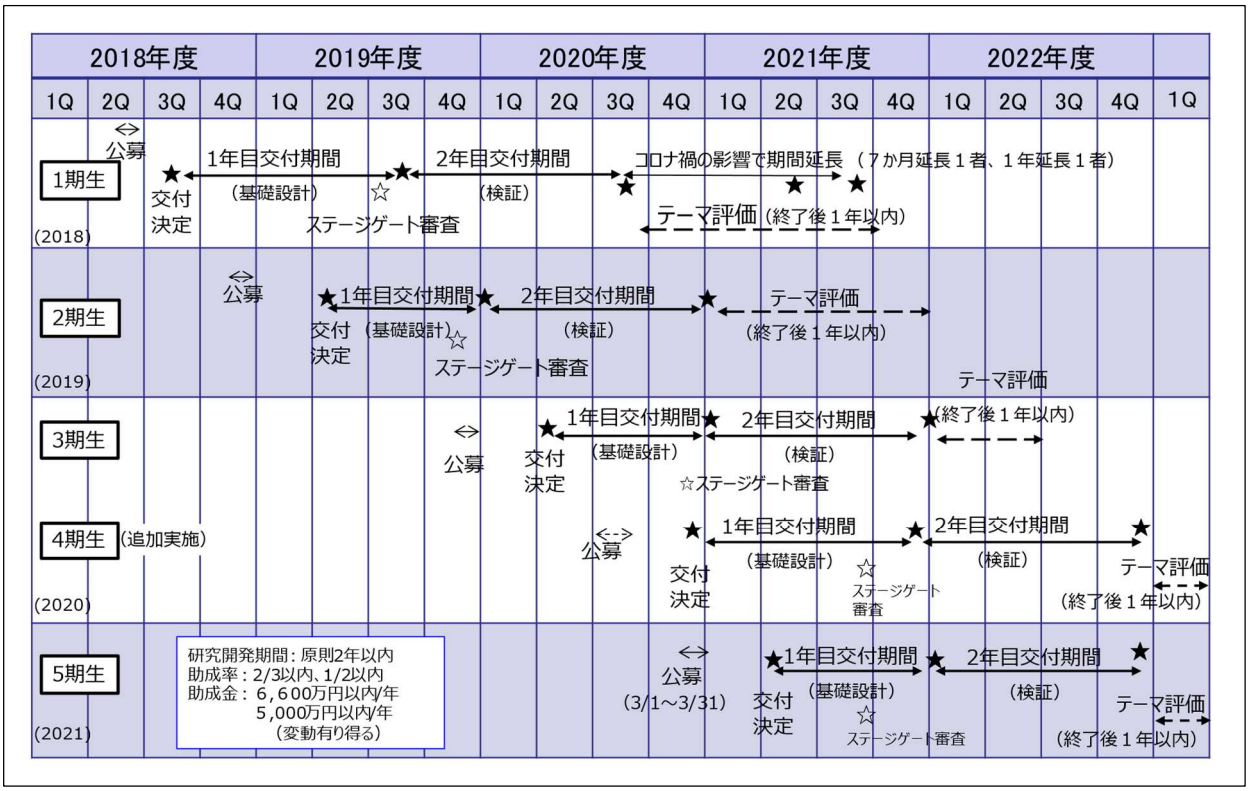


図 2-5　研究開発項目①のスケジュール

研究開発項目②のスケジュールを図 2-6 に示す。

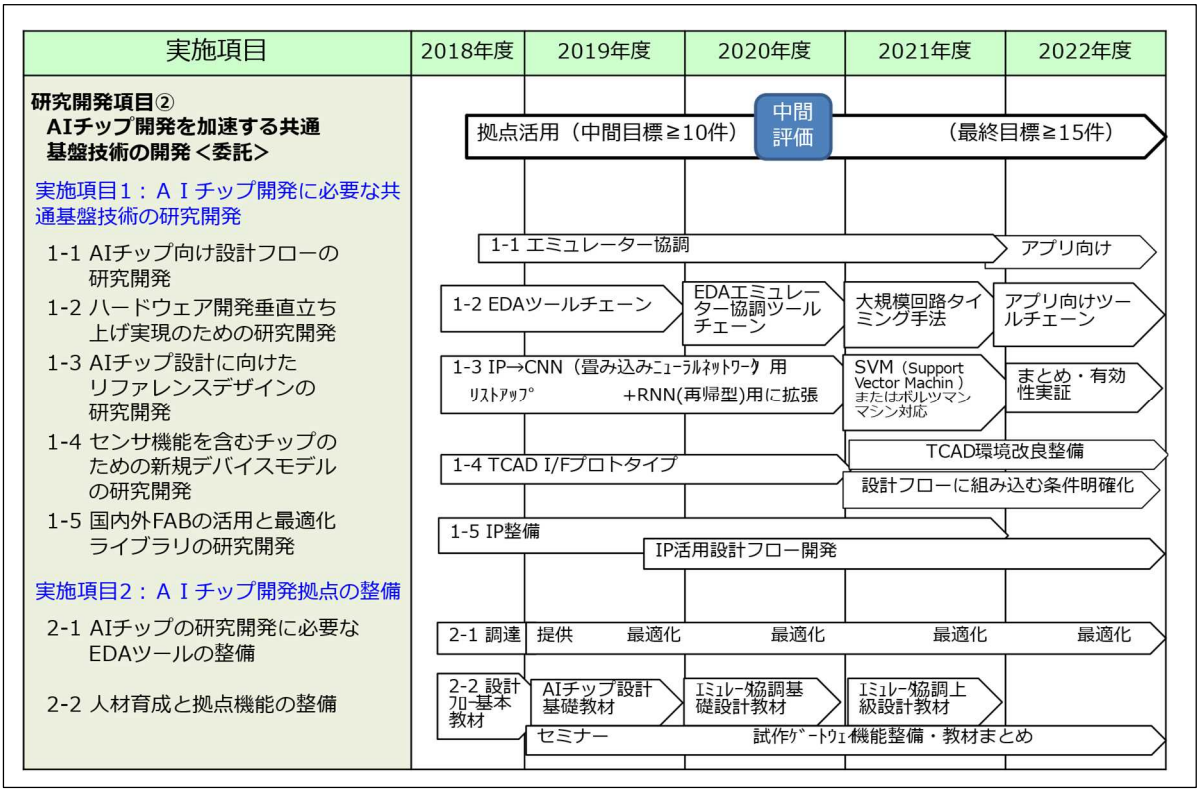


図 2-6　研究開発項目②のスケジュール

プロジェクト費用を表 2-1 に示す。

表 2-1　プロジェクト費用の実績

（単位：百万円）

研究開発項目			補助率	2018年度	2019年度	2020年度	2021年度	2022年度	合計
研究開発項目①	助成	中小企業	2/3	53	278	237	202	40	810
研究開発項目①	助成	中堅企業(※) 2022年度(第2回) 4回目公募より追加	1/2	－	－	－	22	37	59
研究開発項目②	委託	－	1/1	631	1,658	1,748	1,986	2,094	8,117
全体				684	1,936	1,985	2,210	2,171	8,986

（※）中堅企業：「中堅企業」とは、売上高1,000億円未満又は従業員が1,000人未満の企業であって、中小企業者およびみなし大企業に該当しない法人

2.2 研究開発の実施体制

プロジェクトマネージャー(以下「PMgr」という。)として、2018 年 5 月から 2019 年 3 月まで NEDO IoT 推進部 遠藤康浩 主査、2019 年 4 月から 2023 年 3 月まで NEDO IoT 推進部 波佐昭則 主任研究員を任命して、プロジェクトの進行全体を企画・管理し、そのプロジェクトに求められる技術的成果及び政策的効果を最大化させる。

また、各実施者の研究開発能力を最大限に活用し、効率的かつ効果的に研究開発を推進する観点から、NEDO は国立大学法人東京大学 大学院情報理工学系研究科 教授 中村宏をプロジェクトリーダー(以下「PL」という。)とし、PL の下で研究開発を実施する。

研究開発項目①の実施者は公募により選定する。必要に応じて、実施期間中に複数回公募を行う。研究開発実施者の選定においては、課題解決への道筋やビジネス化へのストーリーを設定できていることを重視する。

実施者は、企業や大学等の研究機関等(以下「団体」という。)のうち、原則として日本国内に研究開発拠点を有するものを対象とし、単独又は複数で研究開発に参加するものとする。ただし、国外の団体の特別の研究開発能力や研究施設等の活用又は国際標準獲得の観点から必要な場合は、当該の研究開発等に限り国外の団体と連携して実施することができるものとする。

実施者の選定・審査は、公募要領に合致する応募を対象に NEDO が設置する審査委員会(外部有識者で構成)で行う。当該委員会の結果を参考とし、本事業の目的の達成に有効と認められる事業者を選定した後、NEDO 内に設置した契約・助成審査委員会において採択の可否を決定する。申請者に対しては、必要に応じてヒアリング等を実施する。審査委員会は非公開のため、審査経過に関する問い合わせには応じない。

採択結果については、NEDO から申請者に通知する。なお不採択の場合は、その明確な理由を添えて通知する。採択案件については、申請者の名称、研究開発テーマの名称・概要を公表する。

研究開発の実施体制図を図 2-7 に示す。研究開発項目②の実施者は審査委員会での審査の結果、国立研究開発法人産業技術総合研究所(以下「産業技術総合研究所」という。)、国立大学法人東京大学(以下「東京大学」という。)、産業技術総合研究所の再委託先として福岡県産業・科学技術振興財団を採択し、研究開発責任者として産業技術総合研究所 招聘研究員 内山邦男とした。また、2.3 で述べるがプロジェクト全体の課題解決・個別テーマの推進のための委員会も設置・運用している。

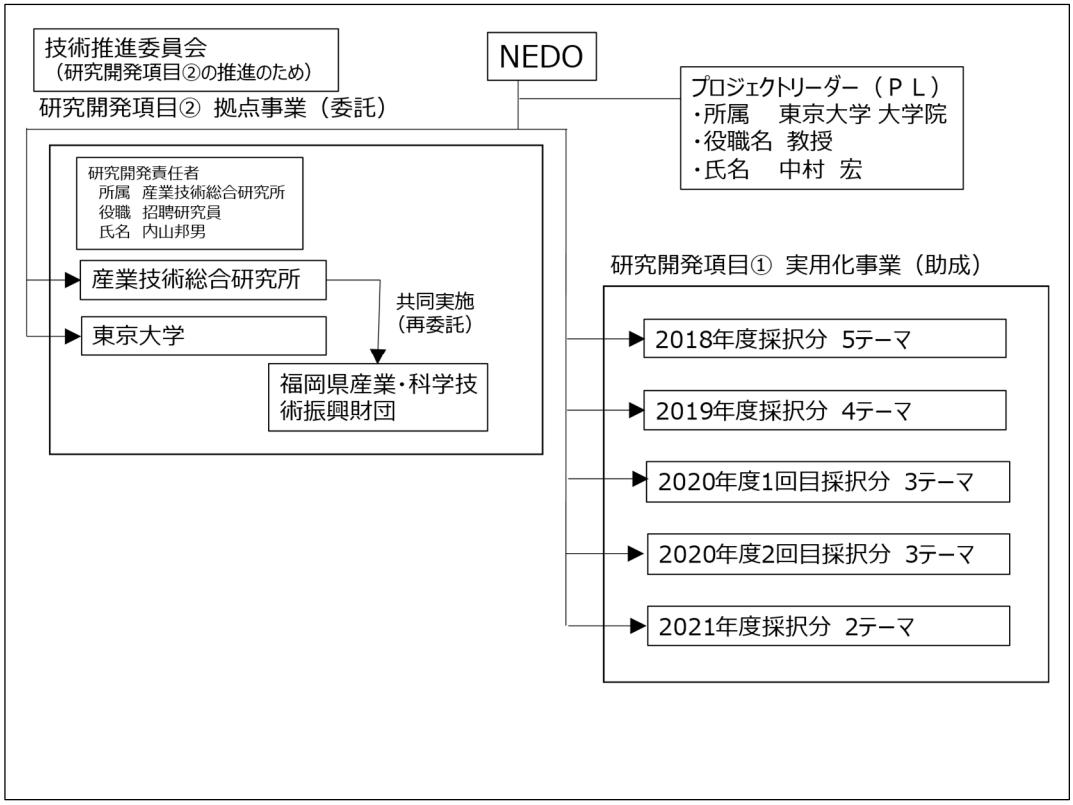

技術推進委員会
（研究開発項目②の推進のため）
NEDO
プロジェクトリーダー（ＰＬ）
・所属　東京大学 大学院
・役職名　教授
・氏名　中村 宏
研究開発項目② 拠点事業（委託）
研究開発責任者
所属 産業技術総合研究所
役職 招聘研究員
氏名 内山邦男
産業技術総合研究所
東京大学
共同実施
（再委託）
福岡県産業・科学技術振興財団
研究開発項目① 実用化事業（助成）
2018年度採択分 5テーマ
2019年度採択分 4テーマ
2020年度1回目採択分 3テーマ
2020年度2回目採択分 3テーマ
2021年度採択分 2テーマ

図 2-7 本事業の体制図

2.3　研究開発の運営管理

NEDO は、研究開発全体の管理、執行に責任を負い、研究開発の進捗のほか、外部環境の変化等を適時に把握し、必要な措置を講じるものとする。運営管理は、効率的かつ効果的な方法を取り入れることとし、次に掲げる事項を実施する(図 2-8)。

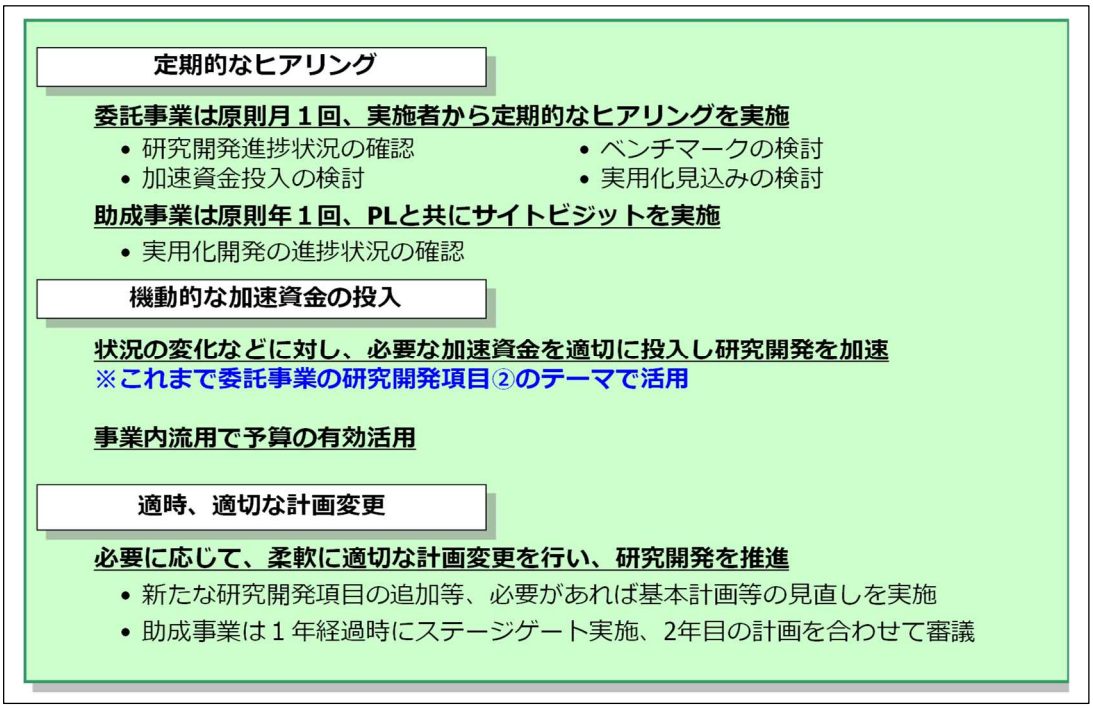


図 2-8　研究開発の進捗管理方針

①研究開発の進捗把握・管理

PMgr は、PL や研究開発実施者と緊密に連携し、研究開発の進捗状況を把握する。また、必要に応じ、外部有識者で構成するアドバイザリー委員会を組織し、定期的に技術的評価を受け、目標達成の見通しを常に把握することに努める。各テーマの進捗、成果の事業化の見通し等を踏まえ、必要に応じ、加速、縮小、実施体制の再構築を行う。

②技術分野における動向の把握・分析

プロジェクトで取り組む技術分野について、内外の技術開発動向、政策動向、市場動向等について調査し技術の普及方策を分析、検討する。なお、調査の効率化の観点から、本プロジェクトにおいて委託事業として実施する。

③研究開発テーマの評価

研究開発項目①については、研究開発を効率的に推進するためステージゲート方式を適用する。ステージゲートは原則 1 年経過した段階を目途に 1 度実施し、毎年、研究開

発テーマ毎の予算配分を精査する。また、各テーマの事業期間終了後 1 年以内に事後評価(テーマ評価)を実施する。

また、本プロジェクトの研究開発項目②においては、技術推進委員会を組織し、定期的に、事業の進捗や計画についてアドバイスをいただき、いただいたアドバイスを各実施項目の推進に活用している。

2.4 研究開発成果の実用化に向けた マネジメントの妥当性

研究開発項目①AI チップに関するアイディア実用化に向けた開発 <助成> の進捗管理の実績と予定を図 2-9 に示す。図に示すように、計画通りの管理を行っている。なお、一期生の検証中の 2 テーマはコロナ禍の影響があり、期間延長で調整している。

図 2-10 にこれまでに採択・交付決定の実施者名・テーマ名・2 年目交付の有無を示す。図に示すように、これまでに 17 件採択・交付決定済みである。

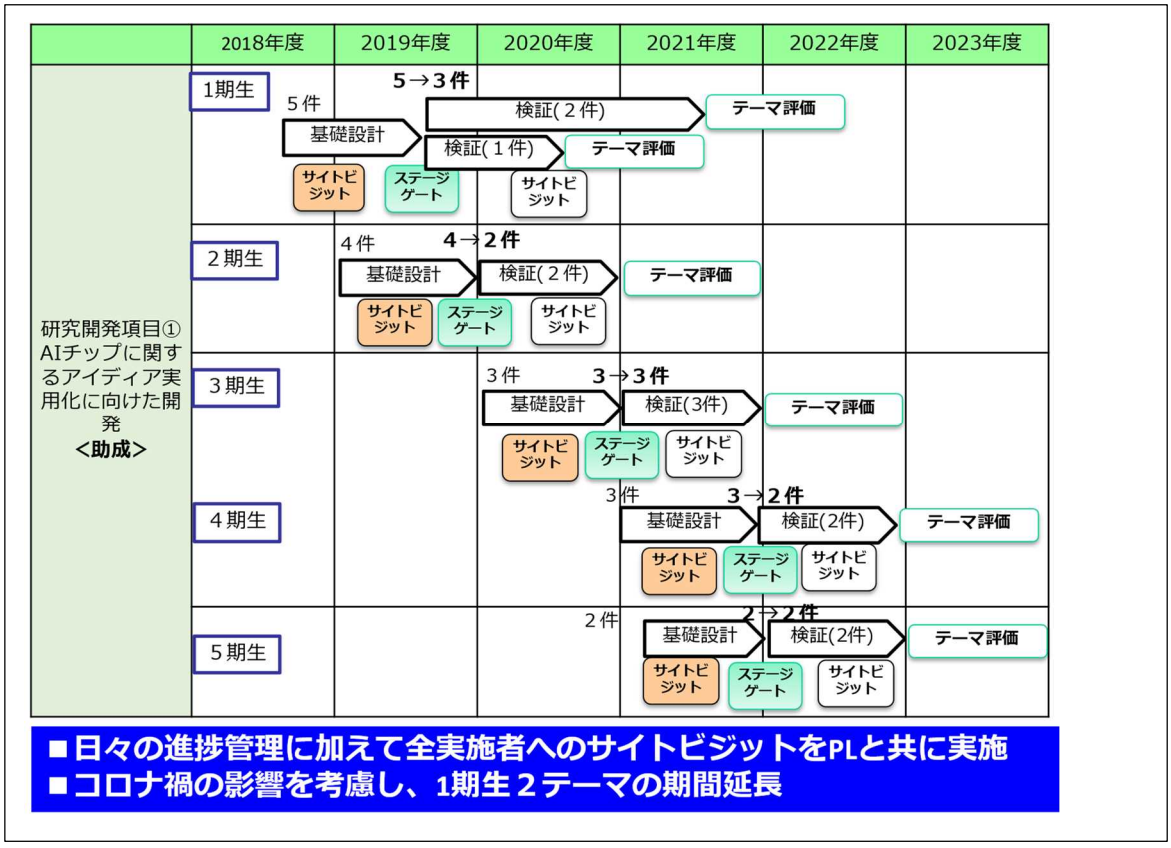


図 2-9 研究開発項目①の進捗管理実績

17件採択・交付決定
（※採択12件の実施者が研究開発項目②の拠点を活用）

一期生（2018年度）：採択５件⇒２年目３件（ステージゲート審査結果による）

実施者名	テーマ名	２年目交付
株式会社テックイデア	AI機能を有するCMOSイメージセンサおよびセンサ装置の開発	対象
株式会社レイトロン	AIを用いた高性能リアルタイム対話インターフェースの開発	対象
東北マイクロテック株式会社	サイクリック学習機能を有する超低電力 AIチップの開発	対象
株式会社Trigence Semiconductor	AIエッジ搭載音声インターフェースモジュールの研究	－
株式会社シンコム	エッジデバイスをAI化する汎用画像処理プロセッサの開発・評価	－

二期生（2019年度）：採択４件⇒２年目２件（終了テーマの内一件は、事業化前倒しにより2年目辞退）

実施者名	テーマ名	２年目交付
株式会社ディジタルメディアプロフェッショナル、株式会社カイ	癌コンパニオン診断用AI病理画像システム向けAIハードウェア研究開発	対象
株式会社シグリード	AI技術でメモリの通信速度を高速化するメモリコントローラの開発	対象
株式会社ハカルス	スパースモデリング技術を用いた学習・推論エンジンを搭載するＡＩチップ開発	事業化前倒しのため1年目で終了
株式会社エイ・オー・テクノロジーズ	画像集合演算プロセッサ（2D-SOP）による高度画像認識基盤の開発	－

三期生（2020年度１回目）：採択３件⇒２年目３件（ステージゲート審査結果による）

実施者名	テーマ名	２年目交付
株式会社ネフロック	FPGAでリアルタイムに高品質な音声合成を行うリコンフィギュラブルＡＩチップ開発	対象
ＡＭＩ株式会社	心疾患自動診断アシスト機能搭載チップの実用化に向けたシステム開発	対象
株式会社AnchorZ	適時生体情報と利用履歴による認証システム端末用アルゴリズム・ハードウェア要素開発	対象

四期生（2020年度２回目）：採択3件⇒２年目2件（終了テーマの一件は、事業化前倒しにより2年目辞退）

実施者名	テーマ名	２年目交付
PGV	脳波AI開発環境の生産性向上に向けた脳波AI前処理チップとツールの開発	事業化前倒しのため1年目で終了
メイビスデザイン	環境適応型エッジデバイス向けオンチップ学習機能搭載AIチップの開発	対象
テクノアクセルネットワークス	組み込み AI データ用セキュリティエンジン IP の開発及び LSI 化検証	対象

五期生（2022年度）：採択2件⇒２年目2件（ステージゲート審査結果による）

実施者名	テーマ名	２年目交付
テックイデア	アナ・デジ技術を用いたAIプロセッサ用超低電力積和演算器の開発	対象
ソリトンシステムズ	再構成可能なアナログニューロン回路を用いた超低消費電力 AIチップの開発	対象

図 2-10　研究開発項目①の採択状況

研究開発項目②AI チップ開発を加速する共通基盤技術の開発＜委託＞の進捗管理の実績と予定を図 2-11 に示す。図に示すように、計画通りの管理を行っている。

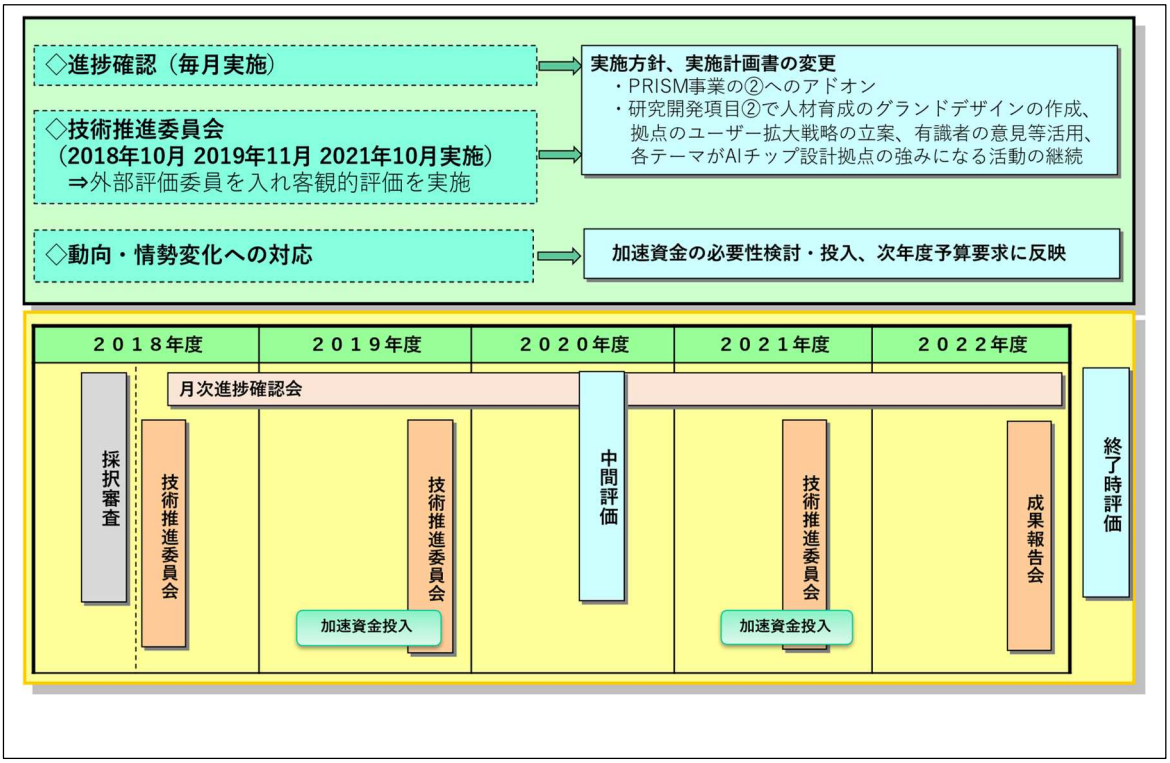


図 2-11　研究開発項目②の進捗管理実績と予定

本プロジェクトの実用化の定義は、「当該研究開発に係る AI チップのための設計フロー(設計手順)等の共通基盤技術や導入された設計ツールが、本事業で整備された拠点を通し、顧客や社会へ提供される等、具体的なサービス利用が開始されていること」とする。

上記実用化に向け、2.1.2 で述べた研究開発項目②の各実施項目において、以下の中間目標と最終目標を設定した。なお、これらの目標は、拠点利用者から得られるフィードバックを通して適宜最適化させる。

実施項目 1：AI チップ開発に必要な共通基盤の研究開発

実施項目 1-1：AI チップ向け設計フローの研究開発

【中間目標】

・拠点利用者が、小・中規模の回路に対し、拠点で構築した RTL 記述を用いたエミュレータ・シミュレータ協調設計検証フローで設計検証を実施(5 件以上)

・拠点利用者が、小・中規模の回路に対し、拠点で構築したネットリストレベルの記述を用いたエミュレータ・シミュレータ協調設計検証フローで設計検証を実施(3 件程度)

・エミュレータ・シミュレータ協調設計検証フローを用いることによる設計検証効率の向上を、エミュレータのみを用いた設計検証フローと比較することで(検証時間・検証カバレージ等を用いて)可視化するとともに結果を電子的に公開する。

【最終目標】

・拠点利用者が、より大規模(＞1BG)な回路に対し、エミュレータ・シミュレータ協調設計検証フローで設計検証を実施(3 件程度)

・拠点で構築した高速チップ・超低消費電力チップ・高電力効率チップ等のアプリケーション向けのエミュレータ・シミュレータ協調設計検証フローで、拠点利用者が設計検証を実施(事業期間全体で 10 件程度)

実施項目 1-2：ハードウェア開発垂直立ち上げ実現のための研究開発

【中間目標】

・モデルベースのエミュレータ・EDA ツールの協調設計ツールチェインを開発し、小・中規模の実設計において実証する。3 件以上がこのモデル設計フローを活用した設計を行う。

【最終目標】

・アプリケーション向けのツールチェインを策定し、拠点利用者が事業期間全体で 5 件程度、より大規模(＞1BG)な設計を実施する。

実施項目 1-3：AI チップ設計に向けたリファレンスデザインの研究開発

【中間目標】

・畳み込み・再帰型ニューラルネットワークに対応したアクセラレータリファレンスデザインを作成する。その動作をエミュレータ上で再現し、ニューラルネットワーク用シミュレーションフレームワークの処理について、ソフトウェアによる実行結果と矛盾しない正当な計算結果が得られることを確認する。

【最終目標】

・畳み込み・再帰型ニューラルネットワーク用アクセラレータを、サポートベクターマシン、ないしボルツマンマシンに対応したアクセラレータリファレンスデザインとして拡張するとともに、エッジ用の低消費電力システムに適用可能なセンサーフロントエンドマクロを加え、リファレンスデザインのポートフォリオを完成させる。リファレンスデザインのポートフォリオは、拠点利用者等の利用を通してその有効性を実証する。

実施項目 1-4：センサー機能を含むチップのための新規デバイスモデルの研究開発

【中間目標】

・Impulse TCAD をベースとして AI チップに搭載する際に利用可能な独自の機能デバイス設計ツールのプロトタイプを、例えばイメージセンサーといった特定の用途を想定して開発・評価し、課題を抽出し、改良仕様を策定する。

【最終目標】

・機能デバイス設計ツールを改良し、クラウド上で利用可能な環境を構築、特定の用途を想定したケースに対して有効性を検証する。その一環として機能デバイス設計ツールの拠点利用者等の利用を通してその有効性を実証する。また、検討した新規デバイス IP のモデル化技術等については、AI チップ設計フローへ組み込むために必要な条件等の明確化を図る。

実施項目 1-5：国内外 FAB の活用と最適化ライブラリの研究開発

【中間目標】

・整備すべき IP カタログの作成と整備順の策定

・カタログに沿った IP を整備し、拠点利用者が利用できるように WEB に掲載する

・AI チップ向け独自 IP の評価手法を検討し、それに則った評価チップを設計する。

【最終目標】

・整備した IP を用いたアプリケーション向けの設計フローを構築し、電子的にマニュアルを作成する。構築した設計フローは拠点利用者の利用を通してその有効性を実証する。

・AI チップ向け独自 IP の評価手法を構築し、拠点利用者に提供できるよう整備する。その利用法のマニュアル等を電子的に作成し HP にて公開する。

実施項目 2：AI チップ開発拠点の整備

実施項目 2-1：AI チップの研究開発に必要な EDA ツールの整備

【中間目標】

・EDA ツールを導入、利用環境を整備し、拠点利用者へ公開することで 10 件程度の利用実績をあげる。

【最終目標】

・EDA ツールを安定的最新バージョンに更新、利用環境を整備し、拠点利用者へ公開することで、期間全体を通し 15 件程度の利用実績をあげる。

実施項目 2-2：人材育成と拠点機能の整備

【中間目標】

・エミュレータ及び EDA ツールを活用した設計フローの一般論(初級編)、導入 EDA ツールを用いた AI チップ設計論、エミュレータ・EDA 協調設計検証論(初級編)を整

備し、拠点利用者に対し、2019 年度以降 1 項目あたり年間 1 回以上の教育コースを実施する。

・国内外の代表的な FAB と契約を締結し、設計環境を導入することで設計試作ゲートウエイ機能を整備する。これを拠点利用者へ公開することで、実施項目 1-1 の中間目標のネットリスト検証フロー利用目標 3 件のうち 1 件程度が本設計試作ゲートウエイ機能を利用して設計手順を実施する。

・拠点運営について運営形態等の検討を行うコンソーシアム等を立ち上げる。

【最終目標】

・エミュレータ・EDA 協調設計検証論(上級編)を整備し、各種教育カリキュラムの教育コースを充実させる。

・実施項目 1-1 最終目標の協調設計検証フロー利用目標 10 件のうち 3 件程度が本設計試作ゲートウエイ機能を利用して設計手順を実施する。

上記目標達成を通じた実用化に向け、PL は PMgr と連携して、月次の進捗会議において指導・実施計画書における目標の最適化・加速資金の必要性判断を行う。さらに、技術推進委員会を定期的に開催し、有識者の意見も活用し実用化を目指す。

本プロジェクトの知財マネジメント、及び、データマネジメントは、NEDO プロジェクトにおける知財マネジメント基本方針に則り、知財運営委員会を設置し管理している。ただし、本事業内容の特異性から、設計技術のマニュアル化とノウハウの蓄積に注力している。アイディアを有する民間企業等の人材育成施策として、マニュアル(教材)を準備するとともに、フォーラム・シンポジウムやセミナーを運営する。また、基本的に本共通基盤技術は拠点ユーザーに対しては公開を原則とするが、プロジェクト終了後の拠点の継続的な自立運営を考えて、一部は公開範囲を限定とした。本プロジェクトに関わる技術の公開・非公開の対象を表 2-2 に示す。

表 2-2 本事業で構築する共通基盤技術

分類	AIチップ開発用に構築した共通基盤技術
公開	AIチップ設計手法 リファレンスデザイン IPライブラリリスト 設計クラウド構成 SoCプラットフォーム
利用許諾後に公開	AIチップ設計手法（詳細版） リファレンスデザイン（詳細版） IPライブラリ
有料で公開（2023/4より）	RTLガイドライン SoCプラットフォーム（詳細版）

3. 情勢変化への対応

研究開発項目②において表 2-3 に示す 7 件の動向・情勢変化への対応を行った。

表 2-3 研究開発項目②の動向・情勢の把握と対応

	動向・情勢変化	対応
1	2018年度 本事業が、内閣府官民研究開発投資拡大プログラム（PRISM）の1年目の対象施策に選定	PRISM予算を活用しAIチップ設計に必要な**28nmノードのIPコアの導入・整備**を前倒し実施
2	2019年度 拠点利用者の予想以上の増加が見込まれる中、現状の設備能力では利用者数が制限されてしまう可能性	利用者からのフィードバックを出来るだけ多く集め拠点の整備を確実に進めるため、2019年10月に加速資金の投入を決定、拠点利用者数の拡大を図るべく**拠点設備の増強**等を前倒し実施
3	2019年度 助成事業においてステージゲート審査の結果などにより予算の変動が発生	予算の有効活用のため、事業内で予算を柔軟に組み変え、委託事業へ資金を投入することを決定。具体的には、2019年12月に仕様書・実施計画書を変更し、**実施項目1-5に新たな目標**を追加
4	2020年度 助成事業においてステージゲート審査の結果などにより予算の変動が発生	拠点利用者の**AIチップ向け独自IP（28nmプロセス）の評価環境構築**を前倒しで確実にできるよう2020年9月に実施項目1-5の事業内容を変更
5	2021年度 半導体需給のひっ迫による12nmプロセスSoC評価プラットフォームの開発に必要なパッケージ調達やウエハー作成工程のスケジュール遅延を予見	2021年8月に資金の投入を決定し、本開発に必要な**12nm IPの前倒し導入**を決定
6	2021年度 AI チップをシステム案の段階から、目指すアプリケーションの動作デモが可能になる機能整備の必要性を予見	AIチップをシステム案の段階から目指すアプリケーションの動作デモが可能になるよう実施項目1-1の事業内容を追加するとともに、拠点利用者の**AIチップ向け独自IP（12nmプロセス）の評価**が確実にできるよう実施項目1-5の事業内容を変更
7	2022年度 為替レートの変化および独自IP評価チップ（12nmプロセス）の試作代の値上げによる資金不足	拠点利用者の**AIチップ向け独自IP（12nmプロセス）の評価環境構築**を確実にできるよう2022年12月に予算の追加を決定

以下具体的に記載する。

1. 動向･情勢変化 1(図 2-12)

内閣府官民研究開発投資拡大プログラム(PRISM)の 1 年目の対象施策に選定された。その対応のため 2018 年 10 月に技術推進委員会を開催し、活用内容を審議し、AI チップ設計に必要な I/O などの機能モジュールや IP コアの導入･整備を前倒しで実施した。

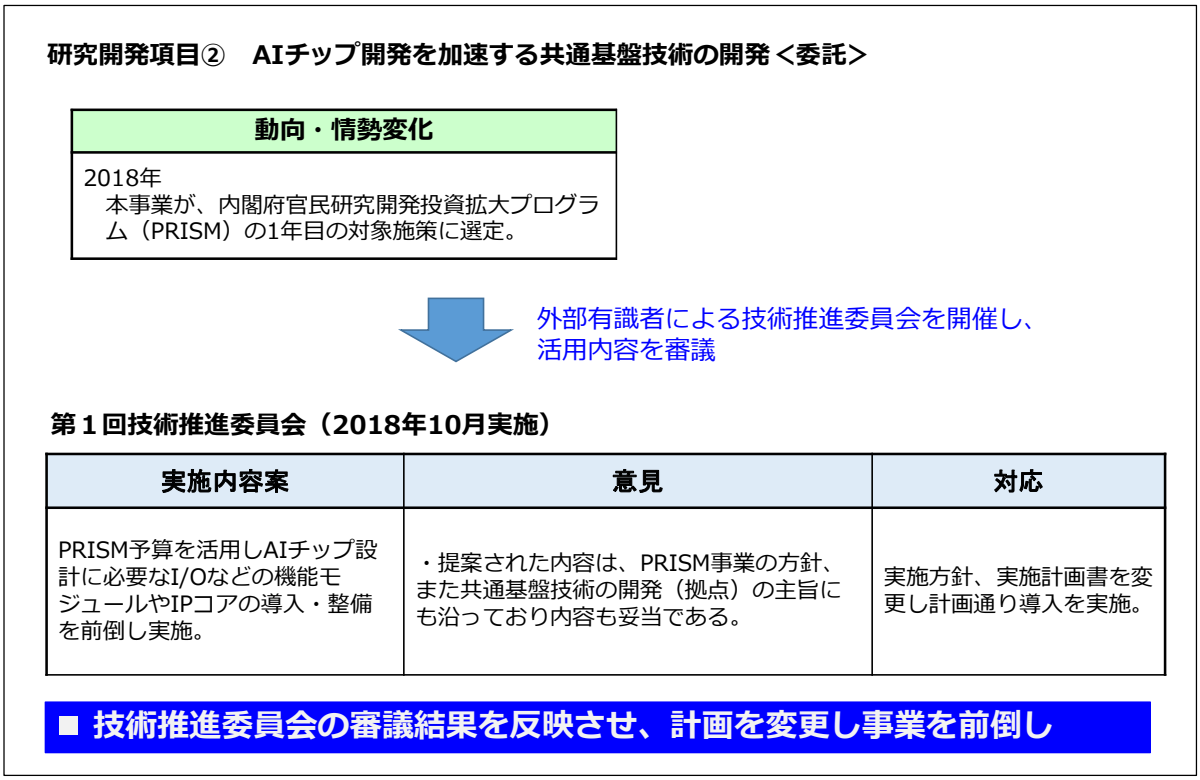


図 2-12　情勢変化への対応 1

2. 動向･情勢変化 2(図 2-13)

拠点利用者の予想以上の増加が見込まれる中、現状の設備能力では利用者数が制限されてしまう可能性が 2019 年 8 月までの月次の進捗会議から予見された。

そのため、利用者からのフィードバックを出来るだけ多く集め拠点の整備を確実に進めるため、2019 年 10 月に加速資金の投入を決定し、拠点利用者数の拡大を図るべく拠点設備の増強等を前倒し実施した。

動向・情勢変化
2019年度 拠点利用者の予想以上の増加が見込まれる中、現状の設備能力では利用者数が制限されてしまう可能性が予見。

開発促進財源（加速）の投入を決定
実施方針、実施計画書の変更実施

件名	金額（百万円）	目的	成果
AIチップ設計拠点クラウドのセキュリティ強化とユーザ数拡大のための施策（実施項目2-1）	109	本拠点クラウドのセキュリティ強化とユーザ数拡大(ユーザ数：５０社以上）のためにシステム強化を同年度中に実施する。	セキュリティを確保した上で。拠点の規模及び能力が拡充し、拠点ユーザー数５０社以上の利用が可能になり、拠点整備の加速が期待される。

■ 加速資金の適切な投入により、開発拠点の整備を前倒し

図 2-13　情勢変化への対応 2

3. 動向･情勢変化 3(図 2-14)

拠点利用ユーザーとのヒアリング等から、より短納期･低コストでユーザー独自の AI チップが開発可能となる環境構築の必要性が予見された。また、研究開発項目①の助成事業者の予算変動(ステージゲート審査の結果等)の発生も見込まれた。

動向・情勢変化
2019年 拠点利用ユーザーとのヒアリング等から、より短期間・低コストで、ユーザー独自のAIチップが開発可能となる環境構築の必要性を予見。

予算の有効活用のため、事業内で予算を柔軟に組替え、委託事業へ加速資金として投入することを決定。
実施方針、実施計画書の変更を実施。

件名	金額（百万円）	目的	成果
国内外FABの活用と最適化ライブラリの研究開発（実施項目1-5）	172	ユーザーのAIチップ向け独自IPの評価が簡単にできるよう拠点機能として評価プラットフォームの構築を図る。	評価プラットフォーム構築に向けたテストチップの開発に着手した。

■ 実施計画書の変更と事業内資金の活用により、拠点の機能を向上

図 2-14　情勢変化への対応 3

そこで、研究開発委項目②の実施者と協議を行い、実施項目 1-5 について、新たな目標を追加する方向で事業内で予算を流用することを決定した。2019 年 12 月に実施計画書を変更しテストチップの開発に着手した。

4. 評価に関する事項

本プロジェクトは二つの研究開発項目が連携して成果を出す事業であることから、事業全体がナショナルプロジェクトに分類され、研究開発項目①及び研究開発項目②を含めてプロジェクト評価を実施する。また、研究開発項目①は事業開始 1 年以内にステージゲート評価を行うため、中間評価においては研究開発マネジメントまでを評価対象とする。研究開発項目②は、成果の実用化に向けた取組及び見通しまでを評価対象とする。

本プロジェクトの開始に際し、事前評価を 2 回行ったので、内容を以下に記載する。いずれの評価も「高効率・高速処理を可能とする AI チップ・次世代コンピューティングの技術開発事業」として、本プロジェクトを含む複数のプロジェクトを評価した。

事前評価 1

- 評価の実施時期　：2017 年 7 月
- 評価手法　：外部評価
- 評価事務局　：NEDO 評価部
- 評価項目・基準　：非公開

事前評価 2

- 評価の実施時期　：2017 年 11 月 16 日
- 評価手法　：第三者評価
- 評価事務局　：内閣府
- 評価項目・基準　：

  評価専門調査会での調査検討においては、国家の基本計画や関連する上位政策・施策等の推進といったより大局的・俯瞰的観点での評価に力点を置くことを念頭に、事業における直接的な成果(アウトプット)に係る専門的評価については、実施府省における評価等の妥当性を確認することでその結果を活用することとし、国家の基本計画や関連する上位政策における事業の位置付けや社会への効果・効用(アウトカム)とそれを達成するための道筋に対する評価を中心に調査検討を実施した。評価項目を以下に記載する。

① 評価対象案件の実施府省等における評価の妥当性
② 関連する上位の政策・施策等の目標を達成するための道筋
③ 研究開発の目標・実施内容
④ 研究開発マネジメント

3. 研究開発成果について

1. 事業全体の成果

1.1 研究開発項目①の成果

ここでは、研究開発項目①「AI チップに関するアイディアの実用化に向けた開発」の成果について記す。

本研究開発項目では、民間企業等においては、AI チップに関するアイディア実用化に向けた研究開発を支援するとともに、AI チップ開発を加速するために整備した設計拠点で開発を実施し、AI チップ開発スキームにおける設計、検証をシームレスに実施することで、革新的なアイディアの実現を加速する研究開発を進め、世界における存在感を再び獲得することを目指す。

この取組により、以下の目標を設定している。

［最終目標］（2022 年度）

AI チップの設計を行い、AI チップの動作を効率化し現状以上の性能を有することをシミュレーション等により検証する。また、検証した AI 向けチップのビジネス化の道筋を立てる。

助成事業のテーマ実施者に対して、それぞれの事業終了時に、外部有識者によるテーマ評価（事後評価委員会）を開催し、テーマ実施者の事業成果を評価した。全 17 テーマ実施者のうち、ステージゲート不通過者等を除き 13 テーマ実施者が委員会を受検し、技術面、事業化面共に「概ね期待通りである」以上のテーマ実施者が 12 者となったため、目標達成と判断する。

表 3-1 研究開発項目① 目標の達成状況

最終目標	成果		達成度
AIチップの設計を行い、AIチップの動作を効率化し現状以上の性能を有することをシミュレーション等により検証する。検証したAI 向けチップのビジネス化の道筋を立てる。	■技術面評価		○
	期待以上である	0者	
	期待通りである	8者	
	概ね期待通りである	4者	
	改善が必要である	1者	
	抜本的な改善が必要である	0者	
	■事業化面評価		
	期待以上である	0者	
	期待通りである	5者	
	概ね期待通りである	8者	
	改善が必要である	0者	
	抜本的な改善が必要である	0者	

◎大きく上回って達成、○達成、△達成不十分、×未達大

※個別のテーマ実施者の事業成果の内容、テーマ評価(事後評価委員会)の評価結果については非公開であるため、詳細は記載しない。

1.2 研究開発項目②の成果

ここでは研究開発項目②AI チップ開発を加速する共通基盤技術の開発 <委託> の成果について記す。

本研究開発項目では、AI チップの設計開発環境を整え中小ベンチャー企業等の AI チップ開発を加速するために、AI チップの設計検証に必要なツールや装置、標準的な IP を備えた設計開発拠点を整備するとともに、AI チップの設計における各種問題を解決するための共通基盤技術を開発し、これを拠点で活用して AI チップを設計開発するための知見や技術を広めることに注力している。

この取組により、以下の目標を設定している。

［中間目標］(2020 年度)

本事業を通じて開発、整備した AI チップ設計のための共通基盤技術、学習環境、設計環境の活用件数 10 件以上を目標とする。

［最終目標］(2022 年度)

本事業を通じて開発、整備した AI チップ設計のための共通基盤技術、学習環境、設計環境の活用件数 15 件以上を目標とする。

2022 年 3 月時点において、表 3-1 の通り活用件数は 74 件(55 社+12 大学+7 国研など)となっており、最終目標(活用件数 15 件以上)を達成している。

表 3-1 研究開発項目② 目標の達成状況

最終目標	成果	達成度
本事業を通じて開発、整備したAIチップ設計のための共通基盤技術、学習環境、設計環境の活用件数15件以上を目標とする。	・活用件数74件を達成した(2022/3時点) ・開発・整備として、設計検証フロー並びにツールチェインの構築、リファレンスデザインの作成、独自機能素子の物理設計環境のプロトタイプ開発、IPの整備とAIチップ向け独自IP評価手法検討と評価チップ設計、EDAツール利用環境の整備、教育コースの実施、試作ゲートウェイ機能の整備、等を行った(詳細は次ページ以降の各実施項目に示す)。	◎

◎ 大きく上回って達成、○ 達成、△ 達成見込み（中間）、× 未達

各実施項目の成果概要を表 3-2-1、表 3-2-2 に示す。

実施項目 1-3, 1-4 については、中間評価(2020/10/5)以降に最終目標を変更しているので表 3-3 に変更箇所とその理由をまとめた。

表 3-2-1 各実施項目の達成状況

実施項目	最終目標	成果	達成度
1-1 AIチップ向け設計フローの研究開発	・拠点利用者が、より大規模（＞１BG）な回路に対し、エミュレータ・シミュレータ協調設計検証フローで設計検証を実施（３件程度） ・拠点で構築した高速チップ・超低消費電力チップ・高電力効率チップ等のアプリケーション向けのエミュレータ・シミュレータ協調設計検証フローで、拠点利用者が設計検証を実施（事業期間全体で１０件程度）	・AI-One/AI-Twoおよび協力会社の３件の1BG程度・超の設計のエミュレーション検証環境を整備し検証の実行 ·中間までの検証実績（RTL：５件、ネットリスト：３件）に加え、AI-One/Twoおよび協力会社の検証、RISC-Vプラットフォームの検証：２件（１件はハンズオンセミナーにも使用）を加え、１３件の検証を実行	○
1-2 ハードウェア開発垂直立ち上げ実現のための研究開発	・アプリケーション向けのツールチェインを策定し、拠点利用者が事業期間全体で５件程度、より大規模（＞１ＢＧ）な設計を実施する	全体として9件のAI-IPに対してツールチェインを活用した設計を実施した。また、AI-One/AI-TwoのSoC全体の設計（おおむね1BG程度の規模）に対して設計フローを適用して実チップにて動作を確認した	◎
1-3 AIチップ設計に向けたリファレンスデザインの研究開発	・畳み込みニューラルネットワークおよび系列データ用アクセラレータを、トランスフォーマーに対応したアクセラレータリファレンスデザインとして拡張するとともに、エッジ用の低消費電力システムに適用可能なセンサフロントエンドマクロ構成法を加え、リファレンスデザインのポートフォリオを完成させる。開発したリファレンスデザインのポートフォリオについて、有効性を検証する。 (中間評価時からの目標変更有。表3-3参照。)	・畳み込みニューラルネットワーク用アクセラレータをトランスフォーマーに対応したアクセラレータリファレンスデザインに拡張するとともに、センサフロントエンド部をHDLとしてモデル化して検証する手法の解説を加えた。開発したリファレンスデザインのうち、畳み込みニューラルネットワーク用アクセラレータは、1-5で実施したAI-Oneに実装試験を行い、構築したデザインフロー、ツールチェーンの検証用テストビークルとして、その有効性を検証した。同様に、トランスフォーマー用アクセラレータリファレンスデザインは、AI-Twoに実装試験を行い、テストビークルとしてその有効性を検証した。	○
1-4 センサ機能を含むチップのための新規デバイスモデルの研究開発	・機能デバイス設計ツールを改良し、クラウド上で利用可能な環境を構築、特定の用途を想定したケースに対して有効性を検証する。その一環として機能デバイス設計ツールの拠点利用者等の利用を通してその有効性を確認する。また、検討した新規デバイスのモデル化技術等については、ＡＩチップ設計フローへ組み込みとそれに必要な条件等の明確化を図る。 (中間評価時からの目標変更有。表3-3参照。)	・TCADをクラウド上で利用するWebUIを通してCMOSイメージセンサー等の公開デバイス構造を利用して、機能素子のデバイス設計を行ない、その結果はファブとの交渉や精度確認の元、等価回路モデルなどを併用して回路シミュレーションに持ち込み、AIチップ設計フローに載せられるようになった。そのような要望を持つユーザーが利用を開始し、新規デバイス構造も追加できるようになった。	○
1-5 国内外FABの活用と最適化ライブラリの研究開発	・整備したＩＰを用いたアプリケーション向けの設計フローを構築し、電子的にマニュアルを作成する。構築した設計フローは拠点利用者の利用を通してその有効性を実証する。 ・ＡＩチップ向け独自ＩＰの評価手法を構築し、拠点利用者に提供できるよう整備する。その利用法のマニュアル等を電子的に作成しＨＰにて公開する。	・整備した28nm, 12nmのIPを用いた設計フローを構築し、HP上に拠点利用者用のマニュアルを掲載した。試作チップAI-One、AI-Twoの設計開発に適用し、それぞれ6者および3者の拠点利用者の独自IPに適用を行いそれぞれの独自IPを組み込んだSoCを試作評価し、すべてのIPの目標仕様どおりの動作確認を行うことで設計フローの有効性を確認した。 ・独自IPの評価手法として複数のIPをSoCチップに搭載して評価できるヘテロジニアスマルチコアSoCプラットフォームの構築を行った。SoCプラットフォームは標準システム回路、1チップシミュレーション環境、エミュレータ検証環境、リファレンスパッケージ設計データ、リファレンス評価ボード設計データ、ソフトウエア開発環境からなる。これらの利用法を拠点利用者向けにHPに掲載した。	◎

◎ 大きく上回って達成、○ 達成、△ 達成見込み（中間）、× 未達

表 3-2-2 各実施項目の達成状況

実施項目	最終目標	成果	達成度
2-1 AIチップの研究開発に必要なEDAツールの整備	・ＥＤＡツールを安定的最新バージョンに更新、利用環境を整備し、拠点利用者へ公開することで、期間全体を通し１５件程度の利用実績をあげる	・利用状況可視化システムとしてOpenLMの運用により動的にライセンスの利用状況を確認し、ライセンスの過不足を確認できる環境を実現 ツール群安定最新バージョンへのアップデート及びアップデート後の動作を確認、利用者の要望に応じたツールバージョンのメンテナンスを実施 EDAツールの利用実績、ＥＤＡツール利用見込みおよび設計の状況に応じたスポットでのライセンスの導入により、ライセンス数の最適化と過不足ない運用を実現 ・当初目標を大幅に上回る合計でのべ７４件の利用	◎
2-2 人材育成と拠点機能の整備	・エミュレータ・ＥＤＡ協調設計検証論（上級編）を整備し、各種教育カリキュラムの教育コースを充実させる ・実施項目①－１最終目標の協調設計検証フロー利用目標１０件のうち３件程度が本設計試作ゲートウエイ機能を利用して設計手順を実施する	・実施項目①－１、①－２において確立されたエミュレータ・シミュレータ協調設計フローに即した、エミュレータ・ＥＤＡ協調設計検証カリキュラム（初級編）を構築した。また、その教材を電子的に整備し、ＨＰにて公開した 整備した教材に基づき、１項目あたり年間１回以上の教育コースを拠点利用者等に対して実施した。 必要に応じて内容の見直しを図った ・実施項目①－１中間目標のネットリスト検証フロー利用３件のうち１件が本設計試作ゲートウエイ機能を利用。 そのフィードバックを通じて本設計試作ゲートウエイ機能の整備を行った	○

◎ 大きく上回って達成、○ 達成、△ 達成見込み（中間）、× 未達

表 3-3　最終目標の変更箇所とその理由

実施項目		中間評価時の目標	最終目標
1-3 AIチップ設計に向けたリファレンスデザインの研究開発		・畳み込み・再帰型ニューラルネットワーク用アクセラレータを、サポートベクターマシン、ないしボルツマンマシンに対応したアクセラレータリファレンスデザインとして拡張するとともに、エッジ用の低消費電力システムに適用可能なセンサフロントエンドマクロを加え、リファレンスデザインのポートフォリオを完成させる。リファレンスデザインのポートフォリオは、拠点利用者等の利用を通してその有効性を実証する。	・畳み込みニューラルネットワークおよび系列データ用アクセラレータを、トランスフォーマーに対応したアクセラレータリファレンスデザインとして拡張するとともに、エッジ用の低消費電力システムに適用可能なセンサフロントエンドマクロ構成法を加え、リファレンスデザインのポートフォリオを完成させる。開発したリファレンスデザインのポートフォリオについて、有効性を検証する。
	変更理由	再帰型ニューラルネットワークに対応したアクセラレータについて、時系列データに対しては再帰型よりもトランスフォーマー（アテンション）が市場を席巻している状況を踏まえて変更を行った。この変更は技術推進委員会で頂いたコメントを検討のうえ、実施した。	
1-4 センサ機能を含むチップのための新規デバイスモデルの研究開発		・機能デバイス設計ツールを改良し、クラウド上で利用可能な環境を構築、特定の用途を想定したケースに対して有効性を検証する。その一環として機能デバイス設計ツールの拠点利用者等の利用を通してその有効性を確認する。また、検討した新規デバイスIPのモデル化技術等については、ＡＩチップ設計フローへ組み込みとそれに必要な条件等の明確化を図る。	・機能デバイス設計ツールを改良し、クラウド上で利用可能な環境を構築、特定の用途を想定したケースに対して有効性を検証する。その一環として機能デバイス設計ツールの拠点利用者等の利用を通してその有効性を確認する。また、検討した新規デバイスのモデル化技術等については、ＡＩチップ設計フローへ組み込みとそれに必要な条件等の明確化を図る。
	変更理由	開発中の新規デバイスのモデル化技術を対象にしている。当初の「新規デバイスIP」という用語は、デバイス開発後にデバイス構造が決まったものについての表現なので、実施内容に合致する「新規デバイス」と変更した。	

2. 研究開発項目毎の成果　(実施項目ごとの成果)

2.1 実施項目ごとの成果(研究開発項目①)

※内容非公開のため、記載無し。

2.2 実施項目ごとの成果(研究開発項目②)

実施項目 1-1「AI チップ向け設計フローの研究開発」

目覚ましく進展する IoT 社会において、実世界の様々な形態の情報であるビッグデータから人々の生活に新たな価値を創造するための鍵となる技術として人工知能(AI)技術が注目されている。特に近年の AI 技術は急速な発展を遂げており、画像認識、音声認識、自動運転といった様々な分野に広がりを見せるとともに、人々の日常生活に浸透していく AI 時代が到来しつつある。他方、IoT や AI 技術の根幹をなす半導体集積回路の微細化は物理限界に近付いており、エネルギー消費の増大が極めて大きな課題となってきている。これらの課題を解決するためには、省エネルギーで効率的に AI を動作させる半導体集積回路・デバイス(AI チップ)の開発が必要不可欠であり、世界的にも AI チップの開発競争が激化している。AI チップは、クラウド向けの超大規模チップのみならず、エッジ用途においても日々増大する処理性能要求に応じるためにその設計規模増大がますます加速している。

このような大規模なチップにおいては、これまでも、設計と実チップでの動作や性能に乖離が生じることが課題となっており、特に、高速、大規模、超低消費電力、高電力効率を謳う場合、設計段階での実チップの精緻な見積もりが不可欠とされてきた。そこで本研究開発項目においては、失敗なく動作するチップ試作が可能となるためのノウハウを有した、AI チップ開発向けの論理設計以降の設計フロー(手順)を構築すること、特に、設計検証を高速に実施、かつ長大なテストケースにも対応が可能となるハードウエアエミュレータ(図 3-1)を設計・検証フローに組み込む形で、より確実な AI チップの設計・検証を可能とする設計検証環境を構築し、それを実設計において実証すること、さらには教材作成、セミナーなどを通して広く広めることでこの新たな設計環境に習熟した人材を育成することを目指したものとなっている。

図 3-2 に従来の設計フローと本研究開発項目で実現する AI チップ向け設計フローを示す。最大の差異はハードウエアエミュレータ(ロジックエミュレータ)を RTL＋ソフトウエアの検証、およびネットリスト＋ソフトウエアの検証に活用することでより精緻でかつより長時間にわたる検証(アプリ全体動作までを検証等)を実現するためのものである。従来特に日本国内においては、一部の例外を除いてそのような大規模かつソフトウエアまでの検証を設計段階で行うということが広くは行われてこなかった。そのため、一般に得られる設計検証フローにおいてハードウエアエミュレータが登場することはなかった。同時に、ハードウエアエミュレータに対するアレルギーとも呼べるほどの嫌

悪も一部に存在しそれらが大規模設計・検証を阻害していたとすら考えられる。そこで、これらのハードルを取り除くことが最大の課題であると考え、

1)如何に容易にハードウエアエミュレータを利用できるようにするか、

2)その効果を数値で実証、

3)広く告知することにより利用の促進とそれによる大規模設計検証の効率化

を目指している。

1)に関して、初心者からだれでも簡単にエミュレータを使いこなすことを主眼としたシリーズ教材として、「デジタル設計教材：デジタル設計の基礎」「ハードウエア・エミュレータでの論理検証の基礎【初級編】」「ハードウエア・エミュレータでの論理検証の基礎【応用編】」の作成(図 3-3)を行った。教材は、図 3-4 に示す通り、デジタル設計の概要を紹介したうえで、AI チップの基礎としてのニューラルネットワークを題材として取り上げ、その検証にエミュレータを活用する流れとなっていて、この教材を読み進めることで自力でもエミュレータを用いた検証が可能な内容となっている。一方、シミュレーションをそのままエミュレータにもっていくだけではハードウエアエミュレータを効率的に稼働させることが出来ず、そのあたりのノウハウがハードウエアエミュレータ活用の重要な課題となっている。そこで、実際の設計に基づいて、如何に検証プログラムを効率化するかに関する教材作成(図 3-5)及びトレーニングの実施を行っている。図 3-5 に示す通り、エミュレータにおいては、テストパタンを生成するテストベンチもすべてエミュレータの中にコンパイルして入れ込んでしまい、入出力を極力なくして、最後に検証結果を参照することが不可欠であり、そのあたりを例題とともに習得できる内容となっている。これにより、サンプル設計の検証において、図 3-6 に示す通り、全く同一のテストベンチでシミュレーションとエミュレーションを比較すると 16 倍の高速化、さらにテストベンチの最適化により、シミュレーションに対して最大 100 倍を上回る高速化が可能であることを教材および演習により体験することが可能となっている。これにより、エミュレータの最高動作速度に近い速度まで検証速度を向上させることが可能となった。

2)さらに、エミュレータによる検証効率を定量的に評価し明らかにしていくことで利用活性化に向けた取り組みを行っている。一例として、実施項目 1-5 において設計・試作を行っている AI-One/AI-Two のエミュレータでの検証環境の整備、Open アーキテクチャである RISC-V プロセッサの OS 起動までのエミュレータ検証環境の整備、および自作の IP コアの RTL、ネットリストでの検証において、その検証時間の検証を行っている。結果は図 3-7(a), (b), (c)に示す通りで、RTL において、シミュレーションに対して 1,000 倍～20,000 倍の高速化、ネットリストに対しては、シミュレーションに対して 10,000 倍～100,000 倍の高速化を実現することを示している。

3)告知に向けて、独自の教材を用いたセミナーを実施するとともにエミュレータに関して Cadence 社の協力を得ながら、トレーニング、セミナー、ワークショップとホップステップジャンプ形式で基礎トレーニングから、エミュレータを用いた検証における課題の共有と議論、さらにはノウハ

ウの共有によりエミュレータ利用特により効率的なエミュレータ利用の促進に向けた取り組みを行った(図 3-8)。

これらの取り組みにより、AI-One, AI-Two に加え、利用者 3 件の大規模設計を実施したことも含め、AI-IP コアの検証を含めた利用者の IP ブロックの検証を 10 件以上実施し、設計検証の効率化を実現することができた。

図 3-1 本研究開発課題で活用したハードウェアエミュレータ

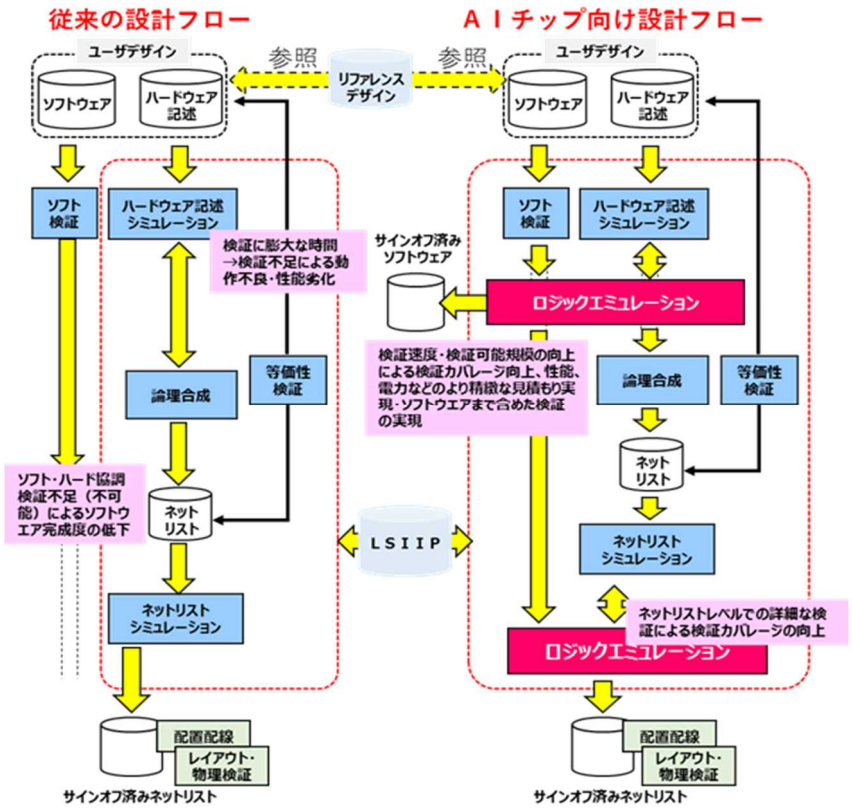


図 3-2 従来の設計フローと本研究開発項目で実現する AI チップ向け設計フロー

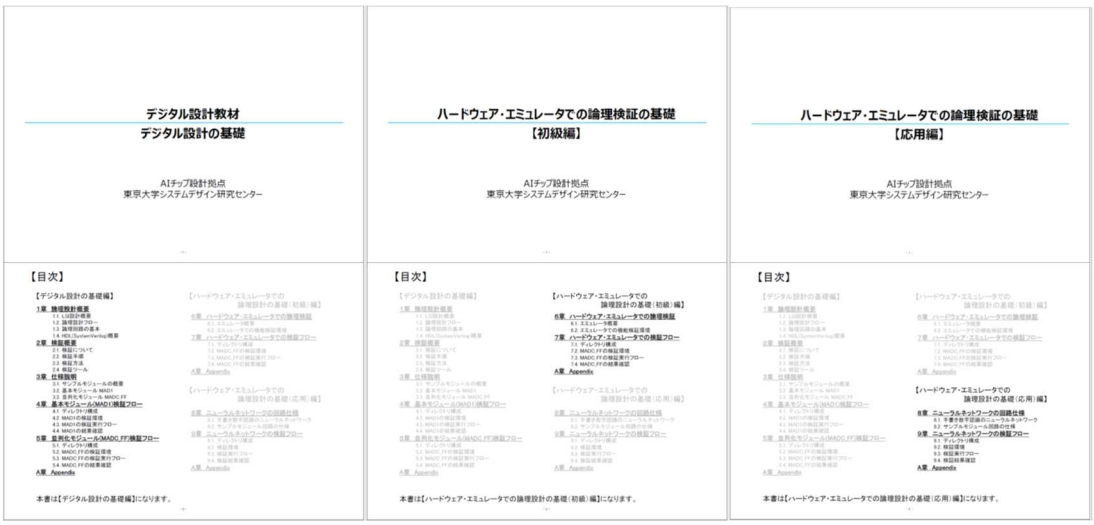


図 3-3 デジタル設計におけるハードウエアエミュレータを用いた論理検証教材

図 3-4 デジタル設計におけるハードウエアエミュレータを用いた論理検証教材の内容

図 3-5 実設計に基づくエミュレータによる検証速度の向上手法に関する教材とその抜粋

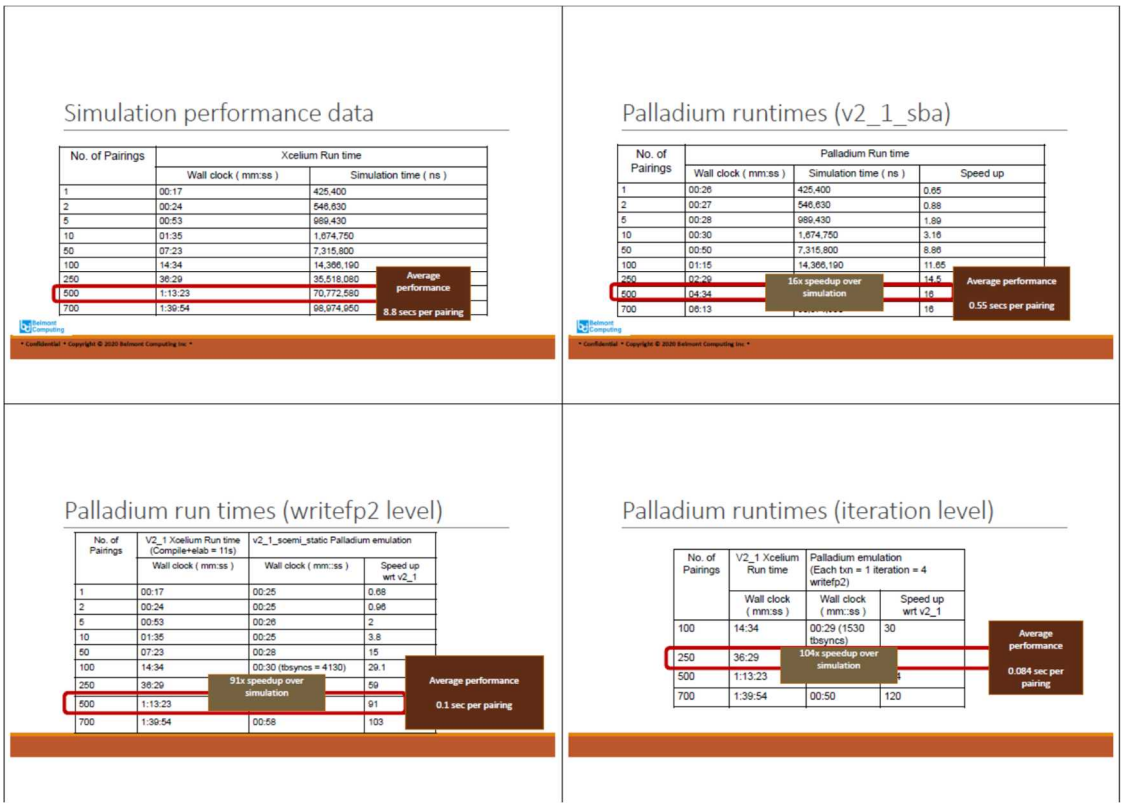


図 3-6 テストベンチの改良によるエミュレーション速度の向上効果

対象デザイン:10MG程度の数値演算回路		シミュレータ		エミュレータ			
		コンパイル時間[s]	実行時間 (loop 50)[s]	コンパイル時間[s]	実行時間 (loop 50)[s]	実行時間 (loop 500)[s]	
RTL	何も対処しない	NA	410.98	391.82	57.79	239.95	x17
	データの入出力にメモリを使用	--	--	388.75	45.93	188.10	x22
	制御入力をメモリ使用			442.18	27.40	41.97	x98
	SCEMI Pipeを使用			468.20	27.40	42.24	x20,000
ネットリスト	何も対処しない	NA	419,806.74	3,978.91	60.59	208.94	x21,000
	データの入出力にメモリを使用			4,633.13	78.09	198.74	x100,000
	制御入力をメモリ使用			3,910.68	33.42	42.00	x100,000
	SCEMI Pipeを使用			3,898.73	37.27	41.57	

(a) 自作の IP の検証速度向上の結果

	parameters			boot cycles		Linux Boot			1M cycles		
	ext. mem.	log check	UART			RTL	Gate	G/R	RTL	Gate	G/R
1	log	Yes	1/2	116M	Emu.	13'38"	15'06"	1.11	0'46"	2'01"	2.63
					Sim.	*262:46'20"*	*561:47'40"*	*2.14*	2:15'55"	4:50'35"	2.14
					S/E	*1,156*	*2,232*		177	144	
7	mem.	No	**1/234**	132M	Emu.	**2'20"**	**2'31"**	**1.08**	0'22"	0'53"	2.41
					Sim.	***145:09'48"***	***609:19'36"***	**4.20**	1:05'59"	4:36'58"	4.20
					S/E	***3,733***	***14,527***		180	314	

(b) RISC-V の検証速度の向上の結果

Pattern	シミュレータ (kHz)	CAKEなし (kHz)	CAKE 1x (kHz)	CAKEなし 速度向上	CAKE 1x 速度向上
base	7.62	499.32	817.39	66	105
base_pcie_000	0.69	374.49	769.58	543	1,115
base_pcie_001	0.33	404.15	799.37	1,225	2,422
base_pcie_002	0.31	543.21	790.48	1,752	2,550
base_pcie_004	0.59	549.47	782.13	931	1,326
base_pcie_005	0.65	405.72	784.58	624	1,207
base_memc	3.89	457.75	703.52	118	181

(c) AI-One における検証速度向上の結果

図 3-7 エミュレータによる検証速度の向上の結果

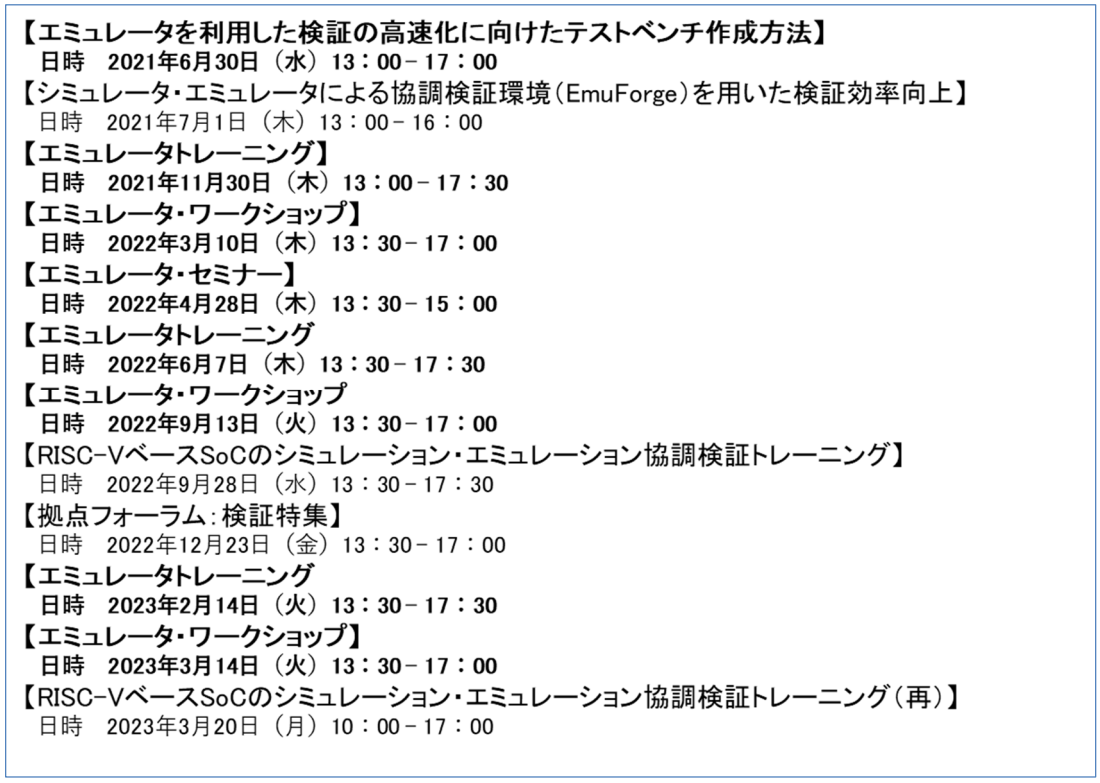


図 3-8 エミュレータを用いた検証トレーニング

実施項目 1-2「ハードウエア開発垂直立ち上げ実現のための研究開発」

目覚ましく進展する IoT 社会において、実世界の様々な形態の情報であるビッグデータから人々の生活に新たな価値を創造するための鍵となる技術として人工知能(AI)技術が注目されている。特に近年の AI 技術は急速な発展を遂げており、画像認識、音声認識、自動運転といった様々な分野に広がりを見せるとともに、人々の日常生活に浸透していく AI 時代が到来しつつある。他方、IoT や AI 技術の根幹をなす半導体集積回路の微細化は物理限界に近付いており、エネルギー消費の増大が極めて大きな課題となってきている。これらの課題を解決するためには、省エネルギーで効率的に AI を動作させる半導体集積回路・デバイス(AI チップ)の開発が必要不可欠であり、世界的にも AI チップの開発競争が激化している。AI チップは、クラウド向けの超大規模チップのみならず、エッジ用途においても日々増大する処理性能要求に応じるためにその設計規模増大がますます加速している。

このような大規模なチップの設計には、数多くの EDA ツールを組み合わせる必要がある。このため、システムレベル記述言語の知見しかない AI ベンチャー、FPGA により IP 開発を行っているベンチャー企業にとって、ASIC での IP の検証、性能評価に大きなハードルがあり、新規参入に対する非常に大きな敷居となっている。この研究開発課題では、多種多様な設計ツールを取捨選択し、ソフトウエアからハードウエア設計のサインオフまでを一気通貫に実現できるツールチェイン(図 3-9)を策定することで、この敷居を軽減し、システムレベル記述言語からハードウエア設計のサインオフまでを一気通貫に実現できる環境を実現し提供することにある。これにより、従来ハードウエア設計経験のない AI ベンチャーソフトウエアとしハードウエアからスムーズに AI チップ実現が可能となることが期待される。

本研究課題では、1)実施項目 2-1 において整備した EDA・EDA 利用環境を、ログインすれば即利用可能なように環境整備をする、2)ツールチェイン利用のための教材の整備に注力した。EDA ツールは毎年、また利用設計試作環境のライブラリ(PDK)によってバージョンが変化するため、環境設定もそれらすべてに対して整備している。図 3-10 には、ツールごとの環境設定ファイルの一例で、実際には、これらの設定ファイルをバージョンごとに準備し、利用者が指定のツール・バージョンを即刻利用が可能になるよう整備を行っている。同時に、図 3-11 に示すように EDA ツール利用における初期設定と起動に関するオンライン教材を整備し、即時利用を可能とした。

また、ツールチェインを使いこなすにあたり、高位合成から物理設計までを一気に行うために必要となる教材が不可欠である。特に高位合成は 20 年以上にわたりツールが整備され続けているにもかかわらず、いまだに一般的に利用されるに至っていない。これは高位合成ツールの使いこなしの難易度の高さに起因する。そのため、特に高位合成に焦点をあて、教材整備に加えセミナーを行うことで普及に努めた。図 3-12 に整備した教材一覧を示す。

高位合成教材においては、ニューラルネットワークを題材として、図 3-13、図 3-14 に示すように最適化方法、低電力設計方法等に関する詳細を取り上げている。

これらの取り組みにより、AI-One と AI-Two の全体設計、AI-One 搭載の 6 種類の AI-IP コアの設計、AI-Two 搭載の 3 種類の AI-IP コアの設計を含めた多くの大規模な設計を実現することができた(SOC 全体を含め 11 設計)。

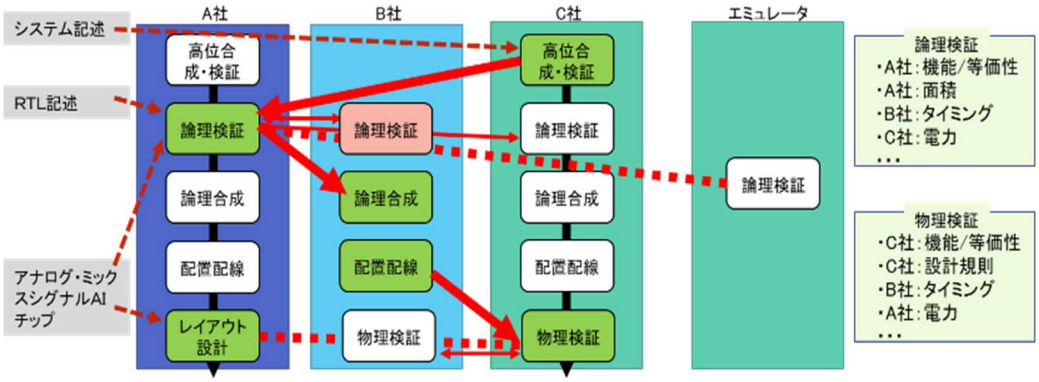


図 3-9 ツールチェインの例

ベンダー	設定ファイル
Cadence	cshrc.innovus, cshrc.joules, cshrc.mdv, cshrc.qrc, cshrc.stratus, cshrc.virtuoso, cshrc.vxe, cshrc.genus, cshrc.jasper, cshrc.lec, cshrc.pvs, cshrc.spectre.batch, cshrc.tempus, cshrc.voltus, cshrc.xcelium
Siemens	cshrc.calibre, cshrc.catapult, cshrc.powerpro, cshrc.slec
Synopsys	cshrc.ct, cshrc.hspice, cshrc.lc, cshrc.pt, cshrc.spyglass, cshrc.vcs, cshrc.verdi, cshrc.cc, cshrc.dc, cshrc.icc, cshrc.prime, cshrc.spyglass-lint, cshrc.starrc, cshrc.vcs-mx, cshrc.waveview

図 3-10 ツールの設定ファイルの例

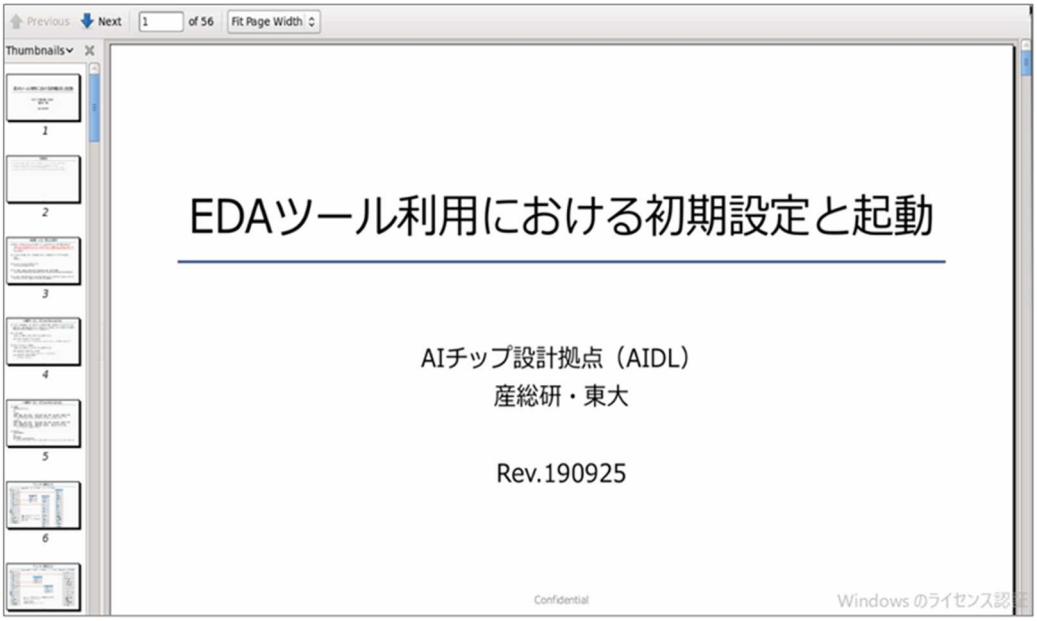


図 3-11 EDA ツール利用の初期設定とツールの起動に関するオンライン教材

図 3-12 ツールチェイン教材一覧

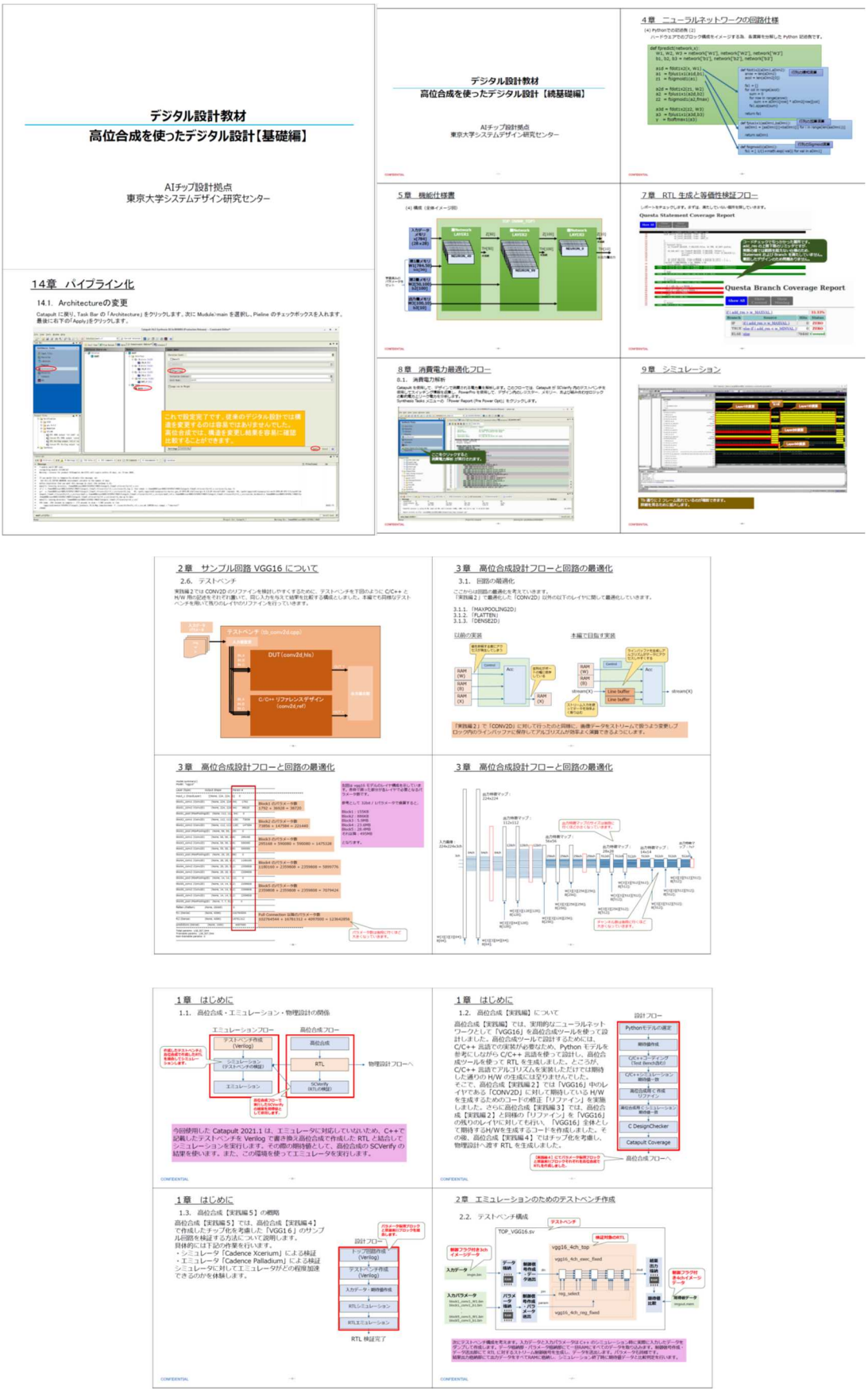
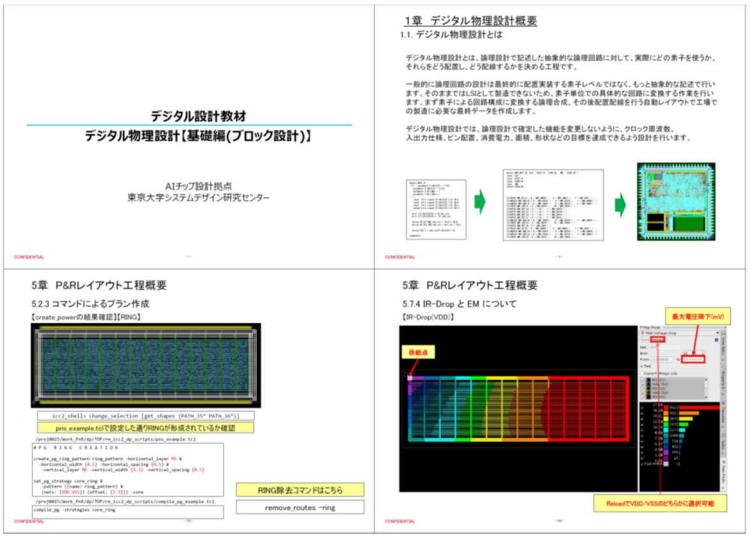
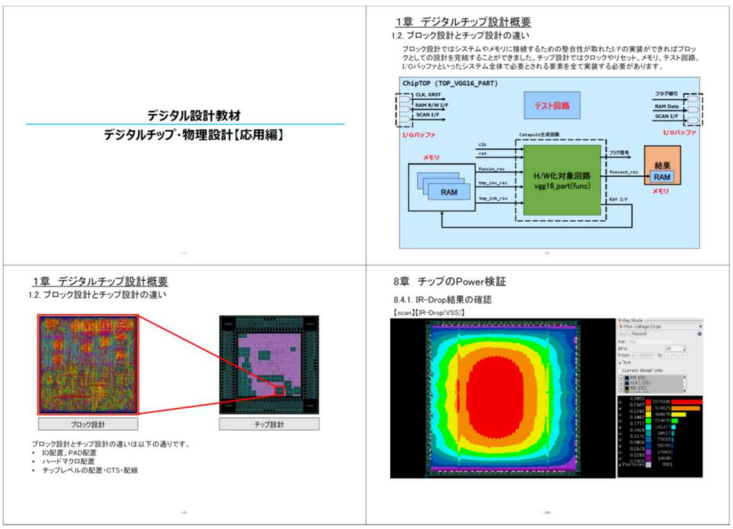


図 3-13 高位合成を使ったデジタル設計教材の抜粋





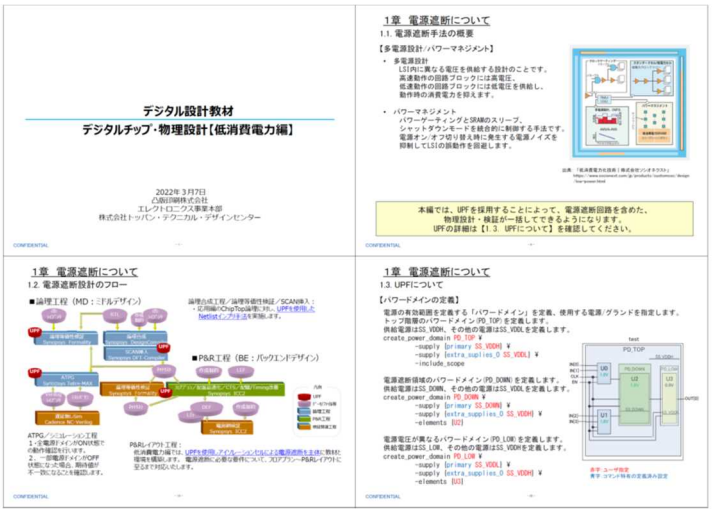


図 3-14 デジタル物理設計教材の抜粋

実施項目 1-3「AI チップ設計に向けたリファレンスデザインの研究開発」

AI チップの開発においては、AI コア IP を慎重に設計・検証することはもちろんのこと、目的に合ったメモリ IP やバスインターフェイス IP 等といった周辺 IP を適切に選択し、AI コア IP に組み合わせることで AI チップ全体を完成させていくが、このような設計・開発は豊富な技術的知見や経験を必要とする。また、拠点には本プロジェクトで整備される設計ツールや標準インターフェイス等の IP、そしてこれらを用いた設計フローなどが集積されるが、これらを組み合わせて実際のチップを短期間で設計する場合、設計環境、IP の利用方法に関するノウハウが必要である。このため、革新的な AI ソフトウエア技術を有するがチップ開発の経験が十分でない中小・ベンチャー企業等が AI チップを開発する場合、非常に難易度が高く開発期間が長期にわたる。

本実施項目では、ハードウエア記述、ファームウエア、ソフトウエアと PCIe 等の高速バスインターフェイス、DDR 等の高速メモリインターフェイス、標準バスインターフェイスや、画像認識 AI で用いられる畳み込みニューラルネットワーク IP からなるアクセラレータをリファレンスデザインとして作成する(図 3-15 の太枠で囲われた部分)。また、畳み込みニューラルネットワーク IP の部分(図 3-15 の独自 AI 用 IP の部分)を今後重要性が増すと考えられるトランスフォーマーに適用可能なように拡張する。

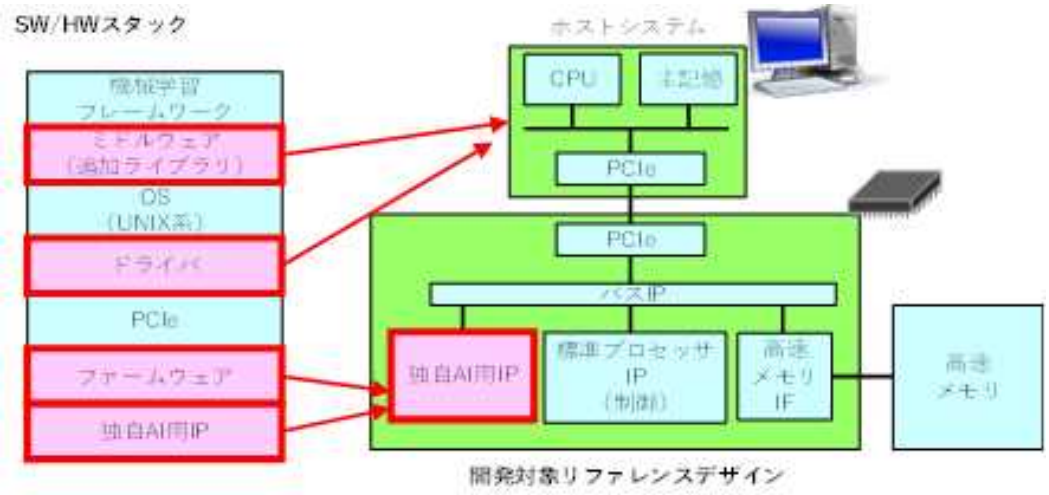


図 3-15 AI チップリファレンスデザイン開発で目標とするシステム

【リファレンスデザインの仕様策定に際して行った考察および研究開始からの経緯】

前述の目標は、AI 処理をソフトウエア処理によって具現化する手法を熟知しているが、集積回路設計手法に関する知識を持ち合わせないような想定拠点ユーザーに対して、例示を行い、集積回路化が迅速に行われるように配慮することである。

そのためには、実施項目 1-1, 1-2 で開発されるデザインフローやエミュレータ・EDA ツールの協調設計ツールチェイン、実施項目 1-5 で実施される AI チップ設計・評価プラットフォームを実

際に使えるものにする必要がある。また、デザインフローやエミュレータ・EDA ツールの協調設計ツールチェイン、AI チップ設計・評価プラットフォームの構築においても、これを検証するためのテストビークルが必要となる。

したがって、本実施項目で構築を行うリファレンスデザインとしても、これら実施項目と連携の上、研究開発を行った。特に、想定拠点ユーザーに対する配慮としては、C++による高位合成を導入するなどし、技術導入に関する障壁を下げる配慮を行った。

【ソフトウエア処理から集積回路動作へ移行する処理仕様の策定】

本プロジェクトでは、前半 2 年半で畳み込みニューラルネットワークの一例として Alexnet のうち、最も積和算数の多い第 4 層ないし第 3－第 5 層を処理するためのアクセラレータを取り上げた。

一般的にアクセラレータによるハードウエア処理の対象とならない処理については、通常通りソフトウエア処理を行うことになる。図 3-16(a) に例示として、Alexnet をフレームワーク Chainer によって実装した場合のコードを示す。ここで、このうち conv4=L4C2L.L4Convolution2D() の行について、乗算回数が極めて多くなることからこの部分について独自のパッケージ l4_Convolution_2d_links を作成し、専用アクセラレータに処理をオフロードすることを考える。最も抽象度の高いレベルでは、図 3-16(b)に示すように、ホスト PC ないし計算機から引数の一つとしてデータストリームをアクセラレータに渡し、同様に演算結果のデータストリームをホストに戻すことによって処理を実行する。

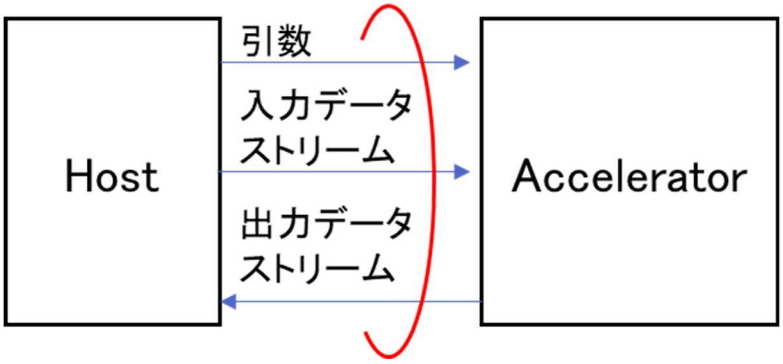
つまり、処理をソフトウエアからアクセラレータに、あるいはアクセラレータからソフトウエアに移行するために CPU、PCIe、内部バス、専用レジスタを利用した機構、DRAM からもしくは DRAM へのデータロード・ストア機構などが必要となる。これらを順序だてて例示し、必要な要素の動作を示すことは、ユーザーの便益をもたらすと考えられる。

本実施項目で実際に使用したソフトウエア処理からアクセラレータ処理への移行方法を図 3-17(a),(b)に、アクセラレータ処理からソフトウエア処理への移行方法を同図(c), (d)にそれぞれ示す。これは、所謂ポーリングである。すなわち、処理の移行時には PCIe を通じて計算途中結果を DDR に転送し、計算リクエストフラグをコントロールレジスタに書き込む。ホストは計算終了フラグを同コントロールレジスタに検出するまで監視を続けストールする。一方、アクセラレータの CPU は同コントロールレジスタにおいて計算リクエストフラグを検出すると、アクセラレータ本体を起動する。処理が終了し次第計算結果を DDR に書き戻して計算終了フラグをコントロールレジスタに書き込む。最後に計算終了フラグを検出したホストは DDR から結果データを引き上げ次の処理へ移る。

以上のような動作を行うためには、アクセラレータの要素として、CPU, DDR, PCIe, 制御レジスタ、バス、DRAM リーダー、DRAM ライター、内部バス、マイクロコードデコーダなどが必要となる。

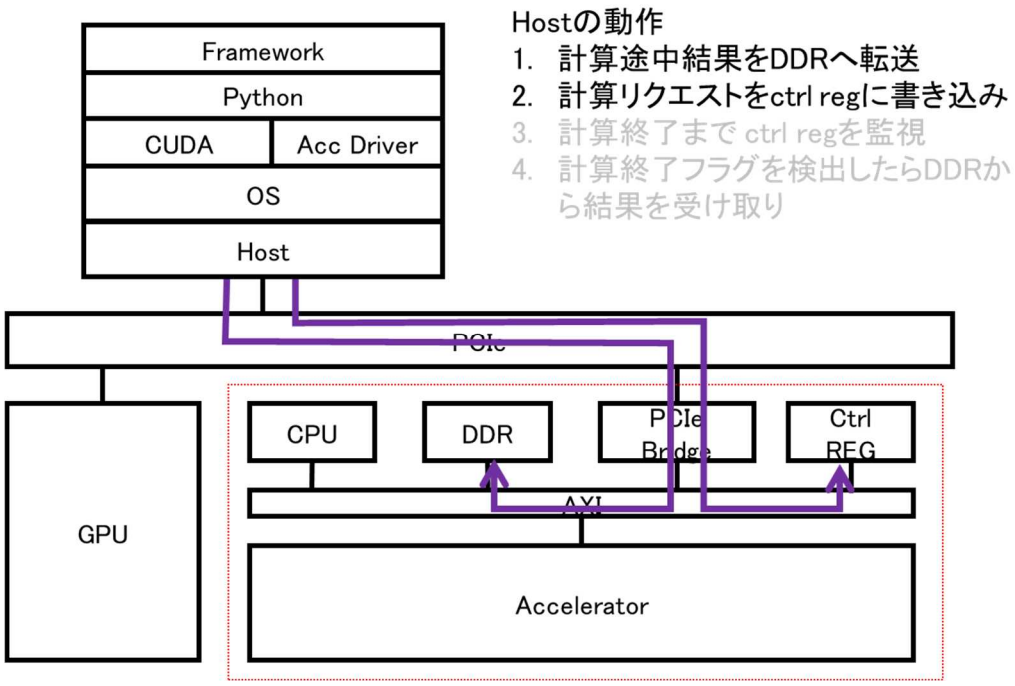
```
import numpy as np
import chainer
import chainer.functions as F
from chainer import initializers
import chainer.links as L
import l4_convolution_2d_links as L4C2L

class DSA_Alex(chainer.Chain):
def __init__(self, batchsize, out):
        super().__init__(
            conv1=L.Convolution2D(None,  96, 11, stride=4),
            conv2=L.Convolution2D(None, 256,  5, pad=2),
            conv3=L.Convolution2D(None, 384,  3, pad=1),
            conv4=L4C2L.L4Convolution2D(batchsize=batchsize, out=out),
            conv5=L.Convolution2D(None, 256,  3, pad=1),
            fc6=L.Linear(None, 4096),
            fc7=L.Linear(None, 4096),
            fc8=L.Linear(None, 1000),
        )
```

(a)



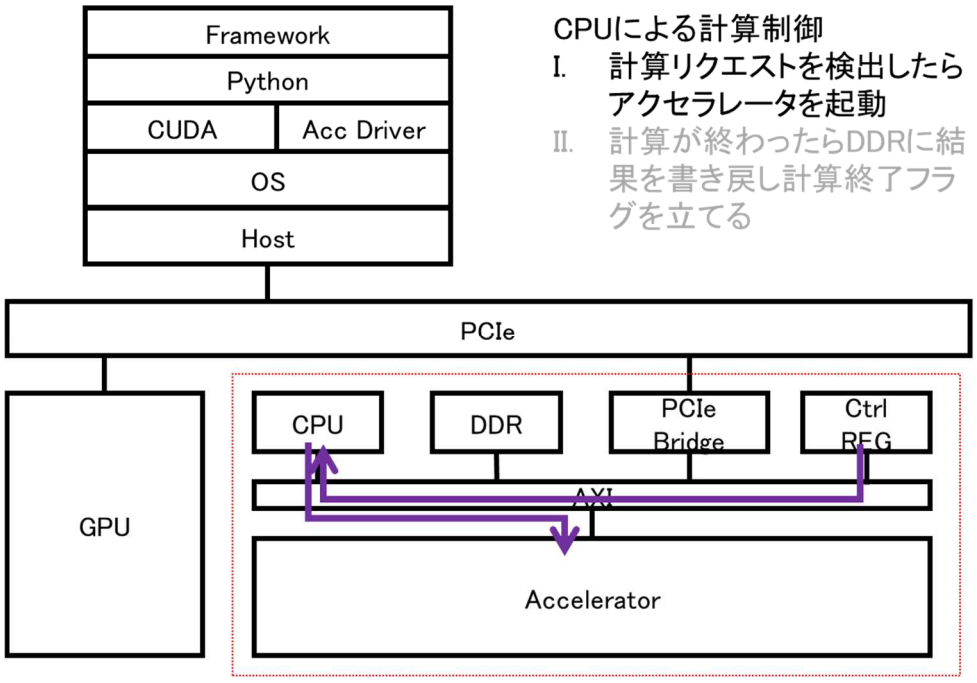
(b)

図 3-16 (a) Alexnet を例とするコードオフロードの例と
(b)対応する計算オフロードに際する最も抽象度の高いブロック図



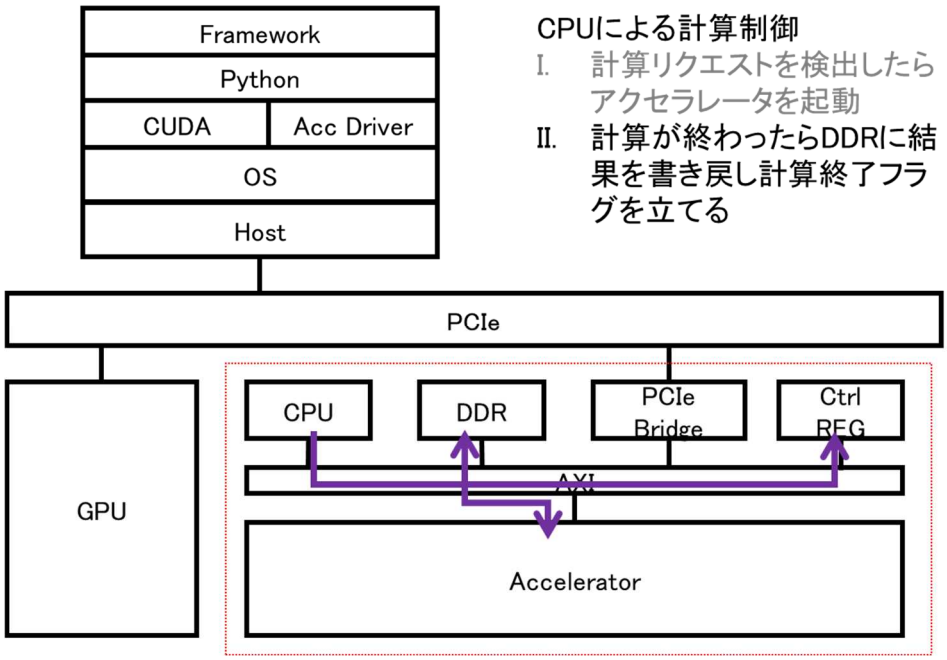
Hostの動作
1. 計算途中結果をDDRへ転送
2. 計算リクエストをctrl regに書き込み
3. 計算終了まで ctrl regを監視
4. 計算終了フラグを検出したらDDRから結果を受け取り

(a)

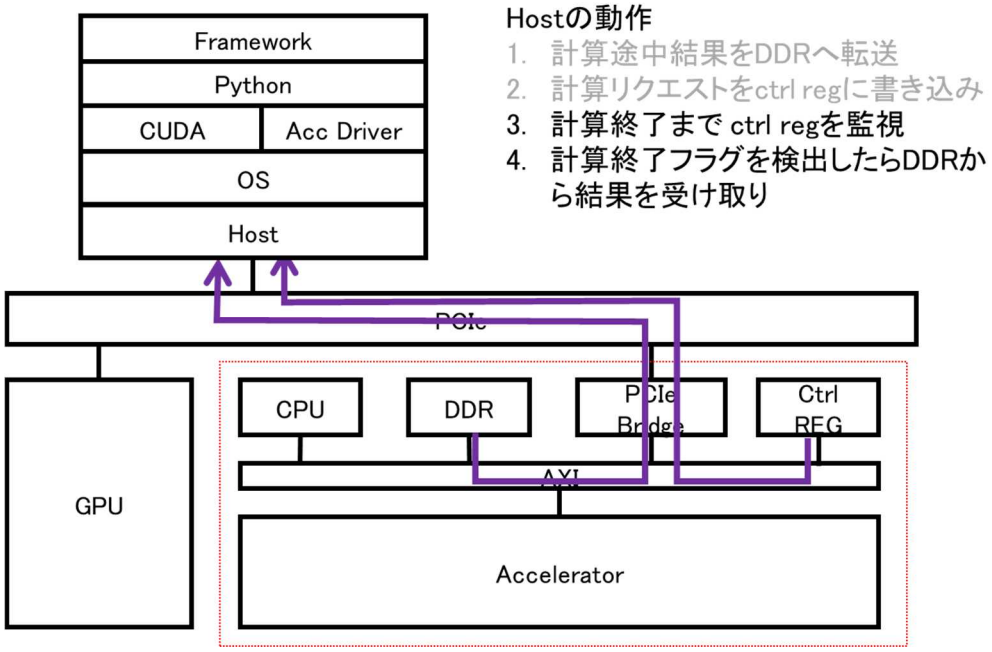


CPUによる計算制御
I. 計算リクエストを検出したらアクセラレータを起動
II. 計算が終わったらDDRに結果を書き戻し計算終了フラグを立てる

(b)



(c)



(d)

図 3-17 リファレンスデザインに実装されたポーリングによるソフトウエア処理・アクセラレータ処理の切り替え手法

【畳み込み処理の実装】

図 3-18 にリファレンスデザインとして作成した IP 内部の概要を図示する。DRAM リーダーから読み出されたデータは、並べ替えバッファを経て積和算器に供給される。積和算を実行した結果は部分和の積算器に転送され、丸め処理を行った後 DRAM ライターによって適宜 DRAM に書き戻される。その周辺では CPU, DDR, PCIe, コントロールレジスタ, マイクロコードデコーダが適宜動作して畳み込み処理を遂行する。特に青色で記した部分は実施項目 1-5 においてプラットフォームとして提供される部分を利用することとした。これにより、各種ドライバやファームウエアを同時に提供することが可能である。

実装においては、C++による高位合成記述を採用した。これによって、図 3-19 に示すような全体検証と実装が可能となった。すなわち、高位合成記述のソースはそのまま C++によってその振る舞いを検証できる。そのコードを流用し、ファームウエアの一部とすることができる。また、高位合成ツールによって図 3-18 の黄色ハッチング部分を SOC の RTL として生成することができる。実施項目 1-5 で開発されたワンチップシミュレーション手法によってその振る舞いを検証可能である。この RTL を実際に集積回路実装する場合には、実施項目 1-1, 1-2 によって開発された拠点設計フローによって実装可能である。

図 3-20 に、実施項目 1-5 によって提供された検証手法を用いて行った検証波形の例を示す。実施項目 1-5 で詳述されるように、拠点のフローによって機能検証を行うことが可能であり、プラットフォームからのテストベクター―の応答をシミュレータによって確認することが可能である。

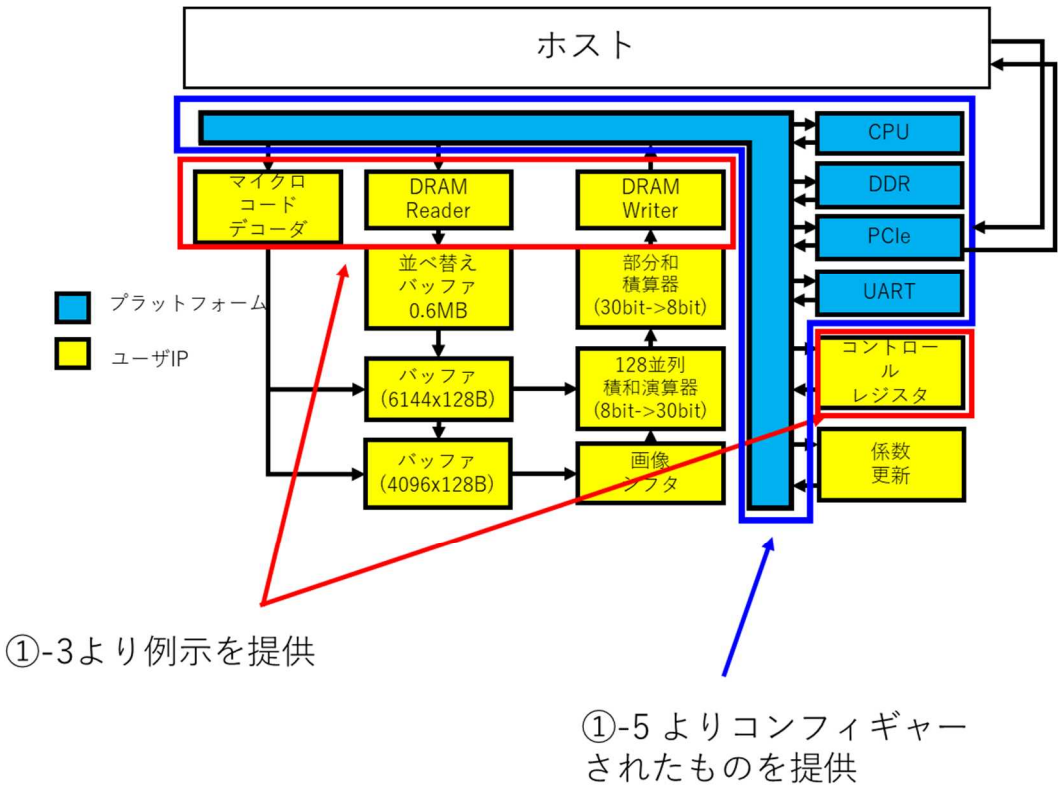


図 3-18 リファレンスデザインとして作成した IP の内部概要

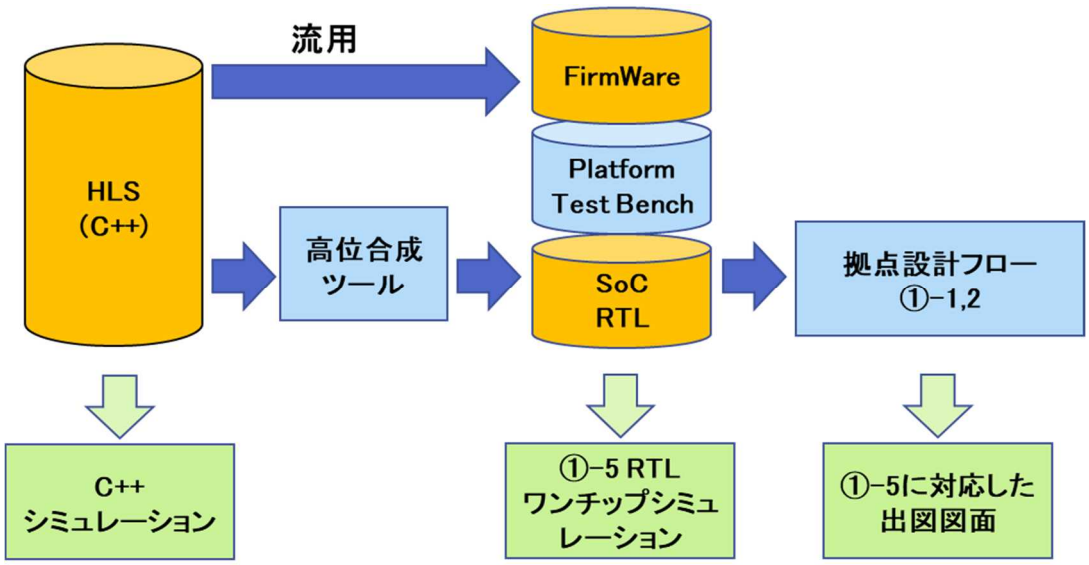


図 3-19 作成したリファレンスデザインを用いた集積回路実装フロー

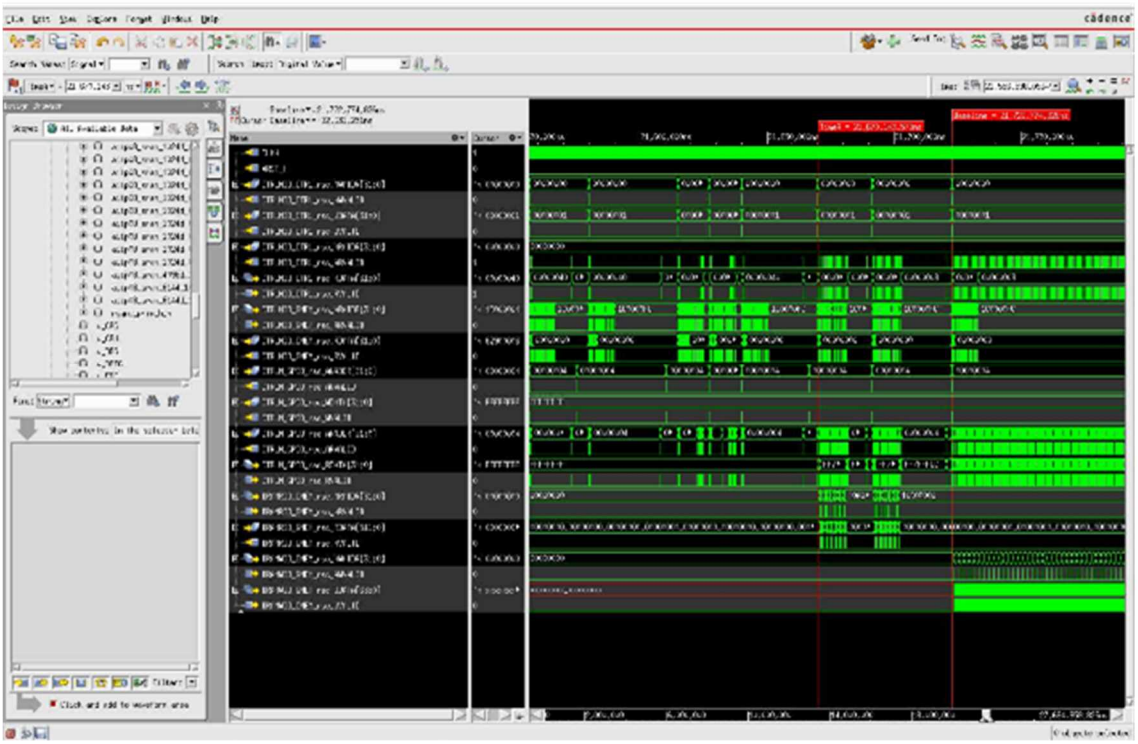


図 3-20 実施項目 1－5 に実装された畳み込みニューラルネットワークリファレンスデザインの機能検証波形の例

チップ上のレイアウトとしては、図 3-21 に示すように、プラットフォームや他 IP とともに実装が行われた。試作されたチップは、図 3-22 に示すように、実施項目 1-5 の成果として提供されたデバッガ環境によって、800MHz での正常動作を確認することに成功した。

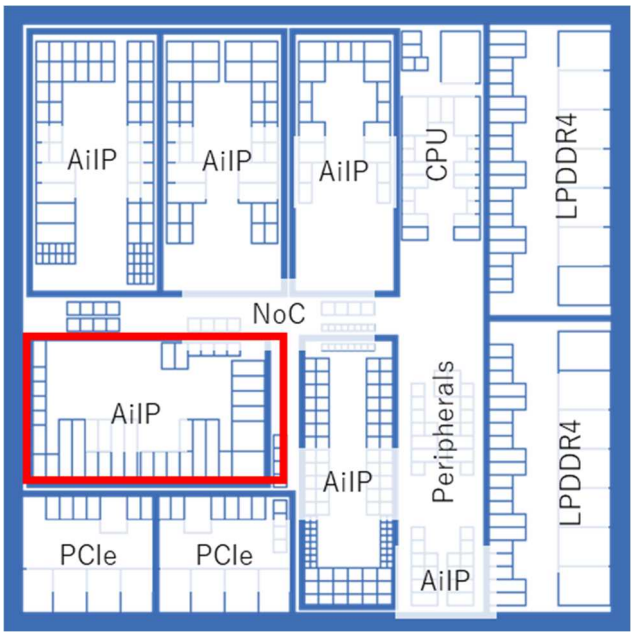


図 3-21 実施項目 1-5 により実施されたチップ試作における畳み込みニューラルネットワークリファレンスデザインの実装

図 3-22 評価ボードとデバッガによる動作検証の様子

表 3-4 に実装の結果をまとめる。特に、上記消費電力測定は、実施項目 1-5 のテストボード上に提供された、電源回路制御機構によって可能となったものであり、同様の手法をユーザー

に提供可能となる。この機構を使ってリアルタイムに消費電力を測定した例を図 3-23 に示す。ここで、idle, move, exec(forward, backward_weight)に関しては下記の動作を行った結果である。

move：データセットの読み込みを 4000 回繰り返し実行

exec (forward)：順伝播の計算を 200 回繰り返し実行

exec(backward_weight)：重み勾配逆伝播の計算を 200 回繰り返し実行

なお、表 3-4 の消費電力は、上記 idle 時と exec の差分を IP の動作に係る消費電力と換算した。

実装結果について、16nm テクノロジによって実装された GPU との比較する試算結果を表 3-5 に示す。同試算は、トランジスタ層数、クロック周波数が異なるため、これらをテクノロジノード数を勘案して平準化すると、汎用の GPU に対して 5～8 倍程度の高速化が見込める設計となっている可能性が指摘される。ただしここで、両者ともにバッチ数を 32 としたことや、GPU においては Winograd を利用しているのに対し、リファレンスデザインでは im2col/col2im と GEMM を用いたことと等価な処理を採用していること等に注意が必要である。

同リファレンスデザインを公開するにあたっては、第 4 層のみに対応する並べ替えバッファ機能やマイクロコードデコーダ機能を拡張し、第 4 層のみならず第 3-5 層に拡張した例示を作成し、公開した。

表 3-4 畳み込みニューラルネットワークリファレンスデザインの実装実験結果

	AI-One実装 (28 nm)
システムゲート数	2M
IPの面積	2.7mm x 2.1mm
SRAM容量	2.1MB
PE数	128
クロック速度	800MHz
消費電力	680mW

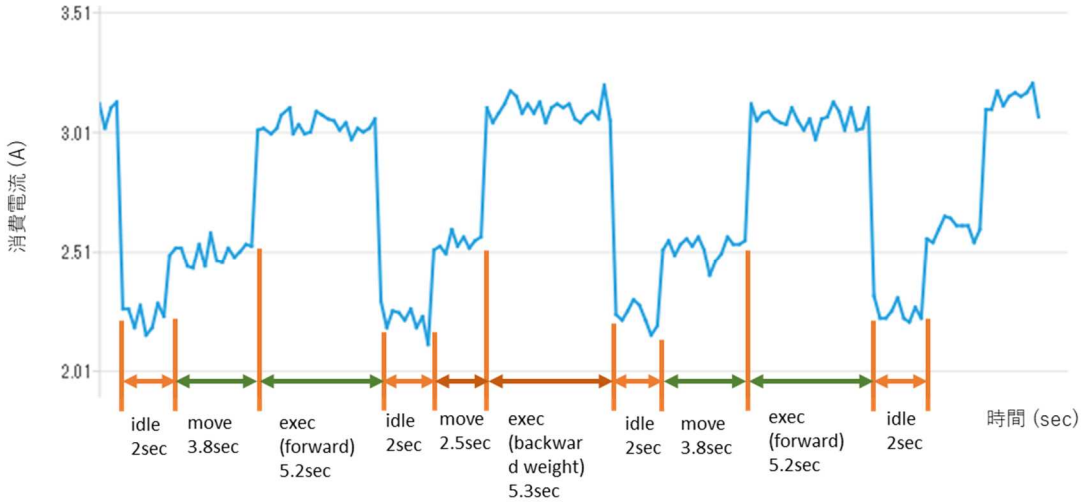


図 3-23 畳み込みニューラルネットワークリファレンスデザインの実装実験結果

表 3-5 畳み込みニューラルネットワーク実装に関する GPU との性能比較

	NVIDIA GP100	本実施項目リファレンスデザイン
テクノロジ	16 nm	28 nm
トランジスタ総数	15,300 M	75 M （バッファメモリ等を含む）
動作周波数	1,556 MHz	800 MHz
計算性能　（32バッチ）		
第4層順伝播	1,927 us（実測）	23,657 us（238 us 相当 @16nm）
第4層逆伝播	3,787 us（実測）	75,069 us（757 us 相当 @16nm）

【トランスフォーマー処理への拡張】

図 3-18 の黄色ハッチング部分を変更し、トランスフォーマー処理に適用可能な構造を持つリファレンスデザインについても後半 2 年で作成を行った。図 3-24 に、本課題の実装対象とした BERT(Bidirectional Encoder Representations from Transformers)のネットワークの概要を示す。この中で特徴的な部分は、内積、リニア層、ソフトマックス層、そして、BERT Output などのブロックに含まれるレイヤ正規化層などである。本実施項目では、レイヤ正規化は CPU 処理により実施することとした。

図 3-25 にそのブロック図概要を示す。このデザインは、図 3-18 のようなデータストリームをパイプラインで処理するのとは異なり、PE 近傍に SRAM を持ちデータを PE 間で授受しながら並列動作を行う構造とした。実装の手段としては、畳み込み処理と同様に、C++による高位モデリングを行った。さらに、これを実施項目 1-5 で実施した AI-Two により実装する実験も行った。この実験に際しては、チップ面積の制約から、内積とリニア層の機能に絞って実装を行った。

実装の結果、これら 2 つの機能は同様のデバッガを使ったテストベクター―の実施により、健全な動作が確認された。

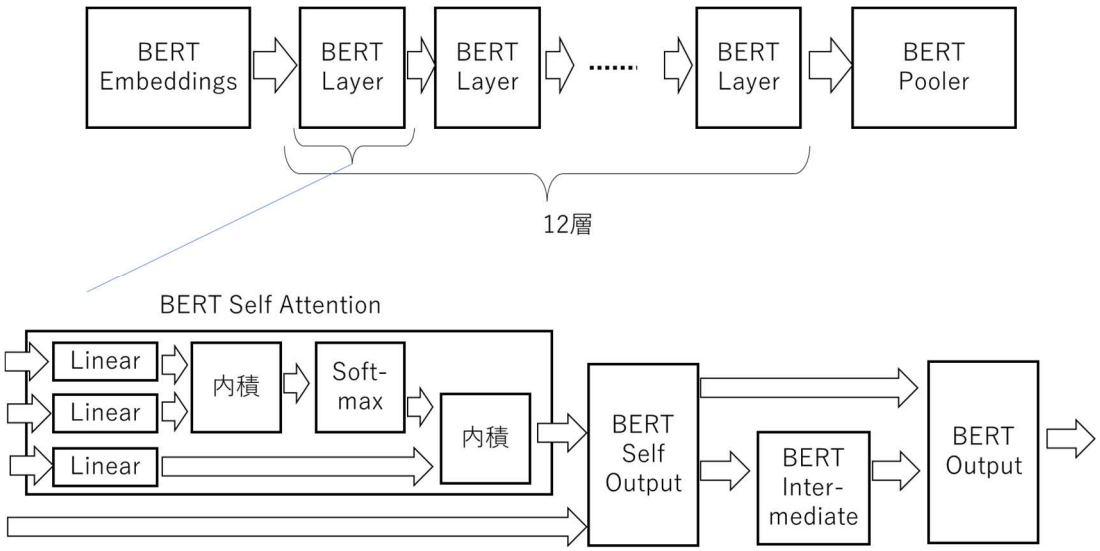


図 3-24 BERT のネットワーク構造

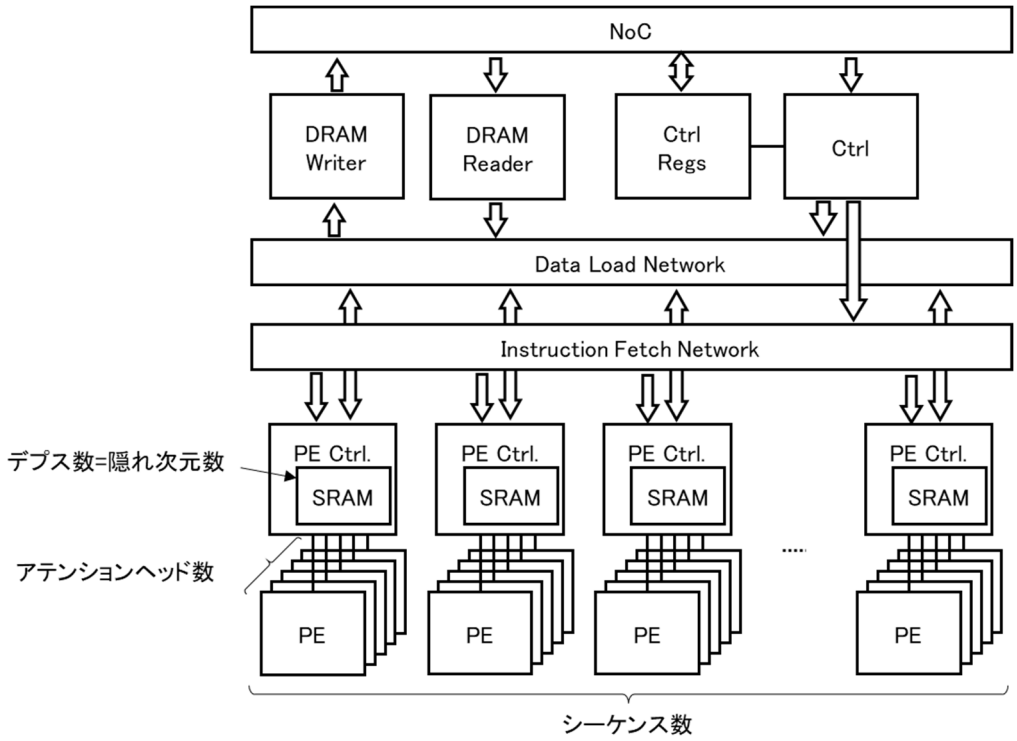


図 3-25 トランスフォーマー計算用アクセラレータの構造概要

【その他要素を含むポートフォリオ構成要素】

これら 2 つのリファレンスデザインに加え、更に、トランスフォーマー処理の精度を検討した際に用いたエミュレータ・GPU の協調検証手法等も開発した。その概念図を図 3-26 に示す。この検証系は、エミュレータを図 3-18 の黄色ハッチング部分と見立てている。すなわち、ポーリングに

よるホストと DUT の通信を、TCP/IP を介したソケット通信-シミュレータ用ホストを介して、PCIe 通信を模擬する。実際の PCIe, CPU は省略し、制御レジスタ、メモリ転送とポーリングによる制御を実装した C/C++テストベンチによってこれらの機能をテストベンチ化する。

このようなトランスフォーマーの必須機能である Softmax 関数と行列内積を Verilog 実装し、エミュレータ上で動作。Python の全体コードの中に上記エミュレータ動作を取り込むインターフェイスを作成し、これらをハードウエア化した場合のソフトウエア処理との制度の差を評価する手法として用いた。

表 3-6 に評価の一例を示す。自然言語処理用ニューラルネットワークモデル”BERT”の機能のうち、RTE ベンチマークに関して、ファインチューニングおよびこれに続く推論を実行し、そのスコアに関して、(1)エミュレータ+GPU での実行結果と、(2)対照区としての GPU のみの実行結果を比較した。(1), (2) の各条件は以下のとおりである。

実装(1)

- エミュレータ実装部： 128 並列 Softmax 関数ユニット
- GPU 実装部： その他機能

実装(2) [対照区]

- エミュレータ実装部： 無
- GPU 実装部: 全機能

比較結果としては、ソフトウエア実行に一致するスコアが確認された。完全に一致してはいないが、むしろハードウエア実行が良く見えるのは、フレームワーク中で乱数が用いられるためと考えられる。GPU のみによる実行時のスコアばらつきに収まるレベルと言える。

このような、エミュレータを用いた AI チップ用ホスト一体型の検証手法について、汎用的機能部分を切り出し、ポートフォリオの一部として拠点ホームページにて公開した。加えて、センサーフロントエンドマクロの構成方法、すなわちセンサー・アナログ・ミクストシグナルデザインを統合的に行うシミュレーション時間短縮のための検証手法についての手引する参考資料を追加するなどし、ポートフォリオ全体が構成される。

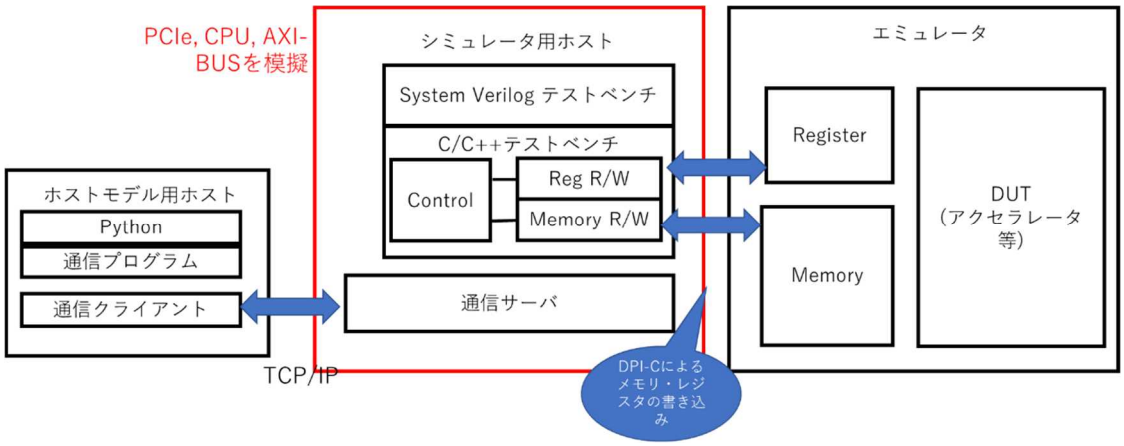


図 3-26 ソフトウエアハードウエア一括検証用エミュレータ環境の概要

表 3-6 ソフトウエア処理との比較

実装	(1) GPU+Emulator	(2) GPU
RTEベンチマーク accuracy	0.534	0.495
loss	0.693	0.706
実行時間	約12時間	118秒

【まとめ】

以上のように、本実施項目では、畳み込みニューラルネットワーク、トランスフォーマー処理を行うためのリファレンスデザインを作成し、他実施項目と連携し、実施項目 1-1, 1-2 で開発されるデザインフローやエミュレータ・EDA ツールの協調設計ツールチェイン、実施項目 1-5 で実施される AI チップ設計・評価プラットフォームを実際に使えるような事例として完成させた。

実施項目 1-4「センサー機能を含むチップのための新規デバイスモデルの研究開発」

IoT 社会において、エッジ側では AI チップとセンサーとのオンチップ化進んできており、中でもイメージセンサーは画像認識 AI 処理の応用範囲が広く、我が国にとって強みのある分野である。このような魅力のあるセンサー付き AI チップを実現するためには、そのセンサー自体、すなわちデバイスレベルの工夫が必要であり、物理モデルに基づいてデバイスを設計する設計ツールが必要となる。このような需要は各種センサーのみならず、アナログ素子など、ロジック回路とは異なる機能素子が必要である場合に、その共通課題としてデバイス設計環境が必要とされる。

すなわち、イメージセンサー・アナログ素子等、独自の機能デバイスを IP として組み込む AI チップが今後増えてくる。このような独自の機能デバイスを備えた AI チップを設計する際、機能デバイスを設計するためのデバイス設計ツール(TCAD 等の設計ツール)に精通していない設計者が、機能デバイスを設計できる環境がないという問題、さらには設計された機能デバイスを AI チップの回路シミュレーションに反映させるモデル化等の技術がないという問題をも、早急に解決する必要がある。

産総研はすでに独自のデバイス設計ツール Impulse TCAD を開発した。自動微分を搭載することで新しい物理モデル・物理方程式を容易に組み込むことができるため、従来の TCAD に比べて新しい現象への素早い取り組みが可能であり、各種プロジェクトで活用されている。しかしながら Impulse TCAD は汎用の物理シミュレータであり、入力言語もプログラミングに近いため、一般ユーザーがすぐにデバイス設計に活用するにはハードルが高いという問題がある。

一般に Technology CAD (TCAD)を使う際にユーザーがケアしなければならない利用ノウハウとして、デバイス構造の作成、現実的な計算時間で精度よく解くための空間・時間メッシュの構築、適切な物理モデルの選択など、デバイス設計とは異なるところに注意を払わなければならない。さらには TCAD ソフトウエアのライセンスを購入したり、計算サーバを導入したりと、コストもかかるものであり、AI チップ開発に専念したい企業にとっては負担が大きい。特に CMOS イメージセンサーのように 3 次元の解析に対応するためのライセンス料及び計算機コストは問題である。

本項目はこのような問題を解決し、拠点ユーザーが活用可能なデバイス設計環境を提供することを目的とする。本項目の中間目標は、Impulse TCAD をベースとして AI チップに搭載する際に利用可能な独自の機能デバイス設計ツールのプロトタイプを、例えばイメージセンサーといった特定の用途を想定して開発・評価し、課題を抽出し、改良仕様を策定する、とした。

最終目標は、機能デバイス設計ツールを改良し、クラウド上で利用可能な環境を構築、特定の用途を想定したケースに対して有効性を検証する。その一環として機能デバイス設計ツールの拠点利用者等の利用を通してその有効性を確認する。また、検討した新規デバイスのモデル化技術等については、AI チップ設計フローへ組み込みとそれに必要な条件等の明確化を図る、とした。

以下、本項目ではまず上記中間目標までの成果を前半で報告し、後半はそれを踏まえた最終目標までの成果を報告する。

前半の 2018～2020 年度は中間目標に向けて以下の項目を実施した。

①ユーザーインターフェイス構築のためのユーザーヒアリング
②ユーザーインターフェイスプロトタイプの開発と改良
③TCAD によるデバイス設計支援
④デバイス設計のためのデバイス構造の提供
⑤ファブとの連携に向けた議論

以下、項目ごとに成果を記載する。

我々は設計者が予め必要なノウハウをできるだけ減らすには、物理シミュレータをそのまま使っていただくより、目的に応じて TCAD のエキスパートがデバイス構造・メッシュ・物理モデルなどをあらかじめ用意したものに、ユーザーインターフェイスから使ってもらう方式を採用した。またライセンス料や計算資源を可能な限り抑えるため、設計拠点側で用意したクラウド上の計算機資源を利用し、ユーザーはウェブブラウザで利用するウェブユーザーインターフェイス(WebUI)方式とした。

WebUI を開発するにあたり、最初に①の拠点ユーザーへのヒアリングを実施した結果、デバイス設計環境が必要なユーザーの中で、CMOS イメージセンサーに関する要望が多く、次にアナログ素子としての MOSFET が多いという結果が得られた。このヒアリングを元に、各イメージセンサー関連のユーザー企業及び大学を訪問し、デバイス設計ツールへのさらに細かい要望のヒアリングを行った。これらのヒアリング結果を元に TCAD ユーザーインターフェイスの仕様を策定した。

策定した仕様を元に②としてユーザーインターフェイスプロトタイプを開発した。ユーザーインターフェイス(UI)はユーザーが自サイトから Web の仕組みを用いてアクセスし、システム側で用意したクラウド計算機上で TCAD シミュレーションを実施、その結果を Web ブラウザから取得する WebUI 方式とした。図 3-27 に開発した WebUI の画面例を図示する。ユーザーは用意されたデバイス、ここでは CMOS イメージセンサー(CIS)ピクセルのレイアウト図を見ながら、寸法や不純物分布をパラメータとして設定し、シミュレーションを実施できる。本機能の初期評価結果として、ピクセルのレイアウトを変更したいという要望があり、レイアウト定義ウィンドウを追加して対応した。レイアウトに応じて電極が増える可能性があり、与える電圧条件のウィンドウも併せて設けた。

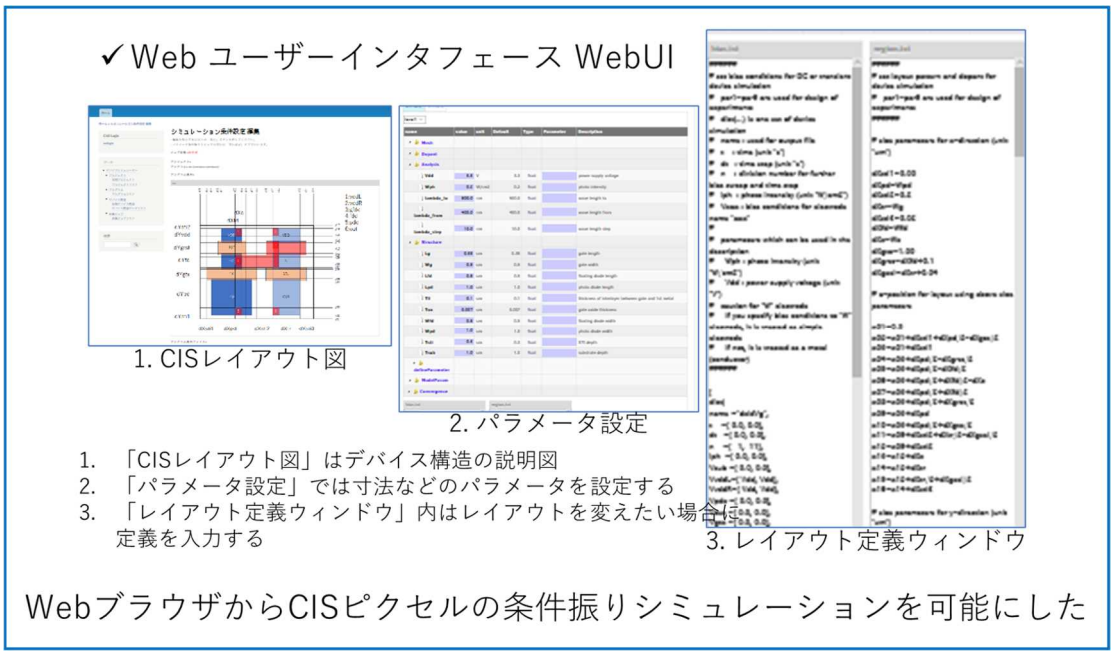


図 3-27 開発した WebUI の画面例

CMOS イメージセンサー(CIS)ピクセルについて③のデバイス設計支援技術として、Impulse TCAD を用いたシミュレーションフローを構築した。そこでは Photo Diode(PD)への入射光を想定し、その電荷を Floating Diffusion(FD)に転送、その電位をトランジスタのゲートに与える方式のピクセルを対象とした。解析は DC 解析と、Transient 解析に対応している。図 3-28 に CIS ピクセルのシミュレーション波形例を示す。このような各端子の電圧条件及び、光照射条件を記載するためのウィンドウによって、ユーザーは解析波形を自由に変えることができる。

経時解析(transient)の例

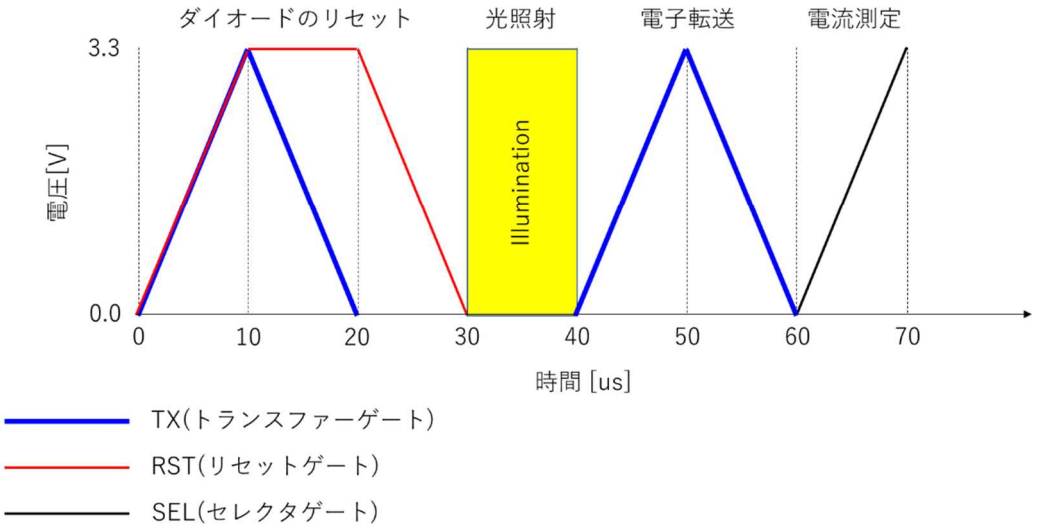


図 3-28 CIS ピクセルの解析入力条件例

図 3-29 に本シミュレーションの作業の様子を示す。左下が CIS ピクセルのレイアウト図、左上が得られた電圧波形、右上がシミュレーションに用いられた 3 次元のデバイス構造のグラフィクス、右下はフォトジェネレーションによって Photo Diode (PD)に発生した電子濃度分布を示している。このシミュレーションが Impulse TCAD 上で可能なことを確認した。③の項目は組み込むデバイスのシミュレーションノウハウを組み立てることにある。CMOS イメージセンサーピクセルでは特にシミュレーションの準備が難しいが、あらかじめこのような検討をすることで、ユーザーからノウハウの蓄積に関する負担を軽減する。

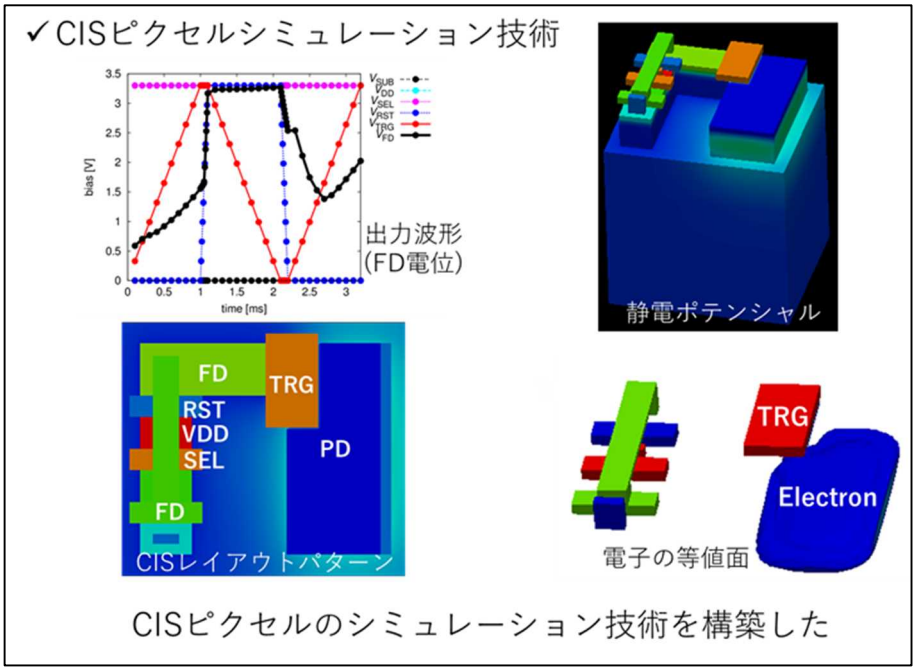


図 3-29 CMOS イメージセンサー(CIS)ピクセルの TCAD シミュレーション例

さらに WebUI にからこの CMOS イメージセンサー(CIS)ピクセルシミュレーションが可能なように、④のデバイス設計のためのデバイス構造の提供を実施した。これについては図 3-29 の構造・レイアウトがそれに該当する。WebUI は得られた電圧・電流特性などを CVS フォーマットでファイルとして提供し、左上のようなカーブが例えば Excel で簡単に作成できる。またグラフィクスについてはフリーのグラフィックビューアーである Paraview のフォーマットで提供する。右下のようなグラフィクスも Paraview を用いて出力可能であり、CIS ピクセル設計で重要なキャリアの動きを追うことが可能である。さらに拠点ユーザーの数社から MOSFET および、応力センサーへの要望をいただき、これについても重要な拠点のターゲットと考えて WebUI に追加搭載するための基本検討も実施した。

図 3-30 にデバイス構造の追加搭載するための WebUI システム構成図を示す。ユーザーインターフェイスの共通部に、各デバイス構造の定義をはめ込むことにより、デバイス構造に応じたシミュレーション内容と、その条件振りの UI を出せるようにする。Impulse TCAD とユーザーインターフェイス部は共通で、デバイス構造定義部のみを追加すれば、新しいデバイス構造に対応できる。

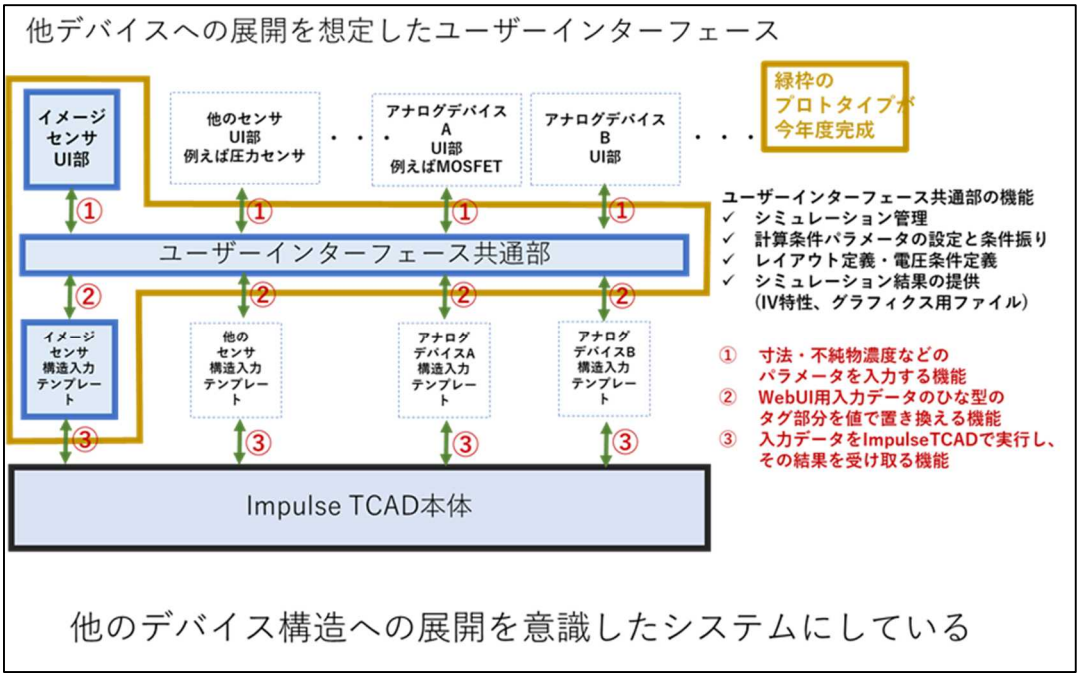


図 3-30 デバイス構造の追加を可能とする WebUI のシステム概念図

このような進捗を元に、2020 年度には⑤ファブとの連携に向けた議論を開始した。そこでは主に拠点の TCAD の考え方と、TCAD の精度を確認するための試作の可能性について、具体的なファブ企業及び、産総研のスーパークリーンルーム(SCR)と議論を開始した。

以上がプロジェクトの前半、2020 年度までの成果である。

以降は最終 2022 年度までの後半の成果について述べる。最終目標は、機能デバイス設計ツールを改良し、クラウド上で利用可能な環境を構築、特定の用途を想定したケースに対して有効性を検証する。その一環として機能デバイス設計ツールの拠点利用者等の利用を通してその有効性を確認する。また、検討した新規デバイスのモデル化技術等については、AI チップ設計フローへ組み込みとそれに必要な条件等の明確化を図る、である。

以上を踏まえて最終 2022 年度の目標を以下の通りとした。

⑥デバイス設計環境の整備

⑦新規デバイス構造の公開及びドキュメント化

⑧ユーザーの利用を通じた有効性の確認

⑨モデル化技術等について AI チップ設計フローへ組み込みおよび、条件の明確化

以降、後半 2022 年度までの成果を項目ごとに報告する。

前半 2020 年度までに開発・改良した TCAD WebUI を用いることにより、ユーザーは自サイトから、デバイス構造の構築・メッシュの設定・物理モデルの選択などのノウハウ習得を必要とせずに、公開されたデバイス構造の寸法・不純物分布・電圧等のパラメータを条件振りし、各種デバイス性能とデバイス内物理量分布をファイルとして取得可能になった。この様子を図 3-31 に示す。ユーザーはメニューからデバイス構造を選び、レイアウト説明図を参照しながら各パラメータを条件振りし、クラウド計算機環境をリモートから用いたシミュレーションが可能である。後半の⑥のデバイス設計環境の整備として、利用法に関するマニュアルも整備した。

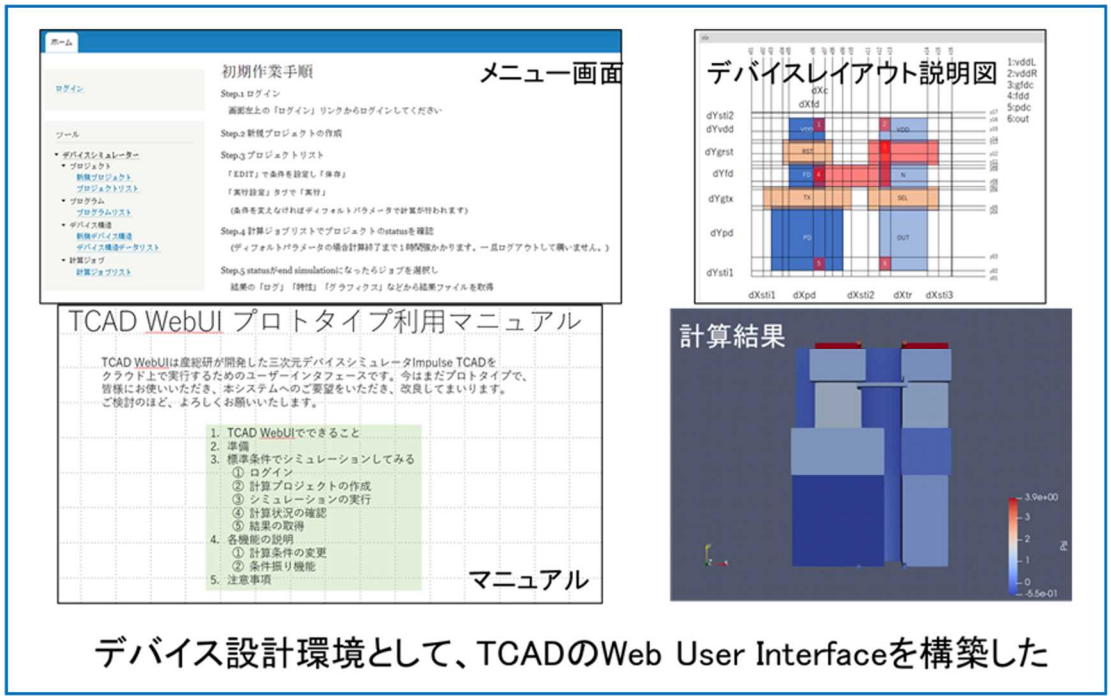


図 3-31 デバイス設計環境としての TCAD-WebUI の構築

ユーザーが条件振りシミュレーションを行なえる機能は本 WebUI の特徴であり、ユーザーがデバイス性能を最適化する際の負担を大幅に軽減できる。2022 年度までに、⑥の整備の一環として、さらに条件振り機能をよくするために、条件メニューの階層をわかりやすくした。条件振りウィンドウの例を図 3-32 に示す。新しい条件振り画面ではメッシュ・寸法・不純物分布などにジャンル分けされ、ジャンルごとに重要なパラメータから階層化されて表示される。パラメータの意味や単位、ディフォルト値なども表示し、ユーザーは必要に応じて値を変更し、さらにはパラメータ毎に条件振りの設定も可能である。この条件振り機能を用いると、全ての組合せの条件表ができたのち、不要な条件を削除することも可能である。クラウド計算機を用いているため、ユーザーは計算機リソースを気にすることなく条件振りのシミュレーション結果まで得られるため、デバイス設計に集中できる。

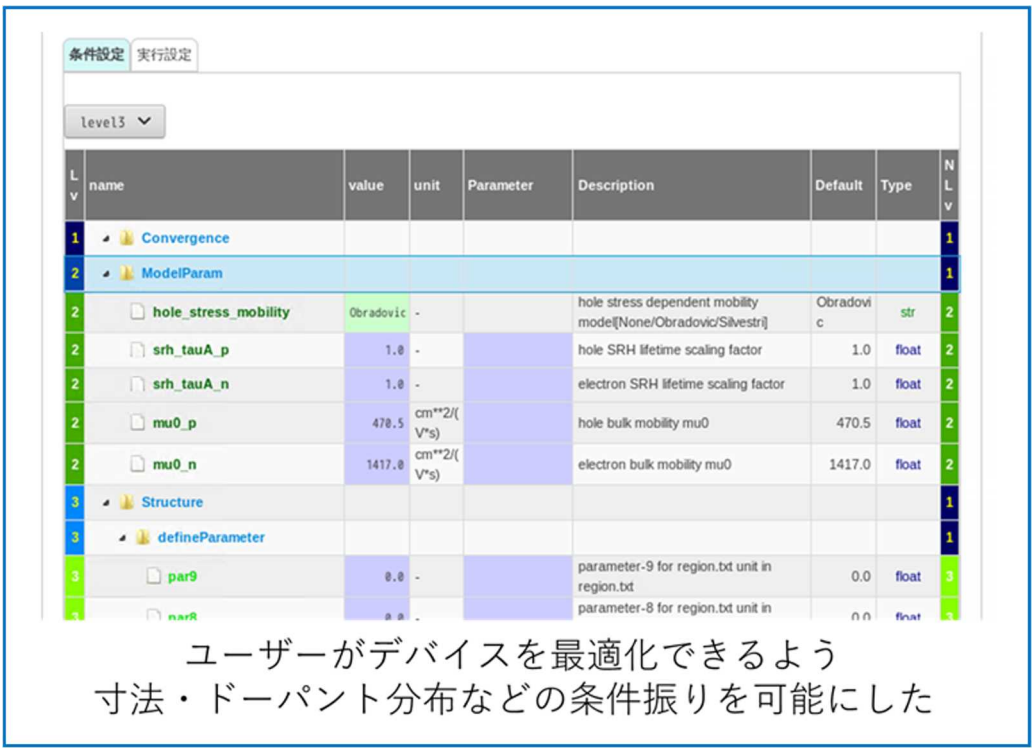


図 3-32 条件振りウィンドウの例

項目⑦の新規デバイス構造の公開及びドキュメント化としては、前半で公開した CMOS イメージセンサー(CIS)ピクセルに加えて、MOSFET 構造及び応力センサー構造を公開した。これらのシミュレーションイメージを図 3-33 に示す。左の MOSFET の需要はアナログ等に用いる素子が想定される。中央の CMOS イメージセンサー(CIS)ピクセルは 4 つのゲートを有するスタンダードな 4T タイプである。右の応力センサーは抵抗体における応力の移動度への影響の考慮により、応力によって得られる電気特性の変化がシミュレーション可能である。これらについて拠点ユーザーの協力を得て構築したシミュレーションフローを、WebUI に組み込んだものである。

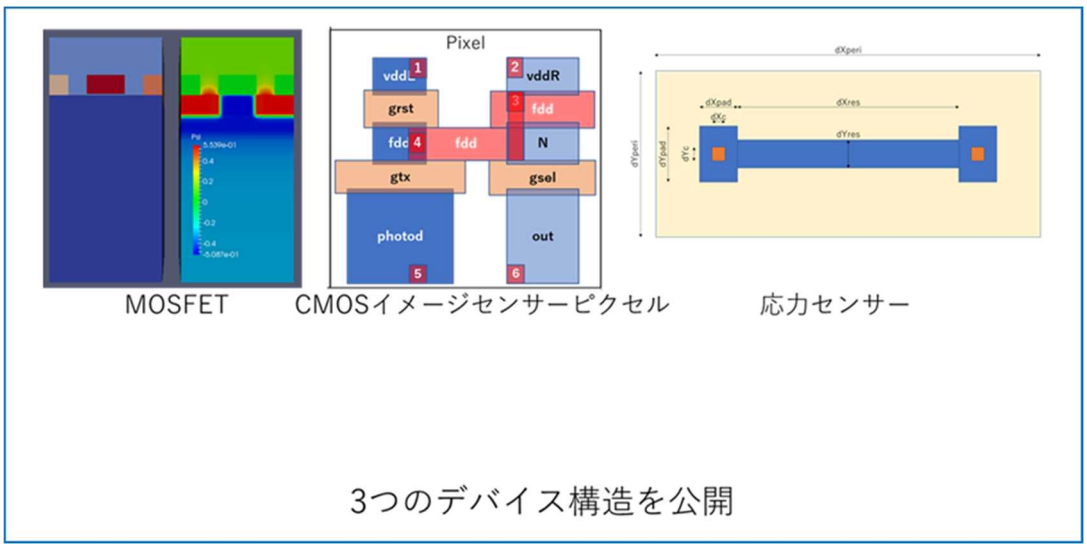


図 3-33 公開した 3 種類のデバイス構造

新規デバイス構造を組み込み易くするため、WebUI はユーザーインターフェイスと個々のデバイスに対応する部分を別々に管理している。この方法によって今後新たなデバイス構造を公開することにも容易に対応可能である。

さらに新しいデバイス構造を利用するための仕組みも準備した。ひとつは前半で準備したレイアウト設定ウィンドウを評価し、CIS ピクセルのシミュレーションが目的に応じて異なるレイアウトで可能なことを確認した。その際、シミュレーションのフロー自体は同一であり、ユーザーは異なるレイアウトを、レイアウト設定ウィンドウに入力すれば、独自のレイアウトも計算可能である。さらに SOI などの層構造に対応するため、新たにデバイス層構造設定ウィンドウを設け、その機能を用いて SOI のシミュレーションが可能であることを確認した。図 3-34 に CIS ピクセルの目的に応じたレイアウトバリエーションと、SOI MOSFET のシミュレーション例を示す。

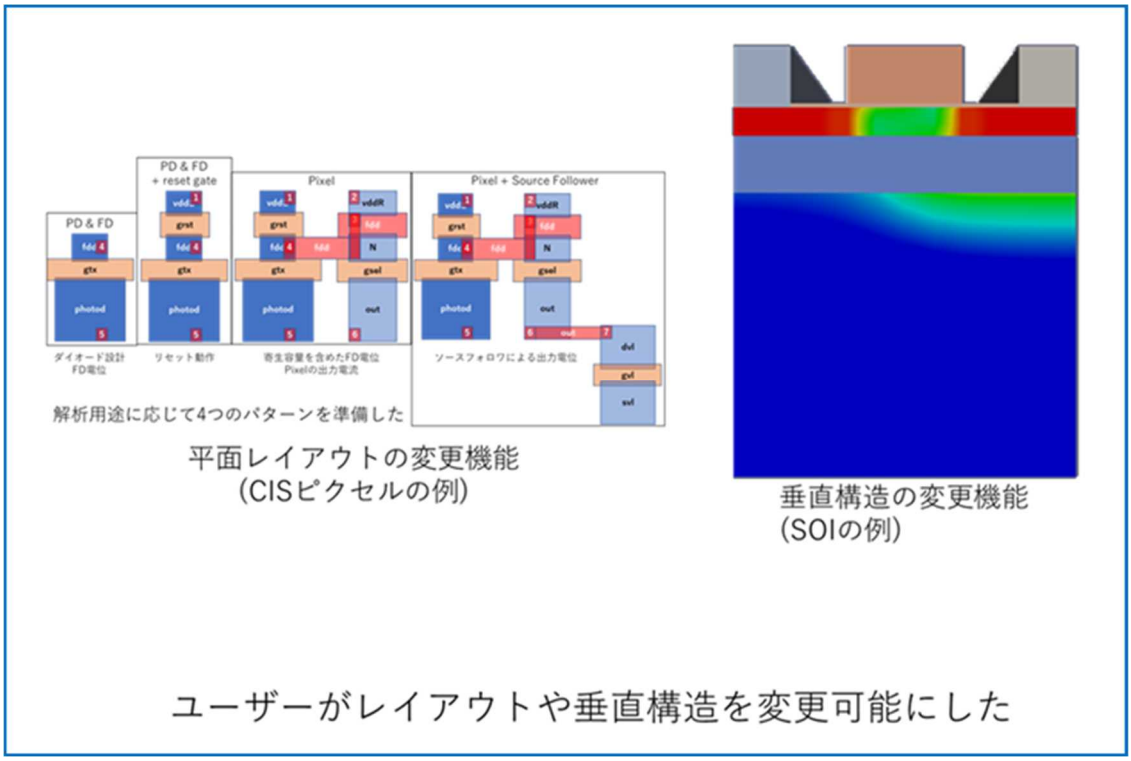


図 3-34 シミュレーション目的に応じた 4 種の CIS ピクセルレイアウト及び、新たに設けた層構造の変更機能を用いた SOI MOSFET シミュレーション例

項目⑧のユーザーの利用を通じた効果の検証について、拠点ユーザーによるシミュレーションの検討状況について図 3-35 に示す。CIS ピクセルと MOSFET,SOI が利用されており、今後も利用可能なレベルにあることを検証できた。

ユーザー	利用内容
M社	MOSFET, SOI
H社	MOSFET
B社	CIS Pixel
B社	CIS Pixel
以下は検討段階のご協力	
S大	CIS Pixel
R社	CIS Pixel
J社	応力センサー
T社	CIS, MOSFET

図 3-35 ユーザーによるシミュレーション利用状況

項目⑨設計フローへの組み込み条件の明確化の中で特に重要なのは、TCAD 精度の確認である。これはファブと連携し、TCAD の精度を確認しながらデバイス設計することが肝要である。シミュレーション精度の確認例を図 3-36 に示す。左は拠点協力者の SOI デバイスの閾値電圧のゲート長依存性をシミュレーションと比較した例であり、短チャネル効果を精度よく捉えている。右は産総研スーパークリーンルーム(SCR)の MOSFET のデバイス特性をシミュレーションと比較した例である。TCAD シミュレーションが MOSFET の基本特性である ID-VGS 特性をよく再現することを検証できた。デバイス性能を最適化するには、標準的な条件でのデバイス特性の確認が非常に重要である。

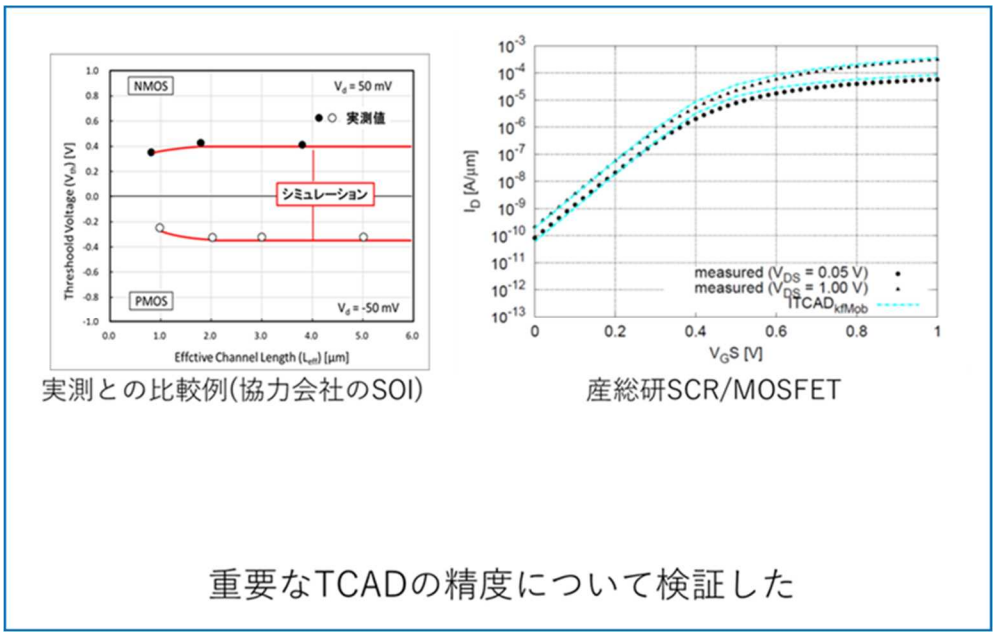


図 3-36 シミュレーション精度の確認例

設計フローに組み込むための手法として、一般的には素子モデルが用意されていて、パラメータを合わせる場合が多いが、回路シミュレーションのための等価回路モデルの構築が必要な場合が

ある。本プロジェクトでは CIS ピクセルがそれに該当する。図 3-37 に CIS ピクセルの等価回路モデルの構築例を示す。左は提供した標準の 4T 型 CIS ピクセルの等価回路モデルであり、このパラメータを TCAD に合わせることで回路シミュレーションが可能になる。右は回路シミュレーションによる入力波形(細い線)及び、フォトジェネレーション量に応じた Floating Diffusion (FD)の出力電位(太い線)の計算結果である。CIS ピクセルのように回路シミュレーションモデルが既存でない場合は、このような等価回路モデルの導入により、デバイス設計の結果から、回路シミュレーションを通じて設計フローに持ち込むことが可能である。

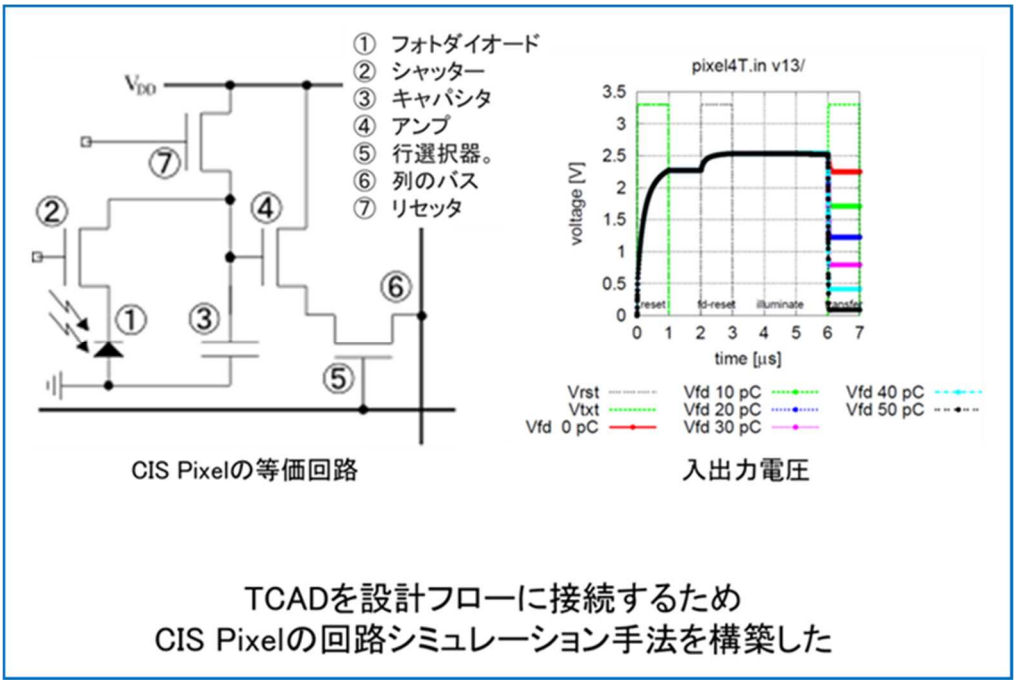


図 3-37 CIS ピクセルの回路シミュレーション向け等価回路モデルの構築例

デバイス特性の精度確認や、必要に応じた等価回路モデルの構築を経て、本テーマの対象である機能デバイスを回路シミュレーションに持ち込み、設計フローに接続できる。AI チップ設計フローとデバイス設計の関係を図 3-38 に示す。デバイス設計により得られた結果は、素子レイアウト及び SPICE モデルとしてアナログ部の部品化を通じ、ミックストシミュレーションとして AI チップ設計フローに接続される。さらに得られた条件はファブとの交渉材料として用いられる。

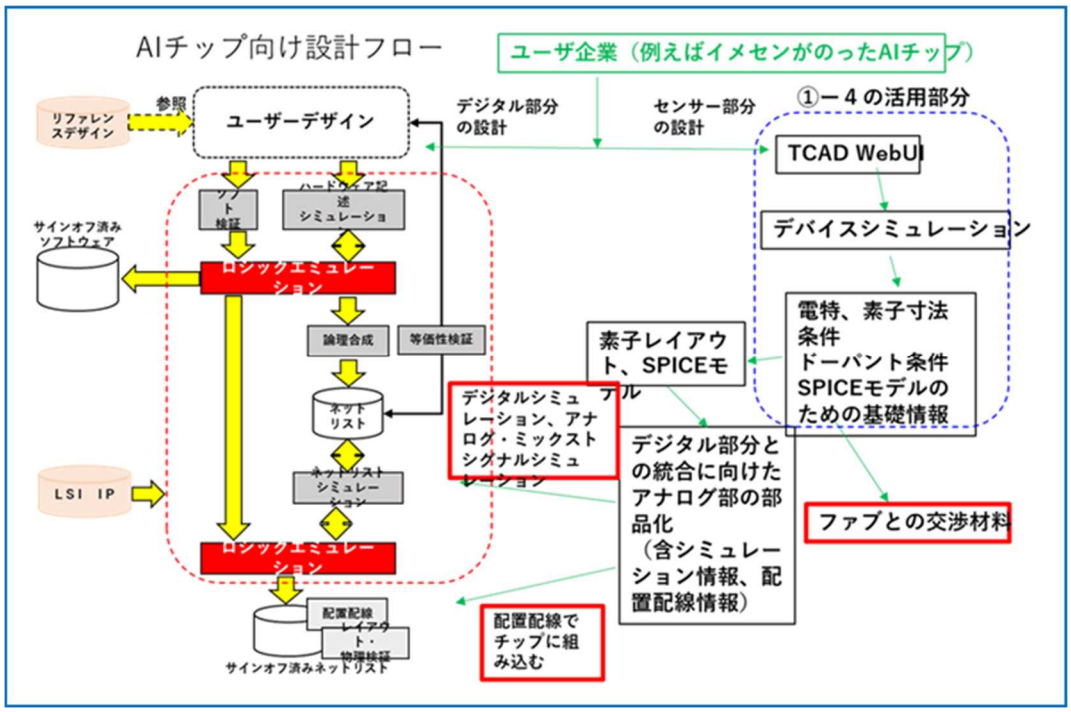


図 3-38 実施項目 1－4 のデバイス設計部分(右)と AI チップ向け設計フロー(左)の関係

以上のように前半 2018～2020 年度の項目①～⑤及び、後半 2021～2022 年度の項目⑥～⑨を通じて、ユーザーは公開デバイス構造を通じて必要な機能素子のデバイス設計を、TCAD の複雑なメッシュ設定や物理モデル等に悩むことなく、また高額なソフトウエアライセンスや計算サーバに投資することなく、WebUI を通じて利用可能となった。その結果はファブとの交渉や精度確認の元、等価回路モデルなどを併用して回路シミュレーションに持ち込み、AI チップ設計フローに載せられるようになった。

実施項目 1-5「国内外 FAB の活用と最適化ライブラリの研究開発」

AI ソフトウエア技術を有するがチップ開発の経験が十分でない民間企業等が AI チップを開発する場合、目的に適した IP を選択し AI コア IP に組み合わせて AI チップ全体を設計するための技術的知見や経験を有していないという問題がある。

また、国内 FAB は外部設計者の利用実績が少なく、利用のためのノウハウが外部設計者には少ないため、外部設計者が国内 FAB の利用を想定した設計に容易に取り組める状況にないという問題や、国内外 FAB の利用を想定した設計には多種多様な IP が必要であるという問題がある。

本項目では国内外 FAB 用の IP 等を整備し、これらを用いた設計フローを完成させて幾つかの設計事例を作ることにより設計のノウハウの蓄積を図る。

IP の利用環境の整備に当たっては、実施項目 1-2 ハードウエア開発垂直立ち上げ実現のための研究開発で作成される設計フローを実際の FAB に適用することで完成させるとともに、いくつかの設計事例により設計のノウハウの蓄積を図る。併せて、整備した IP を活用し、中小ベンチャー企業等が開発する AI チップ向け独自 IP の評価が容易にできるように、評価手法を確立し、拠点機能として整備する、とした。

また、整備する IP や評価手法等は、「AI チップ開発加速のためのイノベーション推進事業／研究開発項目①：AI チップに関するアイディア実用化に向けた開発」の助成事業者を中心としたヒアリングによりリストを作成するとともに、重要度合いにしたがって順次整備し、拠点利用者の利用を通してその有効性を実証する、とした。

以下本項目では上記の成果を報告する。

①IP ライブラリの整備
②標準プラットフォームの開発、整備（28nm, 12nm)
③設計フロー（28nm, 12nm)
④試作チップ開発（28nm, 12nm)
⑤パッケージ開発（28nm, 12nm)
⑥評価ボード開発（28nm, 12nm)
⑦ソフトウエア開発環境の開発（28nm, 12nm)
⑧試作チップの評価（28nm, 12nm)

以下項目ごとに成果を記載する。②～⑧の項目は標準プラットフォームで用いた技術ノードごとにまとめている(28nm[AI-One]を記載した後で、12nm[AI-Two]について記載している)。

①IP ライブラリの整備

IP ライブラリの整備について、NEDO 事業採択社や中小企業等にアンケートやヒヤリングを実施した。要望や機能を実現する IP(104 種類)をリスト化し、リスト内の 100 種類の IP を 46 のパッケージに集約し、導入した。

導入した IP を国外 FAB の電池駆動できる Edge 向けの 40nm プロセスライブラリと画像処理用の組込み用途向け 28nm プロセスライブラリの 2 種類に大分類し、それを 10 種類の機能に中分類したカタログを作成し、整備順を策定してリスト化した(図 3-39)。また、国内 FAB の 40nm プロセスの情報を入手し、リスト化した。リストに沿って 2 種類に大分類した 10 種類の機能に中分類したカタログに IP コアの詳細情報を表示できるリンクを追加し、整備した IP コアの情報を拠点利用者が参照できる HP に掲載した。

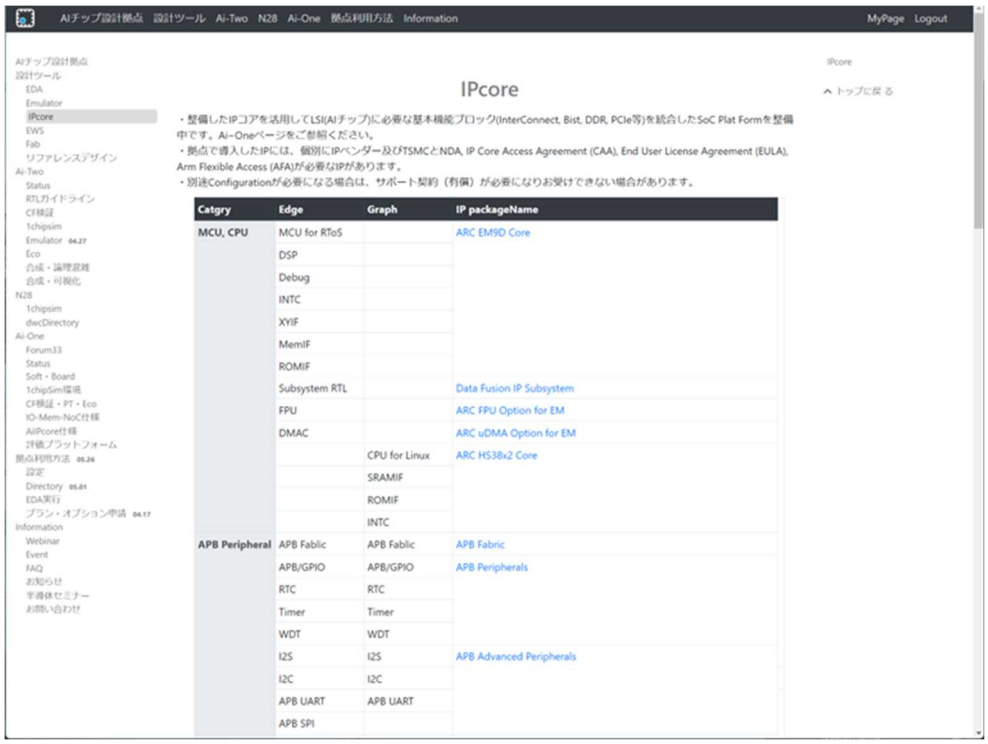


図 3-39 ホームページに記載した整備した IP のカタログ情報

AI チップ向け独自 IP の評価手法を検討し、それに則った評価チップを設計するにあたり、28nm プロセスを用いた SOC チップの検討を行ったところ、導入済みの IP では不足しているものが判明し、Network On Chip インターコネクト、インターリーバー、PLL、PCIe GEN3 の追加導入を行った。続いて行った 12nm プロセスを用いた SOC チップの設計試作に当たり、プロセスに依存する物理系 IP として PLL、PCIe、LPDDR4 の 12nm 版の追加導入を行った。

【28nm による開発(AI-One)】

②標準プラットフォームの開発、整備（28nm）

AI チップ向け独自 IP の評価手法としては、独自 IP 以外の SOC を標準プラットフォームとして準備し、これに独自 IP を接続することで評価を行う手法を選択することとした。さらに標準プラットフォームとしてシリコンチップだけではなく、パッケージ設計、評価ボード設計、ソフトウエア開発環境を準備することとした。これにより、SOC チップ開発にとどまらず、SOC に搭載した独自 IP の機能、特性的評価とデモンストレーション向けソフトウエア開発を短期に容易に開発ができる環境の整備を目指した。図 3-40 に標準プラットフォームの概念図、図 3-41 にパッケージ設計の具体例、図 3-42 に標準プラットフォーム評価ボードおよびソフトウエア開発環境を示す。

チップのテストを行うためのテスト回路としては標準セルで構成される論理ブロックの製造上の不良を検出するための Logic BIST 機能と SRAM の製造上の不良を検出するための Memory BIST を標準プラットフォームに搭載することとした。テストを行うにあたって LSI テスタに対する知識が不足していると想定され、テスタ導入のために必要となる資金を節約するする狙いもあり、評価ボード上で実機による Logic BIST および Memory BIST の実行が可能となる制御回路を設けることとした。電源投入時のパワーオンリセット後に自動的に起動されるモードを設け良否判定結果を LED 表示することで、製造不良チップを除外することが可能となる。また、評価開始後も、リセット後に毎回動作状況の確認ができるため、初期故障の検出、誤使用による不良の発生についても確認がとれ、チップの評価時の効率向上が期待される。

詳細な不良内容の確認については JTAG インターフェイスを用いたテスト回路の制御機能を準備することで、ブロックごとの不良情報の取得や、特定検査パターンの実行などを可能としている。さらに JTAG インターフェイスを用いた制御機能においては、あらかじめレイアウトされていて BIST 機能をあとから組み込むことが困難な物理 IP について、IP ベンダが準備したテスト機能を制御する働きも持たせた。評価ボード完成後、JTAG インターフェイス機器を準備することで、物理 IP の初期不良スクリーニングを可能としている。

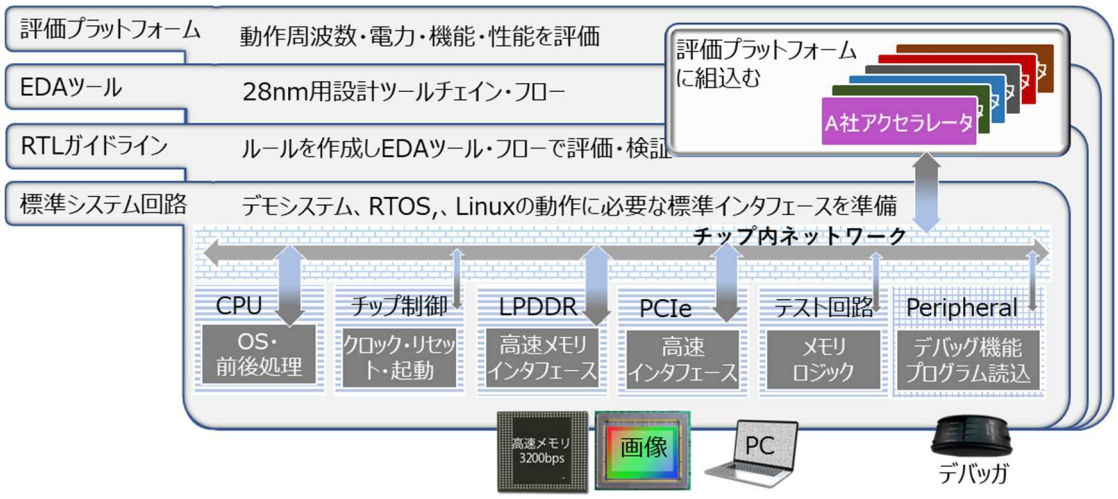


図 3-40 標準プラットフォームの概念図

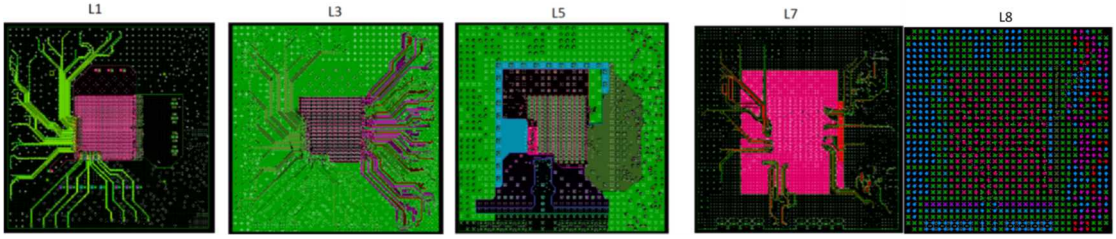


図 3-41 28nm 向け SOC のパッケージ基板設計データ

パッケージについては高速インターフェイス LPDDR4、PCIe を安定して動作させること、チップへの電源供給を安定して行うことを目的として FCBGA タイプを標準とした。28nm プラットフォームにおいては 8 層積層ラミネートタイプの基板を用いる。

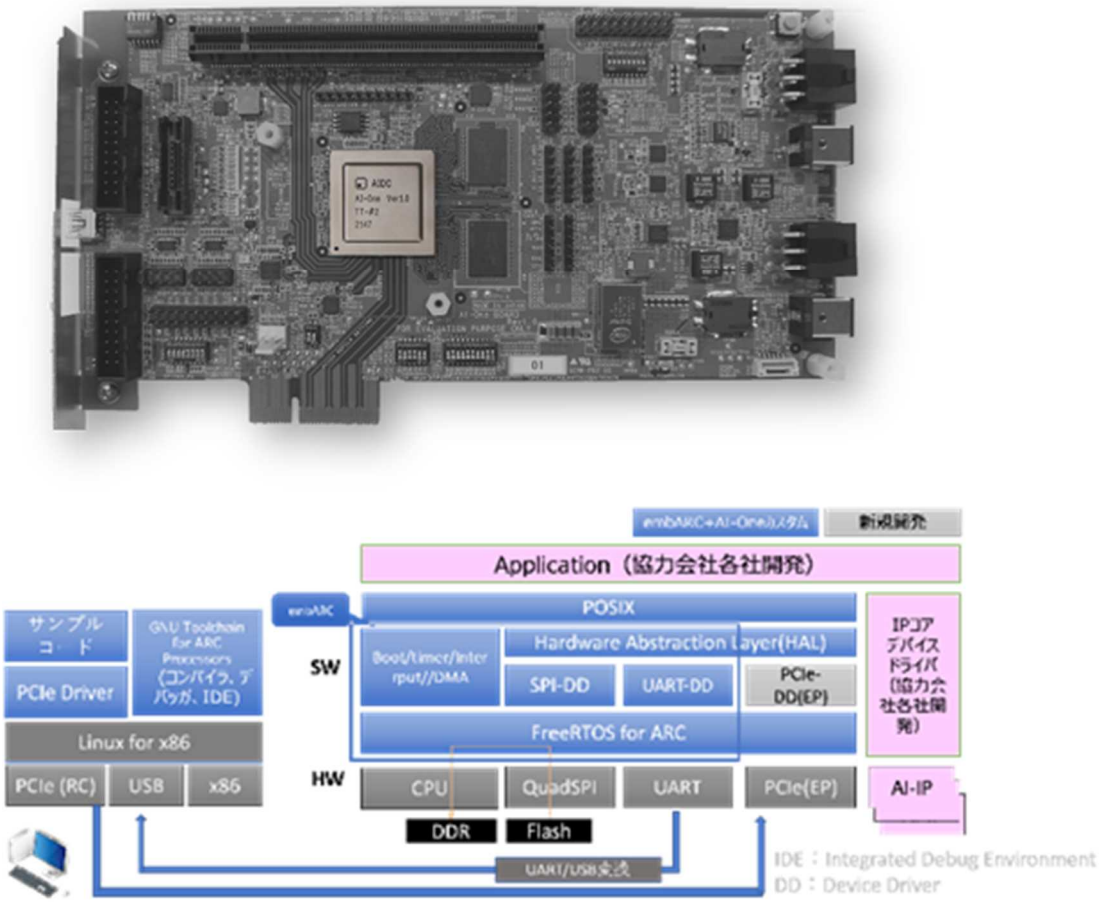


図 3-42 標準プラットフォーム評価ボード及びソフトウエア開発環境

③ 設計フロー（28nm）

28nm プロセスの SOC を設計するにあたり、実施項目 1-2 で開発された設計フローを独自 IP の組込み、および、使用する IP，ライブラリ、プロセスデザインキットに合わせて適用可能か検討を行った。

消費電流の増減によって引き起こされる電源電圧の低下、変動を検証するための EDA ツールと電源電流、信号線電流によるメタルマイグレーションを検証するための EDA ツールを改訂された設計フローに合わせて導入した。また、タイミング違反対策の効率を上げ設計・検証期間を短縮するため、タイミング対策 ECO ツールの導入を行った。図 3-43 に改訂された設計フローの概略説明を記載したホームページを示す。

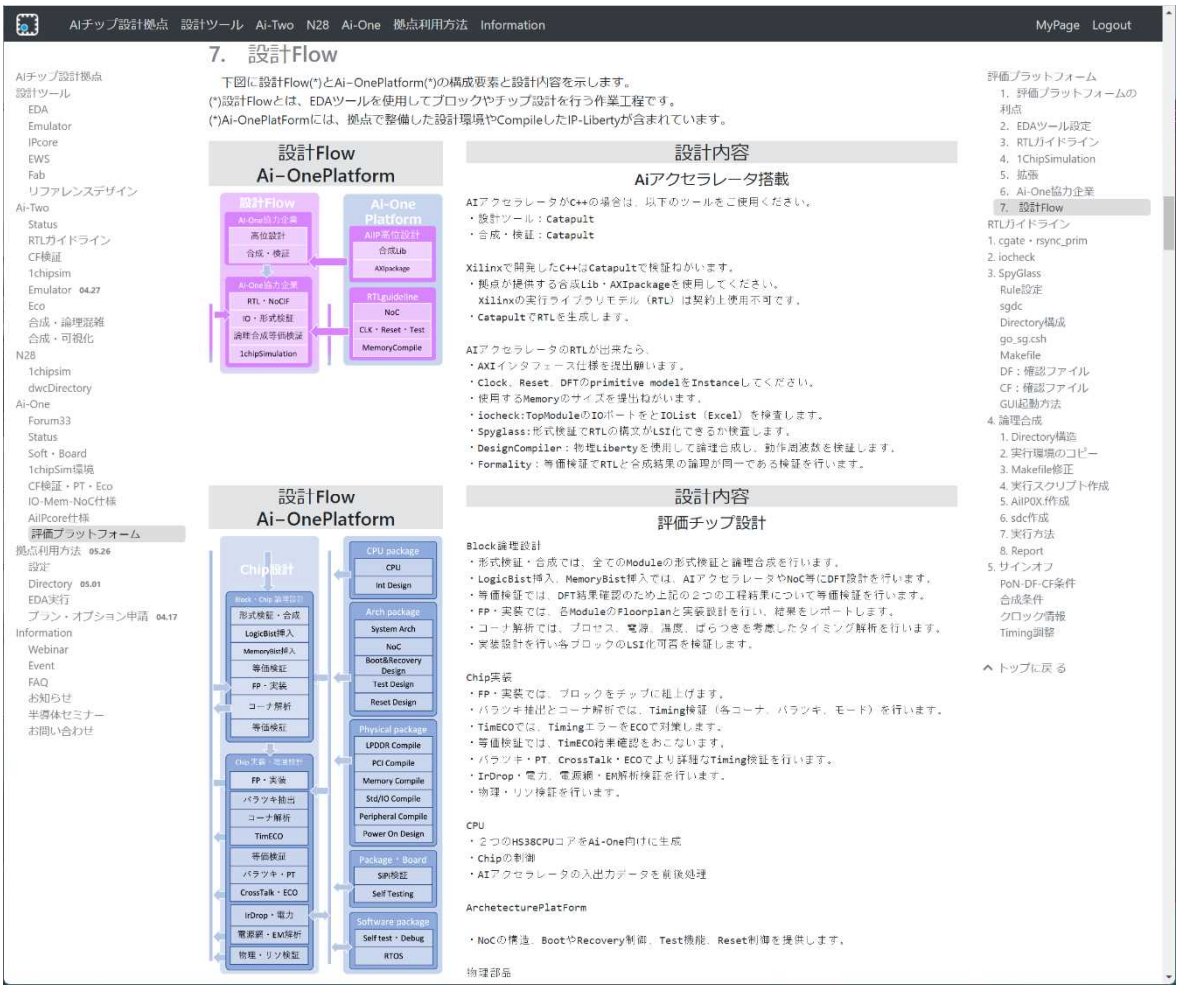


図 3-43 AI-One 設計フローを説明するホームページ

整備した 28nm 向け IP を活用した SOC 設計を行うための設計フローを実行するため必要な、28nm プロセスデザインキット、28nm EDA ツールデザインキット、28nm 標準セルライブラリおよび 28nmSRAM コンパイラを設計フローに合わせて整備した。

プロセスデザインキットとして、論理設計フローの論理合成フローに合わせてプロセスの配線に関する設計データの整備を行った。

標準セルライブラリは低消費電力化、チップ実装面積低減を目的としてゲート長、閾値電圧(Vth)、セル列高さについて表 3-7 に示すようなバリエーションを準備した。合成ツールや物理設計ツールを使用して各物理設計単位で使用するセルライブラリを選択することが可能となる。

論理合成フローに対しては、標準セルライブラリ、SRAM について、EDA 業界標準となっている Synopsys 社の Liberty フォーマットに合わせた面積、遅延、消費電流、入出力電流、端子容量のモデルを整備した。クロストークノイズ考慮の遅延についても CSSN モデルで対応している。

さらに物理設計フローのために使用する配置配線ツール、寄生容量抽出ツール、タイミング検証ツール、消費電力見積りツールのための EDA ツールデザインキットの整備を行った。フロアプラン、配置配線ツールで使用する milkyway データベース、寄生容量抵抗抽出で使用する nxtgrd フォーマットのデザインキットを整備した。

タイミング検証フローのためにはプロセス・バリエーションを考慮した遅延モデルの整備を行う必要がある。基本となる遅延モデルは動作電圧、動作温度の組合せでモデルを整備した。動作温度としては-40℃、25℃、85℃の 3 条件、動作電圧は 0.81V、0.9V、0.99V の 3 条件を整備した。遅延モデルはプロセスのバラツキにおいて P チャンネルトランジスタ(Ptr)、N チャンネルトランジスタ(Ntr)双方が最速となる ff モデル、Ptr、Ntr 双方が最遅速となる ss モデル、ティピカル条件となる tt モデルを想定し、さらにセル、配線の容量抵抗のばらつきによって CBest, RCBest, CWorst、RCWorst、Typical の条件を組合わせた遅延検証モデルを標準セル、SRAM それぞれ整備した。これらを表 3-8 標準セルライブラリモデル条件に示す。

物理設計・検証において電源および信号の配線チェックツールを動作させるため、標準セルライブラリ、SRAM の Redhawk ツールキットの整備もおこなった。

表 3-7　28nm 標準ライブラリ構成

ゲート長	30nm	35nm	40nm
Vth	Lvt	Svt	hvt
トラック数	7Track	9Track	

表 3-8　28nm 標準ライブラリモデル条件

	モデル条件				
動作電圧	0.81V	0.9V	0.99V		
動作温度	0℃	25℃	85℃	-40℃	125℃
Tr 特性	FF モデル	TT モデル	SS モデル		
配線寄生素子	CBest	Typical	CWorst	RCBest	RCWorst

SRAM についてはメモリコンパイラを用いてアクセスポートの数、データ幅、メモリ容量、目標動作周波数、書き込み時にビットごとのライトマスクサポートの有無に合わせて所望の SRAM の設計データを生成する必要がある。図 3-44 に示すホームページにある要求仕様を記載するフォームを用いて拠点利用者やプラットフォーム設計者に必要なメモリの指定を行ってもらい、拠点側で生成を行った設計データを提供する形態で設計を進める。

メモリコンパイラを用いて生成を行った SRAM の諸元を表 3-9 に示す。

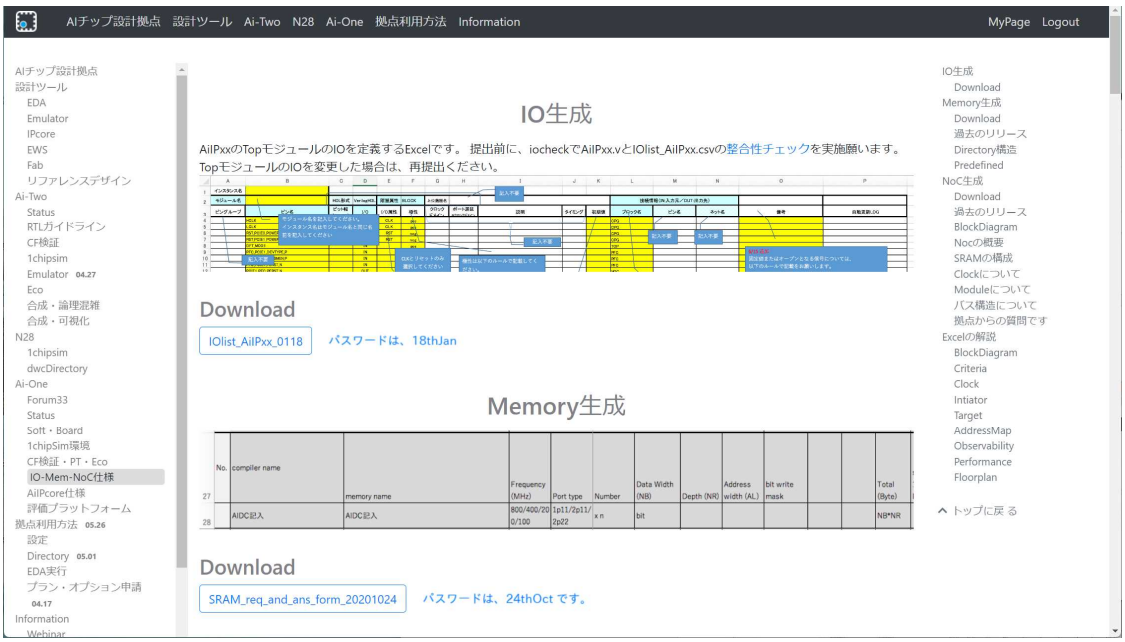


図 3-44 ホームページの SRAM メモリ要求入力シート

表 3-9 28nmSRAM の種類

アクセスポート数	シングルアクセス	1 リード、1 ライト同時	リード、ライトのうち 2 つの組合せ
書込みビットマスク	あり/なし	あり/なし	なし
データビット幅	8bit～320bit	8bit～288bit	8bit～320bit
メモリ容量	156byte～256kbyte	64byte～73728byte	16348byte～65536byte
動作周波数	400MHz～800MHz	400MHz～800MHz	800MHz

物理検証フローに使用する DRC キット、LVS キット、PERC キット、Dummy レイアウトデータ生成キット、SRAM sanity チェックキット、IO 用 DRC キットの整備を行った。

④ 試作チップ開発（28nm)

28nm 設計・評価プラットフォームと改訂した設計フローを用いた設計、試作、評価の効果を確認するために試作チップ AI-One の開発を行った。複数の AI チップ向け IP の評価を行うため、拠点協力会社の希望する会社のうち開発日程が適合する 5 社と実施項目 1-3 で開発を行っていた AI チップ設計に向けたリファレンスデザインの 6 種の IP を搭載したマルチ IP コア評価 SOC として開発を行った。図 3-45 に示すように、複数の IP を標準回路に含まれる IP の

共同利用およびチップ、パッケージ、評価ボード、評価ソフトの開発の共通実行により効率よく開発することを目指した。試作したチップの特定の IP のみ動作するように制限を行ったチップを評価ボードに搭載し、各社に配布し、評価の実施を依頼する形をとった。

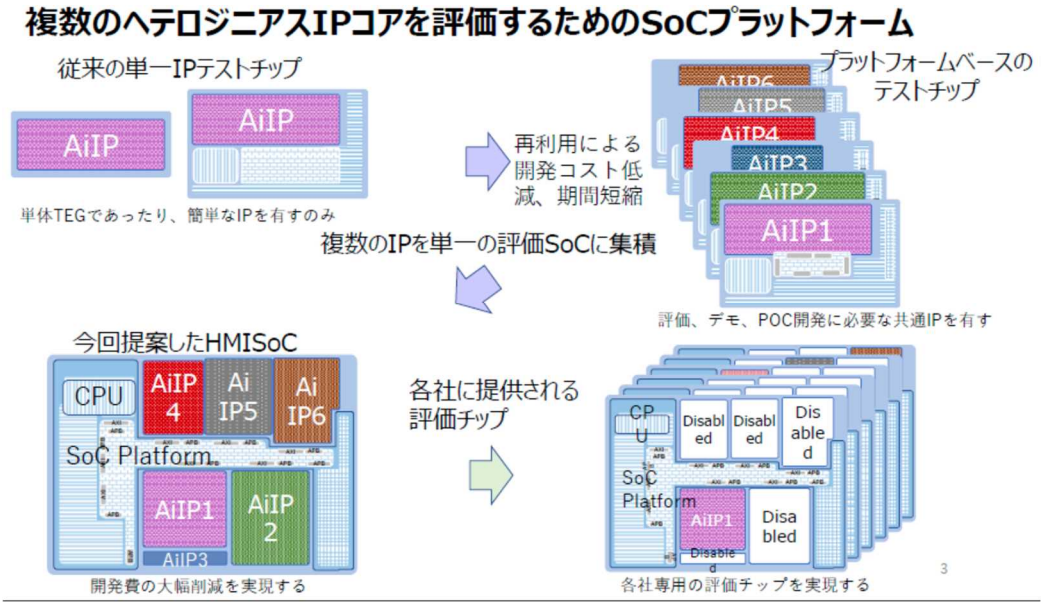


図 3-45 複数のヘテロジニアス IP コアを評価するための SOC プラットフォーム

AI チップ向け独自 IP の評価手法構築のための評価チップに必要な基本機能ブロックを拠点利用者の AI-IP コアブロック、メモリインターフェイス機能の DDR ブロック、高速通信機能の PCI ブロック、チップのメモリ救済やデバック機能のテストブロック、全てのブロックと CPU を接続するインターコネクトブロックに分類した基本機能ブロックを設計した。設計したチップのブロック図を図 3-46 に標準プラットフォームに搭載した IP の諸元を表 3-10 に示す。

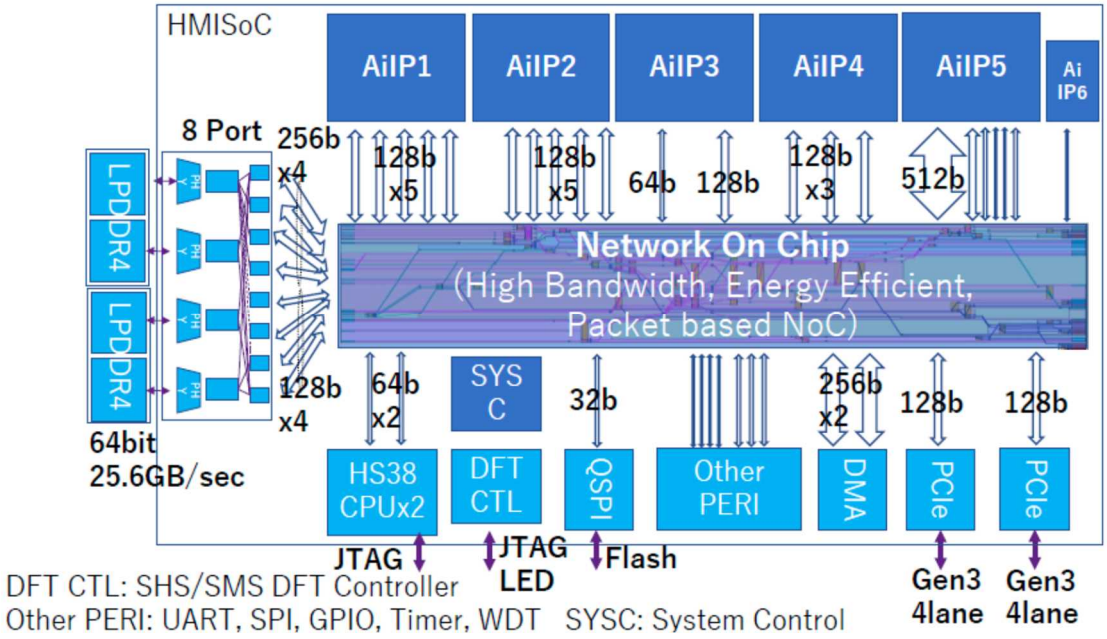


図 3-46 AI-One ブロック図

表 3-10 標準プラットフォームに搭載した IP の諸元

IP	Description	Interface	Frequency
Main CPU	32bit dual core (HS38) I, Dcache 32kB + 32kB ITCM 32kB, DTCM 32kB	64bit AXI x 2	800MHz
LPDDR4	Two 32 bit LPDDR4 @3200Mbps 8GB 25.6GB/sec total	256bit AXI x 4 128bit AXI x 4	800MHz
PCIe Gen3	End Point + Root Complex 4 lane each, 8Gbps/lane	128bit AXI	400MHz
QSPI	Boot Flash 25MHz 16MB	32bit AHB	200MHz
DMAC	8ch	256bit AXI x 2	200MHz
Others	UART x 3, GPIO 64, Timer x 2, SPI Master x 2, SPI Slave x 1		25MHz, 100MHz

上辺に図示された各 AI-IP は AI 処理の実行に当たって左辺に図示された高速大容量メモリ LPDDR4 から処理情報や重みパラメータ、処理対象のデータを入力し、AI 処理の結果を LPDDR4 に書き込むという経路が性能に一番影響を与えるものと考えられる。評価のためのデータや処理手順は PCIe インターフェイスを介してホスト PC から読み書きされることを想定している。より小容量のテストデータの入出力や SOC 内部で実行されるソフトウエアのデバッグを行うためには JTAG インターフェイスで接続されたインサーキットエミュレータなどの開発ツールを使用することも可能である。

SOC 内部に Dual コアの HS38 CPU コアを搭載しているので QSPI インターフェイスを介して接続されたフラッシュメモリからパワーオンリセット後、命令フェッチを開始し、SOC 全体の制御や演算処理を行うことを可能としている。

チップ外部のセンサーからデータを入力するデモンストレーションを行う際にはデータの伝送速度や提供されるインターフェイスに合わせて Other PERI に含まれる UART、SPI,GPIO 各インターフェイスを使用するか、PCIe GEN3 インターフェイスを使用することが可能となっている。

各 AI-IP から提出されたインターフェイス仕様に合わせてオンチップのインターコネクト(Network On Chip, NOC)のコンフィギュレーションを行うことで SOC チップに各 AI-IP を搭載する準備が完了する。各 AI-IP の複数のインターフェイスはそれぞれ、独立した経路を使用して LPDDR4 に接続されるので、同一の IP 間のメモリアクセスの干渉はメモリコントローラからメモリへの経路以外では生じない構造をとっている。製造後の各 SOC は 1 つの AI-IP のみ動作するため、AI-IP 間のインターフェイスの干渉も生じない。

組み上げられた SOC の論理、機能の検証を行う仕掛けとしては図 3-47 に示す 1 チップシミュレーション環境を準備した。SOC の外に設けるテストベンチにフラッシュメモリモデル、LPDDR4 メモリモデルおよび 2 つの PCIe 対向モデルを準備した。ソフトウエア開発環境で準備した C コンパイラを使ってテストプログラムをコンパイルし、フラッシュメモリモデルまたは LPDDR4 メモリモデルにローディングすることで HS38　CPU のテストプログラムの実行を行うシミュレーションが可能となる。各社が準備する AI-IP を実行させるためのファームウエアやテストデータはあらかじめバイナリデータに変換したのちテストベンチに用意されているローダによって LPDDR4 メモリモデルに格納することができる。格納後、HS38 で走るテストプログラムを実行して AI-IP の初期設定を行い AI-IP の実行を開始することが可能となる。シミュレーション実行の結果の照合を行う場合にはシミュレーション完了後、LPDDR4 メモリモデルに格納された演算結果データをテストベンチのダウンロード機能でファイルに出力し、これと期待値の比較を行う方法をとる。

PCIe 対向モデルとして準備したうちの PCIe0 ポートに接続されたモデルは SOC チップに接続するホスト PC などを想定して開発を行った。C で書かれたテストプログラムをコンパイルし、対向モデル内に設けられたメモリに転送してプログラム実行を行う。SOC チップをターゲットチップとした開発システムにおける検証などが行える。

もう一方の PCIe1 に接続された PCIe 対向モデルは PCIe から読み書きができるターゲットメモリのみを有している。あらかじめテストデータをローダを用いて格納しておくことで、疑似的なテストデータの読み出しを行うことで疑似的な入力装置の役目をエミュレートする。また、PCIe を経由した書き込みを行うことで出力データの疑似的なトレースを取り、シミュレーション実行後、メモリモデルのデータのダウンロードを行うことで PCIe を経由した疑似的な外部装置への書き込みの確認シミュレーションを行うことができる。

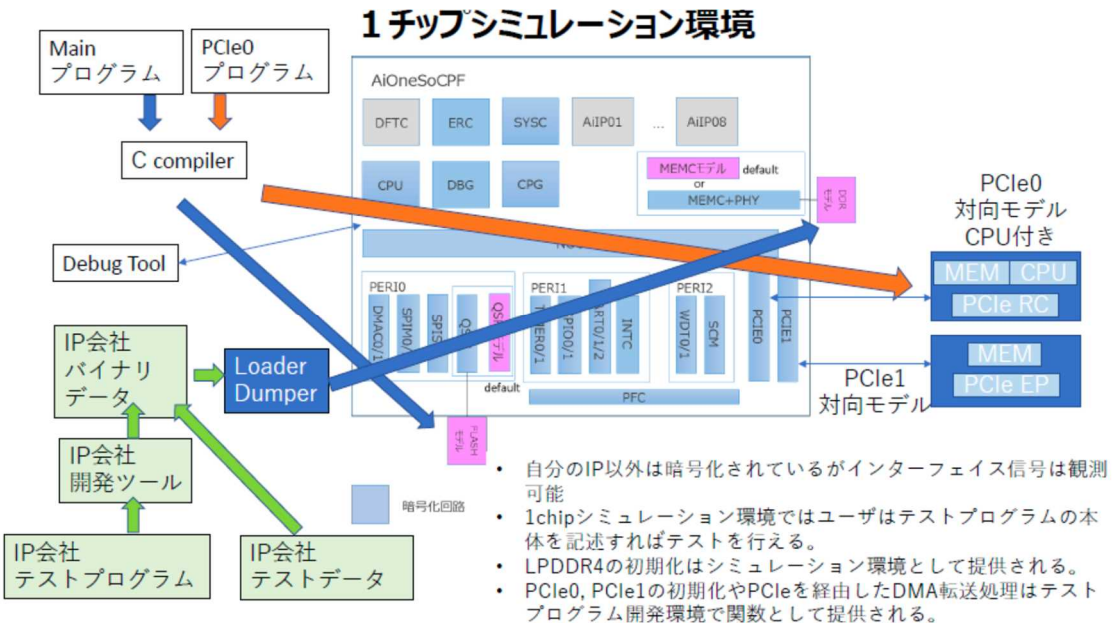


図 3-47 1 チップシミュレーション環境

この環境を利用して AI-IP を開発する各社には

1) IP の接続テスト
2) 機能テスト
3) 性能テスト
4) その他各種複合テスト

を実行してもらい、出来上がる SOC の完成度を高める狙いがある。

また、各 IP の消費電流が最大となるようなテストパタンを準備してもらい、シミュレーションを実施することで消費電力や電源ドロップの検証に使用する波形パターンを準備することを行っている。

1 チップシミュレーションとともに、図 3-43 の設計フローの AI アクセラレータ搭載フローを実行して RTL の書き方に問題がないか、IP が論理合成可能か、合成したものはタイミング的には問題がないかといった IP の検証を行うことで各 AI-IP の物理設計の準備が整う。ここまでの工程は各 IP 開発会社の分担範囲となっている。

図 3-43 の Block 論理設計以降の工程は AI-One チップ開発においては AI チップ設計拠点側の物理設計チームによって実施した。ただし、物理設計の節目節目の工程ポイント、テスト回路挿入後の等価検証確認、論理合成後のスタティックタイミング解析の結果の確認と対策、ブロックレベルの配置配線試行時の配線混雑対策やタイミング対策といったところでは物理設計チームが開示する設計データに基づいた議論を行い、各 IP の問題点の把握と可能であれば RTL やタイミング制約の改善、配置に関するアドバイスなどを実施した。

さらに、設計フェーズが進み、SOC 全体の物理設計試行が完了した段階で、物理設計に使用している RTL データを用いた 1 チップシミュレーションを用いた IP 開発者によるリグレッションテストを実施し最終物理設計フェーズへと進む。

最終物理設計が完了したデータは物理検証としてレイアウトデザインルールチェック(DRC)、回路等価検証(LVS)、電気的ルールチェック(ERC)を行う。また、LPDDR4 ブロックについては物理 IP のブロックレイアウトデータを IP ベンダに送付しそちらでも物理検証を専門家の目で実施した。検証の完了したレイアウトデータは GDS II データとしてファウンダリに送られ試作工程へと進む。

⑤ パッケージ開発 (28nm)

AI-One 試作チップのパッケージ選定にあたっては LPDDR4 インターフェイス用の信号ピンを十分に引き出せるという条件と評価ボード組立の歩留まりを高くするという目的で 27mm x 27mm、0.8m ピッチの FCBGA パッケージを選択した。一方、AI-One チップの Bump 仕様は 160um ピッチとしチップ面積は 9mm x 8.64mm とした。次いで配線、給電に使用する層が十分にあるかどうかを検討しながらパッケージ基板の層構造を決める。このスペックに基づいてチップの Bump マップおよびパッケージの ball マッププランの初期バージョンを作成した。Bump、ball の信号名、電源ピン一覧を作成し、それぞれの物理的座標位置を記載する。この段階で LPDDR4、PCIe、PLL などの信号線引き回しや電源ピンアサインに関するガイドラインがあるものは反映を行っておく。これに基づいてまず、全体の電源給電に関するバランスをチップのフロアプランとも照らし合わせながら確認し、問題個所にはフィードバックを行う。

改訂した Bump マップ、Ball マップ情報をパッケージ基板設計用のツールに入力しツールの配線性チェック機能を用いて想定する配線層数で結線が可能か確認を行い必要であれば Bump または Ball 位置の修正を行い、結線違反を解消する。

結線違反が解消したら、電源給電層の設計を行う。特にオンパッケージのデカップリングキャパシタンスの指定がある電源についてはコンデンサの部品選定を行い、パッケージ基板上の概略の実装位置を決めたうえで電源給電層の配線を実施する。

続いて実際の配線作業を実施する。特に LPDDR4 や PCIe のように差動配線指定や配線インピーダンス指定があるものについては配線幅や等長配線などの考慮を行った配線を行う。その他の信号線も含めすべての配線を終了させる。

LPDDR4 と PCIe に関連する信号線の配線長をツールによって抽出しレポートを作成し、各 IP の実装ガイドラインに対して不適合なものがないか確認を行う。

パッケージメーカからは外形寸法図を入手し評価ボード開発やテスタボード開発に必要な場合にはソケットの選定をこれに基づいて行っておく。

パッケージ基板データを基に電源層、信号線の S パラメータ抽出を行う。抽出した S パラメータとチップの、ボードの IBIS モデル、Spice ネットリスト、電源電流モデル、S パラメータなどを用い

て Signal Integrity (SI)、Power Integrity(PI)検証を行う。SI 検証、PI 検証はパッケージ基板設計担当だけではなく、チップの物理設計 SI、PI 検証担当、ボードの SI、PI 検証担当にもパッケージ基板設計データを提供し、それぞれの観点での確認を実施する。修正が必要な点が見つかった場合にはパッケージ基板設計データの修正を行い、再度配線長確認、S パラメータ抽出から繰り返す(図 3-48)。

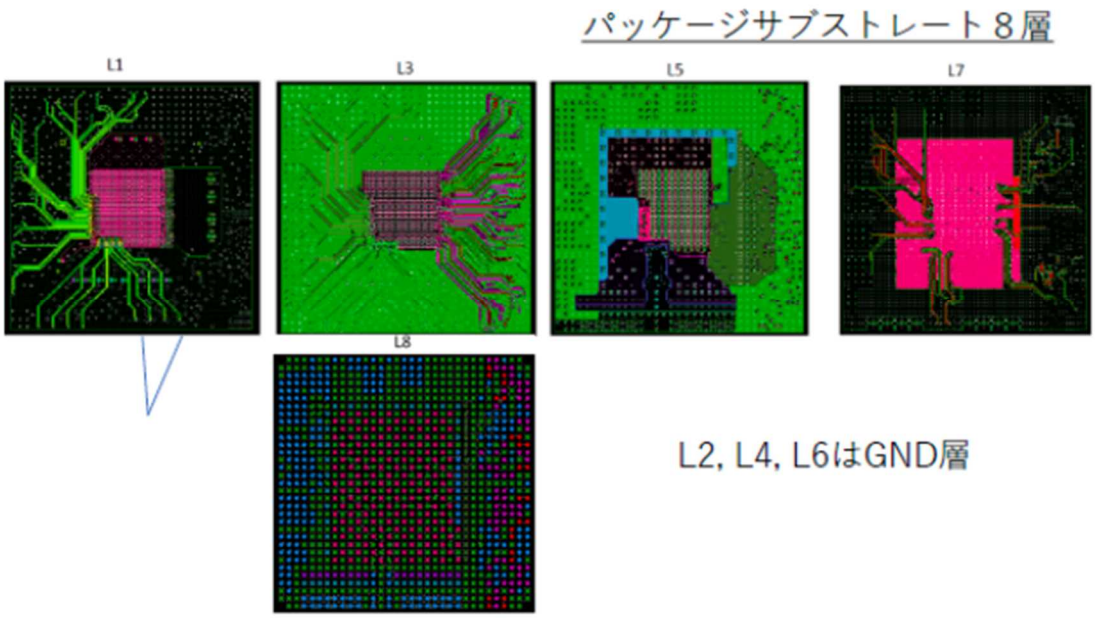


図 3-48 AI-One パッケージ基板レイアウト設計データ

パッケージ設計については、このほかに熱設計の検証を実施する必要がある。チップの物理設計フローで作成された消費電力データを基にパッケージの熱解析シミュレーションを行う。評価ボード開発側から搭載可能なヒートシンクのサイズ情報を入手し、これと消費電力データを基にパッケージの放熱シミュレーションを行う。ヒートシンクに対し無風状態でも十分な放熱が得られる場合には問題はないが、不足する場合には必要な風速をシミュレーションによって見積り、評価ボード開発側にインプットする。

⑥ 評価ボード開発（28nm)

AI-One 試作チップを評価する評価ボードの設計に当たっては再利用性と測定容易性、ソフトウエア開発の容易性、デモシステム構築の 4 つの観点から検討を行い、PC でよく使われている PCIe 標準ボードの形状を採用することとした。デモシステム作成でより小面積の形状を採用したほうが実システムに近いデモが可能となるという指摘もあるが、本プラットフォームにおいては短期に容易に試作チップの評価とソフトウエア開発が可能となるという点を重視して PCIe 標準ボード形状とした。

評価ボードの仕様を策定するにあたり、AI-One チップ開発に協力している各社からの要望事項を集めこれを基に検討を行った。要望事項は評価ボード単体にとどまらず、ホスト PC を介して SOC 内のリソースや SOC に接続されているメモリ、各種インターフェイスへのアクセスなどソフトウエアも含めた要望も含まれていた。AI-One チップ以外についての要求項目は Flash ライターによるフラッシュメモリへの書き込み機能、OpenOCD を使った JTAG デバッグ機能の提供、USB インターフェイスの提供、電源電圧変更機能である。SOC チップ評価の観点からは、DFT 機能を使っての SOC 評価が可能となる JTAG インターフェイスの提供と SOC チップの動作モードを設定するための各種設定スイッチである。これに基づいて策定したボードの基本仕様を表 3-11 に示す。また、モードスイッチの設定によって起動時のテスト結果を LED 表示するモードを用いると評価ボードに搭載された SOC チップのロジック部の故障および内蔵 SRAM の故障判定が可能となる。

部品選定、回路設計を行ったうえで基板レイアウトを実施する。今回使用した基板は 10 層 PPBU である。レイアウトデータに対して PI 検証として電源電圧ドロップ解析、インプットインピーダンス解析を実施した。また、LPDDR4 と PCIe の信号線に対して SI 検証を実施し、要求仕様を満たしていることを確認した(図 3-49、図 3-50)。

表 3-11 AI-One 評価ボード基本仕様

項目	AI-One BOARD 基本仕様		
SOC	AI-One	ARC HS38 800MHzx2	スタンドアロン評価・ボード立ち上げ
メモリ	LPDDR4 DRAM QSPI FLASH ROM	32GbIt/ 3200Mbps / 16bIt 2 個搭載 128Mb(16MB)	メインメモリ ブートメモリ
I/F	PCIe GEN3 EP PCIe GEN3 RC USB(UART 変換) UART SPI(MastEr) SPI(SlavE) GPIO	4 レーン カードエッジ 4 レーン x16 コネクタ搭載 1 ポート mIcrO-USB コネクタ Full spEEd 2 ポート 2.54mm ピッチピンヘッダー IO3.3V 2 ポート 2.54mm ピッチピンヘッダー IO3.3V 1 ポート 2.54mm ピッチピンヘッダー IO3.3V 42pIN 2.54mm ピッチピンヘッダー IO1.8V	 IO1.8V 切換可 IO1.8V 切換可
電源	MAIN 12V 電源 PCIe EP 用 12V 電源	PCIe カードエッジ/AC アダプタ/ATX PCI 補助電源 AC アダプタ/ATX PCI 補助電源	
JTAG	OpElla-XD fOr ARC PARTNER-JEt2 J-LINK SIlIcON BrOwsEr	20pIN 38pIN 20pIN 20pIN	デバッガ接続(ARC) デバッガ・トレース接続 デバッガ接続 STAR Memory SystEm 接続
基板サイズ	PCIe カード規格	200mm x 111.15mm	ミドルプロファイル 高さ制約：デュアルスロット

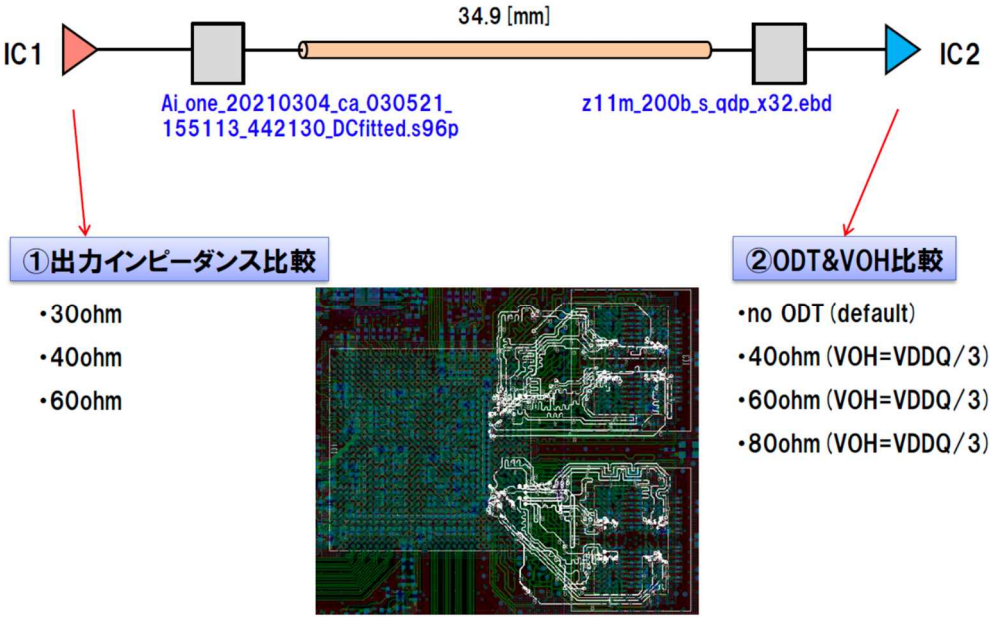


図 3-49 LPDDR4 AddrEs/CS 信号検証例

図 3-50 AI-One 評価ボード

⑦ソフトウエア開発環境（28nm）

ソフトウエア開発環境として想定しているのは 3 つのユースケースである。第 1 のユースケースはチップの試作まで行わず 1 チップシミュレーション環境で IP の評価に必要なソフトウエアの開発を行い。開発したソフトウエアを使用して開発中の IP の性能などを評価するケースである。第 2 のユースケースは図 3-51 に示すようなホスト PC と PCIe を介して接続し、ホスト PC 上で開発

を行ったソフトウエアや評価用のテストデータを評価ボードの LPDDR4 メモリにダウンロードして評価、デバッグを行うケースである。第 3 のユースケースは図 3-52 に示すように評価、プログラム実行に当たってはホスト PC とは独立に、評価ボードに接続されたセンサーやエンドポイントの PCIe インターフェイスカードなどを使って外部とのデータの入出力を行い評価やデモンストレーションを行うケースである。

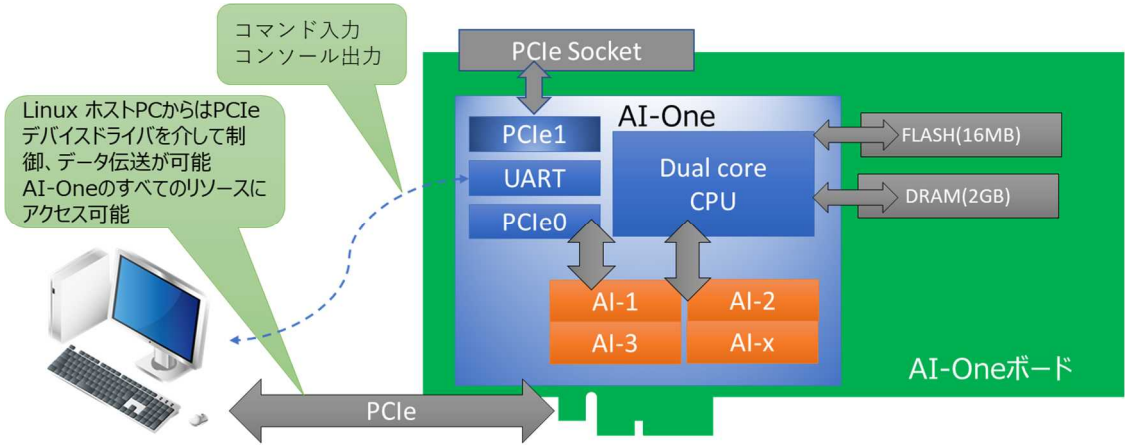


図 3-51 ユースケース 2 ホスト PC と連携した評価、デモンストレーション環境

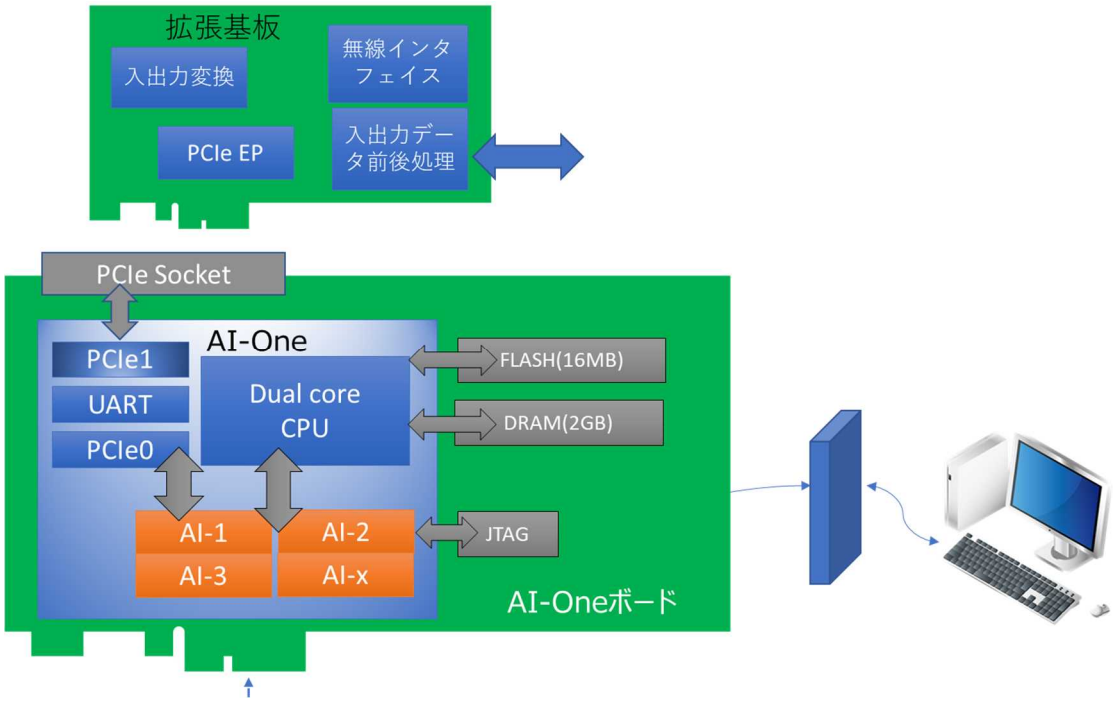


図 3-52 ユースケース 3 スタンドアロンの評価、デモンストレーション環境

ユースケース 3 の場合、ソフトウエアのコンパイルや開発したソフトウエアのオンチップデバッグ機能を使ったデバッグのためにインサーキットエミュレータを使用することが想定されるので図 3-52 にはその機器も示されている。

いずれのケースにも使用可能なソフトウエア開発環境として図 3-53 に示すようなソフトウエアの開発を行った。ユースケース 1 の場合には OS なしのテスト環境でも、SOC 内の初期設定を行う機能はテストベンチとして搭載しているのでシミュレーション環境でのソフトウエア開発は可能であるが、実使用状態に近いものとは言い切れない。図 3-53 の右側の SOC 上で実行するソフトウエアスタックをフラッシュメモリモデルに書き込んでおくことで FreeRTOS のブート開始から実際のアプリケーションの実行までをシミュレーションすることが可能となる。

図 3-53 の左側に描かれたソフトウエアスタックは Linux が動作しているホスト PC 上で実行されるソフトウエアで PCIe のドライバを介して SOC チップ内のアクセスや設定が可能となる。右側のソフトウエアスタックをあらかじめ評価ボード上のフラッシュメモリに書き込んでおけば、リセット後のホスト PC と評価対象 SOC チップの連動評価や、連動デモンストレーションが可能となる。ユースケース 3 の場合には評価ボード上のフラッシュメモリにソフトウエアスタックを書き込んでおけば FreeRTOS を起動して SOC の初期設定を完了した状態で、評価プログラムやでもプログラムの実行を行うことができる。また、FreeRTOS の起動後のユーザープリケーションプログラムの先頭アドレスにブレークポイントを設定しておくと、FreeRTOS の初期設定完了後、ブレーク割込みが発生し、SOC チップに接続された JTAG インサーキットエミュレータに制御を渡すことも可能となる。

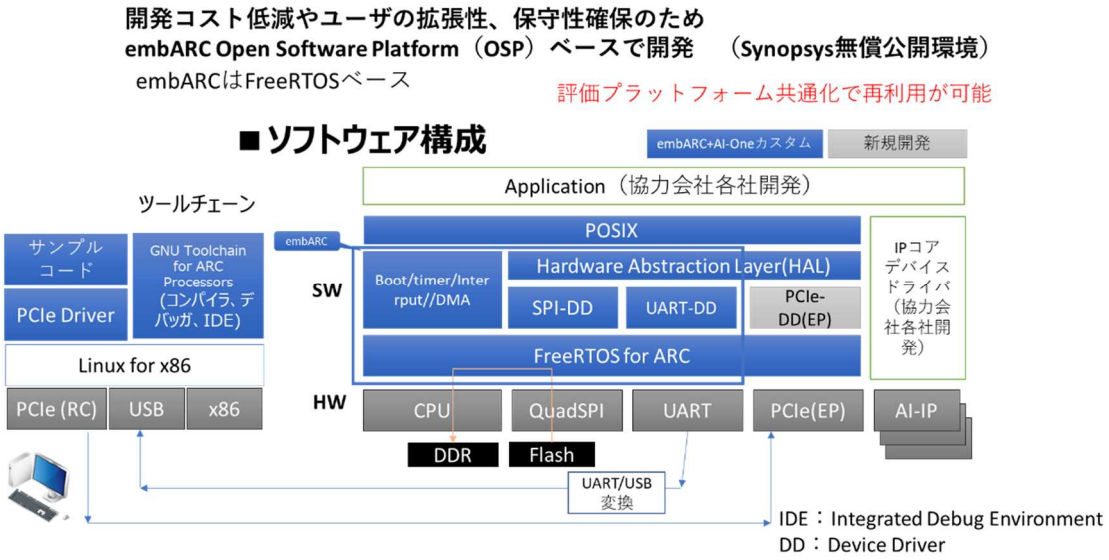


図 3-53 AI-One 評価 SOC およびホスト PC で動作するソフトウエアスタックの構成図

デモソフトのデバッグが完了した場合にはそのプログラムを評価ボード上のフラッシュメモリに追記することによって電源オンまたはリセットスイッチを押すことで起動が可能なデモシステムとして機能させることができる。

⑧ 試作チップの評価（28nm）

以上開発し、試作した評価ボード、試作 SOC の動作確認ならびに安定動作を JTAG デバッグ機能や JTAG を用いたテスト制御機能を用いて行い、AI-IP 評価に利用可能な評価

ボードの選別を行った。良品評価ボードを用いてソフトウエア開発環境のデバッグを完了させ、良品評価ボードとデバッグの完了したソフトウエア開発環境を AI-IP 開発各社に提供し、各 IP の評価を進めてもらった。評価と並行してデモンストレーション用のソフトウエアの開発も行ってもらい、AI チップ設計拠点フォーラムで開発の成果を展示することが可能となった。

図 3-54 に示すように AI-One チップは IP 開発会社の RTL の拠点へのアップロードからファウンダリへのテープアウトまでのチップ設計期間を 10 か月で完了することができた。パッケージ基板の材料の調達ならびに組み立てラインの混雑によりパッケージ組立に時間がかかり、試作チップの完成からパッケージ組立完了までは時間を要した。パッケージ組立後はボード組立、評価ボードテスト、SOC テスト、ソフトウエア開発環境デバッグと順調に進めることが可能となった。デバッガを用いた評価ボードの実行、デバッグ環境が 1 チップシミュレーション環境と同一であったこともあり、AI-IP のテスト、評価も順調にする済めることができた。評価ボード組立完了から AI-IP のデモンストレーション完了までを約 3 か月で実現できたことは、評価プラットフォーム全体の有効性を示すものといえる。

AI チップ設計拠点で準備したデモはアマゾン AWS の IoT アプリケーション開発環境を用いた IoT 遠隔コントロールデモで、AWS IoT 接続ソフトを AI-One 評価ボードにポーティングして開発した。

ソフトウエアデバッグ・検証期間を 9 週と短期で行うことができたのは、1 チップシミュレーション環境を用いて、ソフトウエアスタックの検証の 62%をチップ完成前に実施できたことが大きい。いわゆるシフトレフトの効果といえる。

各 AI-IP についても 6 つすべて機能的な動作の正しさと所定の動作周波数での安定動作の確認を行うことができた。

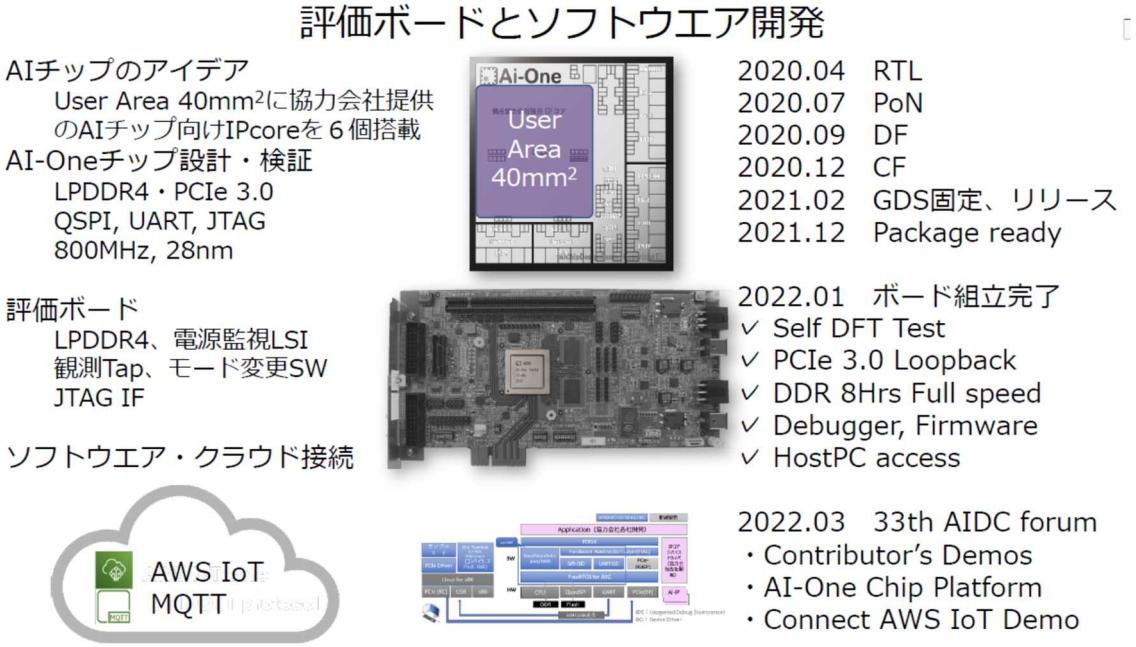


図 3-54 AI-One チップ、評価ボードとソフトウエアの開発

【12nm による開発(AI-Two)】

② 標準プラットフォームの開発、整備 (12nm)

さらなる高集積化と低消費電力化を目的に 12nm FinFET プロセスの試作チップの開発を行うこととした。12nm FinFET への対応を検討した結果、物理設計フローにおけるタイミング検証のツール実行時間が増大することが予見されたため、タイミング検証の各条件の同時並列実行を用いて多数のサーバを同時に利用することで実行時間の短縮を図ることとした。

物理設計の電源電圧ドロップ検証や高速インターフェイスのパッケージ、ボード設計検証と連動したパワーインテグリティ検証を効率よく進めるためチップパッケージモデル(CPM)の生成機能を EDA ツール、設計フローとして追加した。

物理検証において ERC チェックを強化しラッチアップの可能性を検出するトポロジカル解析を行う PERC 検証を実施することにした。また、EDA ツール実行を効率よく行うため、単一のマルチ CPU サーバの代わりにボードに 1CPU ソケットまたは 2CPU ソケットのみを搭載し、メモリアクセス速度を中心に高速化が図られているブレードサーバの複数導入を行い、ツール実行の効率化を行った。

論理検証の実行の高速化とソフトウエア開発のデバッグ加速ならびにホスト PC 接続検証の実施のため 1 チップシミュレーション環境のエミュレータ活用を行った。対象は AI-Two チップと 1 チップシミュレーション環境の PCIe 対向モデルを含むものを 1 チップシミュレーション環境ケース 1 と、PCIe 対向モデルの代わりに仮想マシン(VM)と PCIe Virtual Bridge を接続した 1 チップシミュレーション環境ケース 2 の 2 種類とした。ケース 1 はハードウェアの詳細デバッグ、検証を目的とし、ケース 2 はホスト PC の OS を含めたシステムとしてのソフトウェアデバッグ、検証を目的とする。

③ 設計フロー (12nm)

低消費電力化を進め、チップ実装面積を低減するため 12nmFinFET プロセス向け設計環境の整備を行った。

FinFET プロセスは素子構造上リーク電流を大幅に低減することが可能なプロセスである。さらに 28nm から微細化を進めることで面積当たりの搭載トランジスタ数を増やすことができ性能向上、コスト低減に寄与することが想定される。標準セルライブラリのバリエーションを表 3-12 に示す。また、12nm プロセスのライブラリのモデル条件を表 3-13 に示す。SRAM の種類については表 3-14 に示す。これらのデザインキット、標準セルライブラリ、SRAM ライブラリの整備を行った。

表 3-12　12nm 標準ライブラリ構成

ゲート長	16nm	20nm	24nm
Vth	Ulvt	Lvt	Svt
トラック数	6Track	7.5Track	9Track

表 3-13　12nm 標準ライブラリモデル条件

	モデル条件				
動作電圧	0.72V	0.8V	0.88V		
動作温度	0℃	25℃	85℃	-40℃	125℃
Tr 特性	FF モデル	TT モデル	SS モデル		
配線寄生素子	CBest	Typical	CWorst	RCBest	RCWorst

表 3-14　12nmSRAM の種類

アクセスポート数	シングルアクセス	1 リード、1 ライト同時	リード、ライトのうち 2 つの組合せ
書込みビットマスク	なし/あり	なし/あり	なし
データビット幅	8bit～400 bit	9bit～285bit	32bit
メモリ容量	144byte～79kbyte	128byte～8kbyte	768byte～4kbyte
動作周波数	500MHz～1GHz	500MHz～1GHz	1GHz

④ 試作チップ開発（12nm）

評価プラットフォームとしての改善点や不都合点の指摘を AI-One 協力会社各社に依頼し、入手した情報に基づいて AI-Two プラットフォームの仕様改訂を行った。

チップ試作にあたり、再び、自社開発の AI-IP の搭載に協力する会社を開発スケジュールに合わせて募集し、2 社と実施項目 1-3 リファレンス設計の 3 者による 4IP の搭載を行うこととした。AI-Two のブロック図を図 3-55 に示す。

12nmFinFET プロセスの歩留まりは 28nm プロセスに対して悪化が予想されたため内蔵する SRAM の救済機能を追加した。パワーオンリセット時に Logic BIST と Memory BIST を

実行する点は AI-One 同様であるが、Memory BIST 実行後不良ビットが検出された SRAM については救済 Row または Column への置き換えを行うこととした。SRAM 検査はリセット後毎回実施するため、救済位置情報は不揮発性メモリを使用せず、レジスタに保持することとした。

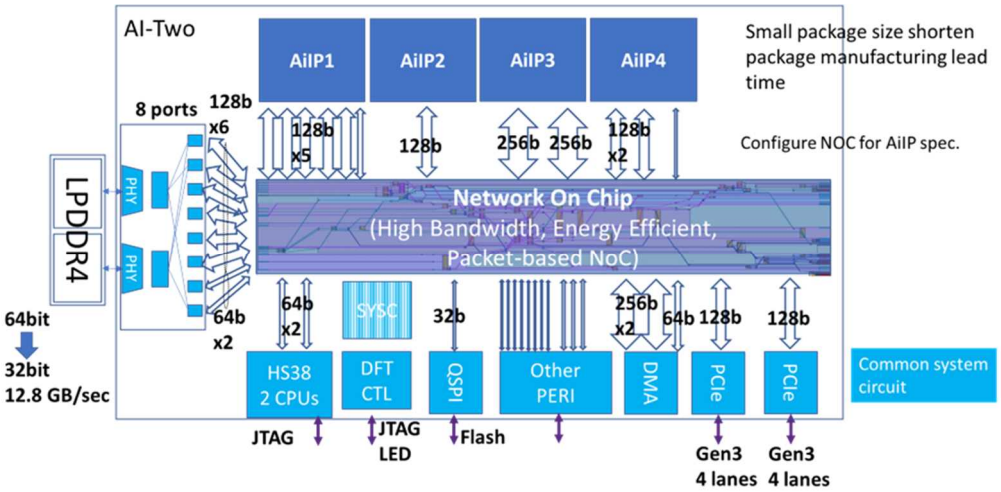
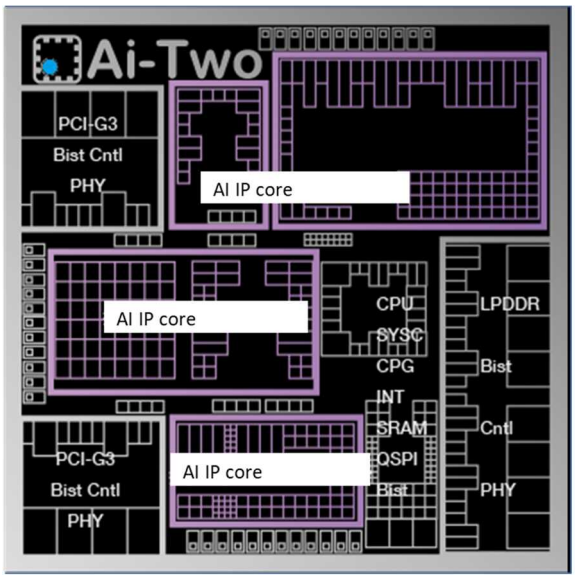


図 3-55 AI-Two ブロックダイアグラム

AI-One パッケージ基板製造時に遅延を招いた原因は、基板部材の供給難であった。AI-One チップの大きさでは、その部材でないとパッケージ基板を反りなく最終ボード実装にまで持っていくことができなかった。より一般的な基板部材の利用を可能とするため AI-Two においてはパッケージ基板寸法を 23mm x 23mm に抑えることとした。合わせて微細化に伴い SOC 全体のチップサイズは 7mm x 7mm に収まる見込みとなった。これらに対応するため、LPDDR4 インターフェイスのデータビット幅を 64bIt から 32bIt に低減することとした。

最終的に設計した AI-Two チップの物理設計結果を図 3-56 に示す。

AI-Two の設計は協力会社からの RTL のアップロードから物理検証終了レイアウトデータの完成まで 10 か月で完了することができた。



AI-Two SoC
Process: TSMC 12nm FFC
Die size: 6.37mm x 6.82 mm
Package size: 23mm x 23 mm
Operating Frequency: 1GHz @ all corner

図 3-56 AI-Two 物理設計結果

⑤ パッケージ設計（12nm)

「④ 試作チップ開発（12nm)」で述べたようにパッケージ基板寸法を小さくするために 23mm x 23mm のパッケージ基板サイズを採用することとしたため、Ball の搭載可能個数が少さくなったので、ボール数の確保を目的にボールのピッチを 0.65mm に縮小することにした。ボールのピッチが縮小されたことに対応するため、パッケージ基板の層数は 2 層増やして 10 層とした。パッケージ設計結果を図 3-57 に示す。

SI、PI 検証については AI-One と同様に行った。

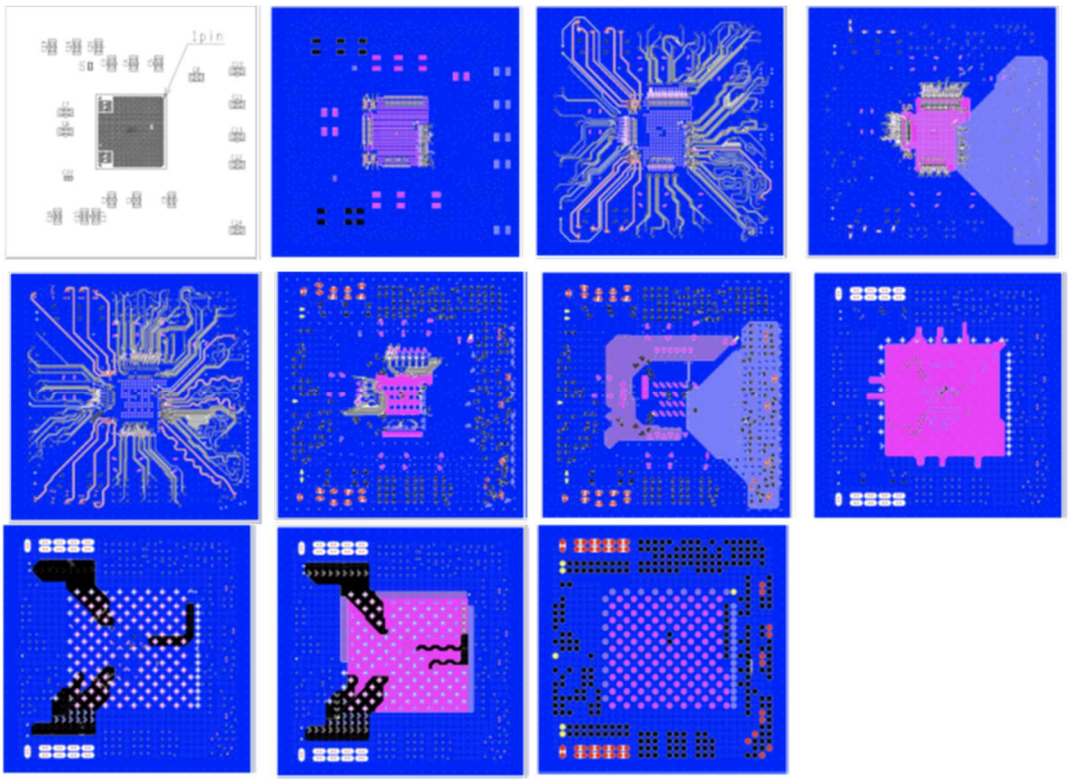


図 3-57 パッケージ設計結果

⑥ 評価ボード設計（12nm）

一部電子部品の調達困難による納期遅延が発生していたため、納入期間の短い部品への置き換えを行った。また、デバッグ時のスイッチの操作性の悪さなどを改善するため実装位置の見直しを行った。

⑦ ソフトウエア開発環境（12nm）

ソフトウエア開発環境のデバッグはシミュレータまたはエミュレータのケース 2※を用いて行い、ボード製造完了前にすべての検証項目のデバッグを実施した。

※「② 標準プラットフォームの開発、整備（12nm）」に記載の 1 チップシミュレーション環境ケース 2。

⑧ 試作チップの評価（12nm）

AI-One と同様に評価ボードのテスト、評価チップのテスト、ソフトウエア開発環境の確認を行ったのち各評価ボードを協力会社に配布し、IP の評価とデモの作成を実施した。

ボード製造完了から評価ボード配布まで 1 か月で完了できた。

新規に搭載した Memory BIST 不良ビットの救済機構については 40 枚試作したボードのうち 3 枚に SRAM 不良が検出され、救済を行ったのち正常動作を行っていることが確認できた。

中小企業やスタートアップ企業が容易に独自 IP の性能等の評価や、デモンストレーションシステムの構築を行える設計・評価プラットフォームを 28nm プロセスおよび 12nm プロセス向け

に開発した。それぞれのプラットフォーム向けにアプリケーション向け設計フローを適用した。開発したプラットフォームを使用し、アプリケーション向け設計フローを用いて試作 SOC の設計、試作、評価を行い、その効果の確認を行った。本成果を活用することで短期間に効率よく試作チップの開発、評価を行うことができるようになった。

実施項目 2-1「AI チップの研究開発に必要な EDA ツールの整備」

現在の AI チップ開発において、その性能を高精度に予測し設計するための設計ツール群はもはや欠かすことのできないものとなっているが、これらの設計ツール群は非常に高価であるため、AI チップの開発には莫大な費用が必要となり、大きな障壁となっている。さらに、標準的な高速インターフェイスやメモリインターフェイス等の IP 利用が不可欠である。同様に大規模な AI チップの設計のためにはエミュレータを適切に活用することが不可欠で、その管理運用及び利活用の方法が大きな課題となっている。また、AI チップを開発する、あるいは AI チップの開発に参入しようとする中小・ベンチャー企業等の中には、設計ツールの管理や設定が可能でない企業があり、このことが AI チップ開発における障害となっている場合もある。

実施項目 2-1 においては、アナログ系、デジタル系論理設計・物理設計のための設計ツール群、高位合成のためのツール群及びサインオフ検証向けツール群を整備し、拠点を利用する中小・ベンチャー企業に広く活用されるような環境を整備した。同時に、国内外の FAB の代表的なプロセステクノロジー向けの設計環境を拠点として整備することで、AI チップ開発に新たに取り組むことになる中小・ベンチャー企業の設計環境整備を行った。東京大学、産総研、産総研の共同実施(再委託)先であるふくおか IST の運営するサテライト拠点やその他の地域拠点、さらには、設計ツールの管理、設定が可能な企業では、EDA ツール稼働サーバ計算機においてライセンスを取得して EDA ツールが実行できる環境を整備した。同時に東京大学、及びふくおか IST において、EDA 実行サーバ計算機を導入し EDA ツールをインストールするとともに EDA ツールが実行可能な環境を整備し、東京大学に関してはリモートからのネットワークを介した利用及び東京大学に設置するブース(図 3-58)に来てのツールの利用、ふくおか IST に関しては設置するブースに来てのツールの利用により、拠点利用者への利用サービスを実現した。同様にハードウエアエミュレータ(経済産業省 2017 年度「産業技術実用化開発事業費補助金(AI チップ開発加速のための検証環境整備事業)」で産総研が導入、以下産総研が所有するエミュレータと略す。)に関しても、拠点での利用環境の整備、地域拠点及び利用企業からのリモート利用環境の整備を実施した(図 3-59, 図 3-60)。拠点クラウドは、図 3-61 のような構成とし、さらに SOC 設計など高負荷時にはブレードサーバを活用できるように拡張している。また、拠点利用におけるセキュリティの確保のために、図 3-62 に示すように、拠点には OTP＋証明書ベースによる SSL でログインサーバにログインする。また、ログインには、NoMachine による画面転送を活用することで、通信が切断されても実行中に JOB が修了しないような仕組みを構築している。そのうえで、実際のジョブの実行にはスケジューリングソフト LSF を利用して、計算サーバに JOB を投入する形式にしている。これによりログインサーバにおけるツールバイナリへのアクセス、ファイルへのアクセスを最小限としながらツールの利用を可能にするとともに、有限の EDA ライセンスを効率的に利用する環境を構築している。通常はログインサーバのリソースは最小限としておき、ログインサーバにおいてちょっとしたスクリプトの実行などが必要な場合には、CPU、メモリなどを増加させることでリソースの最適配分を実現している。さらにハードウエアエミュレータによるリスクの

回避、および EDA ツールバイナリや IP 等の流出を防止するために、拠点クラウドへアップロード、拠点クラウドからのダウンロードは通常は禁止しておき、必要な場合、WEB インターフェイスにより、ウイルスチェックの自動実行、ファイル名、ファイルサイズに基づくルールベースでの自動チェック、さらに最終的には担当者による目視チェックにより、アップロード、ダウンロードを許可する実装を行っている。

図 3-63 に拠点に導入した EDA ツール一覧を示す。ただし、このほかに、設計期間中に限定し検証ツールなどの導入を行っている。EDA ツールは、1)永久ライセンスを買い取り保守、2)期間ライセンスを購入、の 2 つを組み合わせることで、ベースで必要とされるライセンスを保持しつつ、実設計等利用が集中する際にライセンス数を機動的に増加するといった柔軟な運用を実現している。図 3-64 には、期間ライセンスの運用状況を示している。さらに、図 3-65 には設計ピーク期間においてさらに集中的にライセンスが必要になった時のスポットライセンス増補の状況を示しており、これにより実施項目 1-5 の AI-One/AI-Two といった大規模 SOC 設計にも柔軟に対応することが可能となった。

これらの導入ライセンスは、リアルタイムでライセンス利用状況を可視化することでライセンス過不足を視認できるような体制を構築している(図 3-66)。

図 3-67、図 3-68 に拠点利用のための申請フローを示す。アカウント発行などは基本的にはほぼ即日で実行されるが、EDA 利用に関しては利用 EDA ツールのベンダからの許諾が必要となるため、若干の時間を要するほか、EDA ツール利用契約書への署名が必要となっている。一方、拠点クラウドなどの利用に関しては、アカウント作成、証明書作成に加え、OTP の設定と送付という作業が必要となるため、数日の時間を要している。

ふくおか IST は、東京大学と産総研が東京大学と産総研が整備した AI チップ設計拠点(本拠点)に構築された設計・開発環境をインターネット接続により利用可能とするサテライト拠点を整備した(図 3-69)。また、サテライト拠点にて整備した図 3-70 に示すオープンソース EDA 環境に複数の EDA ツール環境を整備し、8 社からの利用申請を受付けてユーザー登録を行った。更に、サテライト拠点のブース WS から LAN 接続で Cadence 社 Xcelium が利用可能な環境を構築した。これに加えて、サテライト拠点の EDA 環境利用のためのマニュアルを作成した(表 3-15)。

これらの活動により、【中間目標】EDA ツールを導入、利用環境を整備し、拠点利用者へ公開することで 10 件程度の利用実績をあげる、【最終目標】EDA ツールを安定的最新バージョンに更新、利用環境を整備し、拠点利用者へ公開することで、期間全体を通し 15 件程度の利用実績をあげる、としていた目標に対して図 3-71 に示す通り、合計 74 プロジェクト、利用者 195 名という利用実績を得た。

図 3-58　AI チップ設計拠点の利用ブース

図 3-59　ハードウェアエミュレータ

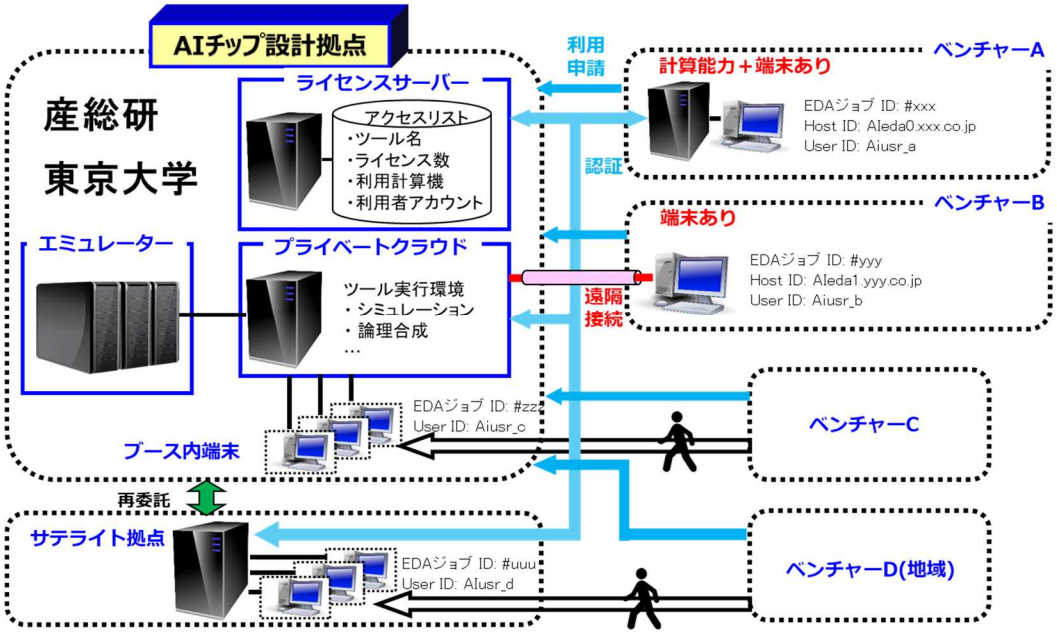


図 3-60 AI チップ設計拠点の利用形態

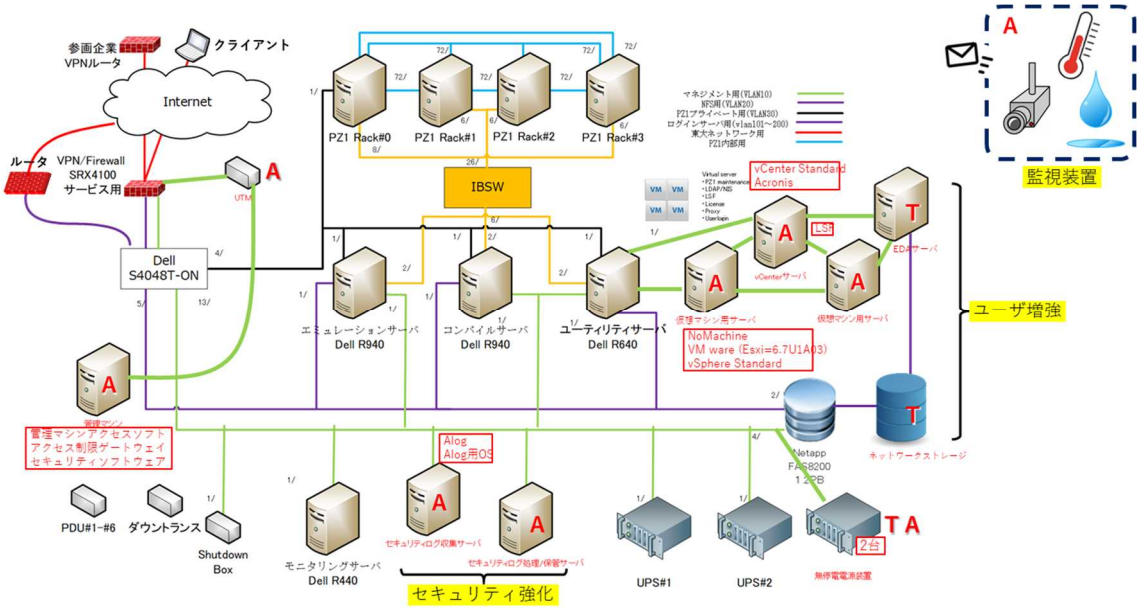


図 3-61 拠点クラウド構成

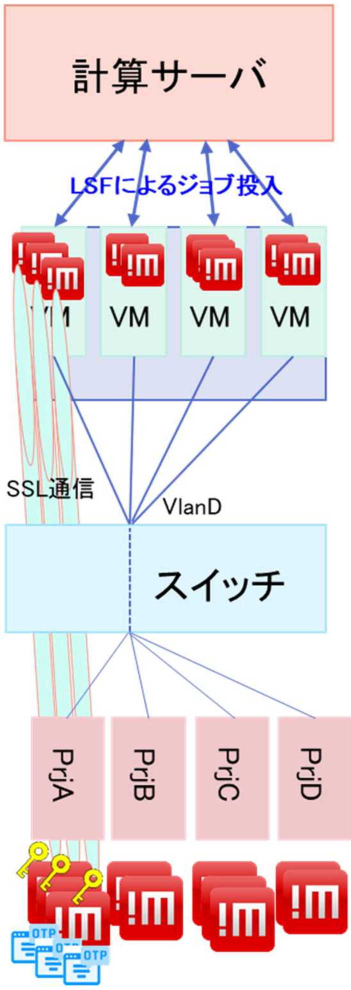


図 3-62 拠点へのログインと EDA 利用の仕組み

#Vendor	Feature	大項目	用途・カテゴリ
cadence	Stratus_HLS_-_XL	アーキテクチャ検証 高位合成システムツール群	高位合成 (High-level Synthesis)
cadence	Stratus_Floating_Point		
mentor	Catapult-Prime_Ap_SW	アーキテクチャ検証 高位合成システムツール群	高位合成
mentor	Oasys-RTL_Designer_Ap_SW		
mentor	Oasys-RTL_Floorplanning_AddOn_SW		
mentor	Oasys-RTL_Architect_AddOn_SW		
mentor	Oasys-RTL_Low_Power_AddOn_SW		
mentor	Catapult_Coverage_Ap_SW		高位検証
mentor	SLEC-HLS_Ap_SW		
mentor	PowerPro-Optimizer_Ap_SW		消費電力の推定・解析
synopsys	DC_Explorer	論理設計検証ツール群	論理合成ツール (LogicSynthesis)
synopsys	DC_Ultra		
synopsys	HDL_Compiler_Verilog		
synopsys	VHDL_Compiler		
synopsys	Power_Compiler		
synopsys	DFT_Compiler		
synopsys	Design_Vision		論理合成結果の可視化・最適化ツール (GUI & Advanced Optimization)
synopsys	Design_Compiler_Graphical		
synopsys	Library_Compiler		論理合成向け基本関数ライブラリ (Datapath library for Logic Synthesis)
synopsys	DesignWare_Library		
synopsys	DW_minPower_Components		
synopsys	IC_Compiler_II_AG_8-core		配置配線ツール (P&R)
synopsys	Custom_Compiler_ADV		
synopsys	IC-Compiler-II-AF-Add-on		
synopsys	StarRC_Ultra		寄生成分抽出ツール (Extraction)
synopsys	Custom_Compiler_ADV		
synopsys	IC_Validator_NXT		
synopsys	IC_WorkBench_Edit/View_Plus		
synopsys	PrimeTime_ADVP		タイミング検証・電力解析ツール (Timing & Power Analysis)
synopsys	Prime_Power		
synopsys	Formality		等価性検証ツール (Equivalence checking)
synopsys	PowerReplay		論理デバッグツール (Debug)
synopsys	Verdi-3		
synopsys	Verdi_-_Power_Aware_Debug		
synopsys	nAnalyzer		
synopsys	nECO		
synopsys	Verdi_HW_SW_Debug_Add-on		
synopsys	Verdi_Advanced_AMS_Debug_Add-on		
synopsys	Verdi_Performance_Analyzer		
synopsys	SpyGlass_Lint		RTL解析ツール (RTL analysis)
synopsys	SpyGlass_Lint_Turbo_Add-on		
synopsys	SpyGlass_CDC_Advanced_Add-on		
synopsys	SpyGlass_RDC_Add-on		
synopsys	SpyGlass_DFT_ADV_Add-on		
synopsys	SpyGlass_SVA_Generation_Add-on		
synopsys	VC_LP		
synopsys	SpyGlass_Power_Explorer_Add-on		
synopsys	VC_Formal		形式的機能検証 (Formal verification)
synopsys	VC_Formal_FSV_Add-on		
synopsys	VC_Formal_FTA_Add-on		
synopsys	Certitude_Base_w_Unlimited_Sim		検証品質確認ツール (Functional Qualification)
synopsys	DFTMAX		テスト設計検証ツール (Design for test)
synopsys	DFTMAX_Ultra_Add-on		
synopsys	DC_Ultra		
synopsys	Design_Vision		
synopsys	HDL_Compiler_Verilog		
synopsys	TetraMAX_II_ADV_8-core_ATPG		
synopsys	HSPICE		回路レベルシミュレーションツール (Circuite simulation)
synopsys	Custom_WaveView_ADV		
synopsys	CustomSim_with_FineSim2		
synopsys	FastSPICE_Analysis_Suite		
synopsys	Custom_Compiler_ADV		
synopsys	VCS_MX		
synopsys	TestMax_CustomFault		
synopsys	X-Prop_Add-on		論理シミュレーションツール (Logic simulation)
synopsys	VCS_MX		
synopsys	NLP_Add-On		

cadence	Genus_Synthesis_Solution	論理設計検証ツール群	論理合成 (Logic Synthesis)
cadence	Genus_Low_Power_Option		
cadence	Genus_Physical_Option		
cadence	Joules_RTL_Power_Solution		電力解析
cadence	Conformal_Low_Power_-_XL		等価検証
cadence	Innovus_Implementation_System		配置配線 (Place&Route)
cadence	Innovus_20/16/14nm_Option		
cadence	Innovus_Hierarchical_Design_Option		
cadence	Tempus_Timing_Signoff_Solution		タイミング検証 (Timing Analysis)
cadence	Tempus_Timing_Signoff_Solution_ECO		
cadence	Xcelium_Single_Core		論理検証 (Logic Verification)
cadence	Xcelium_Digital_Mixed_Signal_Option		
cadence	vManager_Integration_Server		
cadence	vManager_Multi-Project_Application		
cadence	vManager_Linux_Client		
cadence	JasperGold_Formal_Verification_Platform		フォーマル検証
cadence	Virtuoso_Schematic_Editor_L	アナログ・ミックスドシグナル設計	回路図入力 (Schematic Editor)
cadence	Virtuoso_Schematic_Editor_XL		
cadence	Virtuoso_ADE_Assembler		
cadence	Virtuoso_Layout_Suite_L		レイアウト入力 (Layout Editor)
cadence	Virtuoso_Layout_Suite_XL		
cadence	Spectre_Multi-Mode_Simulation_with_AMS		シミュレーション
synopsys	Custom_Compiler_ADV	アナログ・ミックスドシグナル設計	回路図入力 (Schematic Editor)
synopsys	Custom_Compiler_ADV		レイアウト入力 (Layout Editor)
synopsys	Galaxy_Custom_Router		
synopsys	HSPICE		アナログシミュレーション環境 (Analog Simulation)
synopsys	Custom_WaveView_ADV		
synopsys	CustomSim_with_FineSim2		
synopsys	FastSPICE_Analysis_Suite		
synopsys	TestMax_CustomFault		
synopsys	Custom_Compiler_ADV		
synopsys	StarRC_Ultra		設計規則検査・寄生成分抽出ツール (DRC & Extraction)
synopsys	IC_Validator_NXT		
synopsys	Custom_Compiler_ADV		電力解析ツール (Power Analysis)
synopsys	FastSPICE_Analysis_Suite		
synopsys	CustomSim_with_FineSim2		
synopsys	Custom_Compiler_ADV		
mentor	Calibre_nmDRC_Ap_SW	物理検証ツール群	物理検証 DRC LVS (Physical Verification)
mentor	Calibre_nmDRC-H_Op_SW		
mentor	Calibre_nmLVS_Ap_SW		
mentor	Calibre_nmLVS-H_Op_SW		
mentor	Calibre_xACT_3D_Ap_SW		寄生成分抽出
mentor	Calibre_RVE/QDB-H_Ap_SW		対話型実行環境 結果表示
mentor	Calibre_Interactive_Ap_SW		
mentor	Calibre_DESIGNrev_Ap_SW		
cadence	Physical_Verification_System_DRC	物理検証ツール群	物理検証 DRC LVS (Physical Verification)
cadence	Physical_Verification_System_Advanced_Analysis_Option_for_PVS_DRC		
cadence	Physical_Verification_System_LVS		
cadence	Physical_Verification_System_Advanced_Device_Option		
cadence	Quantus_QRC_Extraction		寄生成分抽出 (Parasitic Extraction)
cadence	Quantus_QRC_Advanced_Analysis		
cadence	Quantus_QRC_Advanced_Modeling		
cadence	Quantus_QRC_Advanced_Node_Modeling		
cadence	Voltus_IC_Power_Integrity_Solution		電力解析 (Power Analysis)
cadence	Voltus_IC_Power_Integrity_Solution_Advanced_Analysis_GXL_Option		
cadence	Voltus-Fi_Custom_Power_Integrity_Solution		
cadence	Palladium_Z1_GXL_576_always-on-domains	エミュレータ FPGAプロトタイプ	エミュレータ
cadence	Palladium_Z1_56Gbps_36_ports_switch		
cadence	Palladium_Z1_2-port_host_card		
cadence	Palladium_Dynamic_Power_Analysis_2.0		
cadence	Virtual_Debug_Interface_to_Software_Debuggers_4-pack		
cadence	Palladium_Series_Memory-model_Multiple_Subscription		
cadence	Palladium_PCIe_4.0_VirtualBridge_Kit		
cadence	Palladium_VirtualBridge_8-port_pack		
cadence	Incisive-Enterprise-Simulator---XL		エミュレータ用検証モデル
cadence	Palladium_Accelerated_VIP_for_AMBA_AXI		
cadence	Palladium_Accelerated_VIP_for_AMBA_AHB		
cadence	Palladium_Accelerated_VIP_for_PCIe_4.0		
cadence	Accelerated_VIP_for_AMBA_USB_3.1		
cadence	Accelerated_VIP_for_HDMI_2.0		
cadence	Accelerated_VIP_for_MIPI_CSI_2		
cadence	Accelerated_VIP_for_MIPI_DSI_2		
cadence	Accelerated_VIP_for_CCIX		
cadence	Protium-S1-Implementation-and-Debug-Software		FPGAプロトタイプ
cadence	Protium_S1_FPGA-based_prototyping_system_8_UltraScale_VU440_FPGAs		
cadence	Protium_S1_accessory_2_chassis_cable_kit		
cadence	Protium_S1_Accessory_High_Performance_XDRAM_Card_16GB		
cadence	PCIE_4.0_Emulation_Dev_Kit_for_Win10_on_Intel_platform		
cadence	PCIE_4.0_Emulation_Dev_Kit_for_Win10_on_Intel_platform		
cadence	Protium_S1_Accessory_QSS_Adapter_for_PCIe_4.0_SpeedBridge		
cadence	Protium_S1_Accessory_DDR4_direct_connect_8GB		
cadence	Protium_/_Protium_S1_Accessory_144MB_SRAM_SODIMM		
cadence	Protium_S1_Accessory_204-pin_SODIMM_Adapter		
cadence	Protium_/_Protium_S1_Accessory_PCIe_kit		
cadence	Video_SB_for_HD_serial_interfaces_RoHS		
cadence	Protium_S1_Accessory_VHDCI_Adapter_for_Video_SpeedBridge		
cadence	Allegro PCB Designer	BoardDesign	PCB board Design

図 3-63 導入 EDA ツール一覧

フロー名	ツール名	オプション等	永久ライセンス		単価契約ライセンス												
			当初 1/31分	追加 4/16分	'19	'20				'21				'22			
						1	2	3	4	1	2	3	4	1	2	3	4
高位合成	Catapult	Catapult-Prime, Oasys-RTL, Catapult Coverage SLEC-HLS, PowerPro-Optimizer	0	0	1	4	3	3	1	2	2	2	2	1	1	1	1
論理合成	Design Compiler		2	4	4	2	4	2	0	1	1	0	0	0	0	0	0
配置配線	ICCompilerII		1	1	3	1	3	3	4	1	1	0	2	13	0	0	0
静的検証	PrimeTime/PrimePower		1	0	2	2	2	4	3	2	2	2	7	19	1	1	0
等価性検証	Formality		1	0	2	2	2	2	4	1	1	1	1	1	1	1	0
形式検証	DEBUG	Verdi SVTB, Verdi Power-Aware Debug, Verdi Coverage, Verdi Performance Analyzer, VC Formal, VC Verification IP Test suites, SpyGlass, PowerReplay, TetraMAX	0	0	1	7	5	2	1	3	3	2	2	3	3	1	2
レイアウト生成	Custom Compiler		2	0	2	1	1	0	0	1	1	0	0	0	0	0	0
寄生成分抽出	ICValidator/StarRC		1	0	4	2	2	3	3	2	2	1	1	2	2	2	0
回路シミュレーション	Analog Sim (VCS AMS, CustomSim, CustomSim Reliability, CustomFaultSim)		2	0	6	2	2	3	3	2	2	3	3	3	3	3	1
物理検証系	Calibre DRC, LVS, RVE, PEX, LFE		2	3	1	0	0	0	1	1	1	1	0	1	1	1	1

図 3-64 期間ライセンスの運用状況

2020年度：当初単価契約以外のライセンス導入

Synopsys LogicBIST	2020/10/1-	1ライセンス
ICCompilerII	2020/12/1-12/31	5ライセンス
ICCompilerII	2020/12/1-12/31	5ライセンス
ICCompilerII	2020/1/1-1/31	5ライセンス
ICCompilerII	2020/2/1-2/28	2ライセンス
PrimeTime	2020/1/1-3/31	15ライセンス
Tweaker	2020/1/1-3/31	5ライセンス
CalibreDRC	2020/2/12-3/11	5ライセンス
Ansys Redhawk/PathFinder	2020/10/1-10/31	1ライセンス
Ansys Redhawk/PathFinder	2020/11/18-3/31	1ライセンス
Ansys Redhawk/PathFinder	2020/3/X-3/31	1ライセンス

2021年度：当初単価契約以外のライセンス導入

Synopsys LogicBIST	2021/4/1-	1ライセンス
Tweaker	2021/4/1-3/31	1ライセンス
Ansys Redhawk/PathFinder	2021/4/1-3/31	1ライセンス
Mentor CalibreMP	2022/1/1-3/31	2ライセンス
Mentor CalibrePERC	2022/1/1-3/31	1ライセンス
Mentor CalibreYE	2022/1/1-3/31	4ライセンス
Mentor CalibreADP	2022/1/1-3/31	1ライセンス
Synopsys ICCII	2022/2/1-2/28	3ライセンス
Synopsys ICCII	2022/3/1-3/31	5ライセンス
Synopsys PTADVP	2022/3/1-3/31	5ライセンス
Synopsys ICCII	2022/7/1-7/31	10ライセンス
Synopsys PTADVP	2022/6/1-6/30	10ライセンス
Synopsys PTADVP	2022/7/1-7/31	30ライセンス
＋Formality/Tweaker/LogicBIST/SHS/SMS		2022/4/1-
Mentor CalibrePERC	2022/8/1-8/31	1ライセンス

図 3-65　SOC 設計ピーク時のスポットライセンス増補状況

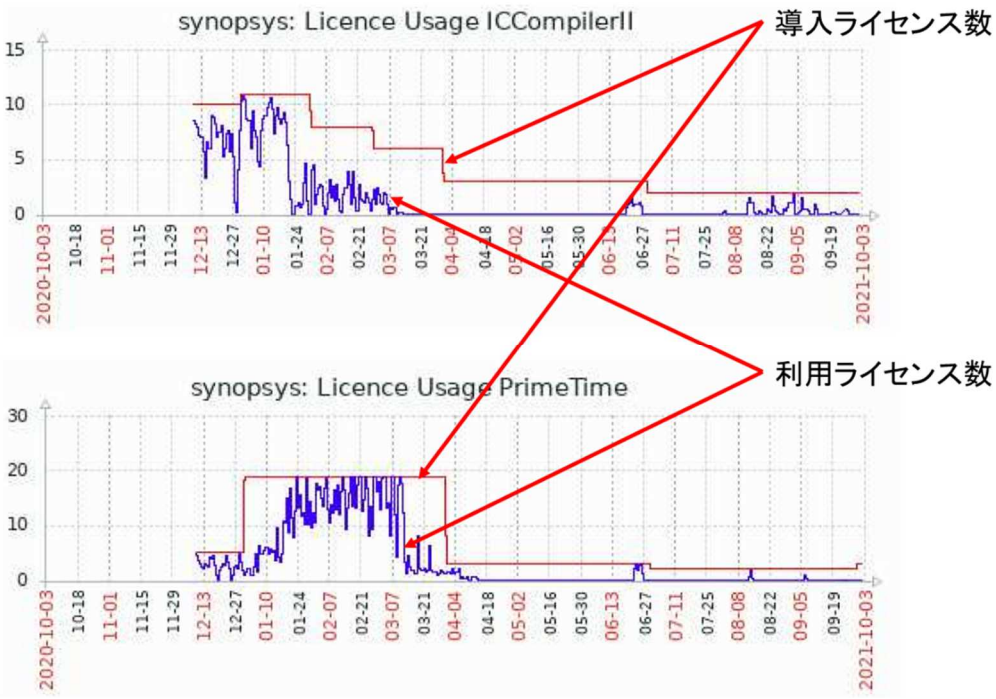


図 3-66　EDA ライセンスのモニター例

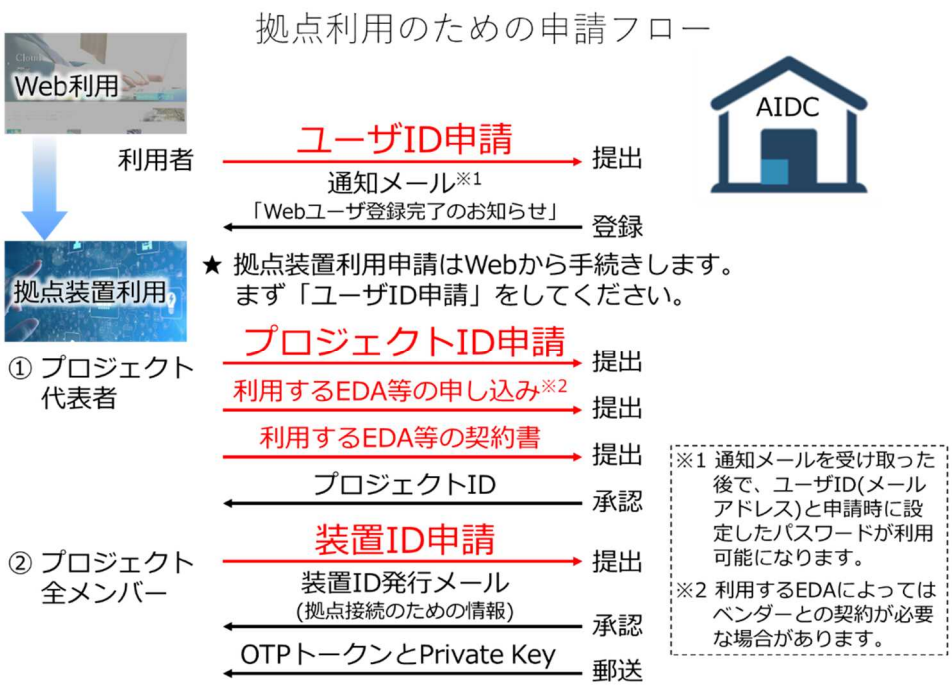


図 3-67　拠点利用のための申請フロー

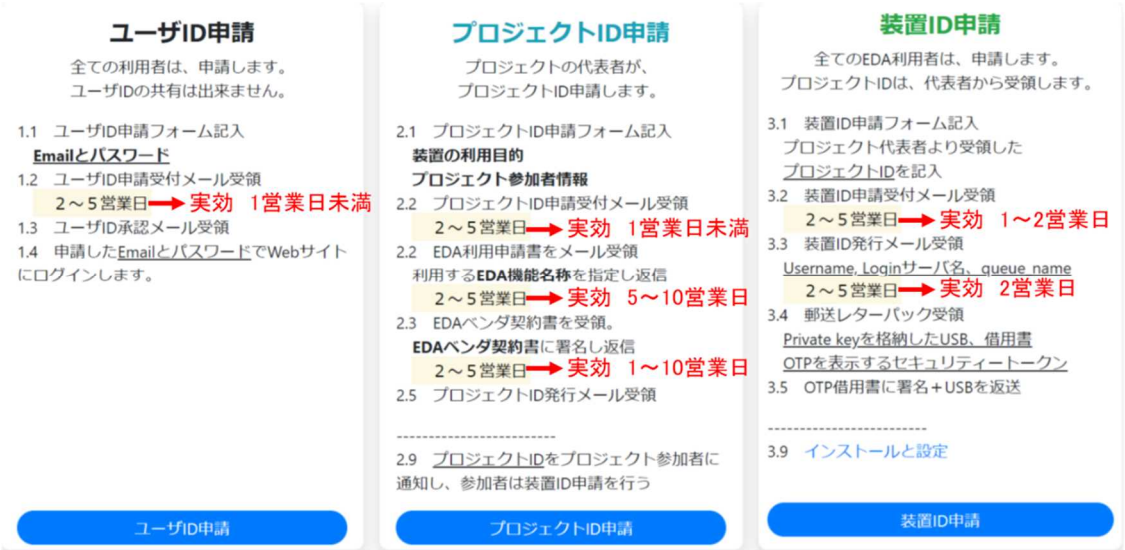


図 3-68　拠点利用申請の詳細

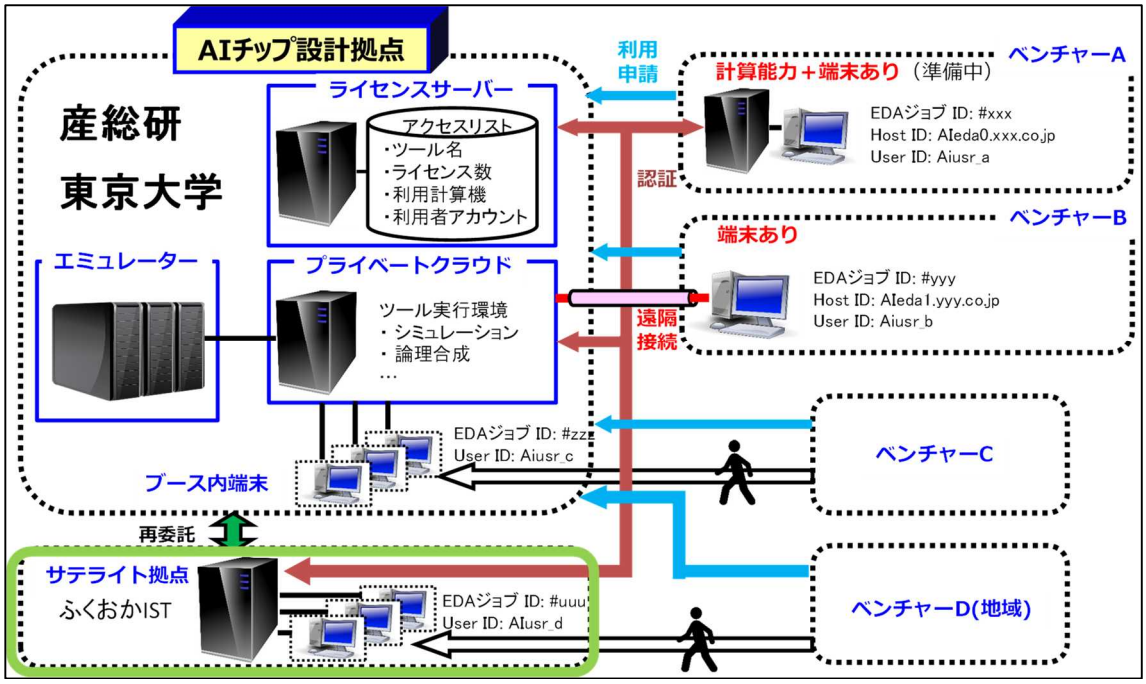


図 3-69　AI チップ設計拠点における本拠点とサテライト拠点との位置づけ

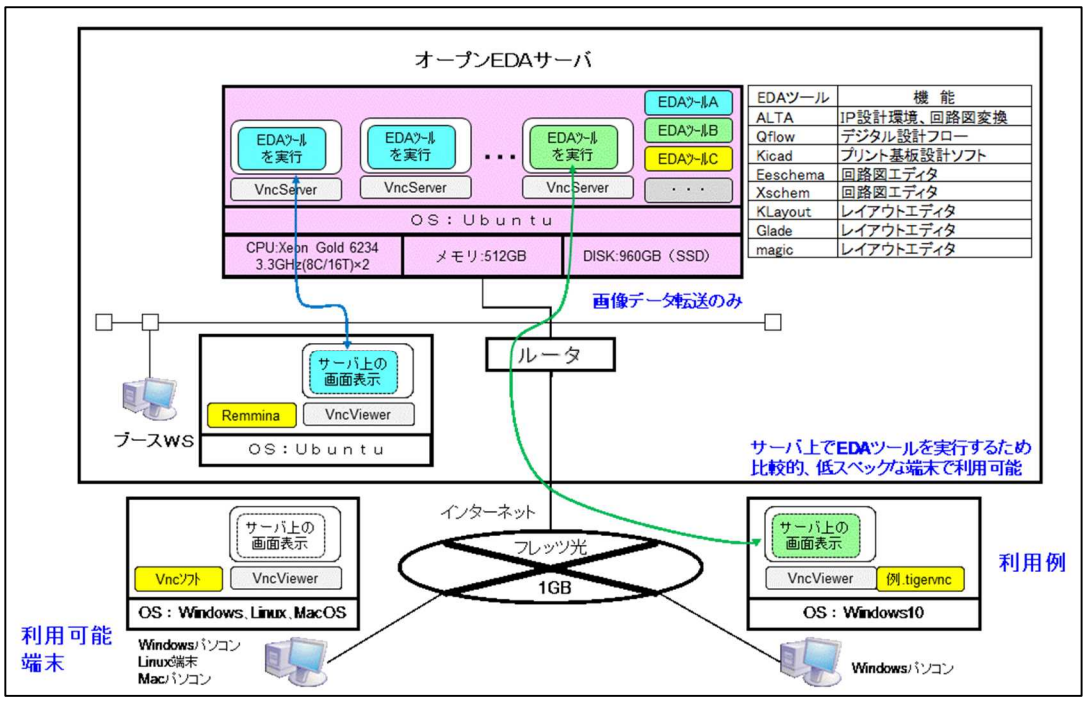


図 3-70　オープンソース EDA 環境の全体図

表 3-15　サテライト拠点で作成したマニュアル

マニュアル名称	内容
EDA サーバ概要・利用申請	AI チップ EDA 環境を利用するための申請方法
オープンソース EDA サーバスタートアップマニュアル	オープンソース EDA 環境を利用するための説明書
オープンソース EDA サーバ利用マニュアル	オープンソース EDA ツールを利用するための説明書
商用 EDA サーバ利用マニュアル	商用 EDA ツールを利用するための説明書
AI チップサテライト拠点 EDA ツール利用の手引き	設計ラボ WS を利用するための手引書

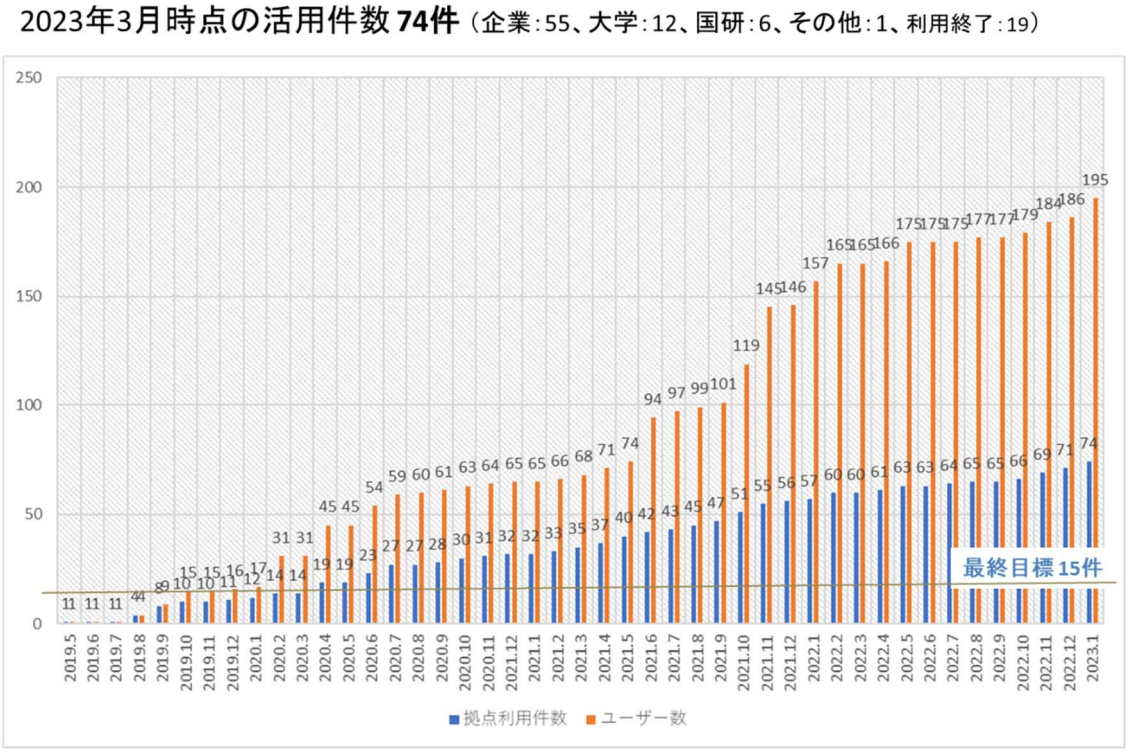


図 3-71　拠点利用実績の推移

実施項目 2-2「人材育成と拠点機能の整備」

AI チップ開発拠点の機能として組み込む共通基盤技術、すなわち EDA ツールや設計フロー、ツールチェイン、リファレンスデザイン等を準備したとしても、そのままでエミュレータや EDA ツール群を使いこなすことは難しく、簡単に AI チップの開発ができるわけではない。また、中小・ベンチャー企業、中でもチップ開発にこれから取り組もうとする企業にとってチップ製造の FAB の選定、守秘等の契約、設計のためのデザインマニュアル・PDK・ライブラリ等の導入は非常に時間がかかり容易ではない。加えて、これらの機能が最大限活用されるようにするためには、それらの利用方法の教育が不可欠である。同時に、教育する側の人材育成も重要な課題である。

本実施項目では拠点で導入する EDA ツール、及び産総研が所有するエミュレータの利用方法について、マニュアルを整備し(本項目は実施項目 1-1, 1-2 と協調して行いそちらにまとめて報告を行っている)、これらの公開・利用促進を目指した。更に、AI チップ設計・検証ガイドラインの策定や、AI チップ設計の教育カリキュラムの構築を実施し、教育コースやセミナー等を通じて中小・ベンチャー企業の AI チップ開発に係る人材を育成した。加えて、代表的な FAB に対するワンストップ窓口を整備することで、設計試作を希望する拠点利用者のプロセス選択の補助、FAB との契約、設計環境の整備の支援を行った(本項目は実施項目 1-5 と協調して行いそちらにまとめて報告を行っている)。また、技術交流を契機としたソフトウエア・アルゴリズム技術者の AI チップ設計開発への参入を促すフォーラム等を開催して、AI チップ設計開発の裾野の拡大を図った。

なお、本事業で整備する拠点が事業終了後も自立的に機能するために、勉強会等を開催し、ユーザーとなり得る中小・ベンチャー企業等の意見を集約を行っている。この成果は 2023 年 4 月以降の AI チップ設計拠点の運営に生かされている。更に、拠点の整備状況や各実施項目の成果を広く社会に広めるため、進捗の状況に合わせて新聞発表や展示会への出展、各学会への論文発表等を行った。

図 3-72 には拠点における人材育成のグランドデザインを示す。ここで、拠点における人材育成として、

- AI チップ開発に必要な座学は既存のカリキュラム(VDEC 連携・福岡 IST 連携)を活用して網羅
- 重点 1：未経験技術者(ソフト・アルゴリズム技術者)に向けた取り組み / フォーラム：毎月実施(～200 名程度の参加)
- 重点 2：実習レベルの教材準備(エミュレータ協調検証教材、デジタル設計教材、高位設計教材、設計フロー教材、AI-SOC 設計教材)
- 重点 3：AI-One 利用での実践トレーニング(システム設計者、FPGA 経験者、高位記述設計者向け)

といった方針に基づいて活動を行っている。拠点フォーラムは図 3-73 に示す通り、2019 年 5 月から実施し、2023 年 8 月で第 50 回を数え、コロナ以前の対面開催では 50 名―80

名の参加、コロナ後のオンライン開催では、100 名 - 200 名の参加を得て拠点活動のアウトリーチの一翼を担った活動となっている。

また、図 3-74 に示すように、ツールのセミナー、ハンズオンによるトレーニング、さらには専門的な技術討論を行うワークショップなどを実施することで、利用者の育成・利用の促進、さらにはよりノウハウの習得を目指した人材育成活動により組んでいる。これらの一部は実施項目 1-1, 1-2 で紹介した教材を活用して実施している。

加えて、図 3-75 に例示するように実施項目 1-1, 1-2 で作成した教材を WEB に掲示して利用者が参照できるようにすることに加え、実施項目 1-5 での SOC 設計のフロー詳細を Webinar の形でオンデマンド配信を実施している。長時間の Webinar にもかかわらず多くの参照回数(図 3-76)を得ており、非常に効果的な人材育成が実現できたと考えられる。

サテライト拠点主催でオープンソース EDA の人材育成を目的とした WEB 講演会を実施し、延べ 120 名の参加者が聴講した。また、本拠点で開催されるフォーラムの開催案内をサテライト拠点施設に入居する企業へ案内を行うとともにフォーラムへ積極的に参加した。

これらにより、本実施項目の最終目標としていた、エミュレータ・EDA 協調設計検証論に関して、初級編から上級(実践編)までの整備が完了し、かつ各種教育カリキュラムの教育コース、Webinar が充実できた。また。実施項目 1-1 の最終目標の協調設計検証フロー利用目標 10 件(実際には 10 件を上回る活用)のうちの AI-One, AI-Two および AI-One/Two に搭載された AI-IP コアの一部の合計 4 件以上が本設計試作ゲートウエイ機能(実施項目 1-5)を利用して設計・試作を完遂している。

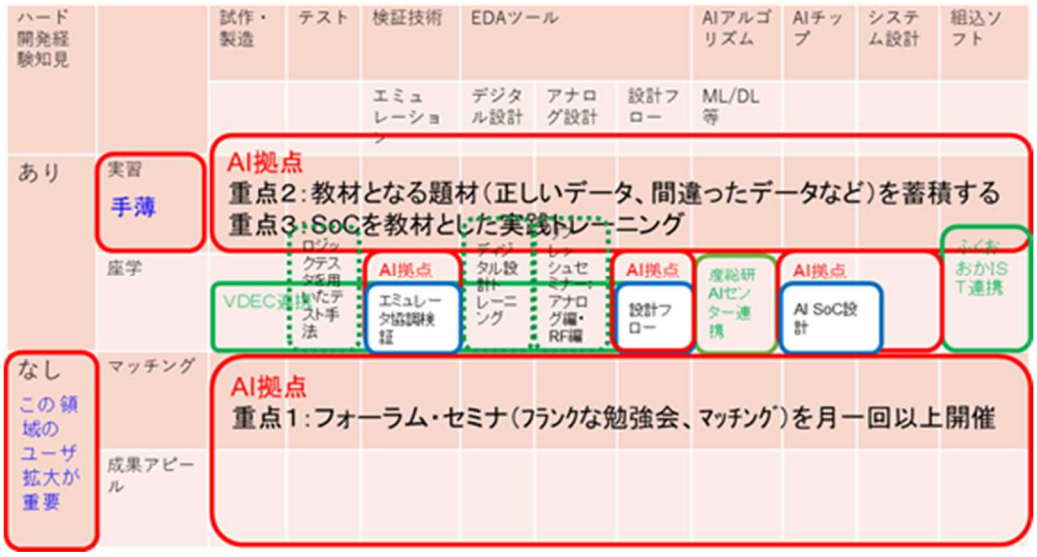


図 3-72 AI チップ設計人材育成のグランドデザイン

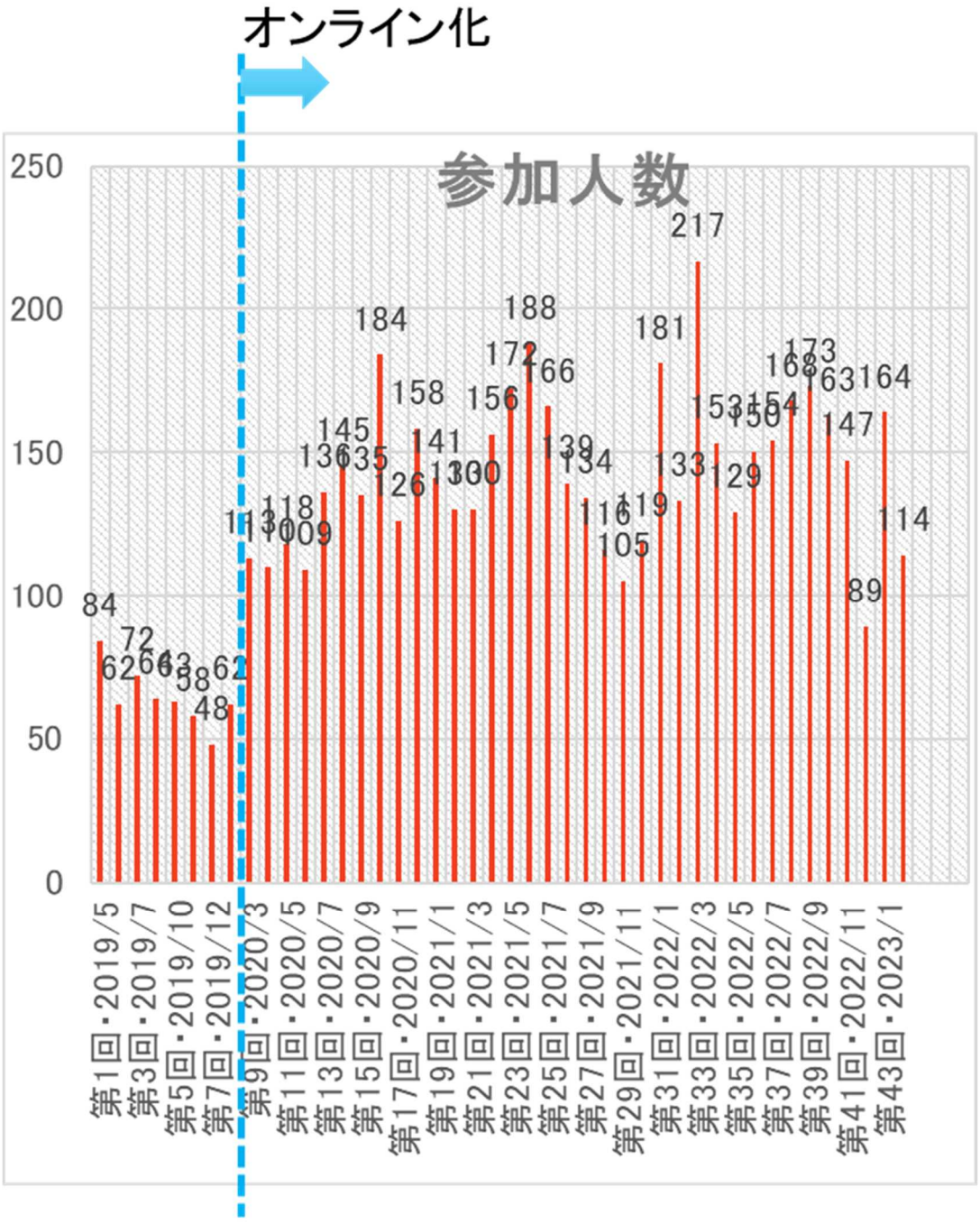


図 3-73 拠点フォーラムの参加者推移

年月日	発表媒体	発表タイトル
2019年12月19日～20日	セミナ	高位合成ツール「Catapult」セミナ
2020年1月15日～16日	セミナ	エミュレータとエミュレータ・シミュレータ協調検証環境セミナ
2020年3月30日～31日	Webセミナ	論理検証に関するWebセミナ
2020年10月16日	Webセミナ	高位合成トレーニング
	Webセミナ	Cadenceパラジウム関係のデバッグ機構
2021年6月30日	Webセミナ	エミュレータを利用した検証の高速化に向けたテストベンチ作成方法
2021年7月1日	Webセミナ	シミュレータ・エミュレータによる協調検証環境（EmuForge）を用いた検証効率向上
2021/11/30, 2022/6/7, 2023/2/14	Webセミナ	エミュレータトレーニング
2022/3/10, 2022/9/10, 2023/3/14	Webセミナ	エミュレータ・ワークショップ
2022/9/28, 2023/3/20	Webセミナ	RISC-VベースSoCのシミュレーション・エミュレーション協調検証トレーニング

図 3-74 トレーニング・技術セミナーの実施状況

形式検証編

論理合成編

高位合成編

図 3-75 教材の WEB 配信および Webinar の例

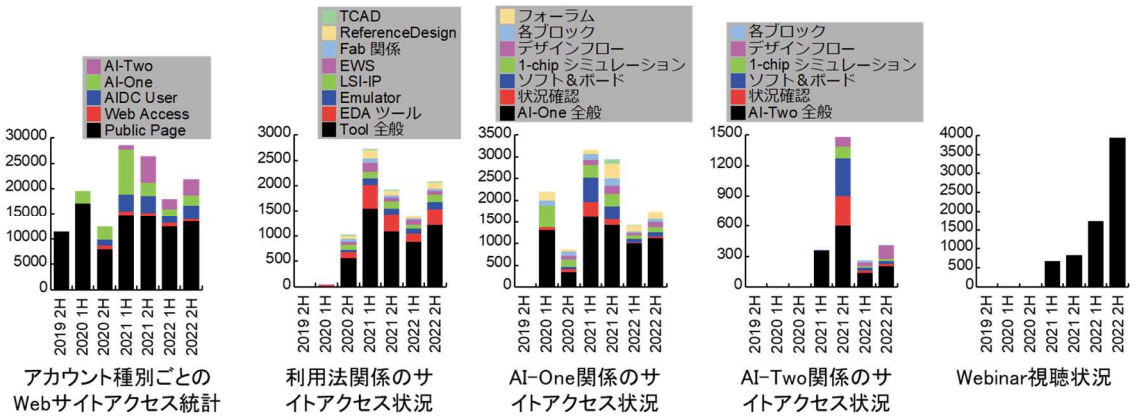


図 3-76 拠点 Web サイトのアクセス状況

4. 成果の実用化に向けた取組及び見通しについて

1. 成果の実用化の実施状況

1.1 実施状況(研究開発項目①)

研究開発項目①助成事業にあっては、実用化を以下の通り定義し、実用化率58.8%(採択 17 件中 10 件が実用化)となり、目標を達成した。

「本助成事業における実用化の定義」:

本助成事業で開発した AI チップや周辺 IP の事業期間での実証等を行い、事業終了後に顧客へのサンプル提供や IP ビジネスとしてその IP 等を紹介するなど、上市に向けた具体的な取り組みがなされること。

1.2 実施状況(研究開発項目②)

中間評価時に述べたように自立運営の検討を行った結果、AI チップ設計拠点(AIDC)を産総研の共用施設として位置付けて成果の実用化を図ることになった。産総研の共用施設は、「これまで蓄積して来たノウハウ・成果を広く社会に普及させることを目的」とした取り組みであり、本事業の成果の実用化の仕組みとして適している。

産総研の共用施設としての AIDC の運用は、産総研・東大 AI チップデザインオープンイノベーションラボラトリ(AIDL)が実施する。AIDL は産総研の研究組織であり、AI チップ設計に関して東大 d.lab との共同研究を行っている。したがって、AIDC の運用は、NEDO 事業での運用体制と変わらず、産総研と東大 d.lab が協力して進めることになった。

共用施設の運用は、国立研究開発法人産業技術総合研究所共用施設等利用約款(以下、約款という。)によって規定されている。利用者は約款によって定められた単価表から算出される利用料を支払って共用施設を利用する仕組みである。AIDC も半導体設計環境の様々な設定を単価表(月単位の利用料)に掲載しており、運用している。

共用施設になった 2023 年 4 月時点の利用者の延べ人数は 15 人であったが、2023 年 8 月現在で 45 人であり、着実に利用が増えていることが分かる(図 4-1)。

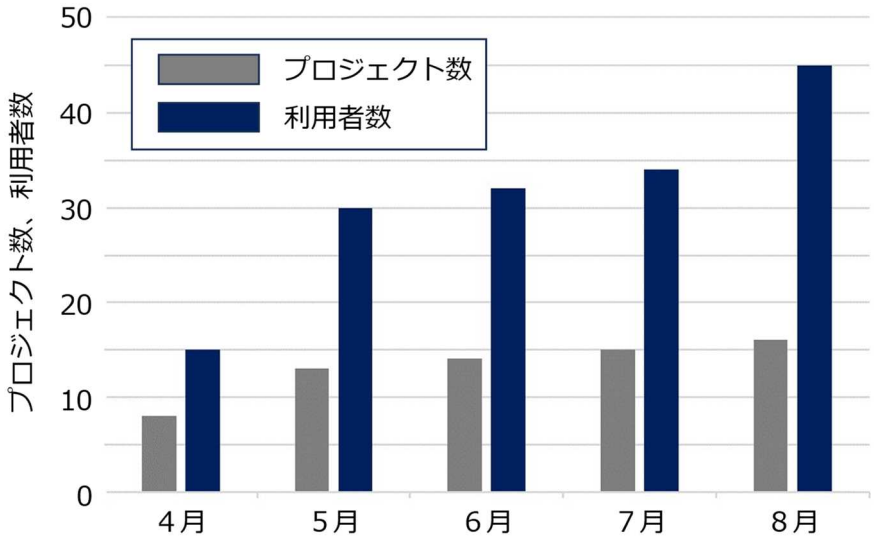


図 4-1 2023 年 4 月以降の AIDC の利用状況

2. 今後の取組

2.1 今後の取組(研究開発項目①)

研究開発項目①助成事業にあっては、事業終了後は個々のテーマ実施者が、事業化に向け研究開発を継続していくことになるが、アウトリーチ活動の一環として、CEATEC の NEDO ブースでの展示機会を提供するなどの支援を行う。

2.2 今後の取組(研究開発項目②)

本事業の実施期間が終了したのち、2023 年 4 月から産総研共用施設として AI チップ設計拠点を立ち上げた。

AIDC は、利用者にとって使いやすい半導体チップ設計拠点として機能し続けることが重要である。そのためには、利用者にとって魅力ある設計環境、設計サポート技術、教材を維持するため、産総研と東大で活動を継続していく。

設計環境については、計算機システムの維持と性能向上を図る。このためには利用料収入の確保が重要である。また、これまで築き上げてきた EDA ツールベンダーとの協力体制を維持することも重要である。

産総研・東大の半導体チップ設計の研究成果を利用者が使える技術として開発し、AIDC に蓄積していく。このような技術を使って利用者が設計することで短 TAT・低コストの試作チップ設計

が可能になる。今後の取り組みとしては、産総研と東大等で受託する NEDO プロジェクト「チップレット設計基盤構築に向けた技術開発事業/チップレット型カスタム SOC 設計基盤技術開発」を通じてチップレット技術を AIDC に導入していく予定である。

設計サポート技術については、SOC の設計経験がなくても AI チップを設計できる仕組みなどを導入している。具体的には AIDC で開発した SOC プラットフォームを利用することで、利用者は AI アクセラレータの設計のみで AI チップの設計が可能となる。今後も利用者目線に立った設計サポート技術を開発していく。

教材については、すでに準備した教材のブラッシュアップと、新たな技術開発案件(SOC プラットフォーム等)のマニュアル類を整備していき、人材育成に役立てていく。

これらの取り組みを継続していくことで、AIDC は単なる商用ベースではない共益的な半導体設計拠点として認知され、活用されるようになる。この活動を継続することで、半導体チップ試作に関するハードルを下げ、利用者(半導体設計者)を増やし、すそ野を広げ、我が国の半導体産業の活性化を図っていく。

3. 実用化による波及効果

3.1 波及効果(研究開発項目①)

助成事業の個々のテーマ実施者の将来の事業化により、医療、車載、介護、認証、音声処理応用等の分野への AI 活用により日本の存在感が向上すると考えている。

3.2 波及効果(研究開発項目②)

本事業の実用化により、我が国において以下の波及効果があると考えている。

(1) 我が国における AI チップ開発の活性化

- 産総研共用施設 AIDC に共通基盤技術を集約・蓄積し、共通利用することにより、チップ開発の効率を改善し多くのアイディア実用化の創出に貢献
- 産総研共用施設 AIDC を核としたチップ開発のための資金調達エコシステム構築により、資金調達プロセスを活性化

(2) 我が国の国家／経済安全保障への貢献

- チップ設計のエンジニアリングチェーンを国内に確保
- 国内半導体ファブと連携した国内でのチップ設計-生産エコシステムの確立

添付資料

●基本計画

P18004

「AI チップ開発加速のためのイノベーション推進事業」
基本計画

IoT 推進部
イノベーション推進部

1．研究開発の目的・目標・内容

(1)研究開発の目的

① 政策的な重要性

IoT、人工知能(AI)、ビッグデータ、ロボット等の技術革新により、これまで実現不可能と思われていた社会の実現が可能になりつつある。IoT 技術の進展により、実社会のあらゆる事業・情報がデータ化され、ネットワークを通じた自由なやりとりが可能となりつつある。AI 技術は、その飛躍によって、機械が自ら学習し人間を超える高度な判断をすることをも可能にしている。また、ビッグデータ技術によって、集まった大量のデータの分析から新たな価値を生み出すことを可能にしている。ロボット技術は、より多様かつ複雑な作業の自動化を可能にしている。また、これら技術革新の掛け合わせによって、革新的な製品やサービスが生み出されることも期待できる。例えば、無人自動走行車、ものづくり現場における多品種少量生産、個人に最適化された医薬品の提供、介護現場の労働力不足解消、インフラ保安の効率化等の実現が期待され、産業構造や就業構造を劇的に変える可能性を秘めている。

「必要なもの・サービスを、必要な人に、必要な時に、必要なだけ提供し、社会の様々なニーズにきめ細かに対応でき、あらゆる人が質の高いサービスを受けられ、年齢、性別、地域、言語といった様々な違いを乗り越え、活き活きと快適に暮らすことのできる」超スマート社会(Society 5.0)の実現には、上記のような第 4 次産業革命技術やそれらを用いて創造される製品やサービスを次々と社会実装していかなくてはならない。

関連する政策として、次のようなものが打ち出されている。第 5 期科学技術基本計画(平成 28 年 1 月閣議決定)では、「超スマート社会」(Society 5.0)の実現において、構築に必要で速やかな強化を図るのが必要な基盤技術として、安全な情報通信を支える「サイバーセキュリティ技術」、IoT やビッグデータ解析、高度なコミュニケーションを支える「AI 技術」、大規模データの高速・リアルタイム処理を低消費電力で実現するための「デバイス技術」、IoT の高度化に必要となる現場システムでのリアルタイム処理の高速化や多様化を実現する「エッジコンピューティング」等が挙げられている。「科学技術イノベーション総合戦略 2017」(平成 29 年 6 月閣議決定)では、「超スマート社会」(Society 5.0)の実現に向けた重きを置くべき取組として、「サイバー空間関連の基盤技術の強化(エッジコンピューティング等)」や「フィジカル空間関連の基盤技術の強化(超小型・超低消費電力デバイス等)」が挙げられている。「未来投資戦略 2017」(平成 29 年 6 月閣議決定)では、イノベーション・ベンチャーを生み出す好循環システムのための重点投資すべき分野の

取組の一つとして、「AI 学習効率の向上、自然言語処理、ディープラーニング翻訳、超高効率 AI 処理に資する半導体及び革新的センサー等の基盤技術開発及びその組込みシステムへの適用」が挙げられている。

また、経済産業省は、Society 5.0 を実現するための我が国の産業が目指すべき姿(コンセプト)として、「Connected Industries」を提唱した(2017 年 3 月)。Connected Industries は、既存産業とデジタル技術の「つながり」をはじめとして、機械、データ、技術、ヒト、組織など様々なものの繋がりによって新たな付加価値の創出や社会課題の解決を目指すものである。経済産業省は、Connected Industries を実現するための事業を強力に推進しており、特に、「自動走行・モビリティサービス」、「バイオ・素材」、「スマートライフ」、「プラント・インフラ保安」、「ものづくり・ロボティクス」を 5 つの重点取組分野としている。

上記の社会課題解決には、大量データの効率的かつ高度な利用を可能とする情報の収集、蓄積、解析、セキュリティなどの技術に加え、AI・次世代コンピューティング技術がエッジやクラウド領域において求められている。中でも、自動走行やロボティクスを始めとする分野では、従来のクラウドコンピューティングからネットワークの末端(エッジ)で中心的な情報処理を行うエッジコンピューティングへの分散が不可欠になると考えられており、エッジにおける処理の重要性や価値が高まると推察されている。特にエッジにおいては限られた資源を用いて効率的に処理を行う必要があるため、性能を飛躍的に向上させられる AI 技術の活用が期待されている。この転換期を日本の IT 産業が大幅に成長するチャンスと見据え、産学官の体制による野心的な技術開発を推進することが重要である。

日本にはベンチャー企業を中心に AI に関する高度な技術が存在するが、当該 AI をエッジ側で効率的かつ高速に動作させるためには、AI の動作専用に設計開発した専用デバイス(AI チップ)が必要となる。しかし、AI チップの開発には高額利用料が必要となる専用の設計ツール(EDA ツール)、検証装置等が必要であるとともに、試作にかかる費用も高額であるため、革新的な構想が企業にあったとしても AI チップの設計開発を行う事が出来ずにいる。

専用の設計ツールを用いなければならない背景には、微細化が進む事での回路設計の高度化に対応する必要があることと、EDA ツールを使わなければ設計した回路の性能が保証されないという面がある。そのため、アイディア段階ではビジネス化までの事業化計画が不明確となり、民間資金の獲得も困難となる。これが AI チップビジネスに参入しようとする企業にとって、開発とビジネス化の間を隔てる高いハードルとなっている。

そのため、国が主導してこのハードルを取り除く政策を実施し、画期的なアイディアを用いた AI チップの設計開発を推進するとともに、開発を通じた人材育成はもとより、エッジコンピューティングの実現に貢献し、日本の産業競争力の強化にも繋げる。

② 我が国の状況

日本は、コンピューティング分野において、ハードウェアを中心に存在感を発揮してきた。1980 年前後には、日本発の材料、メモリ、アーキテクチャなどの革新的な技術を発明し、ムーア則実現の礎を築いた。

その後、ファウンドリーという業態が新たに誕生し、設計と製造を分離することで複雑化する集積回路の開発に対応する動きが活発化したが、市場変化への対応が遅れたことに伴い、例えば半導体では 1988 年には 50%を超えていたシェアが現在では 10%程度にまで落ち込む等、現在はコンピューティング分野において苦戦している。

分業化が進む集積回路開発分野において、独創的な VLSI(大規模集積回路)システムを発想し、回路構成・基本設計技術を有する技術者集団を育成するため、VLSI の設計教育の高度化と充実を目指し、1996 年に全国の大学などが共同で利用できる施設として VDEC(大規模集積システム設計教育研究センター)が東京大学内に設置された。主に、学術的用途向けとして、集積回路設計に欠かせない設計環境や検査・測定環境を自ら保有し、学生、研究者を中心に解放することで、人材育成に寄与している。また、一般社団法人電子情報技術産業協会の半導体部会役員会が推進した半導体先端技術の民間共同開発プロジェクト「あすかプロジェクト」が 2001 年に開始し、デザインルール hp65 向け技術として SOC(System-On-a-chip)の開発効率を向上させる 45nm 対応設計技術や 32nm 対応プロセスデバイス技術を開発したが、10 年後の 2010 年に終了している。

日本の情報産業の再興のためには、最先端の設計開発を推進する新たな基盤的な環境や技術を整備、開発することが勝負の鍵となる。

③世界の取組状況

米国では、半導体集積回路の設計作業を自動化し支援するためのソフトウェアやハードウェア及び手法である EDA(Electronic Design Automation)技術の黎明期から、国が大学の研究活動を中心に支援してきた。現在も、DARPA(Defense Advanced Research Projects Agency)が CRAFT(Circuit Realization at Faster Timescales)プログラムを通して LSI の開発を支援しており、中小企業やベンチャー企業は非常に安価な料金で LSI の設計から試作、評価に取り組むことが出来ている。欧州でも比較的早くから LSI 設計技術が IMEC などの産学連携を通じて強化されてきた。中国でも半導体を基幹産業とするために国内企業の育成に取り組んでおり、国家政策により上海、北京、無錫、成都、大連 等を IC 産業育成地域として指定し、国営の IC R&D Center(試作、EDA、テストサービス)を設置している。

④本事業のねらい

ネットワークの末端(エッジ)で中心的な情報処理を行うエッジコンピューティング技術の重要性や価値が高まる中、日本にはベンチャー企業を中心に AI に関する高度な技術が存在するが、競争力のある AI チップを開発するためには、AI とチップの設計、ソフトとハード双方に関する知見と技術に加え、高額な設計ツールや設計検証設備等が必要となっている。

現在でも東京大学を中心として運営される LSI 開発支援拠点 VDEC も存在するが、アカデミックライセンスが主体の学術的用途という制約があり、特にベンチャー企業等が有する革新的アイディア等の開発やビジネス化を加速する、新たな共通基盤が求められている。

本事業では、大学や研究機関等による高度な AI チップ開発のための共通基盤技術の開発を進めるとともに、その知見や AI チップの設計・評価・検証等の開発環境を民間企業等に提供する。

民間企業等においては、AI チップに関するアイディア実用化に向けた研究開発を支援するとともに、AI チップ開発を加速するために整備した設計検証拠点で開発を実施し、AI チップ開発スキームにおける設計、検証をシームレスに実施することで、革新的なアイディアの実現を加速する研究開発を進め、世界における存在感を再び獲得することを目指す。

(2)研究開発の目標

①アウトプット目標

【研究開発項目①】AI チップに関するアイディア実用化に向けた開発

AI チップの設計を行い、AI チップの動作を効率化し現状以上の性能を有することをシミュレーション等により検証する。詳細は別紙のとおり。

【研究開発項目②】AI チップ開発を加速する共通基盤技術の開発

AI チップ開発に必要な集積回路設計ツールや設計検証設備を備えた開発拠点を構築し、本事業を通じて開発、整備した AI チップ設計のための共通基盤技術、学習環境、設計環境等の活用件数 15 件以上を目標とする。詳細は別紙のとおり。

②アウトカム目標

2032 年のエッジ向け AI チップの世界市場で約 750 億円の市場獲得を目指す。

なお、①については 2023 年以降順次技術の実用化率 50%以上を目指す。

③アウトカム目標達成に向けての取組

大学・研究機関等によって開発した共通基盤技術(高機能な AI チップ開発に資する設計技術等)は、順次民間企業等へ提供し、開発拠点の機能向上を図る。

民間企業等の AI チップのアイディア実用化開発については、1 年目終了時に継続可否に係る審査を実施し、ビジネス化に向けた動きがあり優れた成果が見込める企業を集中的に支援する。

また、AI チップの研究開発と並行して、民間企業等において IoT や AI 技術を活用するための知見やノウハウを持った人材の育成を進めることで、本研究開発の成果の更なる高度化へと繋げる。

プロジェクトの実施において、民間企業は並行して成果を活用する企業とのマッチングも実施し、事業終了後は本格的なビジネス化へと繋げる。

(3)研究開発の内容

上記のアウトカム目標達成に向けて、以下の研究開発項目に取り組む。詳細は別紙のとおり。

【研究開発項目①】 AI チップに関するアイディア実用化に向けた開発 ＜助成＞

民間企業等が持つ AI チップに関するアイディアを実用化するため、専用の設計ツールを用いて論理設計等の回路設計を行い、シミュレーション等により有効性を評価・検証する。さらに検証した成果をビジネス化するために企業とのマッチングを行い、ビジネス化への道筋を立てる。

また、各種専門家の派遣等、採択者等へのハンズオン支援を実施する。

【研究開発項目②】 AI チップ開発を加速する共通基盤技術の開発 ＜委託＞

高度な AI チップ開発を加速するために必要な共通基盤技術として、世界標準の商用基盤に接続することを目的とした、AI チップの設計・評価・検証等を実施する開発環境を整備する。また、チップ開発を促進する共通技術の開発、IoT や AI 技術を活用するための知見やノウハウを持った人材を育成する環境の整備等を行い、革新的なアイディアの実現を加速する。

2. 研究開発の実施方法

(1)研究開発の実施体制

プロジェクトマネージャー(以下「PMgr」という。)に NEDO　IoT 推進部　波佐昭則を任命して、プロジェクトの進行全体を企画・管理し、そのプロジェクトに求められる技術的成果及び政策的効果を最大化させる。

NEDO は公募により研究開発実施者を選定する。必要に応じて、実施期間中に複数回公募を行う。研究開発実施者の選定においては、課題解決への道筋やビジネス化へのストーリーを設定できていることを重視する。

研究開発実施者は、企業や大学等の研究機関等(以下「団体」という。)のうち、原則として日本国内に研究開発拠点を有するものを対象とし、単独又は複数で研究開発に参加するものとする。ただし、国外の団体の特別の研究開発能力や研究施設等の活用又は国際標準獲得の観点から必要な場合は、当該の研究開発等に限り国外の団体と連携して実施することができるものとする。なお、各実施者の研究開発能力を最大限に活用し、効率的かつ効果的に研究開発を推進する観点から、NEDO は研究開発責任者(プロジェクトリーダー、以下「PL」という。)として国立大学法人東京大学　大学院情報理工学系研究科　教授　中村宏を選定し、各実施者は PL の下で研究開発を実施する。

(2)研究開発の運営管理

NEDO は、研究開発全体の管理、執行に責任を負い、研究開発の進捗のほか、外部環境の変化等を適時に把握し、必要な措置を講じるものとする。運営管理は、効率的かつ効果的な方法を取り入れることとし、次に掲げる事項を実施する。

①研究開発の進捗把握・管理

PMgr は、PL や研究開発実施者と緊密に連携し、研究開発の進捗状況を把握する。また、必要に応じ、外部有識者で構成するアドバイザリー委員会を組織し、定期的に技術的評価を受け、目標達成の見通しを常に把握することに努める。各テーマの進捗、成果の事業化の見通し等を踏まえ、必要に応じ、加速、縮小、実施体制の再構築を行う。

②技術分野における動向の把握・分析

PMgr は、プロジェクトで取り組む技術分野について、内外の技術開発動向、政策動向、市場動向等について調査し技術の普及方策を分析、検討する。なお、調査の効率化の観点から、本プロジェクトにおいて委託事業として実施する。

③研究開発テーマの評価

研究開発項目①については、研究開発を効率的に推進するためステージゲート方式を適用する。ステージゲートは原則 1 年経過した段階を目途に 1 度実施する。また、各テーマの事業期間終了後 1 年以内に事後評価を実施する。

毎年、研究開発テーマ毎の予算配分を精査する。

3．研究開発の実施期間

2018 年度から 2022 年度までの 5 年間とする。

4. 評価に関する事項

NEDO は技術評価実施規程に基づき、技術的及び政策的観点から研究開発の意義、目標達成度、成果の技術的意義並びに将来の産業への波及効果等について、プロジェクト評価を実施する。

評価の時期は、中間評価を 2020 年度、事後評価を 2023 年度とし、当該研究開発に係る技術動向、政策動向や当該研究開発の進捗状況等に応じて、前倒しする等、適宜見直すものとする。

また、中間評価結果を踏まえ必要に応じて研究開発の加速・縮小・中止等の見直しを迅速に行う。

なお、本プロジェクトは二つの研究開発項目が連携して成果を出す事業であることから、事業全体がナショナルプロジェクトに分類され、研究開発項目①及び研究開発項目②を含めてプロジェクト評価を実施する。

5. その他重要事項

(1)研究開発成果の取り扱い

①共通基盤技術の形成に資する成果の普及

研究開発実施者は、研究成果を広範に普及するよう努めるものとする。NEDO は、研究開発実施者による研究成果の広範な普及を促進する。

研究開発成果のうち共通基盤技術に係るものについては、プロジェクト内で速やかに共有した後、NEDO 及び実施者が協力して普及に努めるものとする。

②標準化施策等との連携

得られた研究開発成果については、標準化等との連携を図ることとし、標準化に向けて開発する評価手法の提案、データの提供等を積極的に行う。

③知的財産権の帰属、管理等取扱い

研究開発成果に関わる知的財産権については、「国立研究開発法人新エネルギー・産業技術総合開発機構 新エネルギー・産業技術業務方法書」第 25 条の規定等に基づき、原則として、全て委託先に帰属させることとする。なお、プロジェクト初期の段階から、事業化を見据えた知財戦略を構築し、適切な知財管理を実施する。

④知財マネジメントに係る運用

本プロジェクトは、「NEDO プロジェクトにおける知財マネジメント基本方針」を適用する。

⑤データマネジメントに係る運用

本プロジェクトは、「NEDO プロジェクトにおけるデータマネジメントに係る基本方針(委託者指定データを指定しない場合)」を適用する。

(2)「プロジェクト基本計画」の見直し

PMgr は、当該研究開発の進捗状況及びその評価結果、社会・経済的状況、国内外の研究開発動向、政策動向、研究開発費の確保状況等、プロジェクト内外の情勢変化を総合的に勘案し、必要に応じて目標達成に向けた改善策を検討し、達成目標、実施期間、実施体制等、プロジェクト基本計画を見直す等の対応を行う。

(3)関係省庁の施策との連携

目標達成のため、関係省庁が実施する関連プロジェクトと必要に応じて連携する。

本プロジェクトは、内閣府「官民研究開発投資拡大プログラム(PRISM)」に登録されており、当該事業を通じた連携を必要に応じて行う。

また、NEDO「高効率・高速処理を可能とする AI チップ・次世代コンピューティングの技術開発事業」においては、必要に応じて開発した AI チップを用いたコンピューティング技術の開発に向けて成果を連携し、IoT 社会を支える技術開発を幅広く推進することで実用化と市場展開を促進する。

(4)根拠法

本プロジェクトは、国立研究開発法人新エネルギー・産業技術総合開発機構法第 15 条 2 号、3 号及び 9 号に基づき実施する。

6. 基本計画の改訂履歴

(1)2018 年 3 月、制定
(2)2020 年 9 月 PMgr、PL、研究開発項目①の研究開発期間について修正

(別紙 1)研究開発計画

研究開発項目①「AI チップに関するアイディア実用化に向けた開発」

1．研究開発の必要性

大量データの効率的かつ高度な利用を可能とする情報の収集、蓄積、解析、セキュリティなどの技術に加え、AI・次世代コンピューティング技術がエッジやクラウド領域において求められている。中でも、自動走行やロボティクスを始めとする分野では、従来のクラウドコンピューティングからネットワークの末端(エッジ)で中心的な情報処理を行うエッジコンピューティングへの分散が不可欠になると考えられており、エッジにおける処理の重要性や価値が高まると推察されている。特にエッジにおいては限られた資源を用いて効率的に処理を行う必要があるため、性能を飛躍的に向上させられる AI 技術の活用が期待されている。この転換期を日本の IT 産業が大幅に成長するチャンスと見据え、産学官の体制による野心的な技術開発を推進することが重要である。

我が国には、国内ベンチャー企業等を中心に、AI の知見はもとより、チップの開発に係る様々なアイディアや技術を持つ企業がおり、新たなビジネスを創出させるイノベーションの種が存在している。多くの画期的なアイディアを実用化するために、AI チップに関するアイディアの実用化に向けた研究開発を加速することが不可欠である。

2．研究開発の具体的内容

AI チップに関するアイディアを実用化するため、専用の設計ツールを用いて論理設計等の基礎設計を行い、シミュレーション等により有効性を評価・検証する。さらに検証した成果をビジネス化するために企業との連携を進め、ビジネス化への道筋を立てる。
その他、AI チップの実用化に向けた研究開発において重要となる技術開発等についても、適宜開発を進める。

3．研究開発期間

原則 2 年以内とする。
研究開発を効率的に推進するため、ステージゲート方式を適用する。

4．達成目標

＜中間目標(各事業 1 年目)＞

- 現状以上の性能を有する AI 向けチップの設計を行い、評価・検証が可能な段階まで到達することを目標とする。
- 設計した AI 向けチップのビジネス化に向けたシナリオを作成する。

＜最終目標(各事業 2 年目)＞

- 設計した回路等を、シミュレーション等により、現状以上の性能を有することを検証する。

- 検証した AI 向けチップのビジネス化の道筋を立てる。

上記目標は、事業終了時点で社会実装先に求められる諸性能を満たすことを前提に、事業開始時に広く普及している技術と比較し評価する。また、事業初年度に設定する中間目標は、事業開始時期に応じて適宜修正、変更する。

上記の取組を通して、2023 年以降、順次技術の実用化率 50%以上を目指す。

研究開発項目②「AI チップ開発を加速する共通基盤技術の開発」

1．研究開発の必要性

ネットワークの末端(エッジ)で中心的な情報処理を行うエッジコンピューティング技術の重要性や価値が高まる中、日本にはベンチャー企業を中心にAIに関する高度な技術が存在するが、競争力のあるAIチップを開発するためには、AIとチップの設計、ソフトとハード双方に関する知見と技術に加え、高額な設計ツールや設計検証設備等も必要であり、これが AI チップ開発とビジネス化に向けた高いハードルとなっている。

本事業では、大学や研究機関等による高度な AI チップ開発のための共通基盤技術の開発を進めるとともに、その知見や設計・評価・検証等の開発環境を民間企業等に提供することによって、民間企業等が持つ AI チップのアイディア実用化を加速する。

2．研究開発の具体的内容

高度な AI チップ開発を加速するために必要な共通基盤技術として、世界標準の商用基盤に接続することを目的とした、AI チップの設計・評価・検証等の開発環境を整備する。また、チップ開発を促進する共通技術の開発、IoT や AI 技術を活用するための知見やノウハウを持った人材を育成する環境の整備を行い、革新的なアイディアの実現を加速する。

想定する研究開発テーマ例及び拠点整備例は下記のとおり。

(研究開発テーマ例)

- AI チップ設計のための共通基盤的な IP 技術開発
- フリーソフトウェアやオープンソースソフトウェアのセキュリティの確認、開発。
- 設計したチップの性能を検証するツールやライブラリ、手法(クラウドを使った実証手法、設計ツールの活用を容易にするための手法も含む)の開発
- その他、共通基盤技術として重要な技術

(拠点整備例)

- 集積回路設計ツールや集積回路検証装置等を使用するための研究開発拠点の整備や運用
- AI チップの研究開発に必要となる各種ツール(FPGA による実証も含む)の選定と導入
- 集積回路設計に必要な IP(Intellectual Property)等の提供とライセンス管理等
- 集積回路設計ツールや設計検証設備等の使用方法、集積回路設計技術等、IoT 技術、AI 技術を活用するためのノウハウを持った人材の育成のためのトレーニング環境等
- その他、拠点運用として重要な項目の整備

なお、整備する拠点は、AI チップの開発に対し、開発コストやリスク等から民間企業単独では挑戦できないような開発を行うための共通基盤を構築する。また、構築する共通基盤については、研究開発項目①の実施者等にも活用可能とし、AI チップ技術の開発を加速する。さらに、研究開発項目①の実施者の意向を収集し、共通基盤の機能を拡充する。

3. 研究開発期間

5 年以内とする。

4. 達成目標

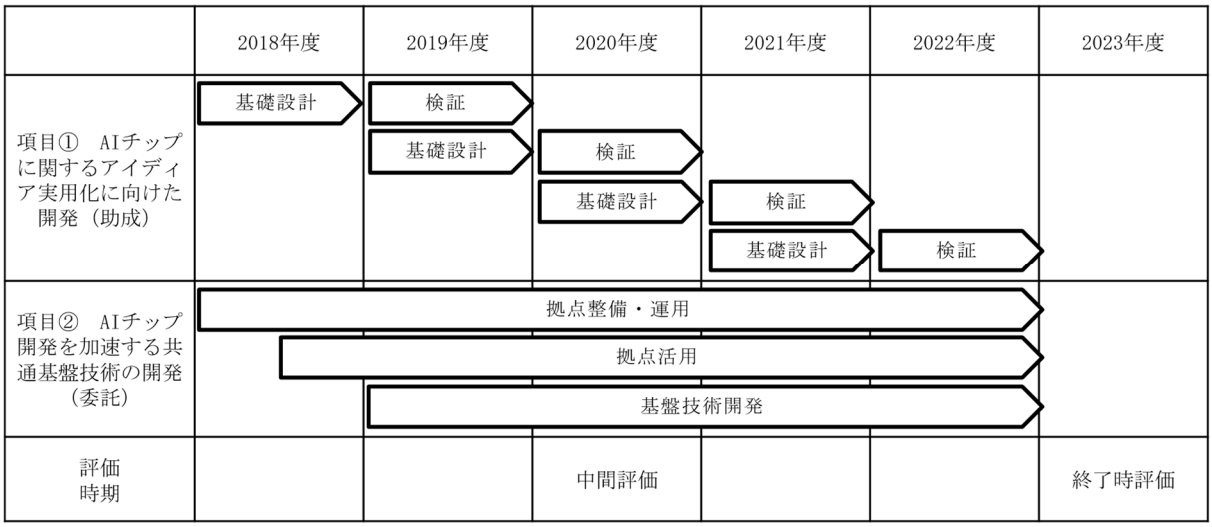
＜中間目標(2020 年度)＞

- 本事業を通じて開発、整備した AI チップ設計のための共通基盤技術、学習環境、設計環境の活用件数 10 件以上を目標とする。

＜最終目標(2022 年度)＞

- 本事業を通じて開発、整備した AI チップ設計のための共通基盤技術、学習環境、設計環境の活用件数 15 件以上を目標とする。

(別紙 2)研究開発スケジュール



●プロジェクト開始時関連資料：
総合科学技術・イノベーション会議における事前評価結果を以下に記載する。なお、パブリックコメントは未実施である。

3．1．本事業の評価結果

全体評価としては、本事業が開発対象とするIoT、AIチップ及び次世代コンピューティング技術は、Society 5.0の実現を支える重要な基盤技術であり、本事業で開発される基盤技術が様々な産業やサービスに活用され、我が国の産業競争力の維持・強化に貢献することが大いに期待されるものである。また、事業化・実用化を目指した民間における研究開発を促進する観点からも、本事業は国として主導的に取り組むべきものであり、国費を投入して実施する意義・必要性は認められる。しかしながら、今後事業を開始するにあたり解決するべき課題等があり、本課題等に対する指摘事項については、3．1．1以降の2.3．評価方法に基づく①から④の各調査項目における評価結果にて詳述する。

なお、解決するべき課題等の指摘事項については、最終目標に向けた定量的なKPIの設定のもと、国民に対する説明責任を果たすために、今後より厳格なNEDOでの評価に努め、同様な分野の研究開発との柔軟な連携、情勢の変化等による目標の再設定、体制の変更、事業の加速・中止を含めた計画変更の要否を定期的に検討していくべきである。

3．1．1　評価対象案件の実施府省等における評価の妥当性

実施府省・機関における本事業の評価は、本研究開発課題を設定し推進するNEDOが評価の実施主体となり、NEDO技術評価実施規程に基づき、本事業の事前評価が行われている。評価に当たっては、本事業の成果(アウトプット)とその効果・効用(アウトカム)達成に至るまでの「道筋」を踏まえ、本事業に応じた評価項目・評価基準が設定され、外部の専門家・有識者で構成された「研究評価委員会」を設置して外部評価が行われており、その評価結果は国民に公開されるとともに事業毎に策定されている基本計画に反映していることから、「国の研究開発評価に関する大綱的指針」(平成28年12月21日内閣総理大臣決定)(以下「大綱的指針」という。)に沿って研究開発プログラムの評価が行われ、評価結果についても特段問題となる点は見受けられなかった。

また、本事業は、実施期間が10年間を予定する長期間にわたる研究開発であることから、達成度を評価してから次の段階に進む方法を導入する計画として事業期間中に2回の中間評価(2020年度及び2024年度)の実施、2023年度前には中期計画切り替えに伴う事業見直しを予定しており、目標達成度の把握、社会経済情勢等の変化を踏まえた改善・見直しを行う計画となっている。経済産業省では、NEDOにおける評価結果を踏まえた予算要求や上位の施策への反映を行う体制となっており、適切な評価の実施体制が執られている。

今後の評価においては、大綱的指針にある研究開発プログラムとしての評価をより意識し、政策等を立案・推進する側(経済産業省・NEDO)とその下で研究開発を実施する側(今後選定される実施研

究機関)との役割分担と責任の所在を明確化し、個別の研究開発課題の活動から得られるアウトプット情報・アウトカム情報等をもとに、政策等を立案・推進する側において明確化された道筋について、アウトカム目標の達成状況や達成見込み、研究開発過程の有効性や効率性を確認していくことが望まれる。

3．1．2　関連する上位の政策・施策等の目標を達成するための道筋

「第 5 期科学技術基本計画」(平成 28 年 1 月閣議決定)の中では、我が国が目指すべき未来社会の姿である Society 5.0 の実現に向けて、サービスプラットフォームの構築に必要で速やかな強化を図るのが必要な基盤技術として、IoT、大規模データの高速・リアルタイム処理を低消費電力で実現するための「デバイス技術」、IoT の高度化に必要となる現場システムでのリアルタイム処理の高速化や多様化を実現する「エッジコンピューティング」等が挙げられている。また、「科学技術イノベーション総合戦略 2017」(平成 29 年 6 月閣議決定)では、Society 5.0 を実現するプラットフォームの構築に向けて重きを置くべき取組として基盤技術の強化が提唱されており、サイバー空間関連の基盤技術の強化としては「エッジコンピューティング等の研究開発の推進」が、フィジカル空間関連の基盤技術の強化として「超小型・超低消費電力デバイスの開発」等が挙げられている。

さらに、政府の成長戦略である「未来投資戦略 2017」(平成 29 年 6 月閣議決定)においても、イノベーション・ベンチャーを生み出す好循環システムのための重点投資すべき分野の一つとして、「人工知能の研究開発目標と産業化のロードマップ」に基づき、AI 学習効率の向上、自然言語処理、ディープラーニング翻訳、超高効率 AI 処理に資する半導体及び革新的センサー等の基盤技術開発及びその組込みシステムへの適用を加速することが挙げられている。本事業は、当該ロードマップにおける半導体アーキテクチャのうち、フェーズ 1(2020 年)までに開発を進める「AI 対応型半導体」、及びフェーズ 2(2025 年から 2030 年頃)までに開発を進める「全く新しいアーキテクチャ(脳型、量子等)」に該当している。

これら政府の計画・戦略に関連して、経済産業省は、我が国産業が目指す姿(コンセプト)として、2017 年 3 月に Connected Industries を提唱し、同コンセプトを実現するために重点分野を定めつつ政策資源を集中投入し、横断的な政策を推進するとしている。本事業は、横断的な政策である「データ活用に向けた基盤整備」の中の「革新的な AI チップ開発の促進」に位置付けられ、2018 年度の経済産業政策の重点施策の一つとされている。

以上の関連する上位の政策・施策等の目標を達成するため、本事業の成果とその目標達成に向けた道筋には妥当性があり、非連続なイノベーションを創出する挑戦的な研究開発を進める戦略性が認められる。

本事業により創出される効果・効用は広く産業や社会全体に及ぶものであり、また、例えば自動運転や産業機械、医療機器といった AI 関連分野における今後の国際市場に大きく影響するもので、我が国産業の国際競争力の強化にとって極めて重要な技術となり得るものである。このため、本分野は世界的に様々な方向性を模索している段階であり、長期的な視点での予測が難しい状況であるが、本分野における総合科学技術・イノベーション会議や人工知能技術戦略会議等の政府の関連会議におけ

る将来のグランドデザインやシナリオを関係者間で共有しつつ、経済産業省が主体となってそれらを踏まえた本分野における我が国産業の育成・強化に向けた戦略やアウトカム目標とともに、それらを達成する道筋を時間軸に沿ってより明確化していく必要がある。

3．1．3 研究開発の目標・実施内容

(1) 研究開発の実施内容

次世代コンピューティングの技術開発に関しては、半導体やコンピューター分野での世界における我が国の現状のプレゼンスを考えると、研究開発の意義は認められる。しかしながら、社会実装や国際競争力の観点から、単にハードウェアの研究・開発のみならず、ミドルウェア開発、アルゴリズム開発が重要となっており、また、ユーザーに近いアプリケーション・サービスと基礎的なコンピュータサイエンスでの研究開発を強化する必要がある。この観点から、より戦略的な研究開発の目標や実施内容を検討するためには、政府が目指す Society 5.0 や Connected Industries を実現するサービスや応用を想定したトップダウン的思想により、我が国が世界に対し競争力を有するアプリケーションを具体的に特定し、育成すべき産業の方向性や達成すべき機能／非機能要件を明確にした上で、エッジ側のみならずサイバー・フィジカル界面層技術やネットワーク技術等を含めたサイバー・フィジカル・システムに関する技術全体の進展を俯瞰したアーキテクチャの検討が必要不可欠であり、同様の研究開発を行う機関や企業の動向と連動して、本事業による研究開発目標の更なる具体化を図る必要がある。

また、本事業の成果を我が国産業の国際競争力強化につなげていくためには、国際標準化を睨んだ共通基盤技術としての横断的な活動とそれに関連したマネジメントが必要であり、テーマによらない共通基盤を築き上げ、それを国際標準化した上で、個別テーマ毎のアプリケーションを開発することも考慮すべきである。

(2) 府省連携、産学官での連携

次世代コンピューティングの技術開発は、医療、ヘルスケア、防災・減災、インフラ老朽化、インフラ維持等社会が直面する社会課題や、新素材、創薬等のサイエンス領域といった幅広い応用が期待できるものであり、国家として戦略的に取組むことが重要である。その実施にあたっては、総合科学技術・イノベーション会議が進める IMPACT 等で実施されている既存プロジェクト(例：量子人工脳を量子ネットワークでつなぐ高度知識社会基盤の実現)や関連府省の同領域の研究開発、国内企業等との連携を積極的に進めることが必要である。

また、総合科学技術・イノベーション会議においては、2018 年度に官民研究開発投資拡大プログラム(PRISM)を新たに創設し、そのターゲット領域として、「革新的フィジカル空間基盤技術」を設定する予定である。同プログラムにおいては、経済産業省が実施する「AI チップ開発加速のためのイノベーション推進事業(2018 年度予算概算要求額 26 億円(新規))」を含め、各府省が実施するセンサーやエッジコンピューティング、アクチュエータ等に係る研究開発(対象施策)を政府全体として一体的に進めるべく支援する方針である。

本事業については、エネルギー対策特別会計により予算措置がなされる見込みであり、PRISM の対象施策とはしないものの、同ターゲット領域に該当する施策であることから、政府全体として、本領域に係る研究開発と整合性を持って進めていく観点から、総合科学技術・イノベーション会議や PRISM 革新的フィジカル基盤技術を担当する領域統括等との緊密な連携の下、推進すべきである。そのため、本事業の実施に当たり、その実施主体である NEDO と総合科学技術・イノベーション会議とで、PRISM との連携のための体制の整備や、具体的な連携の進め方等に係る検討を進める必要がある。

3．1．4 研究開発マネジメント

NEDO における研究開発マネジメントとしては、外部有識者で構成された研究評価委員会を設置して、外部評価による事前評価(実施済)及び中間評価(今後、概ね 3 年毎に実施予定)が実施され、別途設置予定の外部有識者によるアドバイザリー委員会においては、事業の進捗に応じた技術的課題に対する助言が行われこととなっており、それらの結果は実施研究機関の事業計画や予算配分等に適時反映する方針としている。以上から、適切な研究開発マネジメント体制が整備されているものと評価できる。一方、本事業において非連続なイノベーションの創出を加速するためには、研究開発を実施する主体の長(リーダー)の権限強化、成果の最大化のための体制作り、有機的な連携や多様な専門知の結集による実用化までを考慮した取組等をそのマネジメントにおいてさらに目指すべきである。また、マネジメントとプロデューサーの役割を担うプログラムマネージャー等の導入や新しいアイディアを持つ研究者への機会の付与等の挑戦的な研究開発の推進に適した手法や評価方法を検討しつつ、情勢変化を踏まえて実施計画や体制を柔軟に見直す PDCA プロセスを適切に設定するべきである。

本事業における実施研究機関やリーダーは事業の開始後に選定され、設定された課題の下で研究開発が実施されていくことになるが、今後明確化されていく本分野における我が国産業の育成・強化に向けた戦略やアウトカム目標、それらを達成する道筋等を考慮して、特に産業化を担う主体を意識した選定が行われ、関連府省等における同領域の研究開発動向と協調して研究開発が実施されていくべきである。

また、我が国における本研究領域での人材や中小・ベンチャー企業を早急に育成する必要があり、「科学技術イノベーション総合戦略 2017」においても我が国におけるイノベーション創出に向けた人材、知、資金の好循環システムの構築として、オープンイノベーションの推進、新規事業に挑戦する人材を含む中小・ベンチャー企業の創出、知的財産・標準化戦略及び制度等の取組の強化を掲げていることから、本事業を推進する中でこれらの観点を考慮した研究開発マネジメントを実施するべきである。

●研究発表・講演、論文、特許等のリスト

(1) 研究発表・講演

番号	発表者	所属	タイトル	学会名・イベント名等	発表年月
1	内山邦男	国立研究開発法人産業技術総合研究所	NEDO事業：「AIチップ開発加速のためのイノベーション推進事業」AIチップ設計拠点	第37回エナジーハーベストコンソーシアム総会	2019年7月
2	内山邦男	国立研究開発法人産業技術総合研究所	NEDO事業：「AIチップ開発加速のためのイノベーション推進事業」「AIチップ設計拠点」紹介および運営方針	第1回NV-FPGA研究会	2019年7月
3	内山邦男	国立研究開発法人産業技術総合研究所	NEDO事業：「AIチップ開発加速のためのイノベーション推進事業」AIチップ設計拠点	第1回トリリオンノード研究会	2019年8月
4	内山邦男	国立研究開発法人産業技術総合研究所	AIチップの開発を加速するAIチップ設計拠点	学振154委員会第113回研究会	2019年9月
5	内山邦男	国立研究開発法人産業技術総合研究所	論理エミュレーション技術への期待-AIチップ設計拠点の立場から-	Cadence検証フォーラム	2019年9月
6	内山邦男	国立研究開発法人産業技術総合研究所	AIチップ設計拠点	RISC-V Day Tokyo 2020	2020年11月
7	内山邦男	国立研究開発法人産業技術総合研究所	AIチップ設計拠点 -新しいパラダイムの構築に向けて-	DAシンポジウム2020	2020年9月
8	内山邦男	国立研究開発法人産業技術総合研究所	AIチップ設計拠点	TRASIO第二回 オープンフォーラム	2021年10月
9	長谷川淳	国立大学法人東京大学	Hot Interconnects における技術動向	AIチップ設計拠点フォーラム(第28回)	2021年10月
10	内山邦男	国立研究開発法人産業技術総合研究所	RISC-Vとオープン化への期待 AIチップ設計拠点の観点から	RISC-V Days Tokyo 2021 Autumn	2021年11月
11	池田誠	国立大学法人東京大学	VDEC / d.lab & AI拠点 ～チップの民主化とRISC-V～	RISC-V Days Tokyo 2021 Autumn	2021年11月

12	五十嵐泰史	国立研究開発法人産業技術総合研究所	IEDMにおける半導体技術の開発動向	AIチップ設計拠点フォーラム(第30回)	2021年12月
13	内山邦男	国立研究開発法人産業技術総合研究所	AIチップ設計拠点 -日本のAIチップに向けた取り組みと世界の動き-	電子デバイス界面テクノロジ研究会(EDIT26)	2021年1月
14	内山邦男	国立研究開発法人産業技術総合研究所	AIチップ設計拠点 -パラダイムシフトの時代に-	Design Solution Forum 2020	2021年2月
15	内山邦男	国立研究開発法人産業技術総合研究所	AIチップ設計拠点	RISC-V Days Tokyo 2021 Spring	2021年4月
16	荒川文男	国立大学法人東京大学	COOL Chips 24 における先端チップの動向	AIチップ設計拠点フォーラム(第22回)	2021年4月
17	荒川文男	国立大学法人東京大学	エミュレータ上でのRISC-Vプロセッサによる Linuxブート	RISC-V Days Tokyo 2021 Spring	2021年4月
18	池田誠	国立大学法人東京大学	チップの民主化とVDEC, d.labおよびAI拠点	RISC-V Days Tokyo 2021 Spring	2021年4月
19	長谷川淳 中一郎	国立大学法人東京大学 国立研究開発法人産業技術総合研究所	AI アクセラレータ向け評価プラットフォームと評価チップ(AI-One)	AIチップ設計拠点フォーラム(第23回)	2021年5月
20	内山邦男 長谷川淳	国立研究開発法人産業技術総合研究所 国立大学法人東京大学	AIチップ設計拠点-エッジ向けAIチップの開発を加速	LSIとシステムのワークショップ(電子情報通信学会)	2021年5月
21	五十嵐泰史	国立研究開発法人産業技術総合研究所	2021 VLSI Technology に見る半導体技術動向	AIチップ設計拠点フォーラム(第24回)	2021年6月
22	更田裕司 大内真一	国立研究開発法人産業技術総合研究所	2021 Symposium ON VLSI Circuits での AI チップ研究動向	AIチップ設計拠点フォーラム(第25回)	2021年7月
23	内山邦男	国立研究開発法人産業技術総合研究所	AIチップ設計拠点	第1回 産総研次世代コンピューティング基盤開発拠点シンポジウム	2021年7月

24	荒川文男	国立大学法人東京大学	Hot Chips 33 における AI チップ研究開発動向	AIチップ設計拠点フォーラム(第26回)	2021年8月
25	池田誠、長谷川淳	国立大学法人東京大学	回路設計・アーキテクチャ設計・アルゴリズム設計とSOC設計	【フォーラム開催】AIチップ設計拠点フォーラム(第40回)	2022年10月
26	長谷川淳、中一郎	国立研究開発法人産業技術総合研究所・国立大学法人東京大学	複数のヘテロジニアスIPコアを評価するためのSOCプラットフォームの構築と評価	【フォーラム開催】AIチップ設計拠点フォーラム(第40回)	2022年10月
27	内山邦男	国立研究開発法人産業技術総合研究所	AIチップの開発動向とAIチップ設計拠点の活動	第13回光・電波フォーラム	2022年11月
28	長谷川淳、中一郎	国立研究開発法人産業技術総合研究所・国立大学法人東京大学	複数のヘテロジニアスIPコアを評価するためのSOCプラットフォームの構築と評価	Design Solution Forum 2022	2022年11月
29	長谷川淳、中一郎	国立研究開発法人産業技術総合研究所・国立大学法人東京大学	複数のヘテロジニアスIPコアを評価・デモするためのSOCプラットフォームの構築と評価	Edge Tech 2022	2022年11月
30	大内真一	国立研究開発法人産業技術総合研究所	AI-accelerator proof Of concept by a multi-IP chip project	2022 IEEE CPMT Symposium Japan (ICSJ)	2022年11月
31	荒川文男	国立大学法人東京大学	AI-Oneプラットフォームのハードウエアエミュレータ上での検証環境構築	【Webフォーラム開催】AIチップ設計拠点フォーラム(第42回)	2022年12月
32	藤田昌宏	国立大学法人東京大学	確実に動作させるためのSOC検証技術：エミュレーション、プロトタイピング、そして形式的検証	【Webフォーラム開催】AIチップ設計拠点フォーラム(第42回)	2022年12月
33	池田誠	国立大学法人東京大学	AIチップ設計拠点および成果例紹介	先進半導体・デザインで拓く未来社会創成シンポジウム	2022年1月
34	内山邦男	国立研究開発法人産業技術総合研究所	AIチップ開発の現状～設計環境の整備と加速に向けて	ITmedia Virtual EXPO 2022春(アイティメディア	2022年2月

				EE TImEs Japan)	
35	更田裕司	国立研究開発法人産業技術総合研究所	ISSCC2022におけるAIチップ研究動向	AIチップ設計拠点フォーラム(第30回)	2022年2月
36	長谷川淳 中一郎	国立大学法人東京大学 国立研究開発法人産業技術総合研究所	AI-One チップおよび評価プラットフォーム	AIチップ設計拠点フォーラム(第33回)	2022年3月
37	大内真一	国立研究開発法人産業技術総合研究所	AI-One 評価プラットフォーム開発協力会社からのプレゼンテーション	AIチップ設計拠点フォーラム(第33回)	2022年3月
38	更田裕司	国立研究開発法人産業技術総合研究所	Symposium ON Technology aNd Circuits 2022 におけるAIチップ向け回路設計技術の研究動向	【Webフォーラム開催】AIチップ設計拠点フォーラム(第36回)	2022年6月
39	内山邦男	国立研究開発法人産業技術総合研究所	ポストムーアの半導体技術とAIチップ設計拠点の活動	RISC-V Day Tokyo 2022 Spring	2022年6月
40	五十嵐泰史	国立研究開発法人産業技術総合研究所	2022 Symposium ON VLSI Technologyにみる半導体技術動向	【Webフォーラム開催】AIチップ設計拠点フォーラム(第37回)	2022年7月
41	長谷川淳、島津之彦、池田誠、中一郎、大内真一	国立研究開発法人産業技術総合研究所・国立大学法人東京大学	SOC PLATFORM FOR HETEROGENEOUS MULTIPLE IP CORE EVALUATION	59th 2022 Design Automation Conference	2022年7月
42	池田誠、長谷川淳	国立大学法人東京大学	Vail WorkshopとDAC 2022に見る技術動向	【Webフォーラム開催】AIチップ設計拠点フォーラム(第37回)	2022年7月
43	内山邦男	国立研究開発法人産業技術総合研究所	AIチップの開発動向とAIチップ設計拠点	HIYA・3DPI共催研究会	2022年8月
44	荒川文男	国立大学法人東京大学	Hot Chips 2022にみる最先端チップの開発動向	【Webフォーラム開催】AIチップ設計拠点フォーラム(第39回)	2022年9月

45	内山邦男	国立研究開発法人産業技術総合研究所	AIチップ設計拠点 ―半導体チップの開発ハブとしてー	NV-FPGA Initiative 第4回公開シンポジウム	2023年3月
46	更田裕司	国立研究開発法人産業技術総合研究所	ISSCC2023におけるAIチップ研究動向	【Webフォーラム開催】AIチップ設計拠点フォーラム(第45回)	2023年3月
47	大内真一	国立研究開発法人産業技術総合研究所	マルチIP SOCによるドメイン・スペシフィック・アクセラレータのNREコスト削減	第70回応用物理学会春季学術講演会	2023年3月

(2) 特許等

番号	出願者	出願番号	国内・外国・PCT	出願日	状態	名称
1	株式会社テックイデア	特願2020-550012 (PCT/JP2019/032573)	PCT	2019.8.21	公開済	イメージセンサ
2	株式会社カイ	特願2020-216728	国内	2020.12.25	公開済	癌の再発可能性を判定する再発判定装置および再発判定方法
3	株式会社テクノアクセルネットワークス	特願2021-118796	国内	2021.7.19	公開済	データベース管理システム及び通信システム
4	―	―	国内	―	出願済	―
5	―	―	国内	―	出願済	―
6	―	―	国内	―	出願済	―
7	―	―	国内	―	出願済	―
8	メイビスデザイン株式会社	特願2023-074432	国内	2023.4.28	登録済	相互接続制御回路

(3)成果普及の努力

番号	発表者	所属	タイトル	雑誌名・学会名・イベント名等	発表年月
1	国立研究開発法人産業技術総合研究所・国立大学法人東京大学	国立研究開発法人産業技術総合研究所・国立大学法人東京大学	AIチップ開発を支援する「AIチップ設計拠点」を構築 – わが国の革新的なAIチップアイディアの実現を加速 –	産業技術総合研究所ウェブページ 東京大学工学部ウェブページ	2018年12月

2	国立研究開発法人産業技術総合研究所・国立大学法人東京大学	国立研究開発法人産業技術総合研究所・国立大学法人東京大学	AIチップ設計拠点フォーラム(第1回)	フォーラム	2019年5月
3	国立研究開発法人産業技術総合研究所・国立大学法人東京大学	国立研究開発法人産業技術総合研究所・国立大学法人東京大学	AIチップ設計拠点フォーラム(第2回)	フォーラム	2019年6月
4	国立研究開発法人産業技術総合研究所・国立大学法人東京大学	国立研究開発法人産業技術総合研究所・国立大学法人東京大学	AIチップ設計拠点フォーラム(第3回)	フォーラム	2019年7月
5	国立研究開発法人産業技術総合研究所・国立大学法人東京大学	国立研究開発法人産業技術総合研究所・国立大学法人東京大学	AIチップ設計拠点フォーラム(第4回)	フォーラム	2019年9月
6	国立研究開発法人産業技術総合研究所・国立大学法人東京大学	国立研究開発法人産業技術総合研究所・国立大学法人東京大学	AIチップ設計拠点フォーラム(第5回)	フォーラム	2019年10月
7	国立研究開発法人産業技術総合研究所・国立大学法人東京大学	国立研究開発法人産業技術総合研究所・国立大学法人東京大学	AIチップ開発のための設計拠点	CEATEC2019	2019年10月
8	NEDO(国立研究開発法人新エネルギー・産業技術総合開発機構) 国立研究開発法人産業技術総合研究所 国立大学法人東京大学	NEDO(国立研究開発法人新エネルギー・産業技術総合開発機構) 国立研究開発法人産業技術総合研究所 国立大学法人東京大学	AIチップ開発加速のための「AIチップ設計拠点」が稼働開始 ―設計・評価ツールの提供により、中小・ベンチャーのチップ開発加速を目指す―	NEDOウェブページ 産業技術総合研究所ウェブページ 東京大学工学部ウェブページ	2019年10月
9	国立研究開発法人産業技術総合研究所・国立大学法人東京大学	国立研究開発法人産業技術総合研究所・国立大学法人東京大学	AIチップ設計拠点フォーラム(第6回)	フォーラム	2019年11月
10	国立研究開発法人産業技術総合研究所・国立大学法人東京大学	国立研究開発法人産業技術総合研究所・国立大学法人東京大学	AIチップ設計拠点フォーラム(第7回)	フォーラム	2019年12月

11	国立研究開発法人産業技術総合研究所・国立大学法人東京大学	国立研究開発法人産業技術総合研究所・国立大学法人東京大学	AIチップ開発加速のためのイノベーション推進事業	NEDOフェスタIN関西2019	2019年12月
12	国立大学法人東京大学	国立大学法人東京大学	高位合成ツール「Catapult」セミナー	セミナー	2019年12月
13	国立研究開発法人産業技術総合研究所・国立大学法人東京大学	国立研究開発法人産業技術総合研究所・国立大学法人東京大学	AIチップ設計拠点活動開始記念公開シンポジウム	シンポジウム	2019年2月
14	国立研究開発法人産業技術総合研究所・国立大学法人東京大学	国立研究開発法人産業技術総合研究所・国立大学法人東京大学	AIチップ設計拠点フォーラム(第8回)	フォーラム	2020年1月
15	国立研究開発法人産業技術総合研究所・国立大学法人東京大学	国立研究開発法人産業技術総合研究所・国立大学法人東京大学	エミュレータとエミュレータ・シミュレータ協調検証環境セミナー	セミナー	2020年1月
16	国立研究開発法人産業技術総合研究所・国立大学法人東京大学	国立研究開発法人産業技術総合研究所・国立大学法人東京大学	AIチップ設計拠点フォーラム(第9回)	webフォーラム	2020年3月
17	国立大学法人東京大学	国立大学法人東京大学	論理検証に関するWebセミナー	webセミナー	2020年3月
18	国立研究開発法人産業技術総合研究所・国立大学法人東京大学	国立研究開発法人産業技術総合研究所・国立大学法人東京大学	AIチップ設計拠点フォーラム(第10回)	webフォーラム	2020年4月
19	国立研究開発法人産業技術総合研究所・国立大学法人東京大学	国立研究開発法人産業技術総合研究所・国立大学法人東京大学	AIチップ設計拠点フォーラム(第11回)	webフォーラム	2020年5月
20	国立研究開発法人産業技術総合研究所・国立大学法人東京大学	国立研究開発法人産業技術総合研究所・国立大学法人東京大学	AIチップ設計拠点フォーラム(第12回)	webフォーラム	2020年6月
21	国立研究開発法人産業技術総合研究所・国立大学法人東京大学	国立研究開発法人産業技術総合研究所・国立大学法人東京大学	AIチップ設計拠点フォーラム(第13回)	webフォーラム	2020年7月

22	国立研究開発法人産業技術総合研究所・国立大学法人東京大学	国立研究開発法人産業技術総合研究所・国立大学法人東京大学	AIチップ設計拠点フォーラム(第14回)	webフォーラム	2020年8月
23	国立研究開発法人産業技術総合研究所・国立大学法人東京大学	国立研究開発法人産業技術総合研究所・国立大学法人東京大学	AIチップ設計拠点フォーラム(第15回)	webフォーラム	2020年9月
24	国立研究開発法人産業技術総合研究所・国立大学法人東京大学	国立研究開発法人産業技術総合研究所・国立大学法人東京大学	AIチップ設計拠点フォーラム(第16回)	webフォーラム	2020年10月
25	国立研究開発法人産業技術総合研究所・国立大学法人東京大学	国立研究開発法人産業技術総合研究所・国立大学法人東京大学	高位合成セミナー	webセミナー	2020年10月
26	国立研究開発法人産業技術総合研究所・国立大学法人東京大学	国立研究開発法人産業技術総合研究所・国立大学法人東京大学	AIチップ設計拠点フォーラム(第17回)	webフォーラム	2020年11月
27	国立研究開発法人産業技術総合研究所・国立大学法人東京大学	国立研究開発法人産業技術総合研究所・国立大学法人東京大学	AIチップ設計拠点フォーラム(第18回)	webフォーラム	2020年12月
28	国立研究開発法人産業技術総合研究所・国立大学法人東京大学	国立研究開発法人産業技術総合研究所・国立大学法人東京大学	AIチップ設計拠点フォーラム(第19回)	webフォーラム	2021年1月
29	国立研究開発法人産業技術総合研究所・国立大学法人東京大学	国立研究開発法人産業技術総合研究所・国立大学法人東京大学	AIチップ設計拠点フォーラム(第20回)	webフォーラム	2021年2月
30	国立研究開発法人産業技術総合研究所・国立大学法人東京大学	国立研究開発法人産業技術総合研究所・国立大学法人東京大学	エミュレータ・シミュレータ協調検証セミナー(1)	webセミナー	2021年2月
31	国立研究開発法人産業技術総合研究所・国立大学法人東京大学	国立研究開発法人産業技術総合研究所・国立大学法人東京大学	AIチップ設計拠点フォーラム(第21回)	webフォーラム	2021年3月

32	国立研究開発法人産業技術総合研究所・国立大学法人東京大学	国立研究開発法人産業技術総合研究所・国立大学法人東京大学	エミュレータ・シミュレータ協調検証セミナー(2)	webセミナー	2021年3月
33	国立研究開発法人産業技術総合研究所・国立大学法人東京大学	国立研究開発法人産業技術総合研究所・国立大学法人東京大学	論理エミュレータ技術講座(1)	webセミナー	2021年3月
34	国立研究開発法人産業技術総合研究所・国立大学法人東京大学	国立研究開発法人産業技術総合研究所・国立大学法人東京大学	AIチップ設計拠点フォーラム(第22回)	webフォーラム	2021年4月
35	国立研究開発法人産業技術総合研究所・国立大学法人東京大学	国立研究開発法人産業技術総合研究所・国立大学法人東京大学	論理エミュレータ技術講座(2)	webセミナー	2021年4月
36	国立研究開発法人産業技術総合研究所・国立大学法人東京大学	国立研究開発法人産業技術総合研究所・国立大学法人東京大学	AIチップ設計拠点フォーラム(第23回)	webフォーラム	2021年5月
37	NEDO(国立研究開発法人新エネルギー・産業技術総合開発機構) 国立研究開発法人産業技術総合研究所 国立大学法人東京大学	NEDO(国立研究開発法人新エネルギー・産業技術総合開発機構) 国立研究開発法人産業技術総合研究所 国立大学法人東京大学	複数のAIアクセラレータを搭載した評価チップの設計を完了、試作を開始 ―短期間で低コストのAIチップ設計・評価手法の確立へ―	NEDOウェブページ 産業技術総合研究所ウェブページ 東京大学工学部ウェブページ	2021年5月
38	国立研究開発法人産業技術総合研究所・国立大学法人東京大学	国立研究開発法人産業技術総合研究所・国立大学法人東京大学	論理エミュレータ技術講座(3)	webセミナー	2021年5月
39	国立研究開発法人産業技術総合研究所・国立大学法人東京大学	国立研究開発法人産業技術総合研究所・国立大学法人東京大学	AIチップ設計拠点フォーラム(第24回)	webフォーラム	2021年6月
40	国立研究開発法人産業技術総合研究所・国立大学法人東京大学	国立研究開発法人産業技術総合研究所・国立大学法人東京大学	エミュレータを利用した検証の高速化に向けたテストベンチ作成方法	webセミナー	2021年6月

41	国立研究開発法人産業技術総合研究所・国立大学法人東京大学	国立研究開発法人産業技術総合研究所・国立大学法人東京大学	AIチップ設計拠点フォーラム(第25回)	webフォーラム	2021年7月
42	国立研究開発法人産業技術総合研究所・国立大学法人東京大学	国立研究開発法人産業技術総合研究所・国立大学法人東京大学	シミュレータ・エミュレータによる協調検証環境(EmuForge)を用いた検証効率向上	webセミナー	2021年7月
43	渡邉 幸美 森 昭人	ふくおかIST 企業支援G゜	AIチップ設計サテライト拠点オープンソースEDA利用説明会	オープンソースEDA説明会	2021年7月
44	国立研究開発法人産業技術総合研究所・国立大学法人東京大学	国立研究開発法人産業技術総合研究所・国立大学法人東京大学	AIチップ設計拠点フォーラム(第26回)	webフォーラム	2021年8月
45	国立研究開発法人産業技術総合研究所・国立大学法人東京大学	国立研究開発法人産業技術総合研究所・国立大学法人東京大学	AIチップ設計拠点フォーラム(第27回)	webフォーラム	2021年9月
46	国立研究開発法人産業技術総合研究所・国立大学法人東京大学	国立研究開発法人産業技術総合研究所・国立大学法人東京大学	AIチップ設計拠点フォーラム(第28回)	webフォーラム	2021年10月
47	国立研究開発法人産業技術総合研究所・国立大学法人東京大学	国立研究開発法人産業技術総合研究所・国立大学法人東京大学	AIチップ設計拠点フォーラム(第29回)	webフォーラム	2021年11月
48	国立研究開発法人産業技術総合研究所・国立大学法人東京大学	国立研究開発法人産業技術総合研究所・国立大学法人東京大学	エミュレータ初心者講習会	webセミナー	2021年11月
49	国立研究開発法人産業技術総合研究所・国立大学法人東京大学	国立研究開発法人産業技術総合研究所・国立大学法人東京大学	AIチップ設計拠点フォーラム(第30回)	webフォーラム	2021年12月
50	国立研究開発法人産業技術総合研究所・国立大学法人東京大学	国立研究開発法人産業技術総合研究所・国立大学法人東京大学	AIチップ設計拠点フォーラム(第31回)	webフォーラム	2022年1月
51	国立研究開発法人産業技術総合研究	国立研究開発法人産業技術総合研究	RISC-VベースSOCのソフト・ハード協調検証トレーニング	webセミナー	2022年1月

	所・国立大学法人東京大学	所・国立大学法人東京大学			
52	渡邉 幸美 森 昭人	ふくおかIST 企業支援G°	オープンソースEDA環境の説明	オープンソースEDA講演会	2022年1月
53	国立研究開発法人産業技術総合研究所・国立大学法人東京大学	国立研究開発法人産業技術総合研究所・国立大学法人東京大学	AIチップ設計拠点フォーラム(第32回)	webフォーラム	2022年2月
54	国立研究開発法人産業技術総合研究所・国立大学法人東京大学	国立研究開発法人産業技術総合研究所・国立大学法人東京大学	AIチップ設計拠点フォーラム(第33回)	webフォーラム	2022年3月
55	国立研究開発法人産業技術総合研究所・国立大学法人東京大学	国立研究開発法人産業技術総合研究所・国立大学法人東京大学	論理エミュレータワークショップ	webセミナー	2022年3月
56	NEDO(国立研究開発法人新エネルギー・産業技術総合開発機構) 国立研究開発法人産業技術総合研究所 国立大学法人東京大学	NEDO(国立研究開発法人新エネルギー・産業技術総合開発機構) 国立研究開発法人産業技術総合研究所 国立大学法人東京大学	複数のAIアクセラレータを搭載した実証チップ「AI-One」の動作を確認 ―従来比45%以下の短期間で低コストのAIチップ設計・評価が可能に―	NEDOウェブページ 産業技術総合研究所ウェブページ 東京大学工学部ウェブページ	2022年3月
57	国立研究開発法人産業技術総合研究所・国立大学法人東京大学	国立研究開発法人産業技術総合研究所・国立大学法人東京大学	AIチップ設計拠点フォーラム(第34回)	webフォーラム	2022年4月
58	国立研究開発法人産業技術総合研究所・国立大学法人東京大学	国立研究開発法人産業技術総合研究所・国立大学法人東京大学	エミュレータセミナー	webセミナー	2022年4月
59	国立研究開発法人産業技術総合研究所・国立大学法人東京大学	国立研究開発法人産業技術総合研究所・国立大学法人東京大学	AIチップ設計拠点フォーラム(第35回)	webフォーラム	2022年5月
60	国立研究開発法人産業技術総合研究所・国立大学法人東京大学	国立研究開発法人産業技術総合研究所・国立大学法人東京大学	2022エミュレータ初心者講習会	webセミナー	2022年6月

61	国立研究開発法人産業技術総合研究所・国立大学法人東京大学	国立研究開発法人産業技術総合研究所・国立大学法人東京大学	AIチップ設計拠点フォーラム(第36回)	webフォーラム	2022年6月
62	国立研究開発法人産業技術総合研究所・国立大学法人東京大学	国立研究開発法人産業技術総合研究所・国立大学法人東京大学	AIチップ設計拠点フォーラム(第37回)	webフォーラム	2022年7月
63	国立研究開発法人産業技術総合研究所・国立大学法人東京大学	国立研究開発法人産業技術総合研究所・国立大学法人東京大学	AIチップ設計拠点フォーラム(第38回)	webフォーラム	2022年8月
64	国立研究開発法人産業技術総合研究所・国立大学法人東京大学	国立研究開発法人産業技術総合研究所・国立大学法人東京大学	AIチップ設計拠点フォーラム(第39回)	webフォーラム	2022年9月
65	国立研究開発法人産業技術総合研究所・国立大学法人東京大学	国立研究開発法人産業技術総合研究所・国立大学法人東京大学	RISC-VベースSOCのシミュレーション・エミュレーション協調検証トレーニング	webセミナー	2022年9月
66	国立研究開発法人産業技術総合研究所・国立大学法人東京大学	国立研究開発法人産業技術総合研究所・国立大学法人東京大学	第2回エミュレータワークショップ	webセミナー	2022年9月
67	国立研究開発法人産業技術総合研究所・国立大学法人東京大学	国立研究開発法人産業技術総合研究所・国立大学法人東京大学	AIチップ設計拠点フォーラム(第40回)	webフォーラム	2022年10月
68	江藤　文香 森 昭人	ふくおかIST　企業支援G°	サテライト拠点のオープンソースEDA環境について	オープンソースEDA講演会	2022年11月
69	国立研究開発法人産業技術総合研究所・国立大学法人東京大学	国立研究開発法人産業技術総合研究所・国立大学法人東京大学	AIチップ設計拠点フォーラム(第41回)	webフォーラム	2022年11月
70	国立研究開発法人産業技術総合研究所・国立大学法人東京大学	国立研究開発法人産業技術総合研究所・国立大学法人東京大学	AIチップ設計拠点フォーラム(第42回)	webフォーラム	2022年12月
71	国立研究開発法人産業技術総合研究	国立研究開発法人産業技術総合研究	AIチップ設計拠点フォーラム(第43回)	webフォーラム	2023年1月

	所・国立大学法人東京大学	所・国立大学法人東京大学			
72	国立研究開発法人産業技術総合研究所・国立大学法人東京大学	国立研究開発法人産業技術総合研究所・国立大学法人東京大学	202302エミュレータ初心者講習会	webセミナー	2023年2月
73	国立研究開発法人産業技術総合研究所・国立大学法人東京大学	国立研究開発法人産業技術総合研究所・国立大学法人東京大学	AIチップ設計拠点フォーラム(第44回)	webフォーラム	2023年2月
74	国立研究開発法人産業技術総合研究所・国立大学法人東京大学	国立研究開発法人産業技術総合研究所・国立大学法人東京大学	AIチップ設計拠点フォーラム(第45回)	webフォーラム	2023年3月
75	国立研究開発法人産業技術総合研究所・国立大学法人東京大学	国立研究開発法人産業技術総合研究所・国立大学法人東京大学	RISC-Vベース学習用SOCフレームワークAthOsによる検証トレーニング	ハイブリッドセミナー	2023年3月
76	NEDO(国立研究開発法人新エネルギー・産業技術総合開発機構) 国立研究開発法人産業技術総合研究所 国立大学法人東京大学	NEDO(国立研究開発法人新エネルギー・産業技術総合開発機構) 国立研究開発法人産業技術総合研究所 国立大学法人東京大学	「AIチップ設計拠点」の本格運用を開始 – 設計環境の提供により、中小・ベンチャー企業などのAIチップ開発加速を目指す –	NEDOウェブページ 産業技術総合研究所ウェブページ 東京大学工学部ウェブページ	2023年3月
77	国立研究開発法人産業技術総合研究所・国立大学法人東京大学	国立研究開発法人産業技術総合研究所・国立大学法人東京大学	第3回エミュレータワークショップ	webセミナー	2023年3月

２．分科会公開資料

次ページより、推進部署・実施者が、分科会において事業を説明する際に使用した資料を示す。

資料5

「AIチップ開発加速のためのイノベーション推進事業」（終了時評価）
2018年度～2022年度　5年間
事業の概要（公開版）

2023年10月23日

国立研究開発法人 新エネルギー・産業技術総合開発機構
IoT推進部　イノベーション推進部

AIチップ開発加速のためのイノベーション推進事業

IoT推進部
イノベーション推進部

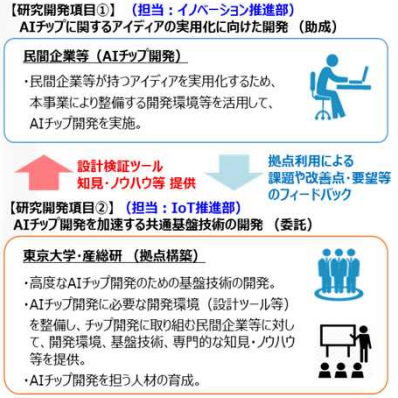
関連する技術戦略：「コンピューティング／物性・電子デバイス分野の技術戦略」、「人工知能を支えるハードウェア分野の技術戦略」

事業類型：基礎的・基盤的研究開発

事業の概要

IoT社会の到来で大量のデータを効率的かつ高度に利活用するためには、エッジでの情報処理が不可欠である。エッジにおいて限られた資源を用いて効率的に処理を行うAIチップを開発するためには、**AIとチップ設計、ソフトとハード双方に関する知見と技術に加え、高額な設計ツールや設計検証設備等も必要**であり、これがAIチップ開発とビジネス化に向けた高いハードルとなっている。

本事業では、大学や研究機関等による**AIチップ開発のための共通基盤技術の開発**を進めると共に、その知見や設計・検証等の開発環境等を中小企業やベンチャー企業をはじめとする民間企業等に提供することによって、**AIチップのアイディアを実用化する開発を加速**する。



想定する出口イメージ等

アウトプット目標	① 共通基盤を活用してアイディアに基づくAIチップの設計を行い、シミュレーション等により、**目標とする性能を有することを検証**する。 ② AIチップ開発に必要な集積回路設計ツールや設計検証設備を備えた**開発拠点を構築**し、AIチップ設計のための共通基盤技術、学習環境、設計環境の**活用件数15件以上**を目指す。
アウトカム目標	●2032年のエッジ向けAIチップの世界市場で約**750億円の市場獲得**を目指す。 なお、①については2023年以降順次**技術の実用化率50%以上**を目指す。
出口戦略 （実用化見込み）	●民間企業等のAIチップのアイディア実用化開発については、**１年目終了時に２年目への継続可否の審査**とともに、計画の見直しを含め実用化を加速させる。 ●実用化開発と並行して成果を活用する**企業とのマッチング**も実施し、事業終了後は本格的なビジネス化へと繋げる。 ●開発した共通基盤技術（開発拠点、高機能なAIチップ開発に資する設計技術等）は、**順次民間企業等へ提供**し、機能向上を図る。 ●研究開発と並行して、IoTやAI技術を活用するためのカリキュラム等を整備し、知見やノウハウを持った**人材の育成**を進める。 ●国際標準化提案：無、第3者提供データ：無
グローバルポジション	●事業開始時：RA → 事業終了時：DH 半導体関連要素技術に関しては、メモリを中心に論文数・特許出願件数においてシェア平均20%を占めている。エッジ向けAIチップの実現に資する先端技術を持つベンチャー企業が存在し、新材料の分野で世界をリードする大学、国研や、革新的AIチップの基盤技術と成り得る要素デバイスの研究実績がある大学、国研が存在する。本事業で構築する**共通基盤や開発拠点によりこれらを支援しAIチップの研究を加速させる。**

既存事業との関係

●NEDO『次世代人工知能・ロボット中核技術開発』（2015～2019年度）
当該事業では、社会課題解決に向けた次世代のソフトウェアの開発を推進している。本事業は、AIチップの開発を加速し、実用化へと繋げることを目標としているが、AI実用化にはソフトウェア技術も重要であるため連携して事業を推進する。
●NEDO『高効率・高速処理を可能とするAIチップ・次世代コンピューティングの技術開発』（2016～2027年度）
本事業と共に平成30年度経済産業政策、第一の柱「Connected Industries等を通じたSociety5.0の実現」を構成している。本事業で得られる成果の展開先の一つとして想定している。

事業計画

期間：2018～2022年度（5年間）
①については毎年公募し１テーマ２年程度の実施を想定
総事業費（NEDO負担分）：90.36億円（予定）
（助成：1/2、2/3・委託）
2022年度政府予算額：22.2億円（一般）

＜研究開発スケジュール・評価時期・想定する予算規模（政府予算ベース）＞

	H30 2018	H31・R1 2019	R2 2020	R3 2021	R4 2022	R5 2023
項目①	→	→	→	→	→	
項目②	→	→	→	→	→	
評価時期			中間			終了時
予算（億円）	10.0	16.8	20.5	20.86	22.2	

※H30度予算は、内閣府「官民研究開発投資拡大プログラム(PRISM)」の予算（2.0億円）を含む。

報告内容

1. 意義・アウトカム（社会実装）達成までの道筋

（※）本事業の位置づけ・意義
(1)アウトカム達成までの道筋
(2)知的財産・標準化戦略

研究開発項目②
「AIチップ開発を加速する共通基盤技術の開発」
＜委託事業＞

2. 目標及び達成状況

(1)本事業のアウトカム目標と達成見込み
(2)アウトプット目標と達成状況

3. マネジメント

(1)実施体制
(2)研究開発計画

研究開発項目①
「AIチップに関するアイディアの実用化に向けた開発」
＜助成事業＞

2. 目標及び達成状況

(1)アウトカム目標と達成見込み
(2)アウトプット目標と達成状況

3. マネジメント

(1)実施体制
(2)研究開発計画

（※） 評価対象外の項目ですが
事業全体ご説明の観点から掲載

＜評価項目１＞意義・アウトカム（社会実装）達成までの道筋

（※）本事業の位置づけ・意義　＊終了時評価においては対象外

（1）アウトカム達成までの道筋

（2）知的財産・標準化戦略

報告内容

1. 意義・アウトカム（社会実装）達成までの道筋

(※)本事業の位置づけ・意義
(1)アウトカム達成までの道筋
(2)知的財産・標準化戦略

研究開発項目②
「AIチップ開発を加速する共通基盤技術の開発」
＜委託事業＞

2. 目標及び達成状況

(1)本事業のアウトカム目標と達成見込み
(2)アウトプット目標と達成状況

3. マネジメント

(1)実施体制
(2)研究開発計画

研究開発項目①
「AIチップに関するアイディアの実用化に向けた開発」
＜助成事業＞

2. 目標及び達成状況

(1)アウトカム目標と達成見込み
(2)アウトプット目標と達成状況

3. マネジメント

(1)実施体制
(2)研究開発計画

(※) 評価対象外の項目ですが事業全体ご説明の観点から掲載

事業の背景・目的・将来像

●背景

- IoT社会の到来により、AIエッジ・コンピューティング（AIチップ）に高い期待がある
- ベンチャー企業を中心に、AIに関する高度な技術が存在する
- 一方、AIチップ開発には、高額な設計EDAツール・検証装置、高度な設計技術ノウハウ等が必要であり、これらが高いハードルとなっている

●目的と将来像

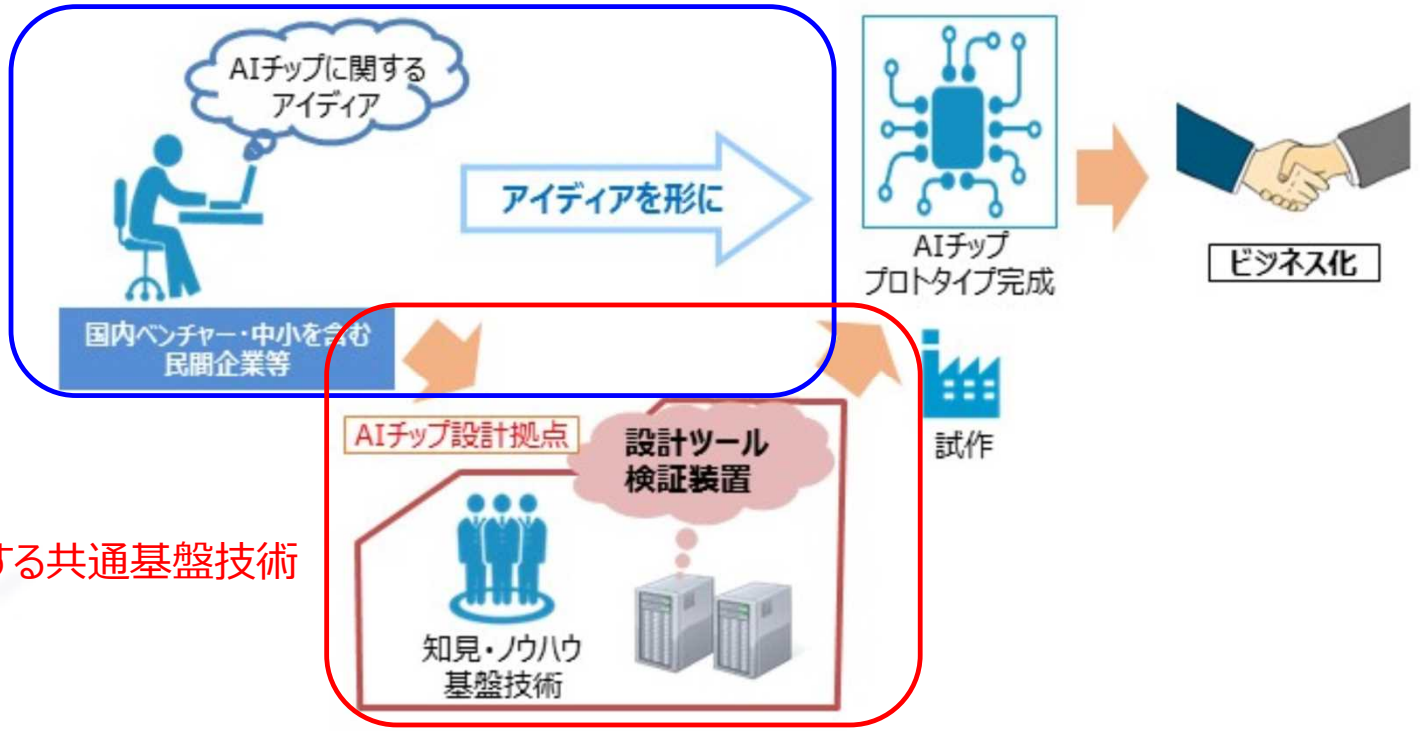
- AIチップに関するアイディアを具現化し、開発を加速する
- AIチップ設計に必要な共通基盤技術と設計環境(拠点)を整備し、民間企業に提供する

事業の背景・目的・将来像

● 事業の構想

➢ AIチップ設計拠点を整備し民間企業などに提供するとともに、AIチップに関するアイディア具現化に向けた研究開発を支援し、AIチップ開発を加速する

研究開発項目①
「AIチップに関するアイディア実用化に向けた開発 」
＜助成事業＞



研究開発項目②
「AIチップ開発を加速する共通基盤技術の開発」
＜委託事業＞

事業の背景・目的・将来像

●研究開発項目

① AIチップに関するアイディア実用化に向けた開発 ＜助成事業＞

民間企業等（AIチップ開発）

・民間企業等が持つアイディアを実用化するため、本事業により整備する開発環境等を活用して、AIチップ開発を実施

研究開発期間
2年以内/テーマ
※毎年公募を実施
ステージゲート方式でテーマ評価を実施

研究開発項目①の開発支援の一環として
設計検証ツール・知見・ノウハウ等提供

拠点利用による課題や改善点・要望などのフィードバック

② AIチップ開発を加速する共通基盤技術の開発 ＜委託事業＞

大学・研究機関等（拠点構築）

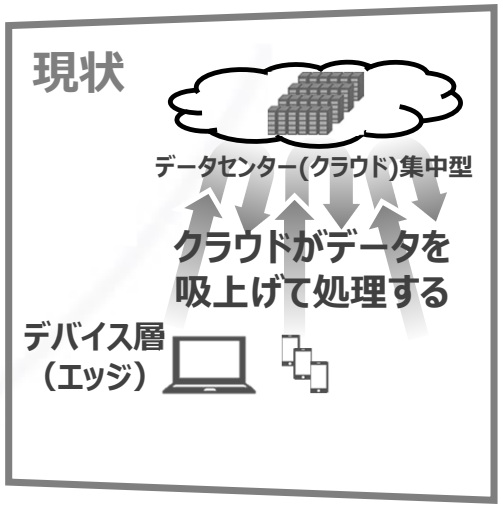
・高度なAIチップ開発のための基盤技術の開発
・AIチップ開発に必要な開発環境（設計ツール等）を整備
・AIチップ開発に取り組む民間企業等に対して、開発環境、基盤技術、専門的な知見・ノウハウ等を提供
・AIチップ開発を担う人材の育成

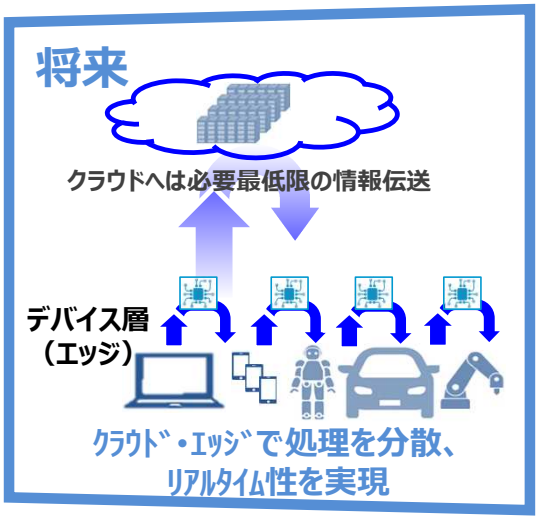
研究開発期間
5年以内

事業の背景（補足説明）

●IT社会の課題

情報量の増大



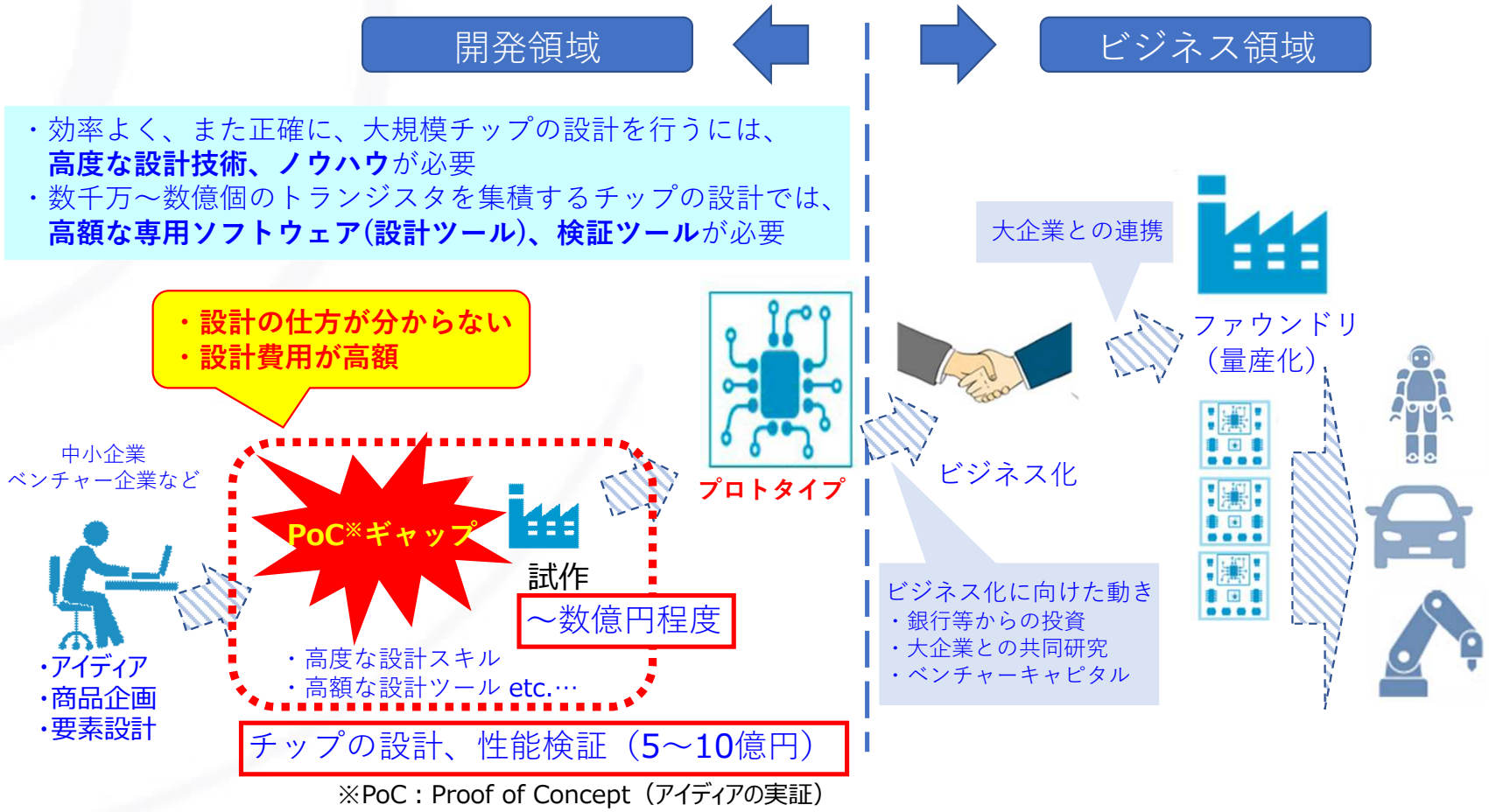


- データ伝送量の増大
  （リアルタイム処理が困難）
- 消費電力の増大

- IoT社会の到来により、
  エッジで情報処理が可能なAIチップの
  必要性が増大

事業の背景（補足説明）

● 課題



※PoC：Proof of Concept（アイディアの実証）

政策・施策における位置づけ

科学技術政策	第5期科学技術基本計画（2016） 未来投資戦略(2018) 科学技術イノベーション総合戦略，統合イノベーション戦略（2018）	「超スマート社会」（Society 5.0）の実現において、「AI技術」「デバイス技術」、「エッジコンピューティング」等が、構築に必要で速やかな強化を図るのが必要な基盤技術として挙げられている。「サイバー空間関連の基盤技術の強化（エッジコンピューティング等）」や「フィジカル空間関連の基盤技術の強化（超小型・超低消費電力デバイス等）」が重きを置くべき取組として挙げられる
産業技術政策	世界最先端デジタル国家創造宣言 官民データ活用推進基本計画（2019）	IT活用社会のためには、高速処理が可能なデジタル環境が不可欠。基盤技術としては、クラウド、エッジにおけるコンピューティング能力や大容量・超高速データ送受信、記録性向上の技術が挙げられる。
経済産業省研究開発プログラム	Connected Industriesによる社会課題の解決競争力強化（2018）	次世代技術の研究開発 ■ 高効率・高速処理を可能とするAIチップ・次世代コンピューティングの技術開発事業、AIチップ開発加速のためのイノベーション推進事業、等を推進する
	ﾃﾞｰﾀを核としたｵｰﾌﾟﾝｲﾉﾍﾞｰｼｮﾝの推進によるSociety5.0の実現（2019）	イノベーションを生み出す産業基盤の強化　AI実装・研究開発/人材育成・活用 ■ AIチップ開発加速のためのイノベーション推進事業、等を推進する
	新たな成長モデルの創出を支える基盤の整備（2020）	イノベーションを生み出す環境整備　Society5.0実現の研究開発・社会実装 ■ AIチップ開発加速のためのイノベーション推進事業、 等を推進する

- 本事業は、科学技術政策・産業技術政策を実現する事業と位置付けられる

技術戦略上の位置づけ

AIを支えるコンピューティング技術戦略の観点からも、本事業は社会課題の解決に貢献

- 関連する技術戦略(＊)
  - 「コンピューティング／物性・電子デバイス分野の技術戦略」(2015年)
    - ネットワークの**エッジでデータ処理**する負荷分散を考慮したシステムを構築することが必要
  - 「人工知能を支えるハードウェア分野の技術戦略」 (2018年)
    - **AI開発**では学習に使う各適用分野（エッジ領域）のデータ量とコンピュータとしての経済性が社会実装の強い推進力となるため、**競争力強化に繋がるようなハードウェア技術開発を進めることが重要**である。

(＊) NEDO 技術戦略研究センターレポート　TSC Foresight

国内外の動向と比較

- 本事業で中小ベンチャー企業等にEDAツールの**サポート実施**
- 大規模設計(エミュレータ)による**差異化**

半導体集積回路開発に関する各拠点の状況

2023年3月時点、（参照元）各機関の公開情報

拠点名	国家支援	対象利用者	拠点概要	
			EDAツールサポート	大規模対応（エミュレータ）
AIDC（本事業、日本）	**○経済産業省**	**中小企業等**	○	○
d.lab（旧VDEC、日本）	○文部科学省	国内大学	○	x
MOSIS（アメリカ）	○DARPA craft	無制限	x	x
IDEC（韓国）	○韓国政府	国内大学	○	x
TSRI（台湾）	○台湾政府※1	国内大学	○	x
CMP（フランス）	○フランス政府	無制限	x	x
CMC（カナダ）	○カナダ政府	国内	○	x
EUROPRACTICE（欧州）	○EU H2020 Framework	域内無制限	○	x
TTSEMI（中国）	○中国政府	国内企業	非公開	x
CEA-Leti（フランス）	○フランス政府	域内無制限	x	○

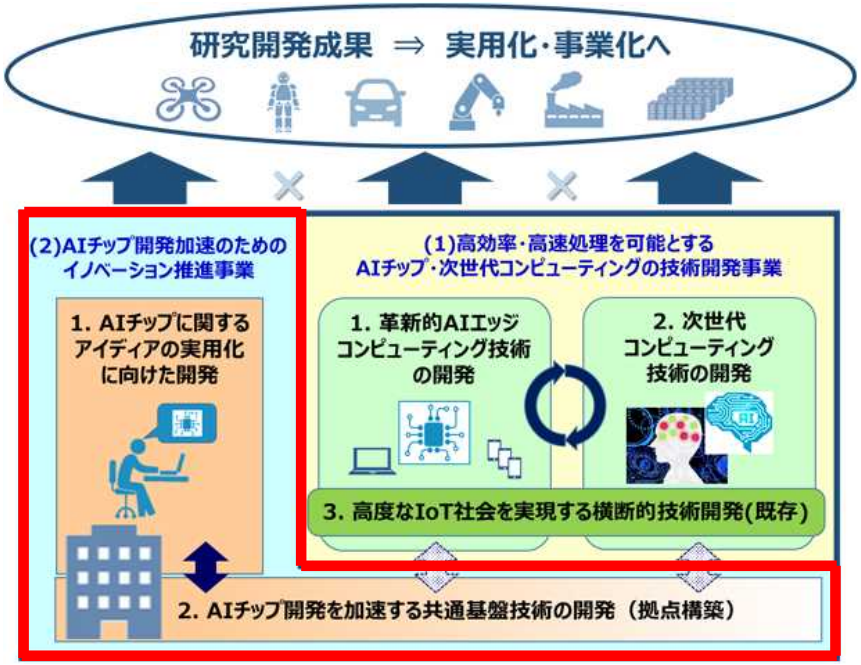
他事業との関係

●NEDO『次世代人工知能・ロボット中核技術開発』（2015～2019年度）

上記事業では、社会課題解決に向けた次世代のソフトウェアの開発を推進している。
本事業は、AIチップの開発を加速し、実用化へと繋げることを目標としているが、
AI実用化にはソフトウェア技術も重要であるため連携して事業を推進する。

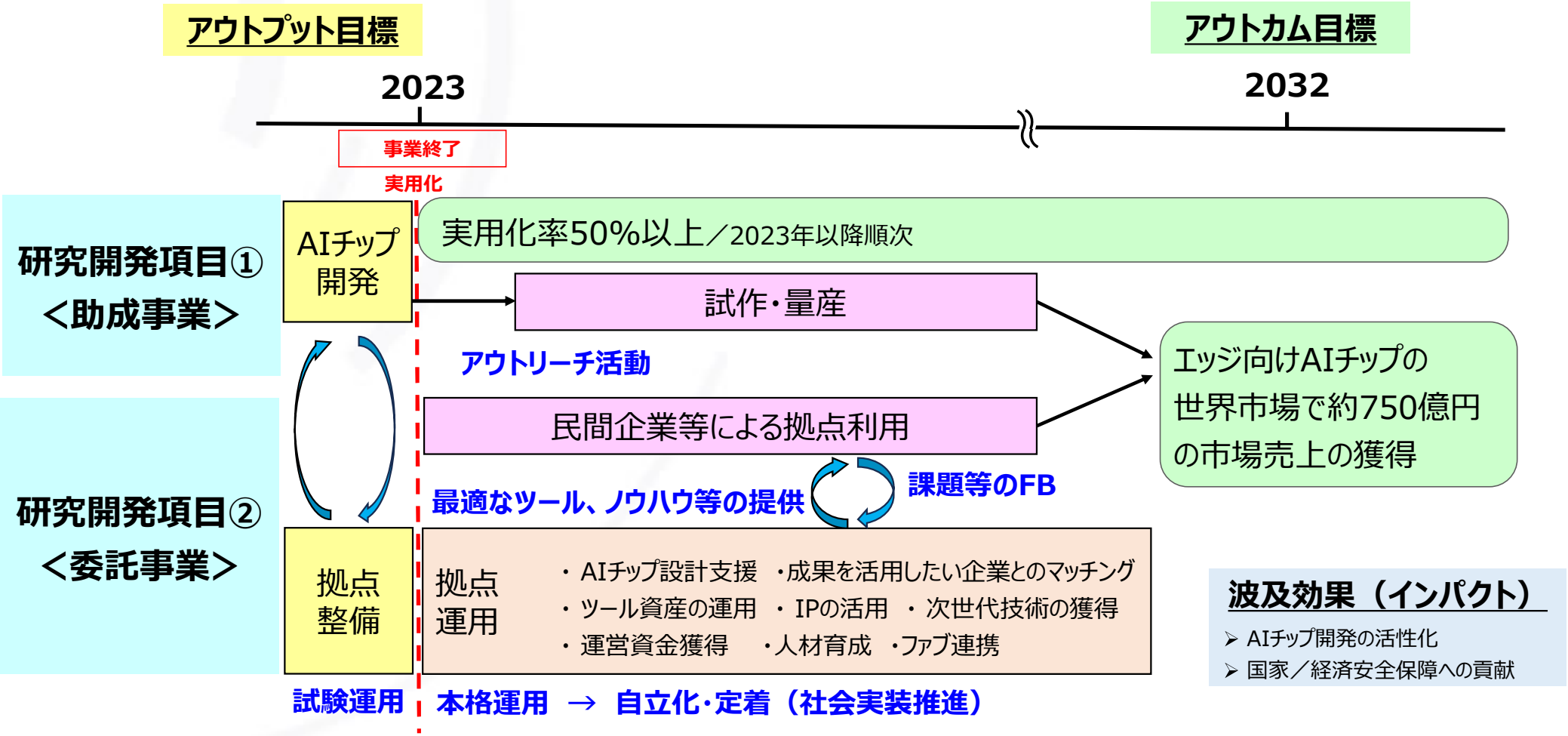
●NEDO『高効率・高速処理を可能とするAIチップ・次世代コンピューティングの技術開発』（2016～2027年度）

本事業と共に2018年度 経済産業政策の第一の柱である。
「Connected Industries等を通じたSociety5.0の実現」を構成している。
本事業で得られる成果の展開先の一つとして想定している（右図）。



本事業：赤枠内

アウトカム達成までの道筋



波及効果（インパクト）

- AIチップ開発の活性化
- 国家／経済安全保障への貢献

知的財産・標準化戦略

●幅広い国内ユーザに開かれた設計拠点をめざし、原則としてオープン戦略を採用

➢ 拠点の継続的な自立運営のため、一部は公開範囲を限定

AIチップ開発を加速する共通基盤技術の開発

知的財産権等に関する方針

- 本事業内容の特異性から、独自の特許権の獲得よりは共通基盤技術として設計技術のマニュアル化、ノウハウの蓄積等に注力する。
- 本事業で構築した共通基盤技術は、拠点ユーザに対しては公開を原則とするが、事業終了後の拠点の継続的な自立運営を考えて、一部は公開範囲を限定する（表参照）。
- 知財マネジメント、および、データマネジメントは、NEDO事業における知財マネジメント基本方針に則り、知財運営委員会を設置し管理している。

分類	AIチップ開発用に構築した共通基盤技術
公開	AIチップ設計手法 リファレンスデザイン IPライブラリリスト 設計クラウド構成 SoCプラットフォーム
利用許諾後に公開	AIチップ設計手法（詳細版） リファレンスデザイン（詳細版） IPライブラリ
有料で公開（2023/4より）	RTLガイドライン SoCプラットフォーム（詳細版）

知的財産管理

➢ 知的財産権の帰属

産業技術力強化法第17条第１項に規定する4項目及びNEDOが実施する知的財産権の状況調査（バイ・ドール調査）に対する回答を条件として、知的財産権はすべて発明等をなした機関に帰属する

➢ 知財マネジメント基本方針（「NEDO知財方針」）に関する事項

本事業は、「NEDOプロジェクトにおける知財マネジメント基本方針」を適用する

➢ データマネジメントに係る基本方針（NEDOデータ方針）に関する事項

本事業は、「NEDOプロジェクトにおけるデータマネジメントに係る基本方針(委託者指定データを指定しない場合)」を適用する

研究開発項目②　AI チップ開発を加速する共通基盤技術の開発　＜委託事業＞

＜評価項目 2＞目標及び達成状況

（1）本事業のアウトカム目標及び達成見込み
（2）アウトプット目標及び達成状況

報告内容

1. 意義・アウトカム（社会実装）達成までの道筋

（※）本事業の位置づけ・意義
(1)アウトカム達成までの道筋
(2)知的財産・標準化戦略

研究開発項目②
「AIチップ開発を加速する共通基盤技術の開発」
＜委託事業＞

2. 目標及び達成状況

(1)本事業のアウトカム目標と達成見込み
(2)アウトプット目標と達成状況

3. マネジメント

(1)実施体制
(2)研究開発計画

研究開発項目①
「AIチップに関するアイディアの実用化に向けた開発」
＜助成事業＞

2. 目標及び達成状況

(1)アウトカム目標と達成見込み
(2)アウトプット目標と達成状況

3. マネジメント

(1)実施体制
(2)研究開発計画

（※） 評価対象外の項目ですが
事業全体ご説明の観点から掲載

本事業のアウトカム目標の設定及び根拠

研究開発項目①および②

●目標

➢ 売上予測(2032年)

年間売上額　**750億円**

（本事業の普及率20％で算定）

↑

日系企業の占有率20％（約0.38兆円）と仮定

↑ https://weekly-economist.mainichi.jp/articles/20200204/se1/00m/020/053000c　記載から推測

市場成長率30～35％（予想は30～70％、右図）の場合、2032年の世界市場規模1.9兆円

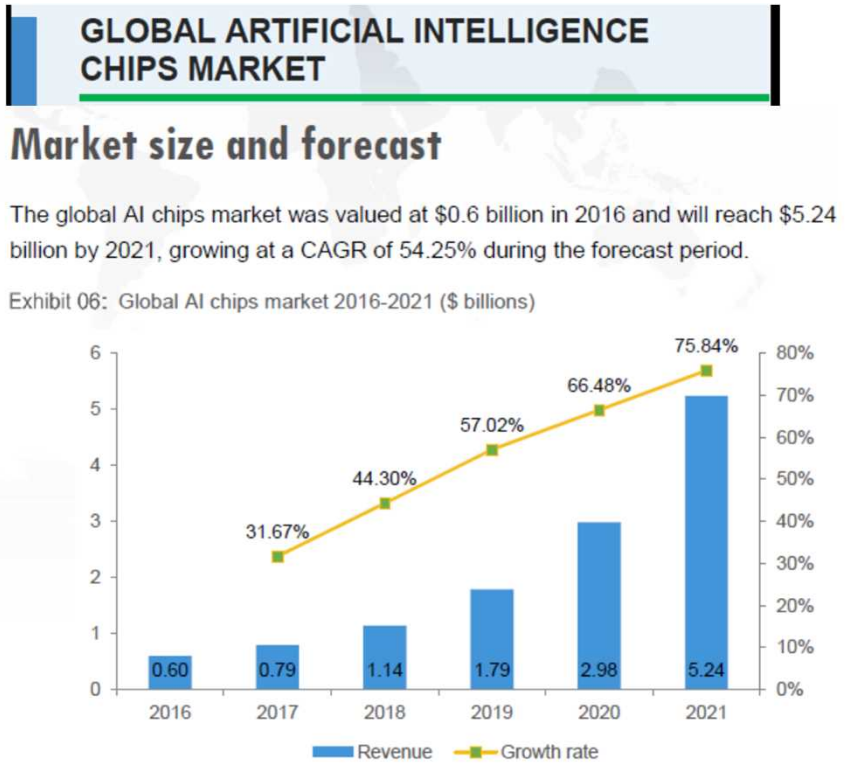
↑

2021年のAIチップ市場5240億円

（5.24billion$、右図、100円/$）

※同年のエッジ領域1048億円（1/5と仮定）

出典：PWC（AIによる市場シェアの拡大、WWW.PWC.COM/JP、2020年3月）



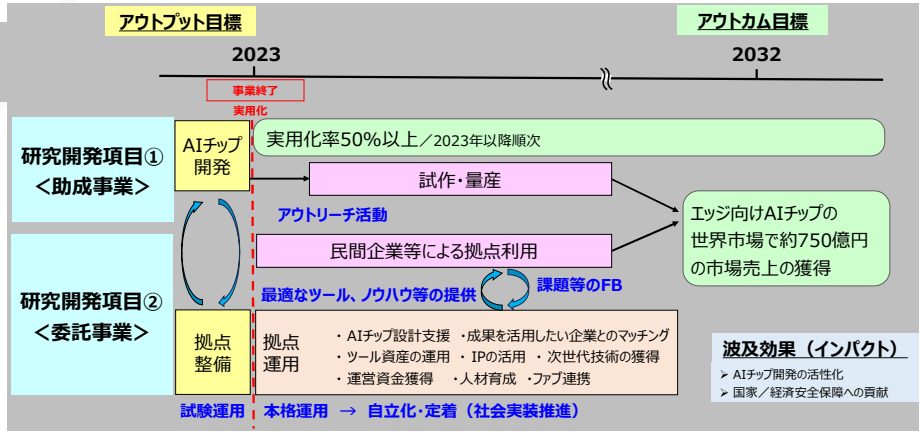
出典：IRTNTR12711_Global Artificial Intelligence Chips Market 2017-2021

研究開発項目①および②

「実用化・事業化」の考え方

用 語	定 義
実用化	研究開発項目①　AI チップに関するアイディア実用化に向けた開発 本助成事業で開発したAIチップや周辺IPの事業期間での実証等を行い、事業終了後に顧客へのサンプル提供やIPビジネスとしてそのIP等を紹介するなど、上市に向けた具体的な取り組みがなされること 研究開発項目②　AIチップ開発を加速する共通基盤技術の開発 本委託事業で開発した共通基盤技術・資産を継承する自立運営組織を組織化し、事業終了後も低コスト・短期間でのチップ開発を可能にする共通基盤の提供を継続させる
事業化	当該研究開発に係る商品、製品、サービス等の販売や利用により、**企業活動(売り上げ等)に貢献**すること

再掲



研究開発項目①および②

波及効果

- 我が国におけるAIチップ開発の活性化
  - 中小・ベンチャー企業などにアイディア実用化に向けた研究開発を支援するとともに、共通基盤技術を集約・蓄積し、共通利用することにより、チップ開発の効率を改善し、**多くのアイディア実用化の創出に貢献する**
  - AIチップ設計拠点を核としたチップ開発のための資金調達エコシステム構築により、資金調達プロセスを活性化する

- 我が国の国家/経済安全保障への貢献
  - チップ設計のエンジニアリングチェーンを国内に確保する
  - 半導体ファブと連携したチップ設計ー生産エコシステムを確立する

研究開発項目①および②

費用対効果

●事業費用の総額

➢ **89.86億円**（2018年度～2022年度総事業費）

（単位：百万円）

研究開発項目			補助率	2018年度	2019年度	2020年度	2021年度	2022年度	合計
研究開発項目①	助成	中小企業	2/3	53	278	237	202	40	810
研究開発項目①	助成	中堅企業(※) 2022年度(第2回) 4回目公募より追加	1/2	－	－	－	22	37	59
研究開発項目②	委託	-	1/1	631	1,658	1,748	1,986	2,094	8,117
全体				684	1,936	1,985	2,210	2,171	8,986

（※）中堅企業：「中堅企業」とは、売上高1,000億円未満又は従業員が1,000人未満の企業であって、中小企業者およびみなし大企業に該当しない法人

●アウトカム目標

➢ エッジ向けAIチップの世界市場で**約750億円**@2032年の市場売上

アウトプット（研究開発成果）のイメージ

研究開発項目①および②

- 研究開発項目②「AIチップ開発を加速する共通基盤技術の開発」の目標：
  本事業を通じて開発、整備したAI チップ設計のための共通基盤技術、学習環境、設計環境等の活用件数15 件以上。

- 研究開発項目①「AI チップに関するアイディア実用化に向けた開発」の目標：
  AI チップの設計を行い、AI チップの動作を効率化し現状以上の性能を有することをシミュレーション等により検証。
  検証したAI 向けチップのビジネス化の道筋を立てる。
  ※スライド53でも説明いたします

アウトプット(終了時)目標の設定及び根拠

研究開発項目①および②

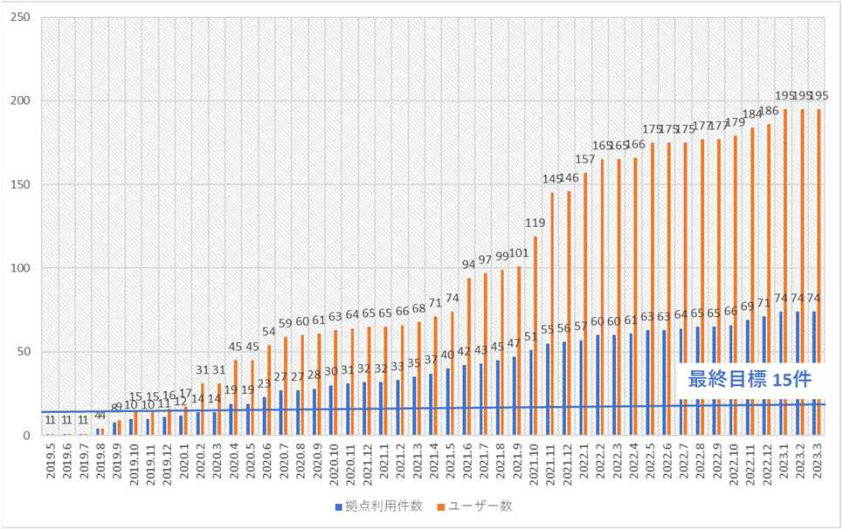
研究開発項目	アウトプット目標	根拠
①AI チップに関するアイディア実用化に向けた開発 ＜助成事業＞	AI チップの設計を行い、AI チップの動作を効率化し現状以上の性能を有することをシミュレーション等により検証。検証したAI 向けチップのビジネス化の道筋を立てる。	アイディアの効果や技術的実現性を早期に検証するとともに、研究開発項目②の拠点の構築に向けたフィードバックを行うため。
②AI チップ開発を加速する共通基盤技術の開発 ＜委託事業＞	本事業を通じて開発、整備したAI チップ設計のための共通基盤技術、学習環境、設計環境等の活用件数15 件以上。	整備の環境を早期に公開・活用し、研究開発項目①の事業者を中心とした拠点利用者から数多くのフィードバックを受けるため。

アウトプット目標の達成状況

●目標と成果

- ➢ 目標：AIチップ設計拠点の活用件数15件以上
- ➢ 結果：活用件数 74件

（企業 55、大学 12、国研 6、一社 1）



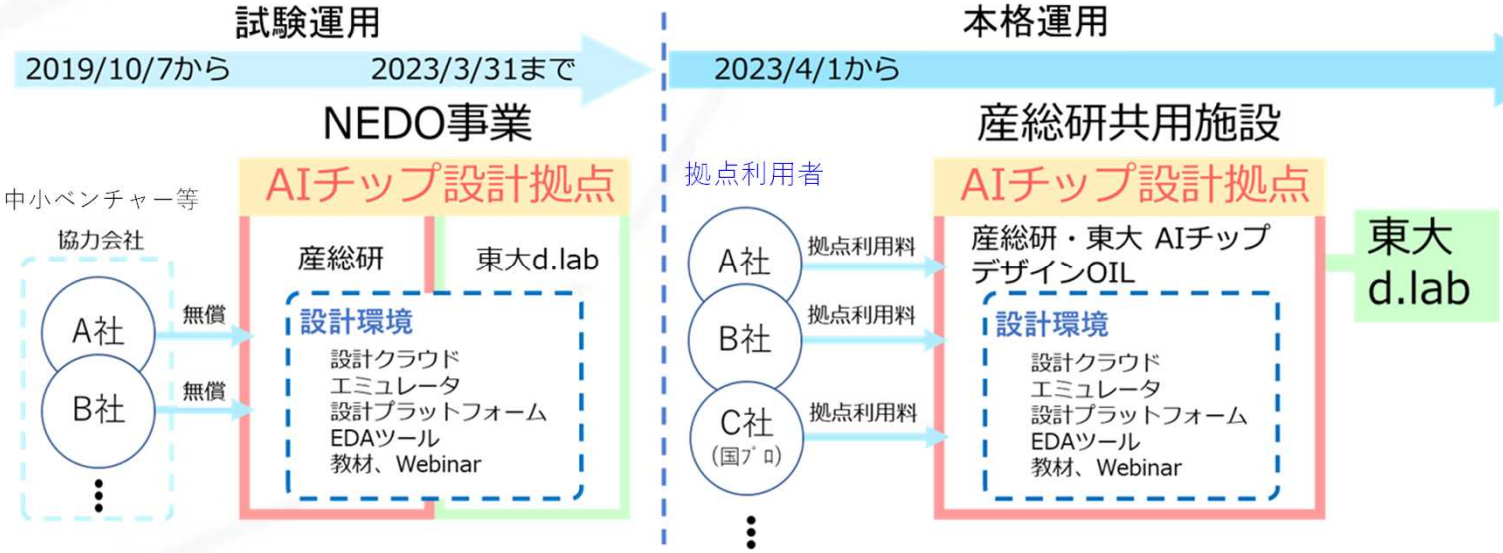
項目	目標 （2023年３月）	成果(実績) （2023年3月）	達成度	達成の根拠
研究開発項目② 「AIチップ開発を加速する共通基盤技術の開発」 ＜委託事業＞	活用件数 15件以上	活用件数 74件	◎	目標の5倍弱の件数を達成。拠点の整備に活用。

研究開発項目①の達成状況はスライド53で説明いたします

◎ 大きく上回って達成、〇達成、△一部未達、×未達

アウトプット目標の達成状況

- 2023年度からの「AIチップ設計拠点」の本格運用
  - 産総研内に「産総研・東大 AIチップデザインOIL(オープンイノベーションラボラトリ)」を組織化して、産総研の共用施設として、本格運用を開始
  - ユーザーは、拠点利用料を支払って設計環境を使用する



研究開発項目①および②

研究開発成果の意義（副次的成果）

●成果の意義

- 中小・ベンチャー企業などのアイディア具現化に向けた研究開発を支援し、日本のAIチップ開発を加速する
- 国内外半導体ファブと連携した国内でのチップ設計－生産エコシステムを確立する
- 半導体チップの技術開発や製品供給において世界をリードする

●副次的成果

- 人材育成活動により、技術者のレベルアップに貢献した
- 拠点フォーラムにより、技術者の交流の場を創造した

特許出願及び論文発表

●幅広い国内ユーザに開かれた設計拠点をめざし、原則としてオープン戦略を採用

- 拠点機能が整った事業後半では、積極的な研究発表・対外講演を実施
- 技術フォーラムの継続的な定期開催により、ユーザ層とのコミュニティを形成

	2018年度	2019年度	2020年度	2021年度	2022年度	計
研究発表・講演	0	5	4	20	18	47
新聞・雑誌等への掲載	1	1	0	2	1	5
展示会への出展	0	2	0	0	5	7
フォーラム/シンポジウム開催	1	9	12	12	12	46
セミナー開催	0	3	4	6	8	21
特許	0	0	0	0	1	1
（参考）特許（研究開発項目①助成事業）	0	1	1	1	4 (23年度１件含む)	7

＜評価項目３＞マネジメント

（1）実施体制
（2）研究開発計画

報告内容

1. 意義・アウトカム（社会実装）達成までの道筋

(※)本事業の位置づけ・意義
(1)アウトカム達成までの道筋
(2)知的財産・標準化戦略

研究開発項目②
「AIチップ開発を加速する共通基盤技術の開発」
＜委託事業＞

2. 目標及び達成状況

(1)本事業のアウトカム目標と達成見込み
(2)アウトプット目標と達成状況

3. マネジメント

(1)実施体制
(2)研究開発計画

研究開発項目①
「AIチップに関するアイディアの実用化に向けた開発」
＜助成事業＞

2. 目標及び達成状況

(1)アウトカム目標と達成見込み
(2)アウトプット目標と達成状況

3. マネジメント

(1)実施体制
(2)研究開発計画

(※) 評価対象外の項目ですが
事業全体ご説明の観点から掲載

研究開発項目①および②

NEDOが本事業を実施する意義

■超スマート社会Society5.0実現には国家的な取り組みが必要

AI技術とIoT技術等との掛け合わせによって、革新的な製品やサービスを生み出し、社会実装する必要がある。公益性の高い取り組み。

■我が国のエレクトロニクス産業を支える技術の国際競争力強化

集積回路開発を支援する拠点機能は、AIチップ開発を担う中核的な機能になりうるポテンシャルを秘めており、我が国のエレクトロニクス産業のプレゼンス確保に重要。

■個々の民間企業では技術開発は困難

開発を支援する拠点機能の構築は、民間企業単独ではリスクがあり、市場原理のみで推進を図ることは困難。

● NEDOが実施すべき事業

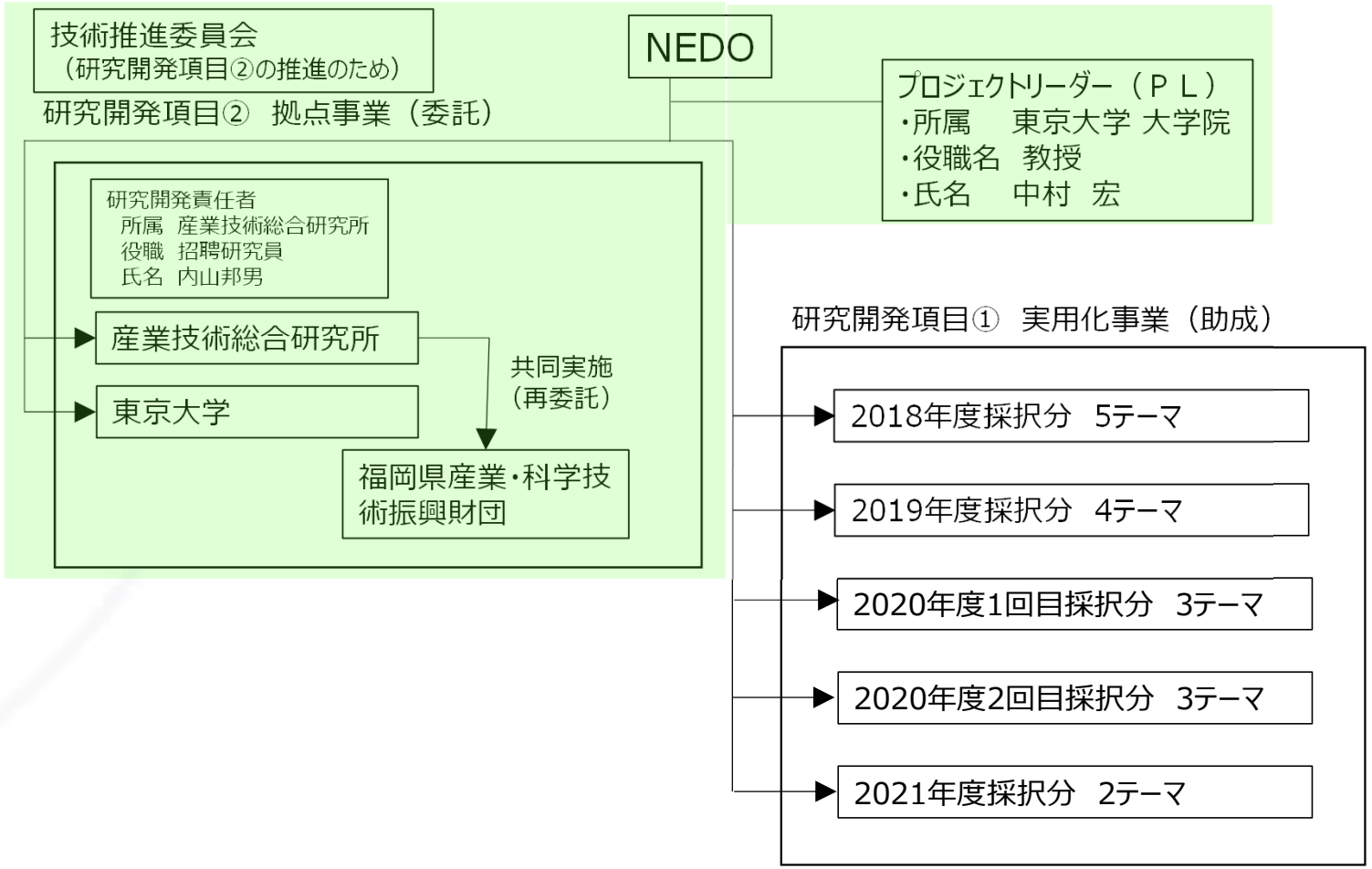
実施体制（責任体制）

・**公募**により研究開発実施者を選定

・各実施者の研究開発能力を最大限に活用し、効率的かつ効果的に研究開発を推進する観点から、NEDOが選定した**プロジェクトリーダー(PL)の下で研究開発を実施**

・NEDO・PL・実施者間で、**月定例会で進捗を確認**。抽出課題に対し対処方法を適宜協議し対応。

・**技術推進委員会**を設置・開催し、有識者による進捗確認及び提言を受け、研究開発を推進



実施体制（実施者間での連携）

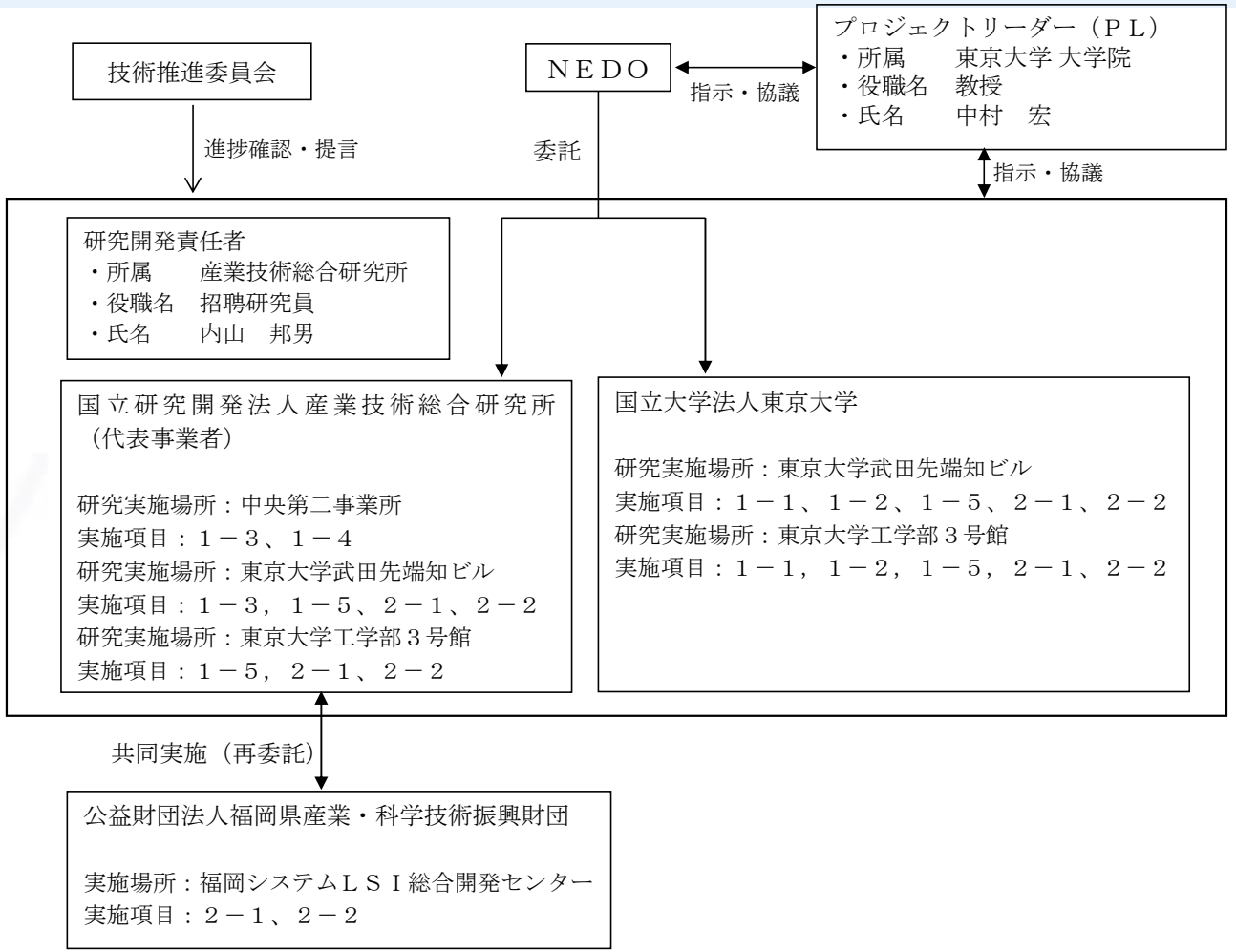
・産総研と東京大学と共同で、東京大学内に**「産総研・東大 AIチップデザインオープンイノベーションラボラトリ」を設置**して共同研究を実施

・研究開発において、産総研－東京大学の打ち合わせを定期的に**週１回**は実施

・再委託先を含めての打ち合わせを**月1回**は実施

・AIアクセラレーター評価プラットフォームは**ユーザーの協力を得て実用化に注力**

・研究開発データおよび知財は、NEDOの方針に沿って**実施者間での合意書を定め遂行**



委託事業の採択プロセス

【公募】

公募予告（3月15日）⇒ 公募（5月28日）⇒ 公募〆切（6月29日）　　（2018年）

【採択】

採択審査委員会（7月18日）

➢採択審査項目

NEDOの標準的採択審査項目の他、以下項目を加え重み付けを行なった。

①関連分野に関する実績（拠点運営）、開発の実施体制の有効性

②拠点のユーザー視点からの活用のしやすさ（EDAツールラインナップ、ライセンス数、リモート利用、サテライト拠点等）

③広く活用出来る拠として、構築出来る可能性

④事業終了後における自立運営の可能性（ユーザーからの利用料収入のプラン等）

➢採択条件

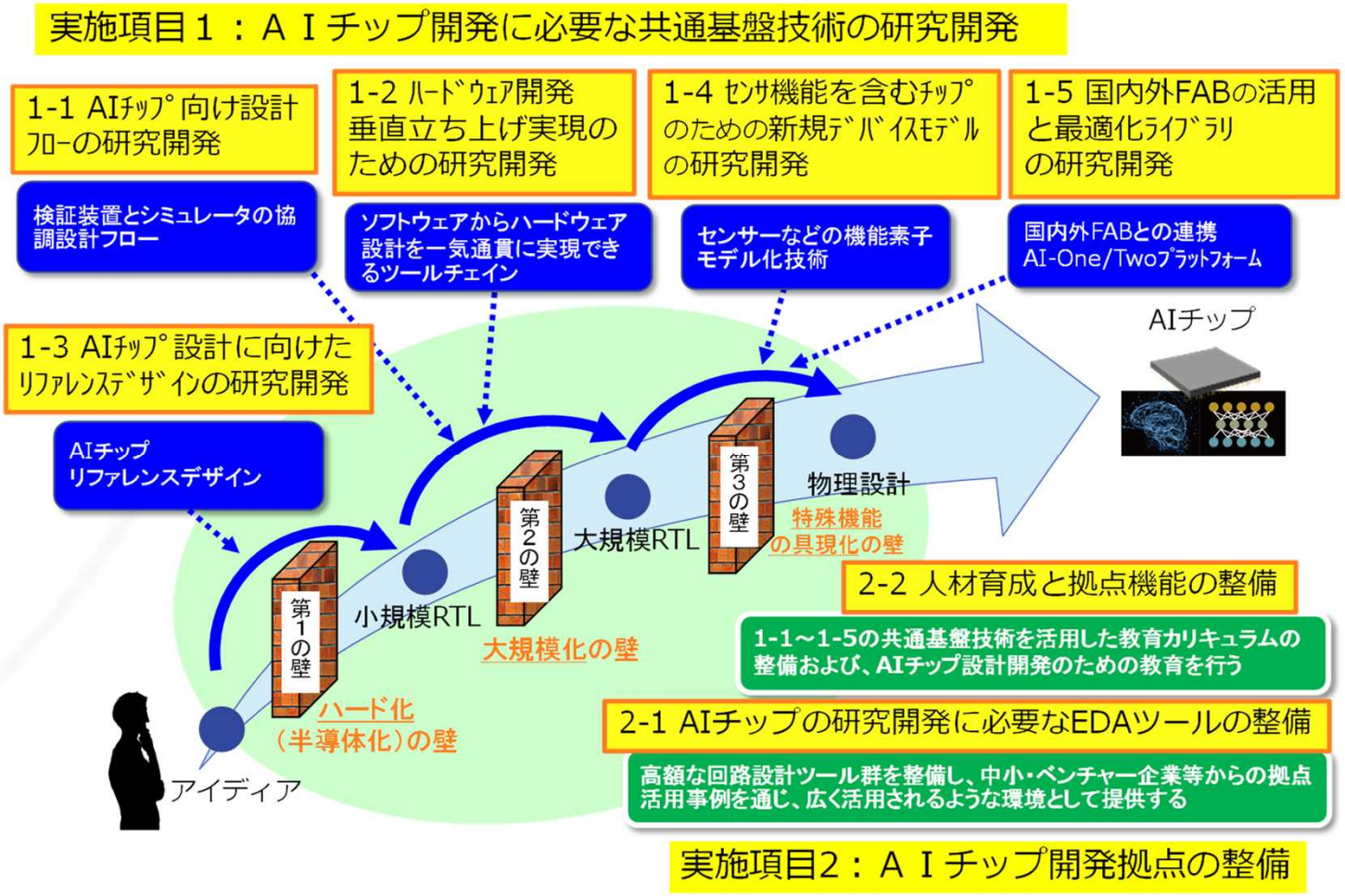
採択審査委員会では、「事業終了後の自立運営について、ユーザとなり得る中小・ベンチャー企業の意見を取り入れ、マーケティングやコンソーシアムなどの活動を進めるなどの点につき、事業期間中から検討すること」を条件に採択が行われた。

➢留意事項

研究の健全性・公平性の確保に係る取組；公募の際にその他の研究費の応募・受入状況を確認し、不合理な重複及び過度の集中がないか確認した。（参考：公募要領の留意事項(18)）

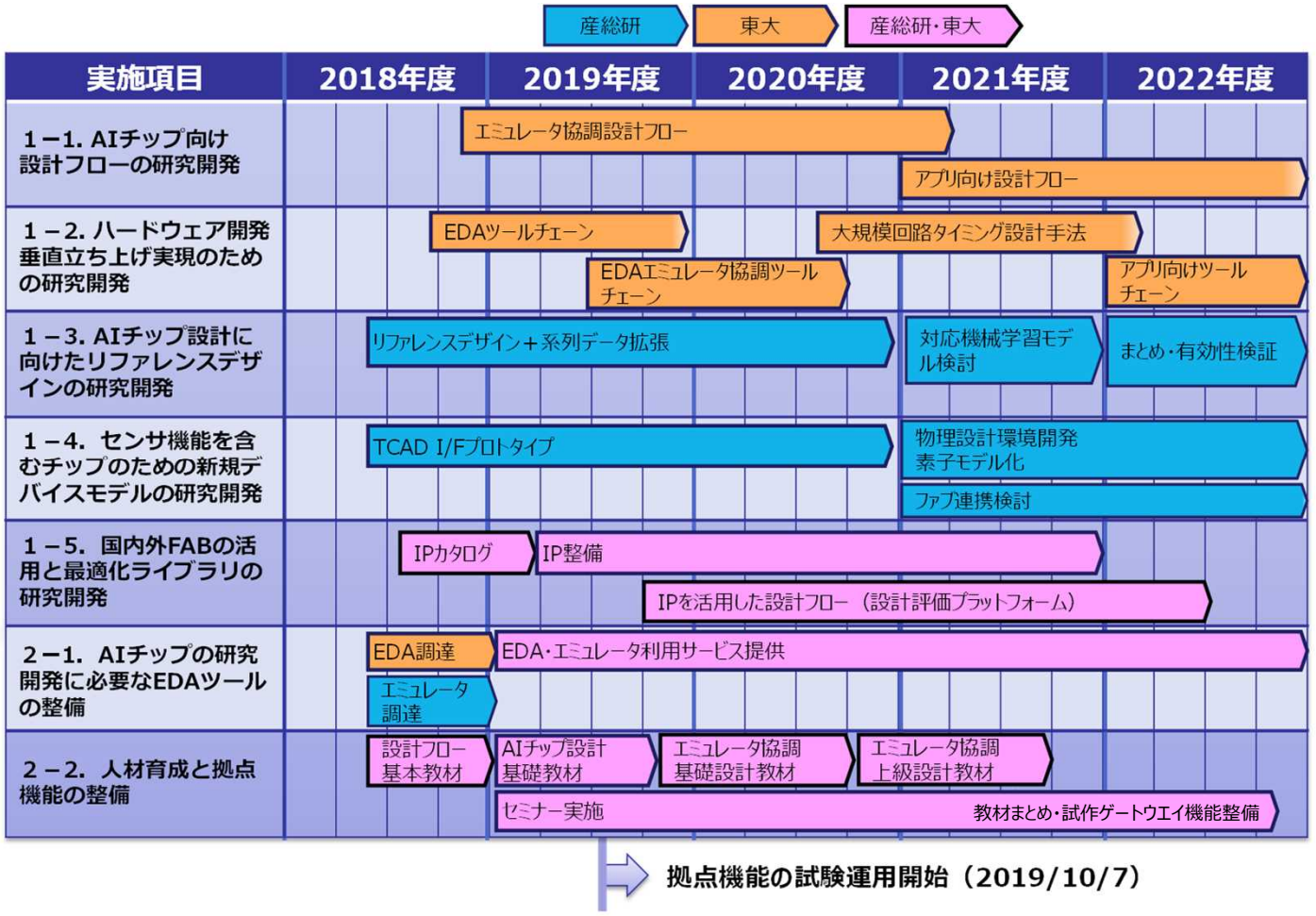
目標達成に必要な要素技術

- チップ設計全体をカバー
  - 基礎となる設計技術
  - 設計環境の整備



研究開発のスケジュール

- 進捗の概要
  - 前半で主にEDAツール整備
  - 後半にはチップ試作も実施



研究開発項目①および②

進捗管理：中間評価結果への対応

中間評価分科会：2020年10月5日実施

	指摘	対応
1	今後、一通りの AI チップ開発実証が成果を上げた後は、その**AI チップを採用するシステムによる実証とフィードバック**、**実用化への道筋の明確化**を望む。	**設計拠点の利用者とユーザーとなりうる企業のマッチングを行う仕組みを構築**し、拠点フォーラム等を継続して開催している。さらに、CEATEC等の**展示会や学会での発信**も行い、システムユーザーへのアプローチを継続している。
2	**低消費電力技術**への取り組み、**実装技術、ボード設計環境整備**等への今後の対応についても検討を進めるとともに、社会に根付く研究開発に向けた検討を継続して頂きたい。	低消費電力技術への取り組みとして、28nmプロセスにおける標準SoCの設計開発に加え、**12nm FINFET プロセスによる標準SoCの設計技術を開発**した。また、併せて**パッケージ実装・ボード設計および実装の環境も構築**し拠点の機能として整備した。
3	本事業の研究開発成果をどれだけ普及させるか、という観点から、今後、ビジョンを明確にした上で、市場の動向を掴み、成果の優位性と共に、構築した**拠点を活用してもらう活動**を継続して頂きたい。	**拠点整備の進捗に合わせたプレス発表や学会、セミナー等を通じて**設計拠点をアピールし、拠点利用者の拡大を図った。また、構築した拠点の自立化に向けた議論において、市場の動向等に沿ったビジョンを明確にし、社会に役立つ拠点として整備した。

研究開発のマネジメント施策

- 拠点ホームページの充実化 **（情報の公開化）**
  - 利用情報
  - 人材育成：技術フォーラム、研修セミナー、教材

- 拠点の開催する「フォーラム」（2019年5月～）
  - AIチップ、コンピューティング、LSI設計などの技術情報について議論 ⇒ **交流の場を醸成**
  - 開催は月1回、参加者は100名超

第45回 AIチップ設計拠点フォーラム（2023/3/31）

13:30–13:35　AIチップ設計拠点フォーラムについて
（産総研／内山邦男）

13:35–14:35　**脱炭素とデジタル化を支える半導体ソリューション**
（インフィニオン テクノロジーズ ジャパン／川崎郁也氏（代表取締役社長））

14:35–15:35　**The introduction to ONNC – Anchors while both hardware and software are changing in AI semiconductors.**
（Skymizer Taiwan, Inc.／Luba Tang氏（CEO））

15:40–16:40　**ISSCC2023におけるAIチップ研究動向**
（産総研／更田裕司氏）

外部発表（アウトリーチ活動）

● 中間評価以降の主要な外部発表：国際学会DAC、国内展示会CEATEC 他

	会議名・展示会名（場所）	開催日	会議・展示会の概要、発表の内容	備考
1	**DAC 2022** – 59th Design Automation Conference （San Francisco, US）	2022/ 7/10-14	・電子設計の分野で世界最大規模の国際会議 ・「AIアクセラレータの評価プラットフォームの構築、および関連する実証チップAI-One開発の取組」を発表	・今回の採択率33% ・対面開催のみ
2	**SNUG2022 Japan** （東京コンファレンスセンター・品川）	2022/ 9/14	・国内の半導体業界関係者が参加するユーザ設計事例に特化したフォーラム（Synopsys Japan主催） ・AI-One技術を中心に紹介	・対面およびオンライン開催
3	**CEATEC 2022** （幕張メッセ）	2022/ 10/17-20	・産総研における半導体デバイスの研究開発活動の成果の一環として事業成果を展示。	・1日に40～60件の詳細な説明を実施 ・NEDOブースでも展示
4	**EdgeTech＋2022** （パシフィコ横浜）	2022/ 11/16-18	・事業変革を推進するための最新技術とつながる総合展。対象はIoT関連の開発から活用業界の開発・企画・経営者等 ・DAC2022と同様にAI-Oneを発表し、また試作チップ等を展示	・対面およびオンライン開催 ・来場者2.2万人、オンライン参加1.7万人
5	**DSF2022** – Design Solution Forum （川崎市コンベンションホール）	2022/ 11/25	・組み込みシステムにおけるソフトおよびハードウェアのデザイン手法を議論するフォーラム ・DAC2022と同様にAI-Oneを発表し、また試作チップ等を展示	・対面とオンラインのハイブリット開催 ・約２千人参加
6	**成果報告会** （東京大学　武田ホール）	2023/ 3/22	・事業の総まとめとして成果報告会を開催	・対面開催（150名参加）

研究開発のマネジメント施策

- 展示会による周知活動
  - CEATEC 2022における**NEDOブース**での展示

研究開発項目①の助成事業者も出展（詳細はスライド55で説明します）

研究開発のマネジメント施策

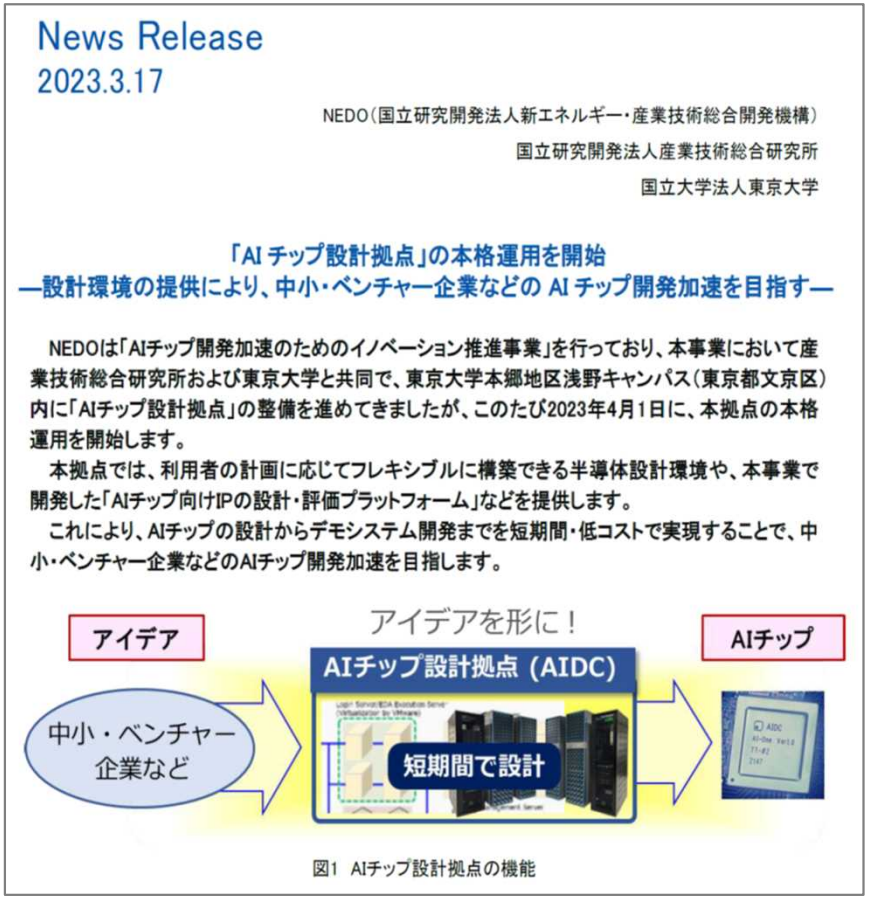
- ニュースリリースによる周知活動

➢ 拠点整備の進捗に合わせてニュースリリース(4回)

・「AIチップ設計拠点」が稼働開始（2019年10月）
・評価チップ「AI-One」の設計完了、試作開始（2021年5月）
・「AI-One」の動作確認、
　短期間で低コストのAIチップ設計・評価が可能に（2022年3月）
・AIチップ設計拠点の本格運用開始へ（2023年3月、右図）

➢ （参考）新聞等での報道

・新聞各紙に掲載
・AIチップ設計拠点が取材を受け
　2021年6月19日付けの日経電子版に掲載
　また、NHK「国際報道2023」でも放映（2023年6月12日）


News Release
2023.3.17

NEDO（国立研究開発法人新エネルギー・産業技術総合開発機構）
国立研究開発法人産業技術総合研究所
国立大学法人東京大学

「AI チップ設計拠点」の本格運用を開始
―設計環境の提供により、中小・ベンチャー企業などの AI チップ開発加速を目指す―

NEDOは「AIチップ開発加速のためのイノベーション推進事業」を行っており、本事業において産業技術総合研究所および東京大学と共同で、東京大学本郷地区浅野キャンパス（東京都文京区）内に「AIチップ設計拠点」の整備を進めてきましたが、このたび2023年4月1日に、本拠点の本格運用を開始します。

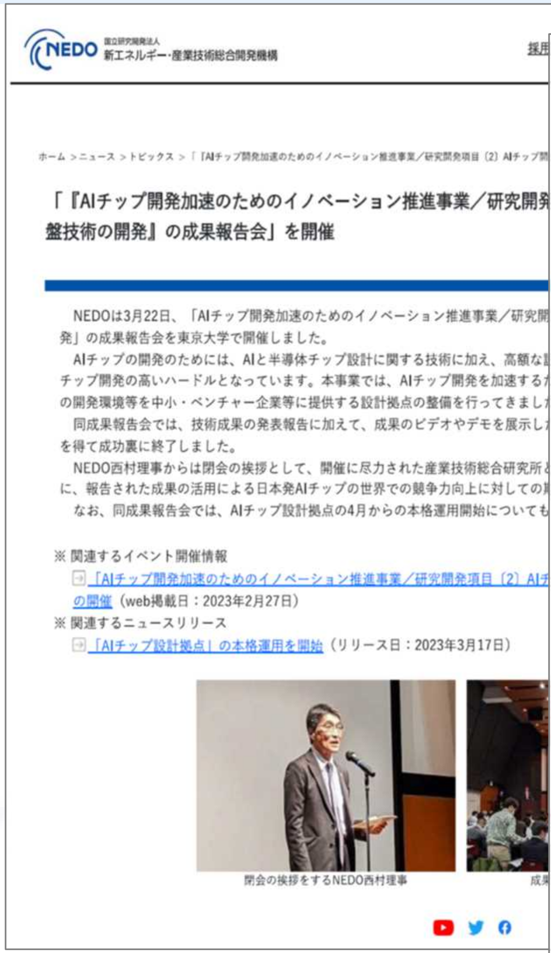
本拠点では、利用者の計画に応じてフレキシブルに構築できる半導体設計環境や、本事業で開発した「AIチップ向けIPの設計・評価プラットフォーム」などを提供します。

これにより、AIチップの設計からデモシステム開発までを短期間・低コストで実現することで、中小・ベンチャー企業などのAIチップ開発加速を目指します。

図1　AIチップ設計拠点の機能

研究開発のマネジメント施策

- 成果報告会の開催
  - 2023年3月に実施
  - 技術成果の発表報告、デモやビデオを展示したポスターセッションを実施。150名が参加。
- 開催結果の報告
  - **NEDOページ**や**NEDO Twitter**での情報発信
  - 英語版Twitterも1600件以上の表示あり


NEDO 国立研究開発法人 新エネルギー・産業技術総合開発機構

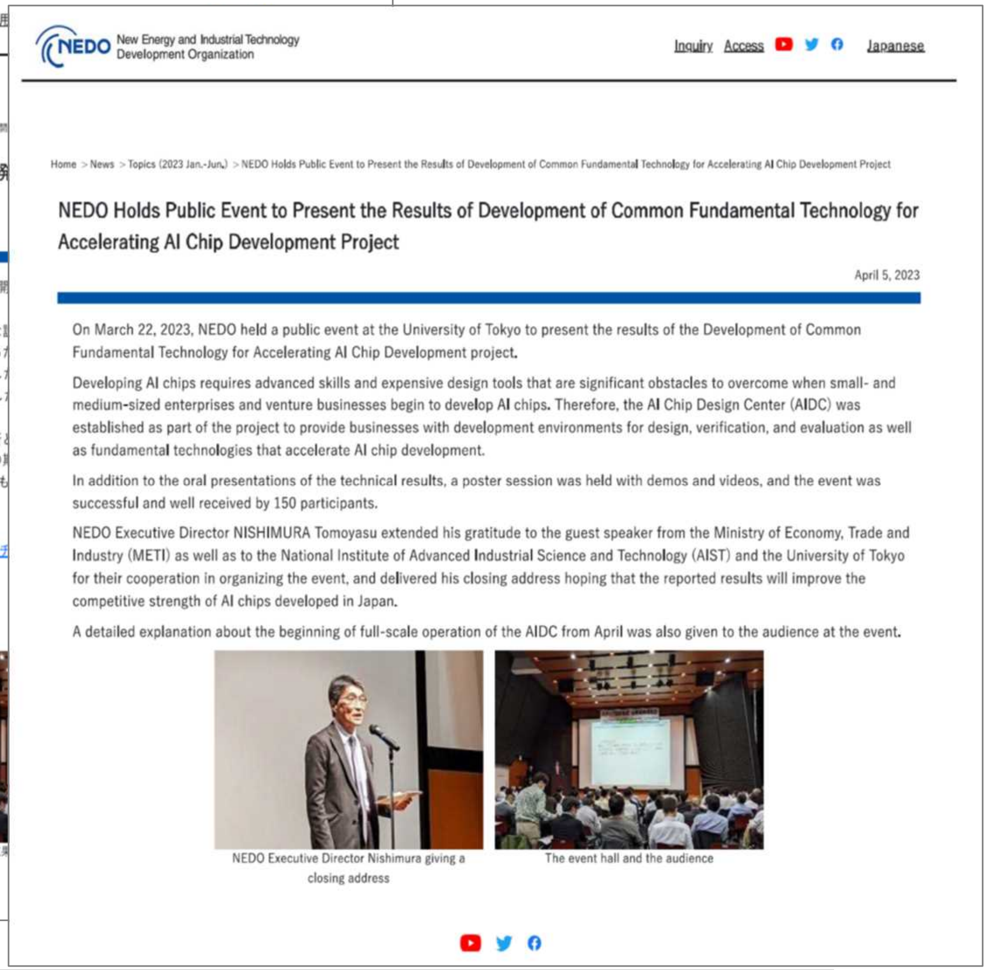
ホーム > ニュース > トピックス > 「『AIチップ開発加速のためのイノベーション推進事業／研究開発項目（2）AIチップ開

「『AIチップ開発加速のためのイノベーション推進事業／研究開発
盤技術の開発』の成果報告会」を開催

NEDOは3月22日、「AIチップ開発加速のためのイノベーション推進事業／研究開
発」の成果報告会を東京大学で開催しました。
AIチップの開発のためには、AIと半導体チップ設計に関する技術に加え、高額な
チップ開発の高いハードルとなっています。本事業では、AIチップ開発を加速するた
の開発環境等を中小・ベンチャー企業等に提供する設計拠点の整備を行ってきまし
同成果報告会では、技術成果の発表報告に加えて、成果のビデオやデモを展示し
を得て成功裏に終了しました。
NEDO西村理事からは閉会の挨拶として、開催に尽力された産業技術総合研究所
に、報告された成果の活用による日本発AIチップの世界での競争力向上に対しての
なお、同成果報告会では、AIチップ設計拠点の4月からの本格運用開始についても

※ 関連するイベント開催情報
「AIチップ開発加速のためのイノベーション推進事業／研究開発項目（2）AIチ
の開催（web掲載日：2023年2月27日）
※ 関連するニュースリリース
「AIチップ設計拠点」の本格運用を開始（リリース日：2023年3月17日）

閉会の挨拶をするNEDO西村理事


NEDO New Energy and Industrial Technology Development Organization

Inquiry Access Japanese

Home > News > Topics (2023 Jan.-Jun.) > NEDO Holds Public Event to Present the Results of Development of Common Fundamental Technology for Accelerating AI Chip Development Project

NEDO Holds Public Event to Present the Results of Development of Common Fundamental Technology for Accelerating AI Chip Development Project

April 5, 2023

On March 22, 2023, NEDO held a public event at the University of Tokyo to present the results of the Development of Common Fundamental Technology for Accelerating AI Chip Development project.

Developing AI chips requires advanced skills and expensive design tools that are significant obstacles to overcome when small- and medium-sized enterprises and venture businesses begin to develop AI chips. Therefore, the AI Chip Design Center (AIDC) was established as part of the project to provide businesses with development environments for design, verification, and evaluation as well as fundamental technologies that accelerate AI chip development.

In addition to the oral presentations of the technical results, a poster session was held with demos and videos, and the event was successful and well received by 150 participants.

NEDO Executive Director NISHIMURA Tomoyasu extended his gratitude to the guest speaker from the Ministry of Economy, Trade and Industry (METI) as well as to the National Institute of Advanced Industrial Science and Technology (AIST) and the University of Tokyo for their cooperation in organizing the event, and delivered his closing address hoping that the reported results will improve the competitive strength of AI chips developed in Japan.

A detailed explanation about the beginning of full-scale operation of the AIDC from April was also given to the audience at the event.

NEDO Executive Director Nishimura giving a closing address

The event hall and the audience

進捗管理

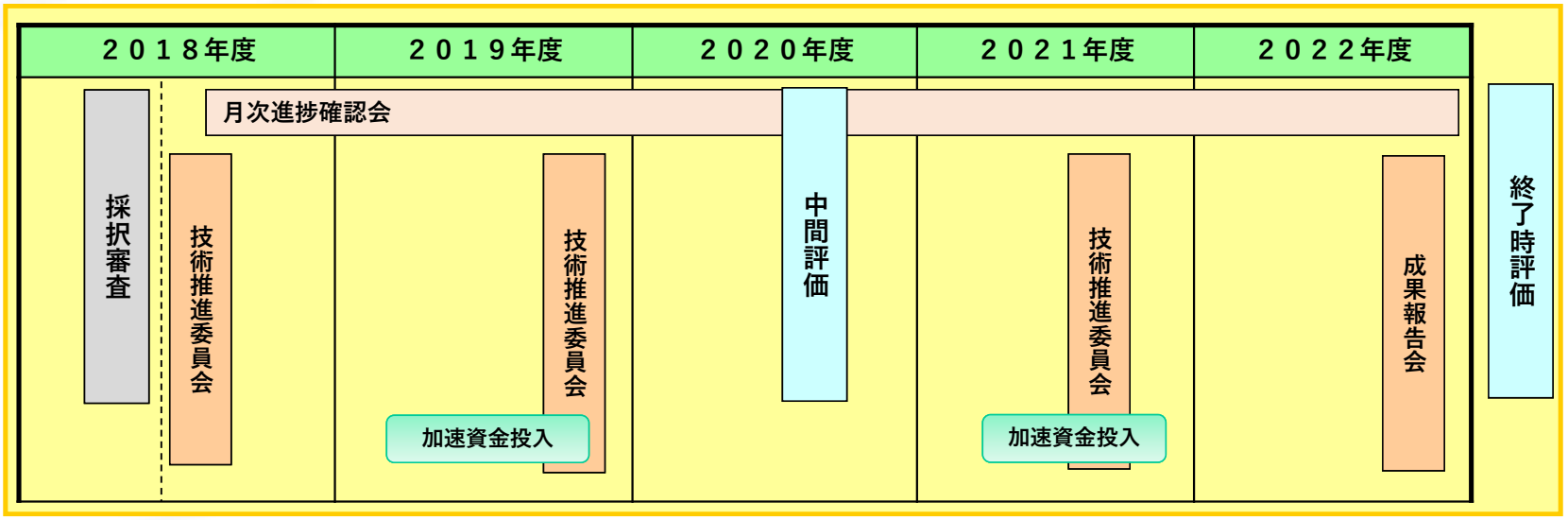
◇進捗確認（毎月実施）

◇技術推進委員会
（2018年10月 2019年11月 2021年10月実施）
⇒外部評価委員を入れ客観的評価を実施

→ 実施方針、実施計画書の変更
- PRISM事業の②へのアドオン
- 研究開発項目②で人材育成のグランドデザインの作成、拠点のユーザー拡大戦略の立案、有識者の意見等活用、各テーマがAIチップ設計拠点の強みになる活動の継続

◇動向・情勢変化への対応

→ 加速資金の必要性検討・投入、次年度予算要求に反映



進捗管理：動向・情勢変化への対応

研究開発項目②　AIチップ開発を加速する共通基盤技術の開発　＜委託事業＞

	動向・情勢変化	対応
1	2018年度 本事業が、内閣府官民研究開発投資拡大プログラム（PRISM）の1年目の対象施策に選定	PRISM予算を活用しAIチップ設計に必要な**28nmノードのIPコアの導入・整備**を前倒し実施
2	2019年度 拠点利用者の予想以上の増加が見込まれる中、現状の設備能力では利用者数が制限されてしまう可能性	利用者からのフィードバックを出来るだけ多く集め拠点の整備を確実に進めるため、2019年10月に加速資金の投入を決定、拠点利用者数の拡大を図るべく**拠点設備の増強**等を前倒し実施
3	2019年度 助成事業においてステージゲート審査の結果などにより予算の変動が発生	予算の有効活用のため、事業内で予算を柔軟に組み変え、委託事業へ資金を投入することを決定。具体的には、2019年12月に仕様書・実施計画書を変更し、**実施項目1-5に新たな目標**を追加

進捗管理：動向・情勢変化への対応

研究開発項目②　AIチップ開発を加速する共通基盤技術の開発　＜委託事業＞

	動向・情勢変化	対応
4	2020年度 助成事業においてステージゲート審査の結果などにより予算の変動が発生	拠点利用者の**AIチップ向け独自IP（28nmプロセス）の評価環境構築**を前倒しで確実にできるよう2020年9月に実施項目1-5の事業内容を変更
5	2021年度 半導体需給のひっ迫による12nmプロセスSoC評価プラットフォームの開発に必要なパッケージ調達やウエハー作成工程のスケジュール遅延を予見	2021年8月に資金の投入を決定し、本開発に必要な**12nm IPの前倒し導入**を決定
6	2021年度 AI チップをシステム案の段階から、目指すアプリケーションの動作デモが可能になる機能整備の必要性を予見	AIチップをシステム案の段階から目指すアプリケーションの動作デモが可能になるよう実施項目1-1の事業内容を追加するとともに、拠点利用者の**AIチップ向け独自IP（12nmプロセス）の評価**が確実にできるよう実施項目1-5の事業内容を変更
7	2022年度 為替レートの変化および独自IP評価チップ（12nmプロセス）の試作代の値上げによる資金不足	拠点利用者の**AIチップ向け独自IP（12nmプロセス）の評価環境構築**を確実にできるよう2022年12月に予算の追加を決定

進捗管理：開発促進財源投入実績

研究開発項目②　AIチップ開発を加速する共通基盤技術の開発　＜委託事業＞

件名	年度	金額（百万円）	目的	成果・効果
AIチップ設計拠点**利用者の増加対応**のためのセキュリティ関連ソフト・サーバの購入	2019年度	109	AIチップ設計拠点利用者数の拡大を図るべく委託先の拠点設備の増強	AIチップ拠点の**利用件数が約7倍の増加**にもシステム上の大きな不具合がなく対応でき、利用者からのフィードバックを得て拠点整備の参考にできた。
12nm評価プラットフォーム向け製造用**IPの購入**	2021年度	86	半導体需給のひっ迫による12nmプロセスSoC評価プラットフォームの開発に必要なパッケージ調達やウエハー作成工程のスケジュール遅延の防止	12nmプロセスIPの前倒し購入により設計検証を前倒しで実施でき、事業期間内に**12nm評価プラットフォームの開発を完遂**できた

研究開発項目①　AIチップに関するアイディアの実用化に向けた開発　＜助成事業＞

＜評価項目 2＞目標及び達成状況

（1）アウトカム目標及び達成見込み
（2）アウトプット目標及び達成状況

報告内容

1. 意義・アウトカム（社会実装）達成までの道筋

(※)本事業の位置づけ・意義
(1)アウトカム達成までの道筋
(2)知的財産・標準化戦略

研究開発項目②
「AIチップ開発を加速する共通基盤技術の開発」
＜委託事業＞

2. 目標及び達成状況

(1)本事業のアウトカム目標と達成見込み
(2)アウトプット目標と達成状況

3. マネジメント

(1)実施体制
(2)研究開発計画

研究開発項目①
「AIチップに関するアイディアの実用化に向けた開発」
＜助成事業＞

2. 目標及び達成状況（概要）

(1)アウトカム目標と達成見込み
(2)アウトプット目標と達成状況

3. マネジメント

(1)実施体制
(2)研究開発計画

(※) 評価対象外の項目ですが事業全体ご説明の観点から掲載

アウトカム目標及び達成見込み

● 助成事業 テーマ実施者一覧(全17件)

事業者名称	事業件名（研究開発タイトル）	事業期間
株式会社レイトロン	ＡＩを用いた高性能リアルタイム対話インターフェースの開発	2018.12.20～2020.11.30
株式会社テックイデア	ＡＩ機能を有するＣＭＯＳイメージセンサおよびセンサ装置の開発	2018.11.29～2021.06.30
株式会社Trigence Semiconductor	ＡＩエッジ搭載音声インターフェースモジュールの研究	2018.12.10～2019.11.30
株式会社シンコム	エッジデバイスをＡＩ化する汎用画像処理プロセッサの開発・評価	2018.12.26～2019.11.30
東北マイクロテック株式会社	サイクリック学習機能を有する超低電力ＡＩチップの開発	2018.12.21～2021.11.30
株式会社シグリード	ＡＩ技術でメモリの通信速度を高速化するメモリコントローラの開発	2019.07.18～2021.03.22
株式会社ディジタルメディアプロフェッショナル/株式会社カイ	癌コンパニオン診断用ＡＩ病理画像システム向けＡＩハードウェア研究開発	2019.07.26～2021.03.22
株式会社エイ・オー・テクノロジーズ	画像集合演算プロセッサ（２Ｄ－ＳＯＰ）による高度画像認識基盤の開発	2019.10.08～2020.03.31
株式会社ＨＡＣＡＲＵＳ	スパースモデリング技術を用いた学習・推論エンジンを搭載するＡＩチップ開発	2019.07.23～2020.03.31
ＡＭＩ株式会社	心疾患自動診断アシスト機能搭載チップの実用化に向けたシステム開発	2020.08.11～2022.03.14
ネフロック株式会社	ＦＰＧＡでリアルタイムに高品質な音声合成を行うリコンフィギュラブルＡＩチップ開発	2020.08.11～2022.03.14
AnchorZ株式会社	適時生体情報と利用履歴による認証システム端末用アルゴリズム・ハードウェア要素開発	2020.11.04～2022.03.22
ＰＧＶ株式会社	脳波ＡＩ開発環境の生産性向上に向けた脳波ＡＩ前処理チップとツールの開発	2021.03.22～2022.02.28
メイビスデザイン株式会社	環境適応型エッジデバイス向けオンチップ学習機能搭載ＡＩチップの開発	2021.03.16～2023.02.28
株式会社テクノアクセルネットワークス	組み込みＡＩデータ用セキュリティエンジンＩＰの開発及びＬＳＩ化検証	2021.03.22～2023.02.28
株式会社テックイデア	アナ・デジ技術を用いたＡＩプロセッサ用超低電力積和演算器の開発	2021.07.08～2023.02.28
ソリトンシステムズ株式会社	再構成可能なアナログニューロン回路を用いた超低消費電力ＡＩチップの開発	2021.09.22～2023.02.28

アウトカム目標及び達成状況

- 目標　2023年以降順次**技術の実用化率50%以上**を目指す。
- 本助成事業における実用化の定義
  本助成事業で開発したAIチップや周辺IPの事業期間での実証等を行い、事業終了後に顧客へのサンプル提供やIPビジネスとしてそのIP等を紹介するなど、上市に向けた具体的な取り組みがなされること

これまでに採択したテーマ実施者数　17件（ステージゲート不通過者3件を除くと14件）

現時点で実用化したテーマ実施者数　10件（ステージゲート不通過者は実用化0件）

実用化率　10/17＝58.8%

（ステージゲート不通過者を除いた場合 実用化率　10/14 = 71.4%）

アウトカム目標及び達成状況

●AIチップ設計拠点　利用事業者の実用化の事例(研究開発項目②との連携)

基本計画

「AI チップ開発を加速するために整備した**AI設計検証拠点で開発を実施し**、AI チップ開発スキームにおける設計、検証をシームレスに実施」

革新的なアイディアの実現を加速する研究開発を進める

「技術目標を達成」し「実用化レベルであることを達成」

メイビスデザイン株式会社（熊本県）

【助成事業概要】
高齢者などの「ユーザーが使用する環境に応じた学習」を可能とすることで、人々のQOL向上となる「エッジ学習AI」デバイス、並びに、さまざまな「エッジ学習AI」アプリケーションへの適用を可能とするLSIターンキーの商品化実現に向け、その商品に搭載するSAMスパイキングニューラルネットワークコア、及び、コア搭載LSIチップを、オンチップ学習機能実現性評価、アプリケーション適用性実証評価して開発する。

【事業成果】⇒AI設計拠点を活用し技術目標を達成
（例）・音声認識：モデルSIMで話者識別5分類問題で学習精度/推論精度
共に100%達成(技術目標95%以上)
・AIデバイス(ニューラルネットワークコア)をFPGAで試作評価し、
IPビジネスの商談獲得の活動中。

--- **メイビスデザインの声（AI設計拠点利用報告書より)**---
EDAツールを利用させて頂くことによる、当社で開発中のニューラルネットワークコアIPの開発加速化、品質向上（ができた）。
また、上記IPのユーザビリティ向上を目的とした、周辺機能の検討及び試行及び改善。さらに上記IPの応用ケースまで考案することができた。

アウトカム目標及び達成状況

●実用化に向けて ―― CEATEC(NEDOブース)での展示の事例

CEATEC 2022　出展

1. 東北マイクロテック株式会社　世界初、三次元構造を使った新原理に基づくエッジAIチップ
2. 株式会社レイトロン　AIを用いた高性能リアルタイム対話インターフェースのための音声認識技術
3. 株式会社カイ　大腸がんの再発予測ができる！ＡＩコンパニオン最適治療システム
4. 株式会社ネフロック　FPGAを用いた音声合成AIチップでリアルタイムな音声変換を実現
5. 株式会社テクノアクセルネットワークス　自動運転の安全システムデータなどを守るAI向けセキュリティエンジン

CEATEC2023　出展

6. PGV株式会社　脳波計測と脳波解析をワンストップで

アウトプット目標の達成状況

●目標と成果

- 目標　　：AIチップの動作を効率化し、性能を検証し、ビジネス化の道筋を立てる
- 判定手段：テーマ評価(事後評価委員会)(※1)にて個々のテーマ実施者の成果評価を実施
- 成果　　：受検した13テーマ実施者(※2)中、12者(12/13=92.3%)が順調(概ね期待通りである以上)の評価となり、目標達成と判断する

※1　テーマ評価(事後評価委員会)：　外部有識者により個々の事業者のNEDO事業終了時にその成果を評価する委員会

※2 13テーマ実施者：　全17テーマ実施者中、ステージゲート不通過者3者、ステージゲート通過後事業辞退1者の計4者を除く13者。

テーマ評価ランク	技術面評価	事業化面評価	達成度
期待以上である	0	0	
期待通りである	8者	5者	
概ね期待通りである	4者	8者	○
改善が必要である	1者	0	
抜本的な改善が必要である	0	0	

◎大きく上回って達成、○達成、△達成不十分、×未達大

アウトプット目標の達成状況

●テーマ評価(事後評価委員会)の評価基準

審査項目				配点
技術評価項目	1	目標達成度/成果	・技術開発成果は、目標値をクリアしているか。	期待以上である。 期待通りである。 概ね期待通りである。 改善が必要である。 抜本的な改善が必要である。
	2	事業期間後の到達目標と実施内容の設定	・新規性、先進性が認められる研究開発であったか。 ・到達目標を達成するための技術課題を認識し、これに対する解決手段が具体的であるか。	期待以上である。 期待通りである。 概ね期待通りである。 改善が必要である。 抜本的な改善が必要である。
事業化評価項目	1	市場ニーズと事業の概要	・具体的な社会ニーズに即した事業であったか。 ・事業化の目標および内容は明確かつ具体的に示されているか。	期待以上である。 期待通りである。 概ね期待通りである。 改善が必要である。 抜本的な改善が必要である。
	2	実用化の見通し	・成果に関する特許取得または出願の予定はあるか。 ・実用化に向けたスケジュールや体制は明確になっているか。 ・実用化による波及効果や、市場の創出効果は認められるか。 ・事業化のための生産計画や販売計画は妥当か。	期待以上である。 期待通りである。 概ね期待通りである。 改善が必要である。 抜本的な改善が必要である。

特許出願

● 助成事業テーマ実施者による特許出願状況

出願年度	出願人	出願番号	国内・国外・PCT	出願日	状態	名称
2019	株式会社テックイデア	特願2020-550012 (PCT/JP2019/032573)	PCT	2019年8月21日	–	イメージセンサ
2020	株式会社カイ	特願2020-216728	国内	2020年12月25日	公開済	癌の再発可能性を判定する再発判定装置および再発判定方法
2021	株式会社テクノアクセルネットワークス	特願2021-118796	国内	2021年7月19日	公開済	データベース管理システム及び通信システム
2022	テーマ実施者A	–	国内	2022年12月	出願済	–
2022	テーマ実施者A	–	国内	2022年12月	出願済	–
2022	テーマ実施者B	–	国内	2023年2月	出願済	–
2023	メイビスデザイン株式会社	特願2023-074432	国内	2023年4月28日	登録済	相互接続制御回路

＜評価項目３＞マネジメント

（1）実施体制
（※）受益者負担の考え方　＊終了時評価においては対象外
（2）研究開発計画

報告内容

1. 意義・アウトカム（社会実装）達成までの道筋

（※）本事業の位置づけ・意義
(1)アウトカム達成までの道筋
(2)知的財産・標準化戦略

研究開発項目②
「AIチップ開発を加速する共通基盤技術の開発」
＜委託事業＞

2. 目標及び達成状況

(1)本事業のアウトカム目標と達成見込み
(2)アウトプット目標と達成状況

3. マネジメント

(1)実施体制
(2)研究開発計画

研究開発項目①
「AIチップに関するアイディアの実用化に向けた開発」
＜助成事業＞

2. 目標及び達成状況（概要）

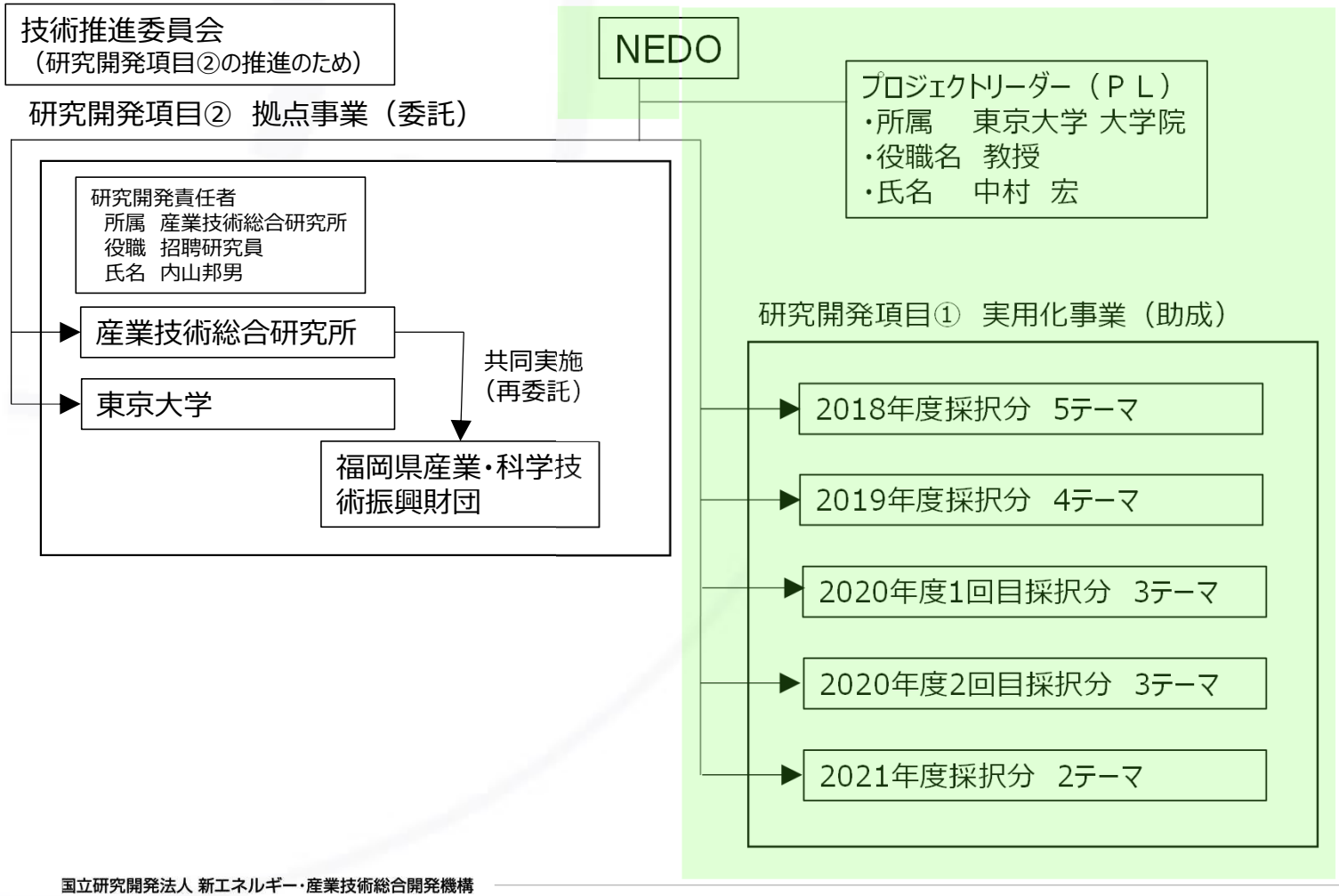
(1)アウトカム目標と達成見込み
(2)アウトプット目標と達成状況

3. マネジメント

(1)実施体制
(2)研究開発計画

（※） 評価対象外の項目ですが
事業全体ご説明の観点から掲載

実施体制（責任体制）



・**公募**により研究開発実施者を選定
・各実施者の研究開発能力を最大限に活用し、効率的かつ効果的に研究開発を推進する観点から、NEDOがプロジェクトリーダー（PL）を選定し、**PLの下で研究開発を実施**

助成事業の採択プロセス　―　2021年採択(5期生)の例

【公募】

公募予告（１月１２日）⇒ 公募（３月１日）⇒ 公募〆切（３月３１日）

【採択】

事前書面審査　4月8日～4月27日　⇒　採択審査委員会（プレゼンテーション審査）（５月18日、19日）

- 採択審査項目

技術面・事業化面の両面から以下の観点に基づき審査を行い判定した。

1.技術に関する評価項目

「保有技術の明確性・妥当性」、「アイディアの新規性及び優位性」、「目標、課題の明確性・妥当性」、「解決手段の明確性・妥当性」、「評価・検証方法の明確性」、「費用支出の明確性・妥当性」

2.事業化に関する評価項目

「ビジネスモデルの明確性」、「市場ニーズの把握」、「新規市場創出効果」、「開発品の優位性」

- 研究の健全性・公平性の確保に係る取組

公募の際に、その他の補助金制度の受給状況を確認し、不合理な重複及び過度の集中がないか確認した。

（参考：公募要領の8.留意事項(7)）

進捗管理

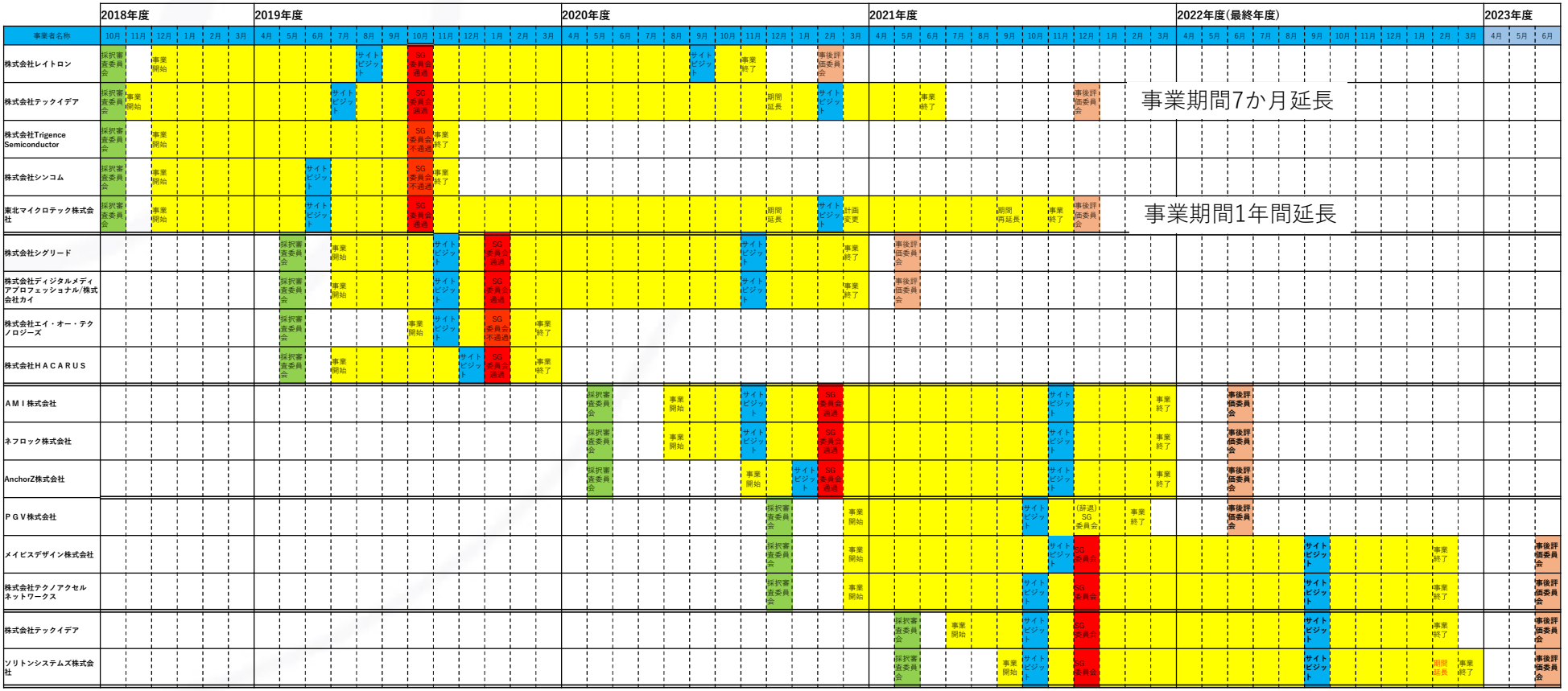
	参加者	目的	頻度
ステージゲート審査委員会	外部有識者、助成事業各テーマ実施者、NEDO関係者	研究開発を効率的に推進するためステージゲート方式を適用し、1年目の成果を評価し、２年目への通過可否を判定します。	事業期間２年のうち、1年目終了前に行う。
サイトビジット	プロジェクトリーダー(PL)、助成事業各テーマ実施者、NEDO関係者	ＰＬにより研究開発進捗のヒアリングを行い成果・課題を共有します。ステージゲート審査に向けた改善アドバイスを含む場合があります。	助成事業各テーマ実施者毎に１回／年
テーマ評価（事後評価委員会）	外部有識者、助成事業各テーマ実施者、NEDO関係者	事業期間を終えた事業者の研究開発成果と事業化の進捗を評価し、「期待通り」であるか否かを審査します。	事業期間終了後1年以内に行う。
進捗確認	助成事業各テーマ実施者、NEDO関係者	中間検査時に進捗確認のヒアリングを行い課題を共有します。	助成事業各テーマ実施者毎に１回／四半期

進捗管理

研究開発項目①助成事業の実施スケジュール（17テーマ実施者）

ステージゲート審査　サイトビジット　テーマ評価(事後評価委員会)

NEDO関係者は各テーマ実施者の進捗状況を常に把握し、研究開発に遅れが生じた場合、事業期間の延長、助成費用の後ろ倒し等の処理を行い適切に対応した。



進捗管理：動向・情勢変化への対応

・外的要因による研究開発遅延に対する事業期間延長の実施

Covid-19、世界的な半導体供給不足が生じた際に、事業者努力とは無関係にいくつかの助成事業実施者で研究開発の遅延が生じた。
それに対し、例えば助成事業実施者A、Bに対してそれぞれ1年間、7か月の助成事業期間延長処理を行い、遅延を挽回する支援を行った。また費用の年度を超えた後ろ倒しの処理を実施し、助成金が適切に使用されるよう対応した。

・2020年度第2回目公募より対象民間企業に中堅企業（※）を追加
当初中小企業のみを対象としていたが、対象事業者の幅を広げ助成事業をより推進させるため、中堅企業を公募対象に追加した。2021年度1社（ソリトンシステムズ株式会社）の応募を受け審査の上、採択となった。

（※）中堅企業：売上高1,000億円未満又は従業員が1,000人未満の企業であって、中小企業者およびみなし大企業に該当しない法人

資料6-1

AIチップ開発加速のためのイノベーション推進事業

研究開発項目②
「AIチップ開発を加速する共通基盤技術の開発」全体概要

研究開発責任者　内山邦男（産総研）

目次

1．概要
- 研究開発の背景と狙い
- AIチップ設計拠点の体制・運営・利用形態
- 実施項目・体制・スケジュール

2．成果
- 事業目標と実績
- 拠点の構築と運営
- 外部発表、人材育成

3．2023年度からの拠点運営
- 運営方針
- 利用方法・利用例・実績

1. 概要：研究開発の背景と狙い

- ✓ 我が国では、ベンチャー企業等を中心に、AIチップを基にした新たなビジネスを創出させる種が多数存在。
- ✓ 一方、AIチップ設計には、高額な**EDAツール**や**IP、検証装置（エミュレータ等）**が必要であり、これらがビジネス化に向けた高いハードルとなっている。
- ✓ AIチップ設計に必要な**共通基盤技術開発**と**拠点整備**により、イノベーション実現のためのAIチップ開発を加速する。

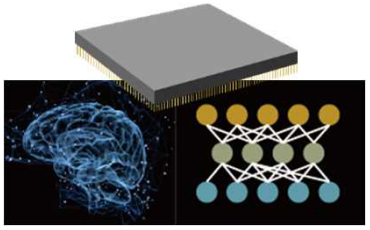
革新的AIチップのアイディア

国内中小企業
ベンチャー企業

高額なEDAツール、
IP、検証装置が必要

高いハードル

**AIチップ
プロトタイプ試作**



学習、推論、認識を
低電力かつ高速に

**超スマート社会
(Society5.0)
の実現**

- **次世代モビリティ**
  自動運転，無人配送，…
- **次世代ヘルスケア**
  AI診断，自動ﾓﾆﾀﾘﾝｸﾞ，…
- **次世代サプライチェーン**
  ｽﾏｰﾄ保安，無人工場，…
- **農林水産業スマート化**
  無人農業車両，水中ﾛﾎﾞｯﾄ，…
- **FinTech**

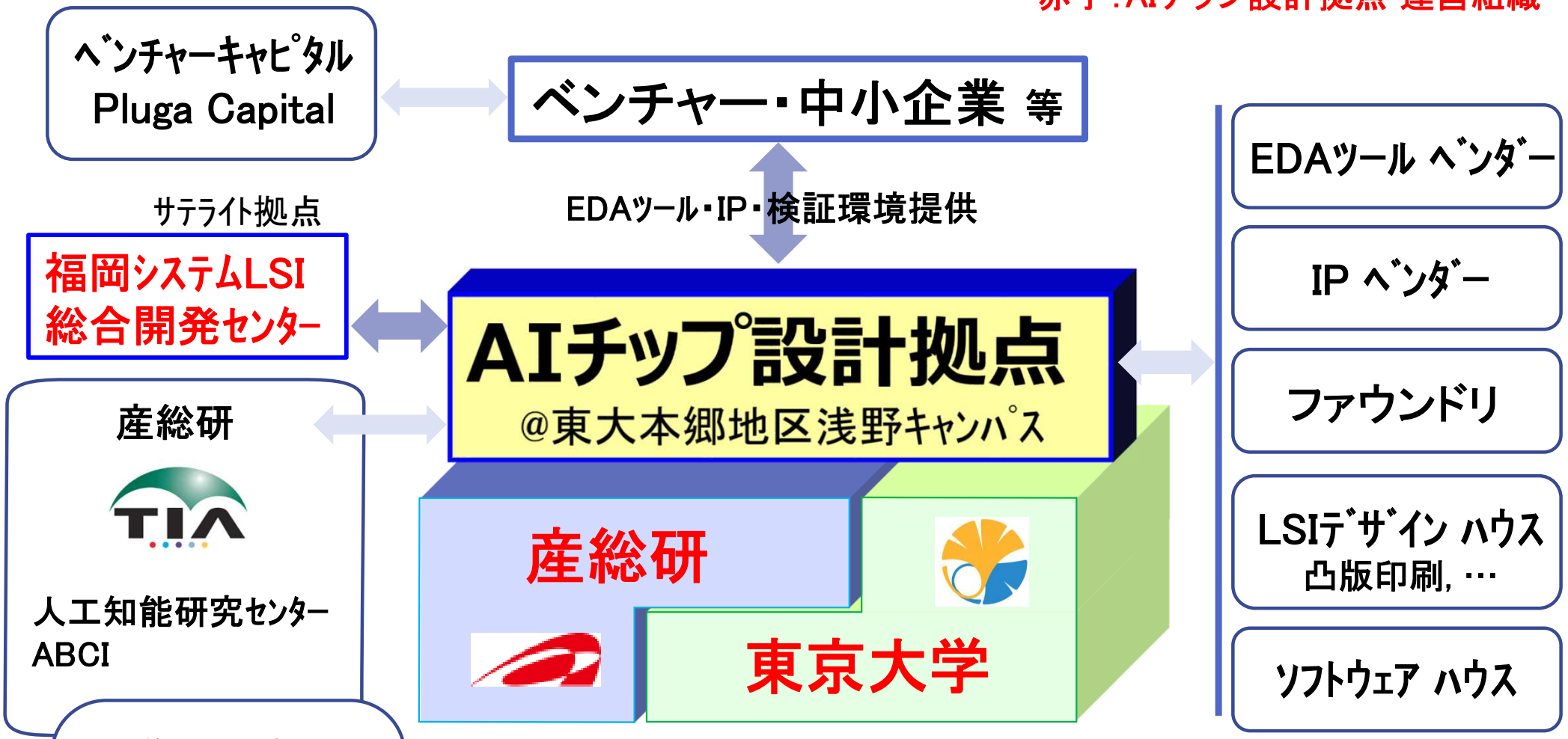
:

AIチップ設計拠点

本事業において、
共通基盤技術の開発し、拠点を構築

1. 概要： AIチップ設計拠点の体制と運営

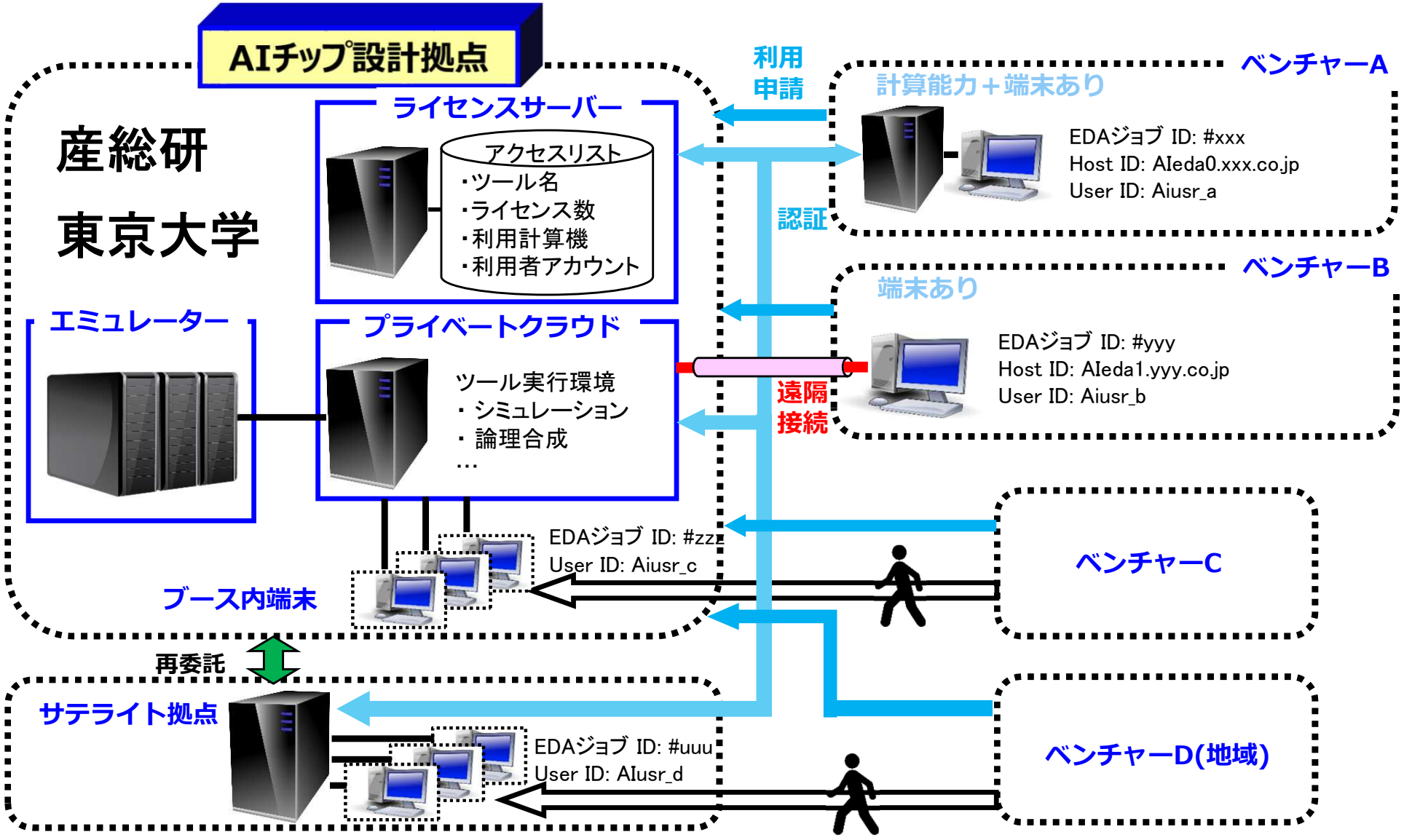
赤字：AIチップ設計拠点 運営組織



- ✓ AIチップ設計に必要な設計・検証環境（EDAツール，IP，エミュレータ等）の整備，提供
- ✓ AIチップ開発に資する設計技術、検証手法の開発
- ✓ AIチップ技術に関する人材育成

1. 概要： AIチップ設計拠点の利用形態

✓ 企業毎の設計環境に応じた拠点利用形態を整備し、中小・ベンチャー企業等が使い易い拠点を目指す



1. 概要：研究開発の実施項目

実施項目１：ＡＩチップ開発に必要な共通基盤技術の研究開発

1-1 AIﾁｯﾌﾟ向け設計ﾌﾛｰの研究開発

検証装置とシミュレータの協調設計フロー

1-2 ﾊｰﾄﾞｳｪｱ開発垂直立ち上げ実現のための研究開発

ソフトウェアからハードウェア設計を一気通貫に実現できるツールチェイン

1-4 ｾﾝｻ機能を含むﾁｯﾌﾟのための新規ﾃﾞﾊﾞｲｽﾓﾃﾞﾙの研究開発

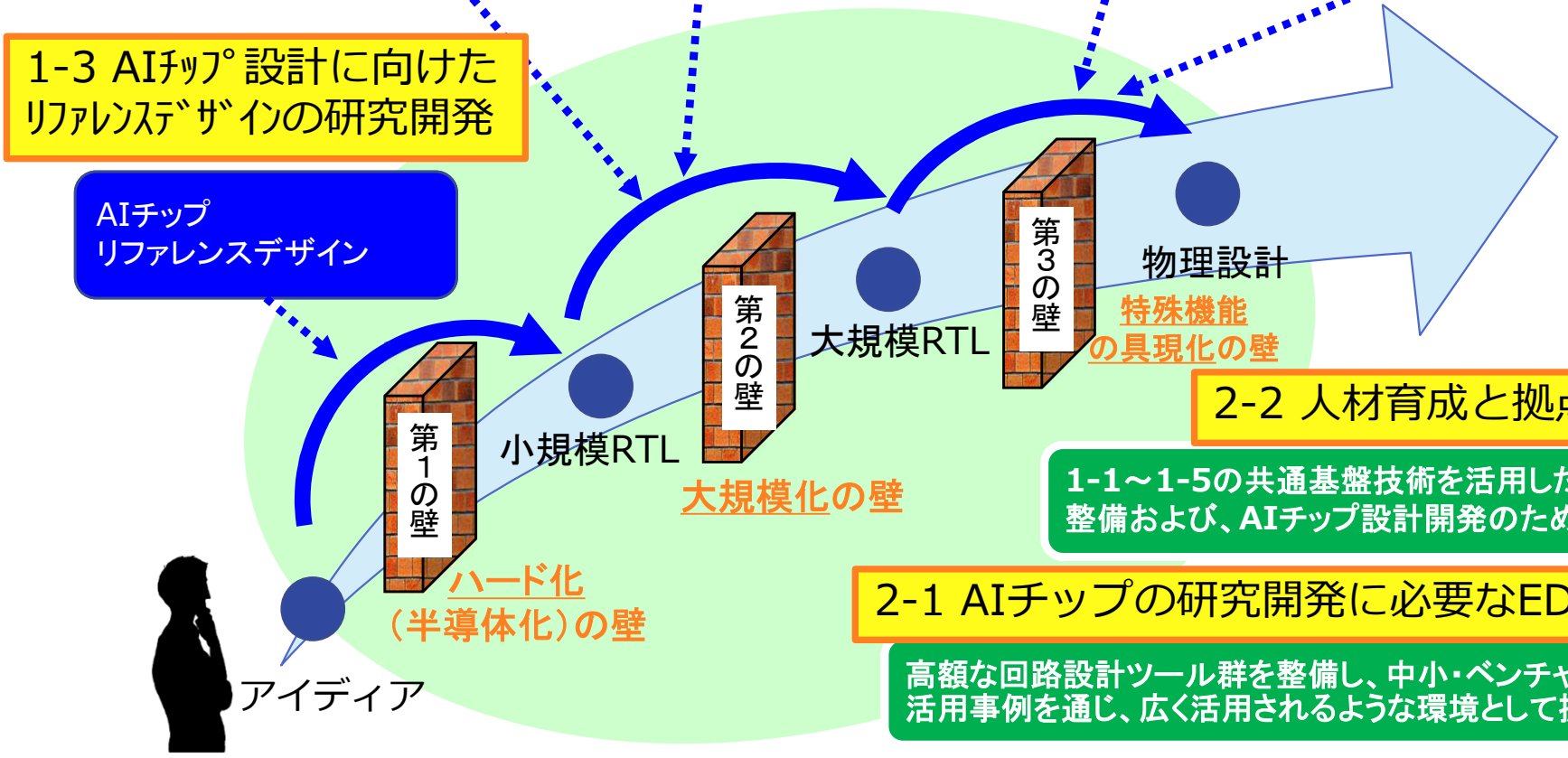
センサーなどの機能素子モデル化技術

1-5 国内外FABの活用と最適化ﾗｲﾌﾞﾗﾘの研究開発

国内外FABとの連携
AI-One/Twoﾌﾟﾗｯﾄﾌｫｰﾑ

1-3 AIﾁｯﾌﾟ設計に向けたﾘﾌｧﾚﾝｽﾃﾞｻﾞｲﾝの研究開発

AIチップ
リファレンスデザイン



2-2 人材育成と拠点機能の整備

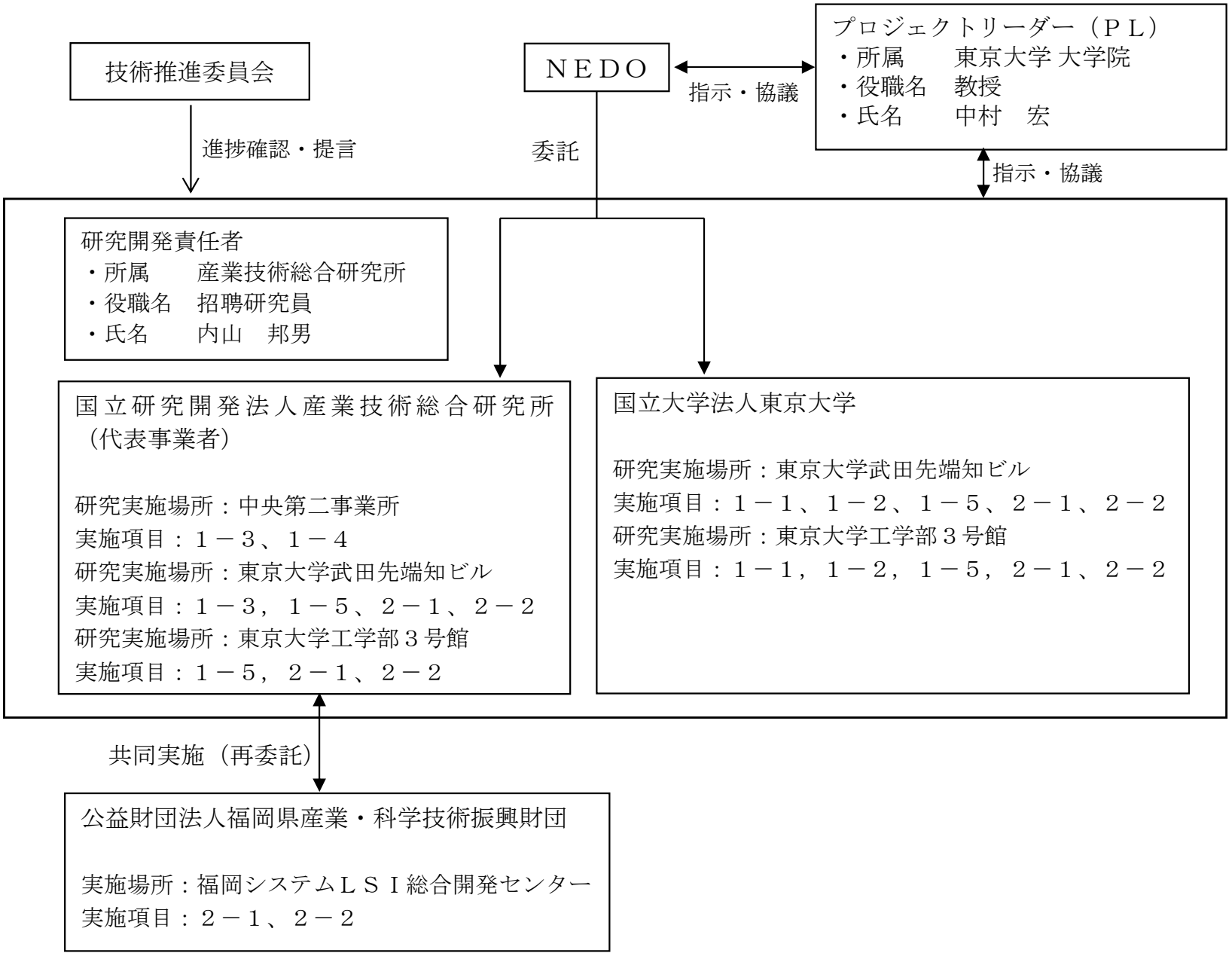
1-1～1-5の共通基盤技術を活用した教育カリキュラムの整備および、AIチップ設計開発のための教育を行う

2-1 AIチップの研究開発に必要なEDAツールの整備

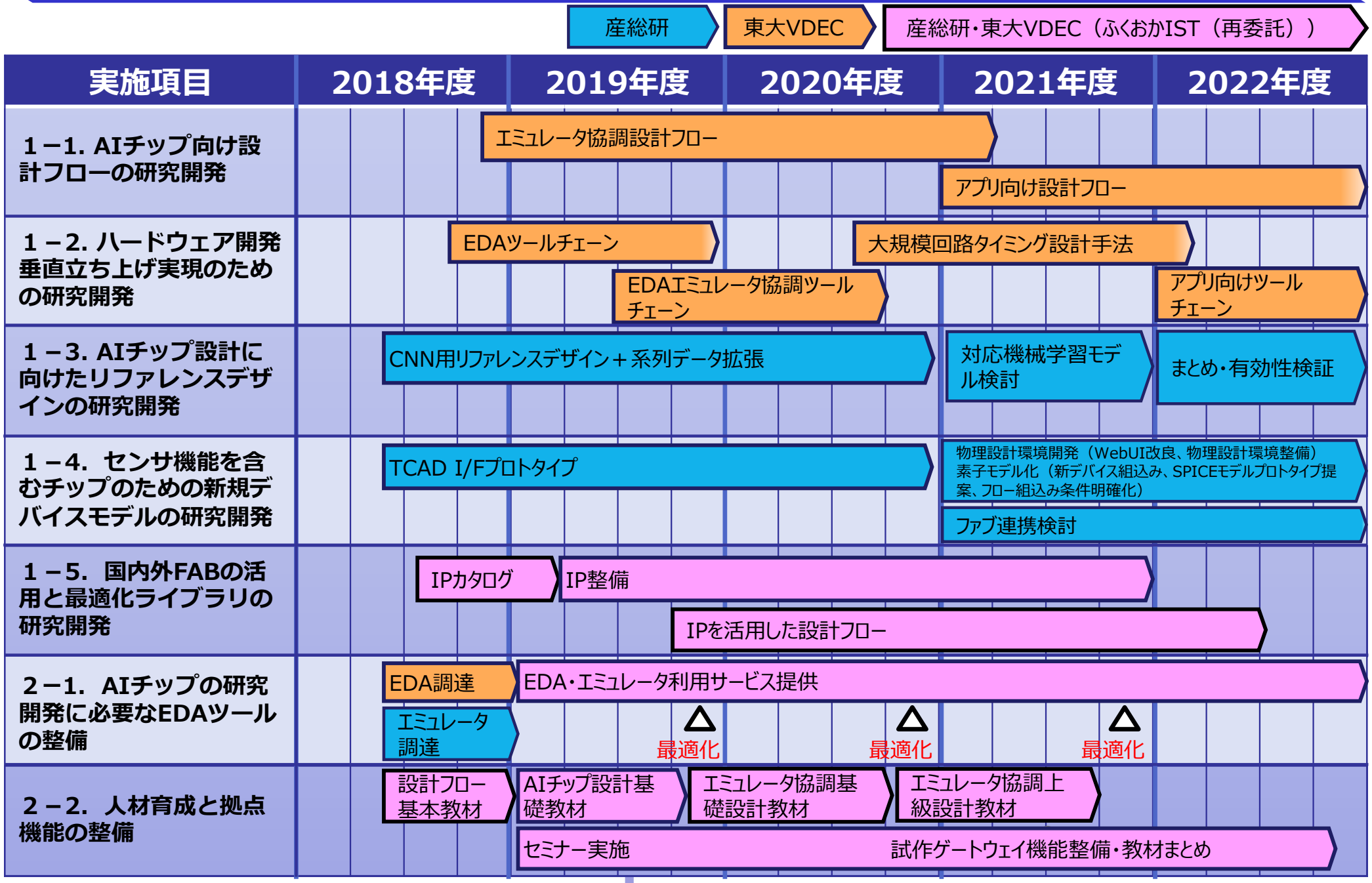
高額な回路設計ツール群を整備し、中小・ベンチャー企業等からの拠点活用事例を通じ、広く活用されるような環境として提供する

実施項目2：ＡＩチップ開発拠点の整備

1. 概要：研究開発の実施体制



1. 概要：研究開発のスケジュールと進捗



拠点機能の試験運用開始（10/7）

[中間目標]（令和2年度：2020年度）

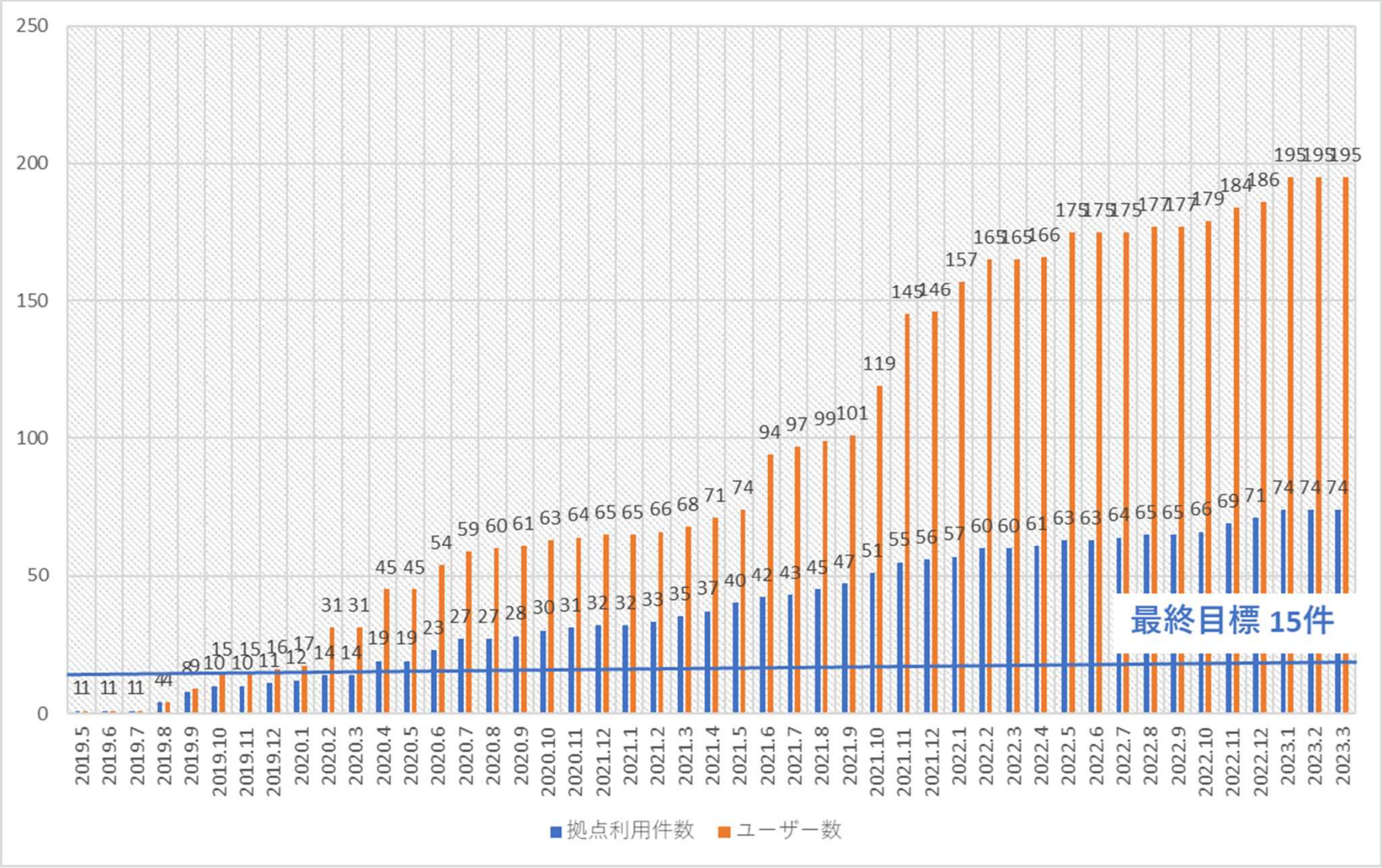
本事業を通じて開発、整備したAIチップ設計のための共通基盤技術、学習環境、設計環境の活用件数10件以上を目標とする。
⇒ 2021年3月時点で35件の実績

[最終目標]（令和4年度：2022年度）

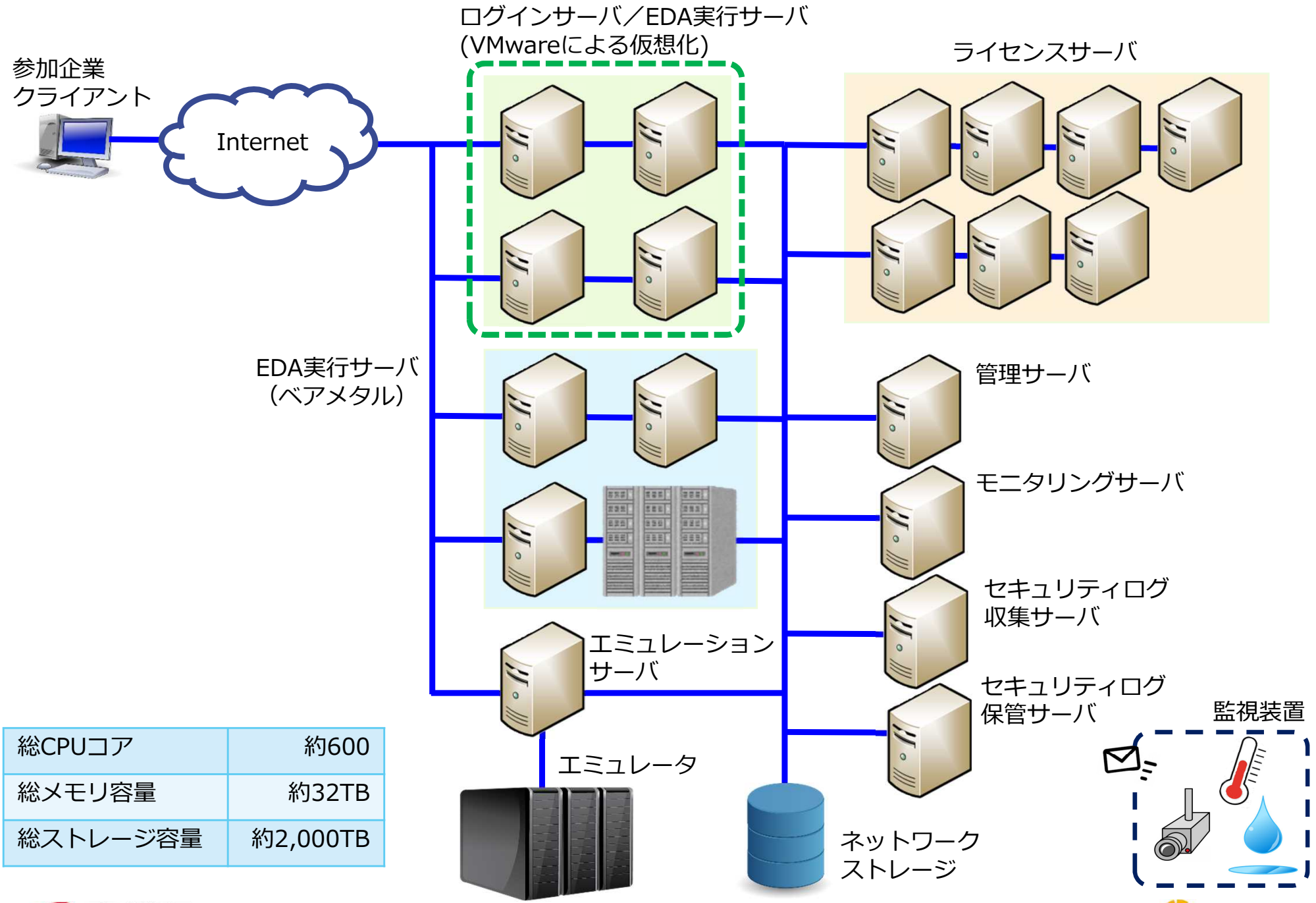
本事業を通じて開発、整備したAIチップ設計のための共通基盤技術、学習環境、設計環境の活用件数15件以上を目標とする。
⇒ 2023年3月時点で74件の実績

2. 成果：拠点活用件数/ユーザ数の推移

2023年3月時点の拠点活用件数(累積)　74件
内訳　企業：55件、大学：12件、国研：6件、その他：1件（一社）



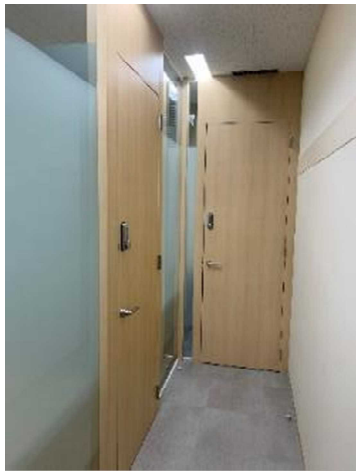
2. 成果：拠点クラウドの構築

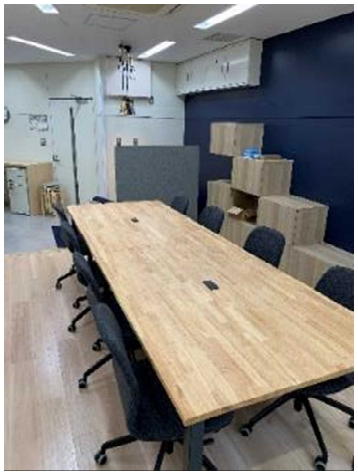


総CPUコア	約600
総メモリ容量	約32TB
総ストレージ容量	約2,000TB

2. 成果：拠点の構築

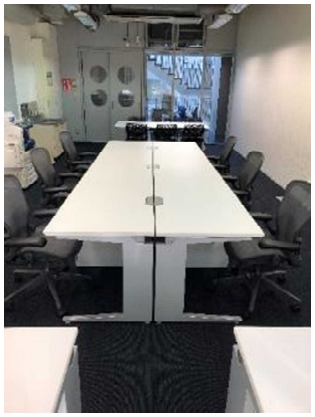
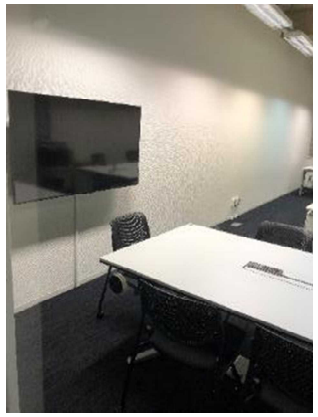
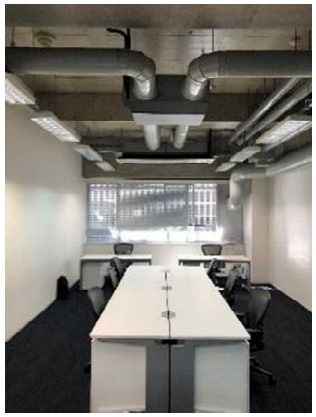
工学部3号館107号室（ブース）





サーバ室（クラウド環境、エミュレータ）

武田先端知ビル203号室（執務室）

サテライト拠点（福岡IST）

2. 成果：EDAツールの整備

Cadence, Synopsys, Siemensのツールを整備

アーキテクチャ検証、高位合成、論理設計/検証、回路設計、物理設計/検証、論理エミュレータ、FPGAプロトタイピング、ボード設計、etc.

#Vendor	Feature	大項目	用途・カテゴリ
cadence	Stratus_HLS_-_XL	アーキテクチャ検証 高位合成システムツール群	高位合成 (High-level Synthesis)
cadence	Stratus_Floating_Point		
mentor	Catapult-Prime_Ap_SW	アーキテクチャ検証 高位合成システムツール群	高位合成
mentor	Oasys-RTL_Designer_Ap_SW		
mentor	Oasys-RTL_Floorplanning_AddOn_SW		
mentor	Oasys-RTL_Architect_AddOn_SW		
mentor	Oasys-RTL_Low_Power_AddOn_SW		
mentor	Catapult_Coverage_Ap_SW		高位検証
mentor	SLEC-HLS_Ap_SW		
mentor	PowerPro-Optimizer_Ap_SW		消費電力の推定・解析
synopsys	DC_Explorer	論理設計検証ツール群	論理合成ツール (LogicSynthesis)
synopsys	DC_Ultra		
synopsys	HDL_Compiler_Verilog		
synopsys	VHDL_Compiler		
synopsys	Power_Compiler		
synopsys	DFT_Compiler		
synopsys	Design_Vision		論理合成結果の可視化・最適化ツール (GUI & Advanced Optimization)
synopsys	Design_Compiler_Graphical		
synopsys	Library_Compiler		論理合成向け基本関数ライブラリ (Datapath library for Logic Synthesis)
synopsys	DesignWare_Library		
synopsys	DW_minPower_Components		
synopsys	IC_Compiler_II_AG_8-core		配置配線ツール (P&R)
synopsys	Custom_Compiler_ADV		
synopsys	IC-Compiler-II-AF-Add-on		
synopsys	StarRC_Ultra		寄生成分抽出ツール (Extraction)
synopsys	Custom_Compiler_ADV		
synopsys	IC_Validator_NXT		
synopsys	IC_WorkBench_Edit/View_Plus		
synopsys	PrimeTime_ADVP		タイミング検証・電力解析ツール (Timing & Power Analysis)
synopsys	Prime_Power		
synopsys	Formality		等価性検証ツール (Equivalence checking)
synopsys	PowerReplay		論理デバッグツール (Debug)
synopsys	Verdi-3		
synopsys	Verdi_-_Power_Aware_Debug		
synopsys	nAnalyzer		
synopsys	nECO		
synopsys	Verdi_HW_SW_Debug_Add-on		
synopsys	Verdi_Advanced_AMS_Debug_Add-on		
synopsys	Verdi_Performance_Analyzer		
synopsys	SpyGlass_Lint		RTL解析ツール (RTL analysis)
synopsys	SpyGlass_Lint_Turbo_Add-on		
synopsys	SpyGlass_CDC_Advanced_Add-on		
synopsys	SpyGlass_RDC_Add-on		
synopsys	SpyGlass_DFT_ADV_Add-on		
synopsys	SpyGlass_SVA_Generation_Add-on		
synopsys	VC_LP		
synopsys	SpyGlass_Power_Explorer_Add-on		
synopsys	VC_Formal		形式的機能検証 (Formal verification)
synopsys	VC_Formal_FSV_Add-on		
synopsys	VC_Formal_FTA_Add-on		
synopsys	Certitude_Base_w_Unlimited_Sim		検証品質確認ツール (Functional Qualification)
synopsys	DFTMAX		テスト設計検証ツール (Design for test)
synopsys	DFTMAX_Ultra_Add-on		
synopsys	DC_Ultra		
synopsys	Design_Vision		
synopsys	HDL_Compiler_Verilog		
synopsys	TetraMAX_II_ADV_8-core_ATPG		
synopsys	HSPICE		回路レベルシミュレーションツール (Circuite simulation)
synopsys	Custom_WaveView_ADV		
synopsys	CustomSim_with_FineSim2		
synopsys	FastSPICE_Analysis_Suite		
synopsys	Custom_Compiler_ADV		
synopsys	VCS_MX		
synopsys	TestMax_CustomFault		
synopsys	X-Prop_Add-on		論理シミュレーションツール (Logic simulation)
synopsys	VCS_MX		
synopsys	NLP_Add-On		

cadence	Genus_Synthesis_Solution	論理設計検証ツール群	論理合成 (Logic Synthesis)
cadence	Genus_Low_Power_Option		
cadence	Genus_Physical_Option		
cadence	Joules_RTL_Power_Solution		電力解析
cadence	Conformal_Low_Power_-_XL		等価検証
cadence	Innovus_Implementation_System		配置配線 (Place&Route)
cadence	Innovus_20/16/14nm_Option		
cadence	Innovus_Hierarchical_Design_Option		
cadence	Tempus_Timing_Signoff_Solution		タイミング検証 (Timing Analysis)
cadence	Tempus_Timing_Signoff_Solution_ECO		
cadence	Xcelium_Single_Core		論理検証 (Logic Verification)
cadence	Xcelium_Digital_Mixed_Signal_Option		
cadence	vManager_Integration_Server		
cadence	vManager_Multi-Project_Application		
cadence	vManager_Linux_Client		
cadence	JasperGold_Formal_Verification_Platform		フォーマル検証
cadence	Virtuoso_Schematic_Editor_L	アナログ・ミックスドシグナル設計	回路図入力 (Schematic Editor)
cadence	Virtuoso_Schematic_Editor_XL		
cadence	Virtuoso_ADE_Assembler		
cadence	Virtuoso_Layout_Suite_L		レイアウト入力 (Layout Editor)
cadence	Virtuoso_Layout_Suite_XL		
cadence	Spectre_Multi-Mode_Simulation_with_AMS		シミュレーション
synopsys	Custom_Compiler_ADV	アナログ・ミックスドシグナル設計	回路図入力 (Schematic Editor)
synopsys	Custom_Compiler_ADV		レイアウト入力 (Layout Editor)
synopsys	Galaxy_Custom_Router		
synopsys	HSPICE		アナログシミュレーション環境 (Analog Simulation)
synopsys	Custom_WaveView_ADV		
synopsys	CustomSim_with_FineSim2		
synopsys	FastSPICE_Analysis_Suite		
synopsys	TestMax_CustomFault		
synopsys	Custom_Compiler_ADV		
synopsys	StarRC_Ultra		設計規則検査・寄生成分抽出ツール (DRC & Extraction)
synopsys	IC_Validator_NXT		
synopsys	Custom_Compiler_ADV		
synopsys	FastSPICE_Analysis_Suite		電力解析ツール (Power Analysis)
synopsys	CustomSim_with_FineSim2		
synopsys	Custom_Compiler_ADV		
mentor	Calibre_nmDRC_Ap_SW	物理検証ツール群	物理検証 DRC LVS (Physical Verification)
mentor	Calibre_nmDRC-H_Op_SW		
mentor	Calibre_nmLVS_Ap_SW		
mentor	Calibre_nmLVS-H_Op_SW		寄生成分抽出
mentor	Calibre_xACT_3D_Ap_SW		
mentor	Calibre_RVE/QDB-H_Ap_SW		対話型実行環境 結果表示
mentor	Calibre_Interactive_Ap_SW		
mentor	Calibre_DESIGNrev_Ap_SW		
cadence	Physical_Verification_System_DRC	物理検証ツール群	物理検証 DRC LVS (Physical Verification)
cadence	Physical_Verification_System_Advanced_Analysis_Option_for_PVS_DRC		
cadence	Physical_Verification_System_LVS		
cadence	Physical_Verification_System_Advanced_Device_Option		
cadence	Quantus_QRC_Extraction		寄生成分抽出 (Parasitic Extraction)
cadence	Quantus_QRC_Advanced_Analysis		
cadence	Quantus_QRC_Advanced_Modeling		
cadence	Quantus_QRC_Advanced_Node_Modeling		
cadence	Voltus_IC_Power_Integrity_Solution		電力解析 (Power Analysis)
cadence	Voltus_IC_Power_Integrity_Solution_Advanced_Analysis_GXL_Option		
cadence	Voltus-Fi_Custom_Power_Integrity_Solution		
cadence	Palladium_Z1_GXL_576_always-on-domains	エミュレータ FPGAプロトタイプ	エミュレータ
cadence	Palladium_Z1_56Gbps_36_ports_switch		
cadence	Palladium_Z1_2-port_host_card		
cadence	Palladium_Dynamic_Power_Analysis_2.0		
cadence	Virtual_Debug_Interface_to_Software_Debuggers_4-pack		
cadence	Palladium_Series_Memory-model_Multiple_Subscription		
cadence	Palladium_PCIe_4.0_VirtualBridge_Kit		
cadence	Palladium_VirtualBridge_8-port_pack		
cadence	Incisive-Enterprise-Simulator---XL		エミュレータ用検証モデル
cadence	Palladium_Accelerated_VIP_for_AMBA_AXI		
cadence	Palladium_Accelerated_VIP_for_AMBA_AHB		
cadence	Palladium_Accelerated_VIP_for_PCIe_4.0		
cadence	Accelerated_VIP_for_AMBA_USB_3.1		
cadence	Accelerated_VIP_for_HDMI_2.0		
cadence	Accelerated_VIP_for_MIPI_CSI_2		
cadence	Accelerated_VIP_for_MIPI_DSI_2		
cadence	Accelerated_VIP_for_CCIX		
cadence	Protium-S1-Implementation-and-Debug-Software		FPGAプロトタイプ
cadence	Protium_S1_FPGA-based_prototyping_system_8_UltraScale_VU440_FPGAs		
cadence	Protium_S1_accessory__2_chassis_cable_kit		
cadence	Protium_S1_Accessory__High_Performance_XDRAM_Card__16GB		
cadence	PCIE_4.0_Emulation_Dev_Kit_for_Win10_on_Intel_platform		
cadence	PCIE_4.0_Emulation_Dev_Kit_for_Win10_on_Intel_platform		
cadence	Protium_S1_Accessory__QSS_Adapter_for_PCIe_4.0_SpeedBridge		
cadence	Protium_S1_Accessory__DDR4_direct_connect__8GB		
cadence	Protium_/_Protium_S1_Accessory__144MB_SRAM_SODIMM		
cadence	Protium_S1_Accessory__204-pin_SODIMM_Adapter		
cadence	Protium_/_Protium_S1_Accessory__PCIe_kit		
cadence	Video_SB_for_HD_serial_interfaces__RoHS		
cadence	Protium_S1_Accessory__VHDCI_Adapter_for_Video_SpeedBridge		
cadence	Allegro PCB Designer	BoardDesign	PCB board Design

2. 成果：IPの整備

Synopsysの40nm,28nm,12nm 標準IP群 (CPU, DSP, DMAC, DDR, PCIe, I2C, etc.) を整備 (物理系はTSMC向け)

40nm

Catgry	Edge	Graph	IP packageName
MCU, CPU	MCU for RToS	CPU for Linux	ARC EM9D Core
	DSP		
	Debug	Debug	
	Timer	Timer	
	WDT	WDT	
	INTC	INTC	
	XYIF		
	MemIF		
	ROMIF		
	Sybsystem RTL		Data Fusion IP Subsystem
	FPU		ARC FPU Option for EM
	DMAC		ARC uDMA Option for EM
		SRAMIF	ARC HS38x2 Core
		ROMIF	
		DMAC	AXI DMAC
Bus IF	AHB/I2C	AHB/I2C	APB Advenced Peripherals
	APB/I2C	APB/I2C	
	APB/UART	APB/UART	
	SPI	SPI	SSI Core
	AHB Master/Slave	AHB Master/Slave	AHB Fabric
	AHB I2C IF	AHB I2C IF	
	AHB SDMI40 IF	AHB SDMI28 IF	
	ADC IF		
	DAC IF		
	APB/GPIO	APB/GPIO	APB Peripherals
	SDMI40	SDMI28	SDHC
Security	TEE		ARC EM ESP Option
	AES		ARC Crypto Pack Option
	ECC		
	SHA		
	AES_SW		Cryptography SW Library
	ECC-SW		
	SHA-SW		
	OTP		NVM OTP TS40LP

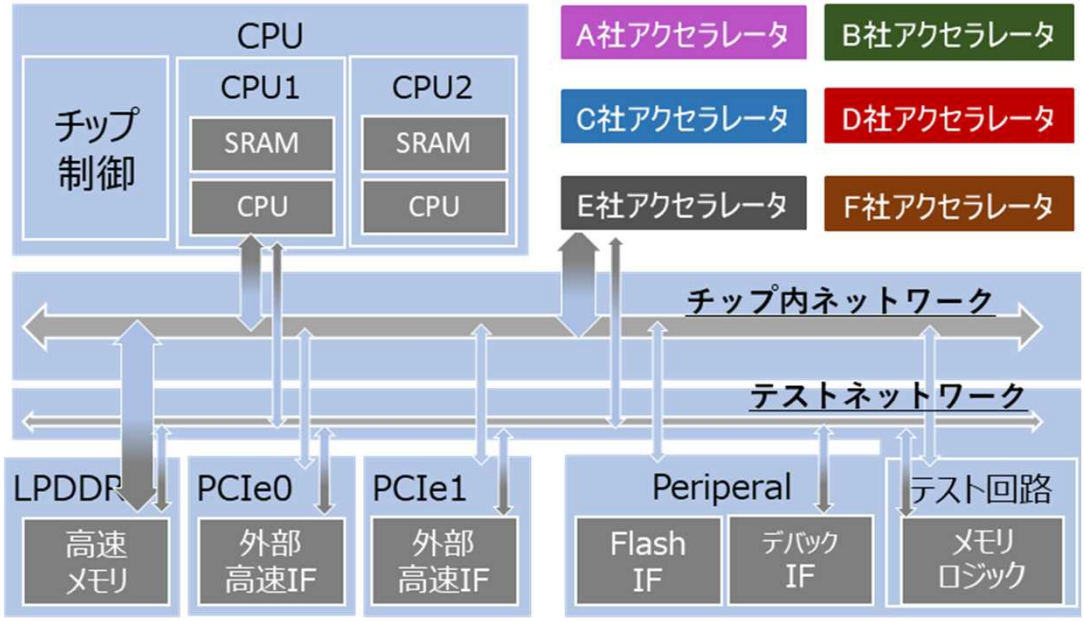
28nm

Catgry	Edge	Graph	IP packageName
DDR		DDR-cntl	Universal DDR MCTL2 MP - v3.50a
		DDR-opt	Adv Feature Pkg for uMCTL2
		DDR-addOnLP	LPDDR4 Add-on to uMCTL2
		DDR-Phy	LPDDR4 multiPHY V2 28HPC+
PCIe		PCIeG2 Std	PCIe 2.0 Standard AMBA
		PCIeG2-Phy	PCIe V2.x Consumer 6Gx4, 28HPC+18
USB	USB2.0 40-OTG	USB2.0 28-OTG	usb_2_0_hs_otg_v4
	USB2.0 40-Phy		USB2 picoPHY 40LP25
		USB2.0 40-Phy	USB2 femtoPHY 28HPC+18
MIPI	MIPI 40-Csi	MIPI 28-Csi	MIPI CSI2 Host Controller
	MIPI 40-Dsi	MIPI 28-Dsi	MIPI DSI Host Controller
	MIPI 40-Tx		mipi_dphy_bd4_t40lp25
	MIPI 40-Rx		mipi_dphy_rx4_t40lp25
		MIPI 28-Tx	mipi_d_t4_tsmc28hpcp18ns
		MIPI 28-Rx	mipi_d_r4_tsmc28hpcp18ns
ADC	ADC		ADC-IQIF 12b250M 40LP
		ADC	ADCIQ12b320M 28HPCPNS
	DAC		DAC-IQ, 12b160M 40LP
		DAC	DACIQ12b640M TSMC28HPCPNS
StdCell, RAM, Bist, Yield	Std40		Duet 40LP
	SRAM40 1Port		
	ROM40		
	SRAM40 2Port		Duet TSMC 40LP 2PUHD Add-on
	Std40-HPC		Duet TSMC 40LP HPC Design Kit
		Std28	Duet 28HPC+
		SRAM28 1Port	
		ROM28	
		SRAM28 2Port	Duet 28HPC+ 2PUHD Add-on
		Std28 HPCt	Duet 28HPC+ HPC Design Kit
	Bist, Test, Repare	Bist, Test, Repare	SMS v5.X Test and Repair
	Bist, Yield	Bist, Yield	SMS Yield Accelerator
	TAP compiler	TAP compiler	SHS IP Compiler
	TAP Yield	TAP Yield	SHS Yield Accelerator
Board, Dev Tools	Evaluation Board		ARC DWC IoT Development Kit
		Evaluation Board	ARC HS Development Kit
	Debug tools	Debug tools	ARC MetaWare Devel Toolkit
	Debuger, SW	Debuger, SW	
	RToS	Linux	The embARC Community
	Drivers	Drivers	
	Sample Apps	Sample Apps	

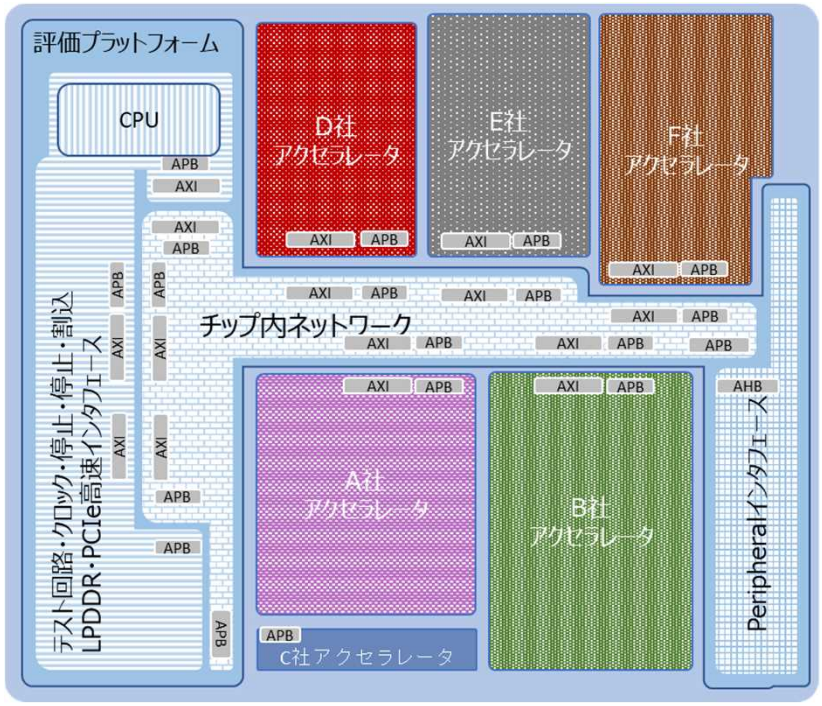
2. 成果：AIアクセラレータのための評価プラットフォーム(AI-One)構築

- 拠点導入IP(28nm)を活用して、拠点が設計プラットフォームを準備
- 乗合チップ参加企業は各社のAIアクセラレータをプラットフォームに接続
- 拠点がまとめてチップ実装を行いファブに試作依頼、各社にチップ(+ボード)を配布
- 各社は試作チップ（ボード)を用いて、実証実験を進める

AIアクセラレータ開発会社
Axell, DMP, Logic Research,
LeapMind, Privatech, AIST



チップ内部構成



チップ実装イメージ

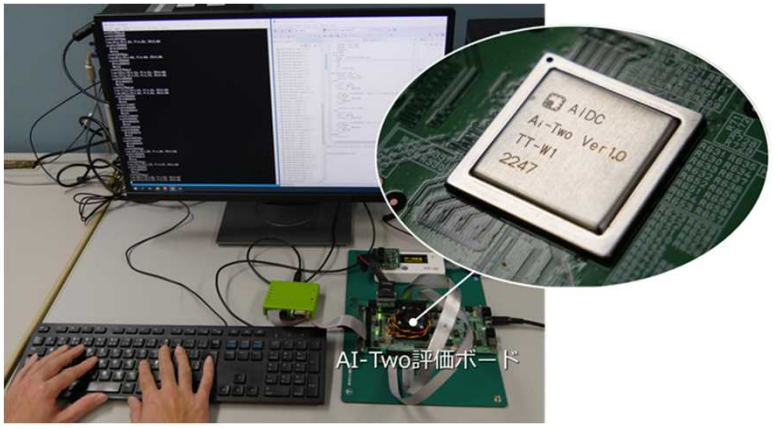
2. 成果： 28nm/12nm評価プラットフォーム(AI-One/Two)構築

AI-One

- ファブ：TSMC 28nm
- 標準IP：Synopsys
- AIアクセラレータ： 6 種
- 参加企業：5社, 産総研
- 2021/6月 ﾁｯﾌﾟ完,11月 PKG完, 2022/1月 ﾎﾞｰﾄﾞ完

AI-Two

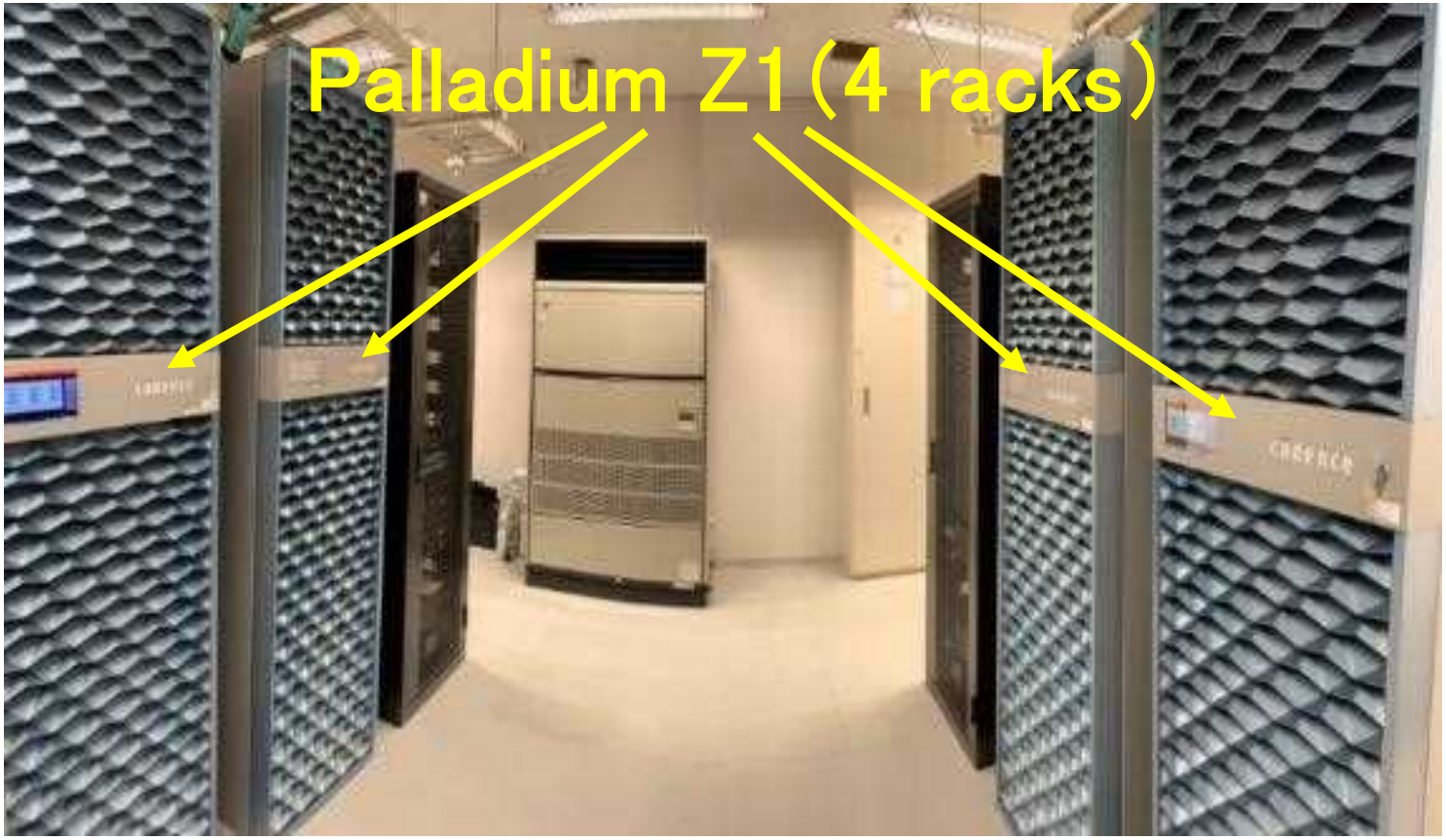
- ファブ：TSMC 12nm
- 標準IP：Synopsys
- AIアクセラレータ： 3 種
- 参加企業：2社, 産総研
- 2022/11月 ﾁｯﾌﾟ完, 2023/1月 ﾎﾞｰﾄﾞ完



AI-Two
評価ボード

Palladium Z1 (Cadence社製, 2018年度補正予算で導入)

- 容量：23億ｹﾞｰﾄ，4.6Tﾊﾞｲﾄ（ﾕｰｻﾞﾒﾓﾘ），4.6Tﾊﾞｲﾄ（ﾃﾞﾊﾞｯｸﾞﾒﾓﾘ）
- ｴﾐｭﾚｰｼｮﾝ速度：最大4MHz，ｺﾝﾊﾟｲﾙ速度：140Mｹﾞｰﾄ/時
- ｿﾌﾄｳｪｱ・ｼﾐｭﾚｰｼｮﾝに対して3,700倍～14,500倍の高速化(拠点での実績)



AIチップ設計拠点 サーバ室

2. 成果：拠点ＨＰ（https://www.ai-chip-design-center.org/）

2. 成果：外部への発表

(1) 外部講演

・NV-FPGA研究会, エナジーハーベストコンソーシアム総会, トリリオンノード研究会, 学振154委員会, DAシンポジウム, DSF2020, RISC-V day, LSIとシステムのWS, ITmedia EXPO, HIYA研究会, SNUG, IEEE CMPT, 光・電波フォーラム など**17件**

(2) 展示会

・CEATEC2019（2019/10/15-18), NEDOフェスタin関西2019（2019/12/17-18), DAC2022(2022/7/10-14), SNUG Japan（2022/9/14-26), CEATEC2022(2022/10/18-21), EdgeTech+2022(2022/11/16-18) DSF2022(2022/11/25) の**7件**

(3) ニュースリリース

・2019/10/7「AIチップ開発加速のための「AIチップ設計拠点」が稼働開始」
—設計・評価ツールの提供により、中小・ベンチャーのチップ開発加速を目指す—

・2021/5/10「複数のAI アクセラレータを搭載した評価チップの設計を完了、試作を開始」
—短期間で低コストのAI チップ設計・評価手法の確立へ—

・2022/3/22「複数のAIアクセラレータを搭載した実証チップ「AI-One」の動作を確認」
—従来比45%以下の短期間で低コストのAIチップ設計・評価が可能に—

・2023/3/17「AIチップ設計拠点の本格運用を開始」
—設計環境の提供により、中小・ベンチャー企業などのAIチップ開発加速を目指す—

AIチップ設計拠点フォーラム

- AIﾁｯﾌﾟ、ｺﾝﾋﾟｭｰﾃｨﾝｸﾞ、LSI設計などの技術情報を共有し、議論の場を提供
- 月１回のペースで開催（2019/5～）、2023年3月度が第45回
- 毎回百数十名の参加者

第45回 AIチップ設計拠点フォーラム（2023/3/31）

13:30-13:35　AIチップ設計拠点フォーラムについて
（産総研／内山邦男）

13:35-14:35　**脱炭素とデジタル化を支える半導体ソリューション**
（インフィニオン テクノロジーズ ジャパン／川崎郁也氏（代表取締役社長））

14:35-15:35　**The introduction to ONNC – Anchors while both hardware and software are changing in AI semiconductors.**
（Skymizer Taiwan, Inc.／Luba Tang氏（CEO））

15:40-16:40　**ISSCC2023におけるAIチップ研究動向**
（産総研／更田裕司氏）

2. 成果：人材育成

教材

1. デジタル設計の基礎
2. 高位合成を使ったデジタル設計（基礎編）
3. 高位合成を使ったデジタル設計（続基礎編）
4. 高位合成を使ったデジタル設計（実践編）
5. 高位合成を使ったデジタル設計（実践編２）
6. 高位合成を使ったデジタル設計（実践編３）
7. 高位合成を使ったデジタル設計（実践編４）
8. デジタルチップ・物理設計（応用編）
9. デジタルチップ・物理設計（低消費電力編）
10. ハードウェア・エミュレータでの論理検証の基礎（初級編）
11. ハードウェア・エミュレータでの論理検証の基礎（応用編）
12. Accelerating the crypto fesign – labs
13. Accelerating Crypto Design on Palladium
14. Crypto Pairing Design Bring Up on EmuForge

ハンズオンセミナー

1. 2021年6月30日 13:00 – 17:00 【エミュレータを利用した検証の高速化に向けたテストベンチ作成方法】
2. 2021年7月1日 13:00 – 16:00 【シミュレータ・エミュレータによる協調検証環境を用いた検証効率向上】
3. 2021年11月30日 13:00 – 17:30 【エミュレータトレーニングby Cadence】
4. 2022年3月10日 13:30 – 17:00 【エミュレータ・ワークショップwith Cadence】
5. 2022年4月28日 13:30 – 15:00 【エミュレータ・セミナーwith Cadence】
6. 2022年6月7日 13:30 – 17:30 【エミュレータトレーニングby Cadence】
7. 2022年9月13日 13:30 – 17:00 【エミュレータ・ワークショップwith Cadence】
8. 2022年9月28日 13:30 – 17:30 【RISC-VベースSoCのシミュレーション・エミュレーション協調検証トレーニング】
9. 2022年12月23日 13:30 – 17:00 【拠点フォーラム：検証特集】
10. 2023年2月14日 13:30 – 17:30 【エミュレータトレーニングby Cadence】
11. 2023年3月14日 13:30 – 17:00 【エミュレータ・ワークショップwith Cadence】
12. 2023年3月20日 10:00 – 17:00 【RISC-VベースSoCのシミュレーション・エミュレーション協調検証トレーニング】

Webinar 「RTLガイドラインとiocheck実行」,「形式検証の導入、実行、デバック」,「CDC検証」, etc.

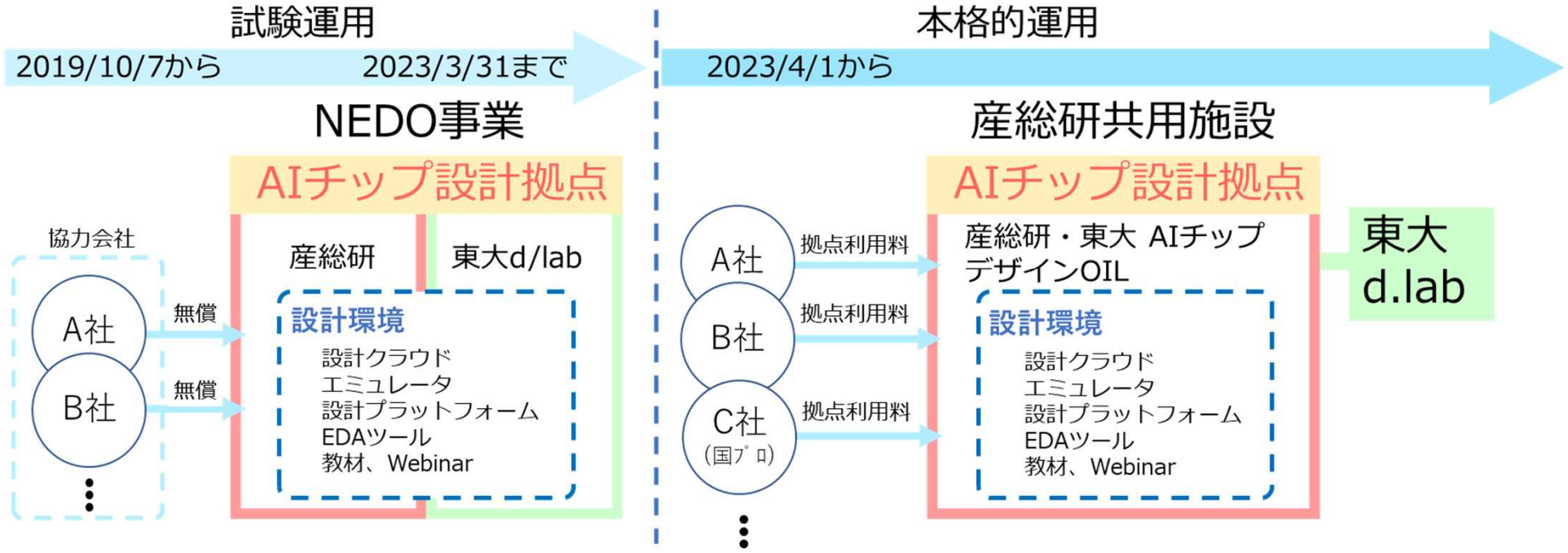
3．2023年度からの拠点運営：運営方針

・産総研内にAIDLを設置して、AIチップ設計拠点を本格的に運営

AIDL：産総研・東大 AIチップデザインOIL (オープンイノベーションラボラトリ) (産総研の研究組織)

・本NEDO事業において開発、構築した成果は、AIチップ設計拠点に実装

・利用機関は、約款により定めた拠点利用料を支払って拠点の設計環境を利用



3．2023年度からの拠点運営：利用方法

- ✓ プランとオプションを組み合わせることで、利用者が設計環境を構築可能
- ✓ 月ごとにプランとオプションを設定可能 (一部に複数月のみの設定あり)

1. おすすめプラン
   - ① スタンダード
   - ② PDK/IP持ち込み
   - ③ エミュレータ

＋

1.1 追加オプション
   - ① 追加ストレージ
   - ② 追加CPUcore
   - ③ 追加Memory
   - ④ 追加ユーザ
   - ⑤ 追加ドメイン(エミュレータ)
   - ⑥ 追加設計環境利用時間
   - ⑦ 追加設計ツール

＋

1.2 PDK・IP持ち込み専用強化オプション
   - ① 5.1GHz CPU実行サーバ
   - ② 768GB実行サーバ
   - ③ 1500GB実行サーバ

2. ベアメタルサーバプラン
   - ① 5.1GHz CPU Loginサーバ
   - ② 5.1GHz CPU実行サーバ
   - ③ 768GB実行サーバ
   - ④ 1500GB実行サーバ

＋

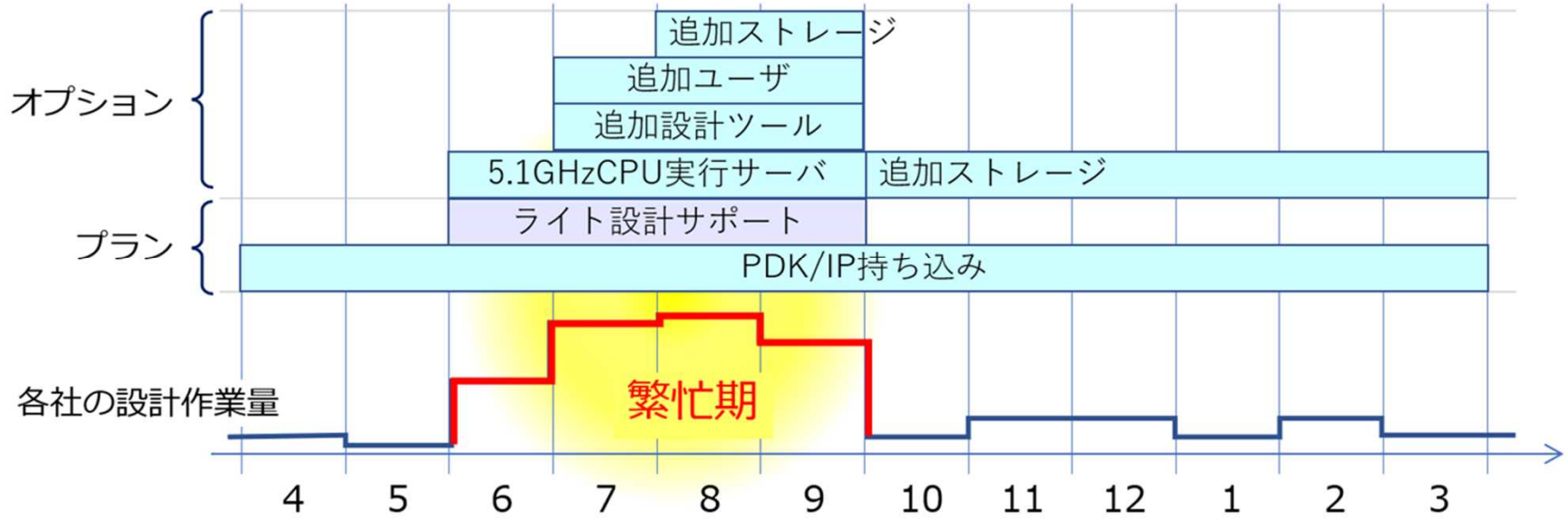
2.1 追加オプション
   - ① 追加ストレージ
   - ② 追加ユーザ
   - ③ 追加設計環境利用時間
   - ④ 追加設計ツール

3. サポートプラン
   - ① RTLガイドライン参照
   - ② 実装確認依頼
   - ③ SoCプラットフォーム参照
   - ④ SoCプラットフォーム開発
   - ⑤ ライト設計サポート
   - ⑥ 設計サポート

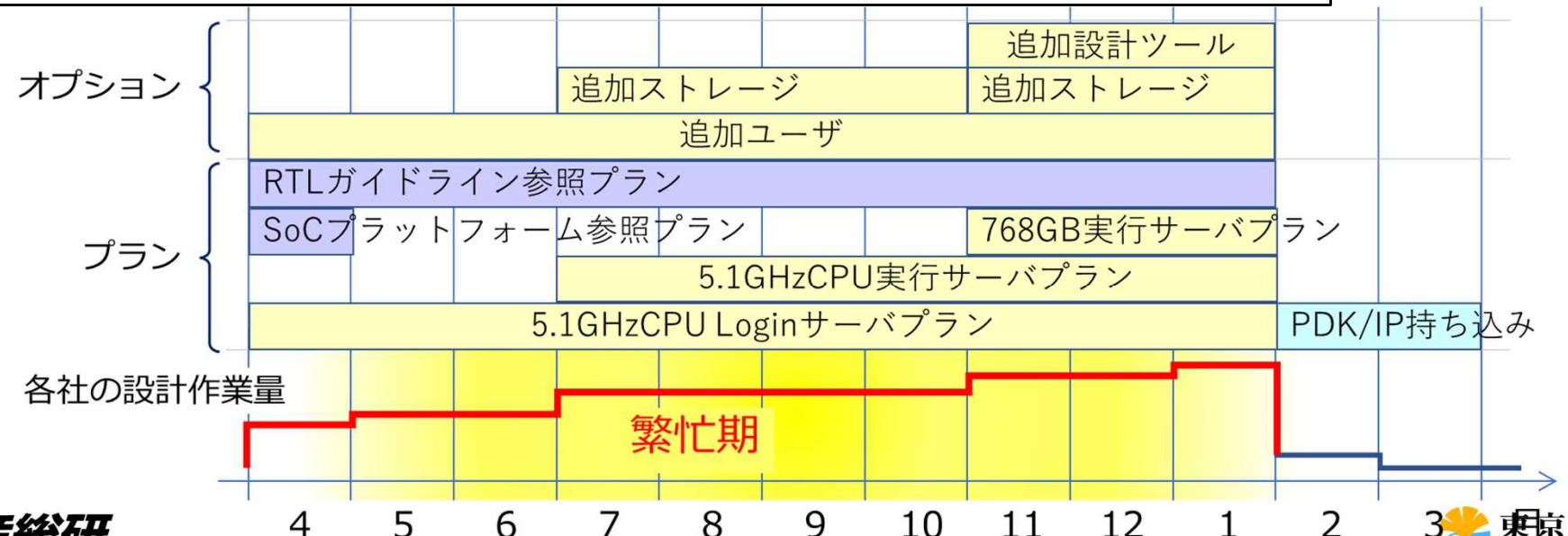
4. ブース利用プラン

3．2023年度からの拠点運営：利用例

①標準的な設計環境を用いて小規模モジュール・チップを設計する場合

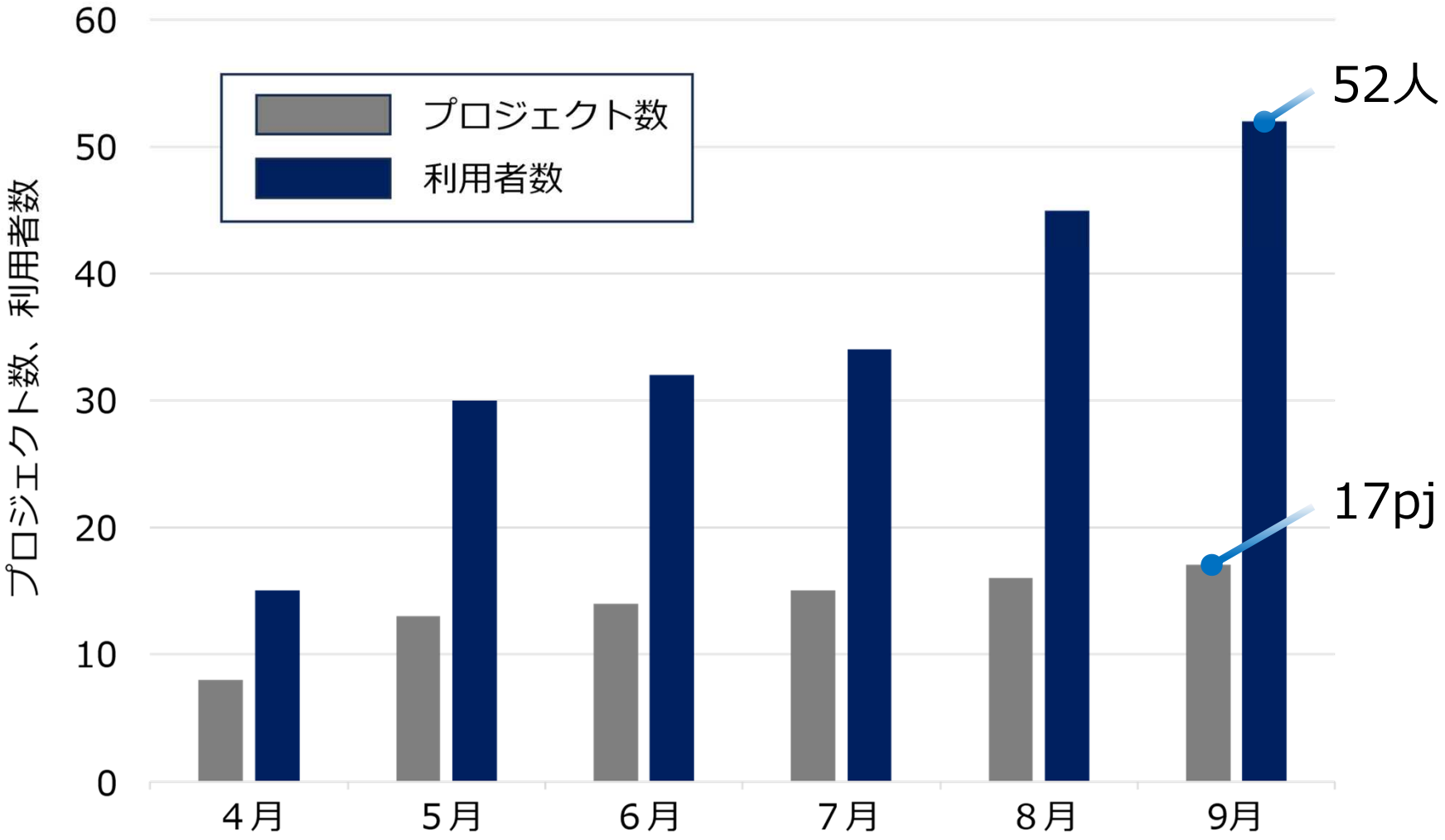


②圧倒的な処理能力をもつ設計環境を用いてチップを開発する場合



3．2023年度からの拠点運営：利用実績

2023年9月時点の活用件数 **17件** （企業：12、大学：2、国研：3）



毎月の利用状況

資料6-1

AIチップ開発加速のためのイノベーション推進事業

実施項目１－１「AIチップ向け設計フローの研究開発」
実施項目１－２「ハードウエア開発垂直立ち上げ実現のための研究開発」

担当機関　東京大学
発表者　池田誠（東京大学）

目次

１．概要
- 背景・目的・課題
- 取り組み内容・技術の特徴
- 目標・計画

２．成果
- 成果・意義
- 目標達成度　など

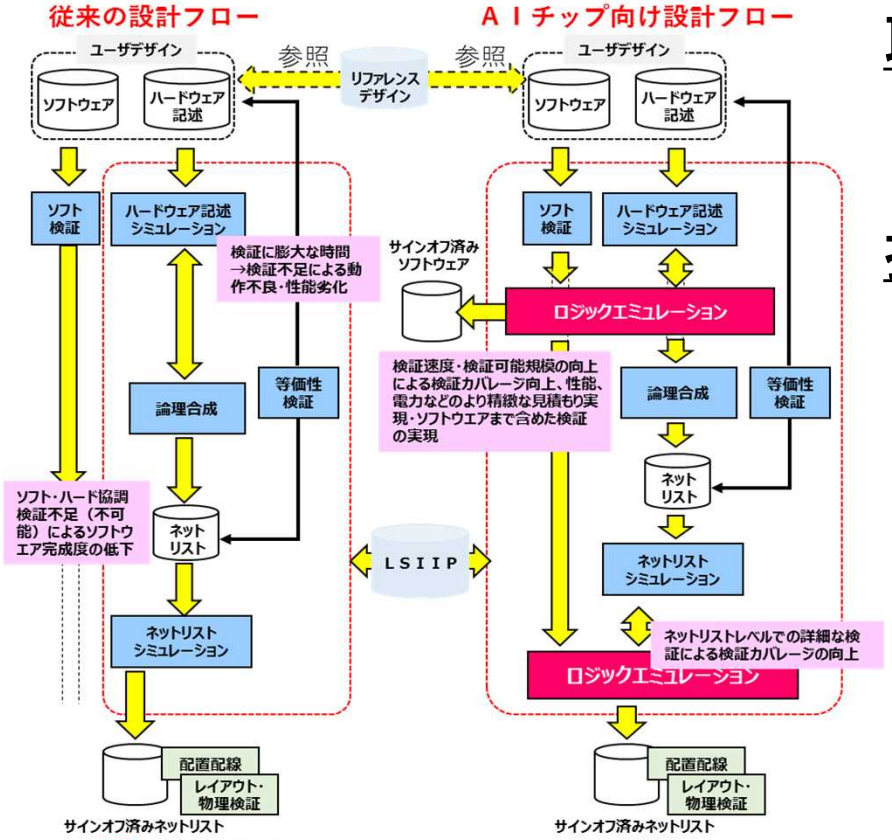
1．1-1概要（背景・目的・課題 / 取り組み内容・技術の特徴）

背景・課題

- AIチップ開発での、設計と実チップでの動作や性能に乖離が生じる
- 特に、高速、大規模、超低消費電力、高電力効率を謳う場合、設計段階での実チップの精緻な見積もりが不可欠

目的

- 失敗なく動作するチップ試作が可能となるためのノウハウを有した、AIチップ開発向けの論理設計以降の設計フロー（手順）を構築



取り組み内容

- AIチップ設計に特化したエミュレータを組み込んだ設計・検証のフローを構築する

技術の特徴

- エミュレータを用いた検証を行うことで大規模な設計に対して十分な検証ステップでの検証・精緻な性能見積もりを可能とする
- スムーズにAIチップの実現、十分な検証によるファーストシリコンからの稼動、ファーストシリコンと同時にソフトウェアが稼動するシステムの実現を可能とする設計検証環境の実現

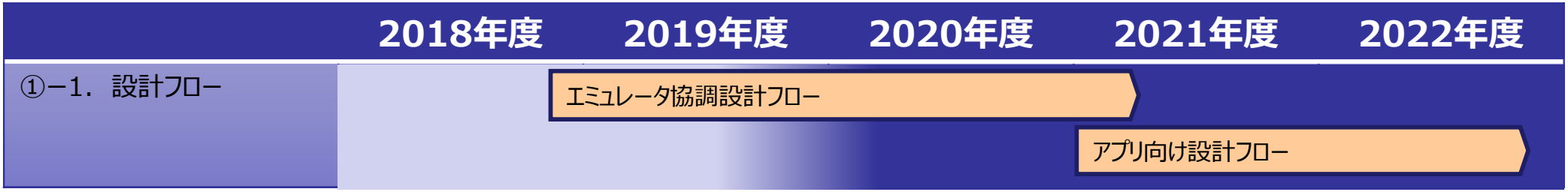
1．1-1概要（目標・計画）

中間（2020年度末時点）目標

- RTL記述を用いたエミュレータ・シミュレータ協調設計検証フローで設計検証を実施
- ネットリストレベルの記述を用いたエミュレータ・シミュレータ協調設計検証フローで設計検証実施
- 協調設計検証フローによる設計検証効率の向上可視化

最終(2022年度末時点）の目標

- より大規模（＞1BG）な回路に対し、エミュレータ・シミュレータ協調設計検証フローで設計検証を実施
- 高速チップ・超低消費電力チップ・高電力効率チップ等のアプリケーション向けのエミュレータ・シミュレータ協調設計検証フローで、設計検証を実施



背景・課題

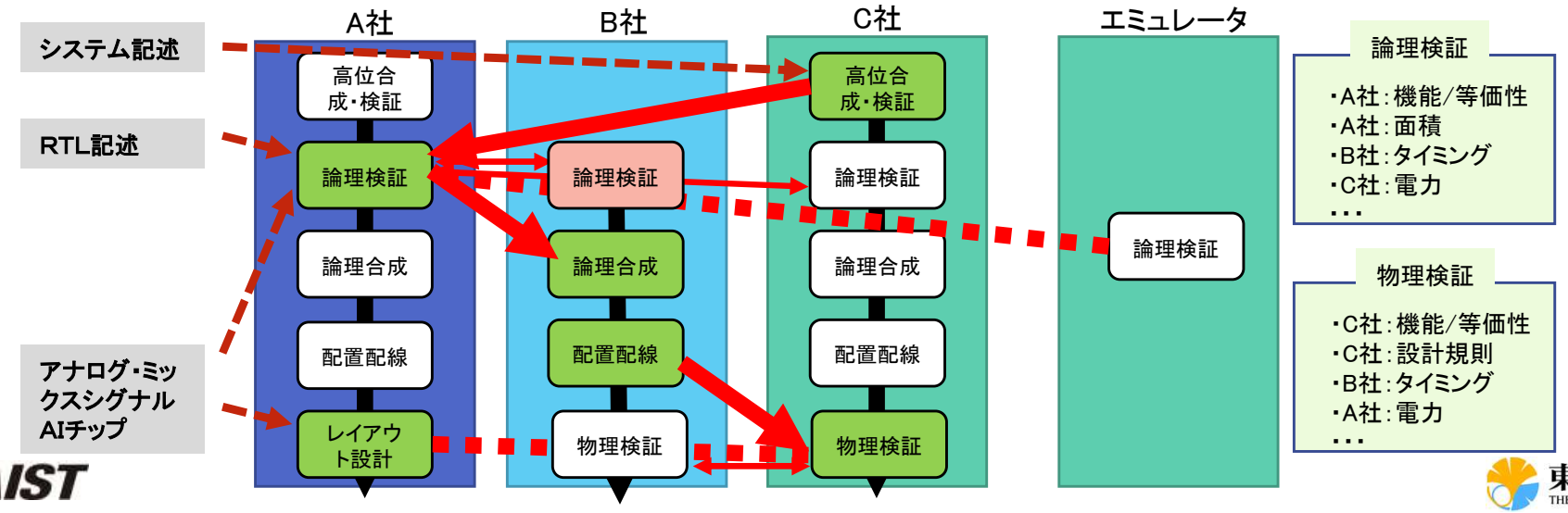
- AIにかかわるソフトウェアやアルゴリズムの開発を行ってきた会社のAIハードウェアの開発への新規参入の障壁
  - 様々な設計ツール及び検証作業を要する
  - 当該ツール群に特有な個々のデータベースやファイル形式を取り扱う必要がある

→ ハードウェア開発への新規参入は非常に敷居が高く、それらがAIに係るハードウェア開発の阻害要因となっている

→ これを如何に軽減するかがAIハードウェアの研究開発の大きな課題

目的

- 多種多様な設計ツールを取捨選択し、ソフトウェアからハードウェア設計のサインオフまでを一気通貫に実現できるツールチェインを策定する



取り組み内容

- ハードウェア開発を生業としないためシステムレベル記述言語の知見しかないベンチャー企業等の研究開発者でも、多種多様な設計ツールを適切に取捨選択でき、システムレベル記述言語からハードウェア設計のサインオフまでを一気通貫に実現できるツールチェインを策定する。アナログ設計も対象とする。

技術の特徴

- 複数のEDAベンダー企業が取りそろえる多種多様な設計ツールの中から最適なツールを取捨選択
- 大手のIDMではノウハウの積み上げにより構築された設計フロー（手順）と同等なものを拠点でハードウェア開発を生業としないベンチャー企業等でも活用できるものとする

1．1-2概要（目標・計画）

中間（2020年度末時点）目標

- モデルベースのエミュレータ・EDAツールの協調設計ツールチェインを開発し、小・中規模の実設計において実証する。3件以上がこのモデル設計フローを活用した設計を行う

最終(2022年度末時点）の目標

- アプリケーション向けのツールチェインを策定し、拠点利用者が事業期間全体で5件程度、より大規模（＞1BG）な設計を実施する

成果

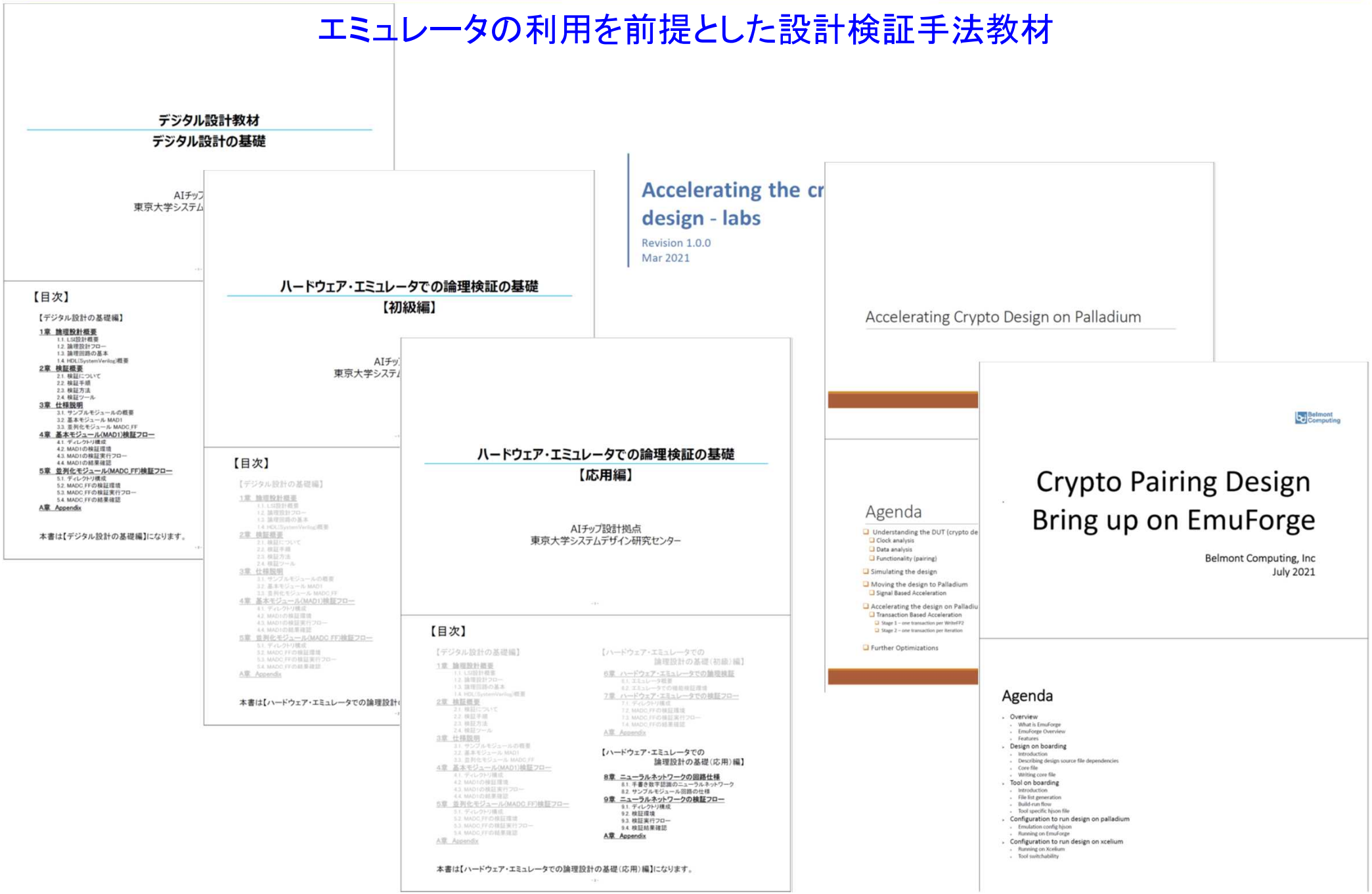
- エミュレータ利用ガイドライン及びエミュレータ利用マニュアル(エミュレータ利用モデルを含む)を電子的に作成し拠点のホームページ(以下HPと略)にて公開した
- エミュレータ・シミュレータ協調検証関連の教材を作成しHPに公開した
- RTL記述を用いたエミュレータ・シミュレータ協調設計検証フロー(VeriForge)環境を構築した
- 各種ハンズオントレーニングを実施した
- エミュレータ利用促進のための講習会・セミナー・ワークショップを実施した
- エミュレータによる検証速度向上を定量的に検証しHPに公開した

意義

- エミュレータの利用を加速することで、従来乖離が多かった検証結果と実機との差を埋めることが可能となるとともに、大規模な検証での検証漏れをなくすことが可能となる
- 実際のサンプルRTLを用いた教材整備により、難解で使いこなすことが困難と思われがちなエミュレータ利用の障壁を大幅に低減できたことで、利用者の増加が期待できる
- さらに、教材を活用したセミナーを実施することで、エミュレータに対する理解を深め更なる利用者の獲得につながる

2. 成果（成果・意義）

エミュレータの利用を前提とした設計検証手法教材



2. 成果：エミュレータの利用を前提とした設計検証手法教材（抜粋）

デジタル設計教材
デジタル設計の基礎

AIチップ設計拠点
東京大学システムデザイン研究センター

1章　論理設計概要

1.1. LSI設計概要

設計部門が担当する設計工程は、更に
- 【仕様検討】から【機能検証】までを"フロントエンド設計"
- 【実装（レイアウト）】、【実装検証】を"バックエンド設計"
- 両者をインタフェースし、データの加工（【論理合成】）や実装後の検証（【等価/タイミング検証】）等を行う工程を"ミドルエンド設計"

と分ける場合もあります。
半導体の微細化技術が進歩して一つのLSIに搭載できるトランジスタの数が飛躍的に増大したため各工程毎に専門性を高める必要性が強まった為です。

論理回路部を設計・検証する工程を一般的に論理設計と称します。論理設計については、次の1.2.章で説明します。

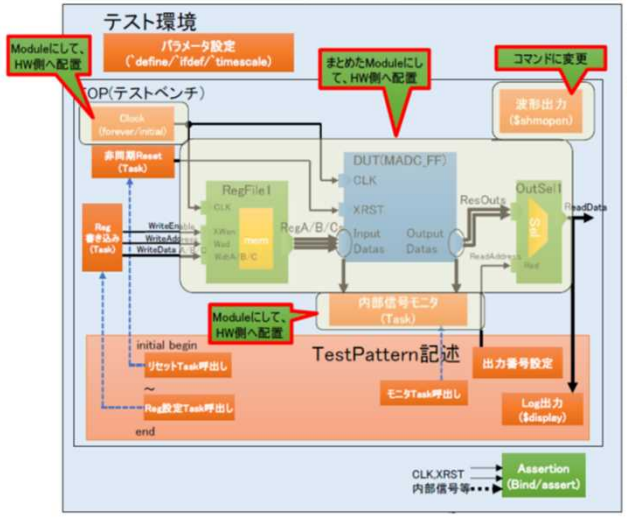
ハードウェア・エミュレータでの論理検証の基礎
【初級編】

AIチップ設計拠点
東京大学システムデザイン研究センター

7章　ハードウェア・エミュレータでの検証フロー

7.2. MADC_FFの検証環境

7.2.1 テストベンチ　　【シミュレータでの検証環境イメージ図】



左図は「デジタル設計の基礎編」で説明したシミュレータでのMADC_FF検証環境のイメージに対し、エミュレータでの対応する項目を示しています。

詳細は次ページ以降を参照ください。

2. 成果：エミュレータの利用を前提とした設計検証手法教材（抜粋）

デジタル設計

デジタル設計

AIチップ設計拠点
東京大学システムデザイン研究センター

ハードウェア・エミュレータでの論理検証の基礎
【応用編】

AIチップ設計拠点
東京大学システムデザイン研究センター

・エミュレータでの論理検証の基礎
【初級編】

AIチップ設計拠点
京大学システムデザイン研究センター

1章　論理設計概要

1.1. LSI設計概要

設計部門が担当する設計工程は、更に
- 【仕様検討】から【機能検証】までを"フロントエンド設計
- 【実装（レイアウト）】、【実装検証】を"バックエンド設計"
- 両者をインタフェースし、データの加工（【論理合成】）や後の検証（【等価/タイミング検証】）等を行う工程を"ミドルエンド設計"

と分ける場合もあります。
半導体の微細化技術が進歩して一つのLSIに搭載できるトランジスタの数が飛躍的に増大したため各工程毎に専門性を高める必要性が強まった為です。

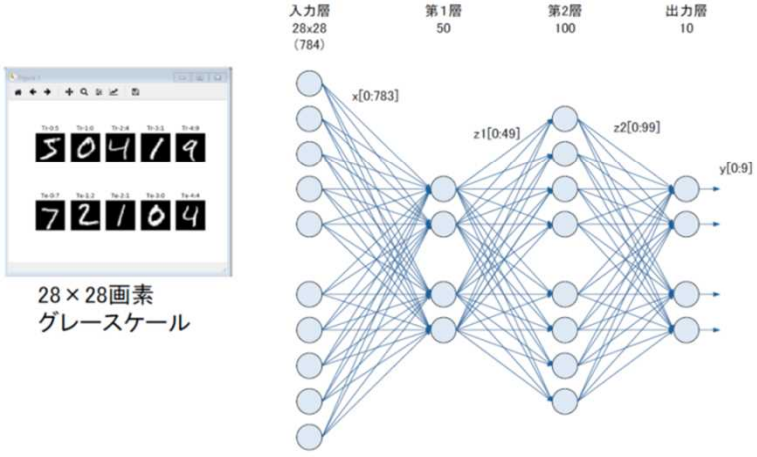
論理回路部を設計・検証する工程を一般的に論理設計と称します。論理設計については、次の1.2.章で説明します。

8章　ニューラルネットワークの回路仕様

8.1　手書き数字認識のニューラルネットワーク

(1)全結合ニューラルネットワークの構成

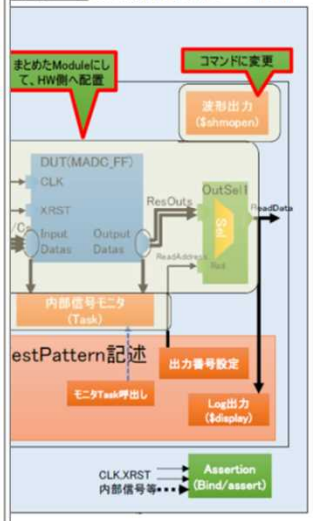
28×28(784)画素の濃淡画素データを入力し、出力層で0～9の認識結果を出力します。



28×28画素
グレースケール

ュレータでの検証フロー

ミュレータでの検証環境イメージ図】

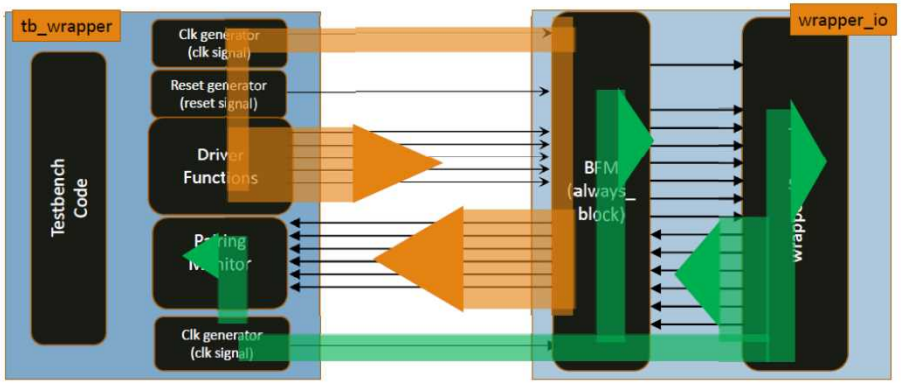


左図は「デジタル設計の基礎編」で説明したシミュレータでのMADC_FF検証環境のイメージに対し、エミュレータでの対応する項目を示しています。

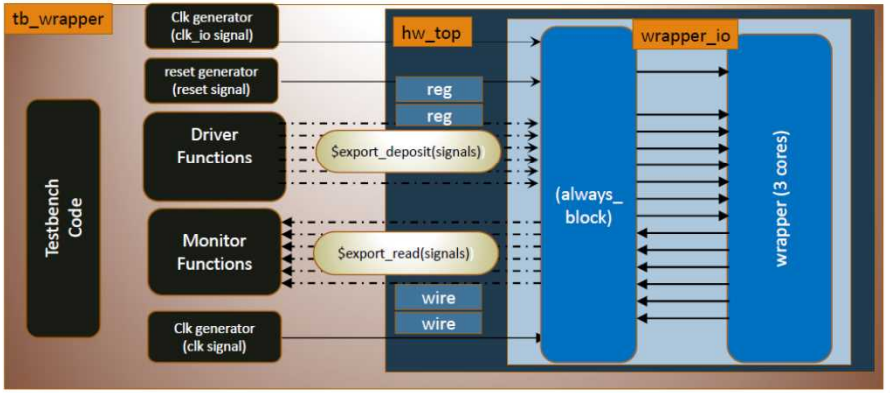
詳細は次ページ以降を参照ください。

2. 成果:「エミュレータを利用した検証の高速化に向けたテストベンチ作成方法」教材の抜粋

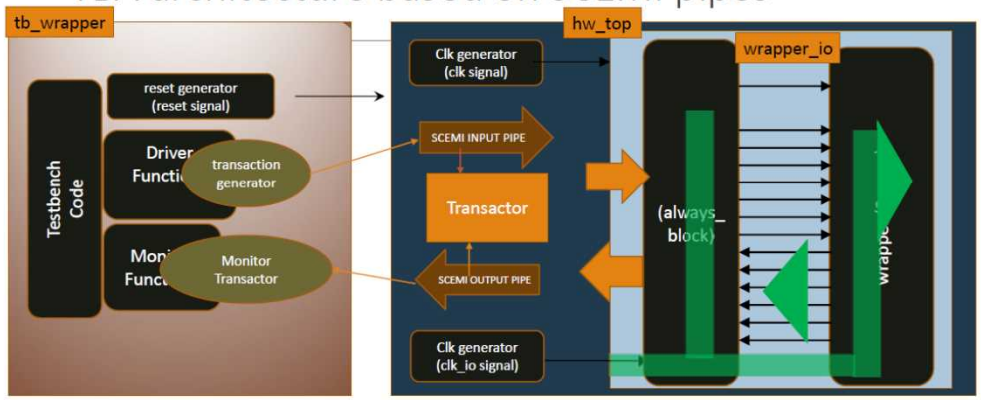
Clock usage



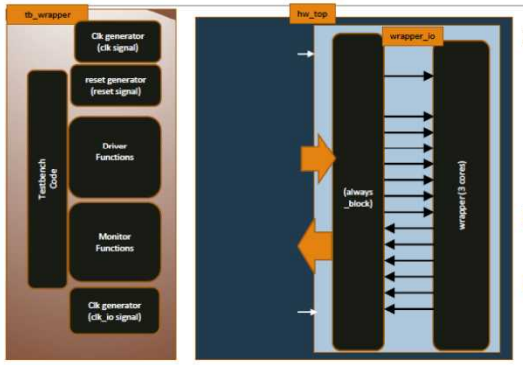
Overall SBA architecture



TBA architecture based on SCEMI pipes



Managing clk generation



- Create a two top architecture
  - Hw_top which is a wrapper on top of the wrapper_io
  - tb_wrapper which is the entire testbench
  - Two independent tops
  - Testbench does not instantiate the DUT
- Move the clock generations into the Palladium
- Make testbench independent of clock signals

2. 成果：エミュレータの利用加速に向けた取り組み

本プロジェクトにおける人材育成活動の一環として、高度な論理検証技術を有する人材育成を目指した取り組み

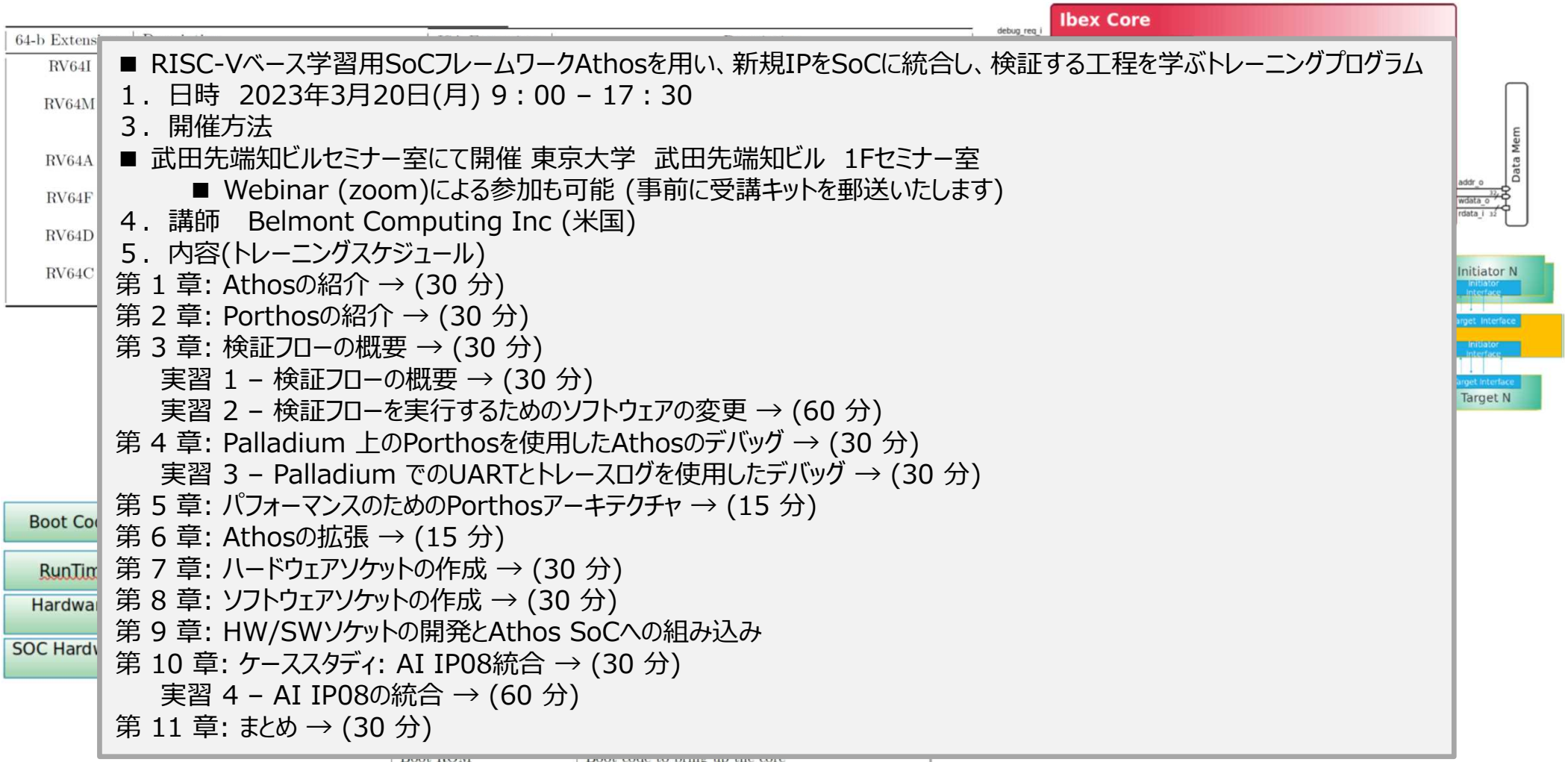
- ロジックエミュレータ Palladium 利用方法の最新情報共有
- ロジックエミュレータ Palladium 利用事例の共有と、相互学習の場の提供
- ベンダからの最新情報提供、問題解決に向けたFAQ共有の場の構築

【エミュレータを利用した検証の高速化に向けたテストベンチ作成方法】
日時　2021年6月30日（水）13：00 – 17：00
【シミュレータ・エミュレータによる協調検証環境（EmuForge）を用いた検証効率向上】
日時　2021年7月1日（木）13：00 – 16：00
【エミュレータトレーニング】
日時　2021年11月30日（木）13：00 – 17：30
【エミュレータ・ワークショップ】
日時　2022年3月10日（木）13：30 – 17：00
【エミュレータ・セミナー】
日時　2022年4月28日（木）13：30 – 15：00
【エミュレータトレーニング
日時　2022年6月7日（木）13：30 – 17：30
【エミュレータ・ワークショップ
日時　2022年9月13日（火）13：30 – 17：00
【RISC-VベースSoCのシミュレーション・エミュレーション協調検証トレーニング】
日時　2022年9月28日（水）13：30 – 17：30
【拠点フォーラム：検証特集】
日時　2022年12月23日（金）13：30 – 17：00
【エミュレータトレーニング
日時　2023年2月14日（火）13：30 – 17：30
【エミュレータ・ワークショップ】
日時　2023年3月14日（火）13：30 – 17：00
【RISC-VベースSoCのシミュレーション・エミュレーション協調検証トレーニング（再）】
日時　2023年3月20日（月）10：00 – 17：00

2. 成果: SoCのハードウエア・ソフトウエア協調検証環境(フロー)の構築・実証・・1(OpenSource)

Open Sourceな環境でのSoCのハード・ソフト協調検証環境の実現を目指して

1. フリーなRISC-V, NoC, IOを用いたSoCプラットフォームの構築
2. プラットフォーム上でのソフトウエアの実行環境構築と検証環境の実現
3. セミナーの実施
   - 2022/1/26 「RISC-V SoC検証法」セミナ開催・・少々調整不足でハンズオンはできず
   - 2022/9/28 「RISC-VベースSoCのハード/ソフト・シミュレータ/エミュレータ協調検証」トレーニング
   - 2023/3/20 「RISC-VベースSoCのハード/ソフト・シミュレータ/エミュレータ協調検証」トレーニング(再)



■ RISC-Vベース学習用SoCフレームワークAthosを用い、新規IPをSoCに統合し、検証する工程を学ぶトレーニングプログラム

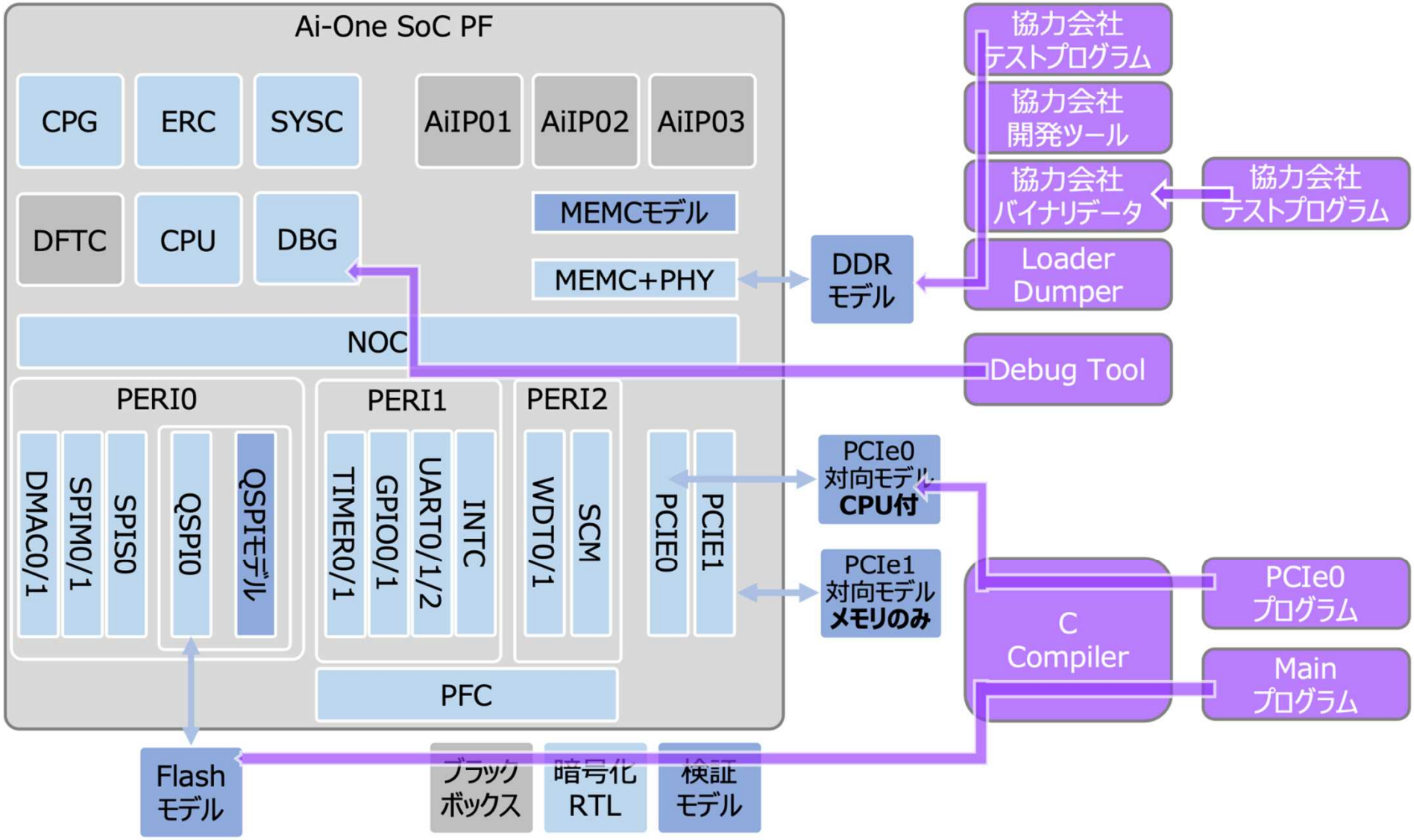
1. 日時 2023年3月20日(月) 9:00 – 17:30
3. 開催方法

■ 武田先端知ビルセミナー室にて開催 東京大学 武田先端知ビル 1Fセミナー室
   ■ Webinar (zoom)による参加も可能 (事前に受講キットを郵送いたします)

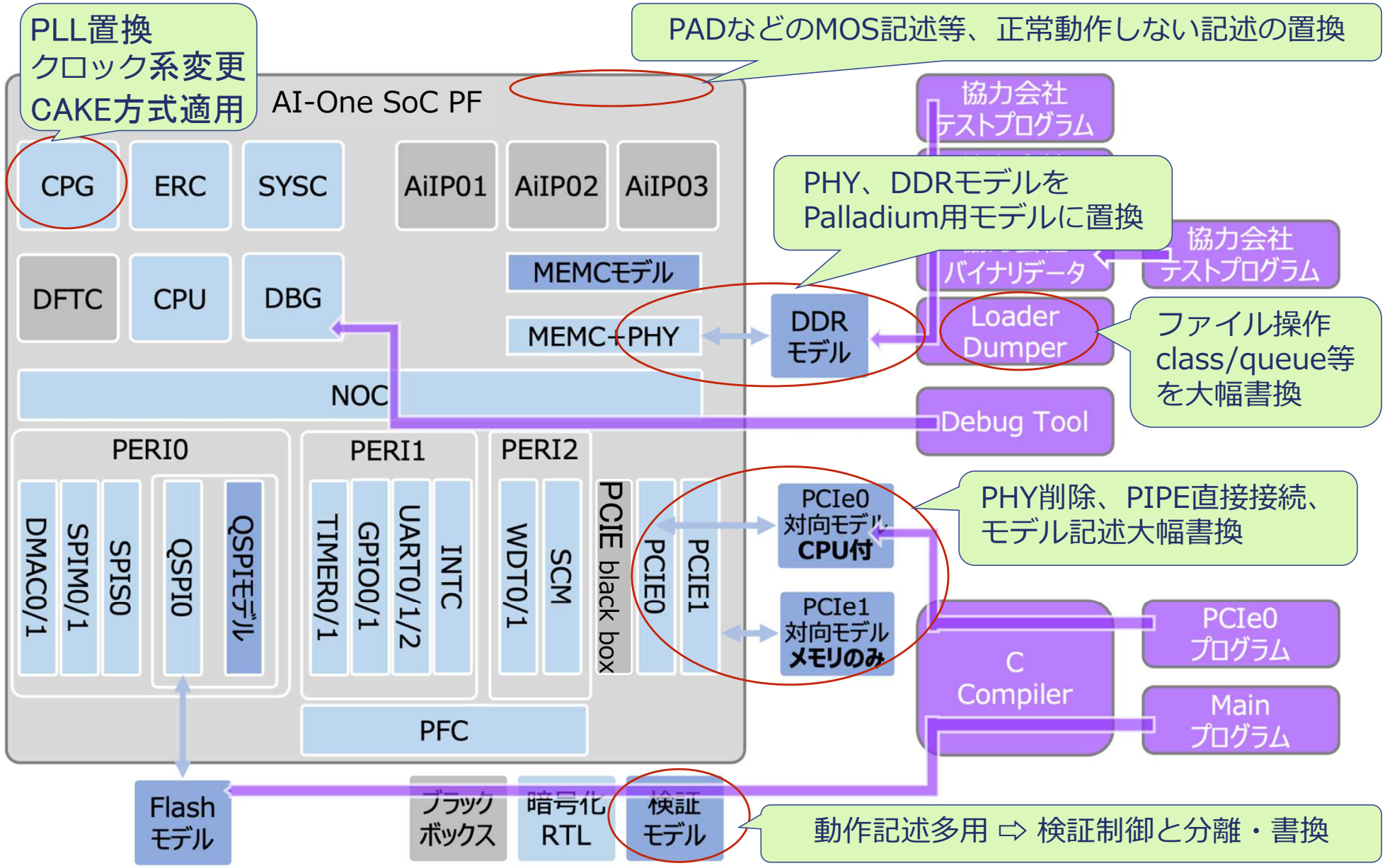
4. 講師 Belmont Computing Inc (米国)
5. 内容(トレーニングスケジュール)

第 1 章: Athosの紹介 → (30 分)
第 2 章: Porthosの紹介 → (30 分)
第 3 章: 検証フローの概要 → (30 分)
  実習 1 – 検証フローの概要 → (30 分)
  実習 2 – 検証フローを実行するためのソフトウェアの変更 → (60 分)
第 4 章: Palladium 上のPorthosを使用したAthosのデバッグ → (30 分)
  実習 3 – Palladium でのUARTとトレースログを使用したデバッグ → (30 分)
第 5 章: パフォーマンスのためのPorthosアーキテクチャ → (15 分)
第 6 章: Athosの拡張 → (15 分)
第 7 章: ハードウェアソケットの作成 → (30 分)
第 8 章: ソフトウェアソケットの作成 → (30 分)
第 9 章: HW/SWソケットの開発とAthos SoCへの組み込み
第 10 章: ケーススタディ: AI IP08統合 → (30 分)
  実習 4 – AI IP08の統合 → (60 分)
第 11 章: まとめ → (30 分)

より実用的なSoCでの検証環境の実現を目指して
AI-One SoCプラットフォームの検証環境を: RTLシミュレーション、エミュレータ上に構築
AI-Oneに搭載のCPU, NoC, ペリフェラルIPを実装し、SoCプラットロームの検証、搭載AI-IPの検証を実現

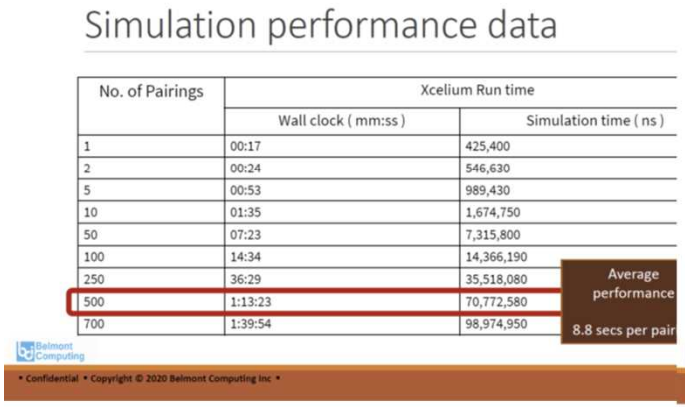


- **エミュレータポーティング向けのRTL変更**



2. 成果：エミュレータ・シミュレータ協調検証環境による検証速度の向上

IPコア単体の検証の場合の速度向上例



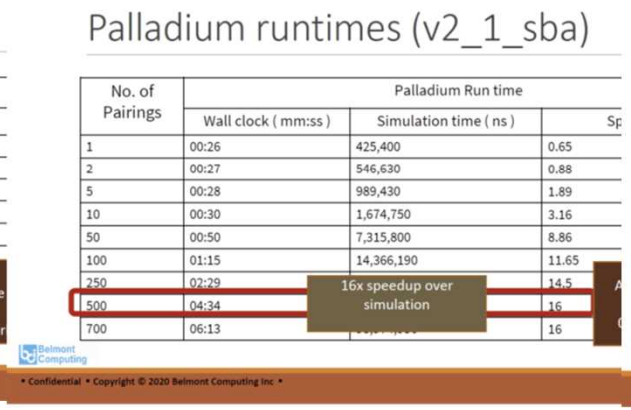
Simulation performance data

No. of Pairings	Xcelium Run time	
	Wall clock (mm:ss)	Simulation time (ns)
1	00:17	425,400
2	00:24	546,630
5	00:53	989,430
10	01:35	1,674,750
50	07:23	7,315,800
100	14:34	14,366,190
250	36:29	35,518,080
500	1:13:23	70,772,580
700	1:39:54	98,974,950

Average performance

8.8 secs per pair

Belmont Computing
• Confidential • Copyright © 2020 Belmont Computing Inc •

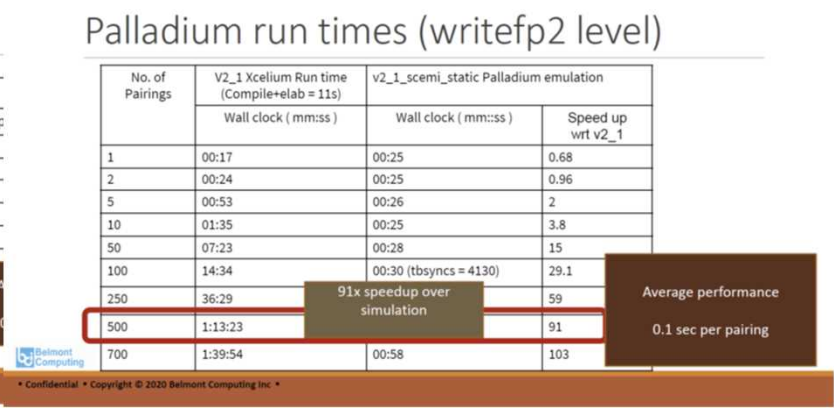


Palladium runtimes (v2_1_sba)

No. of Pairings	Palladium Run time		
	Wall clock (mm:ss)	Simulation time (ns)	Sp
1	00:26	425,400	0.65
2	00:27	546,630	0.88
5	00:28	989,430	1.89
10	00:30	1,674,750	3.16
50	00:50	7,315,800	8.86
100	01:15	14,366,190	11.65
250	02:29		14.5
500	04:34		16
700	06:13		16

16x speedup over simulation

Belmont Computing
• Confidential • Copyright © 2020 Belmont Computing Inc •



Palladium run times (writefp2 level)

No. of Pairings	V2_1 Xcelium Run time (Compile+elab = 11s)	v2_1_scemi_static Palladium emulation	
	Wall clock (mm:ss)	Wall clock (mm::ss)	Speed up wrt v2_1
1	00:17	00:25	0.68
2	00:24	00:25	0.96
5	00:53	00:26	2
10	01:35	00:25	3.8
50	07:23	00:28	15
100	14:34	00:30 (tbsyncs = 4130)	29.1
250	36:29		59
500	1:13:23		91
700	1:39:54	00:58	103

91x speedup over simulation

Average performance

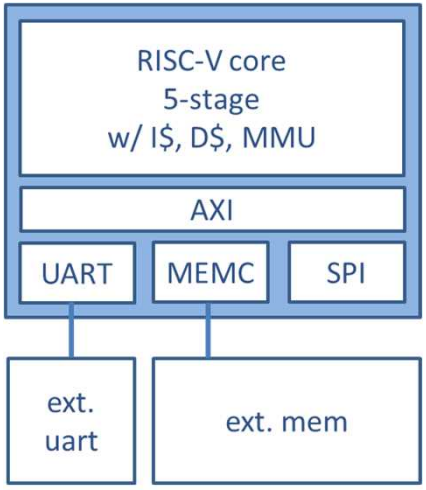
0.1 sec per pairing

Belmont Computing
• Confidential • Copyright © 2020 Belmont Computing Inc •

その他の設計例を用いた速度向上検証結果

対象デザイン: 10MG程度の数値演算回路		シミュレータ		エミュレータ			
		コンパイル時間[s]	実行時間 (loop 50)[s]	コンパイル時間[s]	実行時間 (loop 50)[s]	実行時間 (loop 500)[s]	
RTL	何も対処しない	NA	410.98	391.82	57.79	239.95	x17
	データの入出力にメモリを使用	--	--	388.75	45.93	188.10	x22
	制御入力をメモリ使用			442.18	27.40	41.97	x98
	SCEMI Pipeを使用			468.20	27.40	42.24	x20,000
ネットリスト	何も対処しない	NA	419,806.74	3,978.91	60.59	208.94	x21,000
	データの入出力にメモリを使用			4,633.13	78.09	198.74	x100,000
	制御入力をメモリ使用			3,910.68	33.42	42.00	x100,000
	SCEMI Pipeを使用			3,898.73	37.27	41.57	

2. 成果：エミュレータによる検証速度の向上：RISC-Vの例



ブロック図

- 5段パイプライン、命令・データキャッシュ、MMUあり
- 東工大一色研の高位システム設計検証環境で開発
  - C/C++からVerilog RTL、テストベンチを生成
- システム構成
  - RISC-Vコア、AXIバス、外部メモリI/F、UART I/F、SPI I/F
- 外部UARTモジュール
  - UART出力される文字コードを$write, $displayで表示
- テストベンチ
  - Verilogのinitial文で動作記述、クロック・リセットも記述
  - 毎サイクル、テスト対象の入出力ログを読み出し
  - 検証のために外部端子以外も出力し32ビットに圧縮してチェック
  - 入力ログはテスト対象に入力
  - ログはバークレーブートローダ（bbl）によるLinuxのブート

	parameters			boot cycles		Linux Boot			1M cycles		
	ext. mem.	log check	**UART**			RTL	Gate	G/R	RTL	Gate	G/R
1	log	Yes	1/2	116M	Emu.	13'38"	15'06"	1.11	0'46"	2'01"	2.63
					Sim.	*262:46'20"*	*561:47'40"*	*2.14*	2:15'55"	4:50'35"	2.14
					S/E	*1,156*	*2,232*		177	144	
7	mem.	No	**1/234**	132M	Emu.	**2'20"**	**2'31"**	**1.08**	0'22"	0'53"	2.41
					Sim.	***145:09'48"***	***609:19'36"***	**4.20**	1:05'59"	4:36'58"	4.20
					S/E	***3,733***	***14,527***		180	314	

2. 成果：エミュレータによる検証速度の向上：AI-Oneの例

- 論理合成可能な**DUT部分は比較的容易**にポーティング可能
- **動作記述を多用**している部分は、大幅な書き換え**も**必要
- **書き換えやデバッグにはエミュレータに対する深い理解が必要**
- エミュレータ用の記述は、エミュレータ専用ライブラリ以外はシミュレータでも動作するので、最初から**双方での運用を前提に**環境構築不可欠
- エミュレータの速度は、**700kHz～800kHz**でシミュレータの**100～2,500倍**
- 本来最大で2MHz程度が期待、今回は、短いテストサンプルのため**初期化オーバーヘッド**の割合が大きく、速度向上率が劣化

Pattern	シミュレータ (kHz)	CAKEなし (kHz)	CAKE 1x (kHz)	CAKEなし 速度向上	CAKE 1x 速度向上
base	7.62	499.32	817.39	66	105
base_pcie_000	0.69	374.49	769.58	543	1,115
base_pcie_001	0.33	404.15	799.37	1,225	2,422
base_pcie_002	0.31	543.21	790.48	1,752	2,550
base_pcie_004	0.59	549.47	782.13	931	1,326
base_pcie_005	0.65	405.72	784.58	624	1,207
base_memc	3.89	457.75	703.52	118	181

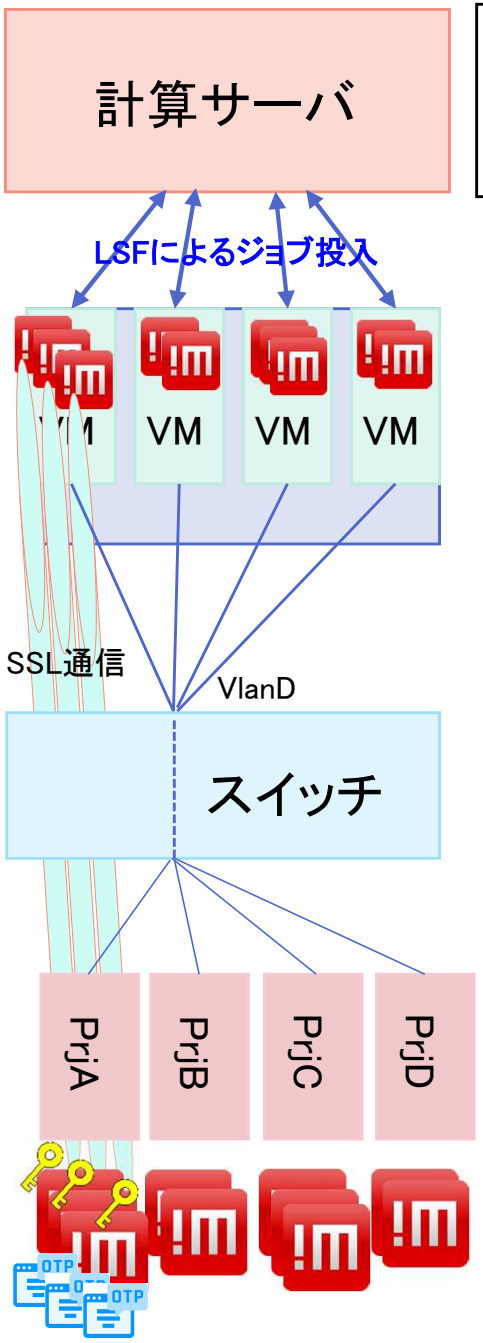
成果

- ２－１で整備した拠点におけるEDA利用環境に即したツール利用設定を整備しWEBにて公開
- 高位合成を使ったディジタル設計【基礎編】【続基礎編】【応用編】【実践編】を作成しHPにて公開した
- デジタル物理設計教材【基礎編】【応用編】【低電力編】を作成しHPにて公開した

意義

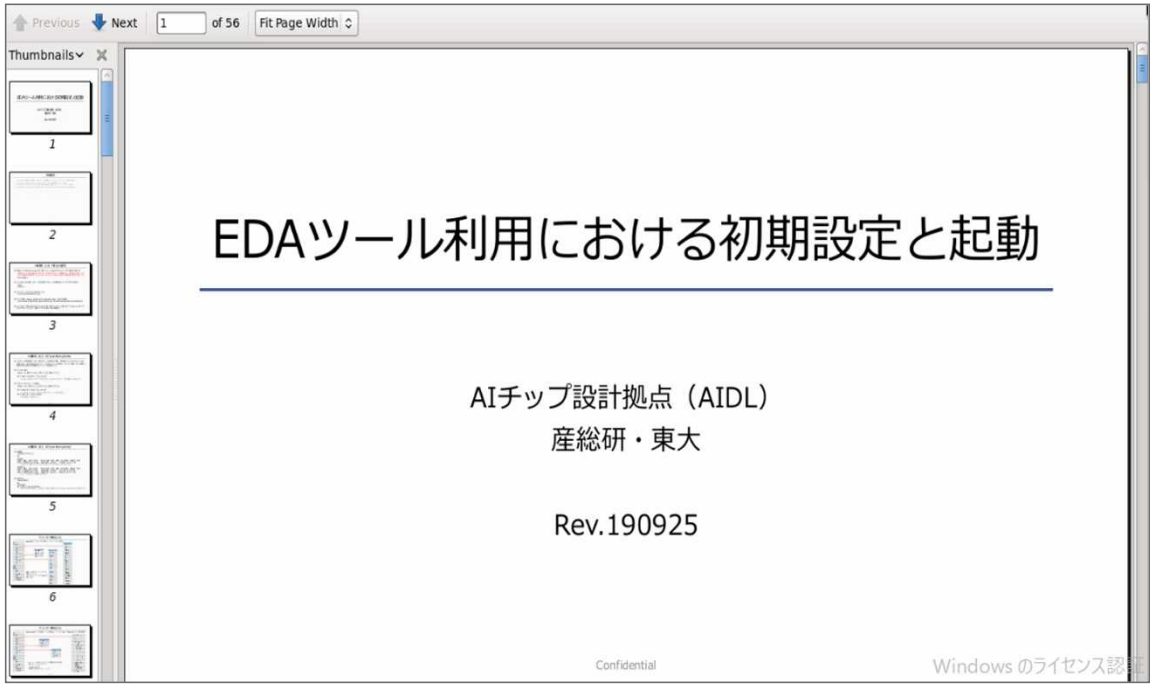
- マニュアルに加え、導入ツールに即した教材の整備、ツールごとの環境変数の一括した整備により、EDAツール利用初心者の利用開始の障壁が劇的に低減し、利用者の増加が期待される
- 各種教材の整備によりより実践的な設計にまで容易に取り組める環境を整備した

2. 成果(成果・意義)



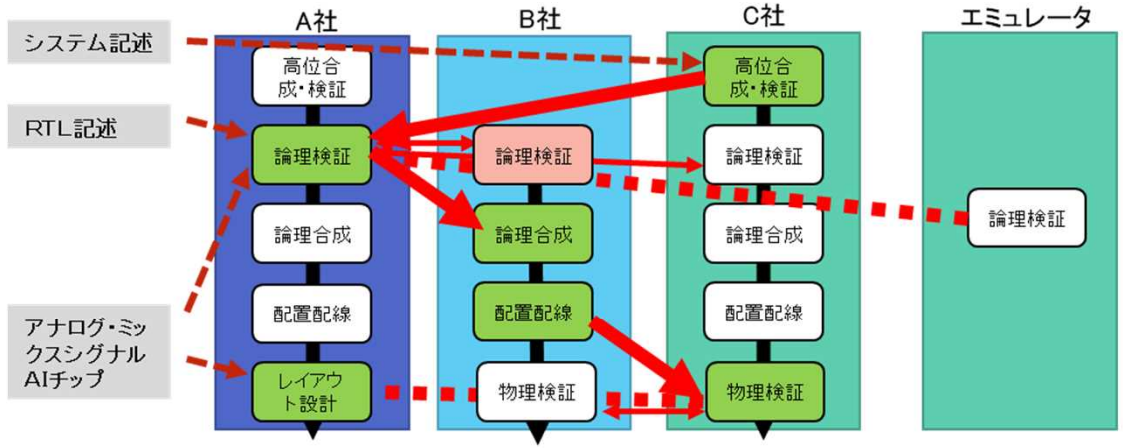
左:2－1で整備した拠点のEDA利用環境
下:拠点の環境に即したツール利用のための環境設定ファイルをツール毎に整備、利用法の作成と公開

ベンダー	設定ファイル
Cadence	cshrc.innovus, cshrc.joules, cshrc.mdv, cshrc.qrc, cshrc.stratus, cshrc.virtuoso, cshrc.vxe, cshrc.genus, cshrc.jasper, cshrc.lec, cshrc.pvs, cshrc.spectre.batch, cshrc.tempus, cshrc.voltus, cshrc.xcelium
Mentor	cshrc.calibre, cshrc.catapult, cshrc.powerpro, cshrc.slec
Synopsys	cshrc.ct, cshrc.hspice, cshrc.lc, cshrc.pt, cshrc.spyglass, cshrc.vcs, cshrc.verdi, cshrc.cc, cshrc.dc, cshrc.icc, cshrc.prime, cshrc.spyglass-lint, cshrc.starrc, cshrc.vcs-mx, cshrc.waveview



2. 成果：ＥＤＡツールの協調設計に向けた教材整備

高位合成ー＞シリコンまでのツールチェインの完成を目指す



2. 成果:「高位合成を使ったデジタル設計:基礎編・続基礎編」教材の抜粋

デジタル設計教材

高位合成を使ったデジタル設計

AIチップ設計拠点
東京大学システムデザイン研究センター

デジタル設計教材

高位合成を使ったデジタル設計【続基礎編】

AIチップ設計拠点
東京大学システムデザイン研究センター

CONFIDENTIAL

```
W1, W2, W3 = network['W1'], network['W2'], network['W3']
b1, b2, b3 = network['b1'], network['b2'], network['b3']

a1d = fdot1x2(x, W1)
a1  = fplus1x1(a1d,b1)
z1  = fsigmoid1(a1)

a2d = fdot1x2(z1, W2)
a2  = fplus1x1(a2d,b2)
z2  = fsigmoid1(a2,fmax)

a3d = fdot1x2(z2, W3)
a3  = fplus1x1(a3d,b3)
y   = fsoftmax1(a3)
```

```
def fdot1x2(aDim1,aDim2):
    arow = len(aDim2)
    acol = len(aDim2[0])

    fa1 = []
    for col in range(acol):
        sum = 0
        for row in range(arow):
            sum += aDim1[row] * aDim2[row][col]
        fa1.append(sum)

    return fa1
```

行列の積和演算

```
def fplus1x1(aaDim1,baDim1):
    saDim1 = [aaDim1[i]+baDim1[i] for i in range(len(aaDim1))]

    return saDim1
```

行列の加算演算

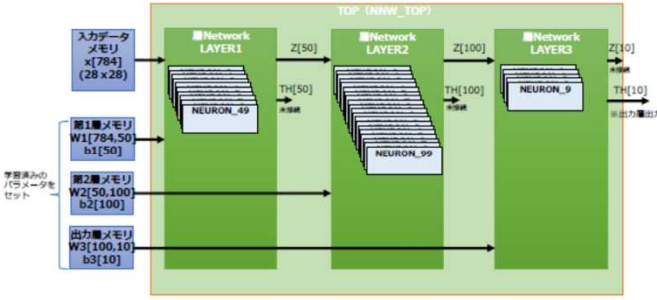
```
def fsigmoid1(aDim1):
    fs1 = [ 1/(1+math.exp(-val)) for val in aDim1]
```

行列のSigmoid演算

CONFIDENTIAL

5章　機能仕様書

(4) 構成（全体イメージ図）



CONFIDENTIAL

7章　RTL 生成と等価性検証フロー

レポートをチェックします。まずは、満たしていない箇所を探していきます。

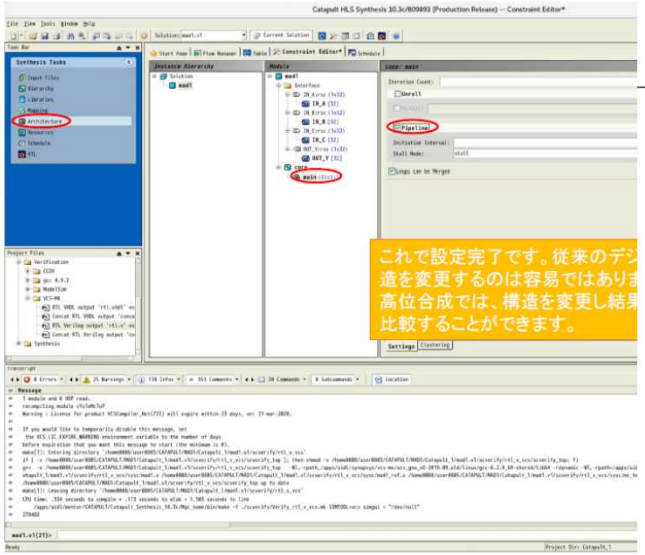
Questa Statement Coverage Report

CONFIDENTIAL

14章　パイプライン化

14.1.　Architectureの変更

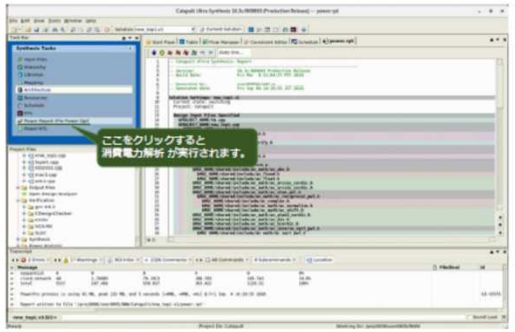
Catapult に戻り、Task Bar の「Architecture」をクリックします。次に Mudule>main を選択し、F
最後に右下の「Apply」をクリックします。



8章　消費電力最適化フロー

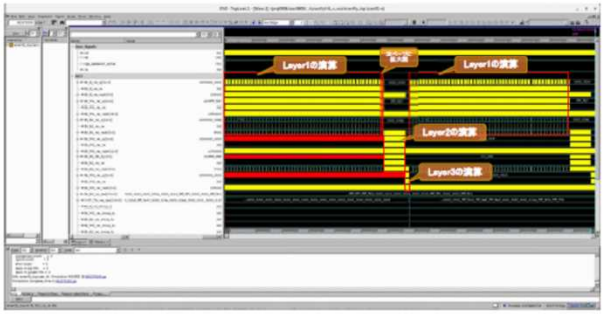
8.1.　消費電力解析

Catapult を使用して、デザインで消費される電力量を解析します。このフローでは、Catapult が SCVerify 内のテストベンチを使用してスイッチング情報を収集し、PowerPro を使用して、デザイン内のレジスター、メモリー、および組み合わせロジックの動的電力とリーク電力を分析します。
Synthesis Tasks メニューの「Power Report (Pre Power Opt)」をクリックします。



CONFIDENTIAL

9章　シミュレーション



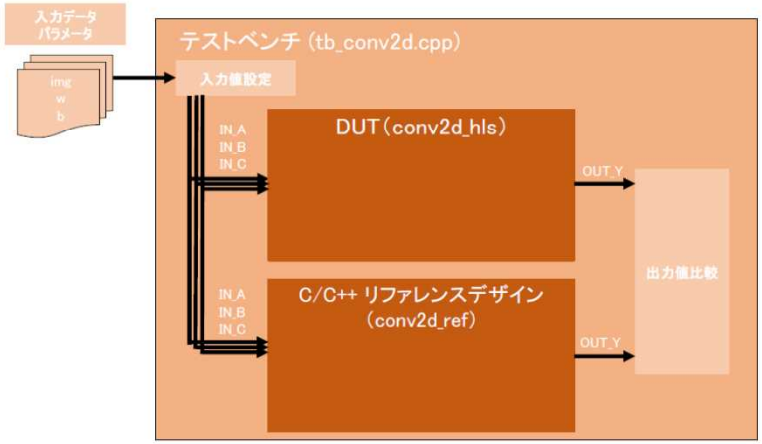
Tb 通りに 2 フレーム流れているのが確認できます。
詳細を見るために拡大します。

CONFIDENTIAL

2. 成果：「高位合成を使ったデジタル設計：実践編」教材の抜粋

2.6. テスト

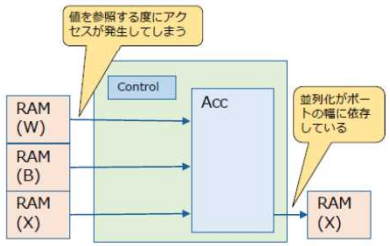
実践編 2 では CONV2D のリファインを検討しやすくするために、テストベンチを下図のように C/C++ と H/W 用の記述をそれぞれ置いて、同じ入力を与えて結果を比較する構成としました。本編でも同様なテストベンチを用いて残りのレイヤのリファインを行っていきます。



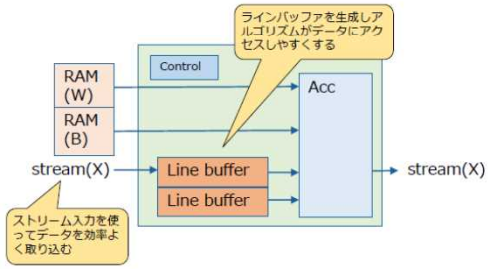
ここからは回路の最適化を考えていきます。
「実践編 2」で最適化した「CONV2D」以外の以下のレイヤに関して最適化していきます。

3.1.1. 「MAXPOOLING2D」
3.1.2. 「FLATTEN」
3.1.3. 「DENSE2D」

以前の実装



本編で目指す実装



「実践編 2」で「CONV2D」に対して行ったのと同様に、画像データをストリームで扱うよう変更しブロック内のラインバッファに保存してアルゴリズムが効率よく演算できるようにします。

3章　高位合成設計フローと回路の最適化

```
model.summary()
Model: "vgg16"
_________________________________________________________________
Layer (type)                 Output Shape              Param #
=================================================================
input_1 (InputLayer)         [(None, 224, 224, 3)]     0
_________________________________________________________________
block1_conv1 (Conv2D)        (None, 224, 224, 64)      1792
block1_conv2 (Conv2D)        (None, 224, 224, 64)      36928
_________________________________________________________________
block1_pool (MaxPooling2D)   (None, 112, 112, 64)      0
_________________________________________________________________
block2_conv1 (Conv2D)        (None, 112, 112, 128)     73856
block2_conv2 (Conv2D)        (None, 112, 112, 128)     147584
_________________________________________________________________
block2_pool (MaxPooling2D)   (None, 56, 56, 128)       0
_________________________________________________________________
block3_conv1 (Conv2D)        (None, 56, 56, 256)       295168
block3_conv2 (Conv2D)        (None, 56, 56, 256)       590080
block3_conv3 (Conv2D)        (None, 56, 56, 256)       590080
_________________________________________________________________
block3_pool (MaxPooling2D)   (None, 28, 28, 256)       0
_________________________________________________________________
block4_conv1 (Conv2D)        (None, 28, 28, 512)       1180160
block4_conv2 (Conv2D)        (None, 28, 28, 512)       2359808
block4_conv3 (Conv2D)        (None, 28, 28, 512)       2359808
_________________________________________________________________
block4_pool (MaxPooling2D)   (None, 14, 14, 512)       0
_________________________________________________________________
block5_conv1 (Conv2D)        (None, 14, 14, 512)       2359808
block5_conv2 (Conv2D)        (None, 14, 14, 512)       2359808
block5_conv3 (Conv2D)        (None, 14, 14, 512)       2359808
_________________________________________________________________
block5_pool (MaxPooling2D)   (None, 7, 7, 512)        0
_________________________________________________________________
flatten (Flatten)            (None, 25088)             0
_________________________________________________________________
fc1 (Dense)                  (None, 4096)              102764544
_________________________________________________________________
fc2 (Dense)                  (None, 4096)              16781312
_________________________________________________________________
predictions (Dense)          (None, 1000)              4097000
=================================================================
Total params: 138,357,544
Trainable params: 138,357,544
Non-trainable params: 0
_________________________________________________________________
```

Block1 のパラメータ数
1792 + 36928 = 38720

Block2 のパラメータ数
73856 + 147584 = 221440

Block3 のパラメータ数
295168 + 590080 + 590080 = 1475328

Block4 のパラメータ数
1180160 + 2359808 + 2359808 = 5899776

Block5 のパラメータ数
2359808 + 2359808 + 2359808 = 7079424

Full Connection 以降のパラメータ数
102764544 + 16781312 + 4097000 = 123642856

左図は vgg16 モデルのレイヤ構成を示しています。赤枠で囲った部分が各レイヤで必要となるパラメータ数です。

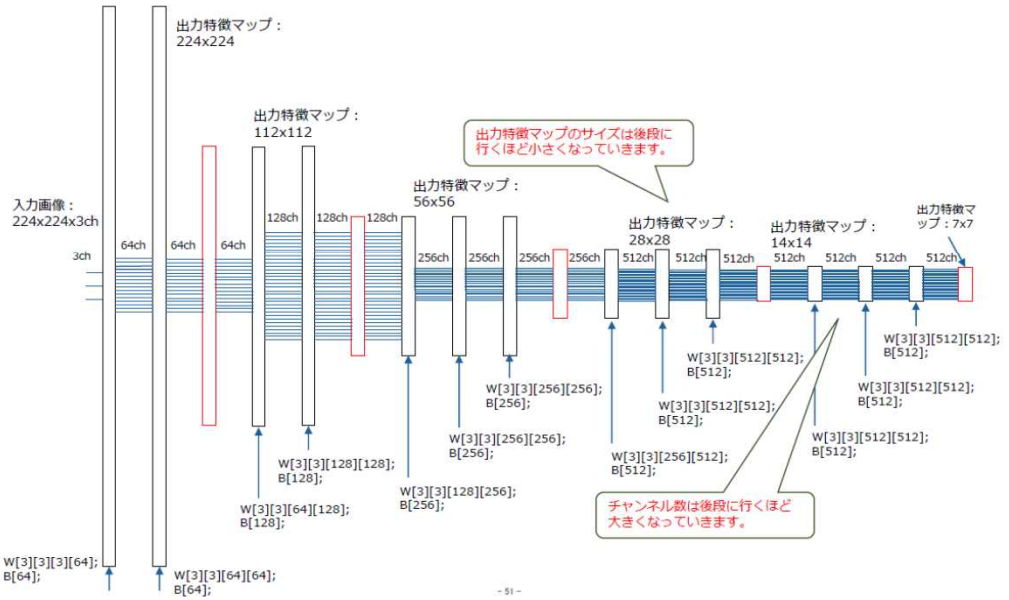
参考として 32bit / 1パラメータで換算すると、

Block1：155KB
Block2：886KB
Block3：5.9MB
Block4：23.6MB
Block5：28.4MB
それ以降：495MB

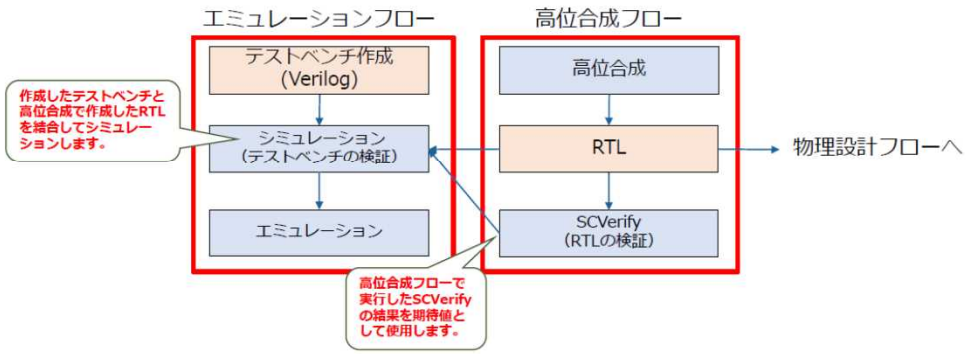
となります。

パラメータ数は後段に行くほど大きくなっていきます。

3章　高位合成設計フローと回路の最適化

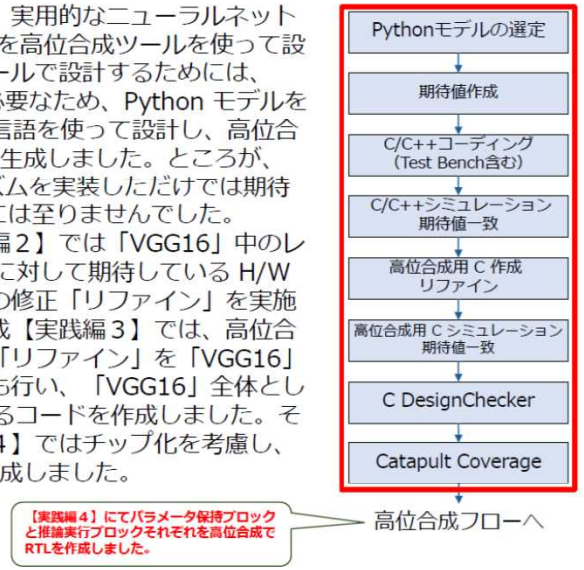


2. 成果:「高位合成を使ったデジタル設計:実践編」教材の抜粋



今回使用した Catapult 2021.1 は、エミュレータに対応していないため、C++で記載したテストベンチを Verilog で書き換え高位合成で作成した RTL と結合してシミュレーションを実行します。その際の期待値として、高位合成の SCVerify の結果を使います。また、この環境を使ってエミュレータを実行します。

高位合成【実践編】では、実用的なニューラルネットワークとして「VGG16」を高位合成ツールを使って設計しました。高位合成ツールで設計するためには、C/C++ 言語での実装が必要なため、Python モデルを参考にしながら C/C++ 言語を使って設計し、高位合成ツールを使って RTL を生成しました。ところが、C/C++ 言語でアルゴリズムを実装しただけでは期待した通りの H/W の生成には至りませんでした。
そこで、高位合成【実践編２】では「VGG16」中のレイヤである「CONV2D」に対して期待している H/W を生成するためのコードの修正「リファイン」を実施しました。さらに高位合成【実践編３】では、高位合成【実践編２】と同様の「リファイン」を「VGG16」の残りのレイヤに対しても行い、「VGG16」全体として期待するH/Wを生成するコードを作成しました。その後、高位合成【実践編４】ではチップ化を考慮し、物理設計へ渡す RTL を生成しました。



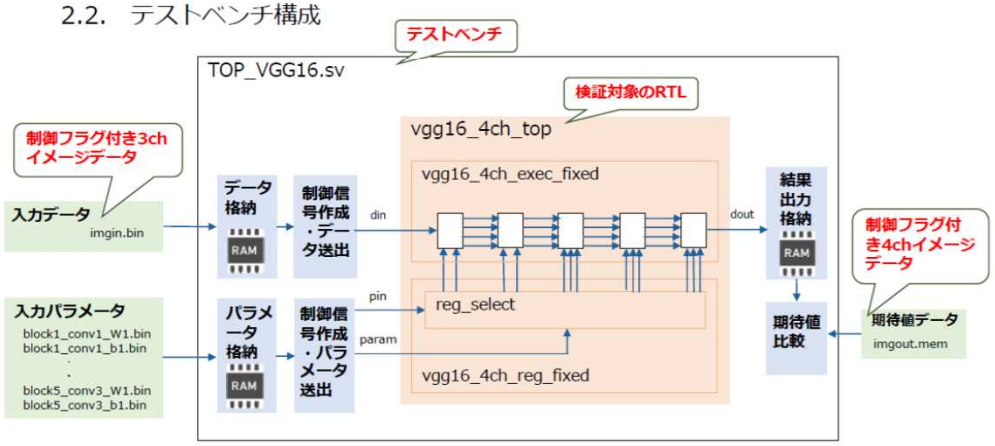
1章 はじめに

1.3. 高位合成【実践編５】の概略

高位合成【実践編５】では、高位合成【実践編４】で作成したチップ化を考慮した「VGG16」のサンプル回路を検証する方法について説明します。
具体的には下記の作業を行います。
・シミュレータ「Cadence Xcerium」による検証
・エミュレータ「Cadence Palladium」による検証
シミュレータに対してエミュレータがどの程度加速できるのかを体験します。

2章 エミュレーションのためのテストベンチ作成

2.2. テストベンチ構成



次にテストベンチ構成を考えます。入力データと入力パラメータは C++ のシミュレーション時に実際に入力したデータをダンプして作成します。データ格納部・パラメータ格納部にて一旦RAMにすべてのデータを取り込みます。制御信号作成・データ送出部にて RTL に対するストリーム制御信号を生成し、データを送出します。パラメータも同様です。
結果出力格納部にて出力データをすべてRAMに格納し、シミュレーション終了時に期待値データと比較判定を行います。

2. 成果:「デジタル物理設計:基礎編」教材の抜粋

デジタル設計教材

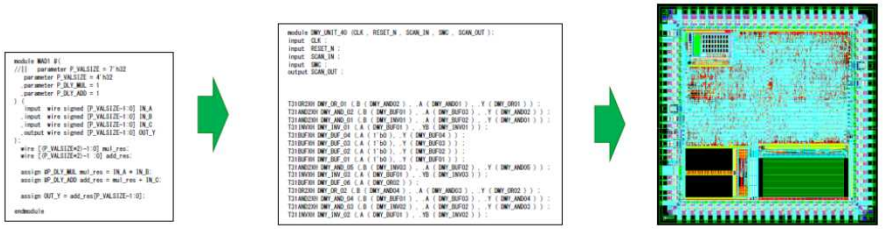
デジタル物理設計【基礎編(ブロック設計)】

AIチップ設計拠点
東京大学システムデザイン研究センター

デジタル物理設計とは、論理設計で記述した抽象的な論理回路に対して、実際にどの素子を使うか、それらをどう配置し、どう配線するかを決める工程です。

一般的に論理回路の設計は最終的に配置実装する素子レベルではなく、もっと抽象的な記述で行います。そのままではLSIとして製造できないため、素子単位での具体的な回路に変換する作業を行います。まず素子による回路構成に変換する論理合成、その後配置配線を行う自動レイアウトで工場での製造に必要な最終データを作成します。

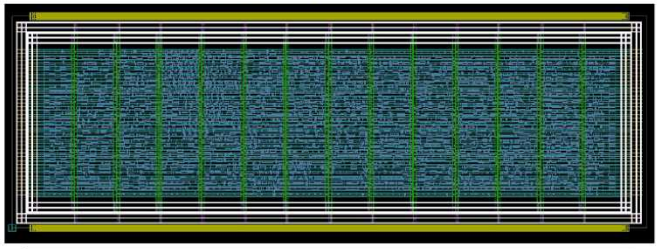
デジタル物理設計では、論理設計で確定した機能を変更しないように、クロック周波数、入出力仕様、ピン配置、消費電力、面積、形状などの目標を達成できるよう設計を行います。



5章 P&Rレイアウトエ程概要

5.2.3 コマンドによるプラン作成

【create_powerの結果確認】【RING】



```
icc2_shell> change_selection [get_shapes {PATH_35* PATH_36*}]
```

pns_example.tclで設定した通りRINGが形成されているか確認

/proj0025/Work_PnR/dp/TOP/rm_icc2_dp_scripts/pns_example.tcl

```
# P G   R I N G   C R E A T I O N

create_pg_ring_pattern ring_pattern -horizontal_layer M5 ¥
  -horizontal_width {4.5} -horizontal_spacing {0.5} ¥
   -vertical_layer M6 -vertical_width {4.5} -vertical_spacing {0.5}

set_pg_strategy core_ring ¥
   -pattern {{name: ring_pattern} ¥
   {nets: {VDD VSS}} {offset: {3 3}}} -core
```

/proj0025/Work_PnR/dp/TOP/rm_icc2_dp_scripts/compile_pg_example.tcl

```
compile_pg -strategies core_ring
```

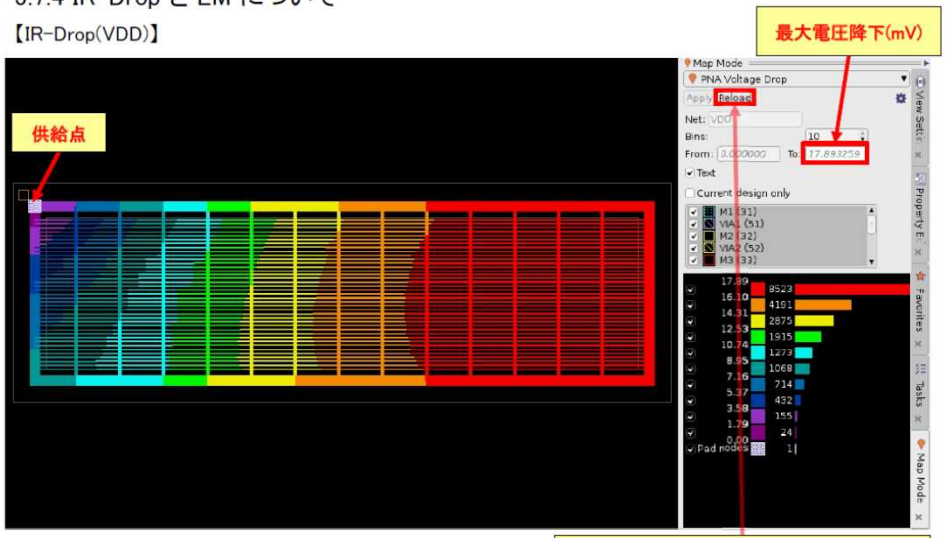
RING除去コマンドはこちら

```
remove_routes -ring
```


5章 P&Rレイアウトエ程概要

5.7.4 IR-Drop と EM について

【IR-Drop(VDD)】

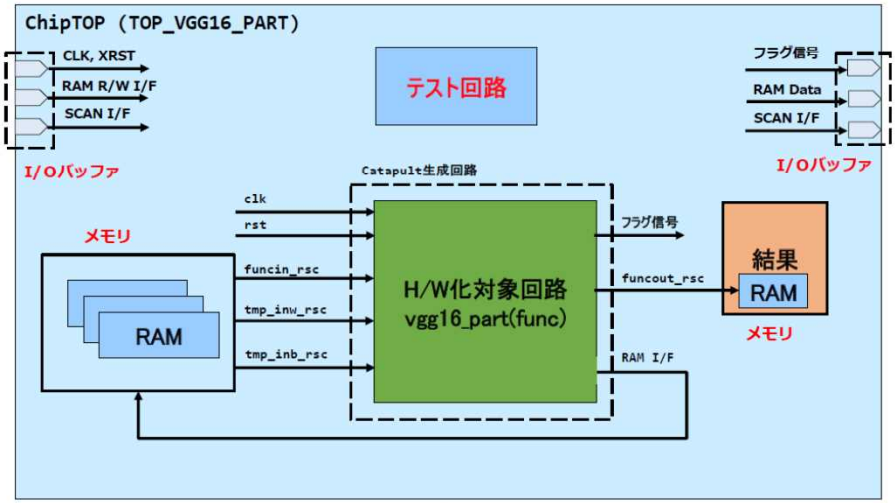


2. 成果:「デジタル物理設計:応用編」教材の抜粋

デジタル設計教材

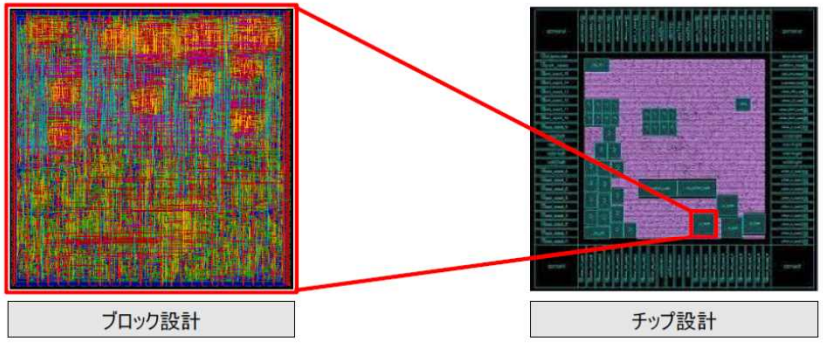
デジタルチップ・物理設計【応用編】

フロック設計ではシステムやメモリに接続するための整合性が取れたI/Fの実装ができればブロックとしての設計を完結することができました。チップ設計ではクロックやリセット、メモリ、テスト回路、I/Oバッファといったシステム全体で必要とされる要素を全て実装する必要があります。



1章　デジタルチップ設計概要

1.2. ブロック設計とチップ設計の違い



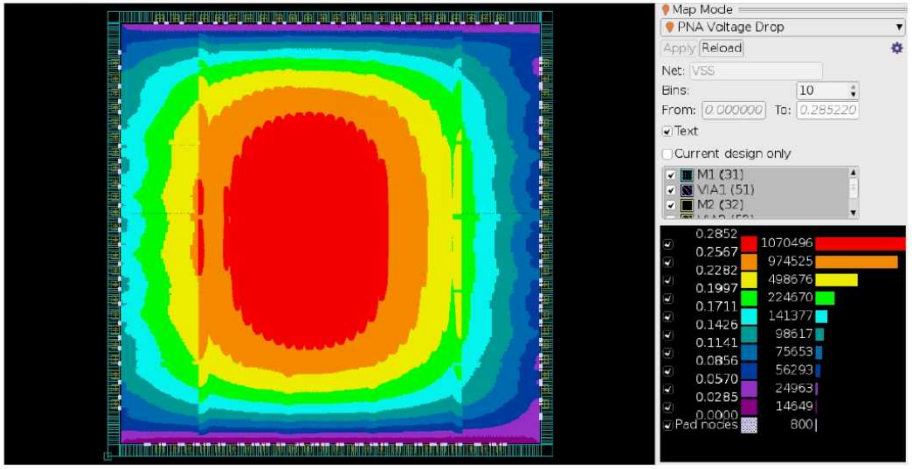
ブロック設計とチップ設計の違いは以下の通りです。

- IO配置、PAD配置
- ハードマクロ配置
- チップレベルの配置・CTS・配線

8章　チップのPower検証

8.4.1. IR-Drop結果の確認

【scan】【IR-Drop(VSS)】



2. 成果:「デジタル物理設計:低消費電力編」教材の抜粋

デジタル設計教材

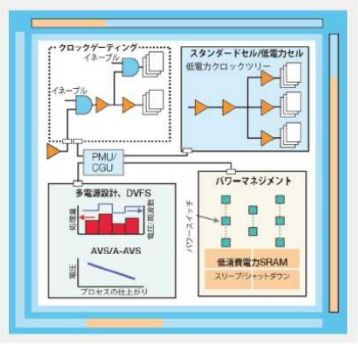
デジタルチップ・物理設計【低消費電力編】

2022年３月7日
凸版印刷株式会社
エレクトロニクス事業本部
株式会社トッパン・テクニカル・デザインセンター

【多電源設計/パワーマネジメント】

- 多電源設計
  LSI内に異なる電圧を供給する設計のことです。
  高速動作の回路ブロックには高電圧、
  低速動作の回路ブロックには低電圧を供給し、
  動作時の消費電力を抑えます。

- パワーマネジメント
  パワーゲーティングとSRAMのスリープ、
  シャットダウンモードを統合的に制御する手法です。
  電源オン/オフ切り替え時に発生する電源ノイズを
  抑制してLSIの誤動作を回避します。



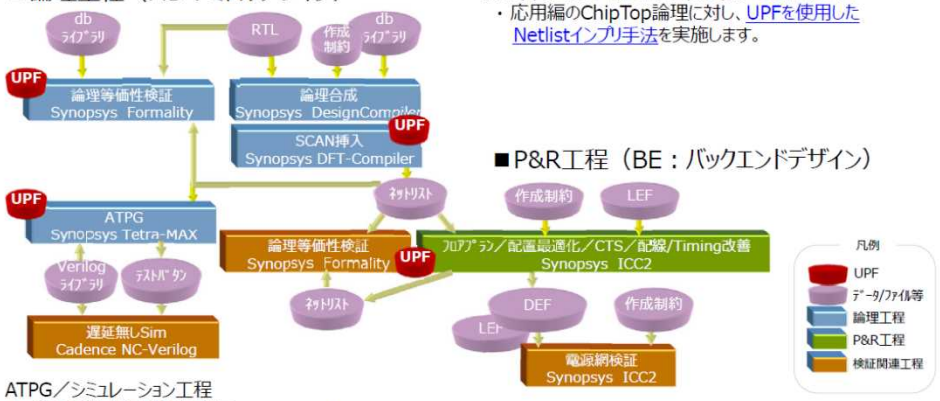
出典:「低消費電力化技術 | 株式会社ソシオネクスト」
https://www.socionext.com/jp/products/customsoc/design/low-power.html

本編では、UPFを採用することによって、電源遮断回路を含めた、
物理設計・検証が一括してできるようになります。
UPFの詳細は【1.3. UPFについて】を確認してください。

1章 電源遮断について

1.2. 電源遮断設計のフロー

■論理工程（MD：ミドルデザイン）



論理合成工程/論理等価性検証/SCAN挿入：
・応用編のChipTop論理に対し、UPFを使用したNetlistインプリ手法を実施します。

■P&R工程（BE：バックエンドデザイン）

ATPG/シミュレーション工程
1・全電源ドメインがON状態での動作確認を行います。
2．一部電源ドメインがOFF状態になった場合、期待値が不一致になることを確認します。

P&Rレイアウト工程：
低消費電力編では、UPFを使用しアイソレーションセルによる電源遮断を主体に教材と環境を構築します。 電源遮断に必要な要件について、フロアプラン～P&Rレイアウトに至るまで対応いたします。

1章 電源遮断について

1.3. UPFについて

【パワードメインの定義】

電源の有効範囲を定義する「パワードメイン」を定義、使用する電源/グランドを指定します。
トップ階層のパワードメイン(PD_TOP)を定義します。
供給電源はSS_VDDH、その他の電源はSS_VDDLを定義します。

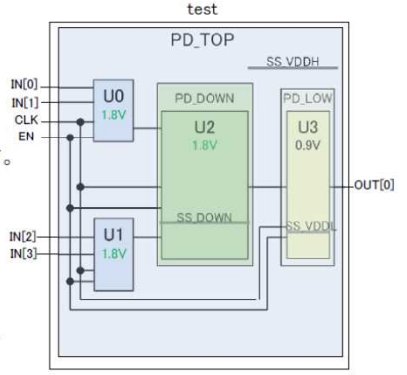
```
create_power_domain PD_TOP ¥
        -supply {primary SS_VDDH} ¥
        -supply {extra_suplies_0 SS_VDDL} ¥
        -include_scope
```

電源遮断領域のパワードメイン(PD_DOWN)を定義します。
供給電源はSS_DOWN、その他の電源はSS_VDDLを定義します。

```
create_power_domain PD_DOWN ¥
        -supply {primary SS_DOWN} ¥
        -supply {extra_supplies_0 SS_VDDH} ¥
        -elements {U2}
```

電源電圧が異なるパワードメイン(PD_LOW)を定義します。
供給電源はSS_LOW、その他の電源はSS_VDDHを定義します。

```
create_power_domain PD_LOW ¥
        -supply {primary SS_VDDL} ¥
        -supply {extra_supplies_0 SS_VDDH} ¥
        -elements {U3}
```



赤字:ユーザ指定
青字:コマンド特有の定義済み設定

2. 1-1成果（目標達成度）：2020年度終了時

項目	成果	達成度	
		水準	内容
拠点利用者が、小・中規模の回路に対し、拠点で構築したRTL記述を用いたエミュレータ・シミュレータ協調設計検証フローで設計検証を実施（5件以上）	・RTLのエミュレータを用いた検証を実施した	○	小・中規模の回路に対して前年度累計で5件、RTL記述を用いたエミュレータ・シミュレータ協調設計検証フロー（手法）で実証 より大規模な回路設計に対応するためエミュレータ・シミュレータ協調設計検証のテストベンチ作成の半自動化を試行
拠点利用者が、小・中規模の回路に対し、拠点で構築したネットリストレベルの記述を用いたエミュレータ・シミュレータ協調設計検証フローで設計検証を実施（3件程度）	・ネットリストのエミュレータを用いた検証を実施した	○	小・中規模の回路RTLを用いたエミュレータ・シミュレータ協調設計検証フローの利用実績5件のうち3件に関してネットリストレベルでの検証を行った
エミュレータ・シミュレータ協調設計検証フローを用いることによる設計検証効率の向上を、エミュレータのみを用いた設計検証フローと比較することで（検証時間・検証カバレージ等を用いて）可視化するとともに結果を電子的に公開する	・検証時間等に関して検証フローの効果を可視化した	○	ネットリストレベル記述を用いたエミュレータ・シミュレータ協調設計検証フローを構築・確立し、電子的にマニュアルを作成、公開 エミュレータ・シミュレータ協調設計検証フローを用いることによる設計検証効率の向上をエミュレータのみを用いた設計検証フローと比較することで効果の可視化

◎ 大きく上回って達成、○達成、△達成見込み（中間）、 ×未達

2. 1-1成果（目標達成度）：2022年度終了時

項目	成果	達成度	
		水準	内容
拠点利用者が、より大規模（＞1BG）な回路に対し、エミュレータ・シミュレータ協調設計検証フローで設計検証を実施（3件程度）	・大規模設計データに対してエミュレータ・シミュレータ協調設計検証フローを用いた検証を実施した	○	AI-One/AI-Twoおよび協力会社の3件の1BG程度・超の設計のエミュレーション検証環境を整備し検証の実行
拠点で構築した高速チップ・超低消費電力チップ・高電力効率チップ等のアプリケーション向けのエミュレータ・シミュレータ協調設計検証フローで、拠点利用者が設計検証を実施（事業期間全体で10件程度）	・種々のアプリケーション向けの検証フローでの検証を実施	○	中間までの検証実績（RTL：5件、ネットリスト：3件）に加え、AI-One/Twoおよび協力会社の検証、RISC-Vプラットフォームの検証：2件（1件はハンズオンセミナーにも使用）を加え、13件の検証を実行

◎ 大きく上回って達成、○達成、△達成見込み（中間）、 ×未達

2. 1-2成果・進捗状況（中間時点：2020年度の成果）

◎大幅達成、〇達成、△一部未達、X未達

項目	成果	達成度	
		水準	内容
モデルベースのエミュレータ・EDAツールの協調設計ツールチェインを開発し、小・中規模の実設計において実証する。3件以上がこのモデル設計フローを活用した設計を行う	ツールチェインを開発 小・中規模の実設計において実証	〇	モデルベースのエミュレータ・EDA協調設計ツールチェインを開発し、実証、公開 実施項目①－1において実現されたエミュレータ・シミュレータ協調設計フロー及び、本実施項目の成果によるツール間の接続を活用し、RTL-エミュレータ論理設計から物理設計にいたる最適設計フローを実現 拠点利用者の設計を例題とし、フローの有効性を実証 モデルベース設計ツールチェインを活用した設計を2020年度累計で3件実施

2. 1-2成果・進捗状況（2022年度終了時）

◎大幅達成、〇達成、△一部未達、X未達

項目	成果	達成度	
		水準	内容
アプリケーション向けのツールチェインを策定し、拠点利用者が事業期間全体で5件程度、より大規模（＞1BG）な設計を実施する	AI-One: 6 AI-IPおよびSoC全体、AI-Two; 3 AI-IPおよびSoC全体の設計を実施し、実チップが設計通り機能・性能を出すことを確認した	◎	全体として9件のAI-IPに対してツールチェインを活用した設計を実施した。また、AI-One/AI-TwoのSoC全体の設計（おおむね1BG程度の規模）に対して設計フローを適用して実チップにて動作を確認した

資料6-1

AIチップ開発加速のためのイノベーション推進事業

実施項目２－１「AIチップの研究開発に必要なEDAツールの整備」
実施項目２－２「人材育成と拠点機能の整備」

担当機関　東京大学
産業技術総合研究所
発表者　池田誠（東京大学）

目次

１．概要
- 背景・目的・課題
- 取り組み内容・技術の特徴
- 目標・計画

２．成果
- 成果・意義
- 目標達成度　など

背景・課題

- AIチップ開発において、その性能を高精度に予測し設計するための設計ツール群は必要不可欠
  - 設計ツール群は非常に高価 → AIチップの開発には莫大な費用が必要で、大きな障壁
- 標準的な高速インターフェースやメモリインターフェース等のIPが不可欠
- 大規模なAIチップの設計のためにはエミュレータの適切な活用が不可欠

→ 管理運用及び利活用の方法が大きな課題

→ 利用者である中小・ベンチャー企業によっては、手元で設計ツールの管理や設定が可能な企業と、そうではない企業がありうる

目的

- アナログ系、デジタル系論理設計・物理設計のための設計ツール群、高位合成のためのツール群及びサインオフ検証向けツール群を整備
- 拠点を利用する中小・ベンチャー企業に広く活用されるような環境を整備
- 国内外のFABの代表的なプロセステクノロジー向けの設計環境を整備

→ AIチップ開発に新たに取り組むことになる中小・ベンチャー企業の設計環境整備を支援

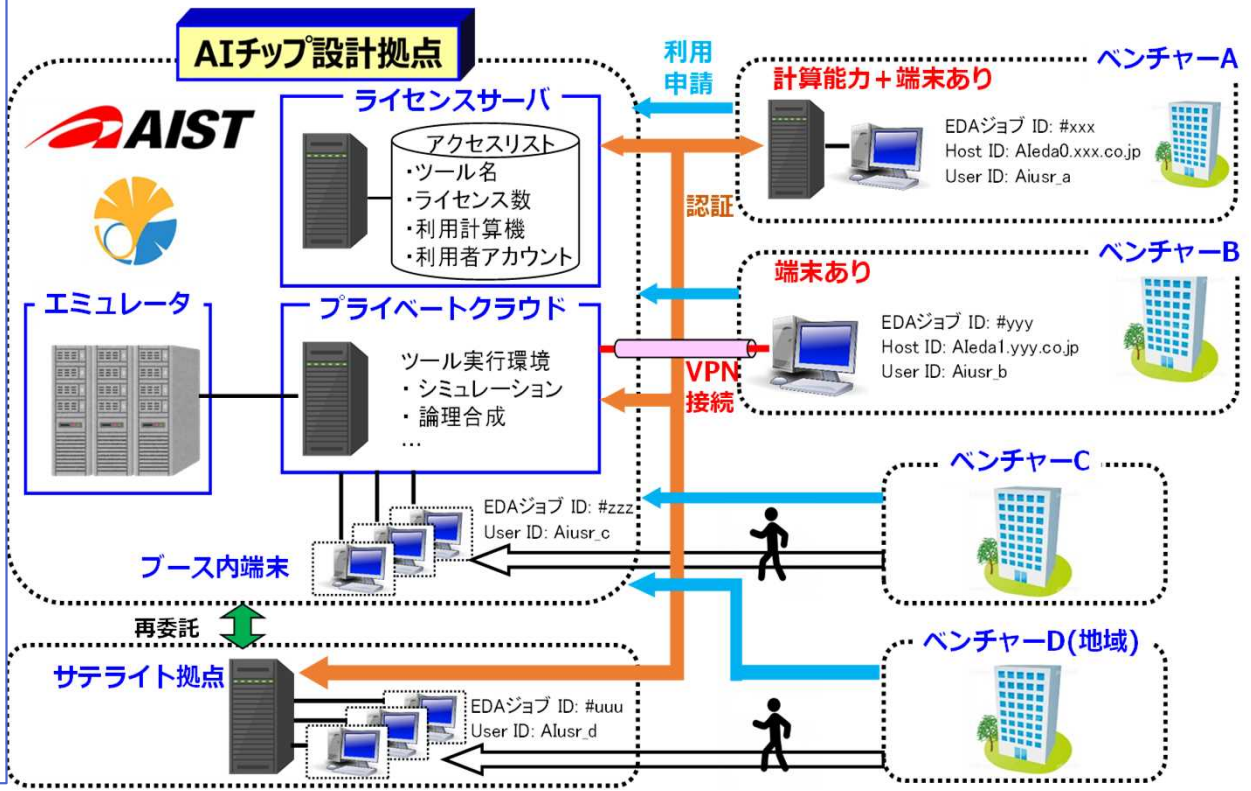
取り組み内容

- アナログ系、デジタル系論理設計・物理設計のための設計ツール群、高位合成のためのツール群及びサインオフ検証向けツール群を整備
- 拠点を利用する中小・ベンチャー企業に広く活用されるような環境を整備

技術の特徴

- ベンチャーの環境に応じ複数の利用形態を整備する

A)ベンチャーで十分な計算能力、ツールの整備能力のある場合にはライセンスのリモート認証による利用
B)ベンチャーの端末から拠点プライベートクラウドに接続しツールを利用
C)拠点のブースでのツールの利用
D)福岡ISTのブースでのツールの利用



1．2-1概要（目標・計画）

中間（2020年度末時点）目標

- 利用動向の監視と利用状況の可視化
- ツール利用環境の改良整備、HPの機能追加、拠点運用管理体制の強化
- セキュリティを確保した上で、拠点の規模及び能力の拡充
- 四半期ごとのEDAツールライセンス数を最適化
- ツール群安定最新バージョンへのアップデート及びアップデート後の動作確認

最終(2022年度末時点）の目標

- 利用状況の可視化により四半期ごとのEDAツールライセンス数を最適化
- 拠点運用管理体制の強化
- セキュリティ対策の向上、拠点の規模及び能力の拡充
- ツール群安定最新バージョンへのアップデート及びアップデート後の動作確認

背景・課題

- AIチップ開発拠点の機能として組み込む共通基盤技術＝ツールや設計フロー、ツールチェインやリファレンスデザイン等の準備だけではエミュレータやEDAツール群を使いこなしてAIチップの開発ができるわけではない。
- AIチップ開発初心者にとってAIチップ製造のFABの選定、守秘等の契約、設計のためのデザインマニュアル・PDK・ライブラリの導入は非常に時間がかかり容易ではない。
- これらの機能が最大限活用されるようにするためには、それら利用方法の教育等の人材育成が不可欠＆教育する側の人材育成も重要。

目的

- 拠点環境の整備人材育成・セミナーなど教育活動を通して
  - 拠点利用者への利便性向上
  - 拠点利用者を増やすための設計人材、AIチップ設計人材増加

を目指す。

取り組み内容

- 拠点に整備する機能の利用方法についてマニュアルの整備
- AIチップ設計・検証ガイドラインの策定
- AIチップ設計の教育カリキュラムを構築
- 中小・ベンチャー企業のAIチップ開発に係る人材育成を実施
- 代表的なFABに対する窓口を整備し、試作に向けた支援を実施
- 勉強会を開催し、中小・ベンチャー企業等の意見を集約し、マーケティングやコンソーシアム活動を通して拠点の自立運営を検討

技術の特徴

- AIチップ実現のためのワンストップ窓口となること

1．2-2概要（目標・計画）

中間（2020年度末時点）目標

- エミュレータ・シミュレータ協調設計フローに即したカリキュラム（初級編）を構築、教材を電子的に整備し、HPにて公開
- 年間1回以上の教育コースを拠点利用者等に対して実施
- 1－1「ネットリスト検証フロー利用目標」のうち1件程度が本設計試作ゲートウエイ機能を利用
- 拠点運営について運営形態等検討会を立ち上げる

最終(2022年度末時点）の目標

- 1－1「協調設計検証フロー利用目標」のうち3件程度が本設計試作ゲートウエイ機能を利用
- 教育カリキュラムに則ったセミナー等を拠点利用者等に対して実施
- 設計ノウハウのFAQを更新し、拠点利用者に公開しノウハウの共有を図る
- 拠点のユーザーとなり得る中小・ベンチャー企業等との勉強会を実施し、拠点運営に係る意見を集約

背景・課題

- エッジ側におけるAI機能とセンシング機能の融合が進行
- AI処理において画像処理応用範囲が広く、イメージセンサとの融合が期待
- イメージセンサ技術は産業的に日本が強い分野であり、そのセンサーを活用した設計に向けた、物理モデルに基づいたデバイス設計環境の必要性
- イメージセンサを組み込んだAIチップを設計する際、TCAD等のデバイス設計ツールに精通していない設計者でも設計できる環境整備が不可欠
- 現状機能デバイスとAIチップの協調シミュレーション環境・モデルが存在しない

目的

- Impulse TCADをベースとしてAIチップに搭載する際に利用可能な独自の機能素子の物理設計環境実現に向けた課題を抽出しと改良仕様を策定
- 機能デバイス設計ツールのクラウド上での利用環境の構築
- 特定の用途向けユースケースに対して有効性を検証
- 機能デバイス設計環境の拠点利用者等の利用を通した有効性の実証とAIチップ設計フローへ組み込むために必要な条件等の明確化

1．1-4概要（目標・計画）

中間（2020年度末時点）目標

- Impulse TCADをベースとしてAIチップに搭載する際に利用可能な独自の機能素子の物理設計環境のプロトタイプを、例えばフォトセンサーといった特定の用途を想定して開発・評価し、課題を抽出し、改良仕様を策定する

最終(2022年度末時点）の目標

- 機能デバイス設計ツールを改良し、クラウド上で利用可能な環境を構築、特定の用途を想定したケースに対して有効性を検証する。その一環として機能デバイス設計ツールの拠点利用者等の利用を通してその有効性を確認する。また、検討した新規デバイスのモデル化技術等については、AIチップ設計フローへ組み込みとそれに必要な条件等の明確化を図る。

	2018	2019	2020	2021	2022
ユーザインタフェース開発	調査、仕様策定	プロトタイプ開発	評価・改良仕様	UI改良開発	物理設計環境整備
シミュレーションデータ開発		CISピクセル	CIS改良、圧力センサ	他デバイスへの展開	
モデル化技術				モデル化技術検討	設計フロー検討

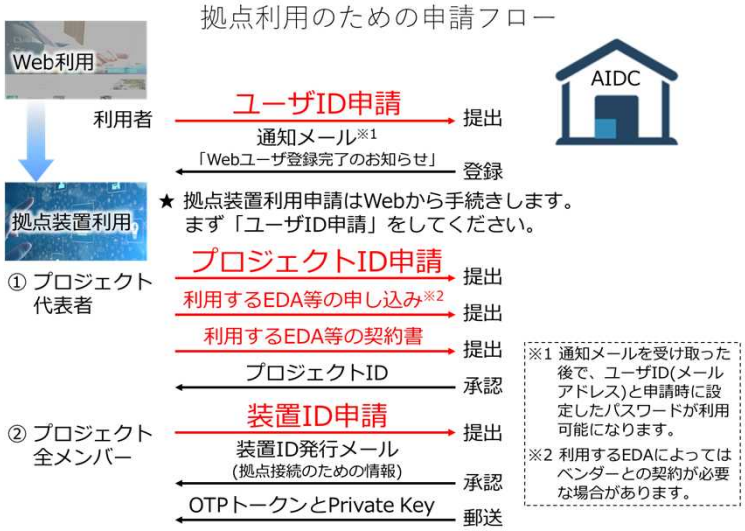
成果

- 導入したEDAツールの利用マニュアルを公開
- EDAツール利用のための環境設定ファイルをツール毎に準備
- ライセンスの効率的な運用、設計データやIPの保護のために、VM(バーチャル マシーン)にログインし、LSF(ライセンス・スケジューラ)を用いたツールの実行環境を整備
- ライセンスの利用実績、利用見込みから最適なライセンス数を導入し安定した運用を実現
- AI-One/AI-Twoといった大規模なSoCの設計にも対応可能なツール利用環境を実証した
- EDAツール利用が進み、利用件数は延べ74件となった。

意義

- ユーザー間の情報漏洩の防止、設計情報の漏洩の防止、拠点の情報の漏洩防止を図りつつ、EDAツール利用の利便性を最大限担保できるシステムの構築
- 企業ユーザーのとってより安心して活用できる環境かつ、多くのユーザーの受け入れを実現

2. 成果：拠点利用のための申請フロー



ユーザID申請

全ての利用者は、申請します。
ユーザIDの共有は出来ません。

1.1　ユーザID申請フォーム記入
Emailとパスワード
1.2　ユーザID申請受付メール受領
2～5営業日→実効　1営業日未満
1.3　ユーザID承認メール受領
1.4　申請したEmailとパスワードでWebサイトにログインします。

ユーザID申請

プロジェクトID申請

プロジェクトの代表者が、
プロジェクトID申請します。

2.1　プロジェクトID申請フォーム記入
装置の利用目的
プロジェクト参加者情報
2.2　プロジェクトID申請受付メール受領
2～5営業日→実効　1営業日未満
2.2　EDA利用申請書をメール受領
利用する**EDA機能名称**を指定し返信
2～5営業日→実効　5～10営業日
2.3　EDAベンダ契約書を受領。
EDAベンダ契約書に署名し返信
2～5営業日→実効　1～10営業日
2.5　プロジェクトID発行メール受領

2.9　プロジェクトIDをプロジェクト参加者に通知し、参加者は装置ID申請を行う

プロジェクトID申請

装置ID申請

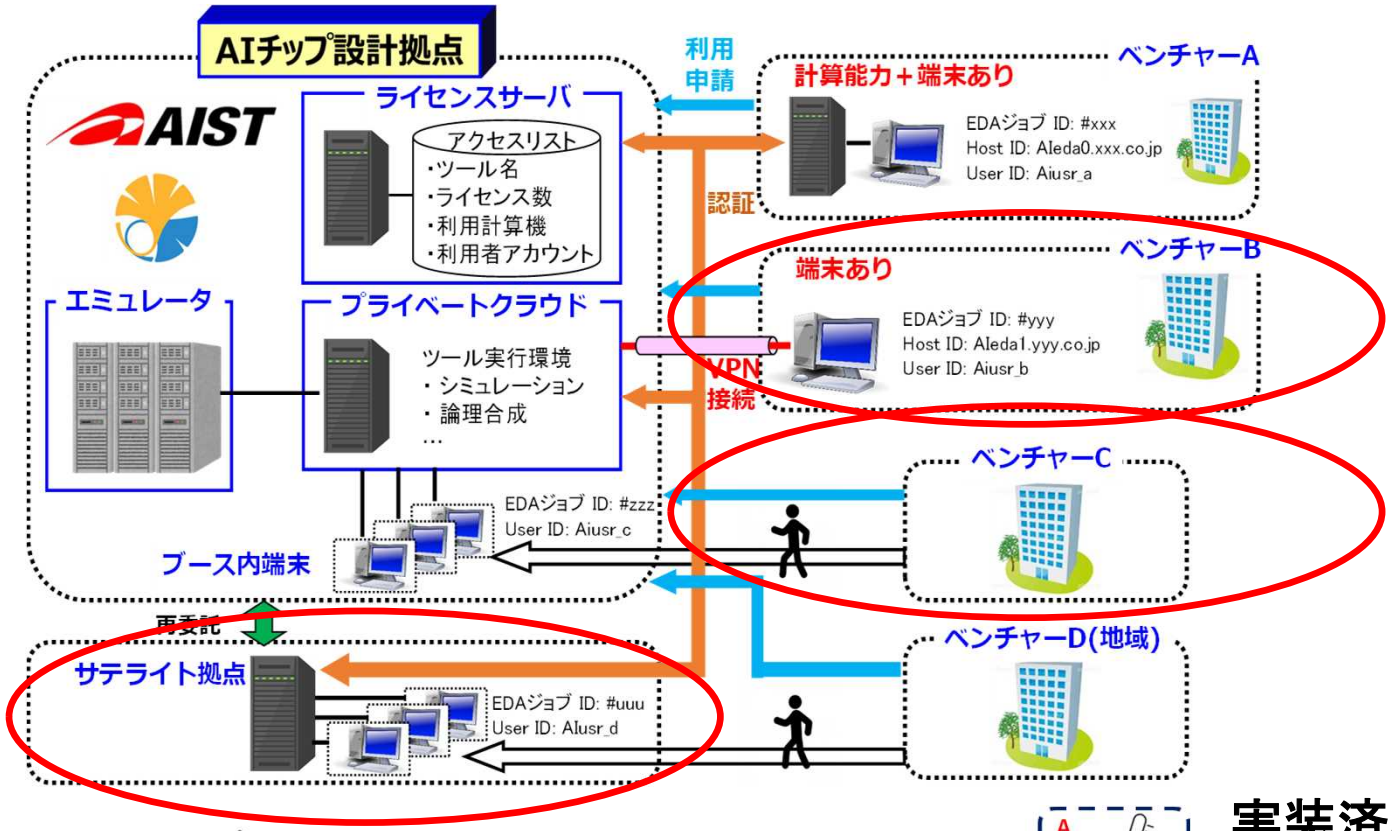
全てのEDA利用者は、申請します。
プロジェクトIDは、代表者から受領します。

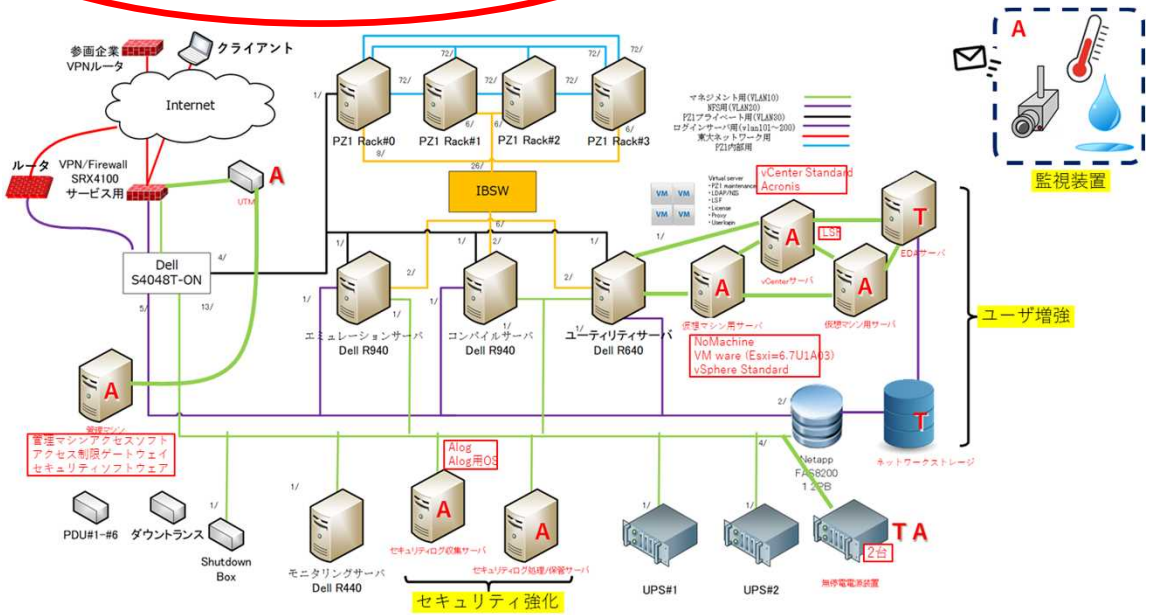
3.1　装置ID申請フォーム記入
プロジェクト代表者より受領した
プロジェクトIDを記入
3.2　装置ID申請受付メール受領
2～5営業日→実効　1～2営業日
3.3　装置ID発行メール受領
Username, Loginサーバ名、queue_name
2～5営業日→実効　2営業日
3.4　郵送レターパック受領
Private keyを格納したUSB、借用書
OTPを表示するセキュリティートークン
3.5　OTP借用書に署名＋USBを返送

3.9　インストールと設定

装置ID申請

2. 成果：現状システム





発足当初の計算リソース
- コア数：96
- CPU合計性能：9.2TFlops
- 主記憶合計：9.7TB

現時点の計算リソース
- コア数：>600
- CPU合計性能：> 70 TFlops
- 主記憶合計：>25 TB

実装済みのシステム運用
- 設計技術・契約に即した申請システム
- NoMachineベースのセキュアなアクセス
- Webインターフェースによるセキュアなファイル転送
- LSFベースのEDAツール利用管理
- 設計ロードの応じた、システムリソース管理

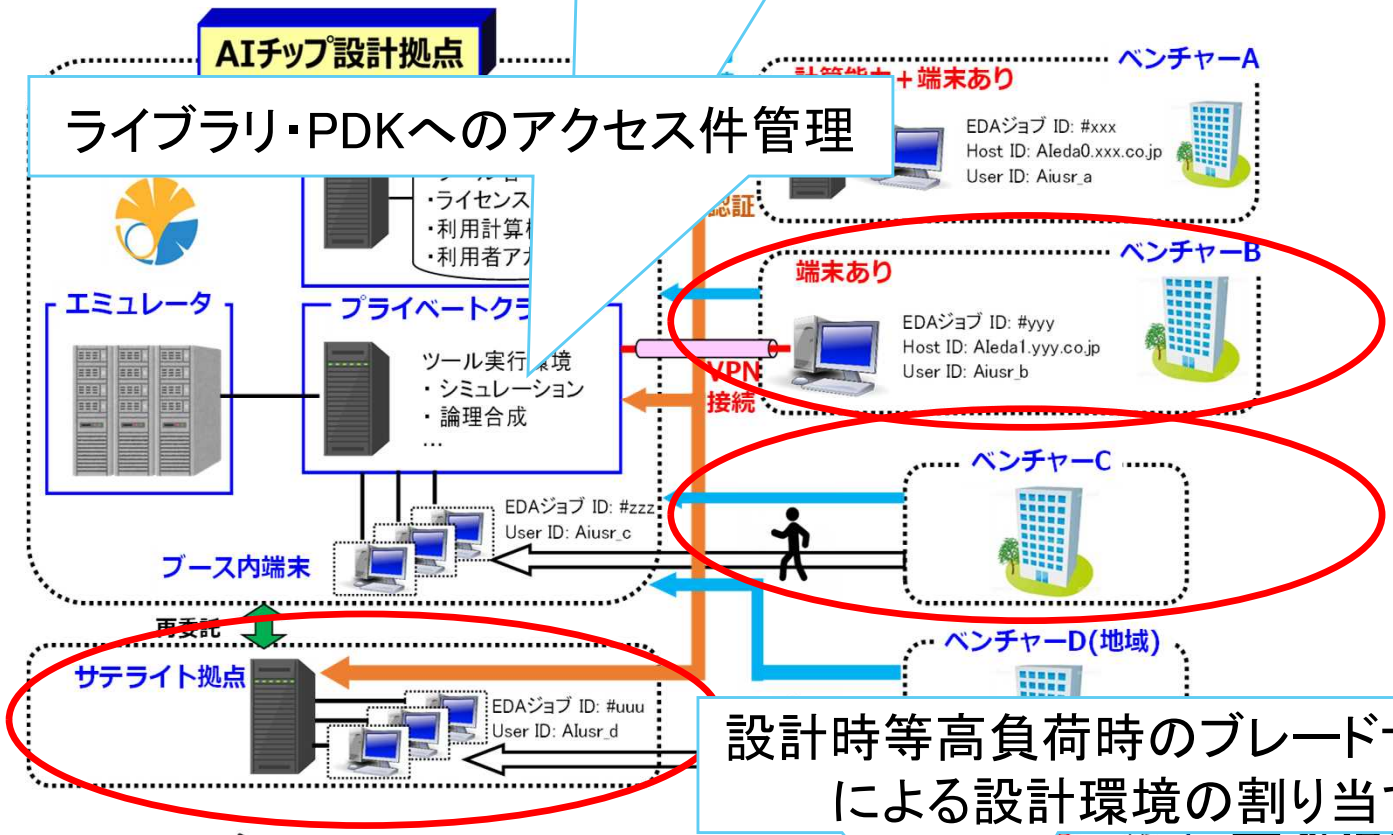
2. 成果：現状システムにおけるセキュリティ強化策

- NoMachineベースのセキュアなアクセス
  - EDAツールのバイナリ実体、IP等の設計ファイルの実体を参照することなく設計の実行が可能
  - 他ユーザとのデータの覗き見対策
- Webインターフェースによるセキュアなファイル転送
  - 利用者に自由にデータのUpload/Downloadをさせないことで、ウイルスの混入リスクの軽減、EDAバイナリやIP情報等のファイルの不正なダウンロード防止
  - ファイルをルールベースでの自動チェック、必要に応じて担当者の目視によるチェックによる不正防止
  - 問題ないファイルに関しては、半自動でのファイル転送許可
- LSFベースのEDAツール利用管理
- 設計ロードの応じた、システムリソース管理
  - AI-One/Two設計等負荷の高い設計においては、Bladeマシン等を直接利用することによる設計効率の向上と、他ユーザとの隔離を両立
- NASが2台（NetApp/EMC)構成になったことで、IPやテクノロジ情報のNAS単位での分離によるさらなるセキュリティ向上
- 40nm/28nm/12nmのPDK、IPの設計環境を実現する、利便性と安全性を十分に評価実証したシステムとして運用
- IPをブラックボックス化してシミュレーション・エミュレーションし結果を返す検証環境の実現

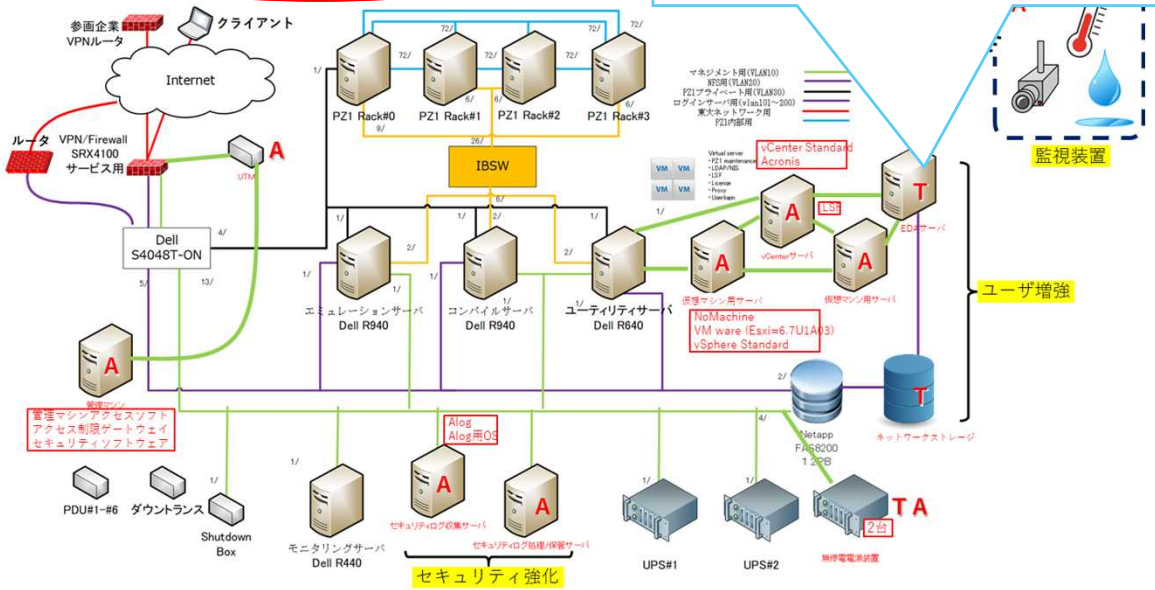
2. 成果：現状システム

EDAツール（毎）の実行権管理

ライブラリ・PDKへのアクセス件管理



設計時等高負荷時のブレードサーバによる設計環境の割り当て



発足当初の計算リソース
- コア数：96
- CPU合計性能：9.2TFlops
- 主記憶合計：9.7TB

現時点の計算リソース
- コア数：>600
- CPU合計性能：> 70 TFlops
- 主記憶合計：>25 TB

実装済みのシステム運用
- 設計技術・契約に即した申請システム
- NoMachineベースのセキュアなアクセス
- Webインターフェースによるセキュアなファイル転送
- LSFベースのEDAツール利用管理
- 設計ロードの応じた、システムリソース管理

2. 成果: EADツールの整備

Cadence, Synopsys, Siemensのツールを整備

アーキテクチャ検証、高位合成、論理設計/検証、回路設計、物理設計/検証、論理エミュレータ、FPGAプロトタイピング、ボード設計、etc.

#Vendor	Feature	大項目	用途・カテゴリ
cadence	Stratus_HLS_-_XL	アーキテクチャ検証 高位合成システムツール群	高位合成 (High-level Synthesis)
cadence	Stratus_Floating_Point		
mentor	Catapult-Prime_Ap_SW	アーキテクチャ検証 高位合成システムツール群	高位合成
mentor	Oasys-RTL_Designer_Ap_SW		
mentor	Oasys-RTL_Floorplanning_AddOn_SW		
mentor	Oasys-RTL_Architect_AddOn_SW		
mentor	Oasys-RTL_Low_Power_AddOn_SW		
mentor	Catapult_Coverage_Ap_SW		高位検証
mentor	SLEC-HLS_Ap_SW		
mentor	PowerPro-Optimizer_Ap_SW		消費電力の推定・解析
synopsys	DC_Explorer	論理設計検証ツール群	論理合成ツール (LogicSynthesis)
synopsys	DC_Ultra		
synopsys	HDL_Compiler_Verilog		
synopsys	VHDL_Compiler		
synopsys	Power_Compiler		
synopsys	DFT_Compiler		
synopsys	Design_Vision		論理合成結果の可視化・最適化ツール (GUI & Advanced Optimization)
synopsys	Design_Compiler_Graphical		
synopsys	Library_Compiler		論理合成向け基本関数ライブラリ (Datapath library for Logic Synthesis)
synopsys	DesignWare_Library		
synopsys	DW_minPower_Components		
synopsys	IC_Compiler_II_AG_8-core		配置配線ツール (P&R)
synopsys	Custom_Compiler_ADV		
synopsys	IC-Compiler-II-AF-Add-on		
synopsys	StarRC_Ultra		寄生成分抽出ツール (Extraction)
synopsys	Custom_Compiler_ADV		
synopsys	IC_Validator_NXT		
synopsys	IC_WorkBench_Edit/View_Plus		
synopsys	PrimeTime_ADVP		タイミング検証・電力解析ツール (Timing & Power Analysis)
synopsys	Prime_Power		
synopsys	Formality		等価性検証ツール (Equivalence checking)
synopsys	PowerReplay		論理デバッグツール (Debug)
synopsys	Verdi-3		
synopsys	Verdi_-_Power_Aware_Debug		
synopsys	nAnalyzer		
synopsys	nECO		
synopsys	Verdi_HW_SW_Debug_Add-on		
synopsys	Verdi_Advanced_AMS_Debug_Add-on		
synopsys	Verdi_Performance_Analyzer		
synopsys	SpyGlass_Lint		RTL解析ツール (RTL analysis)
synopsys	SpyGlass_Lint_Turbo_Add-on		
synopsys	SpyGlass_CDC_Advanced_Add-on		
synopsys	SpyGlass_RDC_Add-on		
synopsys	SpyGlass_DFT_ADV_Add-on		
synopsys	SpyGlass_SVA_Generation_Add-on		
synopsys	VC_LP		
synopsys	SpyGlass_Power_Explorer_Add-on		
synopsys	VC_Formal		形式的機能検証 (Formal verification)
synopsys	VC_Formal_FSV_Add-on		
synopsys	VC_Formal_FTA_Add-on		
synopsys	Certitude_Base_w_Unlimited_Sim		検証品質確認ツール (Functional Qualification)
synopsys	DFTMAX		テスト設計検証ツール (Design for test)
synopsys	DFTMAX_Ultra_Add-on		
synopsys	DC_Ultra		
synopsys	Design_Vision		
synopsys	HDL_Compiler_Verilog		
synopsys	TetraMAX_II_ADV_8-core_ATPG		
synopsys	HSPICE		回路レベルシミュレーションツール (Circuite simulation)
synopsys	Custom_WaveView_ADV		
synopsys	CustomSim_with_FineSim2		
synopsys	FastSPICE_Analysis_Suite		
synopsys	Custom_Compiler_ADV		
synopsys	VCS_MX		
synopsys	TestMax_CustomFault		
synopsys	X-Prop_Add-on		論理シミュレーションツール (Logic simulation)
synopsys	VCS_MX		
synopsys	NLP_Add-On		

cadence	Genus_Synthesis_Solution	論理設計検証ツール群	論理合成 (Logic Synthesis)
cadence	Genus_Low_Power_Option		
cadence	Genus_Physical_Option		
cadence	Joules_RTL_Power_Solution		電力解析
cadence	Conformal_Low_Power_-_XL		等価検証
cadence	Innovus_Implementation_System		配置配線 (Place&Route)
cadence	Innovus_20/16/14nm_Option		
cadence	Innovus_Hierarchical_Design_Option		
cadence	Tempus_Timing_Signoff_Solution		タイミング検証 (Timing Analysis)
cadence	Tempus_Timing_Signoff_Solution_ECO		
cadence	Xcelium_Single_Core		論理検証 (Logic Verification)
cadence	Xcelium_Digital_Mixed_Signal_Option		
cadence	vManager_Integration_Server		
cadence	vManager_Multi-Project_Application		
cadence	vManager_Linux_Client		
cadence	JasperGold_Formal_Verification_Platform		フォーマル検証
cadence	Virtuoso_Schematic_Editor_L	アナログ・ミックスドシグナル設計	回路図入力 (Schematic Editor)
cadence	Virtuoso_Schematic_Editor_XL		
cadence	Virtuoso_ADE_Assembler		
cadence	Virtuoso_Layout_Suite_L		レイアウト入力 (Layout Editor)
cadence	Virtuoso_Layout_Suite_XL		
cadence	Spectre_Multi-Mode_Simulation_with_AMS		シミュレーション
synopsys	Custom_Compiler_ADV	アナログ・ミックスドシグナル設計	回路図入力 (Schematic Editor)
synopsys	Custom_Compiler_ADV		レイアウト入力 (Layout Editor)
synopsys	Galaxy_Custom_Router		
synopsys	HSPICE		アナログシミュレーション環境 (Analog Simulation)
synopsys	Custom_WaveView_ADV		
synopsys	CustomSim_with_FineSim2		
synopsys	FastSPICE_Analysis_Suite		
synopsys	TestMax_CustomFault		
synopsys	Custom_Compiler_ADV		
synopsys	StarRC_Ultra		設計規則検査・寄生成分抽出ツール (DRC & Extraction)
synopsys	IC_Validator_NXT		
synopsys	Custom_Compiler_ADV		
synopsys	FastSPICE_Analysis_Suite		電力解析ツール (Power Analysis)
synopsys	CustomSim_with_FineSim2		
synopsys	Custom_Compiler_ADV		
mentor	Calibre_nmDRC_Ap_SW	物理検証ツール群	物理検証 DRC LVS (Physical Verification)
mentor	Calibre_nmDRC-H_Op_SW		
mentor	Calibre_nmLVS_Ap_SW		
mentor	Calibre_nmLVS-H_Op_SW		寄生成分抽出
mentor	Calibre_xACT_3D_Ap_SW		
mentor	Calibre_RVE/QDB-H_Ap_SW		対話型実行環境 結果表示
mentor	Calibre_Interactive_Ap_SW		
mentor	Calibre_DESIGNrev_Ap_SW		
cadence	Physical_Verification_System_DRC	物理検証ツール群	物理検証 DRC LVS (Physical Verification)
cadence	Physical_Verification_System_Advanced_Analysis_Option_for_PVS_DRC		
cadence	Physical_Verification_System_LVS		
cadence	Physical_Verification_System_Advanced_Device_Option		
cadence	Quantus_QRC_Extraction		寄生成分抽出 (Parasitic Extraction)
cadence	Quantus_QRC_Advanced_Analysis		
cadence	Quantus_QRC_Advanced_Modeling		
cadence	Quantus_QRC_Advanced_Node_Modeling		
cadence	Voltus_IC_Power_Integrity_Solution		電力解析 (Power Analysis)
cadence	Voltus_IC_Power_Integrity_Solution_Advanced_Analysis_GXL_Option		
cadence	Voltus-Fi_Custom_Power_Integrity_Solution		
cadence	Palladium_Z1_GXL_576_always-on-domains	エミュレータ FPGAプロトタイプ	エミュレータ
cadence	Palladium_Z1_56Gbps_36_ports_switch		
cadence	Palladium_Z1_2-port_host_card		
cadence	Palladium_Dynamic_Power_Analysis_2.0		
cadence	Virtual_Debug_Interface_to_Software_Debuggers_4-pack		
cadence	Palladium_Series_Memory-model_Multiple_Subscription		
cadence	Palladium_PCIe_4.0_VirtualBridge_Kit		
cadence	Palladium_VirtualBridge_8-port_pack		
cadence	Incisive-Enterprise-Simulator---XL		エミュレータ用検証モデル
cadence	Palladium_Accelerated_VIP_for_AMBA_AXI		
cadence	Palladium_Accelerated_VIP_for_AMBA_AHB		
cadence	Palladium_Accelerated_VIP_for_PCIe_4.0		
cadence	Accelerated_VIP_for_AMBA_USB_3.1		
cadence	Accelerated_VIP_for_HDMI_2.0		
cadence	Accelerated_VIP_for_MIPI_CSI_2		
cadence	Accelerated_VIP_for_MIPI_DSI_2		
cadence	Accelerated_VIP_for_CCIX		
cadence	Protium-S1-Implementation-and-Debug-Software		FPGAプロトタイプ
cadence	Protium_S1_FPGA-based_prototyping_system_8_UltraScale_VU440_FPGAs		
cadence	Protium_S1_accessory__2_chassis_cable_kit		
cadence	Protium_S1_Accessory__High_Performance_XDRAM_Card__16GB		
cadence	PCIE_4.0_Emulation_Dev_Kit_for_Win10_on_Intel_platform		
cadence	PCIE_4.0_Emulation_Dev_Kit_for_Win10_on_Intel_platform		
cadence	Protium_S1_Accessory__QSS_Adapter_for_PCIe_4.0_SpeedBridge		
cadence	Protium_S1_Accessory__DDR4_direct_connect__8GB		
cadence	Protium_/_Protium_S1_Accessory__144MB_SRAM_SODIMM		
cadence	Protium_S1_Accessory__204-pin_SODIMM_Adapter		
cadence	Protium_/_Protium_S1_Accessory__PCIe_kit		
cadence	Video_SB_for_HD_serial_interfaces__RoHS		
cadence	Protium_S1_Accessory__VHDCI_Adapter_for_Video_SpeedBridge		
cadence	Allegro PCB Designer	BoardDesign	PCB board Design

2. 成果：ＥＤＡツールの整備・ライセンス数

フロー名	ツール名	オプション等	永久ライセンス		単価契約ライセンス												
			当初 1/31分	追加 4/16分	'19	'20				'21				'22			
						1	2	3	4	1	2	3	4	1	2	3	4
高位合成	Catapult	Catapult-Prime, Oasys-RTL, Catapult Coverage SLEC-HLS, PowerPro-Optimizer	0	0	1	4	3	3	1	2	2	2	2	1	1	1	1
論理合成	Design Compiler		2	4	4	2	4	2	0	1	1	0	0	0	0	0	0
配置配線	ICCompilerII		1	1	3	1	3	3	4	1	1	0	2	13	0	0	0
静的検証	PrimeTime/PrimePower		1	0	2	2	2	4	3	2	2	2	7	19	1	1	0
等価性検証	Formality		1	0	2	2	2	2	4	1	1	1	1	1	1	1	0
形式検証	DEBUG	Verdi SVTB, Verdi Power-Aware Debug, Verdi Coverage, Verdi Performance Analyzer, VC Formal, VC Verification IP Test suites, SpyGlass, PowerReplay, TetraMAX	0	0	1	7	5	2	1	3	3	2	2	3	3	1	2
レイアウト生成	Custom Compiler		2	0	2	1	1	0	0	1	1	0	0	0	0	0	0
寄生成分抽出	ICValidator/StarRC		1	0	4	2	2	3	3	2	2	1	1	2	2	2	0
回路シミュレーション	Analog Sim (VCS AMS, CustomSim, CustomSim Reliabilty, CustomFaultSim)		2	0	6	2	2	3	3	2	2	3	3	3	3	3	1
物理検証系	Calibre DRC, LVS, RVE, PEX, LFE		2	3	1	0	0	0	1	1	1	1	0	1	1	1	1

2. 成果：EDAライセンス数の整備状況・・設計ピーク時のライセンス増補

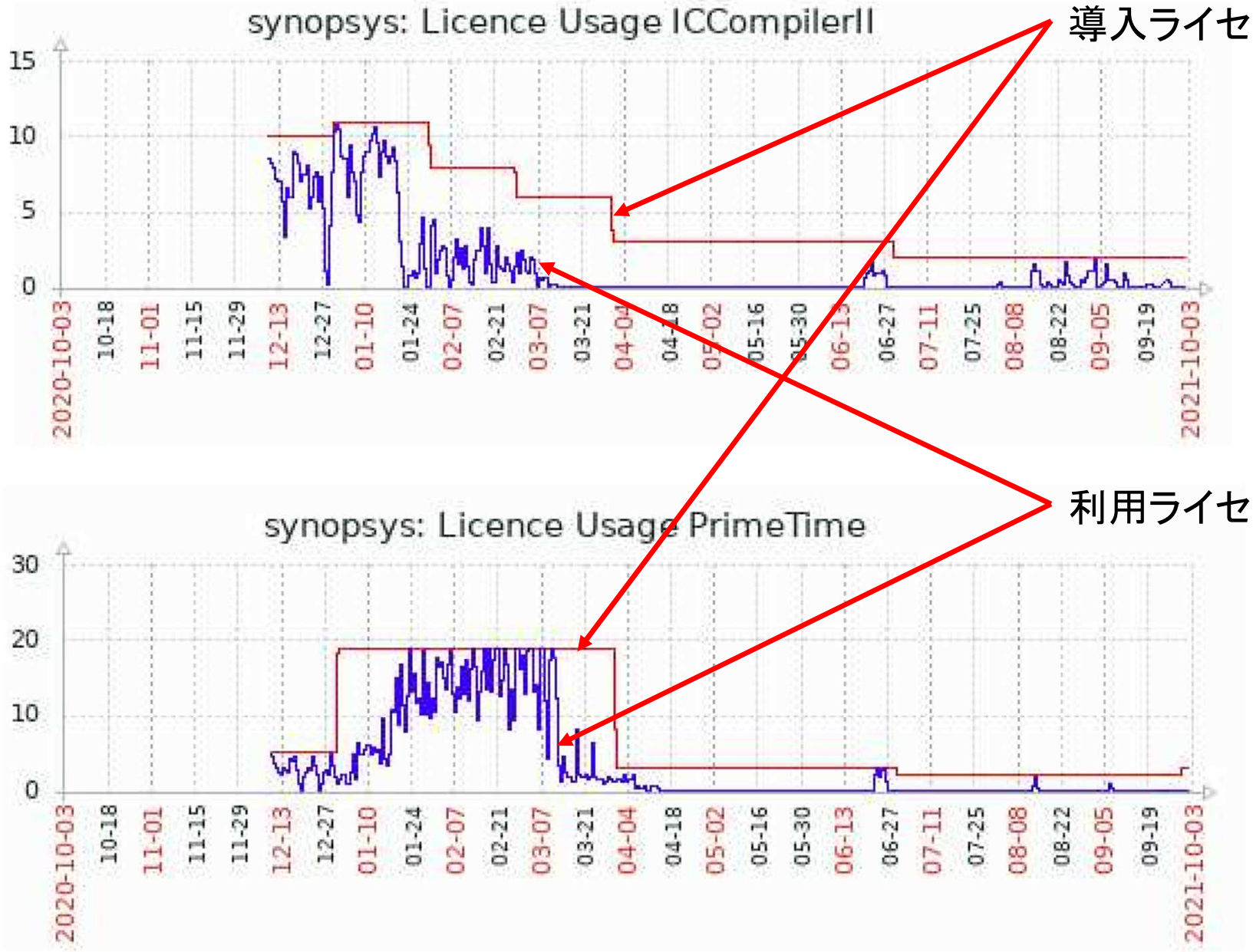
2020年度：当初単価契約以外のライセンス導入

Synopsys LogicBIST	2020/10/1-	1ライセンス
ICCompilerII	2020/12/1-12/31	5ライセンス
ICCompilerII	2020/12/1-12/31	5ライセンス
ICCompilerII	2020/1/1-1/31	5ライセンス
ICCompilerII	2020/2/1-2/28	2ライセンス
PrimeTime	2020/1/1-3/31	15ライセンス
Tweaker	2020/1/1-3/31	5ライセンス
CalibreDRC	2020/2/12-3/11	5ライセンス
Ansys Redhawk/PathFinder	2020/10/1-10/31	1ライセンス
Ansys Redhawk/PathFinder	2020/11/18-3/31	1ライセンス
Ansys Redhawk/PathFinder	2020/3/X-3/31	1ライセンス

2021年度：当初単価契約以外のライセンス導入

Synopsys LogicBIST	2021/4/1-	1ライセンス
Tweaker	2021/4/1-3/31	1ライセンス
Ansys Redhawk/PathFinder	2021/4/1-3/31	1ライセンス
Mentor CalibreMP	2022/1/1-3/31	2ライセンス
Mentor CalibrePERC	2022/1/1-3/31	1ライセンス
Mentor CalibreYE	2022/1/1-3/31	4ライセンス
Mentor CalibreADP	2022/1/1-3/31	1ライセンス
Synopsys ICCII	2022/2/1-2/28	3ライセンス
Synopsys ICCII	2022/3/1-3/31	5ライセンス
Synopsys PTADVP	2022/3/1-3/31	5ライセンス
Synopsys ICCII	2022/7/1-7/31	10ライセンス
Synopsys PTADVP	2022/6/1-6/30	10ライセンス
Synopsys PTADVP	2022/7/1-7/31	30ライセンス
＋Formality/Tweaker/LogicBIST/SHS/SMS		2022/4/1-
Mentor CalibrePERC	2022/8/1-8/31	1ライセンス

2. 成果：EDAライセンス利用状況の可視化例



成果

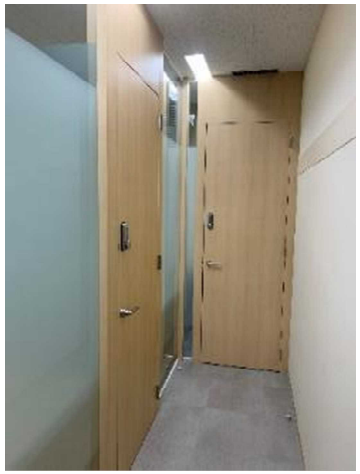
- 拠点の整備を実現
- 人材育成の体系化に取り組んだ
- 一般向けに設計フォーラムを51回実施した（2023年9月時点）
- 「ディジタル設計の基礎」、「ハードウエア・エミュレータでの論理検証の基礎【初級編】【応用編】」、「高位合成を使ったデジタル設計【基礎編】【続基礎編】【実践編】」、「ディジタルブロック・物理設計編」を整備した
- 設計フローの詳細を扱うWebinarを整備しHPに公開した
- 教育セミナー・設計実践セミナーを14回実施した。
- 代表的なFABとして、TSMC、GFとNDAを締結しライブラリの供給を受け設計に供した

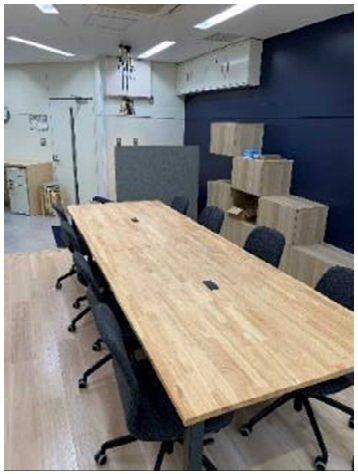
意義

- FABとのゲートウエイ機能の構築・強化することで、試作のハードルを軽減し、ハードウェア化の取り組みを推進。
- フォーラムやセミナーを介して様々な意見が伺え、人材育成強化の方向性変更や、より必要とされる人材育成の構築に反映、さらには、拠点アピールや利用促進につながる。

2. 成果：拠点の構築

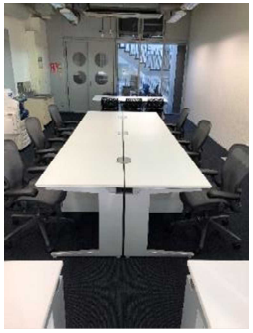
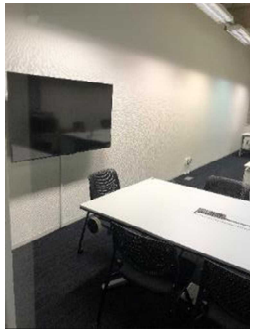
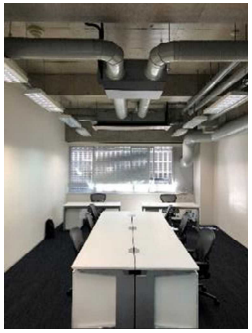
工学部3号館107号室（ブース）





サーバ室（クラウド環境、エミュレータ）

武田先端知ビル201 – 203号室

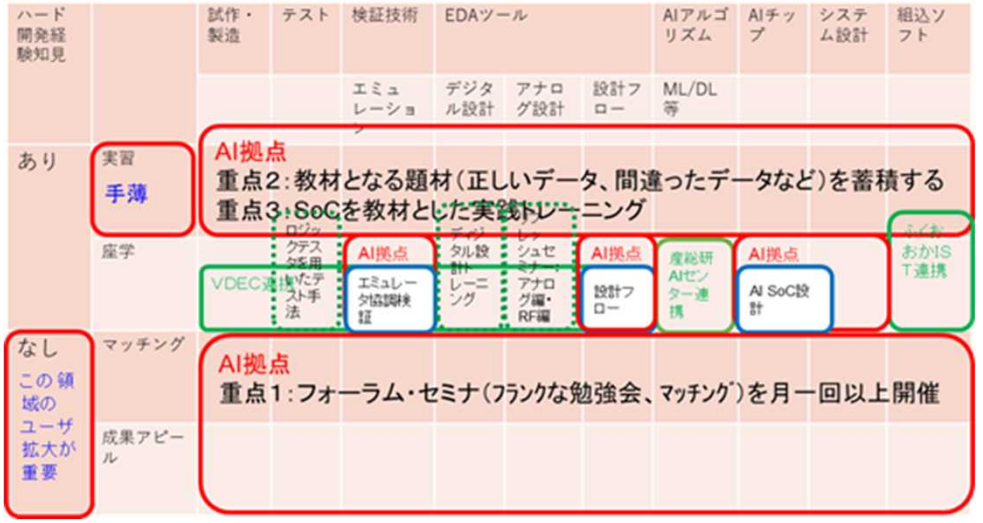




サテライト拠点（福岡IST）

2. 成果：成果設計人材育成の体系化

人材育成と拠点機能の整備・カリキュラム策定

- AIチップ開発に必要な座学は既存のカリキュラム(VDEC連携・福岡IST連携）を活用して網羅
- 重点１：未経験技術者（ソフト・アルゴリズム技術者）に向けた取り組み / フォーラム：毎月実施（～２００名程度の参加）
- 重点２：実習レベルの教材準備（エミュレータ協調検証教材、ディジタル設計教材、高位設計教材、設計フロー教材、AI-SoC設計教材）
- 重点３：Ai-One利用での実践トレーニング（システム設計者、FPGA経験者、高位記述設計者向け）



人材育成のグランドデザイン図

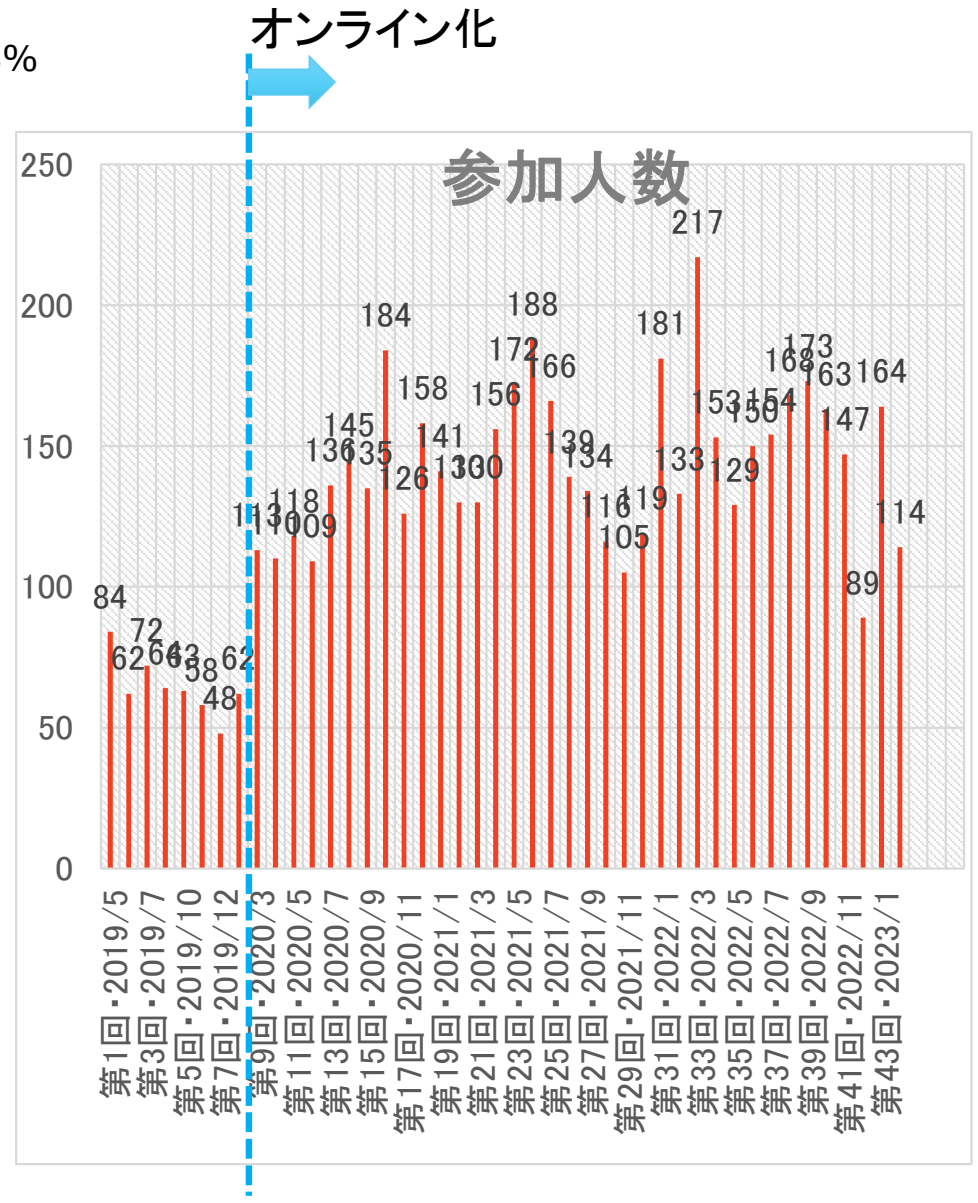
概論	各論	応用・実践編
AIとは（F）	高位合成（基礎・応用）	拠点の利用方法
LSI設計とは（F）	ディジタル設計フロー（基礎・応用）	AiOne設計
SoCとは（F）	論理検証・エミュレータを用いた設計検証	IPコアのアクセスと設計
最先端プロセス（F）	ロジックテスタを用いたSoCテスト手法	フルチップ検証手法
	各ツールトレーニング	

2. 成果: Forum開催によるアウトリーチ活動

1. Webinarになった第9回から参加者が増加し、平均参加者は144名 (第9～43回平均: それ以前64名)。
2. 第27回の中小企業の割合 = $\frac{\text{中小企業}}{\text{中小企業 + 大企業}}$ = 38%

第1回:5/17
第2回:6/19
第3回:7/26
第4回:9/25
第5回:10/30
第6回:11/27
第7回:12/23
第8回:1/31
第9回(W):3/27
第10回(W):4/24
第11回(W):5/29
第12回(W):6/26
第13回(W):7/31(Fri)
第14回(W):8/28(Fri)

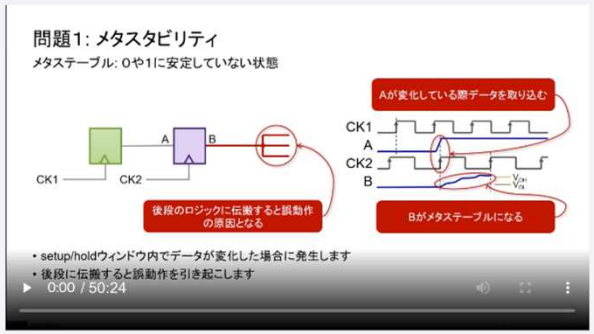
第15回(W):9/29(Tue)
第16回(W):10/30(Fri)
第17回(W):11/27(Fri)
第18回(W):12/23(Wed)
第19回(W):1/29(Fri)
第20回(W):2/26(Fri)
第21回(W):3/26(Fri)
第22回(W):4/28(Wed)
第23回(W):5/28(Fri)
第24回(W):6/25(Fri)
第25回(W):7/21(Wed)
第26回(W):8/27(Fri)
第27回(W):9/24(Fri)
・
・
第44回(W): 2023/2/24(Fri)



2. 成果：セミナーの実施

年月日	発表媒体	発表タイトル
2019年12月19日～20日	セミナ	高位合成ツール「Catapult」セミナ
2020年1月15日～16日	セミナ	エミュレータとエミュレータ・シミュレータ協調検証環境セミナ
2020年3月30日～31日	Webセミナ	論理検証に関するWebセミナ
2020年10月16日	Webセミナ	高位合成トレーニング
	Webセミナ	Cadenceパラジウム関係のデバッグ機構
2021年6月30日	Webセミナ	エミュレータを利用した検証の高速化に向けたテストベンチ作成方法
2021年7月1日	Webセミナ	シミュレータ・エミュレータによる協調検証環境（EmuForge）を用いた検証効率向上
2021/11/30, 2022/6/7, 2023/2/14	Webセミナ	エミュレータトレーニング
2022/3/10, 2022/9/10, 2023/3/14	Webセミナ	エミュレータ・ワークショップ
2022/9/28, 2023/3/20	Webセミナ	RISC-VベースSoCのシミュレーション・エミュレーション協調検証トレーニング

2. 成果：教材・Webinarの整備



再生します。再生後、以下のアイコンが表示されます。
Picture in Picture機能（サムネール右下：をクリック）、新規Windowで視聴出来ます。
Full screen機能（サムネール右下：をクリック）で、解像度が上がります。
音量調節
音声が途切れます。対策版を入手中です。
本動画は、拠点ホームページでのみ閲覧ください。Downloadや配布等は禁止です。

基本操作
GUI-Debug
Tips
CDC検証

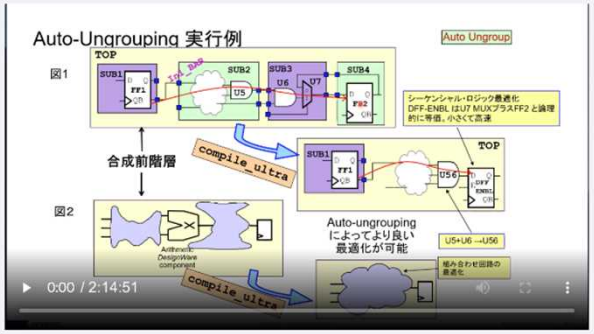
3. 論理合成と等価検証
基本操作と機能概要説明

論理合成グラフィカル
等価検証

4. 教材
Emulatorと論理Simulator，高位設計、論理設計と検証

エミュレータフローの一般論（初級編）
デジタル設計フローの一般論（初級編）
高位合成を使ったデジタル設計（基礎編）

形式検証編



再生します。再生後、以下のアイコンが表示されます。
Picture in Picture機能（サムネール右下：をクリック）、新規Windowで視聴出来ます。
Full screen機能（サムネール右下：をクリック）で、解像度が上がります。
音量調節
本動画は、拠点ホームページでのみ閲覧ください。Downloadや配布等は禁止です。

基本操作
GUI-Debug
Tips
CDC検証

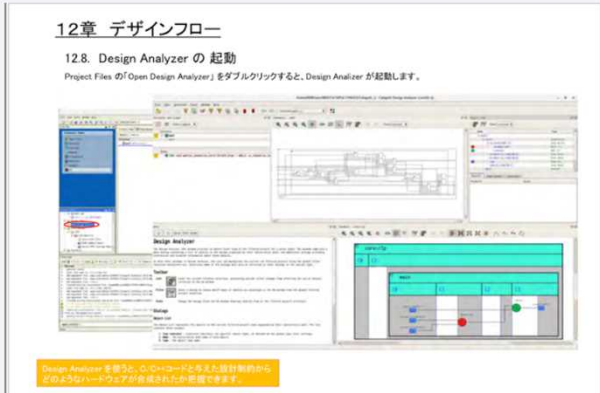
3. 論理合成と等価検証
基本操作と機能概要説明

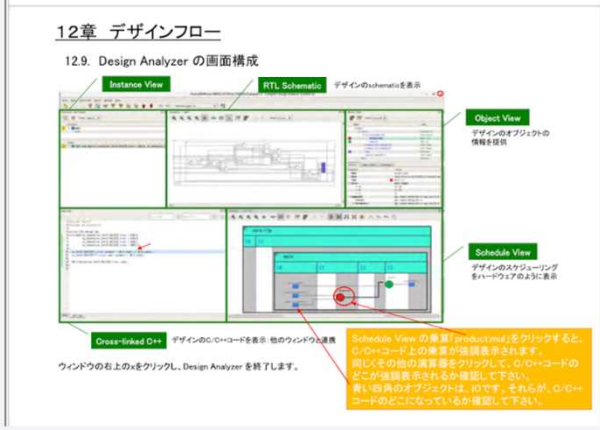
論理合成グラフィカル
等価検証

4. 教材
Emulatorと論理Simulator，高位設計、論理設計と検証

エミュレータフローの一般論（初級編）
デジタル設計フローの一般論（初級編）
高位合成を使ったデジタル設計（基礎編）

論理合成編





Catapultを使用します
サンプル回路で演習できます
Download

2. RTL形式検証
基本操作と機能概要説明

本講座の概要
基本操作
GUI-Debug
Tips
CDC検証

3. 論理合成と等価検証
基本操作と機能概要説明

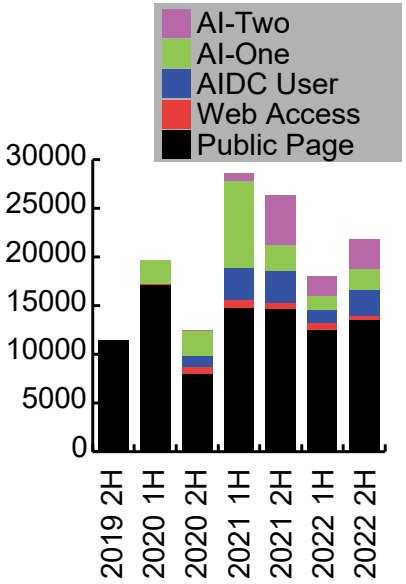
論理合成グラフィカル
等価検証

4. 教材
Emulatorと論理Simulator，高位設計、論理設計と検証

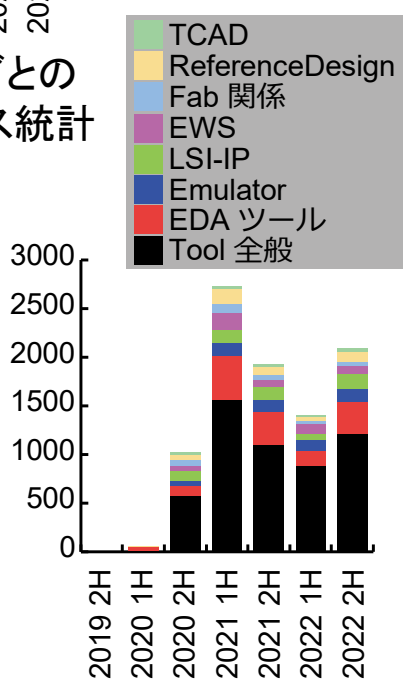
エミュレータフローの一般論（初級編）
デジタル設計フローの一般論（初級編）
高位合成を使ったデジタル設計（基礎編）
エミュレータ論理検証の基礎（初級編）
エミュレータ論理検証の基礎（応用編）
A Design Verification Management Platform
論理設計検証技術
エミュレータ活用 速習1.5時間コース

高位合成編

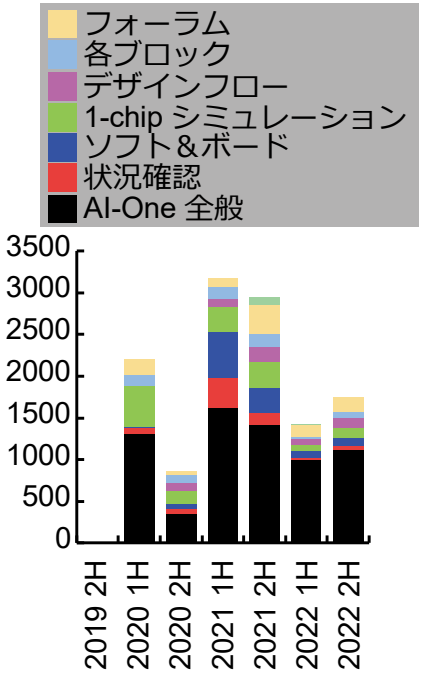
2. 成果：拠点のアクセス状況



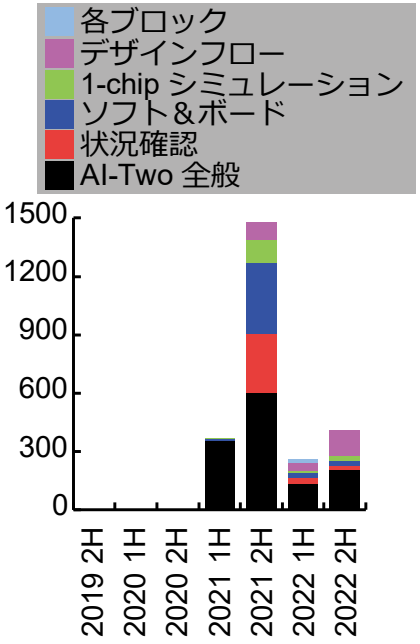
アカウント種別ごとのWebサイトアクセス統計



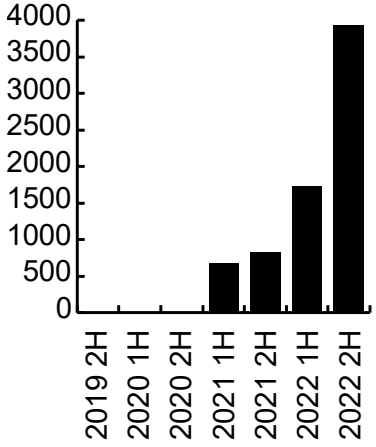
利用法関係のサイトアクセス状況



AI-One関係のサイトアクセス状況



AI-Two関係のサイトアクセス状況



Webinar視聴状況

2. 成果：拠点利用者等のフィードバック状況

- フィードバック件数：拠点利用者、一般（拠点利用検討者含む）、フォーラム参加者から合計530件
- 拠点利用方法の向上や技術情報に関するフィードバックに関しては、拠点ウェブサイトのFAQページやサーバ等に情報を集約し掲載。設計ツールに関しては、小規模ウェブセミナーを開催し、ノウハウを伝授している（下図、詳細非公開）。
- 上記フィードバックに対し、システム設計者、ソフト設計者を交え、技術打ち合わせを毎週～隔週実施

拠点FAQの構築状況（2023/3/31 時点、詳細は非公開）

FAQ掲載場所と公開範囲		FAQ内容と件数			
		拠点接続	EDAツール	IP/SoC	EWS
拠点WEB	一般	10件	1件	5件	
	拠点利用者	30件	71件	213件	15件
拠点サーバ			181件		4件

2. 2-1成果・進捗状況（2020年度までの成果）

◎大幅達成、〇達成、△一部未達、X未達

項目	成果	達成度	
		水準	内容
ツール群の導入	永久ライセンス（ベース部分）および単価契約（変動部分）に分割してのEDAツールの導入を完了した	◎	「AIチップ開発加速のためのイノベーション推進事業／研究開発項目①：AIチップに関するアイディア実用化に向けた開発」の助成事業者等へのヒアリングを実施することで、EDAツール利用見込みを作成し、この見込みと2019年度の利用実績などに基づいて四半期ごとのEDAツールライセンス数を最適化した 利用状況可視化システムとしてOpenLMを導入し運用を開始
導入ツールの保守管理運用方針の策定と運用開始	利用規約の整備を行った	◎	ツール群安定最新バージョンへのアップデート及びアップデート後の動作を確認
EDA利用サーバの導入とツール群のインストールを行い、リモートからログインしてのツール群の利用環境を整備し拠点利用者へ公開	EDAライセンスサーバの導入とライセンスサーバのインストール起動、利用サーバへのツールのインストールと起動の確認を行った。	◎	2019年5月以降順次利用者を増やし、安定運用を実現している 2021年3月以降福岡サテライトでのライセンスの利用を実現 セキュリティ向上、拠点の規模、能力拡充を継続的に実施 ログ取得環境の整備と、ログのリアルタイム解析による監視強化を実現

2. 2-1成果・進捗状況（2022年度までの成果）

◎大幅達成、〇達成、△一部未達、X未達

項目	成果	達成度	
		水準	内容
EDAツールを安定的最新バージョンに更新、利用環境を整備し、拠点利用者へ公開	永久ライセンス（ベース部分）の保守の継続、利用状況に応じた単価契約（変動部分）でのEDAツール数の調整、加えて1か月単位でのスポットでのライセンス数の調整を実施、いずれのライセンスも適切な稼働と安定的な稼働を実現	◎	利用状況可視化システムとしてOpenLMの運用により動的にライセンスの利用状況を確認し、ライセンスの過不足を確認できる環境を実現 ツール群安定最新バージョンへのアップデート及びアップデート後の動作を確認、利用者の要望に応じたツールバージョンのメンテナンスを実施 EDAツールの利用実績、EDAツール利用見込みおよび設計の状況に応じたスポットでのライセンスの導入により、ライセンス数の最適化と過不足ない運用を実現
期間全体を通し15件程度の利用実績をあげる	合計でのべ74件の利用	◎	当初目標を大幅に上回る利用に対して大きな障害を生じることなく安定な運用を実現

2. 2-2成果・進捗状況（2020年度までの成果）

◎大幅達成、〇達成、△一部未達、X未達

項目	成果	達成度	
		水準	内容
エミュレータ及びEDAツールを活用した設計フローの一般論（初級編）についての教材を電子的に整備し、拠点利用者へ公開する	• 教材の整備の実施 • セミナの実施	〇	実施項目①－1、①－2において確立されたエミュレータ・シミュレータ協調設計フローに即した、エミュレータ・EDA協調設計検証カリキュラム（初級編）を構築した。また、その教材を電子的に整備し、HPにて公開した 整備した教材に基づき、1項目あたり年間1回以上の教育コースを拠点利用者等に対して実施した。必要に応じて内容の見直しを図った
国内外の代表的なFABと契約を締結し、設計環境を導入することで設計試作ゲートウエイ機能を整備する。これを拠点利用者へ公開することで、実施項目①－1の中間目標のネットリスト検証フロー利用目標3件のうち1件程度が本設計試作ゲートウエイ機能を利用して設計手順を実施	• ユーザ企業への個別のヒアリングを実施 • AI-Oneの設計を通した整備を実施	〇	実施項目①－1中間目標のネットリスト検証フロー利用3件のうち1件が本設計試作ゲートウエイ機能を利用。 そのフィードバックを通じて本設計試作ゲートウエイ機能の整備を行った
拠点運営について運営形態等の検討を行うコンソーシアム等を立ち上げる	• 設計拠点自立運営検討会の立ち上げ	〇	拠点運営について運営形態等の検討を行うAIチップ設計拠点自立運営検討会を立ち上げた

2. 2-2成果・進捗状況（2022年度までの成果）

◎大幅達成、〇達成、△一部未達、X未達

項目	成果	達成度	
		水準	内容
・エミュレータ・EDA協調設計検証論（上級編）を整備し、各種教育カリキュラムの教育コースを充実させる	• 教材の整備の実施 • セミナの実施	〇	実施項目①－1、①－2において確立されたエミュレータ・シミュレータ協調設計フローに即した、エミュレータ・EDA協調設計検証カリキュラム（初級編）を構築した。また、その教材を電子的に整備し、HPにて公開した 整備した教材に基づき、1項目あたり年間1回以上の教育コースを拠点利用者等に対して実施した。必要に応じて内容の見直しを図った
実施項目①－1最終目標の協調設計検証フロー利用目標10件のうち3件程度が本設計試作ゲートウエイ機能を利用して設計手順を実施する	• ユーザ企業への個別のヒアリングを実施 • AI-One、AI-Twoの設計、試作を本設計試作ゲートウエイ機能を利用して設計手順を実施	〇	2020年終了時点のAI-Oneのテープアウト、試作に加え、3件のIPを搭載したAI-Twoのテープアウト、試作を行ったそのフィードバックを通じて本設計試作ゲートウエイ機能の整備を行った。

資料6-1

実施項目1－5 「国内外FABの活用と最適化ライブラリの研究開発」

担当機関　東京大学
産業技術総合研究所
発表者　長谷川　淳　（東大）

1. 概要(背景・目的・課題)

背景・課題

- 昨今の半導体チップは海外のFABで製造される場合が多い
- 半導体チップの偽造品や模倣品の市場への流通

→ セキュリティを保証するアプリ―ケーション向けの半導体の国内FABで製造への需要

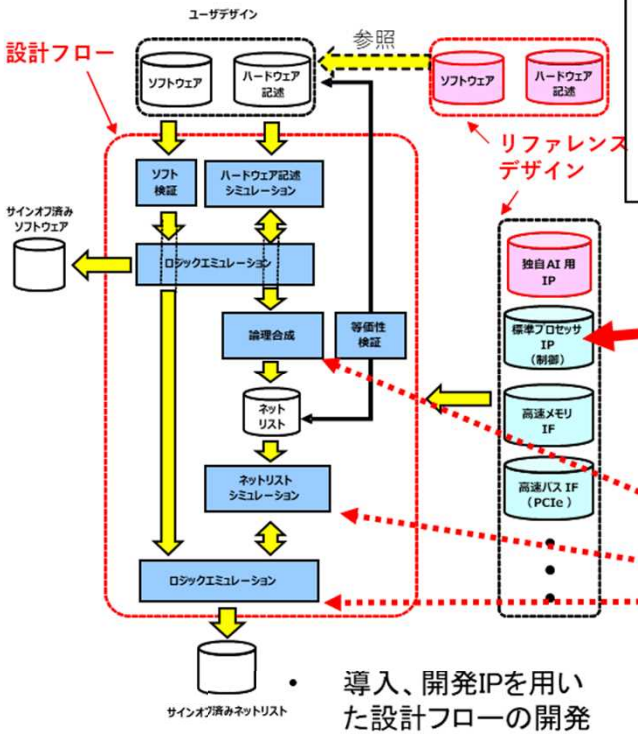
- 国内のFABは自社以外の設計者の利用実績が極端に少なくノウハウの蓄積・公開が皆無
  - 中小ベンチャー企業を含む他社の技術者が国内FABの利用に向けた設計に容易に取り組める状況ではない
- 制御用標準IPコアや通信用標準IPコアは、AIチップを開発するベンチャー・中小企業が個々に準備する必要がある。これらを独自に組み上げた場合にはその組合せの動作検証が必要である、通信規格がある通信用標準IPコアを開発した場合、その規格検証やフィールドテストが必要になる。

目的

- 国内FABを中小ベンチャー企業等が活用できるようにIPを整備する
- 国外FABのIPの利用環境も充実させる
- 1－2で構築する設計フローを実際のチップに適用することで完成させる
- 設計事例により設計のノウハウを蓄積する
- 整備したIPを活用したAIチップ向け独自IPの設計評価手法を確立する

1. 概要（背景・目的・課題）

- ライブラリの構成（スタンダードセルのレイアウト形状やセルの種類など）よる設計ノウハウの蓄積が不可欠である
- プリミティブなライブラリ（PLLやメモリ）の整備はAIチップ設計上不可
- 完成度の高いAIチップの実現に向けては高速IOやプロセッサといった高次のIPの整備が必要となる

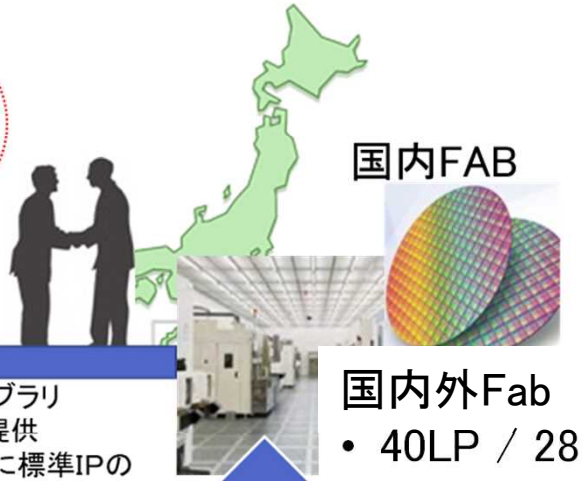


- 導入、開発IPを用いた設計フローの開発

最適化ライブラリ

クロック生成/PLL
メモリ等プリミティブIP

- IPカタログの作成
- カタログに沿ったIPの導入、開発等による整備

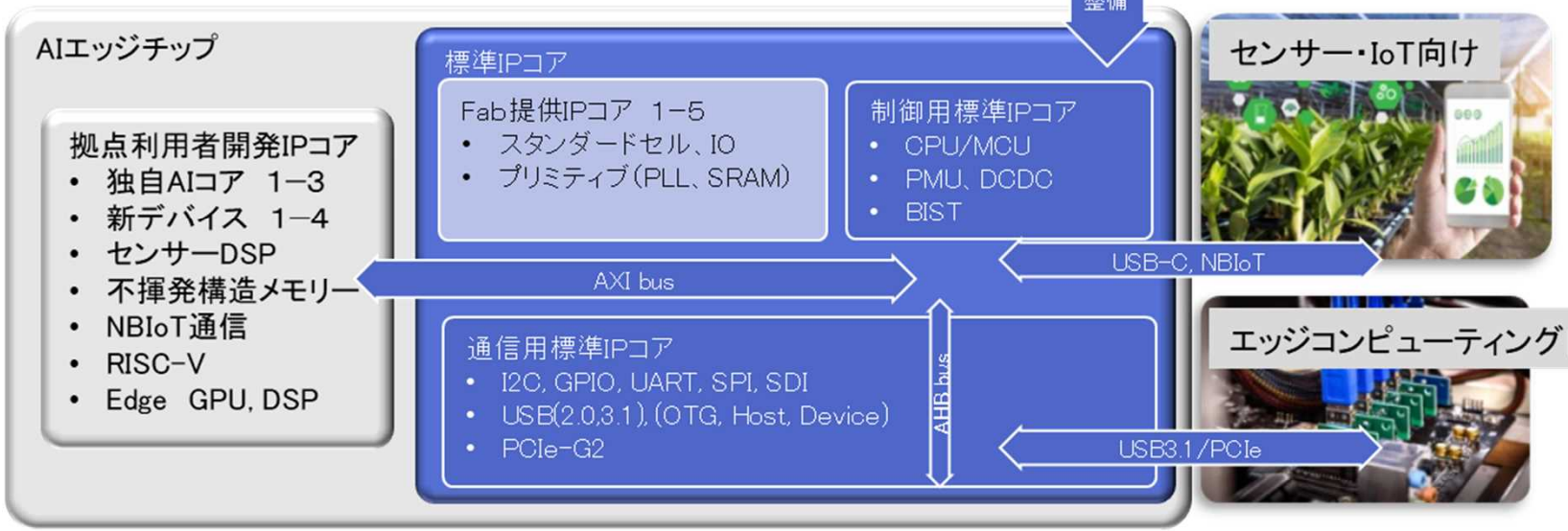


国内FAB

国内外Fab
- 40LP / 28HPC+ / 16FF

- セルライブラリ
- PDKの提供
- （一般的に標準IPの提供が不十分）

調査整備



AI独自コア搭載SoCのイメージ

1．概要（取り組み内容・技術の特徴）

取り組み内容

- ベンチャー・中小企業に必要な標準IPコアの調査を行い、国内外のFabが標準で提供するIPコアに加え、制御・通信用標準IPコアを包含した標準IPコアを開発・整備する
- 設計フローやIPの準備、設計のノウハウの蓄積が十分ではない国内FABを活用できるようにIPの開発や整備を行う
- IPを活用した設計事例の実現、設計フロー、設計ノウハウの蓄積に向けたSoC（Ai-One）の設計を行う

技術の特徴

- 国内FABの利用が実質的に可能となるとともに、設計や試作経験のないAIベンチャー企業が国内FABを活用してAIチップ試作を実現できる。
- 個別に各拠点利用者が準備する標準IPコアを本施策で開発整備することで、拠点利用者は競争力のあるIPコアのみを開発して、開発期間の短縮を実現
- 国内外FABの活用と最適化ライブラリの研究開発で実施される設計フローの最適化可能となる
- 乗合チップ（Ai-One）は先端の通信IP、プロセッサIP、ネットワークIPを搭載し複数のAI-IPを搭載したヘテロ・コア型SoCとして非常にユニークな事例となり得る

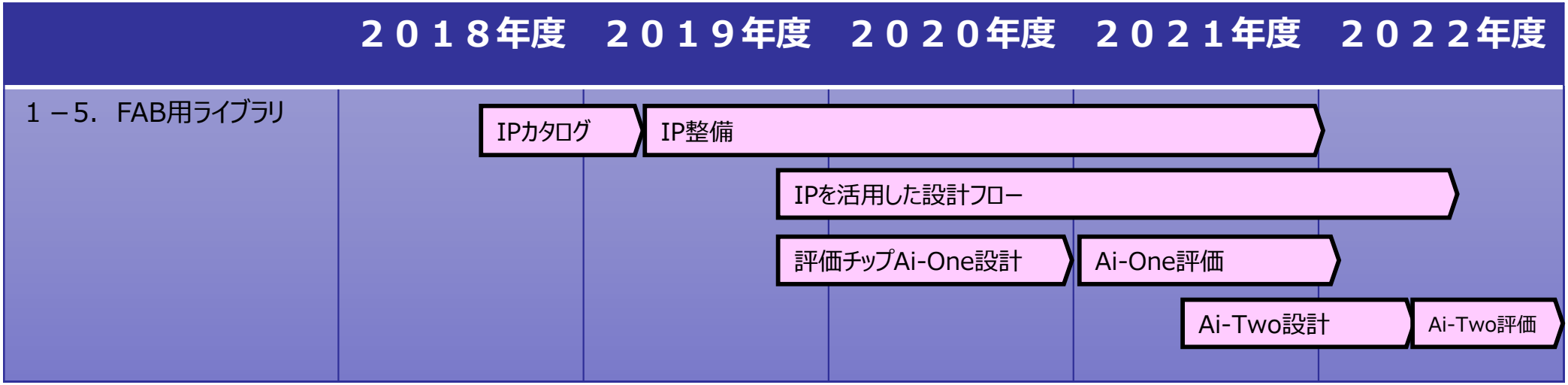
1. 概要（目標・計画）

中間（2020年度末時点）目標

- 整備すべきIPカタログの作成と整備順の策定
- カタログに沿ったIPを整備し、拠点利用者が利用できるようにWEBに掲載する
- AIチップ向け独自IPの評価手法を検討し、それに則った評価チップを設計する。

最終(2022年度末時点）の目標

- 整備したIPを用いたアプリケーション向けの設計フローを構築し、電子的にマニュアルを作成する。構築した設計フローは拠点利用者の利用を通してその有効性を実証する。
- AIチップ向け独自IPの評価手法を構築し、拠点利用者に提供できるよう整備する。その利用法のマニュアル等を電子的に作成しHPにて公開する。



成果

- 整備すべきIPカタログ、PRISMにより導入したIPリストを整備し、HPに掲載
- 拠点導入IPを最大限活用し、かつ拠点利用者設計の独自IPの実用化支援を目指すため、その第一弾として“Ai-One SoCプロジェクト”(TSMC28nmを活用)を立ち上げ、拠点利用者の独自IPを搭載した評価チップを設計、試作し、評価ボードを製作して評価を実施
- TSMC12nm FinFETプロセス向けIPを整備しHPに掲載
- 拠点利用者設計の独自IPの実用化支援の第2弾としてAi-Two SoCプロジェクトを立ち上げ、拠点利用者の独自IPを搭載した評価チップを設計、試作し、評価ボードを製作して評価を実施

意義

- AIチップ開発に必要かつ、汎用的なインターフェースIP等が整備され利用可能になったことで、特殊機能の具現化が容易になる
- アイディアの実証に際して、必要となる評価手法、ノウハウなどの獲得につながる

2. 成果

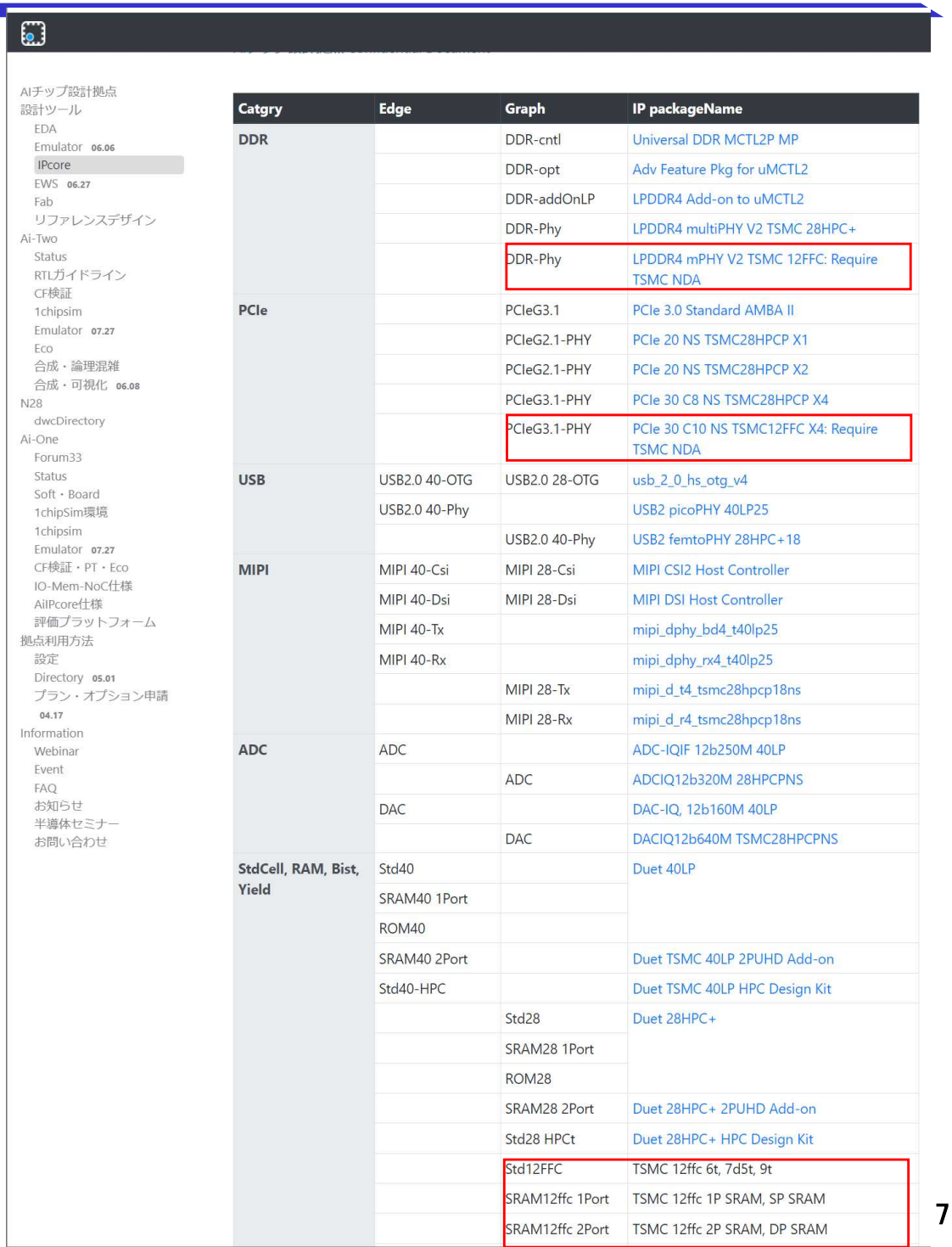
ライブラリおよびIPの整備状況

- 中間評価時点までに拠点協力社、拠点利用者からの要望・意見に基づき整備の優先順位を決定したライブラリ及びIPコアの整備を行った。整備したIPのリストをHP上に掲載

- 2020年3月、28nmSoCプラットフォーム向けにIPの追加整備を行った。

- 2021年度9月、さらに高度なAIチップのモデルケースとして、12nmFinFETプロセスSoCプラットフォームおよび評価チップAI-Twoの設計開発を開始。これに伴い12nm FinFETプロセス向けIPおよびライブラリの整備を行った。

- 追加整備したIPリストはHP上に掲載し拠点登録ユーザに提供している

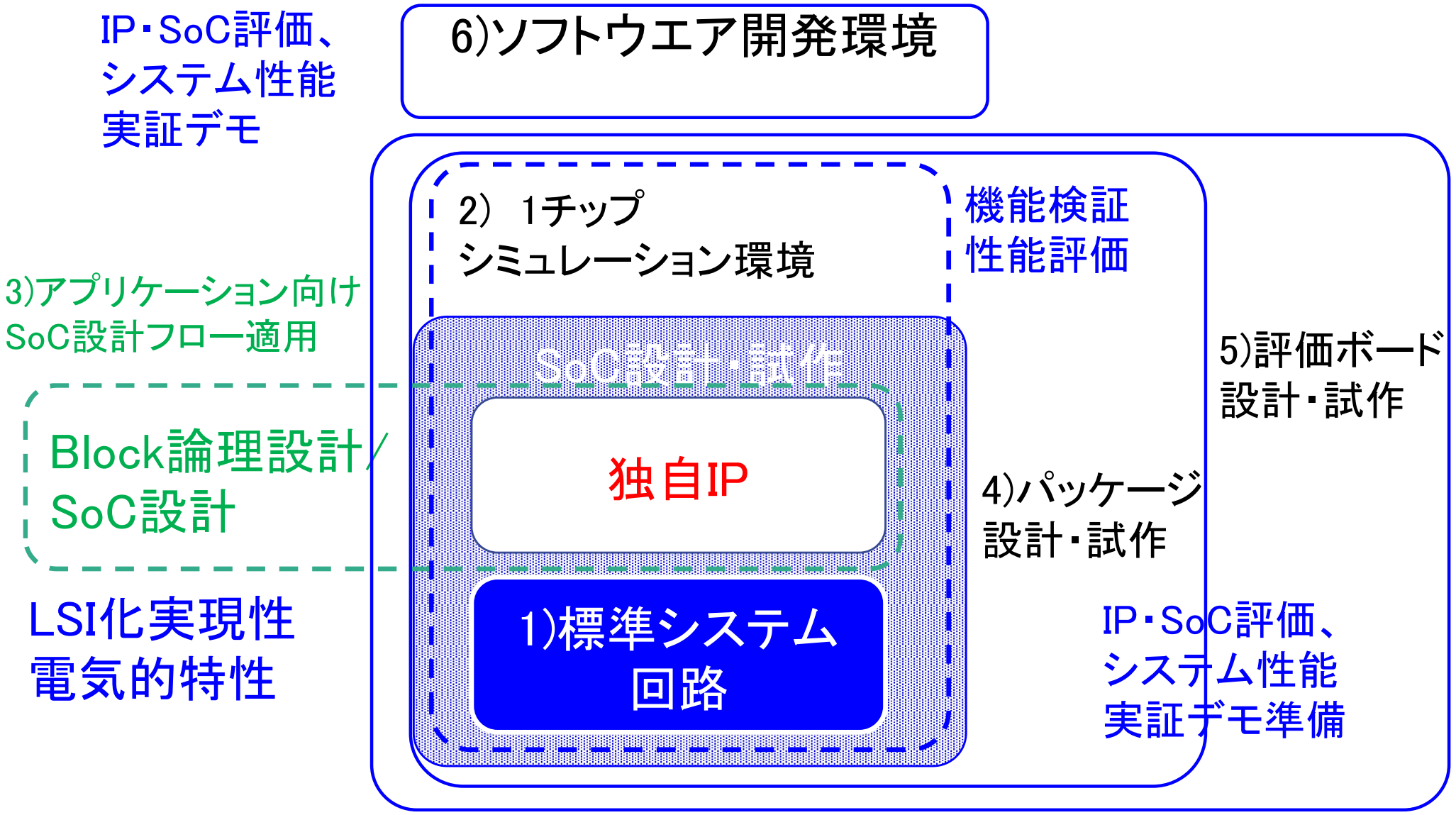


AIチップ設計拠点
設計ツール
EDA
Emulator 06.06
IPcore
EWS 06.27
Fab
リファレンスデザイン
Ai-Two
Status
RTLガイドライン
CF検証
1chipsim
Emulator 07.27
Eco
合成・論理混雑
合成・可視化 06.08
N28
dwcDirectory
Ai-One
Forum33
Status
Soft・Board
1chipSim環境
1chipsim
Emulator 07.27
CF検証・PT・Eco
IO-Mem-NoC仕様
AiIPcore仕様
評価プラットフォーム
拠点利用方法
設定
Directory 05.01
プラン・オプション申請 04.17
Information
Webinar
Event
FAQ
お知らせ
半導体セミナー
お問い合わせ

Catgry	Edge	Graph	IP packageName
DDR		DDR-cntl	Universal DDR MCTL2P MP
		DDR-opt	Adv Feature Pkg for uMCTL2
		DDR-addOnLP	LPDDR4 Add-on to uMCTL2
		DDR-Phy	LPDDR4 multiPHY V2 TSMC 28HPC+
		DDR-Phy	LPDDR4 mPHY V2 TSMC 12FFC: Require TSMC NDA
PCIe		PCIeG3.1	PCIe 3.0 Standard AMBA II
		PCIeG2.1-PHY	PCIe 20 NS TSMC28HPCP X1
		PCIeG2.1-PHY	PCIe 20 NS TSMC28HPCP X2
		PCIeG3.1-PHY	PCIe 30 C8 NS TSMC28HPCP X4
		PCIeG3.1-PHY	PCIe 30 C10 NS TSMC12FFC X4: Require TSMC NDA
USB	USB2.0 40-OTG	USB2.0 28-OTG	usb_2_0_hs_otg_v4
	USB2.0 40-Phy		USB2 picoPHY 40LP25
		USB2.0 40-Phy	USB2 femtoPHY 28HPC+18
MIPI	MIPI 40-Csi	MIPI 28-Csi	MIPI CSI2 Host Controller
	MIPI 40-Dsi	MIPI 28-Dsi	MIPI DSI Host Controller
	MIPI 40-Tx		mipi_dphy_bd4_t40lp25
	MIPI 40-Rx		mipi_dphy_rx4_t40lp25
		MIPI 28-Tx	mipi_d_t4_tsmc28hpcp18ns
		MIPI 28-Rx	mipi_d_r4_tsmc28hpcp18ns
ADC	ADC		ADC-IQIF 12b250M 40LP
		ADC	ADCIQ12b320M 28HPCPNS
	DAC		DAC-IQ, 12b160M 40LP
		DAC	DACIQ12b640M TSMC28HPCPNS
StdCell, RAM, Bist, Yield	Std40		Duet 40LP
	SRAM40 1Port		
	ROM40		
	SRAM40 2Port		Duet TSMC 40LP 2PUHD Add-on
	Std40-HPC		Duet TSMC 40LP HPC Design Kit
		Std28	Duet 28HPC+
		SRAM28 1Port	
		ROM28	
		SRAM28 2Port	Duet 28HPC+ 2PUHD Add-on
		Std28 HPCt	Duet 28HPC+ HPC Design Kit
		Std12FFC	TSMC 12ffc 6t, 7d5t, 9t
		SRAM12ffc 1Port	TSMC 12ffc 1P SRAM, SP SRAM
		SRAM12ffc 2Port	TSMC 12ffc 2P SRAM, DP SRAM

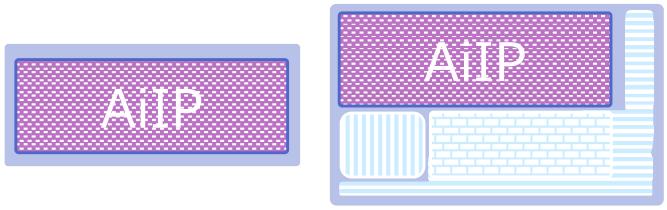
2. 成果

AIチップ向け独自IPコアの評価手法としてSoC設計評価プラットフォームを構築し拠点利用者に提供できるように整備。その利用方法のマニュアルをHPに掲載



複数のヘテロジニアスIPコアを評価するためのSoCプラットフォーム

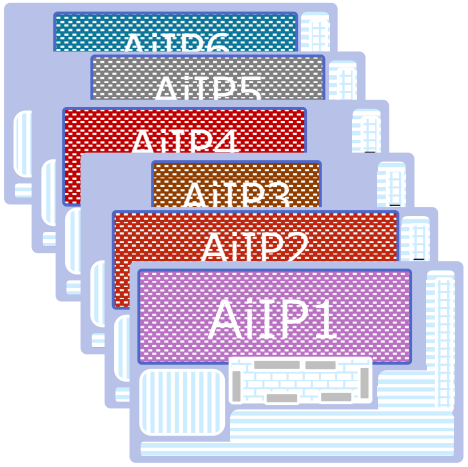
従来の単一IPテストチップ



単体TEGであったり、簡単なIPを有すのみ

再利用による
開発コスト低
減、期間短縮

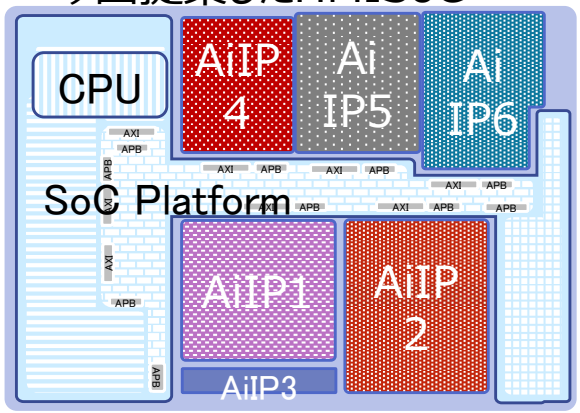
プラットフォームベースのテストチップ



評価、デモ、POC開発に必要な共通IPを有す

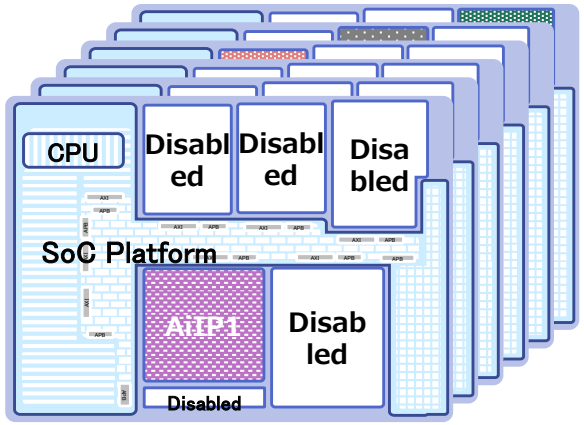
複数のIPを単一の評価SoCに集積

今回提案したHMISoC



開発費の大幅削減を実現する

各社に提供される
評価チップ



各社専用の評価チップを実現する

2. 成果： 評価チップ AI-One（続き）

AIチップ向け独自IPの評価手法にのっとった評価チップAI-One

- 協力会社5社のAI IPおよび設計拠点のリファレンスデザインを搭載した28nmプロセスSoCチップの設計、試作を行った
- 評価プラットフォームの有効性を確認できた

• 協力会社RTL提供	2020.05	
• テープアウトデータ完成	2021.02	約10か月
• チップ試作	2021.06	
• 評価ボード製造	2022.01	
• 標準システム回路動作確認	2022.02	約2か月
• 全IP動作確認・デモ	2022.03	約2か月

部品材料調達難によりチップ試作からボード製造完了まで想定外に時間がかかった

1チップシミュレーション環境を用い、約半数のソフトウエアテスト項目を事前デバッグ
ボードテスト機能で基板評価期間を短縮

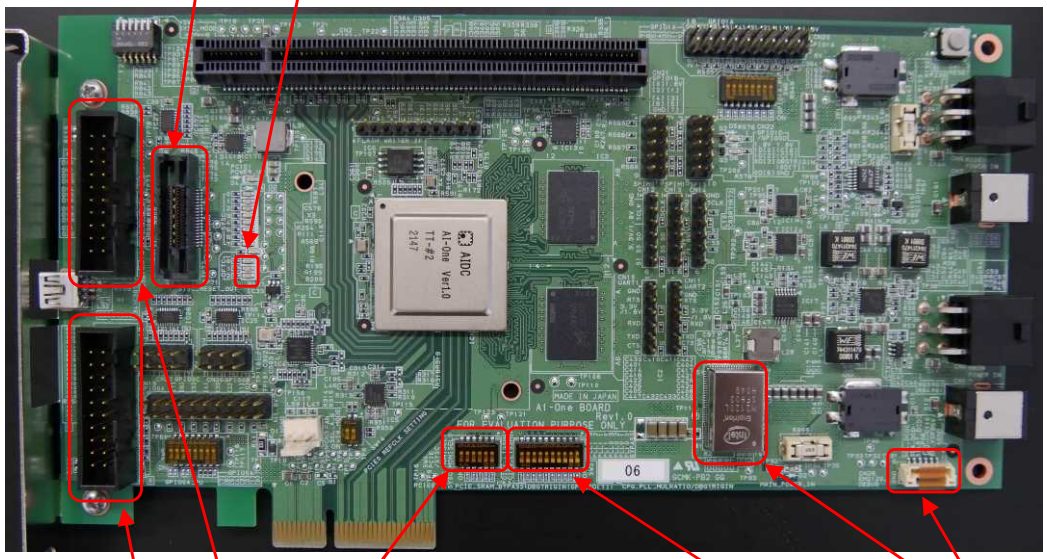
AI-One SoC諸元

プロセス: TSMC 28nm HPC+ メタル10層
Dieサイズ: 9.0mm x 8.64mm
電源電圧 コア電源 0.9V, IO電源1.8V
パッケージサイズ: 27mm x 27mm 厚さ 3mm
最高動作周波数800MHz @all コーナーケース

2. 成果： 評価ボードでのSoCテスタビリティと評価サポート

⑥FLASHライターソケット

①MBIST (Memory Built-In Self Test)、LBIST (Logic BuKlt-In Self Test)
テスト結果表示LED



- ソフトウエア開発主体の会社ではLSIテスタの利用以前にLSIテスタの使用準備のハードルが高い
- ボードのみである程度の評価が閉じればSoC開発のハードルが下がる
- 動作周波数、電源電圧の変更は評価ボードとホストPCで実施。
- 評価ボードによるテスト機能実現により製造した基板のテストが容易となり、また、試作時の評価を同時並列に実施することができる

⑥PCIeモード設定

④コア電源電圧設定及び消費電流計測

②JTAGデバッグインターフェイス

⑤PLL周波数設定切り替え

③JTAG2 DFTインターフェイス

2. 成果： 評価チップ AI-Two

12nmFinFET用IP、ライブラリを用いた評価チップAI-Two

- 28nm CMOSから12nmFinFETにプロセスを変えさらに高集積なAIアクセラレータの開発を可能とする環境を整備
- 3種のAI IPおよびAIDCのリファレンスデザインを搭載した12nmFinFETプロセスSoCチップAI-Twoの設計、試作、評価を行った
- 論理エミュレータを用いてソフトウエアのデバッグ・検証の短期化、効率化を実施
- 得られた知見をノウハウとして拠点に集積した

AI-TwoSoC諸元
プロセス: TSMC 12nm FFC メタル11層
Dieサイズ: 6.37mm x 6.82mm シュリンク後
電源電圧 コア電源 0.8V, IO電源 1.8V
パッケージサイズ: 23mm x 23 mm 厚さ 2.8mm
最高動作周波数 1GHz @ all コーナーケース

エミュレータを活用した1チップエミュレーション環境を用い、ソフトウエアについて、あらかじめLinuxのBootまで検証したことによる評価期間短縮効果が大きい

2. 成果・進捗状況（中間時点：2020年度の成果）

◎大幅達成、〇達成、△一部未達、X未達

項目	成果	達成度	
		水準	内容
整備すべきIPカタログの作成と整備順の策定	拠点利用者へのヒアリングに基づき整備すべきIPリストを作成した	〇	ヒアリングに基づき優先順位を付けたIPリストを作成した
カタログに沿ったIPを整備し、拠点利用者が利用できるようにWEBに掲載する	IPリストに基づきPRISMにより導入したIPのリストをWEBに掲載した	〇	PRISM事業での整備に加え、AI-Oneに向けたIPの整備を行った
AIチップ向け独自IPの評価手法を検討し、それに則った評価チップを設計する	拠点導入IPを最大限活用し、かつ拠点利用者の設計の実用化加速支援を目指したAi-One SoCプロジェクトを立ち上げSoCの設計を完了した	〇	実用化支援を希望する6つの独自IPを搭載するAi-One SoCの設計をRTL提供から10か月で行い、チップ試作に向けたテープアウトを行った

2. 成果・進捗状況（2023年度終了時）

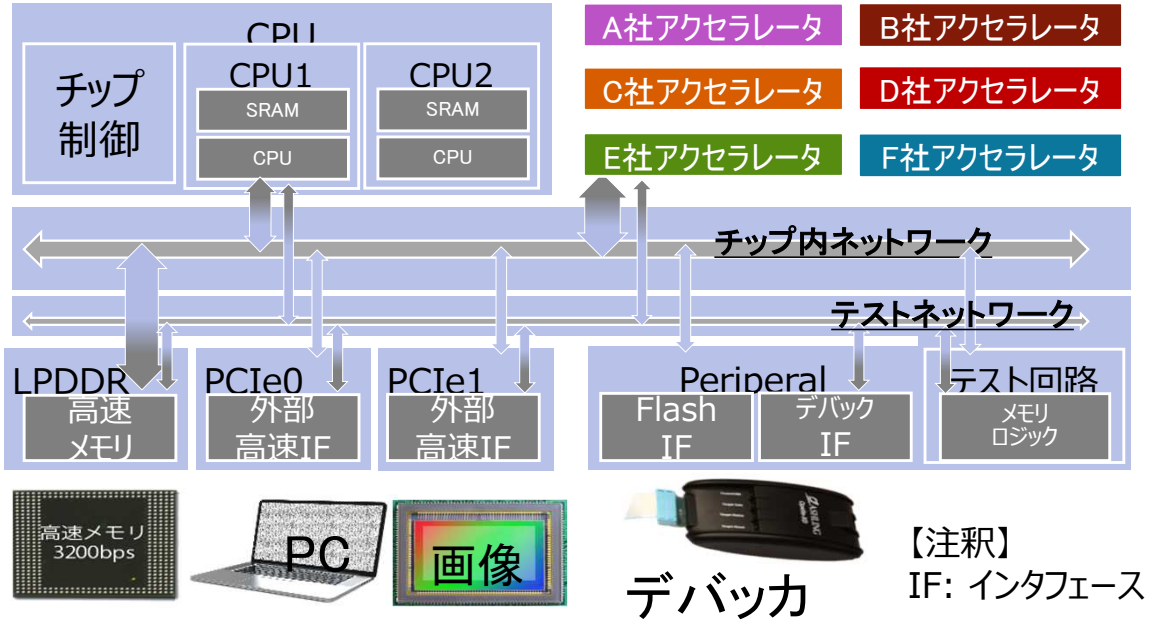
◎大幅達成、〇達成、△一部未達、X未達

項目	成果	達成度	
		水準	内容
整備したIPを用いたアプリケーション向けの設計フローを構築し、電子的にマニュアルを作成する。構築した設計フローは拠点利用者の利用を通してその有効性を実証する。	AIチップ向け独自IPの設計・評価フローを構築し、作成したマニュアルをHPに掲載。評価チップAI-OneおよびAI-Twoの独自IP提供者による利用を通してその有効性を実証した。	◎	設計・評価フローのマニュアルをHPに掲載。 AI-Oneには6つの独自IPコアを搭載し、テープアウトから約1年で試作評価を行い、全IPの動作および目標性能達成を確認。 AI-Twoには4つの独自コアを搭載し、RTL提供から10か月でSoCの設計を完了。試作評価により全IPの動作および目標性能達成を確認。
AIチップ向け独自IPの評価手法を構築し、拠点利用者に提供できるよう整備する。その利用法のマニュアル等を電子的に作成しHPにて公開する。	SoC設計・評価プラットフォームを構築し拠点利用者に提供。プラットフォームの利用方法をHPにて公開した。	◎	28nmプロセス向けSoC設計・評価プラットフォームおよび12nmプロセス向けSoC設計・評価プラットフォームを構築した。構築したプラットフォームを活用しAI-OneおよびAI-Twoに搭載した各独自IPの早期動作確認および早期デモンストレーションを可能とした。

Appendix

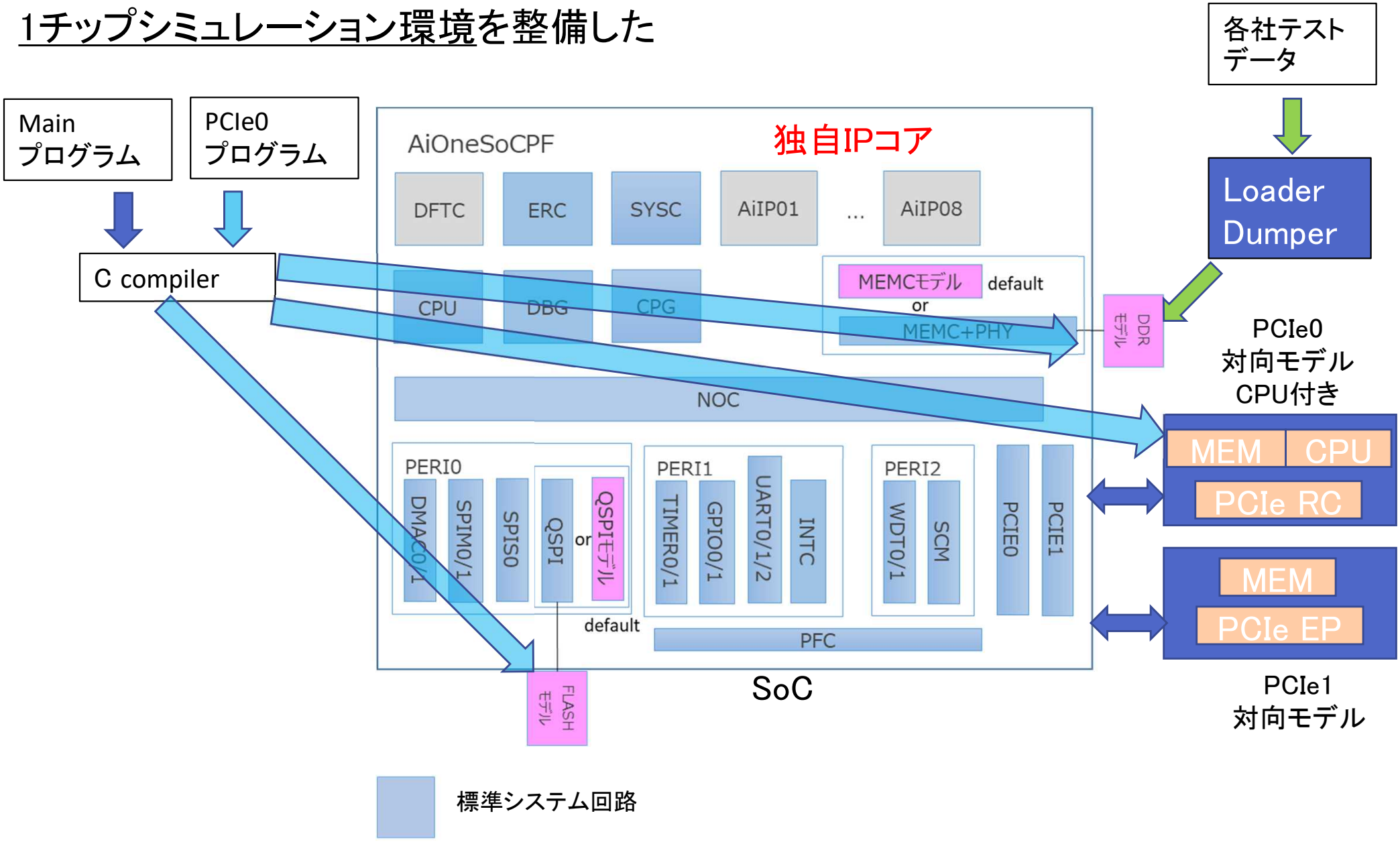
評価プラットフォームで整備した標準システム回路

(1)CPU: デュアルコア構成
(2) チップ内ネットワーク(NOC)
(3)テスト回路: チップ内部の論理回路や内蔵メモリの故障検出・リペア機能
(4)LPDDR4: 低消費電力型ダイナミックメモリインタフェース回路。
(5)PCIe: PCなどの標準的な高速インタフェース
(6)Peripheral: チップのデバッグ機能、System Boot可能なFlashメモリインタフェース、シリアルインタフェイス、パラレルインタフェイス、チップ全体制御(SYSC)、割込み制御、DMAコントローラ、タイマー、ウォッチドックタイマー

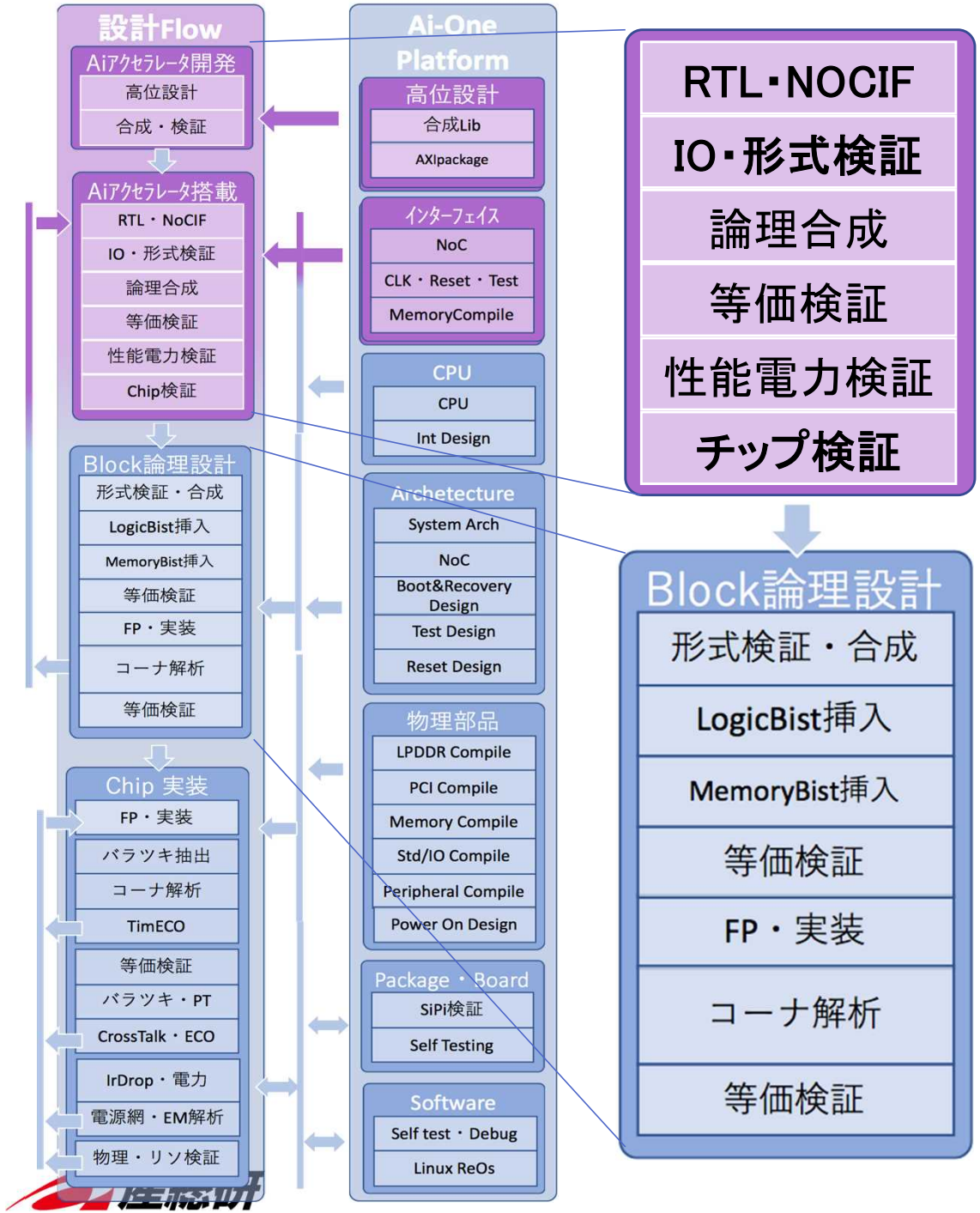


2）1チップシミュレーション環境

独自IPコアをSoCと組合せたときの機能、性能の評価・検証を行うため
1チップシミュレーション環境を整備した



3) AIチップ向け独自IPの設計・評価フロー



独自IPコア搭載

独自IPコアの記述がC++の場合

- 高位合成ツールでRTL化
- FPGAのライブラリは書換

SoCへのインテグレーションのために

- インターフェイス仕様と使用するメモリ仕様の提出
- Iocheck, SpyGlassチェックを実施、修正
- 合成、等価検証
- 論理シミュレーション検証による機能および性能検証

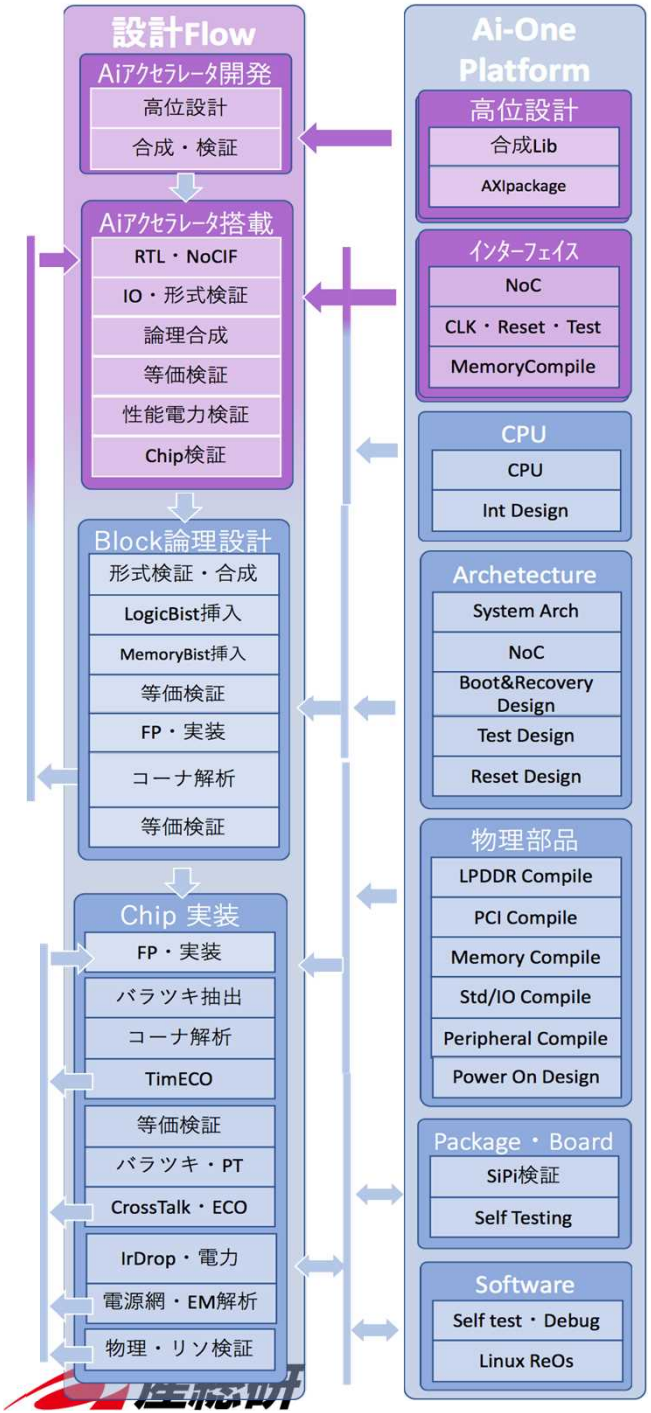
Block論理設計

- LogicBist挿入、MemoryBist挿入では、独自IPコアやNoC等にテスト回路設計を行う
- フロアプラン（FP)・実装では、各ModuleのFPと実装設計を行う
- コーナ解析でタイミング解析を実施

以上を行い各独自IPコアのLSI化可否を評価・検証

FP: フロアプラン

3) アプリケーション向けSoC設計フロー



独自IPコアのSoCへの搭載

NOC（Network on Chip）

- 独自IPコアのNOCインターフェイス仕様要求に合わせNOCのコンフィギュレーションを修正
- コンフィギュレーションに合わせたNOC RTLを生成しSoCチップに組込み

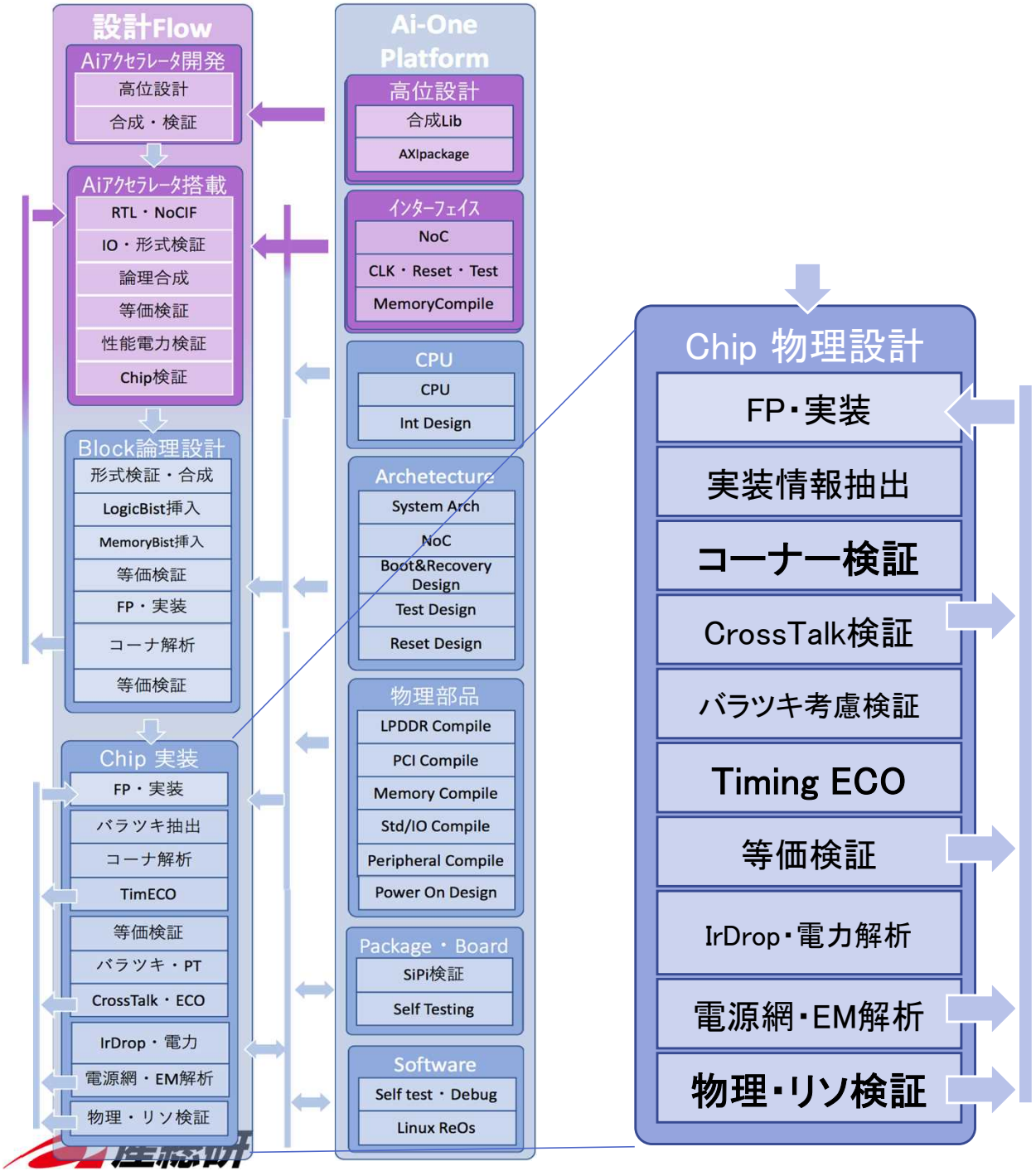
CLK・Reset・Test

- 独自IPコアのCLK仕様、Reset仕様に合わせSoCチップのシステムコントローラIPを修正
- 修正したNOC、システムコントローラを組合わせシミュレーションによる接続検証を実施し、検証環境をリリース
- SoCチップテストコントローラに独自IPコアの論理テスト（LBIST）仕様およびMemory Compileで生成されたメモリテスト（MBIST）仕様を追加

Memory Compile

- 独自IPコアの内蔵メモリ要求仕様に合わせSRAM Memory Compilerを用いてSRAMを生成。
- 生成されたメモリの設計データをSoC設計環境にリリース

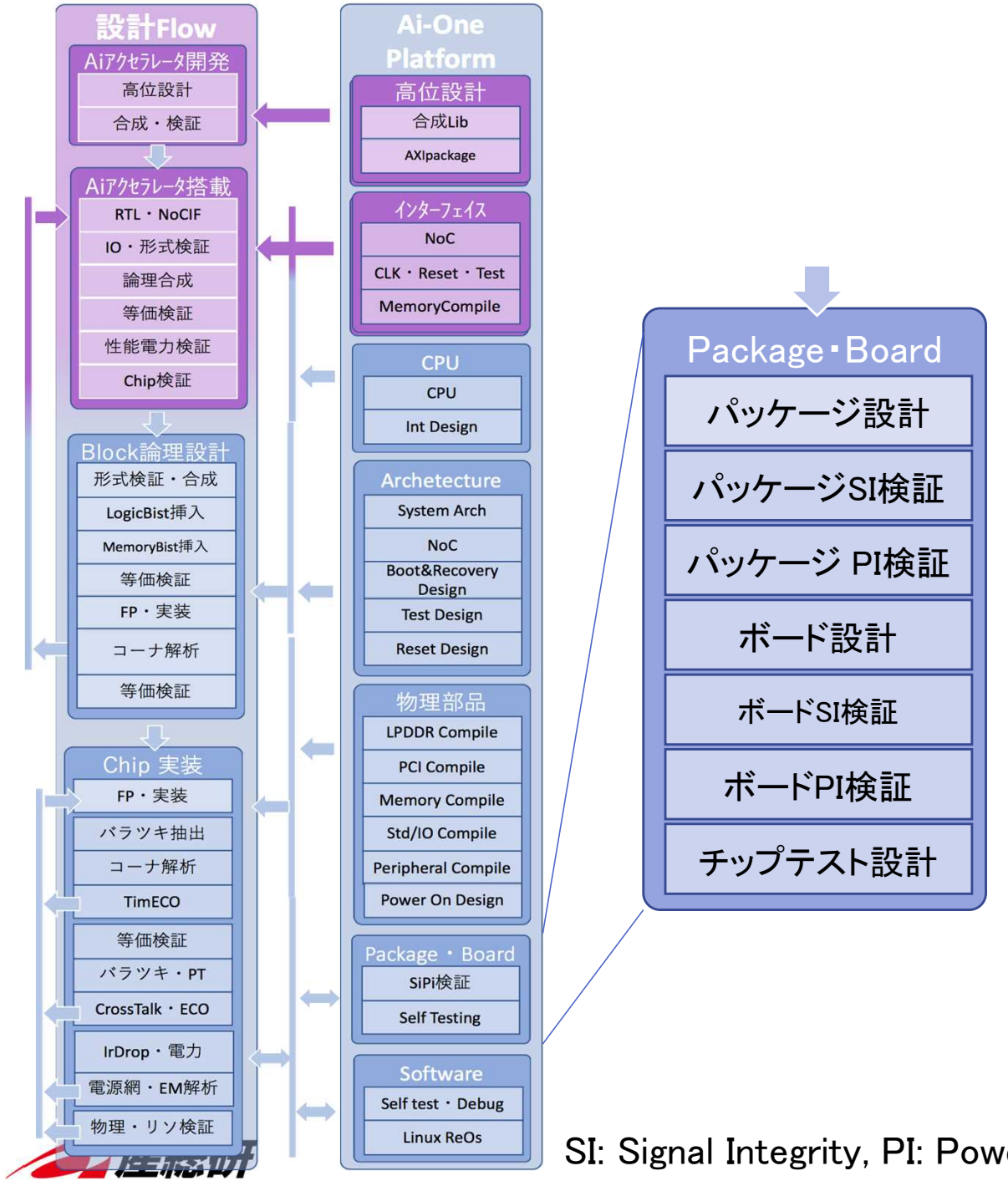
3)アプリケーション向けSoC設計フロー(続)



- タイミング検証のコーナー検証において使用する電圧、温度、プロセスコーナーの組合せは対象とするプロセスごとに適正なものを使用する。微細プロセスになるに従い組合せ条件数、特にホールドマージンチェックの条件数が増加する。
- Timing ECOでタイミング検証の対策を実施。
- 物理・リソ検証はFABから要求される検証条件、ツールがプロセスごとに異なるため、FABのガイドラインに合わせ適正なものを使用する。

EM: Electro Migration

3)アプリケーション向けSoC設計フロー(続)



パッケージ設計

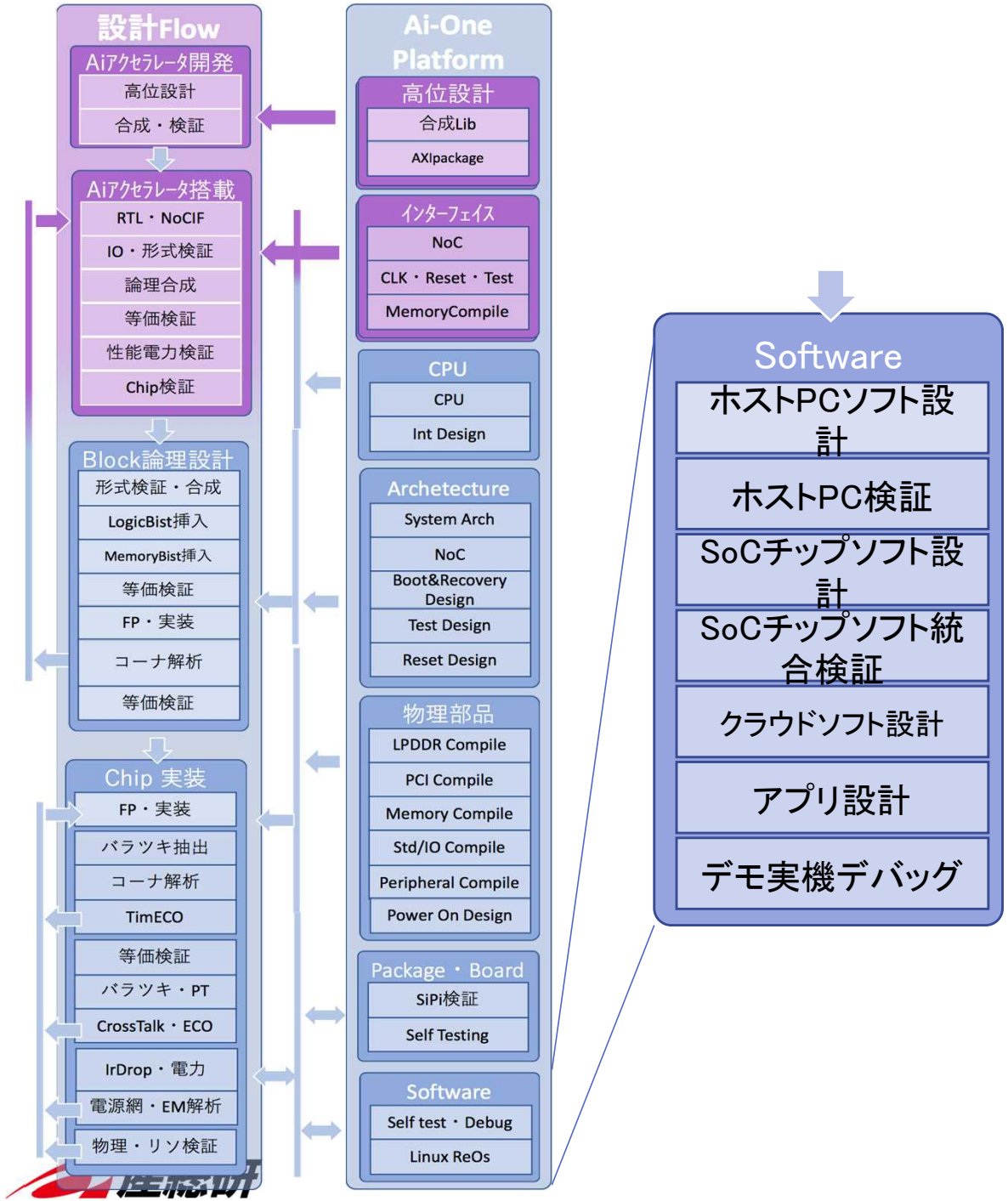
- パッケージのSI検証は高速インターフェイスであるLPDDR4, PCIeを対象にSPICEシミュレーションを実施。ボードのデータはSパラメータモデルを利用
- パッケージのPI検証はLPDDR4用1.2V, PCIe用1.8V, コアロジック電源の3つに分けそれぞれに対してSPICEシミュレーションを実施

ボード設計

- ボードのSI検証はLPDDR4, PCIeを対象にSPICEシミュレーション実施。SoCおよびメモリはIBIS, SPICEモデルを利用。ボードは、Sパラメータデータを利用。
- ボードのPI検証はボードの実抽出データとLCRの部品モデルデータを利用。
- チップセルフテストおよび結果の表示機能とJTAGによるテスト機能を実現

SI: Signal Integrity, PI: Power Integrity, EM: Electro Migration

3)アプリケーション向けSoC設計フロー(続)



- ソフトウエアのデバッグ、検証に1チップシミュレーション環境を利用しシフトレフトを実現する
- ホストPC側のドライバなどの開発におけるデバッグ、検証をチップ試作前に行うためエミュレータのVirtual PC機能を用いたデバッグ、検証を実施する
- 1チップシミュレーション、エミュレータのVirtual PC機能を活用し、評価チップのテストプログラム、開発環境およびデモソフトウエアの事前デバッグを実施する

AIアクセラレータ協力会社との開発の進め方

OTPを用いた拠点サーバへの接続と各種ツールの拠点サーバでの実行により機密保持と完全リモートワークを実現

マイルストーン（日付はAI-One）

RTLリリース前後　2020.04

・マイルストーン、概略日程、設計データのリリース要件の説明、共有
・RTLガイドライン説明
・ NOCインターフェイス仕様、Iolistによるインターフェイス情報の収集
・ SRAM要求仕様書によるSRAM生成用コンフィギュレーションデータ収集と物量の把握
・ SpyGlass, DesignCompiler, FormalityによるIPの設計データ検証方法の説明とリリース前実施項目依頼

RTL Pon (RTL Power on) 2020.07

・1chip 論理シミュレーション環境の提供
・物理インプリメンテーションの初期実行結果のレビューとAIアクセラレータに対するフィードバック

DF (Dirty Final) 2020.10

・CF向け論理検証項目の説明と依頼
・物理インプリメンテーションからAIアクセラレータへのフィードバック
・拠点での各種検証結果のフィードバック

CF (Clean Final) 2020.12

・ポストCF論理検証項目の説明と依頼
・タイミング検証結果確認項目の説明、依頼
・論理変更用ECOフローの説明

ECOファイナル 2021.01

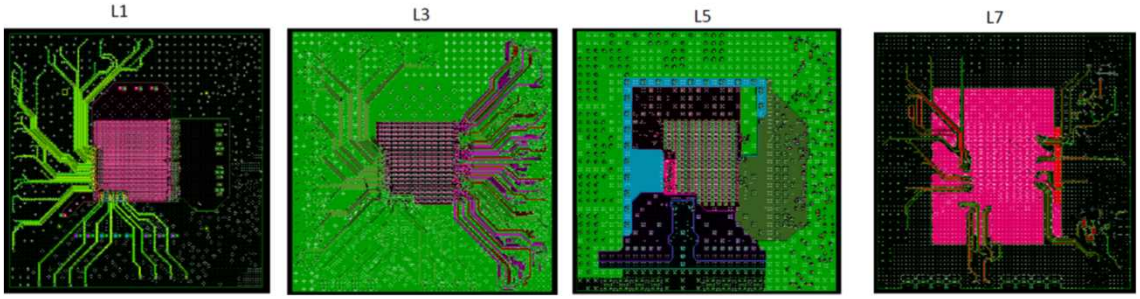
・サインオフ検証項目の説明と依頼

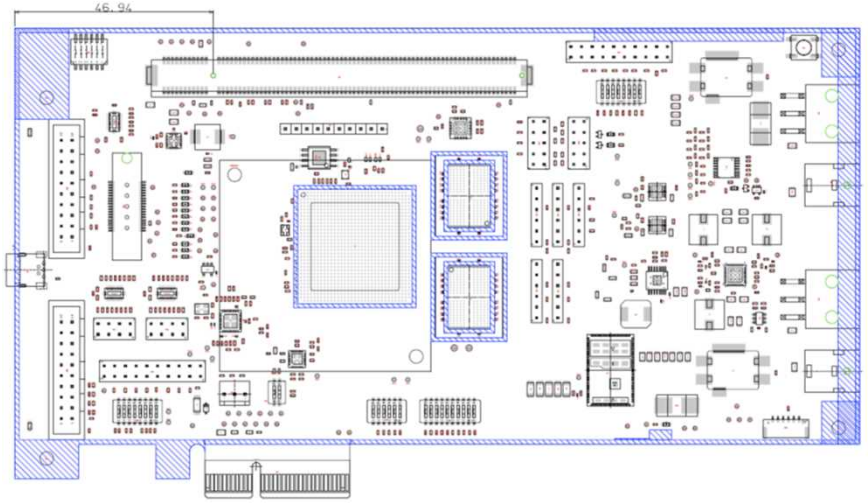
4) パッケージ設計、5) ボード設計

- パッケージ設計データはリファレンス設計データとして拠点で保有

LPDDR4, PCIeのパッケージ実装設計は各IPの実装ガイドライン活用

- シグナルインテグリティ、電源インテグリティチェックのためのモデルを使用して信号、電源特性検証





- 評価ボードはホストPCとの接続性を考えPCIeカードサイズ
- スタンドアロンとしての評価、デモンストレーションも考慮し、設定スイッチ、外部入出力端子を設置
- ボード設計データはレイアウト情報含め拠点のリファレンス設計データに

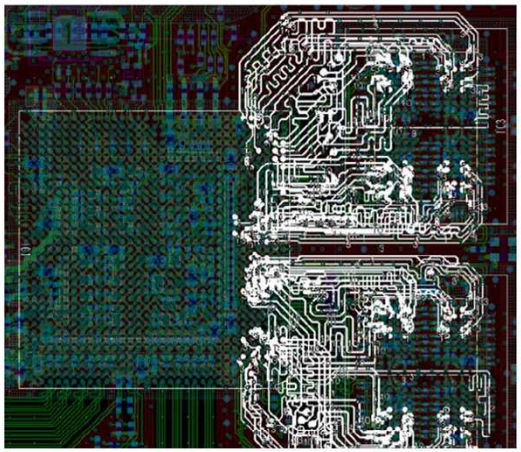
4）パッケージ設計、5） ボード設計　SI解析

②ODT比較

- 40ohm
- 80ohm
- 240ohm
- ODT OFF

①PullDown比較

- 40ohm (VOH=VDDQ/3) (default)
- 60ohm (VOH=VDDQ/3)
- 80ohm (VOH=VDDQ/3)



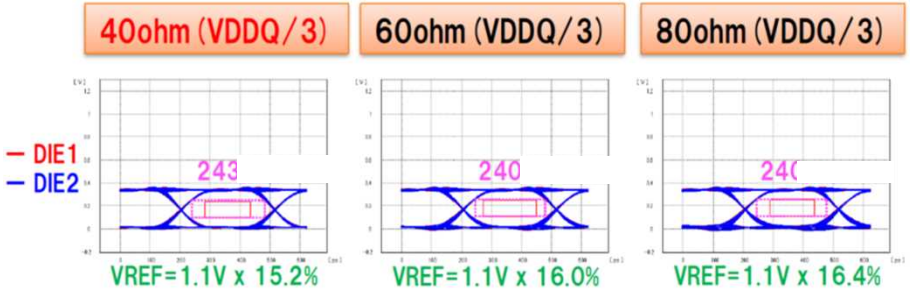
パッケージの特性情報、PCB基板上の配線設計情報をもとにLPDDR4などの高速インターフェイスの信号品質をシミュレーション確認。
関連するすべての信号線をシミュレーションし最適動作ポイントをあらかじめ算出、実機評価前に最適設定を探し出し、ソフトウエアによる初期化プログラムに反映させた。

①PullDown比較

入力信号:PRBS7

IC2:PullDown=40ohm (VOH=VDDQ/3) /60 (VDDQ/3) / 80 (VDDQ/3)、System ODT=40ohm

IC1:ODT=40ohm

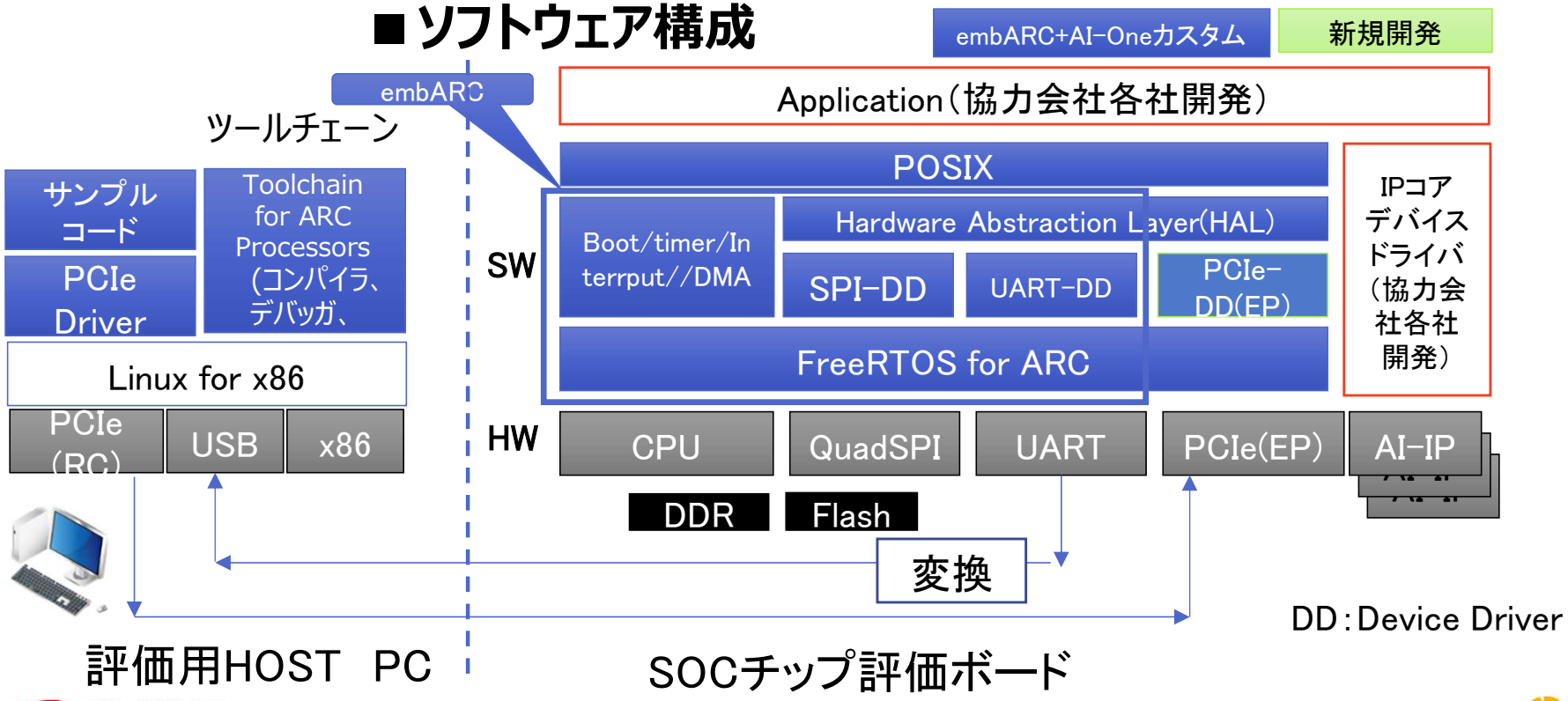


*ODT On Device Termination

6) ソフトウエア開発環境

独自IPコアの性能をシステムレベルで評価するためソフトウエアを開発する環境を整備した

- 独自IPコア向けソフトウエア開発を容易にするためLinux（Ubuntu）の走るホストPC上でソフトウエア開発を行い、ダウンロードしてデバッグ、評価、デモを行うユースケースを実現可能とする。
- 開発コスト低減やユーザの拡張性、保守性確保のためembARC Open Software Platform（OSP）ベースで開発



苦労した点と対応

- 独自IPコアの搭載に最初想定外に時間がかかった。
- 各独自IP協力会社とオンラインの定例ミーティングを開催し、双方の疑問点、問題点を提示して議論を行い開発の加速を図った。
- プロジェクトの進捗管理ツールとしてRedmineを導入し協力会社との間及びプロジェクト内の案件の管理を行った。
- 協力会社間の独自性保全、営業機密保持のため設計拠点と各協力会社間の情報・データ授受、設計データの保持は完全に分離する管理を行った。設計データへのアクセス権の管理は厳密にボリュームを分離して行った。このためRedmineなどでは、同一の通知を別々のチケットを用いて個々の会社に連絡する場合もあった。

NEDOニュースリリース 2022.03.22
複数のAIアクセラレータを搭載した実証チップ「AI-One」の動作を確認

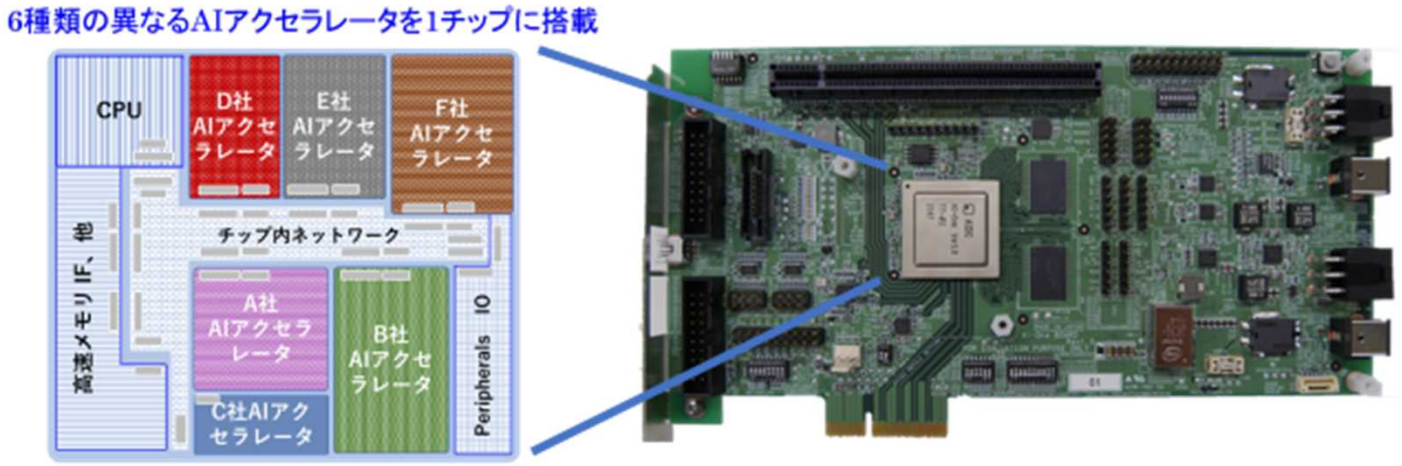
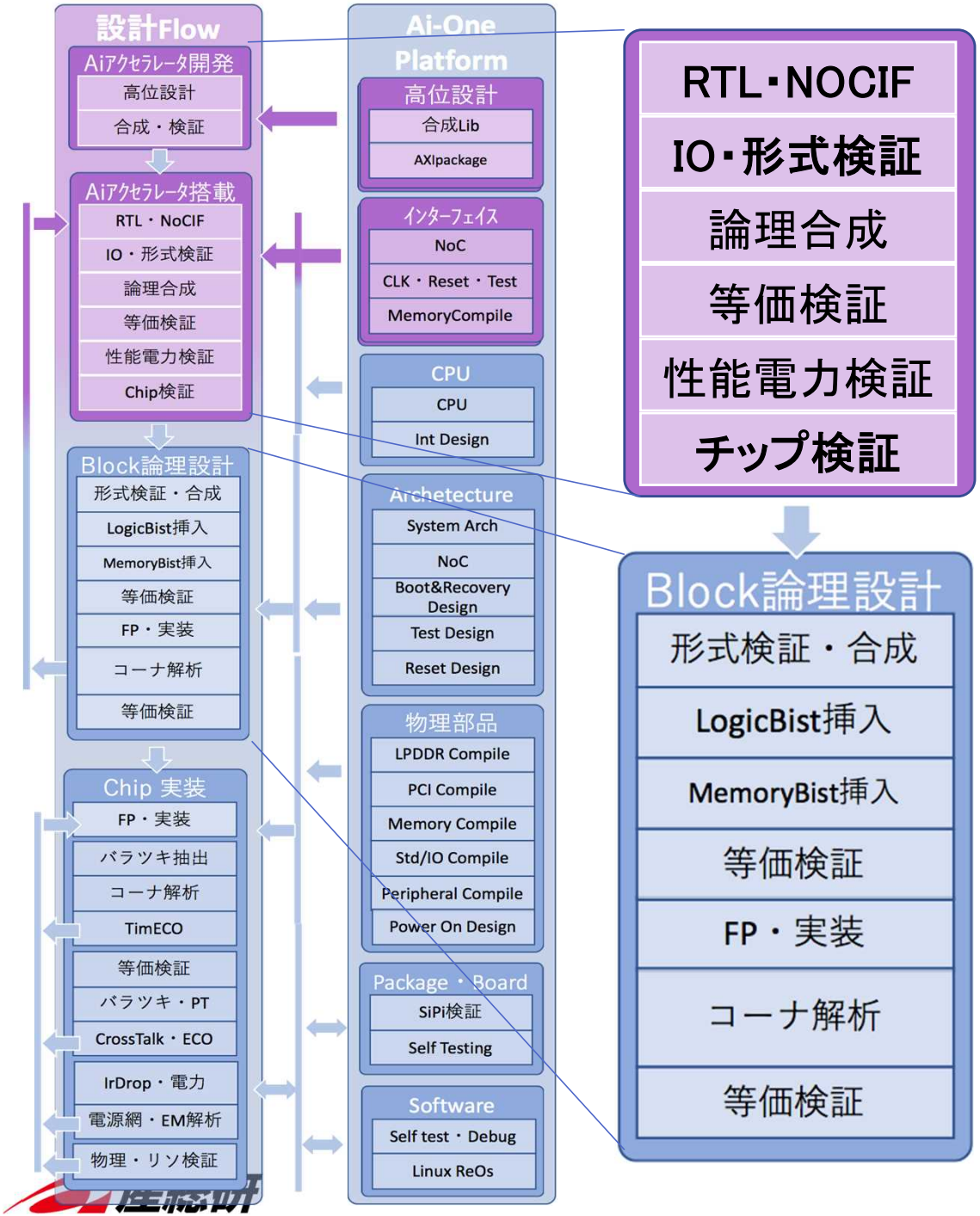


図1　AIアクセラレータ向け評価プラットフォームの実証チップAI-One

https://www.nedo.go.jp/news/press/AA5_101526.html

- Design Automation Conference 2022　サンフランシスコ
- CEATEC 2022　幕張メッセ
- Edge Tech+ 2022　パシフィコ横浜
- Design Solution Forum 2022　武蔵小杉

評価チップ　AI-Two（設計フロー）



独自IPコア搭載

- ①-1の成果を取り込み論理エミュレータ検証による機能および性能検証の高速化　x約100　　10KHz -> 1MHz

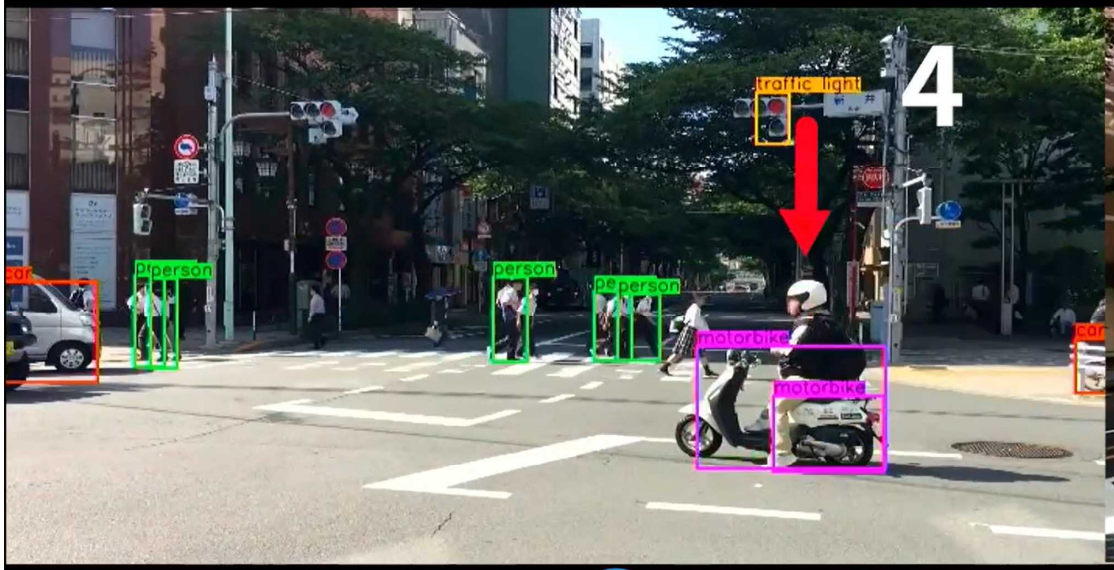
Block論理設計

- フロアプラン（FP)・実装を各IP設計の初期の段階からテスト回路挿入を行わずに実施し早期のうちの問題検出と対策試行の短期化を実現
- 実装データをユーザがEDAツールを使って分析

協力会社AIアクセラレータの評価例 1

東京大学 THE UNIVERSITY OF TOKYO　産総研　AIチップ設計拠点 AI Chip Design Center

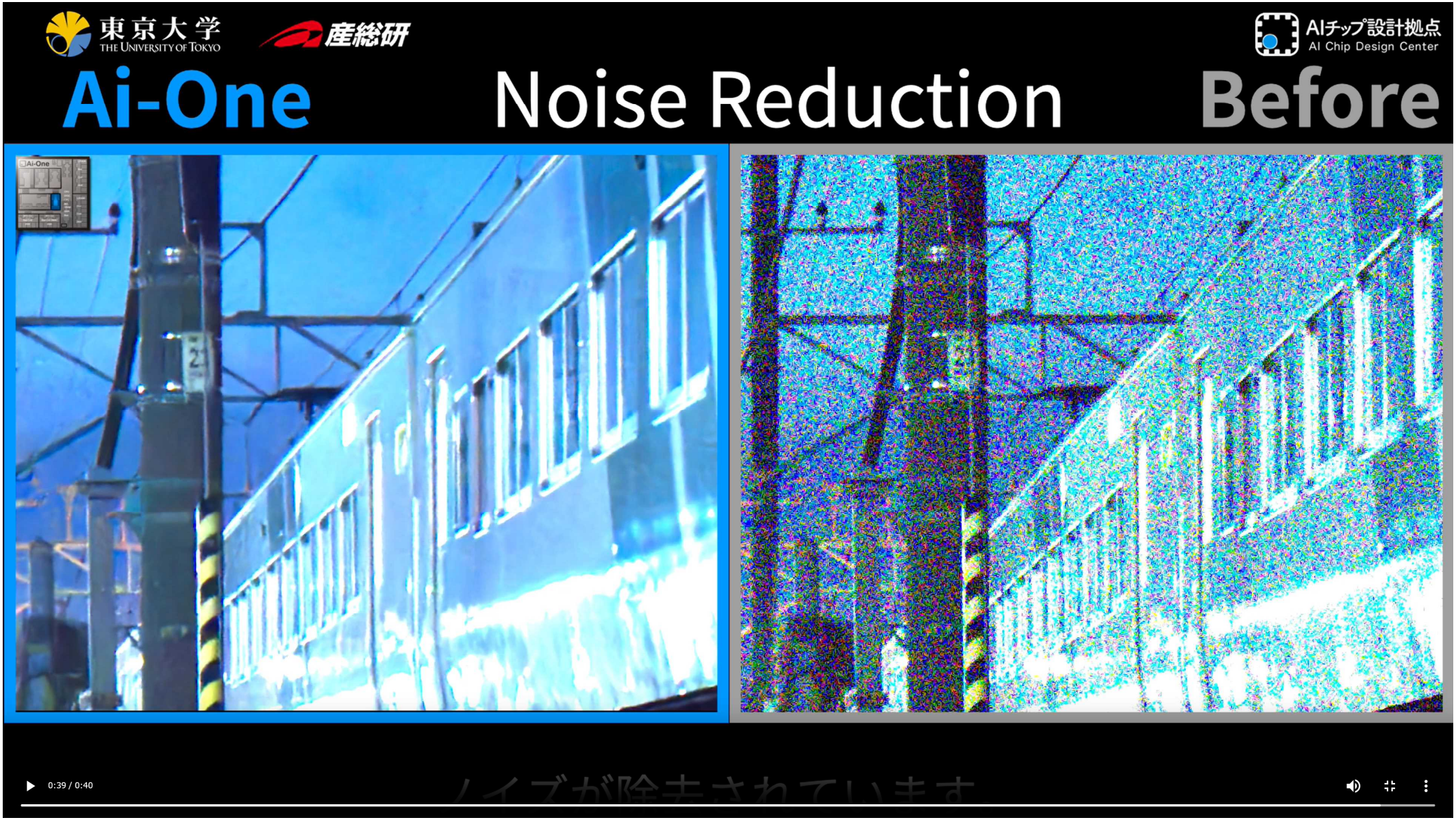
Ai-One vs FPGA



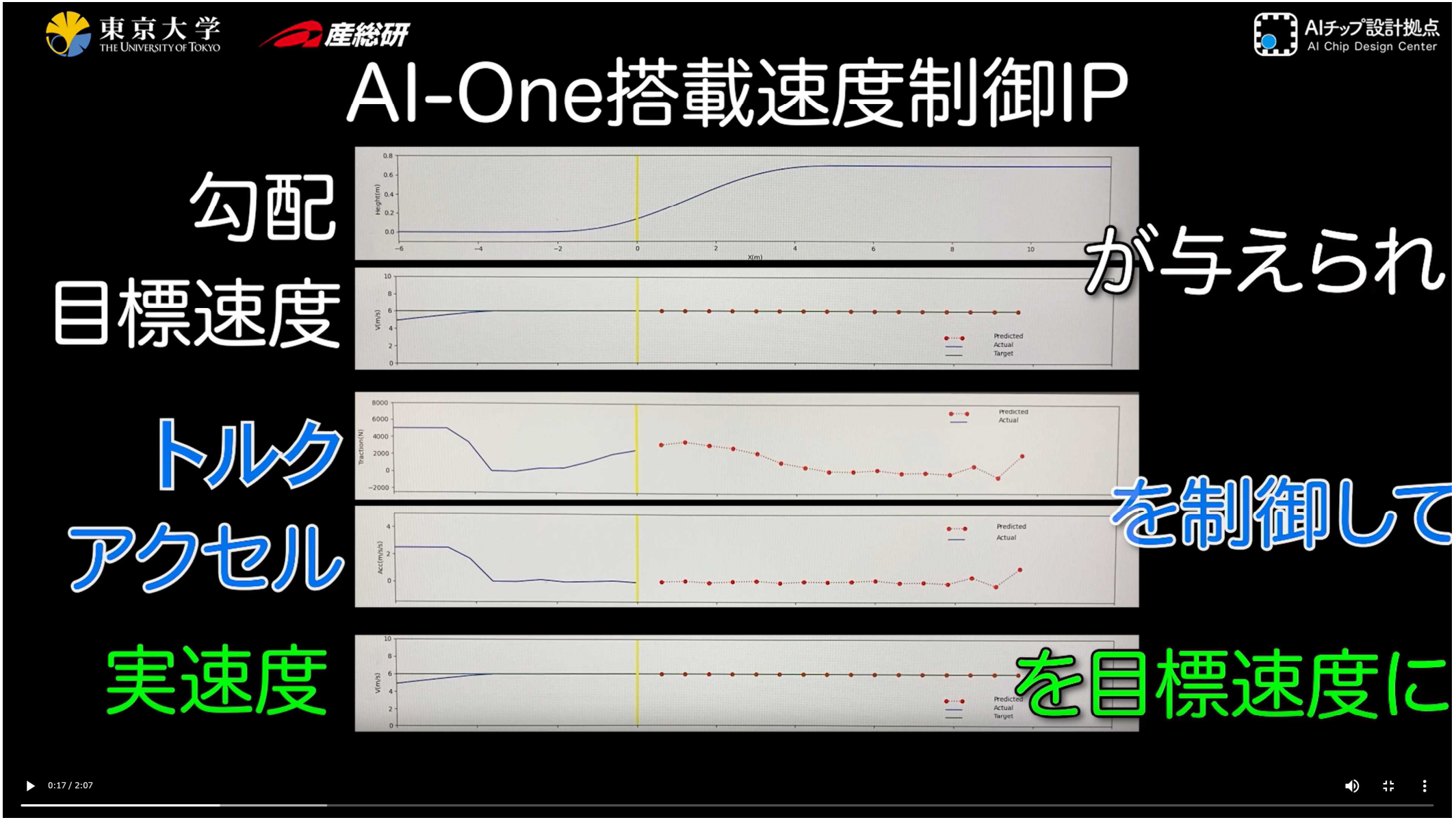
90~100 fps	処理能力	20~30 fps
~ 3.0 W	消費電力	~ 15 W

1:06 / 1:46

協力会社AIアクセラレータの評価例２



協力会社AIアクセラレータの評価例３



参考資料１　分科会議事録及び書面による質疑応答

研究評価委員会
「AI チップ開発加速のためのイノベーション推進事業」（終了時評価）分科会
議事録及び書面による質疑応答

日　時：2023 年 10 月 23 日（月）10：30～17：00
場　所：NEDO 川崎本部 23 階 2301～2303 会議室（オンラインあり）

出席者（敬称略、順不同）

＜分科会委員＞

分科会長	永妻　忠夫	大阪大学　大学院基礎工学研究科　システム創成専攻　教授
分科会長代理	吉瀬　謙二	東京工業大学　情報理工学院　情報工学系　教授
委員	桑田　薫	東京工業大学　理事・副学長（ダイバーシティ推進担当）
委員	杉岡　俊明	株式会社ソシオネクスト　グローバル開発本部　開発企画部 技術戦略推進室　室長補佐
委員	南川　明	インフォーマインテリジェンス合同会社 C&D コンサルティンググループ シニアコンサルティングディレクター
委員	宮森　高	東芝デバイス&ストレージ株式会社 デバイス&ストレージ研究開発センター　センター長

＜推進部署＞

粂田 真宏	NEDO イノベーション推進部 統括主幹
小神 陽一	NEDO イノベーション推進部 主査
小関 吉昭	NEDO イノベーション推進部 主査
舘田 開	NEDO イノベーション推進部 主任
星 璃咲	NEDO イノベーション推進部 主任
飛田 英二	NEDO イノベーション推進部 専門調査員
林 勇樹	NEDO IoT 推進部 部長
田村 耕作	NEDO IoT 推進部 統括主幹
川越 敦史	NEDO IoT 推進部 主幹
芹澤 慎	NEDO IoT 推進部 主査
木村 貴弘	NEDO IoT 推進部 主査
阿川 謙一	NEDO IoT 推進部 主査
青柳 實知子	NEDO IoT 推進部 専門調査員

＜プロジェクトリーダー（PL）＞

中村 宏	東京大学大学院 情報理工学系研究科 教授

＜実施者※メインテーブル着席者のみ＞

内山 邦男	産総研 AI チップデザインオープンイノベーションラボラトリ 招聘研究員
池田 誠	東京大学 大学院工学系研究科附属システムデザイン研究センター 教授
長谷川 淳	東京大学 大学院工学系研究科附属システムデザイン研究センター 学術専門職員
五十嵐 泰史	産総研 AI チップデザインオープンイノベーションラボラトリ 統括研究主幹
福田 浩一	産総研 AI チップデザインオープンイノベーションラボラトリ 主任研究員
中 一郎	産総研 AI チップデザインオープンイノベーションラボラトリ 招聘研究員
日置 雅和	産総研 AI チップデザインオープンイノベーションラボラトリ グループ長

＜オブザーバー＞

小林 健	経済産業省 商務情報政策局 情報産業課 企画官
齋藤 尚史	経済産業省 商務情報政策局 情報産業課 課長補佐
村中 祥子	経済産業省 産業技術環境局 研究開発課 課長補佐
亀山 孝広	経済産業省 産業技術環境局 研究開発課 課長補佐
浅野 常一	経済産業省 産業技術環境局 研究開発課 技術評価係長
小林 義昭	経済産業省 産業技術環境局 研究開発課 評価企画係長
渡辺 智	経済産業省 産業技術環境局 研究開発課 技術評価専門職員
宝関 義隆	経済産業省 産業技術環境局 研究開発課 技術評価専門職員

＜評価事務局＞

三代川 洋一郎	NEDO 評価部 部長
山本 佳子	NEDO 評価部 主幹
木村 秀樹	NEDO 評価部 専門調査員
中島 史夫	NEDO 評価部 専門調査員

議事次第

（公開セッション）

１．開会、資料の確認

２．分科会の設置について

３．分科会の公開について

４．評価の実施方法について

５．プロジェクトの概要説明

5.1 意義・アウトカム（社会実装）達成までの道筋

5.2 目標及び達成状況

5.3 マネジメント

5.4 質疑応答

６．プロジェクトの詳細説明

6.1 研究開発項目②「AI チップ開発を加速する共通基盤技術の開発」全体概要

6.2 実施項目 1-1「AI チップ向け設計フローの研究開発」

実施項目 1-2「ハードウェア開発垂直立ち上げ実現のための研究開発」

6.3 実施項目 2-1「AI チップの研究開発に必要な EDA ツールの整備」

実施項目 2-2「人材育成と拠点機能の整備」

6.4 実施項目 1-5「国内外 FAB の活用と最適化ライブラリの研究開発」

（非公開セッション）

6.5 研究開発項目①「AI チップに関するアイディアの実用化に向けた開発」

７．全体を通しての質疑

（公開セッション）

８．まとめ・講評

９．今後の予定

１０．閉会

議事内容

（公開セッション）

１．開会、資料の確認

・開会宣言（評価事務局）

・配布資料確認（評価事務局）

２．分科会の設置について

・研究評価委員会分科会の設置について、資料1に基づき事務局より説明。

・出席者の紹介（評価委員、評価事務局、推進部署）

【永妻分科会長】　大阪大学の永妻です。専門は、40 年近く主として高周波のアナログデバイス、IC の設計、システム化までを一貫してやっており、3 年前の中間評価においても参加しておりました。今日は、どうぞよろしくお願いいたします。

【吉瀬分科会長代理】　東京工業大学の吉瀬です。専門は、コンピュータアーキテクチャや FPGA を用いたアクセラレーションになりますので、本日はその点から議論させていただきます。よろしくお願いします。

【杉岡委員】　ソシオネクストの杉岡です。専門としては、もともと CAD 開発をやっており、その途中では LSI の設計フローの開発にも携わり、現在は半導体の設計技術、先端設計技術開発の企画や管理をやっております。今日は、よろしくお願いします。

【南川委員】　インフォーマインテリジェンスの南川です。弊社は、市場調査・企業調査を長らく行ってきております。私自身も、半導体領域を約 30 年、そして市場調査・企業調査・競合調査のレポーティングをしております。本日は、よろしくお願いいたします。

【宮森委員】　東芝デバイス＆ストレージの宮森です。現在デバイス＆ストレージ研究開発センターのセンター長ということで、弊社の半導体関係の研究開発全般を見させていただいております。専門としては CP アーキテクチャ、コンピュータアーキテクチャであり、それ独自の CPU の開発であるとか、それを入れた SoC、マルチコア、メニューコア、最近で言えば ADAS 向けの SoC の開発等を見させていただきました。本日は、どうぞよろしくお願いします。

【桑田委員】　東工大の桑田です。本日は途中からの出席となりましたが、ぜひよい成果を拝聴し、いろいろと教えていただく存じます。また、これからの展望についてはぜひいろいろな視点で考えていきたいと思っておりますので、どうぞよろしくお願いいたします。

３．分科会の公開について

評価事務局より資料 2 及び 3 に基づき説明し、議題 6.5「研究開発①」及び議題 7.「全体を通しての質疑」を非公開とした。

４．評価の実施方法について

評価の手順を評価事務局より資料 4-1 から 4-5 に基づき説明した。

５．プロジェクトの概要説明

（1）意義・社会実装までの道筋、目標及び達成度、マネジメント

推進部署より資料5に基づき説明が行われ、その内容に対し質疑応答が行われた。

【永妻分科会長】　ありがとうございました。

全体の説明に対して、何かご意見、ご質問等がございましたら、今からお受けさせていただきたいと思います。それでは、杉岡先生お願いします。

【杉岡委員】　事前の質問票でも伺った点ですが、アウトカム目標の売上予測、2032 年、年間売上高 750 億円における本事業の普及率 20%の判定ですけれども、回答としていただいた 20%の根拠がまだ理解し切れておらず、これは本当に達成できるのかと疑問を持っております。多分こちらのデザインセンターで 28 ㎚と 12 ㎚の SoC を造ると思うのですが、恐らくエッジで使われる LSI を想定しているといったところでは、それほど高額なものではないのかとも思います。そういったところで、750 億円を年間の売上げというのは結構大変な目標ではないかと。また、一応 23 年度で 10 件の実用化に至り、目標達成となっていますが、例えばその 10 件が今後どういう売上げになっていくのか。そういうところをウオッチしていかないと 750 億円には達成できないように考えます。当然 10 件の会社だけで達成できるとも思いませんし、来年度以降も年間 50%以上といった目標を立てているところですが、新たに 50%の実用化ができる可能性、蓋然性として、例えばこれだけのベンチャー候補が控えているなど、そういったところはあるのでしょうか。少し厳しい言葉になりましたが、その辺の見解を伺いたいです。

【芹澤主査】　今のご質問にございました普及率 20%ですが、初めは 10%で助成事業者の売上等を中心とし、その後、資料 15 ページ目にあるように委託事業の拠点利用者を増やすことにより、その利用を通じた売上げにおいて、さらに 10%を上乗せという形で考えております。助成事業者の売上げについては非公開セッションで紹介をさせていただきますので、この場では具体的な数字は割愛させていただきますが、残りの 10%、委託事業者の利用による拠点利用者のさらなる上乗せについて、どこまで蓋然性があるかといったところではまだ確固たる数字は持ってございません。

【杉岡委員】　言わんとすることは分かりますが、利用者を増やすにおいて、どれだけ利用者が日本にそれだけいるのかと。そこには、やはりベースの数字がないと、増やすと言われても本当にできるのかといった疑問が残ります。

【芹澤主査】　補足をしますと、この事業を始めるにあたって、企業約 100 社をリストアップしアンケートを取っております。そのアンケート結果として、「この AI エッジ関係のチップをつくってみたい」、「興味がある」といったところがございました。そういった企業にどこまで参加いただけるかが一つのキーになると考えます。

【永妻分科会長】　私も同じところを事前質問で伺っておりますが、まず 750 という数字が独り歩きするのもよろしくないと思います。この 750 億円というのは 2018 年当初に予定されたものであり、現在の AI チップの世界動向、産業動向を見ると、私は恐らく一桁ぐらい増えていると思っております。そういった意味で、決して 750 が重要ではなく、今後その辺の動向をもう少しポジティブに予見されてもよいのではないでしょうか。

【芹澤主査】　ご指摘のとおり、確かに先週発売された雑誌において、ドイツの調査会社で一桁違うといったところが出てございます。そういった意味で言えば、伸び代はまだまだあるといったところも考えられます。その以前の調査では桁数があまり変わらなかったところもございまして、このような数値になっておりますが、随時情報をアップデートしながら市場動向を考慮してまいりたいと思います。

【永妻分科会長】　ありがとうございます。それでは、吉瀬先生お願いします。

【吉瀬分科会長代理】　研究開発項目①においては、65 ページ目にあるように、新型コロナウイルスの影響であるとか半導体不足についての対策がございますが、②の委託事業に関してはそれほど大きな影響がなかった印象を受けます。この点について、なぜもろもろの困難があったにもかかわらず特に修正の必要が生じなかったのでしょうか。

【芹澤主査】　コロナの影響については行動制限が一つキーになっております。それに対し、この拠点は2019年にオンライン接続ができるように設備増強を行っており、その結果、行動制限による影響が出なかったものと考えております。

【吉瀬分科会長代理】　半導体不足についてもほとんど影響はなかったと。それは、いろいろツールを活用されたということでよろしいですか。

【芹澤主査】　半導体需給に関しては、確かにご指摘のように、実施者との定例ミーティングで、どうもタイミング的に時間を要しそうだといった予見ができましたので、あらかじめ資金を投入し、前倒しで準備をいたしました。情勢変化への対応についてのスライドでも記載していますが、そういった対応を取っております。

【永妻分科会長】　それでは、宮森委員お願いいたします。

【宮森委員】　ご報告どうもありがとうございました。様々な成果として非常に活発な内容が伺えました。その上で、資料13ページ目について伺いますが、他拠点との違いをまとめているところでエミュレータが差異化のポイントとございますけれども、現時点で他国と比べて、このAIDC拠点についての強みであるとか、あるいは課題等があれば教えてください。趣旨としては、今後この拠点をどう活用していくかが実際の実用化、アウトカムの達成において非常に大切だと考えますし、それに関しては日本国内だけではなく、グローバルでの戦いになると思っております。

【芹澤主査】　まず拠点の強みですが、先ほど紹介しましたように、AIチップ向け独自IPの評価プラットフォームの28㎚、12㎚について、実際海外でDAC等の発表を行った際に、海外企業が非常に大きな興味を持たれておりました。あとは、オンラインで使えるといったところから、この資料では記載しておりませんが、先日のCEATECで海外からの参加者などが非常に興味を持っていただいたところもございますので、そういったところが一つの強みではないか考えております。課題としては、拠点利用者からのフィードバック等をいただいておりますが、ツールの利用、そこをうまくやりくりするといいますか、契約をどうするかとか、あとはEDAベンダーが幾つか入っておりまして、「手続をより簡便にしてほしい」といった要望もございます。そこをいかに改善し、より使いやすい設計拠点にするかといったところが今後の大きな課題と考えています。

【宮森委員】　ありがとうございます。もう一点伺いますが、中間審査のところの質問にもございましたが、実施後のユーザーであるとか、システムベンダーといったところのつなぎが重要ということで、マッチングの仕組みをつくられたということですけれども、具体的にはどういった仕組みになるのですか。

【芹澤主査】　こちらについては、AIチップ設計拠点のほうで毎月拠点フォーラムを行い、初心者の方を含め様々な方に参加をいただきまして、そこで交流の場を持っていただいております。それに加え、勉強会やセミナー等も開催しており、そういった場において、アイディアを持っている方をはじめ、ベンダーや設計拠点の方等の様々な交流の場をつくることにより、マッチングにつながっていっていると考えております。

【宮森委員】　既に具体的な実績はございますか。

【芹澤主査】　その点は議題6の中で、具体的にどれだけ参加をしているか、どういった領域の方に参加いただいているかといったセミナーの結果等を紹介させて頂けたらと思っております。

【宮森委員】　分かりました。実際にマッチングが成立した成果があるものと理解いたします。

【内山招聘研究員】　補足いたします。一つのマッチング方法として、フォーラムに積極的にベンチャー等に発表をしていただきますと、例えばシステムメーカー等から問合せがまいります。そういった問合せに対し、そのベンチャーを紹介していろいろとご議論をいただくと。その内容については、NDAの問題もございますので我々はフォローしませんが、そういったことが毎回フォーラムで、必ず講演に対して二、三件の問合せが来ている状況です。また、ダイレクトに問合せという窓口も設けておりますの

で、それが来た場合には、我々が、いろいろなメーカー、システム屋、ユーザーとも交流がございますので、その中でよいマッチングがあれば具体的に紹介して進めさせていただいております。その後のフォローはしていませんが、そういう形で進めてございます。

【宮森委員】　ありがとうございます。

【永妻分科会長】　それでは、南川委員お願いします。

【南川委員】　ご説明ありがとうございました。少し戻ってしまうのですが、現状、企業で 10%といったところの事業普及率について、これは後ほど詳細説明があるかもしれませんけれども、例えばどういうアプリケーションで、どのぐらいの単価でというような想定がもしございましたら、より具体的に確認できればと思います。もしくは、後ほど教えていただくことは可能かどうかを教えてください。

【芹澤主査】　ありがとうございます。詳細につきましては、この後のセッションで説明させていただきたく存じますので、よろしくお願いいたします。

【南川委員】　承知いたしました。もう一つ教えてください。資料 53 ページになるかと思いますが、実用化率 58.8%ということで伺っておりますけれども、この事業化ができなかった理由をまとめられて、それを分析することにより今後の実用化率アップにつなげるといったことはやられているのでしょうか。

【飛田専門調査員】　後ほど非公開のところでも説明いたしますが、実用化できなかった例が 4 件ほどございます。その中には、例えば法律に適合する、しないの問題であるとか、そういった外的要因によるものもありまして、そこはちょっとどうしようもないところもございました。ですが、例えば設計の遅延があったとか、そういったところについては改善の余地があるものと思っております。

【南川委員】　ありがとうございます。以上です。

【永妻分科会長】　杉岡委員、お願いします。

【杉岡委員】　先ほど拠点のお話を伺い、非常にこういうオープンな設計拠点があるというのは、ベンチャー企業にとってありがたいお話だと思っております。ただ、ここで設計できるのは恐らく試作までででしょうか。つまり、そのベンチャーがそれを本当に商品化して量産化したいというと、多分その GDS は使えないと思うのです。それは、恐らく EDA の契約が試作までという、それで格安で使えるようなことになっていると思うのですけれども。やはり先ほど言ったアウトカムの 750 億円というのをやるのであれば、そこへの手だても必要でしょうか。実際に量産用の LSI をつくり直すというと、そういう EDA 費用がまた別途かかってくるとは思いますが。その辺に対する何かアウトカム目標を達成するための観点、本当の事業化・実用化・量産化に対する支援を今後行うとか、何かそういったところはあるのでしょうか。

【芹澤主査】　確かに、ご指摘いただいたように PoC の先の話をどうするかといったところは非常に重要だと考えております。この AI チップ設計拠点におかれましては、PoC の後のベンダーとのつながりであるとか、実際量産するに際してどう進めたらよいかといったコンサルのような業務、そういったところの相談窓口を準備しておりますので、そういった形で貢献をしていきたいと考えております。

【杉岡委員】　コンサルは非常にありがたいと思います。ただ、量産版の LSI をつくったときには、ここの拠点は利用できないのですよね。

【内山招聘研究員】　この拠点は試作まで、ES までになりますが、それでベンダーとも合意を取ってやっておりますし、その後のモデルはベンダーとも話しています。量産料金を払っていただいて、その形でこの拠点を使って量産設計もすることも可能だという、そういったことも話しております。まだ、実際にそこまで至ってはおりませんが、そういう準備はしている状況です。それで、もちろん我々の拠点で量産していただいても結構ですし、我々のところで試作いただいた GDSⅡ、これは試作のレベルの設計ですけれども、それを持って外のターン・キーでやっていただいてもよいと。そういった形になると思います。

【杉岡委員】　分かりました。ありがとうございます。

【永妻分科会長】　確認になりますが、既に走っている助成事業1のほうで走って、今後750で貢献していく企業は、今おっしゃられたような量産化に向けた取組に対して幾つかのやり方があるかもしれませんけれども、もう既に予定や計画があるということですか。

【内山招聘研究員】　私のほうで一つ一つ内容を把握してはおりませんけれども、そういう有力な企業が実際にいらっしゃいます。その企業さんは我々の例えばAI-One、AI-Twoという評価プラットフォームを使おうか、あるいは全く外でやろうかと、そういうようなところを今評価していろいろ悩んでいらっしゃるというところで、そういう具体例はございます。

【永妻分科会長】　ありがとうございました。それでは、吉瀬委員お願いします。

【吉瀬分科会長代理】　資料13ページになりますが、今回のプロジェクトとしてエミュレータが入っているところがとても挑戦的でよいと思うのですが、エミュレータの達成したいことというのがあまり出ていなかった印象がございます。改めてエミュレータは何を目指すものかといったところを伺えますと幸いです。

【芹澤主査】　エミュレータに関しては、詳細はこの後説明がございますが、大規模化に対応した形でのエミュレーションということで、実際AI評価プラットフォームにおかれまして、試作前の段階でワンチップシミュレーションといった形での検証ができております。そういったところが一つの成果と言えるのではないかと考えます。

【吉瀬分科会長代理】　ありがとうございます。37ページにある第2の壁から第3の壁といったあたりになるでしょうか。それとも、このあたりをもっと高速に大規模なシミュレーションで、よりバグをなくしたいという目的でエミュレータを使うといった理解になるでしょうか。

【芹澤主査】　そのご理解で合っております。

【吉瀬分科会長代理】　ありがとうございました。

【永妻分科会長】　先ほどユーザー数のグラフが小さく出ていましたが、2022年度ぐらいにぐんとユーザー数が増えているように分析できます。その変化について、もちろんフォーラム等が浸透してきた、啓蒙活動が浸透してきたというのもあるでしょうし、ツール等が完備されてきたというのもあると思うのですが、そういったユーザー数、あるいは実際に試作回数を増やすことが今後にとって重要だと思います。そういった効果的なユーザー数を増やすことがこのプロセスにおいて重要だとすれば、そこの急な立ち上がりは何をなされたために起こったのか。2段階の大きな立ち上がり、最初の中間評価を経た後にしばらくあって、その後、最終年度に向けてぐんと立ち上がっている。これはどういう背景があったのでしょうか。

【芹澤主査】　やはり、コロナの関係で外出制限が出て、自分たちのところでオンラインで何とかしなくてはいけないといった際に、ちょうどこのAIチップ設計拠点がオンラインでも対応できますといったところが一つのポイントに当たるのでないかと考えます。実際その当時加入していただいた利用者を見ますと、結構、民間企業が多く入っております。

【内山招聘研究員】　補足いたします。確かにユーザー数が22年でぐんと黄色のラインが上がっていますが、これはちょうどAI-Twoという試作チップ、我々が主導して試作チップを12㎚でやったのです。12㎚設計ですので、かなり設計者が入らないといけないということで、協力企業からも人員を入れていただいて、我々のほうからも入れて、このAI-Twoという12㎚のSoC型AIチップを一気に開発したと。これを見ていただきますと、ユーザー数は増えているのですが、活用件数はそのままで増えておりません。ですので、大きな開発があったとご理解いただければいいと思います。

【永妻分科会長】　ありがとうございました。それでは、宮森委員お願いいたします。

【宮森委員】　副次的な成果の中で、AI チップの開発を担う人材育成・教育を含めて、そういったところにも成果があったということだったのですが、やはり半導体であるとか設計、ここのリソース強化というのは非常に大きな問題で。今回のこれに限らず重要なテーマだと思っているのですが、具体的にどのようなことをされているのですか。フォーラム等をやられているところもあるのですが、それ以外に人材育成に向けてどういった取組を行ったかを教えてください。

【芹澤主査】　ご質問の人材育成に関して、どのような取組を行ったかでございますが、この後の議題 6 で詳細説明をさせていただきますが、各種各自設計に関するセミナーを行っております。実際の参加者等もこの後報告いたしますが、その参加者であるとか、実際のフィードバック等を見ますと、やはり自分たちで設計するのはつらいところもあるといったところで、こういった設計拠点とコラボレーションしてやりたいといったコメントも頂戴してございます。改めて、後ほど詳細を説明させていただきます。以上です。

【永妻分科会長】　皆様ありがとうございました。それでは、時間が参りましたので、以上で議題 5 を終了といたします。

6．プロジェクトの詳細説明

6.1 研究開発項目②「AI チップ開発を加速する共通基盤技術の開発」全体概要

実施者より資料6.1に基づき説明が行われ、その内容に対し質疑応答が行われた。

【永妻分科会長】　ありがとうございました。それでは、質問をお受けいたします。杉岡委員、お願いします。

【杉岡委員】　資料 10 ページのユーザー数の推移において、活用件数 74 件とございますが、こちらの活用件数の定義は何になるでしょうか。

【内山招聘研究員】　例えば、あるモジュールを設計したいプロジェクトであるとか、そういった形で定義してございます。つまり、あるものはチップの GDSⅡまでいきますし、あるものは RTL で止まる、あるものは論理合成までであるといったようにプロジェクトによって様々でございます。

【杉岡委員】　分かりました。ありがとうございました。

【永妻分科会長】　宮森委員お願いいたします。

【宮森委員】　今のところにも関連しますが、もともと計画ではユーザー数 15 件が目標といったところで、大幅に 74 件が実際の実績として出たと。これが増えた理由というのはどういったところになるでしょうか。また、こういったものがアウトカムに影響するのかというのも気になりました。

【内山招聘研究員】　増えた理由は、やはり我が国においてもこういう需要が結構あったというニーズ面が一つの理由と考えます。正直な話、日本はかなり設計が停滞していますので、我々としてもそんなにはいないかなと思っておりましたが、蓋を開けると結構ニーズが、企業、大学を含めてございました。それから途中で追加予算をいただきまして、そういったニーズに応えられるだけのサーバーストレージを増強させていただいたという構築上の理由もあるのではないかと考えております。

【宮森委員】　ありがとうございます。この 74 件と助成の 17 件はどういう関係になるのですか。

【内山招聘研究員】　これは、助成事業者に我々の拠点を使っていただいている場合もありますし、使っていただいていない助成者もいらっしゃるといったところになります。助成事業の際、途中から拠点が整備された段階で、「この拠点があります」という形で宣伝をしてもらっていますので、ご希望があれば使っていただいているという形です。

【宮森委員】　承知いたしました。

【永妻分科会長】　吉瀬委員お願いします。

【吉瀬分科会長代理】　資料16ページにAI-OneとAI-Twoがありますが、こういうチップを造ると必ずうまく動かないであるとか、バグが出てくると思うのですけれども。今回造ったチップについて、どのぐらい安定して動いているかといったところはどうでしょうか。

【内山招聘研究員】　どうもありがとうございます。私の口から言うのもなんですけれども、バグはございませんでした。フラッシュメモリのアクセスが思ったよりも遅かったというのがございますが、その一件を除けば完璧でございました。一つはIPをうまく活用したというのと、これは手前みそですが、我々の設計体制で、それなりの人材を当てて行ったところもあるかと思っております。

【吉瀬分科会長代理】　それを聞いて非常に安心しました。きちんと動くものを造るという結果に至るまでには、ハードウエアエミュレータを活用したことが大きかったとか本当はいろいろあると思いますので、ぜひそのあたりをまとめていただき、バグがほぼなかったというのは非常によい情報だと思うので、もっとアピールしていただいてもよいかと思います。

【内山招聘研究員】　どうもありがとうございます。我々AI-One、AI-Twoプラットフォームとして、このチップの開発と同時に整備しておりますので、実際にAI-One、AI-Twoも論理エミュレータで動きます。そのあたりも含め、これからいろいろなところでアピールしていきたいと思っております。

【永妻分科会長】　先ほどのユーザー数の質問にも関係するのですが、もう一つ内山様が毎月フォーラムを開催されて、いわゆるユーザーの掘り起こしであるとか、啓蒙活動にご尽力いただいたと。やはりその増えてきた背景としては、そういったものに参加してご興味を持たれ、すぐにではないにしても、それで呼び込んだという件数も幾つかあるのでしょうか。

【内山招聘研究員】　具体的に何件とは把握しておりませんけれども、フォーラムを見て、ご興味を持っていただいて問合せから実際に対面、あるいはウェブで相談させてほしいといったご相談が少なくとも数件以上はあると思います。フォーラムの案内リストというのが今1,500名ぐらいいると思いますが、今後もそのリストをどんどん増やしていこうと考えているところです。

【永妻分科会長】　学会の講演と一緒で、意外に皆様まだまだ知らないといいますか、母数は多いのではないかと思います。そういう意味では、フォーラムを今も継続されているということでしょうか。

【内山招聘研究員】　今ももちろん継続しております。あと5年ぐらいはやりたいと思います。

【永妻分科会長】　ありがとうございます。頑張ってください。では、吉瀬委員お願いします。

【吉瀬分科会長代理】　このスライドでもう一つお伺いしたいのですが、OneからTwoになったときに企業が2社に減っていますけれども、やはり企業からすると12㎚で造るというのはすごくいい実績になり、経験になると思うのですが、それがこれだけ集まらなかったという理由はどういったところになるでしょうか。

【内山招聘研究員】　集まらなかったといいますか、企業側のリソースの問題もございます。AI-Oneの5社以外にもいろいろな企業にお声はかけましたが、なかなか体力のありそうな企業が、まずこの2社だけだったと。やはり12㎚ですと、それなりの設計者をそろえて開発しないとやっても意味がございません。そういったところで今回は2社だけだったというところです。

【吉瀬分科会長代理】　ありがとうございます。関連したところで、資料23枚目のスライドのサポートプランが気になるのですが、これはどのような内容になるのでしょうか。

【内山招聘研究員】　例えばサポートプラン①のRTLガイドラインというのは、RTLを書いても、ある程度クオリティーを上げないと検証も大変ですし、タイミングチェックも大変だと。ですから、このような我々がつくったガイドラインにのっとって書いていただくと、それがスムーズにできますというような形のガイドラインをつくっております。それから③のSoCプラットフォーム参照というのは、まさにAI-OneとかAI-Twoのプラットフォーム、設計情報も含めて見られるというプランでございます。ですから、これを参照していただいて、もちろん自分でIPの費用は払っていただかないと駄目な

のですが、これを使っていただくと、かなりスムーズに SoC の形の AI チップができる。そういうプランでございます。

【吉瀬分科会長代理】　この 5 年間の経験から、やはり企業がつくるのが大変であるため、もっとサポートしていくべきだと分かり、こういうプランを設計されたということでよろしいですか。

【内山招聘研究員】　そういうことでございます。

【吉瀬分科会長代理】　ありがとうございます。

【永妻分科会長】　杉岡委員お願いいたします。

【杉岡委員】　SoC を造るときに私が悩むのは、要は開発費の見積りをするときに、これぐらいの回路規模で、どれくらいの設計期間で、どれくらいの人数をかけなくてはいけないというのを見積もらないといけなところで。それに対する何かここを使いたいといったときに、そういうところのアドバイスとか、そういう見積りをするとか、そういったサポートをしてもらえるのでしょうか。

【内山招聘研究員】　アドバイスはできます。我々AI-One、AI-Two の実績でございますので、コスト面も含めて、そのあたりをいろいろ議論させていただく体制は整っております。

【永妻分科会長】　南川委員お願いいたします。

【南川委員】　今回は TSMC の FAB を使うことが前提になっていますが、今後ほかのファウンドリのメーカーを使うこともサポートしていくようなことは考えていかれるのでしょうか。

【内山招聘研究員】　我々ぜひ考えたいと思っております。日本の中でもございますし、実際にそこともかなり NEDO 事業の早い段階で会話をさせていただいております。いろいろ相手方の状況もありまして会話が途切れたこともあるのですが、継続的にこれからも会話をさせていただきたいと思っております。あと、これから国内に新しい工場も出来ますので、そこともこれからぜひ会話したいと思っております。

【南川委員】　できれば国内で行えるとよりよいと思いましたので。ありがとうございます。

【永妻分科会長】　最後のページのところで、新たな AIDL の本格運用が始まって予想以上に利用件数が増えていると。大変すばらしいと思うのですが、今後エコシステムを自立化していく上で、目標としてのユーザー数はどれくらいを見込んでおられますか。

【内山招聘研究員】　これはなかなか難しく、プロジェクトの大きさによってもかなり違います。ビッグユーザーがつくと、それだけで全部ある意味賄えてしまうような形もありますので、そのあたりのバランスを考えながらやりたいと思います。今、ビッグユーザーは 1 社か 2 社といったところで、国プロも入っております。ですので、そういったところをうまくミックスしながらこれから運営していきたいと思っております。あまりにもビッグプロジェクトだけでこれが占められると、拠点の意味をなさないということもございますので、そこら辺のバランスを考えながらうまくやっていきたいです。

【永妻分科会長】　ありがとうございました。それでは時間が参りましたので、次の議題に移ります。

6.2 実施項目 1-1「AI チップ向け設計フローの研究開発」
実施項目 1-2「ハードウェア開発垂直立ち上げ実現のための研究開発」
実施者より資料6.2に基づき説明が行われ、その内容に対し質疑応答が行われた。

【永妻分科会長】　ありがとうございました。それでは、質問をお受けいたします。吉瀬委員、お願いします。

【吉瀬分科会長代理】　資料 17 ページのエミュレーションの右の 2 つのカラムで、実行時間がループ 50 とループ 500 で実行時間 10 倍になるのかと思いきや、何かあまり一番増えていないといったところで。このあたりを含め、ループの回数だけだとうまく実行時間を測られていないのではないかと思うので

すが。そのあたりは何で 50 が 500 になって、10 倍にならないのですか。

【池田教授】　これはもっと細かく取ったものを出すとよかったのですが、基本的にイニシャライズにすごい時間がかかっているので、そういった意味で一回検証が始まってしまうと、ほとんど I/O もないようにつくっているものですから、結果的にはリニアにはならないといいますか、1 回目以降は実はリニアになっているのですがといった状況になっています。

【吉瀬分科会長代理】　結構大きいので、50 と 500 で 10 倍にならないといったその話と、左側のループ 50 で評価している秒数当たりから右の実行速度が何倍というのを出しているところが、ちょっと本当にいいのだろうかと疑問に思った次第です。

【池田教授】　そこに関しては、確かにそのご指摘もあると思ったのですが。ただ、こちらに関してはほぼこれに近いデルタになっているということで、やむなくこれの 10 倍を 500 回の値とし、こちらは実際 500 回やったのでこの値を使わせていただいております。

【吉瀬分科会長代理】　分かりました。多分問題ないと思うのですが、ループ 50 のソフトウエアのほうを 500 にして 4,000 秒とかになると思うのですが、測れると思いますので。それで倍率を出していただくともっとはっきりするかと思いました。

【池田教授】　こちらに関してはできるのですが、ネットリスト側が全く太刀打ちできなかったもので。こちら NA になっているものというのも、要は結局こちら側のほうが効果は非常に出るものですから、そういった意味で。少しそこを端折ってしまいまして、申し訳ございません。

【吉瀬分科会長代理】　分かりました。ありがとうございます。

【永妻分科会長】　それでは、杉岡委員お願いいたします。

【杉岡委員】　設計フローのところで伺います。Cadence と Synopsys のツールを使っていらっしゃるということで、これというのは、多分設計をしていて、これはバグではないのかとか、そういうときが往々にしてあるのですが。そういった場合には、こちらのデザインセンターのほうでサポートをしてくれるのですか。

【池田教授】　明らかなツールのバグに関しては、ベンダーに問い合わせて、それを確認したら、例えばこのコマンドは使わないとか、そういったことで対応するということになるかと思っております。

【杉岡委員】　そういう間に入っていただけるということですね。分かりました。あと設計していて気になるのが、途中で論理が変わったとか、そういうのがちょくちょくあるのですが、そういう論理 ECO のフローとかそういうのもできていると思っていていいのですか。

【池田教授】　そちらに関しましては、どちらかというと AI-One、AI-Two の実設計のほうで対応しています。ただ、この教材の中でも一部 ECO に関してこういう方法がありますというのは、基礎的なことが書いてあるのですけれども、なかなか実際の事例に関して教材が対応できないところがあるので、そちらは AI-One、AI-Two の話で取り扱っております。

【杉岡委員】　要は、フォーマル検証とかそういうのも入っていると。

【池田教授】　フォーマル検証はこちらに入っております。

【杉岡委員】　分かりました。ありがとうございます。

【永妻分科会長】　それでは、宮森委員お願いいたします。

【宮森委員】　今回、AI プロセッサの開発の環境ということなのですが、AI に特化したような設計環境みたいなところはあるのでしょうか。

【池田教授】　そういった意味では、やはり一番大きいところは高位合成との接続だと思っております。例えば FPGA で AI の IP を開発している方というのは FPGA のツールに入っている高位合成ツールを使ってやられるということもありますので、どちらかというと RTL よりはもう一段上の技術で入ってくることが多いと。そこからいかに論理合成、フィジカルインプリメントまで流れるかというところが

一つ、一般論でありますけれども、AIに近い話で。もう一つ、教材の中でも一応エグザンプルとしてAI を使ったという、ちょっとこんなモデルの一部を切り出したようなことを取り扱っておりまして、「だから何がAIなんですか」と言われると少しお答えになっていないかもしれませんけれども、そういう例題でAI的な、要はRA上のものに対して、もしくはメモリアクセスが結構あるようなものに対してどういう設計をしますかというところまでは取り扱えていると思っております。

【宮森委員】　ありがとうございました。

【永妻分科会長】　吉瀬委員お願いします。

【吉瀬分科会長代理】　シミュレーションに関してもう少し聞きたいのですが、高位合成をよく使われていると思うのですけれども、そうしたときに多くの人はCでシミュレーションをするというところで、やはりRTLでやるよりCのシミュレーションは断然早いといったところでは、そちらとの比較もあったほうが分かりやすいという印象がございます。そのあたりも、これからもう少しエミュレータのよさというのを明らかにする上でご検討いただけたらと思うのですが、まだそういう評価はなかったでしょうか。

【池田教授】　具体的なものは、そこまで行き着いておりません。やはりCとRTLで決定的な違いというのは時間の概念がある、ないだと思うのですが。そのあたりをCでもちろん高速でできて、あるべき姿は実は多分CとRTLの等価性検証なのかと思っておりますけれども。それをやった上で、後はちゃんとRTLがきちんと動くということを確認するところが重要になるのかと思うと、なかなかCでやったものが何秒でできて、RTLになったら何千秒になって、それがエミュレータになったらまた何秒になりますというのが本当にいいのかというのはちょっと私の中でもまとまっていないところであります。

【吉瀬分科会長代理】　ありがとうございます。

【永妻分科会長】　エミュレータに関する結果、効果であるとか、また先生より今日説明があったように、やはりいいよね、速いよねと。それをユーザーにも示すといろいろ興味を持っていただけたという一方で、ある意味、この事業のコアであり強みであるエミュレータを、今後このプロジェクト、今も次の拠点が始まっていますけれども、その中でさらに有効に生かしていくための課題とか、先生がお考えのエミュレータをさらに浸透させていくといいますか、効果的に使っていくための施策だとか、そういった展望がございましたらコメントをお願いしたいです。

【池田教授】　多分一番重たい課題であり、ご質問かもしれないのですが、基本的にはこれだけ簡単に使えるようになりました、こんな効果がありますというのをいかにアピールしていくかと。そういった意味では、いろいろな報告会、もしくは、いろいろな場でアピールをしていくというのが一番大きなところかと思っております。そういったものが先ほどのEDAツールではないですが、この拠点に来たらすぐに使えるようになりますというところをアピールしていくことで、少しでも利用者を増やしていく。やはり利用者の人が「よかったね」とアピールをしてくれたら、多分その後また雪だるま式にユーザーが増えていってくれるのではないかと期待はしているところです。

【永妻分科会長】　南川委員お願いいたします。

【南川委員】　一つ教えてください。今回ベンチャー企業の方たちは、多分日本の企業だと思うのですが、仮に今後、海外の企業が日本にそういう開発を持ってくるとして、例えば台湾企業が持ってくるというようなことも十分あるかと思うのですが。そういった企業もこれを活用することというのは可能なのでしょうか。

【池田教授】　実は似たような問合せは幾つかいただいていると聞いております。基本的には、実はその一番の制約はEDAのライセンスが国内ドメスティックな契約になっているというところが大きいと思っております。そういう意味では、ドメスティックの定義というのは国内にオフィスがあればそれでい

いというところもあるので、海外の会社であっても国内にオフィスをつくっていただいて、そこからアクセスしていただければ活用いただけるとは思っております。それを本当にグローバルに展開するためにはちょっと契約を一からやり直さないといけないところがあるので、今のところは少し難しいとも思っておりますけれども、そういった需要が大きくなってくれば、これはチャンスということで何か動くということになると思っております。

【南川委員】　ありがとうございます。

【永妻分科会長】　ありがとうございました。それでは時間が参りましたので、次の議題に移ります。

6.3 実施項目 2-1「AI チップの研究開発に必要な EDA ツールの整備」
実施項目 2-2「人材育成と拠点機能の整備」

実施者より資料6.3に基づき説明が行われ、その内容に対し質疑応答が行われた。

【永妻分科会長】　ありがとうございました。それでは、質問をお受けいたします。吉瀬委員、お願いいたします。

【吉瀬分科会長代理】　利用の仕方について、ネットワーク経由でデスクトップを飛ばして使うというのがメインになるということで。それというのは、ほとんどは関東の方が使っているだけではなく、日本の遠いところでも快適に使えて、これからはもうオンラインで快適に CAD というのは使えそうだという感触でしょうか。

【池田教授】　多分日本の中でいうと、それほどネットワーク遅延は多くなくできると。一つは、この東大側のサイトも、ほぼ東大のハブサイトに直結しているような回線をつくってもらってアクセスができるようにしているということもあるかと思います。そういった意味で、あとは日本のバックボーンがほとんど津々浦々でいっているので、そこのブランチというのはそれほど大きな要因にならないと。それというのは、関東であろうが九州であろうが、恐らくそこのレイテンシーはあまり変わらないのだろうと考えております。

【吉瀬分科会長代理】　もしそのデータがあって、九州でも快適でしたとか、北海道でも快適でしたという例があると分かりやすいかと思うのですが。そういう地域ごとの利用者マップみたいなものがあったら、また用意していただけるといいのではないでしょうか。

【長谷川学術専門職員】　補足をいたします。AI-One、AI-Two の設計を行う上で、外注委託といったことをやってもいますが、その委託先というのが、例えば関西のほうの会社であるとか、そこでもってそのレイアウトの設計といったところもやっていただいたのですけれども、特に支障なしに完了することができたということで、多分距離による影響というのはほぼなかったと思っています。

【池田教授】　加えまして、実は教材整備をするときにも一部は九州のほうに外注しておりました。フィジカルインプリメントのところも、そこの部隊の力を借りてやっているということで、そういった意味では、九州から使っても恐らく、実際のレイアウトではないので、それほどリアルタイム性が重要だったかとかというのはございますが、少なくともフィジカルインプリメントのツールを使う分には何も支障がなかったと理解しております。

【永妻分科会長】　そうしますと、今後地方にそういった箱物をつくる必要はなく、この取組は全てバーチャルといいますか、オンラインですべきだと。それで十分だと、そういうことになりますか。

【池田教授】　100%そうかどうかというのは議論があるところで、やはりリソースがどうしても集中的に使いたいときには手元にリソースがあったほうがやりやすいところがあるのではないかと思います。ただ、やはりいろいろな管理コスト、我々自身もアカデミアのサーバーを管理するのと、やはり民間に対して使わせるようなサーバーを管理するのでは、管理コスト、セキュリティに対する考え方は随分と

違うというところで、かなりコストがかかっている部分でもあります。そういった意味では、そのコストを手元でやってペイするかどうかというのは、やはりいろいろな判断になるかと思っております。そういった意味では、ある部分までは我々のところに少し増強するお金を払っていただいて使えたほうが効率的なのではないかと思うのですけれども、それはいろいろな考え方があると思います。

【永妻分科会長】　ありがとうございました。それでは、杉岡委員お願いいたします。

【杉岡委員】　少しEDAとかサーバーの環境が気になるのですが、これからユーザー数は多分増やしていかれる思うところで、それに対する、やはりどれぐらいユーザー数が増えたらどれぐらいのストレージとかCPUが要るとか、EDAライセンスを増やさなくてはいけないとか、そのあたりの将来に対する見積りといいますか見通し、情報収集というものはやられているのでしょうか。

【池田教授】　恐らく詳細は細かくできると思うのですが、基本的にはユーザーが増えたときにコアを何個割り当てるか、CPUをどのくらい割り当てられているかというのが結構大きなところで。それというのは、やはりこういうツールをこのくらい使いますというので大体決まるというところがありまして。先ほどの話にもあったように、今年4月以降運用していくにあたって、こういうモデル図ですというのを規定しております。それがどのくらいのリソースが必要になるといった判断基準になるのか、このぐらいのユーザーが来たときにこのぐらいのリソースがあれば、もしくは今のこのコア数であればどのぐらいのユーザーまでは賄えるか、もしくは何かビッグプロジェクトが来たらという話がありましたけれども、やはりAI-Twoレベルの設計をしようと思うと、このリソースの8割方を占有してしまうということがありますので、そういうのが来るようなときには、あらかじめ少しリソースをうまく配分しておかないといけないとか、そのあたりはかなり見えてきていると思っております。

【杉岡委員】　気になっているのは、例えば来年度そういうビッグユーザーがいるのか、いないのかとか、その辺がある程度分からないと、あらかじめ準備しておくことも多分できないと思うのです。うちで言えば、営業活動でそういう先を見越して、そういうリソースとかも準備をするのですが。いわゆる営業活動といいますか、そういう将来のお客様のニーズであるとか、例えばそういうビッグユーザーが2社来るのか、3社来るのか、10社目当てがあって多分うちの2社が来るでしょうとか、そういう見積りをするとか、やはりそういうものが重要と思い確認させていただきました。

【池田教授】　ぜひそういった方向で運用を円滑化できればと思っております。

【杉岡委員】　加えてもう一点伺いますが、これはお客様が使ったら、データというのはみんな持ち帰ってもらうという形なのですか。

【池田教授】　データで、EDAが出したものでEDAの何かプロパティが入るものに関しては基本的には出さないようにしております。それ以外のものに関しましては、最後に消す前にどうするかというのを判断していただくということにしております。例えば、もしフィジカルインプリメントまでこの中でやったときには、GDSというのはここからテイクアウトする形にする、それはやはりIPの情報が含まれることもございますので、それをそのままユーザーに返すというのは難しいというところで、そのあたりを判断基準にして、どこまでは返す、どこまでは返さないということを決めております。

【杉岡委員】　そういう意味で気になるのが、例えばGDSⅡは多分センターの中のストレージにあると思うのですけれども、災害リスク、要は例えば東大が火事になってしまって全部駄目になってしまうと大変なことになるので、やはり何拠点とかにミラーリングとかそういうことを考えているのでしょうか。

【池田教授】　その話は実は何度か出てきたことがありまして、やっていかないといけないと思いながらも、今のところできていないところだと思っております。そういった意味では、ほかのデータセンターをうまく間借りするのか、もしくは東大もキャンパスが幾つかありますので、そこのほかのキャンパスに一個間借りするのかという何かを考える、もしくは産総研のインフラを使うというのも含めて少し検討しないといけないと思っております。

【永妻分科会長】　宮森委員お願いいたします。

【宮森委員】　セミナーや設計フォーラムをやられているということなのですが、4 月以降も継続してやられているのでしょうか。

【池田教授】　実はフォーラムに関しましては、4 月以降、毎月実施しております。11 月で 50 回ぐらいになるのではないかという状況です。それからセミナーに関しても、プロジェクト期間に比べると頻度が若干下がっているのですが、実は Cadence との関係に関しましてはこのまま続けていくということで、ついこの間も Cadence のトレーニングというのを実施しております。こういったセミナーも需要を見ながら実施していきたいと思っております。

【宮森委員】　こういったセミナー、フォーラムは無償でやられているのですか。

【池田教授】　フォーラムは無償です。エミュレータのトレーニングも今のところ無償ですけれども、ちょっとそのあたりをどれだけ利用者負担にするかというのはまだ検討できていないところです。いずれにしても、このセミナーをやっている大部分というのは利用を促進したい側の話ですので、そういった意味では当面は無料かと思っております。

【宮森委員】　分かりました。ありがとうございます。

【永妻分科会長】　桑田委員お願いいたします。

【桑田委員】　一つ教えていただきたいのですが、先ほどフォトセンサのような新しいデバイスのサポートの話が少しございましたが、これからどうやっていくかはお考えだということなので、ちょっと確認なのですけれども、この手の物理モデルみたいなものの提供は、デバイスベンター側にサポートをしてもらうように働きかけるのか、それとも、このツール一式の環境を整える側に何らかのリソースを張り付かせてそして開発をしていくのか、どちらの方向になるでしょうか。

【池田教授】　両方だと思っております。やはりモデルに関するにあたって、デバイスベンダーというか FAB の情報がないとどうにもならないというところはあります。ですので、そちらからの情報をもらわないといけないのですけれども、必ずしも FAB がこういった例えばイメージセンサ、それ以外にもいろいろなセンサがあるかと思いますけれども、それに特化したモデルの情報を持っているわけではないといったときに、やはり例えば 1 回トライアルをして、そこからパラメータエクストラクションをして、というフェーズがどうしても必要になるのかと。そういったときにはこのツール、もしくはこのツールのインターフェースに、やはり専門の研究者もしくは技術者も張り付けないといけないと考えています。

【桑田委員】　分かりました。ありがとうございます。

【永妻分科会長】　ありがとうございました。それでは時間が参りましたので、この議題は以上といたします。

【中島専門調査員】　事務局です。ここで、途中退席をされる南川委員より挨拶を賜りたく思います。
南川委員、よろしくお願いいたします。

【南川委員】　本日は、ここで途中退席になりますが、今回いろいろと環境が整い、皆様が使えることになったというのは非常にいいことだと思っております。ぜひこれを続けていっていただきたいと感じておりますし、特に中小にとっては非常によい取組だと思います。ありがとうございました。

6.4 実施項目 1-5「国内外 FAB の活用と最適化ライブラリの研究開発」
実施者より資料6.4に基づき説明が行われ、その内容に対し質疑応答が行われた。

【永妻分科会長】　ありがとうございました。それでは、質問をお受けいたします。吉瀬委員、お願いします。

【吉瀬分科会長代理】　1点伺います。AI-OneとTwoではほぼ同じRTLを使われているのですか。IPを除いたRTLの記述というのは、結構同じものを流用されているのか、それともゼロからつくられているのかを教えてください。

【長谷川学術専門職員】　ゼロからはつくっていないです。AI-Oneについて改善を進めたというところが正確なところだと思いますけれども。AI-OneのSoCを開発する上で得られた知見、例えばデバッグ性が悪いですとか、もう少し内部が細かい情報が見たいといったところについて、AI-Twoのほうでは改善をしたところです。

【吉瀬分科会長代理】　ありがとうございます。Oneをベースに改良を加えてつくられたことと理解しました。お伺いしたかったのは、やはりこういう知見がたまってくると、ユーザーとしてはOneを、つまり28でいいのか、12で使うべきなのかと悩むと思うのです。これの判断基準があると、非常にユーザーにとって有益だと思うのですけれども、そういうデータは提供されているのですか。

【長谷川学術専門職員】　実はAI-Oneのリファレンス版というのをつくりまして、AI-Twoで得られた知見をフィードバックしたような形で、今後、活用可能なプラットフォームとしてはAI-One改造版といったものを拠点のほうでは蓄積しております。ですから、AI-One、AI-Two、どちらを選択するかという点でいきますと、どちらかというとプロセスによって物理IPが異なりますので、12 nmをやられるのであればAI-Twoを、28であればAI-Oneをといった選択をしていただければと思っています。

【吉瀬分科会長代理】　そこを選ぶのはとても難しいので、それを何らかのIPも含めて、どちらのプロセスを使うべきなのかという何らかの指標があるとよいのではないかと。つまり、開発期間と予算の概略があるととても分かりやすいです。

【長谷川学術専門職員】　開発期間でいうと、絵で示しましたように、どちらもRTLから実際のGDSのテープアウトまでは10か月で終わっているというところがありまして、それほど大きな差はないと。ただし、投入しましたハードウエアリソース、例えばEDAツールの本数ですとか、使いましたサーバーの実行時間といったものはAI-Twoのほうがかなり多くなっていますので、こちらについてはユーザーからご相談いただければデータをお示しすることは可能です。

【永妻分科会長】　宮森委員お願いします。

【宮森委員】　非常にAI-OneであるとかTwoというこのプラットフォームは有益で、皆様こういう形でプラットフォームのほうに相乗りしてつくるみたいなことをやられていると思うのですけれども、これは今後こういうのを、シャトルと言うのかもしれませんが、同じように企画してまた募集するといいますか、流す計画はあるのでしょうか。

【長谷川学術専門職員】　今現在ではまだ計画はございませんが、今後その拠点の活動が順調になりましたら、そういったところも含めて検討していきたいと考えています。

【宮森委員】　その場合、また支援みたいなのがないと、なかなか予算的に厳しいところもあるでしょうか。

【長谷川学術専門職員】　拠点に来られるユーザーそのものがそれほど資金を潤沢に持っておられるわけではないので、やはり例えば6社なら6社で集まって、全ての開発費を自社で分担し負担するというところになると、なかなか厳しいものがあると思っています。そこから先はどういう仕掛けをつくってサポートしていくかというところですが、ベンチャーがお金を入れてくれて、何かスタートアップの評価をしたいというようなことがあれば一つの手段かもしれないですけれども、そうでないと、やはり国の支援なりなんなりがないとちょっと難しいといったところはございます。

【宮森委員】　分かりました。ありがとうございます。

【永妻分科会長】　それでは、杉岡委員お願いいたします。

【杉岡委員】　資料9ページのチップで、AiIP1、P2、P4と場所によって配置が違うので、外部とのインターフェース、あとメモリとかCPUとのインターフェースというのはそれぞれのIPで多分タイミングが変わってくるとは思うのですけれども。その辺の外部とのタイミング情報、そういう周りの情報というのは、どこを使いたいとかいうときに何か選択できるのですか。

【長谷川学術専門職員】　誠に申し訳なかったのですが、やはりチップのフロープランというのが一番最優先で、各IP会社の持ってこられるIPの大きさがかなり違う、大きさが違うというものがありまして、そこをどこに置いたら全てのIPが収まるかというところを一番のポイントにさせていただきました。そういった意味でいうと、ちょっと温度差はあったと思いますけれども、一応このIPはレイテンシーがセンシティブですか、それともスループットがセンシティブですかといったところはお聞きして、可能な限りレイテンシーがセンシティブといったものをメモリのほうのIP側にといったような配置はさせていただきました。

【杉岡委員】　次にもし新しいIPをやろうとすると、そういう協議みたいなものが必要になるということですか。

【長谷川学術専門職員】　そうなります。

【杉岡委員】　分かりました。ありがとうございます。

【永妻分科会長】　今の異種のIPコアを複数プラットフォームに乗せるという話ですが、多分これは海外にも例はなく、このプロジェクトで初めて行われたことだと思います。そのメリットとして、資料には少し書かれておりますが、開発コストが低減されるであるとか、あるいは開発期間が短くなる等といったことをユーザーの皆様に紹介するときに、例えば図表等を使って分析し、もっとアピールされるとよろしいかと思いました。多分このプラットフォームを当初考えられたときは、ユーザーが求めるものを想定されていたと想像します。先ほどこの仕組みを今後も存続させたいという話がありました。コスト面での問題はあるとは思いますが、これをぜひ早期に、次のAIDLの中で実現していくための方策を考えていただきたいと思います。エミュレータも同様ですが、せっかくここまで面白い取組をされて、約4年かけて実効性が見えてきました。このような新しいプラットフォームの考え方をもう少し踏み込んで検討し、根付かせるためにはどうしたらよいか、たぶん時間はかかるかもしれませんが、長谷川様に今何かお考えがあればお聞かせください。

【長谷川学術専門職員】　そういった意味で、効果がどのぐらいあったのかということを測る手段というので今思いつくものが1点ありまして、設計においてフロントエンドの設計と物理設計と2つに大きく分けると分けられますけれども、フロントエンドの設計はどちらかというとIPがn倍になっても短くなるとか、短縮されるということはあまりございません。一方で、物理設計のほうというのは、IPの数が多くなってもそれほど差分があるわけではないですし、チップサイズそのものに影響されますけれども、そういったところでいうとあまり差分がないといったところがありまして、この辺のかかったリソースですとか、時間ですとか、そういったところをもう少し深掘りし、データ分析をして、そういったところからもうちょっと細かいこういう効果があるのではないかというところをお示しすることは可能かと思っています。

【永妻分科会長】　ありがとうございます。ぜひ継続的に進化させていただけたらと思います。それでは、吉瀬委員お願いします。

【吉瀬分科会長代理】　今回はあまり話題にはなっていなかったのですが、やはりプリント基板をつくるのが大変で、一部途中から予算がついていると思うのですけれども。例えば資料24ページ目でプリント基板をつくられていますけれども、そのサポートというのはどれくらい進んでいるのですか。ベンダーさんごとにつくっていたら大変ではないかと。

【長谷川学術専門職員】　プリント基板ですが、これはAI-Oneをつくった後で、AI-Twoに移行するときにそれほど変更しないで再利用が可能になっていましたので、こういった設計データを準備しておいて再利用していくということによって、開発コストそのものはかなり抑制できるのかと。あとは今後のところですけれども、インターフェースのボールの配置、これを標準化してしまって、できればプリント基板が同じものを使い続けるといったようなことが可能かと思います。

【吉瀬分科会長代理】　質問は、拠点としてユーザーにこういうサービスというのでしょうか、そういうのは今されているのですかといったところになります。

【長谷川学術専門職員】　今のところそこはサポートのメニューには入っていないですけれども、どちらかというと、シリコンの開発で外部の方を紹介するのと同じように、プリント基板メーカーも紹介することが可能ですので、拠点でこういうことができました、この方にお願いしたら非常に短期間でできるのではないかといったことは提供できるかと思います。

【吉瀬分科会長代理】　分かりました。

【永妻分科会長】　皆様ありがとうございました。それでは、時間が参りましたので、この議題は以上といたします。

（非公開セッション）

6.5 研究開発項目①「AIチップに関するアイディアの実用化に向けた開発」

省略

7．全体を通しての質疑

省略

（公開セッション）

8．まとめ・講評

【宮森委員】　今日は一日ご説明いただきありがとうございました。この事業をやる中では、コロナ等の環境変化があったということですが、非常に柔軟に対応をされ、目標以上の成果を出していただけたと認識いたしました。特にエミュレータを含んだ環境の構築であるとか、あとは非常に独自性の高いAI-One、TwoのSoCのプラットフォームの立ち上げ、それで複数のプロジェクトを同時にSoCの開発を成し遂げたところが非常に大きな成果だったと思います。エッジAIチップの開発が、今後加速する日本独自のプラットフォームであることは間違いないと思っていますが、一方で、今回いろいろ出てきた750億円という蓋然性みたいなお話もございます。そういったAIプロセッサの市場を、それを日本がどうアクセスするかという話であれば、もっと大きくできる可能性もあるのではないかということを期待していますが、そのためには当然チップだけではなく、システムを含めて、こういった産業を日本の中で地位をつくっていくといったところが求められるでしょうか。今、先端ロジックに対しての投資というのは盛んに行われていますが、そういったロジックの向上の活用、FABの活用であるとか、d.lab等々の様々な先端ロジックの開発設計をやるような組織との連携であるとか、産総研もそうだと思いますが、今、産総研もAIST Solutionsというのをつくって、その成果の事業化というところを進められていると伺っていますので、ぜひそういったところと合わせてアウトカム以上の成果を日本全体として出していく、そのきっかけになればいいと思います。今後とも期待しておりますので、どうぞよろしくお願いします。今日はどうもありがとうございました。

【永妻分科会長】　ありがとうございました。それでは、杉岡委員お願いいたします。

【杉岡委員】　今日は一日説明をありがとうございました。設計のオープンな環境ができたということで、非常にそれはすばらしいと思っております。今日議論した中で、まだ例えばリソースの増強をどうしていくのかとか、災害リスクをどうするのかという課題もございましたが、今後そういうところも改善していってもらえればいいと思っております。また、もう一個の助成事業のほうで、そちらも非常に結果が出始めているということで、やはりこれから期待するのは実際の SoC ASIC、そういうところまで助成事業をサポートしていただいて、実際にAIのチップが世界に売れるとか、そういうところまでサポートしていただければいいかと思っております。あと、これから重要なのは人材育成です。学生がハードから離れてきているという話もありますので、やはりこういうプラットフォームがあると多分すごく入りやすいと思いますし、ぜひ大学の先生方中心に、学生のハード設計のところの裾野を広げる活動も一緒にやっていってもらえればと思いました。ありがとうございました。

【永妻分科会長】　ありがとうございました。それでは、桑田委員お願いいたします。

【桑田委員】　今日は半日の出席でしたが中身の濃いものを聞かせていただきまして、本当にありがとうございました。当初の目的どおり、AIチップのベンチャー等が使うような環境の整備が着実にできているということ、それからワンストップの窓口でできていくということで、本当に地道な開発作業だったと思いますが、本当に敬意を表したいと思っております。一方で、ここまでできているのならば、先ほど来ほどから出ていますとおり、AIチップを使った新たなマーケットというのが、もう大きな口を開けて待っているわけで。そこに対して一種のオープンイノベーションの場ができたと理解すると、もっと知財をうまく使っていくとかその場をうまく使っていく、あるいは有望な戦略的な市場のユーザーとうまく連携をしていくというようなところまで踏み込むと、我々の国が持っているIPをうまく世界へ持っていけるような、そんな戦略的な動きが取れるのではないかと期待をするところでございます。ぜひ今日の議論もベースに、さらに発展することを祈念したいと思っております。今日は本当にありがとうございました。

【永妻分科会長】　ありがとうございました。それでは、吉瀬会長代理お願いいたします。

【吉瀬分科会長代理】　今日一日お話を聞かせていただいて、AI-One、AI-Two、TSMC の 28 ㎚、12 ㎚というプロセスで IP を整備しながら SoC をつくり、そこで Linux を動かし、さらに AI アクセラレータの動作もきちんと確認しているという、この作業を見ただけでも「本当にできたのだな」という、分かっている人間からすると、そういう印象を持った次第です。さらに、それだけではなく、ハードウエアエミュレータの環境を整備し、デバッグもやりやすい環境が出来上がったと。今回は内山様、池田先生、長谷川様にご発表いただいたのですが、これだけのプロジェクトは皆様が同じ方向を向いて必死にやらないとできないプロジェクトだったのではないかとすごく感じました。5年前、始める前につくりたいと思い描いていた夢のような環境が今できたということで素直にとてもすばらしいというのがまず一つですが、その上で、つくりたかったものができて、これが多分きっとスタートなのだろうというもう一つの気持ちもございます。これから共有しなければいけない未来というのは、多くの企業の方々がチップを造って、そのチップで世界に戦っていける。そういう環境をこれからどんどんつくっていかないといけないのだろうという、これからのビジョンも少しずつ見え始めたというところで、この5年間の非常によい成果を見させていただきました。ありがとうございました。

【永妻分科会長】　ありがとうございました。それでは最後に私からお話しさせていただきます。まずは5年間にわたりまして、本プロジェクトの成功に向けてご尽力されましたプロジェクトリーダーの中村先生、それから研究開発責任者の内山様、東京大学拠点の池田先生をはじめ、産総研、東京大学、福岡AISTの関係者の皆様、そしてこのプロジェクトをマネジメントしてこられましたNEDOの担当推進部の皆様に心より敬意と感謝の意を表したいと思います。このプロジェクトは、共通基盤をつくる、つまりインフラをつくると同時に、ユーザーを掘り起こして教育していくという2つのミッションを持

っておりました。いずれも、我が国の半導体産業、ひいては情報通信産業を発展させたいという、まさにこれは利他の精神がなければ、この 5 年間継続はできなかったと私は思っております。そして、このプロジェクトは、プロジェクト名にもありますとおり、「開発の加速」というのが非常に大きなミッションでございました。2020 年の中間評価でも同席させていただいたのですけれども、その後の 3 年間の加速は、ユーザー数にも見られるとおり大きなものでした。そして何よりも重要なのは次の枠組み、つまり New AIDC を順調にスタートされたということだと思います。今日展示会場で拝見しましたが、ユーザーに向けたホームページも素晴らしいです。ユーザーを引き込むよう工夫され、もう既に近々の予約が埋まっていたりと、非常に感動いたしました。それから、折しも皆様ご案内のように、今後、大きな FAB が我が国で建設されようとしております。つまり FAB と設計、これは言うまでもなく車の両輪でございます。今後このプロジェクトの成果を、10 年、20 年と進展させていただくことを切に願います。最後に、委員の皆様におかれましては、本日数時間の長きにわたり活発なご討論と大変有意義なコメント、アドバイスをいただきましたことに改めて感謝を申し上げたいと思います。大変お疲れさまでございました。

【中島専門調査員】　永妻分科会長をはじめ、委員の皆様ありがとうございました。それでは、委員の皆様からのご評価を受けまして、まず IoT 推進部の林部長から一言お願いいたします。

【林部長】　IoT 推進部長の林でございます。本日は、委員の皆様におかれましては、公開セッション、そして非公開セッションも含めまして、長い時間にわたりまして本当に貴重なご意見をいただきました。幅広い視点、専門的な視点、視座の高い視点、大変ありがたく頂戴した次第でございます。誠にありがとうございます。今日いろいろご議論いただいた中でも、特にアウトカム目標についてご議論いただいたと思っております。今回終了時評価ということではございますけれども、政策当局の求める政策目標というのが、まさにアウトカム目標ということでございます。こちらについては 2032 年ということで、もうちょっと先のところで実現をしていこうという政策目標ではございますが、NEDO としてしっかり見ていかなければいけない点について、しっかりと今回の先生方のご意見を踏まえてフォローアップをしていきたいと思っております。この分野は変化が非常に早くもございますので、そういう意味では関係者の皆様とよく日々の状況を見ながら考えていかなければいけない、そして臨機応変に対応していかなければいけないと考えます。今回のご意見をよく踏まえて勉強してまいります。改めまして、本日は誠にありがとうございました。

【中島専門調査員】　林部長ありがとうございました。続きまして、本プロジェクト PL の中村先生から一言いただきます。よろしくお願いいたします。

【中村 PL】　プロジェクトリーダーをしております東京大学の中村と申します。本日は分科会の先生方におかれましては、非常に長きにわたりまして真摯な議論をしていただきまして大変ありがとうございました。また、いろいろと示唆に伴うご助言をいただいたと思っております。今日は、テーマごとに産総研の担当者、あるいは、東大の担当者が発表したかと思いますけれども、このプロジェクトを始めたときに、ユーザーは全国に散らばっていてもいいのですが、ちゃんと知見のノウハウを蓄積するという拠点としては一か所になくては駄目だということで、この AI チップ設計拠点は 1 か所、東大に置きました。産総研の方には多少動いてもらうことになりましたが、東大にちゃんと机をおいてやってもらったというところが最初のスタートとしてはよかったものと思っています。おかげさまで、ある程度知見を積むことができました。今日、分科会の先生方から過分な評価をいただきましたけれども、終了時評価というタイトルになっておりますが、これがスタートだということで、スタートにやっと立つことができたと思っております。特にエミュレータとか AI-One、Two では高い評価をいただいたと思いますが、そこでためた知見をこれからどうやって日本全体に広げていって、ユーザーを掘り起こして、そして産業を展開していくかというところであり、それは非常に責任が重い話であると受け止め

ております。その点に関しましては、私も微力ではございますが、ぜひ分科会の先生、あるいは皆様のご支援をいただきながら、ぜひいいものにしていきたいと思いますので、今後ともぜひご支援のほどどうぞよろしくお願いいたします。本日は大変ありがとうございました。

【中島専門調査員】　中村先生ありがとうございました。それでは最後に、経済産業省小林企画官より一言頂戴いたします。よろしくお願いいたします。

【小林企画官】　皆様、本日は一日お疲れさまでした。まず一日にわたって貴重なコメントなどを議論していただいた委員の先生方の皆様に御礼を申し上げます。また 5 年間にわたり本事業をマネジメントしていただきましたNEDO IoT 推進部の皆様にも厚く御礼を申し上げたいと思います。そして、3 月から実際に拠点が走り始めるまでの間、5 年間、これまで推進していただいた実施者の主に産総研、東大の皆様にも厚く御礼を申し上げます。ただいまの永妻先生のコメントにありましたけれども、この事業が始まった頃は、恐らく今ほど「半導体、半導体」と連呼されるような日々ではなかったと思います。むしろ AI は連呼されている状況であったと思いますが、ここに来て半導体が連呼され、むしろ AI と半導体の関係が非常に重視されるような状況になってきたということで、ちょうどよく立ち上がったと考えております。現在、試作はTSMC、台湾にある工場などで試作されていると思いますが、今後日本にTSMC なり、あるいはラピダスなりの工場が実際に出来てきて、今 AIDC で設計したチップが将来的にはそういったところで製造され実用化される、そんな日が来るのを非常に大変楽しみにしております。一方で、その途中、試作したチップをもう少し国内でコスト的に安くできるような環境整備も今後もしかしたら重要になってくるのではないかと。そういうのは産総研、あるいは公的研究機関がやはり担うことにもなってまいりますので、そういった観点からの議論も今後必要ではないかと考えております。実施者、あるいは委員の先生方の皆様にはそういった観点からも今後も議論を続けていただきたいと考えております。とにかく 5 年間お疲れさまでしたと御礼申し上げたいと思います。本日はどうもありがとうございました。

【永妻分科会長】　どうもありがとうございました。それでは、以上で議題 8 を終了といたします。

9．今後の予定

１０．閉会

配布資料

資料１	研究評価委員会分科会の設置について
資料２	研究評価委員会分科会の公開について
資料３	研究評価委員会分科会における秘密情報の守秘と非公開資料の取り扱いについて
資料 4-1	NEDO における技術評価について
資料 4-2	評価項目・評価基準
資料 4-3	評点法の実施について
資料 4-4	評価コメント及び評点票
資料 4-5	評価報告書の構成について
資料５	プロジェクトの概要説明資料（公開）
資料 6-1	プロジェクトの詳細説明資料（公開）
資料 6-2	プロジェクトの詳細説明資料（非公開）
資料 7-1	事業原簿（公開）
資料 7-2	事業原簿（非公開）
資料８	評価スケジュール
番号なし	質問票（公開 及び 非公開）

以上

以下、分科会前に実施した書面による公開情報に関する質疑応答について記載する。

「AI チップ開発加速のためのイノベーション推進事業研究開発」（終了時評価）分科会

ご質問への回答（公開分）

資料番号・ご質問箇所	ご質問の内容	委員名	回答
			説明
資料 6-2/7-2	【確認】研究開発項目①（助成事業）については、すでに事後評価委員会において、それぞれのテーマに関する目標達成状況の評価（ならびに全体達成度の評価）がなされているようですので、今回の委員会（終了時評価）では、各テーマの技術的詳細については触れず、上記評価結果を客観的に踏まえた上での議論をするということでよろしいでしょうか。	永妻分科会長	ご認識のとおりで、今回の評価における被評価者は NEDO でございますので、研究開発項目①については NEDO が実施してきた内容を評価いただくのが趣旨でございます。各テーマの技術的詳細については個別に終了時評価を行っているため、今回の議論対象ではありません。
資料 5 P.8	助成事業と委託事業との関係において、「拠点利用による課題や改善点・要望などのフィードバック」として、具体的なフィードバック（ユーザからの要望）と、それに対応した改善施策の事例をいくつか教えてください。	永妻分科会長	事例としまして、拠点利用における EDA ツールのライセンス数・種類については助成事業者を含む拠点利用者のフィードバックを入れながら 3 カ月単位で見直す運営をしております。また、拠点への設計データなどのアップロード・ダウンロード手法についてはユーザの利便性と設計データ・IP のセキュリティ保護のバランスをとりながら拠点の仕組みに反映しております。助成事業者からは設計例の充実化の要望については、AI-One、AI-Two の設計データ、設計フローをプラットフォーム化し産総研の共用施設の中でプランとして対応しております。

資料番号・ご質問箇所	ご質問の内容	委員名	回答 説明
資料 5 P.10	中小・ベンチャー企業が行うチップの設計・検証から試作までのコストは、平均的にいくらかかっているのでしょうか。本資料に記述されているように、今も 10 億円（以上？）必要なのでしょうか。一般的な開発コスト（と内訳）をご教示いただけると助かります。	永妻 分科会長	開発コストについては、チップを実装するプロセスノード、チップサイズ、各社と EDA・IP ベンダ、ファウンダリとの関係などで変化すると思います。円安の影響もあり、開発コストは現状でもそれ相当の予算を用意する必要があると考えております。
資料 5 P.15	赤色の背景色で書かれた「試作・量産」は、研究開発項目①に参画した企業によるものを指していますか。また、「民間企業等による拠点利用」の方は、対象は、本事業と同様に、ベンチャー・中小企業になりますでしょうか。大学や国研も含みますか。もし、大企業が対象ではないとしたら、大企業はすでに独自に設計基盤を構築しているので、参画する可能性がないということでしょうか。	永妻 分科会長	赤色の背景色で記載した「試作・量産」はご質問のとおり、研究開発項目①に参画した企業によるものとなります。また、拠点の利用機関は、大学、国研、大手システムメーカー・サービスプロバイダー等も含んでおり、特にベンチャー・中小企業に限定しておりません。
資料 5 P.16	「知財運営委員会」について、これまでの活動実績についてご教示ください。標準化という観点の具体的な説明がございませんが、我が国の設計基盤の構築においては必要はないのでしょうか。	永妻 分科会長	拠点事業に関しては、毎月一回、プロジェクトリーダー、NEDO、事業者で進捗会議を開催し、プロジェクトを管理・運営して参りました。それに同期し、必要に応じて知財についても検討、議論させていただきました。標準化につきましては、今回の拠点事業では現在主流である商用ベンダの EDA ツールや IP を活用した開発環境構築に重きを置いておりましたが、今

資料番号・ご質問箇所	ご質問の内容	委員名	回答 説明
			後、RISC-V や OpenSourceEDA/IP などのオープンな活動もウォッチしながら適切に対応したいと考えております。
資料 5 P.21	2032 年での売り上げ予測を計算する上で、「本事業の普及率 20%で算定」と書かれていますが、これは本事業の成果、具体的には設計共通基盤を活用したものという意味でしょうか。 【コメント】アウトカム目標は、事業のスタート時に設定されたもので、また同ページのマーケットトレンドも当時のものかと思います。今回の終了時評価での見込みは、この市場トレンドを現状のものに更新して行う方がよろしいのではないでしょうか。現在の AI 技術の進展をみますと、2032 年時の市場は、もっと大きなものになってはずです。1 桁近く変わりませんか。	永妻 分科会長	アウトカム目標につきましては、研究開発項目①の成果を活用したチップ試作・量産に加え、研究開発項目②で整備した AI チップ設計拠点の利用を通じて実現できればと考えています。また、コメントいただいた市場トレンドにつきましては、2022 年の AI チップの市場調査結果からも、為替レートの考え方もございますが、増加する可能性があることを確認しました。
資料 5 P.25/P.27	活用件数として目標値 15 件以上に対し、74 件の件数を達成したことは素晴らしいと思います。この数字は、74 社という意味でしょうか。それともリピータを別件としてカウントしておられますか。あらためて、目標値を 15 件に設定した根拠を確認させて下さい。また、この値は、事業を進めるうえでどのような影響を与えたでしょう	永妻 分科会長	活用件数の数字ですが、研究開発テーマ単位のため、複数件あったリピート利用も別件としてカウントしました。また、目標値を 15 件とした理由は、事業開始前の想定利用者への事前ヒアリング等から、拠点整備に求められる機能およびその機能へのフィードバックをいただける想定利用者数を考慮して設定しました。

資料番号・ご質問箇所	ご質問の内容	委員名	回答 説明
	か。今後同様のプロジェクトを立案、運営する上で、目標値をどのように決めるかの重要な事例になると考えます。		
資料 5 P.31~48	マネジメントに関してお尋ねします。中間評価結果への対応、情勢変化への対応等、非常にポジティブなマネジメンを行われていると思いますが、円滑に遂行する上でのポイントや留意された点は何でしょうか。また、終了時点において、足らなかった点、改善のために今後に継承すべき事項が、もしありましたらご教示ください。なければ結構です。	永妻 分科会長	研究開発成果最大化のために、外部有識者の視点を取り込むとともに、プロジェクトリーダー・事業者・NEDO 関係者間での議論を通じてクリアすべき課題を明確にした上で、プロジェクトマネージャーが中心となり課題解決に必要な取組を行い事業の推進につとめたことが要因かと思われます。
資料 6-1 P.4	サテライト拠点（福岡システム LSI 総合開発センター）を入れたことによる本事業への効果についてご教示下さい。将来、北海道や四国等、日本各地に展開する必要性はありますか。	永妻 分科会長	九州地区はシリコンアイランドと言われるほど半導体関連の事業所が集積されており、拠点構築において設計のみならず様々な観点から協力、フィードバックをいただきました。現在、拠点の設計環境は遠隔で利用できる仕組みになっており、物理的なサテライト拠点を今後新たに設ける必要性はありませんが、北海道をはじめ今後も全国各地との連携は強めてまいります。
資料 7-1 P.36	エミュレータはこの事業のコアのひとつだと思いますが、我が国には強いアレルギーがあったと書かれています。様々な啓蒙活動や実践を通して、それを払拭されて来られたようですが、ユーザーの声や利用件数の増加など、事	永妻 分科会長	大規模論理のエミュレータ利用を AI-One,AI-Two 以外に行ったユーザは 2 件あり、いずれも目標とした検証を完了することができたとのことです。また、消費電力推定のための大規模テストパターン実行にエミュレータを活用した事例がありました。

資料番号・ご質問箇所	ご質問の内容	委員名	回答
			説明
	業の効果を示す例などありましたらご教示ください。		エミュレータ講習会に参加されたユーザからは今後の開発にエミュレータを使用してみたいとの声も上がっており、継続して相談をさせていただいています。
資料 6-1 P.17 2. 成果;ｴﾐｭﾚｰﾀ･ｼﾐｭﾚｰﾀ協調検証環境による検証速度の向上	資料 5 の 13 ページにあるとおり、「大規模設計（エミュレータ）による差異化」が本事業の意義のひとつです。エミュレータ・シミュレータの検証に関して、x100,000 などの速度向上の数字が示されていますが、その根拠が不明です。どのような計算によって、この速度向上が得られたのかを説明してください。	吉瀬分科会長代理	シミュレーションではループを 500 回実行するのが非現実的なため 50 回のデータ(419,807 秒)のみを示していますが、ほぼループ回数（実行ステップ数）に比例した時間となるため、500 回では 4,000,000 秒となると推定されます。それに対して、エミュレータで実際 500 ループした際の実行時間が 41.57 秒なので約 100,000 倍となっています。
資料 6-1 P.19 2. 成果;ｴﾐｭﾚｰﾀによる検証速度の向上 :AI-ONE の例	エミュレータの速度向上率に関して、「今回は、短いテストサンプルのため」という記載がありますが、実際の利用を想定した大規模設計の検証結果は得られなかったのでしょうか。そのようなデータがあれば、それらを示しながら、本事業で明らかになったエミュレータの活用に関する有用性を説明してください。また、エミュレータの活用に関して、明らかになった課題を明確にしてください。	吉瀬分科会長代理	大規模設計検証という観点では AIOne の検証を行ったという意味で 0.5B ゲート以上の設計対象に対する検証を行っており、十分当初の目標を達成していると考えます。ここで、「短い」との記載は、たまたま AI-One SoC プラットフォームでの検証においては、PCIe の検証等比較的短いテストプログラムでの検証となっていて、アプリケーションそのものの検証まで至っていないことを意味しており、それはアプリケーションが各 AI 提供社に起因するものであるためです。そのため、「長いベクトル」の例として 18 ページ（RISC-V SoC の OS 起動、暗号コアの網羅的検証）で検証を行っており、19 ページではそれらと比較して「短い」と表現しました。

資料番号・ご質問箇所	ご質問の内容	委員名	回答
			説明
資料 6-1 P.25 3. 2023 年度からの拠点運営:利用実績	17 件の活用件数とありますが、どのようなプランとオプションで利用されているのでしょうか。 2023 年度のこれまでの実績は想定通りのものであり、今後の AI チップ設計拠点の運営に関して重大な問題点はないという状況でしょうか。	吉瀬 分科会長 代理	9 月はその後利用者が増えて、20 件になりました。 20 件の内訳は、スタンダードプラン:2 件、PDK/IP 持ち込みプラン:17 件、ベアメタルサーバプラン:1 件です。オプションは各プロジェクトで様々ですが、追加ユーザ(8 件)、追加メモリ(4 件)、追加ストレージ(2 件)、追加設計環境利用時間(1 件)などの利用があります。10 月は 24 件になっており、初年度の運用としては比較的順調に推移していると考えますが、更に拠点運営を継続的な形にするにするために、チップ開発を伴う国プロや共同研究での活用や大手システムメーカーやサービスプロバイダからの活用なども促進していく必要があると考えております。
資料 6-1 実施項目 1-5 P.6~P.14	同資料の P.4 にある特に国内 FAB 利用に向けた取り組みについて、P.6～の成果としてどれほどの利用実績向上へ貢献したのかについての説明が読み取れない為、教えて頂きたい。	桑田 委員	仕掛けとしては国内ファブとして国内ファブ 2 社と AI チップ設計拠点での PDK 提供による開発環境の構築を進めました。詳細は非公開セッションで議論させていただきたく存じます。
資料 5 P.21	売上目標 750 億円について、2023 年度の日系企業の占有率 20%(約 0.38 兆円)に対して、本事業の普及率 20%とした根拠はなんでしょうか？目標達成の蓋然性、見通しはありますか？	杉岡 委員	普及率は、事業開始時に当時の状況を考慮して見積もった数字です。目標達成につきまして、研究開発項目①の成果を活用したチップ試作・量産に加え、研究開発項目②で整備した AI チップ設計拠点の利用を通じた売上げ向上で実現できればと考えています。

資料番号・ご質問箇所	ご質問の内容	委員名	回答 説明
資料 5 P.22	研究開発項目①の「事業終了後に顧客へサンプル提供」と説明がありますが、現状、試作したチップは完成から 1 年以内に破棄する必要があると思います。事業を考えた場合、サンプルの利用期間が短いため、もっと伸ばす事はできないでしょうか？	杉岡委員	サンプルの利用期間については、試作品として「消耗品」の区分にするのであれば 1 年以内に破棄する必要が生じます。しかし、将来的に外部へのサンプル品提供を想定した上で、当該サンプルを助成事業者の資産として登録するのであれば、1 年以内に破棄する制約はなくなります。ただし、当該サンプルは NEDO の助成金交付規程により処分制限財産となるため処分（助成金の交付の目的に反して使用し、譲渡し、交換し、貸し付け、または担保に供しようとする場合）をする際の制約を受けますが、NEDO の承認のもと顧客への有償配布も可能です。
資料 5 P.53	実行化率 58.8%は 2018 年~2021 年の助成事業の結果だと思いますが、目標の 2023 年度以降の実行化率 50%達成の見込みはありますか?	杉岡委員	「実用化率 58.8%」は、2023 年現在の状況でございますので、実用化率 50%は達成しております。
資料 5 P.27/P.52	AI チップ設計拠点の活用件数が 74 件と目標を大きく超えています。助成事業では 17 件が紹介されています。この中で実際にエッジサーバーに搭載されそうなチップは何件くらいあるものでしょうか？	南川委員	研究開発項目①助成事業では、現時点で搭載はございませんが、対象となる可能性のあるチップ設計計画が少なくとも 5 件あります。 また研究開発項目②委託事業の AI チップ設計拠点の構築に協力いただいた機関につきましては、エッジサーバー向けチップ開発を想定して協力いただいた機関もあると理解しております。本拠点を引き続き活用いただき、エッジサーバー向け AI チップ開発に協力したいと考えています。

資料番号・ご質問箇所	ご質問の内容	委員名	回答
			説明
資料 5 P.39	12nm FINFET プロセスによる標準 SoC の設計技術を開発した。また、併せてパッケージ実装・ボード設計および実装の環境も構築しているようです。これは FCBGA のようなパッケージと理解していますが、Chiplet のようなものは可能になるでしょうか？	南川委員	今回のパッケージ実装に関しては、チップレットのような複数チップの実装は対象にしておりません。
資料 5 P.39	今後、12nm より微細プロセスによる開発環境に関しての計画はあるのでしょうか？	南川委員	今後の国プロや共同研究などの成果を取り込みながら、微細プロセスにも開発環境を拡大できればと考えております。
資料 5 P.21	2020 年の PWC の AI チップ市場の予測がありますが、現状の予測変化、その結果として本事業のアウトカム目標の見直しがありましたら、教えてください。	宮森委員	2022 年に AI チップの市場規模を調査したところ、為替レートの考え方もございますが、増加する可能性があることを確認しました。なお、本事業のアウトカム目標は変更しておりません。
資料 5　P.58 資料 7 V P.21	助成事業テーマでの特許出願状況がまとめられていますが、委託事業での特許出願について教えてください。委託事業での知的財産(ノウハウを含む）の保護(他者からの侵害に対する防衛など）の対応について教えてください。	宮森委員	委託事業では AI アクセラレータ方式に関する特許を一件出願し、今回の PJ 成果のコア部分の他社の侵害に備えております。その他、委託事業での知的財産（ノウハウ）である、設計クラウド構築法、AI チップ開発のための共通基盤技術については、オープン・クローズ戦略も考慮して対応しております。

資料番号・ご質問箇所	ご質問の内容	委員名	回答 説明
資料 6 P.14	CPU IP として RISC-V は用意されていないのでしょうか？今後、RISC-V を CPU としてプラットフォームに搭載する計画はありますか？	宮森委員	RISC-V の IP としての品ぞろえはまだ行っていませんが、協力会社の IP に含まれる RISC-V CPU を起動用 CPU として選択する機構およびデバッグインターフェイスを AI-Two にインプリメントし、実チップでの起動用ファームウェアの動作確認は行っております。デバッグ機能についても動作の確認は行っております。どの CPU コアを拠点としてサポートしていくかについては現在実施されている RISC-V 関連の国プロとの連携も考慮しながら検討したいと思っています。
資料 6 P.16	2023 年 4 月以降、AI-One、AI-Two のような評価プラットフォームは計画されているのでしょうか？	宮森委員	現在、産総研、東大等が中心となって実施している NEDO「チップレット設計基盤構築に向けた技術開発事業」の成果をプラットフォーム化することは検討しております。
資料 6 P.56/P.119	助成事業テーマの独自 IP コア開発においては、エミュレータはどのように活用されたか、教えてください。	宮森委員	研究開発項目②に関するご質問と思いますので、その内容で回答いたします。 エミュレータを使ってホスト PC の OS を含めシステム全体を動作させ、ソフト開発環境のデバッグを行いました。これにより、独自 IP の評価ボード配布に合わせてデバッグ・検証済みのソフトウエア開発環境の配布を行うことができました。
資料 6 P.42/P.45	CAKE 方式について教えてください。	宮森委員	Cadence Emulator 内でのクロックのモデル化（取り扱い手法）の一手法で、エミュレーション高速化に効果的な手法とされています。詳細は、Cadence の NDA に抵触するためここでは差し控えますが、Clock Averaging with Ko-incident Edges(おそらく Ko は Co をもじったものと考えられます）で、通常のシミュレーション同様の手法 SCM (Simulation Control Module)と比較して高速化できる手法です。

資料番号・ご質問箇所	ご質問の内容	委員名	回答 説明
資料 6 P.117	独自 IP コアの搭載において当初想定外に時間がかかったとあります。この問題以外にも、提供した設計環境に対する助成事業での独自 IP コア開発会社から、開発環境、評価プラットフォームなどに対する具体的な評価、フィードバックがあれば教えてください。	宮森委員	研究開発項目②に関するご質問と思いますので、その内容で回答いたします。 以下、AI チップ設計拠点利用者からいただいたコメントです。 ・AI-One のような SoC タイプのシャトルに IP を搭載するような仕組みがあると、当社のような IP ベンダとしては、注力したい自社 IP のアルゴリズム設計や省電力設計に注力でき、かつ IP シリコン実績も得られるので非常に魅力的です。是非今後も定期的に AIOne/Two のようなシリコンまで作る仕組みがあると大変ありがたいです。 ・AI-One, AI-Two では AIDC が EDA ツール用スクリプトを用意され、EDA ツールの細かい設定作業をやらずに済んだが、エラー対応する際には例えば Synopsys のオンラインマニュアル SolvIt にアクセスしたい。 ・EDA ツールに関して、設定やスクリプトなどの環境が整っており、とても使いやすかった。一方で NoMachine を使用した作業環境は制限が多く感じた。特に、外部とのデータのやり取りが不便に感じた。 ・今後の利用においては、色々なケースに対応できるよう、複数のプログラムが提供させることを望みます
資料 7-1 P.115	製品化のためには、例えば、必要な機能だけを搭載した SoC の開発が必要になると考えられます。製品化を想定した、開発環境、評価プラットフォームなどの改善などの取り組みがあれば教えてください。	宮森委員	AI-One, AI-Two プラットフォームを用いれば、その必要機能だけを選択した SoC の開発は可能な状態になっております。現状の AI チップ設計拠点では、そのための設計環境を提供しております。今後も、利用者にとって使いやすい半導体チップ設計拠点として機能し続ける活動を継続します。

参考資料２　評価の実施方法

NEDO における技術評価について

1. NEDO における技術評価の位置付けについて

NEDO の研究開発の評価は、事業の実施時期毎に事前評価、中間評価、終了時評価及び追跡評価が行われ、研究開発のマネジメントにおける PDCA サイクル（図 1）の一角と位置づけられています。さらに情勢変化の激しい今日においては、OODA ループを構築し、評価結果を計画や資源配分へ適時反映させることが必要です。

評価結果は、被評価事業等の資源配分、事業計画等に適切に反映させることにより、事業の加速化、縮小、中止、見直し等を的確に実施し、技術開発内容やマネジメント等の改善、見直しを的確に行っていきます。

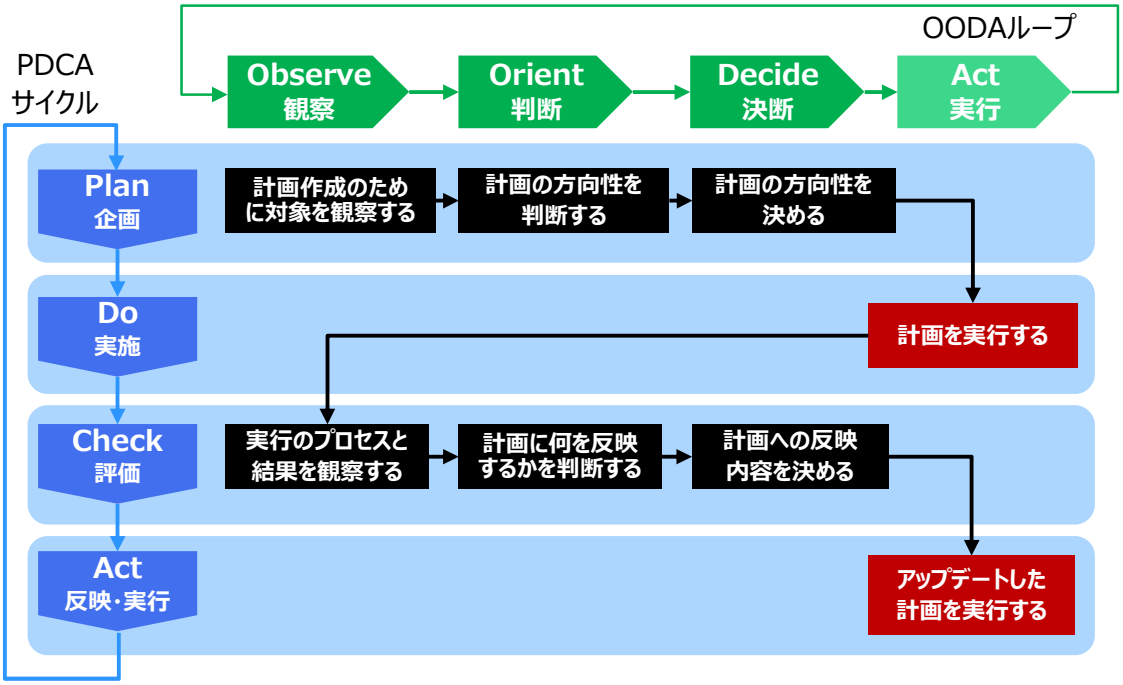


図 1　研究開発マネジメント PDCA サイクルと OODA ループ組み合わせ例

2. 技術評価の目的

NEDO では、次の 3 つの目的のために技術評価を実施しています。

(1) 業務の高度化等の自己改革を促進する。

(2) 社会に対する説明責任を履行するとともに、経済・社会ニーズを取り込む。

(3) 評価結果を資源配分に反映させ、資源の重点化及び業務の効率化を促進する。

3. 技術評価の共通原則

技術評価の実施に当たっては、次の 5 つの共通原則に従って行います。

(1) 評価の透明性を確保するため、評価結果のみならず評価方法及び評価結果の反映状況を可能な限り被評価者及び社会に公表する。なお、評価結果については可能な限り計量的な指標で示すものとする。

(2) 評価の明示性を確保するため、可能な限り被評価者と評価者の討議を奨励する。

(3) 評価の実効性を確保するため、資源配分及び自己改革に反映しやすい評価方法を採用する。

(4) 評価の中立性を確保するため、可能な限り外部評価又は第三者評価のいずれかによって行う。

(5) 評価の効率性を確保するため、研究開発等の必要な書類の整備及び不必要な評価作業の重複の排除等に務める。

4. プロジェクト評価の実施体制

プロジェクト評価については、図 2 に示す実施体制で評価を実施しています。

(1) 研究開発プロジェクトの技術評価を統括する研究評価委員会を NEDO 内に設置。

(2) 評価対象プロジェクト毎に当該技術の外部の専門家、有識者等を委員とした分科会を研究評価委員会の下に設置。

(3) 同分科会にて評価対象プロジェクトの技術評価を行い、評価報告書（案）を取りまとめた上、研究評価委員会に諮る。

(4) 研究評価委員会の審議を経て評価報告書が確定され、理事長に報告。

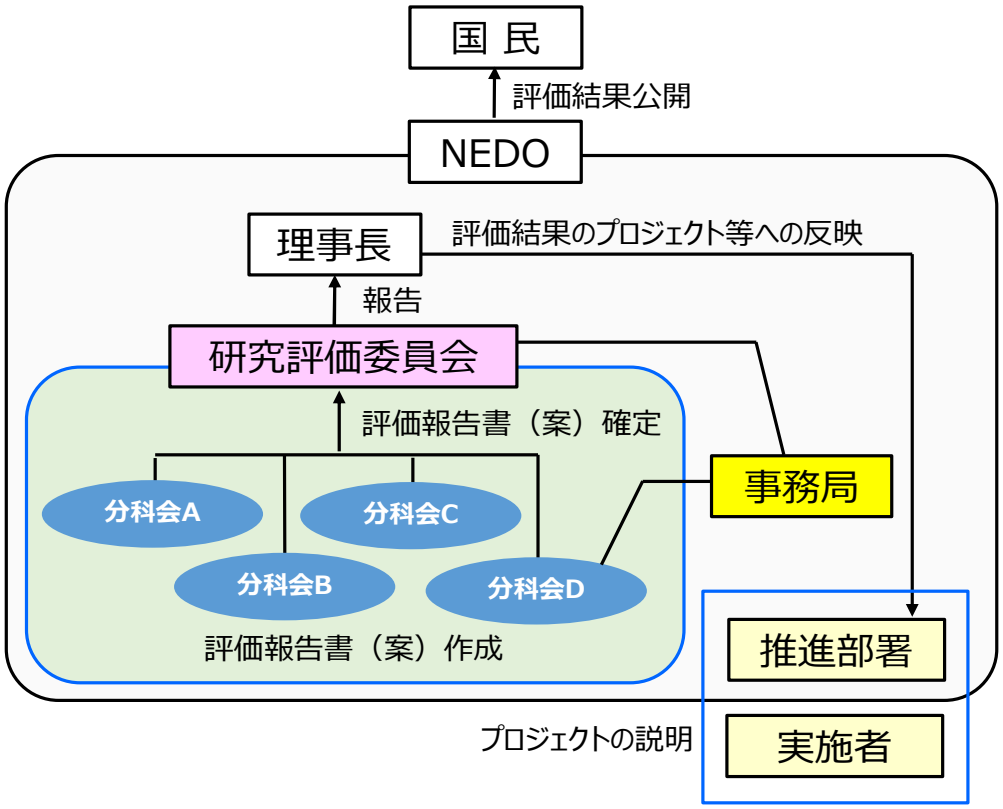


図 2　評価の実施体制

5. 分科会委員

分科会は、研究開発成果の技術的、経済的、社会的意義について評価できる NEDO 外部の専門家、有識者で構成する。

6. 評価手順

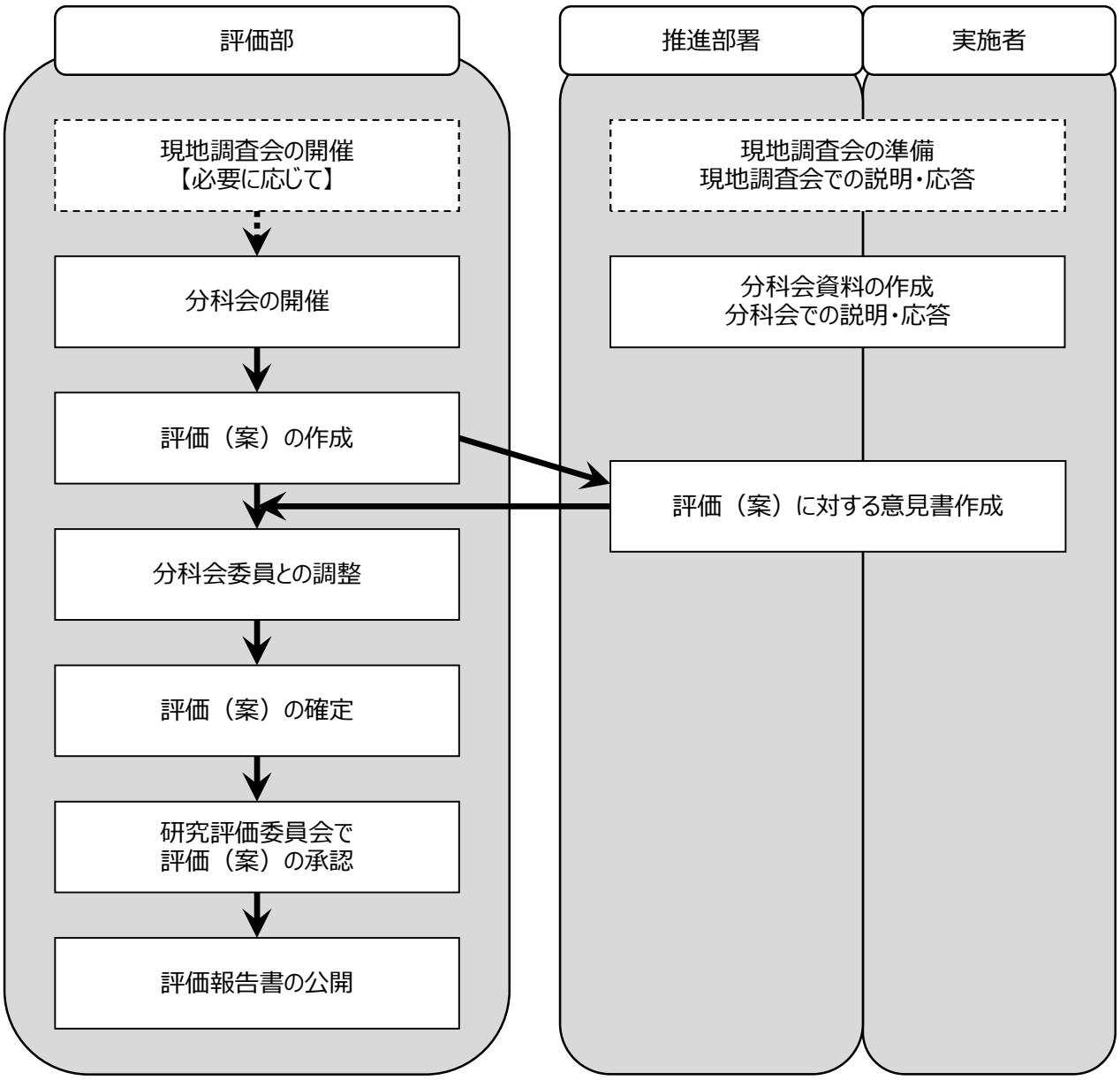


図 3 評価作業フロー

「AI チップ開発加速のためのイノベーション推進事業」（終了時評価）分科会に係る
評価項目・評価基準

1．意義・アウトカム（社会実装）達成までの道筋

(1) アウトカム達成までの道筋

・「アウトカム達成までの道筋」※の見直しの工程において、外部環境の変化及び当該研究開発により見込まれる社会的影響等を考慮したか。

※ 「アウトカム達成までの道筋」を示す上で考慮すべき事項
・将来像（ビジョン・目標）の実現に向けて、安全性基準の作成、規制緩和、実証、標準化、規制の認証・承認、国際連携、広報など、必要な取組が網羅されていること。
・官民の役割分担を含め、誰が何をどのように実施するのか、時間軸も含めて明確であること。
・本事業終了後の自立化を見据えていること。
・幅広いステークホルダーに情報発信するための具体的な取組が行われていること。

(2) 知的財産・標準化戦略

・オープン・クローズ戦略は、実用化・事業化を見据えた上で、研究データも含めた上で、クローズ領域とオープン領域が適切に設定されており、外部環境の変化等を踏まえてもなお、妥当であったか。
・本事業の参加者間での知的財産の取扱い（知的財産の帰属及び実施許諾、体制変更への対応、事業終了後の権利・義務等）や市場展開が見込まれる国での権利化の考え方は、オープン・クローズ戦略及び標準化戦略に整合し、研究開発成果の事業化に資する適切なものであったか。
・標準化戦略は、事業化段階や外部環境の変化に応じて、最適な手法・視点（デジュール、フォーラム、デファクト）で取り組んでいたか。

2．目標及び達成状況

(1) アウトカム目標及び達成見込み

・外部環境の変化及び当該研究開発により見込まれる社会的影響等を踏まえてアウトカム指標・目標値を適切に※見直していたか。
・アウトカム目標の達成の見込みはあったか（見込めない場合は原因と今後の見通しは妥当であったか）。

※ アウトカム目標を設定する上で考慮すべき事項
・本事業が目指す将来像（ビジョン・目標）と関係のあるアウトカム指標・目標値（市場規模・シェア、エネルギー・CO_2 削減量など）及びその達成時期が適切に設定されていること。
・アウトカムが実現した場合の日本経済や国際競争力、問題解決に与える効果が優れていること。
・アウトカム目標の設定根拠は明確かつ妥当であること。
・達成状況の計測が可能な指標が設定されていること。

(2) アウトプット目標及び達成状況
・外部環境の変化及び当該研究開発により見込まれる社会的影響等を踏まえてアウトプット指標・目標値を適切に※見直していたか。
・最終目標は達成しているか。未達成の場合の根本原因分析や今後の見通しの説明は適切だったか。
・副次的成果や波及効果等の成果で評価できるものがあったか。
・オープン・クローズ戦略や実用化・事業化の計画を踏まえて、必要な論文発表、特許出願等が行われていたか。

※ アウトプット目標を設定する上で考慮すべき事項
・アウトカム達成のために必要なアウトプット指標・目標値及びその達成時期が設定されていること。
・技術的優位性、経済的優位性を確保できるアウトプット指標・目標値が設定されていること。
・アウトプット指標・目標値の設定根拠が明確かつ妥当であること。
・達成状況の計測が可能な指標（技術スペックと TRL※の併用）により設定されていること。

※TRL：技術成熟度レベル（Technology Readiness Levels）の略。

3．マネジメント

(1) 実施体制
・実施者は技術力及び実用化・事業化能力を発揮したか。
・指揮命令系統及び責任体制は明確であり、かつ機能していたか。
・実施者間での連携、成果のユーザーによる関与など、実用化・事業化を目指した体制となっていたか。
・個別事業の採択プロセス（公募の周知方法、交付条件・対象者、採択審査の体制等）は適切であったか。
・本事業として、研究開発データの利活用・提供方針等は、オープン・クローズ戦略等に沿った適切なものであったか。また、研究者による適切な情報開示やその所属機関における管理体制整備といった研究の健全性・公平性（研究インテグリティ）の確保

に係る取組をしたか。

(2) 研究開発計画

・アウトプット目標達成に必要な要素技術の開発は網羅され、要素技術間で連携が取れており、スケジュールは適切に計画されていたか。

・研究開発の進捗を管理する手法は適切であったか（WBS※1等）。進捗状況を常に関係者が把握し、遅れが生じた場合、適切に対応していたか。

※1 WBS：作業分解構造(Work Breakdown Structure)の略。

・研究開発の継続又は中止を判断するための要件・指標、ステージゲート方式による個別事業の絞り込みの考え方・通過数などの競争を促す仕組みの運用は妥当だったか。

本研究評価委員会報告は、国立研究開発法人新エネルギー・産業技術総合開発機構（NEDO）評価部が委員会の事務局として編集しています。

NEDO 評価部
部長　三代川　洋一郎
担当　中島　史夫

＊研究評価委員会に関する情報は NEDO のホームページに掲載しています。
（https://www.nedo.go.jp/introducing/iinkai/kenkyuu_index.html）

〒212-8554 神奈川県川崎市幸区大宮町1310番地
ミューザ川崎セントラルタワー20F
TEL 044-520-5160　FAX 044-520-5162