

「チップレット設計基盤構築に向けた
技術開発事業」

事業原簿
【公開版】

担当部	国立研究開発法人 新エネルギー・産業技術総合開発機構 半導体・情報インフラ部（旧 IoT 推進部）
-----	---

更新履歴

更新日	更新内容
2023年 3月 1日	初版発行
2024年 3月 1日	基本計画変更に伴う改定

目次

概要	1
プロジェクト用語集	1
1. 意義・アウトカム（社会実装）達成までの道筋	1-1
1.1. 事業の位置づけ・意義	1-1
1.2. アウトカム達成までの道筋	1-4
1.3. 知的財産・標準化戦略	1-5
2. 目標及び達成状況.....	2-1
2.1. アウトカム目標及び達成見込み	2-1
2.2. アウトプット目標及び達成状況	2-2
3. マネジメント.....	3-1
3.1. 実施体制	3-1
3.2. 受益者負担の考え方	3-2
3.3. 研究開発計画	3-3
4. 目標及び達成状況の詳細	4-1
4.1. 研究開発項目：チップレット型カスタム SoC 設計基盤技術開発.....	4-1
添付資料.....	1
●プロジェクト基本計画	1
●プロジェクト開始時関連資料	11
●各種委員会開催リスト	14
●特許論文等リスト	15

概要

プロジェクト名	チップレット設計基盤構築に向けた技術開発事業	プロジェクト番号	P23009
担当推進部/担当者及び METI 担当課	NEDO IoT 推進部 芹澤慎 (2023 年 7 月～2024 年 6 月) 木村貴弘 (2023 年 7 月～2023 年 12 月) 青柳實知子 (2023 年 7 月～2024 年 6 月) 経済産業省 商務情報政策局 情報産業課		
0. 事業の概要	Society 5.0 の実現に向けてデジタル化技術を進展させるためには、エッジでの情報処理が不可欠である。情報処理に活用する AI 半導体として、高い性能を維持しつつ設計・製造コストの増加を抑制する、ポストムーア技術の一つとしてチップレットと呼ばれる技術への取組が標準化を含め米国を中心に加速しており、日本としても早急な対応が必要になってきている。 本事業では、世界のチップレット技術の標準化動向を注視しつつ、性能とコストを両立する半導体を容易に実現するためのチップレット設計基盤構築に向けた技術開発を進め、民間企業等が広く活用できる基盤技術となることを目指す。		
1. 意義・アウトカム (社会実装) 達成までの道筋			
1.1 本事業の位置付け・意義	本事業は、超スマート社会 Society5.0 実現に向けた、統合イノベーション戦略 2021(令和 3 年度閣議決定)、第 6 期科学技術・イノベーション基本計画(令和 2 年度閣議決定)、経済安全保障の確保・強化の観点から、成長戦略実行計画(令和 3 年度閣議決定)、経済財政運営と改革の基本方針 2022(令和 4 年度閣議決定)、デジタル社会の実現に向けた重点計画 (令和 4 年度閣議決定) における次世代コンピューティング技術として挙げられており、科学技術・産業技術政策を実現する事業と位置付けられる。また、本事業は民間企業単独ではリスクがあり、市場原理のみで技術開発の推進を図ることは困難であるため、本事業で推進する必要がある。		
1.2 アウトカム達成までの道筋	本事業の実施者でもある AI チップ設計拠点が、関連プロジェクトや外部の民間企業、大学や研究機関等と連携してチップレット型カスタム SoC の開発基盤の確立を目指す。加えて、開発した設計環境を民間企業等に提供すると共に、提供先の民間企業等が獲得した成果を活用したい企業とのマッチング活動も実施し、社会実装の促進にも取り組む。また、フォーラムやセミナーなどを通じて、民間企業等において IoT や AI 技術を活用するための知見やノウハウを持った人材の育成を進めることで、半導体産業の裾野を広げる。さらに、チップレット型カスタム SoC の研究開発を進め成果の更なる高度化も目指す。		
1.3 知的財産・標準化戦略	本事業では民間企業等が広く活用できる共通基盤技術として、オープン戦略を原則とする。具体的には、共通基盤技術の確立に向け、設計技術のマニュアル化、ノウハウの蓄積等に注力するとともに、我が国の民間企業等が利用する際は開発技術の公開を原則とする。また、想定ユーザの要求仕様情報や標準 SoC や FPGA の内部回路・レイアウトなどは秘匿する。なお知財マネジメントおよびデータマネジメントは N E D O 事業における知財マネジメント基本方針に則り、知財運営委員会を設置し管理する。		
2. 目標及び達成状況			
2.1 アウトカム目標及び達成見込み	想定ユーザの意見や有用性等を考慮した共通基盤技術を発展させ、エコシステム構築を含めた開発基盤を確立し、中小企業等にチップレット設計環境を提供することにより、アウトカム目標である、2037 年 (令和 19 年) の産業ロボット向け・健康機器等を中心としたエッジコンピューティング向けチップレットの世界市場で約 1,214 億円の市場獲得を見込む。		
2.2 アウトプット目標及び達成状況	アウトプット目標 産業系領域において民間企業等が利活用できるチップレット型カスタム SoC 設計基盤技術として、想定ユーザの意見を聴取・集約すると共に、共通基盤技術となる高効率チップレットアーキテクチャー、チップレット実装技術、チップレットインターフェース回路、標準 SoC チップレット、FPGA チップレット等の各仕様を検討し策定する。 達成状況 産業系領域において民間企業等が利活用できるチップレット型カスタム SoC 設計基盤技術として、想定ユーザの意見を聴取・集約すると共に、共通基盤技術となる高効率チップレットアーキテクチャー、チップレット実装技術、チップレットインターフェース回路、標準 SoC チップレット、FPGA チップレット等の各仕様を検討し策定した。個別の実施項目の詳細は 4 章に記載。		
3. マネジメント			

3.1 実施体制	プロジェクトマネージャー	IoT 推進部 芹澤慎(2023年7月～2024年6月)		
	プロジェクトリーダー	東京大学大学院 情報工学系研究科 教授 中村宏		
	委託先	国立研究開発法人 産業技術総合研究所 再委託先 公立大学法人 富山県立大学 再委託先 国立大学法人 信州大学 国立大学法人 東京大学 キュリアス(株) ナノブリッジ・セミコンダクター(株)		
3.2 受益者負担の考え方	受益者負担の考え方 本研究開発項目については、国民経済的には大きな便益がありながらも、研究開発成果が直接的に市場性と結び付かない公共性の高い事業であり、委託事業として実施する。			
	主な実施事項	2023fy	2024fy	
	研究開発項目 チップレット型カスタム SoC 設計基盤技術開発	委託	委託	
3.3 研究開発計画				
事業費推移 [単位:百万円]	主な実施事項	2023fy	2024fy	総額
	研究開発項目 チップレット型カスタム SoC 設計基盤技術開発	469	7 ※2023年度繰越予算分	476
	事業費	2023fy	2024fy	総額
	会計(一般)	469	7 ※2023年度繰越予算分	476
	追加予算	—	—	—
	総 NEDO 負担額	469	7 ※2023年度繰越予算分	476
情勢変化への対応	令和6年能登半島地震の影響により研究開発遅延が予見されたため、2023年度予算7百万円を2024年度に繰越して遅延を挽回する支援を行った。			
中間評価結果への対応	研究開発期間の変更に伴い中間評価未実施			
評価に関する事項	事前評価	2022年度実施 担当部 IoT 推進部		
	中間評価	研究開発期間の変更に伴い中間評価実施前に終了のため未実施		
	終了時評価	2024年度 終了時評価実施		
別添				
投稿論文	0件			
特許	0件 特記事項: 本委託事業においては、特許権の取得より一般に幅広く使えるチップレット型カスタム SoC のための設計技術の開発やそのマニュアル化、ノウハウの蓄積、想定ユーザ情報を参考にした仕様検討等に注力した。なお、事業で開発、整備するチップ設計手法、IP ライブラリ、等については共通基盤技術として公開予定である。なお、想定ユーザの要求仕様等は非公開情報として継続して秘匿・更新する。			
その他の外部発表 (プレス発表等)	研究発表・講演: 6件 (うち1件は投稿中) フォーラム開催: 11件			
基本計画に関する事項	作成時期	2023年2月 作成		
	変更履歴	2024年2月 改定 (研究開発期間の変更による改定)		

プロジェクト用語集

用語	説明
AI チップ	人工知能(AI)技術により演算処理などを高速化することに特化した半導体チップ。
AI チップ設計拠点 (AIDC)	わが国の革新的な AI チップ開発を加速するために、産業技術総合研究所 エレクトロニクス・製造領域と東京大学 大学院工学系研究科附属システム デザイン研究センター基盤設計研究部門が協力して構築。NEDO 委託事業により半導体設計環境を整備し、2023 年 4 月より本格運用開始。
d. lab	東京大学大学院工学系研究科附属システムデザイン研究センターの別名称。
DARPA	アメリカ国防高等研究計画局(Defense Advanced Research Projects Agency)の略
DSA	Domain Specific Accelerator の略。特定のアプリケーションに特化した演算器。
EDA	Electronic Design Automation の略で、半導体集積回路などの電気系回路設計を自動化・支援・補助するソフトウェア。
ERI	米国半導体に新たなイノベーションをもたらす技術を開発するプロジェクト、Electronics Resurgence Initiative の略。DARPA が推進。
ESD	Electro-Static Discharge (静電気放電) の略。
FIFO	First In First Out の略。レジスタ・メモリーなどのデータ格納領域に対して、最初に格納したデータが最初に出力される構造を指す。
GPIO	General Purpose Input/Output (汎用入出力) の略。
IP	Intellectual Property の略で、半導体集積回路を構成する部分的な回路情報。
LUT	Look Up Table (入力された値に対して出力値を割り当てるテーブル) の略。
LVDS	Low Voltage Differential Signaling の略。高速なデジタル通信を行うための電気信号の伝送方式を定めた規格。
NOC	Network-On-Chip の略。
PWM	Pulse Width Modulation の略で、半導体を使った電力を制御する方式の 1 つ。
SiP	System in a Package の略。パッケージ内で様々な機能を有する複数の集積回路や電子部品を集積化し、単体のパッケージレベルで電子システムを実現したもの。
SoB	System on Board の略。プリント配線板の上にパッケージされた LSI を実装する方式。
SoC	System On a Chip の略で、集積回路の 1 個のチップ上に、プロセッサコアをはじめ一般的なマイクロコントローラが持つような機能のほか、応用目的の機能なども集積し、連携してシステムとして機能するよう設計されているチップ。
VDEC	VLSI Design and Education Center(東京大学大規模集積システム設計教育研究センター)の略。現在は d. lab に改組。
UCIe	Universal Chiplet Interconnect Express の略。パッケージ内で複数のチップを接続するための標準規格。
UI	Unit Interval の略。1クロック周期 (デジタル信号 (ビット列) の 1 つのビットの長さ) に対応する時間。
設計フロー	EDA ツールを用いた設計手順。

(ハードウェア)エミュレータ	集積回路レベルからシステム全体までを高速に検証することができる検証装置。産総研が、経済産業省「産業技術実用化開発事業費補助金：AI チップ開発加速のための検証環境整備事業」で導入。
物理設計	半導体チップの設計工程の一つで、上流設計で作成された回路データを用いて、半導体ウエハー上に半導体チップとして機能素子や配線などを作りこむためのデータを作成する工程。
ライブラリ	半導体設計で用いる設計部品データ。

1. 意義・アウトカム（社会実装）達成までの道筋

1.1. 事業の位置づけ・意義

我が国は Society 5.0 の実現に向けて、IoT や AI などのデジタル化技術を進展させ、全ての人とモノがつながり、必要な情報を必要な時に提供し、経済発展と社会課題の解決を両立する人間中心の社会を目指している。しかしながら、デジタル化技術を進展させるためには膨大なデータを高速に処理する必要があり、加えて、データ量が年々増加しているため、「増大するデータの処理」が社会課題となっている。

上記の社会課題解決には、大量データの効率的かつ高度な利用を可能とする情報の収集、蓄積、解析、セキュリティなどの技術に加え、AI・次世代コンピューティング技術が求められている。中でも、自動走行やロボティクスを始めとする分野では、従来のクラウドコンピューティングからネットワークの末端（エッジ）で中心的な情報処理を行うエッジコンピューティングへの分散が不可欠になると考えられており、エッジにおける処理の重要性や価値が更に高まってきている。特にエッジにおいては限られた資源を用いて効率的に処理を行う必要があるため、性能を飛躍的に向上させられる AI 技術の活用が期待されており、医療・ヘルスケア向け分野など、自動走行やロボティクス分野以外からも注目されている。

エッジコンピューティングにおける情報処理すなわち論理演算を行う半導体の高性能化は、これまでは 1970 年代から続くムーア則というメガトレンドに則り、これまで微細化によって達成してきた。しかしながら、更なる微細化は設計コスト、製造コストの上昇が顕著になってきており、またムーア則の終焉も論じられてきている。このような状況の中、性能とコストの両立、及び高い性能を維持しつつ設計コスト、製造コストの増加を抑制する、チップレットと呼ばれる技術への取組がインターフェース仕様などの標準化を含め米国を中心に加速しており、日本としても早急な対応が必要になってきている。

※チップレット技術とは、集積回路を構成する CPU や GPU、アクセラレータ等について、機能ごとの複数のチップに分割、それらチップをそれぞれ最適なプロセスを使って製造しそれらを組み合わせて一つのチップとしてパッケージ化する技術で、集積回路を同一プロセスで一つのチップ上で製造する従来製法と比較して、コスト低減と高性能動作の両立が可能とみられている。

また、関連する政策として、次のようなものが打ち出されている。統合イノベーション戦略 2021（令和 3 年 6 月 18 日閣議決定）では、Society 5.0 実現に向けた取組として、「半導体」、「AI」等の先端分野における重要技術が挙げられている。成長戦略実行計画（令和 3 年 6 月 18 日閣議決定）では、経済安全保障の観点からの技術優越性の確保の取組として、「半導体」、「AI」等が挙げられている。経済財政運営と改革の基本方針 2022（令和 4 年 6 月 7 日閣議決定）では、国家・国民の安全を経済面から確保する観点として、「先端半導体基盤の拡充」、「次世代半導体の設計」等が挙げられている。第 6 期科学技術・イノベーション基本計画（令和 3 年 3 月 26 日閣議決定）では、Society 5.0 実現に向けた取組として、「半導体」等の研究開発が挙げられている。デジタル社会の実現に向けた重点計画（令和 4 年 6 月 7 日閣議決定）では、デジタル社会に必要な技術の研究開発・実証の推進における、情報処理の高度化のための次世代コンピューティング技術として、「AI 半導体の開発」や「チップレットの技術開発」等が挙げられている。

また、経済産業省において「半導体・デジタル産業戦略検討会議」が設置され、半導体・デジタルインフラ・デジタル産業のそれぞれについて、戦略が策定された（令和 3 年 6 月 4 日）。半

導体の目指すべき姿としてデジタル&グリーン投資を支える設計開発、今後の対応策としてデジタル投資の加速と先端ロジック半導体の設計・開発の強化が挙げられている（我が国半導体産業を巡る全体像を図1に示す）。NEDO コンピューティング技術戦略においても、今後必要なプロジェクトとして、チップレット設計基盤技術が記載されている（2022年11月事前評価資料より）。

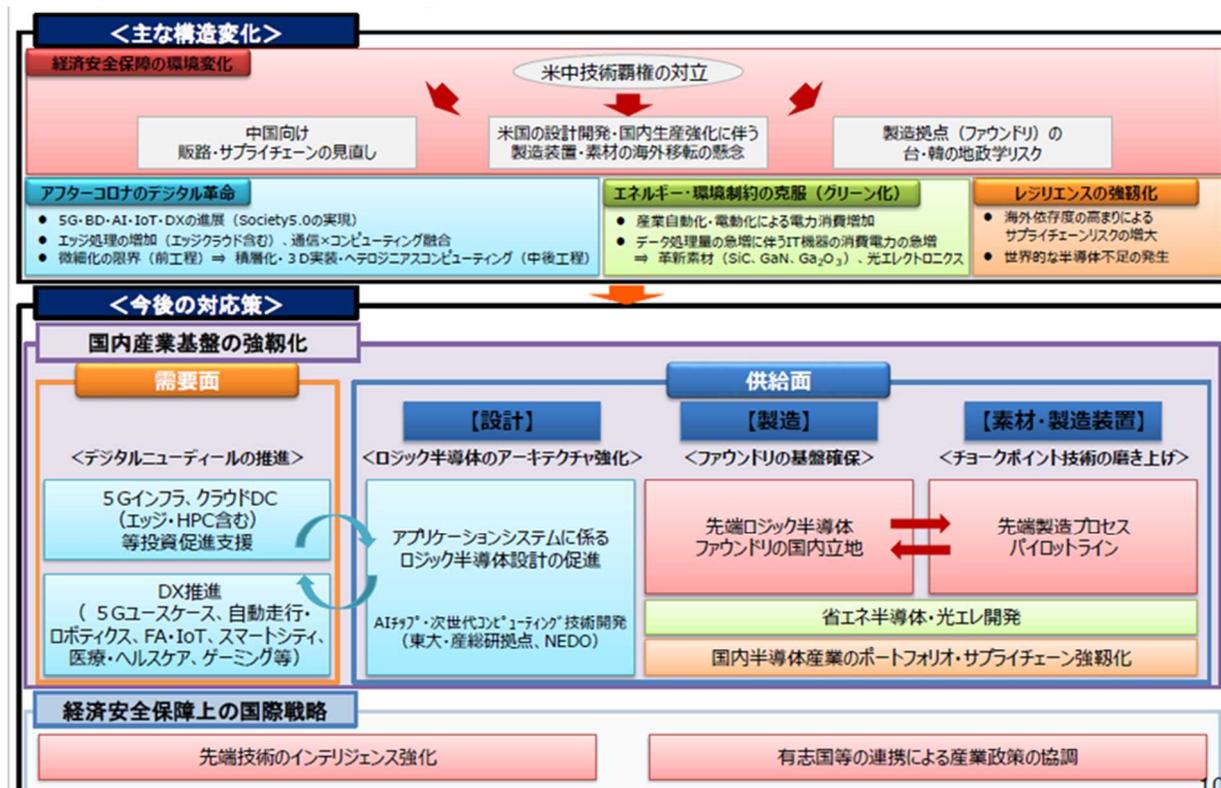


図 1-1 我が国半導体産業を巡る全体像

本事業で取り組むチップレット設計基盤構築に向けた技術開発は、デジタル化技術の進展に必要な高度な情報処理に対応可能であり、Society 5.0の実現につながる公益性の高い取り組みである。市場の拡大が予想されるAI半導体において、チップレット設計基盤は、今後の半導体産業の中核的な機能になりうるポテンシャルを秘めており、我が国の産業競争力強化および産業裾野拡大として国が主導して取り組む意義がある。また、我が国の半導体産業再興のためには製造業界と設計業界が双方発展する状態にする必要があり、半導体メーカーのみならずソフトウェアメーカー・システムメーカーなどの参入と、大企業だけでなく中小・ベンチャーが参入して幅広い産業基盤の形成が理想である。幅広い産業基盤の形成により、半導体の設計能力を将来的に確保し、データ社会の核となる電子機器を安定供給可能なサプライチェーンの構築に寄与するため、これらの点からも取り組む意義が大きい。

日本は、コンピューティング分野において、ハードウェアを中心に存在感を發揮してきた。1980年前後には、日本発の材料、メモリ、アーキテクチャーなどの革新的な技術を発明し、ムーア則実現の礎を築いた。

その後、ファウンドリーという業態が新たに誕生し、設計と製造を分離することで複雑化する半導体集積回路の開発に対応する動きが活発化したが、市場変化への対応が遅れたことに伴い、

例えば半導体では 1988 年には 50%を超えていたシェアが現在では 10%程度にまで落ち込む等、コンピューティング分野において苦戦している状況である。

分業化が進んできた半導体集積回路の開発分野において、独創的な VLSI（大規模集積回路）システムを発想し、回路構成・基本設計技術を有する技術者集団を育成するため、VLSI の設計教育の高度化と充実を目指し、1996 年に全国の大学などが共同で利用できる施設として VDEC（大規模集積システム設計教育研究センター）が東京大学内に設置された。主に、学術的用途向けとして、半導体集積回路の設計に欠かせない設計環境や検査・測定環境を自ら保有し、学生、研究者を中心に解放することで、人材育成に寄与している。VDEC は 2019 年 10 月からは新たに、東京大学大学院工学系研究科附属システムデザイン研究センター基盤設計研究部門として、従来と同様の活動（VDEC 機能）を継続している。また、一般社団法人電子情報技術産業協会の半導体部会役員会が推進した半導体先端技術の民間共同開発プロジェクト「あすかプロジェクト」が 2001 年に開始し、デザインルール hp65 向け技術として SoC（System on a chip）の開発効率を向上させる 45nm 対応設計技術や 32nm 対応プロセスデバイス技術を開発したが、10 年後の 2010 年に終了している。

一方で先端半導体の設計技術への対応として、2018 年～2022 年に NEDO の「AI チップ開発加速のためのイノベーション推進事業」において、AI 半導体開発に必要な集積回路設計として 28nm および 12nm などの設計検証技術を開発し、AI 半導体の設計・評価・検証等の開発環境を民間企業等に 2023 年 4 月より本格運用として、提供を開始している。しかしながら、チップレット技術に関する設計基盤の構築および産業の裾野拡大につながるベンチャー企業等を支援する取り組みは存在しない。

日本の情報産業の再興のためには、次世代の半導体設計開発を推進する日本の産業にあったチップレット技術の新たな基盤技術構築や設計環境の整備、開発することが勝負の鍵となる。

米国では、半導体集積回路の設計作業を自動化し支援するためのソフトウェアやハードウェア及び手法である EDA（Electronic Design Automation）技術の黎明期から、国が大学の研究活動を中心に支援してきた。現在、EDA ツールベンダーは米国企業が寡占している。チップレットの設計技術に関しては、DARPA（Defense Advanced Research Projects Agency）が 2017 年にチップレットの標準化を目指す CHIPS（Common Heterogeneous Integration and IP Reuse Strategies）プロジェクトを開始し、2018 年からエレクトロニクス再興イニシアチブ（ERI: Electronics Resurgence Initiative）等で支援を行っている。欧州でも比較的早くから LSI 設計技術が IMEC などの産学連携を通じて強化され、さらに、ExaNoDe（European Exascale Processor Memory Node Design）プロジェクト等でチップレット設計技術の支援を行ってきた。中国でも半導体を基幹産業とするために国内企業の育成に取り組んでおり、国家政策により上海、北京、無錫、成都、大連等を IC 産業育成地域として指定し、国営の IC R&D Center（試作、EDA、テストサービス）を設置している。韓国においても政府が AI 半導体開発への支援を行っている。

また、Intel、AMD、Google、Meta Platforms、Microsoft、Qualcomm、Arm、Samsung Electronics、ASE group、TSMC の 10 社は、2022 年 3 月にチップレット技術の標準化を目指し、半導体のダイ間（チップレット間）の相互接続のためのオープン規格 UCIe（Universal Chiplet Interconnect Express）を推進する業界団体の設立と、同規格に基づく標準仕様「UCIe 1.0」を発表した。同団体には 2022 年 9 月時点 40 社以上が参加しており、今後の動向に関しては注視する必要がある。

今後も拡大するエッジコンピューティング市場において、チップレット技術の標準化が進み、その活用も増加していくことが予想されており、我が国半導体関連企業がシェアを獲得するためには、日本としてもチップレット技術の導入が重要であり、そのための設計基盤技術の構築や中小・ベンチャー企業等の支援が必要である。

本事業では、世界のチップレット技術の標準化動向を注視しつつ、性能とコストを両立する半導体を容易に実現するためのチップレット設計基盤構築に向けた技術開発を進め、民間企業等が広く活用できる基盤技術となることを目指す。

1.2. アウトカム達成までの道筋

本事業の実施者でもある産業技術総合研究所と東京大学が構築したAIチップ設計拠点が中心となり、関連プロジェクトや外部の民間企業、大学や研究機関等と連携して実用化に向けた研究開発を推進し、チップレット型カスタム SoC の開発基盤を確立し、2030 年目処にチップレット設計環境の提供開始を目指す（図 1-2）。実用化に向けた研究開発を推進する際は、EDA/IP ベンダ、設計ターンキー、インターポーザ/パッケージベンダ、ファウンダリ、アクセラレータ開発者とも連携することで、チップレット IP の整備、サプライチェーン（チップレットエコシステム）構築を進め、チップレット設計環境の提供を目指す。チップレット設計環境は成果を活用したい我が国の民間企業等に提供すると共に、提供先の民間企業等が獲得した成果を活用したい企業とのマッチング活動も実施し、社会実装の促進にも取り組む。また、フォーラムやセミナーなどを通じて、民間企業等において IoT や AI 技術を活用するための知見やノウハウを持った人材の育成を進めることで、半導体産業の裾野を広げる。さらに、ユーザーズは適宜更新するとともに、チップレット型カスタム SoC の研究開発を進め成果の更なる高度化も目指す。また、国際動向調査として、ダイ接続仕様に関する UCIE への参画を継続し、必要な情報を収集すると共に、研究開発の進展やユーザ情報を参考にした関連仕様に関しての提案活動を検討する。

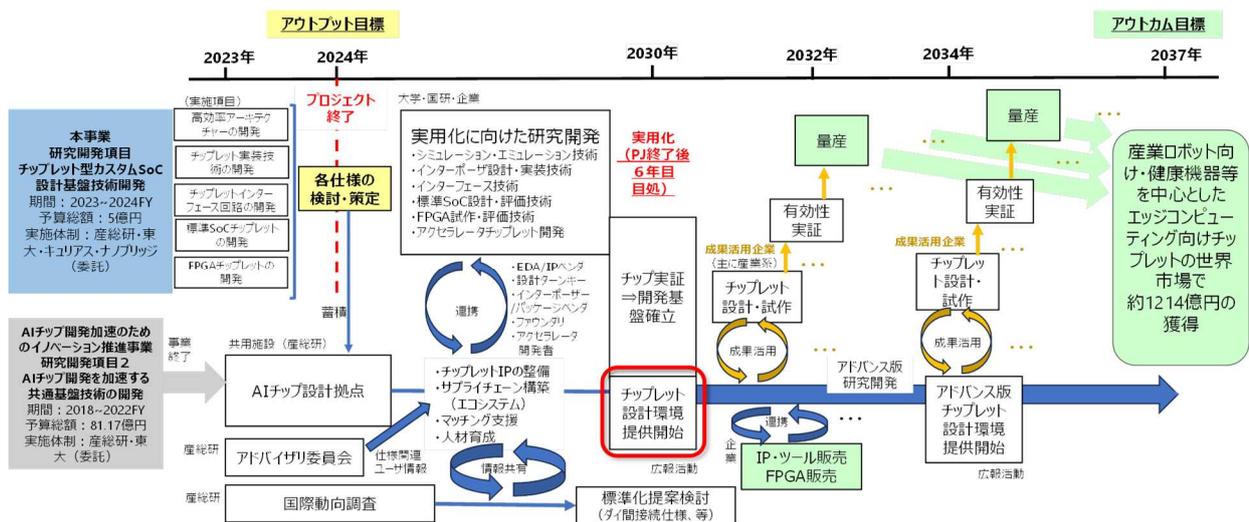


図 1-2 アウトカム達成までの道筋

1.3. 知的財産・標準化戦略

本事業では民間企業等が広く活用できる共通基盤技術として、オープン戦略を原則とする。具体的には、共通基盤技術の確立に向け、設計技術のマニュアル化、IPライブラリの整備、ノウハウの蓄積等に注力する。確立した共通基盤技術の成果を我が国の民間企業等が活用する際は、チップレット設計に必須の共通技術や設計環境は公開を原則とし、チップレット型カスタム SoC の社会実装に貢献する。また、ダイ間接続に係る共通技術は UCIE コンソーシアム内の活動を継続し、接続仕様に関する標準化推進に貢献するとともに、仕様の整合検証や早期実装を行う。加えて、設計ガイドラインを作成し公開するとともに、2030 年目処にチップレット型カスタム SoC 設計プラットフォームを利用可能とする。なお、想定ユーザの要求仕様情報や標準 SoC や FPGA の内部回路・レイアウトなど、民間企業等が成果を活用する際に詳細開示が必要でないものは、競争力確保等の観点から秘匿する（図 1-3）。知財マネジメントおよびデータマネジメントは NEDO 事業における知財マネジメント基本方針に則り、知財運営委員会を設置し管理する。

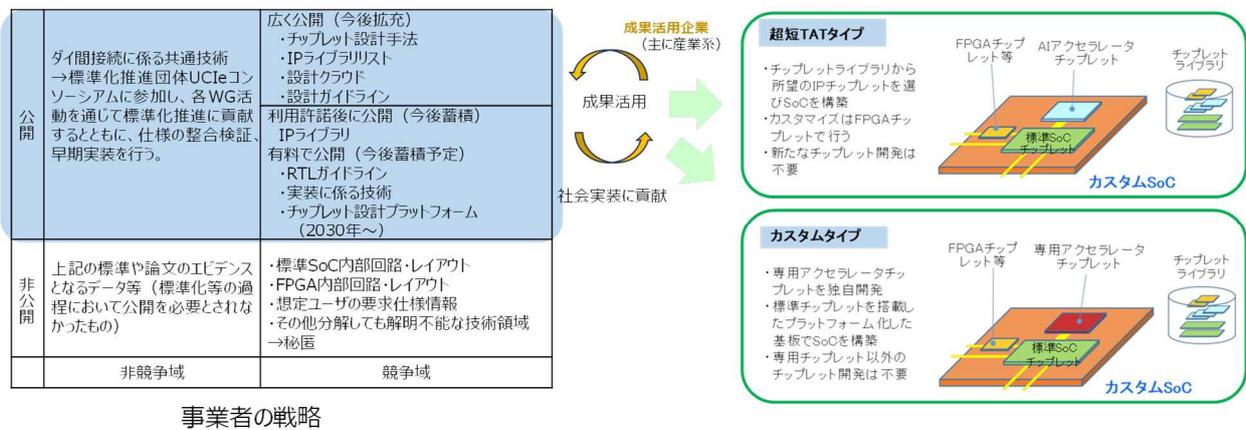


図 1-3 知的財産・標準化戦略

2. 目標及び達成状況

2.1. アウトカム目標及び達成見込み

アウトカム目標として、2037年（令和19年）の産業ロボット向け・健康機器等を中心としたエッジコンピューティング向けチップレットの世界市場で約1,214億円の市場獲得を目指す。

本事業は、実用化まで達することを目指す研究開発（ナショナルプロジェクト類型：基礎的・基盤的研究開発）である。本事業の実用化からアウトカム目標設定までのイメージを図2-1に示す。本事業の実用化はチップレット設計環境の我が国の民間企業等への提供である。実用化したチップレット設計環境の成果を民間企業等が活用し社会実装することで、アウトカム目標の達成を目指している。なお、獲得市場の試算は、社会実装開始～2037年の世界市場規模23.48兆円に本プロジェクトが寄与するシェア0.517%を乗じた数字である。世界市場規模は、Transparency Market Research社チップレット市場調査報告書(2021/8)の[Industrial Automation],[Healthcare],[Others]の2031年市場予測値および同年までのCAGRを参考に2032～2037年CAGR30%で外挿し、為替レート135JP/US\$で算出した（為替レートは事前評価時の2022年の数値を引用）。また、本プロジェクトが寄与するシェアは、国内半導体市場占有率（10%）に、当該ノード半導体の世界大手の売上比率（11%、TSMC社資料）、および日本企業のオープンイノベーションの実施率（47%、米山(2017)「日米欧企業におけるオープン・イノベーション活動の比較研究」）を乗じて算出した。なお、事業期間短縮に伴いアウトカム目標の見直しを検討したが、民間企業等が広く活用できる共通基盤技術の適用範囲に大幅な変更が生じないと予想されたため、アウトカム目標は変更しなかった。

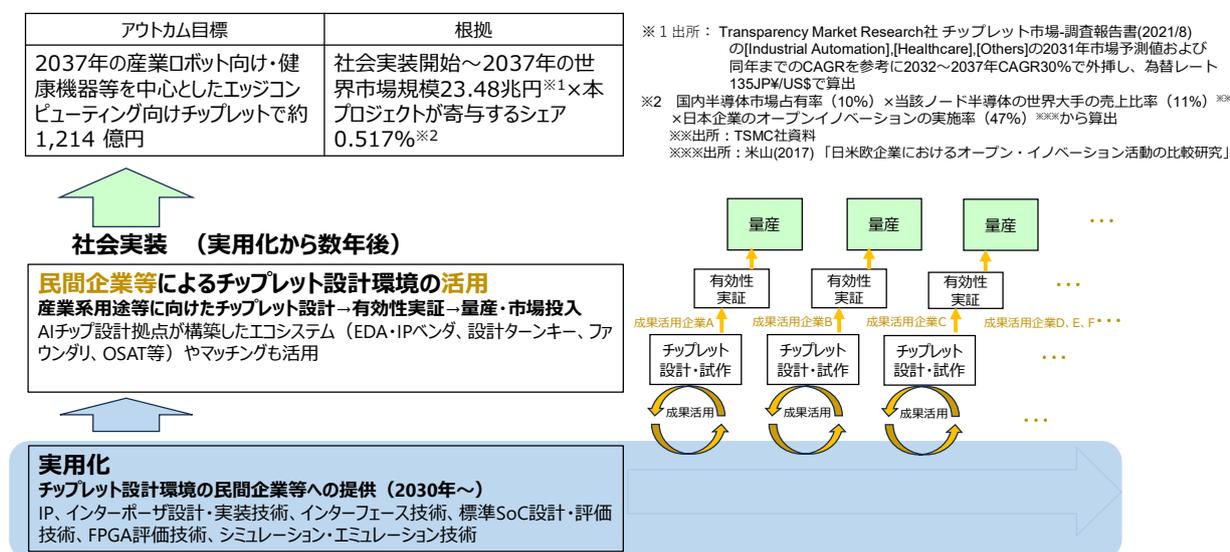


図2-1 実用化の考え方とアウトカム目標の設定

アウトカム目標の達成見込みについて述べる。本プロジェクトの成果である、想定ユーザの意見や有用性等を考慮した共通基盤技術を発展させ、エコシステム構築を含めた開発基盤を確立し、2030年から我が国の中小企業等にチップレット設計環境を提供することにより、2037年の産業ロボット向け・健康機器等を中心としたエッジコンピューティング向けチップレットの世界市場で約1,214億円の市場獲得を見込む（図2-2）。なお、本技術の共通基盤技術とは、高効率

チップレットアーキテクチャー、チップレット実装技術、チップレットインターフェース回路、標準 SoC チップレット、FPGA チップレットである。

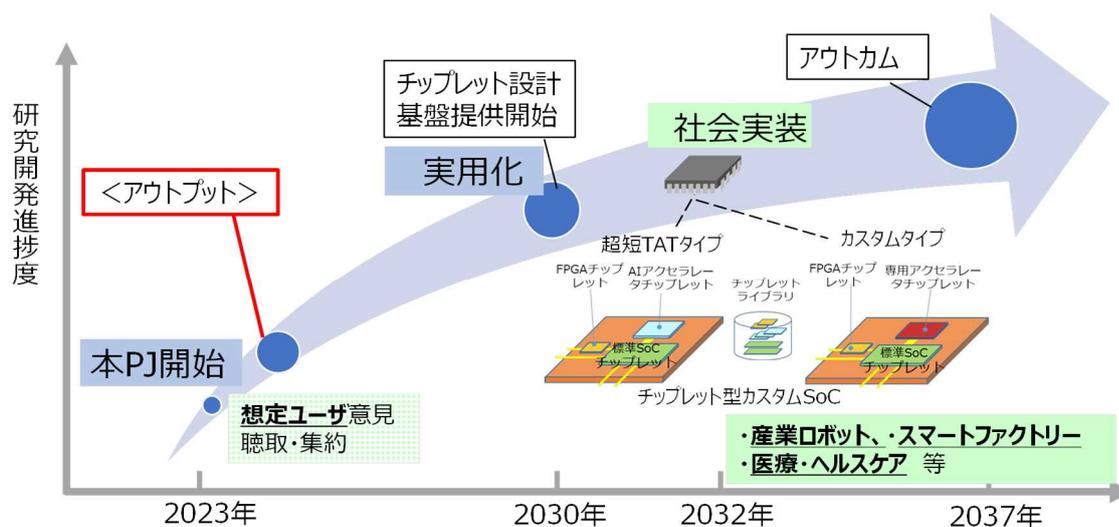


図 2-2 アウトカム目標の達成見込み

アウトカム目標達成に向けた主な課題は、本事業で獲得した共通基盤技術を発展させた開発基盤の確立である。本研究開発に直接関係する具体的なプロジェクトは開始されていないが、産総研や東大などが参画している他の事業成果の横展開や、関連プロジェクトや他機関との連携も視野に進める予定である。加えて、今後の半導体・デジタル産業の在り方でも示されているが（第11回半導体・デジタル産業戦略検討会議、令和6年5月31日）、チップレットに関しては開発領域のバリエーション拡大も議論されているので、研究開発推進の観点からナショナルプロジェクトで新規事業が公募された際は、プロジェクトへの応募・開発成果の横展開・実施者との連携も視野に進める予定である。

また、波及効果として、チップレット設計・試作から社会実装の活動を通じたチップレットに係るサプライチェーンの確立、AIチップ設計拠点によるフォーラムやセミナー活動に加え社会実装を見据えたマッチング活動による人材確保が挙げられる。

2.2. アウトプット目標及び達成状況

本事業の研究開発項目は「チップレット型カスタム SoC 設計基盤技術開発」であり、アウトプット目標は、「産業系領域において民間企業等が利活用できるチップレット型カスタム SoC 設計基盤技術として、想定ユーザの意見を聴取・集約すると共に、共通基盤技術となる高効率チップレットアーキテクチャー、チップレット実装技術、チップレットインターフェース回路、標準 SoC チップレット、FPGA チップレット等の各仕様を検討し策定する。」である。当該目標を設定した根拠は、図 2-3 の研究開発項目の位置づけに示すように、産業界の具体的なニーズをとらえ、共通基盤技術に係る仕様を明確にするためである。本アウトプット目標は達成済みである（図 2-4）。詳細は、4. 目標および達成状況（公開資料、詳細は非公開資料）で述べる。

なお、本アウトプット目標は、研究開発期間の変更に伴い、2024年2月に再設定した。当初の目標は、2027年度に「エッジコンピューティング向けチップレット型カスタム SoC の設計基盤技術を開発し、基盤技術を活用したチップレット開発件数8件以上を目標とする。」である。この目標を設定した根拠は、共通基盤技術として整備し、我が国の民間企業等が利活用するため

ある。当初設定した目標は、図 2-3 の研究開発項目の位置づけにおける、2030 年の「チップレット設計基盤提供開始」につながるものである。なお、2024 年 2 月のアウトプット目標の再設定に際し、中間目標としていた 2025 年度「エッジコンピューティング向けチップレット型カスタム SoC の設計基盤技術を開発し、基盤技術を活用したチップレット開発件数 4 件以上を目標とする。」は事業期間変更に伴い廃止した。

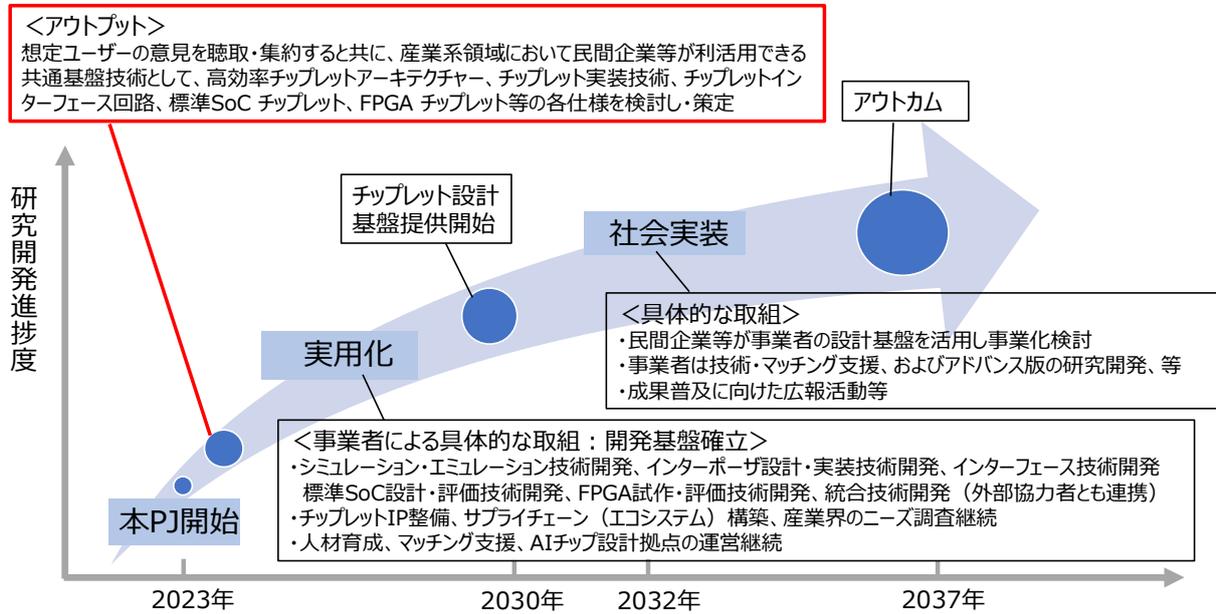


図 2-3 研究開発項目の位置づけ

研究開発項目	目標 (2024年6月末頃)	成果(実績) (2024年6月末)	達成度 (※)	達成の根拠
チップレット型カスタム SoC 設計基盤技術開発	産業系領域において民間企業等が活用できるチップレット型カスタムSoC設計基盤技術として、想定ユーザーの意見を聴取・集約すると共に、共通基盤技術となる高効率チップレットアーキテクチャー、チップレット実装技術、チップレットインターフェース回路、標準SoC チップレット、FPGA チップレット等の各仕様を検討し策定する。	産業系領域において民間企業等が活用できるチップレット型カスタムSoC設計基盤技術として、想定ユーザーの意見を聴取・集約すると共に、共通基盤技術となる高効率チップレットアーキテクチャー、チップレット実装技術、チップレットインターフェース回路、標準SoC チップレット、FPGA チップレット等の各仕様を検討し策定した。	○	目標通り達成のため

◎ 大きく上回って達成、○ 達成、△ 一部未達、× 未達

図 2-4 アウトプット目標の達成状況

なお、本事業において委託先の産総研・東大メンバーが所属する AI チップ設計拠点において、半導体設計者向けに月次フォーラムを開催した（図 2-5）。参加者は平均 200 名以上であり、LSI 設計や AI チップに関する最新情報の共有や議論等を通じて、研究者・技術者の交流深化につながった。

● 半導体設計者向けに月次でフォーラムを開催

平均200名以上の参加

- ・チップレット含め、LSI設計やAIチップに関する最新情報※を共有・参加者によるオープンな議論
- ・関係する研究者・技術者の交流を深化

※ベースは公開情報

AIチップ設計拠点フォーラム（第50回、2023/8/25）	
13:30-13:35	AIチップ設計拠点フォーラムについて (産総研・内山邦男)
13:35-14:35	半導体パッケージの3D化とシステム化 (産総研/高橋健司氏)
14:35-15:35	ケイデンスの先端プロセスへ向けた戦略と技術のご紹介 (日本ケイデンス・デザイン・システムズ社/牧井徹氏)
15:35-15:40	休憩
15:40-16:40	新次元への架け橋：チップレット技術による半導体革命 (Rapidus株式会社/折井靖光氏)

開催案内、約270名参加（オンライン）

HotChips 2023における 最新のチップ開発動向

2023/09/29
東京大学 工学系研究科 d.Lab
長谷川 淳



第51回AIチップ設計拠点フォーラム講演資料より

図 2-5 研究開発活動の副次的成果

3. マネジメント

3.1. 実施体制

NEDO が関与する意義について述べる。本事業で取り組むチップレット設計基盤構築に向けた技術開発は、デジタル化技術の進展に必要な高度な情報処理に対応可能であり、Society 5.0 の実現につながる公益性の高い取り組みである。市場の拡大が予想される AI 半導体において、チップレット設計基盤は、今後の半導体産業の中核的な機能になりうるポテンシャルを秘めており、我が国の産業競争力強化および産業裾野拡大として国が主導して取り組む意義がある。また、我が国の半導体産業再興のためには製造業界と設計業界が双方発展する状態にする必要があり、半導体メーカーのみならずソフトウェアメーカー・システムメーカーなどの参入と、大企業だけでなく中小・ベンチャーが参入して幅広い産業基盤の形成が理想である。幅広い産業基盤の形成により、半導体の設計能力を将来的に確保し、データ社会の核となる電子機器を安定供給可能なサプライチェーンの構築に寄与するため、これらの点からも取り組む意義が大きい。

本研究開発項目「チップレット型カスタム SoC 設計基盤技術開発」については、国民経済的には大きな便益がありながらも、研究開発成果が直接的に市場性と結び付かない公共性の高い事業であり、委託事業として実施する。

研究開発の実施体制について述べる。プロジェクトマネージャー（以下「PMgr」という。）に NEDO IoT 推進部芹澤慎を任命して、プロジェクトの進行全体を企画・管理し、そのプロジェクトに求められる技術的成果および政策的効果を最大化させる。

NEDO は公募により研究開発実施者を選定する。必要に応じて、実施期間中に複数回公募を行う。研究開発実施者の選定においては、課題解決への道筋やビジネス化へのストーリーを設定できていることを重視する。

研究開発実施者は、企業や大学等の研究機関等（以下「団体」という。）のうち、原則として日本国内に研究開発拠点を有するものを対象とし、単独又は複数で研究開発に参加するものとする。ただし、国外の団体の特別の研究開発能力や研究施設等の活用又は国際標準獲得の観点から必要な場合は、当該の研究開発等に限り国外の団体と連携して実施することができるものとする。なお、各実施者の研究開発能力を最大限に活用し、効率的かつ効果的に研究開発を推進する観点から、プロジェクトリーダー（以下「PL」という。）として国立大学法人東京大学 大学院情報理工学系研究科 教授 中村宏を選定する。PL は、PMgr の指示の下、プロジェクトに参画する実施者の研究開発を主導する。

実施者の選定・審査は、公募要領に合致する応募を対象に NEDO が設置する審査委員会(外部有識者で構成)で行う。当該委員会の結果を参考とし、本事業の目的の達成に有効と認められる事業者を選定した後、NEDO 内に設置した契約・助成審査委員会において採択の可否を決定する。申請者に対しては、必要に応じてヒアリング等を実施する。審査委員会は非公開のため、審査経過に関する問い合わせには応じない。

採択結果については、NEDO から申請者に通知する。なお不採択の場合は、その明確な理由を添えて通知する。採択案件については、申請者の名称、研究開発テーマの名称・概要を公表する。

研究開発の実施体制図を図 3-1 に示す。研究開発項目の実施者は審査委員会での審査の結果、国立研究開発法人産業技術総合研究所(以下「産業技術総合研究所」という。)、国立大学法人東京大学(以下「東京大学」という。)、キュリアス株式会社、ナノブリッジセミコンダクター株式会

社、産業技術総合研究所の再委託先として公立大学法人富山県立大学および国立大学法人信州大学を採択し、研究開発責任者として産業技術総合研究所 上級主任研究員 大内真一とした。また、プロジェクト全体の課題解決・個別テーマの推進のための委員会も設置・運用している。

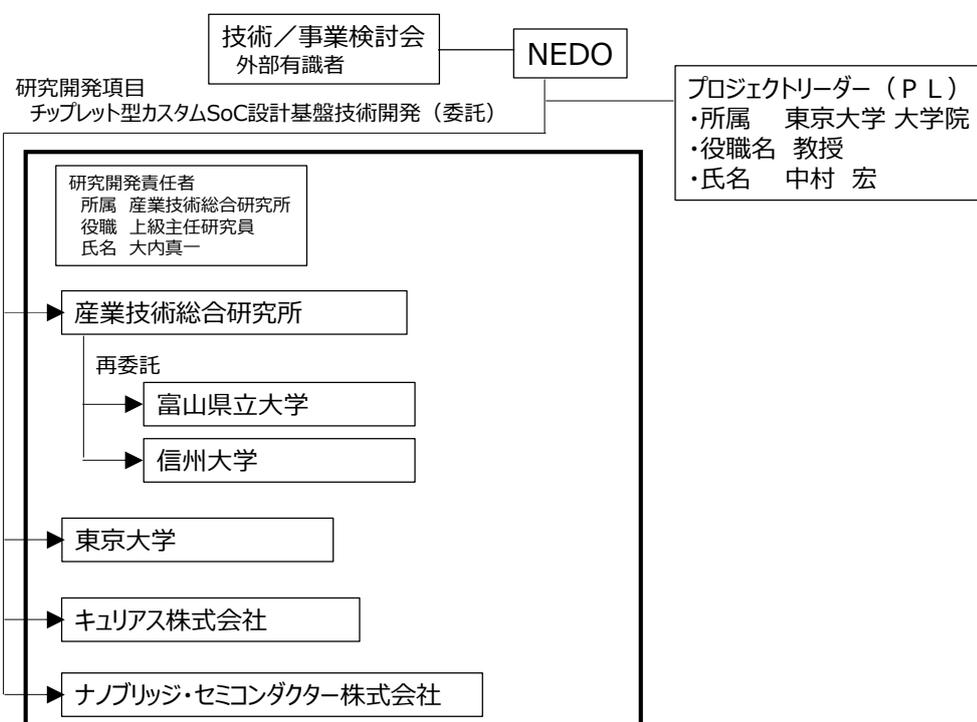


図 3-1 本事業の体制図

NEDO は、研究開発全体の管理、執行に責任を負い、研究開発の進捗のほか、外部環境の変化等を適時に把握し、必要な措置を講じるものとする。運営管理は、効率的かつ効果的な方法を取り入れることとし、次に掲げる事項を実施する。

①研究開発の進捗把握・管理

PMgr は、PL 及び研究開発実施者と緊密に連携し、研究開発の進捗状況を把握する。また、必要に応じ、外部有識者で構成するアドバイザー委員会を組織し、定期的に技術的評価を受け、目標達成の見通しを常に把握することに努める。各テーマの進捗、成果の事業化の見通し等を踏まえ、必要に応じ、加速、縮小、実施体制の再構築を行う。

3.2. 受益者負担の考え方

プロジェクト費用を図 3-2 に示す。本研究開発項目「チップレット型カスタム SoC 設計基盤技術開発」は、国民経済的には大きな便益がありながらも、研究開発成果が直接的に市場性と結び付かない公共性の高い事業であり、委託事業として実施する。なお、2024 年 1 月の能登半島地震の影響により一部の実施項目で研究開発遅延が予見されたため、2023 年度予算 7 百万円を 2024 年度に繰越し、遅延を挽回する支援を行った。

◆ 予算

(単位：百万円)

研究開発項目		2023年度	2024年度※	合計
チップレット設計基盤構築に向けた技術開発事業	委託 100%	469	7※	476

※2023年度繰越予算分

◆ 委託事業の理由

国民経済的には大きな便益がありながらも、研究開発成果が直接的に市場性と結び付かない公共性の高い事業のため。

図 3-2 本事業の予算及び受益者負担

3.3. 研究開発計画

本研究開発項目「チップレット型カスタム SoC 設計基盤技術開発」を実施するにあたり、性能とコストを両立する半導体を容易に実現でき、かつ民間企業等が広く活用できるための技術開発として以下の実施項目を設定した。各実施項目の内容を図 3-3、事業期間中の目標を図 3-4、研究開発スケジュールを図 3-5 に示す。なお、各実施項目の成果等は 4 にて述べる。

実施項目 1：高効率チップレットアーキテクチャーの開発

実施項目 2：チップレット実装技術の開発

実施項目 3：チップレットインターフェース回路の開発

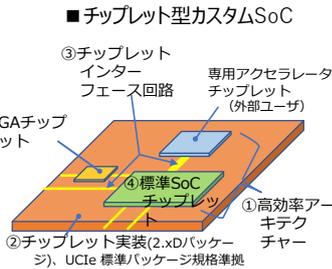
実施項目 4：標準 SoC チップレットの開発

実施項目 5：FPGA チップレットの開発

本事業では、世界のチップレット技術の標準化動向を注視しつつ、性能とコストを両立する半導体を容易に実現するためのチップレット設計基盤構築に向けた技術開発を進め、民間企業等が広く活用できる基盤技術となることを目指す。

研究開発項目：チップレット型カスタムSoC設計基盤技術開発

実施項目 1～5を設定



実施項目 5：FPGAチップレットの開発

内容
エッジコンピューティング向けチップレット型カスタムSoCの構築に即したプログラム可能な汎用ロジックチップ（FPGA）を開発。実装評価は実施項目 2 および 4 と連携。また、ポテンシャルユーザーの要求仕様を精密に調査し、より広いユーザーに利用されるようFPGAの有用性も確認。

・専用アクセラレータチップレットの接続は、外部ユーザとの連携を想定

実施項目 4：標準SoCチップレットの開発

内容
実施項目 1 で策定されるSoC チップ分割面を再接続するための複数のチップレットインターフェースを有する標準SoC チップレットを開発。実装評価は実施項目 2 と連携、実施項目 3 のインターフェース仕様や実施項目 5 のFPGA設計情報も取り込む。

実施項目 1：高効率チップレットアーキテクチャーの開発

内容
チップレット化の分割面を検討し、複数のアプリケーションを許容可能な汎用性を持ち、かつ分割前のSoCと等価な機能を効率的に実現可能で、かつ、UCIe等の国際動向を考慮した、高効率なチップレットのアーキテクチャーを策定。実施項目 2～5と連携。

実施項目 2：チップレット実装技術の開発

内容
UCIe等の標準規格に準拠したパッケージへの適用が可能でチップレットライブラリからの実装に対応した技術を開発。実装評価は実施項目 3, 4 および 5 と連携。

実施項目 3：チップレットインターフェース回路の開発

内容
ヘテロジニアスなテクノロジーを許容するチップレットインターフェース技術の提供の解決策として、UCIe標準パッケージ仕様に準拠した物理層およびESD保護回路を開発。実施項目 1 および 4 と連携。

図 3-3 各実施項目の内容

実施項目	プロジェクト中の最終目標
1. 高効率チップレットアーキテクチャーの開発	<ul style="list-style-type: none"> ・想定ユーザや有識者から意見聴取を行い、標準 SoC のアーキテクチャー、チップレットピン数、インターポーザメタライズ位置、バンプ位置のドラフト版を策定する。 ・UCIe における作業部会での活動を行い、情報収集・技術提案の活動に努める。
2. チップレット実装技術の開発	<ul style="list-style-type: none"> ・5μm 級微細配線、100~130μm の微細バンプ接続、および UCIe 標準インターフェースと LVDS 準拠インターフェースを有するチップレット実装可能なインターポーザの設計仕様を検討する。
3. チップレットインターフェース回路の開発	<ul style="list-style-type: none"> ・UCIe 標準パッケージ準拠のインターフェース回路（物理層）のアナログの基本設計を行い、アーキテクチャーを検討する。 ・UCIe 標準パッケージ準拠のインターフェース回路（物理層）のデジタル部のアーキテクチャーを検討する。 ・ESD 保護セルを使用したインターフェース回路の設計環境を整備し、評価用回路設計とレイアウトを進め初期検討を完了させる。
4. 標準 SoC チップレットの開発	<ul style="list-style-type: none"> ・実施項目 3 の成果を標準 SoC チップレットにインテグレーションするにあたり、ガイドラインを策定する。 ・標準 SoC チップレットの仕様案を検討する。
5. FPGA チップレットの開発	<ul style="list-style-type: none"> ・テクノロジーノード 28nm で差動 I/O である LVDS の回路設計および物理設計を実施する。各 I/O を搭載したテストチップを評価回路の回路設計および物理設計を実施する。物理設計にあたり、電源線でのノイズや信号間のクロストークを低減するよう配慮する。伝送速度の設計目標値は差動 I/O が 600Mbps、シングルエンド I/O は 125MHz である。 ・FPGA チップレットの有用性を確認する。

図 3-4 各実施項目の目標

研究開発項目：チップレット型カスタム SoC 設計基盤技術開発

実施項目		2023年度	2024年度
1: 高効率チップレットアーキテクチャーの開発		仕様案ドラフト版検討・作成	最終目標
2: チップレット実装技術の開発		UCIe/LVDS対応インターポーザ仕様検討	
3: チップレットインターフェース回路の開発		物理層アナログ仕様案/基本設計 物理層デジタルアーキテクチャー検討 ESDセル設計情報整理、設計検討	
4: 標準SoCチップレットの開発		設計データ要件の特定 仕様策定	
5: FPGAチップレットの開発		高速I/O設計 電源線評価	
評価時期			終了時評価
予算 (億円)	委託	4.69	0.07 ※2023年度繰越予算分

図 3-5 研究開発項目のスケジュール

進捗管理を図 3-6 に示す。月次の進捗確認として、実施者からの定期的な報告を受け、研究開発の状況を確認するとともに、今後の進め方について議論した。進捗管理として、登録研究員の従事日誌・月報を確認し、研究開発に遅滞がないことを NEDO が確認した。実施者に対し予算執行状況の報告を求めることで、研究開発に遅滞がないことを確認した。2023 年 12 月の予算措置を受け、今後の方向性について PMgr 等で議論するとともに関係者で対応を協議した。加えて、事業期間短縮に伴うプロジェクトの方向性について外部有識者が確認・検討した。

会議名	主なメンバー	対象・目的	頻度	主催
進捗確認	<ul style="list-style-type: none"> 実施者 PL、PMgr、PT 	<ul style="list-style-type: none"> 実施者からの定期的な報告を受け、研究開発の状況を確認するとともに、今後の進め方について議論。 	<ul style="list-style-type: none"> 毎月 	実施者
進捗管理	<ul style="list-style-type: none"> PMgr、PT 実施者 	<ul style="list-style-type: none"> 登録研究員の従事日誌・月報を確認し、研究開発に遅滞がないことをNEDOが確認 実施者に対し予算執行状況の報告を求めることで、研究開発に遅滞がないことを確認 	<ul style="list-style-type: none"> 毎月 	NEDO
予算措置を受けた検討会	<ul style="list-style-type: none"> PMgr、PT 実施者 	<ul style="list-style-type: none"> 2023年12月の予算措置を受け、今後の方向性についてPMgr等で議論するとともに関係者で対応を協議 	<ul style="list-style-type: none"> 週に1回以上 	NEDO
NEDO技術/事業検討会	<ul style="list-style-type: none"> 外部有識者 PMgr、PT 	<ul style="list-style-type: none"> 事業期間短縮に伴うプロジェクトの方向性について外部有識者が確認・検討 	<ul style="list-style-type: none"> 年1回 	NEDO

図 3-6 進捗管理

本事業を開始するにあたり、事前評価での問題点・改善すべき点を考慮し図 3-7 に示す対応を行った。

	問題点・改善すべき点※	対応
1	<p>・本事業では、チップレットインターフェース設計技術開発が特に重要な項目である。UCIe (Universal Chiplet Interconnect Express) 等の世界の技術動向を踏まえながら、迅速に仕様策定と技術開発を進めるように十分な配慮が必要である。</p> <p>・プロセスとチップテストを含めてのトータルコストを考えると、平面（モノリシック）でのチップ作製に強みがある可能性も指摘されている。これまでのSystem-in-Packaging (SiP) などの課題（Known Good Die(KGD)問題）などを改めて分析し、そこに立脚した提案に期待したい。例えば、高性能半導体デバイスにターゲットを絞ることや、我が国が強みを有するマテリアル、パワー半導体など新たな視点を連動させることを期待する。とりわけ産業界の具体的なニーズをとらえ、ターゲットを明確にしておくことは重要である。</p> <p>・世界的に見れば大手10企業がUCIeという団体を組織して規格の策定を開始しており、この規格との関係を明確にする必要がある。計画の中のチップレット実装手法開発についてUCIeに合わせるのかどうか早期に決めるべきであり、またその他の標準SoCやAI半導体部分についてはどのようなものを作成するのか慎重に検討する必要がある。特に後者については、単純に安価なプロセスノードを用いるなどの方法では差別化が難しく、チップレットIPの提供方法やそもそも何を開発するのかについて工夫が必要である。</p>	<p>世界標準となり得るUCIe（2022年3月に業界を代表する10社で設立された業界団体、「チップレット」と呼ばれる半導体のダイ上のモジュールを相互接続するための標準仕様の策定を推進）の活動の最新動向を継続的に調査し、UCIeで策定されたチップレット実装に必要な半導体ダイ間の相互接続のための仕様等を取り込むことで、国際動向に連動した研究開発を実施する。また、トータルコストに関わる複数の半導体ダイ接続時の問題等を踏まえた取り組みや、ターゲット分野の絞り込み、標準SoCやAI半導体などの開発内容等は、有識者の意見を参考にし、基本計画や実施方針に反映した。</p>

※出所： https://www.meti.go.jp/policy/tech_evaluation/e00/03/r04/J127.pdf

図 3-7 事前評価結果への対応

事業開始後の情勢変化等への対応として、以下を行った。

- ・令和6年能登半島地震の影響により、事業者努力とは無関係に発注品の納入遅れが予見されたため、実施項目5の該当予算分を2024年度に繰り越して遅延を挽回する支援を行った。
- ・2024年度の予算措置を受け、今後の対応について実施者やPLと意見交換を行うと共に、研究開発期間変更に向けた手続等の支援を行った。

4. 目標及び達成状況の詳細

4.1. 研究開発項目：チップレット型カスタム SoC 設計基盤技術開発

4.1.1 実施項目 1：高効率チップレットアーキテクチャーの開発

(担当：国立研究開発法人産業技術総合研究所、国立大学法人東京大学)

本実施項目の目的は、産業系領域において民間企業等が利活用できるチップレット型カスタム SoC 設計基盤技術として、想定ユーザの意見を聴取・集約すると共に、共通基盤技術となる高効率チップレットアーキテクチャー、チップレット実装技術、チップレットインターフェース回路、標準 SoC チップレット、FPGA チップレット等の各仕様を検討し策定することである。

その背景としては、近年、様々な事業分野でドメインスペシフィックアクセラレータ (DSA) によって集積回路の消費電力性能向上を行うことが必須となってきたことにある。特にエッジコンピューティング用途の DSA においては、消費電力性能向上は必達の要請になっていくと考えられる。しかし、DSA の製品化には、莫大な初期コストが必要であり、一品種あたりの生涯生産台数の少ないセクタでは、カスタム SoC を製品化することは、難しかった。また、DSA の製品化は、ソフトウェアや FPGA よりもさらに開発工期がかかることから、これを短縮する必要がある。図 4-1 は、横軸に単一集積回路製品の品種数を取り、縦軸に製品の生涯出荷台数を示したものである。緑色で示したセクタは産業系領域であり、この領域において特に初期コスト (NRE コスト) ないしプルーフオブコンセプト (PoC) のコスト増大を解決する必要がある。したがって、本事業では産業系領域をターゲットとするアプリケーション領域として設定した。

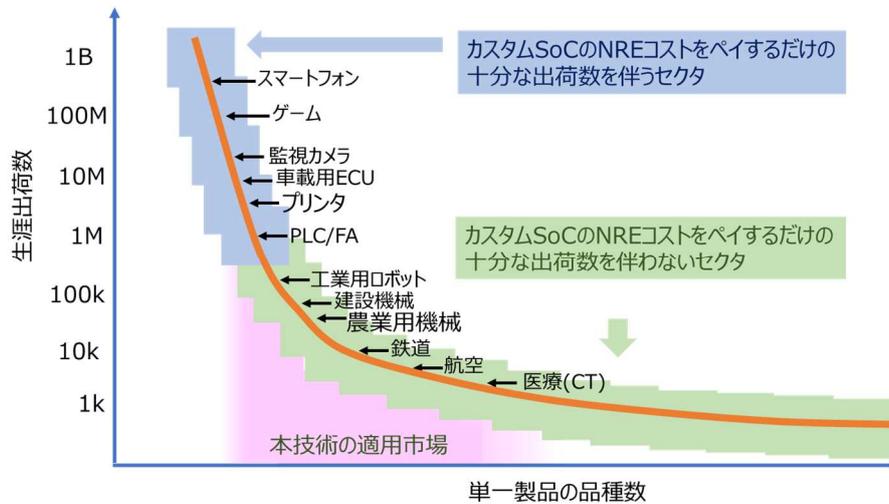


図4-1 本事業で構築する基盤技術が利用を見込む製品領域

前述の方針のもとに、多くの想定ユーザが参加可能なチップレットエコシステムを構成するため、産業系領域において想定ユーザの意見を聴取・集約を行った。プロジェクト開始後の聞き取り対象総数は11社、プロジェクト開始前からの通算では25社に上る。この聴取結果を本事業において吟味を行った聴取結果は23であり、そのアプリケーション領域のまとめを表4-1に示す。

表 4-1 本事業において技術検討を行った想定ユーザ聞き取り対象

応用分野	聞き取り対象者数
産業用ロボット	4
その他産業用製造装置・精密機器	3
監視カメラ/エッジAI	3
車載	2
航空宇宙	2
オフィス/事務機器	1
コンピュータ/組み込み製品	1
ゲーム機器向け半導体	1
無線	1
画像コーデック	1
設計・製造受託	4
計	23

各観点における聞き取りの結果を踏まえた結論は、以下のようなものとなった。

1) カスタム SoC 全体を構成するためのチップレット品種数と各チップレットの担当する機能の策定

提案時からの検討によって、チップレット品種数と各チップレットの担当する機能は、図 4-2 ないし下記(i)～(iii)のように仮定し、これらに加えて、(iv) チップレットインターフェース(実施項目 3)と(v)インターポーザ・パッケージ(実施項目 4)を加えて全体のシステムを構成することとしていた。

(i) 標準SoCチップレット

各チップレットのハブ機能を持ち、CPU、DDR、各種インターフェース、メモリマップされたアドレスによって全体にアクセス可能なバス等を具有するチップレット。汎用的処理を行う。(実施項目 4 で開発)

(ii) FPGAチップレット

外界に対してGPIOもしくはLVDSの汎用なIOを持ち、低レイテンシに外界と標準SoCをブリッジする機能を具有し、様々な低レイテンシの処理を行うためのプログラミング可能なロジックを持つチップレット。同様に低レイテンシなインターフェースを標準SoCとの接続面に持つ。(実施項目 5 で開発)

(iii) ドメインスペシフィックアクセラレータ (DSA) チップレット

本事業では基盤技術から外れるため実際の作製は想定しないが、28nmから最先端(シングルナノ)テクノロジーのいずれかで作製されるような、特定のアプリケーションに特化した演算器をもつチップレット。(個別の機能と位置付け、本事業の対象外とした。)

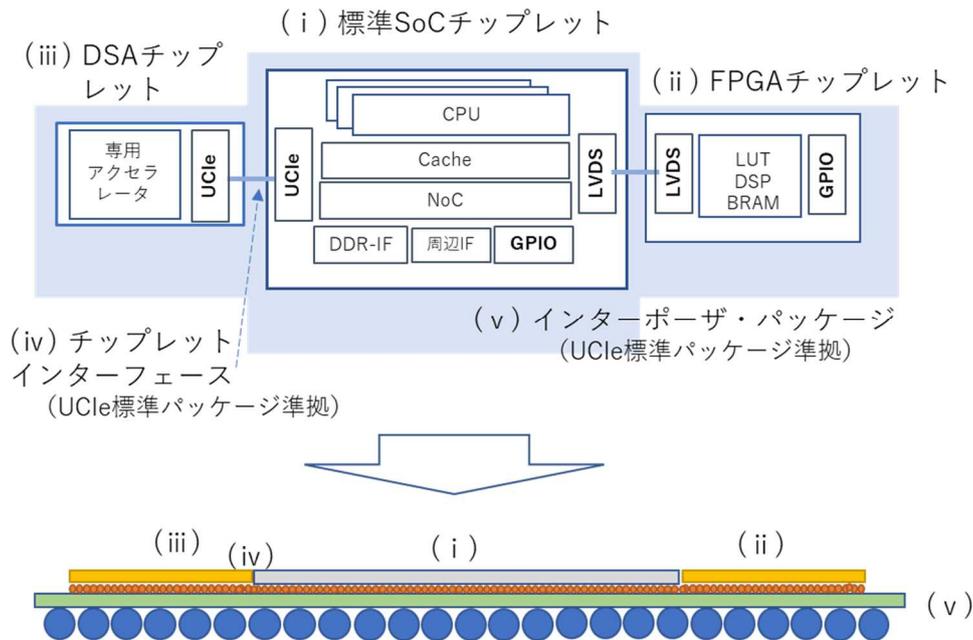


図4-2 チップレット型カスタムSoCの構成要素

この構想を具体的仕様として策定する上では、FPGA 機能の必要性、FPGA 機能と CPU 機能を別チップレットとして分割することの意義について明確化する必要があった。本観点については、意見聴取によって結論を導出した。意見聴取の結果としては、ターゲットとする事業領域においては FPGA 機能が必須であり、かつ FPGA の省面積化、省電力化、機能安全に関する需要が高いことが判明した。特に、電源喪失やサージなどの影響による回路プログラミング情報の喪失を回避する手法の提供について、需要が高かった。これについては、共同提案者のうちの一社であるナノブリッジ・セミコンダクター社の持つプログラミングの不揮発性が有効に作用すると結論付けた。

次に、FPGA で実装されるべき機能の回路規模について検討した。検討の結果、ダイサイズとして 1cm 角程度の FPGA サイズとなる場合も多いため、FPGA 機能のみを分けてチップレットとすることは、コストの最適化の観点から理想的であると結論付けた。特に前述の不揮発なプログラミング機能を持つチップレットは製造プロセスが特殊となるため、これを分割して製造することが選択肢となることはさらにコストの最適化に有効に作用すると考えられる。

なお、意見聴取の中では、AD/DA 変換機を別チップレットとして準備することや、標準 SoC のテクノロジーノードを進める希望も提示された。これらについては、本プロジェクトの計画を拡張して対応可能である。すなわち、AD/DA 変換機については、GPIO を標準 SoC に実装することにより、これを介して接続することが可能である。また、標準 SoC のテクノロジーの変更については、標準 SoC を FPGA と別のチップレットとして実装することによって同様に拡張可能である。

- 2) 各分割面の再接続インターフェース方式の選択、すなわち UCle, GPIO, LVDS 等からの方法選択とその性能の策定

表 4-1 にまとめる聞き取りのうち、特に具体的な仕様数値が提示された意見から、標準 SoC と FPGA、標準 SoC と DSA、外部周辺機器との接続を行う方法は、それぞれ LVDS, UCIe, GPIO とすることとし、おおよそこの構成がそれぞれの要求仕様を包含することを確認した。より具体的な数値仕様は下記のように考察し、決定された。なお、具体的な数値については、競争力を保つ観点から、条件付きで公開するものとし、本資料には概要を示す。詳細は非公開資料で述べる。

a) LPDDR

10W 程度で制御を行うシステムを構築し DRAM から制御パラメータ等をロードしストリームとして処理する場合のバンド幅を策定した。これを DSA チップレットの専用回路並びに CPU に 2 分割してそれぞれ処理することを考えると、その半分のデータレートを UCIe 側に流すことが必要となる。

b) UCIe

LPDDR のデータレートを 2 分割したデータを十分な容量で伝送する場合、UCIe の規格に照らすと 16GB/s が適合することとなる。ここで、実装コストに見合った UCIe の規格は、標準パッケージである。標準パッケージ仕様で 16GB/s を実現する場合のインタフェースエッジ長は 2mm 以下であるため、標準 SoC 内部に 16GB/s を十分包含可能である。

c) LVDS

LVDS に関しては、想定用途として聞き取りを行った事例に必要なバンド幅、28nm プロセスを前提にした 1 レーン当たりのデータ転送速度の検討をもとに、本事業の仕様策定を行った。結果として、想定用途の約 2 倍にあたるバンド幅を実施項目 5 での検討結果に基づく制約の中で実現できるとの結論を得た。

d) GPIO

標準 SoC チップレット、FPGA チップレット両方から GPIO を引き出す計画とした。特に、FPGA では PWM 制御の前処理を行い GPIO によってアクチュエータを駆動する場合には、その最高周波数である 125MHz が望まれる。これを本事業の仕様として策定した。

3) チップレット型カスタム SoC でアプリケーションを実現するための外部接続用インターフェース、すなわちメモリ、画像・音声、制御等各インターフェースの各チップレットへの振り分けと、性能・空間的位置の策定

需要が多いと見込まれる画像入力を行うインターフェース仕様について検討を行った。詳細は実施項目 4 の検討で述べるが、開発コストと性能を勘案した結果、USB3.0 と MIPI を選択し、標準 SoC に搭載する仕様とした。

4) FPGA チップレットの最適な実装に関する検討

FPGA チップレットの採用に関しては、想定ユーザのアプリケーションを勘案し、多くのアプリケーションが実装可能な規模とコストを最適に実現する必要がある。図 4-3(a) と (b) のように、FPGA マクロ入りの標準 SoC を作製する場合と FPGA を独立したチップレットとする場合について検討を行った。聞き取り結果を含むターゲットアプリケーションすなわち画像前処理や音声処理、PWM 等の処理を行うためには、10~100k LUT を必要とする。この場合、6mm 角以上の FPGA マクロが必要となるため、標準 SoC の面積を約 1.5 倍に増大させる

可能性がある。これをすべてのユーザに提供する場合、多品種、他ユーザ間でコストシェアする最終的価格にも、標準 SoC のコスト増が均等にかかってくる。逆に、FPGA と標準 SoC を独立のチップレットとすることによって、このオーバーヘッドを解消し、FPGA を必要としないアプリケーションにおいてコストを最適化できるほか、ナノブリッジ FPGA のように作製プロセスの多様化が可能となるなど、チップレット化本来のメリットを訴求できる。

なお、ナノブリッジ FPGA では、すでに 28nm で I/F 以外のハードウェアマクロを開発済みであり、コストを抑えて本事業の目的を達することが可能であると期待される。

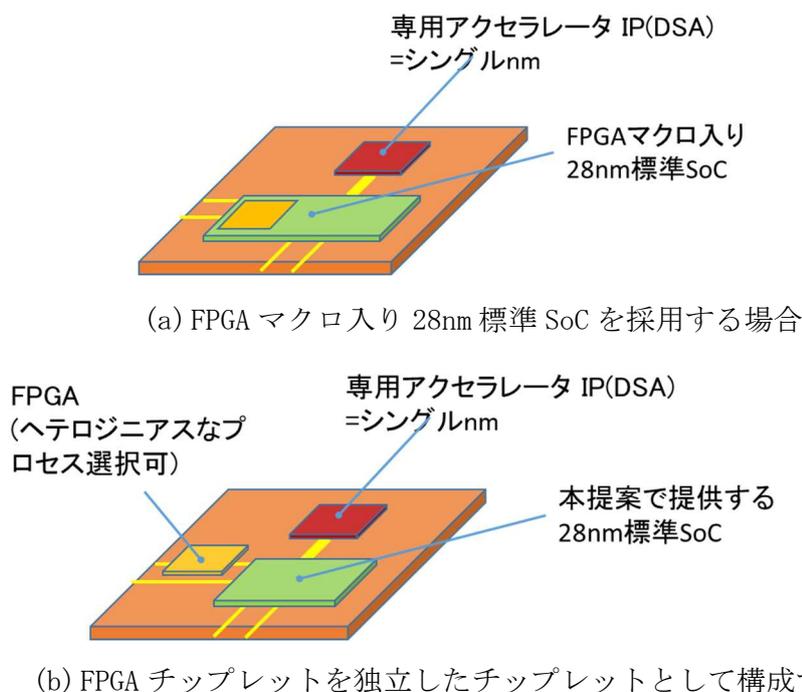


図 4-3 FPGA チップレットの実装方法検討

5) インターポーザ上での実装位置と再利用方法の策定

以上の検討結果を踏まえ、具体的なインターポーザ上でのレイアウトを策定した。概要は図 4-4 に示す（詳細は非公開資料に記載）。バンプピッチは、実施項目 2 と連携し、110 μm と決定した。標準 SoC チップレット、FPGA チップレットは各々約 1cm 程度とし、DSA チップレットは最大で約 2cm \times 1cm まで実装可能な設計とした。これを逸脱しない範囲で DSA を縮小することが可能である (DSA 縮小型)。また、標準 SoC を 10nm 以細の先端ノードで作成し実装することも視野に入れることができる。

想定ユーザに対する聞き取り調査に基づき、AD コンバータ、DA コンバータを搭載することも視野に入れられる。これらは、FPGA チップレットのさらに外側に GPIO を介して実装することを想定する。現段階の仕様では、AD コンバータ、DA コンバータはボードに実装することを想定する。

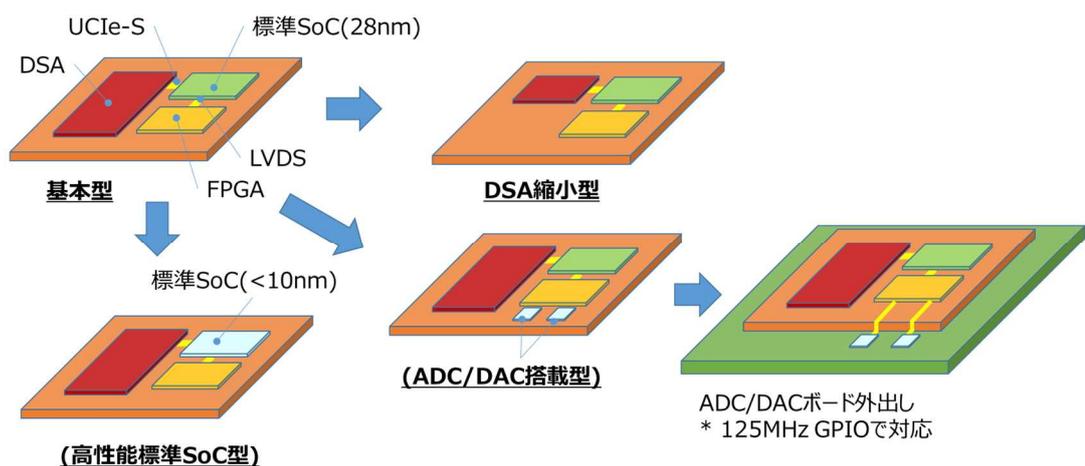


図 4-4 様々なチップ構成バリエーションを可能とするインターポーザ再利用方法

以上のように、想定ユーザや有識者から意見聴取を行い、標準 SoC のアーキテクチャー、チップレットピン数、インターポーザメタライズ位置、バンプ位置のドラフト版を策定した。通算 24 社分の聞き取り結果から数値仕様・定性的仕様を抽出し、実施項目 2、3、4、5 とともに仕様を決定できた。同仕様はドラフト版であり、今後も改定を続ける。ピン数については、必要に応じて未使用とすることもできるよう、拡張性を意識したものとした。

4.1.2 実施項目 2：チップレット実装技術の開発

(担当：国立研究開発法人産業技術総合研究所)

エッジコンピューティング向けチップレット型カスタム SoC の共通基盤技術の構築に向けて、UCIe 標準パッケージ準拠のチップレットインターフェースを有する先端デバイス集積技術を用いたチップレット実装技術の開発を行った(図 4-5)。

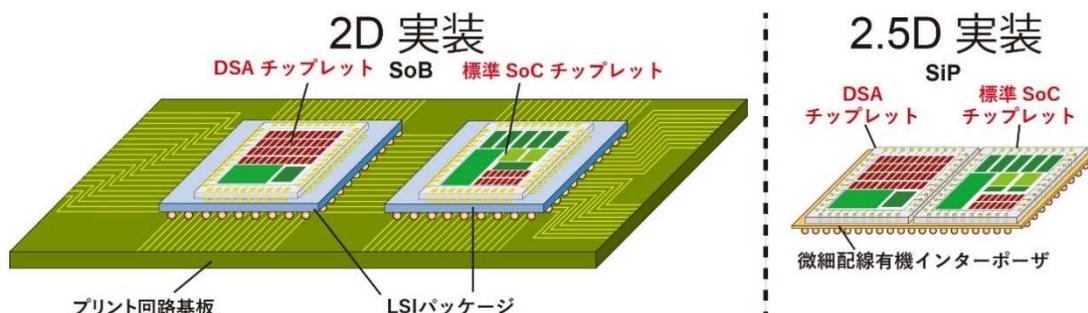


図4-5 従来のプリント回路基板によるパッケージ実装と、チップレット実装を用いた先端デバイス集積技術の概略図

先端デバイス集積技術においては、シリコンインターポーザによりチップレット実装が実用化されている。しかし、シリコンウェハの面積が限られており、またチップレットの大きさや数が増加することが想定されるため、それを実装するシリコンインターポーザ自体の大きさが大きくなると、シリコンウェハからのシリコンインターポーザの取れ数が限りなく少なくなることから、非常にコストが高くなることが想定される。しかし、エッジコンピューティングでは、より低コストな先端デバイス集積技術が求められることから、シリコンインターポーザに比較して、

大型化への対応が容易な有機インターポーザの活用が想定される。しかし、有機インターポーザは配線構造やチップレットとのバンプ接続構造が大きいいため、今回想定する標準 SoC チップレットと DSA チップレットを接続する UCIe 標準パッケージ準拠のチップレットインターフェースを有するチップレットの接続は困難である。そこで、微細配線構造と微細バンプ接続構造を有する有機インターポーザを開発し、標準 SoC チップレットと DSA チップレットの接続に、UCIe 標準パッケージ準拠のチップレットインターフェースを有する先端デバイス集積技術の開発を行う。この有機インターポーザでは、通常 $15\mu\text{m}$ のラインアンドスペース (以下、L/S とする) の配線を使用しているが、当該プロジェクトでは、現実的な層数で有機インターポーザに実装できる可能性があることから、 $5\mu\text{m}$ L/S の配線により UCIe 標準パッケージ準拠のチップレットインターフェースを実現する微細配線と、この微細配線の引き回し技術の検討を行った。また、UCIe 標準パッケージ準拠のチップレットインターフェースを実現する $100\sim 130\mu\text{m}$ の微細バンプ接続構造についても検討を行った。

まず初めに、UCIe 標準パッケージ準拠するため、 $5\mu\text{m}$ L/S の配線と $100\mu\text{m}$ ピッチの微細バンプ接続構造を有する有機インターポーザについて、4-2-4 の層構造と、5-2-5 の層構造の設計検討を実施した。4-2-4 層構造については、層構造を簡略化することで、有機インターポーザのコストと製造期間を抑制できる。一方、5-2-5 の層構造では、クロストーク低減という電気特性上の性能向上が得られる。その結果、4-2-4 の層構造については、分布定数線路として、配線構造について特性インピーダンス 50Ω を想定すると、配線について、GND で完全にシールド出来ずかつ配線同士が並走し、クロストークが発生するということが分かった。また、チップ間同士の配線エリアが拡大し、マルチチップ実装に適さないということが分かった。一方、5-2-5 の層構造では、 $100\mu\text{m}$ ピッチの微細バンプ接続構造でも、バンプ部のビア部まで GND でシールドすることが可能となり、また、ビルドアップ層の下層配線において、ビルドアップ層の GND リファレンス層を追加でき、電気特性の性能低減を抑制することが分かった。以上より、5-2-5 層構造による、有機インターポーザについて、詳細設計検討を進めた。

次に、UCIe 標準パッケージ準拠の有機インターポーザの詳細検討において、L2 層と、L4 層に、特性インピーダンス 50Ω となる配線構造を設計した。その構造を、図 4-6 と図 4-7 に示す。

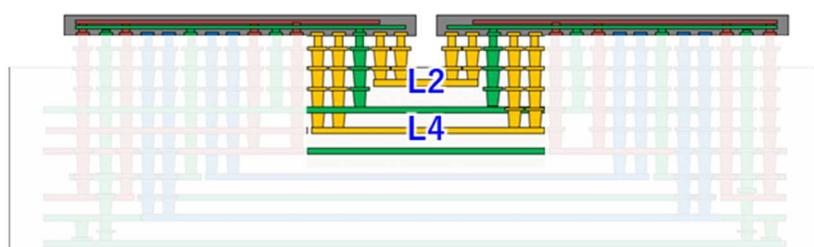


図 4-6 UCIe 規格書記載のインターポーザ断面図例

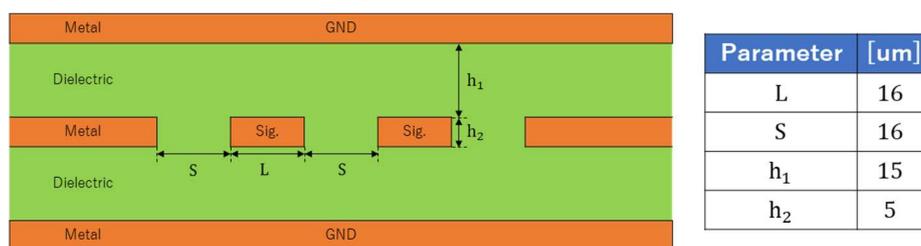


図 4-7 インターポーザ断面図と各サイズパラメータ

図 4-7 に示すように、特性インピーダンス 50Ω を準拠すると、 $16\mu\text{m}$ L/S の配線となることが分かった。L2/L4 による 2 層配線の詳細レイアウトを図 4-8 に示す。

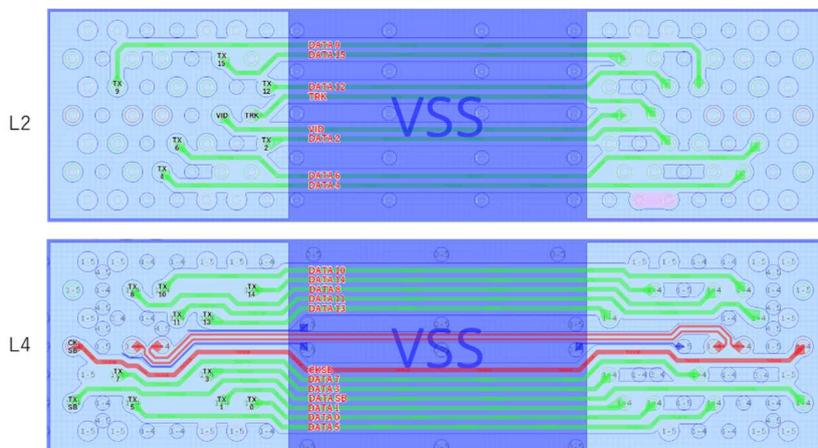


図 4-8 2 層配線(L2/L4 配線)の詳細レイアウト

図 4-8 の配線におけるアイパターンについて、解析を行った。UCIe 標準パッケージの規格において、16Gbps 以下の動作時のアイ開口の要求値は、Eye height: 40mV、Eye width: 0.75UI となる。この時、チップ間距離 10mm、信号伝送速度 16Gbps、最小スイング電圧 $V=400$ [mV] のアイ開口を解析した。その結果を、図 4-9 に示す。

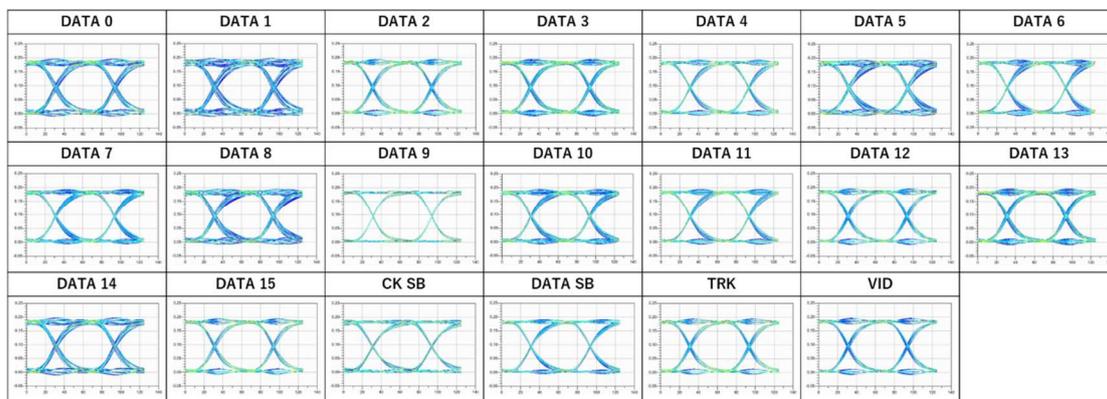


図 4-9 各配線のアイパターン (チップ間距離: 10mm, 信号伝送速度: 16Gbps)

図 4-9 をもとに、アイ開口が最小だったレーンを例に、チップ間距離を短縮した場合と信号レートを場合に、アイ開口の変化の解析を行った。この時、チップ間距離=1/5/10 mm, 信号伝送速度=4/8/12/16 Gbps でアイ開口を評価した。チップ間距離の構造図を図 4-10 に、その解析結果を図 4-11 に示す。

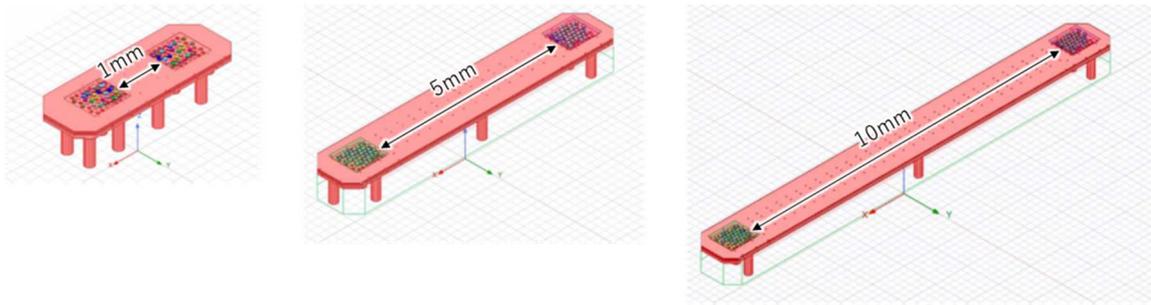


図 4-10 チップ間距離を変化した時のインターポーザ 3D モデル

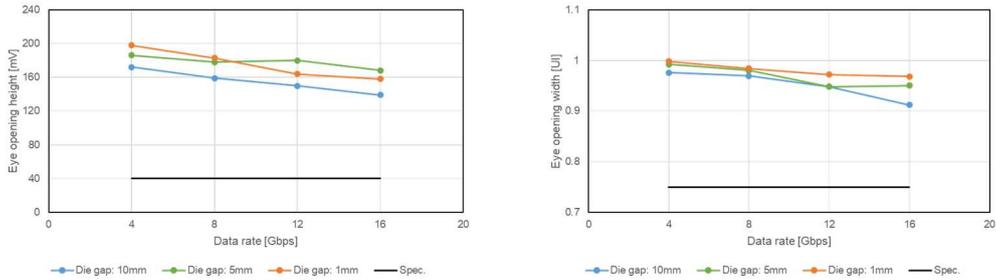


図 4-11 ワースト配線 (DATA 1) のアイ開口評価結果

図 4-11 から、チップ間距離を 10mm にした場合でも、16Gbps の信号伝送速度に十分に耐えることが分かった。

次に、 $5\mu\text{m}$ L/S の配線により層数削減をすることで、インターポーザのコストと製造期間を抑制するため、現状の $L2/L4$ 配線から $L2$ のみで配線可能かを検討した。この内容で、UCIe 標準パッケージ準拠のチップレットインターフェースを実現する微細配線を有する有機インターポーザについて、詳細検討を行った。この $5\mu\text{m}$ L/S の配線においては、 $110\mu\text{m}$ ピッチの微細バンプ接続構造にて、UCIe 標準パッケージ準拠の有機インターポーザの設計検討を行った。図 4-12 に配線構造図を示す。

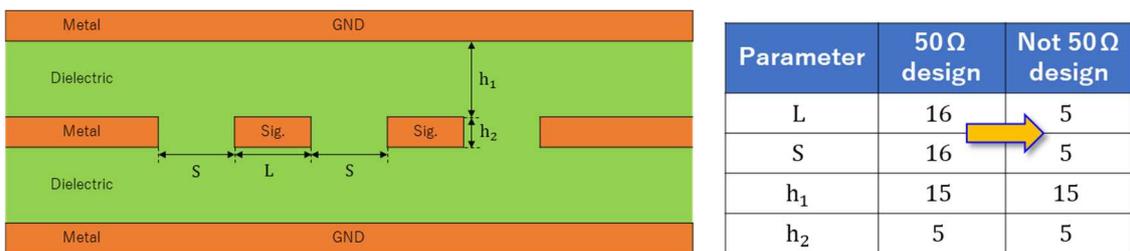


図 4-12 $5\mu\text{m}$ L/S によるインターポーザ断面図と各サイズパラメータ

図 4-12 に示すデザインルール $D=30\mu\text{m}$ 、 $L/S=5/5\mu\text{m}$ 、バンプピッチ条件 $P=110\mu\text{m}$ 、 $P_y=190.5\mu\text{m}$ の場合、レイアウト検討の結果 UCIe のフォームファクタ制約条件を満たしているため配線引き出しが理論上可能であるということが分かった。実際の配線引出しレイアウトの結果を図 4-13 に示す。

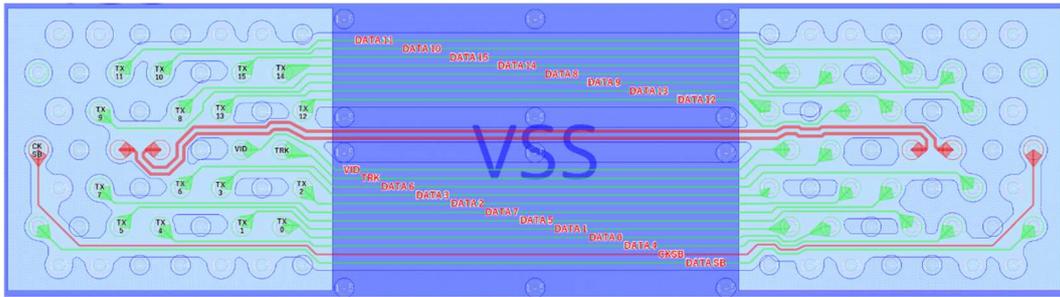


図 4-13 1層配線(L2配線)のレイアウト

この図 4-14 の 1層配線(L2配線)のレイアウトにおいて、ステップ応答時のクロストーク影響評価と、アイパターンによるアイ開口の解析を行った。

図 4-15 にステップ応答時のクロストーク影響評価に向けた、解析概要図を示す。

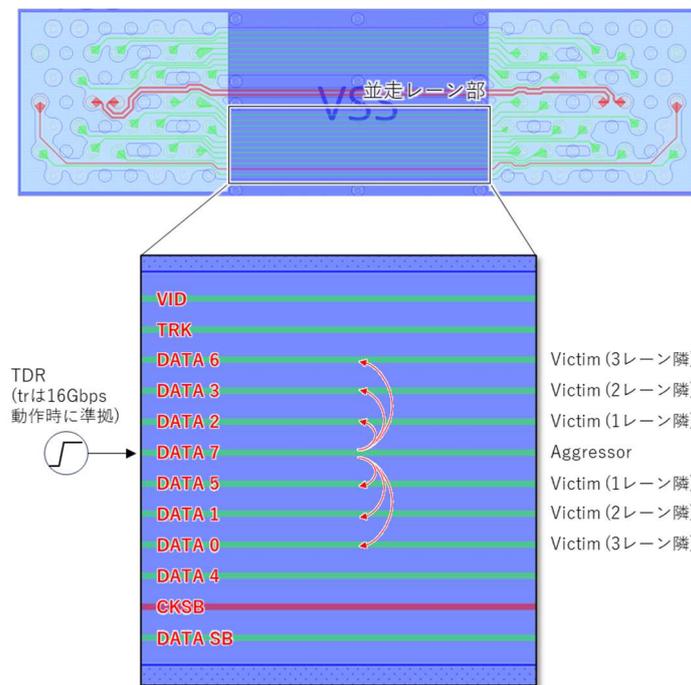


図 4-14 1層配線(L2配線)のレイアウトにおけるクロストーク評価

図 4-14 において、DATA7 がクロストークを発生させる側の線路で、DATA0、DATA1、DATA2、DATA3、DATA5、DATA6 がクロストークを受ける側の線路となっている。TDR (Time Domain Reflectometry)解析を行い、各々の Victim において発生するクロストークノイズを見積もった。結果として 2 レーン隣までは理想的なアイマスク値に対して 1%以上、3 レーン隣からは理想的なアイマスク値に対して 1%未満のクロストークという結果が得られた。よって、クロストーク影響込みの解析を実施する場合には、2 レーン隣まで含めて解析を行う必要がある。

次に、チップ間距離 10mm で、信号伝送速度を 16Gbps とした時の全 20 レーンのアイパターン解析時のアイ開口結果とアイパターンを図 4-15、図 4-16 に示す。

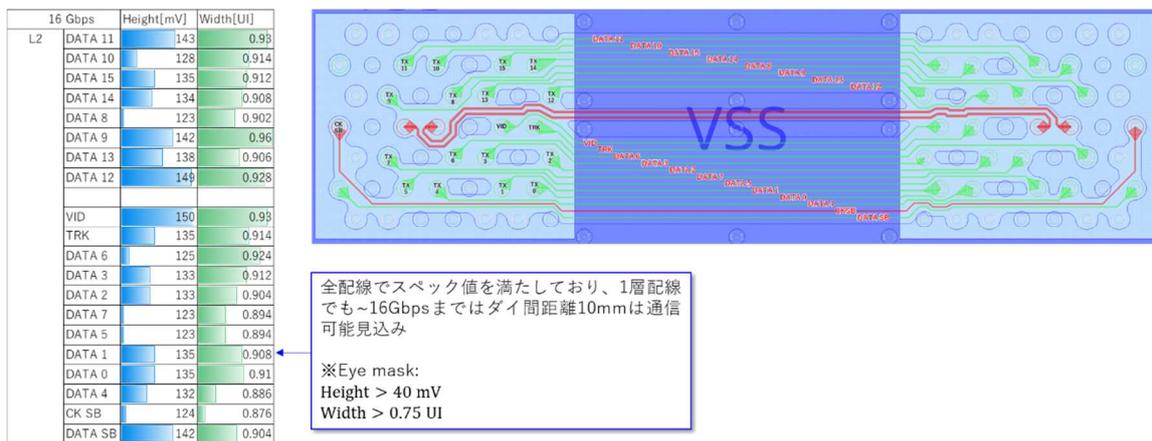


図 4-15 アイ開口評価結果

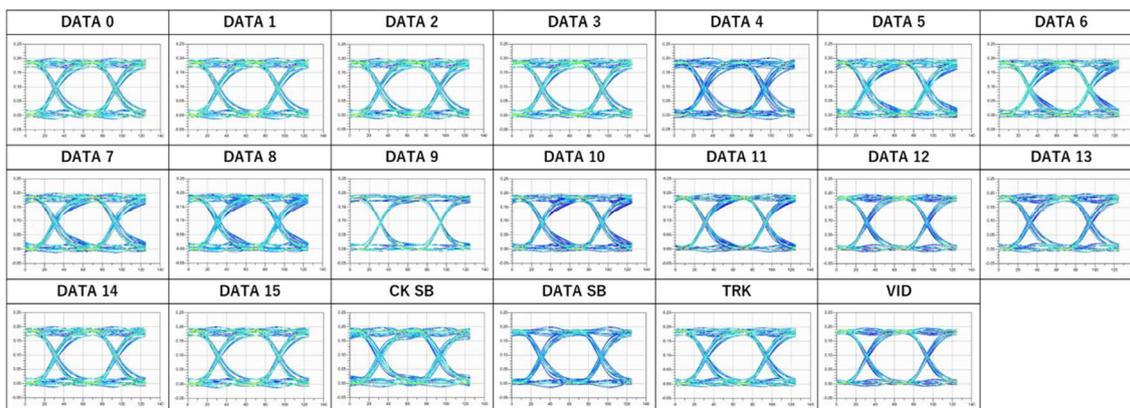


図 4-16 各配線のアイパターン

また、2層配線時と同様に、チップ間距離=1/5/10 mm, 信号伝送速度=4/8/12/16/24/32 Gbps でアイ開口も評価したが、2層配線時と比較すると信号品質は劣化するものの 32Gbps 動作時でもクライテリアを超えていることを確認した。

最後に、図 4-17 のような標準 SoC チップレットと FPGA チップレットの接続には、チップレット化に伴いダイ間接続 IF が必要になるが、この接続には LVDS (Low Voltage Differential Signaling) 準拠のチップレットインターフェースを使用する。そのため、信号経路としてバンプや電源引き込みのためのボールが新たに必要となり、標準 SoC チップレットと DSA チップレットの接続には、UCIe/LVDS の接続 IF を含んだ実装可能条件を検討した。

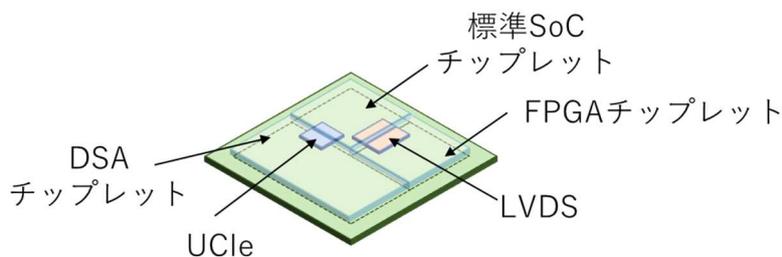


図 4-17 インターポーザの概略図

ここで、標準 SoC チップレットは 9mm 角、DSA チップレットは 9mm 角、FPGA チップレットは 6mm 角、有機インターポーザを 40mm 角と想定し、各チップレットのダイサイズと有機インターポーザのサイズ、バンプピッチ、ボールピッチを想定し、有機インターポーザに実装できるかを検討した。その検討結果を、表 4-2、表 4-3 に示す。

表 4-2 ダイの実装制約条件の検証結果

チップ種	必要バンプ数	チップサイズ WxD[mm]	実装可能バンプ数 (ピッチ: 110 μ m)	OK/NG
標準SoC	2730	9x9	6561	OK
DSA	2730	9x9	6561	OK
FPGA	400	6x6	2916	OK

表 4-3 インターポーザの実装制約条件の検証結果

基板サイズ WxD[mm]	必要ボール数	ピッチ: 0.8mm		ピッチ: 0.5mm	
		実装可能 ボール数	OK/NG	実装可能 ボール数	OK/NG
40x40	2483	2401	NG	6241	OK

表 4-2 から、必要なバンプ数と実装予定のチップサイズとバンプピッチで検討した結果、現在の各チップのチップサイズおよびバンプピッチで問題無いことが分かった。また、表 4-3 に示す通り、当初実装予定のボールピッチ 0.8mm ではボール数不足の懸念があった。よって、ボールピッチを 0.5mm に修正することで、インターポーザに必要ボール数を確保可能な見通しを得た。以上より、標準 SoC チップレットと DSA チップレットの接続を想定し、UCIe 標準パッケージ準拠のチップレットインターフェースを有する 5 μ m L/S の微細配線と、100~130 μ m の微細バンプ接続に対応する有機インターポーザ・微細バンプ接続構造について、設計仕様、および標準 SoC チップレットと FPGA チップレットの接続を想定し、LVDS 準拠のインターフェースを有する有機インターポーザ・微細バンプ接続構造について、設計仕様を検討できた。

4.1.3 実施項目 3：チップレットインターフェース回路の開発

(担当：キュリアス株式会社、国立研究開発法人産業技術総合研究所—再委託 公立大学法人富山県立大学、再委託 国立大学法人信州大学)

本プロジェクトにおいて構築するチップレット基盤技術においては、提案当初の方針に従い、チップレットインターフェース回路の規格として Universal Chip Interconnect Express (UCIe) を採用することと定めてきた。UCIe のレイヤー (層) 構造は、プロトコル層 (Protocol Layer)、Die-to-Die アダプタ (Die-to-Die Adapter) と物理層 (Physical Layer) からなる。本事業では 1) 物理層のアナログ部基本設計を行い、アーキテクチャーを検討すること、2) デジタル部のアーキテクチャーを検討すること、3) ESD セルの初期検討を行う計画とした。これらについて成果を以下述べる。

1) アナログ部の開発

実施項目 1、2、4 と協議の上、テクノロジーは TSMC 28nm、フォームファクター・プロトコル規格は UCIe 標準パッケージ規格を採用することとなった。当該アナログ部の開発はこれに合わせて行われた。

a) 全体アーキテクチャー

採用したテクノロジーとインターフェース規格に合わせて、下記のアーキテクチャーを策定した。まず、グローバルクロックを生成する PLL (Phase Lock Loop)、終端抵抗値のキャリブレーション回路 (RTERM CAL) 及びバイアス電流生成回路 (IREF) を共用エリアに配置する。そして、共用エリアからのグローバルクロックを、各レーン (TX, RX と SB) のそれぞれに配した DLL (Delay Lock Loop) と PI (Phase Interpolator) に供給する。DLL では、グローバルクロックを受けて 90° ずつ位相を離れた 4 つのクロック (90° , 180° , 270° , 360°) を生成する。PI は、これら DLL からのクロックの間の位相 (例、 92° など) を有するローカルクロックを生成する。これにより、所定のデータやレーン間の位相の微調整を行う。これらのローカルクロックは、送信側ではシリアルライザ (SERIALIZER) に供給されて、デジタル部から FIFO を介して供給されたパラレルデータを所定のビットレートでシリアル出力し、送信データとして TX ドライバに供給して外部へ出力する。また、受信側では、送信側からのデータをレシーバ (AFE) で受けてシリアルデータをデシリアルライザ (DE-SERIALIZER) に送る。デシリアルライザでは、グローバルクロックを PI により適切に位相調整して生成されたローカルクロックでパラレル化し受信データを生成する。この受信データは、FIFO を介してデジタル部に送られる。

b) 送信側 (TX) アーキテクチャー

TX においては、クロックを出力する CK レーンとデータを出力する Data レーンとでは、DLL からの出力クロックが異なる。CK レーンは、DLL からの 90° 位相のクロックを使用して受信側 (RX) に差動クロック (TXCKP/N) をドライバ (CLK Driver) から供給する。一方、Data レーンでは、DLL からの 0° 位相のクロックを使用して差動クロック (TXCKP/N) から 90° 位相が進んだ出力データ (TXDATA) を生成している。TX は 16 レーンなので、16 ビットのデータが出力されることとなる。これは、いわゆる DRAM の Double Data Rate (DDR) 方式で差動クロック (TXCKP/N) とデータ (TXDATA) を受信側 (RX) に伝送するためである。なお、Valid レーンは Data レーンと、Track レーンは CK レーンと、それぞれ同じローカルクロックを使用している。また、規格には差動クロックの許容 Duty 比の範囲が厳しく規定されている。これに対応するため、Duty Cycle Corrector (DCC) を適用している。DLL からのクロックは 2 分周されているので基本的に Hi と Lo の時間間隔は揃っていると思われるが、Duty Error の規定が ± 0.02 UI (UI は、Unit Interval) と非常に厳しいので、DCC を適用することとした。良好な Duty 比のローカルクロックが使用できることを前提に、Half Rate Clock を利用したアーキテクチャー、即ちマルチプレクサ (MUX) の選択信号 (S) にローカルクロックを入力して出力クロックの Hi/Lo や 2bit パラレル出力データのシリアル化を実現している。これにより、ローカルクロックの周波数を低下させて消費電力を抑えている。さらに、クロックを 4 分周もしくは 8 分周してデジタル部の FIFO の読み出しクロックを生成している。

データドライバ (Data Driver) の出力インピーダンスも、仕様書で許容範囲が規定されている。このため、外部抵抗を参照してドライバの出力インピーダンスを絶対値で調整できるようにしている。

(c) RX アーキテクチャー

RX では、TX から差動クロック (TXCLKP/N) と出力データ (TXDATA) を受けて、RXCLKP/N を基準として 16 ビットの RXDATA[15:0] をラッチする。このため、RX の各 Data レーンでは、RXDATA を電圧増幅するレシーバ (Data Receiver) と、増幅された受信データの時間的中央付近にクロックエッジの位相を調整する遅延調整機構とが必要になる。この遅延調整は、各 Data レーンに配した PI に対して入力されるデジタル部からの制御信号 REG[7:0] により行われる。すなわち、電源立ち上げ時の UCIe のトレーニング期間において、RXDATA の中央付近にクロックエッジがくるように制御信号 REG[7:0] を調整する。これは、制御信号 REG[7:0] により PI の遅延調整範囲の全域においてクロックで RXDATA をスキャンし、マージンが最大になる値に REG[7:0] を固定することにより行われる。また、トレーニング期間後の状況変化 (電源電圧や温度) に対応するために、RXCLKP/N と Track の位相関係をリアルタイムでチェックし、位相関係に変動があった場合は、その変動に追随するように制御信号 REG[7:0] を調整する。RX においても、Half Rate Clock を前提として、DE-SERIALIZER や FIFO が設計される。また、RX には、入力されるデータのアイパターンをモニターできる機構を想定することとした。具体的には、入力データに対して、参照電圧 V_{ref} とクロックタイミングをスキャンしながらアイパターンを In-Situ でモニターすることを視野に入れる。

2) デジタル部の開発

デジタル部の開発は、UCIe 規格に定められた機能 “PHY Control” と PHY アナログ部の界面仕様に合わせた制御部 “PHY attachment” の実装が必要である。PHY attachment の制御詳細検討は PHY アナログ本体の実装に強く依存するために、実装時に詳細設計を行うこととした。一方 PHY Control に関しては、UCIe 規格を実装するために、状態遷移を制御するモジュールである PHY Control_FSM、SB_Control と MB_Control の各モジュールで実装することとした。すなわち、PHY 全体のコントロールを PHY Control_FSM で行い、SideBand の通信は SB_Control で、MainBand の通信は MB_Control で制御するものである。

PHY Control FSM は PHY 全体を制御するが、特にこのモジュールは Link Training FSM (LT_FSM) と、SBINIT、MBINIT、MBTRAIN の各 sub FSM で構成されるものとした。Main Band control は モジュール内に LFSR Pattern Generator と LFSR Pattern matcher を内蔵し、コントローラからの指示で Main Band のキャリブレーションを行い、Main Band の通信を行う。Side Band control は モジュール内にメッセージジェネレーターとデコーダーを内蔵し、コントローラと連携してモジュールパートナとの Side Band の通信を行う仕様とした。(詳細については、非公開版に詳述。)

3) ESD セルの開発

ESD セルは、静電気保護のために集積回路 (IC) の入出力セルに搭載されるため、それ自身の容量が静電気への保護耐圧と信号の入出力帯域とを決めるので、当該容量値の設定が非

常に重要になる。本事業では、ESDセルの開発は、ESD回路の要件を検討し、その回路構成の検討、さらにそのレイアウト検討を行い、評価方法を含めて基礎的検討を終了させた。

a) ESDセルの回路開発

本事業では、まずMOSトランジスタで信号のドライバとレシーバを簡易的に設けるとともに、伝送線路(50Ωの特性インピーダンス)でモデル化して、データ信号の送受信のシミュレーションを行った。想定する半導体プロセスは、TSMCの28nmである。そこで回路開発に先立ち、AIチップ設計拠点にてTSMC 28nmのカスタム回路、レイアウト設計環境の構築を行った。そして、その設計環境において、伝送線路シミュレーションを行えるよう基本回路を設計した。

基本回路は、送信側(TX)および受信側(RX)をトランジスタと抵抗で基礎設計するとともに、伝送線路についてもTLINEによりシミュレーション可能なモデルとした。なお、パターンは、疑似ランダムパターン(PRBS31-1)を用いた。

シミュレーションの際には、静電気保護のためのダイオードをユニット化し、その個数を変更することによりESDセルの容量を変化させた。また、伝送線路長についても、1mmから10mmまで変化させた。さらに、受信端での50Ω終端の有無の影響についても調べた。波形の品質評価は、単位ユニットインターバル(1UI)でtime domainの波形を描かせるアイダイヤグラムで評価した。このアイダイヤグラムの開口がSpec内かどうかで評価する。

その結果、現状我々の目指す無終端の条件では、現状のTSMC標準の入出力セルの容量であると伝送線路長が3mm程度を超えるとかなりデータアイの開口が乱れてくる。50Ωで受信端を終端すると、6mm程度となる。

ESDセル容量をTSMC標準から1/200程度にできれば、無終端でも10mmのデータ伝送でアイ開口が十分確保できる。現状は、無終端で10mm程度の伝送線路を想定しているが、この伝送線路長については、実際のインターポーザー設計の際に実装側をすり合わせる。より長尺な伝送線路が必要な場合にも、50Ω終端の条件下であれば信号品質を確保可能と見込まれる。

以上のように、ESDセルのテストチップでは、ダイオードのユニット数を離散的に変化させESDセル容量をTSMC標準値から1/200までとするとともに、テスト用のインターポーザーも伝送線路長を変化させて設計して、それらの伝送線路とESDセル容量のマトリックスにおいて、伝送特性とESD耐圧とを実機(テスト環境)で確認するという手順を進めればよい。ESD耐圧については、100μm程度のピッチはESD評価装置にとっては狭ピッチなため、後述のように特殊な評価装置を別途検討した。

以上のように本事業では、UCIeのテストチップ作成におけるESDセルに必要な容量の範囲および設計指針を明確化することができた。

b) ESDセルのレイアウト開発

まず、UCIe仕様書から、その物理層のレーン当たりの占有サイズを見積もった。PADピッチを110μmとして、当該占有サイズを推定した。このサイズとTSMCの標準入出力セルのサイズとを比較して、基本的に問題なく搭載できると思われる。

ただし、広帯域化のためにT-Coilストラクチャを適用しようとする、インダクタが必要になる。このインダクタのサイズは、一般的にRF-CMOSで使用されるものを適用しようとする、そのままでは1レーンの占有サイズに入らない。したがって、T-

Coil ストラクチャを適用しようとする、小面積のインダクタをカスタムで作成する必要がある。これも、今後のテストチップを作成するうえでの課題となる。

本事業では、UCIe のテストチップ作成における標準 ESD セルのレイアウトが面積的に問題ないことと、T-Coil ストラクチャを適用する場合のレイアウト課題とを明確化することができた。

c) ESD セルの評価手法検討

前述 a) の回路設計、b) のレイアウトの検討と合わせて、実際の測定評価手段についても検討した。まず、実験用基板を作成し、ESD 試験評価受託会社 2 社に対し、チップレット (Die チップ) に $110\mu\text{m}$ ピッチ程度の PAD に対する直接静電気印加試験を依頼した。結果として、いずれも既存技術では対応不可であることが判明した。これは、通常はパッケージされた IC で ESD 評価を実施するため、ピン間隔は最小 0.3mm であり、本事業での $110\mu\text{m}$ ピッチに適合しないためである。また、一般に CDM の ESD 試験では、 200V 程度でないと試験結果が安定しない。UCIe の規格を満たす 30V では、試験結果にバラツキが出るのが予想される。

したがって、評価方法として下記の方法をとることとして目途をつけた。

- ・ 数 μm レベルの位置決め精度を有するステージ機構の導入
- ・ 直径 $7\mu\text{m}$ 程度のニードルの導入による $50\mu\text{m}$ ピッチまでの PAD 静電気印加
- ・ 同ピッチの Device Under Test (DUT) に安定した静電気印加を可能にするための、Field-induced Charged Device Model (FDCDM) 代替である、Low Impedance Contact CDM (LICCDM) の導入

LICCDM は、従来の FDCDM とは異なり、直接デバイスのパッドに所定の電流パルスを低インピーダンスで印加する方法である。LICCDM であれば、直接 DUT に電流パルスを印加するので、試験結果の安定が期待できる。懸念事項としては、LICCDM は規格化前の方式であることが挙げられる。ただし、JEDEC 規格である JS-002 の電流波形と LICCDM の電流波形の間には大きな乖離は認められず、ベルギー imec でも FDCDM と LICCDM の相関をとって利用する検討が進んでいる。したがって、今後同方式の採用条件を詰めていけば、JS-002 の ESD 試験と同等な試験を狭パッドピッチの Die チップで実施できると考える。

以上のように、本事業では、チップレットの PAD に静電気を印加して評価する手法について可能性を見出すことができた。

以上のように、本実施項目 3 では、標準パッケージ準拠 UCIe の物理層のアナログ部の基本設計を実施し TSMC28nm プロセスに適したアーキテクチャー検討を終了した。また、物理層デジタルの必要機能を列挙してブロック仕様を策定した。さらに、ESD セルについては、プロジェクトで共通利用する AI チップ設計拠点におけるアナログ設計の環境を立ち上げるとともに、評価用回路設計とレイアウトを進め、初期検討 (ESD ダイオード容量やレイアウトサイズの見積り) を終了した。よって、最終目標を網羅しており、最終目標は、すべて計画通り達成された。今後のエコシステム構築においては、実際に設計を行う際に、本事業で得られた成果に基づき実装作業を行うこととなる。

4.1.4 実施項目4：標準 SoC チップレットの開発

(担当：国立大学法人東京大学、国立研究開発法人産業技術総合研究所)

標準 SoC チップレットの開発においては、1) 実施項目3「チップレットインターフェース回路の開発」の成果を標準 SoC チップレットにインテグレーションするにあたり、物理設計用 EDA ツールで必要となる設計データの要件を特定し、ガイドラインとしてまとめた。また、2) 標準 SoC チップレットの仕様案を標準 SoC を構成する各要素の検討を行うことで策定した。

1) チップレットインターフェース回路 IP インテグレーションのためのガイドライン策定

本ガイドラインの策定に関しては、物理マクロの SoC チップへの組み込みで必要となる作業を、Front-end 設計、Back-end 設計、Signal Integrity・Power Integrity 検証、テスト設計の4つの設計工程に分け、それぞれの設計工程で必要となる設計データの概略を説明したガイドラインを作成し開示を行った。物理マクロを構成する要素を Mixed-signal ブロック、デジタル機能ブロック、内蔵 SRAM に分け設計データの仕様を記述した。また、設計データの提出時期、完成度についても SoC 設計のマイルストーンである RTL-Power ON、DF (Dirty file)、CF (Clean File) それぞれに対してどの設計データが必要で、どのような完成度が期待されるかを記載し、不必要に物理設計側の設計データ準備を急がせることがないように対応した。作成したガイドラインに基づいて設計データを準備することで、SoC 設計における物理設計工程のみならず、論理設計からシグナルインテグリティ検証、テスト設計までも手戻りなく設計・検証を実施することが可能となり、開発期間の短縮が期待される。

2) 標準 SoC 仕様の策定

標準 SoC の仕様策定については、a)機能仕様、b)パッケージ仕様、c)エミュレータを利用した機能検証、d)標準 SoC 上で実行する基盤となるソフトウェアの仕様に分けて仕様検討、策定を行った。仕様策定に当たっては NEDO プロジェクト「AI チップ開発加速のためのイノベーション推進事業」の研究開発項目②「AI チップ開発を加速する共通基盤技術の開発」において開発された AI アクセラレータのための評価プラットフォーム 28nm プロセス版 AI-One および 12nm プロセス版を参考に仕様を策定した。以下、仕様を策定した根拠等を示す。検討結果は非公開資料に記載する。

a) 機能仕様

標準 SoC の主たる構成要素として CPU、外部メモリ、ダイレクトメモリアクセスコントローラ (DMAC)、基盤ソフトウェア、アドレスマップ、UCIe インターフェース、LVDS インターフェース、カメラインターフェース、システムコントローラについて検討を行い、仕様として策定した。

・CPU コア

事業項目1のユーザ企業聞き取り調査、および AI アプリケーションをターゲットとする AI コンピューティング製品の市場調査の結果、Arm 社の A シリーズ 64bit プロセッサをメイン CPU とし、さらにサブ CPU を搭載することとした。

・外部メモリ

28nm プロセスを前提として、外部メモリとして RAM は LPDDR4 を採用した。ROM については市場では SPI インターフェースのフラッシュメモリと eMMC インターフェースの外付けフラッシュメモリを有しているものが大部分である。SPI インターフェー

スのフラッシュメモリについては容量が大きくなり、小容量システムまたは初期ブートのための ROM として利用し、大規模プログラム、大規模データについては eMMC を使った大容量フラッシュメモリを利用する方式が、大規模化する AI モデルに対応するためには必要と考えられる。以上の考察を総合し、外部メモリの使用を策定した。

・ DMAC

UCIe を経由して標準 SoC 側に接続された外部メモリから Domain Specific Accelerator (DSA) チップレット上のメモリまたは DSA チップレットに接続された外部メモリにデータを高速に転送するため DMAC の仕様を検討した。DMAC の構成に関するパラメータは FIFO 段数、AXI ポート数、AXI 最大バースト数、転送完了を待たずに連続発行できる先行発行数であり、この組み合わせで実現できる理論帯域幅およびそれを実現するために DMAC から外部メモリへアクセス要求を発行、この結果を DSA チップレットに転送し、受信確認をもらうまでのレイテンシ時間の許容値が決まる。

FIFO 段数を 256、ポート数を 2、最大バースト数を 32、先行発行数を 16 とすると 12.8GB/s の帯域が実現でき、許容レイテンシは 420ns となるので十分なマージンがあると考えられる。以上の考察を総合し、DMAC の仕様を策定した。

・ 基盤ソフトウェア

AI 処理を実現するために利用される AI システム開発フレームワークに関してはオープンソースで広く活用されリファレンスデザインとして活用可能な TensorFlow、PyTorch、ONNX、Python、OpenCV を想定する。これらを走らせるための OS としては Linux 系の Ubuntu がメインストリームの更新頻度が高く、機械学習関連ツールのアップデートにも対応しやすいためこれを選択することとした。これは、TensorFlow の公式サポート環境でもあるため、ニーズに適合していると考えられる。

・ アドレスマップ

アドレスマップとしては下位 4GB 空間に SoC の全接続要素を集め、4GB のアドレス空間に入りきれない外部メモリや PCIe、UCIe などのインターフェースについては 4GB よりも上のアドレス空間に各インターフェースの全体空間を配置することとした。

・ UCIe インターフェース

UCIe インターフェースは物理層からプロトコル層に対し順に Physical (Phy) Layer, Die-to-Die (D2D) Adapter, Protocol Layer の 3 階層がある。

Phy Layer と D2D Adapter 間の RDI インターフェース、D2D Layer と Protocol Layer 間の FDI インターフェースについてはいくつかのフォーマットが標準規格で制定されている。転送効率などを検討した結果 256 バイトを転送単位とする Latency Optimized 256B with optional bytes を採用することとした。 Protocol

Layer に接続するインターフェースはレイテンシおよび SoC 内 NoC の設計容易性を考慮し AMBA AXI および APB とした。

- ・カメラインターフェース

AI 処理の用途のうち特に本プロジェクトで対象とするアプリケーションセグメントにおいては画像データを入力とすることが多い。画像データの入力インターフェース及びデータフォーマットとして選択可能なもののうち標準 SoC として取り入れるべきものを選定した。

MIPI CSI2 は入力可能なフレームレートが max 100fps と高速であるため採用することとした。また、産業用 UVC カメラなどから非圧縮なデータ入力が行える USB3.0 についてもカメラ入力として採用することとした。通信速度が遅く圧縮データのみ伝送可能な USB2.0 についてはカメラ入力としては伸長処理に専用ハードウェアが必要となるため今回は採用を見送ることとした。

- ・システムコントローラ

「AI チップ開発を加速する共通基盤技術の開発」における最新のプラットフォームである AI-Two のシステムコントローラ仕様に対してチップ間制御、テストも考慮に入れ以下の機能を実装することとした。

- 起動モード選択

- パワーオンリセットシーケンス制御

- CPU 起動シーケンス選択

- デバッガ接続起動

- テスト制御コントローラの制御

- ソフトウェアリセット機能

- LSI 内の各 IP に分配するモード信号設定レジスタ

- 内部信号出力機能

- CHIP ID 判別

- チップレット構成におけるチップレット間起動シーケンス制御

b) パッケージ仕様

実施項目 1、実施項目 2 の検討結果をもとに、現状の標準 SoC チップレットの仕様案の最大構成を用いてパッケージ設計検討に使用する端子信号仕様を作成した。さらに各インターフェース信号のバンプピッチの検討を行いこれに基づいた標準 SoC チップレットの bump map 案を作成した。検討結果は非公開資料に記載する。

c) エミュレータを利用した機能検証

エミュレータを使用した検証プラットフォームの仕様策定を行った。同仕様策定にあたっては、検証プラットフォームを使用して行う検証の目的について検討を行い、1) シリコンハードウェアデバッグに特化した「AI ハード向け環境」、2) CPU や OS に合わせた「デバイスドライバデバッグ、検証向け環境」、3) AI フレームワークで動作する「AI アプリ向け環境」の 3 つを想定することとした。

「AIハード向け環境」の構築に当たっては、OSで利用可能とするセキュリティ機能の適切なインプリメントを行うため、Arm社のTrusted firmwareを利用して複数の特権レベル、適切なTrusted領域の管理を実現することとした。

「AIハード向け環境」に加え、「デバイスドライバデバッグ、検証向け環境」ではQEMUを用いたホストCPUをエミュレータ環境に追加するとともに、標準SoCチップレットのフラッシュメモリからのブートシーケンスを実行するための環境を追加することとした。同「デバイスドライバデバッグ、検証向け環境」の上でのソフトウェアデバッグ完了後、AIフレームワークのポーティングを行い「AIアプリ向け環境」の構築を完了させることを想定した造りとした。「AIアプリ向け環境」では、扱うプログラムサイズが膨大になる見込みであり、従来の方法でプログラムをエミュレータのメモリ上に展開すると実行時間がかなり増加することが予想されるため、プログラムの初期設定時間の短縮対策を行う必要がある。このための仕様策定を行った。なお、検討結果は非公開資料に記載する。

d) ソフトウェア仕様

AI処理のユースケース調査を基にPythonとAIフレームワークに対応可能なLinux OS Ubuntu環境の構築が必須である。本プロジェクトで提供を想定するベンチマーク環境としては、MLPerfやTensorFlow benchmarksが挙げられる。これらを実行し、性能解析を行うための基盤ソフトウェア環境を調査し、2つのプロファイラTensorFlow ProfilerとPython line profilerの比較を行った。エミュレータを利用する環境では外部ネットワークへのアクセスが制限されているためTensorFlow Profilerの利用は難しいことが判明した。ただし、実機評価に向けては利用可能なため両ツールに対応を行うこととした。また、外部インターフェースのLinuxドライバ対応とIP情報の調査をおこない、Linuxドライバに対する対応があるIPの洗い出しを行った。

以上のように、1)の検討の結果、各チップレットにIPを搭載するのに十分なガイドラインが得られた。また、2)の検討の結果、ピン数、メタライズ位置、インターフェースリスト・各仕様、CPU性能等の決定を終了した。実施項目1の検討内容と齟齬はない。したがって、最終目標は、すべて計画通り達成された。なお、策定された仕様の技術的内容は、技術競争力保持のために非公開版に記載するとともに、設計ガイドラインを作成し拠点ホームページに掲載することとしている。この設計ガイドラインは、当該チップレット型カスタムSoC基盤技術の想定ユーザに提供され、2030年ごろにはエコシステムが本格的利用可能となるように改定を続ける予定である。

4.1.5 実施項目5：FPGAチップレットの開発

(担当：ナノブリッジ・セミコンダクター株式会社)

FPGAチップレットは、低レイテンシに外界と標準SoCチップレットをブリッジする機能を具有し、様々な低レイテンシの処理を行うためのプログラミング可能なロジックを持つ。標準SoCチップレットとFPGAチップレットの接続はLVDSを用い、チップレットの外にあるユーザチップとの接続にはGPIOにより行う。本実施項目では、これらのI/Oのテストチップの開発を実施し、高速I/Oの評価を行った。テクノロジーノード28nmで差動I/OであるLVDSの回路設計および物理設計を実

施した。シングルエンド GPIO はファウンダリが提供するライブラリから選択した。伝送速度の設計目標値は差動 I/O が 600Mbps、シングルエンド GPIO は 125MHz である。各 I/O を搭載したテストチップの回路設計および物理設計を実施した。物理設計にあたり、電源線でのノイズや信号間のクロストークを低減するよう配慮した。

下記、実施した内容である。

- 1) ユースケースを想定した仕様の確認
- 2) GPIO の動作確認
- 3) LVDS の回路設計および物理設計
- 4) テスト回路の回路設計および物理設計
- 5) GPIO 動作時の電源線を介したノイズの評価

それぞれの項目について以下に説明する。図面を用いたより詳細な説明は非公開版において行う。

1) ユースケースを想定した仕様の確認

FPGA チップレットは、チップレットの外からのデータを受けて前処理を行い、標準 SoC チップレットに処理後のデータを渡す役割を行う。そのために、GPIO もしくは LVDS のインターフェースを備えている。

ユースケースの要求では、信号周波数 125MHz で少なくとも 32 個の入出力が必要とのことであった。並列処理が容易で低レイテンシ処理が可能な FPGA チップレットの利用が求められている。

本制御においては、信号周波数 125MHz で少なくとも 32 個の入出力が必要とのことであった。そのため、FPGA チップレットにおいては、本処理以外にも必要な GPIO の個数を考慮して 64 個以上の GPIO を備えることとした。また、処理の一部を担う標準 SoC チップレット側との信号の入出力のために 600Mbps の伝送速度を備えた LVDS を 32 対以上備えることとした。

2) GPIO の動作確認

使用条件下の負荷を想定して 125MHz の信号品質の確認を HSPICE シミュレーションにより行った。シミュレーションは GPIO の物理設計後に、寄生容量抽出を実施し、より実態に近い回路を用いた。PCB ボード上のユーザチップとの接続を想定し、ボード上の寄生成分には FG4 基板モデル、距離 2inch、動作周波数を 125MHz とした。FPGA チップレットの GPIO から出力された信号の対向チップにおける入力波形を評価した。入出力信号の反射によるノイズが観測された。出力時の駆動倍率が x4 の場合には反射は顕著ではないが、波形が鈍っている。駆動力を大きくすると反射による波形が観測される。そのため、伝送線路上にダンピングのための抵抗を設けることとした。ダンピング抵抗値および挿入位置が最適であるのは出力側であり、20Ω程度の抵抗を挿入するのが最適であった。さらに倍率は x8 が適していることが分かった。本処置により、125MHz の周波数での信号のやり取りが可能であることが分かった。

3) LVDS の回路設計および物理設計

伝送速度 600Mbps となる LVDS の回路設計及び物理設計を実施した。動作条件として電源電圧変動(10%)・プロセス(SS/TT/FF)・環境温度(-40~+125°C)を考慮した。物理設計の後、実負荷抽出を実施し、HSPICE シミュレーションにより動作条件下での正常動作を確認した。

4) テスト回路の回路設計および物理設計

LVDS および GPIO の動作検証を実施するためのテスト回路の設計・物理設計を行った。テスト回路は、波形生成回路、遅延回路、判定回路から構成される。波形生成回路のための PLL も

今回、新たに設計を行いナノブリッジ FPGA に搭載する予定である。信号経路は、各 I/O を介して内部ループと外部ループの 2 種類が選択できる。外部ループにおいては、波形生成回路で生成した信号を出力 I/O を介して出力し、外部の伝送線路から入力 I/O を介して再度テスト回路に入力し、内部の信号と比較する。一方、内部ループにおいては、外部からテスト回路の入力 I/O を介して信号を入力し、出力 I/O を介して出力した信号を外部の測定器で比較する。

本テスト回路のレイアウトは、チップサイズはファウンダリのシャトルチップの最小区画に対応する 2.5mm 角である。パッド配置はフリップチップボンディングに対応している。

5) GPIO 動作時の電源線を介したノイズの評価

多くの I/O が同時に動作する場合、電源線からトランジスタサイズが大きい回路への電流の供給が同時に必要となり、他の I/O に共通に接続されている電源線にノイズが発生する。これは同時スイッチングノイズと呼ばれる。本ノイズを避けるために、電源線の抵抗を十分下げること、I/O 電源端子 1 組当たりを実装する I/O の個数に制限を設けることが必要となる。FPGA チップレットにおいては GPIO は 64 個以上と多数必要であることから、電源端子の配置頻度を検討する上で必要な電源ノイズの評価を行った。今回、電源端子間に 22 個の GPIO を配置し、さらに、GPIO が共通に接続される電源リングに異なる配線層数(3 層または 4 層)のものを用意した。

電气的評価では、I/O 電源端子間の複数の GPIO から 1MHz の信号を出力させ、電源ノイズを測定する端子では固定の I/O 電源電位(プルアップ)を出力させた。I/O 電源電圧は 1.8V である。測定結果によると、電源ノイズは、配線層数を変化させても有意な差はなく、同時に動作する GPIO 数に単純に比例していた。電源端子間の同時動作する GPIO 数が最大 22 個の場合、電源ノイズは 50mV 程度と評価できた。50mV のノイズはフルスイング 1.8V の 2.8%に相当し、問題がないレベルである。

以上のように、テクノロジーノード 28nm で差動 I/O(LVDS・自作 IP)とシングルエンド I/O(ファブ IP)を搭載したテストチップの設計・シミュレーションを実施した。伝送速度の設計目標値は差動 I/O が 600Mbps、シングルエンド I/O 125MHz とした数値目標は、評価結果を総合して、チップレットシステムに組み込んだ際も達成可能と判断された。将来のチップレットエコシステム構築に利用し、ユーザの期待に応えることが可能である。

また、FPGA チップレットの有用性についても、実施項目 1 とともに検討した。聞き取りの結果、FA 関連、産業用ロボット等の機能安全の面から、ナノブリッジ FPGA のプログラミング不揮発性は、電源喪失時などの際に安全に機能を復帰させるなど、効果が高いことが判明した。また、画像前処理や PWM などの波形生成処理など、リアルタイム性の高い分野において FPGA の特性を生かせることが分かっている。これらの処理には 10~100k LUT が必要であると見積もられる。ナノブリッジ FPGA では、これをカバー可能な製品群をバックグラウンド知財として保有しており、配置配線等のツールの提供も可能である。したがって、本事業のエコシステムにこれらを組み込むことが見込める。

4.1.6 まとめ

以上のように、実施項目 1~5 を密接に連携させ、図 4-2 に示すようなシステムを分割・再結合可能なチップレット型カスタム SoC の仕様検討を行った。表 4-4 に示すように、各項目において

最終目標を達成した。結果として、全体の最終目標であった「共通基盤技術」の仕様を策定できた。

表 4-4 本事業の最終目標達成状況

実施項目	最終目標	成果	達成度	達成の根拠
実施項目 1 高効率チップレットアーキテクチャーの開発	<ul style="list-style-type: none"> 想定ユーザや有識者から意見聴取を行い、標準 SoC のアーキテクチャー、チップレットピン数、インターポーザメタライズ位置、バンブ位置のドラフト版を策定する。 UCIe における作業部会での情報収集・技術提案の活動に努める。 	<ul style="list-style-type: none"> 想定ユーザや有識者から意見聴取を行い、標準 SoC のアーキテクチャー、チップレットピン数、インターポーザメタライズ位置、バンブ位置のドラフト版を策定した。 UCIe における作業部会での情報収集・技術提案の活動に努めた。 	○	<ul style="list-style-type: none"> 通算 23 社分の聞き取り結果から数値仕様・定性的仕様を抽出し、実施項目 2～5 とともに仕様を決定できた。 仕様内容は実施項目 4 で具体化した。
実施項目 2 チップレット実装技術の開発	<ul style="list-style-type: none"> 5μm 級微細配線、100～130μm の微細バンブ接続、UCIe 標準 IF と LVDS 準拠 IF を有するチップレット実装可能なインターポーザの設計仕様検討を行う。 	<ul style="list-style-type: none"> 5μm 級微細配線、110μm の微細バンブ接続、UCIe 標準 IF と LVDS 準拠 IF を有するチップレット実装可能なインターポーザの設計仕様の検討を完了し、実現可能な見通しを得た。 	○	<ul style="list-style-type: none"> インターポーザ基板の構造パラメータの仕様策定を行い、数値解析によるチップ間通信の実現性を得た。
実施項目 3 チップレットインターフェース回路の開発	<ul style="list-style-type: none"> UCIe 標準パッケージ準拠のインターフェース回路（物理層）のアナログの基本設計を行い、アーキテクチャーを検討する。 UCIe 標準パッケージ準拠のインターフェース回路（物理層）のデジタル部のアーキテクチャーを検討する。 ESD 保護セルを使用したインターフェース回路の設計環境を整備し、評価用回路設計とレイアウトを進め初期検討を完了させる。 	<ul style="list-style-type: none"> 標準パッケージ準拠 UCIe の物理層のアナログ部の基本設計を実施し TSMC28nm プロセスに適したアーキテクチャー検討を終了した。 標準パッケージ準拠 UCIe の物理層のデジタル部の必要機能を列挙してブロック仕様を検討した。 産総研におけるアナログ設計の環境を立ち上げるとともに、評価用回路設計とレイアウトを進め、初期検討（ESD ダイオード容量やレイアウトサイズの見積り）を終了した。 	○	<ul style="list-style-type: none"> 標準パッケージ準拠 UCIe の物理層のアナログ部の基本設計を実施し TSMC28nm プロセスに適したアーキテクチャー検討を終了した。物理層デジタルの必要機能を列挙してブロック仕様を策定した。
実施項目 4 標準 SoC チップレットの開発	<ul style="list-style-type: none"> 実施項目 3 の成果を標準 SoC チップレットにインテグレーションするにあたり、ガイドラインを策定する。 標準 SoC チップレットの仕様案を検討する。 	<ul style="list-style-type: none"> 実施項目 3 の成果をインテグレーションするにあたり、そのガイドラインを策定した。 標準 SoC チップレットの仕様案を策定した。 	○	<ul style="list-style-type: none"> 各チップレットに IP を搭載するのに十分なガイドラインが得られた。 ピン数、メタライズ位置、インターフェースリスト・各仕様、CPU 性能等の決定を終了した。 実施項目 1 の検討内容と齟齬はない。
実施項目 5 FPGA チップレットの開発	<ul style="list-style-type: none"> テクノロジーノード 28nm で差動 I/O である LVDS の回路設計および物理設計を実施する。各 I/O を搭載したテストチップを評価回路の回路設計および物理設計を実施する。物理設計にあたり、電源線でのノイズや信号間のクロストークを低減するよう配慮する。伝送速度の設計目標値は差動 I/O が 600Mbps、シングルエンド I/O は 125MHz である。 FPGA チップレットの有用性を確認する。 	<ul style="list-style-type: none"> テクノロジーノード 28nm で差動 I/O である LVDS の回路設計および物理設計を行うとともに、各 I/O を搭載したテスト回路設計および物理設計を行った。物理設計後に抽出した寄生成分を考慮したシミュレーションを実施し、LVDS : 600Mbps、GPIO : 125MHz の伝送が問題なく行えることが分かった。 ナノブリッジ FPGA チップレットの有用性を確認し、LVDS および GPIO の仕様の策定を行った。 	○	<ul style="list-style-type: none"> 目標記載の各種設計を完了するとともに、レイアウト後の寄生容量抽出・シミュレーションにおいて目標性能を達成した。 実施項目 1 とともに検討し、ユーザ聞き取り結果等から FPGA チップレットの有用性を確認した。

◎ 大きく上回って達成、○達成、△一部未達、×未達

添付資料

●プロジェクト基本計画

P23009

「チップレット設計基盤構築に向けた技術開発事業」 基本計画

IoT 推進部

1. 研究開発の目的・目標・内容

(1) 研究開発の目的

① 政策的な重要性

我が国は Society 5.0 の実現に向けて、IoT や AI などのデジタル化技術を進展させ、全ての人とモノがつながり、必要な情報を必要な時に提供し、経済発展と社会課題の解決を両立する人間中心の社会を目指している。しかしながら、デジタル化技術を進展させるためには膨大なデータを高速に処理する必要があり、加えて、データ量が年々増加しているため、「増大するデータの処理」が社会課題となっている。

上記の社会課題解決には、大量データの効率的かつ高度な利用を可能とする情報の収集、蓄積、解析、セキュリティなどの技術に加え、AI・次世代コンピューティング技術が求められている。中でも、自動走行やロボティクスを始めとする分野では、従来のクラウドコンピューティングからネットワークの末端（エッジ）で中心的な情報処理を行うエッジコンピューティングへの分散が不可欠になると考えられており、エッジにおける処理の重要性や価値が更に高まってきている。特にエッジにおいては限られた資源を用いて効率的に処理を行う必要があるため、性能を飛躍的に向上させられる AI 技術の活用が期待されており、医療・ヘルスケア向け分野など、自動走行やロボティクス分野以外からも注目されている。

エッジコンピューティングにおける情報処理すなわち論理演算を行う半導体の高性能化は、これまでは 1970 年代から続くムーア則というメガトレンドに則り、これまで微細化によって達成してきた。しかしながら、更なる微細化は設計コスト、製造コストの上昇が顕著になってきており、またムーア則の終焉も論じられてきている。このような状況の中、性能とコストの両立、及び高い性能を維持しつつ設計コスト、製造コストの増加を抑制する、チップレットと呼ばれる技術への取組がインターフェース仕様などの標準化を含め米国を中心に加速しており、日本としても早急な対応が必要になってきている。

※ チップレット技術とは、集積回路を構成する CPU や GPU、アクセラレータ等について、機能ごとの複数のチップに分割、それらチップをそれぞれ最適なプロセスを使って製造しそれらを組み合わせて一つのチップとしてパッケージ化する技術で、集積回路を同一プロセスで一つのチップ上で製造する従来製法と比較

して、コスト低減と高性能動作の両立が可能とみられている。

また、関連する政策として、次のようなものが打ち出されている。統合イノベーション戦略 2021（令和 3 年 6 月 18 日閣議決定）では、Society 5.0 実現に向けた取組として、「半導体」、「AI」等の先端分野における重要技術が挙げられている。成長戦略実行計画（令和 3 年 6 月 18 日閣議決定）では、経済安全保障の観点からの技術優越性の確保の取組として、「半導体」、「AI」等が挙げられている。経済財政運営と改革の基本方針 2022（令和 4 年 6 月 7 日閣議決定）では、国家・国民の安全を経済面から確保する観点として、「先端半導体基盤の拡充」、「次世代半導体の設計」等が挙げられている。第 6 期科学技術・イノベーション基本計画（令和 3 年 3 月 26 日閣議決定）では、Society 5.0 実現に向けた取組として、「半導体」等の研究開発が挙げられている。デジタル社会の実現に向けた重点計画（令和 4 年 6 月 7 日閣議決定）では、デジタル社会に必要な技術の研究開発・実証の推進における、情報処理の高度化のための次世代コンピューティング技術として、「AI 半導体の開発」や「チップレットの技術開発」等が挙げられている。

また、経済産業省において「半導体・デジタル産業戦略検討会議」が設置され、半導体・デジタルインフラ・デジタル産業のそれぞれについて、戦略が策定された（令和 3 年 6 月 4 日）。半導体の目指すべき姿としてデジタル&グリーン投資を支える設計開発、今後の対応策としてデジタル投資の加速と先端ロジック半導体の設計・開発の強化が挙げられている。

本事業で取り組むチップレット設計基盤構築に向けた技術開発は、デジタル化技術の進展に必要な高度な情報処理に対応可能であり、Society 5.0 の実現につながる公益性の高い取り組みである。市場の拡大が予想される AI 半導体において、チップレット設計基盤は、今後の半導体産業の中核的な機能になりうるポテンシャルを秘めており、我が国の産業競争力強化および産業裾野拡大として国が主導して取り組む意義がある。また、我が国の半導体産業再興のためには製造業界と設計業界が双方発展する状態にする必要があり、半導体メーカーのみならずソフトウェアメーカー・システムメーカーなどの参入と、大企業だけでなく中小・ベンチャーが参入して幅広い産業基盤の形成が理想である。幅広い産業基盤の形成により、半導体の設計能力を将来的に確保し、データ社会の核となる電子機器を安定供給可能なサプライチェーンの構築に寄与するため、これらの点からも取り組む意義が大きい。

② 我が国の状況

日本は、コンピューティング分野において、ハードウェアを中心に存在感を発揮してきた。1980 年前後には、日本発の材料、メモリ、アーキテクチャなどの革新的な技術を発明し、ムーア則実現の礎を築いた。

その後、ファウンドリーという業態が新たに誕生し、設計と製造を分離することで複雑化する半導体集積回路の開発に対応する動きが活発化したが、市場変化への対応が遅れたことに伴い、例えば半導体では 1988 年には 50%を超えていたシェアが現在では 10%程度にまで落ち込む等、コンピューティング分野において苦戦している状況である。

分業化が進んできた半導体集積回路の開発分野において、独創的な VLSI（大規模集積回路）システムを発想し、回路構成・基本設計技術を有する技術者集団を育成する

ため、VLSI の設計教育の高度化と充実を目指し、1996 年に全国の大学などが共同で利用できる施設として VDEC（大規模集積システム設計教育研究センター）が東京大学内に設置された。主に、学術的用途向けとして、半導体集積回路の設計に欠かせない設計環境や検査・測定環境を自ら保有し、学生、研究者を中心に解放することで、人材育成に寄与している。VDEC は 2019 年 10 月からは新たに、東京大学大学院工学系研究科附属システムデザイン研究センター基盤設計研究部門として、従来と同様の活動（VDEC 機能）を継続している。また、一般社団法人電子情報技術産業協会の半導体部会役員会が推進した半導体先端技術の民間共同開発プロジェクト「あすかプロジェクト」が 2001 年に開始し、デザインルール hp65 向け技術として SoC（System on a chip）の開発効率を向上させる 45nm 対応設計技術や 32nm 対応プロセスデバイス技術を開発したが、10 年後の 2010 年に終了している。

一方で先端半導体の設計技術への対応として、2018 年に開始した NEDO の「AI チップ開発加速のためのイノベーション推進事業」において、AI 半導体開発に必要な集積回路設計として 28nm および 12nm などの設計検証技術を開発するとともに、AI 半導体の設計・評価・検証等の開発環境を民間企業等に 2019 年 10 月より試験運用ではあるが、提供を開始している。しかしながら、チップレット技術に関する設計基盤の構築および産業の裾野拡大につながるベンチャー企業等を支援する取り組みは存在しない。

日本の情報産業の再興のためには、次世代の半導体設計開発を推進する日本の産業にあったチップレット技術の新たな基盤技術構築や設計環境の整備、開発することが勝負の鍵となる。

③ 世界の取組状況

米国では、半導体集積回路の設計作業を自動化し支援するためのソフトウェアやハードウェア及び手法である EDA（Electronic Design Automation）技術の黎明期から、国が大学の研究活動を中心に支援してきた。現在、EDA ツールベンダーは米国企業が寡占している。チップレットの設計技術に関しては、DARPA（Defense Advanced Research Projects Agency）が 2017 年にチップレットの標準化を目指す CHIPS（Common Heterogeneous Integration and IP Reuse Strategies）プロジェクトを開始し、2018 年からエレクトロニクス再興イニシアチブ（ERI: Electronics Resurgence Initiative）等で支援を行っている。欧州でも比較的早くから LSI 設計技術が IMEC などの産学連携を通じて強化され、さらに、ExaNoDe（European Exascale Processor Memory Node Design）プロジェクト等でチップレット設計技術の支援を行ってきた。中国でも半導体を基幹産業とするために国内企業の育成に取り組んでおり、国家政策により上海、北京、無錫、成都、大連等を IC 産業育成地域として指定し、国営の IC R&D Center（試作、EDA、テストサービス）を設置している。韓国においても政府が AI 半導体開発への支援を行っている。

また、Intel、AMD、Google、Meta Platforms、Microsoft、Qualcomm、Arm、Samsung Electronics、ASE group、TSMC の 10 社は、2022 年 3 月にチップレット技術の標準化を目指し、半導体のダイ間（チップレット間）の相互接続のためのオープン規格 UCIe（Universal Chiplet Interconnect Express）を推進する業界団体の設立と、同規格に基づく標準仕様「UCIe 1.0」を発表した。同団体には 2022 年 9 月時点 40 社以上が参加しており、今後の動向に関しては注視する必要がある。

④ 本事業のねらい

今後も拡大するエッジコンピューティング市場において、チップレット技術の標準化が進み、その活用も増加していくことが予想されており、我が国半導体関連企業がシェアを獲得するためには、日本としてもチップレット技術の導入が重要であり、そのための設計基盤技術の構築や中小・ベンチャー企業等の支援が必要である。

本事業では、世界のチップレット技術の標準化動向を注視しつつ、性能とコストを両立する半導体を容易に実現するためのチップレット設計基盤構築に向けた技術開発を進め、民間企業等が広く活用できる基盤技術となることを目指す。

(2) 研究開発の目標

①アウトプット目標

【研究開発項目】 チップレット型カスタム SoC 設計基盤技術開発

【最終目標】 (2024年6月末頃)

産業系領域において民間企業等が利活用できるチップレット型カスタム SoC 設計基盤技術として、想定ユーザの意見を聴取・集約すると共に、共通基盤技術となる高効率チップレットアーキテクチャ、チップレット実装技術、チップレットインターフェース回路、標準 SoC チップレット、FPGA チップレット等の各仕様を検討し策定する。詳細は別紙のとおり。

②アウトカム目標

2037年(令和19年)の産業ロボット向け・健康機器等を中心としたエッジコンピューティング向けチップレットの世界市場で約1,214億円の市場獲得を目指す。

③アウトカム目標達成に向けての取組

研究開発を実施する事業者は、外部の民間企業、大学や研究機関等と連携してチップレット型カスタム SoC を開発し、民間企業等へ提供できるようチップレット型カスタム SoC の開発基盤を確立する。また、チップレット型カスタム SoC の研究開発と並行して、民間企業等において IoT や AI 技術を活用するための知見やノウハウを持った人材の育成を進めることで、本研究開発の成果の更なる高度化へと繋げる。

(3) 研究開発の内容

上記のアウトカム目標達成に向けて、以下の研究開発項目に取り組む。詳細は別紙の通り。

【研究開発項目】 チップレット型カスタム SoC 設計基盤技術開発 <委託>

チップレット型カスタム SoC の共通課題となる高効率アーキテクチャ、回路の設計、実装技術等の基盤技術の開発を進める。開発に際しては、チップレットに関する業界団体の活動および技術の最新動向を継続的に調査すると共に、必要な仕様を取り込むなど、国際動向に連動した研究開発を実施する。さらに、トータルコストに関わる複数の半導体ダイ接続時の問題等を踏まえた取り組みを行う。

本研究開発項目については、国民経済的には大きな便益がありながらも、研究開発成果が直接的に市場性と結び付かない公共性の高い事業であり、委託事業として実施する。

2. 研究開発の実施方法

(1) 研究開発の実施体制

プロジェクトマネージャー（以下「PMgr」という。）にNEDO IoT推進部 芹澤慎を任命して、プロジェクトの進行全体を企画・管理し、そのプロジェクトに求められる技術的成果および政策的効果を最大化させる。

NEDOは公募により研究開発実施者を選定する。必要に応じて、実施期間中に複数回公募を行う。研究開発実施者の選定においては、課題解決への道筋やビジネス化へのストーリーを設定できていることを重視する。

研究開発実施者は、企業や大学等の研究機関等（以下「団体」という。）のうち、原則として日本国内に研究開発拠点を有するものを対象とし、単独又は複数で研究開発に参加するものとする。ただし、国外の団体の特別の研究開発能力や研究施設等の活用又は国際標準獲得の観点から必要な場合は、当該の研究開発等に関し国外の団体と連携して実施することができるものとする。なお、各実施者の研究開発能力を最大限に活用し、効率的かつ効果的に研究開発を推進する観点から、プロジェクトリーダー（以下「PL」という。）として国立大学法人東京大学 大学院情報理工学系研究科 教授 中村宏を選定する。PL は、PMgr の指示の下、プロジェクトに参画する実施者の研究開発を主導する。

(2) 研究開発の運営管理

NEDOは、研究開発全体の管理、執行に責任を負い、研究開発の進捗のほか、外部環境の変化等を適時に把握し、必要な措置を講じるものとする。運営管理は、効率的かつ効果的な方法を取り入れることとし、次に掲げる事項を実施する。

①研究開発の進捗把握・管理

PMgr は、PL 及び研究開発実施者と緊密に連携し、研究開発の進捗状況を把握する。また、必要に応じて、外部有識者で構成するアドバイザー委員会を組織し、定期的に技術的評価を受け、目標達成の見通しを常に把握することに努める。各テーマの進捗、成果の事業化の見通し等を踏まえ、必要に応じて、加速、縮小、実施体制の再構築を行う。

②技術分野における動向の把握・分析

PMgr は、プロジェクトで取り組む技術分野について、内外の技術開発動向、政策動向、市場動向等について調査し技術の普及方策を分析、検討する。なお、調査の効率化の観点から、本プロジェクトにおいて委託事業として実施する。

3. 研究開発の実施期間

2023年度から2024年度までの2年間とする。

4. 評価に関する事項

NEDOは技術評価実施規程に基づき、技術的及び政策的観点から研究開発の意義、目標達成度、成果の技術的意義並びに将来の産業への波及効果等について、プロジェクト評価を実施する。

評価の時期は、終了時評価を2024年度とし、当該研究開発に係る技術動向、政策動向や当該研究開発の進捗状況等に応じて、前倒しする等、適宜見直すものとする。

5. その他重要事項

(1) 研究開発成果の取り扱い

①共通基盤技術の形成に資する成果の普及

研究開発実施者は、研究成果を広範に普及するよう努めるものとする。NEDOは、研究開発実施者による研究成果の広範な普及を促進する。

研究開発成果のうち共通基盤技術に係るものについては、プロジェクト内で速やかに共有した後、NEDO及び実施者が協力して普及に努めるものとする。

②標準化施策等との連携

得られた研究開発成果については、標準化等との連携を図ることとし、標準化に向けて開発する設計基盤技術や評価手法等の提案、データの提供等を積極的に行う。

③知的財産権の帰属、管理等取扱い

委託研究開発成果に関わる知的財産権については、「国立研究開発法人新エネルギー・産業技術総合開発機構 新エネルギー・産業技術業務方法書」第25条の規定等に基づき、原則として、全て委託先に帰属させることとする。なお、プロジェクト初期の段階から、事業化を見据えた知財戦略を構築し、適切な知財管理を実施する。

④知財マネジメントに係る運用

本プロジェクトは、「NEDO プロジェクトにおける知財マネジメント基本方針」を適用する。

⑤データマネジメントに係る運用

本プロジェクトは、「NEDO プロジェクトにおけるデータマネジメント基本方針（委託者指定データを指定しない場合）」を適用する。

(2) 「プロジェクト基本計画」の見直し

PMgrは、当該研究開発の進捗状況及びその評価結果、社会・経済的状況、国内外の研

究開発動向、政策動向、研究開発費の確保状況等、プロジェクト内外の情勢変化を総合的に勘案し、必要に応じて目標達成に向けた改善策を検討し、達成目標、実施期間、実施体制等、プロジェクト基本計画を見直す等の対応を行う。

(3) 関係省庁の施策との連携

目標達成のため、関係省庁が実施する関連プロジェクトと必要に応じて連携する。

(4) 根拠法

本プロジェクトは、国立研究開発法人新エネルギー・産業技術総合開発機構法第 15 条 2 号及び 9 号に基づき実施する。

(5) その他

本事業のうち委託事業は、交付金インセンティブ制度を活用することとする。当該事業における具体的運用等は、公募を経て採択された実施者に提示する。

6. 基本計画の改定履歴

(1) 2023 年 2 月、制定

(2) 2024 年 2 月、PMgr、PL について修正。研究開発期間の変更による改定。

(別紙1) 研究開発計画

研究開発項目 チップレット型カスタム SoC 設計基盤技術開発

1. 研究開発の必要性

エッジコンピューティングにおける情報処理すなわち論理演算を行う半導体の高性能化は、これまでは 1970 年代から続くムーア則というメガトレンドに則り、微細化によって達成してきた。しかしながら、更なる微細化は設計コストが上昇するため、性能とコストの両立が求められている。この課題に対して、高い性能を維持しつつ設計コストの増加を抑制する、チップレットと呼ばれる技術への取組がインターフェース仕様などの標準化を含め米国を中心に加速しており、日本としても早急な対応が必要になってきている。

本研究開発では、大学や研究機関等によるチップレット型カスタム SoC 基盤設計技術の開発を進める。

2. 研究開発の具体的内容

チップレット型カスタム SoC の共通課題となる高効率アーキテクチャ、回路の設計および実装基盤技術の開発を進める。開発に際しては、チップレットに関する業界団体の活動および技術の最新動向を継続的に調査すると共に、必要な仕様を取り込むなど、国際動向に連動した研究開発を実施する。さらに、トータルコストに関わる複数の半導体ダイ接続時の問題等を踏まえた取り組みを行う。

想定する研究開発テーマ例は下記の通り。

(研究開発テーマ例)

- 高効率チップレットアーキテクチャ開発
- 回路、実装、設計手法および評価手法を中心とする基盤技術の開発
- チップレットチップの開発
- その他、共通基盤技術として重要な技術

なお、基盤技術は、開発コストやリスク、供用性等の観点から民間企業単独では挑戦できないような技術を構築する。さらに、国際動向への連動として、UCIe (Universal Chiplet Interconnect Express) 等チップレットに関する業界団体の活動の最新動向を継続的に調査し、必要な仕様を取り込む。

3. 研究開発期間

5年以内とする。

4. 達成目標

【最終目標】 (2024年6月末頃)

産業系領域において民間企業等が利活用できるチップレット型カスタム SoC 設計基盤技術として、想定ユーザの意見を聴取・集約すると共に、共通基盤技術となる高効率チップレットアーキテクチャ、チップレット実装技術、チップレットインターフェース回路、標準 SoC チップレット、FPGA チップレット等の各仕様を検討し策定する。

(別紙2) 研究開発スケジュール

	2023 年度	2024 年度
研究開発項目 チップレット型カスタム SoC 設計基盤技術開発 (委託)	チップ レット 型カスタム SoC 向け設計 基盤技	
評価時期		終了時評価

●プロジェクト開始時関連資料

2022 年度事前評価結果

2022 年 11 月に実施の研究評価委員会において、2023 年度 NEDO 新規案件の事前評価を実施した結果を以下に示す。

委員氏名	関谷 毅
所属・役職	国立大学法人大阪大学 産業科学研究所・教授
総合コメント	
<p><肯定的意見></p> <p>デジタル技術や人工知能(AI)が急速に浸透し、生活に変化をもたらしている。多種多様な半導体デバイスが生み出され、安全安心や利便性、インフラを支えている。この潮流の中、今後求められるのは膨大な情報を最適に処理するデバイスであり、その中核は論理演算である。すなわち半導体デバイスにはさらに広範かつ低消費電力の演算が求められる。演算する半導体デバイスの代表は、ASIC と FPGA であるが、広範な産業ニーズやコストパフォーマンスを満たすための新機軸として「チップレット技術」は極めて重要である。必要な性能のダイナミックレンジを満たすための多様性、汎用性あるチップ実装技術、インターフェース技術を含む統合的チップレットは、社会のニーズに沿っており、期待が大きい。国際的動向と連動した産学官を中心とした研究開発と社会実装は、我が国の社会課題解決と産業発展の両輪を可能にする基軸となり得る。</p>	
<p><問題点・改善すべき点></p> <p>我が国が国際競争力を有する先端実装プロセスやマテリアルと融合させ、世界に伍する提案に期待する。この時、チップテストを含めたのトータルコストを踏まえることが社会実装に不可欠である。そのためには、産業界の具体的ニーズをとらえ、ターゲットを明確にしておくことは重要である。より具体的なアウトプットの例示があるとスタートアップを含めた多様な企業や研究機関からのエントリーを促す可能性がある。</p>	
委員氏名	吉瀬 謙二
所属・役職	国立大学法人東京工業大学 情報理工学院・教授
総合コメント	
<p><肯定的意見></p> <p>世界に展開できる性能とコストを両立する半導体を実現するため、独自のチップレット設計基盤技術の構築を急ぐ必要がある。標準 SoC チップレット、アプリケーションとして重要となる AI アクセラレータチップレット、カスタマイズ性を持つ FPGA チップレットを含む多様なチップレットの開発とそれらを組み合わせて実現するチップレット型カスタム SoC の開発により、実用的なチップレット設計基盤技術の開発を加速する。事業者間の連携を強化する連携委員会の支援により、必要とする技術を補い合うことで高い実用化率の達成を期待できる。</p>	
<p><問題点・改善すべき点></p> <p>問題点・改善すべき点はない。</p>	

委員氏名	美添 一樹
所属・役職	国立大学法人九州大学 情報基盤研究開発センター・教授
総合コメント	
<p><肯定的意見></p> <p>チップレット技術は近い将来の成長と市場の拡大が予想される分野である。本事業は日本国内の技術動向を踏まえた妥当な研究開発計画に基づいたプロジェクトであり、技術面の実現性は高い。さらに現時点で可能な範囲でアウトプット・アウトカム・波及効果が検討されており、価値を産むことが十分に見込まれるプロジェクトである。国内の技術開発の促進および開発された技術の社会への還元の両面で有望である。また研究開発・マネジメント体制についても今のところ特に指摘すべき問題はなく、よく準備の整っている事業である。</p>	
<p><問題点・改善すべき点></p> <p>世界的にもチップレット技術に注目する企業が多数あり、特に大手半導体企業を含む多数の大企業が参加している業界団体 UCle が存在する。本事業はこのような国内外の動向の影響を強く受けることが予想されるため、技術開発のみならず規格の制定についても検討の必要があり、技術動向に関するさらなる調査・検討が求められる。またこれは本事業関係者の問題ではないが、最近の世界情勢の変化は激しく、予想外の事態に見舞われる可能性が通常より高い。臨機応変な対応が必要となる可能性がある。</p>	

※事前評価書結果より「チップレット設計基盤構築に向けた技術開発事業」プロジェクト部分を抜粋

パブリックコメント募集の結果

**「チップレット設計基盤構築に向けた技術開発事業基本計画(案)」に対する
パブリックコメント募集の結果について**

2023年2月27日
NEDO
IoT推進部

NEDO POSTにおいて標記基本計画(案)に対するパブリックコメントの募集を行いました結果をご報告いたします。

1. パブリックコメント募集期間
2023年1月31日～2023年2月14日(正午)
2. パブリックコメント投稿数<有効のもの>
計0件

以上

プロジェクト名: チップレット設計基盤構築に向けた技術開発事業

研究開発の目的

Society 5.0の実現に向けてデジタル化技術を進展させるためには、エッジでの情報処理が不可欠です。情報処理に活用するAI半導体として、高い性能を維持しつつ設計・製造コストの増加を抑制する、ポストムーア技術の一つとしてチップレットと呼ばれる技術への取組が標準化を含め米国を中心に加速しており、日本としても早急な対応が必要になってきています。

本事業では、世界のチップレット技術の標準化動向を注視しつつ、性能とコストを両立する半導体を容易に実現するためのチップレット設計基盤構築に向けた技術開発を進め、民間企業等が広く活用できる基盤技術となることを目指します。加えて、チップレット型カスタムSoCにも搭載可能なAI半導体チップを開発し、確実な社会実装を目指します。

研究開発の内容

研究開発項目

「チップレット型カスタムSoC 設計基盤技術開発」(委託)

チップレット型カスタムSoCの共通課題となる高効率アーキテクチャ、回路の設計、実装技術等の基盤技術、およびそれらの実証のためのチップレットを開発し、実証実験により開発した技術の有効性を確認する。開発に際しては、チップレットに関する業界団体の活動および技術の最新動向を継続的に調査すると共に、必要な仕様を取り込むなど、国際動向に連動した研究開発を実施する。

さらに、チップレットを含めてのトータルコストに関わる複数の半導体ダイ接続時の問題等を踏まえた取り組みを行う。チップレット開発においては、外部の協力者と連携して実施する。それらをIPとして蓄積し、民間企業等で利活用できるように条件などを整備、提供のための仕組みを構築する。

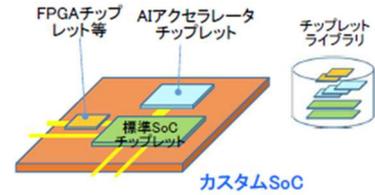
プロジェクトの規模

・NEDO予算(2023年度)	5.0億円
・実施期間	2023～2027年度(5年間)

成果適用のイメージ

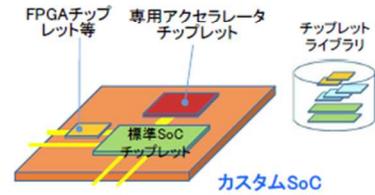
超短TATタイプ

- ・チップレットライブラリから所望のIPチップレットを選びSoCを構築
- ・カスタマイズはFPGAチップレットで行う
- ・新たなチップレット開発は不要



カスタムタイプ

- ・専用アクセラレータチップレットを独自開発
- ・標準チップレットを搭載したプラットフォーム化した基板でSoCを構築
- ・専用チップレット以外のチップレット開発は不要



※チップレット技術とは、集積回路を構成するCPUやGPU、アクセラレータ等について、機能ごとの複数のチップに分割、それらチップをそれぞれ最適なプロセスを使って製造しそれらを組み合わせて一つのチップとしてパッケージ化する技術です。

詳細は「基本計画(案)」をご参照ください

●各種委員会開催リスト

採択審査委員会		
件名	内容	実施日
第1回	プロジェクト申請内容の説明（ヒアリング審査）	2023年4月25日

技術/事業検討会		
件名	内容	実施日
第1回	プロジェクトの方向性に関する検討（書面）	2024年3月25日

●特許論文等リスト

【特許・論文】

0 件 (2024 年 6 月 15 日時点)

【外部発表】

(a) 学会発表・講演

番号	発表者	所属	タイトル	会議名	発表年月
1	長谷川淳	国立大学法人東京大学	Hot Chips 2023 における最新のチップ開発動向	AI チップ設計拠点フォーラム (第 51 回)	2023 年 9 月
2	大内真一、長谷川淳	国立研究開発法人産業技術総合研究所・国立大学法人東京大学	ISSCC2024 における研究開発動向	AI チップ設計拠点フォーラム (第 57 回)	2024 年 3 月
3	谷澤陸、増田翔、上口光	国立大学法人信州大学	チップレット技術に向けた高速 I/O セル用 ESD 保護セルの検討	LSI とシステムのワークショップ 2024	2024 年 5 月
4	大内真一	国立研究開発法人産業技術総合研究所	LSTC「エッジ AI アクセラレータとテンストレント協業」	2024 年度 d. lab 協賛事業キックオフ特別講演会	2024 年 5 月
5	大内真一	国立研究開発法人産業技術総合研究所	先端システムオンチップ (SoC) 設計技術	産業技術総合研究所先端半導体研究センター(SFRC) 第一回公開シンポジウム	2024 年 5 月
6	下村颯志、植松裕、菊地克弥、島本晴夫、荒賀佑樹、大内真一	国立研究開発法人産業技術総合研究所	Single-Layer Wiring Design in UCIE to Realize Low-Cost Interposer Substrate	33rd IEEE Conference on Electrical Performance of Electronic Packaging and Systems	投稿中 2024 年 10 月 (予定)

(b) 成果普及の努力

番号	発表者	所属	タイトル	雑誌名・学会名・イベント名称	発表年月
1	国立研究開発法人産業技術総合研究所・国立大学法人東京大学	国立研究開発法人産業技術総合研究所・国立大学法人東京大学	AI チップ設計拠点フォーラム (第 49 回)	web フォーラム	2023 年 7 月
2	国立研究開発法人産業技術総合研究所・国立大学法人東京大学	国立研究開発法人産業技術総合研究所・国立大学法人東京大学	AI チップ設計拠点フォーラム (第 50 回)	web フォーラム	2023 年 8 月
3	国立研究開発法人産業技術総合研究所・国立大学法人東京大学	国立研究開発法人産業技術総合研究所・国立大学法人東京大学	AI チップ設計拠点フォーラム (第 51 回)	web フォーラム	2023 年 9 月
4	国立研究開発法人産業技術総合研究所・国立大学法人東京大学	国立研究開発法人産業技術総合研究所・国立大学法人東京大学	AI チップ設計拠点フォーラム (第 52 回)	web フォーラム	2023 年 10 月
5	国立研究開発法人産業技術総合研究所・国立大学法人東京大学	国立研究開発法人産業技術総合研究所・国立大学法人東京大学	AI チップ設計拠点フォーラム (第 53 回)	web フォーラム	2023 年 11 月
6	国立研究開発法人産業技術総合研究所・国立大学法人東京大学	国立研究開発法人産業技術総合研究所・国立大学法人東京大学	AI チップ設計拠点フォーラム (第 54 回)	web フォーラム	2023 年 12 月
7	国立研究開発法人産業技術総合研究所・国立大学法人東京大学	国立研究開発法人産業技術総合研究所・国立大学法人東京大学	AI チップ設計拠点フォーラム (第 55 回)	web フォーラム	2024 年 1 月

8	国立研究開発法人産業技術総合研究所・国立大学法人東京大学	国立研究開発法人産業技術総合研究所・国立大学法人東京大学	AI チップ設計拠点フォーラム（第 56 回）	web フォーラム	2024 年 2 月
9	国立研究開発法人産業技術総合研究所・国立大学法人東京大学	国立研究開発法人産業技術総合研究所・国立大学法人東京大学	AI チップ設計拠点フォーラム（第 57 回）	web フォーラム	2024 年 3 月
10	国立研究開発法人産業技術総合研究所・国立大学法人東京大学	国立研究開発法人産業技術総合研究所・国立大学法人東京大学	AI チップ設計拠点フォーラム（第 58 回）	web フォーラム	2024 年 4 月
11	国立研究開発法人産業技術総合研究所・国立大学法人東京大学	国立研究開発法人産業技術総合研究所・国立大学法人東京大学	AI チップ設計拠点フォーラム（第 59 回）	web フォーラム	2024 年 5 月