

## RISC-Vシステム設計 プラットフォーム

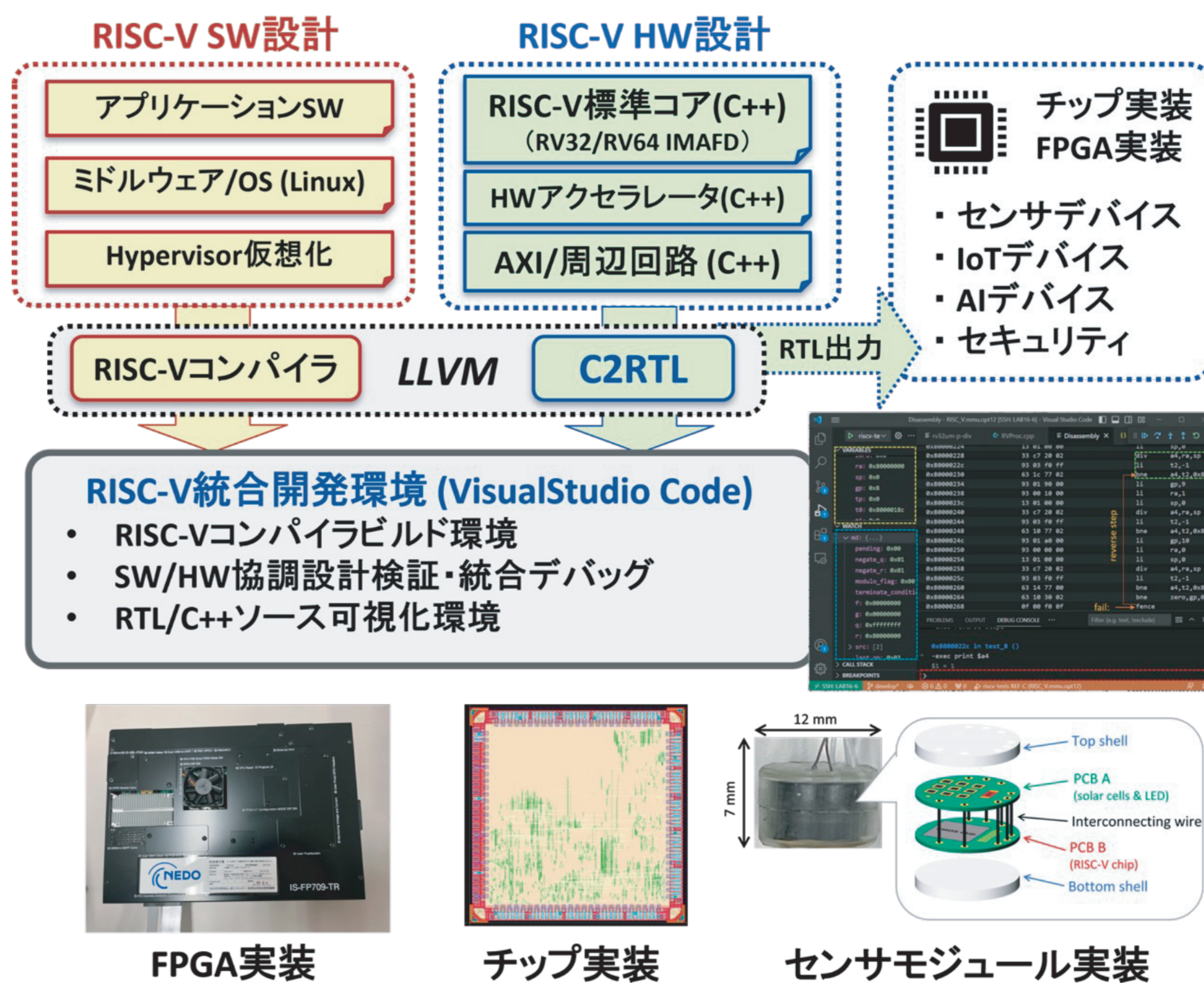
東京科学大学、セイコーエプソン(株)、(株)デンソー、京都マイクロコンピュータ(株)、(株)OTSL、東京大学

### プロジェクト概要

命令拡張可能なRISC-Vプロセッサと最適化設計されたハードウェア(HW)アクセラレータからなるシステム・オン・チップ (SoC)構成を用いて、ソフトウェア定義によるシステム機能の柔軟性と高い処理効率を両立するシステムソリューションを、SW言語(C++)によって設計検証技術を活用した「RISC-Vシステム設計プラットフォーム」によって実現し、エッジAI/IoTデバイス用チップ試作を通じて、本設計プラットフォームの実用性を実証します。

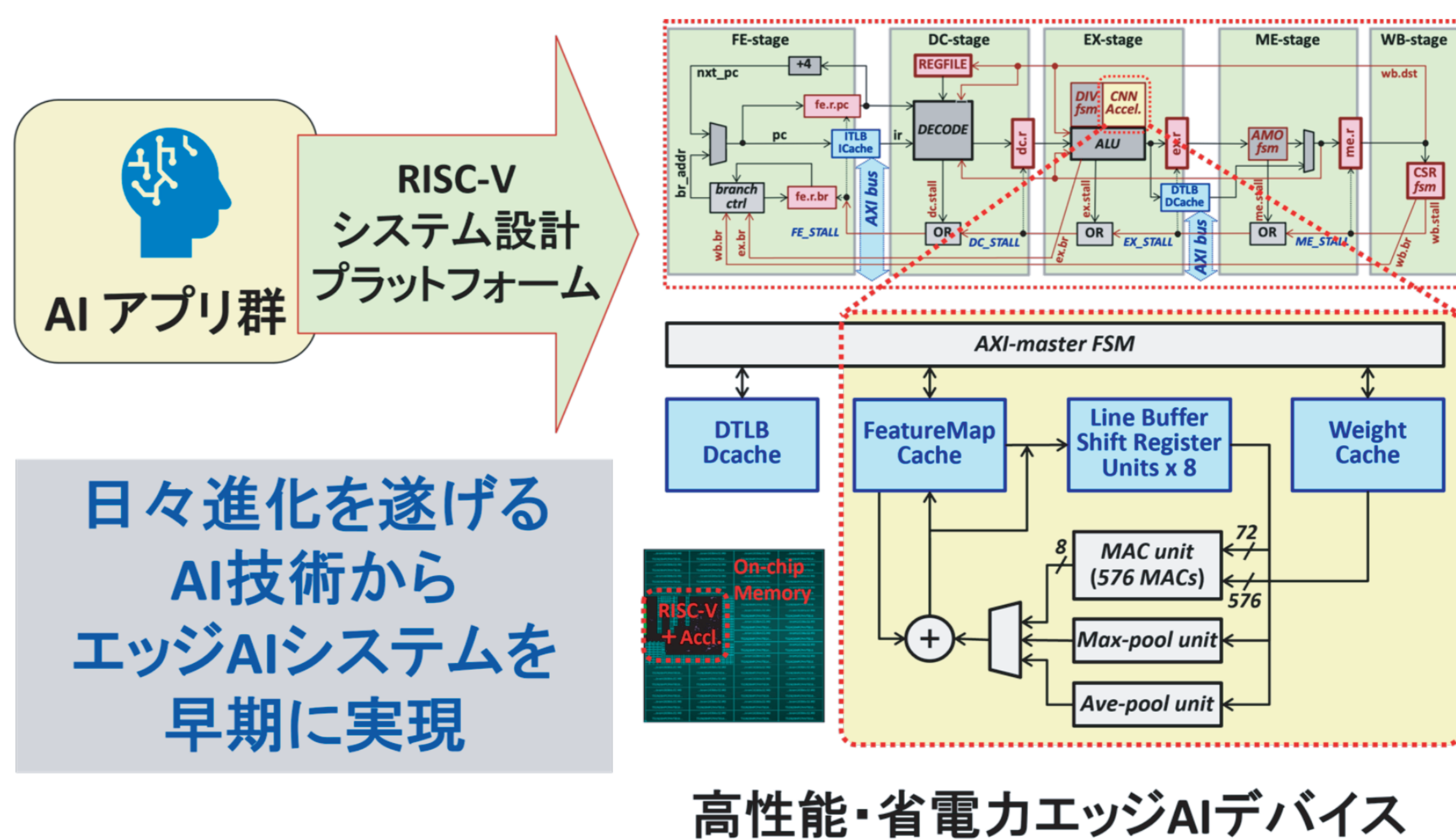
### 展示物紹介

RISC-Vコア(RV32/RV64 IMAFD)、バス、HWアクセラレータ、周辺回路等すべてモジュールのSW言語(C++)記述からシステム全体の回路記述(RTL)が自動生成される設計フローと、HW/SW協調シミュレーション、HW回路可視化、デバッグ環境などをIDEツールでご紹介します。



### 社会実装イメージ

RISC-Vを用いたAIエッジデバイス向け高性能・省電力システムを、システム機能のSW記述から直接チップ開発までを早期に完成できる画期的な設計フローによって、今後急拡大するAI市場へ様々な新規AIエッジソリューションのSW/HW開発に当設計プラットフォームを活用頂けます。2025年4月に設立予定の「RISC-V設計拠点」(RISC-V Design Center)において、当設計プラットフォームの普及活動とその製品開発事例を通じてRISC-V製品ビジネスの拡大を目指します。



プロジェクト実施期間	2022年度~2024年度
NEDOプロジェクト名	省エネAI半導体及びシステムに関する技術開発事業 / AIエッジコンピューティングの産業応用加速のための設計技術開発 / RISC-Vシステム設計プラットフォームの研究開発
お問い合わせ先	東京科学大学 一色 剛 Email : issiki@ict.e.titech.ac.jp