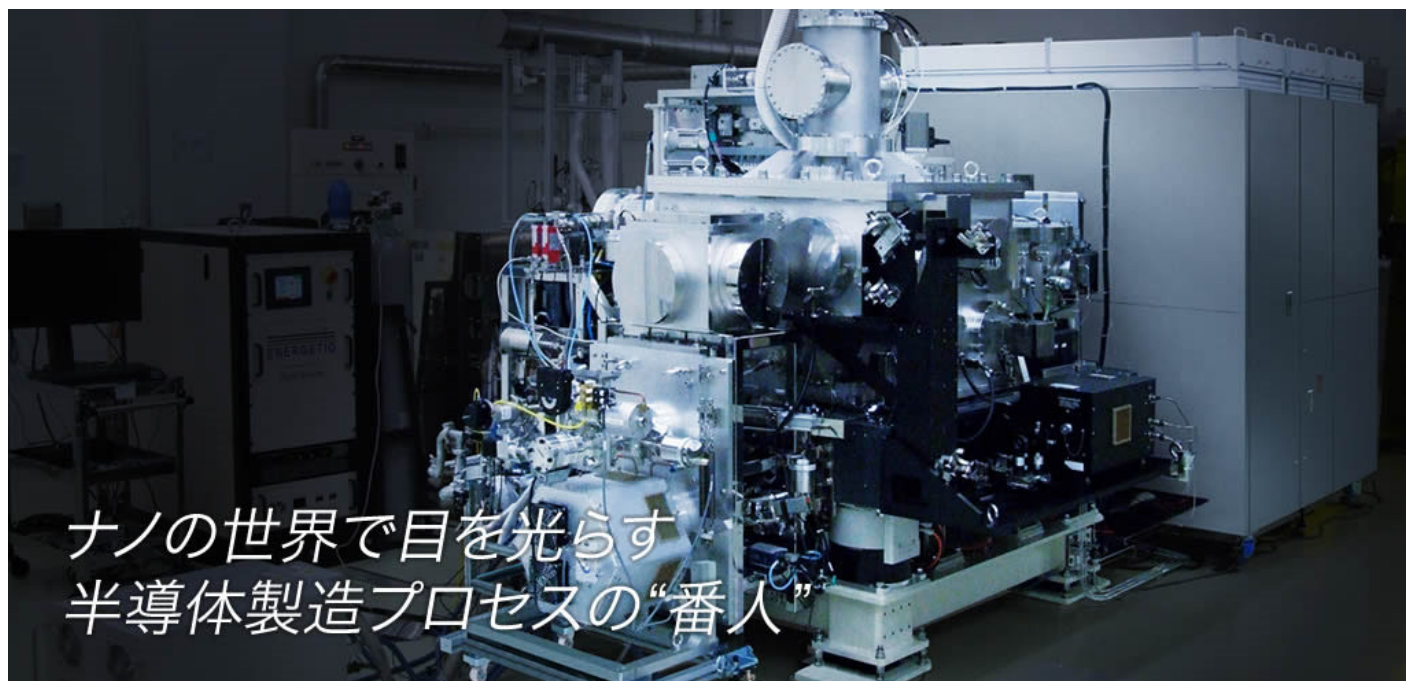




極端紫外線（EUV）を利用した次世代のマスクブランクス検査技術を確立

レーザーテック株式会社

取材：August 2018



INTRODUCTION

概要

進歩する半導体デバイスのための、次世代の検査技術を確立

電子機器の革新を可能にするのは、半導体デバイスの進歩に他なりません。そして半導体デバイスの進歩は、その電子機器の心臓部であるICチップを構成する電子回路の微細化によって実現します。その製造過程で重要になってくるのが微細なダストや傷、それによる欠陥などを見つけるための検査技術です。高度な半導体デバイスにおいては、その材料や電子回路上の数nm(10億分の1m)という微細な欠陥が、動作における致命的欠陥になり得ます。レーザーテック株式会社は、最先端の半導体デバイスを開発する現場からの要請に応えるため、NEDOプロジェクト「次世代半導体微細加工・評価基盤技術の開発」の下で次世代のEUVマスクブランクス欠陥検査技術の確立に成功。その技術を使った検査装置「EUVマスクブランクス欠陥検査/レビュー装置『ABICS』」を2017年4月に販売開始しています。そして「ABICS」は、これからの半導体デバイスの進歩を支える、次世代のマスクブランクス検査装置におけるデファクトスタンダードとなる技術として、世界中から期待を集めています。

BEGINNING

開発への道

検査技術は半導体製造の「縁の下の力持ち」

電子機器の心臓部に当たるものが、複雑で多層な電子回路を持つ「ICチップ」です。検査技術の多くは、このICチップ製造の上流工程で使われるものです（「なるほど基礎知識」参照）。

「ICチップ製造の上流工程は、フィルムカメラで撮る写真の現像によく似ています。写真はまずカメラで撮影を行い、そのフィルムを現像し、ネガを作製します。このネガが、フォトマスクに相当します。ネガを印画紙に転写するための露光を行うのと同様に、ICチップの場合はウエハー上にフォトマスクのパターンを露光するわけです」。レーザーテック技術五部部長の宮井博基さんはこのように例えます（写真1、図1）。



写真1 マスクブランク（左）とフォトマスク（右）（写真提供：レーザーテック）



図1 半導体デバイスは①～⑤の工程を経て製造される（資料提供：レーザーテック）

写真と同様、ICチップは一つのフォトマスクから大量の“焼き増し”を行うことができます。そのため、フォトマスク製造用の材料となるマスクブランクや「回路パターン」の原版であるフォトマスクに微細なダストの付着や傷、凹凸から生ずる欠陥があると、多数の不良品のICチップが生まれてしまいます。いわば、傷のついたネガからは、傷のある写真しか現像できないのと同じです。

半導体デバイスメーカーはこうした欠陥をゼロにしたいと考えます。しかし現実的には、全て良品とすることは難しく、一定数の不良品が生まれてしまいます。そのため検査装置には、マスクブランクやフォトマスク上の重大な欠陥を検知し、ICチップの製造工程の「歩留まり」を上げることが求められます。

その歩留まり向上のため、レーザーテックは世界に先駆け、1976年に半導体フォトマスク欠陥検査装置を製品化しました。業界では「骨の折れる作業」とわれていた顕微鏡による目視の検査の時代に、自動で検査を行える検査装置を生み出したのです。2000年にはマスクブランク上の非常に微細な欠陥さえも検出可能な「マスクブランク欠陥検査装置 MAGICS シリーズ」を開発しています。

半導体デバイスを微細化する最先端技術「EUVリソグラフィ」

半導体デバイスを構成する電子回路を微細化するために開発されている技術が「極端紫外線（EUV：Extreme Ultraviolet）」を用いた「EUVリソグラフィ」です。先述した通り、ICチップは、電子回路を紫外線によってウエハーに露光し転写するリソグラフィによって作られます。フォトマスクの設計回路は、ウエハー上に縮小投影されます。より微細な回路を転写するためには、従来よりも短い波長を用いて解像度を高める必要があるのです。

「フォトマスクの回路パターンをウエハーに転写する際、用いる光の波長が短くなるほど解像度を上げることができます。これまで193nmの波長の光が露光に用いられてきましたが、より微細化を進めるには、13.5nmのEUVリソグラフィを用いなければ厳しいだろう、と予想されてきました」（宮井さん）

EUVリソグラフィは高解像度を得ることができるため、従来技術では複数回の露光で実現可能となる微細な回路パターンを、1回の露光で実現でき、コストを抑えることが期待されます。最先端のフォトマスク製造の現場では、EUVリソグラフィの実用化に向け、フォトマスクの材料となるマスクブランクス欠陥検査装置の開発が求められていました。

NEDOプロジェクトの下で引き継がれていく技術開発

レーザーテックのEUVマスクブランクス欠陥検査装置の開発に至る経緯は、NEDOプロジェクトに間接的に関わったことから始まっています。

2006～2010年度に実施された「次世代半導体材料・プロセス基盤（MIRAI）プロジェクト（第3期）」では、マスク全面検査ができるプロトタイプ機が製作され、EUVを用いたマスクブランクス検査の可能性が確認されました。同プロジェクトは、Selete（株式会社半導体先端テクノロジーズ）によって行われたものです。Seleteは日本国内の主要半導体メーカーによって共同設立された研究開発組織であり、EUVリソグラフィを含む多様な基盤技術の開発を行ってきました。この時レーザーテックは、EUVリソグラフィ技術開発のための検査機器を納入し、NEDOプロジェクトへの協力を始めました。

2010～2015年度に、レーザーテックはEIDEC（株式会社EUVL基礎開発センター（現・株式会社先端ナノプロセス基盤開発センター））の共同研究先という形で、NEDOの「次世代半導体微細加工・評価基盤技術の開発」プロジェクトに本格的に参画しました。EIDECは、ブランクメーカー、デバイスメーカー、そしてマスクメーカーなどによって共同設立された研究開発組織で、EUVリソグラフィにおける基盤技術の研究開発を目的として、マスクブランクスやフォトマスクの欠陥検査および評価技術なども開発していました。

「プロジェクトに参画した2010年ごろは、まさに世の中がEUVリソグラフィの実用化に向けて動き出そうとしていたころでした。その実用化を前に、検査技術においてもEUVを用いた検査が必須の技術になるだろうと考えました」（宮井さん）

「EIDECのような国内外の半導体に関する主要メーカーから優秀な人材が集まる中で仕事できたことは、エンジニアとして一生ものの経験でした。あのような環境を作り上げるためには、NEDOとの協働が欠かせないものだったと思っています」と語るのは、当時、EIDECで開発を主導し、現在レーザーテックに移り技術五部のシニアエンジニアである渡辺秀弘さん。こうして「EUVマスクブランクス欠陥検査/レビュー装置『ABICS』」の開発が進められました。

微細な欠陥を見つける、次世代の“目”

「ABICS」は、マスクブランクスの欠陥を検査する装置です。そもそもマスクブランクスにはどのような欠陥があるのでしょうか？

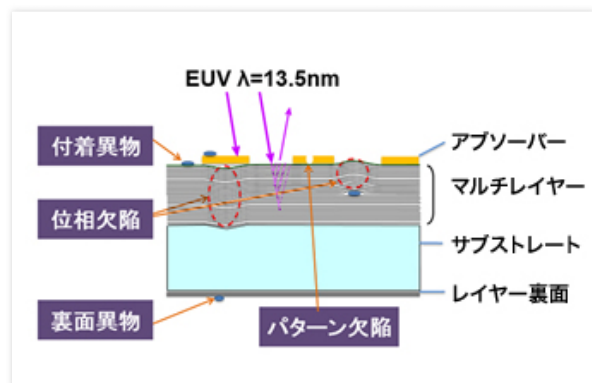


図2 マスクブランクス欠陥の種類（資料提供：レーザーテック）

マスクブランクスというものは多層構造になっており、底からサブストレート、モリブデンとシリコンの多層膜「マルチレイヤー」、そして回路パターンが描画されるアブソーバーから成ります。マスクブランクス欠陥には、まずアブソーバー上やレイヤー裏面などに微細なダストが付いてしまうような表面上の欠陥があります。さらにマルチレイヤーの内部でひずみが発生している場合などの、内部の欠陥があります（図2）。

マスクブランクス表面と内部の欠陥を検知する技術が、「ABICS」の持つコア技術です。

本装置は、「暗視野検査技術」を用います。光の反射・屈折などを利用して物体の像を生じさせる、複数のミラーで構成された装置（光学系）を使い、照明光をマスクブランクスに照射します。すると、欠陥の存在によって光が散乱するため、正反射しない成分が発生します。その光を上部の光学系で集め、撮像素子に結像させることによって欠陥を検出します。

暗視野検査装置には二つの検査観察モードがあります。一つが検査の際に、高速（高スループット）で全面をスキャンする場合に用いる「26倍検査光学系モード」、もう一つが、欠陥が検出された場所を局所的に観察し、詳細な情報を得るためのモードである「1,200倍観察光学系モード」です。

「1,200倍観察光学系」では、市場要求性能を満たす解像度を得るために、多くの試行錯誤を繰り返しました。これまでの光学系の製作技術では満足のいく解像度を得ることができず、ミラーの研磨技術と光学系の調整技術を共に高めていく必要がありました。開発の結果、より高い精度の光学系を実現し、最終的に得られる画像の解像度を高めることができました」（宮井さん）

実際の開発では、Seleteで基本設計がなされた高精度反射光学系の最適化を、レーザーテックで行い装置に適用し、欠陥観察像の特性を向上させました。また、マスク照明の照射角度範囲を広げることで光強度を高め、マスクへの入射光、反射光および散乱光のバランスを最適化することによって、微細な凹凸により発生する位相差を検出する手法を導入。結果として、幅50nm、高さ1nmほどの微細な位相欠陥を安定して検出できるようになりました。

従来の193nm、266nm、488nmといった波長では、減衰し、表面付近の情報しか得られませんが、13.5nmの波長を持つEUVは、マスクブランクス内部深くまで減衰することなく届き、反射率の異常を察知し、欠陥を検知することが可能です（図3）。

EUV光による検査においても多大な試行錯誤がありました。まず、検査光源をこれまで用いられていた深紫外線（DUV：Deep Ultraviolet）などの光からEUVへ転換するためには、従来の装置で用いられていた透過光学系が使えません。そのため非常に高精度で、市場要求性能を実現する新たな反射光学系を使用する必要がありました。

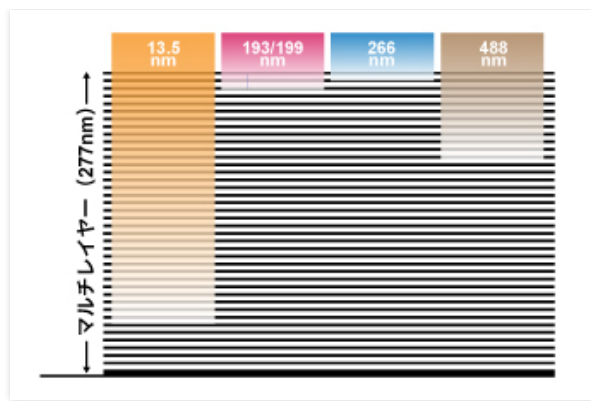


図3 EUV光の13.5nmの波長（左）により、内部深くまで検査が可能

「開発の初期段階では、なだらかな形状の欠陥をうまく検出することができないという課題がありました。照明条件のわずかな違いや欠陥の種類によって検出できないことが分かったのです。これは製品化を行う上で致命的な問題でした。それらを改善するため、総合的なEUV光学系の技術開発をEIDECと行いましたが、試行錯誤の連続でした。検出対象となる欠陥を観察、シミュレーションによる比較検証、改良した光学系の実機検証を繰り返し行いました。その結果、検査感度を要求されたレベルにまで高めることができました」（宮井さん）

欠陥を「なかったことにする」革新的技術「欠陥緩和」

欠陥が存在しないマスクブランクスを作ることはいくつかの理由から不可能なのでしょうか？ そもそも欠陥さえなければ、各半導体メーカーは余分な費用を出すこともなく、さらには検査装置を用いることなく半導体産業は発展するはずです。

「欠陥がまったくないマスクブランクスを作ることができるのなら、それがベストなことだと思います。しかし現実的には、欠陥ゼロのマスクブランクスを作るとは非常に困難です。そこで欠陥があるマスクブランクスでも使えるようにするための技術も、EIDECによる開発の際に同時に生み出しています」（宮井さん）

その技術が「欠陥緩和」です。マスクブランクスに欠陥を、高度な位置制御によって影響しないようにする技術です。

先述の通り、多層構造を持つマスクブランクスは、底からサブストレート、マルチレイヤー、そして回路パターンが描画されるアブソーバーから成ります。欠陥があったとしても、欠陥自体が、回路パターンのあるアブソーバーの下にある場合、その欠陥は露光した際にウエハーへ転写されません。つまり、回路パターンが描画されるアブソーバーの下に配置できれば、その欠陥は「もともとなかった」と同じになるのです。

「EUVリソグラフィというのは、ちょうど鏡の上にマジックで回路を書いて光を当てることに似ています。光を当てると、マジックで書いた回路のところは光が反射せず、マジックの線を除いた部分のみが光り、反射してウエハーを感光させる。これがEUVリソグラフィの基本的な考え方です。そして、マスクブランクスに欠陥は反射率の異常ですから、欠陥部位は光の反射を妨げます。よって、光を当てると、ウエハーには黒い点として転写され、これが転写エラーとなります。この欠陥が消せないものであるならば、そもそも回路を欠陥の上に書いてしまおうというのが欠陥緩和の考え方ですね」（渡辺さん）

欠陥をゼロにできないのであれば、欠陥をなかったことにすればいいという、まさに逆転の発想です。では、どうすればそんなことが可能になるのでしょうか？

先述した検出モードの一つ、1,200倍観察光学系は、欠陥の位置を正確に把握することが可能です。したがって、欠陥の座標の上に回路パターンが描画されるように調整することさえできれば、欠陥を「なかったこと」にできるのです。

「欠陥の正確な位置が分かれば、実際にフォトリソマスクを作る際に回路パターンを描画する位置を変えればいいだけです。パターンの位置を変える作業はソフトウェアを用いて一般的に行うことが可能です」（渡辺さん）

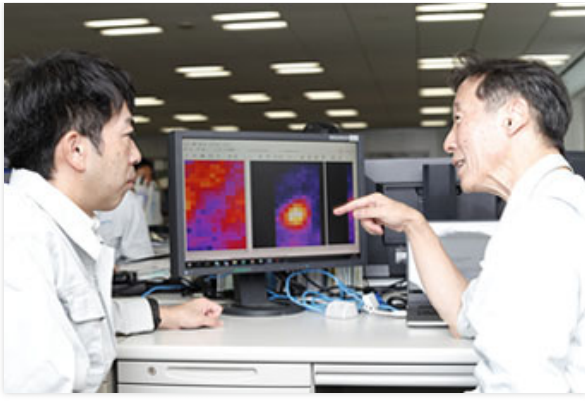


写真2 検査画面を見る渡辺さん（右）と鈴木さん（左）

「目的は『欠陥を回路パターンの下に隠す』ことですから、10～20nmといった非常に微細な精度で欠陥の場所を報告しないといけません。非常に小さい角度でもレンズがぶれてしまったら、CCD上に投影される欠陥像がずれてしまい、欠陥の座標を正確に捉えられません。座標の精度にはいつも気を使って開発を続けていましたね」と、レーザーテック技術五部スタッフエンジニアの鈴木智博さんは当時をこう振り返ります。

試行錯誤が続いたEUV光源の「デブリ」問題

一見、良いことづくめのEUVですが、その光源には大きな問題が立ちはだかりました。高エネルギーの光源から発生する直径数十nmの微細な粒子「デブリ」の発生です。

デブリが発生すると、検査装置内部のミラーや光学系ユニット、さらには検査を行うマスクブランクス自体を汚染するため、検査装置としては致命的な問題です。

それまでの検査装置では、レーザーやランプなど、デブリがほとんど発生しないタイプの光源を利用していました。しかしEUVマスクブランクス欠陥検査では、非常に高いエネルギーを持ったプラズマ光源を用いる必要がありました。プラズマ光源からは、デブリが多数発生します。

「デブリが多数発生する光源を扱うこと自体、初めての経験でした。開発を始めた頃は、デブリの影響で、内部の光学系ユニットを数時間で交換しなければならず、検査を続けることがとても困難な状態でした。何よりも、欠陥を見つけなければならないはずの検査機が、逆に欠陥を増やしてしまっては元も子もありません」（宮井さん）

この状況に宮井さんは頭を抱えたと言います。EUV光源の場合にはデブリが発生しない検査用光源が存在しないため、デブリを除去する方法を探らなければなりませんでした。

突破口はマスクブランクス欠陥検査装置で培ったデブリ対策のノウハウと、繰り返し行ったエンジニアの膨大な検証試験により生まれました。

宮井さんら開発チームは、光源の発光条件や装置内の気体の流量、光学ユニットへの熱入射条件など、条件を変え試験を行いました。それらの結果からどうすればデブリの影響を緩和でき、部材の寿命を延ばせるのかを推測し、観察、実験、評価をひたすら繰り返すことで、道なき道を切り開いてきたのです。

「数時間で光学ユニットがダメになることは日常茶飯事、ミラーがダメージを受け使えなくなることもありました。そうした結果を丁寧に観察し、シミュレーションによる予測を加え、最適な構造とダメージを受けない条件を推測し、実証評価を繰り返しました。最終的には良い条件を見つけることができ、実用的なスループットと感度の両方を達成することができました」（宮井さん）

これらのさまざまな試行錯誤によって、マスクブランクス内部の欠陥の高精度な検知が可能になり、さらにプラズマ光源から発生するデブリの影響を最小限に抑える知見を得られたことで、最後の難関も乗り越えることができました。そしてついに2017年4月、「ABICS」の製品化を実現しました。



写真3 レーザーテックの開発現場は、半導体製造のクリーンルーム同様に最高レベルの清浄度が保たれている（写真提供：レーザーテック）

検査で支える、社会の未来

「ABICS」の販売を開始した2017年は、半導体業界がEUVリソグラフィを実用化することが明確になってゆくタイミングでもありました。2011年3月からのNEDOプロジェクトにおける試作機の開発から約6年という開発スピードで、市場的にも非常に先見性の高い製品を世に出すことができたのは、共同研究体制の下で、レーザーテックの開発力が存分に発揮されたからと言えるでしょう。

「開発の初期段階だった2010年代前半は、EUVリソグラフィの将来性について議論されていましたが、実際に使われるかは不明確でした。そうした状況の中でも試行錯誤を重ね、開発を続けてきました。そして2017年、EUVリソグラフィが将来性のある技術として認識されたタイミングと同時期に『ABICS』が市場に投入され、その有用性が多くの人々に認識されたことは、非常に感慨深いものがありました。『ようやくこの時がきた』と、開発したことを皆で喜び合ったことを覚えています」（宮井さん）

「『ABICS』はまぎれもなく、デファクトスタンダードとなる技術です。こうした技術を開発してこられたのは、主要メーカーから優秀な人材を集めたプロジェクトチームが実現できたからです。これは『NEDOプロジェクトである』ことがとても重要だったと思っています。EIDECにおいても、さまざまな企業の協力を得て研究開発を行っていく上で、NEDOプロジェクトの下、集まって仕事できたことは大きなメリットでした」（渡辺さん）

インフルエンザウイルスよりも小さく、数十nmという非常に微細な欠陥を検知する精度を誇る「ABICS」。今後、観察性能やスループットを高めていくといったマスクブランクスメーカーからの要請に応えながら、製品としてより進化していくことになります。

今後、スマートフォン、ノートパソコンなどの携帯端末、エアコンや冷蔵庫などのIoT家電、利用が拡大する人工知能（AI）、自動運転されるモビリティなどで半導体デバイスは使用され、需要は増加の一途をたどります。それに伴い、精度の高い検査技術は半導体産業のみならず、社会そのものの発展に貢献していきます。



レーザーテック株式会社
技術五部 部長
宮井 博基 さん

これからもEUVの検査技術を通して、世の中に貢献したい

宮井さんは、技術担当として「ABICS」の開発における技術全般に関わり、NEDOプロジェクトではレーザーテック内の技術開発の取りまとめを行ってきました。

「開発の中で最も記憶に残っているのは、検査結果が初めて得られたときですね。量産装置として市場に受け入れられるためにはスループットの確保が欠かせませんが、具体的な目標として掲げていたスループットの達成が見えてきた瞬間の、得も言われぬ興奮と安堵感は忘れられません」

「今後、『ABICS』が市場に導入される段階では、技術の進展に伴い新たな要望が必ず出てくると予想しています。そうした要望を受け止めた装置を実現させ、EUVの検査技術を通して世の中に貢献したいと考えています」



レーザーテック株式会社
技術五部 シニアエンジニア
渡辺 秀弘 さん

ドリームチームと強い個人力で実現した「ABICS」

渡辺さんはEIDEC在籍時から技術担当として本プロジェクトに関わってきました。海外メーカー、そして国内の主要メーカー、大学の研究機関の叡智を結集したEIDECはまさにドリームチーム。実際のプレーヤーと直接議論をしながら開発を進めることができたことで、装置の完成度を速いスピードで高めることができましたと語ります。

「NEDOにはプロジェクト終了後も、実用化に向けて継続的に開発支援をしていただけたのがありがたかったと思っています。EIDECにおいて装置の完成度は高められていましたが、NEDOの支援のおかげで、市場に出たからの信頼性を高めるための開発に集中することができました」



レーザーテック株式会社
技術五部 スタッフエンジニア
鈴木 智博 さん

好調な開発を続けることができたのは、苦難の中にも楽しみがあったから

鈴木さんは高精度の座標測定方法の開発に関わってきました。装置におけるステージ技術、対物レンズの保持などを主に担当していました。

「高精度座標測定方法の開発は試行錯誤の連続でした。座標変換の方法も自分で考えて、それをプログラムに落として計算させ、再現性が高い方法を導き出す開発工程をやってきました。本当に大変な開発でしたが、正直楽しかったですね。最初はなかなか結果が出ないのですが、いろんなことを試して、違う結果が出てくるたびに驚きと発見がありました。最終的に実用化できたことは大きな喜びでした。これからは量産装置として継続して改善を進めていきます」

半導体デバイスの製造工程

半導体デバイスはさまざまな材料を用い、多くの設計、製造、検査の工程を経て製造されます。

半導体デバイスの機能中枢であるICチップの製造は、電子回路の「回路パターン」の設計に始まります。CADによって、メーカー側が求める性能を満たす電子回路を設計する「回路設計」を行う工程です。

そうして設計された回路パターンを、ガラス板の上に遮光膜を形成してできた「マスクブランク」に転写し、回路パターンの原版である「フォトマスク」を製造します。できたフォトマスクを、「フォトレジスト」と呼ばれる感光剤が塗られたシリコンでできた円盤状の「ウエハー」に、特殊なレンズによって縮小投影し、複数転写を行います。

この製造工程は、紫外線を使って露光し、転写する「リソグラフィ」と呼ばれ、微細な回路構造を生み出すために重要な工程です。現在はより微細化された回路の転写を行うために、従来の紫外線よりも波長の短い「極端紫外線（EUV）」を用いた「EUVリソグラフィ」が活用され始めています。

リソグラフィを含む、ウエハー表面の平坦化などのさまざまな工程を繰り返し行いながら、トランジスタなど多数の素子をウエハー上に造り込みます。そしてダイヤモンドブレードで一つずつ切り分けることで、一つのICチップが完成します。

「次世代半導体微細加工・評価基盤技術の開発」

（2010～2015年度）

（NEDO内担当部署：IoT推進部）

日本の半導体関連産業の技術力強化のため、半導体LSIの微細化に対応できる半導体デバイスプロセス基盤技術の研究開発を実施しました。

NEDOは、2006～2010年度に実施した「次世代半導体材料・プロセス基盤（MIRAI）プロジェクト（第3期）／次世代マスク基盤技術開発」において、EUVを使ったマスクブランクス欠陥検査の原理検証を行い、その成果を本プロジェクトにつなぐことができました。本プロジェクトでは、EIDEC（株式会社EUVL基礎開発センター（現・株式会社先端ナノプロセス基盤開発センター））を中心として、関連サプライヤ企業と先進ユーザー企業との異業種間連携による開発を行い、レーザーテック以外に海外の先進半導体企業も参加した体制を構築し、プロジェクトを推進しました。

その結果、レーザーテックは、その成果を使って次世代の検査装置「EUVマスクブランクス欠陥検査/レビュー装置『ABICS』」の開発に成功し、実用化を達成しました。

関連プロジェクト

[次世代半導体材料・プロセス基盤（MIRAI）プロジェクト（2001～2010年度）](#)

[次世代半導体微細加工・評価基盤技術の開発（2010～2015年度）](#)