

NEDO TSC Foresight セミナー

「日本のマテリアルのイノベーション：共創が拓く新時代に向けて」

先端半導体パッケージング技術開発を加速する オープンイノベーション戦略

株式会社レゾナック

執行役員 半導体材料研究開発統括

エレクトロニクス事業本部 副本部長

阿部 秀則

2025年 3月 7日

RESONAC

本日のアジェンダ

① レゾナックの紹介

② 先端半導体パッケージ動向と共創の必要性

③ レゾナックのオープンイノベーション戦略

RESONAC

昭和電工

昭和電工マテリアルズ
(旧 日立化成)

RESONAC

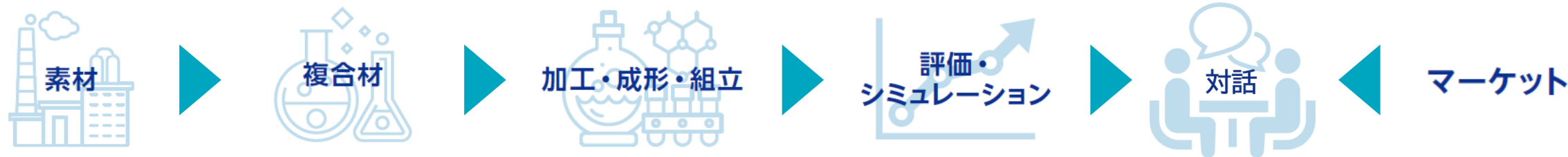
Chemistry for Change

Resonate

共鳴する・響き渡る

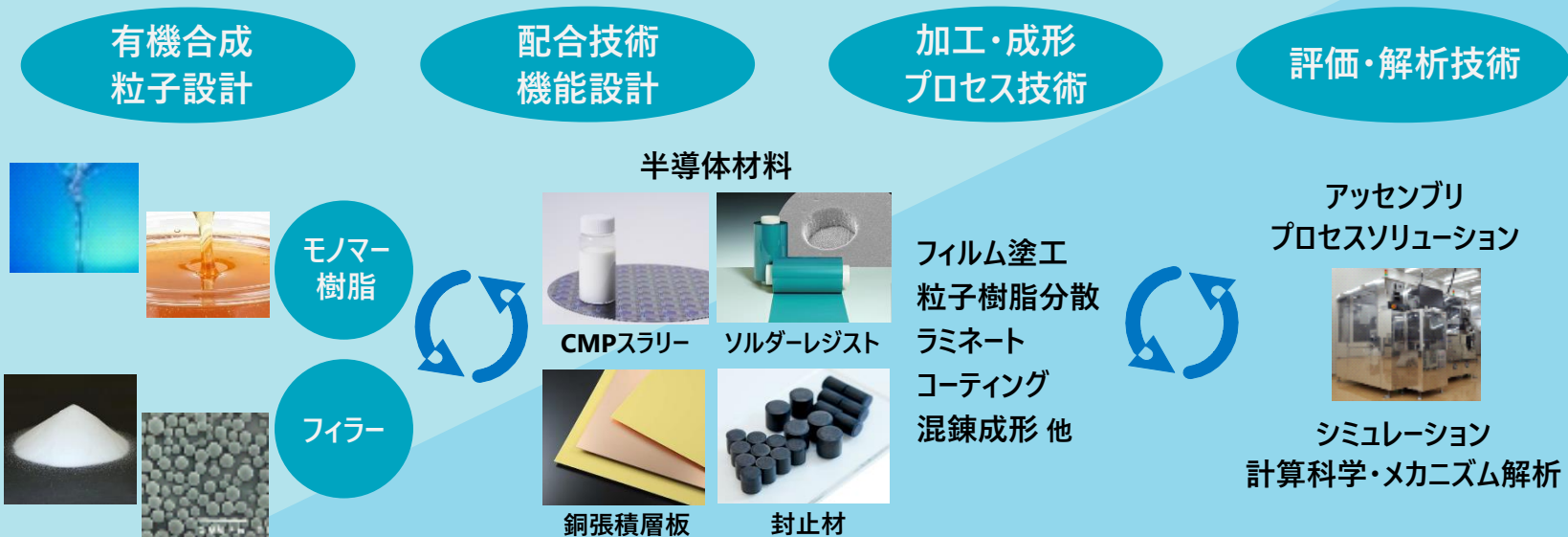
×

Chemistryの「C」



川下へのアクセス

ワンストップ型の先端材料パートナー(統合によるシナジー)



共創型化学会社/共創型人材の育成

幅広い技術の擦り合わせによるイノベーション



社会課題の解決をめざし、会社や部門を超えて、共感・共鳴で自律的につながり、共創を通じて創造的に変革と課題解決をリードできる人材

外部環境変化

01

問題が
大きく
複雑で
未知

社会課題解決への
情熱

02

価値観の
変化

会社や部門を超えて
共創する

謙虚に、粘り強く
**変革を
リードする**

パーパス 化学の力で社会を変える

バリュー（大切にしている価値観）



プロフェッショナルとしての
成果へのこだわり



機敏さと柔軟性



枠を超える
オープンマインド



未来への先見性と
高い倫理観

半導体成長分野への積極投資

半導体・電子材料 **45%** (2030年目標)

32% (4451億円)

- ・半導体用高純度ガス
- ・CMPスラリー
- ・エポキシ封止材
- ・ダイボンディング材料
- ・銅張積層板
- ・感光性フィルム
- ・感光性ソルダーレジスト
- ・ハードディスク
- ・SiCエピタキシャルウェハ
- ・化合物半導体

モビリティ **15%**

- ・自動車用部品
(樹脂成型品、粉末冶金 等)
- ・リチウムイオン電池材料
(カーボン負極材、導電助剤 等)

売上高(2024)
1兆3893億円
\$9.1Bn*

その他 **8%**

- ・ライフサイエンス関連 他

ケミカル **37%**

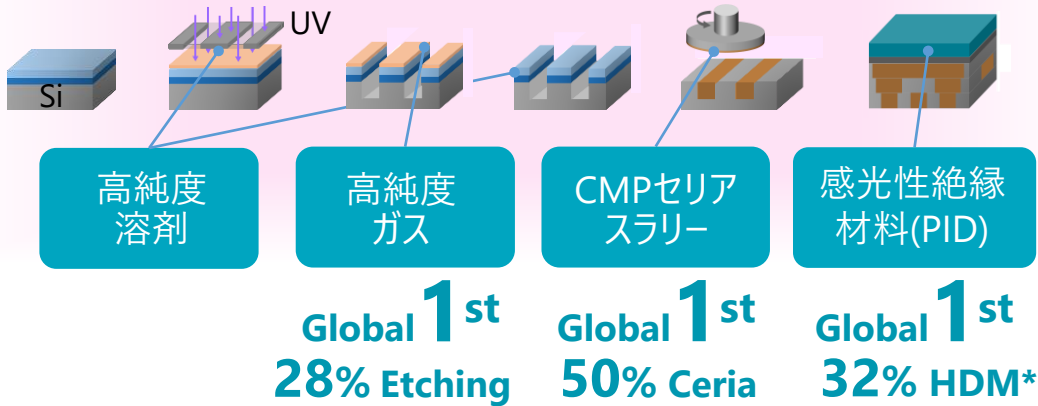
- ・石油化学
- ・基礎化学品
- ・産業ガス
- ・黒鉛電極 等

イノベーション材料 **7%**

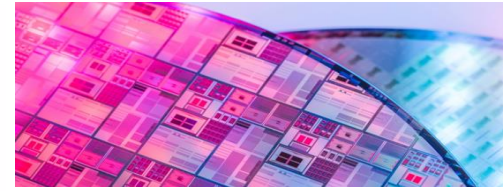
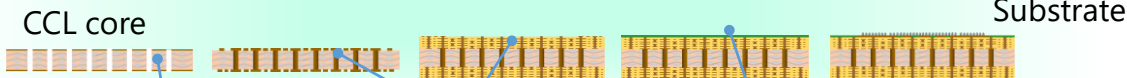
- ・機能性化学品、機能性樹脂
- ・コーティング材料
- ・セラミック
- ・アルミニウム機能部材 等

*calculated by 2024 yearly exchange rate 1\$=152.6¥

前工程 (ウェハプロセス)

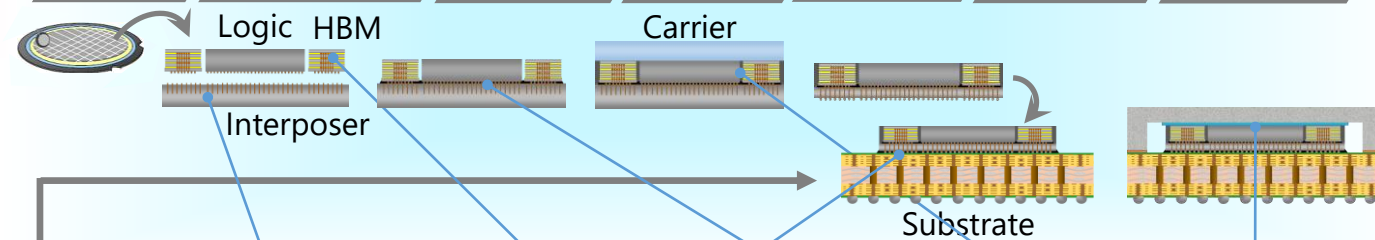


パッケージ基板製造

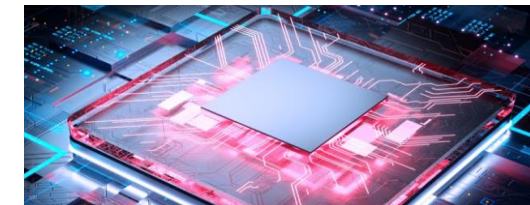


* HDM: HD Microsystems, Joint venture between Resonac and DuPont

後工程 (パッケージング)



パッケージ基板/後工程材料
グローバルNo.1マーケットシェア



* Global market shares(2024) are based on data gathered by RESONAC

本日のアジェンダ

① レゾナックの紹介

② 先端半導体パッケージ動向と共創の必要性

③ レゾナックのオープンイノベーション戦略

RESONAC

前工程 (ウエハ上に回路を形成)

回路プロセスは数nmまで微細化、
微細化は限界に近づきつつある

後工程 (半導体チップのパッケージング)

パッケージングの技術革新に注目が集まる
2.xD/3D (AI半導体)

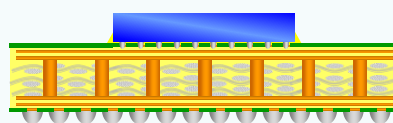
半導体の高集積化に伴い、設計・製造・評価プロセスは高度かつ複雑なものへ

従来のパッケージ



簡素なチップ×1つ

材料単体評価

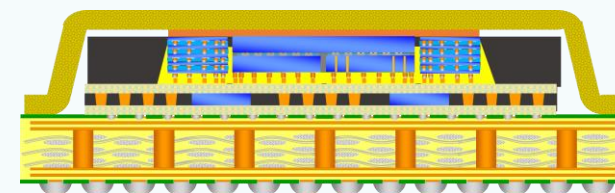


高集積化したチップ×1つ

組合せ評価



2.xD/3Dパッケージ

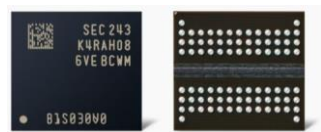


高集積化したチップ×複数

パッケージレベル
総合評価

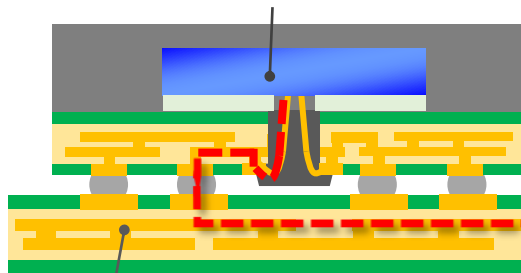
Conventional

GDDR6X 転送速度 96GB/s
容量 3GB(1パッケージ)



メモリ

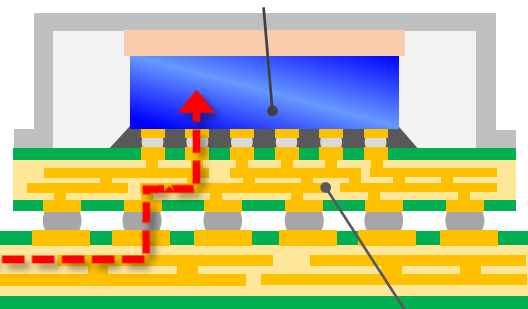
DRAM



マザーボード



プロセッサ
GPU/CPU



パッケージ基板

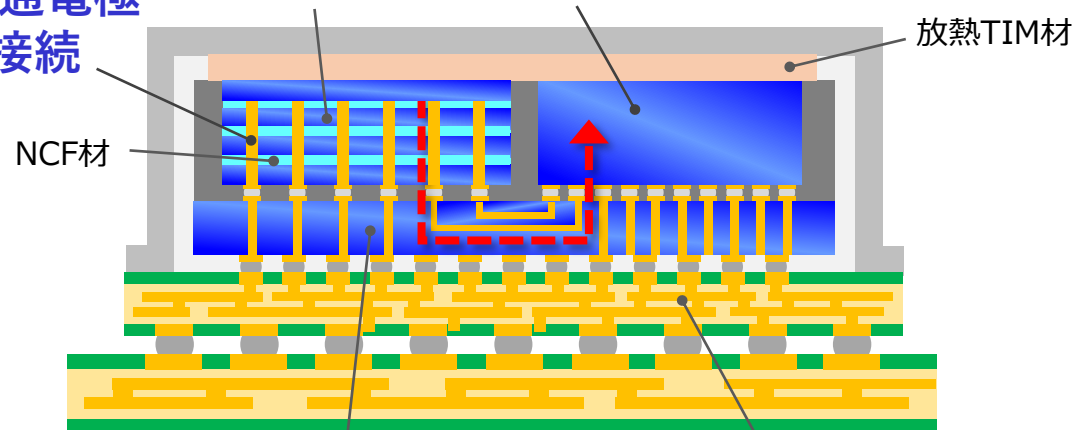
AI半導体 2.5D/3D-Package

HBM3E 転送速度 1.2TB/s
容量 24GB(8層,1パッケージ)



メモリ + プロセッサ
HBM GPU/CPU

シリコン貫通電極
(TSV)接続



放熱TIM材

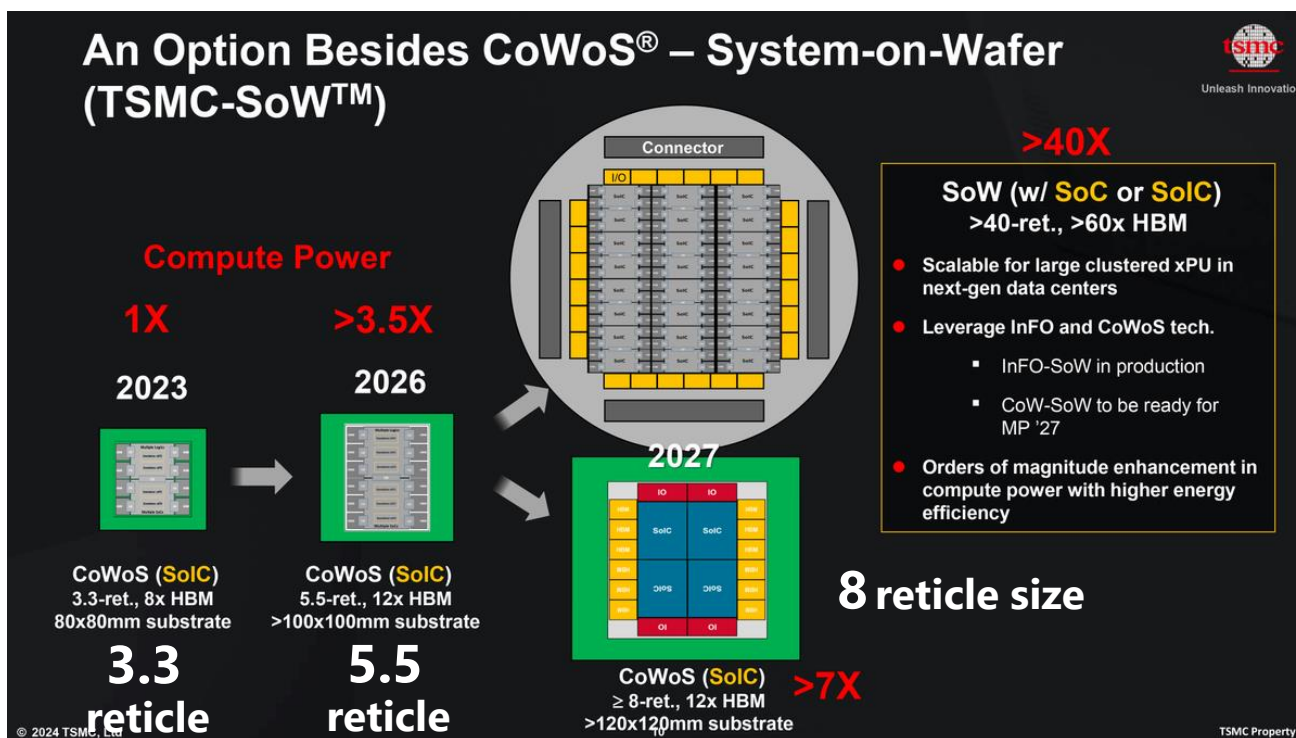
NCF材

シリコンインターポージャー

パッケージ基板

- ✓ シリコン貫通電極(TSV)とDRAM薄化積層技術による大容量HBMの実現
- ✓ シリコンインターポージャーでHBMとGPUを高密度接続し高速伝送(チップレット接続)

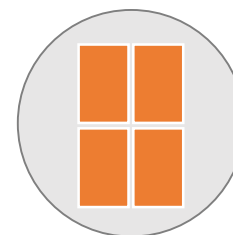
TSMC CoWoS Development Progress



インターポーターのサイズは増大し、8レチクルサイズへ

*TSMC 2024 Europe Technology Symposium on May 14 2024

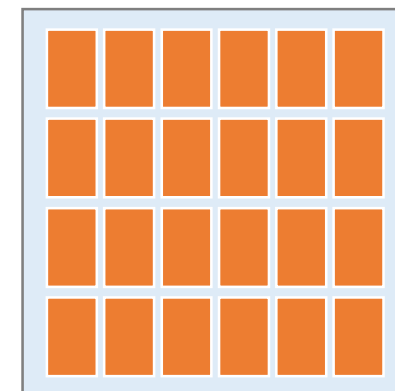
Wafer process
Φ300mm



Interposer size
8 reticle
 66mm x 104mm*

シリコンインターポーター
only 4 pieces

Panel process
 510mm x 515mm



有機インターポーター
24 pieces

- ✓ RDLインターポーター
- ✓ Siブリッジ内蔵インターポーター

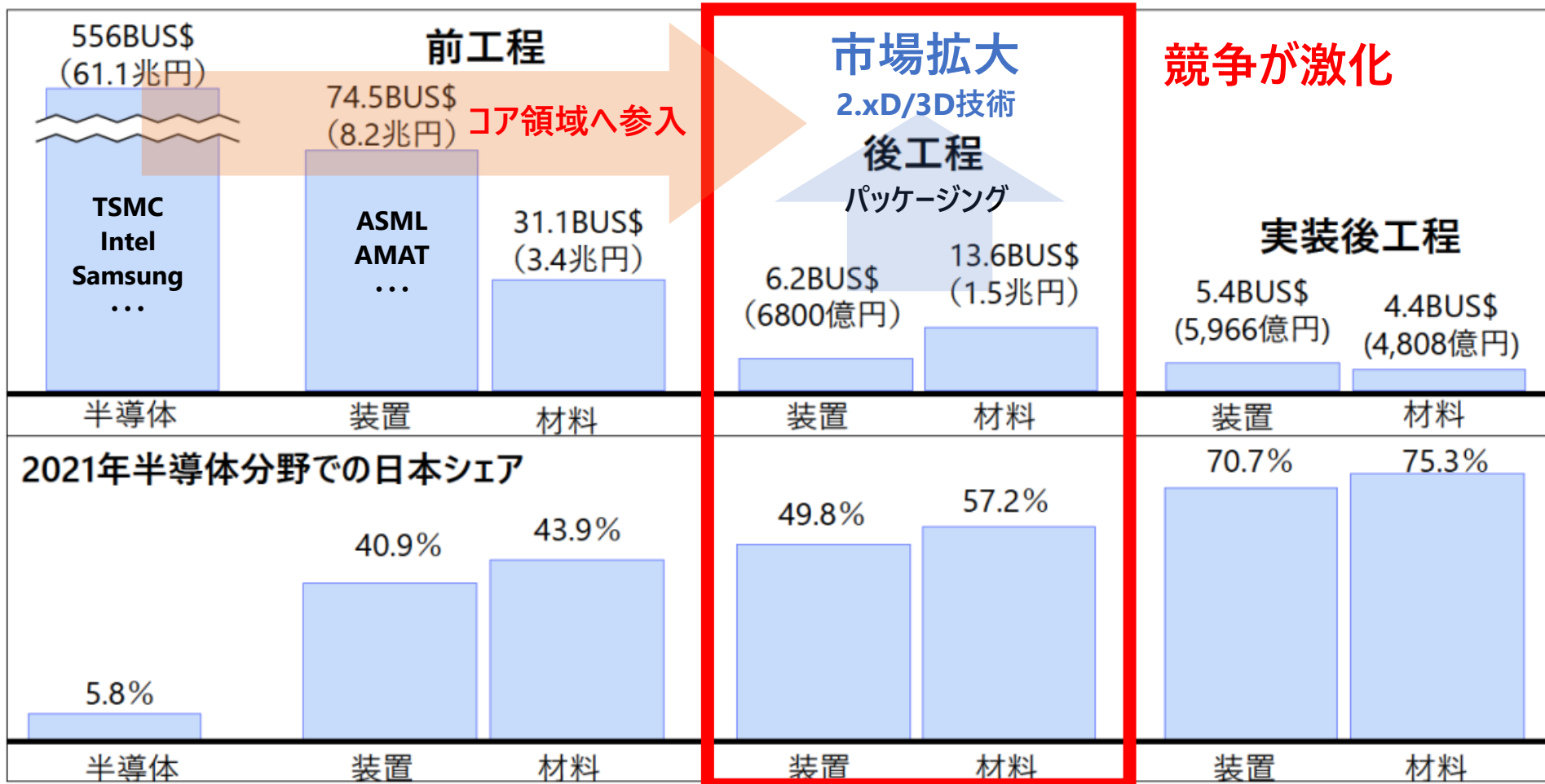
*Based on our assumption & geometrical calculation

日本は発展を主導できるポジション
(後工程 / 現時点)



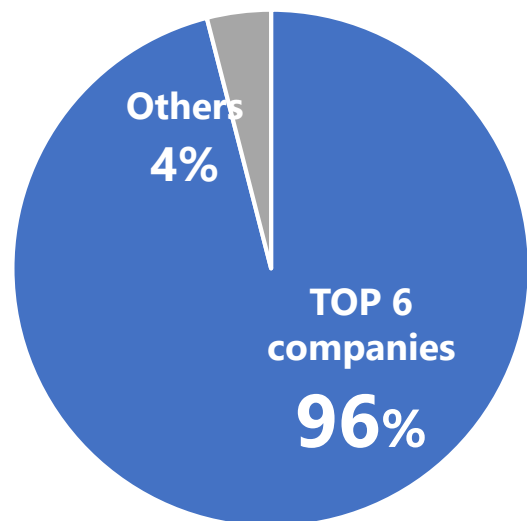
開発競争が激化
日本企業は小粒で研究投資の増大が負担

市場規模
(US \$)



日本企業の
シェア
(%)

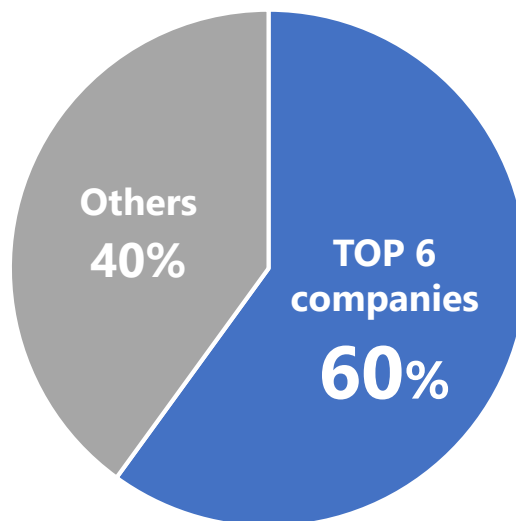
前工程 装置メーカー



Strong oligopoly

上位6社で市場**96%**占有
平均利益率(上位6社)：**28%**

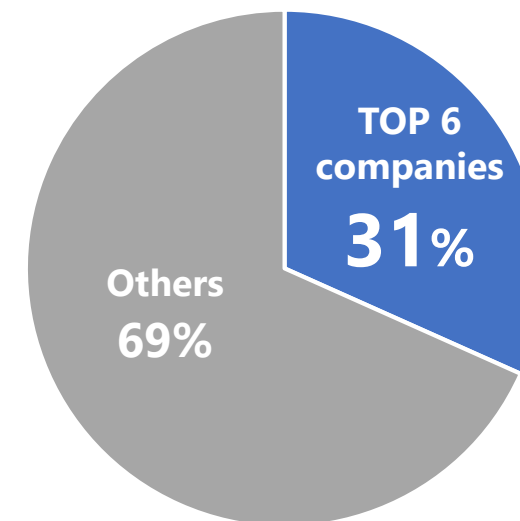
後工程 装置メーカー



Oligopoly

上位6社で市場**60%**占有
平均利益率(上位6社)：**22%**

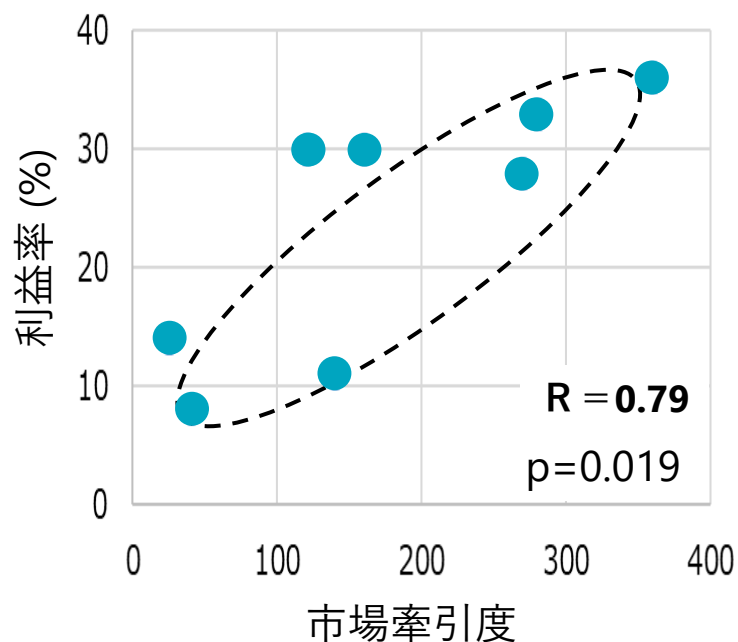
後工程 材料、基板メーカー



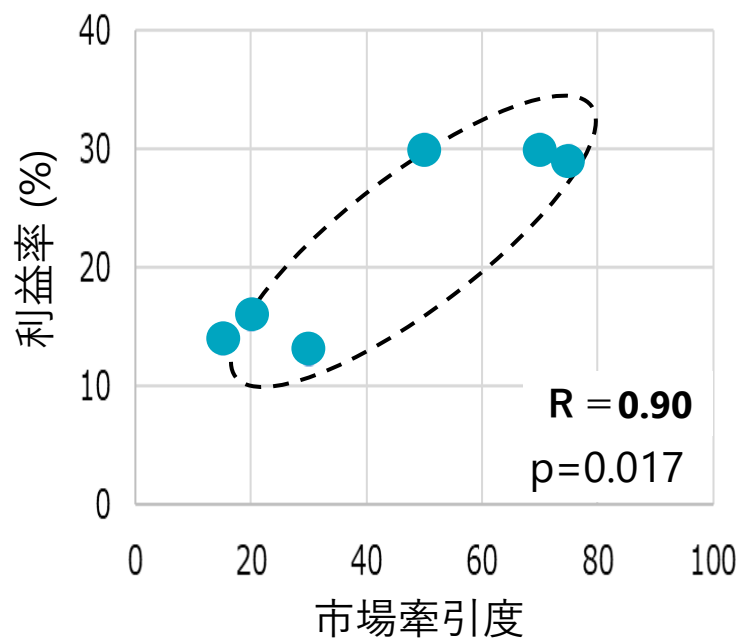
Non oligopoly

上位6社で市場**31%**占有
平均利益率(上位6社)：**14%**

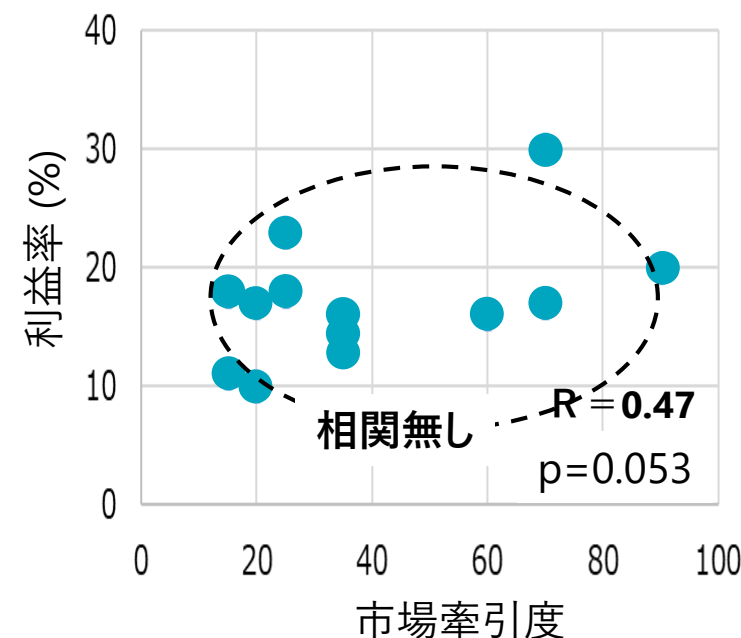
前工程 装置メーカー



後工程 装置メーカー



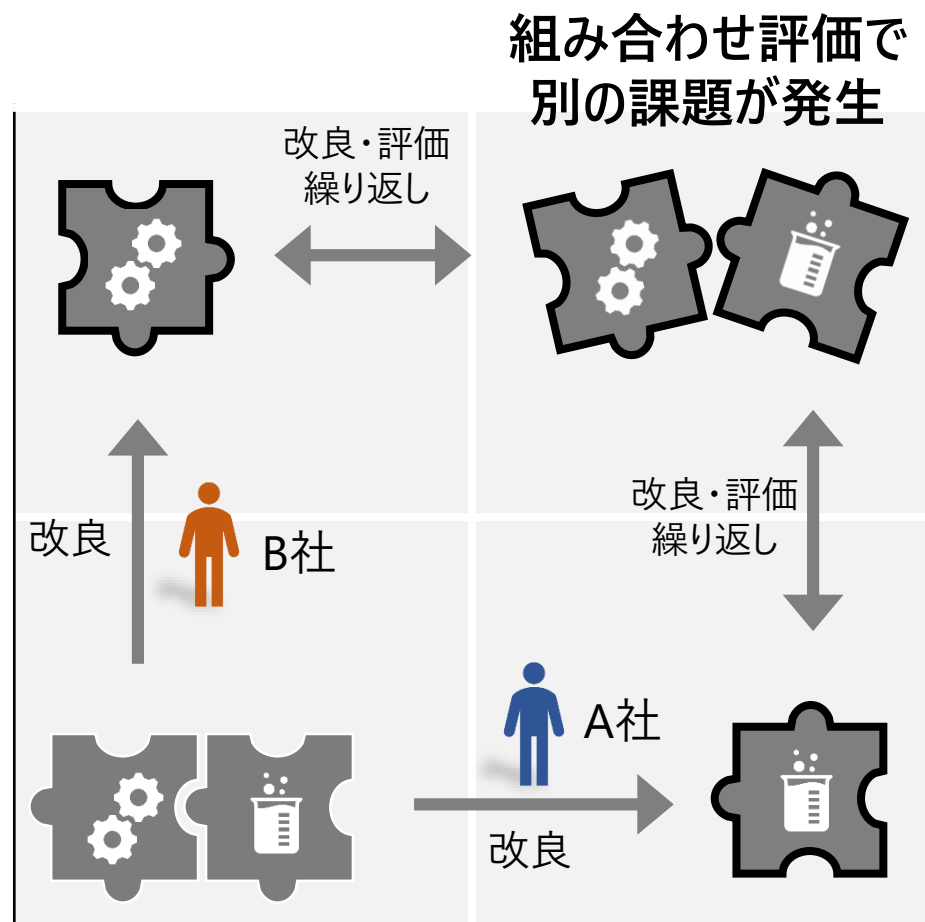
後工程 材料、基板メーカー



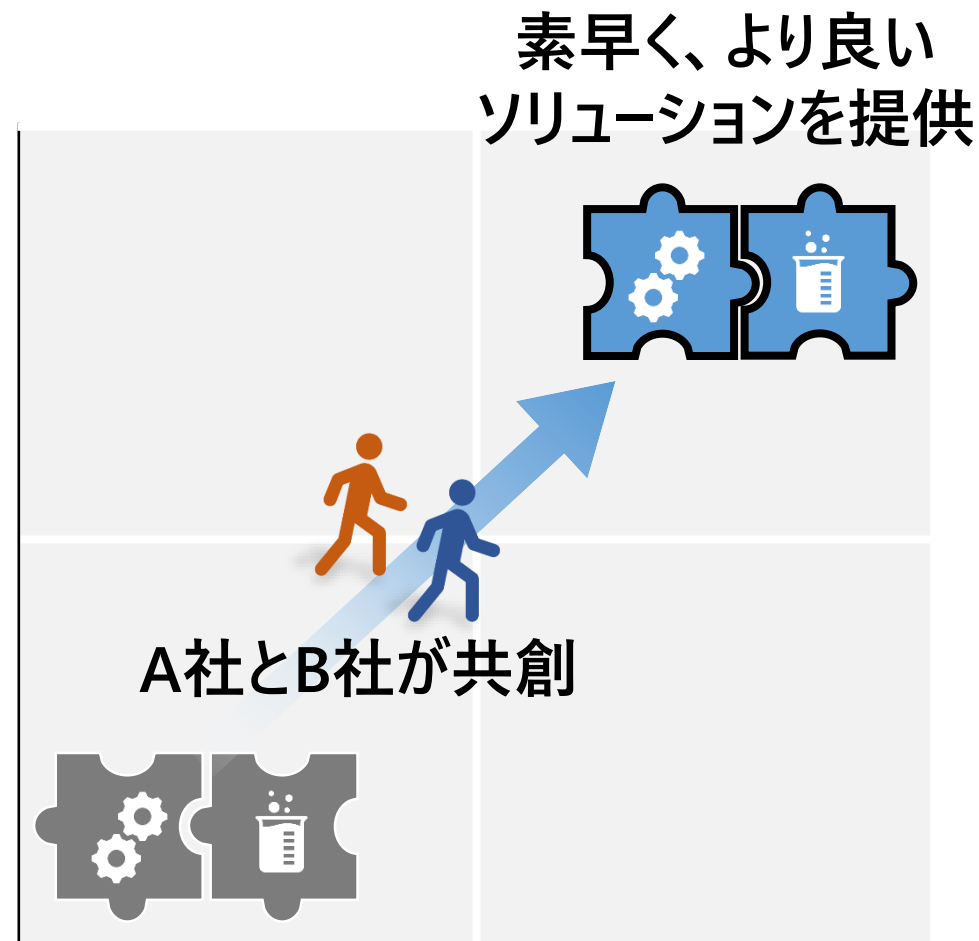
市場率引度 = 「最も高い製品のシェア」 × 「社外共創数」

前工程のような安定した高収益化には、後工程は社外共創を増やす必要がある。
「コンソーシアム」や「アライアンス」による「共創」で後工程の技術開発をリードする。

各社が別々に進めた場合



共創して進めた場合



本日のアジェンダ

① レゾナックの紹介

② 先端半導体パッケージ動向と共創の必要性

③ レゾナックのオープンイノベーション戦略

RESONAC

Packaging Solution Center (PSC)



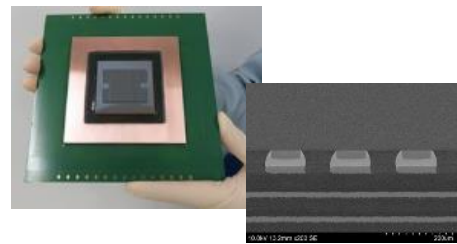
先端半導体パッケージの製造プロセスを一気通貫で評価・検証

- ✓ 最先端装置を擁し、パッケージングR&D拠点として世界トップクラス
- ✓ 各種パッケージ実装・材料組合せ制御と信頼性評価の長年の経験(30年以上)

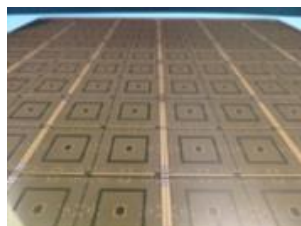
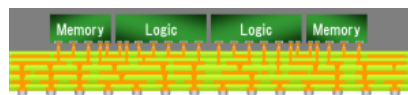
PSCは、次世代の先端半導体パッケージの早期実現に貢献するために様々な活動を実施

各種先端半導体パッケージ

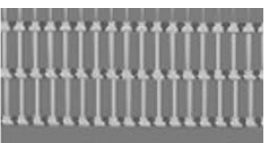
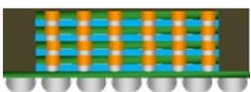
2.xD/3D



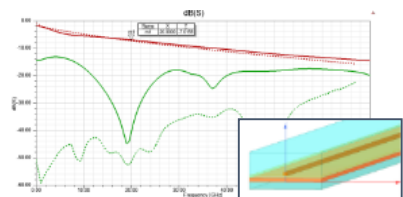
FO-WLP/PLP



Memory



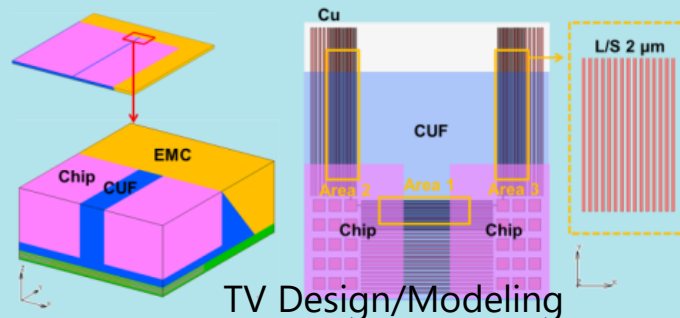
AiP/ RFFE



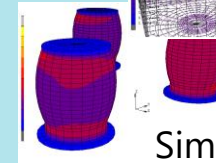
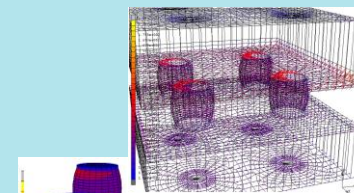
Transmission line simulation

試作サンプル
設計

シミュレーション
応力解析



TV Design/Modeling



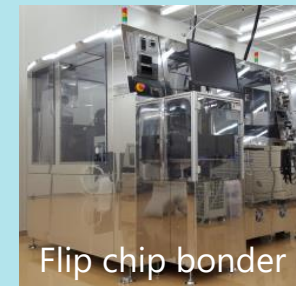
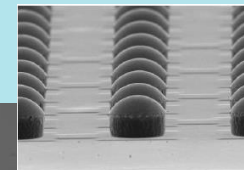
Simulation

インターポザー
RDL配線形成



Wiring

Assembly

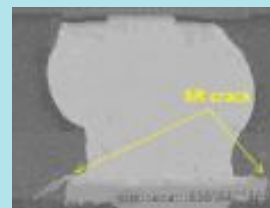


Flip chip bond

実装
パッケージング

信頼性評価
故障解析

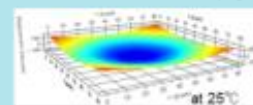
材料特性評価



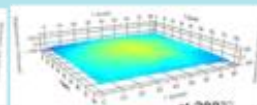
Failure analysis

Thermal
cycle test

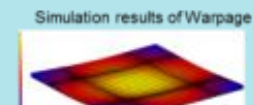
Evaluation results of Warpage



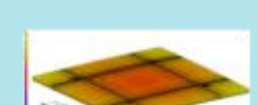
Ave. 215μm (Cry direction)



Ave. 81μm (Smile direction)



221μm (Cry direction)



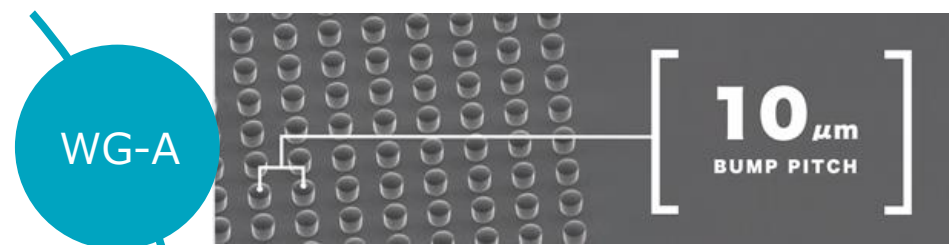
77μm (Smile direction)

後工程業界において高いシェアを有する企業が連携 (パッケージングソリューションセンター内に設置)

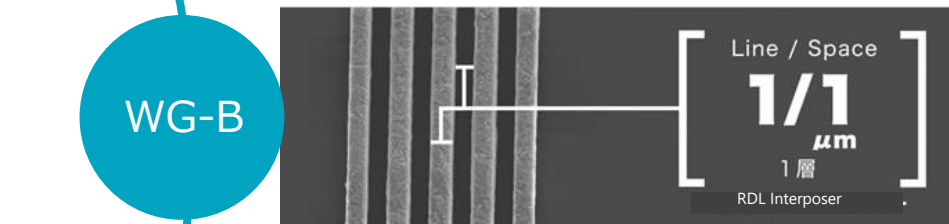
JOINT2 先端半導体パッケージ評価プラットフォーム

Eat Well, Live Well.

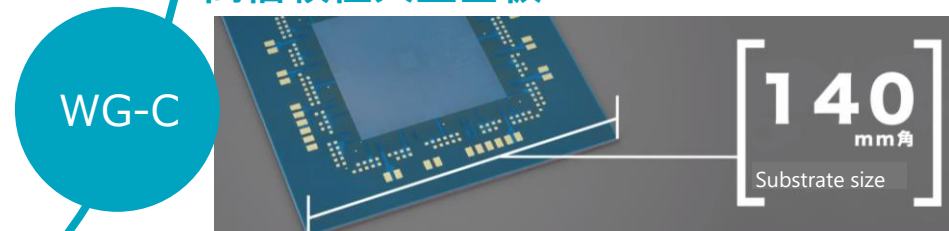
微細バンプ接合



微細配線形成



高信頼性大型基板



Working Group

次世代2.xD/3Dパッケージ実現に向けパネルレベルインターポーターの技術開発に着手

JOINT2プラットフォームで、様々なメーカーの技術を活用し、パネルレベルRDLインターポージャーを完成
 ライン/スペース=1.5 μ m/1.5 μ mの再配線を形成(3層配線)、現在、1 μ m/1 μ mを実現する技術を開発中

RDLインターポージャー

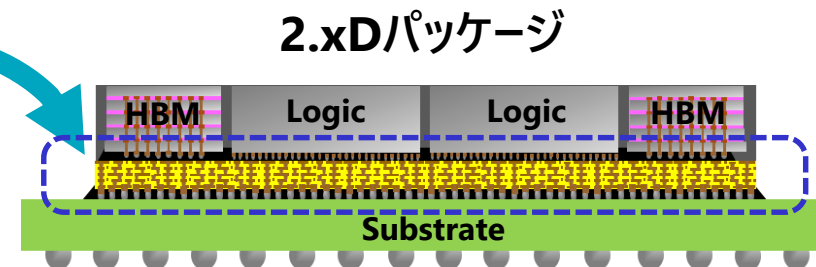
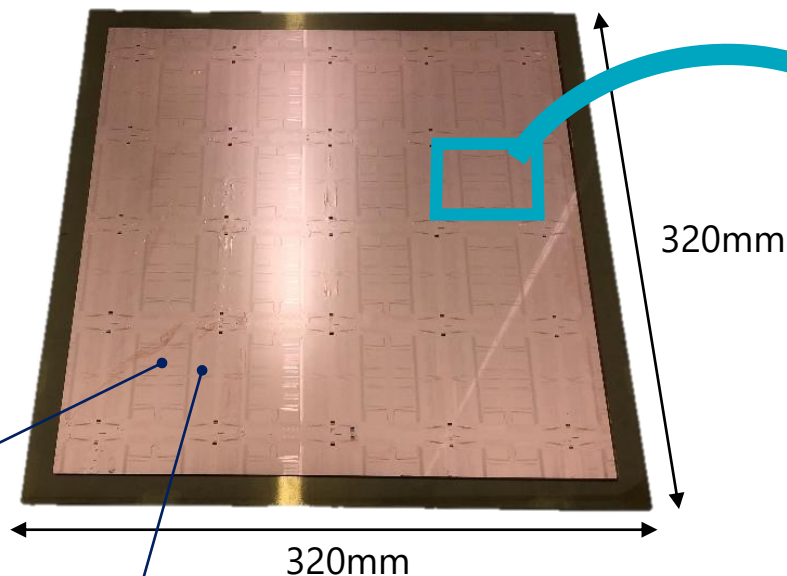
パネルサイズ

320 x 320 mm

インターポージャーサイズ

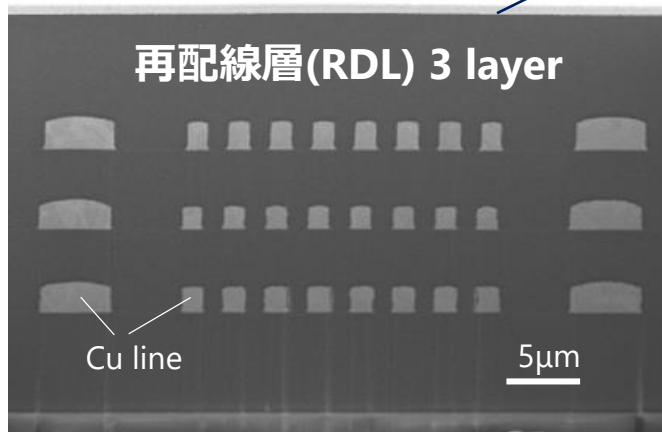
60 x 60 mm

16 ピース/パネル



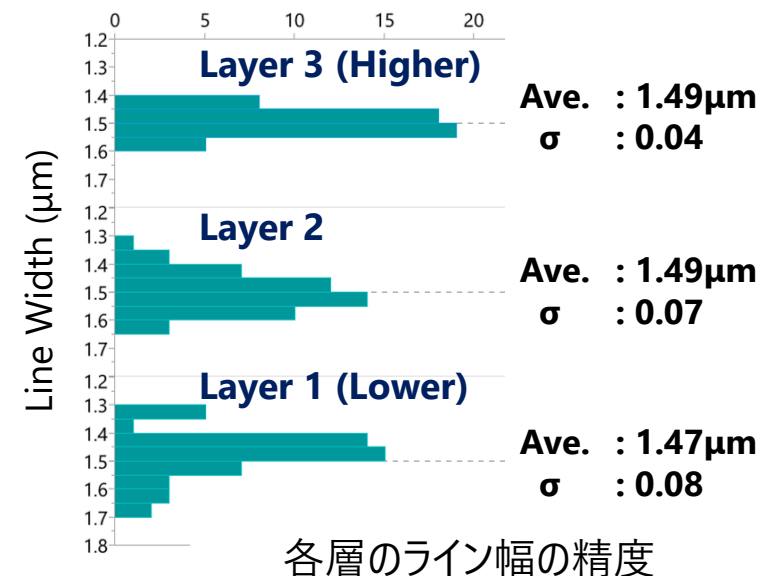
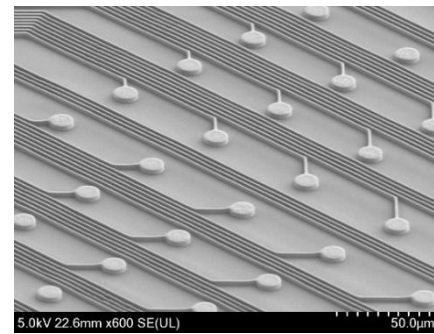
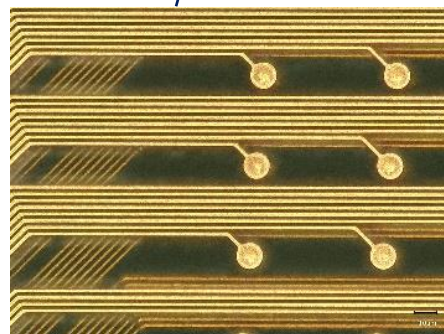
RDLインターポージャー

断面SEM



Top View

ライン/スペース = 1.5 μ m/1.5 μ m

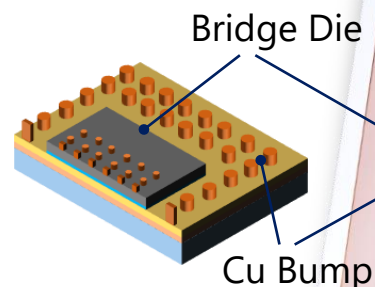


各層のライン幅の精度

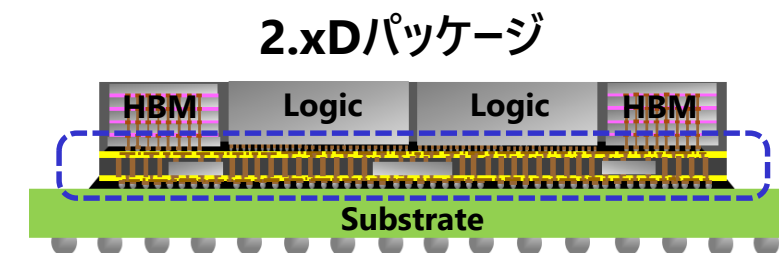
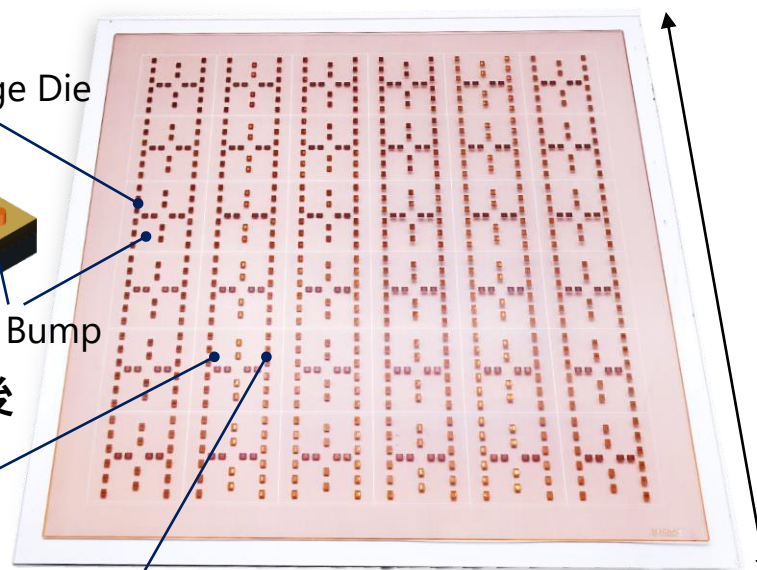
パネルサイズ510x515mm、インターポージャーサイズ 70mm角のSiブリッジ内蔵インターポージャーを試作

Siブリッジ内蔵インターポージャー

パネルサイズ
510x515 mm
インターポージャーサイズ
70x70 mm
36 ピース/パネル



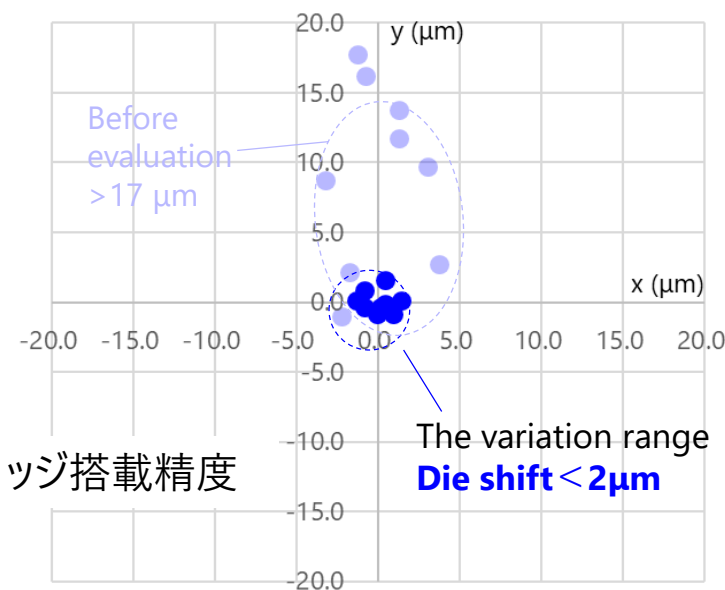
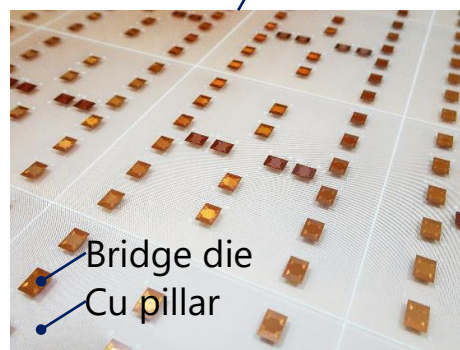
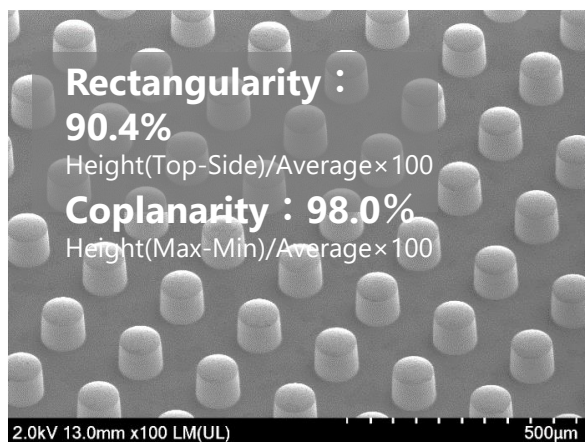
Siブリッジ搭載後



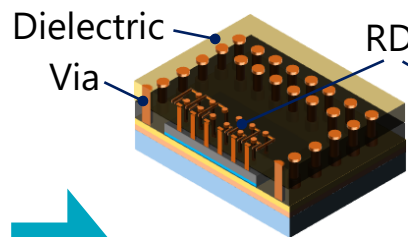
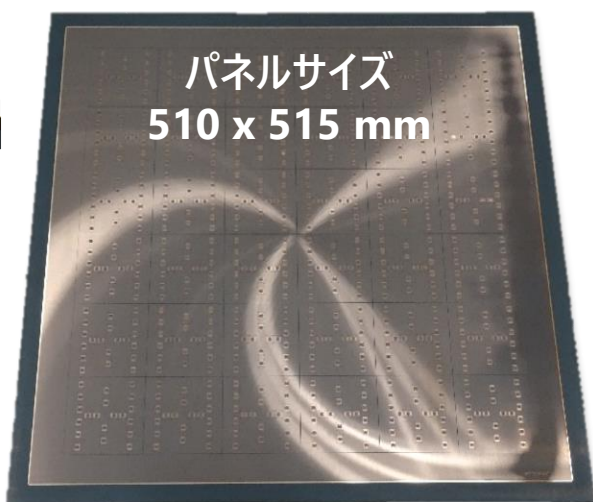
Siブリッジ内蔵インターポージャー

515mm

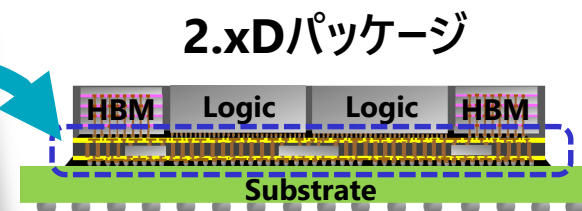
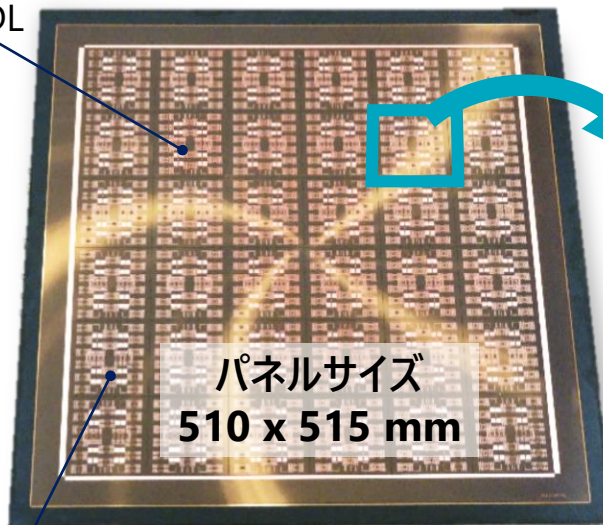
Cu pillar formation



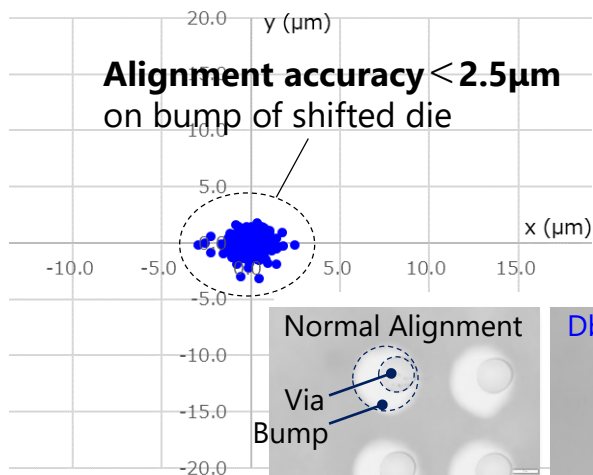
EMC封止
グラインディング
Cuピラー露出



RDL形成
インターポージャー完成
チップ搭載前

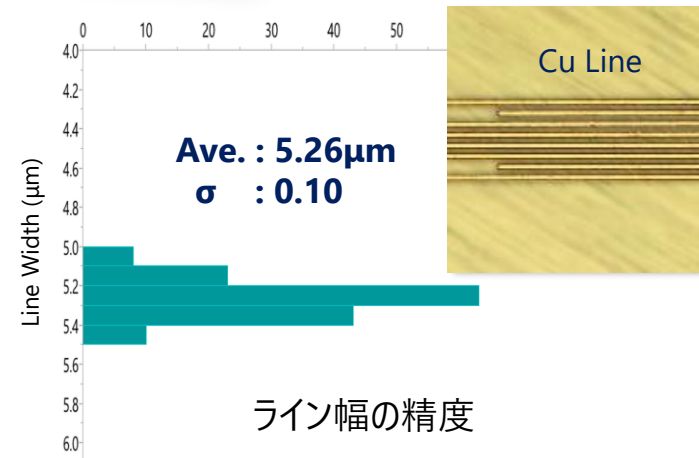
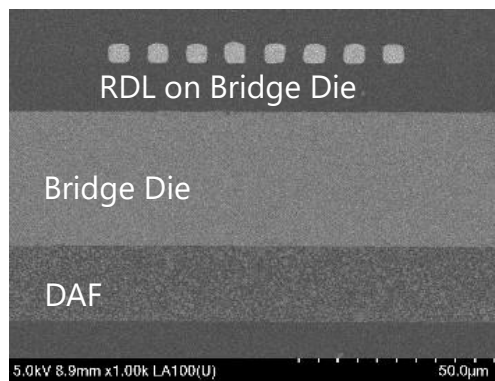


2.xDパッケージ
Siブリッジ内蔵インターポージャー
インターポージャーサイズ
70 x 70 mm
(6レチクルサイズ)



3D profile of
Via on Bump

Cu再配線 ライン/スペース = 5μm/5μm



様々なメーカーと共創し、6レチクルサイズのSiブリッジ内蔵インターポージャーをパネルレベルで完成

最先端の半導体設計が生まれる米国シリコンバレーに設立



新規パッケージコンセプトについて、共に検証、ベストソリューションを提供する

1. 共創型化学会社を目指すレゾナックは、**共創型人材を育成し様々なパートナーとの共創活動を推進していきます。**
2. **世界No.1の半導体パッケージング材料サプライヤー**であるレゾナックは、共創活動を通して、**2.xD/3Dパッケージング技術の進化に貢献する新しい材料**の開発を続けていきます。
3. 材料、基板、装置メーカーと先端半導体パッケージ評価プラットフォーム「JOINT2」を設立しました。**2025年には米国シリコンバレー**に新しい共創プラットフォーム「**US-JOINT**」を設立し**本格始動を開始**します。
4. レゾナックは、**外部との積極的なコラボレーション**により、材料提供のみでなく、最先端の装置、材料、基板を使用した**先進的なパッケージ構造の最適ソリューションを提供**できます。
5. 様々な共創活動を通じて半導体業界におけるリーダーシップを確立し、**共創によって新たな技術革新と市場機会を生み出して**いきます。

RESONAC