

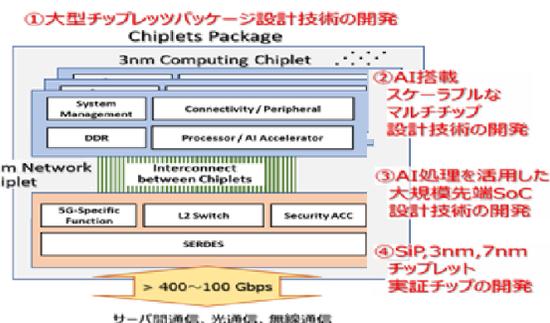
スケーラブルな大規模先端SoC設計技術の研究開発

実施者 株式会社ソシオネクスト

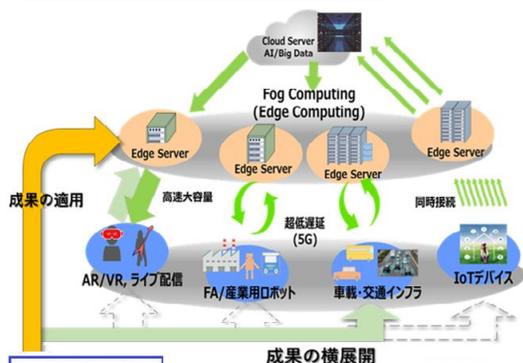
事業概要

ポスト5Gで求められる大容量処理、超低遅延処理、かつ、多種・多様なMECサーバを実現するための、スケーラブルな大規模先端SoC設計技術を開発

多種・多様な市場での最適なシステム・アプリケーションを実現するため、MECサーバ向けの大規模先端ロジックチップ開発の設計技術として、マルチチップ搭載可能な「①大型チップレットパッケージ設計技術」、高性能AI処理を実現する「②AI搭載スケーラブルなマルチチップ設計技術」、短期間で効率的な設計を行う「③AI処理を使った大規模先端SoC設計技術」、および、上記技術と先端プロセスを使った「④SiP、3nm、7nmチップレット実証チップ」の開発を行った。



社会実装イメージ



本研究開発の成果は、個々に最適化されたロジック半導体を短期間で開発するための設計技術であり、先端ロジック半導体を利用する製品・サービスに活用されることが期待される。そのため、ポスト5G時代のアプリケーションドライバとして期待される産業、特にコンピューティング性能が求められるデータセンター、ネットワーク市場を中心に先端カスタムSoCビジネスを展開していく。また、オートモーティブ市場での需要も高くなっており、幅広くプロジェクト成果の社会実装を推進する。

事業成果

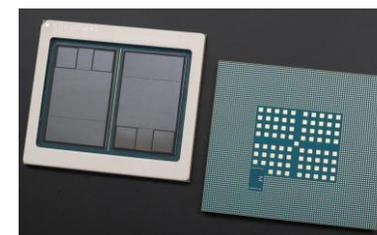
「①大型チップレットパッケージ設計技術」の開発では、チップレットパッケージEDA設計環境の構築、大型2.5Dオーガニックインターポージャー、Siブリッジインターポージャー構造評価パッケージ試作、信頼性試験を行い、評価基準クリアを確認した。また、チップレット間をつなぐDie-to-Die IOセルを開発し、Bi-direction方式で24Gbpsデータ転送を確認、目標のFOM1※ ≥ 3 を達成した。

※FOM1: Figure of Merit 1の略。1ビットのデータ伝送に必要なエネルギー(pJ/bit)で規格化した1mm 当たりのデータ伝送量(Tbps/mm)。FOM 1値が大きいほど高効率なシステムを意味する。

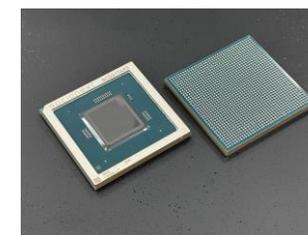
「②AI搭載スケーラブルなマルチチップ設計技術」では、スケーラブルな高性能AI処理を実現するため、マルチコア・マルチチップでスケーラブルなDNN処理用並列分散アーキテクチャ技術の開発を行い、実証チップに適用、評価を行った。チップレット単体のAI性能評価にて目標の20TOPS/W達成を確認。また、マルチチップシステム評価で、目標の300TOPS達成可能な設計技術であることを確認した。

「③AI処理を使った大規模先端SoC設計技術」では、AI処理搭載EDAツールを適用した設計フローの構築、および、設計データ蓄積、活用方法を構築し、3nm実証チップ設計へ適用。また、ベンチマークデータ評価にて設計効率化目標3倍を達成した。

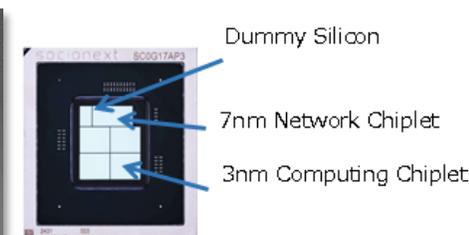
「④SiP、3nm、7nmチップレット実証チップ」の開発では、上記①、②、③で開発した設計技術を使い、3nm先端ロジック半導体を含むチップレット2.5D実証チップを試作・評価を行い、目標のSiP間データ転送400Gbps達成を確認した。



構造評価用2.5Dパッケージ



実証チップ (SiP, 3nm, 7nm Chiplet)



Dummy Silicon
7nm Network Chiplet
3nm Computing Chiplet