②先端半導体製造技術の開発

Post-5G Project
ポスト5G情報通信システム
基盤強化研究開発事業

(a) 先端半導体の前工程技術（More Moore技術）の開発

		先端3次元構造ロジック半導体デバイスの製造・プロセス技術の開発と検証用パイロットライン整備

先端3次元構造ロジック半導体デバイスの製造・プロセス技術の開発と検証用パイロットライン整備

実施者	東京エレクトロン株式会社、株式会社SCREENセミコンダクターソリューションズ、キヤノン株式会社
概要	半導体素子のさらなる微細化による高性能化のためには、新構造・新材料のプロセス技術適用が不可欠。2nm世代以降において必要となる新規の前工程製造プロセス技術を開発するとともに、新構造トランジスタ（GAAナノシート型）を試作可能な共用パイロットライン構築等により、微細加工を施したウェハーでの評価検証を実施し、先端半導体の製造技術を確立する。 ※共同研究先である産業技術総合研究所に本パイロットラインを設置、企業・大学等が広く活用できるよう「先端半導体製造技術コンソーシアム」を発足した。

産総研 先端半導体製造技術コンソーシアム

第1種・第2種会員　パイロットラインの構築・利用を行う企業・大学等（事業者3社ほか）

賛助会員　オープンイノベーションや技術普及の観点から知見提供や情報交換を行う企業等

tsmc　intel　USJC　TPSCo　IBM

新規会員の順次加入を想定

産総研

2nmノード先端３次元ロジック半導体(ナノシート構造)を作製可能なプラットフォーム整備（約20台の装置を新規導入）

産総研スーパークリーンルーム（SCR）の既存装置群も活用

産総研は共用のパイロットラインを整備

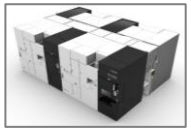
共同研究

ライン構築
評価検証

TEL
－次世代装置
－次々世代新材料

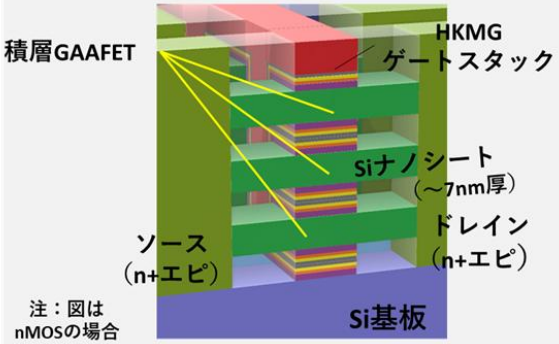
SCREEN
－先端洗浄技術
－次世代アニール技術

Canon
－ナノインプリント
リソグラフィ技術



事業者３社は先端半導体製造装置およびプロセス技術を開発

3次元構造半導体デバイス（ナノシートFET）



パイロットライン構築の開発項目
- 微細リソグラフィ　・Siナノシート形成
- High-k/メタルゲートスタック形成
- トランジスタプロセスインテグレーション