

「省エネ AI 半導体及びシステムに関する技術開発事業」
中間評価報告書

2025年8月

国立研究開発法人新エネルギー・産業技術総合開発機構
研究評価委員会

2025年8月

国立研究開発法人新エネルギー・産業技術総合開発機構
理事長 斎藤 保 殿

国立研究開発法人新エネルギー・産業技術総合開発機構
研究評価委員会 委員長 木野 邦器

NEDO技術委員・技術委員会等規程第34条の規定に基づき、別添のとおり評価結果について報告します。

「省エネ AI 半導体及びシステムに関する技術開発事業」
中間評価報告書

2025年8月

国立研究開発法人新エネルギー・産業技術総合開発機構
研究評価委員会

目次

はじめに	1
審議経過	2
分科会委員名簿	3
研究評価委員会委員名簿	4
第1章 評価	
1. 評価コメント	1-1
1. 1 意義・アウトカム（社会実装）達成までの道筋	
1. 2 目標及び達成状況	
1. 3 マネジメント	
（参考）分科会委員の評価コメント	1-4
2. 評点結果	1-16
第2章 評価対象事業に係る資料	
1. 事業原簿	2-1
2. 分科会公開資料	2-2
参考資料1 分科会議事録及び書面による質疑応答	参考資料 1-1
参考資料2 評価の実施方法	参考資料 2-1

はじめに

国立研究開発法人新エネルギー・産業技術総合開発機構においては、被評価プロジェクトごとに当該技術の外部専門家、有識者等によって構成される分科会を研究評価委員会によって設置し、同分科会にて被評価対象プロジェクトの研究評価を行い、評価報告書案を策定の上、研究評価委員会において確定している。

本書は、「省エネ AI 半導体及びシステムに関する技術開発事業」の中間評価報告書であり、NEDO 技術委員・技術委員会等規程第 32 条に基づき、研究評価委員会において設置された「省エネ AI 半導体及びシステムに関する技術開発事業」(中間評価) 分科会において評価報告書案を策定し、第 80 回研究評価委員会(2025 年 8 月 8 日)に諮り、確定されたものである。

2025 年 8 月

国立研究開発法人新エネルギー・産業技術総合開発機構
研究評価委員会

審議経過

● 分科会（2025年6月20日）

公開セッション

1. 開会
2. プロジェクトの説明

非公開セッション

3. プロジェクトの補足説明
4. 全体を通しての質疑

公開セッション

5. まとめ・講評
6. 閉会

● 第80回研究評価委員会（2025年8月8日）

「省エネ AI 半導体及びシステムに関する技術開発事業」（中間評価）

分科会委員名簿

(2025年6月現在)

	氏名	所属、役職
分科会長	せきたに つよし 関谷 毅	大阪大学 産業科学研究所 教授
分科会長 代理	すがや みどり 菅谷 みどり	芝浦工業大学 工学部 情報・通信工学課程 情報工学コース 教授
委員	あさい てつや 浅井 哲也	北海道大学 大学院情報科学研究院 教授
	おがわ れいな 小川 玲奈	株式会社 三井物産戦略研究所 技術・イノベーション情報部 インダストリーイノベーション室 室長
	おくむら ともひさ 奥村 朋久	株式会社 日本経済研究所 執行役員 コーポレートアドバイザー本部長
	かしわざい よしたか 柏木 喜孝	一般社団法人 九州経済連合会 産業振興部 兼 新生シリコンアイランド九州推進部 参事
	しんたに みちひろ 新谷 道広	京都工芸繊維大学 電気電子工学系 准教授

敬称略、五十音順

研究評価委員会委員名簿

(2025年8月現在)

	氏 名	所属、役職
委員長	きのの くにき 木野 邦器	早稲田大学 理工学術院 教授
委員	あさの ひろし 浅野 浩志	東海国立大学機構 岐阜大学 特任教授
	いなば みのる 稲葉 稔	同志社大学 理工学部 教授
	ごないかわ ひろし 五内川 拡史	株式会社ユニファイ・リサーチ 代表取締役社長
	すずき じゅん 鈴木 潤	政策研究大学院大学 政策研究科 教授
	はらだ ふみよ 原田 文代	株式会社日本政策投資銀行 常務執行役員
	まつい としひろ 松井 俊浩	東京情報デザイン専門職大学 情報デザイン学部 教授
	まつもと まゆみ 松本 真由美	東京大学教養学部附属教養教育高度化機構 環境エネルギー科学特別部門 客員准教授
	よしもと ようこ 吉本 陽子	三菱 UFJ リサーチ&コンサルティング株式会社 政策研究事業本部 産業創発部 主席研究員

敬称略、五十音順

第 1 章 評価

1. 評価コメント

1. 1 意義・アウトカム（社会実装）達成までの道筋

本事業は日本が強みを有する組み込み技術における国際的な優位性を維持するために重要となる技術の開発であり、意義は大きい。AI 半導体の国産化や競争力強化により、産業基盤への貢献も期待され、エッジ AI という方向性は、クラウドやエッジサーバなどの GPU クラスタなどの市場参入が難しい中で、日本が強みを持つ組み込み技術を発展させる観点から妥当である。自動車・ロボットや医療・ヘルスケア分野において不可欠な AI 半導体・システム開発が、高い目標設定の下、着実に取り組まれていることを評価する。アウトカム達成までの道筋については、開発スケジュールや関係機関の役割分担、標準化・知財戦略も具体的に示されている。生成 AI の進展や製造プロセスの変化といった外部環境の変動を反映して、スピード感を持って計画の調整や加速予算の投入が行われている点も妥当である。

知的財産戦略については、研究開発の進展に伴い、オープン・クローズ戦略をテーマごとに適切に設計しており、中間評価の段階としては適切な特許出願がなされている。また事業終了後も権利処理が円滑に継続されうる枠組みとなっている。標準化戦略では、公式標準・業界標準・事実上の標準を使い分け、展示会や標準化団体との連携を通じて国内外での普及を図っていることは評価できる。

今後に向けては、対象が自動車・ロボットや医療・ヘルスケア分野に絞られているが、その他の産業での半導体チップの応用と産業の勝ち筋に関しても意識すべきである。またアウトカム達成までの道筋について、自動運転・モビリティや医療・ヘルスケア分野などの政策動向などについては、各国の情報収集を行い、事業化実用化についての見方を実施者と共有し、継続的な捕捉を行うことが望ましい。生成 AI の急速な進展も考慮し、ユーザー目線での社会実装を意識するようにしてほしい。さらに現在想定されている BtoB にとどまらない、よりオープンな開発エコシステムの醸成が期待される。

知的財産・標準化戦略については、我が国が強い産業構造を強化するためのオープン・クローズ戦略をさらに明確にすることを期待したい。特許については、出願先の検討含め海外特許の取得を推進してもらいたい。標準化については、対象とする技術領域ごとに適切な標準化手法を具体化し、外部環境変化にも対応可能な柔軟なポートフォリオ整備や国際標準化の推進を期待する。さらに事業終了後に成果を企業・自治体・大学等が利活用しやすい形に高めることを期待する。

1. 2 目標及び達成状況

アウトカム目標については、社会的インパクトを意識した目標が設定されている。生成 AI の普及やエッジ処理の需要増加など、外部環境の変化を適切に捉え、省電力化・開発効率化の両面から社会的・経済的波及効果が見込まれる。特に、国内設計能力の強化と開発コスト削減につながる設計基盤の国産化は、国際競争力の強化にも資するものであり適切である。設定されたアウトカム目標は、社会実装先の市場規模からは達成可能と考えられ妥当といえる。

アウトプット目標に関しては、高い目標が設定され事業者の創意工夫によりそれを実現している。中間目標については十分に到達しており、さらに外部環境の変化を踏まえた開発方針の柔軟な見直しも行われており、高い目標へと進んでいることを評価したい。

今後に向けてアウトカム目標を実現するためには、世界的な展開が不可欠であるため、国際標準化の推進を期待したい。また早くに事業化できるものから市場へ投入し、ビジネスモデルの試行錯誤と構築をお願いしたい。BtoBにおける社会実装では、想定顧客とのコミュニケーションが非常に重要であり、事業化を見据え緊密なコミュニケーションを心掛けていただきたい。また、技術的には、エッジ AI の高精度・低消費電力化などの課題や国際競争の激化により、目標達成にはリスクが伴う。実用化に向けた道筋は示されているものの、一部は初期段階にあり、社会実装には時間を要する可能性がある。適切な時期に必要な成果を示せるように、調査を進めながら指標・目標値を見直すことが望ましい。さらなる基本特許や周辺特許を検討・出願し、アウトカムを意識したビジネスモデル特許の出願も期待する。

1. 3 マネジメント

実施体制については、エッジ AI 市場は、日本の産業競争力強化につながるポテンシャルを有するものの、企業単体で研究開発を行うにはリスクが高い領域でもあることから、NEDO で執行がなされるのが適切であると考えられる。また、大学・企業・研究機関の多様な主体を含む体制になっており、プロジェクトマネージャーや外部有識者による管理体制が整備され、透明性と説明責任が確保されている。実施者間の連携やユーザー企業との協業も進み、実用化を意識した取り組みが評価される。

受益者負担の考え方については、革新的かつ基盤的な技術開発を対象としている事業であり、民間単独での事業化が困難な領域に該当し、特に新技術に対する迅速な対応や設計環境の国産化といった要素は、外部政策動向の影響を大きく受ける分野であることから、委託事業としての実施は妥当である。

研究開発計画については、技術トレンドの変化に応じて、設計方針を柔軟に見直しており、外部環境を踏まえた計画更新が適切に行われている。進捗管理では外部有識者によるステージゲート方式を導入し、透明性と競争性を確保されており、高く評価される。採択プロセスも公平性・透明性が担保されており、研究成果の OSS^{*}公開など、研究インテグリティにも配慮が見られる。また新たな製造技術の実用化に合わせた最適なファウンドリ選定、生成 AI 関連技術の急激な進展に対応するための加速予算の投入および開発内容の追加など、機動的に対応されている。

今後に向けては、AI 技術の進展スピードは年々加速されている部分もあるため、状況の変化に応じて事業化の前倒しなど、柔軟な計画変更、追加支援や補助率の調整をご検討いただきたい。

また、事業終了後の成果の利活用に向けた出口戦略や、民間主導への移行可能性について、委託研究の成果が中長期的に自立的に展開されるよう、開発した技術や設計基盤の維持・拡張や、産業界に広く供給するためのスキームについて、より具体的な検討を期待する。

***OSS (Open Source Software) :**

ソースコードが公開されており、誰でも自由に利用、改変、再配布できるソフトウェアのこと。

(参考) 分科会委員の評価コメント

1. 1 意義・アウトカム（社会実装）達成までの道筋

<肯定的意見>

- ・ 我が国が世界的な競争力を有し、社会的なニーズも高い産業である自動車、ロボット、医療・ヘルスケア分野において不可欠である AI を実装するための AI 半導体開発が高い目標設定の下、着実に取り組まれていることを評価する。特に国内外の技術進展、市場動向や環境規制などが変動する中で、着実な研究開発が進んでいる。
- ・ 高い目標設定がなされ、着実に研究開発が進んでいる。さらに、目標を超える研究成果も出始めていることを評価したい。特に、将来の事業化を見据えた国際的なエコシステムや活動に関する広報戦略などについても検討が進んでいる。
- ・ 動向の早い研究開発分野において、論文や国際会議での発表とともに、その事業化を見据えた知財化が進んでいる。事業化を見据えたステークホルダーとの連携の中で、着実に進展していることを評価する。
- ・ 本事業の位置付けは、日本の半導体産業について、再度世界レベルの競争力を持たせることを目指したものである。EdgeAI のプロジェクトとするという方向性は、クラウドやエッジサーバなどの GPU クラスタなどの市場参入が難しい中で、日本が強みを持つ組み込み技術を発展させた EdgeAI を投資先とするのは技術的な観点から妥当である。また、取り組みの中の一つの助成事業として、残り3年間で、確実にまずは EdgeAI の事業化を目指す企業に投資する点では、投資先、達成度から見ても申し分ない結果である。事業化にあたり、(1) 重点産業を絞っている点、(2) BtoB を目標として 2030 年度にリリースする技術として、アプリケーションが必要とする AI 性能のニーズをとらえるものであるという点、(3) 連携などの支援を行っているとの話があり、これらは高く評価できる。
- ・ アウトカム達成に向けて、具体的なパートナーエコシステムの構築や、自律走行、自動運転、などの分野を目的に絞り低消費・埋め込み分野のアプローチは比較的明確になっている。
- ・ 2032 年には市場規模 4,000 億円超、CO₂削減量 1,373 万 t/年の達成を目指すことや、生成 AI やエッジコンピューティングの進展に対応し、国内技術の強みを活かして国際競争力を高めること、さらにエネルギー効率向上や環境負荷低減など、国の戦略と整合性があり、社会課題の解決にも資する意義がある。
- ・ 生成 AI やエッジコンピューティングの進展など外部環境の変化を的確に捉え、技術・市場動向を反映している。政府の戦略との整合性も高く、社会的影響も明示。AI 半導体の国産化や競争力強化により産業基盤への貢献も期待される。開発スケジュールや関係機関の役割分担、標準化・知財戦略も具体的に示されている。
- ・ 知財管理体制が整備され、知財委員会の設置や合意書作成により、権利帰属や実施許諾のルールが明確。国際標準化や海外での権利化も視野に入れ、事業化戦略と整合している。標準化戦略では、公式標準・業界標準・事実上の標準を使い分け、展示会や標準化

団体との連携を通じて国内外での普及を図っている。

- 日本が強みを有する組み込み技術における国際的な優位性を維持するために重要となる技術の開発であり、意義は大きい。
- 外部環境の変化の激しい AI 技術の変化に応じ、スピード感を持って計画の調整や追加予算の投入が行われている。自立化の観点から、国内に国際競争力ある顧客を有する自動車およびロボティクス業界向けが想定されていることは、理にかなっていると考えられる。事業終了後の事業化に向けた成果普及やエコシステム形成の取組を既に始めている。
- オープンソースライセンスの取組を行いつつも、クローズ領域への配慮も十分になされている。中間評価の段階としては適切な特許出願がなされている。
- 情報量の増加に伴い増加が見込まれる電力需要に対し、効率的なインフラの構築は必要なことであり、インフラ構築において重要な技術開発を担う本件の意義は申し分ない。
- 外部環境について、適切な調査を行いながらベンチマークするなど、適切である。
- エッジ領域のシステム化（標準化）を図る上で必要な、開発成果に対するオープンプラットフォームを構築する一方で知財の確保なども進めることとし、成果獲得に向けて、知財マネジメント上は、問題ない。
- エネルギーと半導体市場、政策・施策、技術戦略について記載あり。リソース少でリアルタイム性が求められる組み込み機器は日本の産業の強みであり、この点を強化する本事業は外部環境の変化にかかわらず実施する必要あり。特に、AI という点で日本が優位に立てる分野でありその点からも重要。
- エコシステム構築の動きや分野の再検討等、複数テーマで考慮が見られる。
- 技術のコアの部分を基本特許として押さえ、ユーザーに近い部分はオープン化しており、領域設定や外部変化に対して妥当。また、自動運転に関して OSS への取り組み検討。事業者のメタな立場で、NEDO が主体となって知財の管理を行うことが記載されており、適切に運用されていた。事業に必要な標準(ISO26262)への適用に関する取り組みは記載あり。
- 本事業は、経産省が掲げる「半導体・デジタル産業の再興」や「グリーントランスフォーメーション (GX)」などの上位政策と整合し、次世代のエネルギー効率と情報処理能力を兼ね備えた AI 半導体・システムの開発を通じて、デジタル社会の基盤強化に貢献している。特に、クラウド依存からエッジ分散型へのパラダイムシフトを前提に、リアルタイム・省電力処理を支える技術を産業応用に直結させている点は、政府目標との接続が明確であり、実装性も高い。これにより、単なる研究開発にとどまらず、社会課題の解決と経済価値の創出の双方を追求する政策的意義が裏付けられている。
- 本事業では、アウトカム達成に向けた段階的な取組が整理されており、特にユーザー評価や展示会 (CEATEC 等) での成果発信、技術推進委員会による進捗確認と助言など、社会実装に向けた実務的な仕組みが有効に機能している点は高く評価できる。また、生成 AI の進展や製造プロセスの変化といった外部環境の変動を反映して、プロセッサの設計や試作計画の見直しを柔軟に行っており、開発体制の適応力も示されている。さら

に、チップの早期製品化や MPU 開発への展開を視野に入れるなど、事業終了後の民間による自立的展開を意識した取り組みも含まれており、アウトカム実現後の持続性にも配慮されている。ステークホルダーへの情報発信も積極的に行われており、広報の観点からも好ましい姿勢が見られる。

- 本事業では、研究開発の進展に伴い、オープン・クローズ戦略をテーマごとに適切に設計している点が評価できる。特に、オープンソースソフトウェア（OSS）を活用するテーマにおいては、事業者への助言や技術推進委員会による評価・助言を通じて、外部公開の範囲や知財との整合性が検討されており、社会実装を意識した柔軟な方針が確認できる。また、ISO26262 のような車載系デバイスに必須の標準規格にも個別テーマで対応し、事業者間での役割分担や対応状況の確認が実施されている点は、標準化戦略における実務的視点を有しており、実用化・事業化の観点でも重要な意義を持つ。さらに、委託事業・助成事業それぞれにおいて、知的財産の帰属方針や、運営体制内での知財合意書の作成、知財運営委員会の設置が明示されており、事業終了後も権利処理が円滑に継続されうる枠組みとなっている。こうした制度的整備は、外部環境の変化にも耐える一定の安定性を備えている。

<問題点・改善点・今後への提言>

- 現時点における問題点、改善点は見出されていないが、今後、世界の市場や政策動向、国際標準化、環境規制などのに関する情報を的確に収集し、本プロジェクトへ生かしてほしい。
- 高い目標を達成するとともに、それをアウトカム（社会実装）へとつなげていくための戦略をより具体的にしていって後半の取り組みに期待したい。
- 後半のフェーズでは、欧州を中心とする環境規制などにも配慮し、我が国が強い産業構造を強化するためのオープン・クローズ戦略をさらに明確にしていけることを期待したい。
- 一方、Edge のハードウェアの電力効率や、性能評価がどこを基準に評価するか？という点については難しいと感じた。大変変化が大きい分野であるため、短く区切って、数値目標を掲げるのは、目的達成と金額を明確にする点では良いと思うが、数値目標がどの時点からの目標と成果として合意するか、という設定は難しい。また、同様に、AI の技術がここ数年で飛躍的に向上しており、これらの AI モデルの探索や軽量化技術、さらにハード実装技術の落とし込みとアウトカムまでの時間制約があるので、これを達成するためにどうすべきか、ステークホルダー間での蜜な連携が必要だと感じた。
- 一方、「将来像（ビジョン・目標）の実現に向けて、安全性基準の作成、規制緩和、実証、標準化、規制の認証・承認、国際連携、広報など、必要な取組が網羅されていること。」については企業の発表、資料では、技術的な達成（アウトプット）がメインであり、アウトカムも市場規模と市場の試算が主な部分で、国の期待からは少はずれているように見受けられた。半導体は元々、汎用的な用途に利用されることが目的とされているので、今回選ばれている企業は、半導体の事業者であり、これらの安全基準の必要性や規制緩

和、標準化はどちらかというと、アプリケーションの事業者にとって必要なものかと思われる。このことから、これらの項目は、事業を推進するアプリケーション事業者と一緒に進める話であり本事業評価として相応しいのか判断がつかない。当日の話では、半導体事業者側の課題（電力削減、性能向上）と、アプリケーション側の課題の両方の議論がありもう少し目的に応じてマネジメントしたり役割分担がなされていると良い。

- 市場規模や CO₂削減量などのアウトカム目標は野心的である一方、達成可能性の根拠がやや不十分である。また、政策との整合性は示されているが、具体的な政策実装との連携やフィードバックの仕組みが不明瞭。
- 外部環境・状況の変化に対する柔軟な見直し体制やリスク対応策が不明確で、生成 AI の急速な進展への対応も限定的。国際競争への対応力や標準化戦略の実効性にも課題が残る。
- クローズ領域の定義が曖昧で外部連携に支障をきたす可能性がある。オープン戦略の成果評価指標も不足しており、社会実装への貢献度が不透明。
- エッジデバイスにおいてどこまでの演算処理が行われるかは、データセンターとエッジデバイスを繋ぐ通信技術の省エネ、低コスト化との兼ね合いで決まるものと考えられる。そのため、社会実装段階においては、想定顧客が求めるエッジ AI と通信技術のバランスを考慮したデバイスを提案できるような外部環境のモニタリングが肝要と考えられる。
- エッジ AI はキラーアプリケーションが定まっていない段階であることから、キラーアプリケーションを生み出すために、現在想定されている BtoB にとどまらない、よりオープンな開発エコシステムの醸成が望ましい。
- 自動運転やロボティクスなど、国際的な展開が期待され、かつ高い安全性が求められる用途においては、国際標準化のための仲間づくりをはじめとした取り組みを早急に推進すべきである。これからデバイス制作を行う計画となっているプロジェクトについては、関連する特許出願が増えるものと思われる。タイムリーな対応を期待する。
- 自動運転・モビリティや健康福祉分野などの政策動向などについては、各国（州）などの情報収集を行い、事業化実用化についての見方を実施者と共有することは必要。継続的な捕捉を行うことが望ましい。
- 今回は自動車、ヘルスケア、産機に絞られているが、その他の産業での半導体チップの応用と産業の勝ち筋に関しても意識して行ってほしい（提言）。
- 今回は中間評価のためアプトプットの実現に注力していると認識。しかし、アウトカムの達成のためには現時点から、技術の規格化・標準化にとどまらず、ユーザー目線での社会実装を意識するようにしてほしい（提言）

※例えば、自動運転に関しては自治体との連携や、規制緩和等、技術面以外でアウトカム達成に必要な取り組みを並行して行ってほしい。

- ・ 知財活動と併せて、国際標準化や国際規格化への動きも強めるべき（改善点）。出願先の検討含め、海外特許は国内出願以上に取得する活動をすべき（改善点）。今回の技術開発で標準化や規格化できる部分があれば、IEEE や IEC での取得にむけた活動をすべき（改善点）。
※欧米はこの点の活動が強く、ユーザーや協力者の囲い込みに利用している。
- ・ 省エネ AI に関する事業であるにもかかわらず、採択された研究開発項目が消費エネルギーの多い Transformer に偏っている点はその説明が必要である。また、制度・標準化・国際認証といった政策的手続きへの対応戦略は十分に示されておらず、今後の社会実装との接続性に懸念が残る。これらに対応するため、上位政策の目標と本事業の成果を接続する中間 KPI を整理し、制度対応の工程やタイムラインを含めた具体的なロードマップを構築することが望まれる。加えて、グローバル市場における競争優位性の明示や、民間実装までの支援スキームも明確化することで、国による支援の意義をさらに高めることができる。
- ・ アウトカムの社会実装を確実なものとするために不可欠な制度面への対応、特に安全性基準の整備や国際標準化への貢献、認証・承認プロセスの戦略的対応については、体系的に整理されていない。特に、人材育成については、その記述が不十分である。また、資料上では一部の取り組みが断片的に示されているものの、誰が・いつ・どのように推進するかという実行計画は明示されておらず、官民の役割分担や時間軸を含む全体像が不十分である。このため今後は、人材育成、標準化活動や制度対応に関する取組を「アウトカム達成までの道筋」に正式に組み込み、国際連携、安全性評価、認証取得に向けた工程を KPI に基づき可視化する必要がある。また、開発成果を制度や市場に橋渡しする中間主体の明確化や、政策当局との連携体制の強化も求められる。あわせて、成果の社会的・経済的インパクトを多様なステークホルダーに伝える広報戦略も再強化し、事業の信頼性と波及効果を高めていくべきである。
- ・ オープン・クローズ戦略の考え方は整理されているものの、その判断基準や透明性はテーマ間でばらつきがあり、成果の再利用可能性や波及効果に差が出る恐れがある。特に、研究データや設計ツールなどの基盤的成果物について、どこまでをクローズにし、どこまでをオープンにするかという判断の妥当性が、外部の視点からは評価しづらい。また、クローズされた知財の扱いについても、事業終了後の実施許諾の仕組みや外部へのアクセス方法が不明瞭であり、事業成果の社会展開を妨げるリスクがある。加えて、標準化戦略においては、実務的な対応（例：ISO 規格対応）が進んでいる一方で、国際標準獲得やデファクト標準形成への積極的な戦略は示されておらず、国際市場における競争優位性の確保という観点でやや弱さが見られる。今後に向けては、知的財産や研究データの扱いに関して「出口戦略」との整合性を明確化し、事業終了後に企業・自治体・大学等が利活用しやすい形での再利用可能性を高めることが必要である。また、標準化については、対象とする技術領域ごとに適切な標準化手法（例：フォーラムベースでの API 標準化、デジュール標準への提案）を具体化し、外部環境変化にも対応可能な柔軟なポートフォリオを整備すべきである。さらに、国際出願戦略や市場展開国での権利化方針

を明示し、グローバルな事業化の布石とすることが期待される。

1. 2 目標及び達成状況

<肯定的意見>

- ・ アウトプット目標を着実に実施するとともに、一部の取り組みにおいてはそれをはるかに超える成果にたどり着いている。費用対効果における試算も明確に行われており、その蓋然性が高いと判断できる。
- ・ 高いアウトプット目標に対して、事業者の創意工夫によりそれを実現していることを確認した。中間目標については十分に到達しており、さらに高い目標へと進んでいることを評価したい。すでに多くの論文発表、国際学会発表が行われているとともに、着実に出願も進められている。技術的な優位性も確認できた。
- ・ 今回、半導体におけるアウトカム指標・目標値においては、電力効率、性能目標が明確である点は評価できる。成長が著しいAIのロジックをチップ化する点については、性能そのもののみではなく、easy-to-use な開発環境をそのターゲットにするなど、AIの進化特性を考慮したアウトカム目標の推進をしており、その点について評価できる。一方、万能高位合成では、電力効率を中心にした性能達成を目標としており、その方向性での達成は期待できる。
- ・ 電力効率、性能に関するアウトプット目標における中間数値目標は達成されている。
- ・ 社会的インパクトを意識した目標が設定されている。技術進展に応じた性能向上指標も明示されており、中間評価では計画通りの進捗と成果が確認されている。産業界やユーザー企業との連携体制も整備され、実用化への道筋が具体的。経済・環境両面で高い費用対効果が期待される。
- ・ 中間目標は達成見込みで、技術推進委員会による進捗確認も実施。CEATEC AWARD 受賞や多分野への応用など波及効果も顕著。特許出願や論文発表も活発で、知財管理委員会の設置など戦略的な知財活用が進んでいる。
- ・ 生成AIの急激な進展への対応が適切に検討されている。また、市場予測が難しいエッジAI技術の中でも、比較的市場予測の立てやすいBtoB用途を想定することで、納得感のある費用対効果の試算がなされている。
- ・ 変化のスピードの速いAI技術の変化をしっかりと捉えて目標の調整を行っている。また、アウトプット目標をゴールとせず、更に高い性能を目指している点は素晴らしい。社会実装を早められそうな技術は切り出し、先行して事業化を検討する動きも、プロジェクトの成果をより効果的に活用するという観点で有効と考えられる。
- ・ 目標達成に向けて、各プロジェクトは進捗している。費用対効果に関して、主に増大する半導体分野での市場獲得に加えて、情報通信をはじめとしたデジタル分野の発展や脱炭素推進など波及しうる効果が見込まれる。また、アウトカム目標についても、当初設定された目標についても市場や開発動向などを踏まえて、目標値や時期を設定している。
- ・ アウトプット目標について、研究開発項目①に関して現時点において達成見込みでありおよび中間目標を研究開発項目②につき目標を達成している。設定されている目標につ

いては、アウトカム目標を達成する上で必要な目標レベルであると考えられる。特許出願や論文発表などについても各年度着実に実施されている。知財戦略について、将来のリスクや機会を見据えて進められている。

- ・ 特に実施の記載ないが、計画としての記載はあるため、必要に応じて見直しを期待したい。社会実装先の市場規模からは達成可能と考えられる。ROI としてみると妥当 (≧300%)。
- ・ 中間目標を優先して達成しており、特に実施の記載なし (計画としての記載はあり)。達成見込み。自動車等の想定アプリケーション以外に、故障予知や故障診断まで行う IoT 機器として社会インフラの維持管理に適用していつてもらいたい。開発の初期段階において、基本特許の出願、論文発表の実施。
- ・ 本事業は、エネルギー効率に優れた次世代 AI プロセッサの開発だけでなく、それらを迅速かつ柔軟に設計可能とする高位合成技術を含む設計基盤の確立にも取り組んでおり、両輪によるアウトカム創出を目指す構成が評価できる。生成 AI の普及やエッジ処理の需要増加といった外部環境の変化を適切に捉え、省電力化・開発効率化の両面から社会的・経済的波及効果が見込まれる。特に、国内設計能力の強化と開発コスト削減につながる設計基盤の国産化は、国際競争力の強化にも資するものである。
- ・ 本事業では、プロセッサ開発や設計ツール群の開発に関して、中間成果 (例: 仕様策定、試作チップ、評価ボード、設計環境整備など) が具体的に報告されており、アウトプット目標に対する一定の進捗が確認される。生成 AI やスパース性の高い演算モデルへの対応など、外部環境の変化を踏まえた開発方針の柔軟な見直しも行われており、社会的ニーズを反映した開発が継続されている。加えて、CEATEC での展示や報道による発信など、副次的な波及効果も現れ始めており、成果の社会実装に向けた動きも評価できる。

<問題点・改善点・今後への提言>

- ・ アウトカム目標を実現するためには、世界的な展開が不可欠であるため、国際動向とも連携していくことが期待される。ビジネスモデルの明確化は容易ではないが、早くに事業化できるものから市場へ投入し、試行錯誤することで、その明確化ができる可能性がある。期待したい。
- ・ プロジェクト後半では、早期に事業化できるものについて随時、市場へ送り出し、ビジネスモデルの試行錯誤と構築をお願いしたい。
- ・ それぞれここに書かれているほどの明確な達成時期、目標が設定されているかということ、そこまでは読み取れない (聞き取れない) 課題があった。事業者も既に、こうした指標についての意識はあると思うので、このような評価を詳細にする必要があるのであれば、提出資料に書くべき項目に、見直し項目を入れた方がよい。
- ・ 論文数や特許出願のページはあったが「オープン・クローズ戦略や実用化・事業化の計画を踏まえて、必要な論文発表、特許出願等が行われているか」までは理解できなかった。関連づくように記載してもらうように、資料などの指示があるとよい。
- ・ 技術的には、エッジ AI の高精度・低消費電力化などの課題や国際競争の激化により、目

標達成にはリスクが伴う。実用化に向けた道筋は示されているものの、一部は初期段階にあり、社会実装には時間を要する可能性がある。

- **MRAM** 混載プロセスなどの計画変更が発生したこともあり、柔軟な対応を行うとともに、必要に応じて開発体制の見直しや追加予算が必要。
- エッジ AI は、本プロジェクトで想定されている **BtoB** に限らず、**BtoC** デバイスにおけるポテンシャルも大きい。より大きな社会的影響をもたらすために、**BtoC** デバイスへの適用可能性も意識したオープン戦略の検討が望まれる。
- **BtoB** における社会実装では、想定顧客とのコミュニケーションが非常に重要であることから、終了時評価・事業化を見据え、より多くの想定顧客との緊密なコミュニケーションを心掛けていただきたい。
- アウトプット目標の達成を通じて、アウトカム目標の達成に昇華していく際に、一定のハードルがあると思われる。また、事業化を図る際にコスト面などのハードルが見込まれるなど、アウトプット目標について、狙うアプリケーション分野を明確するなどをして、絞っていかざるをえないと思われる。
- また、競争が想定される分野であり、電力効率以外の市場（アプリケーション企業等）要求に対して充足を図ることに加え、適切な時期に必要な成果を示せるように、調査を進めながら指標・目標値を見直すことが望ましい。
- 例えば半期毎や1年毎といった、マイルストーンの見直しを計画に盛り込むべき（提言）。指標はチップ単体としては妥当。しかし、実際にチップが実装された装置としての効果がどうなるかはきちんと検討しておくべき（改善点）。想定する社会実装先からは、現想定よりも高い設定になるのではないか。精度を上げて見直しを行ったほうが良い（改善点）。
- 現在中国の車載チップの進化が目覚ましいため、広く中国の動向も外部環境の要因に加えるとよい（提言）。特許に比較して論文や講演の比率が高いと感じる。さらなる基本特許や周辺特許を検討・出願し、技術的な瑕疵をなくすとともに、アウトカムを意識してビジネスモデル特許の出願も検討していくべき（改善点）。
- アウトカム指標に関しては、プロセッサ単体の性能（例：**TOPS/W**）や設計期間短縮といった直接的な指標に偏り、設計基盤の波及的効果（開発者数の増加、設計 IP 市場の拡大、教育・人材育成など）に関する定量目標が設定されていない。今後は、プロセッサ開発成果と設計基盤構築の相乗効果を踏まえ、複数の視点から **KPI** を再設定し、達成時期や社会実装のシナリオと合わせてアウトカム指標を明確化すべきである。また、経済効果の試算や成果の横展開に向けた評価指標（例：導入企業数、設計資産の再利用率など）を追加し、国費投入の妥当性を定量的に説明可能な体制整備が求められる。
- 仕様変更や遅延が発生した際のプロセス管理や **KPI** 見直しの仕組みについては、外部から確認しづらい。加えて、アウトプット目標の設定根拠や経済的優位性の裏付け（コスト対効果など）の明示も不足しており、アウトカムへの貢献度を定量的に結びつける点で改善の余地がある。今後は、達成すべき指標の再整理と、開発状況に応じた柔軟な目標見直し体制の強化が求められる。論文や特許の件数と質（国際誌採択、ライセンス化

実績など)を KPI として明示し、研究開発成果の外部波及や技術普及との関係性を定量的に捉えることも有効である。さらに、設計基盤構築に関わる波及効果(ユーザー数、教育現場への展開など)もアウトプット指標として盛り込むことで、本事業の中間成果の社会的価値をより明確に示すことができる。

1. 3 マネジメント

<肯定的意見>

- ・ アウトプット目標及びアウトカムへ向けて、効果的、効率的に事業体制が生まれ、NEDO は事務局及び伴走者として、事業者に対して着実なマネジメント体制を構築していることを確認した。また、技術推進委員会などを開催し、その研究開発及び事業化に関して適切な助言体制を構築できていることを確認した。
- ・ 現時点において、補助事業で実施することについては適切であると判断します。
- ・ 引き続き、プロジェクト後半においても、アウトプット目標とアウトカムの実現に向けて、取り組んでもらいたいと思います。また、数年後の市場環境は予測できないため、事業化できるものについては試行的にでも市場に送り出し、動向調査してほしいと思います。そのために必要な追加予算などについても、必要に応じて検討をお願いしたいと思います。
- ・ 今回、ヘルスケアの発表がなかったため、AMED の適合性は判断できませんが、半導体産業の復興について EdgeAI についての執行機関は、METI/NEDO は適切。実施者は技術力・実用化、事業化能力を発揮している。指揮命令系統および責任体制も有効に働いている。
- ・ 達成度という意味では、いずれの事業者も、中間段階の成果を達成しているため最終目標に向けて事業として継続することが適切である。非常に変化が激しく、需要が明確な分野であることから、このような既に能力のある事業者に委託して進めていくことは問題ない。
- ・ 研究開発をベースに電力削減を達成できている点は評価できる。また研究成果により Transformer を取り込んでいくモデルの検討が進められているのは良い。進捗管理は適切に行われているように見受けられる。要素技術間の連携、AI アクセラレータの達成目標、達成できる AI モデル、ターゲットアプリケーションなどはわかりやすい。また、特定顧客とマスマーケットで、異なる開発環境の整備など、マーケットを捉えた戦略が提示されている。
- ・ プロジェクトマネージャーや外部有識者による管理体制が整備され、透明性と説明責任が確保されている。実施者間の連携やユーザー企業との協業も進み、実用化を意識した取り組みが評価される。採択プロセスも公平性・透明性が担保されており、研究成果の OSS 公開など、研究インテグリティにも配慮が見られる。
- ・ 委託事業(AI エッジコンピューティングの産業応用加速のための設計技術開発)は 2024 年度で終了、補助事業(革新的 AI 半導体・システムの開発)については現状の補助率の設定で続けて問題ないと思われる。

- ・ 進捗管理では外部有識者による評価やステージゲート方式を導入し、透明性と競争性を確保。2032年の市場獲得やCO₂削減など、社会的インパクトも明確に設定されており、実用化への道筋が具体的である点が高く評価される。
- ・ エッジAI市場は、日本の産業競争力強化につながるポテンシャルを有するものの、企業単体で研究開発を行うにはリスクが高い領域でもあることから、NEDOで事業執行がなされるのが適切であると考えられる。アウトプットの達成状況から、事業者の高い研究開発能力が示されており、適切な事業者が選定されていると考えられる。
- ・ エッジAIは、どのように使ってよいかまだ分かっていない新技術ながら、日本が優位性を維持している自動車、ロボティクス分野を含む幅広い産業での応用可能性を有する技術である。キラーアプリケーションが定まらない現状において、企業の経営戦略に紐づいた研究開発体制構築が困難なことを鑑みると、補助事業を行うことは非常に重要であり、その基盤整備から応用まで網羅するプロジェクトの補助率として、現在設定されている補助率は適正であると考えられる。
- ・ 新たな製造技術の実用化に合わせた最適なファウンドリ選定、生成AI関連技術の急激な進展に対応するための追加予算の投入および開発内容の追加など、機動的に対応されている。外部環境を踏まえた変更がある中でも、全ての研究開発が順調に進行していることから、適切な管理がなされていると見受けられる。
- ・ 指揮命令系統については、プロジェクトマネージャーなどを中心としたプロジェクト体制を構築していることに加え、実施者（企業）による体制を元に指揮命令系統および責任体制が発揮されている。実施者は、実用化および事業化に向けた課題を特定し、企業が中心となりその解決方向性を見出すなど、解決的な対処をしている。個別事業の採択プロセスについて、公募に際して、必要な期間を確保したうえで、適切な方法において実施された。
- ・ 委託事業につき、各プロジェクトともに意義を有しつつ、プロジェクトの性格上、不確実性の中チャレンジングであるなど民間が自主的に実施できないものであるなどの基準に基づき、定められてのものであり、問題ない。補助率についても斯種の助成事業と比しても問題ない。
- ・ 動向・情勢変化への対応について、計画変更などを柔軟に対応している。
- ・ 実務責任者を設定し、横串でプロジェクトを管理。各テーマに強い組織で構成され、それぞれ成果を達成できそうな点からできていると判断。それぞれ成果を達成できそうな点からできていると判断。まずは中間点として目標のアウトプットを達成できそうな点から機能していると判断。適切に行われている。オープン・クローズ戦略の中で管理されている。
- ・ 企業の技術開発への取り組みを加速する点から助成は適切。
- ・ 一部テーマに関して実施されている。技術推進委員会やサイトビジットなど、各手法や組織を利用して実施。技術推進委員会やサイトビジットなど、各手法や組織を利用して実施。
- ・ NEDOを執行機関とする本事業は、産業技術の社会実装を推進する観点から適切であり、

大学・企業・研究機関の多様な主体を含む体制によって、設計技術から製造・評価までを一貫してカバーしている点が評価できる。プロセッサ開発に加え、高位合成や EDA ツールなどの開発基盤にも複数の専門機関が関与しており、実用化に向けた多層的な実施体制が整えられている。また、ユーザー企業との連携や共創の姿勢も見られ、成果の実装を意識した活動が進められている。

- 本事業は、エッジ AI 処理の省電力化や、高位合成による設計自動化といった革新的かつ基盤的な技術開発を対象としており、いずれも民間単独での事業化が困難な領域に該当する。特に新技術に対する迅速な対応や設計環境の国産化といった要素は、外部政策動向の影響を大きく受ける分野であり、委託事業としての実施は妥当である。収益化の見通しが不確実でありながらも、社会的意義や安全保障上の重要性が高いテーマであり、国による初期投資の必要性が明確に認められる。
- 本事業では、生成 AI やスパース行列処理といった技術トレンドの変化に応じて、プロセッサ仕様や設計方針を柔軟に見直しており、外部環境を踏まえた計画更新が適切に行われている。また、プロセッサ設計、EDA ツール、OS・ランタイムなどの要素技術が個別に進捗しており、アウトプット達成に向けた構成要素が網羅されている点は評価できる。進捗報告や委員会によるレビュー体制も整備されており、遅延への対応や技術的妥当性の確認も一定程度行われている。

<問題点・改善点・今後への提言>

- 国際動向調査、国際連携および標準化、早期の事業化について、プロジェクト後半ではマネジメントがおり一層重要になるので、期待していきたい。
- 外部環境の変化に応じて柔軟に対応し、最も重要なアウトカムを実現してほしいと思います。
- 研究開発の進捗ですが、AI の進展が早く、より大きな発展が必要な中で特許や論文の件数は必ずしも多くはないように見受けられる。AI の成長が早く、研究機関と長期的な観点に立って、より多くの研究機関を巻き込んで研究開発計画を推進したり、OSS 化のオープン化の試し実施など、アカデミアと連携し、良い知的な研究開発分野でのエコモデルを構築することが今後できると良いのではないかと。
- 高難度な技術課題に挑むため、達成可能性に不確実性が残る。生成 AI などの急成長に対して後追い対応となる場面もあり、柔軟な計画変更が課題。
- 既に出ている良好な成果を活かし、事業化に向けたユーザーへのアプローチをしっかりとっていただきたい。
- AI 技術の進展スピードは年々加速されている部分もあるため、引き続き、状況の変化に応じて事業化の前倒しなどがある際には、追加支援や補助率の調整をご検討いただくのが良いかと思う。
- 今後、国際動向の調査が予定されているとのことで、国際動向を踏まえたアウトカム達成のための開発内容の調整なども想定されるが、これまでと同様の機動的な進捗管理・支援を期待する。

- ・ 事業化に関しては今後の進め方に期待したい（提言）。成果としてアカデミック寄りにも見えるため、今後はアウトカムを確実にするため実用化・事業化を強めて行くように体制を検討したほうが良い（改善点）。
- ・ 実施者間の役割分担や統括機関の機能についての明示が限定的であり、指揮命令系統や意思決定プロセスの透明性がやや不明瞭である。研究インテグリティや情報開示に関する方針も文書上では限定的である。今後は、研究データの利活用ポリシーや、オープン・クローズ戦略との統合的な管理体制の明示が必要である。今後は、全体の PDCA を支える中核的な調整機能の強化、役割分担の明文化、データガバナンス・情報公開の仕組み整備を通じて、実施体制の一層の高度化が期待される。特に、実用化を視野に入れたユーザーとの連携強化と、成果の社会実装に向けた出口戦略の構築が今後の課題である。
- ・ 事業終了後の成果の利活用に向けた出口戦略や、民間主導への移行可能性についての記述が限定的であり、委託研究の成果が中長期的に自立的に展開されるかどうか不透明である。特に、開発した技術や設計基盤を誰がどのように維持・拡張し、産業界に広く供給していくのかというスキームについては、より具体的な検討が必要である。今後は、国の委託によって開発された成果物（EDA ツール、IP、評価環境など）の帰属と提供条件を明確化し、民間活用や再投資の促進に資する知財戦略を構築することが求められる。また、事業終了後に成果の管理・展開を担う中立的な組織（研究会、コンソーシアムなど）を位置づけ、継続的な社会還元 of の仕組みを整備することで、受益者と公的資金投入のバランスをより適正化できる。
- ・ 要素技術間の連携や統合に関する具体的なマイルストーンやスケジュールが十分に示されておらず、最終成果物としての整合性確保に向けた調整方針が不明瞭である。また、WBS や進捗管理ツールの活用状況、ならびに遅延時の対応策についての記述が限定的であり、第三者による計画達成可能性の評価が困難である。さらに、ステージゲート方式の実施状況や、継続・中止判断に用いる KPI や指標の明示が不足しており、競争的な環境の形成という点で改善の余地がある。今後は、要素技術間の接続点における責任分担や技術整合性確保の計画を明確化するとともに、WBS や KPI を含む進捗管理の仕組みを外部に説明可能な形で整備することが望ましい。また、ステージゲートによる選別と集中の仕組みを実効的に機能させるため、ゲート通過条件の透明化や判断基準の明文化を進めるべきである。これにより、研究開発の効率性と成果の質を一層高めることが可能となる。

2. 評点結果

評価項目・評価基準	各委員の評価							評点
1. 意義・アウトカム（社会実装）達成までの道筋								
(1) 本事業の位置づけ・意義	A	A	A	B	A	A	A	2.9
(2) アウトカム達成までの道筋	A	B	A	A	B	A	B	2.6
(3) 知的財産・標準化戦略	A	B	B	B	A	B	B	2.3
2. 目標及び達成度								
(1) アウトカム目標及び達成見込み	A	B	A	B	B	B	B	2.3
(2) アウトプット目標及び達成状況	A	A	B	A	A	B	B	2.6
3. マネジメント								
(1) 実施体制	A	A	A	A	A	B	B	2.7
(2) 受益者負担の考え方	A	A	A	A	A	A	B	2.9
(3) 研究開発計画	A	B	B	A	A	A	B	2.6

《判定基準》

- A：評価基準に適合し、非常に優れている。
 B：評価基準に適合しているが、より望ましくするための改善点もある。
 C：評価基準に一部適合しておらず、改善が必要である。
 D：評価基準に適合しておらず、抜本的な改善が必要である。

(注) 評点はA=3、B=2、C=1、D=0として事務局が数値に換算・平均して算出。

第2章 評価対象事業に係る資料

1. 事業原簿

次ページより、当該事業の事業原簿を示す。

「省エネ AI 半導体及びシステムに関する技術開発 事業」

研究開発項目① 革新的 AI 半導体・システムの開発

研究開発項目② AI エッジコンピューティングの産業応用加速の
ための設計技術開発

事業原簿

担当部	国立研究開発法人 新エネルギー・産業技術総合開発機構 半導体・情報インフラ部
-----	--

更新履歴

更新日	更新内容
2025 年 5 月 22 日	初版発行

目次

概要	1
プロジェクト用語集	1
1. 意義・アウトカム（社会実装）達成までの道筋	1-1
1.1. 事業の位置づけ・意義	1-1
1.2. アウトカム達成までの道筋	1-2
1.3. 知的財産・標準化戦略	1-2
2. 目標及び達成状況.....	2-1
2.1. アウトカム目標及び達成見込み	2-1
2.2. アウトプット目標及び達成状況	2-1
3. マネジメント.....	3-1
3.1. 実施体制	3-1
3.2. 受益者負担の考え方	3-3
3.3. 研究開発計画	3-3
4. 目標及び達成状況の詳細	4-1
4.1. 研究開発項目①：テーマ名「自動運転（AD）応用を中心とした組込向け SoC PF 開発および AD SoC 事業化加速」	4-1
4.2. 研究開発項目①：テーマ名「予測 AI（トランスフォーマ）に対応する省電力動的再構成プロセス・システムの開発」	4-5
4.3. 研究開発項目①：テーマ名「エッジ機器でのマルチモーダル処理向け省電力インメモリ AI 半導体及びシステムの開発」	4-8
4.4. 研究開発項目②：テーマ名「RISC-Vシステム設計プラットフォームの研究開発」	4-11
4.5. 研究開発項目②：テーマ名「映像データリアルタイム処理用 AI デバイス高位合成ツールの研究開発」	4-14
4.6. 研究開発項目②：テーマ名「CMOS／スピントロニクス融合技術による AI 処理半導体の設計効率化と実証、及び、その応用技術に関する研究開発」	4-17
4.7. 研究開発項目②：テーマ名「万能高位合成と新型汎用データフロー計算機構」	4-23
4.8. 研究開発項目②：テーマ名「省電力化に向けた次世代ヘテロジニアス AI デバイスの SW-HW 協調設計ツール開発」	4-27
添付資料.....	1
●プロジェクト基本計画	1
●各種委員会開催リスト	1
●特許論文等リスト	2
@研究開発項目①：テーマ名「自動運転（AD）応用を中心とした組込向け SoC PF 開発および AD SoC 事業化加速」	2

@研究開発項目①：テーマ名「予測 AI（トランスフォーマ）に対応する省電力動的再構成プロセッサ・システムの開発」	2
@研究開発項目①：テーマ名「エッジ機器でのマルチモーダル処理向け省電力インメモリ AI 半導体及びシステムの開発」	3
@研究開発項目②：テーマ名「RISC-Vシステム設計プラットフォームの研究開発」	8
@研究開発項目②：テーマ名「映像データリアルタイム処理用 AI デバイス高位合成ツールの研究開発」	10
@研究開発項目②：テーマ名「CMOS／スピントロニクス融合技術による AI 処理半導体の設計効率化と実証、及び、その応用技術に関する研究開発」	11
@研究開発項目②：テーマ名「万能高位合成と新型汎用データフロー計算機構」	16
@研究開発項目②：テーマ名「省電力化に向けた次世代ヘテロジニアス AI デバイスの SW-HW協調設計ツール開発」	18

概要

プロジェクト名	省エネ AI 半導体及びシステムに関する技術開発事業	プロジェクト番号	P23015 P22020
担当推進部/ プロジェクトマネージャーまたは担当者 及び METI 担当課	半導体・情報インフラ部 PMgr 前田 尋夫 (2025 年 5 月現在) 半導体・情報インフラ部 PMgr 岩佐 匡浩 (2023 年 4 月～2024 年 4 月)		
0. 事業の概要	IoT 社会の到来で急増した情報を活用するためには、革新的なセンサ技術などで効率的に情報を活用するだけでなく、ネットワークの末端 (エッジ) 側で中心的な情報処理を行うエッジコンピューティング等、従来のサーバー (クラウド) 集約型から情報処理の分散化を実現することが不可欠である。 本プロジェクトでは、上記社会課題を解決するため、実際の産業応用シーンを見据えて性能を特化したエッジコンピューティング技術の確立を行う「革新的 AI 半導体・システムの開発」、及び、高度なエッジコンピューティングの産業応用を加速するための技術開発を行う「AI エッジコンピューティングの産業応用加速のための設計技術開発」を実施している。		
1. 意義・アウトカム (社会実装) 達成までの道筋			
1.1 本事業の位置 付け・意義	近年、情報処理に用いるデバイスの高度化、ICT/IoT 社会の到来によるデジタル化の進展、AI 等を用いる様々な産業の創出とその基礎となるビッグデータの活用や、5G 等の新たな情報通信技術・インフラ整備、さらには世界規模のパンデミックによるライフスタイルの変化により、ネットワーク上のデータ量が爆発的に増加している。 そこでネットワーク上のデータセンタにデータを集約して処理する「クラウドコンピューティング」だけでなく、端末側 (エッジ側) でも分散的に情報処理を行う分散コンピューティングが、情報産業の新たな競争力創出の鍵として、データ量増大とエネルギー問題の解決に寄与する一手として注目を集めている。 しかしエッジ領域はクラウド領域と異なり、情報処理に用いることができる電力や、サイズ、使用環境など様々な制約があり、高度なエッジコンピューティングを実現するデバイス開発は容易ではない。そこで汎用的な半導体 (LSI) から、例えば、特定の処理に特化した AI 半導体の活用や、そうした AI 半導体と CPU 等を複数組み合わせるヘテロニアスコンピューティング技術など、エッジ領域で活用するコンピューティング技術の研究開発を支援することで、来る次世代の情報社会を支える礎となるデジタル技術の確立はもとより、データ量の爆発的な増大がもたらす社会課題の解決にも寄与することが期待される。 本事業の意義は、増加を続ける情報量がもたらす電力問題に対して、エッジ領域での分散コンピューティングを実現することで、その解決に寄与するのみならず、省エネルギーかつ高性能で、競争力ある半導体・システム技術の実用化を推進することで、日本政府が進める我が国のデジタル・半導体産業の再興に繋げることにある。		
1.2 アウトカム達成 までの道筋	本事業では、エッジ領域においてエッジデバイスにおけるリアルタイムの情報処理を主体に、必要に応じエッジサーバを含む領域で活用する AI 半導体及びシステムに関する技術開発を推進するとともに、それらの半導体開発を高速かつ効率的に実施できる設計技術の確立を目標とする。各研究開発項目の下で実施する個別テーマ毎に、解決を目指す社会課題を明確に設定した上で、まずは、アウトプット目標の達成に取り組む。プロジェクト開始前の提案時のみならず、プロジェクト実施中においても社会ニーズを適切に捉えた実施内容となっていることを定期的に精査することによって、アウトプットを効果的にアウトカムへつなげる。 研究開発項目①においては、技術推進委員会を通じて進捗状況を確認し、アウトプットの中間目標を 3 テーマ全てで達成する見込みである。 研究開発項目②においては、サイトビジット、成果最大化につながるための研究開発の加速、及び、技術推進委員会における外部委員等による助言等を行うことで、5 テーマ、23 事業項目全てで最終的なアウトプット目標を達成した。また、成果を広く普及させることを目的として、CEATEC 等の展示会への出展や、プレスリリース等による PR を行った。 今後、研究開発項目①②による本事業の成果が世の中に普及していく中で、アウトカムの達成を見込んでいる。		
1.3 知的財産・標準化戦略	本事業における委託事業 (2024 年度まで) については、知財基本方針を適用し、テーマ毎に実施者間での知財合意書の作成や知財運営委員会の設置を実施。		

	<p>助成事業については、その知財等成果は事業者には帰属するものの、同水準以上の知財管理、戦略を実現するべく、NEDOとして同領域に係る事例の情報収集を今後必要に応じて実施する予定。</p> <p>取組み①：基本特許の取得 研究開発成果における基本的な知財の基本特許を率先して取得することで、関連開発を実施するグループをリードする。</p> <p>取組み②：他社保有知財に関する対応 関連領域の開発を実施する企業との連携を研究開発と並行して実施し、産業応用を見据えた協力関係構築を実現することで、先行して取得されている知的財産の問題を解決。</p> <p>取組み③：オープンプラットフォームの構築 研究開発成果を元にオープンプラットフォームを構築し、知財の取得と並行して、社会実装を見据えた学術、産業界との関係を構築することで、実用化・事業化を見据えた動きを後押し。</p> <p>事業が完了した研究開発項目②においては、AIモデル等にOSSを活用したテーマが複数あり、研究開発成果のオープン・クローズ戦略について技術推進委員会等で検討を行ない、事業者には適宜提言を行った。また、車載向けデバイスにおいて取得が必須となる標準のISO26262について、対応が必要となる事業項目について、技術推進委員会を通じて対応状況を適宜確認し、最終的に目標を達成することができた。</p>
--	---

2. 目標及び達成状況

<p>2.1 アウトカム目標及び達成見込み</p>	<p>各研究開発項目の下で実施する個別の研究開発テーマ毎に、エネルギー消費効率あるいは電力効率（単位電力あたり性能）について、事業開始時点における同等の技術と比較した目標を設定する。</p> <p>想定する社会実装先（自動運転、産業機械、医療・福祉等）でのAI関連ハードウェア世界市場において、研究開発成果の一部が市場に出る2032年に最低でも約4,000億円以上の市場を獲得し、それに付随するソフトウェア及びサービス等により更なる波及効果の創出を目指す。さらに、エッジやクラウド等の省電力化を実現し、2032年において約1,373万t/年のCO2削減を目指す。</p> <p>現在、開発状況、成果の達成状況は概ね順調であり、本アウトカムについては成果の普及とともに達成出来る見通し。</p>
<p>2.2 アウトプット目標及び達成状況</p>	<p>各研究開発項目の下で実施する個別の研究開発テーマ毎に、エネルギー消費効率あるいは電力効率（単位電力あたり性能）について、事業開始時点における同等の技術と比較した目標を設定する。各研究開発項目全体としての目標は、下記のとおり。</p> <p>研究開発項目① 事業期間：2023年度～2027年度 中間目標：検証あるいはシミュレーションにより、電力効率5倍以上を達成。 達成見込み：全てのテーマで達成見通し。</p> <p>研究開発項目② 事業期間：2023年度(※)～2024年度 最終目標：電力効率10倍以上を達成。 達成見込み：全てのテーマで達成。 ※当該研究開発項目は、「高効率・高速処理を可能とするAIチップ・次世代コンピューティングの技術開発/研究開発項目④ AIエッジコンピューティングの産業応用加速のための技術開発」として2022年度に公募、採択したテーマを2023年度から本事業に移管して実施した。</p>

3. マネジメント

<p>3.1 実施体制</p>	<p>プロジェクトマネージャー</p>	<p>半導体・情報インフラ部 PMgr 前田尋夫（2025年5月現在）</p>
	<p>委託先</p>	<p>■研究開発項目① ・助成先：(株)デンソー、(株)OTSL、(株)ティアフォー ・助成先：ルネサスエレクトロニクス(株)、共同研究先：東京科学大学 ・助成先：ヌヴォトンテクノロジージャパン(株)、共同研究先：東京大学、産業技術総合研究所 ■研究開発項目② ・東京科学大学（代表事業者）、セイコーエプソン(株)、(株)デン</p>

		ソー、京都マイクロコンピュータ(株)、(株)OTSL、東京大学 ・シャープ(株)、再委託先：大阪工業大学 ・東北大学(代表事業者)、日本電気(株)、(株)アイシン ・日本電気(株)(代表事業者)、東京大学、キャノン(株)、再委託先：NECプラットフォームズ(株)、東京農工大学、南山大学 ・助成先：ルネサスエレクトロニクス(株)			
3.2 受益者負担の考え方	受益者負担の考え方： 【委託事業】 次世代の情報産業を担う基盤技術かつ革新的である新たな技術開発として国が支援するものであることから、100%NEDO 負担の委託事業として実施する。 【助成事業】 民間事業者等が行う産業技術に関する研究開発を助成することにより、早期の実用化・事業化に繋げることで、我が国産業の持続的な発展を図り、もって国民生活の安定向上および国民経済の健全な発展に資することを目的としているため助成事業として実施する。				
	主な実施事項	2023fy	2024fy	2025fy	2026fy
	研究開発項目① 革新的 AI 半導体・システムの開発	助成率： 1/2, 2/3	助成率： 1/2, 2/3	助成率： 1/2, 2/3	助成率： 1/2, 2/3
	研究開発項目② AI エッジコンピューティングの産業応用加速のための設計技術開発	委託：100% 助成率：1/2	委託：100% 助成率：1/2	-	-
3.3 研究開発計画					
事業費推移 [単位:百万円]	主な実施事項	2023fy	2024fy	2025fy (※見込み)	総額
	研究開発項目① 革新的 AI 半導体・システムの開発	965	1,899	3,216	6,080
	研究開発項目② AI エッジコンピューティングの産業応用加速のための設計技術開発	1,767	1,864	-	3,631
	(上段：委託、 下段：助成)	118	69	-	187
	事業費	2023fy	2024fy	2025fy	総額
	会計(特別)	3,400	4,800	3,000	11,200
	追加予算・繰越等	557	938	998	2,498
	総 NEDO 負担額	3,957	5,738	3,998	13,693
情勢変化への対応	① 技術動向、業界動向の変化を踏まえた柔軟な計画変更 ・例えば、国立大学法人東北大学が代表事業者を務める「CMOS/スピントロニクス融合技術による AI 処理半導体の設計効率化と実証、及び、その応用技術に関する研究開発」については、同テーマに参画する株式会社アイシンが担当する事業項目におけるチップの試作について、情勢の変化として開発当初は準備されていなかった MRAM 混載プロセスが用意されることを確認した。そこで、当初の計画からファウンドリを変更することにより、実デバイス設計において高密度化・回路小型化・低消費電力化を図ることに繋がった。 ・例えば、ヌヴォトンテクノロジージャパン株式会社が代表事業者を務める「エッジ機器でのマルチモーダル処理向け省電力インメモリ AI 半導体及びシステムの開発」については、急速に成長・台頭してきている「生成 AI」分野へも対応し、更なる省電力効果を実現するため、Transformer アルゴリズムの検討と回路設計について、追加予算の投入を伴う計画変更により開発内容を追加。 ・例えば、ルネサスエレクトロニクス株式会社が代表事業者を務める「予測 AI (トランスフォーマ) に対応する省電力動的再構成プロセッサ・システムの開発」については、AI 技術に対する情勢変化や、ハードウェア/ソフトウェアにおける製造環境の変化が激しいことか				

	<p>ら、最終的に試作するチップに最新技術を取り入れるために、中間目標の達成にあたっては、テストチップ試作からエミュレータを活用する方針に変更するとともに、より市場競争性を持たせるために、MPU 製品の開発着手を早めることとした。</p> <p>② 委託事業における、再委託先の追加</p> <ul style="list-style-type: none"> ・日本電気株式会社が代表事業者を務める「万能高位合成と新型汎用データフロー計算機構」や、シャープ株式会社が代表事業者を務める「映像データリアルタイム処理用 AI デバイス高位合成ツールの研究開発」において、更なる省電力効果の向上等に繋げることを目的として、研究開発の成果最大に繋げるため、研究開発体制における再委託先に大学を追加。 	
評価に関する事項	事前評価	2022 年度実施 担当部 IoT 推進部
	中間評価	2025 年度 中間評価実施
	終了時評価	2028 年度 終了時評価実施予定
別添		
投稿論文	「査読付き」20 件	
特 許	「出願済」36 件（うち国際出願 7 件）	
その他の外部発表 (プレス発表等)	<p>以下、NEDO としてニュースリリースを実施。</p> <ul style="list-style-type: none"> ・ CEATEC AWARD 2024 でネクストジェネレーション部門賞を受賞（東北大学、日本電気(株)、(株)アイシン） ニュースリリース実施日：2024/10/10 ・大容量 MRAM を搭載したエッジ領域向け「CMOS/スピントロニクス融合 AI 半導体」により従来比 10 倍以上の電力効率をシステム動作シミュレーションで確認（東北大学、(株)アイシン） ニュースリリース実施日：2024/10/11 ・リアルタイム OS 開発プラットフォーム SOLID の RISC-V 対応版の正式リリース発表（京都マイクロコンピュータ(株)） ニュースリリース実施日：2025/2/26 <p>他、CEATEC 展等各種展示会に 2023 年度から毎年度出展し、各事業者の成果を発表。CEATEC2024 では研究開発項目②の全テーマの成果展示を実施。</p>	
基本計画に関する事項	作成時期	2023 年 2 月 作成
	変更履歴	<p>(1) 2023 年 2 月 制定</p> <p>(2) 2024 年 8 月 改定 NEDO 部署名の変更、PMgr の変更</p>

プロジェクト用語集

用語	説明
AD 開発キット (Autonomous Driving 開発キット)	試作チップ、Autoware を組みあわせて自動運転システムの開発を容易にし、かつ SoC プラットフォームの採用促進も行うもの。
AI-MCU	Artificial Intelligence Micro Controller Unit/AI 機能を持つ組み込み用マイクロプロセッサ。
Akaria-SoC PF	デンソー (旧エヌエスアイテクス) の組み込みシステム向けプロセッサ IP ブランド「Akaria」を中心に構成する SoC プラットフォーム。
Autoware	自動運転システム用のオープンソースソフトウェア。
Boot メモリ	コンピュータや組み込みシステムなどの起動 (ブート) 時に最初に読み込まれ、システムの初期化や OS の起動に必要なプログラムやデータを格納したメモリ領域のこと。システム起動の根幹を担う重要な役割を果たす。
Bridge-IC	ヌヴォトンテクノロジージャパンが提案する IC 技術。従来、センサとプロセッサはセンサ毎に信号処理 IC が接続されており、多数の信号処理 IC が分散していることで電力効率の悪化や時間的・空間的な同期ができていない等の課題がある。Bridge-IC とは多数のセンサ情報を時間的、空間的に同期させることを特徴とし、且つセンサ電源の制御技術の一つの IC に集積し、更にセンサの電源を適切にコントロールするソフトウェアの実装をした IC である。本研究開発のテーマの一つ。
BSP (Board Support Package)	開発ボードでの開発を支援するソフトウェア群のこと。ブートストラップコードやハードウェア操作を実現するドライバソフト群を含む。OS を同梱する場合はサンプルアプリケーションを提供することでユーザー開発を支援する。
C2RTL 高位設計検証ツール	C++言語による設計記述から SoC 全体の回路記述 (RTL 記述) を自動合成し、チップ設計や FPGA 設計に活用するためのツール。
CiM	Compute in Memory/インメモリコンピューティング。人間の脳のように記憶装置と演算機能を一体化することで大量のデータを迅速に処理する技術であり、高性能・低消費電力の人工知能を実現するための鍵となる。狭義には、回路のメモリ領域と計算領域を併設・共用するための技術を指す。
CMOS	CMOS (Complementary Metal Oxide Semiconductor の略) は、P 型 MOSFET (PMOS) と N 型 MOSFET (NMOS) を相補的に利用する半導体デバイスの略称。PMOS や NMOS 単体のデバイスと異なり、CMOS は状態が変化したときのみ電流が流れ、静止時にはほとんど流れないため、消費電力の少ない論理回路が実現できる。現在の LSI 技術の本流。
CNN	Convolutional Neural Network 畳み込みニューラルネットワーク 主に画像認識用途向けのネットワークで、主に特徴を抽出する畳み込み層、畳み込んだ特徴マップの解像度を下げるプーリング層、全結合層で分類を行う構造を持つ。
COTS (commercial off-the-shelf) チップ	一般の市場で広く販売されている既製品の半導体チップのこと。特定の顧客や用途向けにカスタム設計されたものではなく、汎用的な機能を持つため、様々な製品に利用できる。特定のカスタム機能が不要な場合や、開発コストや期間を抑えたい場合に COTS チップが積極的に採用される。例：汎用的なロジック IC、メモリ、マイクロコントローラ、通信インターフェース IC 等
C 言語	1970 年代に開発された汎用性の高いプログラミング言語。「手続き型言語」に分類され、記述が比較的容易でありながら、ハードウェアに近い制御も可能なため、OS や組み込みシステムなど幅広い分野で利用されている。
DRP	Dynamically Reconfigurable Processor 動的再構成プロセッサ 時間と共に回路を動的に切り替えることを特徴とする書き換え可能なプロセッサ。

FFI (Freedom Interference)	From	複数のソフトウェアが共存する場合、あるソフトウェアが他のソフトウェアへの干渉を防止（無干渉の保証）すること。
FPGA		Field-Programmable Gate Array の略。ユーザーがプログラム可能な集積回路で、特定の機能を実現するために再構成可能なハードウェア。
Gion		試作チップ (SoC) のコードネーム。
GNN		Graph Neural Network の略。 グラフ構造を対象に処理するニューラルネットワーク。グラフ構造を用いることで疎なデータ構造を表現できるため、疎なデータを効率よく処理できる特徴がある。
HW-NAS		Hardware-Aware Neural Architecture Search: 実行するハードウェアに最適なニューラルネットワークモデルを探索。
HWD-NAS		Hardware Design-Aware Neural Architecture Search: 本プロジェクトでの造語。複数のニューラルネットワークモデルを最適に実行するためのハードウェア構成を探索。
HW アクセラレータ		SW 実行の処理が遅い機能を専用回路で高速実行する機能モジュール
Hypervisor		1 台の物理マシン上に複数の仮想マシン (VM) を提供するソフトウェア。利用者は物理/仮想マシンを意識する必要はない。
IMU		Inertial Measurement Unit、慣性計測ユニット。物体の動きや姿勢を計測するための装置。
IP		Intellectual Property : 知的財産。特に、SoC 関連の場合は、LSI や IC などの回路コンポーネントを纏めた設計情報を表す。
ISS		Instruction Set Simulator の略。
LSI		Large Scale Integration / 大規模集積回路。
MAC		Multiple Accumulate の略。
ML		Machine Learning の略。
MRAM		MRAM (Magnetoresistive Random Access Memory) とは、磁性体の磁気抵抗効果を利用して情報を記憶する不揮発性メモリ。従来の DRAM や SRAM といった揮発性メモリとは異なり、電源供給がなくてもデータを保持できる。
NAFNet		Nonlinear Activation Free Network の略。 ECCV2022 で発表された画像回復のためのニューラルネットワークモデル。
NPU		Neural Processing Unit の略。
OS		オペレーティングシステム。
PDK		半導体プロセスを用いて回路を設計する際に必要な情報やツールをまとめたもの。ファウンドリが設計者向けに提供し、その製造プロセスで IC を製造するための設計ルール、デバイスモデル (トランジスタ、抵抗、容量など)、レイアウト情報、シミュレーションモデル、検証ツールなどが含まれる。半導体設計において、PDK は設計と製造の橋渡しをする非常に重要な役割を果たす。
PPA		Power Performance Area の略。
Python		シンプルで直感的な文法を持つプログラミング言語。機械学習、データ分析、Web 開発など多様な分野で活用されている。
PyTorch		Python で書かれたオープンソースの機械学習ライブラリ。深層学習モデルの構築、トレーニングが容易で、研究や開発に広く使用されている。
RAND		Resistive Analog Neuro Device。ReRAM を応用したニューロモルフィック型デバイスであり CiM 技術の一つ。並列に配置した ReRAM セル各々にアナログ抵抗値を書き込み、AI 計算の重みを記憶させ複数の ReRAM 素子を並列動作することで大規模な AI の積和演算を低消費電力で行うことが出来る。IoT 推進のための横断技術開発プロジェクト「超高速・低消費電力ビッグデータ処理

	を実現・利活用する脳型推論集積システムの研究開発(2016 年度～2021 年度)」において創出した技術であり、本研究開発においては低消費電力を維持しつつ、演算性能を向上させ、画像、音声等、様々なセンサ信号を同時に取り扱うマルチモーダル情報処理に対応可能な性能へと向上させる目論見である。
ReRAM	Resistance Random Access Memory／抵抗変化型不揮発性メモリ。
RISC-V	ライセンスフリーなプロセッサコアであり、今後 5 年間で年平均 30%の世界市場成長が見込まれている。UC Berkeley を中心に開発されたオープンな RISC プロセッサ仕様（命令セットアーキテクチャ）。
ROS	Robot Operating System の略。 既存のソフトウェアを再利用することで、ロボットシステムの開発を容易にする目的で開発されたオープンソースのフレームワーク
ROS2	機能安全対応など製品化の対応を目指した次世代 ROS。
RTL	Register Transfer Level の略。デジタル回路設計においてデータの流れと処理を詳細に記述するための抽象的な表現方法で、主にハードウェア記述言語が使われる。
SLAM	Simultaneous Localization and Mapping の略。 自己位置推定と環境地図作成を同時に行うアルゴリズム。移動体（ロボットやドローンなど）が、自身が今どこにいるのかを把握しながら、周囲の環境地図を構築する技術。
SoC	System-on-Chip の略。複数の電子回路や機能を 1 つのチップ（半導体ダイ）上に統合した半導体デバイス。
SoC プラットフォーム	SoC やアプリケーションソフトを短期間かつ効率的に開発できるように提供する開発環境の総称。ソフトウェアとハードウェアの連携を容易にし、製品立ち上げのスピードと信頼性を高める。
SRAM	SRAM (Static Random Access Memory) とは、データを保持するために定期的なリフレッシュ動作を必要としない半導体メモリの種類。DRAM (Dynamic RAM) とは異なり、フリップフロップ回路と呼ばれる構造を用いて情報を記憶する。
STL	Standard Template Library の略。 C++言語において汎用的なデータ構造やアルゴリズムの記述を集めた標準ライブラリ。
TEG	Test Element Group／半導体プロセスやデバイスの評価を行う、ウェハ上に形成されたテストチップ。
TOF	Time of Flight／飛行時間。TOF 方式の反射型レーザセンサは、パルス投光したレーザー光が対象物表面で反射して返ってくるまでの時間を基に距離を測定することができる。
TOPS	Tera Operations Per Second / ハードウェアの毎秒当たりの演算性能。 (Tera:10 の 12 乗)
TVM	Tensor Virtual Machine: OSS として Apache ソフトウェア財団が提供している機械学習のコンパイルフレームワーク。
ViT	トランスフォーマを用いた画像認識 AI モデルの一つ。多くのトランスフォーマ画像認識 AI モデルの源流となっているモデル。 注：トランスフォーマを用いた画像認識 AI モデルを総称して Vision Transformer と呼ぶ場合もあるが、本事業原簿の ViT は 1 つのモデルの名称である。
x86 CPU	インテルが開発したマイクロプロセッサのシリーズであり個人・オフィスユースの PC、産業用途 PC 等幅広く使われている
XR デバイス	拡張現実 (AR)、仮想現実 (VR)、および混合現実 (MR) の技術を体験するための表示装置の総称。ユーザーに没入感のある体験を提供するために使用される。
アクセラレータ	処理性能を向上させるため、専門機能に特化した処理装置のこと。

暗電流	自動車のエンジンが OFF の状態でも流れる待機電流のこと、バッテリーの劣化やバッテリー上がりの原因となっている。
エッジコンピューティング	センサやデバイス等のデータ発生源に近い場所でデータ処理を行う技術。従来はクラウドにデータを集めて処理していたが、エッジコンピューティングでは、現場に近い場所で必要な処理を行うことで、低遅延、ネットワーク負荷の軽減、セキュリティ向上のメリットを提供できる。例えば、工場の異常検知、自動運転、ウェアラブルデバイスなど、様々な分野で活用されている。
エッジサーバー	監視カメラなどのデバイスに近い場所（エッジ）で映像データの解析や処理を行うシステム。
オンプレサーバー	自社内に設置し、自社で運用・管理する物理的なサーバーのこと。クラウドサーバのように外部の事業者の設備を利用するのではなく、ハードウェアの購入から設定、保守運用までを自社で行う。
回路 IP	特定の機能を持つ集積回路の設計データを指す。これは、半導体企業が自社製品に組み込むためだけでなく、他の企業にライセンス供与して利用してもらうため、知的財産として扱われる。回路 IP には、CPU コア、メモリコントローラ、通信インターフェース、各種アナログ/デジタル回路ブロック等、がある。これらを再利用することで、半導体メーカーは新規 IC の開発期間短縮、コスト削減、設計リスク低減を図ることができる。
高位合成	RTL よりも抽象度の高い C 言語などのプログラム記述から RTL 記述などハードウェア用の回路情報を生成する技術のこと。
高位合成ツール	高位のプログラミング言語を用いて定義されたアルゴリズムや動作仕様をハードウェア回路に自動変換する設計ツール。
試作チップ	本プロジェクト内で開発・試作する SoC プラットフォーム技術搭載の SoC。
システム設計プラットフォーム	SoC のハードウェア設計とソフトウェア設計を網羅した設計環境。
シミュレータ	実機ではなくソフトウェアで構築された仮想環境のこと。
シングルタスク・シングルノード	一台のコンピュータ上で、一度に一つの処理しか実行しないアプリケーションを意味。
スピントロニクス	個体中の電子がもつ電荷とスピンの両方を工学的に応用する分野で「スピン」と「エレクトロニクス」から生まれた造語。代表的な例には高密度・不揮発性メモリ（MRAM）、低消費電力トランジスタ、「巨大磁気抵抗効果」を利用した HDD のヘッド等がある。
セキュアブート	ブートローダに対しセキュリティ観点から認証を行った上で安全と判断されたものだけ実行を開始する仕組み。
ソースコード	プログラミング言語を用いて人間が記述した、コンピュータへの命令や処理手順を記述したテキスト形式のファイル。
抽象化レイヤ	狭義には、特定機能の詳細な実装（低レベル実装）を隠蔽することを目的とした高レベルインターフェース層。実装を意識することなくアプリケーション側の実装を可能とする。本書ではさらに、物理的実装（FPGA や実チップ）での評価に先立ってシミュレータを利用することも“抽象化レイヤでの検証”と表現する場合がある。
通信トラフィック	ネットワーク回線上を一定時間に流れるデータ量のことを指す。道路の交通量に例えられ、Web サイトへのアクセス数、ファイル転送量、メールの送受信量、動画ストリーミングのデータ量などが含まれる。クラウド等との通信トラフィックが増加すると、ネットワークの混雑（輻輳）を引き起こし、通信速度の低下や遅延の原因となる。そのため現場に近い場所で必要な処理を行うエッジコンピューティングが注目されている。
トランスフォーマー (Transformer)	画像の局所的な特徴を把握して物体などを認識する既存の画像認識 AI モデル (CNN : Convolution Neural Network) に比べ、データ全体の関係性の把握を重視した AI モデル。時間的変化や画像以外のデータとの関係性の把握（マルチモーダル）処理にも優れている。

内部メモリ	一つのシリコン基板上に集積されたメモリ回路のこと。CPU や GPU などのロジック回路と同じチップ内に配置され、高速なデータアクセスを実現することで、チップ全体の処理性能向上に貢献する。内部メモリには、主に高速な一時記憶領域として使われる揮発性メモリと、プログラムコードや設定データなどを永続的に保存するための不揮発性メモリがある。
ニア・メモリ・コンピューティング	従来のコンピュータアーキテクチャにおける CPU とメモリ間のデータ転送のボトルネックを解消するため、演算処理ユニットをメモリの近く、あるいはメモリチップ内に配置するなど、データが格納されている場所に近いところで処理を行うことで、データ移動距離と時間を大幅に削減し、低遅延、低消費電力、高速なデータ処理を実現することが期待されている。
ニューラルNWモデル	人間の脳の神経回路（ニューラルネットワーク）の仕組みを模倣した数理モデル。多数の単純な処理ユニット（ニューロン、ノード）が層状に接続され、それぞれの接続には重み付けがされている。画像認識、自然言語処理、音声認識など、複雑なパターン認識や予測タスクに広く応用されている。
ビークルインフォテイメントシステム	自動車に搭載された情報（インフォメーション）と娯楽（エンターテインメント）を提供する総合的なシステムのこと。具体的には、カーナビゲーション、オーディオ、ビデオ、通信機能（Bluetooth、Wi-Fi など）、スマートフォン連携、車両情報表示、オンラインサービスへの接続などが含まれる。
不揮発性	電源供給が途絶えても記憶していた情報が失われない性質を指す。揮発性メモリ（SRAM や DRAM など）は、電力が供給されなくなるとデータが消えてしまうのに対し、不揮発性メモリは永続的にデータを保持できる。
ブートローダ	本来は、ブートプロセスの一部で、外部記憶装置から必要なプログラムをメモリ上に展開した上で実行させる仕組みのこと。車載システムにおいては、メモリ上のプログラムを必要に応じてアドレス変換して実行開始させる仕組みを指す。
フレームメモリ	ビデオ信号のフレームを一時的に保存するためのメモリ。映像処理や表示において、フレームのスムーズな再生を可能にする。
ヘテロジニアスコンピューティング	非同一の複数プロセッサでコンピュータを構築すること。
マルチタスク・マルチノード	複数の処理を同時に実行、または、複数の処理主体が連携してタスクを分担・実行するアプリケーションを意味
ミドルウェア	アプリケーションプログラムを特定のハードウェアで動作させる際に、その仲立ちとなって動作するソフトウェアならびにその集合。
リフレッシュ電力	主に DRAM（Dynamic Random Access Memory）において、記憶されたデータを保持するために定期的に行われるリフレッシュ動作によって消費される電力のこと。DRAM は、コンデンサに電荷を蓄えることで情報を記憶するが、この電荷は時間とともに自然放電してしまう。そのため、データが失われないように、一定間隔でコンデンサに再度電荷を供給するリフレッシュ動作が必須となる。
量子化	深層学習モデルのサイズを縮小し、計算効率を向上させるために、高ビットの浮動小数点数を低ビットの整数等に変換するプロセス。メモリや計算資源を節約することができる。
ワークメモリ	コンピュータがプログラムを実行する際に、一時的にデータやプログラムの一部を保持するために使用するメモリ領域のこと。主に主記憶（メインメモリ、RAM）の一部がワークメモリとして割り当てられる。SRAM や DRAM といった高速な揮発性メモリが主に用いられる。

1. 意義・アウトカム（社会実装）達成までの道筋

1.1. 事業の位置づけ・意義

近年、情報処理に用いるデバイスの高度化、ICT/IoT 社会の到来によるデジタル化の進展、AI 等を用いる様々な産業の創出とその基礎となるビッグデータの活用や、5G 等の新たな情報通信技術・インフラ整備、さらには世界規模のパンデミックによるライフスタイルの変化により、ネットワーク上のデータ量が爆発的に増加している。

2015 年度は約 8.5 ゼタバイトだった世界の情報量は右肩上がりで見られ、2020 年度は 59 ゼタバイトとする統計が IDC により報告されている。今後は IoT デバイスの世界規模での普及拡大、5G、ポスト 5G 等の情報通信技術の発展、オンラインミーティングなどの各種クラウドサービス、自動運転やスマート工場等、さらなる IT 化が進む産業領域の影響を受け、世界の情報量は 2025 年度には 175 ゼタバイト、2030 年度には 2020 年度比で 10 倍以上となる電子情報技術産業協会（JEITA）の試算もある。

こうした統計や各種調査結果を踏まえ、データセンタにおける消費電力の問題はもはや無視できないものとなりつつある。

そこでネットワーク上のデータセンタにデータを集約して処理する「クラウドコンピューティング」だけでなく、端末側（エッジ側）でも分散的に情報処理を行う分散コンピューティングが、情報産業の新たな競争力創出の鍵として、データ量増大とエネルギー問題の解決に寄与する一手として注目を集めている。

しかしエッジ領域はクラウド領域と異なり、情報処理に用いることができる電力や、サイズ、使用環境など様々な制約があり、高度なエッジコンピューティングを実現するデバイス開発は容易ではない。そこで汎用的な半導体（LSI）から、例えば、特定の処理に特化した AI 半導体の活用や、そうした AI 半導体と CPU 等を複数組み合わせるヘテロジニアスコンピューティング技術など、エッジ領域で活用するコンピューティング技術の研究開発を支援することで、来る次世代の情報社会を支える礎となるデジタル技術の確立はもとより、データ量の爆発的な増大がもたらす社会課題の解決にも寄与することが期待される。

本事業の狙いは、増加を続ける情報量がもたらす電力問題に対して、エッジ領域での分散コンピューティングを実現することで、その解決に寄与するのみならず、省エネルギーかつ高性能で、競争力ある半導体・システム技術の実用化を推進することで、日本政府が進める我が国のデジタル・半導体産業の再興に繋げることにある。

例えば Connected Industries で勝ち筋と定められた領域の内、自動車産業では、自動運転が本格的に導入されるにあたっては、AI を用いた画像認識や各種制御の高速化、リアルタイムで様々な信号を処理する技術等、それらを実現する基礎となる高性能な AI 半導体やエッジ領域での高度なコンピューティングシステムが、まさに次の世代の産業において生命線となると考えられる。ロボットを始めとした産業機械もまた、同様の技術を活用することによって、画一的な動作しか出来なかったものが、状況を判断・予測し、行動を計画する、これまでに無いサービスを実現することが可能となる。スマートライフとしても、今まで取得することが出来なかったデータを収集するだけでなく、リアルタイムで分析し、フィードバックに繋げることで次世代のヘルスケア、我が国のみならず世界的な課題となる医療・福祉のサービスに繋げることも可能となる。

本事業では、高度な AI 半導体及びシステムを用いることで、以上のように我が国が強みを持つ産業領域におけるデジタル化推進に伴う国際競争力の維持・強化に加え、新たな産業基盤の確立に寄与するとともに、増大を続ける情報量の効率的な処理に貢献することを目的とする。

1.2. アウトカム達成までの道筋

本事業では、エッジ領域においてエッジデバイスにおけるリアルタイムの情報処理を主体に、必要に応じエッジサーバを含む領域で活用する AI 半導体及びシステムに関する技術開発を推進するとともに、それらの半導体開発を高速かつ効率的に実施できる設計技術の確立を目標とする。

各研究開発項目の下で実施する個別テーマ毎に、解決を目指す社会課題を明確に設定した上で、まずは、アウトプット目標の達成に取り組む。プロジェクト開始前の提案時のみならず、プロジェクト実施中においても社会ニーズを適切に捉えた実施内容となっていることを定期的に精査することによって、アウトプットを効果的にアウトカムへつなげる。具体的な取組内容は下記のとおりとする。

(A) ベンチマーク

異業種を含めた個別テーマの立ち位置を常に把握し、研究開発の方向性を最適化する。

(B) ユーザー評価

デバイスの試作品が完成した段階でユーザーテストを実施する、コンピューティングシステムが仮完成した段階で無償の利用サービスを開始する等、プロジェクト初期・中期から製品化に向けてユーザーからフィードバックを得る。

(C) プロジェクト期間中の製品化

ユーザー評価を実施した結果、製品化の目途が立つものについては、プロジェクトから切り出し、プロジェクト期間中の早期製品化を進める。

(D) 成果最大化

個別テーマの推進に加え、複数テーマの連携、国際連携、人材育成、成果発信、各種調査、または既存技術の研究開発を補足し産業応用を後押しする周辺技術の開発等を行い、事業成果の最大化のための取組を推進する。

(E) 情報提供依頼

技術動向や市場動向等の外部環境の変化に対応するため、将来有望または必要とされる可能性がある技術的な課題や周辺技術について、情報提供依頼（Request For Information：RFI）を行う。RFIを踏まえ、必要と考えられる技術に関しては課題設定するなどして研究開発、探索型研究、先導調査研究等につなげる。

研究開発項目①においては、技術推進委員会を通じて進捗状況を確認し、アウトプットの中間目標を3テーマ全てで達成する見込みである。

研究開発項目②においては、サイトビジット、成果最大化につながるための研究開発の加速、及び、技術推進委員会における外部委員等による助言等を行うことで、5テーマ、23事業項目全てで最終的なアウトプット目標を達成した。また、成果を広く普及させることを目的として、CEATEC等の展示会への出展や、プレスリリース等によるPRを行った。

今後、研究開発項目①②による本事業の成果が世の中に普及していく中で、アウトカムの達成を見込んでいる。

1.3. 知的財産・標準化戦略

本事業における委託事業（2024年度まで）については、知財基本方針を適用し、テーマ毎に実施者間での知財合意書の作成や知財運営委員会の設置を実施。

助成事業については、その知財等成果は事業者に帰属するものの、同水準以上の知財管理、戦略を実現するべく、NEDOとして同領域に係る事例の情報収集を今後必要に応じて実施する予定。

取組み①：基本特許の取得

研究開発成果における基本的な知財の基本特許を率先して取得することで、関連開発を実施するグループをリードする。

取組み②：他社保有知財に関する対応

関連領域の開発を実施する企業との連携を研究開発と並行して実施し、産業応用を見据えた協力関係構築を実現することで、先行して取得されている知的財産の問題を解決。

取組み③：オープンプラットフォームの構築

研究開発成果を元にオープンプラットフォームを構築し、知財の取得と並行して、社会実装を見据えた学術、産業界との関係を構築することで、実用化・事業化を見据えた動きを後押し。

事業が完了した研究開発項目②においては、AIモデル等にOSSを活用したテーマが複数あり、研究開発成果のオープン・クローズ戦略について技術推進委員会等で検討を行ない、事業者に適宜提言を行った。また、車載向けデバイスにおいて取得が必須となる標準のISO26262について、対応が必要となる事業項目について、技術推進委員会を通じて対応状況を適宜確認し、最終的に目標を達成することができた。

2. 目標及び達成状況

2.1. アウトカム目標及び達成見込み

各研究開発項目の下で実施する個別の研究開発テーマ毎に、エネルギー消費効率あるいは電力効率（単位電力あたり性能）について、事業開始時点における同等の技術と比較した目標を設定する。

想定する社会実装先（自動運転、産業機械、医療・福祉等）での AI 関連ハードウェア世界市場において、研究開発成果の一部が市場に出る 2032 年に最低でも約 4,000 億円以上の市場を獲得し、それに付随するソフトウェア及びサービス等により更なる波及効果の創出を目指す。さらに、エッジやクラウド等の省電力化を実現し、2032 年において約 1,373 万 t/年の CO2 削減を目指す。

現在、開発状況、成果の達成状況は概ね順調であり、本アウトカムについては成果の普及とともに達成出来る見通し。

2.2. アウトプット目標及び達成状況

各研究開発項目の下で実施する個別の研究開発テーマ毎に、エネルギー消費効率あるいは電力効率（単位電力あたり性能）について、事業開始時点における同等の技術と比較した目標を設定する。各研究開発項目全体としての目標は、下記のとおりとする。なお、研究開発期間によっては、必要に応じて中間、最終目標を、以下に示す目標を基準としつつ変更して設定する。

■研究開発項目①「革新的 AI 半導体・システムの開発」

<中間目標（2025 年度）>

開発成果を組み込んだ要素技術に係る検証あるいはシミュレーションにより、エネルギー消費効率あるいは電力効率（単位電力あたり性能）が、事業開始時点における同等の技術と比較し、5 倍以上となる見込みを示す。

<最終目標（2027 年度）>

開発成果を組み込んだシステムレベルでの検証を行い、エネルギー消費効率あるいは電力効率（単位電力あたり性能）が、事業開始時点における同等の技術と比較し、5 倍以上となることを示す。

上記目標は、事業終了時点で社会実装先に求められる諸性能を満たすことを前提に、事業開始時に広く普及している技術と比較し評価する。また、上記目標とは別に、産業応用を想定する領域、市場において競争力を発揮するために達成することが必要となる技術課題、目標に関しては研究開発テーマ毎に設定し、研究開発を進めることとする。

■研究開発項目②「AI エッジコンピューティングの産業応用加速のための設計技術開発」

<最終目標（2024 年度）>

開発成果を組み込んだシステムレベルでの検証を行い、エネルギー消費効率あるいは電力効率（単位電力あたり性能）が、事業開始時点における同等の技術と比較し、10倍以上となることを示す。

上記目標は、事業終了時点で社会実装先に求められる諸性能を満たすことを前提に、事業開始時に広く普及している技術と比較し評価する。

各目標に対する達成状況を以下に示す。

■研究開発項目①「革新的 AI 半導体・システムの開発」

研究開発テーマ	代表事業者	達成度 (中間評価)
予測 AI（トランスフォーマ）に対応する省電力動的再構成プロセッサ・システムの開発	ルネサスエレクトロニクス株式会社	○ 2025年12月までに達成見込み
自動運転（AD）応用を中心とした組込向け SoC PF 開発および AD SoC 事業化加速	株式会社デンソー	○ 2025年12月までに達成見込み
エッジ機器でのマルチモーダル処理向け省電力インメモリ AI 半導体及びシステムの開発	ヌヴォンテクノロジージャパン株式会社	○ 2025年12月までに達成見込み

■研究開発項目②「AI エッジコンピューティングの産業応用加速のための設計技術開発」

研究開発テーマ	代表事業者	事業項目	達成度 (終了評価)
RISC-V システム設計プラットフォームの研究開発	東京科学大学	①C2RTL ツールによる RISC-V SoC プラットフォームとセンサデバイス SoC の研究開発	◎
		②IoT 向け低消費電力 RISC-V SoC の研究開発	○
		③RISC-V のアーキテクチャ拡張プロファイルと標準化の研究開発	○

		④RISC-V ソフトウェア開発環境とハードウェア検証環境の研究開発	○
		⑤RISC-V 統合開発環境の研究開発	○
		⑥RISC-V SoC HW セキュリティ機能の研究開発	○
CMOS/スピントロニクス融合技術による AI 処理半導体の設計効率化と実証、及び、その応用技術に関する研究開発	東北大学	①CMOS/スピントロニクス融合技術 AI 処理 LSI の効率的設計技術の研究開発	○
		②CMOS/スピントロニクス融合 AI チップに向けた設計技術の検証実証の研究開発	◎
		③CMOS/スピントロニクス融合 AI チップのエッジサーバーへの応用技術の研究開発	◎
		④車載への応用技術の研究開発	○
映像データリアルタイム処理用 AI デバイス高位合成ツールの研究開発	シャープ株式会社	①高位合成ツール Python コード変換処理部開発	○
		②高位合成ツール Layer 単位 RTL 生成部開発	○
		③高位合成ツール 4DTensorCore 向け RTL 生成部開発	○
		④高位合成ツール応用範囲拡大のための機能開発	○
万能高位合成と新型汎用データフロー計算機構	日本電気株式会社	①万能高位合成の基本手法、及び詳細設計・開発	○
		②システム合成	○
		③高位合成ライブラリ	○
		④多並列 SRAM 搭載 FPGA システム	○
		⑤大容量 SRAM を備える半導体チップ応用技術	○

		⑥サイバーフィジカルシステムの構築	○
省電力化に向けた次世代ヘテロ ジェニアス AI デバイスの SW- HW 協調設計ツール開発	ルネサスエレクトロ ニクス株式会社	①高速シミュレーション環境 開発	○
		②マシンラーニング (ML) コンパイラ開発	○
		③SW-HW の協調設計手 法開発	○

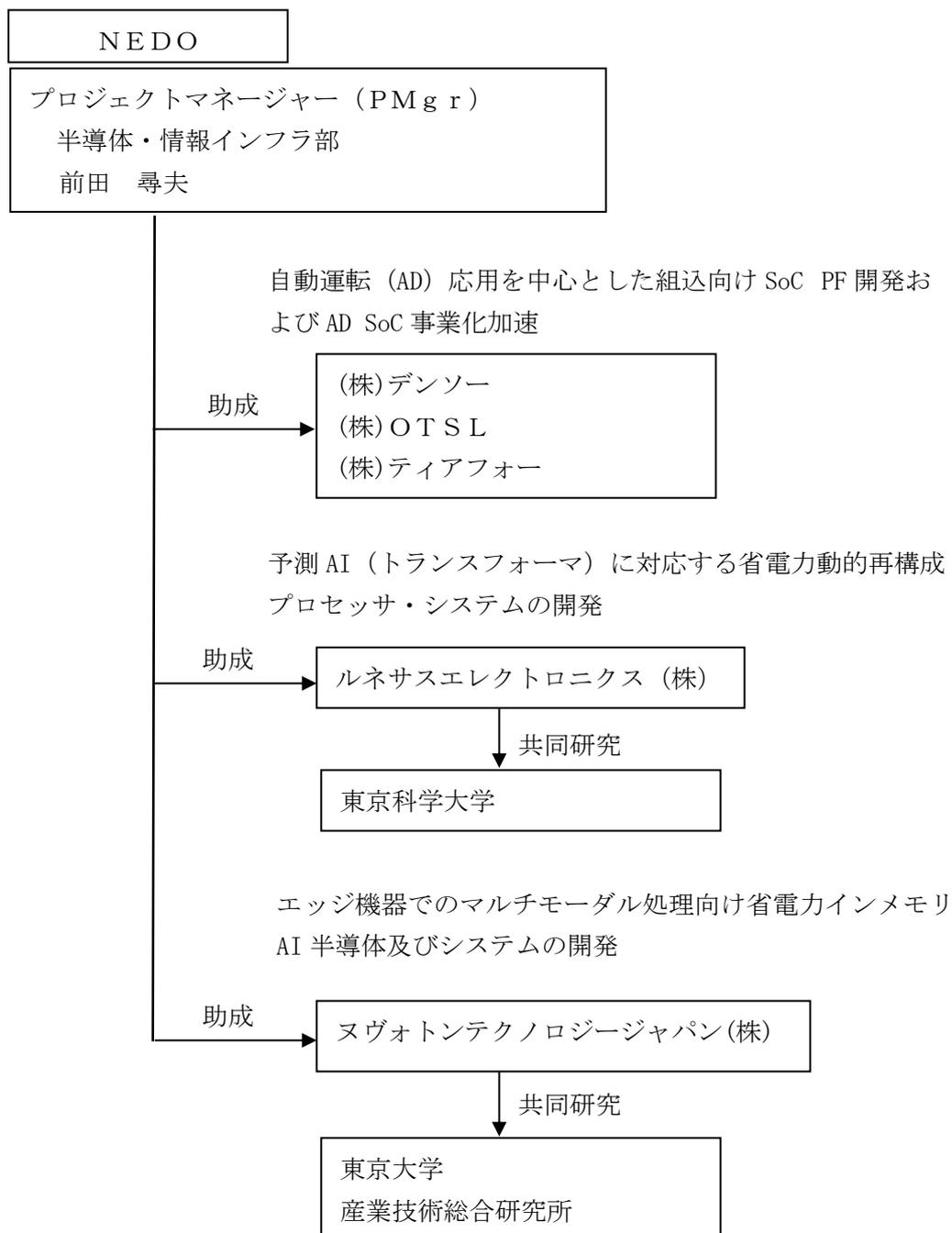
3. マネジメント

3.1. 実施体制

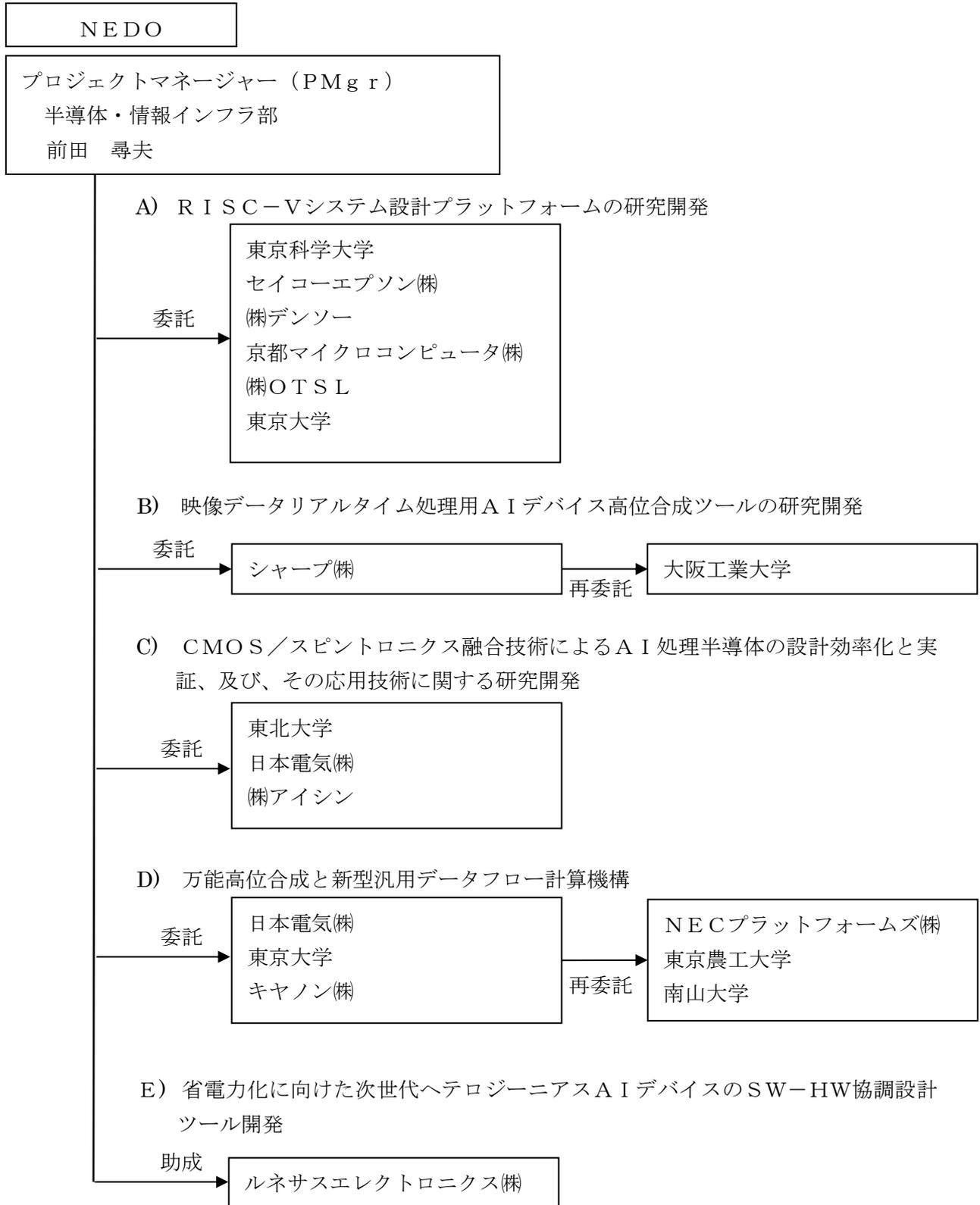
事業の成果・効果を最大化させるため、実務責任者として担当事業全体の進行を計画・管理し、事業遂行にかかる業務を統括する役割を担うプロジェクトマネージャー（以下「PMgr」という）を任命した。

以下に各テーマの実施体制の詳細を示す。

■研究開発項目①：革新的 AI 半導体・システムの開発



■研究開発項目②：AI エッジコンピューティングの産業応用加速のための設計技術開発



3.2. 受益者負担の考え方

【委託事業】

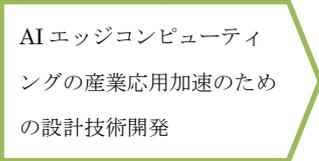
次世代の情報産業を担う基盤技術かつ革新的である新たな技術開発として国が支援するものであることから、100%NEDO 負担の委託事業として実施する。

【助成事業】

民間事業者等の行う産業技術に関する研究開発を助成することにより、早期の実用化・事業化に繋げることで、我が国産業の持続的な発展を図り、もって国民生活の安定向上および国民経済の健全な発展に資することを目的としているため助成事業として実施する。

3.3. 研究開発計画

以下に研究開発スケジュールを記載する。

	2023 年度	2024 年度	2025 年度 【中間評価】	2026 年度	2027 年度
研究 開発 項目①	 革新的 AI 半導体・システムの開発				
			【SG 審査】		
研究 開発 項目② ※	 AI エッジコンピューティングの産業応用加速のための設計技術開発				

補足：終了時評価を 2028 年度に実施する。

※当該研究開発項目は、「高効率・高速処理を可能とする AI チップ・次世代コンピューティングの技術開発／研究開発項目④ AI エッジコンピューティングの産業応用加速のための技術開発」として 2022 年度に公募、採択したテーマを 2023 年度から本事業に移管して実施した。

4. 目標及び達成状況の詳細

4.1. 研究開発項目①：テーマ名「自動運転（AD）応用を中心とした組込向け SoC PF 開発および AD SoC 事業化加速」

●目標及び達成状況の詳細

テーマ名	自動運転（AD）応用を中心とした組込向け SoC PF 開発および AD SoC 事業化加速	達成状況	○
実施者名	株式会社デンソー 株式会社ティアフォー 株式会社 OTSL		
達成状況の根拠	<p>事業項目① SoC プラットフォーム開発（担当：デンソー）において、プロセッサ IP のサブシステム開発を完了。SoC プラットフォームを FPGA に実装し、評価向け LinuxOS/ROS2/Autoware の動作確認（達成）と、評価対象の Planning/Control 処理における電力が測定できる（25 年 12 月見込み）</p> <p>事業項目②試作チップ開発（担当：ティアフォー）において、試作チップの 1 次試作チップの製造を完了し、試作チップを搭載した AD 開発キットの 1 次試作を行い、Autoware を AD 開発キットに移植し車両実証用システムとして構築し実証実験に備えた状態となる（2026 年 3 月達成見込み）</p> <p>事業項目③BSP を含む抽象化レイヤの開発（担当：OTSL）において、2024 年度までに策定した各仕様に則り、シミュレータ上での実装を行い、基本機能の動作確認・評価を行い、仕様通り機能していることを確認する。既に仕様を策定しており、且つシミュレータでの実装経験も豊富であり、計画通り達成する。（2026 年 3 月達成見込み）</p>		

●背景・目的・プロジェクトアウトカム目標との関係

自動運転での AI 半導体において、その普及にはクーリング容易性・信頼性の確保・ECU 実装位置の自由度に貢献すること、また市販品で対応しづらい安全性（機能安全・実時間性）の確保が重要となる。サーバーやモバイルなどの汎用 AI 半導体では、これらポイントを十分に満たすことはできない。そこで高い性能に対する消費電力の削減（1/5）、システムの安全性の確保、システムの開発期間とコスト低減に貢献する SoC プラットフォームを開発し、この研究開発成果を反映した SoC を半導体メーカーにより製品化し、2028 年以降に自動運転車両へ社会実装を開始する。また自動車以外の産業へ向けても自動運转向け安全設計含めた SoC プラットフォームを展開し波及効果を狙っていくことで省電力化に貢献する。

●アウトプット目標

【中間目標（2025 年度末）】

SoC プラットフォーム（Akaria-SoC PF）の基本部分を搭載した 1 次試作チップ（Gion）開発を安全分析と共に行い、これを搭載した 1 次 AD 開発キットが BSP および汎用 OS、Autoware アプリケーションが動作し電力評価できる状態を目指す。AD 開発キットおよびシミュレーションによる電力評価と合わせて、本事業終了後に、本 SoC プラットフォームを搭載した製品版 SoC における電力削減が実現可能かの見通しを判断する。

- ① 基本ソフトウェアとアプリケーション動作による電力評価から製品版 SoC の電力見積を実施し目標達成度を評価する。拡張機能においては、最終目標へ向けに産業用途を含めた評価および事業化へ向けた品質改善を次年度以降で実施できるようにする。
- ② SoC プラットフォームをベースにした試作チップ（Gion）の 1 次試作チップの製造を完了し、またその試作チップ（Gion）を搭載した AD 開発キットの 1 次試作を行う。同様に、Autoware を AD 開発キットに移植し、車両実証用システムとして構築し、ステージゲート以降の実証実験に備えた状態となる。
- ③ BSP を含む抽象化レイヤ開発に関し、AI 半導体を効率的に、安全に利用できる基本ソフトウェアを提供することを目指している。2025 年度末までに、SoC プラットフォームへ向け実施項目③-1～③-3 をシミュレータ上にて実装し、さらに③-4 として BSP を AD 開発キット向けにシミュレータ上にて実装し、汎用 OS 動作、各種ドライバが動作することを目指す。

【最終目標（2027年度末）】

2次試作チップおよび2次AD開発キットでの評価を車両実証用システムによる評価を通じて、当初目標に到達していることの確認および品質改善まで完了し、電力を含む総合評価を実施、事業化に向けた問題点や改善点を洗い出す。また、デリバラブルの構成内容を検討し整備する。これらを以って本事業終了後にSoCプラットフォーム普及を目指せる状態を目指す。

- ① SoCプラットフォーム（Akaria-SoC PF）はハードウェア機能を拡張し対応する基本ソフトウェアと合わせて、適用範囲を産業用途へ広げる開発・評価を完了させる。また、中間目標で確認した電力目標の達成度が維持できていることを確認する。機能安全アーキテクチャ開発を完了し ISO26262 認証取得に必要な作業成果物の作成も完了させる。
- ② 試作チップは二次試作チップを通したそこまでに見つかった課題・改善を行い性能改善、AD開発キットは二次試作と機能評価を行い最終的には性能改善・評価を終え、車両実証システム開発では実証・評価・品質改善を完了する。これらの取り組みにより、AD開発キットを顧客提供できる状態を目指す。
- ③ BSPを含む抽象化レイヤ開発に関し、AD開発キットでのBSP完動を目指す。また、SoCプラットフォームに関し、適用範囲を産業用途へ広げる開発・評価を完了させる。なお、ソフトウェア実装完了後、パッケージングやテストを含む製品化への対応を実施し、品質改善を完了する。これらの取り組みにより本事業完了後に、AD開発キットを顧客へ提供し、自動運転システム普及を目指す。

●実施体制

助成先	株式会社デンソー	① SoCプラットフォーム開発
助成先	株式会社ティアフォー	② 試作チップ開発
助成先	株式会社 OTSL	③ BSPを含む抽象化レイヤの開発

●成果とその意義

全体概要

国内半導体産業の競争力低下は、自動車関連産業にも深刻な影響を及ぼしている。車両の販売台数を維持できたとしても、内部構成の海外製品化が進むにつれ、中長期的には自動車産業におけるシェア低下の引き金となる可能性がある。本事業は、自動車産業を中心に国内組み込み産業の競争力維持へ貢献する防波堤の役割を担う所存である。消費電力の削減および性能向上を実現する新規 IP の搭載を伴う自動運转向け AI 半導体の開発には、先行開発期間を含めて5-6年程度が必要となる。また、新規 IP の普及にあたっては、製品版 SoC の量産開始時期よりも2年以上前（先行開発期間）から使用可能な開発キットをアプリケーションソフトウェア開発者に提供する必要があり、IP ライセンス事業企業にとって多大な投資が必要となる。本事業では、IP ライセンス事業企業や製品版 SoC を開発する顧客が開発コストを削減できるよう、SoCプラットフォーム(図1. Akaria-SoC PF)と自動運転アプリケーション開発キット(図2. AD開発キット)を開発し、顧客へ提供することを目指している。これにより、双方の開発投資抑制を図ることができる。

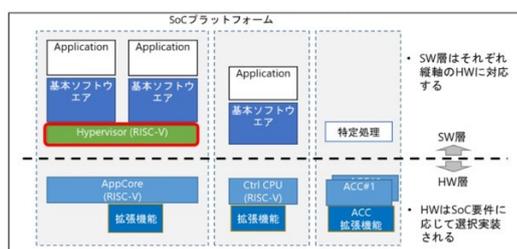


図1 . Akaria-SoC PF

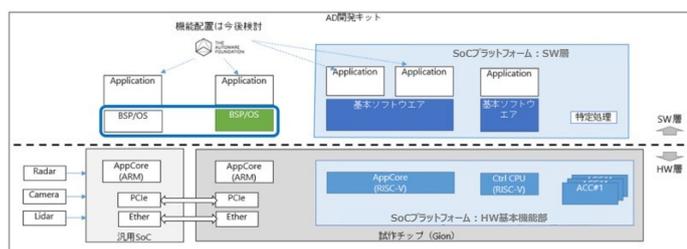


図2. AD開発キット

実施項目①SoCプラットフォーム（Akaria-SoC PF）開発

本事業におけるSoCプラットフォーム（Akaria-SoC PF）の開発を通して次の優位性の実現を図る

- **プロセッサ・サブシステム開発:**
自動車部品メーカー内に製品レベルでSoCを開発・評価可能なプラットフォームを保有することで、机上の仕様や要件とりまとめだけでなく、車載用SoCの開発を半導体メーカーとより深いレベルで協業することが可能となる。結果、国内の車載用要件を盛り込んだSoCの性能・コスト改善につながられる
- **基本ソフトウェア開発:**
開発するSoCプラットフォーム上でオープンなアーキテクチャを移植することで、自動車部品

メーカー単独では構築が困難な、自動運転システム向け基本ソフトウェアの評価が可能となり、車載用 SoC への早期のフィードバックが可能となる

実施項目②試作チップ (Gion) :

本事業にて、試作チップ、AD 開発キット、自動運転システムの実証を通して次の優位性の実現を図る

- **自動運転システムで最適化した AI 半導体の実証:** サーバーやモバイル向けに開発された AI 半導体の自動運転システム向け転用によるギャップの大きさ、これを解消した SoC プラットフォームを用いた AI 半導体の自動運転システムでの最適化した電力・安全を実証する
- **オープンなアーキテクチャの提供:** Autoware をリファレンス・アプリケーションとして採用し、オープンなアーキテクチャの AD 開発キットを提供することで、市場優位性の確保と顧客の開発期間短縮が可能となる

実施項目③ BSP を含む抽象化レイヤ開発:

本事業にて、FFI 対応、リアルタイム性の改善、セキュアブート機能開発、BSP 開発を行ったことで、以下の点で優位性があると考ええる。

- **オープンアーキテクチャの採用:** RISC-V ベースのアーキテクチャを採用し、オープンアーキテクチャで統一的なソフトウェア開発環境を提供することで、ソフトウェアの開発工数増加やポータビリティの問題を解決する。
- **リファレンス・アプリケーションの提供:** AD 開発キットを活用する為の BSP を提供することで、顧客が低コスト短期間で評価を行うことが可能となり、さらにオープンソース化されたリファレンスソフトウェアと AD 開発キットを使用することで、顧客は自動運転システムや組み込みシステムのより効率的なシステム開発が可能となる。

これらの優位性により、OTSLS の担当部分は国内外の他の技術やこれまでの取組と比較して、技術的優位性・経済的優位性を確保する。

●**実用化・事業化への道筋と課題**

センサー

実用化・事業化に向けた計画

- 電力効率の高い SoC プラットフォームを開発し、性能およびコスト競争力の高い製品版 SoC を普及する

実用化・事業化に向けた取組状況

- 開発中の SoC プラットフォームの一部を IP 開発/製品版 SoC 開発へ適用することを検討中

実用化・事業化に向けた今後の課題と対処方法

- RISC-V の SW エコシステムが未成熟である期間は、内製 IP 開発のベース HW として活用する

ティアフォー

実用化・事業化に向けた計画

- 電力効率の高い SoC プラットフォームを搭載した試作チップと AD 開発キットを提供し、自動運転システムとアプリケーションの開発期間を短縮することを価値として提供する

実用化・事業化に向けた取組状況

- 実用化へ向けて FY25 年度までに電力削減の見通しを立てると同時に試作チップを開発予定。自動運転車両実証システムも開発中

実用化・事業化に向けた今後の課題と対処方法

- 最終プロダクトの仕様や提供方法については OSS である Autoware のオープンエコシステム等のニーズヒアリングと企画を進行中。

OTSLS

実用化・事業化に向けた計画

- SoC プラットフォーム向けに抽象化レイヤのソフトウェアを提供、また、BSP を AD 開発キット向けに提供する。また、抽象化レイヤのソフトウェアは本事業で開発する AI 半導体の特徴である、低消費電力・並列処理を効率的に活用できる為、産業分野、医用等において、SoC に限らず、FPGA 市場に対してもマーケット拡大に寄与することが可能であると考ええる。

実用化・事業化に向けた取組状況

- 組み込みシステム向けに新規事業展開を開始しており、本事業成結果を活用できるよう対応中。

実用化・事業化に向けた今後の課題と対処方法

- OTSL の知名度・プレゼンスが十分とはいえず、複数社とエコシステムを組み、OTSL のビジネスに本事業成果を活用していく。

期間・予算 (単位:百万円) ※2025FY 以降 は見込	2023FY	2024FY	2025FY	2026FY	2027FY
	328	797	1,219	984	589

●特許出願及び論文発表

特許出願	論文発表	発表・講演	雑誌掲載	その他
2 件	0 件	0 件	0 件	0 件

4.2. 研究開発項目①：テーマ名「予測 AI（トランスフォーマ）に対応する省電力動的再構成プロセッサ・システムの開発」

●目標及び達成状況の詳細

テーマ名	予測 AI（トランスフォーマ）に対応する省電力動的再構成プロセッサ・システムの開発	達成状況	○
実施者名	ルネサス エレクトロニクス株式会社（国立大学法人 東京科学大学）		
達成状況の根拠	○（2026年3月 中間目標達成見込）中間目標（電力効率5倍のシミュレーション実証）に必要な要素技術・シミュレーション環境の構築とトランスフォーマ主要レイヤの動作確認を予定通り実施し、電力効率向上の目途が立っている。2025年度にモデル全体評価ならびにハード・ツールのアップデートを行い、目標を達成できる見込。		

●背景・目的・プロジェクトアウトカム目標との関係

近年、労働力不足や産業競争力向上のため、人と協調し、複雑なタスクを実現する機器・ロボット等による作業効率化への期待が急速に高まってきている。特にクラウド AI ではトランスフォーマという新しい AI モデルにより、これまでの「認識」に特化した AI から「予測・判断」する AI に発展しており、このトランスフォーマ AI をエッジ領域で実現できれば、産業機器やロボットが自律的に複雑なタスクを遂行できるようになり、これまでに無いサービスの実現が可能になる。

上記の AI 半導体を組み込み機器に実装可能にするためには、消費電力や発熱の抑制が課題となる。本助成事業では、トランスフォーマを用いた予測 AI をエッジデバイス内でリアルタイムかつ低電力に処理可能な組み込み AI ハードウェア技術および予測 AI を効率よく処理する AI ソフトウェア技術を開発する。

本技術の実現が期待される主な産業分野（産業機器、ロボット等）向けの組み込みプロセッサ（MPU）の市場は 2032 年度には 2,230 億円程度の成長が期待され、この市場の獲得は、我が国の AI 半導体産業の成長に大きく貢献できるものである。また、トランスフォーマ AI をクラウド処理からエンドポイント処理に置き換えができれば、通信含めたシステムの大幅な省電力化・CO2 低減が期待できる。

●アウトプット目標

アウトカムである大幅な省電力化・CO2 低減を実現するため、本事業開始時に製品入手可能な競合 AI ハードウェアと比較し、トランスフォーマ処理時の電力効率5倍を実現する AI ハードウェアならびにツールを開発し、さらに組み込みユーザーでも容易に高度な AI を活用できる周辺環境も整備することで、競争力のある製品を提供可能にする。

【中間目標（2025年度末）】

従来比 5 倍の電力効率の達成見込をシミュレーション評価にて実証する。

【最終目標（2027年度末）】

MPU 製品試作を行い、従来比 5 倍の電力効率を実証する。

●実施体制



●成果とその意義

全体概要

2024 年度は、中間目標達成に必要な要素開発を予定通り実施。具体的には、ハード（実施項目 1）およびソフト（実施項目 2）協調での要素技術の開発、IP 論理設計、エミュレーション環境を構築。また、MPU 動作に必要な周辺環境の構築（実施項目 3）や、アプリケーション開発・提供環境の整備（実施項目 4）も予定通り実施。さらに、生成 AI などで用いられる言語モデル（LLM）の軽量組み込み技術についても東京科学大との共同研究により開発に成功し（実施項目 5）、さらなる高度化の可能性が広がった。

実施項目 1：従来比 5 倍以上の電力効率を有する動的再構成可能なトランスフォーマ対応 AI チップの開発

動的再構成プロセッサ (DRP) を基盤技術とした AI アクセラレータ (DRP-AI) において、従来の CNN に加えてトランスフォーマの推論処理が可能なアーキテクチャの基本仕様を固め、RTL 論理設計を開始した。

大規模 FPGA エミュレータと FPGA ボードを連携させて、各 FPGA エミュレータにそれぞれ前記で設計した DRP・AIMAC (AI 処理向け積和演算器)・CPU を搭載した動作検証システムを開発した。既存の CNN モデルに加え、実施項目 2 で開発中の実装ツールを使い、画像系モデルである ViT の単レイヤ動作を確認した。

また電力評価では FPGA エミュレータ結果と電力解析ツールの併用手法を確立し、チップの製造前に高精度な評価を可能にした。本手法を使って Transformer モデル全体動作時に従来比 5 倍以上の電力効率を達成すべく開発を進めている。

実施項目 2：トランスフォーマモデルの軽量化・実装ツールの開発

量子化ツールは、ViT の量子化時に大きく精度低下してしまう問題に対応するため、混合精度量子化機能を試作した。また、本機能の精度確認実験を行い、改良を進めている。

枝刈りツールは、Transformer の基本構造である Multi Head Attention への対応を行い、ViT モデルで枝刈り機能の動作を確認した。

量子化 AI モデルのハードウェア実装ツールを開発。特にトランスフォーマモデルで共通に使用されるオペレータ群に対してハードの機能を最大限発揮するバイナリコードを生成し、FPGA 上での動作確認に着手した。また、ハード仕様検討時にモデル全体での推論結果を検証するためのシミュレータ環境を構築。量子化モデルに対し、検討中のハード仕様を模擬した推論結果を取得し、妥当性評価を実施した。

実施項目 3：トランスフォーマ対応 MPU 向けソフトウェア開発環境の構築

AI 搭載 MPU 製品として必要となる要素ソフトウェアの構成検討ならびに開発に着手。具体的には、Linux/リアルタイム OS (RTOS) 対応ドライバやライブラリ拡張等を実施。また実施項目 1 で必要となる FPGA エミュレータ上で実行可能な DRP-AI ドライバを構築し動作を実証した。ロボットアプリ等への適用性を拡大するための環境として、リアルタイム OS (RTOS) 上で動作可能な AI システムや、深度推定カメラや Wifi 連携などのインターフェース拡張を行った。

実施項目 4：トランスフォーマ学習済みモデルを含むアプリケーション開発環境の構築

組み込み開発者への利便性を高めるため、活用が容易な AI アプリケーションの開発や AI 共有環境の整備を進めている。複数の DRP-AI 世代間で統一的に AI モデルを最適化できるソフトウェアツールスタックを整備するとともに、リアルタイム AI アプリケーションの拡充を実施。また、AI ツールのユーザフィードバック (ハードウェア購入時からすぐ AI が試せる環境がほしい、軽量化のための再学習が難しい等) に基づくツールの利便性改善を実施。

実施項目 5：トランスフォーマを用いたリアルタイムアプリケーションの研究開発・実装検証

DRP-AI の高い電力効率と計算性能を発揮するためには、アーキテクチャ制約に合わせて既存のニューラルネットワーク圧縮アルゴリズムを発展的に適用する必要がある。この観点から DRP-AI において適用可能な各種圧縮手法の検討を行ってきた。今年度は、画像分類モデルとして代表的な Vision Transformer と ResNet、そして近年注目を集めている Large Language Model (LLM) を対象にそれぞれ研究を行った。

- (1) Vision Transformer の 8 ビット量子化・DRP-AI 実装を完了し 15%以上の高速化を達成した
- (2) DRP-AI における N:M 枝刈りの標準 CNN (ResNet) に対する有効性評価を行い、宝くじ仮説ベースの手法より Quantization Aware Training が相対優位であることを明らかにした
- (3) 大規模言語モデル LLM (Phi3) の 8 ビット量子化、その精度向上の工夫 (重みとアクティベーションに定数スケールを駆使)、DRP-AI 実装を進め、実機上で基本動作を確認した

●実用化・事業化への道筋と課題

当社は、MPU 製品にて AI 向けラインナップ (RZ/V シリーズ) を展開中であり、この組み込み AI 市場での事業成長を計画している (製品量産時期は未公表)。導入期においては製品量産化と並行し、easy-to-use を志向したソリューション開発に集中する。その後の成長期においては、マスマーケット顧客をサポート可能なパートナーおよび開発・生産を行うエコシステムの構築の展開が必要である。パートナーおよびエコシステムに関しては、ルネサスは既存の MPU 製品の事業展開において構築済みの資産を有しており、本資産を活用し拡大する方針である。

●期間・予算 (単位:百万円) ※2025FY 以降 は見込	2023FY	2024FY	2025FY	2026FY	2027FY
	210	522	523	523	484

●特許出願及び論文発表				
特許出願	論文発表	発表・講演	雑誌掲載	その他
1件	1件	5件	0件	0件

4.3. 研究開発項目①：テーマ名「エッジ機器でのマルチモーダル処理向け省電力インメモリ AI 半導体及びシステムの開発」

●目標及び達成状況の詳細

テーマ名	エッジ機器でのマルチモーダル処理向け省電力インメモリ AI 半導体及びシステムの開発	達成状況	○
実施者名	スヴォトン テクノロジージャパン株式会社、（国立大学法人東京大学）、（国立研究開発法人産業技術総合研究所）		
達成状況の根拠	2024 年度までの開発で、当初目標の消費電力を達成するチップの仕様策定、アーキテクチャの方針に目途。2025 年度にテストチップの試作・評価で効果を確認予定。また、成果の一部は 2025 年度に量産化予定。		
<p>●背景・目的・プロジェクトアウトカム目標との関係</p> <p>[背景]</p> <p>メタバース・モビリティ・ロボティクス・産業機器市場では、エッジ機器が取り扱うイメージセンサや音声センサ等、センサ数が増加し複雑化することによる遅延や電力効率低下、センサ信号自体の低精度、低品質、セキュリティ確保等の課題がある。そのため複数のセンサ信号を効率的に処理するマルチモーダル技術や、高精度、高品質、省電力化技術の実現が要求されている。</p> <p>[目的]</p> <p>上記対象市場に向けたエッジ機器の電力・コスト・機能の最適化。</p> <p>[プロジェクトアウトカム目標との関係]</p> <p>当社の製品のひとつである Bridge-IC について、民生/産業機器および車載機器において 2030 年度に 80 億円の売り上げの創出、もう一つの製品である AI-MCU については産業機器およびヘルスケア機器において 2030 年度に 32.4 億円の売り上げの創出を目標とする。</p> <p>さらに、省エネ AI コア RAND を他社製品へ展開することも想定し、2030 年度には 700 億円以上の製品へのライセンス展開を目標とする。エネルギー削減効果としては日本の総エネルギー量 8,640 億 kWh に対して本研究によるエッジ機器のシステム省電力化（-80%電力削減）の実現と合わせてエッジ機器の潮流や当社技術のシェアを考慮し、2030 年度で 259 億 kWh の電力削減効果を目指とする。</p> <p>●アウトプット目標</p> <p>【中間目標（2025 年度末）】</p> <p>①マルチモーダル Bridge-IC 及びエッジセンシングシステムの開発</p> <ul style="list-style-type: none"> 複数のカメラ・TOF センサ・マイクの集約し、同期した動作と信号処理を実行する IC チップとそれに搭載するソフトウェアの開発完了。 従来プロセッサ及び HUB 構成比-20%の電力削減。 <p>②AI-MCU 及びエッジセンシングシステムの開発</p> <ul style="list-style-type: none"> ハードウェア開発 <ul style="list-style-type: none"> AI-MCU のテクノロジープラットフォームの開発を目標にデジタル/アナログ/メモリ/AI/セキュア機能の要素回路設計、及び TEG 試作評価による基礎評価完了。 MCU の動作モード比-50%の電力削減。 システム開発 <ul style="list-style-type: none"> AI-MCU 向けインテリジェント・センシングソリューション開発にむけてインテリジェント化処理の MCU 実装開発・性能実証。 <p>③省エネ AI コア技術 RAND 及び応用システムの開発</p> <ul style="list-style-type: none"> エッジ AI に求められる省エネルギー化と高機能化を両立する省エネ AI コア技術として、ReRAM を用いた CiM (Compute In Memory) 技術である RAND をその候補技術とし、画像処理を含む AI 技術に対応した低消費 AI コア技術及びアーキテクチャを確立。 RAND チップの試作及び動作検証。 処理量[TOPS/W]の従来比 2 倍以上、GPU 比 1000 倍以上の実現。 <p>【最終目標（2027 年度末）】</p> <p>①マルチモーダル Bridge-IC 及びエッジセンシングシステムの開発</p> <ul style="list-style-type: none"> Bridge-IC に RAND チップを搭載し、RAND による状況判断に応じて、必要なセンサ電源制御およびセンサ信号の伝送を行うことを可能とする LSI の効果確認・実証。 従来プロセッサ及び HUB 構成比-80%の電力削減。 			

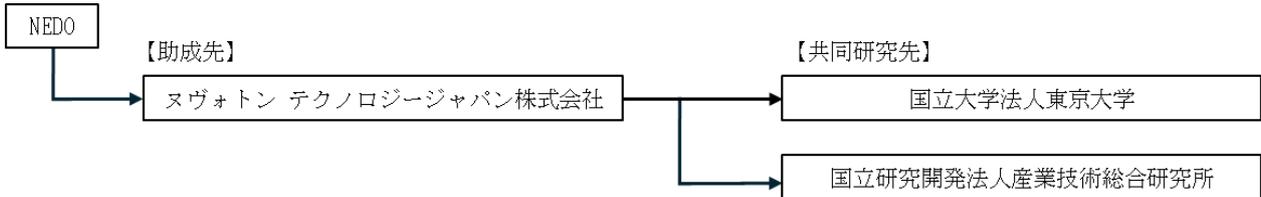
②AI-MCU 及びエッジセンシングシステムの開発

- ・ハードウェア開発
省エネ AI コア RAND 搭載 AI-MCU による高度エッジ情報処理のシステム実装を目標に省エネ AI コア RAND を搭載したチップを用いた各種ユースケースの効果確認・実証。
- ・MCU の動作モード比-80%の電力削減。
- ・システム開発
省エネ AI コア RAND 搭載 AI-MCU 向けインテリジェント・センシングソリューションの開発にむけて省エネ AI 半導体コア搭載 MCU でのインテリジェント化処理の MCU 実装開発とデモ開発完了、及び各種ユースケースでの効果確認・性能実証。

③ 省エネ AI コア技術 RAND 及び応用システムの開発

- ・Bridge-IC 及び AI-MCU の組み合わせによるシステムの低消費化と高機能化の実証。次世代 RAND にむけた課題抽出と技術検討。
- ・マルチモーダル AI システム実証完了（クラウド AI 比消費電力<1/1000）。

●実施体制



●成果とその意義

全体概要

本研究開発は下記の社会的意義のもとに取り組みを実施している。前述の「アウトプット目標」を達成することで実現を目指す。

<直面する社会課題への貢献>

我が国は人口減少と少子高齢化に直面しており、労働力不足や社会インフラの老朽化などの課題がある。これらの解決策として、自律走行搬送ロボット（AMR）や無人搬送車（AGV）、ドローンなどの自律動作ロボットが注目されている。さらに、COVID-19 の影響で急速なデジタル化が進み、ウェアラブル機器やメタバース関連の AR/VR グラスの需要が高まっている。本研究開発のマルチモーダル Bridge-IC や AI-MCU は、エッジコンピューティングにおけるセンサ信号処理を効率化し、電力効率を高めることで、これらの社会課題に大きく貢献する。

<カーボンニュートラル社会への貢献>

エッジ機器の増加と 5G、6G の普及により、2030 年の消費電力は 2020 年比で 5 倍になると予想されている。エッジコンピューティングは、データセンタとネットワークの負荷を軽減し、消費電力を抑える効果が期待されている。本研究開発を実行することによりカーボンニュートラル社会へ貢献する。

具体的な実施項目のこれまでの成果を以下に示す。

実施項目①：マルチモーダル Bridge-IC 及びエッジセンシングシステムの開発

- ・2023～2024 年度に開発した Bridge-IC のアーキテクチャ設計およびコーディング結果(RTL)を用いて半導体(Bridge-IC)の試作を 2025 年 2 月に完了し、評価を実施。2025 年 4 月に機能評価および複数センサを制御するためのソフトウェアの機能確認を完了。2025 年 Q3 に量産化できる目途を確認。
- ・本 IC は、単独で 4 つのカメラ、2 つのマイクと IMU のセンサを同期させて制御するとともに信号処理を行い、USB を通じて信号の出力が可能。当初の電力削減の目標通り、複数の IC を用いる場合に対して -20%削減を実現できる見通し。

実施項目②：AI-MCU 及びエッジセンシングシステムの開発

- ・ハードウェア開発
次世代の IoT 向け MCU におけるセキュリティ要件を検討し 22nm プロセスにおけるアナログ回路および 1chip-Logic 設計を完了(2025 年 3 月に試作ロット投入)。
次世代に向けた暗号技術を検討、2030 年以降必須となる耐量子計算機暗号のテストチップ実装を完了。
- ・システム開発
時系列センサ AI で必要となる信号前処理技術、異常検知 AI の要素技術開発とデモ装置を開発、異常検知 AI は異常度合いの解釈性が高い変分オートエンコーダ(VAE:Variational Auto Encoder)の開発・MCU

実装を行い、EdgeTech+2024 へ展示会出展(2024 年 11 月)、AI-MCU 社会実装に向けて計 96 件の引合いを獲得。そのうち 36 件へアプローチを実施中。加えて、産業機器向けアプリケーションとして、サーバー向け電源システム(PSU:Power Supply Unit)のソリューション開発、MCU 仕様要件策定を実施。

実施項目③：省エネ AI コア RAND 及び応用システムの開発

- ・低消費電力と計算性能の両方を求められるエッジでの AI コア開発において、低消費な不揮発性メモリ ReRAM を応用し、計算のボトルネックとなるデータ通信を削減する CiM 技術を確立。2024 年度は AI コアとして必要な性能目標とアプリケーションを設定し、AI による 60fps での物体検知を 1TOPS、10mW オーダーで実行するためのアーキテクチャ（ハードウェアの回路構成）を決定し、2025 年 1 月に設計に着手。東京大学および産総研との共同研究により ReRAM のもつ抵抗素子のバラつき抑制や信頼性向上に向けての研究開発を先行して実施。プロジェクト発足時より継続的に、IRPS 初め学会各所にて採択。RAND の完成度向上にフィードバック予定。
- ・社会実装の加速に向けた取り組みとして、RAND の応用範囲拡大に向け、加速テーマとして 2 テーマを 2024 年 10 月に新たに着手。(1)RAND を自社開発製品だけではなく他社に展開可能な IP としての開発するため、汎用性の高いメモリ IP ベンダーの ReRAM 資産を活用し、他社へ展開しやすい RAND の開発を実施中。(2)急速に成長する生成 AI に対応すべく、Transformer モデルに RAND 技術を拡大するための先行研究を実施中。

●実用化・事業化への道筋と課題

実施項目①：マルチモーダル Bridge-IC 及びエッジセンシングシステムの開発

- ・カメラを含むセンサを多数搭載した AR グラス/XR ヘッドセットがエンターテインメントや産業分野で活用される場面が急激に広がっている。この分野では AI の活用と同時に低電力化が課題となっており、Bridge-IC の活用が期待されている。2025 年度は、まずこの分野に向け Bridge-IC を量産し社会実装を行う予定である。また、より低電力化をすすめた第 2 世代の開発着手を予定しており、RAND との組み合わせた社会実装に向けて取り組む予定である。

実施項目②：AI-MCU 及びエッジセンシングシステムの開発

- ・当初の事業化ターゲットとして、医療/ヘルスケア向けアプリケーションにおきコンサルティング会社を活用した医療/ヘルスケア分野エッジ AI 応用の調査を 2023 年度に進めた。しかし、現状主流のクラウド処理からエッジ処理へ想定以上に移行が進んでおらず、将来的には有力な市場として期待されているものの時期尚早と判断し、販売チャネルの構築およびパートナー探索を地道に進めることとした。一方で、自社が高いシェアをもつ産業用 MCU（電源/モータ制御等）では AI 技術を活用した故障予知が強く求められていることがわかり、それらを 1st ターゲットにおく計画変更を行った。2024 年の EdgeTech+2024 へのデモ出展においても、多くの引き合いがあり、手ごたえを得た。

実施項目③：省エネ AI コア RAND 及び応用システムの開発

- ・本プロジェクトの中間目標としては AI コアの確立と実証を計画しており、2027 年度末の最終目標として Bridge-IC との結合による製品化と社会実装を計画している。ハードウェア技術の確立と併せ、RAND 向け AI ソフトウェア環境実現のための他社連携も含めたエコシステムの構築が今後の課題である。当社において 2024 年度には AI 技術部門を設立し(2024 年 3 月)、エコシステム構築を主体的に進め、2026 年度以降のシステム実証の取り組みを具体化する見込みである。

●期間・予算 (単位:百万円) ※2025FY 以降 は見込	2023FY	2024FY	2025FY	2026FY	2027FY
	426	580	474	575	633
●特許出願及び論文発表					
特許出願	論文発表	発表・講演	雑誌掲載	その他	
11 件	7 件	23 件	0 件	3 件	

4.4. 研究開発項目②：テーマ名「RISC-Vシステム設計プラットフォームの研究開発」

●目標及び達成状況の詳細

テーマ名	RISC-Vシステム設計プラットフォームの研究開発	達成状況	◎
実施者名	国立大学法人東京科学大学／セイコーエプソン株式会社／株式会社デンソー／ 京都マイクロコンピュータ株式会社／株式会社OTSL／国立大学法人東京大学		
達成状況の根拠	先端プロセスでのチップ試作（画像認識AIアクセラレータ：対SW実行で586倍の処理電力効率、IoT向け低消費電力RISC-V SoC：量産製品と比べて31倍の電力効率）の技術実証についてアウトプット目標を大幅に上回る研究成果を達成した。		
<p>●背景・目的・プロジェクトアウトカム目標との関係</p> <p>IoT、AI、ロボット、車載等のアプリケーションの需要が急速に高まる中で、ネットワーク・クラウドに集約される膨大な情報の分散処理化を促進するためには、エッジデバイス側で高度な演算処理を高効率で実現する技術構築が必要となる。そのため、普及が急速に進むRISC-Vアーキテクチャを活用し、命令セット拡張とHWアクセラレータのシステム構成により、SW定義の機能柔軟性と高い処理効率を両立する優れたSoCソリューションを提供するための技術実証を先端プロセスのチップ試作などを通じて実施する。</p> <p>●アウトプット目標</p> <p>32ビット/64ビットRISC-V SoCアーキテクチャモデル（C2RTL高位設計検証ツールで自動合成）を開発し、SoC設計効率の大幅向上と高効率処理の実現を実証する。DNNエンジン搭載SoC開発では、SW実行と比較し10倍以上の処理電力効率を達成し、センサデバイスSoCでは、RISC-Vによるセンサ機能の実証、無線電源化・エナジーハーベスティング動作の実証を実施する。IoT向け低消費電力RISC-V SoCについて、FinFETプロセスでのゲートレベルシミュレーション上で、10倍以上の処理電力効率を達成する。また、サブシステム仕様書作成とサブシステム設計・検証環境を構築し、標準化提言を実現する。また、プロセッサ自動検証環境とRISC-V MMU対応ベアメタル開発プラットフォームを開発する。また、可視化機能を含むRISC-V HW/SW開発用IDEを開発する。また、耐量子計算暗号処理について、SW実行のみと比較して10倍以上の処理電力効率を達成する。</p> <p>●実施体制</p> <p>東京科学大学：C2RTLツールによるRISC-V SoCプラットフォームとセンサデバイスSoCの研究開発を担当 セイコーエプソン：IoT向け低消費電力RISC-V SoCの研究開発を担当 デンソー：RISC-Vのアーキテクチャ拡張プロファイルと標準化の研究開発を担当 京都マイクロコンピュータ：RISC-Vソフトウェア開発環境とハードウェア検証環境の研究開発を担当 OTSL：RISC-V統合開発環境の研究開発を担当 東京大学：RISC-V SoC HWセキュリティ機能の研究開発を担当</p> <p>●成果とその意義</p> <p>全体概要</p> <p>本事業では、多様なRISC-V命令セットプロファイルに対応したSW開発環境・デバッグ環境やHW設計プラットフォームを含めた開発エコシステムの整備、実用アプリケーション用の省電力機構・セキュリティ機構・仮想化などのシステム補助機能の開発、ならびに、RISC-Vサブシステムの設計検証環境と標準化提言に関する研究開発を実施し、SW記述によるSoC開発の設計生産性の大幅向上と、高効率IoT/AIデバイスの先端プロセスチップ開発の両立を実証することで、RISC-Vベース製品開発の活性化のための技術基盤を確立した。</p> <p>実施項目1：C2RTLツールによるRISC-V SoCプラットフォームとセンサデバイスSoCの研究開発</p> <p>32ビット/64ビットRISC-V SoCアーキテクチャモデル（C2RTL高位設計検証ツールで自動合成）を事業者間で共有し、チップ試作やFPGA実装で活用した。DNNエンジン搭載SoC開発では、28nm CMOSのチップ設計において、RV32標準コアにDNNエンジンを搭載することで、SW実行と比較し、586倍の処理電力効率を達成した。FPGAにおけるC2RTL設計とHDL設計のLinux対応RISC-V SoCの回路品質の比較では、1.06倍のクロック周波数向上と0.69倍の回路サイズ削減（LUT換算）を確認し、C2RTL設計の有用性を実証した。センサデバイスSoCでは、RISC-Vによるセンサ機能の実証、無線電源化・エナジーハーベスティング動</p>			

作の実証を実施し、最小10nA以下で動作可能な光給電システム、光給電動作対応 CMOS 温度センサ、C2RTL 設計 RV32I コアによる IoT 用回路、パッケージングを完成した。高セキュリティ RISC-V アーキテクチャの開発では、投機実行機能搭載プロセッサ起因する Spectre 攻撃ガジェットバイナリから効率的に発見する手法を開発した。

実施項目 2：IoT 向け低消費電力 RISC-V SoC の研究開発

現行の GNSS 測位演算の中で、特に演算処理が重い数学的なアルゴリズムを抽出し、C2RTL 高位設計検証ツールを用いてセンシング用のアクセラレータとして構成した。FinFET プロセスでのゲートレベルシミュレーションを実施し、量産中の IC の 10 倍以上の処理電力効率を達成した。具体的には、現行の量産 IC に対して CPU のサイクル数を用いて比較し 11 分の 1 以下の高速化を達成。12nm CMOS チップ設計において、試作用に実施した物理レイアウトから実配線長に基づく寄生容量を抽出し正確な電力シミュレーションを実施。高速化に伴う電力増加を最適な回路構成で抑制し、量産中の IC に対して、31 倍の電力効率を達成した。

実施項目 3：RISC-V のアーキテクチャ拡張プロファイルと標準化の研究開発

サブシステムレベルでの仕様の最適解を検討し、各要素の実装仕様の策定・実装を行い、サブシステムレベルでの評価を実施完了した。サブシステムレベルでの実装や評価を行うための設計・検証環境としての標準化も実施した。初期評価レポートをまとめ、そこから仕様・実装・環境にフィードバックを行い、洗練したサブシステム実装を完了し、性能評価を行った。具体的な事業ターゲットである車載向けサブシステム IP を構築し、社内で事業展開が開始できる状態まで完成した。

実施項目 4：RISC-V ソフトウェア開発環境とハードウェア検証環境の研究開発

プロセッサ自動検証環境については、RV32/RV64 を網羅する検証環境が用意でき、当初目的の検証範囲については実現ができた。また RISC-V MMU 対応ベアメタル開発プラットフォームについては、ノーコード開発による MMU 対応の実現など、開発効率の向上について目的を達成できた。また、その成果の一部を利用し、KMC 社の開発プラットフォーム製品に RISC-V 対応を追加し、2025/2 にリリースした。

実施項目 5：RISC-V 統合開発環境の研究開発

IDE に関しては、Windows 対応のみだった為、Linux にも対応するよう改善し、最終目標を達成した。また、外部認証機関によるアセスメント取得の為のエビデンス、プロセスフローを作成し、現在外部認証機関によるアセスメント取得の為の準備（やらなければならないことのリスト化、開発プロセスや設計エビデンス例作成等）が完了しており、最終目標を達成する見込み。また、ハイパーバイザに関し、RISC-V MMU に対応し、ARM 用ハイパーバイザと同等の性能を達成した。C2RTL 設計環境と Verilog 設計環境に関しては、両環境での設計効率を比較し、C2RTL 設計環境の優位性を確認できた。（設計期間、ソースコード量共に半分程度となる）また、Design Methodology に関して、C2RTL 設計環境を効率的に使用・運用する為のフローを構築した。

実施項目 6：RISC-V SoC HW セキュリティ機能の研究開発を担当

耐量子計算暗号処理について、SW 実行のみと比較して実行速度 5.5 倍、消費電力は CPU との比較では 200 倍以上 (CPU:20W/本研究 100mW)、過去の ASIC 実装例と比較しても実行速度 4.4 倍、消費エネルギー 8.5 倍の処理速度・電力性能を達成した。RISC-V SoC に実装することにより I/O ボトルネックによる実行遅延時間の解消の実現、デモソフトの開発を通じたアプリケーション開発の実施、およびシミュレータ・ハードウェアエミュレータを用いた RISC-V SoC ハードウェアとその上で動作するソフトウェア協調検証（シミュレーション・エミュレーション）環境の構築とそれを用いた検証を実施した。

●実用化・事業化への道筋と課題

本事業の成果を受けて、東京科学大学では、「RISC-V Design Center (RVDC)」を集積 Green-niX+研究ユニットに設置し、急速な普及が見込まれる RISC-V 関連製品の国内産業のハードウェア・ソフトウェア開発力を強化し、さらに、国内の HW/SW ベンダーを中心とした RISC-V システム設計のサプライチェーンと開発サポート体制を構築する。セイコーエプソンでは、国内トップシェアの GPS ソーラーウォッチの次期商品向けの低消費電力化の要素開発への活用、スポーツ領域・物流領域・環境領域向け IoT 機器の試作を通じた開発戦略への活用を進める。デンソーでは、車載向けセキュリティサブシステムおよび AI サブシステムの製品開発を進める。京都マイクロコンピュータでは、RISC-V MMU 対応ベアメタルランタイムを組み込み、RISC-V 対応版ソフトウェア開発プラットフォーム製品としてリリースしている。OTSL では、C2RTL 設計環境を使った高位設計・検証ソリューションをプロモーションし、複数社とエコシステムを構築し、C2RTL 設計環境と低容量 FPGA を組み合わせた開発ソリューションの構築を進めている。東京大学では、前記 RISC-V Design Center へ協力し、暗号ハードウェアの RISC-V SoC への組み込み事例およびその設計検証フローの産業界への共有・提供を進める。

●期間・予算 (単位:百万円)	2023FY	2024FY			
	462	590			

●特許出願及び論文発表					
特許出願	論文発表	発表・講演	雑誌掲載	その他	
1 件	4 件	6 件	0 件	7 件	

4.5. 研究開発項目②：テーマ名「映像データリアルタイム処理用 AI デバイス高位合成ツールの研究開発」

●目標及び達成状況の詳細

テーマ名	映像データリアルタイム処理用 AI デバイス高位合成ツールの研究開発	達成状況	○
実施者名	シャープ株式会社（常翔学園 大阪工業大学）		
達成状況の根拠	AI 映像処理モデルのネットワーク構造における各層の演算内容にあわせた専用回路が生成できる機能を開発した。またプロセッサと AI 演算器を組合せて多様な AI モデルが処理可能な AI アクセラレータ回路も生成できる機能も併せて開発した。開発した高位合成ツールを使って AI 超解像アルゴリズムの Python コードから RTL コードを生成するまでにかかった時間は 1 日以内であり、専用回路において、既存システムによる AI 超解像処理と比べて電力効率が 47 倍となることを FPGA システム上で確認した。		
<p>●背景・目的・プロジェクトアウトカム目標との関係</p> <p>様々なものがインターネットに接続される IoT 社会の到来により、あらゆるシーンで高精細映像が大量かつ低遅延に伝送され、クラウドや端末などあらゆる機器で高精細映像を利活用する動きがますます高まっている。しかし、高精細映像をそのままクラウドに集約する形では、ネットワークの過負荷と高コストの課題があり、高度な情報解析手法である AI アプリケーションの用途を広げる障害となっている。その解決策として、高精細映像を入出力するエッジ端末において、映像データを効率よく分散加工して伝送し、データ活用に必要な情報のみをネットワーク処理するエッジコンピューティングの手法が考えられる。高度なエッジコンピューティングで期待される実装例として遠隔操作、自動運転、XR デバイスなどがあり、操作性、実用性、臨場感などの観点から高精細映像の取り扱いと同時に即時応答性が求められる。しかし現在ある AI 処理デバイスのアーキテクチャは AI 処理のネットワーク構造に応じてフレーム単位で遅延量が増大し、リアルタイム処理の実現が困難である。さらにフレームメモリへのアクセスで発生する消費電力を考慮するとエッジ端末での活用は限定的になってしまう。くわえて既存の AI 向け高位合成ツールでは、特定の FPGA の構造を前提とするか、またはフレームメモリの存在を前提としている。これらを鑑みて本研究では、映像データリアルタイム処理用 AI デバイスとして「フレームメモリレスであること」、「映像処理や 2 次元データ処理に適した回路構成による処理量最適化」、「並列化 に対応したロスのないバッファ構成」の特徴を持つ回路を自動生成し、アルゴリズム毎に必要な検証期間・検証方法を短縮・改善する高位合成ツールの開発に取り組む。</p> <p>●アウトプット目標</p> <p>【最終目標（2024 年度末）】</p> <p>エッジ端末上で AI 映像アプリケーションを実現するために、「リアルタイム処理」と「組み込み可能な消費電力」を両立するエッジ向け AI 画像処理デバイスが必要であり、従来のデバイス開発手法では専門技術者による回路設計と開発期間が必要であり、日々革新される AI 技術に追随するためには、設計期間の大幅な短期化を実現する開発技術が求められている。そこで本テーマでは AI 開発における主流プログラミング言語である Python コードを読み込ませることで、デバイス開発に必要な RTL コードを 1 日程度の短期間で自動的に生成し、AI 超解像の生成回路においては電力効率が、事業開始時点における同等技術と比較して 10 倍以上となることを目標とする。</p> <p>また大学や研究機関、企業での利用を促進し、医療や製造、インフラ保全などさまざまな分野でのエッジ AI 映像処理の普及拡大に貢献するため、開発した高位合成ツールは OSS 公開することにも取り組む。</p>			

●実施体制

【～2023 年度】



【2024 年度】



●成果とその意義

3年間の研究開発により、以下の機能と特徴をもつ高位合成ツールを開発した。

(1) 高位合成ツールの機能

ツールに入力するファイルに関して、AI 開発において利用頻度の高い PyTorch や ONNX のフレームワークで開発された Python コードに対応することで、多様な AI 映像処理アルゴリズムから RTL コード生成を可能とした。複数の演算処理を1つの処理に統合するレイヤ統合機能も搭載し、演算処理の効率化や高速化を実現した。また、ハードウェア開発の効率化のため、代表的なプログラミング言語の一つである C 言語で、RTL コードの機能検証が行える C モデル生成機能も搭載した。さらに、専用デバイスで AI 処理を行う際に必要となる学習済みパラメータを得るための、量子化対応した AI モデルも Python コードで生成する。

(2) RTL コードの特長

本高位合成ツールが生成する RTL コードには、本事業で開発した回路技術を多数組み込むことで、AI 映像処理回路の消費電力削減が実現される。

1 点目は、映像データがライン単位で順番に伝送されることを活かし、従来方式では必要だったフレームメモリを使用せず、ラインメモリで効率的に処理を行うフレームメモリレス構造を開発した。この開発により、消費電力を削減し、データ入出力に必要な時間を短縮する。

2 点目は、当ツール用に、畳み込み演算などの代表的な AI 演算に特化した 4 次元での処理に対応する演算器構成を開発した。これにより、映像データの特性である 2 次元配列に最適な情報処理が可能となり、演算性能が飛躍的に向上。複雑な計算を効率よく高速で実行できるため、リアルタイムでの処理が可能となる。

3 点目は、隣接するラインメモリの間に境界バッファを配置する回路を開発した。並列処理時に発生する重複処理が効果的に削減され、処理効率が向上することで、全体のパフォーマンスを改善する。

4 点目は、演算を簡略化し、エッジ端末内の計算リソースを抑えるために搭載した量子化変換において、小数点位置の変化に対応した固定小数点演算回路を開発した。浮動小数点演算に近い精度でのデータ処理が可能となるため、高度な AI 映像処理にも対応できる。

上記の機能と回路技術により、様々な AI 映像処理アプリケーションに対して、高精度かつ高速な演算を低消費電力で実現する回路が短期間で生成できる高位合成ツールを開発した。AI 映像処理アプリケーションへの適用例として、4K 映像から 8K 映像への超解像処理を行う専用回路 RTL コードを生成し、FPGA に実装したところ、1ワット (W) あたりの情報処理速度が、GPU 搭載 PC では 0.0079TOPS/W であったのに対し、0.374TOPS/W の結果が得られ、電力効率が 47 倍に向上することを確認した。RTL 生成期間も、専門技術者での開発では 6 週間かかるのに対し、本ツールでは約 5 分で完了した。また、このツールは 2025 年 5 月に OSS 公開する。

本研究の成果によって、エッジ端末における映像データを対象とした AI 処理を効率的に実行可能なシステムの開発において、開発プロセスの効率化と期間短縮化が図れることから、画像認識や映像内の物体検出、あるいは超解像など AI 映像処理を利用した端末やアプリケーション開発での利用が期待され、エッジコンピューティングにおける AI 処理の普及拡大に貢献し、これら AI 映像処理システムに必要となる画像センサや出力デバイスなどの成長にも結びつける。

●実用化・事業化への道筋と課題

事業開始時は、新規映像圧縮技術と AI 映像処理技術を連携させて、データ伝送帯域を抑えながら受信端末側の AI 超解像処理で高精細映像を表示させるソリューションを「高度地上デジタル放送」や「遠隔医療」の用途で実用化することを想定したが、現時点で放送インフラや通信インフラの整備コストなど多くの課題がのこされ、実用化にはまだ時間がかかる。この状況下で、当社は社会実装範囲

を広げるための新たな取り組みとして、自社エッジ AI 製品への展開にくわえて、OSS 公開する高位合成ツールとエッジ AI デバイス開発環境とをあわせたエッジ AI 開発キットの展開を計画する。課題としては、多数あふれる AI 技術に埋もれず、如何にユーザーに使ってもらえるか考える。そのため高位合成ツールを核としたエッジ AI 開発キットについて、サンプルモデルや具体的な用途などユーザーに響く情報を技術ブログで公開する。大阪工業大学から学会発表することで、学術的用途へ活用できることもアピールする。ユーザーが増えることで、医療や製造、インフラ保全などさまざまな分野でのエッジ AI 映像処理の実用化が見込まれると考える。

●期間・予算 (単位:百万円)	2023FY	2024FY			
	91	101			
●特許出願及び論文発表					
特許出願	論文発表	発表・講演	雑誌掲載	その他	
1 件	0 件	2 件	0 件	0 件	

4.6. 研究開発項目②：テーマ名「CMOS／スピントロニクス融合技術によるAI処理半導体の設計効率化と実証、及び、その応用技術に関する研究開発」

●目標及び達成状況の詳細

テーマ名	CMOS/スピントロニクス融合技術によるAI処理半導体の設計効率化と実証、及び、その応用技術に関する研究開発	達成状況	◎
実施者名	国立大学法人東北大学 日本電気株式会社 株式会社アイシン		
達成状況の根拠	シミュレーションの結果、東北大学がAI処理の電力効率において約14倍の電力効率向上を実現した。さらに、NECがAI処理において、稼働時間を平均4.8倍削減と東北大成果との相乗効果による平均42.9倍の電力効率向上効果を確認した。加えて、アイシンは研究成果をシステムで実証すべく実証チップ・実証システムを開発、システムでの実証にてCMOS/スピントロニクス融合技術を活用したAI処理（初回）のエネルギー消費効率は17倍以上、OS起動時間は1/38以下の効果を確認した。これらの成果により、本事業の最終目標である「大容量MRAMを搭載したエッジ領域向けCMOS／スピントロニクス融合AI半導体」による従来比10倍以上の効果を確認した。		
<p>●背景・目的・プロジェクトアウトカム目標との関係</p> <p>□背景・目的</p> <p>高度なエッジコンピューティングを実現するには、革新的に電力効率の高いAI処理技術が望まれている。この実現に向けて、CMOS技術と親和性が高く、不揮発性で面積効率の高いスピントロニクス技術を融合し、その特徴を最大限に活かすエッジAI処理技術を開発する事で、電力効率10倍の向上を実現する。その産業への応用を加速するには、CMOS/スピントロニクス融合技術によるAI処理半導体の設計効率化と、その半導体を有効に利用できる応用技術の研究開発が重要である。これらを実現するために、次の実施項目を行う。</p> <ul style="list-style-type: none"> ・実施項目1 CMOS/スピントロニクス融合技術AI処理LSIの効率的設計技術の研究開発（国立大学法人東北大学） <p>この実施項目では、CMOS/スピントロニクス融合技術によるAI処理LSIの効率的な設計技術の研究開発を行う。</p> <ul style="list-style-type: none"> ・実施項目2 CMOS/スピントロニクス融合AIチップに向けた設計技術の検証実証の研究開発（株式会社アイシン） <p>実施項目1の設計効率化技術の検証実証を行い、加えて、スピントロニクス素子に適した電源遮断や電源供給の実現のための設計技術に関する研究開発も行う。</p> <ul style="list-style-type: none"> ・実施項目3 CMOS/スピントロニクス融合AIチップのエッジサーベイランスへの応用技術の研究開発（日本電気株式会社） ・実施項目4 車載への応用技術の研究開発（株式会社アイシン） <p>上記の2つの実施項目では、CMOS/スピントロニクス融合技術によるAI処理LSIの効率的な産業応用技術に関する研究開発を行う。</p> <p>このように本研究開発では、設計の効率化から、その社会実装を前提とした応用技術の研究開発までを行うものである。</p> <p>□経済波及効果</p> <p>サーベイランスをはじめとするAI技術を用いた映像監視関連市場は、プロジェクト終了時点の2024年の1兆2350億円から2029年の3兆1260億円と年平均約20%増で拡大する。</p> <p>車載市場ではアイシンは運転支援システムの内、自社製品である周辺監視システムでの実用化を目指す。運転支援システムは年平均10%増と予測されており、2030年時点の国内市場規模は290億円と予測されている。なお外付けメモリ不要、圧倒的な低消費エネルギー、高速起動の特徴を有した本技術は、当初の運転支援システムでの実用化企画以外にスマートキーシステムやそれ以外にも多くの製品への応用が可能として出てきており、実用化に向けてさらなる活動を進める。自動車のスマートキー市場は2024年時点で約1.2兆円の市場規模を有し、年約10%の成長が見込まれている。</p> <p>本事業参画事業者以外を含めた我が国を代表する世界で高いシェアを有している企業群の売上予測まで含めた2029年の関連売上は、合計約15,552億円と予想され、アウトカム目標である4000億円を上回ることが予想される。</p> <p>□カーボンニュートラルへの貢献</p>			

国内データセンタの電力消費量は、2030年には2018年の約6.4倍の900億kWhに増大すると推計されている。電力需要低減に最も効果が大きい機器はCPU、GPUであり、2030年に現在の3～10倍程度の消費電力性能(Gflops/W)の達成を目標とすべきであるとJSTは報告している。すなわち、2030年に1/10程度への消費電力低減が目標となる。本提案の成果であるCMOS/スピントロニクス融合技術によるAIエッジコンピューティングの低消費電力化により様々なIT機器の普及が促進され、10倍の効率が図られるとすると、CO2削減量はクリアできる。

<https://www.jst.go.jp/lcs/pdf/fy2020-pp-03-gaiyou.pdf>

●アウトプット目標

高度なエッジコンピューティングを実現する、CMOS/スピントロニクス融合技術の社会実装を加速させる、AI処理半導体の設計効率化と、その半導体を有効に利用できる応用技術の研究開発を目指す。応用技術としては、サーベイランス及びビークルインフォテイメントシステム技術を取りあげ、いずれの技術においても電力効率10倍の向上を実現する。

【最終目標（2024年度末）】

各々の実施項目の最終目標は以下のとおりである。

実施項目1【CMOS/スピントロニクス融合技術AI処理LSIの効率的設計技術の研究開発】（担当：東北大学）
最終目標：10倍の電力効率向上

実施項目2：CMOS/スピントロニクス融合AIチップに向けた設計技術の検証実証の研究開発
最終目標：エネルギー消費効率が同等（従来）技術と比較し10倍以上

実施項目3 CMOS/スピントロニクス融合AIチップのエッジサーベイランスへの応用技術の研究開発
最終目標：エッジサーベイランスへの応用の評価シナリオにおいて、高効率実行技術とCMOS/スピントロニクス融合技術の相乗効果で10倍以上の電力効率向上

実施項目4 車載への応用技術の研究開発
最終目標：OS起動時間が同等（従来）技術と比較し1/10以下

●実施体制

代表事業者の国立大学法人東北大学が高い中立性とNEDO先導調査研究事業等で創出してきたCMOS/スピントロニクス融合技術を活かして、共同提案者の日本電気株式会社、株式会社アイシン、協力企業3社（東京エレクトロン株式会社、キーサイト・テクノロジー・インターナショナル合同会社、株式会社アドバンテスト）からなる実施体制を構築する。具体的には、東北大学は協力企業3社からのバックキャストिंगを得ながら実施項目1を推進し、株式会社アイシンは実施項目1を実証するため実施項目2を担当する。加えて、実施項目1及び実施項目2の応用技術として、日本電気株式会社（以後、NEC）が実施項目3、株式会社アイシンが実施項目4を推進する。以上、設計効率化から実証、応用技術まで相互補完的な実施体制を構築し、本事業を推進する。

●成果とその意義

全体概要

シミュレーションの結果、東北大学がAI処理の電力効率において約14倍の電力効率向上を実現し、NECがAI処理において、稼働時間の平均4.8倍削減と、東北大成果との相乗効果による平均42.9倍の電力効率向上効果を確認した。

アイシンは研究成果をシステムで実証すべく実証チップ・実証システムを開発、実証システム上で実証を行った。システムでの実証にてCMOS/スピントロニクス融合技術を活用したAI処理（初回）のエネルギー消費効率は17倍以上、OS起動時間は1/38以下の効果を確認した。

これらの成果により、本事業の最終目標である「大容量MRAMを搭載したエッジ領域向けCMOS/スピントロニクス融合AI半導体」による従来比10倍以上の電力効率をシステム動作シミュレーションで確認した。

これら研究開発の将来性が評価され、令和6年10月開催のCEATECにてCEATEC AWARD 2024のネクストジェネレーション部門賞を受賞した。

実施項目1【CMOS/スピントロニクス融合技術AI処理LSIの効率的設計技術の研究開発】

・実施内容

この実施項目では、CMOS/スピントロニクス融合技術によるAI処理LSIの効率的な設計技術の研究開発を行った。高い面積効率と不揮発性を有するCMOS/スピントロニクス融合技術によるAI処理LSIの設計効率化技術の研究開発した。本実施項目では、以下の2つの研究開発を実施する。

実施項目 1-1. CMOS/スピントロニクス融合技術に適した C 言語での動作レベルハードウェアモデル設計技術の研究開発

実施項目 1-2. CMOS/スピントロニクス融合技術回路 IP 利用・整備の研究開発

・成果

上記実施項目を推進した結果、設計過程のシミュレーションによって、約 10 倍の電力効率効果を確認（実証チップ設計時）し、さらに、実証チップ設計後の更なる開発によって、14 倍の電力効率効果を加速開発環境のシミュレーションで確認している。また、設計手法においても、今回の設計環境で、設計ソースコード行数の削減、シミュレーション速度の高速化を実現している。

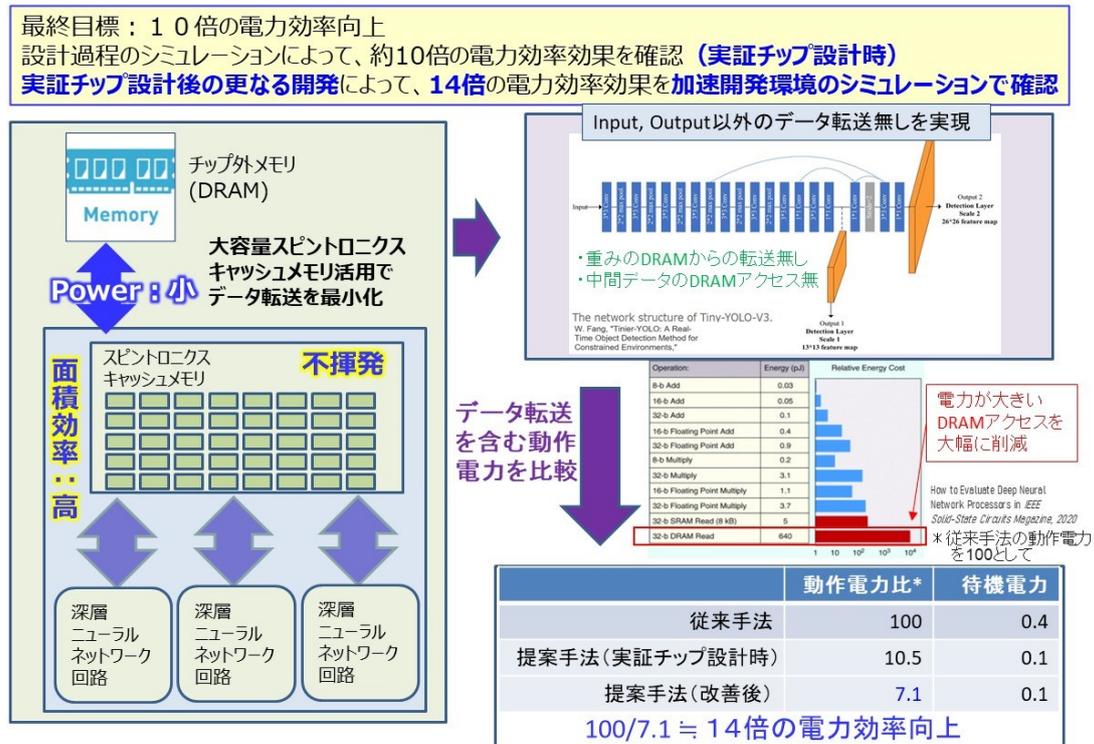


図1 実証チップの電力効率効果

・優位性と意義

従来の設計手法であるRTLでの設計と比較して、今回の設計環境で、次のような効率化が実現された

- ・設計ソースコード行数⇒約 42 分の 1 に削減
- ・シミュレーション速度⇒約 57 倍～250 倍の高速化

これらの効率化を実現し、設計結果の品質も問題無い事を確認している。

実施項目 2 : CMOS/スピントロニクス融合 AI チップに向けた設計技術の検証実証の研究開発

・実施内容

本実施項目においては、前述した実施項目 1 の設計効率化の検証および実証を行うために、CMOS/スピントロニクス融合 AI チップに向けた設計技術の実証に関する研究開発を行った。加えて、高い面積効率と不揮発性を有する CMOS/スピントロニクス融合技術を活用した実証チップの研究開発を行い、効果実証を行う。本実施項目では、以下の 2 つの研究開発を実施する。

実施項目 2-1. CMOS/スピントロニクス融合 AI チップに向けた設計技術の検証に関する研究開発

実施項目 2-2. CMOS/スピントロニクス融合 AI チップの実証設計に関する研究開発

・成果

外付け Boot メモリとワークメモリの両機能を有した、CMOS/スピントロニクス融合技術のメモリを大容量内蔵したニア・メモリ・コンピューティング構造のチップを開発。この技術開発により外付け Boot メモリとワークメモリを削減可能にし、外付けメモリとのアクセスをなくすことでエネルギー消費効率の大幅に向上する実証用チップを開発。この技術の実現により暗電流などで課題となっていたワークメモリのリフレッシュ電力も不要とすることで暗電流をゼロにし、MRAM を適用した AI 処理において最初の AI 処理のエネルギー消費効率が従来比で 17 倍以上の効果を確認、最終目標であるエネルギー消費効率が同等（従来）技術と比較し 10 倍以上を実現した。

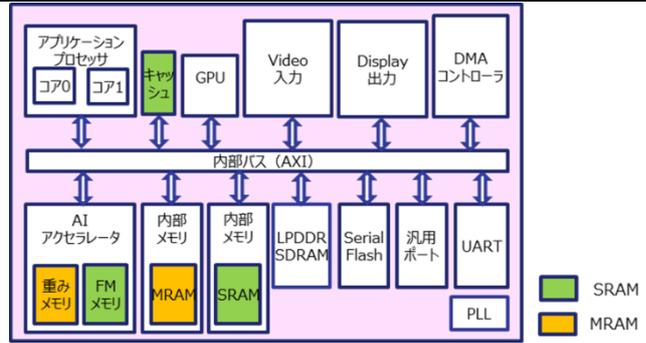


図2 開発した実証チップのブロック図

・優位性と意義

エネルギー増加は様々な分野で問題を抱えており、車載領域においては自動運転や電動化により自動車の消費エネルギーは増加しており、消費エネルギーを低減する技術は切望されている。本研究において外付け Boot メモリ・ワークメモリの削減、消費エネルギーの大幅低減を実現する技術を開発、またシステムレベルでその効果を実証できたことは、今後本技術を活用した AI エッジシステム製品の開発において、他にはない低消費エネルギーの特徴を有した製品をいち早く実用化できる可能性を有していることから優位性が高く、システムで実証できたことから本研究の意義は高い。

実施項目3 CMOS/スピントロニクス融合 AI チップのエッジサーベイランスへの応用技術の研究開発

・実施内容

本実施項目では、CMOS/スピントロニクス融合 AI チップをエッジサーベイランスに適用することを想定した応用技術として、エッジサーベイランスで利用される映像認識 AI の一連の処理に対して、その推論処理を高効率に実行する技術、及び、その適用を容易化する技術の研究開発を行った。

実施項目 3-1. シングルタスク・シングルノードにおける映像認識 AI の高効率実行技術とその適用容易化技術の研究開発

実施項目 3-2. 映像認識 AI の高効率実行技術とその適用容易化技術のマルチタスクまたはマルチノードへの拡張の研究開発

・成果

上記実施項目においては、高効率実行技術について、エッジサーベイランスを想定した評価シナリオにおけるチップ稼働率削減効果を CMOS デバイスを用いて実測（一次評価）した。そして、得られた稼働率削減効果と、東北大から提供された CMOS/スピントロニクス融合 AI チップの電力諸元情報（シミュレーション）を合わせ、電力量削減効果を算出（二次評価）した。上記実施項目を推進した結果として、エッジサーベイランスを想定した評価シナリオにおいて、平均 4.8 倍のチップ稼働率削減効果と、平均 42.9 倍（最大 58.6 倍）の電力効率向上を確認した。

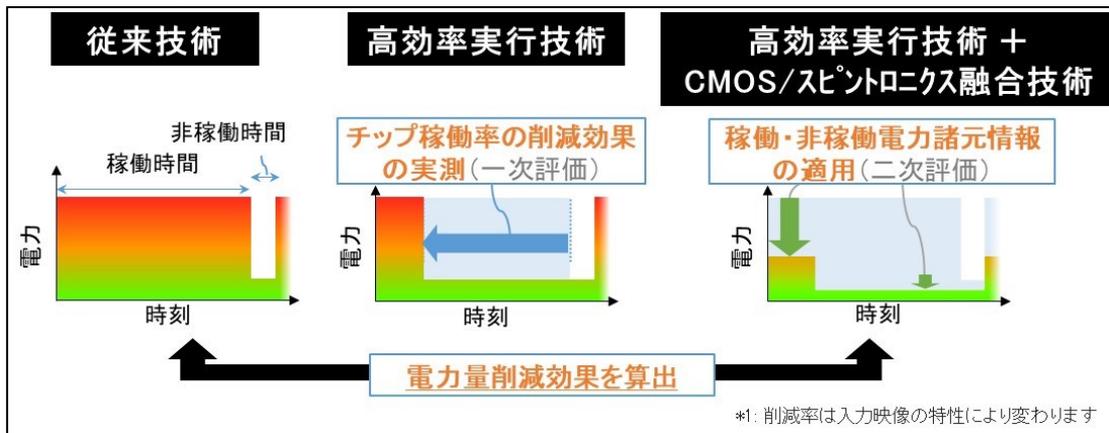


図3 CMOS/スピントロニクス融合 AI チップの電力量削減効果

・優位性と意義

提案する高効率実行技術は、稼働時間を短くし、非稼働時間を延ばすという特性のため、定期的に映像が入力されるようなアプリケーションにおいて特に、CMOS/スピントロニクス融合技術に基づくチップとの相性が良い。また、ニューラル NW モデルの構造や適用タスクの種類によらず高効率化する汎用的な手法

であり、学会発表の実績もあり新規性のある技術として認められている。高効率実行技術を実現することで、映像解析処理自体のエネルギー削減はもとより、例えば、施設内サーベイランスをカメラそば（エッジ）で物体検知・追跡まで完結させることによる、クラウドやオンプレサーバーへの通信トラフィック削減やエネルギー削減ができ、社会のグリーン化に貢献するなど意義深い。

実施項目 4 車載への応用技術の研究開発

・実施内容

本実施項目においては、CMOS/スピントロニクス融合技術の車載への応用技術の研究開発を行う。車載システムの課題でもある起動時間短縮に関する研究、システムでの実証に必要な実証システム及びソフトウェア（OS 含む）の研究開発を実施する。本実施項目では、以下の 3 つの研究開発を実施する。

実施項目 4-1 車載システム応用へ向けた適用範囲および効率的な仕様に関する研究開発

実施項目 4-2 CMOS/スピントロニクス融合 AI チップの車載適用に向けた検証に関する研究開発

実施項目 4-3 車載システム応用に向けたシステム及びソフトウェアの研究開発

・成果

実施項目 2 において実証チップに大容量の MRAM が搭載可能、また本実施項目においてコンパクトな OS を開発したことにより、実証チップの内部メモリに OS+アプリを格納することが実現でき、起動時の処理を大幅に削減することが可能となった。またワークメモリ（DRAM）を不要とする技術により DRAM 初期化の処理を不要とすることが実現、加えてニア・メモリ・コンピューティング技術により、OS 起動時間の処理を大幅な削減が実現できた。今回システムでの実証を行うため実証システムを合わせて開発、実証システムにて OS 起動時間の効果実証を行い、従来比で 1/38 以下の OS 起動時間短縮効果を確認、最終目標である OS 起動時間が同等（従来）技術と比較し 1/10 以下を実現した。

・優位性と意義

車載システムはエンジンを OFF/ON するたびに起動が必要となるため、起動時間の長さが課題となっている。今回今まではない高速起動の技術を開発したことは車載システムとしては非常にインパクトが大きく優位性は高い。また今回の研究においてシステムと合わせて、実用化では必要になるであろう OS を、チップに内蔵可能なコンパクト OS として同時に開発できたことは、本技術を搭載した製品の実用化において意義は高い。

●実用化・事業化への道筋と課題

□東北大学

我が国の多くの企業が自身の独創的アイデアを活用し、AI インフラビジネスに関する新事業の創出支援を通じ、開発される革新的技術を拡散させ、世界のデファクトスタンダード化を目指す。そのため、第 1 ステップとして、今回の成果を共同提案企業により本開発技術による製品を世界に先駆けて社会実装（エッジサーベイランス及びビークルインフォテイメントシステム市場）を狙う。さらに、開発する使い勝手のいい設計支援ツール（回路 IP・設計ツール・PDK 等）を METI 「地域の中核大学の産学融合拠点の整備」で整備されるスピントロニクスロジック設計室（仮）に整備し、企業の開発環境を整備し、第 2 ステップとして、高度な IT スキルを持たない国内中小企業・ベンチャー企業に設計支援ツール提供することにより、自動車・交通、ヘルスケア、シティ、インダストリ、ホーム市場へのユーザーの拡大を目指す。

・課題と対処法

今回の事業のサーベイランスやモビリティ分野に止まらず、多くの事業分野へのユーザー拡大が重要であり、そのため、参加企業群と一体となって AI チップから出口までを包含するエコシステムを構築することが課題である。

中立的機関である東北大学がコア IP を管理する等キーストーンとなりトータルエコシステムを構築し、エコシステムへ参画する、ヘルスケア分野、インダストリ分野、ホーム分野などの事業分野にもライセンスして、ユーザーの拡大を狙う。さらに、設計サーバー・設計ツールを設置し、スピントロニクス省電力半導体等のオープンな設計環境・ソフト開発環境とそれを運用する人員体制の整備し、モバイル機器や自動運転から AI データセンタ等に必須のプロセッサ、メモリ等やその設計技術、材料・製造技術・評価技術、それを活用したシステム技術について一貫した研究開発と設計サービス・試作サービスを企業に提供する事業を展開する。

□NEC

NEC の提案する高効率実行技術（漸進的物体検知技術）は、CMOS スピントロニクス融合チップとの相性が非常に良いという特性がある。また、特定のニューラルネットワークの構造や認識タスクによらない汎用的な手法でもあり、その意味でも優位性の高い技術である。

AI チップの高い電力効率特性と、その特性を生かす使いこなしの技術の相乗効果により、映像解析シ

システムとして、他社との大きな差異化が可能になるため、NEC の注力領域である、エッジにおける映像解析を用いた見守りシステムへの適用、及び、見守りシステムを構築するためのプラットフォームへ適用する計画である。具体的には、家庭での見守りサービス、鉄道、空港、店舗、工場、ビルなどにおける見守りシステムへの適用を想定している。

● 目標時期

本プロジェクト期間終了後に、高性能な CMOS/スピントロニクス融合 AI チップが搭載されたボード（モジュール）及びソフトウェア開発環境（SDK）が市販化されることを想定し、サンプルチップ出荷の 1 年前までに仕様提供を受けて製品検討を開始し、サンプルチップを入手次第、試作品を開発し、量産チップ出荷の半年以内をめどに製品化を行うことを目指す。

● 課題と対処法

事業活用には COTS (commercial off-the-shelf) チップとしての調達が必要であり、チップのサプライチェーンが課題である。当該チップ搭載ボード及びソフトウェア開発環境（SDK）が市販化された時には、サンプル入手をいち早く行い、実用化・事業に適用する計画である。

□ アイシン

実用化・事業化に向けては CEATEC にて NEDO ブースへ出展してのアピールや自社の新製品展示会などの取り組みを実施した。新製品展示会では日本のカーOEM を招いた展示会を実施しており、本展示会において開発技術をアピール、多くのカーOEM から本技術の実現、製品化への高い期待の声をもらうことができた。この声を受け今後は研究開発成果をカーOEM/半導体メーカー/ファウンドリメーカーへ提案、開発技術の採用とともに、本技術を搭載した製品の实用化・事業化を目指す。

● 目標時期

現在チップについては半導体メーカーの ASSP チップを想定しており、カーOEM や半導体メーカーに提案し、半導体メーカーの本技術採用を目指す。しかし本技術の期待も高く、一早く本技術搭載製品の实用化が重要と考えることから、ASSP チップ以外の専用チップの実現可能性も含め活動を加速し、事業終了後 4 年目までの実用化・事業化を目指す。

● 課題と対処法

実用化・事業化に向けた課題は量産チップの実現・調達であるため、カーOEM のニーズを抽出し、カーOEM と連携して半導体メーカー及びファウンドリメーカーにアプローチすることで量産チップ実現を推進していく。自動車で消費されるエネルギーは年々増加しており、バッテリーへの負荷は大きな課題となっている。従って車載システムのエネルギー低減は重要な取り組み事項であり、消費エネルギー低減を実現可能にする本技術へのカーOEM の期待は高い。

● 期間・予算 (単位:百万円)	2023FY	2024FY			
	714	592			

● 特許出願及び論文発表

特許出願	論文発表	発表・講演	雑誌掲載	その他
8 件	6 件	19 件	29 件	7 件

4.7. 研究開発項目②：テーマ名「万能高位合成と新型汎用データフロー計算機構」

●目標及び達成状況の詳細

テーマ名	省エネ AI 半導体及びシステムに関する技術開発事業/AI エッジコンピューティングの産業応用加速のための設計技術開発/ 万能高位合成と新型汎用データフロー計算機構	達成状況	○
実施者名	日本電気株式会社 (NEC プラットフォームズ株式会社、学校法人南山学園南山大学) 国立大学法人東京大学 (国立大学法人東京農工大学) キヤノン株式会社		
達成状況の根拠	○：達成 万能高位合成、システム合成、高位合成ライブラリ、多並列 SRAM 搭載 FPGA デモ試作ボードを計画通り開発し、実証実験として自己位置推定アルゴリズムやグラフニューラルネットワークなど実装し、目標の成果を得たことから達成と判断		
<p>●背景・目的・プロジェクトアウトカム目標との関係</p> <p>AI 処理には多大な計算量が必要とされる。先端 CPU のマルチコアや GPU、AI 専用チップや FPGA による高速化が各種研究され、実用・製品化されている。現在の AI 学習や推論が、CNN 等をベースにしたものが多く、これらは行列演算を積和演算器のベクトル計算するため、GPU や、シストリックアレイタイプの AI チップが適している。FPGA も多数の積和演算器(DSP ブロック)を持っており、自由に配線できる利点があるが、周波数が GPU や AI チップに比べ低いという欠点があり、FPGA も AI 向けモジュールを持つ方向になっている。しかしながら、近年グラフニューラルネットワークのようなグラフ構造を利用したニューラルネット等様々なものが開発されてきており、積和演算のベクトル処理では処理できないものもでてきている。また、AI 推論処理では、AI 推論エンジンだけでなく、入力データの前処理や後処理の処理時間が問題になることが多い。FPGA は様々な処理を回路化することにより高速化できるので、この問題に対応できるが、FPGA は通常 RTL と呼ばれる専用の設計言語を使う必要があり、アルゴリズムを生み出す人にとってはハードルが高い。FPGA 設計に高位合成ツールを使う手法も広がりつつあるが、現状の高位合成ツールは制限が多く、アルゴリズム開発者が使うには課題がある。従来からの高位合成ツールの課題を解決して、GPU や従来のハードウェアアクセラレータが対象としてきた単純なベクトル演算以外の部分もすべてアルゴリズム設計者開発者が高位合成により自動的に回路化して高速化可能にすることが本研究の主目的である。複雑な制御構造を含んだプログラム、積和演算以外の演算を多用するプログラム、動的データ領域（ヒープ）やスタック領域を含んだプログラム等、GPU が加速対象としていない部分をすべて自動で回路化し、加速するのを目標とする。あらゆるプログラムを高位合成できるという意味を込めて、万能高位合成と命名した。</p> <p>自動車の自動運転や、工場の自動化で使われる産業機械などは、リアルタイム性が求められる上に、セキュリティの課題もあり、エッジ側での処理が求められるが、AI の高度化により処理が複雑化しており、エッジ側に求められる計算機能力は飛躍的に高くなっている。FPGA を搭載した汎用コンピュータと万能高位合成により、これらの領域で使われる複雑なアルゴリズムを高性能、かつ、低消費電力に実現することを確認する。従来技術の CPU や GPU では実現できないことを実現できることにより、付加価値の高い装置を開発できることを確認する。</p> <p>●アウトプット目標</p> <p>【最終目標（2024 年度末）】</p> <p>万能高位合成ツールは、動的なリンクリストや再帰関数の実現に加え、一般的な動的なポインタも合成可能な手法を開発し、完成させる。これらはインテル社や AMD 社が提供する高位合成ツールをはじめ、現在存在する高位合成ツールがサポートできていない機能であり、世界初の成果である。これら万能高位合成ツールの機能を使った STL や高位合成ライブラリの改良も完了させる。この成果を実装するには、大容量、多並列の SRAM が求められるため、これを実装した計算機環境を整備し、グラフニューラルネットワークや、自己位置推定アルゴリズムなどを題材に実証実験を行い、高速、かつ、低消費電力の装置を短期間で実装できることを確認する。</p> <p>各事業項目の目標数値は以下。</p> <p>①万能高位合成は、CPU に比べ、100 倍の性能エネルギー比、実行速度は 10 倍 ②システム合成は、設計効率 5 倍 ③高位合成ライブラリは、設計効率 10 倍、性能 10 倍</p>			

- ④多並列 SRAM FPGA ボードは、当初目標レイテンシを達成
- ⑤GNN(グラフニューラルネットワーク) 回路は、CNN 回路との比較において電力 10 分の 1
- ⑥AI 制御型ロボットは GPU 比電力効率を 10 倍。

●実施体制

委託先：日本電気株式会社、
再委託先：NEC プラットフォームズ株式会社、学校法人南山学園南山大学
国立大学法人東京大学
再委託先：国立大学法人東京農工大学
キャノン株式会社

●成果とその意義

全体概要

自己位置推定アルゴリズム (SLAM) の一部処理や、グラフニューラルネットワーク (GNN) など、GPU では高速化が難しいデータ構造を持つ処理について、今回のプロジェクトで開発した万能高位合成ツールによりプログラム記述の書き換えを最小にした上で、高速に設計できることを確認した。また、デモ用の多並列 SRAM 搭載 FPGA ボードに実装し、設計通りの性能が実現できていることを確認し、消費電力についても確認した。プログラム記述の書き換えや、処理速度、消費電力については、GPU 実装との定量比較も実施して、結果をまとめた。以下、それぞれの実施項目に分けて、得られた成果とその意義についてまとめる。

実施項目 1：万能高位合成

C++言語のヒープ領域（動的領域）に対応した万能高位合成を開発してユーザーが定義した様々なデータ構造に対応し、多分木グラフのデータ構造で記述された最短経路問題が合成できるのを確認した。また複数ヒープメモリに対応して並列処理を実現した。これにより CPU と比較して並列度に合わせて加速可能であり実験によりヒープ配列が 20 個を超えた時点から数百倍の高速性を示しており、CPU に比べ実行速度 10 倍、100 倍のエネルギー性能を達成したと考える

またパイプライン回路におけるハザードを動的に検知してハザードが起きないように自動でパイプラインを制御する機能を開発し SLAM に適用して書き換えなしで合成できることを確認して設計期間の大幅な短縮につなげた。その他に浮動小数点型の累積加算演算器に対応し、ソフトウェア開発者向けに通信インターフェースの特別な知識なしでもハードウェアと通信が可能となる汎用インターフェース機能を開発した。これら成果により、従来高位合成で必要であったプログラムの書き換えを不要とした。

実施項目 2：システム合成

プログラムを入力し、ループ間のデータ依存関係を抽出し、設計者に見やすいように、徐々に簡易化した図を表示し、並列プロセスの決定に有効な機能を実現した。このシステム解析ツールをシステム合成 GUI から呼び出して、プログラム最適化の設計プロセスの一部として使えるようにした。システム合成 GUI では、万能高位合成で最適化を試行して、得られた結果を履歴管理し、要求仕様に合った最適な回路を採用できる機能を開発した。システム解析ツールと関連する 5 ステップ以上の作業で使うツールをシステム合成 GUI で統合的に扱うことにより設計効率 5 倍を達成した。

実施項目 3：高位合成ライブラリ

STL 全コンテナクラス、アルゴリズムを万能高位合成可能とするライブラリを開発した。実験により、構造体のフィールド数が大きい場合に高速化されることを確認。333MHz 動作時には、ARM 比で 10 倍の高速化を確認した。

画像処理系では、特別なハードウェアの知識なしに、万能高位合成ツールによる AI 向け画像前処理 (ISP) 回路及びカメラ等周辺部品と接続する回路の生成ツールを実現した。また、ISP 構成を探索し、AI 性能を維持しながら ISP の消費電力を削減する設計支援ツールを実現した。

AI 処理系では、完全量子化技術に対応した画像認識用途特化型 Transformer 高位合成用ライブラリを開

発した。本ライブラリは、(1)Transformer エンコーダを構成する各ブロックが並列動作する完全パイプライン型アーキテクチャ、(2)DSP ブロック内倍速クロック動作技術、(3)低ビットパッキング技術により、高リソース効率を実現するものである。

ROS 系では、万能合成ツールにより生成したハードウェアを特別な知識なしに、ロボットや自動運転向けのデファクトスタンダードなエコシステムである ROS で扱えるようにするソフトウェアとハードウェアを生成するツールを実化した。このツールにより、万能合成ツールで生成したハードウェアの適用範囲が広がった。

実施項目 4：多並列 SRAM 搭載 FPGA ボード

万能高位合成ツールの評価向けに、多並列 SRAM を搭載したデモ試作システム（メインボード、サブボード 2 種、筐体）を開発した。多並列 SRAM へのアクセスレイテンシは目標となる 13ns を達成した。本システムを活用し、万能高位合成を用いた低遅延 SLAM による自律走行運転を実現した。ロジック搭載部においては、GPU 実装と比較し 3 倍の高速化を確認。消費電力についても 3 分の 1 になることを確認した。これらの結果、自律走行における SLAM の精度向上を確認した。

実施項目 5：グラフニューラルネットワーク回路

CNN ベースの NAFNet において最下層を GNN に置き換えて同等の画像処理性能が得られる回路を実装し、エミュレータ環境で電力見積もりを実施。GNN 置き換え前の最下層の CNN の電力 736.4mW に対し、GNN 回路の電力は 29.6mW と 24.8 分の 1 であり、目標の電力 10 分の 1 を達成。万能高位合成のサポートする STL コンテナ記述により、GNN 回路のスパースな行列アクセスを簡潔に記述できた。GNN 置き換えにより積和演算回数は対応する CNN の 10 分の 1 以下、パラメータ用メモリサイズは 100 分の 1 以下に抑えられている。また、同回路を実施項目 4 の FPGA ボードに実装し動作を確認した。

実施項目 6：AI 制御型ロボット

分散メモリ型布線論理型 AI プロセッサ技術を開発、234 倍の電力効率改善効果を実証。本 AI プロセッサを高位合成で設計するための Python-to-Verilog 変換ツール、テストベンチ生成、Python-Verilog 変換時差分自動検知機能を開発した。3 次元物体認識に適用可能な 3D-CNN への適用を可能にする、CNN の実装と GPU による定量評価、従来 FPGA アクセラレータの定量評価、3D や 1D に向けた CNN 回路構成、FPGA 実装を検証した。

●実用化・事業化への道筋と課題

日本電気株式会社

第一段階として、データ構造を持つアルゴリズム処理を万能高位合成ツールや高位合成ライブラリで設計し、CPU/GPU よりも高速化できることを確認する。高速化を確認したアルゴリズムは、多並列 SRAM 搭載 FPGA ボードに実装して、CPU や GPU では実現できない新しい製品を創出できることを確認する。自己位置推定アルゴリズムを取り上げた実証実験により、この第一段階は実現できつつある。

第二段階として、自動車メーカーなど、多並列 SRAM 搭載 FPGA が貢献できる領域のメーカーに対して万能高位合成ツールを活用して付加価値の高い設計サービスを事業化する。これら事業に自社開発者が万能高位合成ツールを適用することでツールを安定させ、また、新しい事業領域に適用できる高位合成ライブラリなどの整備を進める。

第三段階では、万能高位合成ツールと多並列 SRAM 搭載 FPGA ボードを自動車メーカーやロボットメーカー、FA 機器メーカーなどの装置事業者を提供することで、供給先の装置事業者自身が付加価値の高い製品を開発できるようにする。万能高位合成ツールは、多並列 SRAM 搭載 FPGA を事業化する FPGA メーカーに対してもライセンス供給するビジネスを進める。多並列 SRAM 搭載 FPGA ボードについては、万能高位合成の効果が確認しやすい大規模な FPGA を採用する場合、製品コストが課題で、製品化できる事業領域は限られる可能性があるが、万能高位合成ツールについては、広く適用できる技術と考えており、早期に実用化を目指した製品開発を進める予定。

キヤノン株式会社

本研究で開発した GNN アクセラレータについて、ステップ 1 として監視カメラ等の機器と連携して動作する FPGA をターゲットに搭載を検討する。
 ステップ 2 としては大容量 SRAM を備える半導体チップへ GNN アクセラレータを搭載し、産業機器等の B2B 製品への搭載を検討する。
 ステップ 3 としては大容量 SRAM を備える半導体チップへ GNN アクセラレータを搭載し、カメラ等のコンシューマ製品への搭載を検討する。
 各ステップにおける課題はターゲット製品に搭載可能なコストの実現であり、回路の小型化をさらに推し進めて実用化を図っていく。

●期間・予算 (単位：百万円)	2023FY	2024FY			
	500	581			

●特許出願及び論文発表				
特許出願	論文発表	発表・講演	雑誌掲載	その他
5 件	2 件	4 件	0 件	0 件

4.8. 研究開発項目②：テーマ名「省電力化に向けた次世代ヘテロジーニアス AI デバイスの SW-HW 協調設計ツール開発」

●目標及び達成状況の詳細

テーマ名	省電力化に向けた次世代ヘテロジーニアス AI デバイスの SW-HW 協調設計ツール開発	達成状況	○
実施者名	ルネサスエレクトロニクス株式会社		
達成状況の根拠	事業項目 1. 高速シミュレーション環境開発、事業項目 2. マシンラーニング (ML) コンパイラ開発、事業項目 3. SW-HW の協調設計手法開発の 3 つの事業項目において、全ての目標値を達成。		

●背景・目的・プロジェクトアウトカム目標との関係

組み込み向けハードウェアではサーバー用途のような CPU/GPU のようなプログラマブルコアではなく、消費電力を抑えるためにアクセラレータを開発し特定の演算を高速・低消費電力を実現している。将来有望となるニューラルネットワークモデルを研究し使われている演算子をアクセラレータ対応していく必要がある。本研究開発では、オープンソースソフトウェア (OSS) を再利用したソフトウェア-ハードウェア (SW-HW) 協調設計の手法を確立することで、最適なハードウェア構成を探索する技術を開発し、更にニューラルネットワークの最適化および量子化等のソフトウェア含めた演算量低減技術を取り入れた機械学習用 (ML) コンパイラを開発を合わせて行うことで消費電力を従来比 1/10 に抑えたヘテロジーニアス AI デバイスを実現するツール開発を提案する。

ただし、ハードウェアを設計するためのサポートツールの一部となるだけで、本開発ツール単体では事業性は成り立たない。その為、消費電力を削減することで「AI エッジコンピューティングの産業応用加速のための設計技術開発」プロジェクトへの貢献を目指す。

●アウトプット目標

【最終目標 (2024 年度末)】

- 事業目標 1. 高速シミュレーション環境開発
 - 様々なニューラルネットワークが事業項目 3 で探索されたハードウェアアクセラレータ構造の精度を検証するためには、各ニューラルネットワークに対し大量のデータセットを高速かつ高精度で測定するシミュレータ環境が必要であり、それを次世代向けに準備する。
 - ニューラルネットワークモデルの性能・精度評価を行うには、大量のデータを扱う必要があるため、画像 1 枚あたり平均 144msec 以内で処理が完了し、精度誤差は 1% 以内のシミュレータが必要である。
- 事業目標 2. マシンラーニング (ML) コンパイラ開発
 - ニューラルネットワークモデルをハードウェアで実行するためのコンパイラ開発。
- 事業目標 3. SW-HW の協調設計手法開発
 - HWD-NAS：複数のニューラルネットワークの構造に応じ、演算回路の使用効率が最大になるハードウェアの設計をするために PPA を予測出来るエスティメータを開発し、もっとも効率のよいハードウェア構成を決定する。
 - HW-NAS：ハードウェア構成に応じて、ニューラルネットワークモデルを変更出来るツールを開発し総演算数を削減し消費電力を下げる。
 - 上記 2 つの施策により、従来比 1/10 に抑えたハードウェアの構成を決定する。

●実施体制

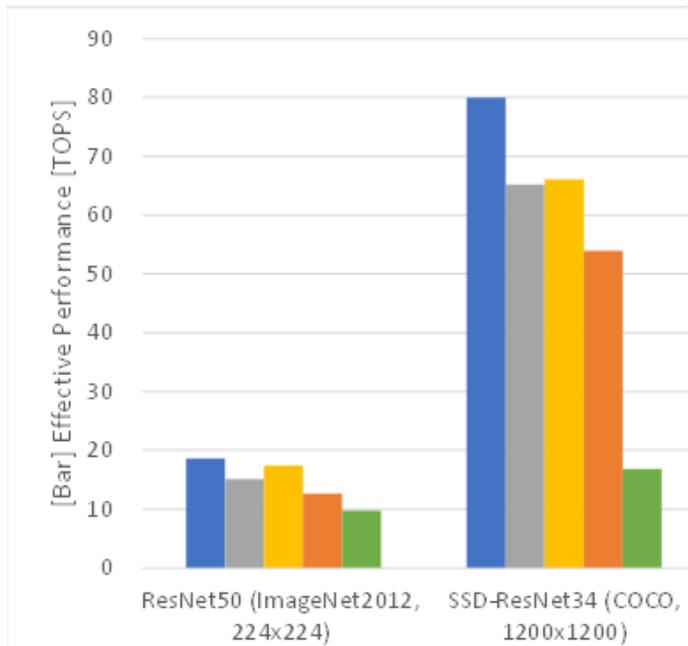


●成果とその意義

- 全体概要
 - 3 つの事業目標を達成することで弊社従来製品比で 1/10 の消費電力で対象のニューラルネットワークモデルを処理出来、車載向け AI 用 HW アクセラレータとしての市場競争力を示す。

- 事業目標 1. 高速シミュレーション環境開発
 - 従来から多く使われている ISS は、ハードウェアを模擬するシミュレータで実デバイスと同様な動作する。そのため、ハードウェアを意識したソフトウェアの開発・最適化に利用出来るが、低速でかつハードウェアの設計完了前に完成していなければならないという制限があり SW-HW 協調設計を行うためには実用的でない。ハードウェアの依存度を下げて精度を犠牲にして高速でコンパイラのバックエンドを必要としないシミュレータを開発した。目標は 2 時間で 5 万枚を処理できる速度 144[msec/image]、実機と比較し 1%未満の誤差に対して、結果として速度は 124.7[msec/image]、精度誤差は 0.88%となり目標を達成した。
- 事業目標 2. マシンラーニング(ML)コンパイラ開発
 - SW として性能向上および消費電力削減に貢献出来る機能をコンパイラに実装した。実装した機能としては、量子化対応、Layer 最適化、マルチコア制御を含むハードウェア制御の実装を行った。
- 事業目標 3. SW-HW の協調設計手法開発
 - 市場で多く参照されている 129 個のニューラルネットワークモデルを選定し、演算回路の利用効率が最大になるように HW 構成を設計した。HW 構成として調整したのは、DDR メモリのバンド幅、L2 メモリサイズ、L1 メモリサイズ、NPU 数、NPU 内の MAC コア数、1 MAC コア当たりの MAC 数である。
各サイズを決定するためには、メモリ転送および演算器でボトルネックが発生していないか確認し最適値を導き出した。
上記、探索結果を反映させた HW 構成を基に消費電力確認を実施した。結果として目標としていた消費電力 1/10(90%以上)を超えて 91%の削減を達成した。

また、MLCommons(<https://mlcommons.org/>)が開示している車載向けに多く参照されているニューラルネットワークモデルの性能について競合他社との性能比較を実施した。青色が、本プロジェクトで確立した SW-HW 協調設計手法を用いて最適化された HW アクセレータの結果で、競合他社よりも性能が良くなっている。



(青色 : Renesas)

● 実用化・事業化への道筋と課題

本プロジェクトで開発したツール・手法単体での事業化は検討していないが、本プロジェクトで HW 構成を決定した HW アクセレータを弊社次世代 SoC の R-Car へ搭載した。世界中の車載関連の OEM/Tier1 と協議を開始しており、オープンソースのニューラルネットワークモデルではなく、OEM/Tier1 が研究開発しているニューラルネットワークモデルでの性能調査を開始している。

● 期間・予算 (単位: 百万円)	2023FY	2024FY			
	235	136			

●特許出願及び論文発表					
特許出願	論文発表	発表・講演	雑誌掲載	その他	
0 件	0 件	1 件	0 件	2 件	

添付資料

●プロジェクト基本計画

基本計画最新版については以下を参照：

<https://www.nedo.go.jp/content/100962216.pdf>

掲載 WEB ページ：

https://www.nedo.go.jp/activities/ZZJP_100254.html

●各種委員会開催リスト

研究開発項目①

採択審査委員会		
件名	内容	実施日
第1回	公募に対する提案について審議	2023年6月1日
第2回	追加公募に対する提案について審議	2025年4月24日

技術推進委員会		
件名	内容	実施日
第1回	加速提案の審議	2024年8月5日
第2回	事業の進捗及び今後の計画等に対する評価	2024年12月6日
第3回	事業の進捗及び今後の計画等に対する評価	2025年2月3日

研究開発項目②

採択審査委員会		
件名	内容	実施日
第1回	公募に対する提案について審議	2022年7月15日

技術推進委員会		
件名	内容	実施日
第1回	事業の進捗及び今後の計画等に対する評価	2023年3月27日
第2回	加速提案の審議	2023年7月26日
第3回	事業の進捗及び今後の計画等に対する評価	2024年3月7日
第4回	事業化計画に対する評価	2024年9月12日
第5回	最終目標の達成に対する評価	2025年3月10日

●特許論文等リスト

@研究開発項目①：テーマ名「自動運転（AD）応用を中心とした組込向け SoC PF 開発および AD SoC 事業化加速」

【特許】

特許取得 2 件

【論文】

なし

【外部発表】

(a) 学会発表・講演 なし

(b) 新聞・雑誌等への掲載 なし

(c)その他 なし

@研究開発項目①：テーマ名「予測 AI（トランスフォーマ）に対応する省電力動的再構成プロセッサ・システムの開発」

【特許】

番号	出願者	出願番号	国内外 国 PCT	出願日	状態	名 称	発明者
1	ルネサス	特願 2024-128818	国内	2024/8/5	出願	Invention of a progress bar that displays pseudo progress	熊谷他

(Patent Cooperation Treaty: 特許協力条約)

【論文】

番号	発表者	所属	タイトル	発表誌名、ページ番号	査読	発表年月
1	Yuki Ichikawa, Kazushi Kawamura, Masato Motomura, Thiem van Chu	東京科学大学	Efficient Stereo Visual Odometry on FPGA featuring On-Chip Map Management and Pipelined Descriptor-Based Block Matching	IEEE Access, vol. 12, pp. 171458-171471, 2024	有	2024 年 12 月

【外部発表】

(a) 学会発表・講演

番号	発表者	所属	タイトル	会議名	発表年月
1	Akihiro Shioda	東京科学大学	Exploiting N:M Sparsity in Quantized-Folded ResNets: Signed Multicoat Supermasks and Iterative Pruning-Quantization	CANDAR 2024	2024/11
2	Masato Motomura	東京科学大学	Algorithm-Architecture Centric Approach Towards Energy Efficient AI Hardware	MPSoC	2024/07
3	本村真人	東京科学大学	An Accurate FPGA-Based ORB Feature Extractor for SLAM with Row-Wise Keypoint Selection	International Conference on Consumer Electronics (ICCE)	2024/1
4	本村真人	東京科学大学	AI チップ開発の最先端	電子情報通信学会先端セミナー	2024/8
5	市川雄樹	東京科学大学	パイプライン処理と画像特徴の転用による SLAM アクセラレータの効率化	電子情報通信学会ソサイエティ大会	2024/9

(b)新聞・雑誌等への掲載 なし

(c)その他（同様の形式で表を作成する）なし

@研究開発項目①：テーマ名「エッジ機器でのマルチモーダル処理向け省電力インメモリ AI 半導体及びシステムの開発」

【特許】

番号	出願者	出願番号	国内外 国 PCT	出願日	状態	名 称	発明者
1	ヌヴォトン テクノロジー ジャパン株式 会社	特願 2023-141360	国内	2023/8/31	出願	半導体集積回路およびデータ転送方法	福田 翔平 久方 和之
2	ヌヴォトン テクノロジー ジャパン株式 会社	特願 2023-203547	国内	2023/12/1	出願	半導体装置の駆動方法及び半導体装置	村岡 俊作 森本 雅大
3	ヌヴォトン テクノロジー ジャパン株式 会社	特願 2024-43840	国内	2024/3/19	出願	選択装置、および、選択方法	森口 元気 大倉 美紀
4	ヌヴォトン テクノロジー	特願 2024-051988	国内	2024/3/27	出願	DC-DCコンバータ用集積回路、DC-DCコ	上田 明志

	ジャパン株式会社					ンバータ及びその制御方法	
5	ヌヴォトンテクノロジー ジャパン株式会社	特願 2024-175660	国内	2024/10/7	出願	半導体装置の駆動方法及び半導体装置	村岡 俊作 藤井 覚 大原 猛史 森本 雅大
6	ヌヴォトンテクノロジー ジャパン株式会社	特願 2025-49701	国内	2025/3/25	出願	画像出力装置、画像取得装置、画像出力方法、及び、画像取得方法	高橋 晃 他
7	ヌヴォトンテクノロジー ジャパン株式会社	特願 2025-53952	国内	2025/3/27	出願	選択装置、および、選択方法	森口 元気 他
8	ヌヴォトンテクノロジー ジャパン株式会社	特願 63/779386	国内	2025/03/28	出願	LDO 回路及びそのVREF 電圧の制御方法	中村恒博
9	ヌヴォトンテクノロジー ジャパン株式会社	特願 2025-58847	国内	2025/3/31	出願	映像処理装置、XR デバイスおよび映像処理方法	岩橋 直大 他
10	ヌヴォトンテクノロジー ジャパン株式会社	特願 2025-59508	国内	2025/3/31	出願	制御装置および制御方法	岩橋 直大 他
11	ヌヴォトンテクノロジー ジャパン株式会社	特願 2025-059679	国内	2025/3/31	出願	アナログ・デジタル変換器及びアナログ・デジタル変換方法	上ノ原 誠二 森重 雅和 西川 香

(Patent Cooperation Treaty: 特許協力条約)

【論文】

番号	発表者	所属	タイトル	発表誌名、ページ番号	査読	発表年月
1	Naoko Misawa, Ryuhei Yamaguchi, Ayumu Yamada, Tao Wang, Chihiro Matsui and Ken Takeuchi	東京大学	Design methodology of compact edge vision transformer CiM considering non-volatile memory bit precision and memory error tolerance	Japanese Journal of Applied Physics (JJAP), vol. 63, pp. 03SP05	有	2024/2

2	Adil Padiyal, Ayumu Yamada, Naoko Misawa, Chihiro Matsui and Ken Takeuchi	東京大学	Assessment of inference accuracy and memory capacity of computation-in-memory enabled neural network due to quantized weights, gradients, input and output signals, and memory non-idealities	Japanese Journal of Applied Physics (JJAP), vol. 63, pp. 04SP15	有	2024/3
3	Ayumu Yamada, Zhiyuan Huang, Naoko Misawa, Chihiro Matsui and Ken Takeuchi	東京大学	Comprehensive Analysis of Read Fluctuations in ReRAM CiM by Using Fluctuation Pattern Classifier	IEICE Transactions on Electronics	有	2024/4
4	Yuya Ichikawa, Ayumu Yamada, Naoko Misawa, Chihiro Matsui and Ken Takeuchi	東京大学	REM-CiM: Attentional RGB-Event Fusion Multi-modal Analog CiM for Area/Energy-efficient Edge Object Detection during both Day and Night	IEICE Transactions on Electronics	有	2024/4
5	Ayumu Nagai, Yuya Ichikawa, Chihiro Matsui and Ken Takeuchi	東京大学	Quantization Tolerant Network Design and Performance Estimation of Computation-in-Memory for Energy-Efficient 3D Object Detection Inference	Japanese Journal of Applied Physics (JJAP), vol. 64, pp. 02SP09	有	2025/2
6	Yuya Ichikawa, Naoko Misawa, Chihiro Matsui and Ken Takeuchi	東京大学	RGB-Event Multi-modal NV-CiM to Detect Object by Mapping-Oriented Enhanced-Feature Pyramid Network with Mapping-Aware Group Convolution	IEICE Transactions on Fundamentals of Electronics, Communications and Computer Sciences	有	2024/9
7	Daqi Lin, Tao Wang, Adil Padiyal, Naoko Misawa, Chihiro Matsui, Ken Takeuchi	東京大学	Signed Approximate Adder Tree and Quantization- and Bit-Pruning-Aware Training for Digital Computation-in-Memory	IEICE Transactions on Electronics	有	2025/4

【外部発表】

(a) 学会発表・講演

番号	発表者	所属	タイトル	会議名	発表年月
1	Adil Padiyal, Ayumu Yamada, Naoko Misawa, Chihiro Matsui, Ken Takeuchi	東京大学	Analysis of Low-Bit Precision ReRAM CiM-based Convolutional Neural Networks during Training and Inference	第 71 回応用物理学会春季学術講演会	2024/3

2	Zhiyuan Huang, Ayumu Yamada, Naoko Misawa, Chihiro Matsui, Ken Takeuchi	東京大学	Analysis of Read Current Fluctuation in Low Resistance State ReRAM by using Fluctuation Pattern Classifier	第 71 回応用物理学会春季学術講演会	2024/3
3	Hanxi Xue, Naoko Misawa, Chihiro Matsui, Ken Takeuchi	東京大学	Application of GNN and CNN to CiM-based Accelerators	第 71 回応用物理学会春季学術講演会	2024/3
4	山田歩, 三澤奈央子, 松井千尋, 竹内健	東京大学	CNN による ReRAM 電流値ゆらぎパターン分類手法とゆらぎの物理モデル	第 71 回応用物理学会春季学術講演会	2024/3
5	三澤奈央子, 山口竜平, 山田歩, 松井千尋, 竹内健	東京大学	Vision Transformer の小型化に向けた Computation-in-Memory への量子化手法および量子化認識トレーニング	第 71 回応用物理学会春季学術講演会	2024/3
6	佐藤龍吾, 山内堅心, 松井千尋, 竹内健	東京大学	不揮発性メモリの量子化・書き込みばらつきを考慮した学習による Computation-in-Memory における深層強化学習の性能向上	第 71 回応用物理学会春季学術講演会	2024/3
7	山田歩, 三澤奈央子, 松井千尋, 竹内健	東京大学	省面積・低エネルギー・高精度な CiM に向けて 1: 入出力レンジ学習手法	第 71 回応用物理学会春季学術講演会	2024/3
8	山田歩, 三澤奈央子, 松井千尋, 竹内健	東京大学	省面積・低エネルギー・高精度な CiM に向けて 2: エラー補償	第 71 回応用物理学会春季学術講演会	2024/3
9	Tao Wang, Naoko Misawa, Chihiro Matsui and Ken Takeuchi	東京大学	Compact Edge Vision Transformer Design for Non-volatile Computation-in-Memory	IEEE Symp. on Low-Power and High-Speed Chips and Systems (Cool Chips 27) Poster	2024/4
10	Naoko Misawa, Tao Wang, Chihiro Matsui and Ken Takeuchi	東京大学	Embedded Transformer Hetero-CiM: SRAM CiM for 4b Read/Write-MAC Self-attention and MLC ReRAM CiM for 6b Read-MAC Linear&FC Layers	IEEE International Memory Workshop Poster	2024/5
11	Ken Takeuchi	東京大学	Non-volatile Memory-based Analog Computation-in-Memory (CiM) for Edge AI Applications	IEEE International Memory Workshop Tutorial 【招待講演】	2024/5
12	竹内健	東京大学	IoT 時代のエッジ AI アクセラレータ	第 6 回 使えるセンサ・シンポジウム 2024 【招待講演】	2024/7
13	Ken Takeuchi	東京大学	Ferroelectric FET-based Computation-in-Memory (CiM) for Edge AI	14th Japan-Korea Conference on Ferroelectricity (JKC-FE14) 【招待講演】	2024/8
14	竹内健	東京大学	エッジ向け低電力 AI アクセラレータ	第 88 回半導体・集積回路技術シンポジウム 【招待講演】	2024/8
15	Ayumu Nagai, Yuya	東京大学	Domain-Specific CiM Design for 3D Object Detection	International Conference on	2024/9

	Ichikawa, Chihiro Matsui and Ken Takeuchi		Network with Augmented Point Cloud, Multi-Stage Quantization Aware Training, and U-Quantization	Solid State Devices and Materials (SSDM)	
16	秋永広幸	国立研究開発法人産業技術総合研究所	Emerging Material Integration for Advanced Functionality of Semiconductor Devices and Systems	ESSERC 2024 SiNANO-ICOS-INPACE Workshop	2024/9
17	森本雅大、村岡俊作、栗村聡資、河合賢、服部規男、伊藤理、米田慎一	ヌヴォトンテクノロジー ジャパン株式会社	Resistive Switching Element scaling toward 22nm embedded ReRAM and beyond	International Conference on Solid State Devices and Materials	2024/9
18	竹内健	東京大学	機械学習アルゴリズム・AIチップ統合開発システム	第85回応用物理学会秋季学術講演会【招待講演】	2024/9
19	Adil Padiyal, Tao Wang, Naoko Misawa, Chihiro Matsui and Ken Takeuchi	東京大学	Investigation of Effects of Non-Volatile Memory-based Computation-in-Memory Non-Idealities and Model Size on Performance and Robustness of Small Language Model During Inference Phase	IEEE Electron Devices Technology and Manufacturing Conference (EDTM)	2025/3
20	Kenshin Yamauchi, Naoko Misawa, Satoshi Awamura, Masahiro Morimoto, Chihiro Matsui and Ken Takeuchi	東京大学	Conductance Variation-Assisted Adversarial Attack Robustness on 40nm TaOX-based ReRAM CiM	IEEE International Reliability Physics Symposium (IRPS)	2025/4
21	Kenshin Yamauchi, Naoko Misawa, Hisashi Shima, Yasuhisa Naitoh, Hiroyuki Akinaga, Chihiro Matsui and Ken Takeuchi	東京大学	Read Voltage Dependency of Random Telegraph Noise in the Intermediate State of TaOX-based ReRAM	IEEE International Reliability Physics Symposium (IRPS)	2025/4
22	Tao Wang, Daqi Lin, Kenshin Yamauchi, Naoko Misawa, Chihiro Matsui, and Ken Takeuchi	東京大学	Hybrid ReRAM-NMC & SRAM-CiM Matrix Multiplication for Large Language Model	IEEE Symposium on Low-Power and High-Speed Chips and Systems (COOL Chips 28)	2025/4

23	Tao Wang, Naoko Misawa, Chihiro Matsui, Ken Takeuchi	東京大学	VaLI: Variability-Aware Fine-Tuning with Low-Rank Adapter and Iterative Training for ReRAM Computation-in-Memory	IEEE International Symposium on Circuits and Systems (ISCAS)	2025/5
----	---	------	--	---	--------

(b)新聞・雑誌等への掲載 なし

(c)展示会への出展

番号	所属	タイトル	展示会名	発表年月
1	ヌヴォトン テクノロ ジージャパン株式会社	2D/3D 画像・音のマルチモーダル処 理を実現するセンサ IF 統合 LSI	EdgeTech+ 2024	2024/11
2	ヌヴォトン テクノロ ジージャパン株式会社	AIoT MCU ソリューション ファン 振動データによる AI 異常検知、及 びセキュア無線通信による遠隔監視 デモ	EdgeTech+ 2024	2024/11
3	ヌヴォトン テクノロ ジージャパン株式会社	AIoT MCU ソリューション AI 異常検 知(オンデバイス AI 学習機能)、及 びセキュア遠隔監視デモ	NexTech Week 2025 春 第 9 回 AI・人工知能 EXPO 春	2025/4

@研究開発項目②：テーマ名「RISC-Vシステム設計プラットフォームの研究開発」

【特許】

番号	出願者	出願番号	国内外 国 PCT	出願日	状態	名 称	発明者
1	国立大学法人 東京工業大学	特願 2023-123827	国内	2023/7/28	出願	デバッグ装置、デ バッグ装置の制御 方法、及びデバッ グ装置の制御プロ グラム	一色剛、他

【論文】

番号	発表者	所属	タイトル	発表誌名、ページ番 号	査読	発表年月
1	一色剛	東京工 業大学	C2RTL 高位システム設計検証 技術を活用した RISC-V シス テム設計プラットフォームの 研究開発	J. システム/制御/情 報 67(9) 391-396	有	2023/9/15
2	H. Wang, D. Li, T. Isshiki	東京工 業大学	Energy-Efficient Implementation of YOLOv8, Instance Segmentation, and Pose Detection on RISC-V SoC	IEEE Access 64050- 64068	有	2024/5/6
3	N. Chauhan, T. Isshiki, D. Li	東京工 業大学	Enhancing Speaker Recognition Models with Noise-Resilient Feature Optimization Strategies	MDPI Acoustics	有	2024/5/7

4	H. Wang, D. Li, T. Isshiki	東京工 業大学	A Low-Power Reconfigurable DNN Accelerator for Instruction-Extended RISC- V	IPSJ Transactions on System and LSI Design Methodology (17) 55 - 66	有	2024/6
---	----------------------------------	------------	--	--	---	--------

【外部発表】

(a) 学会発表・講演

番号	発表者	所属	タイトル	会議名	発表年月
1	H. Wang, D. Li, T. Isshiki	東京工業 大学	A power-efficient end-to- end implementation of YOLOv8 based on RISC-V	CAIT 2023	2023/12
2	Y. Yamada, N. Berjab, T. Yoneda, K. Kise	東京工業 大学	A remote partial- reconfigurable SoC with a RISC-V soft processor targeting low-end FPGAs	MCSoc 2023	2023/12
3	P. Srisinsuphya, K. Takamatsu, H. Tazaki, Y. Yokoshiki, T. Tokuda	東京工業 大学	C2RTL-Enabled Sustainable Computing: Building a RISC- V CPU Microdevice Platform for a Greener Future	IDW 2023	2023/12
4	H. Wang, D. Li, T. Isshiki	東京工業 大学	Reconfigurable CNN Accelerator Embedded in Instruction Extended RISC-V Core	ICET 2023	2023/5
5	J. Xin, M. Ikeda	東京大学	Design of RISC-V SoC with Post-quantum Encryption Algorithm Acceleration	IEICE ICD 研究会	2024/2
6	F. Lin, Z. Wang, H. Sasaki	東京科学 大学	Teapot: Efficiently Uncovering Spectre Gadgets in COTS Binaries	CGO 2025	2025/3

(b) 新聞・雑誌等への掲載 なし

(c) その他

番号				
1	国立大学法人東京工業 大学、セイコーエプソ ン株式会社、株式会社 エヌエスアイテクス、 京都マイクロコン ピュータ株式会社、株 式会社OTSL、国立 大学法人東京大学	RISC-V システム設計プラット フォーム	CEATEC 2023 (NEDO ブース)	2023/10
2	京都マイクロコン ピュータ株式会社	RISC-V 対応デバッガの紹介	RISC-V Day Tokyo 2024 ブース展示	2024/8
3	京都マイクロコン ピュータ株式会社	リアルタイム OS 開発プラット フォーム SOLID の RISC-V 対応予告 を発表	単独発表 (NEDO PJ の成果利用)	2024/11
4	京都マイクロコン ピュータ株式会社	リアルタイム OS 開発プラット フォーム SOLID の RISC-V 対応試作 品を出展	Edge Tech + ブース 展示	2024/11
5	京都マイクロコン ピュータ株式会社	リアルタイム OS 開発プラット フォーム SOLID の RISC-V 対応版の 正式リリース発表	NEDO との連名による プレスリリース	2025/2

6	京都マイクロコンピュータ株式会社	リアルタイム OS 開発プラットフォーム SOLID の RISC-V 対応版を出展	RISC-V Day Tokyo 2025 ブース展示	2025/2
7	国立大学法人東京工業大学、セイコーエプソン株式会社、株式会社デンソー、京都マイクロコンピュータ株式会社、株式会社 OTS L、国立大学法人東京大学	RISC-V システム設計プラットフォーム	CEATEC 2024 (NEDO ブース)	2024/10

@研究開発項目②：テーマ名「映像データリアルタイム処理用 AI デバイス高位合成ツールの研究開発」

【特許】

番号	出願者	出願番号	国内外国 PCT	出願日	状態	名 称	発明者
1	シャープ株式会社	PCT/JP2024/003456	PCT	2024/2/2	出願中	量子化方法、量子化プログラム、量子化ニューラルネットワークコード生成方法及び機械モデル学習装置	田中勇司

(Patent Cooperation Treaty: 特許協力条約)

【論文】

なし

【外部発表】

(a) 学会発表・講演

番号	発表者	所属	タイトル	会議名	発表年月
1	鎌倉生昇	大阪工業大学	エッジ AI における AI アクセラレータを用いた MNIST の評価	電子情報通信学会 リコンフィギャラブルシステム研究会 2025 年 6 月研究会 (HotSPA2025)	2025/6
2	岩永大翔	大阪工業大学	エッジ AI アクセラレータを活用した量子化における YOLOX_Nano の精度評価	電子情報通信学会 リコンフィギャラブルシステム研究会 2025 年 6 月研究会 (HotSPA2025)	2025/6

(b) 新聞・雑誌等への掲載 なし

(c) その他 なし

@研究開発項目②：テーマ名「CMOS／スピントロニクス融合技術によるAI処理半導体の設計効率化と実証、及び、その応用技術に関する研究開発」

【特許】

特許取得 8 件

【論文】

番号	発表者	所属	タイトル	発表誌名、ページ番号	査読	発表年月
1	Tao Li, Yitao Ma, and Tetsuo Endoh	東北 大学	From Algorithm to Module: Adaptive and Energy-efficient Quantization Method for Edge Artificial Intelligence in IoT Society	IEEE Transactions on Industrial Informatics, Volume: 19 Issue:8, Pages:8953 - 8964, 2023	有	2022.11.18
2	Tao Li, Yitao Ma, Ko Yoshikawa, and Tetsuo Endoh	東北 大学	Hybrid Signed Convolution Module With Unsigned Divide- and-Conquer Multiplier for Energy-Efficient STT- MRAM-Based AI Accelerator	IEEE Transactions on Very Large Scale Integration (VLSI) Systems, Volume: 31, Issue:7, Pages:1078 - 1082, 2023	有	2023.2.22
3	Tao Li, Li Zhang, Yitao Ma, and Tetsuo Endoh	東北 大学	Bridging Artificial Intelligence and Devices: Power Reduction Method of Non-volatile Devices with Error-resilient Deep Neural Networks	IEEE Transactions on Magnetics, Volume: 61, Issue: 3, Article Sequence Number: 3400308, March 2025, DOI: 10.1109/TMAG.2023.3321878	有	2023.10.4
4	Li Zhang, Tao Li, and Tetsuo Endoh	東北 大学	Small Area and High Throughput Error Correction Module of STT MRAM for Object Recognition Systems	IEEE Transactions on Industrial Informatics, Volume: 20, Issue: 5, 7777 - 7786, May 2024, DOI: 10.1109/TII.2024.3362373	有	2024. 2.26
5	K. Asano, M. Natsui, and T. Hanyu	東北 大学	Error-Tolerance-Aware Write-Energy Reduction of MTJ- Based Quantized Neural Network Hardware	IEICE (The Institute of Electronics, Information and Communication Engineers) Trans. on Electronics, vol. E107-D, no. 8, pp.958-965, DOI: 10.1587/transinf.2023L0P0007	有	2024.4.22
6	Tao Li, Ko Yoshikawa, and Tetsuo Endoh	東北 大学	Hardware-Efficient Activation Circuit for Edge Computing: Shifter-Polynomial Approximation of Leaky ReLU	IEEE Transactions on Circuits and Systems for Artificial Intelligence, Volume: 2, Issue: 1, 3 - 13, March 2025, DOI: 10.1109/TCASAI.2025.3527977	有	2025.1.10

【外部発表】

(a) 学会発表・講演

番号	発表者	所属	タイトル	会議名	発表年月
1	羽生 貴弘	東北大学	NEDO 高効率・高速処理を可能とする AI チップ・次世代コンピューティングの技術開発事業 CMOS/スピントロニクス融合技術による AI 処理半導体の設計効率化と実証、及び、その応用技術に関する研究開発	8 th CIES Technology forum Day	2023. 3
2	K. Sakai, M. Natsui, and T. Hanyu	東北大学	Design of an Error-Tolerant Nonvolatile Register for Energy-Aware Intermittent Computing	Proc. of the 66th IEEE International Midwest Symposium on Circuits and Systems (MWSCAS 2023), pp. 269-273	2023. 8
3	羽生貴弘	東北大学	不揮発性ロジックで拓くエッジ AI ハードウェアへの挑戦 (招待講演)	DA シンポジウム	2023. 9. 1
4	渡邊颯音, 夏井雅典, 羽生貴弘	東北大学	高位合成を用いた不揮発 AI アクセラレータの高効率設計に関する基礎的研究	2023 年度電気関係 学会東北支部連合 講演論文集, 2B04	2023. 9. 6
5	T. Hanyu, Naoya Onizawa, Daisuke Suzuki, and Masanori Natsui	東北大学	Impact of Spintronics-Based Nonvolatile Hardware for Edge AI Applications (invited)	Extended abstract of International Conference on Solid-State Materials and Devices (SSDM 2023), pp. 423-424	2023. 9
6	M. Natsui, Y. Takako, A. Tamakoshi, and T. Hanyu	東北大学	Challenge of Energy-Efficient Edge-AI Accelerator Architecture Using Nonvolatile Logic	Proc. of the 2023 International Symposium on Nonlinear Theory and Its Applications (NOLTA 2023), pp. 263-264	2023. 9
7	K. Asano, M. Natsui, and T. Hanyu	東北大学	Error-Sensitivity-Aware Write-Energy Optimization for an MTJ-Based Binarized Neural Network	Proc. of 30th IEEE International Conference on Electronics Circuits and Systems (ICECS2023)	2023. 12
8	T. Hanyu	東北大学	Challenge of MTJ-Based Nonvolatile Hardware for Edge AI Applications (keynote speech)	16th IEEE International Symposium on Embedded Multicore/Many- core Systems-on- Chip (MCSoc-2023)	2023. 12

9	T. Hanyu	東北大学	Impact of Spintronics-Based Nonvolatile Hardware for Edge AI Applications	NTU-Tohoku U. 7th Symposium on AI and Human Studies	2024. 3
10	羽生 貴弘	東北大学	NEDO 省エネ A I 半導体及びシステムに関する技術開発事業プロジェクト/AI エッジコンピューティングの産業応用加速のための設計技術開発「CMOS/スピントロニクス融合技術による AI 処理半導体の設計効率化と実証、及び、その応用技術に関する研究開発」	9 th CIES Technology forum Day2	2024. 3
11	池田正二、 本庄弘明、 斉藤好昭、 遠藤哲郎	東北大学	MRAM の高性能化プロセス技術	2024 年第 71 回応用物理学会春季学術講演会	2024. 3
12	吉田 知生、 夏井 雅典、 羽生 貴弘	東北大学	間欠的コンピューティングの実現に向けた MTJ ベース省エネルギー・コンパクト不揮発レジスタの構成	電子情報通信学会集積回路研究会「LSI とシステムのワークショップ 2024」	2024. 5
13	M. Natsui, K. Asano, and T. Hanyu	東北大学	Error-Tolerant Quantized Neural Network Based on Non-Weighted Arithmetic	proc. of International Symposium on Multiple-Valued Logic	2024. 5
14	F. Zhong, M. Natsui, and T. Hanyu	東北大学	Design of a High-Speed and Low-Power Threshold Adjustment Unit for Battery-Free Edge Devices	Proc. of The IEEE World Congress on Computational Intelligence (IEEE WCCI)	2024. 7
15	夏井雅典、 羽生貴弘	東北大学	ユニタリ重み表現ベース不揮発ニューラルネットワークのエラー耐性評価	2024 年電子情報通信学会ソサイエティ大会, AS-1-02	2024. 9
16	成瀬 峰信	アイシン	Arm Flexible Access で始める革新的半導体技術の実現	Design Solution Forum 2024	2024. 10
17	吉田知生、 夏井雅典、 羽生貴弘	東北大学	差分情報記憶に基づく低エネルギー不揮発レジスタの構成	信学技報, vol. 124, no. 248, ICD2024-51, pp. 37-42	2024. 11
18	羽生貴弘	東北大学	不揮発ロジックが拓くエッジ AI コンピューティングの展望 (基調講演)	会津大学学際研究フォーラム 2024	2024. 11. 25
19	羽生 貴弘	東北大学	不揮発記憶ベース低消費電力・高性能 VLSI プロセッサの自動設計環境の研究開発	10 th CIES Technology forum Day 1	2025. 3

(b)新聞・雑誌等への掲載

番号	所属	タイトル	掲載誌名	発表年月
1	NEDO 東北大 NEC アイシン	東北大学、NEC、アイシンが研究開発に取り組む NEDO プロジェクトの成果が CEATEC AWARD 2024 でネクストジェネレーション部門賞を受賞しました	PR Times https://prtimes.jp/main/html/rd/p/000000122.000135644.html	2024. 10. 10

2	東北大	今年の CEATEC AWARD が決定！ - 来場者 10 万人超予想の展示会は 15 日開幕	マイナビニュース https://news.mynavi.jp/techplus/article/20241010-3042622/	2024.1 0.10
3	NEDO 東北大 NEC アイシン	東北大学、NEC、アイシンが研究開発に取り組む NEDO プロジェクトの成果が CEATEC AWARD 2024 でネクストジェネレーション部門賞を受賞しました	biglobe ニュース https://news.biglobe.ne.jp/economy/1010/prt_2410_10_1402933027.html	2024.1 0.10
4	NEDO 東北大 NEC アイシン	東北大学、NEC、アイシンが研究開発に取り組む NEDO プロジェクトの成果が CEATEC AWARD 2024 でネクストジェネレーション部門賞を受賞しました	産経新聞 https://www.sankei.com/pressrelease/prtimes/IQXFU4PG45KIDP5MHKDZZFWEE4/	2024.1 0.10
5	東北大	「CEATEC 2024」15 日に開幕	EE Times Japan https://eetimes.itmedia.co.jp/ee/articles/2410/11/news087_2.html	2024.1 0.11
6	東北大	CEATEC 2024 は 808 社が参加、「JAPAN MOBILITY SHOW BIZWEEK」併催で、過去に類のない規模の共創イベントに	Internet Watch https://internet.watch.impress.co.jp/docs/news/1630501.html	2024.1 0.11
7	NEDO 東北大 NEC アイシン	AI 半導体、電力効率 10 倍に／NEDO など開発、シーテックで受賞	電気新聞デジタル https://www.denkishimbun.com/archives/376593	2024.1 0.11
8	NEDO 東北大 NEC アイシン	東北大とアイシン、大容量 MRAM 搭載の「CMOS/スピントロニクス融合 AI 半導体」により従来比 10 倍以上の電力効率を確認	日本経済新聞 https://www.nikkei.com/article/DGXZRSP679991_R11C24A0000000/	2024.1 0.11
9	NEDO 東北大 アイシン	大容量 MRAM を搭載したエッジ領域向け「CMOS /スピントロニクス融合 AI 半導体」により従来比 10 倍以上の電力効率をシステム動作シミュレーションで確認	テック・アイ https://tiisys.com/blog/2024/10/11/post-145834/	2024.1 0.11
10	NEDO 東北大 NEC アイシン	大容量 MRAM を搭載したエッジ領域向け「CMOS /スピントロニクス融合 AI 半導体」により従来比 10 倍以上の電力効率をシステム動作シミュレーションで確認	PR Timas https://prtimes.jp/main/html/rd/p/000000118.000135644.html	2024.1 0.11
11	NEDO 東北大 NEC アイシン	東北大学、NEC、アイシンが研究開発に取り組む NEDO プロジェクトの成果が CEATEC AWARD 2024 でネクストジェネレーション部門賞を受賞しました	excite ニュース https://www.excite.co.jp/news/article/Prtimes_2024-10-13-135644-122/	2024.1 0.13
12	NEDO 東北大 アイシン	NEDO が CMOS/スピントロニクス融合 AI 半導体を開発、従来比 10 倍以上の電力効率を実現	xexeq https://xexeq.jp/blogs/media/topics14853	2024.1 0.13
13	NEDO 東北大 NEC アイシン	東北大学、NEC、アイシンが研究開発に取り組む NEDO プロジェクトの成果が CEATEC AWARD 2024 でネクストジェネレーション部門賞を受賞しました	時事ドットコム https://www.jiji.com/jc/article?k=000000122.000135644&g=prt	2024.1 0.14
14	NEDO 東北大 NEC アイシン	東北大学、NEC、アイシンが研究開発に取り組む NEDO プロジェクトの成果が CEATEC AWARD 2024 でネクストジェネレーション部門賞を受賞しました	Mapion ニュース https://www.mapion.co.jp/news/release/000000122.000135644/	2024.1 0.14
15	NEDO 東北大 NEC アイシン	アイシン、エッジ AI 向け新半導体を共同開発…電力効率 10 倍以上を実現	Yahoo ニュース https://news.yahoo.co.jp/articles/4a031e1532ffbf	2024.1 0.14

			e1646c75b95520b48814bf5501	
16	NEDO 東北大 NEC アイシン	アイシン、エッジAI 向け新半導体を共同開発 …電力効率 10 倍以上を実現	Response https://response.jp/article/2024/10/14/387310.html	2024.1 0.14
17	NEDO 東北大 NEC アイシン	アイシン、エッジAI 向け新半導体を共同開発 …電力効率 10 倍以上を実現	CARCARE PLUS https://carcareplus.jp/article/2024/10/14/10200.html	2024.1 0.14
18	NEDO 東北大 アイシン	MRAM 活用で従来比電力効率 10 倍/起動時間 1/10 以下を実現するエッジAI 半導体技術、 NEDO などが開発	マイナビニュース https://news.mynavi.jp/techplus/article/20241015-3045236/	2024.1 0.15
19	NEDO 東北大 NEC アイシン	アイシン、エッジAI 向け新半導体を共同開発 …電力効率 10 倍以上を実現	Carview https://carview.yahoo.co.jp/news/detail/494018e6c4f2eed4f862a83f5cc2c3a7c01b5a3c/	2024.1 0.15
20	NEDO 東北大 NEC アイシン	MRAM 活用で従来比電力効率 10 倍/起動時間 1/10 以下を実現するエッジAI 半導体技術、 NEDO などが開発	Infoseek https://news.infoseek.co.jp/article/mynavi_2825043/#goog_rewarded	2024.1 0.15
21	東北大	MRAM 内蔵 AI 演算回路で電力効率が GPU の 10 倍に、東北大が CEATEC 展示	日経 XTECH https://xtech.nikkei.com/atcl/nxt/column/18/02974/101200004/	2024.1 0.16
22	NEDO 東北大 NEC アイシン	「CMOS/スピントロニクス融合 AI 半導体」を 開発	EE Times Japan https://eetimes.itmedia.co.jp/ee/articles/2410/16/news055.html	2024.1 0.16
23	NEDO 東北大 NEC アイシン	「CMOS/スピントロニクス融合 AI 半導体」を 開発	TechEyesOnline https://www.techeyesonline.com/news/detail/eetimesjapan-202410160930-1/	2024.1 0.16
24	NEDO 東北大 アイシン	NEDO の省エネ AI 半導体プロジェクト：革新的 な「CMOS/スピントロニクス融合 AI 半導体」 が従来比 10 倍以上の電力効率を実現：注目 ニュース	note https://note.com/semicontimes/n/neb3c9fa392f2	2024.1 0.16
25	NEDO 東北大	東北大学、MRAM 活用で AI 処理の消費電力を 1/10 以下に、TSMC での量産も視野	Yahoo ニュース https://news.yahoo.co.jp/articles/260d0c2720fdb4df529cfdd255b151aa77781ef	2024.1 0.17
26	NEDO 東北大	東北大学、MRAM 活用で AI 処理の消費電力を 1/10 以下に、TSMC での量産も視野	Internet.watch https://internet.watch.impress.co.jp/docs/event/1632190.html	2024.1 0.17
27	NEDO 東北大	東北大学、MRAM 活用で AI 処理の消費電力を 1/10 以下に、TSMC での量産も視野	Goo ニュース https://news.goo.ne.jp/picture/trend/internet_watch-1632190.html	2024.1 0.17
28	NEDO 東北大 アイシン	東北大学・アイシン、省電力のエッジ向け AI 半導体 起動時間も短縮	日刊工業新聞 (ウェブ)	2024.1 1.29

			https://www.nikkan.co.jp/articles/view/00732779?gnr_footer=0079273	
29	東北大 NEC アイシン	混載 STT-MRAM に TSMC が本腰 SOT-MRAM は技術基盤整う	日経エレクトロニクス 2025 年 4 月号	2025. 3 . 20

(c) その他

番号	発表者	タイトル	形態	日付
1	東北大学 (吉田知生、夏井雅典、羽生貴弘)	IEEE SSCS Japan Chapter Academic Research Award 受賞 「間欠的コンピューティングの実現に向けた MTJ ベース省エネルギー・コンパクト不揮発レジスタの構成」	受賞	2024. 5. 10
2	東北大学 (Ken Asano, Masanori Natsui, and Takahiro Hanyu)	IEEE Computer Society Technical Committee of MVL (Multiple-Valued Logic) "Outstanding Contributed Paper Award"	受賞	2024. 5. 28
3	NEDO	東北大学、NEC、アイシンが研究開発に取り組む NEDO プロジェクトの成果が CEATEC AWARD 2024 でネクストジェネレーション部門賞を受賞しました	ニュースリリース	2024. 10. 10
4	NEDO 東北大学 (株)アイシン	大容量 MRAM を搭載したエッジ領域向け「CMOS/スピントロニクス融合 AI 半導体」により従来比 10 倍以上の電力効率をシステム動作シミュレーションで確認	ニュースリリース	2024. 10. 11
5	東北大学 日本電気(株) (株)アイシン	CEATEC 2024 CMOS/スピントロニクス融合 AI 半導体	展示会	2024. 10. 15- 10. 18
6	(株)アイシン	株式会社アイシン 新製品展示会	自社開催展示会	2024. 11. 1- 12. 10
7	東北大学 (夏井雅典、羽生貴弘)	VLSI 設計技術研究会・優秀大会 講演論文賞	受賞	2024. 11. 14

②研究開発項目②：テーマ名「万能高位合成と新型汎用データフロー計算機構」

【特許】

番号	出願者	出願番号	国内外 国 PCT	出願日	状態	名 称	発明者
1	日本電気 (株)	特願 2023-187935	国内	2023/11/1	出願	高位合成装置	高橋 渡

2	キヤノン株式会社	特願 2024-061719	国内	2024/04/05	出願	情報処理装置およびその制御方法	山本 あゆ美
3	キヤノン株式会社	特願 2024-171514	国内	2024/09/30	出願	情報処理装置、情報処理方法	兒玉 成緒
4	キヤノン株式会社	特願 2024-171515	国内	2024/09/30	出願	情報処理装置、情報処理方法	兒玉 成緒
5	日本電気(株)	特願 2025-056300	国内	2025/03/28	出願	疎行列乗算装置、疎行列乗算処理回路、疎行列処理装置および疎行列乗算方法	酒井 完

(Patent Cooperation Treaty: 特許協力条約)

【論文】

番号	発表者	所属	タイトル	発表誌名、ページ番号	査読	発表年月
1	Haopeng Meng, Kazutoshi Wakabayashi, Tadahiro Kuroda	The University of Tokyo	A Scalable Linear Equation Solver FPGA using High-Level Synthesis	The 24th Workshop on Synthesis And System Integration of Mixed Information technologies(SASIMI 2022 proceedings)	査読有	2022/10
2	CHEN TSEWEI	Canon Inc.	Dedicated Inference Engine and Binary-Weight Neural Networks for Lightweight Instance Segmentation	IEEE/CVF Conference on Computer Vision and Pattern Recognition Workshops (CVPRW)	査読有	2024/6
-	Haopeng MENG, Kazutoshi WAKABAYASHI, and Makoto IKEDA	The University of Tokyo	Nested-Pipeline Delta-Stepping Scalable FPGA Accelerator for Parallel Single-Source Shortest Path with High-Level Synthesis	IEICE TRANS, Special-VL	投稿済	

【外部発表】

(a) 学会発表・講演

番号	発表者	所属	タイトル	会議名	発表年月
1	Atsushi Hatabu Toshihiko Nakamura, Kazutoshi Wakabayashi	NEC u. of Tokyo	High level synthesis for sequential nested loops:~ Fully hardwired SLAM local bundle adjustment ~	60th Design Automation Conference	2023/06

2	酒井完	日本電気 (株)	Sliding Window 実現方式の 自動選択機構による CNN 推論処理の高効率化	情報処理学会 組 込み技術とネット ワークに関する ワークショップ ETNET2024	2024/03
3	Kento Mishima	東京農工 大学	ISP Parameter Optimization and FPGA Implementation for Object Detection in Low-Light Conditions	2024 IEEE Symposium in Low-Power and High-Speed Chips (COOL CHIPS)	2024/04
4	Haopeng MENG, Kazutoshi WAKABAYASHI, and Makoto IKEDA	The University of Tokyo	Single-Source Shortest Path FPGA Accelerator Using Multiple Parallel Searches with High-Level Synthesis and Linked List Implementation	VLD 研究会	2025/3

(b) 新聞・雑誌等への掲載 なし

(c) その他 なし

@研究開発項目②：テーマ名「省電力化に向けた次世代ヘテロジニアス AI デバイスの SW-HW協調設計ツール開発」

【特許】

なし

【論文】

なし

【外部発表】

(a) 学会発表・講演

番号	発表者	所属	タイトル	会議名	発表年月
1	Wenqin Xu/ Hiromu Yokokura	Renesas Electronics Corp./Fixstars Corp.	Renesas Hardware accelerators with Apache TVM	TVMCon 2023	2023/03/15

(b) 新聞・雑誌等への掲載 なし

(c) その他

番号	所属	タイトル	掲載場所	発表年月
1	ルネサスエレクトロニクス株式会社/株式会社フィックスターズ	ルネサスとフィックスターズ、AD/ADAS 向け AI ソフトウェアを R-	Renesas Web サイト	2022/12/15

		Car SoC に最適化するツール群を共同開発		
2	ルネサスエレクトロニクス株式会社	省電力化に向けた次世代ヘテロジニアスAIデバイスのSW-HW協調設計ツール開発	CEATEC2024	2024/10

2. 分科会公開資料

次ページより、推進部署・実施者が、分科会において事業を説明する際に使用した資料を示す。

「省エネAI半導体及びシステムに関する技術開発事業」 (中間評価)

2023年度～2027年度 5年間

プロジェクトの説明

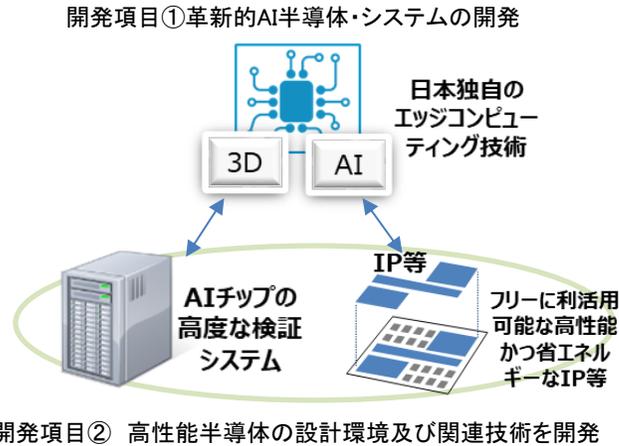
2025年6月20日

国立研究開発法人 新エネルギー・産業技術総合開発機構

半導体・情報インフラ部

プロジェクトの概要

急拡大する情報社会において、従来のサーバー(クラウド)集約型から情報処理の分散化を実現するエッジコンピューティングが世界的に注目されている。エッジ領域ではチップやセンサ、各種デバイスの小型化・省エネルギー化は勿論、実際の産業応用シーンを見据えたシステムの確立、その設計技術に課題が残る。本事業では、開発項目①においてエッジ領域で活用可能な高度な半導体及びシステムの開発を進めると共に、開発項目②において、その設計技術を高度化する開発を実施し、エッジコンピューティングの産業応用を後押しする研究開発を実施する。



関連する技術戦略: コンピューティング技術戦略

プロジェクト類型: 標準的研究開発

既存プロジェクトとの関係

- 高効率・高速処理を可能とするAIチップ・次世代コンピューティングの技術開発/研究開発項目①革新的AIエッジコンピューティング技術の開発(2018~2022年度)において実施した委託事業領域について、当該開発成果の産業応用を後押しするもの。また、同事業研究開発項目④(2022~2024年度)においては、開発項目を移管、統合して実施する。
- AIチップ開発加速のためのイノベーション推進事業(2018~2022)同事業において開発、整備した開発拠点を適宜活用して開発を実施する。

想定する出口イメージ等

アウトプット目標	開発成果を組み込んだシステムレベルでの検証を行い、エネルギー消費効率あるいは電力効率が、事業開始時における同等の技術と比較し、開発項目①は5倍以上、開発項目②は10倍以上となることを示す。また、それぞれの技術が想定する市場において競争力を発揮するために達成することが必要となる目標を個別に定め、研究開発を推進する。
アウトカム目標	想定する社会実装先でのAI関連ハードウェア世界市場において、研究開発成果の一部が市場に出る2032年に最低でも約4,000億円以上の市場を獲得し、それに付随するソフトウェア及びサービス等により更なる波及効果の創出を目指す。さらに、エッジやクラウド等の省電力化を実現し、2032年において約1,373万t/年のCO2削減を目指す。
出口戦略 (実用化見込み)	開発項目①については、エッジ領域において産業応用領域(例: 自動運転、産業機械、ヘルスケア)を想定した開発を行い、研究開発期間中から当該領域における課題解決や産業用途に沿った開発を事業化想定プレイヤーと共に行うことで、研究開発終了後速やかに実用化を進める。また、開発項目②については、設計技術の高度化を通じて①の産業応用加速を後押しする。 国際標準化活動予定: 有 委託者指定データ: 無
グローバルポジション	プロジェクト開始時: DH/RA → プロジェクト終了時: DH/LD 日本における半導体の開発は立て直しの最中にあり、他国の事業者と比較してDH/RAの状況にある。世界的に当該領域は開発競争が激化しており、産業応用の後押し、設計技術の確立などを持ってなお、事業終了時はDHの状況は変わらないと考えられるが、日本が優位性を持つ技術領域においてはLDとなれる成果も見込む。

事業計画

期間: 2023~2027年度(5年間)
 ※開発項目②は別PJでの実施期間2022年度を含める。
 総事業費(NEDO負担分): 172億円(予定)(委託、1/2 or 2/3助成)
 2025年度政府予算額: 30億円

	2023	2024	2025	2026	2027	2028
研究開発項目1 (助成)	→ SG 審査					
研究開発項目2 (委託・助成)	→					
評価時期			中間評価			終了時評価
予算 (億円)	34	48	30			

ページ構成

1. 意義・アウトカム（社会実装）達成までの道筋

- (1) 本事業の位置づけ・意義
- (2) アウトカム達成までの道筋
- (3) 知的財産・標準化戦略

- ・ 事業の背景・目的・将来像
- ・ 政策・施策における位置づけ
- ・ 技術戦略上の位置づけ
- ・ 外部環境の状況（技術、市場、制度、政策動向など）
- ・ 他事業との関係
- ・ アウトカム達成までの道筋
- ・ 知的財産・標準化：オープン・クローズ戦略
- ・ 知的財産管理

2. 目標及び達成状況

- (1) アウトカム目標及び達成見込み
- (2) アウトプット目標及び達成状況

- ・ 実用化・事業化の考え方とアウトカム目標の設定及び根拠
- ・ アウトカム目標の達成見込み
- ・ 費用対効果
- ・ 非連続ナショプロに該当する根拠
- ・ 本事業における研究開発項目の位置づけ
- ・ アウトプット目標の達成状況
- ・ 特許出願及び論文発表

3. マネジメント

- (1) 実施体制
- (2) 受益者負担の考え方
- (3) 研究開発計画

- ・ NEDOが実施する意義
- ・ 実施体制
- ・ 個別事業の採択プロセス
- ・ 研究データの管理・利活用
- ・ 予算及び受益者負担
- ・ 研究開発のスケジュール
- ・ 進捗管理
- ・ 進捗管理：事前評価結果への対応
- ・ 進捗管理：動向・情勢変化への対応
- ・ 進捗管理：成果普及への取り組み

<評価項目 1> 意義・アウトカム（社会実装） 達成までの道筋

- (1) 本事業の位置づけ・意義
- (2) アウトカム達成までの道筋
- (3) 知的財産・標準化戦略

ページ構成

- 事業の背景・目的・将来像
- 政策・施策における位置づけ
- 技術戦略上の位置づけ
- 外部環境の状況（技術、市場、制度、政策動向など）
- 他事業との関係
- アウトカム達成までの道筋
- 知的財産・標準化：オープン・クローズ戦略
- 知的財産管理

1. 意義・アウトカム（社会実装）達成までの道筋

- (1) 本事業の位置づけ・意義
- (2) アウトカム達成までの道筋
- (3) 知的財産・標準化戦略

2. 目標及び達成状況

- (1) アウトカム目標及び達成見込み
- (2) アウトプット目標及び達成状況

3. マネジメント

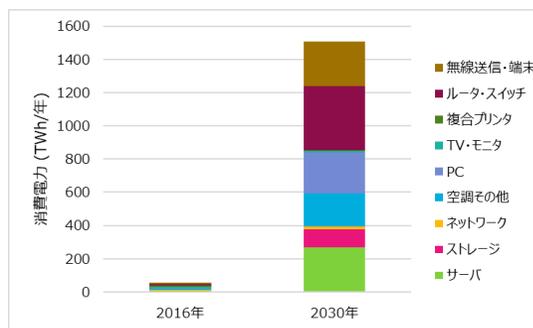
- (1) 実施体制
- (2) 受益者負担の考え方
- (3) 研究開発計画

事業の背景・目的・将来像

エネルギー動向※1

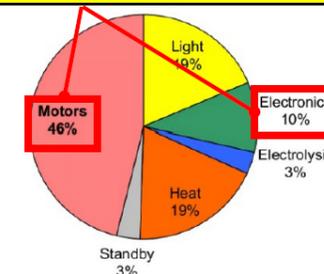
製造・サービス・輸送・インフラなど、あらゆる分野において、グリーン化の進展が必要

- 住宅や工場、自動車などの電化やデジタル化が進むことにより、デジタル関連の消費電力は増加し、CO₂排出が増えることが予想される。
- デジタル関連の消費電力は、今後、飛躍的に増加していく見込み。2016年：410億kWh/年（全電力の4%程度）
⇒ **2030年：1兆4,800億kWh/年**
（現在の36倍以上）



低炭素社会実現に向けた政策立案のための提案書 技術普及編
情報化社会の進展がエネルギー消費に与える影響 (Vol.1) 平成31年3月
から試算

世界の電力需要の半分以上に
半導体の省エネ効果のポテンシャル有



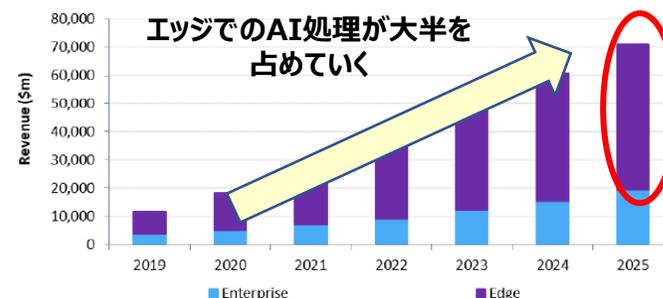
Paul Waide & Conrad U. Brunner et al., IEA Energy Efficiency Series, Working Paper, 2011
(出典) "Electric Motor Systems: targeting and implementing efficiency improvements", European Copper Institute, 8 October 2015

半導体市場概況※1

半導体市場は、デジタル革命の進展に伴い、今後も右肩上がり成長

- 半導体市場は、デジタル革命の進展に伴い今後も右肩上がり成長（2030年約100兆円）。
- ボリュームゾーンは、スマホ・PC・DC・5Gインフラに使われるロジックとメモリで、米韓台が市場席巻。
- 今後、5G・ポスト5Gインフラの基盤の上に、**エッジコンピューティング・アプリケーション・デバイス（自動運転、FA等）**での新たな半導体需要の成長が見込まれ、これが日本の参入機会のラストチャンス

Figure 9: Deep learning chipset revenue by market sector, world markets: 2019–25



Omdia Market Report: Deep Learning Chipsets CPUs, GPUs, FPGAs, ASICs, and SoC Accelerators for AI Training and Inference Applications: Global Market Analysis and Forecasts © 2020 Omdia

2025年までにはデータの75%が従来のデータセンターやクラウドの外部 = エッジで処理される※2

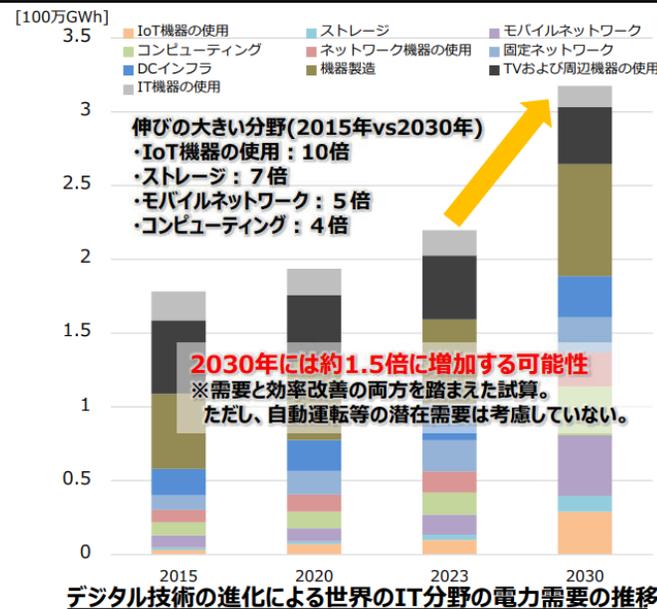
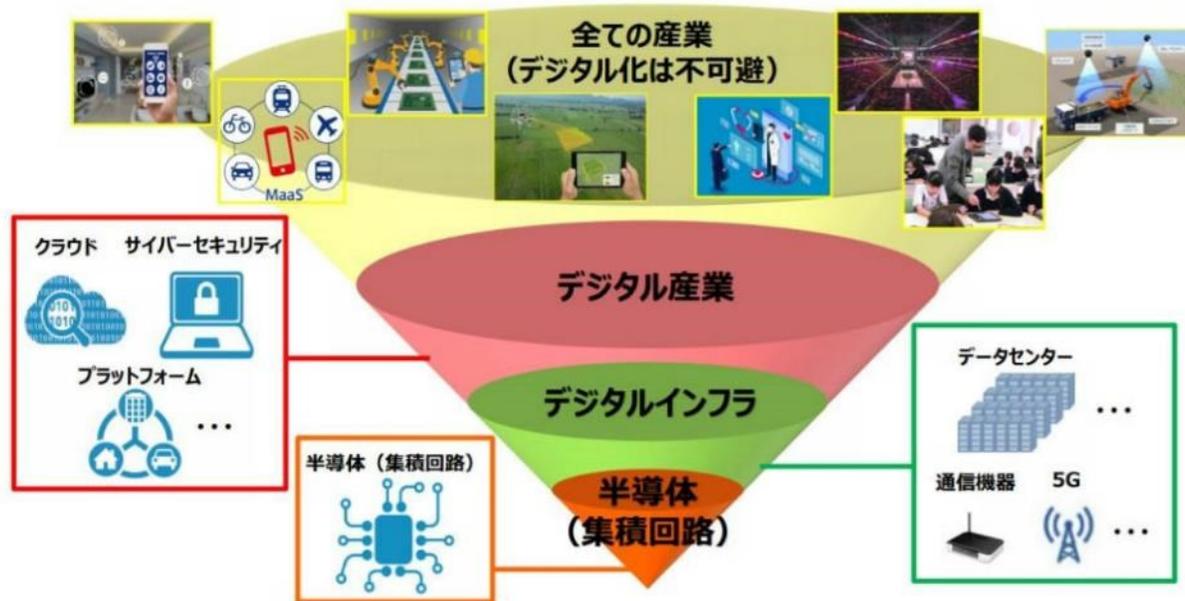
様々な分野でのエッジコンピューティングのユースケースに有効な技術開発が求められる

※1 METI、2021年3月24日、第1回 半導体・デジタル産業戦略検討会議「半導体戦略(骨子)」
※2 「What Edge Computing Means for Infrastructure and Operations Leaders」、Rob van der Meulen、ガートナー・リサーチ、2018年10月

政策・施策における位置づけ

半導体・デジタル産業戦略

既存の「アプリケーションシステム基盤半導体技術」を拡充・強化すると同時に、先端ロジック半導体の設計開発拠点に関する研究開発も実施し、先端ロジック半導体の設計・開発強化に取り組む。



半導体や情報処理技術、情報通信技術の進化は留まることを知らず、今後も情報処理量を拡大させながら、デジタル技術の活用が競争力の源泉となる時代は続いていく。ただし、**今後は、生成AIの登場と量子コンピュータ等の情報処理能力が異次元の飛躍を遂げることによって、データセンターにおける計算処理についても大幅な拡大/用途別化が進むことが見込まれる。また、エッジ領域における分散情報処理の拡大が見込まれており、社会全体での計算量が増大する中で、消費電力の削減も求められる。**我が国産業全体として真のDXを実現する最後の機会であり、また、自動車・ロボティクスをはじめとするものづくり産業の競争力にとっても絶好機であるとともに、この流れに取り残されることは死活問題となる。

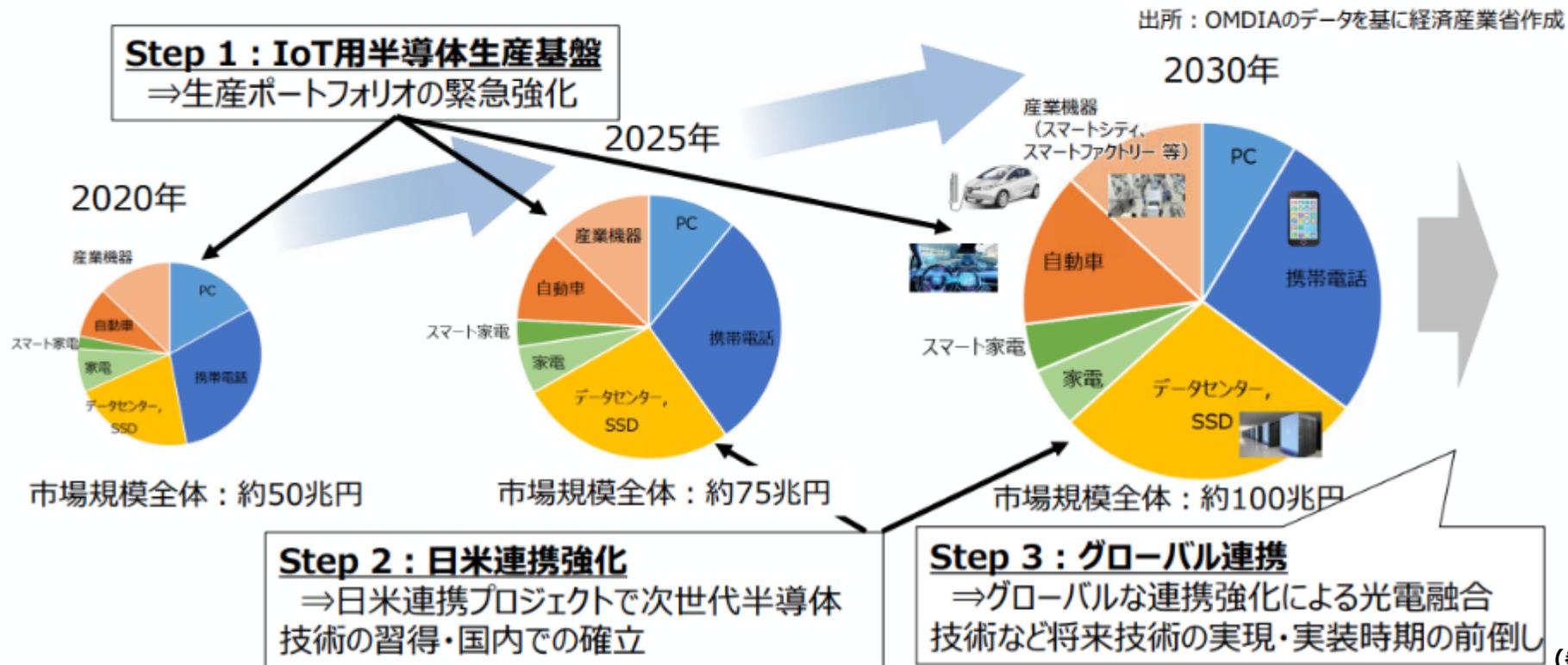
新たなデジタル社会におけるユーザー産業の競争力の強化に向けて、その付加価値の源泉となる半導体・デジタル産業基盤を日本に整備・確保することが不可欠である。

政策上の位置づけ、有識者からの指摘も踏まえ、特にAIチップ開発の産業応用領域の推進として、半導体・デジタル産業戦略に基づき、研究開発を実施

政策・施策における位置づけ

我が国半導体産業復活の基本戦略

- 2030年に、国内で半導体を生産する企業の合計売上高（半導体関連）として、15兆円超（※2020年現在5兆円）を実現し、我が国の半導体の安定的な供給を確保する。



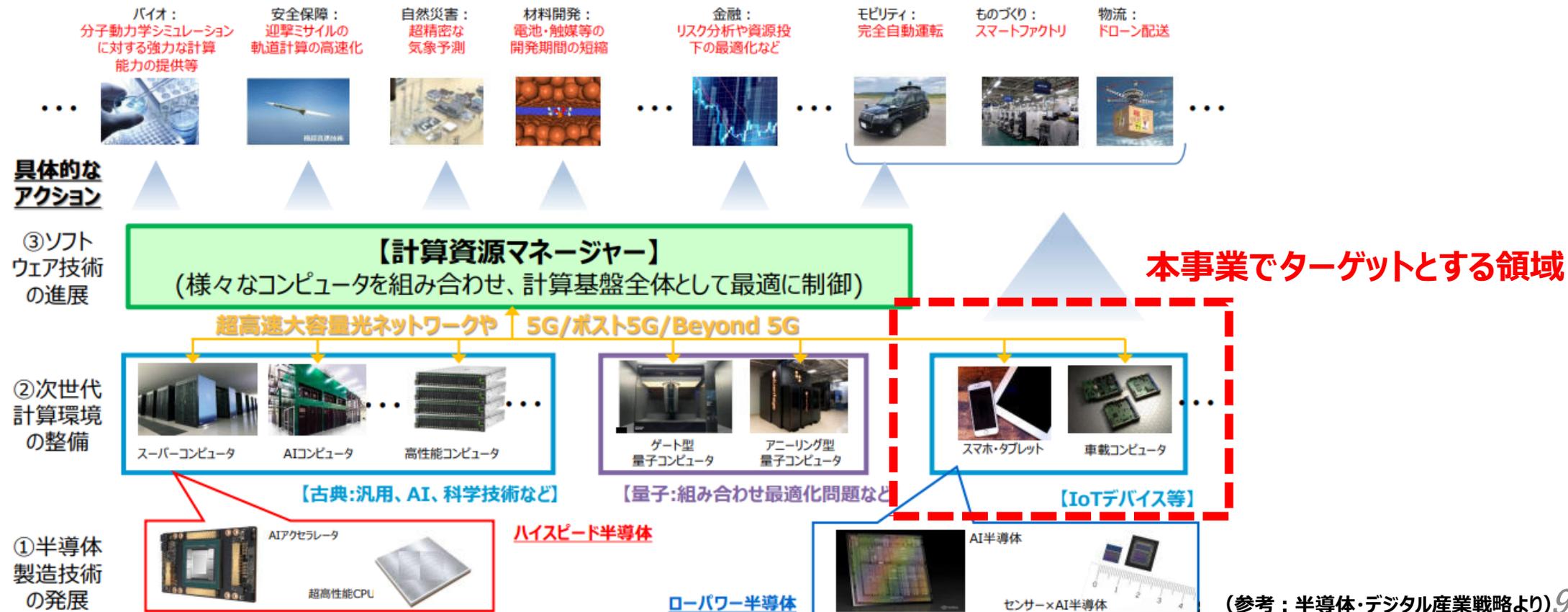
IoT用半導体の供給強化の戦略に対し、ファブダリーだけでなく、ファブレス（LSI設計開発）を後押しする研究開発も必要

政策・施策における位置づけ

3. 半導体・デジタル産業戦略（令和3年6月公表）の実施状況 (1) 半導体分野

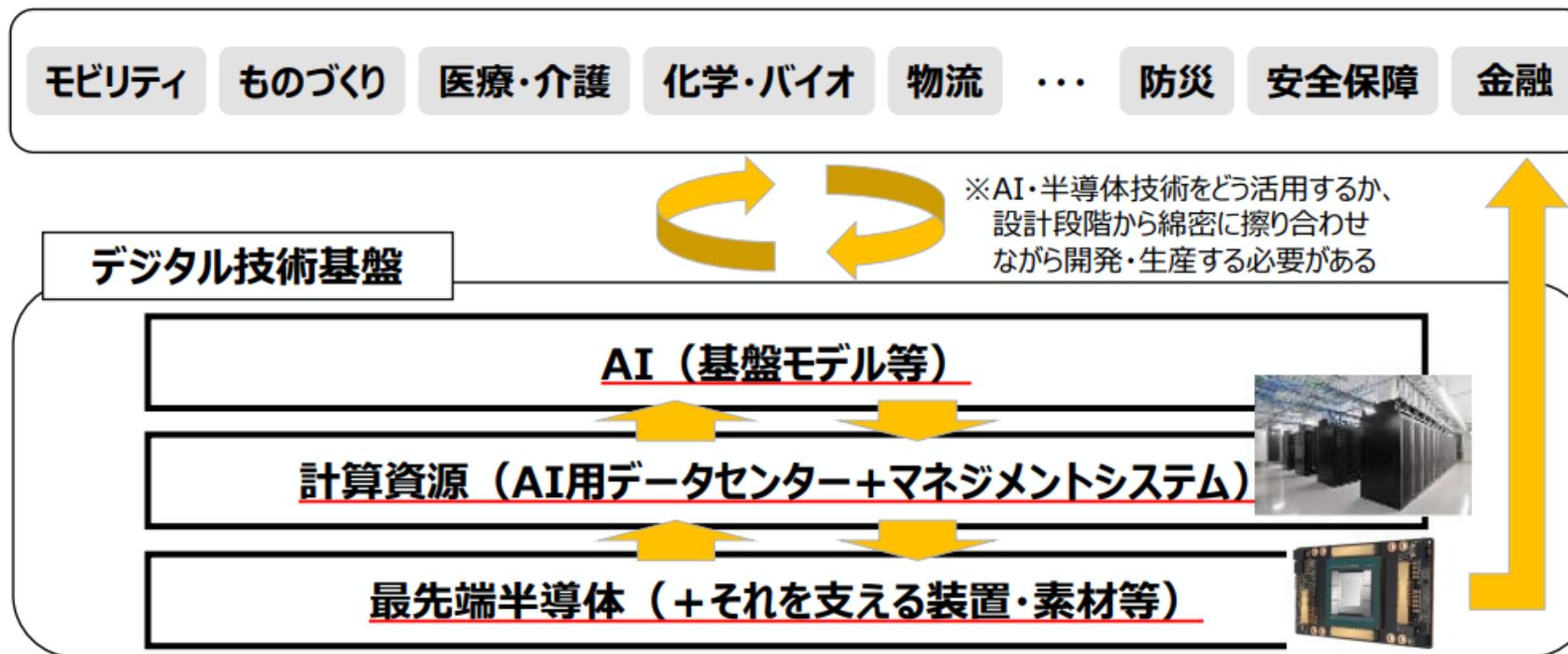
次世代計算基盤の俯瞰図

- ポスト5G、ビヨンド5G時代では、量子コンピュータやスパコン、IoTデバイス等を各種ネットワークでつなぎ、大規模なシミュレーションや個別の端末等における情報処理を最適化する。
- これらの実現のためには、基盤となる最先端半導体およびシステムとしての量子やスパコン、IoTデバイス、そしてそれらを統合管理するソフトウェアが必要であり、これらを統合的に開発し、社会実装していかなばならない。
- こうした社会基盤整備は幅広い産業や国家サービスの生産性を向上させるものであり、経済成長に不可欠な要素。



政策・施策における位置づけ

- AIによるイノベーションが世界中で加速度的に進む中、我が国企業が競争力を失わず、成長し続けるためには、優れたAIやそれを動かす最先端の半導体を自社の製品・サービス等に早期に取り込んでいくことが重要。
- そのためには、国内に最先端のAI・半導体技術や産業、人材の基盤があることが必要。さもなければ、我が国産業の国際競争力の強化に必要なコア技術基盤の海外依存度が高まる上、貿易赤字も一層拡大する恐れ。

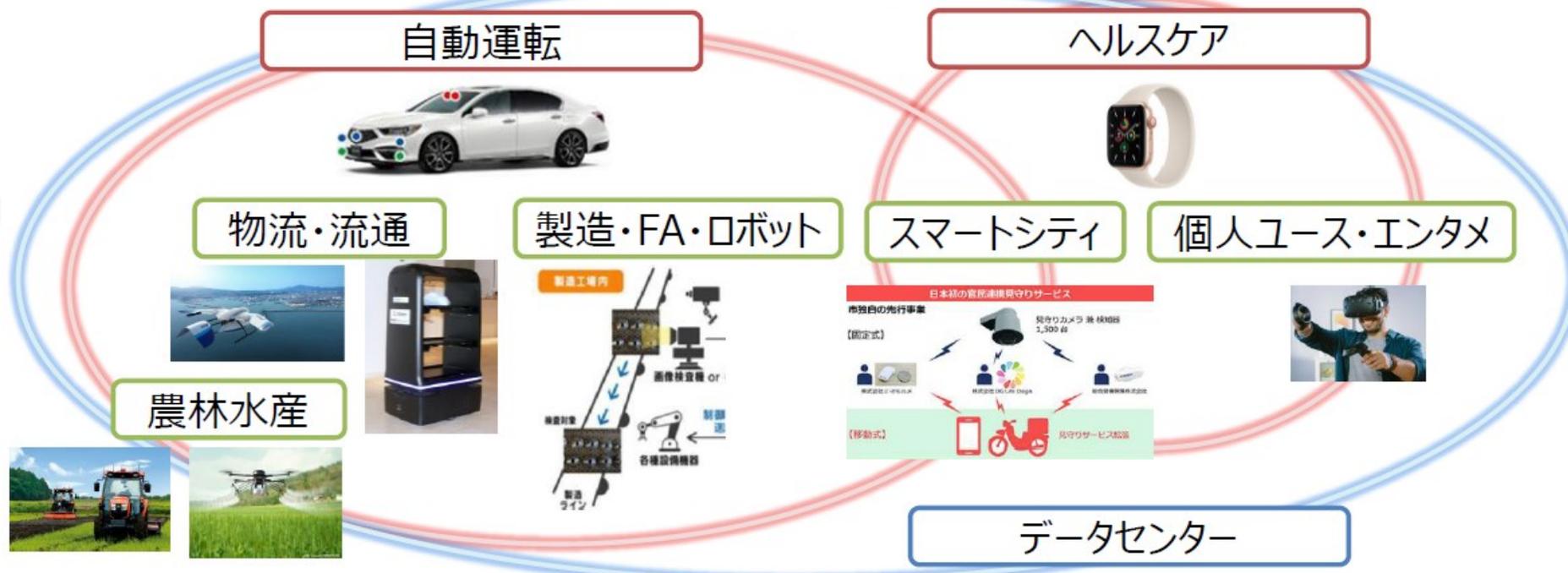


我が国の産業が成長を続けるためには、**デジタル技術基盤が不可欠**

（参考：半導体・デジタル産業戦略の現状と今後 より）

技術戦略上の位置づけ

- モビリティ・自動運転については、多くの情報を認識し、遅延なく処理し、車に指令を出して動かす必要があるため、**高い処理性能を有する半導体**が求められる。
- ヘルスケア分野では、ウェアラブルという観点で**小型・省電力な半導体**と、生体情報という機微な情報を扱うための**セキュリティ性能**が求められる。



(参考：NEDOコンピューティング技術分野の技術戦略より)

関連する技術戦略：「コンピューティング技術分野の技術戦略（2015～）」※今後はInnovation Outlook（現在策定中）においても取りまとめられる予定
戦略をフォローする調査を前身の事業（「高効率・高速処理を可能とするAIエッジ・次世代コンピューティングの技術開発」）で実施：
「技術動向調査（2021～2022）」、「知財戦略調査（2022～2023）」

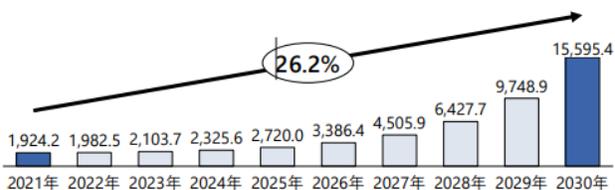
外部環境の状況（技術、市場、制度、政策動向など）

グローバルのAI市場は、「自動運転・モビリティ」、「製造業・ロボット」、「スマートライフ（健康医療福祉）」が市場を牽引し、CAGR26.2%で成長

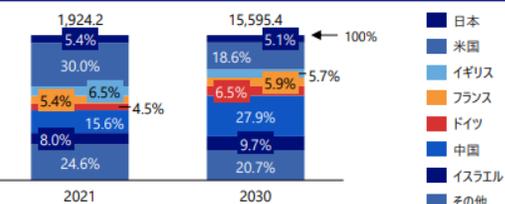
- グローバルのAI市場は、AIビジネスの進展等により、CAGR26.2%('21-'30)で成長する見込み。
- 2030年にかけてグローバルAI市場を牽引するのは「自動運転・モビリティ」「製造業・ロボット」「スマートライフ（健康医療福祉）」。
- 製品別内訳は、H/W25.7%、S/W61.0%、サービス13.3%。国・地域別内訳は2021年は日本5.4%だが、2030年にかけて減少の見込み。

グローバルAI市場動向（2021年-2030年、十億米ドル）

- ・ グローバルのAI市場は2021年から2030年にかけてCAGR26.2%で成長する。
- ・ AIビジネスの進展、AI投資の増加、政策支援等がグローバルAI市場の成長を牽引する。

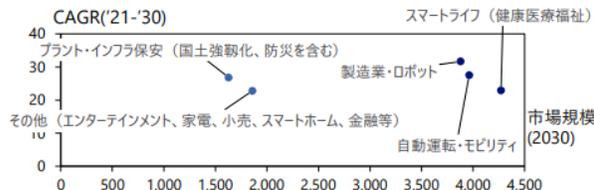


グローバルAI市場の国・地域別内訳

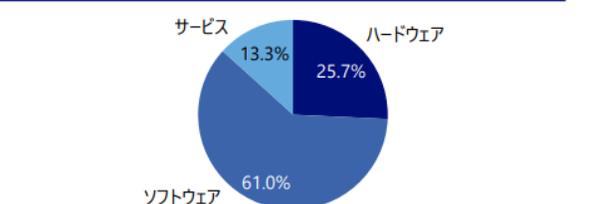


グローバル分野別AI市場（2021年-2030年、十億米ドル）

- ・ グローバルのAI市場では、「自動運転・モビリティ」「製造業・ロボット」「スマートライフ（健康医療福祉）」が、2030年の市場規模およびCAGRともに高い予測となっている。



グローバルAI市場の内訳（2021）

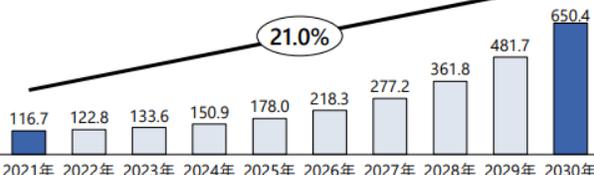


AIエッジ市場も、「自動運転・モビリティ」、「製造業・ロボット」、「スマートライフ（健康医療福祉）」が市場を牽引し、CAGR21.0%で成長

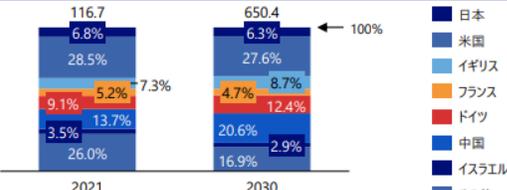
- グローバルAIエッジ市場は、リアルタイム性能に対する需要の高まり等により、CAGR21.0%('21-'30)で成長する見込み。
- AI市場と同様に、2030年にかけてグローバルのAIエッジ市場を牽引するのは「自動運転・モビリティ」「製造業・ロボット」「スマートライフ（健康医療福祉）」。
- 製品別内訳はH/W59.3%、S/W16.6%、サービス24.1%。国・地域別内訳は、2021年は日本6.8%だが、2030年にかけて減少の見込み。

グローバルAIエッジ市場動向（2021年-2030年、十億米ドル）

- ・ グローバルAIエッジ市場は、CAGR21.0%で成長する見込み。
- ・ グローバルAIエッジ市場は、リアルタイム性能に対する需要の高まり等によって成長する。

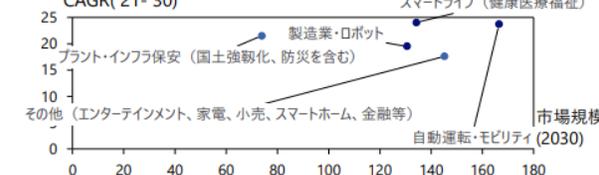


グローバルAIエッジ市場の国・地域別内訳

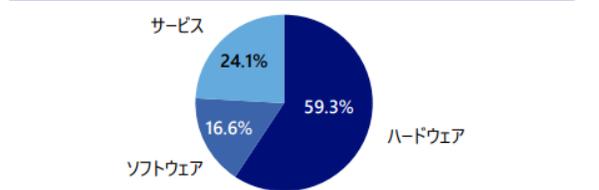


グローバル分野別AIエッジ市場（2021年-2030年、十億米ドル）

- ・ グローバルのAIエッジ市場では、AI市場同様に、「自動運転・モビリティ」「製造業・ロボット」「スマートライフ（健康医療福祉）」が、2030年の市場規模およびCAGRともに高い予測となっている。



グローバルAIエッジ市場の製品別内訳（2021）

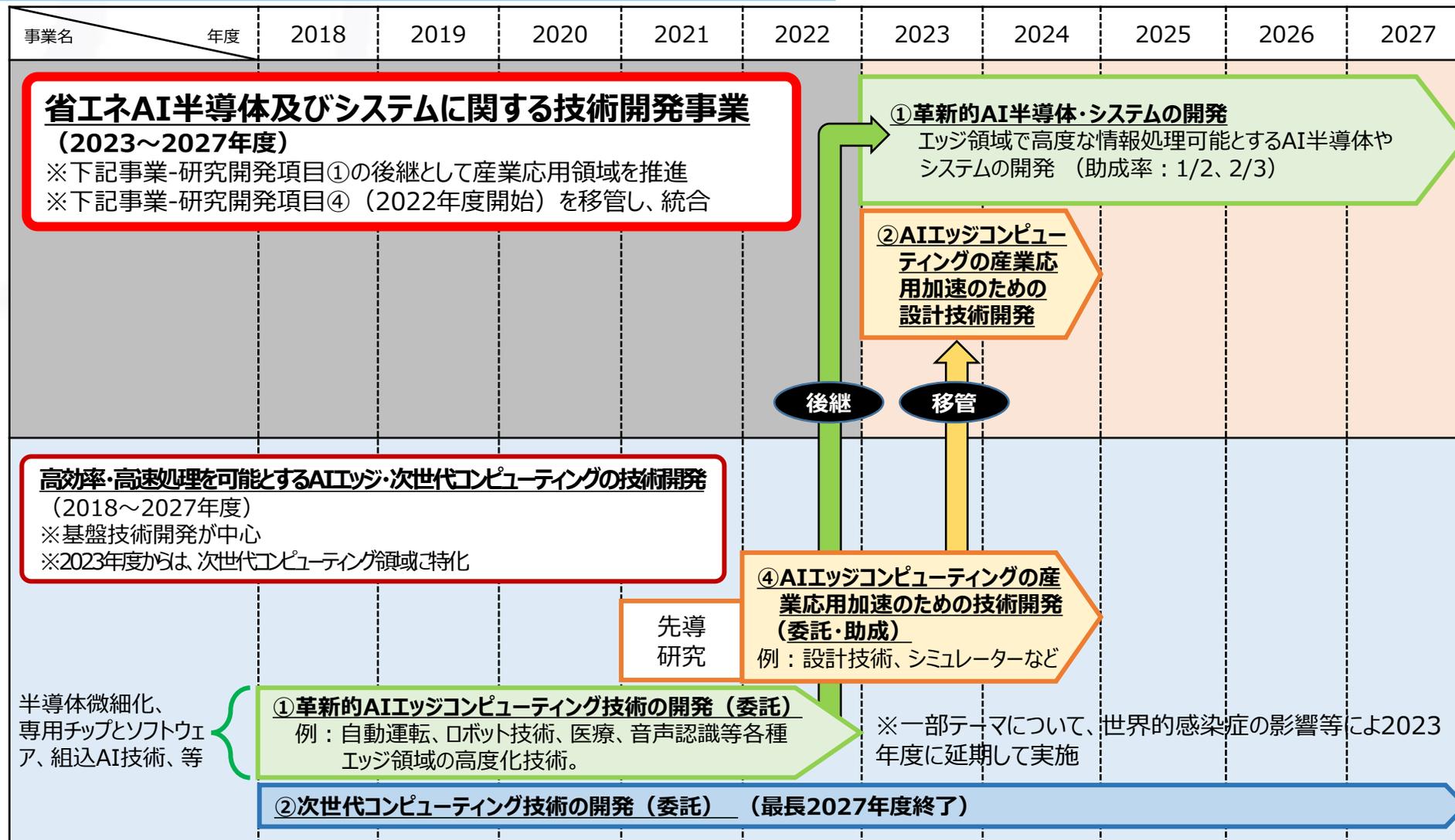


（参考：NEDO技術動向調査より）

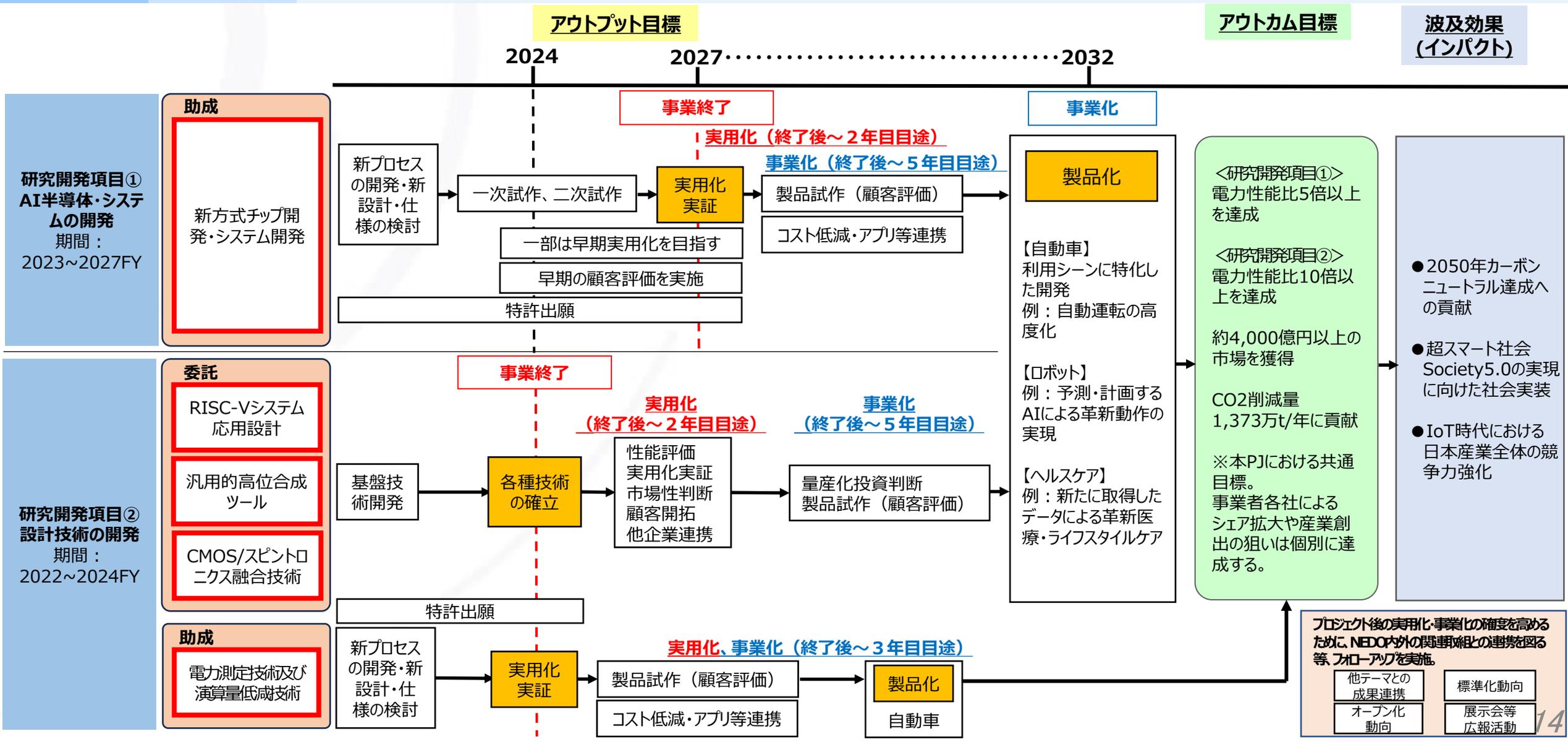
グローバルのAI市場・AIエッジ市場ともに、AIビジネスの進展やリアルタイム性能に対する需要の高まり等により、**今後も2030年度までに大きく成長する見通しであり、「自動運転」、「ロボット」、「スマートライフ」が市場を牽引**

他事業との関係

エッジ領域の産業応用推進として領域を整理するため統合して実施



アウトカム達成までの道筋



知的財産・標準化:オープン・クローズ戦略

前身の事業にて、知財戦略に係る調査を2022年度に実施し、調査結果に基づき事業者をフォロー

本調査の進め方

I-1. 調査結果概要

- NEDO AIエッジコンピューティングにおける背景を把握し、AIエッジコンピューティング領域のマクロ調査を実施
- 本テーマ実施者の現状をアンケート・ヒアリングによって収集の上、事実の整理・課題抽出を実施。深掘りテーマを選定の上、提言案を作成し、有識者意見を参考に提言を改訂
- 社会実装の中でも市場拡大に向けて、エッジAI産業関係者およびNEDOが今後参考にすべき知財戦略を策定

1. NEDO AIエッジコンピューティング領域における背景把握

NEDO PJの現状整理

- NEDO PJの前提把握
- NEDO AIエッジコンピューティング事業の把握

p.32~38

外部環境整理(マクロ調査)

- 市場調査
- 特許調査

p.39~63

2. NEDO AIエッジコンピューティング領域の現状調査・深掘り

本テーマ実施者の現状調査
● アンケート
● ヒアリング

p.64~80
p.81~94

有識者の意見聴取
● 事業戦略と知財戦略
● 社会実装に向けた課題
● NEDOや国の関与

p.83
p.95~99

事実の整理

課題抽出

深掘り調査
● パテントポートフォリオ
● 事例収集

p.100~137

提言案

p.138~141

3. 提言取りまとめ

全体提言

- 事業戦略の策定
 - 積極的な特許出願
 - 知財関連リソース不足補填
 - オープンな技術へのリスク管理

p.16

エッジAI産業関係者に向けた提言

- 取得・利活用のフェーズ別
- 企業規模別

p.18~23

NEDOに向けた提言

- 対象実施者別
- 知財運営委員会、採択基準

p.22~23

◆知的財産権等に関する戦略

基本事項：

本事業における委託事業（2024年度まで）については、知財基本方針を適用し、テーマ毎に実施者間での知財合意書の作成や知財運営委員会の設置を実施。

助成事業については、その知財等成果は事業者に帰属するものの、同水準以上の知財管理、戦略を実現するべく、NEDOとして同領域に係る事例の情報収集を今後必要に応じて実施する予定。

取組み①：基本特許の取得

研究開発成果における基本的な知財の基本特許を率先して取得することで、関連開発を実施するグループをリードする。

取組み②：他社保有知財に関する対応

関連領域の開発を実施する企業との連携を研究開発と並行して実施し、産業応用を見据えた協力関係構築を実現することで、先行して取得されている知的財産の問題を解決。

取組み③：オープンプラットフォームの構築

研究開発成果を元にオープンプラットフォームを構築し、知財の取得と並行して、社会実装を見据えた学術、産業界との関係を構築することで、実用化・事業化を見据えた動きを後押し。

知的財産管理

■ 委託事業と助成事業

項目	委託事業	助成事業
事業の主体	NEDO	事業者
事業の実施者	委託先	事業者
取得資産の帰属	NEDO (約款20条1項該当)	事業者
事業成果	NEDO	事業者
知的財産権の帰属	バイ・ドール条項遵守の場合は委託先帰属 (注)	事業者
収益納付	なし	あり

(注) 実証事業及び調査事業の委託では、約款上バイ・ドール条項に関する規程はない。

委託事業においては、以下の基本方針で対応

● 知財マネジメント基本方針

NEDOプロジェクトにおける知財マネジメント基本方針に基づき、「全実施機関で構成する知財委員会（又は同機能）」を整備し、「知財の取扱いに関する合意書」を作成する。

● データマネジメントに係る基本方針

NEDOプロジェクトにおけるデータマネジメント基本方針に基づき、「全実施機関で構成する知財委員会（又は同機能）」を整備し、「データの取扱いに関する同意書」を作成する。

<評価項目 2> 目標及び達成状況

- (1) アウトカム目標及び達成見込み
- (2) アウトプット目標及び達成状況

1. 意義・アウトカム（社会実装）達成までの道筋

- (1) 本事業の位置づけ・意義
- (2) アウトカム達成までの道筋
- (3) 知的財産・標準化戦略



2. 目標及び達成状況

- (1) アウトカム目標及び達成見込み
- (2) アウトプット目標及び達成状況



3. マネジメント

- (1) 実施体制
- (2) 受益者負担の考え方
- (3) 研究開発計画

ページ構成

- 実用化・事業化の考え方とアウトカム目標の設定及び根拠
- アウトカム目標の達成見込み
- 費用対効果
- 非連続ナショプロに該当する根拠
- 本事業における研究開発項目の位置づけ
- アウトプット目標の達成状況
- 特許出願及び論文発表

実用化・事業化の考え方とアウトカム目標の設定及び根拠

アウトプット

<研究開発項目①>

- 事業開始時と比較した情報処理の、エネルギー消費効率あるいは電力効率（単位電力あたり性能）の性能比**5倍以上**

<研究開発項目②>

- 事業開始時と比較した情報処理の、エネルギー消費効率あるいは電力効率（単位電力あたり性能）の性能比**10倍以上**

アウトカム

- 想定する社会実装先（自動運転、産業機械、医療・福祉等）でのAI関連ハードウェア世界市場において、研究開発成果の一部が市場に出る2032年に最低でも約4,000億円以上の市場を獲得し、それに付随するソフトウェア及びサービス等により更なる波及効果の創出を目指す。
- エッジ領域における情報処理の省電力化を実現し、2032年において1,373万t/年のCO2削減を目指す。

参考値：2030年度に2013年度比▲26.0%の約10億4,200万t/年-CO2を目指している（地球温暖化対策計画（2016年5月閣議決定））。

出展：中央環境審議会地球環境部会中長期の気候変動対策検討小委員会・産業構造審議会 産業技術環境分科会地球環境小委員会地球温暖化対策検討WG 合同会合第1回 資料4

■ 期待される効果の大きさと、優れた効用について

- ・エネルギー効率が非常に高く、エッジにおいて高速処理を可能とする本研究開発の成果が社会実装されることにより、中央集約型のクラウドコンピューティングから分散型のエッジコンピューティングへの移行を促進し、データの通信等に伴う消費電力を削減。結果として、2050年カーボンニュートラルを目指す上で求められている、半導体省エネ化・グリーン化への貢献が期待できる。
- ・本研究開発を実施することにより、デジタル社会を支える研究開発を進展させるとともに、成果を実用化・事業化することにより、世界における日本企業のプレゼンスを向上させ、延いては日本の産業競争力の強化に貢献できる。

■ 研究開発に取り組まないことで生じるリスク

- ・半導体を巡るグローバルな構造変化（経済安全保障の環境変化、アフターコロナのデジタル革命、エネルギー・環境制約の克服、レジリエンスの強靱化、半導体世界市場における日本の凋落）へ対応できず凋落が加速する。

実用化・事業化の考え方とアウトカム目標の設定及び根拠

ナショナルプロジェクト類型

定義

標準的研究開発

プロジェクト終了後3～5年を目処に、**事業化**まで達することを旨とする研究開発

<研究開発項目①>

研究開発目標	根拠
事業開始時と比較した情報処理の、エネルギー消費効率あるいは電力効率（単位電力あたり性能）の性能比 5倍以上	<p>世界のデータ量：2020年（40ZB）比で、2025年（175ZB）には約5倍となるデータ量の増加が見込まれている。</p> <p>エッジ向けAI半導体：2010年代に比べ、半導体の性能向上は鈍化傾向にある。</p> <p>データ量が増加すると、処理に必要となる電力が大きくなるため、結果的に電力効率の悪化に繋がる。そこで、近年5年間の各社最先端チップの性能向上幅を踏まえ、2030年市場における国際競争力発揮を目的とし、電力効率で5倍を設定。</p>

<研究開発項目②>

研究開発目標	根拠
事業開始時と比較した情報処理の、エネルギー消費効率あるいは電力効率（単位電力あたり性能）の性能比 10倍以上	<p>世界のデータ量：2020年（40ZB）比で、2025年（175ZB）には約5倍となるデータ量の増加が見込まれている。</p> <p>エッジ向けAI半導体：2010年代に比べ、半導体の性能向上は鈍化傾向にある。</p> <p>データ量が増加すると、処理に必要となる電力が大きくなるため、結果的に電力効率の悪化に繋がる。そこで、近年5年間の各社最先端チップの性能向上幅を踏まえ、関連分野の研究開発のスピードを考慮し、挑戦的な目標として、電力効率で10倍を設定。</p>

アウトカム目標の達成見込み

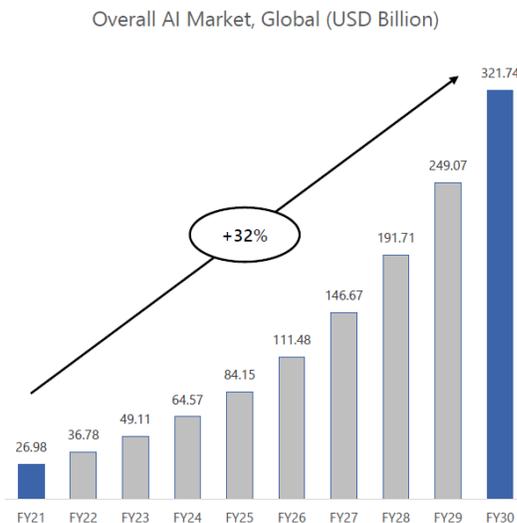
アウトカム目標	進捗状況	達成度	今後の課題、解決方針
<p>想定する社会実装先（自動運転、産業機械、医療・福祉等）でのAI関連ハードウェア世界市場において、研究開発成果の一部が市場に出る2032年に最低でも約4,000億円以上の市場を獲得し、それに付随するソフトウェア及びサービス等により更なる波及効果の創出を目指す。さらに、エッジやクラウド等の省電力化を実現し、2032年において約1,373万t/年のCO2削減を目指す。</p>	<p>研究開発項目①については、技術推進委員会を通じて進捗状況を確認し、これまでの研究開発が当初計画したマイルストーン通りに進捗しており、成果も出てきていることを確認した。また、1次チップの試作に関する開発やエミュレーター検証に係る開発も問題無く進捗していることから、以下を達成見込みであることを確認した。</p> <p>■ アウトプット目標（中間） 開発成果を組み込んだ要素技術に係る検証あるいはシミュレーションにより、エネルギー消費効率あるいは電力効率（単位電力あたり性能）が、事業開始時点における同等の技術と比較し、5倍以上となる見込みを示す。</p> <p>研究開発項目②（2024年度終了）については、各事業者へのサイトビジット及び技術推進委員会を通じて進捗状況を確認し、それぞれのテーマにおける各事業項目で定める最終的な目標を予定通り達成していることを確認した。そのため、全テーマにおいて以下を達成していることを確認した。</p> <p>■ アウトプット目標（最終） 開発成果を組み込んだシステムレベルでの検証を行い、エネルギー消費効率あるいは電力効率（単位電力あたり性能）が、事業開始時点における同等の技術と比較し、10倍以上となることを示す。</p>	<p>達成見込み</p>	<p>研究開発項目①については、引き続き最終目標の達成に向けて取り組み、研究開発項目②については、事業化に向けた取り組みを推進するため、自社開発の推進などに関する助言、フォローを実施予定。</p>

費用対効果

- ・プロジェクト費用の総額：約172億円（2027年度までの想定総額）
- ・市場規模：AI関連の市場は2030年にかけて成長を続け、**2030年には約40兆円市場**になるといわれている。
- ・費用対効果：日本企業全体での半導体関連シェアは2019年時点で10%とする統計（経済産業省発表）をベースに、本プロジェクトの成果が2030年市場規模のうち、獲得を少なくとも1%と想定すると約4,000億円。

※市場規模予測

- ・半導体市場は、**デジタル革命**の進展に伴い今後も**右肩上がり**で成長（2030年約100兆円）。
- ・今後の成長が期待される自動車（電動化・自動運転）・産機（IoT・スマート工場）分野においても、ロジック半導体を中心に半導体需要の増加が顕著。
- ・メモリ・センサ・パワー等、あらゆる半導体需要が急増する見込みであり、更なる需要増から想定以上費用対効果も見込める。



Industries	2018	2019	2020	2021	2022	2023	2024	2025	2026	2027	2028	2029	2030	CAGR (2021-2030)
Automated driving and mobility services	2.61	3.60	5.08	7.09	9.73	13.09	17.33	22.75	30.34	40.20	52.91	69.22	90.02	32.6%
Healthcare & Smart Life	1.62	2.22	3.12	4.35	5.95	7.98	10.54	13.79	18.35	24.24	31.82	41.52	53.86	32.3%
Manufacturing and robotics	2.26	3.14	4.48	6.31	8.74	11.86	15.85	20.98	28.23	37.71	50.04	65.98	86.48	33.8%
Plant and infrastructure	1.81	2.46	3.42	4.71	6.37	8.45	11.03	14.27	18.77	24.52	31.82	41.05	52.64	30.8%
Others	1.87	2.49	3.38	4.54	5.99	7.74	9.83	12.36	15.79	19.99	25.11	31.31	38.74	26.9%

(参考：NEDO技術動向調査より)

非連続ナショナルプロジェクトに該当する根拠

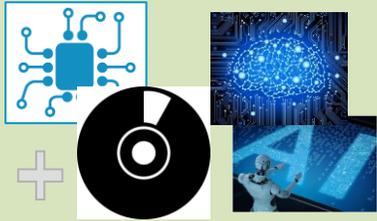
選定基準	内容
非連続的な価値の創造	画期的で飛躍的な変化を伴う価値が創造され、提供されることにより、生活、環境、社会、働き方などを変える。
技術の不確実性	難易度が高い技術的課題や、新領域へのチャレンジなどにより、目標とする特性値や技術は従来への延長上ではなく、リスクが特に高い。

選定基準	該当	理由
①非連続的な価値の創造	○	クラウドコンピューティングという現代社会の中心的な情報インフラ構造に対して、エッジコンピューティング（または、クラウドからエッジへの分散コンピューティングの実現）という次世代のインフラの構築に寄与する。 エッジ領域におけるデジタル化の更なる推進と、新たな価値の創出が、既存の産業構造に対して転換点となることはもとより、まさに我々の生活、環境、社会、働き方、全てを変える価値の創出に寄与する。
②技術の不確実性	○	エッジ領域は電力、サイズ、信頼性、多くの要素で既存の技術以上に高い精度を求められる。技術的課題、難易度は格段に高いことはもとより、既存のコンピューティング産業、インフラを変える新しい領域へのチャレンジであり、個社の力のみで世界的な競争力のある課題として実現出来ないことは、過去の日本の半導体産業の衰退からも明らかである。リスクの高いナショナルプロジェクトとして、課題を設定して取り組むべき課題であるといえる。

非連続ナショナルプロジェクトとして、選定されている。

本事業における研究開発項目の位置づけ

他事業（基礎領域）



※エッジコンピューティングを実現する基盤技術

※既存の技術の延長にない次世代の情報産業をさらに発展させることが可能な基盤技術

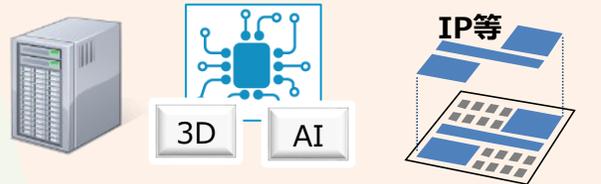
国内企業等で開発されているAI半導体、AIアクセラレータ



※民間企業、研究機関で開発されている技術を公募で募集

本事業領域：実用化、実証

事業内容：チップ技術・システム + 設計技術



AIチップの高度な検証システム

日本独自のエッジコンピューティング技術

フリーに利活用可能な高性能かつ省エネルギーなIP等

※エッジコンピューティングの実現を加速し、早期の産業化と、性能面で競争力を与える、日本独自の新技術に加え、オープンに活用可能な高性能IP（素材）、AIコンパイラ技術など。（一部開発は既存事業内で2022年度から開始）

新方式チップ・デバイス、システム開発

研究開発項目①

高速シミュレーション技術

アーキテクチャ設計・実装

研究開発項目②

※別事業で開始（設計技術）
2023～統合

実現する産業イメージ例



自動運転



定型以外の作業にも対応するロボット技術（製造、清掃、接客など）



医療・ヘルスケア



あらゆるデジタル技術の基盤として産業の方向性を下支えする

- 製造 & 売切だけでなく、データ収集・分析、メンテナンス・バージョンアップ等を伴うストックビジネス、プラットフォームビジネス等を指向
- データの精度、取扱い等に関する日本企業の信頼性を維持
- 国内での量産が難しいとしても、部材、製造装置、検査装置等のコア技術での優位性・非代替性を発揮

アウトプット目標の達成状況

研究開発項目	目標	成果	達成度	今後の課題、解決方針
①革新的AI半導体・システムの開発	中間目標（2025年度） 開発成果を組み込んだ要素技術に係る検証あるいはシミュレーションにより、エネルギー消費効率あるいは電力効率（単位電力あたり性能）が、事業開始時点における同等の技術と比較し、5倍以上となる見込みを示す。	【2023年度】 本研究開発項目の実施体制を構築すべく、情報提供依頼（RFI）の結果や政策的観点から重点課題例を設定し、公募を実施した。結果3テーマを採択し、研究開発に着手した。 【2024年度、2025年度】 AI半導体チップ及びシステムに関して仕様を固め、設計・試作、実証・評価を繰り返し行い、中間目標の達成を目指す。	○ 2025年12月までに達成見込み	技術推進委員会での指摘事項、進捗状況を踏まえた事業への加速・減額を実施し、目標達成に向け、推進する。

研究開発項目	目標	成果	達成度	今後の課題、解決方針
②AIエッジコンピューティングの産業応用加速のための設計技術開発 ※2024年度で終了	最終目標（2024年度） 開発成果を組み込んだシステムレベルでの検証を行い、エネルギー消費効率あるいは電力効率（単位電力あたり性能）が、事業開始時点における同等の技術と比較し、10倍以上となることを示す。	【2022年度】 本研究開発項目の実施体制を構築すべく、先導研究での結果や政策的観点から重点課題例を設定し、公募を実施した。結果、5テーマを採択し、研究開発に着手した。 【2024年度】 各事業者のサイトビジットおよび技術推進委員会を通じて進捗状況を確認し、最終目標である、開発成果を組み込んだシステムレベルでの検証を行い、エネルギー消費効率あるいは電力効率10倍以上の達成状況を確認した。	○	事業化に向けた取り組みを推進するため、自社開発の推進などに関する助言、フォローを実施。

◎大きく上回って達成、○達成、△一部未達、×未達

特許出願及び論文発表

<研究開発項目①>

※2025年5月13日現在

	2023年度	2024年度	2025年度	計
特許出願	4	10	0	14
論文	2	6	0	8
研究発表・講演	9	15	0	24
受賞実績	0	0	4	4
新聞・雑誌等への掲載	0	0	0	0

<研究開発項目②>

※2025年5月13日現在

	2023年度	2024年度	計
特許出願	6	14	20
論文	3	6	9
研究発表・講演	18	13	31
受賞実績	0	5	5
新聞・雑誌等への掲載	0	29	29

<評価項目 3> マネジメント

- (1) 実施体制
- (2) 受益者負担の考え方
- (3) 研究開発計画

1. 意義・アウトカム（社会実装）達成までの道筋

- (1) 本事業の位置づけ・意義
- (2) アウトカム達成までの道筋
- (3) 知的財産・標準化戦略



2. 目標及び達成状況

- (1) アウトカム目標及び達成見込み
- (2) アウトプット目標及び達成状況



3. マネジメント

- (1) 実施体制
- (2) 受益者負担の考え方
- (3) 研究開発計画

ページ構成

- NEDOが実施する意義
- 実施体制
- 個別事業の採択プロセス
- 研究データの管理・利活用
- 予算及び受益者負担
- 研究開発のスケジュール
- 進捗管理
- 進捗管理：事前評価結果への対応
- 進捗管理：動向・情勢変化への対応
- 進捗管理：成果普及への取り組み

NEDOが実施する意義

- 米中技術覇権対立の中で半導体における国内対策としてデジタル投資の加速と先端ロジック半導体の設計強化が求められている。
- 複雑化するエッジ領域において、同じ電力、同じコストで性能/機能を上げるためには、汎用CPU,GPUだけではなく、アプリケーション特化のハードウェア・アクセラレータも含めた省エネAI半導体及びそれを活用したシステムが産業競争力強化のカギとなっている。
- エッジコンピューティングの重要性が増しているなかで、5年以内にエッジにおけるAIの組込みがより急速に進歩する。
- コンピューティングとネットワークを融合したシステム全体で最適化する方向性が強まっていると予測される。

■ 関連事業における外部有識者評価指摘事項

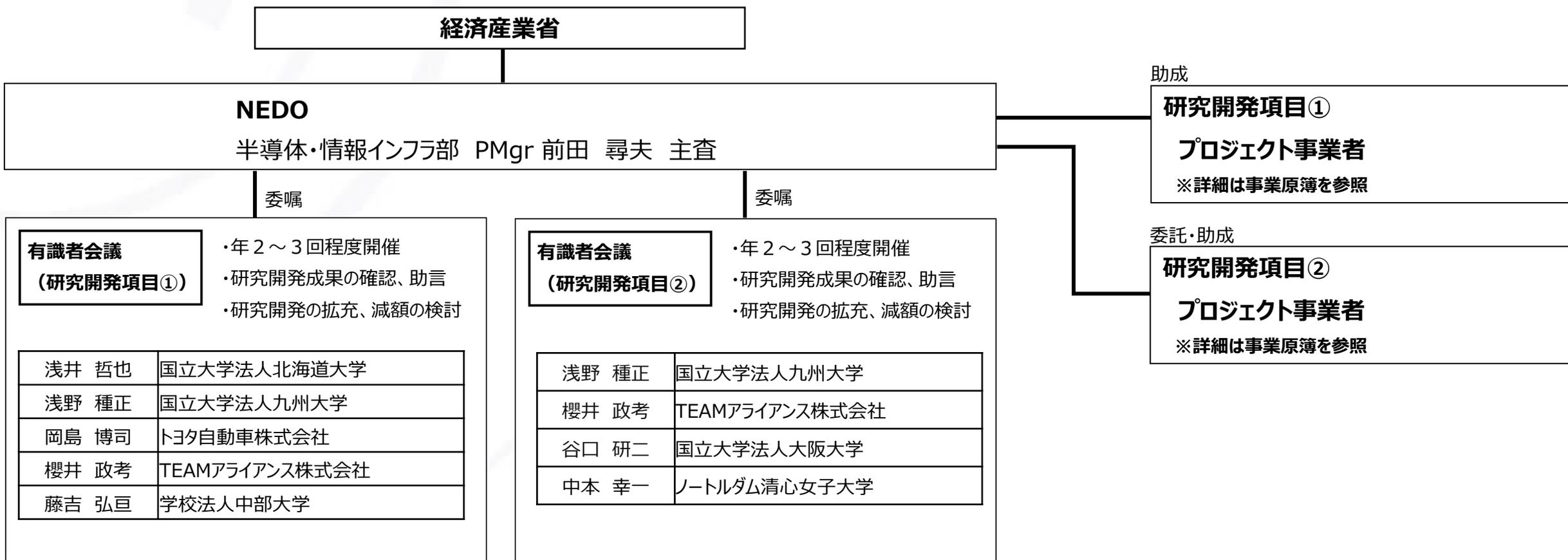
「データ処理に直結する本プロジェクトのAIチップ開発は、世界的に競争が最も激化しつつある分野であり、国家プロジェクトとして進展させることが急務であり、的確かつ厳格な選択と集中により、早急にアウトプット目標が達成できるような支援の充実が望まれる。」



本分野の国際競争力を維持するため、国家的な強力施策が必要であることから、国策としてNEDOが持つこれまでの知識・実績を活かし、推進することが重要

実施体制

PMgrのアサインだけでなく、専門性に特化した有識者会議を研究開発項目ごとに組織。そのほか、事業者と連携し研究開発成果を最大化させる取り組みを実施。



個別事業の採択プロセス

<研究開発項目①>

【公募】

- 公募内容

エッジ領域においてエッジデバイスにおけるリアルタイムの情報処理を主体に、必要に応じエッジサーバを含む領域で活用する AI 半導体及びシステムに関する技術の開発を募集。

- 公募予告（2023年2月7日）⇒公募（3月24日）⇒公募〆切（5月8日）

【採択】

- 採択審査委員会（6月1日、6月2日）
- 採択審査項目；NEDOの標準的採択審査項目
- 採択条件；採択審査委員会では、1テーマに対して実施計画書に定量的なマイルストーンを明記することを条件に採択が行われた。

【追加公募】

- 公募内容

エッジ領域においてエッジデバイスにおけるリアルタイムの情報処理を主体に、必要に応じエッジサーバを含む領域で活用する AI 半導体及びシステムに関する技術の開発を行うにあたり、エッジコンピューティングにおける生成AIに関連する専用チップの開発と、関連するシステムの開発を行うものを対象として募集。

- 公募予告（2025年1月17日）⇒公募（2月26日）⇒公募〆切（3月28日）

個別事業の採択プロセス

<研究開発項目②>

【公募】

・ 公募内容

AIエッジコンピューティング向け半導体設計の効率化に関する研究開発を募集するものであり、産業応用を見据えて活用可能な設計技術等を以下の重点課題として設定。

■ 重点課題

(委託事業)

- ① CMOS/スピントロニクス融合技術を用いたAIエッジ向け半導体設計効率化に関する開発
- ② 汎用的高位合成の機能開発及びシステムレベルの解析・合成ツールの開発
- ③ 低消費電力かつ高効率なRISC-Vシステム応用設計に係る技術開発

(助成事業)

- ① 低消費電力実現に最適なハードウェア構成要素の探索技術、効率的な電力測定技術及び、演算量低減技術の開発

- ・ 公募予告（2022年2月28日）⇒公募（5月20日）⇒公募〆切（6月20日）

【採択】

- ・ 採択審査委員会（7月15日、7月19日）
- ・ 採択審査項目；NEDOの標準的採択審査項目に加え、重点課題の該当性について審査項目に加えた。
- ・ 採択条件；採択審査委員会では、1テーマに対してOSS公開に向けた社内体制を整備することを条件に採択が行われた。

予算及び受益者負担

◆ 予算

(単位：百万円)

研究開発項目	事業	2023年度	2024年度	2025年度 (※見込み)	合計
研究開発項目① 革新的AI半導体・システムの 開発	助成：1/2,2/3	965	1,899	3,216	6,080
研究開発項目② AIエッジコンピューティングの産 業応用加速のための設計技術 開発	委託：100%	1,767	1,864	—	3,631
	助成：1/2	118	69	—	187
合計		2,850	3,832	3,216	9,898

◆ 委託及び助成事業の理由

【委託事業】

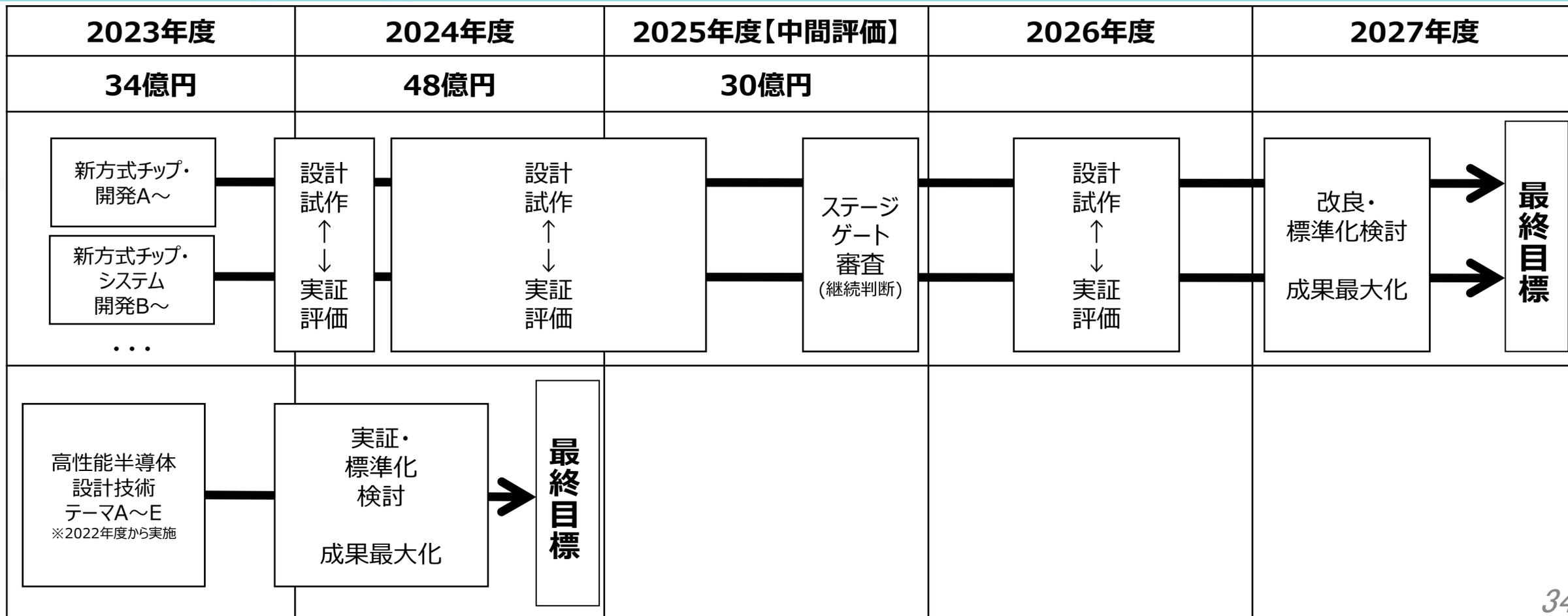
次世代の情報産業を担う基盤技術かつ革新的である新たな技術開発として国が支援するものであることから、100%NEDO負担の委託事業として実施する。

【助成事業】

民間事業者等の行う産業技術に関する研究開発を助成することにより、早期の実用化・事業化に繋げることで、我が国産業の持続的な発展を図り、もって国民生活の安定向上および国民経済の健全な発展に資することを目的としているため助成事業として実施する。

研究開発のスケジュール

2023年度 : <研究開発項目①> 公募実施 ※大企業1/2、中小企業2/3補助。 ※各年度で、それぞれの研究開発項目における技術推進委員会を開催
 2024年度 : <研究開発項目①> AI半導体チップ及びシステムに関して設計・試作⇔実証・評価を繰り返し行う。
 <研究開発項目②> 各種設計技術に関する成果の実証等を行い、全テーマで最終目標を達成し、事業終了。
 2025年度 : <研究開発項目①> プロトタイプ等の評価、検証を行う。研究開発継続可否を判断する、ステージゲート審査実施。
 2026年度～ : <研究開発項目①> 改良等を加えて、更なる実証を実施。成果最大化や標準化検討。最終目標に繋げる。



進捗管理：委員会の開催等

専門性に特化した委員会を組織するなどし、日々変化する情報産業の動向に対応

会議名	主なメンバー	対象・目的	頻度	主催
サイトビジット	<ul style="list-style-type: none"> 事業者 NEDO 	<ul style="list-style-type: none"> 各テーマの研究開発現場を直接訪問し、進捗確認や意見交換を実施 	定期的実施	NEDO
技術推進委員会	<ul style="list-style-type: none"> 事業者 外部有識者 NEDO 	<ul style="list-style-type: none"> 研究開発項目毎に設置し、個別の技術開発の進捗状況等について外部有識者が確認 必要に応じて加速提案の審議や体制変更に対する評価を行うとともに、事業最終年度においては、事業終了後の実用化・事業化に重きを置いた報告・助言を実施 	研究開発項目毎に年に2～3回程度	NEDO
ステージゲート審査委員会	<ul style="list-style-type: none"> 事業者 外部有識者 NEDO 	<ul style="list-style-type: none"> プロジェクトの継続可否、目標の大幅な見直しなどに対して外部有識者が評価、確認 ※研究開発項目①のみが対象 	3年に1回	NEDO
追加公募	—	<ul style="list-style-type: none"> エッジコンピューティングにおける生成AIに関連する専用チップの開発と、関連するシステムの開発を行うものを対象として、2025年度に追加公募を実施 	—	NEDO
知財運営委員会	<ul style="list-style-type: none"> 知財運営委員会のメンバー 	<ul style="list-style-type: none"> 研究開発の成果についての権利化・秘匿化等の方針決定や実施許諾に関する調整を行い、知財に係る進捗管理を実施 	年に1回程度	実施者
アドバイザリ委員会	<ul style="list-style-type: none"> 事業者 外部有識者 NEDO 	<ul style="list-style-type: none"> プロジェクトを共同で実施する事業者が、成果や進捗を共有する会議を実施 	年に2回程度	実施者
NEDO内会議	<ul style="list-style-type: none"> NEDO (PMgr、PT) 	<ul style="list-style-type: none"> PMgr等のNEDO内関係者で定期的にプロジェクト全体の進捗を確認し、今後の方向性を議論 	月に4回程度	NEDO

進捗管理：事前評価結果への対応

<主なコメント> ※一部記載

	問題点・改善点・今後への提言	対応
1	市場にフィットする要件の定義としては、性能（処理能力 or 安定性×消費電力×セキュリティ）×コスト（個別プロジェクトでの設定可能）×サービスインの時期のバランスを図りながらアウトカム目標について設定する必要がある。また、研究開発成果の産業応用を想定する分野に関しては、アプリケーション企業の関与を求められたい。	2023年度に実施した公募では、エッジ領域において重要な産業領域として自動運転、産業機械、ヘルスケアのそれぞれに関連する提案を採択したが、その際には、事業終了後に成果を速やかに産業応用・社会実装に繋げるため、ユーザー企業等との連携や協力が体制として計画されているもの、また、具体的なアプリケーションまでを想定された提案であるかについては、事前確認や委員会でのヒアリングを経て詳細に確認を行った上で、適切と評価される提案を採択した。
2	対象分野の定義に関しては、現在想定されている3分野以外に、デバイス起点で市場価値が創出される分野を制度側でも都度調査するなどをし、事業期間中に対象分野の見直しや拡充を検討するとともに、多様な分野への展開を想定する研究開発テーマの採択および制度側のサポートを求めたい。そのため、NEDO による公募のタイミングを複数回設定するなど、広く実施者をつのるために継続的な支援を行える制度設計を求めたい。	本事業開始にあたり、2021年度～2023年度に技術動向調査や知財戦略調査を実施し、対象分野の選定や基本計画にも反映を行った。 また、エッジ領域においてエッジデバイスにおけるリアルタイムの情報処理を主体に、必要に応じエッジサーバを含む領域で活用するAI半導体及びシステムに関する技術の開発を行うにあたり、エッジコンピューティングにおける生成AIに関連する専用チップの開発と、関連するシステムの開発を行うものを対象として、2025年度に追加公募を実施し、関連する提案を採択した。 今後も、必要に応じて追加公募の実施を検討していく。

進捗管理：成果普及への取り組み

- 2024年10月15日～18日に開催されたCEATEC 2024のNEDOブースに、研究開発項目②の全5テーマを出展
→テーマの1つが、CEATEC AWARD ネクストジェネレーション部門賞を受賞（写真右）
- 今後は、2025年7月30日に研究開発項目②の全5テーマを対象とした成果報告会を開催予定
→事業者からの成果発表、ポスターセッションを実施予定

成果の例としてソフト・ハード開発メーカーから問い合わせがあり、継続した情報交換や、協業等に向けた協議を実施中。また、開発した設計技術を用いた半導体設計の開発可能性についての協議等も現在行っている。



進捗管理：成果普及への取り組み（ニュースリリース）

研究開発項目②について、複数のニュースリリースにて成果を発信。今後も、複数のニュースリリースを予定。

大容量MRAMを搭載したエッジ領域向け「CMOS／スピントロニクス融合AI半導体」により従来比10倍以上の電力効率をシステム動作シミュレーションで確認

2024年10月11日

NEDO（国立研究開発法人新エネルギー・産業技術総合開発機構）
国立大学法人東北大学
株式会社アイシン

NEDOは「省エネAI半導体及びシステムに関する技術開発事業」（以下、本事業）において、エッジ領域に適した半導体デバイスの早期実現を目指して、開発を進めています。このたび、国立大学法人東北大学と株式会社アイシンは、大容量MRAMを搭載したエッジ領域向け「CMOS／スピントロニクス融合AI半導体」により従来比10倍以上の電力効率をシステム動作シミュレーションで確認しました。磁気抵抗メモリ（MRAM）の不揮発性と広バス帯域の特性を活用し、大容量のMRAMを搭載して外付けメモリの合理的な内蔵化を図ることにより、動作時および待機時電力の大幅低減、起動時間の短縮が可能になります。RTLでのシステム動作シミュレーションの検証では、従来比で電力効率10倍以上、起動時間10分の1以下の改善効果を確認しました。今後は、車載やサーベイランス（監視）システムなどへの応用技術開発を進めます。

また、本事業の成果について、2024年10月15日から10月18日まで毎張メッセで開催される「CEATEC2024」のNEDOブースに展示します。

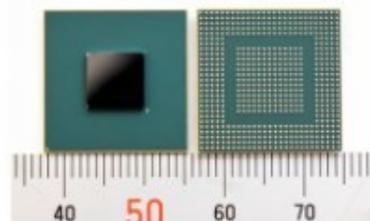


図1 設計した実証チップと本事業が目指す多様な社会実装

NEDO事業の研究開発成果により、京都マイクロコンピュータがRISC-Vに対応したリアルタイム開発プラットフォームを開発しました

—RISC-V採用時の開発環境習得時間の大幅な削減と、導入コスト低減に貢献—

2025年2月26日

NEDO（国立研究開発法人新エネルギー・産業技術総合開発機構）
京都マイクロコンピュータ株式会社

NEDOは「省エネAI半導体及びシステムに関する技術開発事業」において、AIエッジコンピューティングの産業応用を加速するための技術開発を進めています。このたび、京都マイクロコンピュータ株式会社（以下、KMC）は、NEDO事業の研究成果を活用することで、組み込みシステムのソフトウェア開発用に広く商用利用可能なリアルタイム開発プラットフォーム（製品名「SOLID」）において、オープンアーキテクチャであるRISC-Vプロセッサに対応したバージョン4.0を新たにリリースしました。

「SOLID」は、ソフトウェア開発環境とランタイムソフトウェアが連携し、自動バグ検出や分割開発機能など、大規模組み込みソフトウェアを安全に開発するための機能が特徴です。今回、「SOLID」がRISC-Vに対応することで、既存のArm®プロセッサ向け組み込みソフトウェアを開発する際の機能や使い勝手に匹敵する開発環境をRISC-Vにおいても利用できるようになります。これにより、新たにRISC-Vプロセッサを採用した際の開発環境習得時間の大幅な削減と、導入コスト低減に貢献します。



図1 開発した「SOLID」バージョン4.0の構成図

参考資料 1 分科会議事録及び書面による質疑応答

研究評価委員会
「省エネ AI 半導体及びシステムに関する技術開発事業」(中間評価) 分科会
議事録及び書面による質疑応答

日 時 : 2025 年 6 月 20 日 (金) 13 : 00~17 : 00

場 所 : NEDO 川崎本部 23 階 2301,2302,2303 会議室 (リモート開催あり)

出席者 (敬称略、順不同)

<分科会委員>

分科会長	関谷 毅	大阪大学 産業科学研究所 教授
分科会長代理	菅谷 みどり	芝浦工業大学 工学部 情報・通信工学課程 情報工学コース 教授
委員	浅井 哲也	北海道大学 大学院情報科学研究院 教授
委員	小川 玲奈	株式会社 三井物産戦略研究所 技術・イノベーション情報部 インダストリーイノベーション室 室長
委員	奥村 朋久	株式会社 日本経済研究所 執行役員 コーポレートアドバイザー 本部長
委員	柏木 喜孝	一般社団法人 九州経済連合会 産業振興部 兼 新生シリコンアイランド九州推進部 参事
委員	新谷 道広	京都工芸繊維大学 電気電子工学系 准教授

<推進部署>

中野 浩二	NEDO 半導体・情報インフラ部 部長
田村 耕作	NEDO 半導体・情報インフラ部 チーム長
前田 尋夫(PM)	NEDO 半導体・情報インフラ部 主査
西原 康介	NEDO 半導体・情報インフラ部 主査
熊澤 志忠	NEDO 半導体・情報インフラ部 専門調査員
野村 隆	NEDO 半導体・情報インフラ部 専門調査員
村山 明宏	NEDO 半導体・情報インフラ部 専門調査員

<実施者>

阿部 英明	ルネサスエレクトロニクス株式会社 エンベデッドプロセッシング事業部 Dir, Product Mgmt
野瀬 浩一	ルネサスエレクトロニクス株式会社 エンベデッドプロセッシング事業部 Sr Principal Product Engineer
戸井 崇雄	ルネサスエレクトロニクス株式会社 エンベデッドプロセッシング事業部 Sr Mgr, Product Mgmt
三上 顕太郎	ルネサスエレクトロニクス株式会社 ソフトウェア&デジタルライゼーショングループ ソフトウェア開発統括部 Principal Software Engineer
田上 信介	ルネサスエレクトロニクス株式会社 エンジニアリンググループ イノベーションオフィス Principal Strategic Planning Specialist
金子 重治	ルネサスエレクトロニクス株式会社 エンジニアリンググループ イノベーションオフィス Sr Principal Strategic Planning Specialist
中村 寿彦	日本電気株式会社 インダストリーインフラ統括部 プロフェッショナル

<オブザーバー>

加藤 公彦	経済産業省	商務情報政策局	情報産業課	デバイス・半導体戦略室	課長補佐
岩佐 匡浩	経済産業省	商務情報政策局	情報産業課	デバイス・半導体戦略室	係長
吉原 和樹	経済産業省	商務情報政策局	情報産業課	デバイス・半導体戦略室	
堀 宏行	経済産業省	イノベーション・環境局	研究開発課		課長補佐

<評価事務局>

山本 佳子	NEDO 事業統括部	研究評価課	課長		
松田 和幸	NEDO 事業統括部	研究評価課	専門調査員		
北原 寛士	NEDO 事業統括部	研究評価課	専門調査員		
高橋 一朗	NEDO 事業統括部	研究評価課	専門調査員		

議事次第

(公開セッション)

1. 開会
2. プロジェクトの説明
 - 2.1 意義・アウトカム (社会実装) 達成までの道筋
 - 2.2 目標及び達成状況
 - 2.3 マネジメント
 - 2.4 質疑応答

(非公開セッション)

3. プロジェクトの補足説明
 - 3.1 「予測 AI(トランスフォーマ)に対応する省電力動的再構成 プロセッサ・システムの開発」
 - 3.2 「万能高位合成と新型汎用データフロー計算機構」
4. 全体を通しての質疑

(公開セッション)

5. まとめ・講評
6. 閉会

議事内容

(公開セッション)

1. 開会

- ・開会宣言 (評価事務局)
- ・出席者の紹介 (評価委員、評価事務局、推進部署)

【関谷分科会長】 分科会長を仰せつかりました大阪大学産業科学研究所の関谷と申します。私自身は、電子デバイス、光デバイス、システム LSI や AI といった研究開発を進めてまいりました。本日、皆様と意見交換を行う中で、イノベーションアクセラレーターである NEDO の事業にふさわしい取組であるかといった点をいろいろ拝見できればと思います。どうぞよろしくお願いいたします。

【菅谷分科会長代理】 芝浦工業大学の菅谷です。本日はよろしくお願いいたします。

【浅井委員】 北大の浅井です。専門は AI 集積回路になります。どうぞよろしくお願いいたします。

【小川委員】 三井物産戦略研究所の小川と申します。戦略研究所というと何か謎の研究所と思われがちなのですが、三井物産のインハウスシンクタンクであり、そちらで半導体関係の調査分析を行っております。前職では半導体メーカーに勤めていたということで、技術的なところもアップデートできればと思います。よろしくお願いいたします。

【奥村委員】 日本経済研究所の奥村です。日本政策投資銀行にて、電子情報分野の事業性評価であるとか、それにまつわるファイナンス支援を長らく行ってきております。どうぞよろしくお願いいたします。

【柏木委員】 九州経済連合会の柏木と申します。現在、出向中になりますが、出向元では産業機器の ASIC、SoC の研究開発を行ってまいりました。今は九州経済連合会にて、九州の半導体産業やその応用産業をどうやって発展させるかといった活動を行っています。今日はよろしくお願いいたします。

【新谷委員】 京都工芸繊維大学から参りました新谷と申します。専門は集積回路全般であり、パワーデバイスをメインに研究開発を行っています。その中でも、特に集積回路の設計自動化に焦点を当てて研究しています。本日は貢献できるよう頑張りますので、どうぞよろしくお願いいたします。

2. プロジェクトの説明

(1) 意義・社会実装までの道筋、目標及び達成度、マネジメント

推進部署より資料3に基づき説明が行われ、その内容に対し質疑応答が行われた。

【関谷分科会長】 御説明ありがとうございました。

それでは、ここから事業全体について意見及び質問をいただきます。評価項目に従い、まずは 1 番目の意義・アウトカム (社会実装達成) までの道筋に関する内容についてお受けいたします。

浅井委員、お願いします。

【浅井委員】 北大の浅井です。最近、急に生成 AI を様々なところに導入しようという話があちらこちらで動いております。特に生成 AI のような重たい演算のものを苦労してエッジに持ってきた際、それを持ってきた上で生成 AI をエッジでどのように使うのかということがあまり議論されていないように感じます。この件について、エッジに苦労して持ってきた生成 AI をどのように使ってゴールに導いていくのかといった道筋の計画があれば御説明ください。よろしくお願いいたします。

【前田 PM】 ありがとうございます。資料がないため口頭での回答となってしまう恐縮です。御指摘のとおり、生成 AI については NEDO としても他のプロジェクトでも行っているものがありますけれども、やはり最終的にそれをどのように使っていくのかということが非常に重要となってまいります。我々のプロジェクトにおいては、半導体部ですから、最終的にこの生成 AI をデバイスとしてある意味でチ

チップ化できれば100点の事業になります。今回、関連する答えとしては、追加公募を行った件について先ほど説明したところですが、その際には、生成AIにおけるチップ及び関連するシステムの開発について、皆様からどういった用途に使えるものなのかという点も含め、広く提案を受けたという経緯があります。実際に7提案をいただいたのですが、その中で、浅井委員の言われるとおり、本当にそれは生成AIなのかというものもあれば、結局それがどのように使われるのかということがあまり具体的に出てきていないものもありました。我々は、冒頭申し上げたように、最終的にこの事業における事業化という部分は自動運転やヘルスケア、ロボティクス、産業機械などといった用途において産業競争力を増すために行っていくという目的があります。その中においては、今回採択したテーマは非常にゴールが明確に示されているものがございまして、具体的に申し上げますと、ロボティクスにおけるヒューマノイドロボットに将来的に搭載し、それを実用化していく、介護の分野や本当に産業用途など様々な分野がありますが、ロボティクスにおけるという部分においては、実際に実証先も既に準備を進めていると伺っております。そうした部分においては、この研究開発をしながら、どのように使っていくかというのを考えるわけではなく、具体的にどのように使っていくかが明確になっています。どういったものをどういった用途として使えるのかは非常に重要であり、NEDOとしてもそこが明確になっているものを研究開発の中で進めていく必要があるという観点から、今回1テーマを採択した次第です。

【浅井委員】 ありがとうございます。ロボティクスの分野で生成AIをロボットに搭載することで、明確なゴールが示されている事業が1つあるという理解でよろしいでしょうか。

【前田PM】 おっしゃるとおりです。

【浅井委員】 では、そのロボットの中で具体的に生成AIをどのように使うのか。生成AIでなければいけない必然性であるとか、生成AIだからこそそれをロボットに搭載することで今までできなかったことができる。こうした点について、どのようなことが明確にできるようになるといったゴール設定をされていますか。

【前田PM】 こちらも資料がないため口頭で失礼いたします。今回採択したテーマについては、非常に重要なものとしてオンデマンド学習ができるということがございまして、恐らく、これは今できるものはあまりないと思います。実際にそれをソフトウェアだけでなく、我々半導体部ですから、最終的にチップまで作れる、デバイスまで作れる、そういったところが研究開発として採択すべきものと考えております。彼らの提案がすごいのは、ロボティクスにおけるオンデマンド学習、要はチップ上で推論も学習もできるという点です。それというのは、単に夢物語でなく、そうしたところまでを見据え、具体的な提案をいただいたものに対して我々は採択をいたしました。

では、実際にそれがどのように使えるかという点、某携帯メーカーが出しているような白いロボットが分かりやすいですけれども、あのような形でヒューマノイドロボットに今回搭載し、それを介護などそういった分野におけるコミュニケーションツールとして活用するといった提案をいただいております。そうしたニーズが1つあるということで、そのゴールを目指していると思うのですが、そこから恐らく様々な部分での波及は当然あり得ると考えます。コミュニケーションできる点が一番に来ていますので、そこから他用途、それこそ窓口対応するなど様々な用途があると思いますけれども、まずは会話ができるというところにおいての重要な部分だと思いますので、そこでの活用を1つゴールとして目指しているものになります。

【浅井委員】 よく分かりました。ありがとうございました。

【関谷分科会長】 それでは、菅谷分科会長代理、お願いします。

【菅谷分科会長代理】 ありがとうございます。御説明を伺い、その中にあった「ラストチャンス」という前田様の言葉がすごく響きました。日本の半導体の地位が低下している中、電力効率と性能比というこ

とで、ラストチャンスをしっかり育てていくという御意欲に関しては本当に意義があるものであり、すばらしいと感じた次第です。

一方、なぜ今の低迷があるのかという問題分析については、話を伺った中では十分ではないのように思いました。これは私の一意見として捉えていただきたいのですが、今回エッジAIの一番重要な点は、先生がおっしゃられていましたが、やはりロジックが遅れているところで日本は弱いのだと思います。結局メモリで非常にシェアを取って半導体が発展した後に、今の生成AIというのは、GPUもそうですが、アクセラレーター系がメインであり、ロジックが遅れている点は非常に問題だと考えます。それを非常に短い期間で効果が出るようなお金の払い方でよいのだろうかという点で、非常に疑問を持っております。この点についてはいかがでしょうか。

【前田 PM】 ありがとうございます。今、菅谷分科会長代理の言われたとおり、メモリの部分に関する点など、そういった部分における研究開発は非常に重要となっており、そうした部分で申しますと、事業は異なりますが、ポスト5G基金やNEDOの他事業においては、まさに先月、メモリに関する研究開発の公募を行い始めたという経緯もあります。このプロジェクトではないものの、NEDOあるいは経産省として、非常にこのメモリの部分等についても重要視しておりますので、そこは別の部分で研究開発を進めていく状況です。

【菅谷分科会長代理】 どちらかというと、私としてはメモリに変調せず、ロジックが重要だという思いがあります。そういうところの過去の課題を踏まえ、そうした分析をされた上での御選択であるとか、NEDOが行うところというのをどのくらい絞った上でここに予算をつけているのか。そうした点がいま見えなかったため伺った次第です。

【前田 PM】 ありがとうございます。すみません、少し回答がずれてしまうのですが、このエッジ領域における研究開発というのは、先ほど申し上げたように2018年から行っているものです。資料を投影します。こちらの前身事業の①部分、革新的AIエッジコンピューティング技術の開発ということで、5年間の委託事業で行いました。このときは、何か用途においてという部分でごくターゲットを絞ってやっていたわけではありません。ただ、この5年間の事業の中でもエッジコンピューティングにおける課題が様々出てきていると分かりました。そこからエッジコンピューティングにおいて、少し冒頭申し上げたかもしれませんが、設計技術も開発しないといけない、あとは事業化を早期に目指すためにも、このエッジ領域においては引き続き助成事業としてもやるべきだという部分が経産省及びNEDOの中でも考えとしてありました。このエッジ領域全体としては、引き続きもう少し事業化というのを見据えた上での支援が必要と考えています。その上で、この事業は今年度を入れて3年になりますが、今後2028年以降もエッジコンピューティングにおける支援は必要となってくると思うところで、そこにおいてどういったものが今後必要なのかという点では、用途というよりも具体的な事業化を目指すにおける課題が今後見えてきたものに対し、改めて支援を検討することになるのではないかと考えております。

【菅谷分科会長代理】 つまり、この事業はあくまでも非常に3年という短い時間で何か1つをやってみる、アプリケーションとうまくつながって目的を達成することを目指された事業であり、それにおける意義を目指されているといった理解でよいでしょうか。それというのは、やはり電力効率と性能比をこの短い時間でロジックレベルから上げようとする、例えば他事業との連携など、もっと長期的なプランとどのように整合するかという話が出てくると思います。ですが、そういうことではなく、ここはあくまでも、ある程度既にあるトランスフォーマなどのAI技術を乗せるといった形で、3年間である程度の結果が見えることを目指す。このような捉え方で合っていますか。

【前田 PM】 その御理解で合っております。そういった意味では、今トランスフォーマの話が出ましたが、

決して我々トランスフォーマを指定しているわけではなく、どちらかというところと重要視しているのは、これが確実に事業終了後に事業化に、要は製品化につながるのかというところ。これは採択審査の場でも重要視しており、あまり計画性のないものや事業化が見込めないものではなく、先ほどの市場、産業分野にありましたが、その中でちゃんとシェアを獲得し得るものについての提案を採択いたしました。

【菅谷分科会長代理】 分かりました。そうだとすると、最初のテーマである日本の半導体を盛り上げるという全体プランの中の1つとして、このパートはあくまでも残り3年で成果が得られることにフォーカスされている。こういう目標設定と意義を我々が評価するという理解でよろしいでしょうか。

【前田 PM】 残り3年ということだと思いますが、そういう理解で間違いありません。

【菅谷分科会長代理】 つまり、最初におっしゃっていたような電力効率、性能比のトレードオフをバランスするようなロジック、また、例えば何かを組み合わせるというよりは、本当に長期的に日本の半導体産業を世界のトップに持っていくという目標は、ほかのより長期的な予算も含めて考えられている、ここはあくまでもその3年というところでの意義になると理解します。そのあたりがどのように分担されているのか、そういう意味では目標と少しずれているものをここで評価する場だと考え、確認したところ。このプロジェクトだけでこの目標達成が果たせるようには聞こえなかったもので、その点に関しては、そうした意見として捉えていただけるとありがたいと思います。

【関谷分科会長】 どうぞ、御発言をお願いします。

【中野部長】 ちょっと補足説明をいたします。我々、半導体・情報インフラ部全体として、今、運営費交付金でこの事業をやっております。全体5年間で173億円、国の予算として決して小さい金額ではないのですが、一方でポスト5G基金においては、委員の言われたようなロジック半導体、ラピダスなどといったような支援というものが基金全体として2兆5,000億円になります。桁が2つ程度上がったような形で先端半導体の研究をやっております。資料で申し上げますと8ページ目にあると思うのですが、経済産業省のほうで半導体・デジタル産業戦略ということで、もう3、4年前からやっております。まずは2020年に生産ボトルの研究強化ということで、国としてはTSMCを熊本に持ってくることをやられています。これは特定半導体基金という基金を使い、研究開発ではなく、設備投資に対する支援を行っていますが、この基金も1兆9,000億円程度あるものです。それに対し、さらに長期的に半導体を世界最先端に持っていくということでポスト5G基金、もしくは国全体としてはグリーンイノベーション基金、経済安保基金といった基金を使い、ロジック半導体やイメージセンサーなどの先端をやっております。

運営費交付金というものは、その中では金額的にどうしても小さいものになってしまっていますが、一方で特定の用途であるとか目的において、電力効率を5倍、10倍にするといったような用途、そして日本の産業競争力の強化につながるといったピンポイントのところでは非常に効果的だと思っております。今回そちらの研究開発についての御説明と評価をいただくものとなります。大目標としての日本の最先端としてやるというのはまさに全体の話ですが、今回の研究開発目標の5倍、10倍、もしくは市場の4,000億円を取っていくといったアウトプット、アウトカムについての目標は、我々としてはぜひ達成したいと考えている次第です。よろしくお願いたします。

【菅谷分科会長代理】 ありがとうございます。悪いということではなく、どういう役割分担でやられていて、どういうものがあるのかという点を理解したかったということで、非常によく理解いたしました。ただ、エッジ自体が重要ということについては、期間と対象が今回3件ということで、そこに予算といたるところで十分なものであったかというのは、どのように考えられているのかは伺いたいです。エッジAIというものを立ち上げ、それをある程度の結果を出すのに3件というのは、どのようなものだろうかと感じます。

【前田 PM】 ありがとうございます。3件というのがありますが、1テーマ当たりのNEDOが負担している額は決して小さくありません。1年当たり上限としては10億円という部分になっています。そういう意味でいうと、件数は少ないですが、支援としては十分な支援を行っていると考えます。

【菅谷分科会長代理】 金額というよりは、そういう意味ではロジックをこれから起こし、そして新しいエッジAIロジックを作っていこうということであれば、2つやり方があると思います。既に非常に出来上がっているところに集中投資する方法と、まだそこはそれほど強くないところで様々なところに可能性を見いだしてやろうという2つです。それはなぜ集中のほうにいかれたのでしょうか。

【前田 PM】 ありがとうございます。可能性のあるものといいますか、先ほど申し上げたように事業化が見込めるものを我々は重要視しています。今回助成事業であるがゆえ、そこを一番重要視していますので、新しい技術というよりも、今民間企業が取り組んできたもの、それが確実に事業化につながるもの、それをNEDOが支援することによって早期に事業化できるもの、あるいは市場性が広がるものなど、いろいろな用途及び考え方があります。そういったものに対しての支援を重要視したというのが答えになると思います。

【菅谷分科会長代理】 ありがとうございます。以上です。

【関谷分科会長】 引き続き委員からの質問をお受けします。いかがでしょうか。

それでは、私のほうから伺います。今の御説明にあった全体の国としての半導体戦略の中の一隅として事業化を目指されるというのは非常に重要な視点だと思いました。また、3件採択されているところも、自動車、ロボット、医療・ヘルスケアといった我が国の強みでもありますし、またそこをしっかりと支援することで世界の産業の中でも強みをさらに強くしていくという視点もよく見ることができました。菅谷分科会長代理からの質問とも重なる部分があるかもしれませんが、非常に速度が速くなってきている中で、事業が終わった後に3年から5年でもまた劇的に状況も変わるかもしれないと考えると、もっと早く社会に出していくためには、もしかすると多くのある種チャレンジもしないといけない。すなわち事業の数を増やす。事業規模もそうですし、数も増やし、なるべく早いものから次々に社会に送り出していくという考え方もあると思うのですが、何かそういった3年や5年待たずに出していくといった戦略や方策もあれば、少しお聞かせください。

【前田 PM】 ありがとうございます。今やっているこの3テーマを対象として答えますと、一部テーマにおいては、今年度において早期に一部切り取って事業化することが既に相談として来ております。あとは、昨年の技術推進委員会等を行う中でも、早期の事業化を目指したいがゆえに、NEDOの事業で本来今年度予定していたものを前倒しとして、昨年度からやらせてくれないかというものもありました。NEDOとしても、そこは事業者からの相談を待たずして、前倒しできないかというものは積極的に働きかけています。そうした点においては、御指摘いただいたとおり、NEDOとしても早期の事業化に向けて次々に外に出していけるよう常に考えております。

【関谷分科会長】 ありがとうございます。もしオンラインの柏木先生などからも、御意見があれば、遠慮なく挙手をお願いいたします。

では、もう1点私から伺います。今回取り組んでおられる例えば自動車、ロボット、ヘルスケアというのは日本の強みですから、世界にマーケットとして送り出していくことを想定すると、世界のニーズというところもまた捉えていく必要があると思います。そうした世界との連携及びコミュニティーとの意見交換であるとか、広報戦略といった点も何かあれば少しお聞かせください。

【前田 PM】 ありがとうございます。現在、世界の同じような分野の方々とNEDOが意見交換できているかということ、そこまではできておりません。ただ、事業者が今後世界シェアを取っていくに当たっては非常にそこも重要になってまいります。そうしたところにおいて、国際的な動向調査はぜひやりたいと考えています。そうしたNEDOのほうで行ったものを事業者に対して、とりわけこの3分野に対し

てフィードバックしていくのは非常に効果的なものと思います。

【関谷分科会長】 ありがとうございます。例えばNEDO、それから国という立場、政府、EUなど様々な国際標準化等の合わせといったワーキングに事業者の担当が行くであるとか、そうした活動も現状もしくは今後取り組む動きがあるのでしょうか。

【前田 PM】 この事業は今ちょうど中間地点に差ししかかっているところです。ステージゲート審査をクリアすることが前提であるものの、残り2年半となります。そうした中において、最終的に2028年度以降、少し早くなるかもしれませんが、その時点における事業化を目指すという点においては、NEDOの役割がまさにここから非常に重要になってくると考えます。今おっしゃったような国際標準化であるとか、あるいは国際的な規格といった部分を含め、国際動向調査と併せてNEDOとして国外機関の方々との連携、意見交換を何か行えることができればよいと思います。漠然としていますが、その上で事業者フィードバックを行えば、より効果的に事業化につながれるものと考えます。そこは現時点では検討中になります。

【関谷分科会長】 ありがとうございます。それでは、菅谷分科会長代理、お願いします。少し短めの内容であると助かります。

【菅谷分科会長代理】 すみません、短く頑張ります。NEDOが国際を行うという話ですが、例えば先ほどアプリをやろうとすると、どうしても車をやろうとすると規制があつて国交省と絡む。バイオやヘルスケアをやろうとすると医師権限の壁がある、厚労省と絡むとのことでした。そうした省庁との連携をスタートアップでスケールするためには、そうした法整備的な面での壁も相当大きいと思います。そこはもう管轄外になるのでしょうか。

【前田 PM】 ありがとうございます。法整備という面では、御指摘のとおり我々といいますが、原課の各省庁の担当課にはなりません。ただし、NEDOにおいても、我々の部でもドローンをやっているプロジェクトもありますので、そういったところは国交省とも密に連携しております。我々は国土交通省との連携はありませんが、今後のプロジェクトにおいて、そういった他省庁、経産省も引き続きですが、何か連携において法整備等がもし必要であるとか、検討するものがあれば、そこは必要に応じてNEDOと原課、他省庁ともに検討していくといったことになると思います。

【菅谷分科会長代理】 ぜひお願いしたいと思います。法整備というのは言い過ぎだとは思いますが、そのような省庁間の部分については御支援いただけると助かる部分が多いと思います。

【前田 PM】 ありがとうございます。

【関谷分科会長】 ここで1点共有いたします。これは私、分科会長の不手際ですが、現在の議論は、評価項目1のアウトカム達成までの道筋の時間となっております。既に項目2、3の目標達成状況や、マネジメントの部分にも入ってしまいましたので、臨機応変な形で行いたく思います。

それでは、柏木委員、お願いいたします。

【柏木委員】 九経連の柏木です。エッジ研究についてコメントがあったと思いますが、私からも一言申し上げます。自動車・産業機械を代表とするような日本の産業というのは、エッジ側つまり組み込み機器、しかもハードリアルタイムな、リアルタイム性を要求されることです。ここはやはり日本の産業の強い部分であり負けてはいけなくて常々考えております。その中でエッジAIということで、今後すぐ期待される部分だと思っておりましたし、日本がAIで先導に立つにはこのようなエッジ部分ではないかと思っておりました。そういう意味で今回の取組は非常によい取組だと思って評価を読んでいました。その中で、アウトカムで見ると技術だけではなく部分が非常に多く、やはり規制、特に自動運転は、サプライチェーンというよりもそういう規制等を含めたエコシステムになると思います。そういう自治体や政策については各事業者かもしれませんが、検討されているのでしょうか。

それからもう1つ、知的財産や標準化について、今回の事業の進め方を見ると論文や学会発表とい

う部分が重視されており、知的財産という部分の優先度が低いようにも感じられました。ただ、シェアを握っていくには知財をしっかりと押さえ、瑕疵のない知財をつくり、その上で発表していった仲間を得ることが重要と思います。さらに、その先に標準といっても国際標準としてIEEEやIECといった部分で仲間をつくり、クローズな特許で固めてオープンな規格で仲間を得ていくことが重要と考えます。そういう面に関して、特許と標準化についてももう少し力を強めてもよいのではないかと考えているのですが、いかがでしょうか。

【前田 PM】 ありがとうございます。エコシステムと知財・標準化に関連する御質問と思います。エコシステムに関しては御指摘のとおりと考えます。その中で、NEDOとして何ができるかという部分で申し上げますと、NEDOが他事業、あるいはNEDOプロジェクト参画外の事業を含めた事業者の方々との場を創出する、連携を模索することかと思えます。そうした点においては、私のほうでも他のプロジェクト、あとは研究開発項目①、②それぞれの様々な事業者との連携の場というのは常に考えております。そうした部分においては、実際に連携を模索する上での意見交換等を行ったプロジェクトもありますし、先ほど御説明したように、成果報告会というのも非常に重要な場だと思っております。対外的な発信も含め、いろいろな事業者の方にお越しいただくことと、ポスターセッションなどもありますので、現在のプロジェクト内の事業者、あるいはそれ以外の事業者との連携という部分も含めて、エコシステム等につながるのが重要と考えます。

もう1つの標準化の部分ですが、NEDOとしては、標準化については非常に重要と考えており、事業者に対しても知財の部分については積極的に特許を申請すべきという働きかけを行っています。この瞬間で終了しているものというのは②の部分に限りまので、そこにおいては委託事業ですけれども、成果が出てきたものについては積極的に知財・特許の申請を行っていただきます。ここは、日本国内に限らず、事業原簿に記載できていないものもありますが、国外についても出願等を行っているものもあります。助成事業の①については、これからまだ残り3年ありますので、ここから成果が出てきたものについては積極的に知財・特許等を申請いただき、オープンな部分とクローズな部分のすみ分けをし、事業化について働きかけていこうと考えております。

【柏木委員】 ありがとうございます。特許に関しても、今おっしゃられたように、国際特許というのは非常に重要だと思います。日本だけではなく、ワールドワイドで勝つために国際特許のほうも積極的に出していただくよう御指導をいただけると非常によいと思いました。

【前田 PM】 ありがとうございます。

【関谷分科会長】 御質問ありがとうございます。少し時間が押していますが、目標及び達成状況、マネジメントも含めて、改めて議論を行う視点があればお願いいたします。皆様、質問は出そろったでしょうか。

目標達成に関しては、今年度の全体も含めておおむね全てが進んでいるようです。それは、技術推進委員会の中でもしっかりと確認いただいています。そして、マネジメント、特許の部分は今御指摘がありました。今後さらに事業者の部分として重要な視点と捉えておられ、伸ばしていく方向性も確認したところです。

それでは、柏木委員、お願いします。

【柏木委員】 目標達成について伺います。話を伺っていて気になった部分ですが、電力効率が5倍、10倍とありますが、これはチップ単体に対するものなのか。そうすると、システムを組んだときにその効果が埋もれてしまうのではないのでしょうか。また、2030年に大体事業化を考えられているとのこと、そのときには5倍、10倍というのが、実は現在では優れているものの、その頃になると平凡化や劣ってくるかもしれず競争力の面で優位性がなくなってくるのではないかと感じましたので、その点について伺います。

【前田 PM】 ありがとうございます。まず、チップ単体かという点ですが、補足をしますと、研究開発項目①については純粹にチップの試作及び関連するシステム開発になりますが、②については設計技術の開発ということで、決してチップ試作を前提としているものではありません。そうした部分で申し上げますと、①については、基本的にはチップ単体での評価、コア等と思いますが、そこにおける電力評価で最終的な目標達成がどうなのかを評価いたします。②については終了しておりますが、ツールの開発やシミュレーションにおける開発もありましたので、そこにおいてチップ試作まで行ったものもございまして、そこは各テーマにおいて評価となるものが決してこの5テーマ全部で共通化されているわけではないため、個々のテーマにおいてどのような算出をするのか、ここも併せて技術推進委員会の中で御説明していただいた上で評価を行いました。そうした点では、決してこのチップだけではなく、ツールにおけるある種シミュレーションベースの評価というのも一部入っております。

もう1つ、2030年における事業化の数値目標が果たして適正なのかという部分ですが、そこは御指摘のとおりだと思います。この5倍、10倍というのは、それらを達成すればもう十分だというわけではありません。例えば一例ですが、この②の部分、既に終了しているものについては一部50倍であるとか、あるいは、もう少し大きい数字で達成しているものもございまして。最低としてもこの数字ということで、これを達成すると非常に事業化に大きくつながるというわけではなく、これを達成した上でどこまで最大化できるかというのが非常に重要となってまいります。決して5倍が目標というわけではなく、それ以上の目標を見据えた上で事業者と共に研究開発を進めていきたいと考えております。以上です。

【柏木委員】 ありがとうございます。1番目の質問ですが……

【関谷分科会長】 柏木委員、大変恐れ入ります。時間が押している関係と、それから今の御質問に対して少し補足での説明をいただけたらと思います。

【中野部長】 半導体インフラ部長の中野と申します。柏木委員、申し訳ありません。補足になりますが、20ページになるのですが、2つ目の御指摘について、今回の5倍、10倍という目標設定が、現状の技術の進展を見越した上で、2030年時点で競争力があるという背景から設定したという前提があります。ただ、おっしゃるように技術水準がさらに加速度が高くなることによって2030年で競争力が劣るのではないかとこの可能性はあると思います。それは、都度といいますか、5倍、10倍を漫然と持っておくのではなく、必要に応じて加速化予算をつける、もっと早く事業化するといった対応をしています。それにより、先ほど前田から説明したように、既に事業化に向けて卒業しているようなものも出てきているといった形になっております。

また、1つ目の御指摘について、チップ単体のものだとシステムは意味がないのではないかとこの点も確かにあると思います。技術項目①については、チップ単体を基本的に対象としていますが、それを製品としてまたシステムとして組み込む際に、売り込む先として競争力がないかということを検討しています。お話を区切ってしまい、失礼いたしました。以上です。

【柏木委員】 分かりました。どうもありがとうございます。

【関谷分科会長】 失礼いたしました。今の補足説明で、大体追加質問等の部分はよろしかったでしょうか。

【柏木委員】 大丈夫です。

【関谷分科会長】 ありがとうございます。今御質問いただいた丸、二重丸のところは、より具体的なディスカッションの部分もあるかと思いますが、この後、非公開セッションを行う中で、またそこをクリアにしていだける部分もあるかと思っております。私の不手際で終了時間が来てしまい申し訳ございません。一旦こちらで、このセッションに関しては以上になりたいと思います。

【高橋専門調査員】 ありがとうございます。議題2の議事はこれで終了といたします。

(非公開セッション)

3.プロジェクトの補足説明

省略

4. 全体を通しての質疑

省略

(公開セッション)

5. まとめ・講評

【新谷委員】 京都工芸繊維大学の新谷と申します。本日は、長時間大変ありがとうございます。僭越ながら、最後に講評を述べたく思います。皆様、先ほど非常に活発な議論をされていたところですが、やはりアウトカムと達成状況にまだある程度のギャップがあるように感じます。例えば、この事業が達成できたからといって、それがすぐに社会実装にまで持っていけるのかという点は、非常にチャレンジングであるため仕方がないと思うものの、道筋における議論がし尽くされていない可能性もあると思います。そのためにも、何度も回答の中で出てきた「縦割りで」というところがあるとは思いますが、その垣根をぜひ超えていただき、いろいろと見せていただければと思っております。以上です。

【高橋専門調査員】 ありがとうございます。続きまして、柏木委員、お願いします。

【柏木委員】 リソースが少なく高いリアル性が要求されるエッジ機器、組み込み機器というのは日本産業の非常に強い点だと思っています。その中でエッジ AI というのは、AI の中で日本が優位性を持つ分野と考えていますので、この事業は非常に有意義なものだと強く思っています。ただ、どこに適用するかというユースケースはしっかりと考えていただければというのが1つです。アウトプットとしての技術開発はしっかりとされているものと思いますが、PDCA の特にチェックとアクションはしっかりとしてもらえればよいと思います。一方、アウトカムに関しては技術優先になっているという印象です。1つは、知財発明に力を入れて活動いただければと感じたところで、その発明に関しても、基本特許と周辺特許で瑕疵のない技術開発をした上で、国際規格・国際標準の活動を積極的に行い、オープン・クローズ戦略というものでしっかりとアウトカムを進めていただければと思います。さらに、日本の産業を強くするためには、本活動の成果が社会実装され、市場を獲得するためにも、勝てる技術となるように今の時点からビジネスモデルを構築して行ってほしいところです。言い換えると、今回のチップというものづくりをベースに、この開発するチップを利用した「コトづくり」で、アウトカムを達成するような活動をして行ってほしいと思います。私からは以上です。

【高橋専門調査員】 ありがとうございます。続いて、奥村委員、お願いします。

【奥村委員】 本日は御説明ありがとうございます。講評ということで、本プロジェクトの意義などに関しては申し分ないと考えております。特に知財戦略、標準化戦略に関しても、私の所見としては必要なことは行われているという印象です。特に、このプロジェクトの難易度が高く、かつ、それが課題になり得るのではないかと考えるのは、新谷委員が御発言されたところと非常に共通する部分ですけれども、やはりアウトプットの目標、アウトカムの目標、そこに達する道筋の立て方が非常に市場自体も動いている分野です。例えばアプリケーション1つを取っても、恐らく要求は非常に異なるだろうといったことをある程度想定しながら、目標をある意味固定してもいけませんし、逆に言うと動かし過ぎてもいけないという大変難しいマネジメントが最終的には求められる事業であると考えております。そういう観点で、御説明いただいた今後のマネジメントという部分でも、話の中では国際動向調査をや

ってみるという内容もありました。このプロジェクトで5倍、10倍というある意味で挑戦的でありながら、暫定的な目標を掲げることで、それに対するメルクマールができるわけですから、それに対しての反応を見てみるといったことを行うだけでも非常に有用だと考えますので、ぜひ行っていただければと思います。それと、マネジメント要素に関しては、より工夫が求められる分野かと思いますが、そうした対象領域、アプリケーションなど、ある程度今後事業化、実用化、プロジェクトが進むごとに明確にせざるを得ない部分も出てくると思いますので、そういう部分がある程度特定していくことによって、そこに必要なマネジメントが出てくることに期待しております。以上です。

【高橋専門調査員】 ありがとうございます。続いて、小川委員、お願いします。

【小川委員】 本日は、どうもありがとうございました。既にいろいろ議論をなされておりますが、エッジかつAIというのは、まだものすごくポラリティが高いといえますか、今後どうなるのか分からないものです。そうでありながらも、比較的エンドユーザーが日本にまだいるというところでいくと、半導体事業自体はお客様が近くにいるというのが非常に大事なのではないかと考えています。そういう意味では、手堅くお客様が見えやすいところを攻め、そこに支援をしていくというのは非常によいことだと思います。国際的な話もあったのですが、多分打って出るには予算の限りもあるところで、非常に現実的なラインとして理解しています。それから、ほかの委員の皆様も指摘されていますが、アウトカムに持っていくに関して、せっかく日本にお客様がいるところを狙っていらっしゃるのですから、もっと顧客側、最終ユーザーとのインタラクションを取ってもよいと思った次第です。後半、実際にものが出てくると、よりそういった動きがあるかと思いますが、より手厚くしていただけるとよいのではないのでしょうか。以上です。

【高橋専門調査員】 ありがとうございます。続いて、浅井委員、お願いします。

【浅井委員】 北大の浅井です。今日は御説明をどうもありがとうございました。もう大体出尽くしたと思いますので、私は大学の視点から幾つか感じたことを申し上げたいと思います。基本的には、アウトカムの話や達成状況、マネジメントについては、大学の視点から見るとすばらしく、大学では決してできないレベルでしっかりと管理されていると感じました。一方、先ほども話が出たように、エッジAIの範囲が今モビリティ、ロボット、医療とある程度決まった中で研究開発をしなければならない理由もよく分かります。評価の軸がしっかりと定まらなければならないので、発散すると評価ができないというのも非常に理解できるのですが、もちろんそういう活動をしながら、例えば個別の領域でオープン・クローズ戦略を打ち出し、オープンの対象がBtoBのBから少しCに行くような方向づけがあるとよいと思いました。なぜかという、しっかりと目標が決まって、それに対して確実に達成できるようにマネージして研究も進められていくというのは、例えば学生などの視点で見ると、それはすごい仕事であるものの、それをやりたいかどうかと思うと、それは少し分かりません。もう少し若い人たちから見たときにワクワクする、「これは楽しい」、「自分はこんなプロジェクトをやるのか」、「これに情熱を持ってやってやるぞ」と思わせるような見せ方があると、大学としては非常に勇気をもらえ、学生に勇気を与えられるのでありがたいです。将来、半導体AI人材を増やしていかなければならないという状況で、もしそういった取組の見せ方を工夫すると少しよいことがあるのではないかと、将来の若者に向けてよいことがあるのではないかと今日の話聞いていて感じたところです。全体としては、私から見ると申し分ないプロジェクトだと思っています。以上です。

【高橋専門調査員】 ありがとうございます。続いて、菅谷分科会長代理、お願いします。

【菅谷分科会長代理】 菅谷です。本日はありがとうございました。私自身も大変勉強になった次第です。私が申し上げようと思っていたことは既に皆様が発言されていますので、少し視点を変えて2点ほど申し上げます。まず目的と目標という話があると思います。エッジAIについて世界で競争力を持たせることが目的であり、この事業自体はそういう意味では1つの目標として助成事業が事業化するという

目標を掲げ、それに対して非常に最適化されているといたしますか、力のあるベンダー様がしっかりと数値目標を達成するように進められています。そうした点においては非常にマネジメントされていて素晴らしいと感じました。一方、自動車分野を強くするといったときに、このエッジAIというのはどのように役に立っていくのか。そうしたときに、AIをどのように使うかに関して、今回はある特定の事業者という話でしたが、AI自体のサプライチェーンといたしますか、AI自体のモデルを作る、学習させる、ハードでできるのはこれでソフトはこれでといったときに、1つの会社だけで全部をやるのか、それとも、複数周りを育てながらやるのかとか、そういうエッジAIを成功させるために、どこかの事業者だけが強くなるのか、また、そうではなく、エッジAIは実は1つではできないから複数でやるのかなど、そうしたところがまだ詰まっていないのではないかという気がいたしました。まだまだいろいろやれることもあると思いますし、もう既に考えられていると思うものの、そういうところが見えやすくなるとよいと思います。もう1点は、大学から見たときのAIという意味で、先ほど浅井委員もおっしゃっていたのですが、長期的にこうした知的なソフトウェアとハードウェアというものをどのように学生たちが育成プランを使うなどで親しんでいくかということです。今日は、NEDO様の話であまりそうした育成や教育との関係というのは出てきませんでしたが、将来的な成長分野に対して、いかに学生たちがコミットできるのかというのは非常に興味深いところです。例えば会社の事業の一部にそうした学術連携、大学により広めるための仕組みを入れるとか、そうしたところをもう少し御検討いただけると、一緒に考える、人材を増やすという意味で非常にありがたいと思います。以上です。

【高橋専門調査員】 ありがとうございます。最後に、関谷分科会長、お願いします。

【関谷分科会長】 それでは、私からコメントをいたします。まず、このような素晴らしいプロジェクトを推進されているNEDOの皆様、経済産業省の皆様、事業者の皆様、そして本日は時間が全く足りないほど御教示いただいた先生方に心から感謝を申し上げます。

私としても先生方のおっしゃるとおりの実感ですが、本当に力強いプロジェクトが推進されていることを確認いたしました。特に我が国が強みを持つ自動車、ロボット、それから社会的ニーズが極めて高い医療やヘルスケアといった生体系に必ず必要となるAI半導体ですが、そこにはハードとソフトが融合した非常に力強い研究開発が進んでおります。事業者の皆様からの御紹介も拝聴しましたが、AIを使用すればするほど消費電力が上がっていくというのはある種の常識の中、高い目標値を達成する創意工夫がしっかりと示されており、高いアウトプット目標でありながらも、それを達成する道筋をしっかりと示されています。また、それを具体的な技術開発とした論文成果や特許にも落とし込んでいる実態を確認でき、事業が明確に推進されていることを確認した次第です。さらに、それに必要となる知財、国際標準化についても、NEDOプロジェクトの中でしっかりと計画を持って推進されています。

その点において、まず評価項目1の意義・アウトカム達成までの道筋については、非常に高いアウトプット目標の先にあるアウトカム達成ですから、全てがクリアできているわけではないと思うものの、高いアウトプット目標に関しては、しっかりと実現に向けて取り組まれています。そこから先にあるアウトカム達成については、しっかりと事業者の皆様と共に連携して進めている点も確認いたしました。一方、非常に変化の大きい世の中であり、とりわけ、その中でも産業的にもAI、特に生成AIが出現したことによって、本当に変動が大きく、なかなかビジネスモデルを明確にすることが極めて難しい産業分野であることも理解しております。本日もそのような議論が出てまいりましたが、ぜひ後半において取り組む中で、この高いアウトプット目標を達成した先にあるアウトカムに関して、より具体的かつ明確に道筋を示されると多くの世界的なユーザーがさらにこの日本の取組に追随してくるのではないかと思います。

次に、評価項目 2 の目標及び達成状況については、目標に向けてしっかりと取り組まれており、事業者の取組を拝見する中では、当初の目標よりもはるかに高い目標を達成されています。今後とも、ぜひ目標値をさらに超える取組に期待します。また、それだけの創意工夫と強い事業者が選定されているものと理解しているところです。

その取組に関する評価項目 3 のマネジメントですが、NEDO の推進されている皆様と事業者、さらに技術推進委員会が非常にユーザー目線を持つ方々がおられます。また、この分野のハードウェア及びソフトウェアに強い技術推進委員会を定期的に関き、一緒に伴走されながら取り組まれていることも把握できました。日本が非常に強いエンドユーザーがいる分野を 1 つのターゲットにして AI 半導体を推進されている方向性にも強く共感しますし、強い産業をさらに強くしていくといった非常に大きな仕組みがここにあることを確認いたしました。後半の取組の中では、世界との連携が確実に必要になってくると思いますが、多くの世界市場がこの技術に興味を示され、そして一緒に進んでくださることを確信しています。それだけの技術力を蓄えるプロジェクトになっていることを本日確認しましたので、ぜひこの調子でしっかりと進めていただくとともに、願わくは、日本の強い自動車・ロボット、医療やヘルスケアといった分野をさらに超えていただきたいです。恐らくもっとこの技術が活用できる部分があるのではないかと思いますので、自動車・ロボット、生体医療という分野からさらに、もし技術委員会の先生方や評価委員の先生方が、「これは面白いからやってみるべきではないか」というような事業分野があれば、それもまた一つ採択してチャレンジをしてみるという何かそういった裾野の広げ方もあるのではないのでしょうか。

いずれにしても、非常に力強いプロジェクトがここで推進され、強い産業をさらに強くしていく最も重要なプロジェクトであると実感しております。引き続き NEDO の皆様、経済産業省の皆様には、国民の期待が強い分野ですから、ぜひこれからも御支援いただきたいと思っております。

【高橋専門調査員】 関谷分科会長、委員の皆様、御講評をありがとうございました。ただいまの御講評につきまして、推進部のほうから何かございますか。

【前田 PM】 委員の皆様、ありがとうございました。非常に順調という評価をいただいている一方で、もちろん課題もあります、とりわけ皆様からはアウトプット目標、アウトカム目標に向けた達成について多く意見をいただきました。これをいかに事業終了後における事業化に結びつけていくか、そこにおいては、市場の変化も激しい中でしっかりとビジネスモデルを確立していけるかに尽きると思っております。私のほうでもマネジメントをしているものの、後半かつ折り返し地点に差ししかかっておりますので、3 年弱の中で本当に事業終了後に結びつけることができるのか、チップ試作等も今後行ってまいりますので、引き続き事業者、経済産業省とも連携し、NEDO としての的確にマネジメントをしながらゴールに向かえるように進めていきたいと思っております。ありがとうございました。

【高橋専門調査員】 続きまして、中野部長、何かございますか。

【中野部長】 改めまして、本日は長時間にわたりまして御審議、御講評をいただきましてありがとうございます。事業全体として、強い分野を示し、アウトプット及び達成状況に向けて過大な評価をいただいたと思っております。一方でアウトカムに向けてのギャップがあるという話はもっともなところで、まさにこれから事業が終盤に向かっていく中で、事業化に向けて各事業者と意見交換をしております。奥村委員から話のあった国際調査などを我々としても行いますし、事業者としても個別の具体のマーケットであるとか、ライバルに対する議論を日々重ねておりますので、しっかりと頑張っていきたいと思っております。また、浅井委員、菅谷分科会長代理から人材育成の話をいただきました。そこは本当に我々の欠けている部分ですが、例えば 10 月に CEATEC などを開く際に、様々なビジネスマッチング等も行う中、NEDO の紹介も行いたいと思っております。そういったようなところで学生の方にも NEDO の事業としてアピールできることはないか、もしくは NEDO 講座のようなものを行うことも

できると考えます。しかしながら、そこは勝手にやると言うことで怒られてしまいますから、少しできないかどうか検討をしたいと思います。いずれにいたしましても、大変に示唆に富む御意見をいただきましたので、我々としてもしっかりと受け止め、今後のプロジェクトを進めていきたいと思っています。

引き続きよろしく願いいたします。本日はどうもありがとうございました。

【高橋専門調査員】 ありがとうございました。これで議題5を終了といたします。

6. 閉会

配布資料

番号無し	議事次第
資料1	分科会委員名簿
資料2	評価項目・評価基準
資料3	プロジェクトの説明資料（公開）
資料5	事業原簿（公開）
番号無し	評価コメント及び評点票
番号無し	評価スケジュール

以上

以下、分科会前に実施した書面による公開情報に関する質疑応答について記載する。

研究評価委員会

「省エネAI半導体及びシステムに関する技術開発事業」（中間評価）分科会

質問・回答票（公開）

参考資料1-18

資料番号・ご質問箇所	質問	委員名	回答
資料5 1-2 下から11行目	①のアウトプットに関して述べられているが、アウトカムについてはどうか。中間地点とはいえアウトカムに対する取り組みは重要。	柏木委員	アウトカムは2032年の目標であるため現時点では達成への道筋を記載しておりますが、設定しているアウトプット目標である電力効率を達成することに加え、実用化・事業化に向けた取り組みを推進することなどによって、最終的に想定する市場の獲得やCO2削減も達成することが見込まれることから、ここではアウトプットの間目標達成見込みについて記載しております。アウトカムを見据えた取り組みは事業期間中においても重視しており、例えば研究開発項目②の事業最終年度における技術推進委員会では、事業終了後の実用化・事業化に重きを置いた報告・助言を実施するなどしております。
資料5 2-2～2-4	開発項目①、②の研究項目が記載されている。特に②に関して、これら5つの研究テーマを②として取り組むこととした背景は。	柏木委員	2021年度より1年間先導研究を行い、そこでの成果より、課題検討委員会を開催し、外部有識者より取り組むべき重点課題を設定した上で公募を行い、その重点課題に合致する5テーマを採択し、研究開発を実施することとなりました。
資料番号3 外部環境の状況	外部環境は、マクロトレンドについては理解。一方で、モビリティ分野・健康福祉分野などは、地域性が重要であると思われるが、市場動向に影響を与える主要国（州）の制度政策動向について、どのように整理しているのか。	奥村委員	市場動向や情勢の変化については、NEDOのTSCにて国際的な動向を含め最新の情報を集め、戦略を策定していることに加え、事業化を目指す事業者自身でも注視し、情報を集めることも行っておりますが、今後の動向については、必要に応じて本事業としても国際動向調査等の実施を検討してまいります。
資料番号3 実用化・事業化の考え方とアウトカム目標の設定	電力効率の性能比5倍以上（開発項目①）10倍以上（開発項目②）とされているが、課題解決の観点からは適切と思われる。一方で、競争上の観点で適切なのか、根拠についてご教示いただきたい。	奥村委員	5倍もしくは10倍を達成する技術成果が競合との比較で高い競争力があるのかというご質問かと存じます。本事業立ち上げ時における最先端チップの性能向上傾向等を踏まえ、それぞれ適切な目標値として定めた数字となり、これらは事業化を目指す上でも競争力があることを鑑みて設定している数字となります。
資料番号3 個別事業の採択プロセス	公募採択のプロセスにおいて、公募の周知方法は具体的にどのように行ったのでしょうか。	奥村委員	公募の周知についてはNEDOのHPにて公募の30日前に公募予告を行い、その後30日間公募を実施しております。

参考資料 2 評価の実施方法

NEDO における技術評価について

1. NEDO における技術評価の位置付けについて

NEDO の研究開発の評価は、プロジェクト/制度の実施時期毎に事前評価、中間評価、終了時評価及び追跡評価が行われ、研究開発のマネジメントにおける PDCA サイクル (図 1) の一角と位置づけられています。さらに情勢変化の激しい今日においては、OODA ループを構築し、評価結果を計画や資源配分へ適時反映させることが必要です。

評価結果は、被評価プロジェクト/制度等の資源配分、事業計画等に適切に反映させることにより、事業の加速化、縮小、中止、見直し等を的確に実施し、技術開発内容やマネジメント等の改善、見直しを的確に行っていきます。

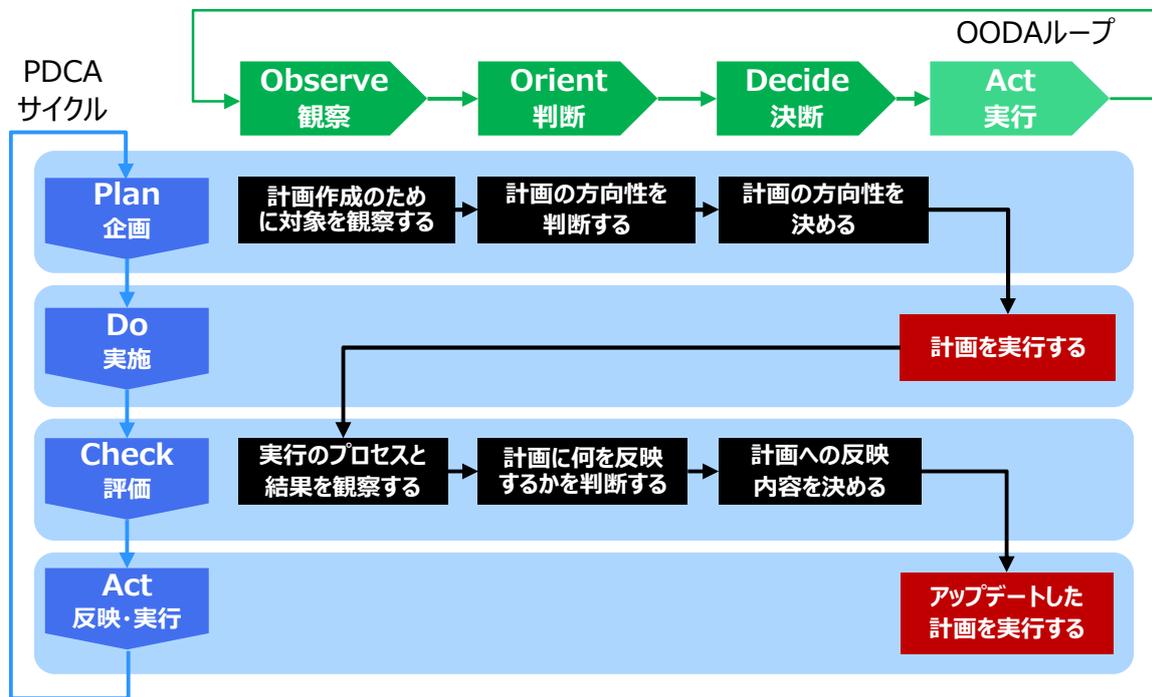


図 1 研究開発マネジメント PDCA サイクルと OODA ループ組み合わせ例

2. 技術評価の目的

NEDO では、次の 3 つの目的のために技術評価を実施しています。

- (1) 業務の高度化等の自己改革を促進する。
- (2) 社会に対する説明責任を履行するとともに、経済・社会ニーズを取り込む。
- (3) 評価結果を資源配分に反映させ、資源の重点化及び業務の効率化を促進する。

3. 技術評価の共通原則

技術評価の実施に当たっては、次の 5 つの共通原則に従って行います。

- (1) 評価の透明性を確保するため、評価結果のみならず評価方法及び評価結果の反映状況を可能な限り被評価者及び社会に公表する。なお、評価結果については可能な限り計量的な指標で示すものとする。
- (2) 評価の明示性を確保するため、可能な限り被評価者と評価者の討議を奨励する。
- (3) 評価の実効性を確保するため、資源配分及び自己改革に反映しやすい評価方法を採用する。
- (4) 評価の中立性を確保するため、可能な限り外部評価又は第三者評価のいずれかによって行う。
- (5) 評価の効率性を確保するため、研究開発等の必要な書類の整備及び不必要な評価作業の重複の排除等に務める。

4. プロジェクト評価/制度評価の実施体制

プロジェクト評価/制度評価については、図2に示す実施体制で評価を実施しています。

- (1) 研究開発プロジェクト/制度の技術評価を統括する研究評価委員会を、NEDO内に設置。
- (2) 評価対象プロジェクト/制度毎に当該技術の外部の専門家、有識者等からなる分科会を研究評価委員会の下に設置。
- (3) 同分科会にて評価対象プロジェクト/制度の技術評価を行い、評価（案）を取りまとめる。
- (4) 研究評価委員会の了承を得て評価が確定され、理事長に報告。

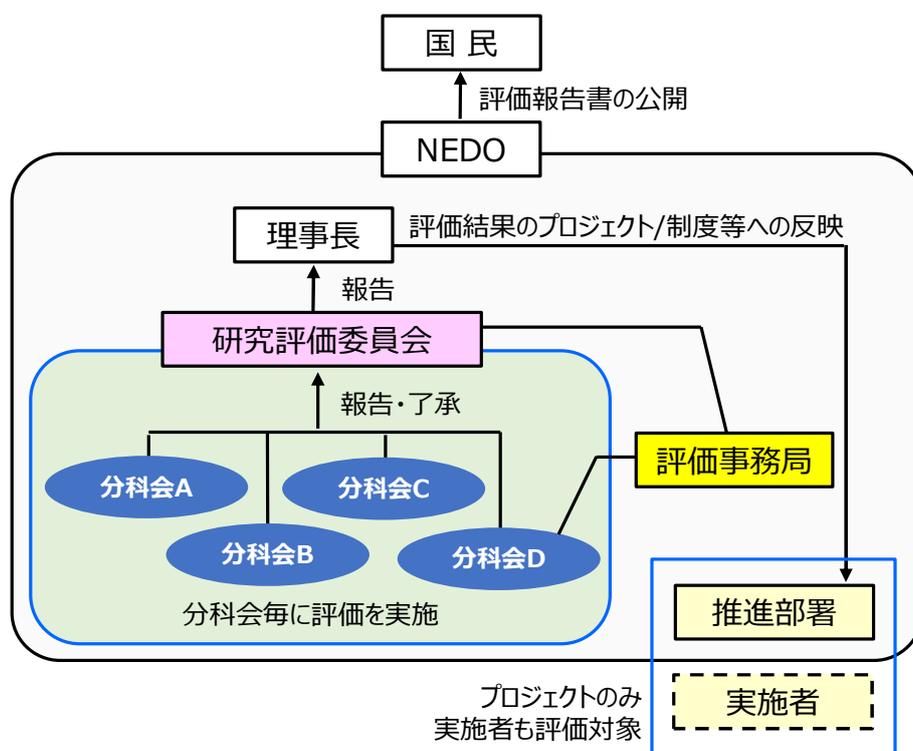


図2 評価の実施体制

5. 評価手順

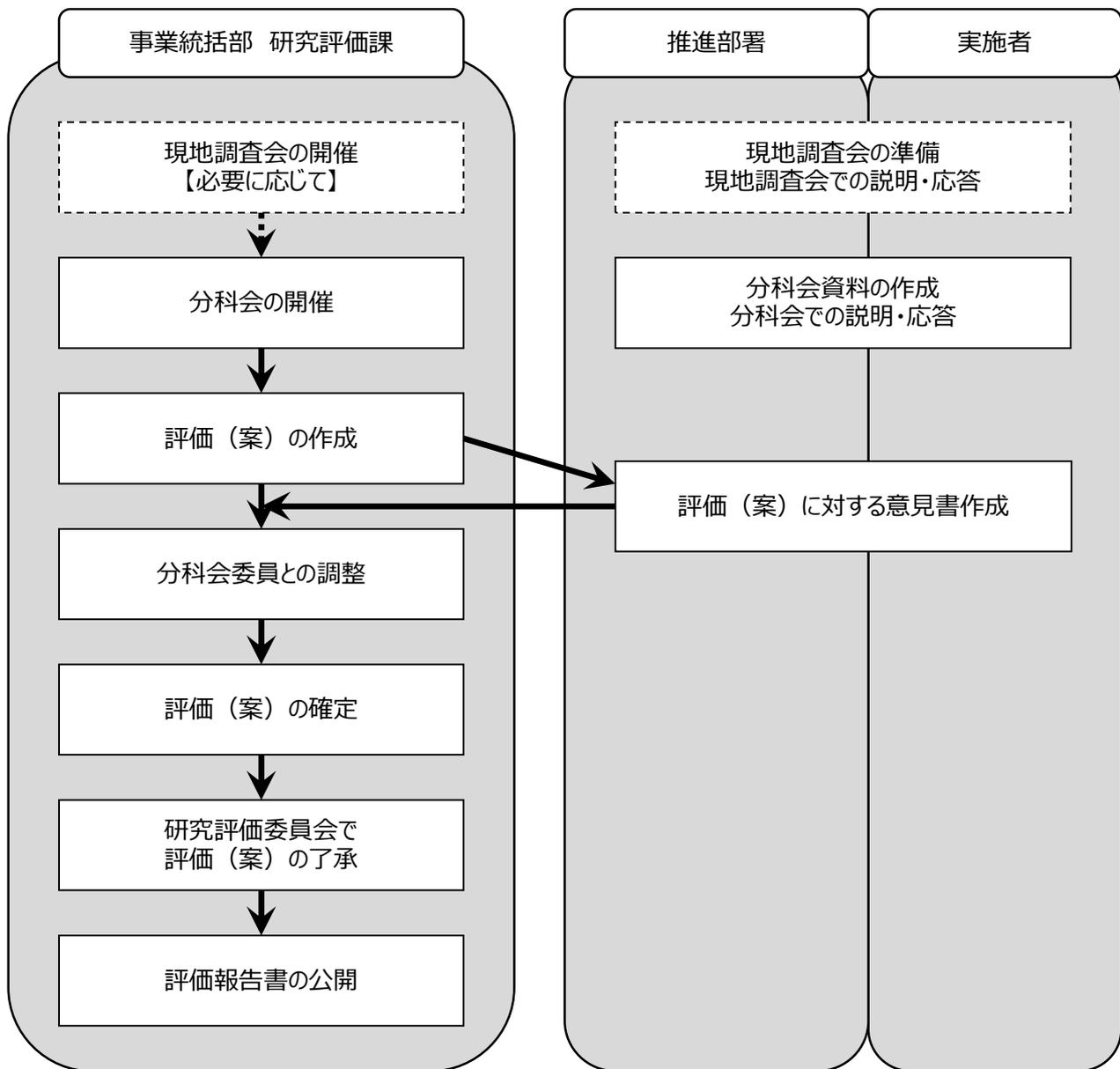


図3 評価作業フロー

研究評価委員会

「省エネ AI 半導体及びシステムに関する技術開発事業」（中間評価）分科会に係る
評価項目・評価基準

1. 意義・アウトカム（社会実装）達成までの道筋

(1) 本事業の位置づけ・意義

- ・本事業が目指す将来像（ビジョン・目標）や上位のプログラム及び関連する政策・施策における位置づけが明確に示された上で、それらの目的達成にどのように寄与するかが明確に示されているか。
- ・外部環境（内外の技術・市場動向、制度環境、政策動向等）の変化を踏まえてもなお、本事業は真に社会課題の解決に貢献し、経済的価値が高いものであり、国において実施する意義があるか。

(2) アウトカム達成までの道筋

- ・「アウトカム達成までの道筋」*の見直しの工程において、外部環境の変化及び当該研究開発により見込まれる社会的影響等を考慮しているか。

※ 「アウトカム達成までの道筋」を示す上で考慮すべき事項

- ・将来像（ビジョン・目標）の実現に向けて、安全性基準の作成、規制緩和、実証、標準化、規制の認証・承認、国際連携、広報など、必要な取組が網羅されていること。
- ・官民の役割分担を含め、誰が何をどのように実施するのか、時間軸も含めて明確であること。
- ・本事業終了後の自立化を見据えていること。
- ・幅広いステークホルダーに情報発信するための具体的な取組が行われていること。

(3) 知的財産・標準化戦略

- ・オープン・クローズ戦略は、実用化・事業化を見据えた上で、研究データを含め、クローズ領域とオープン領域が適切に設定されており、外部環境の変化等を踏まえてもなお、妥当か。
- ・本事業の参加者間での知的財産の取扱い（知的財産の帰属及び実施許諾、体制変更への対応、事業終了後の権利・義務等）や市場展開が見込まれる国での権利化の考え方は、オープン・クローズ戦略及び標準化戦略に整合し、研究開発成果の事業化に資する適切なものであるか。
- ・標準化戦略は、事業化段階や外部環境の変化に応じて、最適な手法・視点（デジュール、フォーラム、デファクト）で取り組んでいるか。

2. 目標及び達成状況

(1) アウトカム目標及び達成見込み

- ・外部環境の変化及び当該研究開発により見込まれる社会的影響等を踏まえてアウトカム指標・目標値を適切に*見直しているか。
- ・アウトカム目標の達成の見込みはあるか（見込めない場合は原因と今後の見通しは妥当か）。
- ・費用対効果の試算（国費投入総額に対するアウトカム）は妥当か。

※ アウトカム目標を設定する上で考慮すべき事項

- ・本事業が目指す将来像（ビジョン・目標）と関係のあるアウトカム指標・目標値（市場規模・シェア、エネルギー・CO₂削減量など）及びその達成時期が適切に設定されていること。
- ・アウトカムが実現した場合の日本経済や国際競争力、問題解決に与える効果が優れていること。
- ・アウトカム目標の設定根拠は明確かつ妥当であること。
- ・達成状況の計測が可能な指標が設定されていること。

(2) アウトプット目標及び達成状況

- ・外部環境の変化及び当該研究開発により見込まれる社会的影響等を踏まえてアウトプット指標・目標値を適切に*見直しているか。
- ・中間目標は達成しているか。未達成の場合の根本原因分析や今後の見通しの説明は適切か。
- ・副次的成果や波及効果等の成果で評価できるものがあるか。
- ・オープン・クローズ戦略や実用化・事業化の計画を踏まえて、必要な論文発表、特許出願等が行われているか。

※ アウトプット目標を設定する上で考慮すべき事項

- ・アウトカム達成のために必要なアウトプット指標・目標値及びその達成時期が設定されていること。
- ・技術的優位性、経済的優位性を確保できるアウトプット指標・目標値が設定されていること。
- ・アウトプット指標・目標値の設定根拠が明確かつ妥当であること。
- ・達成状況の計測が可能な指標（技術スペックとTRL*の併用）により設定されていること。

※TRL：技術成熟度レベル（Technology Readiness Levels）の略。

3. マネジメント

(1) 実施体制

- ・ 執行機関（METI/NEDO/AMED 等）は適切か。効果的・効率的な事業執行の観点から、他に適切な機関は存在しないか
- ・ 実施者は技術力及び実用化・事業化能力を発揮しているか。
- ・ 指揮命令系統及び責任体制は有効に機能しているか。
- ・ 実施者間での連携、成果のユーザーによる関与など、実用化・事業化を目指した体制となっているか。
- ・ 個別事業の採択プロセス（公募の周知方法、交付条件・対象者、採択審査の体制等）は適切か。
- ・ 本事業として、研究データの利活用・提供方針等は、オープン・クローズ戦略等に沿った適切なものか。また、研究者による適切な情報開示やその所属機関における管理体制整備といった研究の健全性・公正性（研究インテグリティ）の確保に係る取組をしているか。

(2) 受益者負担の考え方

- ・ 委託事業の場合、委託事業として継続することが適切[※]か。補助事業の場合、現状の補助率の設定を続けていくことが適切[※]か。

※ 適切な受益者負担の考え方

- ・ 委託事業は、「事業化のために長期間の研究開発が必要かつ事業性が予測できない[※]、又は、海外の政策動向の影響を大きく受けるために民間企業では事業化の成否の判断が困難な場合において、民間企業が自主的に実施しない研究開発・実証研究」、「法令の執行又は国の政策の実施のために必要なデータ等を取得、分析及び提供することを目的とした研究開発・実証研究」に限られていること。
- ・ ※「長期間」とは、技術特性等によって異なるものの「研究開発事業の開始から事業化まで10年以上かかるもの」を目安とする。「事業性が予測できない」とは、開発成果の収益性が予測不可能であり、民間企業の経営戦略に明確に記載されていないものとする。
- ・ 補助事業は、事業化リスク（事業化までの期間等）に応じて、段階的に補助率を低減させていくなど、補助率が適切に設計されているものであること。

(3) 研究開発計画

- ・ 外部環境の変化及び当該研究開発により見込まれる社会的影響等を踏まえ、アウトプット目標達成に必要な要素技術、要素技術間での連携、スケジュールを適切に見直しているか。
- ・ 研究開発の進捗を管理する手法は適切か（WBS[※]等）。進捗状況を常に関係者が把握しており、遅れが生じた場合、適切に対応しているか。

※ WBS：作業分解構造(Work Breakdown Structure)の略。

- ・研究開発の継続又は中止を判断するための要件・指標、ステージゲート方式による個別事業の絞り込みの考え方・通過数などの競争を促す仕組みを必要に応じて見直しているか。

本研究評価委員会報告は、国立研究開発法人新エネルギー・産業技術総合開発機構（NEDO）事業統括部が委員会の事務局として編集しています。

NEDO 事業統括部 研究評価課

* 研究評価委員会に関する情報は NEDO のホームページに掲載しています。
(https://www.nedo.go.jp/introducing/iinkai/kenkyuu_index.html)

〒212-8554
神奈川県川崎市幸区大宮町1310番地
ミュージア川崎セントラルタワー
TEL 044-520-5160